サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

CY9D560 Series

32-bit Microcontroller Traveo™ Family

CY9D560 シリーズは自動車用モータ制御向けの Cypress 32 ビットマイクロコントローラです。CPU には, Arm® Cortex®-R5 PCore™ を使用しています。

特長

テクノロジ

- CMOS 90 nm テクノロジ

CPU

- Arm Cortex-R5F
- 32 ビット Arm アーキテクチャ
- 2-Issue スーパスカラ
- 8-Stage パイプライン
- Arm v7 / Thumb®-2 命令セット
- 浮動小数点演算器 (FPU)
  - 倍精度
- メモリ保護 (MPU)
  - 16 領域
- ECC 対応
  - 1 ビットエラー訂正, 2 ビットエラー検出 ECC (SEC-DED)
  - 対象 : TCM ポート
- TCM ポート
  - 2 つの TCM ポート
- ATCM ポート
- BTCM ポート (B0TCM と B1TCM による 2 ポート構成)
- VIC ポート
  - VIC ポートによる低レイテンシ割込み応答
- AXI マスタインタフェース
  - 64 ビット AXI インタフェース (命令 / データアクセス)
  - 32 ビット AXI インタフェース (I/O アクセス)
- AXI スレーブインタフェース
  - 64 ビット AXI インタフェース (TCM ポートへアクセス可能)
- CPU 構成
  - 2CPU (AMP 動作)
- 動作周波数
  - 最大 200 MHz
- ETM-R5 によるトレース

デバッグ

- Arm CoreSight™ Technology
  - 各 CPU にエンベデッドトレースマクロ (ETM)を搭載し, CPU の実行
  - 履歴のトレースをサポート
- デバッグインタフェース
  - JTAG (5 端子)
  - 対応周波数は最大 20 MHz
- デバッグセキュリティ対応
  - 128 ビットのセキュリティキー (デバイスセキュリティキー)
- JTAG によるウェイクアップ機能

動作モード

- ユーザモード
  - 通常動作モード (内蔵メモリ起動)
- シリアルライタモード

クロック制御

- 内蔵クロックソース
  - 高速 CR 発振器 (8 MHz)
  - 低速 CR 発振器 (100 kHz)
- 外部発振入力
  - メイン原発振入力
- 内蔵 PLL
  - メイン PLL (メイン原発振の逓倍クロック)
- 発振安定待ちタイマ
  - 全クロックソースに独立した発振安定待ちタイマ
  - 発振安定待ち時間経過後は, ソースクロックタイマとして利用可能(FlexRay/RDC 用 PLL は除く)

リセット制御

- リセットレベル
  - ハードウェアリセット (システム初期化)
  - ソフトウェアリセット (プログラム初期化)
- リセット要因 (ハードウェアリセット)
  - パワーオンリセット (PONR), 外部リセット入力 (RSTX, NMIX+RSTX),クロック停止待ちタイムアウトリセット, 低電圧検出リセット (内部低電圧検出リセット, 5V 外部

低電圧検出リセット), ウォッチドッグリセット (ハードウェアウォッチドッグリセット, ソフトウェアウォッチドッグリセット), クロックスーパバイザリセット (メインクロック監視, PLL クロック監視), ソフトウェアトリガハードウェアリセット, プロファイルエラーリセット

- リセット要因 (ソフトウェアリセット)
  - ソフトウェアリセット

低消費電力制御

- デバイスステート
  - RUN (Run State, CPU が実行状態)
  - PSS (Power Saving State, CPU が WFI によるイベント待ち状態)
- 各デバイスステートの設定項目
  - クロック (クロックソース許可, クロックソース選択, クロック分周,クロックドメイン許可)
  - クロック監視
  - 低電圧検出

メモリ保護機能 (MPU)

- プロセッサ以外のマスタに対するメモリ保護
- 対象マスタ
  - DMA コントローラ
- 8 領域
- 違反検出時に NMI 生成

時間保護機能 (TPU)

- CPU1 個に対して, TPU を 1 個搭載
- 1 ユニットに 24 ビットタイマを 8 チャネル搭載
- Execution Time 保護, Locking Time 保護, Inter-arrival Time 保護, Deadline 保護に対応
- ノーマルモードとオーバフローモードをサポート
- 各チャネル共通のプリスケーラ
  - 1/1～1/64 のタイマクロック分周
- 各チャネル独立のプリスケーラ
  - 4 種類のタイマクロック分周 (1/1, 1/2, 1/4, 1/16)

クロックスーパバイザ (CSV)

- 監視対象クロック
  - メイン原発振入力, メイン PLL 出力
- 監視方式
  - 周波数レンジの監視
- 異常検出後の動作
  - リセットまたは NMI

ウォッチドッグタイマ (WDT)

- 2 種類のウォッチドッグタイマを搭載
  - ハードウェアウォッチドッグタイマ
  - ソフトウェアウォッチドッグタイマ
- ハードウェアウォッチドッグタイマ
  - システムで 1 個搭載
  - ウィンドウ機能付き 32 ビットウォッチドッグタイマ
  - クロックソースは, 高速 CR または低速 CR
  - ブートプログラムによる設定 (BootROM マーカ)
  - ユーザプログラムによる再設定は不可能
- ソフトウェアウォッチドッグタイマ
  - CPU1 個に対して, 1 個搭載
  - ウィンドウ機能付き 32 ビットウォッチドッグタイマ
  - クロックソースは, 高速 CR, 低速 CR, メインクロック
  - ユーザプログラムによる設定は 1 回のみ可能 (再設定は不可能)

低電圧検出 (LVD)

- 2 種類の電圧を監視
  - 外部低電圧検出 (5V 系監視) : 3.9 V, 4.1 V, 4.3 V から選択可能
  - 内部低電圧検出 (1.2V 系監視) : 0.9 V
- 内部低電圧検出は常時有効
- 外部低電圧検出は有効無効を設定可能
- 外部低電圧検出は RUN / PSS で独立の閾値電圧を設定可能
- 低電圧検出時の出力
  - 外部低電圧検出: リセットまたは NMI
  - 内部低電圧検出: リセット

メイン Flash メモリ(TCFLASH)

- Cortex-R5F の ATCM 接続
  - CPU1 個に対して, 1 個のメイン Flash メモリ
- 64 ビット AXI による HPM 接続
- Flash メモリ構成
  - 64 ビット Flash マクロ 2 個搭載によるインタリーブ
- 2 つのアドレス領域
  - TCM (Read 専用)
  - AXI (Read / Write)
- ECC 対応(SEC-DED)
- パラレルプログラミング対応
- Flash セキュリティ

ワーク Flash メモリ(WorkFLASH)

- 2 個搭載
  - CPU1 個に対して, 1 個のワーク Flash メモリ
- ECC 対応 (SEC-DED)
- パラレルプログラミング対応
- Flash セキュリティ

メイン SRAM (TCRAM)
- Cortex-R5F の BTCM 接続
  - CPU1 個に対して, 1 個のメイン SRAM
  - B0TCM と B1TCM の 2 ポートによるインタリーブ
- ECC 対応 (SEC-DED)

BootROM
- 容量 16K バイト
- ブート処理対応
- シリアル書込みプログラム対応

DMA コントローラ(DMAC)
- 16 チャネル搭載
- 転送モード
  - ブロック転送, バースト転送
- アドレッシングモード
  - 固定, インクリメント
- チャネル間優先順位
  - 固定, ダイナミック, ラウンドロビン

割込み制御 (IRC)
- 通常割込み (IRQ) とノンマスカブル割込み(NMI)をサポート
- 通常割込み (IRQ)
  - Cortex-R5F の Interrupt Request (IRQ) を使用
  - 512 チャネル
  - 優先度 32 レベル
- Cortex-R5F の VIC ポートによる低レイテンシ割込み応答に対応
- ノンマスカブル割込み(NMI)
  - Cortex-R5F の Fast Interrupt Request (FIQ) を使用
  - 32 チャネル
  - 優先度 16 レベル
- ソフトウェア割込み生成が可能

外部割込み (EXT-IRQ)
- 入力数
  - 通常割込み (IRQ) : 8 入力
  - ノンマスカブル割込み (NMI) : 1 入力
- 検出極性
  - H レベル, L レベル, 立上り, 立下り, 立上り / 立下り (両エッジ)

コア間通信 (IPCU)
- Mailbox 機能
  - 8 個の Mailbox による CPU 間のデータ受け渡し
  - CPU 間割込みのサポート

排他アクセスメモリ (EAM)
- 排他アクセス命令を使った排他制御が可能な小容量メモリ
- セマフォとして利用可能
- 容量 48 バイト

ビットバンドユニット (BBU)
- ビットバンド領域の特定のレジスタビットへのビット操作をサポート
  - ビットバンドエイリアス領域における 1 バイトをビットバンド領域の 1 ビットにマッピング
  - ビットバンドアクセスの対象は, I/O 領域にある特定のレジスタビット

CRC
- 入力レジスタへの逐次書込みにより, CRC コードを結果レジスタに表示

ベースタイマ
- 16 ビットタイマ
  - PWM/PPG/リロード/PWC タイマの 4 機能を選択して使用可能
  - リロード/PWC タイマ機能に関して, 2 チャネルカスケードモードで 32 ビットタイマとして使用可能

16 ビットフリーランタイマ(FRT)
- 16 ビットアップダウンカウンタ (2 チャネルはモータ制御専用)

32 ビットフリーランタイマ
- 32 ビットアップダウンカウンタ

16 ビットインプットキャプチャ (ICU)
- インプットキャプチャ
  - 立上りエッジ, 立下りエッジ, またはその両方を検出する 16 ビットキャプチャレジスタ
  - 端子入力のエッジ検出で, 16 ビットフリーランタイマのカウンタ値をラッチし, 割込み要求を発生する

32 ビットインプットキャプチャ
- インプットキャプチャ
  - 立上りエッジ, 立下りエッジ, またはその両方を検出する 32 ビットキャプチャレジスタ
  - 端子入力のエッジ検出で, 32 ビットフリーランタイマのカウンタ値をラッチし, 割込み要求を発生する
- LIN sync break/sync field の連携は以下のとおり
  - インプットキャプチャ ch.0 → マルチファンクションシリアルインタフェース ch.0
  - インプットキャプチャ ch.1 → マルチファンクションシリアルインタフェース ch.1
  - インプットキャプチャ ch.2 → マルチファンクションシリアルインタフェース ch.2

- インプットキャプチャ ch.3 → マルチファンクションシリアルインタフェース ch.3
- インプットキャプチャ ch.4 → マルチファンクションシリアルインタフェース ch.4

16 ビットアウトプットコンペア (OCU)
- 16 ビットフリーランタイマとの照合時に割込み信号を出力

波形ジェネレータ (WFG)
- 各種出力を生成
  - リアルタイム出力
  - 16 ビット PPG 波形出力
  - PPG はベースタイマの 16 ビット PPG タイマを使用
  - 連携は以下のとおり
  - WFG(ch.0-ch.5)
    - ベースタイマ ch.0 → PPG0
    - ベースタイマ ch.2 → PPG2
    - ベースタイマ ch.4 → PPG4
  - WFG(ch.6-ch.11)
    - ベースタイマ ch.6 → PPG6
    - ベースタイマ ch.8 → PPG8
    - ベースタイマ ch.10 → PPG10
  - ノンオーバラップ 3 相波形出力(インバータ制御用)
  - DC チョッパ波形出力
- デッドタイムタイマ機能搭載
- GATE 機能搭載
- DTTI 機能搭載

A/D コンバータ (ADC)
- 12 ビットの分解能の A/D コンバータ 1 ユニット(32 チャネル) 内蔵
- 32 チャネルの入力ポートからアナログ値をサンプル可能
- 変換時間: 1 µs
- 外部トリガ起動可能(ADTG)
- 内部タイマによる起動可能(ベースタイマ)

4ch サンプルホールド A/D コンバータ
- 12 ビットの分解能の A/D コンバータ 2 ユニット(8 チャネル) 内蔵

マルチファンクション シリアルインタフェース(MFS)
- UART / CSIO / LIN インタフェース(v2.1) の 3 機能を選択して使用可能
- 送信 FIFO 64 バイト, 受信 FIFO 64 バイト搭載
- 受信割込み要因(3 種類)
  - 受信エラー検出 (パリティ, オーバラン, フレームエラー)
  - FIFO に設定値分のデータを受信
  - FIFO に設定値以下のデータを受信し, ボーレートクロックで 8 クロック以上のアイドル期間検出
- 送信割込み要因 (2 種類)
  - 送信動作なし
  - 送信 FIFO エンプティ(送信中を含む)
- SPI (Serial Peripheral Interface) 対応
- LIN プロトコル Revision2.1 に対応

アップダウンカウンタ(UDC)
- 8/16 ビットアップダウンカウンタ(2 チャネルは R/D コンバータで使用)

CAN インタフェース
- CAN 仕様バージョン 2.0 パート A およびパート B に準拠
- 64 個のメッセージバッファ × 3 チャネル
- 各メッセージオブジェクトには独自の識別子マスクあり
- 最高 1Mbps までサポート
- クロックには CAN プリスケーラを実装
- CAN ウェイクアップ機能

FlexRay コントローラ
- FlexRay 仕様バージョン 2.1 に対応
- 最大 128 のメッセージバッファ構成
- 8K バイトのメッセージ RAM
- 可変長のメッセージバッファ構成
- 各メッセージバッファは, 受信バッファ, 送信バッファあるいは受信
  - FIFO の一部として構成可能
- インプットバッファとアウトプットバッファを介してメッセージバッファへのホストアクセス
- スロットカウンタ, サイクルカウンタ, チャネルに対するフィルタリング
- マスク可能な割込み

R/D コンバータ (RDC)
- レゾルバとのインタフェース機能

D/A コンバータ (DAC)
- 10 ビットの分解能

モータ演算アクセラレータ(MVA)
- 3 相電流正規化, 3 相 2 相直流変換/2 相 3 相交流変換・角度演算, PID 制御演算をアシスト
- 演算中のエラー検出(浮動小数点演算のオーバフロー/アンダフロー/非正規化エラー)
- R/D コンバータの振幅診断/角度診断機能
- 異常電流診断機能

キーコード

■ キーコード対象
- 汎用入出力モジュール(GPIO)の一部レジスタ
- ポート設定モジュール(PPC)のレジスタ
- アナログ入力制御レジスタ(ADER)
- 4ch ADC アナログ入力制御レジスタ(ADER4CH_1, ADER4CH_0)
- アナログ出力制御レジスタ(DAC00_DAER, DAC01_DAER)

Table of Contents

特長 **1**
1. 品種構成 **7**
2. 端子配列図 **8**
3. 端子機能説明 **10**
4. 入出力回路形式 **29**
5. 取扱上のご注意 **32**
5.1 設計上の注意事項 32
5.2 パッケージ実装上の注意事項 33
5.3 使用環境に関する注意事項 35
6. デバイス使用上の注意 **36**
7. ブロックダイヤグラム **39**
8. メモリマップ **41**
9. I/O マップ **44**
10. 各 CPU ステートにおける端子状態 **49**
11. 電気的特性 **51**
11.1 絶対最大定格 51
11.2 推奨動作条件 53
11.3 直流規格 54
11.4 交流規格 63
11.5 A/D コンバータ 90
11.6 4 チャネル同時サンプリング A/D コンバータ 91
11.7 フラッシュメモリ 93
11.8 R/D コンバータ 94
12. オーダ型格 **95**
13. 型格オプション **95**
14. パッケージ・外形寸法図 **96**
15. 主な変更内容 **97**
セールス，ソリューションおよび法律情報 **99**

1. 品種構成

メモリサイズ

項目	CY9DF566
FLASH 容量(プログラム)	(1024 KB+128 KB)×2
FLASH 容量(ワーク)	64 KB×2
RAM 容量	128 KB×2

機能

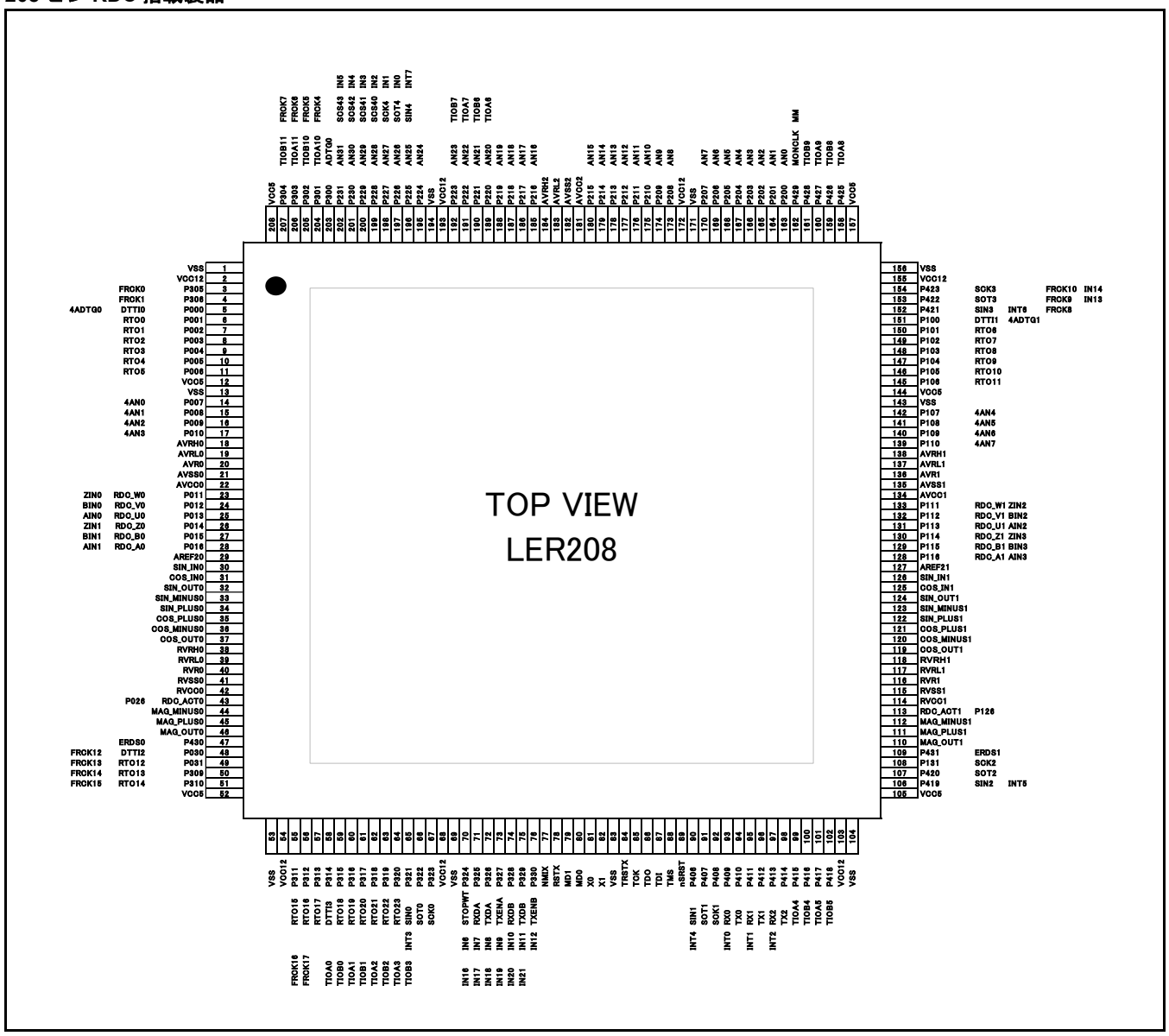
端子数	208 pin
システムクロック	オンチップ PLL クロック逓倍方式 最少命令実行時間 5ns (200 MHz)
CR 発振器 (高速/低速)	あり
DMAC	16 チャネル
ベースタイマ	12 チャネル(0～11)
32 ビットフリーランタイマ	5 チャネル
32 ビットインプットキャプチャ	3 ユニット(6 チャネル)
16 ビットフリーランタイマ	20 チャネル*1
16 ビットインプットキャプチャ	8 ユニット(0～7) (15 チャネル(0～14))
16 ビットアウトプットコンペア	12 ユニット(0～11) (24 チャネル(0～23))
波形ジェネレータ	4 ユニット(0～3) (24 チャネル(0～23))
外部割込み	8 チャネル(0～7)
A/D コンバータ	1 ユニット(32 チャネル)
4ch サンプルホールド A/D コンバータ	2 ユニット(8 チャネル)
R/D コンバータ	2 ユニット*2
D/A コンバータ	2 チャネル*2
アップダウンカウンタ	4 チャネル
モータ演算アクセラレータ	2 ユニット
マルチファンクションシリアルインタフェース	5 チャネル(0～4)
CAN	3 チャネル
FlexRay	128 msb×1 ユニット(ch.A/ch.B)*2
コア間通信	あり
排他アクセスメモリ	あり
ソフトウェアウォッチドッグタイマ	あり
ハードウェアウォッチドッグタイマ	あり
CRC	2 チャネル
内部電源低電圧検出	あり
外部電源低電圧検出	あり
キーコード	あり*2
パッケージ	LER208
デバッグインタフェース	JTAG 搭載

*1: 2 チャネルはモータ制御用

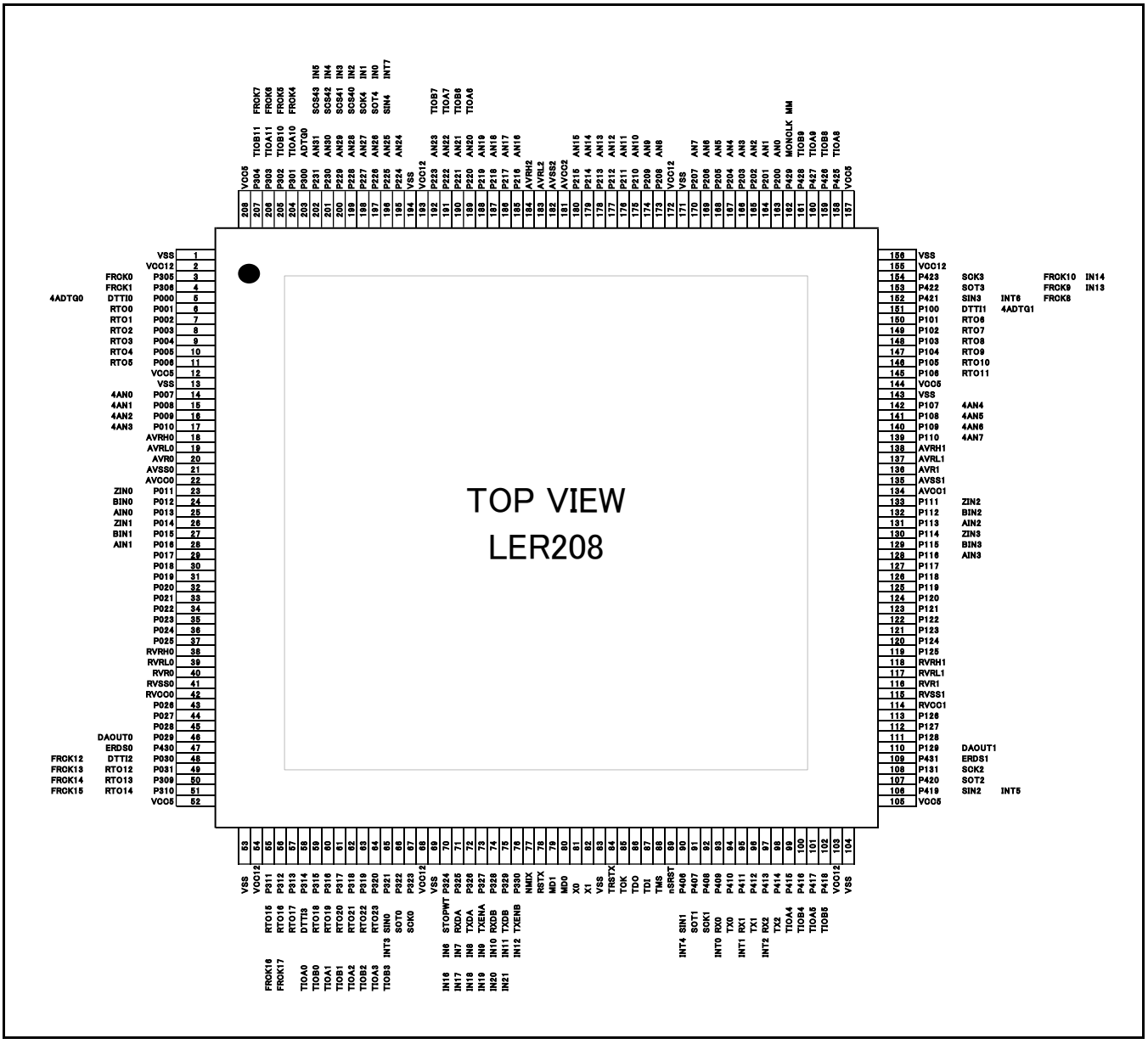
*2: 型格により機能の有無, チャネル数が異なります。13.型格オプションを参照してください。

2. 端子配列図

208 ピン RDC 搭載製品



208 ピン RDC 非搭載製品



3. 端子機能説明

RDC 搭載製品

端子番号 208 pin	端子名	入出力 回路形式	機能
3	P305 FRCK0	E	汎用入出力ポート 16 ビットフリーランタイマ ch.0 外部クロック入力端子
4	P306 FRCK1	E	汎用入出力ポート 16 ビットフリーランタイマ ch.1 外部クロック入力端子
5	P000 DTTI0 4ADTG0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 0 4ch サンプルホールド A/D コンバータ ユニット 0 外部トリガ入力端子
6	P001 RTO0	E	汎用入出力ポート 波形ジェネレータ ch.0 出力端子
7	P002 RTO1	E	汎用入出力ポート 波形ジェネレータ ch.1 出力端子
8	P003 RTO2	E	汎用入出力ポート 波形ジェネレータ ch.2 出力端子
9	P004 RTO3	E	汎用入出力ポート 波形ジェネレータ ch.3 出力端子
10	P005 RTO4	E	汎用入出力ポート 波形ジェネレータ ch.4 出力端子
11	P006 RTO5	E	汎用入出力ポート 波形ジェネレータ ch.5 出力端子
14	P007 4AN0	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 0 入力端子
15	P008 4AN1	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 1 入力端子
16	P009 4AN2	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 2 入力端子
17	P010 4AN3	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 3 入力端子
23	P011 RDC_W0 ZIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 W 相出力端子 アップダウンカウンタ ch.0 ZIN 入力端子
24	P012 RDC_V0 BIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 V 相出力端子 アップダウンカウンタ ch.0 BIN 入力端子
25	P013 RDC_U0 AIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 U 相出力端子 アップダウンカウンタ ch.0 AIN 入力端子
26	P014 RDC_Z0 ZIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 Z 相出力端子 アップダウンカウンタ ch.1 ZIN 入力端子
27	P015 RDC_B0 BIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 B 相出力端子 アップダウンカウンタ ch.1 BIN 入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
28	P016 RDC_A0 AIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 A 相出力端子 アップダウンカウンタ ch.1 AIN 入力端子
29	AREF20	L	R/D コンバータ ユニット 0 Aref 出力端子(RVCC0/2)
30	SIN_IN0	K	R/D コンバータ ユニット 0 SIN コイル地絡検出用入力端子
31	COS_IN0	K	R/D コンバータ ユニット 0 COS コイル地絡検出用入力端子
32	SIN_OUT0	L	R/D コンバータ ユニット 0 SIN 出力端子
33	SIN_MINUS0	K	R/D コンバータ ユニット 0 SIN 入力端子-
34	SIN_PLUS0	K	R/D コンバータ ユニット 0 SIN 入力端子+
35	COS_PLUS0	K	R/D コンバータ ユニット 0 COS 入力端子+
36	COS_MINUS0	K	R/D コンバータ ユニット 0 COS 入力端子-
37	COS_OUT0	L	R/D コンバータ ユニット 0 COS 出力端子
43	RDC_ACT0 P026	E	R/D コンバータ ユニット 0 動作状況出力端子 汎用入出力ポート
44	MAG_MINUS0	K	R/D コンバータ ユニット 0 励磁外部入力端子-
45	MAG_PLUS0	K	R/D コンバータ ユニット 0 励磁外部入力端子+
46	MAG_OUT0	L	R/D コンバータ ユニット 0 励磁信号出力端子
47	P430 ERDS0	E	汎用入出力ポート 異常検出出力端子 ch.0
48	P030 DTTI2 FRCK12	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 2 16 ビットフリーランタイマ ch.12 外部クロック入力端子
49	P031 RTO12 FRCK13	E	汎用入出力ポート 波形ジェネレータ ch.12 出力端子 16 ビットフリーランタイマ ch.13 外部クロック入力端子
50	P309 RTO13 FRCK14	E	汎用入出力ポート 波形ジェネレータ ch.13 出力端子 16 ビットフリーランタイマ ch.14 外部クロック入力端子
51	P310 RTO14 FRCK15	E	汎用入出力ポート 波形ジェネレータ ch.14 出力端子 16 ビットフリーランタイマ ch.15 外部クロック入力端子
55	P311 RTO15 FRCK16	E	汎用入出力ポート 波形ジェネレータ ch.15 出力端子 16 ビットフリーランタイマ ch.16 外部クロック入力端子
56	P312 RTO16 FRCK17	E	汎用入出力ポート 波形ジェネレータ ch.16 出力端子 16 ビットフリーランタイマ ch.17 外部クロック入力端子
57	P313 RTO17	E	汎用入出力ポート 波形ジェネレータ ch.17 出力端子
58	P314 DTTI3 TIOA0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 3 ベースタイマ ch.0 TIOA 出力端子
59	P315 RTO18 TIOB0	E	汎用入出力ポート 波形ジェネレータ ch.18 出力端子 ベースタイマ ch.0 TIOB 入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
60	P316 RTO19 TIOA1	E	汎用入出力ポート 波形ジェネレータ ch.19 出力端子 ベースタイマ ch.1 TIOA 入出力端子
61	P317 RTO20 TIOB1	E	汎用入出力ポート 波形ジェネレータ ch.20 出力端子 ベースタイマ ch.1 TIOB 入力端子
62	P318 RTO21 TIOA2	E	汎用入出力ポート 波形ジェネレータ ch.21 出力端子 ベースタイマ ch.2 TIOA 出力端子
63	P319 RTO22 TIOB2	E	汎用入出力ポート 波形ジェネレータ ch.22 出力端子 ベースタイマ ch.2 TIOB 入力端子
64	P320 RTO23 TIOA3	E	汎用入出力ポート 波形ジェネレータ ch.23 出力端子 ベースタイマ ch.3 TIOA 入出力端子
65	P321 SIN0 INT3 TIOB3	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ入力端子 INT3 外部割込み入力端子 ベースタイマ ch.3 TIOB 入力端子
66	P322 SOT0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ出力端子
67	P323 SCK0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 クロック入出力端子
70	P324 STOPWT IN6 IN16	E	汎用入出力ポート FlexRay ストップウォッチ入力端子 16 ビットインプットキャプチャ ch.6 外部パルス入力端子 32 ビットインプットキャプチャ ch.0 外部パルス入力端子
71	P325 RXDA IN7 IN17	H	汎用入出力ポート FlexRay ch.A データ入力端子 16 ビットインプットキャプチャ ch.7 外部パルス入力端子 32 ビットインプットキャプチャ ch.1 外部パルス入力端子
72	P326 TXDA IN8 IN18	H	汎用入出力ポート FlexRay ch.A データ出力端子 16 ビットインプットキャプチャ ch.8 外部パルス入力端子 32 ビットインプットキャプチャ ch.2 外部パルス入力端子
73	P327 TXENA IN9 IN19	H	汎用入出力ポート FlexRay ch.A 動作許可出力端子 16 ビットインプットキャプチャ ch.9 外部パルス入力端子 32 ビットインプットキャプチャ ch.3 外部パルス入力端子
74	P328 RXDB IN10 IN20	H	汎用入出力ポート FlexRay ch.B データ入力端子 16 ビットインプットキャプチャ ch.10 外部パルス入力端子 32 ビットインプットキャプチャ ch.4 外部パルス入力端子
75	P329 TXDB IN11 IN21	H	汎用入出力ポート FlexRay ch.B データ出力端子 16 ビットインプットキャプチャ ch.11 外部パルス入力端子 32 ビットインプットキャプチャ ch.5 外部パルス入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
76	P330 TXENB IN12	H	汎用入出力ポート FlexRay ch.B 動作許可出力端子 16 ビットインプットキャプチャ ch.12 外部パルス入力端子
77	NMIX	B	マスクなし割込み入力端子
78	RSTX	B	外部リセット入力端子
79	MD1	C	モード端子 1 (高電圧制御付)
80	MD0	C	モード端子 0 (高電圧制御付)
81	X0	A	メインクロック発振入力端子
82	X1		メインクロック発振出力端子
84	TRSTX	J	JTAG テストリセット入力
85	TCK	J	JTAG テストクロック入力
86	TDO	I	JTAG テストデータ出力
87	TDI	J	JTAG テストデータ入力
88	TMS	J	JTAG テストモード状態入力
89	nSRST	J	デバッガ用システムリセット入力
90	P406 SIN1 INT4	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ入力端子 INT4 外部割込み入力端子
91	P407 SOT1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ出力端子
92	P408 SCK1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 クロック入出力端子
93	P409 RX0 INT0	E	汎用入出力ポート CAN ch.0 受信データ入力端子 INT0 外部割込み入力端子
94	P410 TX0	E	汎用入出力ポート CAN ch.0 送信データ出力端子
95	P411 RX1 INT1	E	汎用入出力ポート CAN ch.1 受信データ入力端子 INT1 外部割込み入力端子
96	P412 TX1	E	汎用入出力ポート CAN ch.1 送信データ出力端子
97	P413 RX2 INT2	E	汎用入出力ポート CAN ch.2 受信データ入力端子 INT2 外部割込み入力端子
98	P414 TX2	E	汎用入出力ポート CAN ch.2 送信データ出力端子
99	P415 TIOA4	E	汎用入出力ポート ベースタイマ ch.4 TIOA 出力端子
100	P416 TIOB4	E	汎用入出力ポート ベースタイマ ch.4 TIOB 入力端子
101	P417 TIOA5	E	汎用入出力ポート ベースタイマ ch.5 TIOA 入出力端子
102	P418 TIOB5	E	汎用入出力ポート ベースタイマ ch.5 TIOB 入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
106	P419 SIN2 INT5	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ入力端子 INT5 外部割込み入力端子
107	P420 SOT2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ出力端子
108	P131 SCK2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 クロック入出力端子
109	P431 ERDS1	E	汎用入出力ポート 異常検出出力端子 ch.1
110	MAG_OUT1	L	R/D コンバータ ユニット 1 励磁信号出力端子
111	MAG_PLUS1	K	R/D コンバータ ユニット 1 励磁外部入力端子+
112	MAG_MINUS1	K	R/D コンバータ ユニット 1 励磁外部入力端子-
113	RDC_ACT1 P126	E	R/D コンバータ ユニット 1 動作状況出力端子 汎用入出力ポート
119	COS_OUT1	L	R/D コンバータ ユニット 1 COS 出力端子
120	COS_MINUS1	K	R/D コンバータ ユニット 1 COS 入力端子-
121	COS_PLUS1	K	R/D コンバータ ユニット 1 COS 入力端子+
122	SIN_PLUS1	K	R/D コンバータ ユニット 1 SIN 入力端子+
123	SIN_MINUS1	K	R/D コンバータ ユニット 1 SIN 入力端子-
124	SIN_OUT1	L	R/D コンバータ ユニット 1 SIN 出力端子
125	COS_IN1	K	R/D コンバータ ユニット 1 COS コイル地絡検出用入力端子
126	SIN_IN1	K	R/D コンバータ ユニット 1 SIN コイル地絡検出用入力端子
127	AREF21	L	R/D コンバータ ユニット 1 Aref 出力端子(RVCC1/2)
128	P116 RDC_A1 AIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 A 相出力端子 アップダウンカウンタ ch.3 AIN 入力端子
129	P115 RDC_B1 BIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 B 相出力端子 アップダウンカウンタ ch.3 BIN 入力端子
130	P114 RDC_Z1 ZIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 Z 相出力端子 アップダウンカウンタ ch.3 ZIN 入力端子
131	P113 RDC_U1 AIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 U 相出力端子 アップダウンカウンタ ch.2 AIN 入力端子
132	P112 RDC_V1 BIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 V 相出力端子 アップダウンカウンタ ch.2 BIN 入力端子
133	P111 RDC_W1 ZIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 W 相出力端子 アップダウンカウンタ ch.2 ZIN 入力端子
139	P110 4AN7	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 7 入力端子
140	P109 4AN6	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 6 入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
141	P108 4AN5	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 5 入力端子
142	P107 4AN4	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 4 入力端子
145	P106 RTO11	E	汎用入出力ポート 波形ジェネレータ ch.11 出力端子
146	P105 RTO10	E	汎用入出力ポート 波形ジェネレータ ch.10 出力端子
147	P104 RTO9	E	汎用入出力ポート 波形ジェネレータ ch.9 出力端子
148	P103 RTO8	E	汎用入出力ポート 波形ジェネレータ ch.8 出力端子
149	P102 RTO7	E	汎用入出力ポート 波形ジェネレータ ch.7 出力端子
150	P101 RTO6	E	汎用入出力ポート 波形ジェネレータ ch.6 出力端子
151	P100 DTTI1 4ADTG1	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 1 4ch サンプルホールド A/D コンバータ ユニット 1 外部トリガ入力端子
152	P421 SIN3 INT6 FRCK8	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力端子 INT6 外部割込み入力端子 16 ビットフリーランタイマ ch.8 外部クロック入力端子
153	P422 SOT3 FRCK9 IN13	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力端子 16 ビットフリーランタイマ ch.9 外部クロック入力端子 16 ビットインプットキャプチャ ch.13 外部パルス入力端子
154	P423 SCK3 FRCK10 IN14	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 クロック入出力端子 16 ビットフリーランタイマ ch.10 外部クロック入力端子 16 ビットインプットキャプチャ ch.14 外部パルス入力端子
158	P425 TIOA8	E	汎用入出力ポート ベースタイマ ch.8 TIOA 出力端子
159	P426 TIOB8	E	汎用入出力ポート ベースタイマ ch.8 TIOB 入力端子
160	P427 TIOA9	E	汎用入出力ポート ベースタイマ ch.9 TIOA 入出力端子
161	P428 TIOB9	E	汎用入出力ポート ベースタイマ ch.9 TIOB 入力端子
162	P429 MONCLK MM	E	汎用入出力ポート クロックモニタ出力端子 クロックスーパバイザ メインクロック異常検出出力端子
163	P200 AN0	F	汎用入出力ポート A/D コンバータ アナログ 0 入力端子
164	P201 AN1	F	汎用入出力ポート A/D コンバータ アナログ 1 入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
165	P202 AN2	F	汎用入出力ポート A/D コンバータ アナログ 2 入力端子
166	P203 AN3	F	汎用入出力ポート A/D コンバータ アナログ 3 入力端子
167	P204 AN4	F	汎用入出力ポート A/D コンバータ アナログ 4 入力端子
168	P205 AN5	F	汎用入出力ポート A/D コンバータ アナログ 5 入力端子
169	P206 AN6	F	汎用入出力ポート A/D コンバータ アナログ 6 入力端子
170	P207 AN7	F	汎用入出力ポート A/D コンバータ アナログ 7 入力端子
173	P208 AN8	F	汎用入出力ポート A/D コンバータ アナログ 8 入力端子
174	P209 AN9	F	汎用入出力ポート A/D コンバータ アナログ 9 入力端子
175	P210 AN10	F	汎用入出力ポート A/D コンバータ アナログ 10 入力端子
176	P211 AN11	F	汎用入出力ポート A/D コンバータ アナログ 11 入力端子
177	P212 AN12	F	汎用入出力ポート A/D コンバータ アナログ 12 入力端子
178	P213 AN13	F	汎用入出力ポート A/D コンバータ アナログ 13 入力端子
179	P214 AN14	F	汎用入出力ポート A/D コンバータ アナログ 14 入力端子
180	P215 AN15	F	汎用入出力ポート A/D コンバータ アナログ 15 入力端子
185	P216 AN16	F	汎用入出力ポート A/D コンバータ アナログ 16 入力端子
186	P217 AN17	F	汎用入出力ポート A/D コンバータ アナログ 17 入力端子
187	P218 AN18	F	汎用入出力ポート A/D コンバータ アナログ 18 入力端子
188	P219 AN19	F	汎用入出力ポート A/D コンバータ アナログ 19 入力端子
189	P220 AN20 TIOA6	F	汎用入出力ポート A/D コンバータ アナログ 20 入力端子 ベースタイマ ch.6 TIOA 出力端子
190	P221 AN21 TIOB6	F	汎用入出力ポート A/D コンバータ アナログ 21 入力端子 ベースタイマ ch.6 TIOB 入力端子
191	P222 AN22 TIOA7	F	汎用入出力ポート A/D コンバータ アナログ 22 入力端子 ベースタイマ ch.7 TIOA 入出力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
192	P223 AN23 TIOB7	F	汎用入出力ポート A/D コンバータ アナログ 23 入力端子 ベースタイマ ch.7 TIOB 入力端子
195	P224 AN24	F	汎用入出力ポート A/D コンバータ アナログ 24 入力端子
196	P225 AN25 SIN4 INT7	F	汎用入出力ポート A/D コンバータ アナログ 25 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力端子 INT7 外部割込み入力端子
197	P226 AN26 SOT4 IN0	F	汎用入出力ポート A/D コンバータ アナログ 26 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力端子 16 ビットインプットキャプチャ ch.0 外部パルス入力端子
198	P227 AN27 SCK4 IN1	F	汎用入出力ポート A/D コンバータ アナログ 27 入力端子 マルチファンクションシリアルインタフェース ch.4 クロック入出力端子 16 ビットインプットキャプチャ ch.1 外部パルス入力端子
199	P228 AN28 SCS40 IN2	F	汎用入出力ポート A/D コンバータ アナログ 28 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力端子 16 ビットインプットキャプチャ ch.2 外部パルス入力端子
200	P229 AN29 SCS41 IN3	F	汎用入出力ポート A/D コンバータ アナログ 29 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 入出力端子 16 ビットインプットキャプチャ ch.3 外部パルス入力端子
201	P230 AN30 SCS42 IN4	F	汎用入出力ポート A/D コンバータ アナログ 30 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 入出力端子 16 ビットインプットキャプチャ ch.4 外部パルス入力端子
202	P231 AN31 SCS43 IN5	F	汎用入出力ポート A/D コンバータ アナログ 31 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 入出力端子 16 ビットインプットキャプチャ ch.5 外部パルス入力端子
203	P300 ADTG0	E	汎用入出力ポート A/D コンバータ 外部トリガ入力端子
204	P301 TIOA10 FRCK4	E	汎用入出力ポート ベースタイマ ch.10 TIOA 出力端子 16 ビットフリーランタイマ ch.4 外部クロック入力端子
205	P302 TIOB10 FRCK5	E	汎用入出力ポート ベースタイマ ch.10 TIOB 入力端子 16 ビットフリーランタイマ ch.5 外部クロック入力端子

端子番号 208 pin	端子名	入出力 回路形式	機能
206	P303 TIOA11 FRCK6	E	汎用入出力ポート ベースタイマ ch.11 TIOA 入出力端子 16 ビットフリーランタイマ ch.6 外部クロック入力端子
207	P304 TIOB11 FRCK7	E	汎用入出力ポート ベースタイマ ch.11 TIOB 入力端子 16 ビットフリーランタイマ ch.7 外部クロック入力端子
18	AVRH0	-	4ch サンプルホールド A/D コンバータ ユニット 0 上限基準電圧
19	AVRL0	-	4ch サンプルホールド A/D コンバータ ユニット 0 下限基準電圧
20	AVR0	-	4ch サンプルホールド A/D コンバータ ユニット 0 基準電圧
21	AVSS0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ GND
22	AVCC0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ電源
134	AVCC1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ電源
135	AVSS1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ GND
136	AVR1	-	4ch サンプルホールド A/D コンバータ ユニット 1 基準電圧
137	AVRL1	-	4ch サンプルホールド A/D コンバータ ユニット 1 下限基準電圧
138	AVRH1	-	4ch サンプルホールド A/D コンバータ ユニット 1 上限基準電圧
38	RVRH0	-	R/D コンバータ ユニット 0 上限基準電圧
39	RVRL0	-	R/D コンバータ ユニット 0 下限基準電圧
40	RVR0	-	R/D コンバータ ユニット 0 基準電圧
41	RVSS0	-	R/D コンバータ ユニット 0 アナログ GND
42	RVCC0	-	R/D コンバータ ユニット 0 アナログ電源
114	RVCC1	-	R/D コンバータ ユニット 1 アナログ電源
115	RVSS1	-	R/D コンバータ ユニット 1 アナログ GND
116	RVR1	-	R/D コンバータ ユニット 1 基準電圧
117	RVRL1	-	R/D コンバータ ユニット 1 下限基準電圧
118	RVRH1	-	R/D コンバータ ユニット 1 上限基準電圧
181	AVCC2	-	A/D コンバータ アナログ電源
182	AVSS2	-	A/D コンバータ アナログ GND
183	AVRL2	-	A/D コンバータ 下限基準電圧
184	AVRH2	-	A/D コンバータ 上限基準電圧
2 54 68 103 155 172 193	VCC12	-	1.2 V 電源
12 52 105 144 157 208	VCC5	-	5.0 V 電源

端子番号 208 pin	端子名	入出力 回路形式	機能
1 13 53 69 83 104 143 156 171 194	VSS	-	GND

RDC 非搭載製品

端子番号 208pin	端子名	入出力 回路形式	機能
3	P305 FRCK0	E	汎用入出力ポート 16 ビットフリーランタイマ ch.0 外部クロック入力端子
4	P306 FRCK1	E	汎用入出力ポート 16 ビットフリーランタイマ ch.1 外部クロック入力端子
5	P000 DTTI0 4ADTG0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 0 4ch サンプルホールド A/D コンバータ ユニット 0 外部トリガ入力端子
6	P001 RTO0	E	汎用入出力ポート 波形ジェネレータ ch.0 出力端子
7	P002 RTO1	E	汎用入出力ポート 波形ジェネレータ ch.1 出力端子
8	P003 RTO2	E	汎用入出力ポート 波形ジェネレータ ch.2 出力端子
9	P004 RTO3	E	汎用入出力ポート 波形ジェネレータ ch.3 出力端子
10	P005 RTO4	E	汎用入出力ポート 波形ジェネレータ ch.4 出力端子
11	P006 RTO5	E	汎用入出力ポート 波形ジェネレータ ch.5 出力端子
14	P007 4AN0	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 0 入力端子
15	P008 4AN1	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 1 入力端子
16	P009 4AN2	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 2 入力端子
17	P010 4AN3	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 3 入力端子
23	P011 ZIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 ZIN 入力端子
24	P012 BIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 BIN 入力端子
25	P013 AIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 AIN 入力端子
26	P014 ZIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 ZIN 入力端子
27	P015 BIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 BIN 入力端子
28	P016 AIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 AIN 入力端子
29	P017	E	汎用入出力ポート
30	P018	E	汎用入出力ポート
31	P019	E	汎用入出力ポート
32	P020	E	汎用入出力ポート
33	P021	E	汎用入出力ポート
34	P022	E	汎用入出力ポート

端子番号 208pin	端子名	入出力 回路形式	機能
35	P023	E	汎用入出力ポート
36	P024	E	汎用入出力ポート
37	P025	E	汎用入出力ポート
43	P026	E	汎用入出力ポート
44	P027	E	汎用入出力ポート
45	P028	E	汎用入出力ポート
46	P029 DAOUT0	G	汎用入出力ポート D/A コンバータ ch.0 アナログ出力端子
47	P430 ERDS0	E	汎用入出力ポート 異常検出出力端子 ch.0
48	P030 DTTI2 FRCK12	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 2 16 ビットフリーランタイマ ch.12 外部クロック入力端子
49	P031 RTO12 FRCK13	E	汎用入出力ポート 波形ジェネレータ ch.12 出力端子 16 ビットフリーランタイマ ch.13 外部クロック入力端子
50	P309 RTO13 FRCK14	E	汎用入出力ポート 波形ジェネレータ ch.13 出力端子 16 ビットフリーランタイマ ch.14 外部クロック入力端子
51	P310 RTO14 FRCK15	E	汎用入出力ポート 波形ジェネレータ ch.14 出力端子 16 ビットフリーランタイマ ch.15 外部クロック入力端子
55	P311 RTO15 FRCK16	E	汎用入出力ポート 波形ジェネレータ ch.15 出力端子 16 ビットフリーランタイマ ch.16 外部クロック入力端子
56	P312 RTO16 FRCK17	E	汎用入出力ポート 波形ジェネレータ ch.16 出力端子 16 ビットフリーランタイマ ch.17 外部クロック入力端子
57	P313 RTO17	E	汎用入出力ポート 波形ジェネレータ ch.17 出力端子
58	P314 DTTI3 TIOA0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 3 ベースタイマ ch.0 TIOA 出力端子
59	P315 RTO18 TIOB0	E	汎用入出力ポート 波形ジェネレータ ch.18 出力端子 ベースタイマ ch.0 TIOB 入力端子
60	P316 RTO19 TIOA1	E	汎用入出力ポート 波形ジェネレータ ch.19 出力端子 ベースタイマ ch.1 TIOA 入出力端子
61	P317 RTO20 TIOB1	E	汎用入出力ポート 波形ジェネレータ ch.20 出力端子 ベースタイマ ch.1 TIOB 入力端子
62	P318 RTO21 TIOA2	E	汎用入出力ポート 波形ジェネレータ ch.21 出力端子 ベースタイマ ch.2 TIOA 出力端子

端子番号 208pin	端子名	入出力 回路形式	機能
63	P319 RTO22 TIOB2	E	汎用入出力ポート 波形ジェネレータ ch.22 出力端子 ベースタイマ ch.2 TIOB 入力端子
64	P320 RTO23 TIOA3	E	汎用入出力ポート 波形ジェネレータ ch.23 出力端子 ベースタイマ ch.3 TIOA 入出力端子
65	P321 SIN0 INT3 TIOB3	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ入力端子 INT3 外部割込み入力端子 ベースタイマ ch.3 TIOB 入力端子
66	P322 SOT0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ出力端子
67	P323 SCK0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 クロック入出力端子
70	P324 STOPWT IN6 IN16	E	汎用入出力ポート FlexRay ストップウォッチ入力端子 16 ビットインプットキャプチャ ch.6 外部パルス入力端子 32 ビットインプットキャプチャ ch.0 外部パルス入力端子
71	P325 RXDA IN7 IN17	H	汎用入出力ポート FlexRay ch.A データ入力端子 16 ビットインプットキャプチャ ch.7 外部パルス入力端子 32 ビットインプットキャプチャ ch.1 外部パルス入力端子
72	P326 TXDA IN8 IN18	H	汎用入出力ポート FlexRay ch.A データ出力端子 16 ビットインプットキャプチャ ch.8 外部パルス入力端子 32 ビットインプットキャプチャ ch.2 外部パルス入力端子
73	P327 TXENA IN9 IN19	H	汎用入出力ポート FlexRay ch.A 動作許可出力端子 16 ビットインプットキャプチャ ch.9 外部パルス入力端子 32 ビットインプットキャプチャ ch.3 外部パルス入力端子
74	P328 RXDB IN10 IN20	H	汎用入出力ポート FlexRay ch.B データ入力端子 16 ビットインプットキャプチャ ch.10 外部パルス入力端子 32 ビットインプットキャプチャ ch.4 外部パルス入力端子
75	P329 TXDB IN11 IN21	H	汎用入出力ポート FlexRay ch.B データ出力端子 16 ビットインプットキャプチャ ch.11 外部パルス入力端子 32 ビットインプットキャプチャ ch.5 外部パルス入力端子
76	P330 TXENB IN12	H	汎用入出力ポート FlexRay ch.B 動作許可出力端子 16 ビットインプットキャプチャ ch.12 外部パルス入力端子
77	NMIX	B	マスクなし割込み入力端子
78	RSTX	B	外部リセット入力端子
79	MD1	C	モード端子 1 (高電圧制御付)
80	MD0	C	モード端子 0 (高電圧制御付)
81	X0	A	メインクロック発振入力端子
82	X1		メインクロック発振出力端子

端子番号 208pin	端子名	入出力 回路形式	機能
84	TRSTX	J	JTAG テストリセット入力
85	TCK	J	JTAG テストクロック入力
86	TDO	I	JTAG テストデータ出力
87	TDI	J	JTAG テストデータ入力
88	TMS	J	JTAG テストモード状態入力
89	nSRST	J	デバッガ用システムリセット入力
90	P406 SIN1 INT4	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ入力端子 INT4 外部割込み入力端子
91	P407 SOT1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ出力端子
92	P408 SCK1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 クロック入出力端子
93	P409 RX0 INT0	E	汎用入出力ポート CAN ch.0 受信データ入力端子 INT0 外部割込み入力端子
94	P410 TX0	E	汎用入出力ポート CAN ch.0 送信データ出力端子
95	P411 RX1 INT1	E	汎用入出力ポート CAN ch.1 受信データ入力端子 INT1 外部割込み入力端子
96	P412 TX1	E	汎用入出力ポート CAN ch.1 送信データ出力端子
97	P413 RX2 INT2	E	汎用入出力ポート CAN ch.2 受信データ入力端子 INT2 外部割込み入力端子
98	P414 TX2	E	汎用入出力ポート CAN ch.2 送信データ出力端子
99	P415 TIOA4	E	汎用入出力ポート ベースタイマ ch.4 TIOA 出力端子
100	P416 TIOB4	E	汎用入出力ポート ベースタイマ ch.4 TIOB 入力端子
101	P417 TIOA5	E	汎用入出力ポート ベースタイマ ch.5 TIOA 入出力端子
102	P418 TIOB5	E	汎用入出力ポート ベースタイマ ch.5 TIOB 入力端子
106	P419 SIN2 INT5	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ入力端子 INT5 外部割込み入力端子
107	P420 SOT2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ出力端子
108	P131 SCK2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 クロック入出力端子
109	P431 ERDS1	E	汎用入出力ポート 異常検出出力端子 ch.1

端子番号 208pin	端子名	入出力 回路形式	機能
110	P129 DAOUT1	G	汎用入出力ポート D/A コンバータ ch.1 アナログ出力端子
111	P128	E	汎用入出力ポート
112	P127	E	汎用入出力ポート
113	P126	E	汎用入出力ポート
119	P125	E	汎用入出力ポート
120	P124	E	汎用入出力ポート
121	P123	E	汎用入出力ポート
122	P122	E	汎用入出力ポート
123	P121	E	汎用入出力ポート
124	P120	E	汎用入出力ポート
125	P119	E	汎用入出力ポート
126	P118	E	汎用入出力ポート
127	P117	E	汎用入出力ポート
128	P116 AIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 AIN 入力端子
129	P115 BIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 BIN 入力端子
130	P114 ZIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 ZIN 入力端子
131	P113 AIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 AIN 入力端子
132	P112 BIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 BIN 入力端子
133	P111 ZIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 ZIN 入力端子
139	P110 4AN7	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 7 入力端子
140	P109 4AN6	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 6 入力端子
141	P108 4AN5	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 5 入力端子
142	P107 4AN4	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 4 入力端子
145	P106 RTO11	E	汎用入出力ポート 波形ジェネレータ ch.11 出力端子
146	P105 RTO10	E	汎用入出力ポート 波形ジェネレータ ch.10 出力端子
147	P104 RTO9	E	汎用入出力ポート 波形ジェネレータ ch.9 出力端子
148	P103 RTO8	E	汎用入出力ポート 波形ジェネレータ ch.8 出力端子
149	P102 RTO7	E	汎用入出力ポート 波形ジェネレータ ch.7 出力端子
150	P101 RTO6	E	汎用入出力ポート 波形ジェネレータ ch.6 出力端子

端子番号 208pin	端子名	入出力 回路形式	機能
151	P100 DTTI1 4ADTG1	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 1 4ch サンプルホールド A/D コンバータ ユニット 1 外部トリガ入力端子
152	P421 SIN3 INT6 FRCK8	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力端子 INT6 外部割込み入力端子 16 ビットフリーランタイマ ch.8 外部クロック入力端子
153	P422 SOT3 FRCK9 IN13	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力端子 16 ビットフリーランタイマ ch.9 外部クロック入力端子 16 ビットインプットキャプチャ ch.13 外部パルス入力端子
154	P423 SCK3 FRCK10 IN14	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 クロック入出力端子 16 ビットフリーランタイマ ch.10 外部クロック入力端子 16 ビットインプットキャプチャ ch.14 外部パルス入力端子
158	P425 TIOA8	E	汎用入出力ポート ベースタイマ ch.8 TIOA 出力端子
159	P426 TIOB8	E	汎用入出力ポート ベースタイマ ch.8 TIOB 入力端子
160	P427 TIOA9	E	汎用入出力ポート ベースタイマ ch.9 TIOA 入出力端子
161	P428 TIOB9	E	汎用入出力ポート ベースタイマ ch.9 TIOB 入力端子
162	P429 MONCLK MM	E	汎用入出力ポート クロックモニタ出力端子 クロックスーパバイザ メインクロック異常検出出力端子
163	P200 AN0	F	汎用入出力ポート A/D コンバータ アナログ 0 入力端子
164	P201 AN1	F	汎用入出力ポート A/D コンバータ アナログ 1 入力端子
165	P202 AN2	F	汎用入出力ポート A/D コンバータ アナログ 2 入力端子
166	P203 AN3	F	汎用入出力ポート A/D コンバータ アナログ 3 入力端子
167	P204 AN4	F	汎用入出力ポート A/D コンバータ アナログ 4 入力端子
168	P205 AN5	F	汎用入出力ポート A/D コンバータ アナログ 5 入力端子
169	P206 AN6	F	汎用入出力ポート A/D コンバータ アナログ 6 入力端子
170	P207 AN7	F	汎用入出力ポート A/D コンバータ アナログ 7 入力端子
173	P208 AN8	F	汎用入出力ポート A/D コンバータ アナログ 8 入力端子
174	P209 AN9	F	汎用入出力ポート A/D コンバータ アナログ 9 入力端子

端子番号 208pin	端子名	入出力 回路形式	機能
175	P210 AN10	F	汎用入出力ポート A/D コンバータ アナログ 10 入力端子
176	P211 AN11	F	汎用入出力ポート A/D コンバータ アナログ 11 入力端子
177	P212 AN12	F	汎用入出力ポート A/D コンバータ アナログ 12 入力端子
178	P213 AN13	F	汎用入出力ポート A/D コンバータ アナログ 13 入力端子
179	P214 AN14	F	汎用入出力ポート A/D コンバータ アナログ 14 入力端子
180	P215 AN15	F	汎用入出力ポート A/D コンバータ アナログ 15 入力端子
185	P216 AN16	F	汎用入出力ポート A/D コンバータ アナログ 16 入力端子
186	P217 AN17	F	汎用入出力ポート A/D コンバータ アナログ 17 入力端子
187	P218 AN18	F	汎用入出力ポート A/D コンバータ アナログ 18 入力端子
188	P219 AN19	F	汎用入出力ポート A/D コンバータ アナログ 19 入力端子
189	P220 AN20 TIOA6	F	汎用入出力ポート A/D コンバータ アナログ 20 入力端子 ベースタイマ ch.6 TIOA 出力端子
190	P221 AN21 TIOB6	F	汎用入出力ポート A/D コンバータ アナログ 21 入力端子 ベースタイマ ch.6 TIOB 入力端子
191	P222 AN22 TIOA7	F	汎用入出力ポート A/D コンバータ アナログ 22 入力端子 ベースタイマ ch.7 TIOA 入出力端子
192	P223 AN23 TIOB7	F	汎用入出力ポート A/D コンバータ アナログ 23 入力端子 ベースタイマ ch.7 TIOB 入力端子
195	P224 AN24	F	汎用入出力ポート A/D コンバータ アナログ 24 入力端子
196	P225 AN25 SIN4 INT7	F	汎用入出力ポート A/D コンバータ アナログ 25 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力端子 INT7 外部割込み入力端子
197	P226 AN26 SOT4 IN0	F	汎用入出力ポート A/D コンバータ アナログ 26 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力端子 16 ビットインプットキャプチャ ch.0 外部パルス入力端子
198	P227 AN27 SCK4 IN1	F	汎用入出力ポート A/D コンバータ アナログ 27 入力端子 マルチファンクションシリアルインタフェース ch.4 クロック入出力端子 16 ビットインプットキャプチャ ch.1 外部パルス入力端子

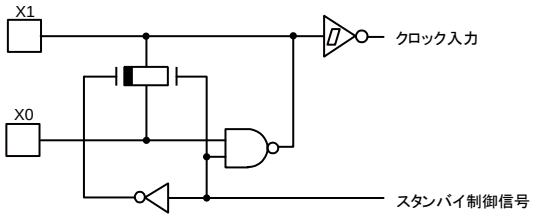
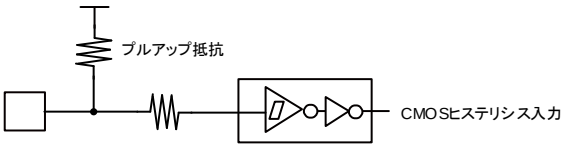
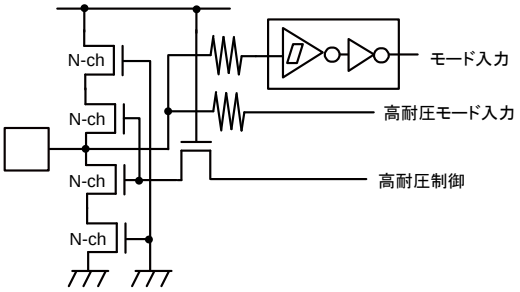
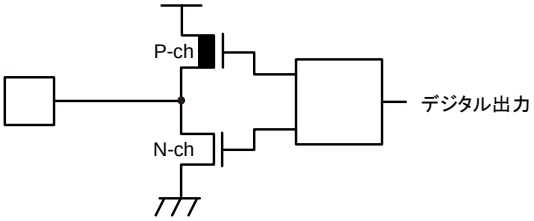
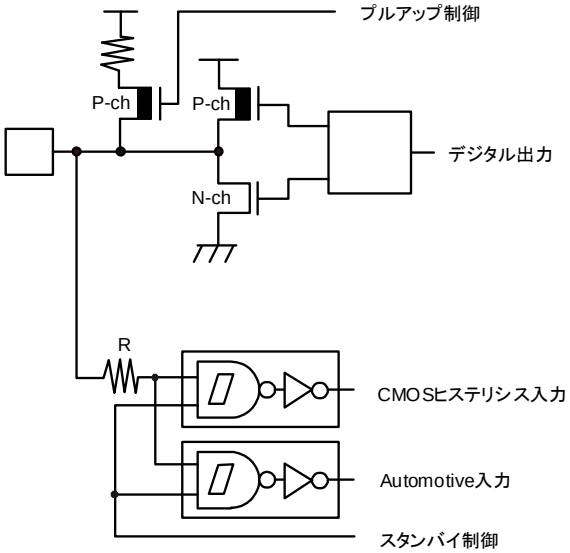
端子番号 208pin	端子名	入出力 回路形式	機能
199	P228 AN28 SCS40 IN2	F	汎用入出力ポート A/D コンバータ アナログ 28 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力端子 16 ビットインプットキャプチャ ch.2 外部パルス入力端子
200	P229 AN29 SCS41 IN3	F	汎用入出力ポート A/D コンバータ アナログ 29 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 入出力端子 16 ビットインプットキャプチャ ch.3 外部パルス入力端子
201	P230 AN30 SCS42 IN4	F	汎用入出力ポート A/D コンバータ アナログ 30 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 入出力端子 16 ビットインプットキャプチャ ch.4 外部パルス入力端子
202	P231 AN31 SCS43 IN5	F	汎用入出力ポート A/D コンバータ アナログ 31 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 入出力端子 16 ビットインプットキャプチャ ch.5 外部パルス入力端子
203	P300 ADTG0	E	汎用入出力ポート A/D コンバータ 外部トリガ入力端子
204	P301 TIOA10 FRCK4	E	汎用入出力ポート ベースタイマ ch.10 TIOA 出力端子 16 ビットフリーランタイマ ch.4 外部クロック入力端子
205	P302 TIOB10 FRCK5	E	汎用入出力ポート ベースタイマ ch.10 TIOB 入力端子 16 ビットフリーランタイマ ch.5 外部クロック入力端子
206	P303 TIOA11 FRCK6	E	汎用入出力ポート ベースタイマ ch.11 TIOA 入出力端子 16 ビットフリーランタイマ ch.6 外部クロック入力端子
207	P304 TIOB11 FRCK7	E	汎用入出力ポート ベースタイマ ch.11 TIOB 入力端子 16 ビットフリーランタイマ ch.7 外部クロック入力端子
18	AVRH0	-	4ch サンプルホールド A/D コンバータ ユニット 0 上限基準電圧
19	AVRL0	-	4ch サンプルホールド A/D コンバータ ユニット 0 下限基準電圧
20	AVR0	-	4ch サンプルホールド A/D コンバータ ユニット 0 基準電圧
21	AVSS0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ GND
22	AVCC0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ電源
134	AVCC1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ電源
135	AVSS1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ GND
136	AVR1	-	4ch サンプルホールド A/D コンバータ ユニット 1 基準電圧
137	AVRL1	-	4ch サンプルホールド A/D コンバータ ユニット 1 下限基準電圧
138	AVRH1	-	4ch サンプルホールド A/D コンバータ ユニット 1 上限基準電圧
38	RVRH0	-	*1
39	RVRL0	-	*2

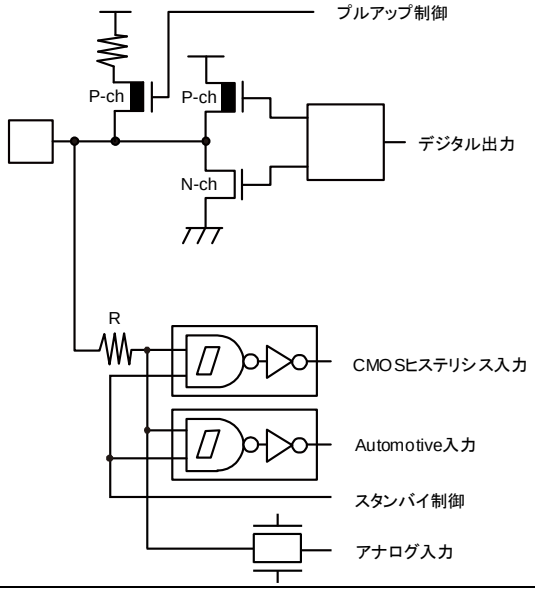
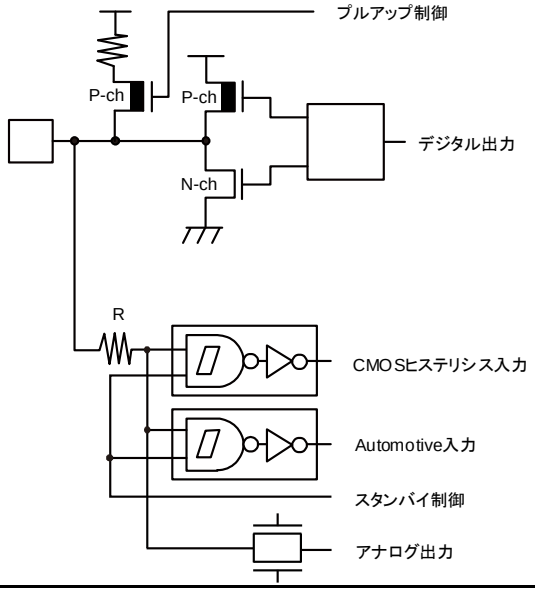
端子番号 208pin	端子名	入出力 回路形式	機能
40	RVR0	-	*2
41	RVSS0	-	*2
42	RVCC0	-	*1
114	RVCC1	-	*1
115	RVSS1	-	*2
116	RVR1	-	*2
117	RVRL1	-	*2
118	RVRH1	-	*1
181	AVCC2	-	A/D コンバータ アナログ電源
182	AVSS2	-	A/D コンバータ アナログ GND
183	AVRL2	-	A/D コンバータ 下限基準電圧
184	AVRH2	-	A/D コンバータ 上限基準電圧
2 54 68 103 155 172 193	VCC12	-	1.2 V 電源
12 52 105 144 157 208	VCC5	-	5.0 V 電源
1 13 53 69 83 104 143 156 171 194	VSS	-	GND

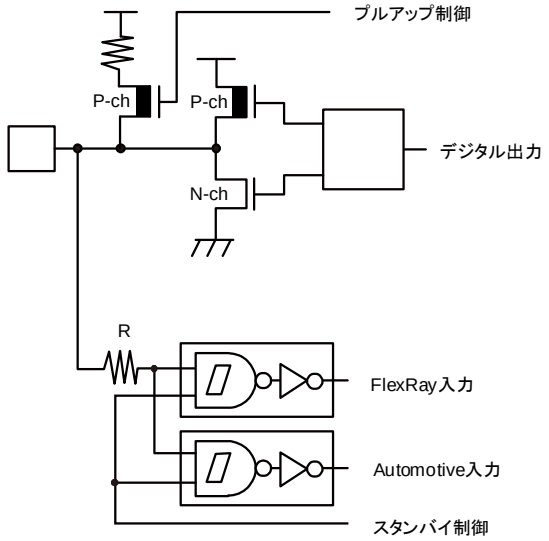
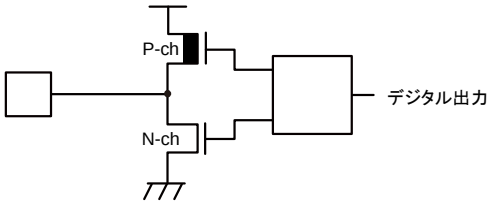
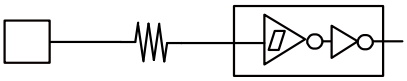
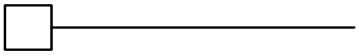
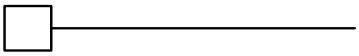
*1: RDC 非搭載製品では使用しません。必ず VCC5 を接続してください。

*2: RDC 非搭載製品では使用しません。必ず VSS を接続してください。

4. 入出力回路形式

分類	回路	概要
A		– 発振帰還抵抗 約 1 MΩ
B		– CMOS ヒステリシス入力 – プルアップ抵抗付き 50 kΩ
C		– Schmitt 入力 – 高耐圧制御付き
D		– CMOS レベル出力 I_{OH}=-1/-2 mA, I_{OL}=1/2 mA
E		– 汎用入出力ポート – CMOS レベル出力 I_{OH}=-1/-2 mA, I_{OL}=1/2 mA – プルアップ抵抗制御付き 50 kΩ – CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) – Automotive 入力(0.8Vcc/0.5Vcc)

分類	回路	概要
F		– アナログ入力付き，汎用入出力ポート – CMOS レベル出力 I_{OH}=-1/-2 mA, I_{OL}=1/2 mA – プルアップ抵抗制御付き 50 kΩ – CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) スタンバイ時，入力値は前値保持 – Automotive 入力(0.8Vcc/0.5Vcc) スタンバイ時，入力値は前値保持
G		– アナログ出力付き，汎用入出力ポート – CMOS レベル出力 I_{OH}=-1/-2 mA, I_{OL}=1/2 mA – プルアップ抵抗制御付き 50 kΩ – CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) スタンバイ時，入力値は前値保持 – Automotive 入力(0.8Vcc/0.5Vcc) スタンバイ時，入力値は前値保持

分類	回路	概要
H		– 汎用入出力ポート – CMOS レベル出力 I_{OH}=-1/-2/-4 mA, I_{OL}=1/2/4 mA – プルアップ抵抗制御付き 50 kΩ – FlexRay 入力(0.7Vcc/0.3Vcc) スタンバイ時, 入力値は前値保持 – Automotive 入力(0.8Vcc/0.5Vcc) スタンバイ時, 入力値は前値保持
I		– CMOS レベル出力 I_{OH}=-5 mA, I_{OL}=5 mA
J		– TTL ヒステリシス入力(2 V/0.8 V)
K		– アナログ入力
L		– アナログ出力

5. 取扱上のご注意

半導体デバイスは, ある確率で故障します。また, 半導体デバイスの故障は, 使用される条件 (回路条件, 環境条件など) によっても大きく左右されます。

以下に, 半導体デバイスをより信頼性の高い状態で使用していただくために, 注意・配慮しなければならない事項について説明します。

5.1設計上の注意事項

ここでは, 半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは, 過剰なストレス (電圧, 電流, 温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って, 定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は, 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は, すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると, 信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目, 使用条件, 論理組み合わせでの使用は, 保証していません。記載されている以外の条件での使用をお考えの場合は, 必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには, 電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

   各端子に最大定格を超える電圧・電流が印加されると, デバイスの内部に劣化が生じ, 著しい場合には破壊に至ります。機器の設計の際には, このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

   出力端子を電源端子または他の出力端子とショートしたり, 大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので, このような接続はしないようにしてください。

3. 未使用入力端子の処理

   インピーダンスの非常に高い入力端子は, オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは，基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合，内部の寄生 PNPN 接合(サイリスタ構造)が導通して，数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく，破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために，以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ，サージ等にも注意してください。
2. 電源投入シーケンスを考慮し，異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では，安全や，電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては，これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは，ある確率で故障が発生します。半導体デバイスが故障しても，結果的に人身事故，火災事故，社会的な損害を生じさせないよう，お客様は，装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は，通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され，仮に当該安全性が確保されない場合，社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御，航空機自動飛行制御，航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途 (海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は，これらの用途に当該製品が使用されたことにより発生した損害などについては，責任を負いかねますのでご了承ください。

5.2パッケージ実装上の注意事項

パッケージには，リード挿入形と表面実装形があります。いずれの場合も，はんだ付け時の耐熱性に関する品質保証は，当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は，プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は，プリント板のスルーホールにリード挿入後，噴流はんだによるフローはんだ方法(ウェーブソルダリング法)が一般的に使用されます。この場合，はんだ付け実装時には，通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合，ソケットの接点の表面処理と IC のリードの表面処理が異なるとき，長時間経過後，接触不良を起こすことがあります。このため，ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは，リード挿入形と比較して，リードが細く薄いため，リードが変形し易い性質をもっています。また，パッケージの多ピン化に伴い，リードピッチも狭く，リード変形によるオープン不良や，はんだブリッジによるショート不良が発生しやすいため，適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し，製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合，使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため，自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合，界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて，温度 変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5˚C～30˚C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い，乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング(加熱乾燥)を実施することにより除湿することが可能です。ベーキングは，当社の推奨する条件で実施してください。

条件：125˚C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため，以下の点についてご注意ください。

1. 作業環境の相対湿度は 40%～70%RH にしてください。
   除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため，指輪または腕輪などから高抵抗 (1MΩ 程度) で大地に接地したり，導電性の衣服・靴を着用し，床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具，計器類は，接地または帯電防止化を実施してください。
5. 組立完了基板の収納時，発泡スチロールなどの帯電し易い材料の使用は避けてください。

5.3使用環境に関する注意事項

半導体デバイスの信頼性は，先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては，以下の点にご注意ください。

1. 湿度環境

   高湿度環境下での長期の使用は，デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は，防湿処理を施す等の配慮をお願いします。

2. 静電気放電

   半導体デバイスの直近に高電圧に帯電したものが存在すると，放電が発生し誤動作の原因となることがあります。このような場合，帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス，塵埃，油

   腐食性ガス雰囲気中や，塵埃，油等がデバイスに付着した状態で使用すると，化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は，防止策についてご検討ください。

4. 放射線・宇宙線

   一般のデバイスは，設計上，放射線，宇宙線にさらされる環境を想定しておりません。したがって，これらを遮蔽してご使用ください。

5. 発煙・発火

   樹脂モールド型のデバイスは，不燃性ではありません。発火物の近くでは，ご使用にならないでください。発煙・発火しますと，その際に毒性を持ったガスが発生する恐れがあります。

その他，特殊な環境下でのご使用をお考えの場合は，営業部門にご相談ください。

6. デバイス使用上の注意

ラッチアップ防止のために

CMOS IC では入力端子や出力端子に VCC5 または VCC12 より高い電圧や VSS より低い電圧を印加した場合，または VCC5 端子～VSS 端子間または VCC12 端子～VSS 端子間に定格を超える電圧を印加した場合に，ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し，素子の熱破壊に至ることがありますので使用に際しては最大定格を超えることのないよう十分に注意してください。

また，アナログ系の電源投入時および，切断時においてもアナログ電源(AVCC0, AVCC1, AVCC2, AVRH0, AVRH1, AVRH2, RVCC0, RVCC1, RVRH0, RVRH1) とアナログ入力は，デジタル電源(VCC5)を超えないように注意してください。

電源投入の順序は，デジタル電源電圧(VCC5, VCC12)，アナログ電源電圧(AVCC0, AVCC1, AVCC2, AVRH0, AVRH1, AVRH2, RVCC0, RVCC1, RVRH0, RVRH1)を同時に投入するか，デジタル電源電圧(VCC5, VCC12)を投入後，アナログ電源(AVCC0, AVCC1, AVCC2, AVRH0, AVRH1, AVRH2, RVCC0, RVCC1, RVRH0, RVRH1)を投入してください。

未使用端子の処理について

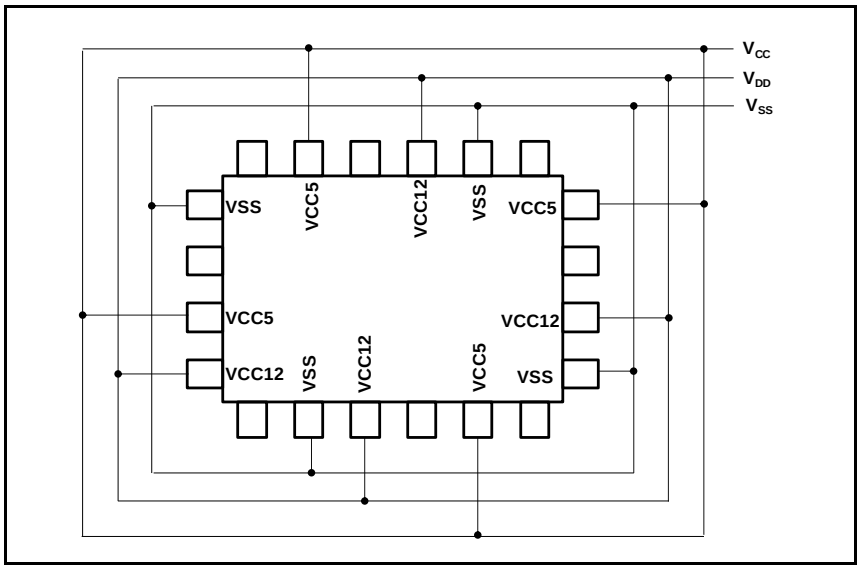
使用していない入力端子を開放のままにしておくと，誤動作およびラッチアップによる永久破壊の原因になることがありますので，2kΩ 以上の抵抗を介して，プルアップまたはプルダウンなどの処置をしてください。

また，使用していない入出力端子がある場合は，出力状態に設定して解放とするか，入力状態に設定して入力端子と同じ処理をしてください。

■ 電源端子について

VCC5 端子または VCC12 端子，VSS 端子が複数ある場合，デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にするべきものどうしを接続してありますが，不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格の遵守などのため，必ずそれらすべてを外部で電源およびグランドに接続してください。下図に示すように，すべての VSS 電源端子も同様に扱ってください。複数の VCC5 または VCC12，VSS システムがある場合，デバイスは保証された動作範囲内でも正しく動作しません。

電源入力端子



また，電源供給源から低インピーダンスで本デバイスの VCC5 端子または VCC12 端子，VSS 端子に接続するような配慮をお願いいたします。

本デバイスの近くで，VCC5 端子および VCC12 端子と VSS 端子の間にセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

水晶発振回路について

X0 端子, X1 端子へのノイズは誤動作の原因となります。X0 端子と X1 端子および水晶発振子(あるいはセラミック発振子) さらにグランドへのバイパスコンデンサはデバイスの直近に配置するようにプリント板を設計してください。

X0 端子, X1 端子の周りをグランドで囲むようなプリント板アートワークを推奨いたします。

モード端子 (MD1, MD0) について

モード端子 MD1, MD0 は, VCC5 端子または VSS 端子に直接つないで使用してください。ノイズによって誤ってテストモードに入ってしまうことを防ぐために, プリント板上の各モード端子と VCC5 端子または VSS 端子間のパターン長を短くし, 低インピーダンスで接続するようにしてください。

PLL クロック動作中の注意について

PLL クロックを選択しているときに発振子が外れたり, あるいは入力が停止したりした場合, PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証範囲外の動作です。

R/D コンバータおよび A/D コンバータの電源端子処理

R/D コンバータおよび A/D コンバータを使用しない場合においても, 以下のように接続してください。

- AVCC0 = AVCC1= AVCC2 = AVRH0= AVRH1 = AVRH2 = RVCC0 = RVCC1 = RVRH0 = RVRH1= VCC5
- AVSS0 = AVSS1 = AVSS2 = AVRL0 = AVRL1 = AVRL2 = AVR0 = AVR1 = RVSS0 = RVSS1 =RVRL0 = RVRL1 = RVR0 = RVR1 = VSS

外部クロック使用時の注意について

外部クロックは非対応です。

外部ダイレクトクロック入力は使用できません。

R/D コンバータおよび A/D コンバータの電源アナログ入力の投入順序

R/D コンバータおよび A/D コンバータの電源*1 およびアナログ入力*2 の印加は, 必ずデジタル電源(VCC5, VCC12)の投入後に行ってください。

また, 電源切断時は R/D コンバータおよび A/D コンバータの電源*1 およびアナログ入力*2 切断の後で, デジタル電源(VCC5, VCC12)の切断を行ってください。その際, AVRH0, AVRH1, AVRH2, RVRH0, RVRH1 は AVCC0, AVCC1, AVCC2, RVCC0, RVCC1 を超えないように投入, 切断を行ってください。アナログ入力と兼用している端子を入力ポートとして使用する場合においても, 入力電圧は AVCC0, AVCC1 または AVCC2 を超えないようにしてください(アナログ電源電圧とデジタル電源電圧を同時に投入・切断をすることは問題ありません)。

*1: AVCC0, AVCC1, AVCC2, AVRH0, AVRH1, AVRH2, AVRL0, AVRL1, AVRL2, RVCC0, RVCC1, RVRH0, RVRH1, RVRL0, RVRL1

*2: MAG_PLUS0, MAG_MINUS0, COS_PLUS0, COS_MINUS0, SIN_PLUS0, SIN_MINUS0, COS_IN0, SIN_IN0, MAG_PLUS1, MAG_MINUS1, COS_PLUS1, COS_MINUS1, SIN_PLUS1, SIN_MINUS1, COS_IN1, SIN_IN1, 4AN0～4AN7, AN0～AN31

ステータスフラグを含むレジスタに書込みを行う場合の注意

ステータスフラグ(特に割込み要求フラグなど)を含むレジスタに機能の制御のために書込みを行う場合には，ステータスフラグを誤ってクリアしないように配慮することが大切です。

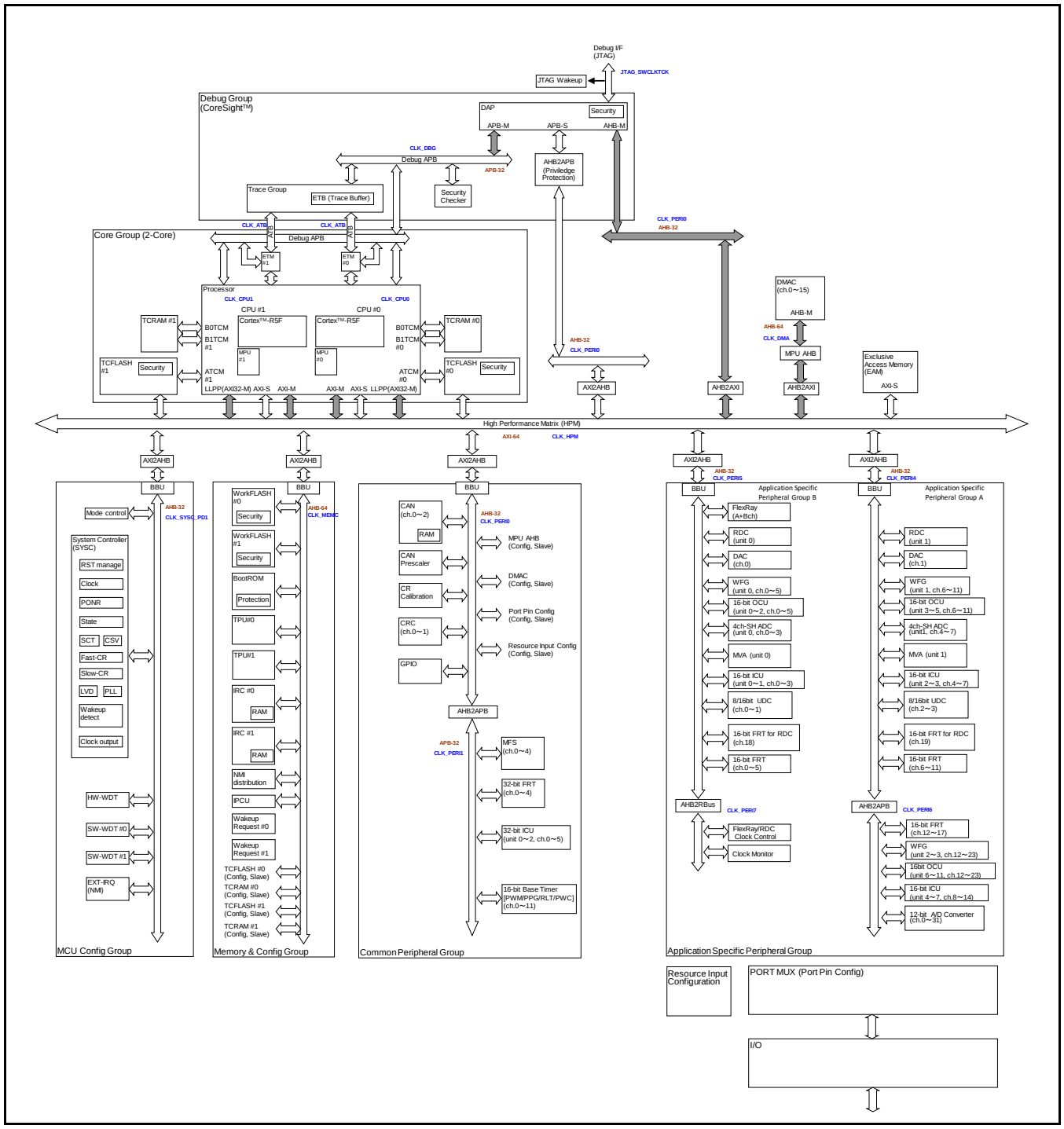
つまり，書込み時には，ステータスビットに対してフラグをクリアしないよう設定した上で，制御ビットを希望した値に設定してください。

特に複数ビットで構成している制御ビットの場合，ビット命令が使えないため(ビット命令は 1 ビットアクセスのみ)，バイト/ハーフワード/ワードアクセスによって，同時に制御ビットとステータスフラグへの書込みを行うことになります。しかし，このときに目的以外のビット(この場合ステータスフラグのビット)を誤ってクリアしないよう注意してください。

(注意事項)

- *ビットバンドユニット をサポートしているレジスタに対して，ビット命令は，この点を配慮していますので，注意の必要はありません。ビットバンドユニットをサポートしていないレジスタに対して，ビット命令を使う場合には注意が必要です。*

7. ブロックダイヤグラム



(注意事項)

- *図中の表記「ブロック名(Config, Slave)」は，対象ブロックのレジスタの設定を行うためのバス接続を示します。*

グループ

名称	概要
Core Group	– CPU および TCM 接続のメモリで構成されるグループ
Debug Group	– CoreSight で構成されるグループ
MCU Config Group	– システム制御および監視を行う機能マクロで構成されるグループ
Memory & Config Group	– CPU に関連する機能マクロおよびメモリで構成されるグループ
Common Peripheral Group	– 車載用途で共通の周辺機能マクロで構成されるグループ
Application Specific Peripheral Group	– 品種固有の周辺機能マクロで構成されるグループ

上記グループに属さない機能マクロ

名称	概要
HPM	– AXI のバスマトリクス – バスブリッジ (AXI-to-AHB, AHB-to-AXI)
DMAC	– DMA コントローラ
EAM	– 排他制御アクセスメモリ
Resource Input Config	– 周辺機能マクロの入力選択回路
PortMUX	– PortMUX 回路
I/O	– I/O 回路

(注意事項)

– *各マスタは HPM に接続します。各マスタは AXI において異なるトランザクション ID を持つため，トランザクション完了は Out-Of-Order です。*

8. メモリマップ

アドレス		領域	
開始	終了	概要	機能
0x0000_0000	64KB: 0x0000_FFFF 96KB: 0x0001_7FFF 128KB: 0x0001_FFFF	内蔵メモリ (各 CPU 専用空間)	TCRAM
0x0002_0000	0x007F_FFFF		Reserved
0x0080_0000	512KB: 0x0087_FFFF 768KB: 0x008B_FFFF 1024KB: 0x008F_FFFF		TCFLASH 大セクタ領域(TCM 接続)
0x0090_0000	0x00FD_FFFF		Reserved
0x00FE_0000	0x00FF_FFFF		TCFLASH 小セクタ領域(TCM 接続)
0x0100_0000	512KB: 0x0107_FFFF 768KB: 0x010B_FFFF 1024KB: 0x010F_FFFF		TCFLASH 大セクタ領域(AXI 接続)
0x0110_0000	0x01FD_FFFF		Reserved
0x01FE_0000	0x01FF_FFFF		TCFLASH 小セクタ領域(AXI 接続)
0x0200_0000	0x027F_FFFF	内蔵メモリ (共通空間)	Reserved
0x0280_0000	0x0280_0FFF		EAM
0x0280_1000	0x03FF_FFFF		Reserved
0x0400_0000	64KB: 0x0400_FFFF 96KB: 0x0401_7FFF 128KB: 0x0401_FFFF		CPU0 空間 TCRAM
0x0402_0000	0x047F_FFFF		Reserved
0x0480_0000	512KB: 0x0487_FFFF 768KB: 0x048B_FFFF 1024KB: 0x048F_FFFF		CPU0 空間 TCFLASH 大セクタ領域(TCM 接続)
0x0490_0000	0x04FD_FFFF		Reserved
0x04FE_0000	0x04FF_FFFF		CPU0 空間 TCFLASH 小セクタ領域(TCM 接続)
0x0500_0000	512KB: 0x0507_FFFF 768KB: 0x050B_FFFF 1024KB: 0x050F_FFFF		CPU0 空間 TCFLASH 大セクタ領域(AXI 接続)
0x0510_0000	0x05FD_FFFF		Reserved
0x05FE_0000	0x05FF_FFFF		CPU0 空間 TCFLASH 小セクタ領域(AXI 接続)
0x0600_0000	64KB: 0x0600_FFFF 96KB: 0x0601_7FFF 128KB: 0x0601_FFFF		CPU1 空間 TCRAM
0x0602_0000	0x067F_FFFF		Reserved
0x0680_0000	512KB: 0x0687_FFFF 768KB: 0x068B_FFFF 1024KB: 0x068F_FFFF		CPU1 空間 TCFLASH 大セクタ領域(TCM 接続)
0x0690_0000	0x06FD_FFFF		Reserved

アドレス		領域	
開始	終了	概要	機能
0x06FE_0000	0x06FF_FFFF	内蔵メモリ (共通空間)	CPU1 空間 TCFLASH 小セクタ領域(TCM 接続)
0x0700_0000	512KB: 0x0707_FFFF 768KB: 0x070B_FFFF 1024KB: 0x070F_FFFF		CPU1 空間 TCFLASH 大セクタ領域(AXI 接続)
0x0710_0000	0x07FD_FFFF	内蔵メモリ (共通空間)	Reserved
0x07FE_0000	0x07FF_FFFF		CPU1 空間 TCFLASH 小セクタ領域(AXI 接続)
0x0800_0000	0x0DFF_FFFF		Reserved
0x0E00_0000	0x0E00_FFFF		WorkFLASH0 ミラー領域 1
0x0E01_0000	0x0E01_FFFF		WorkFLASH1 ミラー領域 1
0x0E02_0000	0x0E0F_FFFF		Reserved
0x0E10_0000	0x0E10_FFFF		WorkFLASH0 Reserved ミラー領域 2
0x0E11_0000	0x0E11_FFFF		WorkFLASH1 Reserved ミラー領域 2
0x0E12_0000	0x0E1F_FFFF		Reserved
0x0E20_0000	0x0E20_FFFF		WorkFLASH0 ミラー領域 3
0x0E21_0000	0x0E21_FFFF		WorkFLASH1 ミラー領域 3
0x0E22_0000	0x0FFF_FFFF		Reserved
0x1000_0000	0x9FFF_FFFF	Reserved	Reserved
0xA000_0000	0xA1FF_FFFF	Bit Band Alias 領域	Reserved
0xA200_0000	0xA27F_FFFF		Bit Band Alias 領域 (Memory & Config Group)
0xA280_0000	0xA2FF_FFFF		Reserved
0xA300_0000	0xA37F_FFFF		Bit Band Alias 領域 (MCU Config Group)
0xA380_0000	0xA47F_FFFF		Bit Band Alias 領域 (Common Peripheral Group)
0xA480_0000	0xA7FF_FFFF		Reserved
0xA800_0000	0xA87F_FFFF		Bit Band Alias 領域(Application Specific Peripheral Group A)
0xA880_0000	0xA8FF_FFFF		Bit Band Alias 領域(Application Specific Peripheral Group B)
0xA900_0000	0xAFFF_FFFF		Reserved
0xB000_0000	0xBFFF_FFFF	I/O 領域 (Bit Band 領域)	I/O
0xC000_0000	0xEFFF_FFFF	Reserved	Reserved
0xF000_0000	0xFFFE_DFFF	BootROM 領域	Reserved
0xFFFE_E000	0xFFFE_FFFF		Error Config
0xFFFF_0000	0xFFFF_FFFF		BootROM

(注意事項)

- *各 CPU 専用空間は，各 CPU 専用のメモリ空間です。ほかのマスタからはアクセスできません (Reserved 領域)。ほかのマスタから各 CPU が持つメモリにアクセスする場合は，共通空間を使用してください。*
- *Reserved 領域へのアクセスはバスエラーとなります。*
- *ただし，以下の Reserved 領域へのアクセスは例外的にバスエラーになりません。*

0x0090_0000～0x00FD_FFFF
0x0110_0000～0x01FD_FFFF
0x0490_0000～0x04FD_FFFF
0x0510_0000～0x05FD_FFFF
0x0690_0000～0x06FD_FFFF
0x0710_0000～0x07FD_FFFF
0x1000_0000～0x1FFF_FFFF
0x2000_0000～0x2FFF_FFFF

- *以下の領域は，コアのアクセスに対して Device 属性または Strongly Ordered 属性を設定してください。*

1. I/O 領域
2. Bit Band Alias 領域
3. Error Config (BootROM 領域)
4. WorkFLASH (プログラム時)
5. TCFLASH (プログラム時)

Device 属性と Strongly Ordered 属性については，『Arm®Architecture Reference Manual Arm®v7-A and Arm®v7-R edition(Arm DDI 0406B)』を参照してください。

- *TCFLASH は, TCM 接続の領域と AXI 接続の領域の 2 つの領域があります。AXI 接続の領域は Flash メモリの書込み / 消去時の各種操作を行うための専用領域です。通常動作における読出しは TCM 接続の領域を使用してください。*

9. I/O マップ

I/O アドレスマップ (HPM ほか)

アドレス		領域	
開始	終了	概要	機能
0xB000_0000	0xB03F_FFFF	Reserved	Reserved

I/O アドレスマップ (Memory & Config Group)

アドレス		領域	
開始	終了	概要	機能
0xB040_0000	0xB040_0FFF	Memory & Config Group	IRC0
0xB040_1000	0xB040_1FFF		IRC1
0xB040_2000	0xB040_6FFF		Reserved
0xB040_7000	0xB040_73FF		NMI distributor
0xB040_7400	0xB040_7FFF		Reserved
0xB040_8000	0xB040_83FF		TPU0
0xB040_8400	0xB040_8FFF		Reserved
0xB040_9000	0xB040_93FF		TPU1
0xB040_9400	0xB040_FFFF		Reserved
0xB041_0000	0xB041_03FF		TCRAM0 IF
0xB041_0400	0xB041_07FF		TCRAM1 IF
0xB041_0800	0xB041_0FFF		Reserved
0xB041_1000	0xB041_13FF		TCFLASH0 IF
0xB041_1400	0xB041_17FF		TCFLASH1 IF
0xB041_1800	0xB041_1FFF		Reserved
0xB041_2000	0xB041_23FF		WorkFLASH0 IF
0xB041_2400	0xB041_27FF		WorkFLASH1 IF
0xB041_2800	0xB041_4FFF		Reserved
0xB041_5000	0xB041_5FFF		IPCU
0xB041_6000	0xB04F_FFFF		Reserved

I/O アドレスマップ (Debug Group)

アドレス		領域	
開始	終了	概要	機能
0xB050_0000	0xB050_0FFF	Debug Group	DAPROM
0xB050_1000	0xB050_1FFF		ETB
0xB050_2000	0xB050_2FFF		CTI4
0xB050_3000	0xB050_3FFF		TPIU
0xB050_4000	0xB050_4FFF		TRACE_FUNNEL
0xB050_5000	0xB057_FFFF		Reserved
0xB058_0000	0xB058_0FFF		CORTEXROM0
0xB058_1000	0xB058_FFFF		Reserved
0xB059_0000	0xB059_0FFF		CORE0
0xB059_1000	0xB059_1FFF		Reserved
0xB059_2000	0xB059_2FFF		CORE1
0xB059_3000	0xB059_7FFF		Reserved
0xB059_8000	0xB059_8FFF		CTI0
0xB059_9000	0xB059_9FFF		CTI1
0xB059_A000	0xB059_BFFF		Reserved
0xB059_C000	0xB059_CFFF		ETM0
0xB059_D000	0xB059_DFFF		ETM1
0xB059_E000	0xB05F_FFFF		Reserved

I/O アドレスマップ (MCU Cofig Group)

アドレス		領域	
開始	終了	概要	機能
0xB060_0000	0xB060_07FF	MCU Config Group	SYSC
0xB060_0800	0xB060_0FFF		MODEC
0xB060_1000	0xB060_7FFF		Reserved
0xB060_8000	0xB060_83FF		SW-WDT0
0xB060_8400	0xB060_8FFF		Reserved
0xB060_9000	0xB060_93FF		SW-WDT1
0xB060_9400	0xB060_BFFF		Reserved
0xB060_C000	0xB060_C3FF		HW-WDT
0xB060_C400	0xB061_FFFF		Reserved
0xB062_0000	0xB062_03FF		EXT-IRQ
0xB062_0400	0xB06F_FFFF		Reserved

I/O アドレスマップ (Common Peripheral Group)

アドレス		領域	
開始	終了	概要	機能
0xB070_0000	0xB070_3FFF	Common Peripheral Group (AHB32)	DMAC
0xB070_4000	0xB070_FFFF		Reserved
0xB071_0000	0xB071_0FFF		MPU AHB
0xB071_1000	0xB071_7FFF		Reserved
0xB071_8000	0xB071_87FF		CRC (ch0, 1)
0xB071_8800	0xB071_FFFF		Reserved
0xB072_0000	0xB072_0BFF		CAN (ch.0～2)
0xB072_0C00	0xB072_7FFF		Reserved
0xB072_8000	0xB072_83FF		CAN prescaler
0xB072_8400	0xB072_FFFF		Reserved
0xB073_0000	0xB073_03FF		CR calibration
0xB073_0400	0xB073_7FFF		Reserved
0xB073_8000	0xB073_8FFF		GPIO
0xB073_9000	0xB073_FFFF		Reserved
0xB074_0000	0xB074_3FFF		PPC
0xB074_4000	0xB074_7FFF		Reserved
0xB074_8000	0xB074_8FFF		RIC
0xB074_9000	0xB07F_FFFF		Reserved
0xB080_0000	0xB080_13FF	Common Peripheral Group (APB)	MFS (ch.0～4)
0xB080_1400	0xB080_7FFF		Reserved
0xB080_8000	0xB080_AFFF		Base timer (ch.0～11)
0xB080_B000	0xB081_FFFF		Reserved
0xB082_0000	0xB082_13FF		32-bit FRT (ch.0～4)
0xB082_1400	0xB082_7FFF		Reserved
0xB082_8000	0xB080_8BFF		32-bit ICU (ch.0～5)
0xB082_8C00	0xB08F_FFFF		Reserved

I/O アドレスマップ (品種固有周辺バス，ほか)

アドレス		領域	
開始	終了	概要	機能
0xB090_0000	0xB0FF_FFFF	Reserved	Reserved
0xB100_0000	0xB100_00FF	Application Specific Peripheral Group A (AHB-32)	16-bit FRT (ch.6～11)
0xB100_0100	0xB100_01FF		16-bit OCU (ch.6～11)
0xB100_0200	0xB100_02FF		16-bit ICU (ch.4～7)
0xB100_0300	0xB100_03FF		4ch-SH ADC (unit1)
0xB100_0400	0xB100_04FF		WFG (ch.6～11)
0xB100_0500	0xB100_05FF		UDC (ch.2～3)
0xB100_0600	0xB100_07FF		Reserved
0xB100_0800	0xB100_09FF		MVA (unit1)
0xB100_0A00	0xB100_0BFF		Reserved
0xB100_0C00	0xB100_0CFF		RDC (unit1)
0xB100_0D00	0xB100_0DFF		DAC (ch.1)
0xB100_0E00	0xB100_0FFF		Reserved
0xB101_0000	0xB101_00FF	Application Specific Peripheral Group A (APB)	16-bit FRT (ch.12～17)
0xB101_0100	0xB101_01FF		16-bit OCU (ch.12～23)
0xB101_0200	0xB101_02FF		16-bit ICU (ch.8～14)
0xB101_0300	0xB101_03FF		Reserved
0xB101_0400	0xB101_05FF		12-bit ADC (ch.0～31)
0xB101_0600	0xB101_06FF		WFG(ch.12～23)
0xB101_0700	0xB101_0FFF		Reserved
0xB101_1000	0xB101_2FFF		Other (WFG)
0xB101_3000	0xB101_3FFF		Other (ADC, CSV)
0xB101_4000	0xB1FF_FFFF	Reserved	Reserved
0xB200_0000	0xB200_00FF	Application Specific Peripheral Group B (AHB-32)	16-bit FRT (ch.0～5)
0xB200_0100	0xB200_01FF		16-bit OCU (ch.0～5)
0xB200_0200	0xB200_02FF		16-bit ICU (ch.0～3)
0xB200_0300	0xB200_03FF		4ch-SH ADC (unit0)
0xB200_0400	0xB200_04FF		WFG (ch.0～5)
0xB200_0500	0xB200_05FF		UDC (ch.0～1)
0xB200_0600	0xB200_07FF		Reserved
0xB200_0800	0xB200_09FF		MVA (unit0)
0xB200_0A00	0xB200_0BFF		Reserved
0xB200_0C00	0xB200_0CFF		RDC (unit0)
0xB200_0D00	0xB200_0DFF		DAC (ch.0)
0xB200_0E00	0xB200_0EFF		Reserved
0xB200_0F00	0xB200_0FFF		Reserved
0xB200_1000	0xB200_17FF		FlexRay (ch.A/ch.B)
0xB200_1800	0xB200_FFFF		Reserved
0xB201_0000	0xB201_00FF	Application Specific Peripheral Group B (R-Bus)	FlexRay/RDC clock control
0xB201_0100	0xB201_01FF		Clock monitor
0xB201_0200	0xBFFF_FFFF	Reserved	Reserved

I/O アドレスマップ(Error Config)

アドレス		領域	
開始	終了	概要	機能
0xFFFE_E000	0xFFFE_E3FF	Error Config	IRC0 (NMIVASBR)
0xFFFE_E400	0xFFFE_E7FF		IRC1 (NMIVASBR)
0xFFFE_E800	0xFFFE_F7FF		Reserved
0xFFFE_F800	0xFFFE_FBFF		IRC (NMIVASBR) Mirror*
0xFFFE_FC00	0xFFFE_FFFF		BootROM I/F

*: CPU0 が IRC0 に, CPU1 が IRC1 にアクセス可能な領域。CPU 以外のマスタには Reserved 領域。

(注意事項)

- *I/O アドレスマップでは，領域に割り当て可能な最大空間を示しています。機能マクロによって，実際に使用可能な空間が異なります。詳細は各機能マクロのアドレスマップを参照してください。*
- *Reserved 領域へのアクセスはバスエラーとなります。*
- *ただし，以下の Reserved 領域における一部アドレスへのアクセスは，例外的にバスエラーになりません。*

0xB018_0000～0xB018_03FF
0xB05C_0000～0xB05C_0FFF
0xB05E_0000～0xB05E_03FF
0xB05E_0400～0xB05E_07FF
0xB05E_0800～0xB05E_0BFF
0xB05E_0C00～0xB05E_0FFF

10. 各 CPU ステートにおける端子状態

端子状態表(1/2)

端子番号	端子名	GPORTEN制御	リセット外部要因[*1]			リセット外部要因[*2]				リセット内部要因[*3]		スリープモード	ストップモード		時計モード	
			外部要因発生中	外部要因解除後		外部要因発生中		外部要因解除後								
208 pin			内部リセット発行中	内部リセット発行中	内部リセット発行後(GPORT設定前)	内部リセット発行前	内部リセット発行中	内部リセット発行中	内部リセット発行後(GPORT設定前)	内部リセット発行中	内部リセット発行後(GPORT設定前)	CPUスリープ	ハイインピーダンス無効時(SYSC_SSPECFGR:PSSPADCTRL=0)	ハイインピーダンス有効時(SYSC_SSPECFGR:PSSPADCTRL=1)	ハイインピーダンス無効時(SYSC_SSPECFGR:PSSPADCTRL=0)	ハイインピーダンス有効時(SYSC_SSPECFGR:PSSPADCTRL=1)
3	P305/FRCK0	制御あり	Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持[*6]	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-z/入力遮断
4	P306/FRCK1															
5	P000/DTTI0/4ADTG0															
6	P001/RTO0															
7	P002/RTO1															
8	P003/RTO2															
9	P004/RTO3															
10	P005/RTO4															
11	P006/RTO5															
14	P007/4AN0															
15	P008/4AN1															
16	P009/4AN2															
17	P010/4AN3															
23	P011/RDC_W0/ZIN0															
24	P012/RDC_V0/BIN0															
25	P013/RDC_U0/AIN0															
26	P014/RDC_Z0/ZIN1															
27	P015/RDC_B0/BIN1															
28	P016/RDC_A0/AIN1															
29	AREF20	制御なし	アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
30	SIN_IN0		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
31	COS_IN0		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
32	SIN_OUT0		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
33	SIN_MINUS0		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
34	SIN_PLUS0															
35	COS_PLUS0															
36	COS_MINUS0															
37	COS_OUT0		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
43	RDC_ACT0/P026		L[*5]	L	H/L	L[*5]	L[*5]	L	H/L	L	H/L	H/L	L		L	
44	MAG_MINUS0		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
45	MAG_PLUS0		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
46	MAG_OUT0		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
47	P430/ERDS0	制御あり	Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持[*6]	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-Z/入力遮断
48	P030/DTTI2/FRCK12															
49	P031/RTO12/FRCK13															
50	P309/RTO13/FRCK14															
51	P310/RTO14/FRCK15															
55	P311/RTO15/FRCK16															
56	P312/RTO16/FRCK17															
57	P313/RTO17															
58	P314/DTTI3/TIOA0															
59	P315/RTO18/TIOB0															
60	P316/RTO19/TIOA1															
61	P317/RTO20/TIOB1															
62	P318/RTO21/TIOA2															
63	P319/RTO22/TIOB2															
64	P320/RTO23/TIOA3															
65	P321/SIN0/INT3/TIOB3	制御あり[*7]														
66	P322/SOT0															
67	P323/SCK0															
70	P324/STOPWT/IN6/IN16	制御あり														
71	P325/RXDA/IN7/IN17															
72	P326/TXDA/IN8/IN18															
73	P327/TXENA/IN9/IN19															
74	P328/RXDB/IN10/IN20															
75	P329/TXDB/IN11/IN21															
76	P330/TXENB/IN12															
77	NMIX	制御なし	入力可			入力可				入力可		入力可	入力可		入力可	
78	RSTX															
79	MD1															
80	MD0															
81	X0		-			-				-		-	-		-	
82	X1															
84	TRSTX		入力可			入力可				入力可		入力可	入力可		入力可	
85	TCK															
86	TDO		-			-				-		-	-		-	
87	TDI		入力可			入力可				入力可		入力可	入力可		入力可	
88	TMS															
89	nSRST															
90	P406/SIN1/INT4	制御あり	Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持[*6]	直前状態保持	Hi-Z/入力遮断[*4]	直前状態保持	Hi-Z/入力遮断[*4]
91	P407/SOT1													Hi-Z/入力遮断		Hi-Z/入力遮断
92	P408/SCK1															
93	P409/RX0/INT0		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断			Hi-Z/入力遮断		直前状態保持[*6]	直前状態保持	Hi-Z/入力遮断[*4]		Hi-Z/入力遮断[*4]
94	P410/TX0													Hi-Z/入力遮断		Hi-Z/入力遮断
95	P411/RX1/INT1													Hi-Z/入力遮断[*4]		Hi-Z/入力遮断[*4]
96	P412/TX1													Hi-Z/入力遮断		Hi-Z/入力遮断
97	P413/RX2/INT2													Hi-Z/入力遮断[*4]		Hi-Z/入力遮断[*4]
98	P414/TX2															
99	P415/TIOA4															
100	P416/TIOB4															
101	P417/TIOA5															
102	P418/TIOB5															
106	P419/SIN2/INT5		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断			Hi-Z/入力遮断		直前状態保持[*6]	直前状態保持	Hi-Z/入力遮断[*4]		Hi-Z/入力遮断[*4]
107	P420/SOT2													Hi-Z/入力遮断		Hi-Z/入力遮断
108	P131/SCK2															
109	P431/ERDS1															

端子状態表(2/2)

端子番号	端子名	GPORTEN制御	リセット外部要因*1			リセット外部要因*2				リセット内部要因*3		スリープモード	ストップモード		時計モード	
			外部要因発生中	外部要因解除後		外部要因発生中		外部要因解除後								
208 pin			内部リセット発行中	内部リセット発行中	内部リセット発行後(GPORT設定前)	内部リセット発行前	内部リセット発行中	内部リセット発行中	内部リセット発行後(GPORT設定前)	内部リセット発行中	内部リセット発行後(GPORT設定前)	CPUスリープ	ハイインピーダンス無効時(SYSC_SSPECFGR: PSSPADCTRL=0)	ハイインピーダンス有効時(SYSC_SSPECFGR: PSSPADCTRL=1)	ハイインピーダンス無効時(SYSC_SSPECFGR: PSSPADCTRL=0)	ハイインピーダンス有効時(SYSC_SSPECFGR: PSSPADCTRL=1)
110	MAG_OUT1		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
111	MAG_PLUS1		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
112	MAG_MINUS1															
113	RDC_ACT1/P126		L*5	L	H/L	L*5	L*5	L	H/L	L	H/L	H/L	L	L	L	L
119	COS_OUT1		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
120	COS_MINUS1	-	アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
121	COS_PLUS1															
122	SIN_PLUS1															
123	SIN_MINUS1															
124	SIN_OUT1		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
125	COS_IN1		アナログ入力			アナログ入力				アナログ入力		アナログ入力	アナログ入力		アナログ入力	
126	SIN_IN1															
127	AREF21		アナログ出力			アナログ出力				アナログ出力		アナログ出力	アナログ出力		アナログ出力	
128	P116/RDC_A1/AIN3	制御あり	Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-Z/入力遮断
129	P115/RDC_B1/BIN3															
130	P114/RDC_Z1/ZIN3															
131	P113/RDC_U1/AIN2															
132	P112/RDC_V1/BIN2															
133	P111/RDC_W1/ZIN2															
139	P110/4AN7															
140	P109/4AN6															
141	P108/4AN5															
142	P107/4AN4															
145	P106/RTO11															
146	P105/RTO10															
147	P104/RTO9															
148	P103/RTO8															
149	P102/RTO7															
150	P101/RTO6															
151	P100/DTTI1/4ADTG1															
152	P421/SIN3/INT6/FRCK8		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断*4	直前状態保持	Hi-Z/入力遮断*4
153	P422/SOT3/FRCK9/IN13		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-Z/入力遮断
154	P423/SCK3/FRCK10/IN14															
158	P425/TIOA8															
159	P426/TIOB8															
160	P427/TIOA9															
161	P428/TIOB9															
162	P429/MONCLK/MM		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持*8	Hi-Z/入力遮断	直前状態保持*8	Hi-Z/入力遮断
163	AN0/P200	制御あり	Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-Z/入力遮断
164	AN1/P201															
165	AN2/P202															
166	AN3/P203															
167	AN4/P204															
168	AN5/P205															
169	AN6/P206															
170	AN7/P207															
173	AN8/P208															
174	AN9/P209															
175	AN10/P210															
176	AN11/P211															
177	AN12/P212															
178	AN13/P213															
179	AN14/P214															
180	AN15/P215															
185	AN16/P216															
186	AN17/P217															
187	AN18/P218															
188	AN19/P219															
189	AN20/P220/TIOA6															
190	AN21/P221/TIOB6															
191	AN22/P222/TIOA7															
192	AN23/P223/TIOB7															
195	AN24/P224															
196	AN25/P225/SIN4/INT7		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断*4	直前状態保持	Hi-Z/入力遮断*4
197	AN26/P226/SOT4/IN0		Hi-Z/入力遮断			Hi-Z/前値保持	Hi-Z/入力遮断	Hi-Z/入力遮断		Hi-Z/入力遮断		直前状態保持*6	直前状態保持	Hi-Z/入力遮断	直前状態保持	Hi-Z/入力遮断
198	AN27/P227/SCK4/IN1															
199	AN28/P228/SCS40/IN2															
200	AN29/P229/SCS41/IN3															
201	AN30/P230/SCS42/IN4															
202	AN31/P231/SCS43/IN5															
203	P300/ADTG0															
204	P301/TIOA10/FRCK4															
205	P302/TIOB10/FRCK5															
206	P303/TIOA11/FRCK6															
207	P304/TIOB11/FRCK7															

*1: パワーオンリセット，低電圧検出(内部電源低電圧検出), NMIX + RSTX が要因です。

*2: 低電圧検出(外部電源低電圧検出)，外部リセットが要因です。

*3: ソフトウェアリセット，ソフト/ハードウェアウォッチドッグリセットが要因です。

*4: 外部割込みが有効なときは，入力遮断は無効です。

*5: I/O 初期化時に L 出力

*6: 周辺機能によっては，動作を継続します。

*7: GPORTEN=0 かつ CPORTEN=1 の場合，入力許可となります。

*8: クロックモニタ出力端子 MONCLK を選択している場合は, Hi-Z となります。

11. 電気的特性

11.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1, *2	V_{CC}	V_{SS}-0.3	V_{SS}+6.0	V	
	V_{DD}	V_{SS}-0.3	V_{SS}+1.8	V	
アナログ電源電圧*1, *2	AV_{CC}	V_{SS}-0.3	V_{SS}+6.0	V	AVcc≦Vcc
	RV_{CC}	V_{SS}-0.3	V_{SS}+6.0	V	RVcc≦Vcc
アナログリファレンス電圧*1	AVRH	V_{SS}-0.3	V_{SS}+6.0	V	AVRH≦AV_{CC}
	RVRH	V_{SS}-0.3	V_{SS}+6.0	V	RVRH≦RV_{CC}
入力電圧*1	V_I	V_{SS}-0.3	V_{CC}+0.3	V	
アナログ端子入力電圧*1	V_{IA}	V_{SS}-0.3	V_{CC}+0.3	V	
出力電圧*1	V_O	V_{SS}-0.3	V_{CC}+0.3	V	
最大クランプ電流	I_{CLAMP}	-	4	mA	*8
最大総クランプ電流	$\Sigma\|I_{CLAMP}\|$	-	20	mA	*8
"L"レベル最大出力電流*3	I_{OL1}	-	3.5	mA	1mA 設定時*6
	I_{OL2}	-	7	mA	2mA 設定時
	I_{OL3}	-	14	mA	4mA 設定時*7
"L"レベル平均出力電流*4	I_{OLAV1}	-	1	mA	1mA 設定時*6
	I_{OLAV2}	-	2	mA	2mA 設定時
	I_{OLAV3}	-	4	mA	4mA 設定時*7
"L"レベル総出力電流*5	ΣI_{OL}	-	40	mA	*6
"H"レベル最大出力電流*3	I_{OH1}	-	-3.5	mA	1mA 設定時*6
	I_{OH2}	-	-7	mA	2mA 設定時
	I_{OH3}	-	-14	mA	4mA 設定時*7
"H"レベル平均出力電流*4	I_{OHAV1}	-	-1	mA	1mA 設定時*6
	I_{OHAV2}	-	-2	mA	2mA 設定時
	I_{OHAV3}	-	-4	mA	4mA 設定時*7
"H"レベル総出力電流*5	ΣI_{OH}	-	-40	mA	*6
消費電力	P_D	-	1500	mW	
動作温度	T_A	-40	+125	℃	*9
保存温度	T_{stg}	-55	+150	℃	

*1: V_{SS}=AV_{SS}=0.0 V を基準にしています。

*2: 電源投入時など AV_{CC} が V_{CC} を超えないように注意してください。

*3: 最大出力電流は，該当する端子 1 本のピーク電流値を規定します。

*4: 平均出力電流は，該当する端子 1 本に流れる電流の 10 ms の平均電流値を規定します。平均値とは，動作電流×動作率を意味します。

*5: 総出力電流は，該当する端子すべてに流れる最大電流値を規定します。

*6: 該当端子：すべての汎用ポート

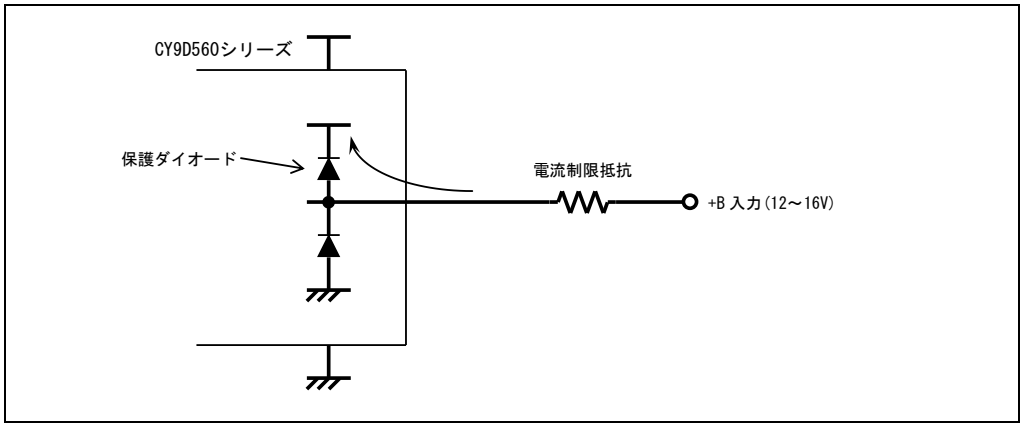
*7: 該当端子： P325～P330 の汎用ポート

*8: 該当端子：すべての汎用ポートおよびアナログ入力端子

- 推奨動作条件内でご使用ください。
- 直流電圧 (電流) でご使用ください。
- ＋B 信号とマイコンの間には，必ず制限抵抗を接続し＋B 信号を印加してください。

- ＋B 入力時にマイコン端子に入力される電流が，瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- 低消費電力モードなどマイコンの駆動電流が少ない動作状態では，＋B 入力電位が保護ダイオードを通して VCC 端子の電位を上昇させ，ほかの機器へ影響を及ぼす可能性がありますのでご注意ください。
- マイコン電源が OFF 時(0V に固定していない場合)に＋B 入力がある場合は，端子から電源が供給されているため，不完全な動作を行う可能性がありますのでご注意ください。
- 電源投入時に＋B 入力がある場合は，端子から電源が供給されているため，パワーオンリセットが動作しない電源電圧になる可能性がありますのでご注意ください。
- ＋B 入力端子は，オープン状態にならないようにご注意ください。

推奨回路例



*9: 本製品を T_A=+125℃でご使用いただくには，4 層以上の多層基板への搭載が必要です。
単層基板に搭載してご使用いただく場合，動作条件(動作周波数・電源電圧など）を変更して消費電力 PD＝780mW 以下でご使用いただくか，T_A＝+100℃以下でご使用ください。

＜注意事項＞

- ***絶対最大定格を超えるストレス(電圧，電流，温度など)の印加は，半導体デバイスを破壊する可能性があります。したがって，定格を一項目でも超えることのないようご注意ください。***

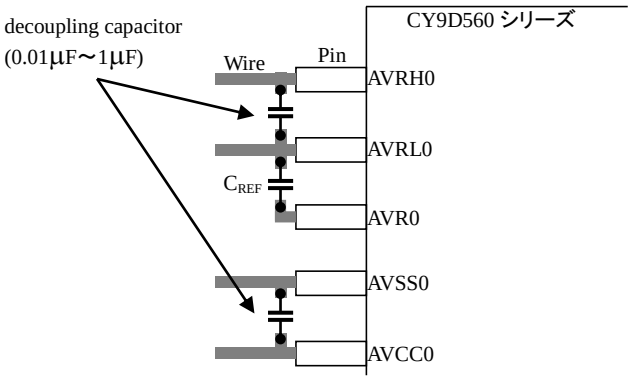
11.2 推奨動作条件

(V_{SS}=AV_{SS}=RV_{SS}=0.0V)

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧	V_{CC}	4.5	5.5	V	推奨動作保証範囲
	V_{DD}	1.1	1.3	V	
	AV_{CC}	4.5	5.5	V	
	RV_{CC}	4.5	5.5	V	
	V_{CC}	3.7	5.5	V	動作保証範囲
	V_{DD}	1.09	1.3	V	
	AV_{CC}	3.7	5.5	V	
	RV_{CC}	3.7	5.5	V	
平滑コンデンサ*	C_{REF}	0.33	1.0	µF	公差±40%以内
動作温度	T_A	-40	+125	℃	

*: 平滑コンデンサ C_{REF} の接続は，下図を参照してください。

- C_{REF} 端子接続図



AVR1-AVRL1, RVR0-RVRL0, RVR1-RVRL1 間へも同様に平滑コンデンサを接続してください。

- C_{REF} の容量値と A/D コンバータの起動時間

C_{REF} の容量値により，4 チャネル同時サンプリング A/D コンバータの起動時間と R/D コンバータ内蔵の A/D コンバータの起動時間が変わります。

起動時間の計算式を以下に示します。

起動時間 $= 9 \times C_{REF} \times 1.2k + 1\mu$ [s]

起動時間は下記の起動トリガからの時間となりますので，システムの動作条件に合わせて，平滑コンデンサを選択しご使用ください。

4 チャネル同時サンプリング A/D コンバータの場合

A/D 動作許可設定レジスタの ENBL ビットに"1"をセット

R/D コンバータ内蔵の A/D コンバータの場合

動作制御レジスタ 1 の RDCEN ビットに"1"をセット

＜注意事項＞

- *推奨動作条件は，半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は，すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。*
- *この条件を超えて使用すると，信頼性に悪影響を及ぼすことがあります。*
- *データシートに記載されていない項目，使用条件，論理の組合せでの使用は，保証していません。*
- *記載されている以外の条件での使用をお考えの場合は，必ず事前に営業部門までご相談ください。*

11.3 直流規格

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル入力電圧	V_{IH1}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P324, P406～P423, P425～P431	CMOS シュミット入力レベル選択時	0.7×V_{CC}	-	V_{CC}+0.3	V	
	V_{IH2}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Automotive 入力レベル選択時	0.8×V_{CC}	-	V_{CC}+0.3	V	
	V_{IH3}	P325～P330	FlexRay 入力レベル選択時	0.7×V_{CC}	-	V_{CC}+0.3	V	
	V_{IH4}	RSTX, NMIX	-	0.7×V_{CC}	-	V_{CC}+0.3	V	
	VI_{H5}	MD0, MD1	-	0.7×V_{CC}	-	V_{CC}+0.3	V	
	V_{IH6}	TRSTX, TCK, TDI, TMS, nSRST	-	2.3	-	V_{CC}+0.3	V	

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"L"レベル入力電圧	V_{IL1}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P324, P406～P423, P425～P431	CMOS シュミット入力レベル選択時	V_{SS}-0.3	-	0.3×V_{CC}	V	
	V_{IL2}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Automotive 入力レベル選択時	V_{SS}-0.3	-	0.5×V_{CC}	V	
	V_{IL3}	P325～P330	FlexRay 入力レベル選択時	V_{SS}-0.3	-	0.3×V_{CC}	V	
	V_{IL4}	RSTX, NMIX	-	V_{SS}-0.3	-	0.3×V_{CC}	V	
	V_{IL5}	MD0, MD1	-	V_{SS}-0.3	-	0.3×V_{CC}	V	
	V_{IL6}	TRSTX, TCK, TDI, TMS, nSRST	-	V_{SS}-0.3	-	0.8	V	

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル出力電圧	V_{OH1}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Vcc=4.5 V I_{OH}=-2.0 mA	V_{CC}-0.5	-	V_{CC}	V	
	V_{OH2}	P325～P330	Vcc=4.5 V I_{OH}=-4.0 mA	V_{CC}-0.5	-	V_{CC}	V	FlexRay 選択時
	V_{OH3}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Vcc=4.5 V I_{OH}=-1.0 mA	V_{CC}-0.5	-	V_{CC}	V	
	V_{OH4}	TDO	Vcc=4.5 V I_{OH}=-5 mA	V_{CC}-0.5	-	V_{CC}	V	

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"L"レベル出力電圧	V_{OL1}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Vcc=4.5 V I_{OL}=2.0 mA	0	-	0.4	V	
	V_{OL2}	P325～P330	Vcc=4.5 V I_{OL}=4.0 mA	0	-	0.4	V	FlexRay 選択時
	V_{OL3}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	Vcc=4.5 V I_{OL}=1.0 mA	0	-	0.4	V	
	V_{OL4}	TDO	Vcc=4.5 V I_{OL}=5 mA	0	-	0.4	V	

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力リーク電流	I_{IL}	全入力端子	V_{CC}= AV_{CC}=RV_{CC}=5.5 V $V_{SS} < V_I < V_{CC}$	-5	-	+5	μA	
プルアップ抵抗	R_{UP1}	RSTX, NMIX	-	25	-	100	kΩ	
	R_{UP2}	P000～P016, P026, P030, P031, P100～P116, P126, P131, P200～P231, P300～P306, P309～P330, P406～P423, P425～P431	プルアップ抵抗選択時	25	-	100	kΩ	
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, RVCC, RVSS 以外の端子	-	-	5	15	pF	

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I_{CC5}	VCC5	通常動作 200 MHz 動作時	-	104	115	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLKx}=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			通常動作 160 MHz 動作時	-	105	116	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			Flash 書込み/消去* 200 MHz 動作時	-	115	126	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLK}x=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			Flash 書込み/消去* 160 MHz 動作時	-	116	127	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7

*: 本シリーズには，メインフラッシュ(4 個)とワークフラッシュ(2 個)の 2 種類(6 個)が搭載されていますが，ここではどちらか一方(1 個)のみを書込み/消去状態にした場合の規格です。

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I_{CC12}	VCC12	通常動作 200 MHz 動作時	-	310	510	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLKx}=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			通常動作 160 MHz 動作時	-	290	490	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			Flash 書込み/消去* 200 MHz 動作時	-	312	512	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLK}x=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			Flash 書込み/消去* 160 MHz 動作時	-	292	492	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7

*: 本シリーズには，メインフラッシュ(4 個)とワークフラッシュ(2 個)の 2 種類(6 個)が搭載されていますが，ここではどちらか一方(1 個)のみを書込み/消去状態にした場合の規格です。

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I_{CCS5}	VCC5	CPU スリープ 200 MHz 動作時	-	40	42	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLKx}=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			CPU スリープ 160 MHz 動作時	-	30	32	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
	I_{CCT5}		時計モード 原発振 4 MHz	-	390	1030	µA	水晶使用時 T_A=25℃
	I_{CCH5}		ストップモード	-	380	1010	µA	T_A=25℃

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I_{CCS12}	VCC12	CPU スリープ 200 MHz 動作時	-	220	410	mA	F_{CD0_CLK}=200 MHz F_{CLK_CPUx}=200 MHz, F_{CLK_TFCLKx}=66 MHz, F_{CLK_HPMPD2}=200 MHz, F_{CLK_DMA}=200 MHz, F_{CLK_MEMC}=100 MHz, F_{CLK_WFCLKx}=200 MHz, $F_{CLK_SYSCPD1}$=100 MHz, F_{CLK_PERIy}=100 MHz, F_{CLK_PERIz}=50 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
			CPU スリープ 160 MHz 動作時	-	180	360	mA	F_{CD0_CLK}=160 MHz F_{CLK_CPUx}=160 MHz, F_{CLK_TFCLKx}=80 MHz, F_{CLK_HPMPD2}=160 MHz, F_{CLK_DMA}=160 MHz, F_{CLK_MEMC}=80 MHz, F_{CLK_WFCLKx}=160 MHz, $F_{CLK_SYSCPD1}$=80 MHz, F_{CLK_PERIy}=80 MHz, F_{CLK_PERIz}=40 MHz x=0, 1 y=0, 4, 5 z=1, 6, 7
	I_{CCT12}		時計モード 原発振 4 MHz	-	1280	9730	µA	水晶使用時 T_A=25℃
	I_{CCH12}		ストップモード	-	860	9530	µA	T_A=25℃

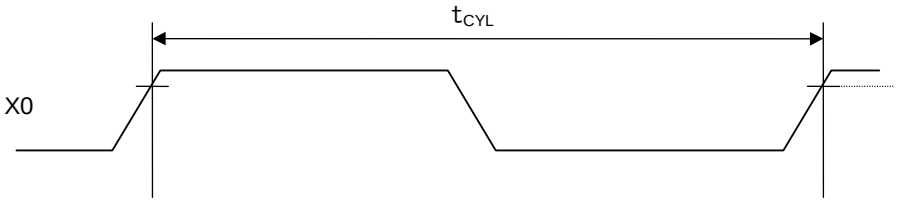
11.4 交流規格

11.4.1 ソースクロックタイミング

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

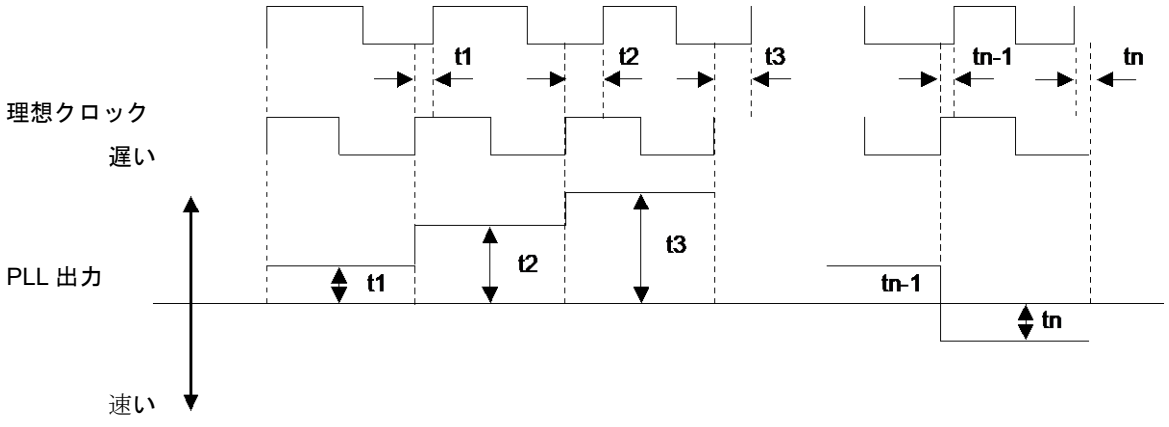
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
原発振クロック周波数	F_C	X0, X1	-	4	-	20	MHz	
原発振クロックサイクルタイム	t_{CYL}	X0, X1	-	50	-	250	ns	
CAN PLL ジッタ (ロック時)	t_{PJ}	-	-	-10	-	+10	ns	
内蔵低速 CR 発振周波数	F_{CRS}	-	-	50	100	150	kHz	
内蔵高速 CR 発振周波数	F_{CRF}	-	-	4	8	12	MHz	トリミングなし
				7.2	8	8.8	MHz	トリミングあり

- X0, X1 クロックタイミング



- CAN PLL ジッタ

20,000 サイクル内で 1 サイクル周期ごと, 理想クロックからのズレ時間を保証します。



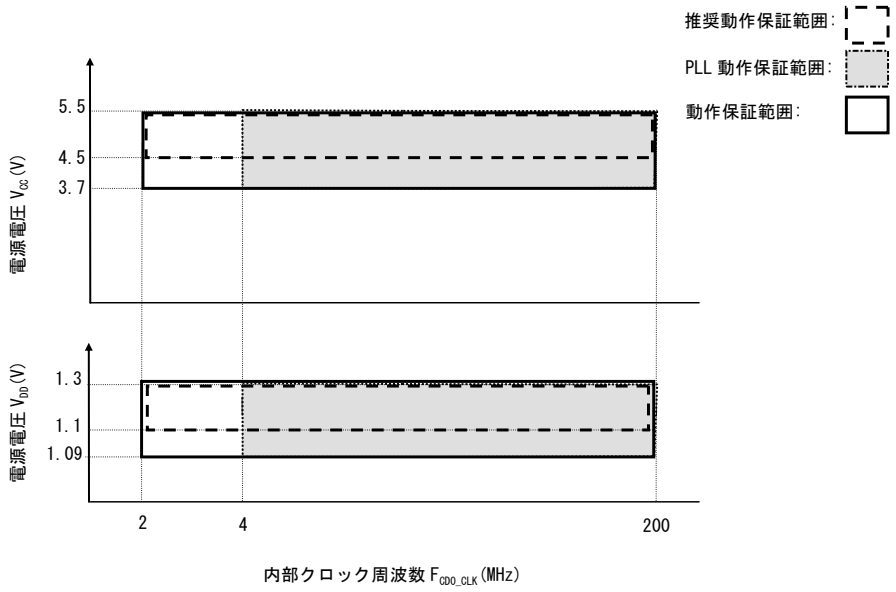
11.4.2 内部クロックタイミング

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
内部クロック周波数	F_{CD0_CLK}	-	-	0	-	200	MHz	CD0_CLK
	F_{CD4_CLK}	-	-	0	-	200	MHz	CD4_CLK
	F_{CLK_CPU0}	-	-	0	-	200	MHz	CLK_CPU0
	F_{CLK_CPU1}	-	-	0	-	200	MHz	CLK_CPU1
	F_{CLK_TFCLK0}	-	-	0	-	80	MHz	CLK_TFCLK0
	F_{CLK_TFCLK1}	-	-	0	-	80	MHz	CLK_TFCLK1
	F_{CLK_ATB}	-	-	0	-	100	MHz	CLK_ATB
	F_{CLK_DBG}	-	-	0	-	50	MHz	CLK_DBG
	F_{CLK_HPMPD2}	-	-	0	-	200	MHz	CLK_HPMPD2
	F_{CLK_DMA}	-	-	0	-	200	MHz	CLK_DMA
	F_{CLK_MEMC}	-	-	0	-	200	MHz	CLK_MEMC
	F_{CLK_WFCLK0}	-	-	0	-	80	MHz	CLK_WFCLK0
	F_{CLK_WFCLK1}	-	-	0	-	80	MHz	CLK_WFCLK1
	$F_{CLK_SYSCPD1}$	-	-	0	-	100	MHz	CLK_SYSCPD1
	F_{CLK_PERI0}	-	-	0	-	100	MHz	CLK_PERI0
	F_{CLK_PERI1}	-	-	0	-	50	MHz	CLK_PERI1
	F_{CLK_PERI4}	-	-	0	-	100	MHz	CLK_PERI4
	F_{CLK_PERI5}	-	-	0	-	100	MHz	CLK_PERI5
	F_{CLK_PERI6}	-	-	0	-	50	MHz	CLK_PERI6
	F_{CLK_PERI7}	-	-	0	-	50	MHz	CLK_PERI7
	F_{CLK_CLKO}	-	-	0	-	200	MHz	CLK_CLKO
内部クロックサイクルタイム	t_{CD0_CLK}	-	-	5	-	-	ns	CD0_CLK
	t_{CD4_CLK}	-	-	5	-	-	ns	CD4_CLK
	t_{CLK_CPU0}	-	-	5	-	-	ns	CLK_CPU0
	t_{CLK_CPU1}	-	-	5	-	-	ns	CLK_CPU1
	t_{CLK_TFCLK0}	-	-	12.5	-	-	ns	CLK_TFCLK0
	t_{CLK_TFCLK1}	-	-	12.5	-	-	ns	CLK_TFCLK1
	t_{CLK_ATB}	-	-	10	-	-	ns	CLK_ATB
	t_{CLK_DBG}	-	-	20	-	-	ns	CLK_DBG
	t_{CLK_HPMPD2}	-	-	5	-	-	ns	CLK_HPMPD2
	t_{CLK_DMA}	-	-	5	-	-	ns	CLK_DMA
	t_{CLK_MEMC}	-	-	5	-	-	ns	CLK_MEMC
	t_{CLK_WFCLK0}	-	-	12.5	-	-	ns	CLK_WFCLK0
	t_{CLK_WFCLK1}	-	-	12.5	-	-	ns	CLK_WFCLK1
	$t_{CLK_SYSCPD1}$	-	-	10	-	-	ns	CLK_SYSCPD1
	t_{CLK_PERI0}	-	-	10	-	-	ns	CLK_PERI0
	t_{CLK_PERI1}	-	-	20	-	-	ns	CLK_PERI1
	t_{CLK_PERI4}	-	-	10	-	-	ns	CLK_PERI4
	t_{CLK_PERI5}	-	-	10	-	-	ns	CLK_PERI5
	t_{CLK_PERI6}	-	-	20	-	-	ns	CLK_PERI6
	t_{CLK_PERI7}	-	-	20	-	-	ns	CLK_PERI7
	t_{CLK_CLKO}	-	-	5	-	-	ns	CLK_CLKO

- **動作保証範囲**

内部クロック周波数と電源電圧の関係

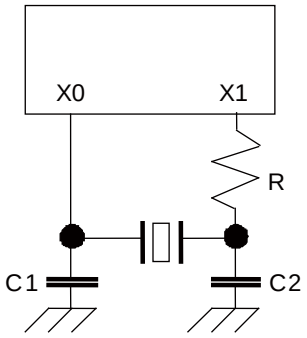


(注意事項) 低電圧検出設定電圧以下の電源電圧では, リセット状態になります。

発振クロック周波数と内部クロック周波数の関係

発振クロック周波数	メインクロック	PLL 逓倍設定	PLL 出力分周設定	PLL クロック
4 MHz	4 MHz	100	2	200 MHz
8 MHz	8 MHz	50	2	200 MHz
8 MHz	4 MHz	100	2	200 MHz
16 MHz	16 MHz	25	2	200 MHz
16 MHz	8 MHz	50	2	200 MHz

- **発振回路例**



(注意事項) 発振回路を構成される場合, 発振子メーカへ回路のマッチング評価をご依頼の上, 設計されることを推奨します。

交流規格は以下の測定基準電圧値で規定します。

入力信号波形

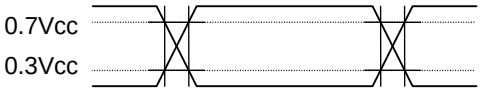
ヒステリシス入力端子(Automotive)



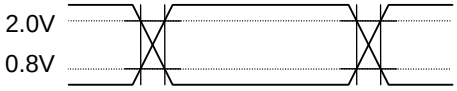
ヒステリシス入力端子(CMOS シュミット)



ヒステリシス入力端子(FlexRay)

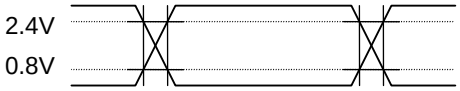


ヒステリシス入力端子(TTL)



出力信号波形

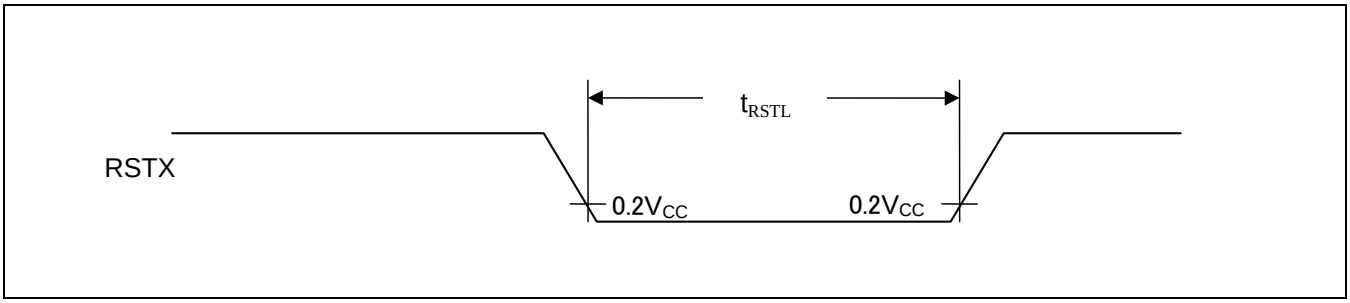
出力端子



11.4.3 リセット入力

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{RSTL}	RSTX	-	10	-	µs	
リセット入力除去幅				1	-	µs	



11.4.4 パワーオン，電源投入条件

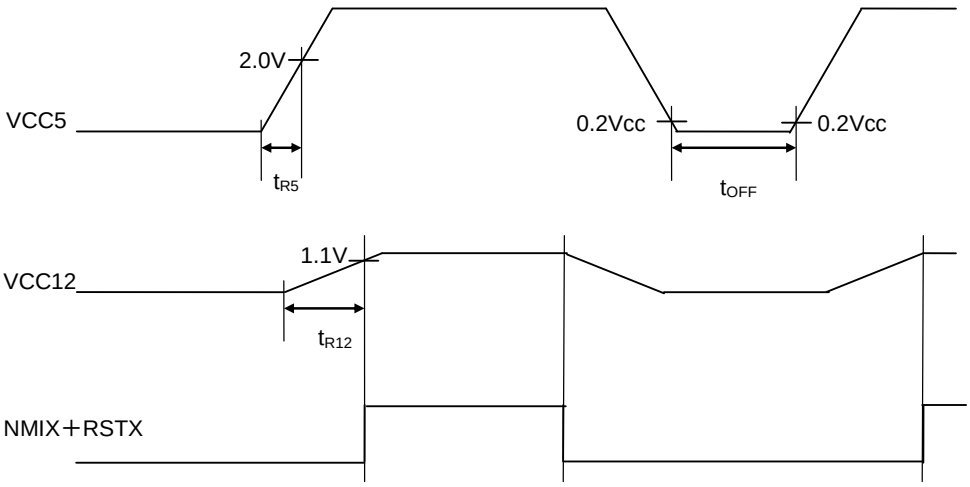
(T_A:推奨動作条件, V_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
レベル検知検出電圧	-	VCC5	-	2.0	2.2	2.4	V	電源投入時
	-	VCC12	-	0.4	-	0.7	V	
レベル検知ヒステリシス幅	-	VCC5	-	-	-	150	mV	電源降下時
	-	VCC12	-	-	-	50	mV	
レベル検知検出時間	-	-	-	-	-	30	µs	*1
電源投入時間	t_{R5}	VCC5	-	0.11	-	30	ms	
	t_{R12}	VCC12	-	0.05	-	0.6	ms	
電源切断時間	t_{OFF}	VCC5	-	1	-	-	ms	*2

*1: 電源の変動が低電圧検知時間より早い場合，電源電圧が検出電圧範囲を通過した後に発生/解除する可能性があります。

*2: 電源を落としてから内部電荷が抜けて次のパワーオンを傾き検知できるようになるまでの時間です。

- 電源投入，電源遮断シーケンス



(注意事項)

- *電源投入順序*
  VCC5 と VCC12 を同時，または VCC5→VCC12 の順に電源投入してください。また，電源投入時は，VCC12 が VCC5 の電圧を超えないようにしてください。
- *電源遮断順序*
  VCC5 と VCC12 を同時，または VCC12→VCC5 の順で電源遮断してください。また，電源遮断時は，VCC12 が VCC5 の電圧を超えないようにしてください。
- *電源投入時，電源遮断時の注意*
  電源投入時は，電源電圧が推奨動作保証範囲になるまで NMIX 端子＋RSTX 端子へ同時入力してください。
  電源遮断時は，電源電圧が推奨動作保証範囲内で NMIX 端子＋RSTX 端子へ同時入力してから，電源遮断してください。

11.4.5 マルチファンクションシリアルインタフェース

11.4.5.1 CSIO タイミング(SMR:MD[2:0]=0b010)

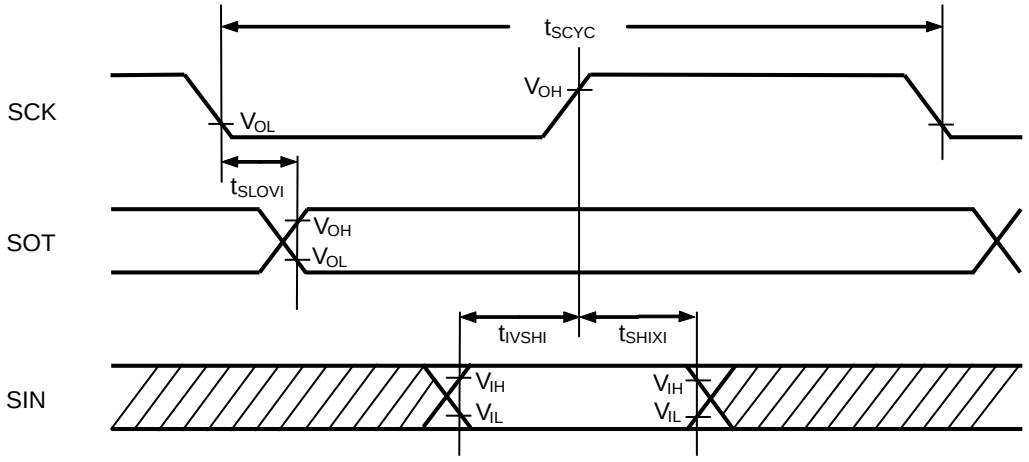
ノーマル同期転送(SCR:SPI=0)・シリアルクロック出力マークレベル"H"(SMR:SCINV=0)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

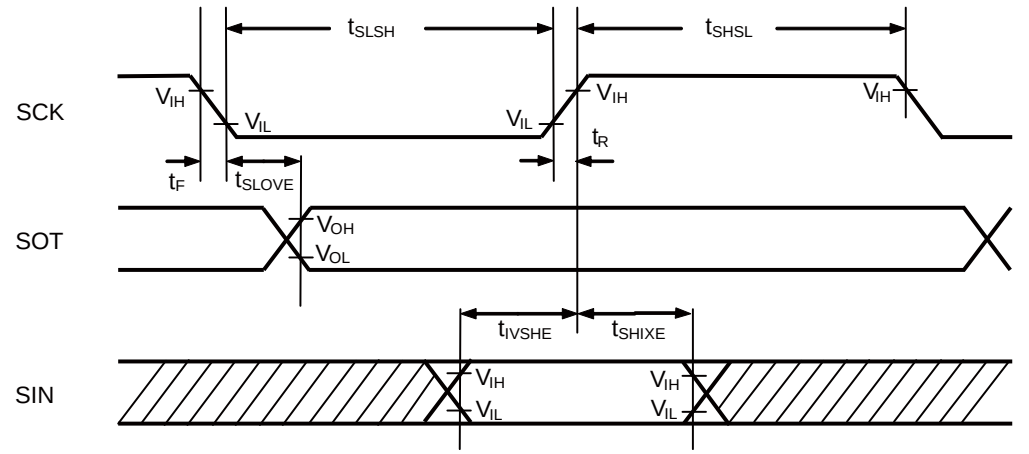
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック サイクルタイム	t_{SCYC}	SCK0～SCK4	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$4t_{CLK_PERI1}$	-	ns	
SCK↓→SOT 遅延時間	t_{SLOVI}	SCK0～SCK4, SOT0～SOT4		-30	+30	ns	
有効 SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCK0～SCK4, SIN0～SIN4		30	-	ns	
SCK↑→有効 SIN ホールド時間	t_{SHIXI}			0	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}	SCK0～SCK4	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "L"パルス幅	t_{SLSH}			$2t_{CLK_PERI1}$-10	-	ns	
SCK↓→SOT 遅延時間	t_{SLOVE}	SCK0～SCK4, SOT0～SOT4		-	30	ns	
有効 SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCK0～SCK4, SIN0～SIN4		10	-	ns	
SCK↑→有効 SIN ホールド時間	t_{SHIXE}			20	-	ns	
SCK 立下り時間	t_F	SCK0～SCK4		-	5	ns	
SCK 立上り時間	t_R	SCK0～SCK4		-	5	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード

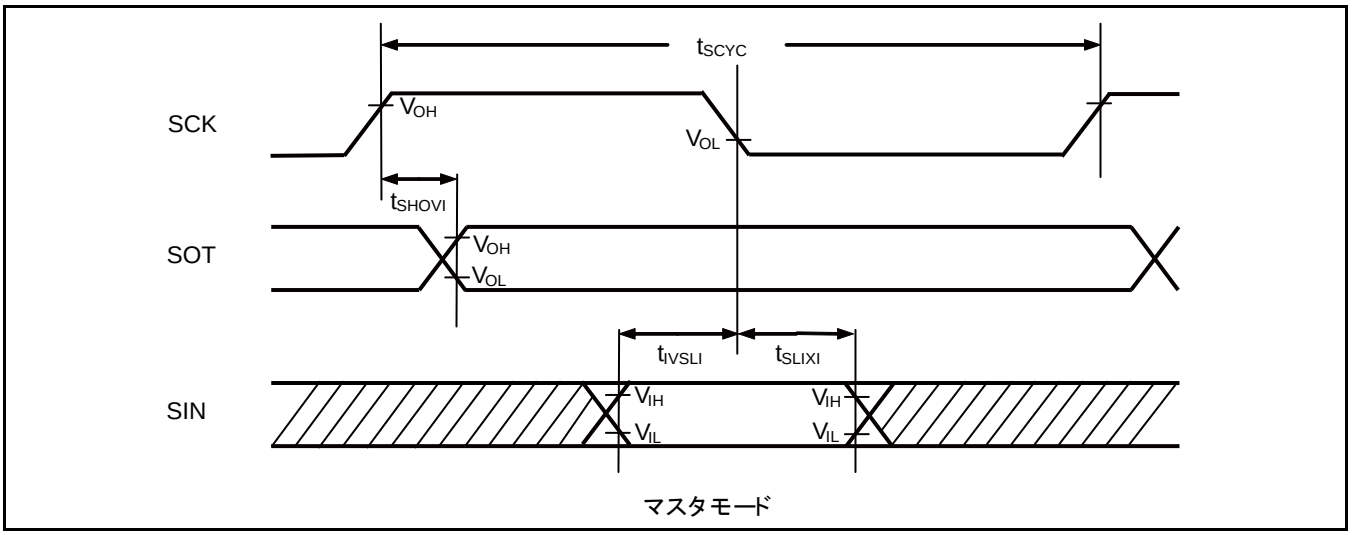
ノーマル同期転送(SCR:SPI=0)・シリアルクロック出力マークレベル"L"(SMR:SCINV=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

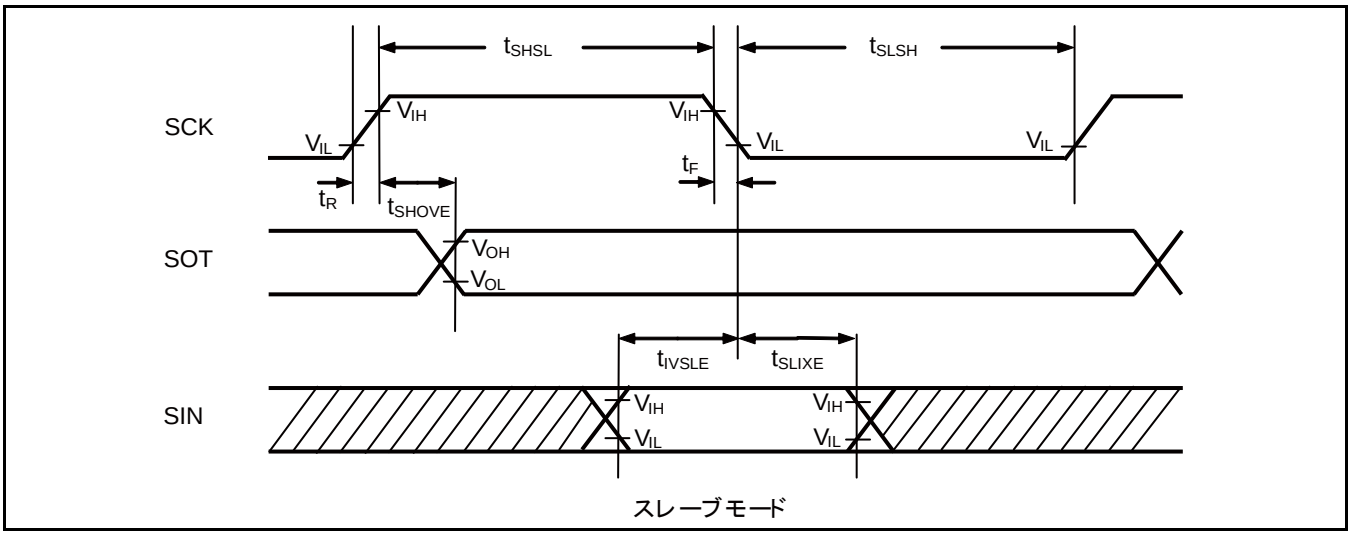
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック サイクルタイム	t_{SCYC}	SCK0～SCK4	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$4t_{CLK_PERI1}$	-	ns	
SCK↑→SOT 遅延時間	t_{SHOVI}	SCK0～SCK4, SOT0～SOT4		-30	+30	ns	
有効 SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCK0～SCK4, SIN0～SIN4		30	-	ns	
SCK↓→有効 SIN ホールド時間	t_{SLIXI}			0	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}	SCK0～SCK4	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "L"パルス幅	t_{SLSH}			$2t_{CLK_PERI1}$-10	-	ns	
SCK↑→SOT 遅延時間	t_{SHOVE}	SCK0～SCK4, SOT0～SOT4		-	30	ns	
有効 SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCK0～SCK4, SIN0～SIN4		10	-	ns	
SCK↓→有効 SIN ホールド時間	t_{SLIXE}			20	-	ns	
SCK 立下り時間	t_F	SCK0～SCK4		-	5	ns	
SCK 立上り時間	t_R	SCK0～SCK4		-	5	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては，ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード

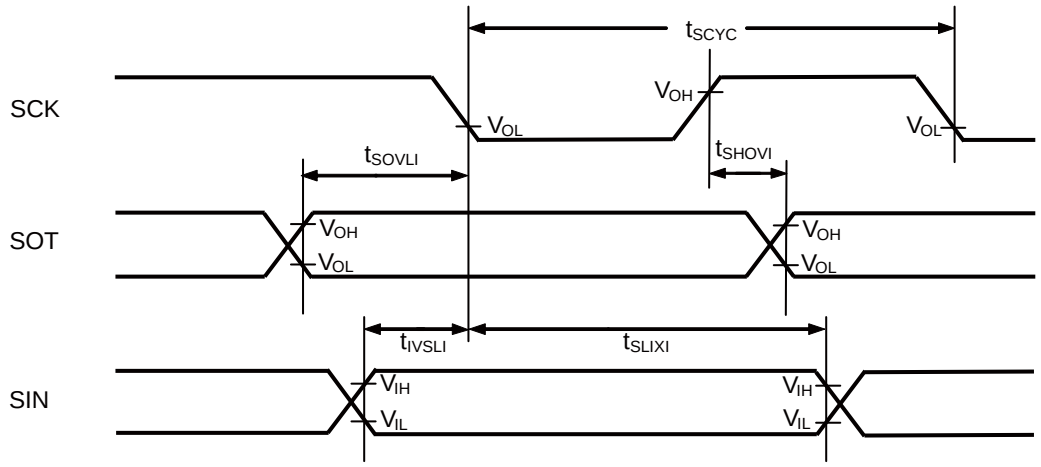
SPI 対応(SCR:SPI=1)・シリアルクロック出力マークレベル"H"(SMR:SCINV=0)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

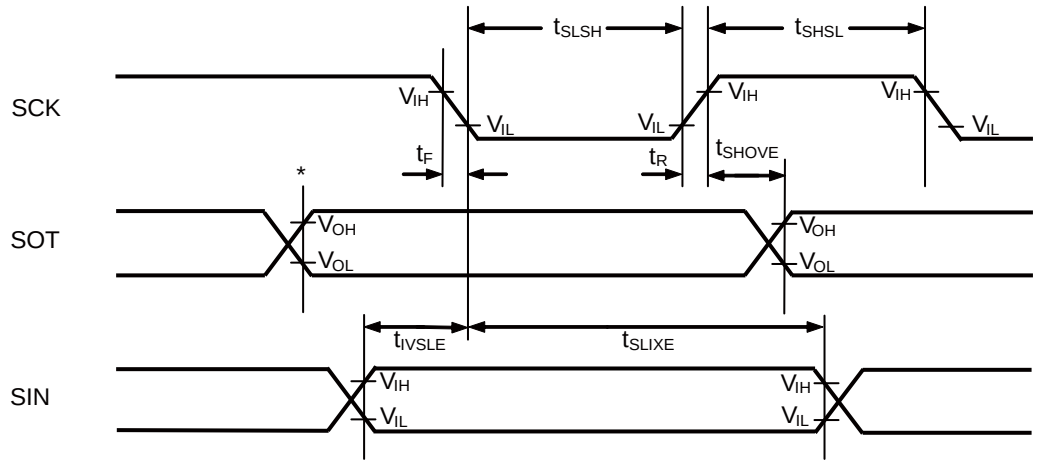
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック サイクルタイム	t_{SCYC}	SCK0～SCK4	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$4t_{CLK_PERI1}$	-	ns	
SCK↑→SOT 遅延時間	t_{SHOVI}	SCK0～SCK4, SOT0～SOT4		-30	+30	ns	
有効 SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCK0～SCK4, SIN0～SIN4		30	-	ns	
SCK↓→有効 SIN ホールド時間	t_{SLIXI}			0	-	ns	
SOT→SCK↓ 遅延時間	t_{SOVLI}	SCK0～SCK4, SOT0～SOT4		$2t_{CLK_PERI1}$-30	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}	SCK0～SCK4	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "L"パルス幅	t_{SLSH}			$2t_{CLK_PERI1}$-10	-	ns	
SCK↑→SOT 遅延時間	t_{SHOVE}	SCK0～SCK4, SOT0～SOT4		-	30	ns	
有効 SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCK0～SCK4, SIN0～SIN4		10	-	ns	
SCK↓→有効 SIN ホールド時間	t_{SLIXE}			20	-	ns	
SCK 立下り時間	t_F	SCK0～SCK4		-	5	ns	
SCK 立上り時間	t_R	SCK0～SCK4		-	5	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



*: TDRレジスタにライト すると変化

スレーブモード

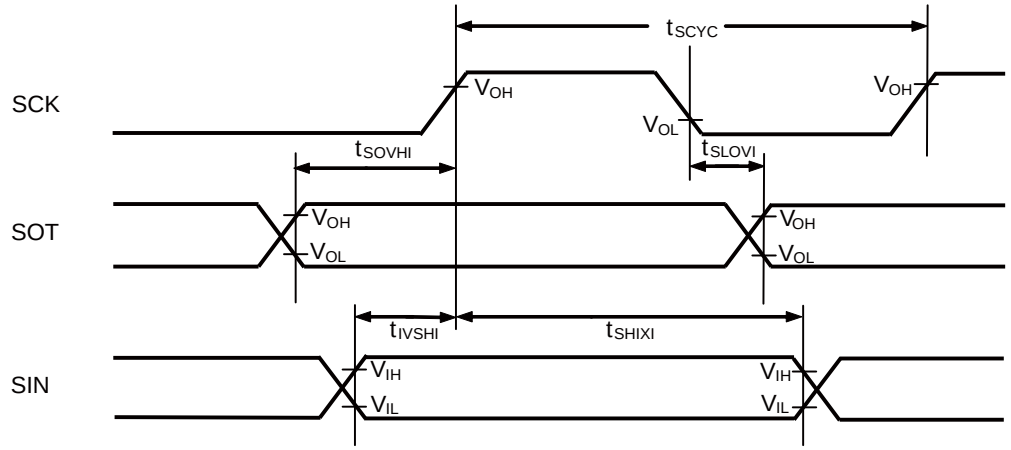
SPI 対応(SCR:SPI=1)・シリアルクロック出力マークレベル"L"(SMR:SCINV=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

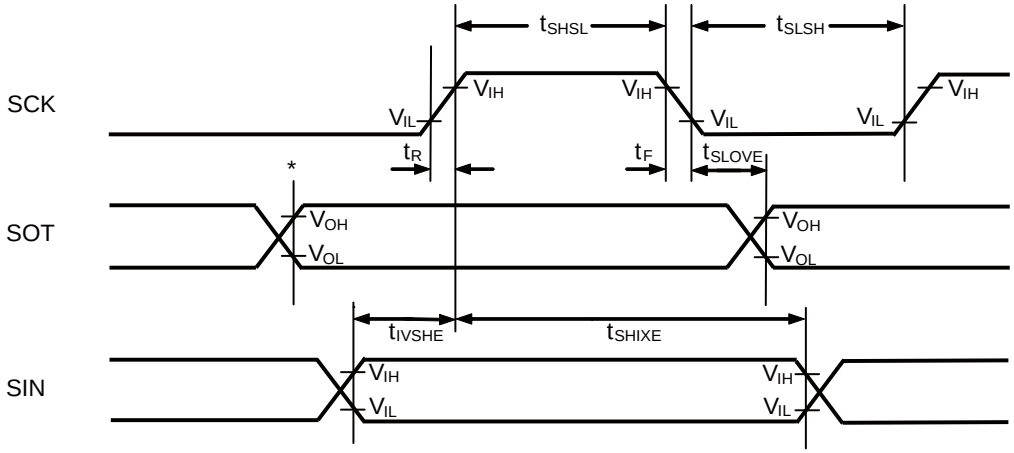
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック サイクルタイム	t_{SCYC}	SCK0～SCK4	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$4t_{CLK_PERI1}$	-	ns	
SCK↓→SOT 遅延時間	t_{SLOVI}	SCK0～SCK4, SOT0～SOT4		-30	+30	ns	
有効 SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCK0～SCK4, SIN0～SIN4		30	-	ns	
SCK↑→有効 SIN ホールド時間	t_{SHIXI}			0	-	ns	
SOT→SCK↑ 遅延時間	t_{SOVHI}	SCK0～SCK4, SOT0～SOT4		$2t_{CLK_PERI1}$-30	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}	SCK0～SCK4 SOT0～SOT4	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "L"パルス幅	t_{SLSH}			$2t_{CLK_PERI1}$-10	-	ns	
SCK↓→SOT 遅延時間	t_{SLOVE}	SCK0～SCK4, SOT0～SOT4		-	30	ns	
有効 SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCK0～SCK4, SIN0～SIN4		10	-	ns	
SCK↑→有効 SIN ホールド時間	t_{SHIXE}			20	-	ns	
SCK 立下り時間	t_F	SCK0～SCK4		-	5	ns	
SCK 立上り時間	t_R	SCK0～SCK4		-	5	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

(注意事項)

- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



*: TDRレジスタにライト すると変化

スレーブモード

シリアルチップセレクト使用時(SCSCR:CSEN=1)

■ シリアルクロック出力マークレベル"H"(SMR, SCSFR:SCINV=0)

■ シリアルチップセレクトインアクティブレベル"H"(SCSCR, SCSFR:CSLVL=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SCS↓→SCK↓ セットアップ時間	t_{CSSI}	SCK4, SCS40～SCS43	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CSSU}*1-50	-	ns	
SCK↑→SCS↑ ホールド時間	t_{CSHI}			t_{CSHD}*2+0	-	ns	
SCS ディセレクト時間	t_{CSDI}	SCS40～SCS43		t_{CSDS}*3-50 +5 t_{CLK_PERI1}	-	ns	
SCS↓→SCK↓ セットアップ時間	t_{CSSE}	SCK4, SCS40～SCS43	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+30	-	ns	
SCK↑→SCS↑ ホールド時間	t_{CSHE}			0	-	ns	
SCS ディセレクト時間	t_{CSDE}	SCS40～SCS43		$3t_{CLK_PERI1}$+30	-	ns	
SCS↓→SOT 遅延時間	t_{DSE}	SCS40～SCS43, SOT4		-	40	ns	
SCS↑→SOT 遅延時間	t_{DEE}			0	-	ns	
SCK↓→SCS↓ クロック切換え時間	t_{SCC}	SCK4, SCS40～SCS43	マスタモード ラウンド動作 (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+0	$3t_{CLK_PERI1}$+50	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

*1: t_{CSSU} =SCSTR:CSSU[7:0]×シリアルチップセレクトタイミング動作クロック

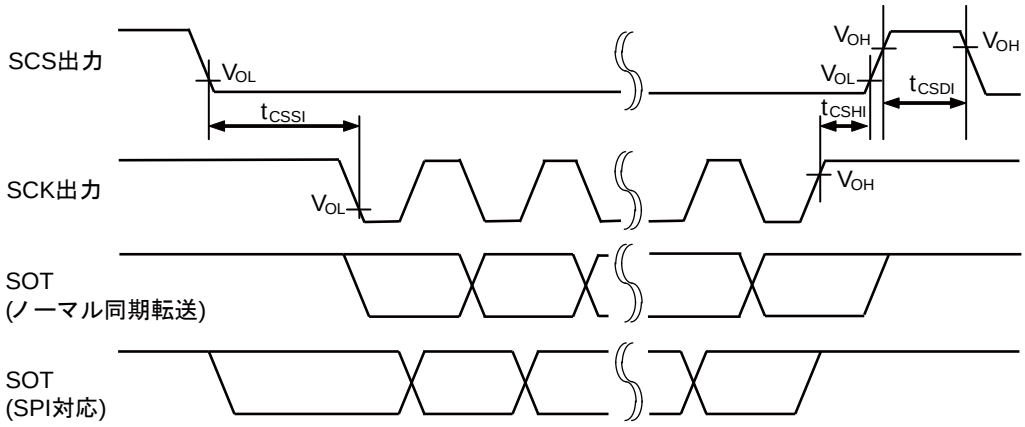
*2: t_{CSHD}=SCSTR:CSHD[7:0]×シリアルチップセレクトタイミング動作クロック

*3: t_{CSDS}=SCSTR:CSDS[15:0]×シリアルチップセレクトタイミング動作クロック

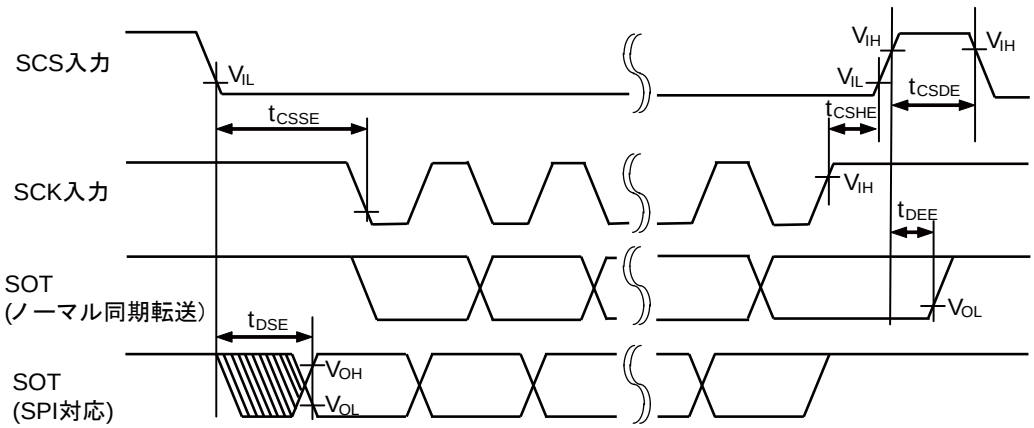
上記 *1, *2, *3 の詳細はハードウェアマニュアルを参照してください。

(注意事項)

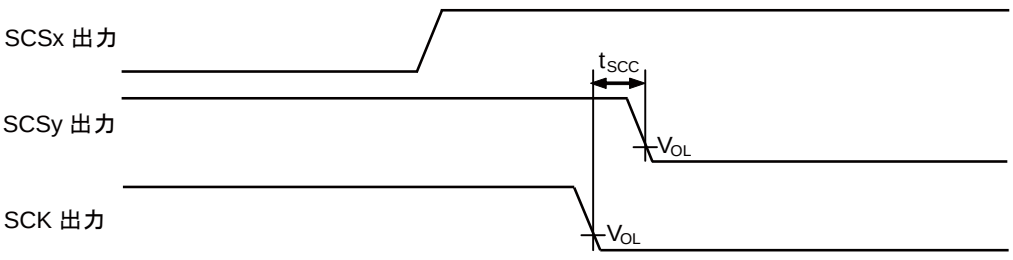
- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード



マスタモード・ラウンド 動作によるクロック切換え例
（x, y = 40, 41, 42, 43 : x と y は異なる値です）

シリアルチップセレクト使用時(SCSCR:CSEN=1)

■ シリアルクロック出力マークレベル"L"(SMR, SCSFR:SCINV=1)

■ シリアルチップセレクトインアクティブレベル"H"(SCSCR, SCSFR:CSLVL=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SCS↓→SCK↑ セットアップ時間	t_{CSSI}	SCK4, SCS40～SCS43	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CSSU}*1-50	-	ns	
SCK↓→SCS↑ ホールド時間	t_{CSHI}			t_{CSHD}*2+0	-	ns	
SCS ディセレクト時間	t_{CSDI}	SCS40～SCS43		t_{CSDS}*3-50 +5 t_{CLK_PERI1}	-	ns	
SCS↓→SCK↑ セットアップ時間	t_{CSSE}	SCK4, SCS40～SCS43	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+30	-	ns	
SCK↓→SCS↑ ホールド時間	t_{CSHE}			0	-	ns	
SCS ディセレクト時間	t_{CSDE}	SCS40～SCS43		$3t_{CLK_PERI1}$+30	-	ns	
SCS↓→SOT 遅延時間	t_{DSE}	SCS40～SCS43, SOT4		-	40	ns	
SCS↑→SOT 遅延時間	t_{DEE}			0	-	ns	
SCK↑→SCS↓ クロック切換え時間	t_{SCC}	SCK4, SCS40～SCS43	マスタモード ラウンド動作 (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+0	$3t_{CLK_PERI1}$+50	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

*1: t_{CSSU} =SCSTR:CSSU[7:0]×シリアルチップセレクトタイミング動作クロック

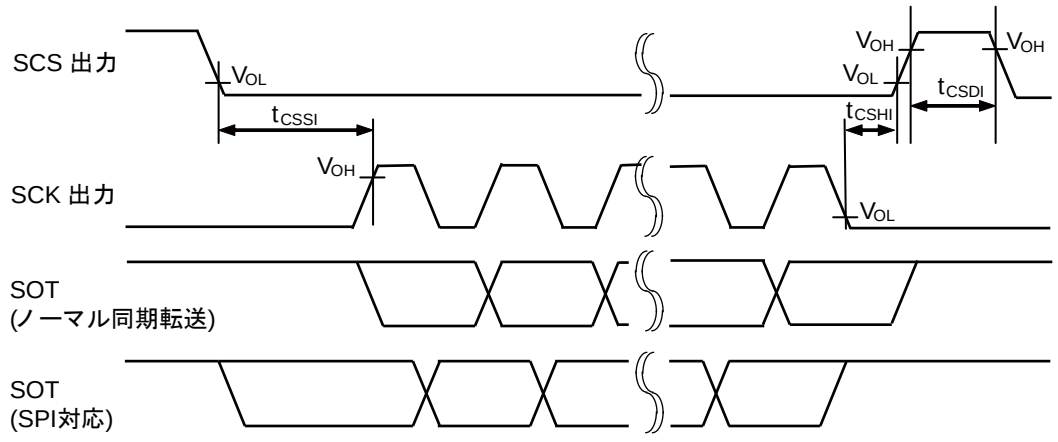
*2: t_{CSHD}=SCSTR:CSHD[7:0]×シリアルチップセレクトタイミング動作クロック

*3: t_{CSDS}=SCSTR:CSDS[15:0]×シリアルチップセレクトタイミング動作クロック

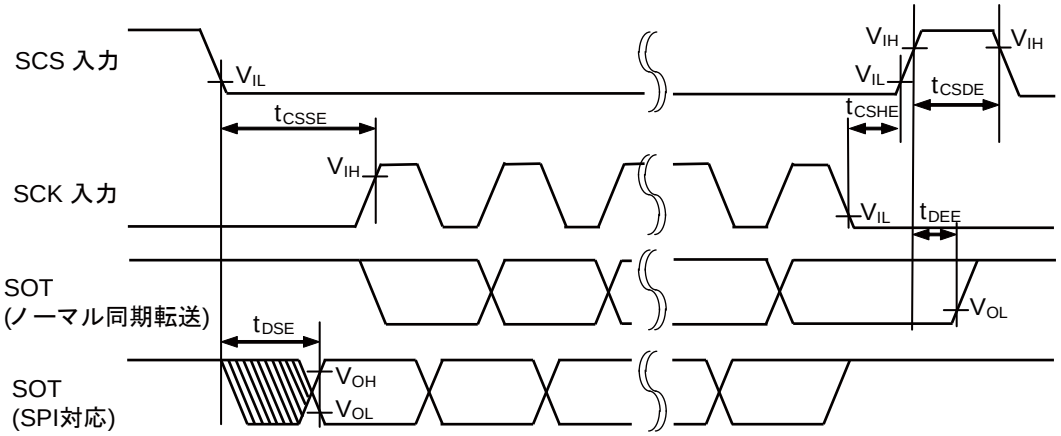
上記 *1, *2, *3 の詳細はハードウェアマニュアルを参照してください。

(注意事項)

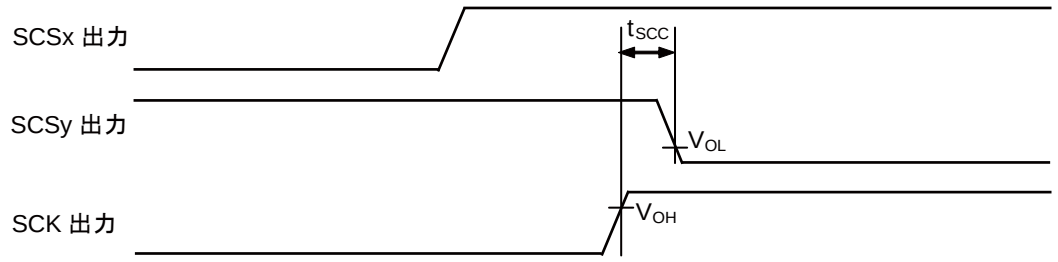
- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード



マスタモード・ラウンド 動作によるクロック切換え例
(x, y = 40, 41, 42, 43 : x と y は異なる値です)

シリアルチップセレクト使用時(SCSCR:CSEN=1)

■ シリアルクロック出力マークレベル"H"(SMR, SCSFR:SCINV=0)

■ シリアルチップセレクトインアクティブレベル"L"(SCSCR, SCSFR:CSLVL=0)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SCS↑→SCK↓ セットアップ時間	t_{CSSI}	SCK4, SCS40～SCS43	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CSSU}*1-50	-	ns	
SCK↑→SCS↓ ホールド時間	t_{CSHI}			t_{CSHD}*2+0	-	ns	
SCS ディセレクト時間	t_{CSDI}	SCS40～SCS43		t_{CSDS}*3-50 +5 t_{CLK_PERI1}	-	ns	
SCS↑→SCK↓ セットアップ時間	t_{CSSE}	SCK4, SCS40～SCS43	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1+30}$	-	ns	
SCK↑→SCS↓ ホールド時間	t_{CSHE}			0	-	ns	
SCS ディセレクト時間	t_{CSDE}	SCS40～SCS43		$3t_{CLK_PERI1+30}$	-	ns	
SCS↑→SOT 遅延時間	t_{DSE}	SCS40～SCS43, SOT4		-	40	ns	
SCS↓→SOT 遅延時間	t_{DEE}			0	-	ns	
SCK↓→SCS↑ クロック切換え時間	t_{SCC}	SCK4, SCS40～SCS43	マスタモード ラウンド動作 (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+0	$3t_{CLK_PERI1}$+50	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

*1: t_{CSSU} =SCSTR:CSSU[7:0]×シリアルチップセレクトタイミング動作クロック

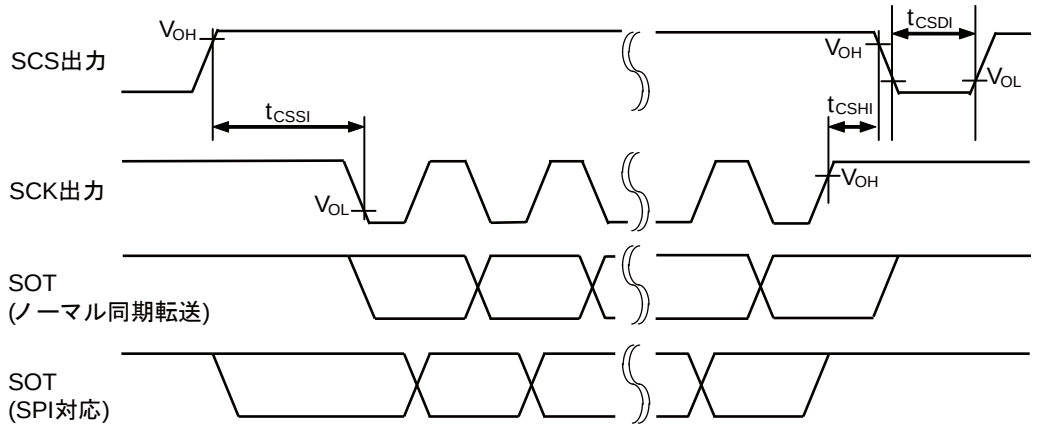
*2: t_{CSHD}=SCSTR:CSHD[7:0]×シリアルチップセレクトタイミング動作クロック

*3: t_{CSDS}=SCSTR:CSDS[15:0]×シリアルチップセレクトタイミング動作クロック

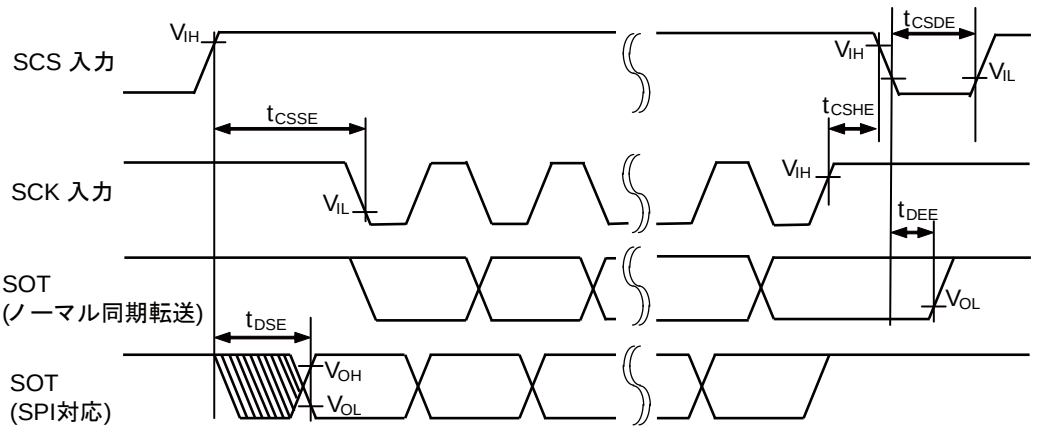
上記 *1, *2, *3 の詳細はハードウェアマニュアルを参照してください。

(注意事項)

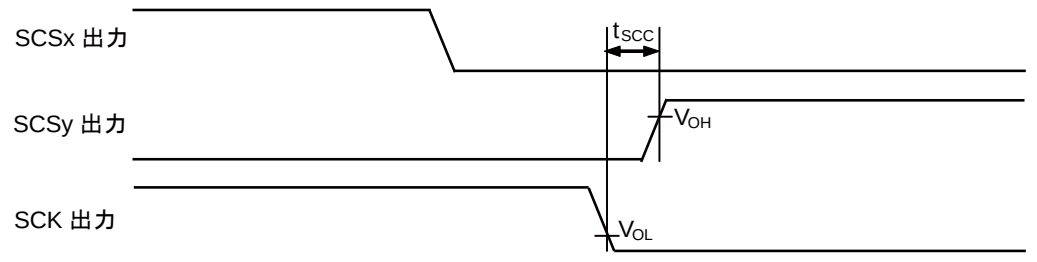
- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード



マスタモード・ラウンド 動作によるクロック切換え例
(x, y = 40, 41, 42, 43 : x と y は異なる値です)

シリアルチップセレクト使用時(SCSCR:CSEN=1)

■ シリアルクロック出力マークレベル"L"(SMR, SCSFR:SCINV=1)

■ シリアルチップセレクトインアクティブレベル"L"(SCSCR, SCSFR:CSLVL=0)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SCS↑→SCK↑ セットアップ時間	t_{CSSI}	SCK4, SCS40～SCS43	マスタモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CSSU}*1-50	-	ns	
SCK↓→SCS↓ ホールド時間	t_{CSHI}			t_{CSHD}*2+0	-	ns	
SCS ディセレクト時間	t_{CSDI}	SCS40～SCS43		t_{CSDS}*3-50 +5 t_{CLK_PERI1}	-	ns	
SCS↑→SCK↑ セットアップ時間	t_{CSSE}	SCK4, SCS40～SCS43	スレーブモード (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+30	-	ns	
SCK↓→SCS↓ ホールド時間	t_{CSHE}			0	-	ns	
SCS ディセレクト時間	t_{CSDE}	SCS40～SCS43		$3t_{CLK_PERI1}$+30	-	ns	
SCS↑→SOT 遅延時間	t_{DSE}	SCS40～SCS43, SOT4		-	40	ns	
SCS↓→SOT 遅延時間	t_{DEE}			0	-	ns	
SCK↑→SCS↑ クロック切換え時間	t_{SCC}	SCK4, SCS40～SCS43	マスタモード ラウンド動作 (C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	$3t_{CLK_PERI1}$+0	$3t_{CLK_PERI1}$+50	ns	
転送速度	-	-	C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA	-	5	Mbps	
	-	-	C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA	-	6	Mbps	

*1: t_{CSSU} =SCSTR:CSSU[7:0]×シリアルチップセレクトタイミング動作クロック

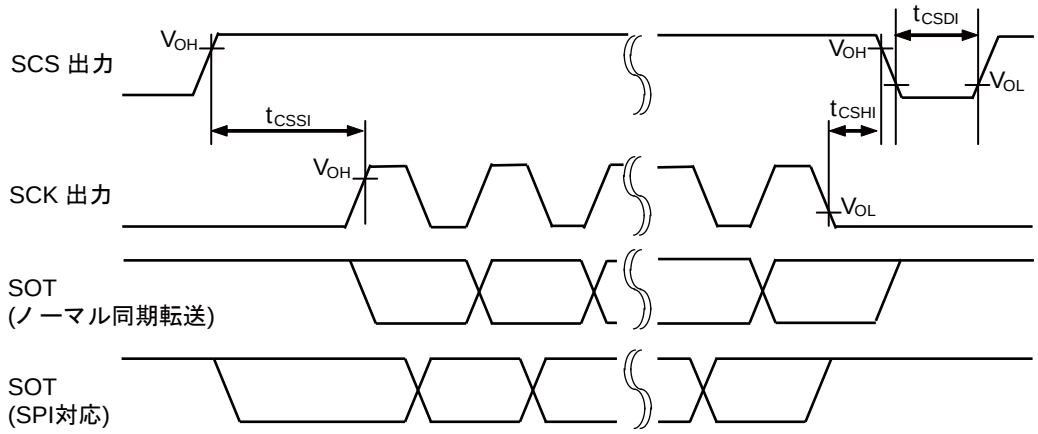
*2: t_{CSHD}=SCSTR:CSHD[7:0]×シリアルチップセレクトタイミング動作クロック

*3: t_{CSDS}=SCSTR:CSDS[15:0]×シリアルチップセレクトタイミング動作クロック

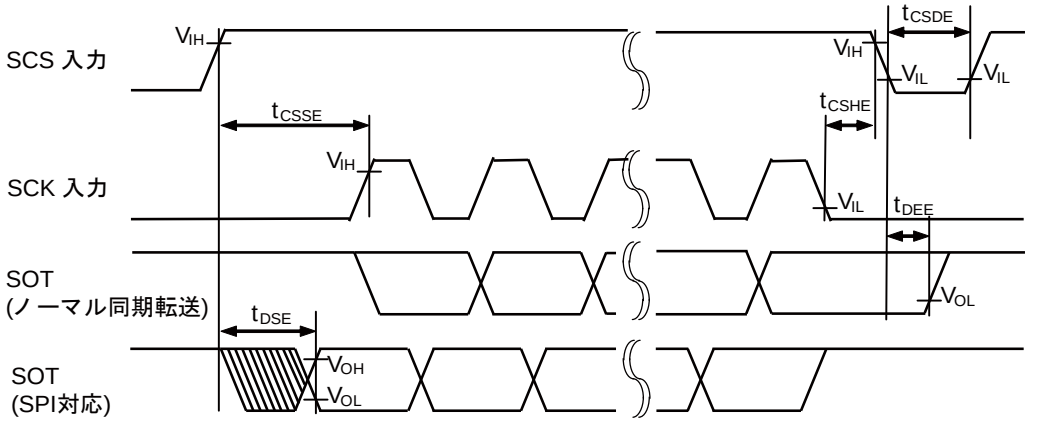
上記 *1, *2, *3 の詳細はハードウェアマニュアルを参照してください。

(注意事項)

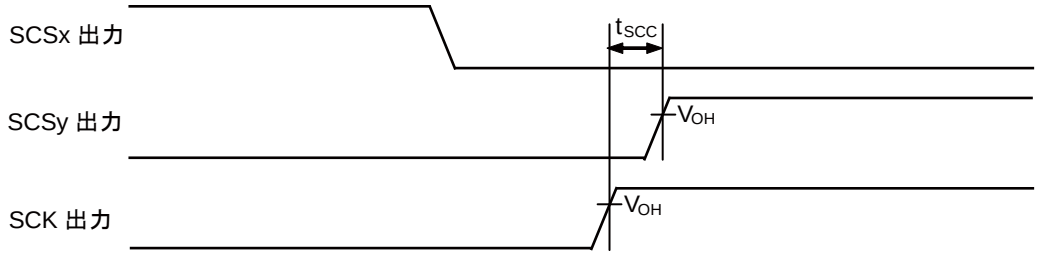
- *CLK 同期モード時の交流規格です。*
- *C_L はテスト時の端子に接続される負荷容量値です。*
- *最大ボーレートは使用する内部動作クロックおよびそのほかのパラメータより制限されます。詳細につきましては, ハードウェアマニュアルを参照してください。*



マスタモード



スレーブモード



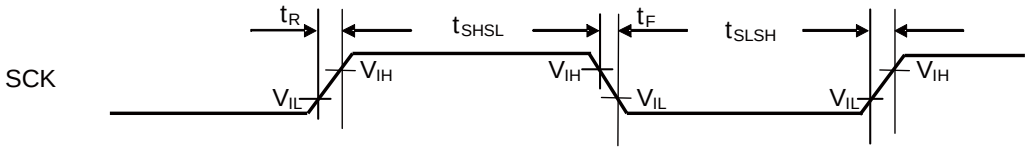
マスタモード・ラウンド動作によるクロック切換え例
(x, y = 40, 41, 42, 43: x と y は異なる値です)

11.4.5.2 UART (非同期シリアルインタフェース) タイミング(SMR:MD[2:0]=0b000, 0b001)

外部クロック選択時(BGR:EXT=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック "L"パルス幅	t_{SLSH}	SCK0～SCK4	(C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}			t_{CLK_PERI1}+10	-	ns	
SCK 立下り時間	t_F			-	5	ns	
SCK 立上り時間	t_R			-	5	ns	



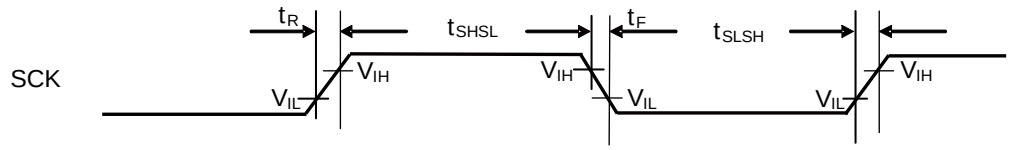
外部クロック選択時

11.4.5.3 LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1)) タイミング(SMR:MD[2:0]=0b011)

外部クロック選択時(BGR:EXT=1)

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロック "L"パルス幅	t_{SLSH}	SCK0～SCK4	(C_L=50 pF, I_{OL}=-2 mA, I_{OH}=2 mA), (C_L=20 pF, I_{OL}=-1 mA, I_{OH}=1 mA)	t_{CLK_PERI1}+10	-	ns	
シリアルクロック "H"パルス幅	t_{SHSL}			t_{CLK_PERI1}+10	-	ns	
SCK 立下り時間	t_F			-	5	ns	
SCK 立上り時間	t_R			-	5	ns	



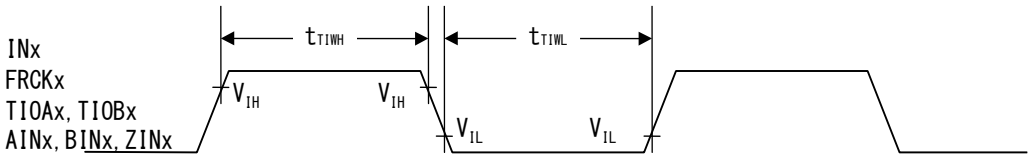
外部クロック選択時

11.4.6 タイマ入力タイミング

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}, t_{TIWL}	IN16～IN21, TIOA0～TIOA11, TIOB0～TIOB11	-	$4t_{CLK_PERI1}$	-	ns	
		IN4～IN14, FRCK6～FRCK10, FRCK12～FRCK17	-	$4t_{CLK_PERI4}$	-	ns	$4t_{CLK_PERI4}$≧70 ns
				70			$4t_{CLK_PERI4}$＜70 ns
		IN0～IN3, FRCK0, FRCK1, FRCK4～FRCK5	-	$4t_{CLK_PERI5}$	-	ns	$4t_{CLK_PERI5}$≧70 ns
				70			$4t_{CLK_PERI5}$＜70 ns
		AIN0, BIN0, ZIN0	-	$4t_{CLK_PERI5}$	-	ns	$4t_{CLK_PERI5}$≧70 ns
				70			$4t_{CLK_PERI5}$＜70 ns
		AIN2, BIN2, ZIN2	-	$4t_{CLK_PERI4}$	-	ns	$4t_{CLK_PERI4}$≧70 ns
				70			$4t_{CLK_PERI4}$＜70 ns

－　タイマ入力タイミング

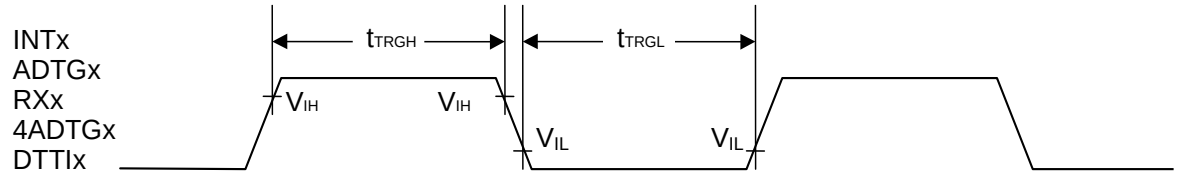


11.4.7 トリガ入力タイミング

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	INT0～INT7	-	200	-	ns	
		RX0～RX2	-	$5t_{CLK_SYSCPD1}$	-	ns	
		ADTG0, DTTI2, DTTI3	-	$5t_{CLK_PERI6}$	-	ns	
		4ADTG0, DTTI0	-	$5t_{CLK_PERI5}$	-	ns	$5t_{CLK_PERI5}$≧70 ns
				70			$5t_{CLK_PERI5}$＜70 ns
		4ADTG1, DTTI1	-	$5t_{CLK_PERI4}$	-	ns	$5t_{CLK_PERI4}$≧70 ns
				70			$5t_{CLK_PERI4}$＜70 ns
		INT0～INT7, ADTG0, 4ADTG0, 4ADTG1 RX0～RX2, DTTI0～DTTI3	-	1	-	µs	ストップモード時

- トリガ入力タイミング

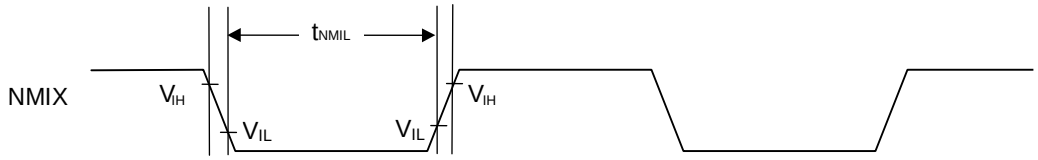


11.4.8 NMI 入力タイミング

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{NMIL}	NMIX	-	200	-	ns	

- NMIX 入力タイミング



11.4.9 外部低電圧検出

(T_A:推奨動作条件, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電圧範囲	V_{DP5}	VCC5	-	-	-	5.5	V	
検出電圧	V_{DL}	VCC5	*1	3.7	3.9	4.1	V	電圧降下時 検出レベル初期設定は 4.1 V±0.2 V
ヒステリシス幅	V_{HYS}	VCC5	-	75	100	150	mV	電圧上昇時
低電圧検知時間	T_d	-	-	-	-	30	µs	
電源電圧変動率	-	VCC5	-	-4	-	-	V/ms	*2

*1: 電源の変動が低電圧検知時間(T_d)より短い時間で，検出電圧範囲を通過した場合，電源電圧が検出電圧範囲を通過した後に発生/解除する可能性があります。

*2: 検出電圧(V_{DL})で低電圧検出を行うために，電源の変動を電源電圧変動率の範囲内に抑えるようにしてください。

11.4.10 内部低電圧検出

(T_A:推奨動作条件, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電圧範囲	V_{RDP5}	VCC12	-	-	-	1.3	V	
検出電圧	V_{RDL}	VCC12	*1	0.8	0.9	1.0	V	電圧降下時
ヒステリシス幅	V_{RHYS}	VCC12	-	20	30	50	mV	電圧上昇時
低電圧検知時間	T_{Rd}	-	-	-	-	30	µs	
電源電圧変動率	-	VCC12	-	-4	-	-	V/ms	*2

*1: 電源の変動が低電圧検知時間(T_{Rd})より短い時間で，検出電圧範囲を通過した場合，電源電圧が検出電圧範囲を通過した後に発生/解除する可能性があります。

*2: 検出電圧(V_{RDL})で低電圧検出を行うために，電源の変動を電源電圧変動率の範囲内に抑えるようにしてください。

11.5 A/D コンバータ

11.5.1 電気的特性

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-4.0	-	+4.0	LSB	
微分直線性誤差	-	-	-1.9	-	+1.9	LSB	
ゼロトランジション電圧	V_{ZT}	AN0～AN31	AVRL +0.5LSB-20	-	AVRL +0.5LSB+20	mV	1LSB=(V_{FST}-V_{ZT})/4094
フルスケールトランジション電圧	V_{FST}	AN0～AN31	AVRH -1.5LSB-20	-	AVRH -1.5LSB+20	mV	
サンプリング時間	t_{SMP}	-	0.3	-	12	µs	*1
コンペア時間	t_{CMP}	-	0.7	-	28	µs	*1
A/D 変換時間	t_{CNV}	-	1.0	-	40	µs	*1
アナログポート入力電流	I_{AIN}	AN0～AN31	-2.0	-	2.0	µA	$V_{AVSS} \leqq V_{AIN} \leqq V_{AVCC}$
アナログ入力電圧	V_{AIN}	AN0～AN31	AVSS	-	AVRH	V	
基準電圧	AVRH	AVRH2	4.5	-	5.5	V	$AV_{CC} \geqq$ AVRH
	AVRL	AVRL2	-	0.0	-	V	
電源電流	I_A	AVCC2	-	500	680	µA	
	I_{AH}		-	-	17.7	µA	*2
	I_R	AVRH2	-	1	2	mA	
	I_{RH}		-	-	2.16	µA	*2
チャネル間ばらつき	-	AN0～AN31	-	-	4	LSB	

*1: 1 チャネルあたりの時間です。

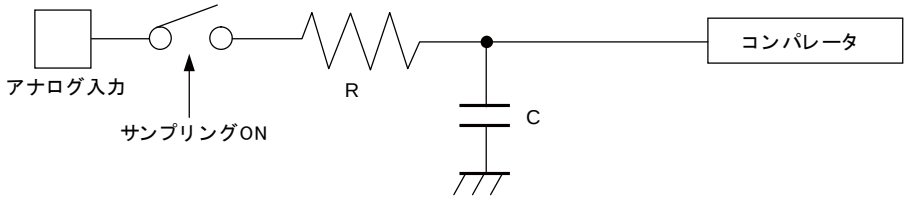
*2: A/D コンバータが非動作時でかつ, ストップモード時の電源電流(Vcc=AVcc=5.0 V 時)を規定します。

11.5.2 A/D 変換部の注意事項

＜アナログ入力の外部回路の出力インピーダンスについて＞

外部インピーダンスが高すぎる場合には, アナログ電圧のサンプリング時間が不足する場合があります。その場合には, アナログ入力端子にコンデンサ(0.1 µF 程度)を付けることを推奨します。

－ アナログ入力回路モデル



	R	C
12bit A/D	3.0kΩ (max)	8.30pF (max) (4.5V ≤ AVcc ≤ 5.5V)

(注意事項) ここに記した数値は目安にしてください。

11.6 4 チャネル同時サンプリング A/D コンバータ

11.6.1 電気的特性

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-4.0	-	+4.0	LSB	
微分直線性誤差	-	-	-1.9	-	+1.9	LSB	
ゼロトランジション電圧	V_{ZT}	4AN0～4AN7	AVRL +0.5LSB-20	-	AVRL +0.5LSB+20	mV	1LSB=(V_{FST}-V_{ZT})/4094
フルスケールトランジション電圧	V_{FST}	4AN0～4AN7	AVRH -1.5LSB-20	-	AVRH -1.5LSB+20	mV	
サンプリング時間	t_{SMP}	-	0.6	-	1.2	µs	*1
コンペア時間	t_{CMP}	-	1.4	-	5.6	µs	*2
A/D 変換時間	t_{CNV}	-	2	-	6.8	µs	*3
アナログポート入力電流	I_{AIN}	4AN0～4AN7	-0.7	-	0.7	µA	$V_{AVSS} \leqq V_{AIN} \leqq V_{AVCC}$
アナログ入力電圧	V_{AIN}	4AN0～4AN7	AVSS	-	AVRH	V	
基準電圧	AVRH	AVRH0, AVRH1	4.5	-	5.5	V	$AV_{CC} \geqq$ AVRH
	AVRL	AVRL0, AVRL1	-	0.0	-	V	
電源電流	I_A	AVCC0, AVCC1	-	1.0	1.5	mA	1 ユニット動作時
	I_{AH}		-	-	27.5	µA	1 ユニット動作時*4
	I_R	AVRH0, AVRH1	-	0.5	4.0	mA	1 ユニット動作時
	I_{RH}		-	-	4.5	µA	1 ユニット動作時*4
チャネル間ばらつき	-	4AN0～4AN3	-	-	20	mV	
	-	4AN4～4AN7	-	-	20	mV	

*1: 4 チャネル同時サンプリングの時間です。

*2: 4 チャネル分のコンペア時間です。

*3: 4 チャネル分の変換時間です。

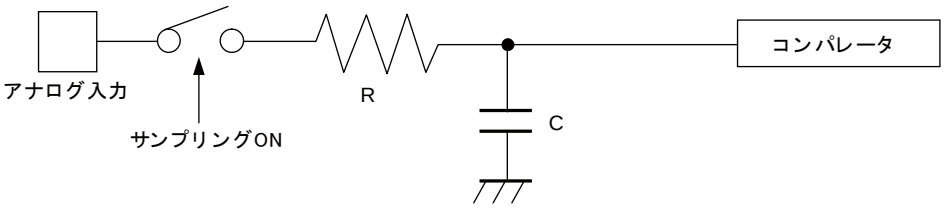
*4: A/D コンバータが非動作時でかつ, ストップモード時の電源電流(Vcc=AVcc=5.0 V 時)を規定します。

11.6.2 A/D 変換部の注意事項

＜アナログ入力の外部回路の出力インピーダンスについて＞

外部インピーダンスが高すぎる場合には, アナログ電圧のサンプリング時間が不足する場合があります。その場合には, アナログ入力端子にコンデンサ(0.1 µF 程度)を付けることを推奨します。

－ アナログ入力回路モデル



	R	C
4-SH 12bit A/D	3.8kΩ (max)	8.30pF (max) (4.5V ≤ AVcc ≤ 5.5V)

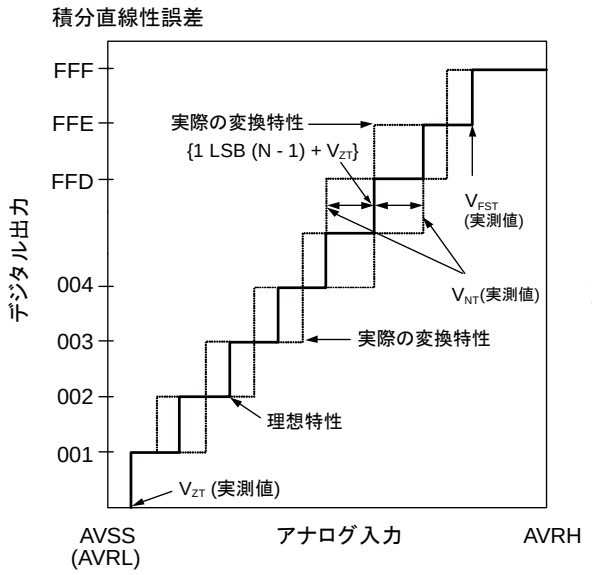
(注意事項)ここに記した数値は目安にしてください。

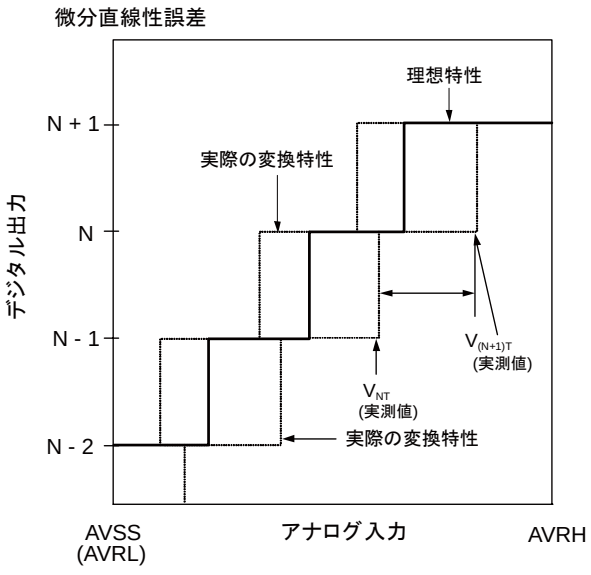
11.6.3 用語の定義

分解能　　：A/D コンバータにより識別可能なアナログ変化

積分直線性誤差　：ゼロトランジション点 ("0000 0000 0000" ⟷ "0000 0000 0001") とフルスケールトランジション点 ("1111 1111 1110" ⟷ "1111 1111 1111") を結んだ直線と実際の変換特性との偏差

微分直線性誤差　：出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差





$$\text{デジタル出力 N の積分直線性誤差} = \frac{V_{NT} - \{1LSB \times (N-1) + V_{ZT}\}}{1LSB} \text{ [LSB]}$$

$$\text{デジタル出力 N の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1LSB} - 1 \text{ LSB} \quad \text{[LSB]}$$

$$1LSB = \frac{V_{FST} - V_{ZT}}{4094} \quad \text{[V]}$$

V_{ZT}: デジタル出力が"0x000"から"0x001"に遷移する電圧
V_{FST}: デジタル出力が"0xFFE"から"0xFFF"に遷移する電圧

11.7 フラッシュメモリ

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間	-	200	800	ms	8K バイトセクタ*1 内部でのプリプログラム時間は除く
	-	300	1100	ms	8K バイトセクタ*1 内部でのプリプログラム時間は含む
	-	400	2000	ms	64K バイトセクタ*1 内部でのプリプログラム時間は除く
	-	700	3700	ms	64K バイトセクタ*1 内部でのプリプログラム時間は含む
8 ビット書込み時間	-	9	288	µs	システムレベルのオーバヘッド時間を除く*1
16 ビット書込み時間	-	12	384	µs	システムレベルのオーバヘッド時間を除く*1
ECC 書込み時間	-	9	288	µs	システムレベルのオーバヘッド時間を除く*1
消去回数*2/ データ保持期間	1,000 回/20 年, 10,000 回/10 年, 100,000 回/ 5 年	-	-	-	書込み/消去時の温度 平均温度 T_A=+85°C *3

*1: 100,000 回消去までの保証値です。

*2: セクタごとの消去回数です。

*3: テクノロジ信頼性評価結果からの換算値です(アレニウスの式を使用し，高温加速試験結果を平均温度+85°C へ換算しています)。

(注意事項)

- *フラッシュメモリは，書込み中または消去中の外部電源(V_{CC}, V_{DD}) 遮断は禁止です。*
- *書込み中に V_{CC} または V_{DD} が消失する可能性があるアプリケーションにおいては，外部低電圧検出器と NMIX 端子 + RSTX 端子の同時入力リセットを使用して，安全に電源を落とすようにしてください。具体的には下記の 2 点を実施ください。*
  1. V_{DD} が推奨動作範囲内で NMIX 端子 + RSTX 端子が同時入力してから，60 µs 内は V_{DD} を推奨動作範囲内に保つ。
  2. V_{CC} が推奨動作範囲内で NMIX 端子 + RSTX 端子が同時入力してから，外部低電圧検出器の電源電圧変動率の規格を守って V_{CC} の電源を落とす。

11.8 R/D コンバータ

(T_A:推奨動作条件, V_{CC}=5.0V±0.5V, V_{DD}=1.2V±0.1V, V_{SS}= AV_{SS}= RV_{SS}=0.0V)

項目		規格値			単位	備考
		最小	標準	最大		
励磁信号出力	出力電圧(振幅)	$0.4V_{CC}$-1%	$0.4V_{CC}$	$0.4V_{CC}$+1%	V	
	出力電圧(変位)	-$0.4V_{CC}$+(V_{CC}/2)	-	$0.4V_{CC}$+(V_{CC}/2)	V	
	出力電流	-	-	1	mA	
	周波数	-	10 or 20	-	kHz	レジスタにて設定
レゾルバ応答信号*1	振幅	AREF20-2.0	-	AREF20+2.0	V	ユニット 0
		AREF21-2.0	-	AREF21+2.0	V	ユニット 1
	最大入力周波数	-	-	24	kHz	
励磁入力信号*2	振幅	0	-	RVCC0	V	ユニット 0 $2V_{p-p}$以上
		0	-	RVCC1	V	ユニット 1 $2V_{p-p}$以上
	レゾルバ検出信号との位相差	-45	-	45	°	
角度出力	角度精度(変換精度)	-4	-	4	LSB	静止時のばらつき： ±1LSB
	分解能	-	12	-	bit	
	出力遅れ	1.1	-	2.1	µs	
角速度出力	最大角速度	-	-	4000	rps	帯域 1.8 kHz モード時
		-	-	3000	rps	帯域 600 kHz モード時
	分解能	-	0.261	-	rps/LSB	
リファレンス出力電圧	AREF2 出力電圧	RVCC0/2-3%	-	RVCC0/2+3%	V	ユニット 0
		RVCC1/2-3%	-	RVCC1/2+3%	V	ユニット 1
動作特性	トラッキングループ特性 (0dB クロス周波数)	-	-	1.2	kHz	帯域 1.8 kHz モード時*3
		-	-	400	Hz	帯域 600 Hz モード時*3
	トラッキングループ特性 (-3dB クロス周波数)	-	-	1.8	kHz	帯域 1.8 kHz モード時*3
		-	-	600	Hz	帯域 600 Hz モード時*3
	最大トラッキングレート	-	-	4000	rps	帯域 1.8 kHz モード時
		-	-	3000	rps	帯域 600 Hz モード時
	セトリングタイム (179° ステップ)	-	-	4	ms	帯域 1.8 kHz モード時
		-	-	12	ms	帯域 600 Hz モード時
	最大角速度	-	-	1,000,000	rad/s^2	帯域 1.8 kHz モード時
		-	-	150,000	rad/s^2	帯域 600 Hz モード時

*1: 該当端子：COS_PLUS, COS_MINUS, SIN_PLUS, SIN_MINUS

*2: 該当端子：MAG_PLUS, MAG_MINUS

*3: 信号振幅ノミナル時

12. オーダ型格

型格	パッケージ
CY9DF566MxEEQ-GTE1	プラスチック・TEQFP, 208 ピン (LER208)

(注意事項)

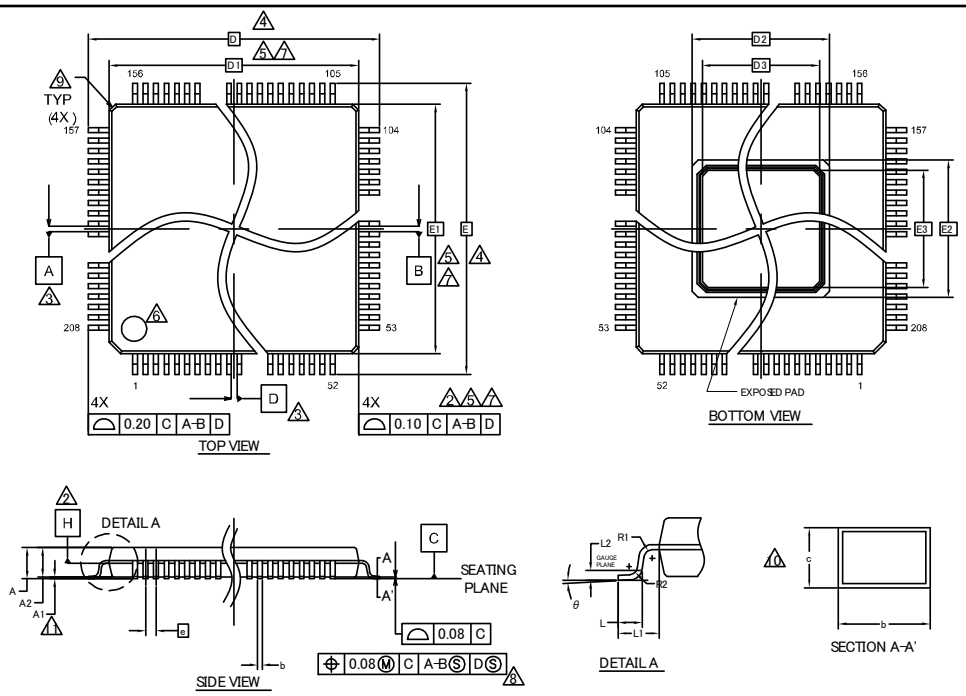
- *"x"は型格オプションです。型格オプションは以下の表を参照してください。各パッケージの詳細は 14.パッケージ・外形寸法図を参照してください。*

13. 型格オプション

型格オプション	R/D コンバータ	FlexRay	キーコード
A	搭載	非搭載	非搭載
G	搭載	搭載	非搭載

14. パッケージ・外形寸法図

Package Type	Package Code
TEQFP 208	LER208



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	——	——	1.70
A1	0.05	——	0.15
A2	1.35	1.40	1.45
D	30.00 BSC		
D1	28.00 BSC		
D2	9.26 REF		
D3	8.06 REF		
E	30.00 BSC		
E1	28.00 BSC		
E2	9.26 REF		
E3	8.06 REF		
R1	0.08	——	——
R2	0.08	——	0.20
θ	0°	4°	8°
c	0.12	——	0.20
b	0.17	0.22	0.27
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25		
e	0.50 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
10. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
11. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13654 *A

PACKAGE OUTLINE, 208 LEAD TEQFP
28.0X28.0X1.7 MM LER208 REV*A

15. 主な変更内容

Spansion Publication Number: DS708-00001

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
11	3.品種構成	176pin 製品を追加
14, 15	4.端子配列図	176pin 製品を追加
16～33	5.端子機能説明	176pin 製品を追加
46	10.メモリマップ	MB9DF564, MB9DF565 のアドレス情報を追加 アドレス 0x04FE_0000～0x05FF_FFFF までの割当てを訂正
54, 55	12.各 CPU ステートにおける端子状態	176pin 製品を追加
102	14.オーダ型格	パッケージ名を変更 176pin 製品を追加
103, 104	16. パッケージ・外形寸法図	パッケージ・外形寸法図を変更 176pin 製品を追加
Revision 3.0		
102	15. 型格オプション	型格オプション L, Q を追加

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: **CY9D560 Series 32-bit Microcontroller Traveo™ Family**
文書番号: **002-05680**

版	ECN 番号	変更者	発行日	変更内容
**	-	KOJM	05/15/2015	サイプレスとしてドキュメントコード 00205680 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5340452	KOJM	07/21/2016	これは英語版の 05679 Rev. *A を翻訳した日本語版です。
*B	6516556	KOJM	04/01/2019	これは英語版の 05679 Rev. *B を翻訳した日本語版です。 部品番号を MB から CY に変更しました。 以下の部品番号を削除しました。 MB9D564MxEEQ-GTE1 MB9D564LxEEQ-GTE1 MB9D565LxEEQ-GTE1 MB9D566LxEEQ-GTE1 1. 品種構成を更新しました。 2. 端子配列図から 176 ピン RDC 搭載製品/非搭載製品を削除しました。 3. 端子機能説明を更新しました。 10. 各 CPU ステートにおける端子状態を更新しました。 12. オーダ型格を更新しました 13. 型格オプションから L と Q オプションを削除しました。 14. パッケージ・外形寸法図から 176pin を削除しました。 14. パッケージ・外形寸法図の 208pin を更新しました。

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semicoductor Corporation, 2014-2019. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。