本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB91520 シリーズ
32 ビット・マイクロコントローラ

FR ファミリ FR81S
Hardware Manual

Doc. No. 002-05573 Rev. *B

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone (USA): 800.858.1810
Phone (Intnl): 408.943.2600
http://www.cypress.com

© Cypress Semiconductor Corporation, 2011-2016. 本書面は、Cypress Semiconductor Corporation及びSpansion LLCを含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypressが所有する。Cypressはこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypressの特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたがCypressとの間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypressは、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypressハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypressのハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypressにより提供され、修正がなされていないもの）に抵触するCypressの特許権のクレームに基づき、Cypressハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypressは、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypressは、別途通知することなく、本書面を変更する権利を留保する。Cypressは、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用（以下、「本目的外使用」という。）のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypressはその全部又は一部をとわず一切の責任を負わず、かつ、あなたはCypressをそれら一切から免除するものとし、本書により免除する。あなたは、Cypress製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）からCypressを免責補償する。

Cypress、Cypressのロゴ、Spansion、Spansionのロゴ及びこれらの組み合わせ、PSoC、CapsSense、EZ-USB、F-RAM、及びTraveoは、米国及びその他の国におけるCypressの商標又は登録商標である。Cypressの商標のより完全なリストは、cypress.comを参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

はじめに

Cypress半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91520 シリーズをご利用になる前に、本書および『MB91F520 データシート』をご一読ください。

■ 本書の目的と対象読者

本シリーズは自動車用，産業用制御などの用途向けに設計した、Cypress 32ビットマイクロコントローラです。FRファミリと互換のFR81S CPUを搭載しています。FR81S CPUは命令パイプラインの強化，ロードストア処理の強化，内部バス転送の効率化により、FRファミリ最高性能を実現します。

自動車用ボディ制御として最適な仕様となっています。

本書は、実際に本シリーズを使用して製品を開発される技術者を対象に、機能や動作，使い方について解説しています。

本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

・目次から探す
本書の内容を記載順に示します。

・レジスタから探す
本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から、配置アドレスやレジスタの説明頁を探すことができます。
本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『付録』の『A. I/O マップ』を参照してください。

・索引から探す
周辺機能の名称などのキーワードから機能の説明を探すことができます。

■ 章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

■ 本書の読み方

・主要な用語

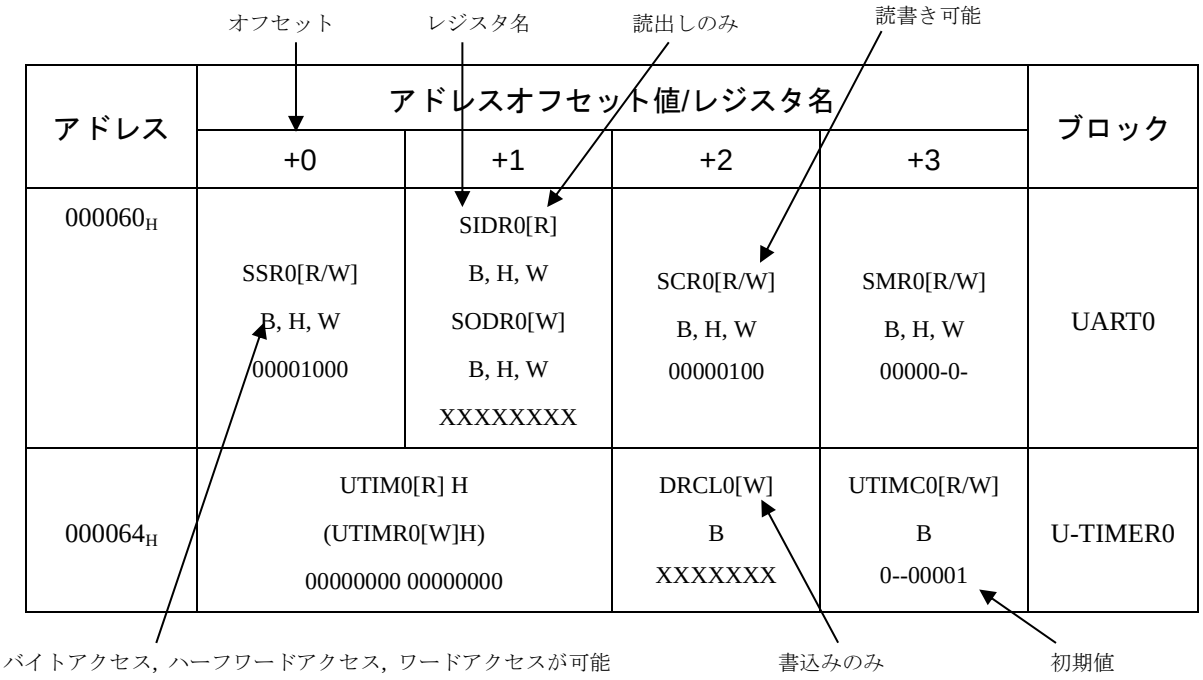
本シリーズで使用する主要な用語に関して説明します。

用語	説明
XBS	32ビット幅の高速内部バスです。 バスマスタには、CPU (インストラクションフェッチ) , CPU (データ読み・書き) , オンチップバスからのアクセスがあります。 バススレーブにはオンチップバスへのアクセス, RAM, (XBS内蔵のワイルドレジスタを経由して) フラッシュメモリがあります。 バスはクロスバースイッチ構成となっており、各バスマスタから各バススレーブへ同時動作が可能です。
オンチップバス	32ビット幅の高速内部バスです。XBS用とDMA用の2レイヤ構成になっており、それぞれが同時動作できます。 XBS用レイヤのバスマスタにはXBSからのアクセスがあります。 DMA用レイヤのバスマスタにはDMAからのアクセスがあります。 双方のレイヤのバススレーブには外部バスインタフェース, CAN, 16/32周辺バスブリッジなどがあります。 DMA 用レイヤのみのバススレーブに XBS へのアクセスがあります。
32 ビット周辺バス	32ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。
16 ビット周辺バス (R-Bus)	16ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。本バスへの32ビット幅のアクセスは16ビット× 2に分割されます。
外部バス (外バス)	8/16ビット幅の低速外部バスです。メモリデバイスやASICなどを接続します。本シリーズがバスマスタになり、外バスに接続されるデバイスがバススレーブになります。
メインクロック (MCLK)	高速側発振を起源としたLSI 動作の基準となるクロックです。 メイン発振安定待ち用タイマ, クロック発生部 (PLL) などに接続しています。
サブクロック (SBCLK)	低速側発振を起源としたLSI 動作の基準となるクロックです。 サブ発振安定待ち用タイマなどに接続しています。 クロック 2 系統品種のみ使用できます。
CR 発振	ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ) 用のクロックです。

用語	説明
PLL クロック (PLLCLK)	メインクロックを PLL で逓倍したものです。
CPU クロック (CCLK)	XBS 配下のペリフェラル用のクロックです。
オンチップバスクロック(HCLK)	オンチップバス配下のペリフェラル用のクロックです。
周辺クロック (PCLK)	32 ビット周辺バスおよび 16 ビット周辺バス配下のペリフェラル用のクロックです。
外部バスクロック (TCLK)	X-BUSにつながる外部バスインタフェースと外部クロック出力動作の基準となるクロックです。クロック発生部にてベースクロックから生成します。
メインクロックモード	メインクロックを基準に動作しているモードです。このメインクロックモードの中にはメインRUN，メインスリープ，メインストップ，発振安定待ちRUN，発振安定待ちリセット，プログラムリセットの状態があります。
メインRUN	メインクロックモードであり、かつすべての回路が動作可能な状態となります。
発振安定待ち時間	クロックを停止状態から発振状態に設定すると発振安定時間をとります。発振安定待ちの間は，そのクロックは供給されません。
OCD	本シリーズ用のオンチップデバッガです。
OCDU	本製品に内蔵されている、OCDのインタフェースです。
OCDツール	OCDツールを、本品種のDEBUG I/F端子に接続します。
チップリセットシーケンス	チップリセットシーケンス中にOCDツールの接続確認を行います。(1026+3) PCLKサイクルかかります。
電源遮断	対象となる回路への電源供給を止めて、消費電力を低減します。
常時電源ONブロック	電源遮断の対象とならない区画です。
PMU パワーマネジメントユニット	電源遮断の制御を行います。PMUは常時ONブロックにあります。

用語	説明
SSCG	「スペクトラム拡散クロックジェネレータ」 = Spread Spectrum Clock Generator 電子機器内のクロックが単一の周波数を発生すると、その周波数およびその高調波での輻射が大きくなります。 SSCGは、クロック周波数をわずかに変動させて発振させる(＝周波数変調)ことによって、EMIのピークを低く抑える働きをする技術です。
ADC	A/D コンバータです。
DAC	D/A コンバータです。

■ アクセス単位とアドレス位置



アクセスには、バイト, ハーフワード, ワードの3 種類がありますが、レジスタによってはアクセス制限がありますので注意ください。詳細につきましては、『A. I/O マップ』または、各章の『4. レジスタ詳細説明』を参照してください。

B, H, W	: バイトアクセス, ハーフワードアクセス, ワードアクセスが可能
B	: バイトアクセス (必ずバイトでアクセスしてください。)
H	: ハーフワードアクセス (必ずハーフワードでアクセスしてください。)
W	: ワードアクセス (必ずワードでアクセスしてください。)
B, H	: バイトアクセス, ハーフワードアクセスのみ (ワードではアクセスできません。)
H, W	: ハーフワードアクセス, ワードアクセスのみ (バイトではアクセスできません。)

(参考)

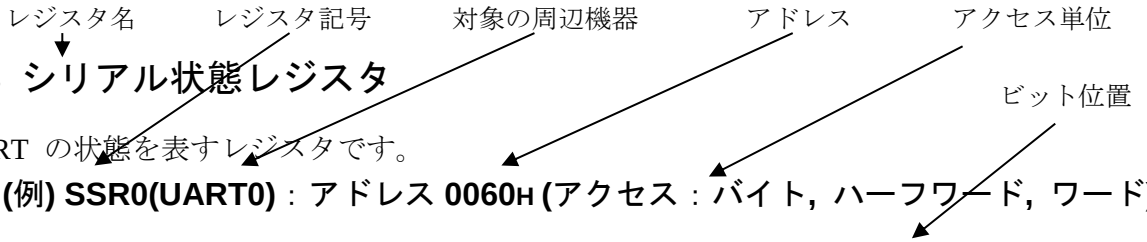
アクセス時のアドレス位置を説明します。

- ワードアクセスの場合、アドレスは 4 の倍数 (最下位 2 ビットは強制的に"00"です)
- ハーフワードアクセスの場合、アドレスは 2 の倍数 (最下位 1 ビットは強制的に"0"です)
- バイトアクセスの場合、アドレスはそのままです。

このため、例えば、SSR0レジスタをハーフワードアクセスするには、アドレス060_H番地に対して、SSR0+SIDR0 (SODR0)レジスタにアクセスするかたちになります。

(アドレスオフセットが+1 と+2 (例：SIDR0+SCR0)でのハーフワードアクセスはできません。)

■ アクセス単位とビット位置について



4.3 シリアル状態レジスタ

UART の状態を表すレジスタです。

(例) SSR0(UART0)：アドレス 0060H (アクセス：バイト，ハーフワード，ワード)

bit	7	6	5	4	3	2	1	0
	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE
初期値	0	0	0	0	1	0	0	0
属性	R/W	R/WX	R/WX	R/WX	R/WX	R/W	R/W	R/W

アクセス単位がかわるとビット位置が変わります。

アドレスオフセット値が+0 の場合：(例 SSR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+0H	7	6	5	4	3	2	1	0
ハーフワード	060H+0H	15	14	13	12	11	10	9	8
バイト	060H+0H	31	30	29	28	27	26	25	24
ビット名		PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE

アドレスオフセット値が+1 の場合：(例 SIDR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+1H	7	6	5	4	3	2	1	0
ハーフワード	060H+0H	7	6	5	4	3	2	1	0
バイト	060H+0H	23	22	21	20	19	18	17	16
ビット名		D7	D6	D5	D4	D3	D2	D1	D0

アドレスオフセット値が+2 の場合：(例 SCR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+2H	7	6	5	4	3	2	1	0
ハーフワード	060H+2H	15	14	13	12	11	10	9	8
バイト	060H+0H	15	14	13	12	11	10	9	8
ビット名		PEN	P	SBL	CL	A/D	REC	RXE	TXE

アドレスオフセット値が+3 の場合：(例 SMR0 レジスタ)

アクセスサイズ	アドレス	ビット位置							
ワード	060H+3H	7	6	5	4	3	2	1	0
ハーフワード	060H+2H	7	6	5	4	3	2	1	0
バイト	060H+0H	7	6	5	4	3	2	1	0
ビット名		MD1	MD0	CS2	CS1	CS0	-	SCKE	-

■ ビット属性機能の意味について

R　　：読出し可能です。

W　　：書込み可能です。

RM　：リードモディファイライト(RMW)動作時の読出し動作の意味です。

"/"(スラッシュ)　R/W　：　読出しと書込みが可能です。(読出し値は，書き込んだ値です。)

","(カンマ)　　R, W　：　読出しと書込みで意味が違います。(読出し値は，書き込んだ値と異なります。)

R0　　：読出し値は"0" です。

R1　　：読出し値は"1" です。

W0　　：必ず"0" を書き込んでください。

W1　　：必ず"1" を書き込んでください。

(RM0)：リードモディファイライト(RMW)動作では"0" が読めます。

(RM1)：リードモディファイライト(RMW)動作では"1" が読めます。

RX　　：読出し値は不定です。 (予約ビットまたは，未定義ビット)

WX　　：書込みを行っても動作に影響を与えません。 (未定義ビット)

• R/W記載例

- R/W　　：リード/ライト可能 (読出し値は書込み値と同じです。)
- R,W　　：リード/ライト可能 (読出し値と書込み値が異なります。)
- R,RM/W　　：リード/ライト可能 (読出し値と書込み値が異なります。 リードモディファイライト(RMW)系命令時は書込み値が読み出されます。) 例: ポートデータレジスタ
- R(RM1), W　：リード/ライト可能 (読出し値と書込み値が異なります。リードモディファイライト(RMW)系命令時は"1" を読み出します。) 例: 割込み要求フラグ
- R,WX　　：リードオンリ (読出しは可能です。書込みは動作に影響ありません。)
- R1,W　　：ライトオンリ (書込みは可能です。読出し値は"1" です。)
- R0,W　　：ライトオンリ (書込みは可能です。読出し値は"0" です。)
- RX,W　　：ライトオンリ (書込みは可能です。読出し値は不定です。)
- R/W0　　：予約ビット (書込み値は"0" です。 読出し値は書込み値です。)

- R0,W0　　：予約ビット (書込み値は"0" です。読出し値は"0" です。)
- R1,W0　　：予約ビット (書込み値は"0" です。読出し値は"1" です。)
- RX,W0　　：予約ビット (書込み値は"0" です。読出し値は不定です。)
- R/W1　　：予約ビット (書込み値は"1" です。読出し値は書込み値です。)
- R1,W1　　：予約ビット (書込み値は"1" です。読出し値は"1" です。)
- R0,W1　　：予約ビット (書込み値は"1" です。読出し値は"0" です。)
- RX,W1　　：予約ビット (書込み値は"1" です。読出し値は不定です。)
- RX,WX　　：未定義ビット (読出し値は不定です。書込みは動作に影響ありません。)
- R0,WX　　：未定義ビット (読出し値は"0" です。書込みは動作に影響ありません。)

目次

Chapter 1: 概要 44

1. 概要 45
2. 特長 45
   2.1. FR81S CPU コア 45
   2.2. 周辺機能 46
3. 品種構成 49
4. 機能概要 57
5. ブロックダイヤグラム 62
6. メモリマップ 68
7. 端子配列図 70
8. パッケージ外形寸法図 76
9. 端子機能一覧 83
   9.1. 各機能ごとの端子一覧 99
10. 入出力回路形式 117

Chapter 2: デバイスの取扱い 121

1. 取扱上のご注意 122
   1.1. 設計上の注意事項 122
   1.2. パッケージ実装上の注意事項 123
   1.3. 使用環境に関する注意事項 124
2. デバイス取り扱いについて 125
3. 使用上の注意事項 127
   3.1. 兼用ポートの機能切換え 127
   3.2. 低消費電力モード 128
   3.3. 状態フラグを含むレジスタに書込みを行う場合の注意 128

Chapter 3: CPU 129

1. 概要 130
2. 特長 130
3. CPU 動作記述 131
   3.1. CPU 動作状態 131
      3.1.1. リセット状態 132
      3.1.2. 通常走行状態 133
      3.1.3. 低消費電力状態 133
      3.1.4. デバッグ走行状態 133
4. パイプライン動作 133
5. 浮動小数点演算処理 134

6. データ構造 134
7. アドレッシング 134
8. プログラミングモデル 135
8.1. 汎用レジスタ、専用レジスタ、浮動小数点レジスタ 136
8.2. システムレジスタ 137
9. リセット・EIT 処理 137
9.1. リセット 138
9.2. EIT 処理 138
9.3. ベクタテーブル 138
10. メモリ保護機能(MPU) 141
10.1. 概要 141
10.2. レジスタ一覧 142
10.3. レジスタ説明 143
10.3.1. MPU 制御レジスタ : MPUCR 143
10.3.2. 命令アクセス保護違反アドレスレジスタ : IPVAR 146
10.3.3. 命令アクセス保護違反状態レジスタ : IPVSR 147
10.3.4. データアクセス保護違反アドレスレジスタ : DPVAR 148
10.3.5. データアクセス保護違反状態レジスタ : DPVSR 149
10.3.6. データアクセスエラーアドレスレジスタ : DEAR 151
10.3.7. データアクセスエラー状態レジスタ : DESR 151
10.3.8. 保護領域ベースアドレスレジスタ 0～7 : PABR0-7 153
10.3.9. 保護領域制御レジスタ 0～7 : PACR0-7 153
10.4. メモリ保護機能動作 157
10.4.1. メモリ保護領域の設定 157
10.4.2. 命令アクセス保護違反 157
10.4.3. データアクセス保護違反 158
10.4.4. データアクセスエラー 158
10.4.5. 遅延スロットでのメモリ保護動作 159
10.4.6. DEAR, DESR 更新 159
10.4.7. 注意事項 159

Chapter 4: 動作モード 160

1. 概要 161
2. 特長 161
3. 構成 161
4. レジスタ 162
4.1. バスモードレジスタ : BMODR (Bus MODe Register) 162
5. 動作説明 162
5.1. MD0, MD1, P006 端子の設定 163
5.2. 動作モードの取込み 164
5.3. 各モード説明 165
5.3.1. ユーザモード 165
5.3.2. シリアルライタモード 165

Chapter 5: クロック 169

1. 概要 170
2. 特長 172
3. 構成 173

4. レジスタ 178
4.1. 分周設定レジスタ 0 : DIVR0 (DIVide clock configuration Register 0) 179
4.2. 分周設定レジスタ 1 : DIVR1 (DIVide clock configuration Register 1) 180
4.3. 分周設定レジスタ 2 : DIVR2 (DIVide clock configuration Register 2) 181
4.4. クロックソース設定レジスタ : CSELR (Clock source SELect Register) 182
4.5. クロックソース監視レジスタ : CMONR (Clock source MONitor Register) 185
4.6. メインタイマ制御レジスタ : MTMCR (Main clock TiMer Control Register) 187
4.7. サブタイマ制御レジスタ: STMCR (Sub clock TiMer Control Register) 190
4.8. PLL 設定レジスタ: PLLCR (PLL Configuration Register) 192
4.9. 発振安定待ち設定レジスタ: CSTBR (Clock STaBilization select Register) 194
4.10. PLL 発振安定待ちタイマ設定レジスタ: PTMCR (PLL clock osc TiMer Control Register) 196
4.11. PLL/SSCG クロック選択レジスタ: CCPSSELR (CCtl Pll/Sscg clock SELect Register) 197
4.12. PLL/SSCG 出力クロック分周設定レジスタ: CCPSDIVR (CCtl Pll/Sscg clock DIVide Register) 198
4.13. PLL フィードバック分周設定レジスタ: CCPLLFBR (CCtl PLL FB clock divide Register) 200
4.14. SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0 (CCtl SScg FB clock divide Register 0) 201
4.15. SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1 (CCtl SScg FB clock divide Register 1) 202
4.16. SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (CCtl SSCg Config. Register 0) 203
4.17. SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (CCtl SSCg Config. Register 1) 205
4.18. クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (CCtl Clock Gear Config. Register 0) 206
4.19. クロックギアコンフィグ設定レジスタ 1 : CCCGRCR1 (CCtl Clock Gear Config. Register 1) 208
4.20. クロックギアコンフィグ設定レジスタ 2 : CCCGRCR2 (CCtl Clock Gear Config. Register 2) 209
4.21. RTC/PMU クロック選択レジスタ : CCRTSELR (CCtl RTc pmu clock SELect Register) 210
4.22. PMU クロック分周設定レジスタ 0: CCPMUCR0 (CCtl PMU Clock divide Register 0) 211
4.23. PMU クロック分周設定レジスタ 1 : CCPMUCR1 (CCtl PMU Clock divide Register 1) 212
4.24. Sync/Async Control Register 214
4.25. Peripheral Interface Clock Divider 214
5. 動作説明 216
5.1. 発振制御 216
5.1.1. メインクロック(MCLK) 216
5.1.2. サブクロック(SBCLK) 217
5.1.3. PLL/SSCG クロック(PLLSSCLK) 217
5.1.4. PLL/SSCG クロック使用時の制限事項 220
5.2. 発振安定待ち 221
5.2.1. 安定待ち時間生成条件 221
5.2.2. 安定待ち時間選択 221
5.2.3. 安定待ち時間の終了 222
5.3. ソースクロック(SRCCLK)選択 222
5.3.1. 初期化時のソースクロック選択 222
5.3.2. ソースクロック切換え手順 222
5.4. タイマ 228
5.4.1. メインクロック発振安定待ちタイマ(メインタイマ) 228
5.4.2. サブクロック発振安定待ちタイマ(サブタイマ) 228
5.4.3. PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ) 228
5.4.4. 設定 229
5.4.5. タイマ割込み設定手順 229
5.4.6. タイマ動作 230
5.4.7. 時計モードとタイマ割込み 230
5.5. クロック競合時の注意 232

5.6. クロックギア回路 ... 232
5.6.1. ギアアップの手順 ... 232
5.6.2. ギアダウンの手順 ... 233
5.7. MDI 通信中の動作 ... 233
5.8. PMU クロック(PMUCLK)について ... 234

Chapter 6: クロック・リセット状態遷移 ... 236

1. 概要 ... 237
2. デバイス状態と各遷移 ... 237
2.1. 状態遷移図 ... 237
2.2. 各状態の説明 ... 240
2.3. 各状態遷移要求の優先順位 ... 241
3. デバイス状態と対応するレギュレータモード ... 242

Chapter 7: リセット ... 244

1. 概要 ... 245
2. 特長 ... 245
3. 構成 ... 246
4. レジスタ ... 250
4.1. リセット要因レジスタ : RSTRR (ReSeT Result Register) ... 251
4.2. リセット制御レジスタ : RSTCR (ReSeT Control Register) ... 253
4.3. CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register) ... 254
4.4. PMU 状態レジスタ : PMUSTR (Power Management Unit STatus register) ... 256
5. 動作説明 ... 257
5.1. リセットレベル ... 258
5.1.1. イニシャライズリセット(INIT) ... 258
5.1.2. リセット(RST) ... 258
5.2. リセット要因 ... 259
5.2.1. パワーオンリセット ... 259
5.2.2. RSTX 端子入力 ... 259
5.2.3. ウォッチドッグリセット 0 ... 259
5.2.4. ウォッチドッグリセット 1 ... 259
5.2.5. 外部低電圧検出リセット ... 260
5.2.6. 不正スタンバイモード移行検出リセット ... 260
5.2.7. 内部低電圧検出リセット ... 260
5.2.8. フラッシュセキュリティ違反リセット ... 260
5.2.9. ソフトウェアリセット (RSTCR:SRST) ... 261
5.2.10. スタンバイ(電源遮断)からの復帰 ... 261
5.3. リセット受付 ... 261
5.3.1. リセット要求の生成 ... 261
5.3.2. リセット要求の受理 ... 262
5.3.3. リセット発行遅延カウンタ ... 262
5.3.4. イレギュラーリセット ... 262
5.4. リセット発行 ... 263
5.4.1. 電源投入リセット(SINIT) ... 263
5.4.2. イニシャライズリセット(INIT) ... 265
5.4.3. リセット(RST) ... 266
5.5. リセットシーケンス ... 267

5.5.1. リセットサイクル 270
5.5.2. リセット解除 270
5.5.3. 動作モード確定 270
5.5.4. バス権の遷移 270
5.5.5. リセットベクタフェッチ 270
5.5.6. リセットと強制ブレーク 271
5.6. 注意事項 271

Chapter 8: DMA コントローラ(DMAC) 272

1. 概要 273
2. 特長 273
3. 構成 274
4. レジスタ 275
4.1. DMA 制御レジスタ : DMACR (DMA Control Register) 278
4.2. DMA チャネル制御レジスタ 0-15 : DCCR0-15 (DMA Channel Control Register 0-15) 280
4.3. DMA チャネル状態レジスタ 0-15 : DCSR0-15 (DMA Channel Status Register 0-15) 286
4.4. DMA 転送回数レジスタ 0-15 : DTCR0-15 (DMA Transfer Count Register 0-15) 288
4.5. DMA 転送元レジスタ 0-15 : DSAR0-15 (DMA Source Address Register 0-15) 289
4.6. DMA 転送先レジスタ 0-15 : DDAR0-15 (DMA Destination Address Register 0-15) 290
4.7. DMA 転送抑止 NMI フラグレジスタ : DNMIR (DMA-halt by NMI Register) 291
4.8. DMA 転送抑止レベルレジスタ : DILVR (DMA-halt by Interrupt Level Register) 292
5. 動作説明 293
5.1. 設定 293
5.1.1. 全チャネルにおいて共通に設定する項目 294
5.1.2. 各チャネルにおいて独立に設定する項目 294
5.1.3. 動作 298
6. DMA 使用例 311

Chapter 9: DMA 転送要求の発生・クリア 313

1. 概要 314
2. 特長 314
2.1. 転送要求の発生設定 314
2.2. 割込みクリアの設定 314
3. 構成 315
4. レジスタ 315
4.1. DMA 要求クリアレジスタ 0 : ICSEL0 (Interrupt Clear SELect register 0) 317
4.2. DMA 要求クリアレジスタ 1 : ICSEL1 (Interrupt Clear SELect register 1) 318
4.3. DMA 要求クリアレジスタ 2 : ICSEL2 (Interrupt Clear SELect register 2) 319
4.4. DMA 要求クリアレジスタ 3 : ICSEL3 (Interrupt Clear SELect register 3) 319
4.5. DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SELect register 5) 320
4.6. DMA 要求クリアレジスタ 6 : ICSEL6 (Interrupt Clear SELect register 6) 321
4.7. DMA 要求クリアレジスタ 7 : ICSEL7 (Interrupt Clear SELect register 7) 322
4.8. DMA 要求クリアレジスタ 8 : ICSEL8 (Interrupt Clear SELect register 8) 323
4.9. DMA 要求クリアレジスタ 9 : ICSEL9 (Interrupt Clear SELect register 9) 323
4.10. DMA 要求クリアレジスタ 10 : ICSEL10 (Interrupt Clear SELect register 10) 324
4.11. DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SELect register 11) 325
4.12. DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SELect register 13) 326
4.13. DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SELect register 14) 327

4.14. DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SELect register 15) 328
4.15. DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SELect register 16) 329
4.16. DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SELect register 17) 330
4.17. DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SELect register 18) 331
4.18. DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SELect register 19) 332
4.19. DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SELect register 20) 333
4.20. DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SELect register 21) 334
4.21. DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SELect register 22) 335
4.22. DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SELect register 23) 336
4.23. DMA 要求クリアレジスタ 24 : ICSEL24 (Interrupt Clear SELect register 24) 337
4.24. DMA 要求クリアレジスタ 25 : ICSEL25 (Interrupt Clear SELect register 25) 338
4.25. DMA 要求クリアレジスタ 26 : ICSEL26 (Interrupt Clear SELect register 26) 339
4.26. DMA 要求クリアレジスタ 27 : ICSEL27 (Interrupt Clear SELect register 27 340
4.27. IO 転送要求設定レジスタ 0-15 : IORR0-15 (IO triggered DMA Request Register for ch. 0-15) 341
5. 動作説明 342
5.1. 設定 342
5.2. 注意事項 343

Chapter 10: FixedVector 機能 344

1. 概要 345
2. 特長 345
3. 構成 345
4. レジスタ 345
5. 動作説明 346
5.1. リセット解除後の動作 346
5.2. 使用方法 347
6. 注意事項 347

Chapter 11: I/O ポート 348

1. 概要 349
2. 特長 349
3. 構成 350
4. レジスタ 350
4.1. ポートデータレジスタ 00～19 : PDR00-19 (Port Data Register 00-19) 353
4.2. データ方向レジスタ 00～19 : DDR00-19 (Data Direction Register 00-19) 354
4.3. ポート機能レジスタ 00～19 : PFR00-19 (Port Function Register 00-19) 355
4.4. 入力データダイレクトレジスタ 00～19 : PDDR00-19 (Port Data Direct Register 00-19) 356
4.5. プルアップダウン許可レジスタ 00～19 : PPER00-19 (Port Pull-up/down Enable Register 00-19) 357
4.6. 拡張ポート機能レジスタ 00～88 : EPFR00-88 (Extended Port Function Register 00-88) 358
4.6.1. 拡張ポート機能レジスタ 00～01,56 : EPFR00-01,56 (Extended Port Function Register 00-01,56) 358
4.6.2. 拡張ポート機能レジスタ 02～05,57-60 : EPFR02-05, 57-60 (Extended Port Function Register 02-05,57-60) 360
4.6.3. 拡張ポート機能レジスタ 06～09,33,34,35,36,61～64 : EPFR06-09,33,34,35,36,61～64 (Extended Port Function Register 06-09,33,34, 35,36,61～64) 363
4.6.4. 拡張ポート機能レジスタ 10～15,45,71～78 : EPFR10-15, 45, 71～78 (Extended Port Function Register 10-15, 45, 71～78) 368
4.6.5. 拡張ポート機能レジスタ 79,80 : EPFR79,80 (Extended Port Function Register 79,80) 374

4.6.6. 拡張ポート機能レジスタ 86 : EPFR86 (Extended Port Function Register 86) 375
4.6.7. 拡張ポート機能レジスタ 26 : EPFR26 (Extended Port Function Register 26) 376
4.6.8. 拡張ポート機能レジスタ 27 : EPFR27 (Extended Port Function Register 27) 377
4.6.9. 拡張ポート機能レジスタ 28 : EPFR28 (Extended Port Function Register 28) 378
4.6.10. 拡張ポート機能レジスタ 29,81,82 : EPFR29,81,82 (Extended Port Function Register 29,81,82) ... 379
4.6.11. 拡張ポート機能レジスタ 83 : EPFR83 (Extended Port Function Register 83) 380
4.6.12. 拡張ポート機能レジスタ 42 : EPFR42 (Extended Port Function Register 42) 381
4.6.13. 拡張ポート機能レジスタ 43, 44 : EPFR43-44 (Extended Port Function Register 43--44) 382
4.6.14. 拡張ポート機能レジスタ 48-51 : EPFR48-51 (Extended Port Function Register 48-51) 383
4.6.15. 拡張ポート機能レジスタ 65-70 : EPFR65-70 (Extended Port Function Register65-70) 383
4.6.16. 拡張ポート機能レジスタ 84,85 : EPFR84,85 (Extended Port Function Register84,85) 386
4.6.17. 拡張ポート機能レジスタ 87 : EPFR87 (Extended Port Function Register87) 387
4.6.18. 拡張ポート機能レジスタ 88 : EPFR88 (Extended Port Function Register 88) 388
4.7. ポート入力許可レジスタ : PORTEN(PORT ENable register) 388
4.8. キーコードレジスタ : KEYCDR (KEY CoDe register) 389
5. 動作説明 390
5.1. 端子の入出力の割り当て 391
5.1.1. ペリフェラル入出力(双方向)端子の割り当て 392
5.1.2. ペリフェラル入力の割り当て 393
5.1.3. ペリフェラル出力の割り当て 394
5.1.4. 外バスの割り当て 396
5.1.5. ポート機能(入力)の割り当て 397
5.1.6. ポート機能(出力)の割り当て 398
5.1.7. A/D コンバータ入力の割り当て 399
5.1.8. D/A コンバータ出力の割り当て 399
5.2. EPFR 設定の優先度について 399
5.3. 入力 I/O リロケーション設定時の注意 400
5.4. ノイズフィルタ 400
5.5. GPORTEN 入力遮断 400
5.6. A/D コンバータ機能のある端子の注意事項 401
5.7. ベースタイマ TIOA1 端子使用時の設定 401
5.8. キーコードレジスタ機能の設定 401
5.9. 電源遮断からの復帰時の動作 403
5.10. I/O ポート機能切換え時の注意事項 403
5.11. 特定周辺機能使用時の入力遮断 403

Chapter 12: 割込み制御(割込みコントローラ) 404

1. 概要 405
2. 特長 405
3. 構成 406
4. レジスタ 407
4.1. 割込み制御レジスタ 00-47 : ICR00-47 (Interrupt Control Register 00-47) 408
5. 動作説明 409
5.1. 設定 409
5.2. 起動 409
5.3. 優先順位判定 409
5.4. ストップモードからの復帰 410
5.5. スタンバイモード(電源遮断)からの復帰 410

Chapter 13: 外部割込み入力 411

1. 概要 412
2. 特長 412
3. 構成 412
4. レジスタ 413
   4.1. 外部割込み要因レジスタ 0/1 : EIRR0/1: (External Interrupt Request Register 0/1) 414
   4.2. 外部割込み許可レジスタ 0/1 : ENIR0/1: (ENable Interrupt request Register 0/1) 415
   4.3. 外部割込み要求レベルレジスタ 0/1 : ELVR0/1: (External interrupt LeVel Register 0/1) 416
5. 動作説明 417
6. 設定 419
7. Q&A 420
8. 注意事項 421

Chapter 14: NMI 入力 422

1. 概要 423
2. 特長 423
3. 構成 423
4. レジスタ 423
5. 動作説明 424
6. 使用例 425

Chapter 15: 遅延割込み 426

1. 概要 427
2. 特長 427
3. 構成 427
4. レジスタ 427
5. 動作説明 428
6. 制限事項 428

Chapter 16: 割込み要求一括読出し 429

1. 概要 430
2. 特長 430
3. 構成 430
4. レジスタ 431
   4.1. 割込み要求一括読出しレジスタ 0 上位 : IRPR0H (Interrupt Request Peripheral Read register 0H) 433
   4.2. 割込み要求一括読出しレジスタ 0 下位 : IRPR0L (Interrupt Request Peripheral Read register 0L) 433
   4.3. 割込み要求一括読出しレジスタ 1 上位 : IRPR1H (Interrupt Request Peripheral Read register 1H) 434
   4.4. 割込み要求一括読出しレジスタ 1 下位 : IRPR1L (Interrupt Request Peripheral Read register 1L) 435
   4.5. 割込み要求一括読出しレジスタ 3 上位 : IRPR3H (Interrupt Request Peripheral Read register 3H) 435
   4.6. 割込み要求一括読出しレジスタ 3 下位 : IRPR3L (Interrupt Request Peripheral Read register 3L) 436
   4.7. 割込み要求一括読出しレジスタ 4 上位 : IRPR4H (Interrupt Request Peripheral Read register 4H) 437
   4.8. 割込み要求一括読出しレジスタ 4 下位 : IRPR4L (Interrupt Request Peripheral Read register 4L) 437
   4.9. 割込み要求一括読出しレジスタ 5 上位 : IRPR5H (Interrupt Request Peripheral Read register 5H) 438
   4.10. 割込み要求一括読出しレジスタ 5 下位 : IRPR5L (Interrupt Request Peripheral Read register 5L) 439
   4.11. 割込み要求一括読出しレジスタ 6 上位 : IRPR6H (Interrupt Request Peripheral Read register 6H) 439
   4.12. 割込み要求一括読出しレジスタ 6 下位 : IRPR6L (Interrupt Request Peripheral Read register 6L) 440
   4.13. 割込み要求一括読出しレジスタ 7 上位 : IRPR7H (Interrupt Request Peripheral Read register 7H) 441

4.14. 割込み要求一括読出しレジスタ 7 下位 : IRPR7L (Interrupt Request Peripheral Read register 7L) 441
4.15. 割込み要求一括読出しレジスタ 8 上位 : IRPR8H (Interrupt Request Peripheral Read register 8H) 442
4.16. 割込み要求一括読出しレジスタ 8 下位 : IRPR8L (Interrupt Request Peripheral Read register 8L) 443
4.17. 割込み要求一括読出しレジスタ 9 上位 : IRPR9H (Interrupt Request Peripheral Read register 9H) 443
4.18. 割込み要求一括読出しレジスタ 9 下位 : IRPR9L (Interrupt Request Peripheral Read register 9L) 444
4.19. 割込み要求一括読出しレジスタ 10 上位 : IRPR10H (Interrupt Request Peripheral Read register 10H) 445
4.20. 割込み要求一括読出しレジスタ 10 下位 : IRPR10L (Interrupt Request Peripheral Read register 10L) . 445
4.21. 割込み要求一括読出しレジスタ 11 上位 : IRPR11H (Interrupt Request Peripheral Read register 11H). 446
4.22. 割込み要求一括読出しレジスタ 11 下位 : IRPR11L (Interrupt Request Peripheral Read register 11L).. 446
4.23. 割込み要求一括読出しレジスタ 12 上位 : IRPR12H (Interrupt Request Peripheral Read register 12H) 447
4.24. 割込み要求一括読出しレジスタ 12 下位 : IRPR12L (Interrupt Request Peripheral Read register 12L) . 447
4.25. 割込み要求一括読出しレジスタ 13 上位 : IRPR13H (Interrupt Request Peripheral Read register 13H) 448
4.26. 割込み要求一括読出しレジスタ 13 下位 : IRPR13L (Interrupt Request Peripheral Read register 13L) . 449
4.27. 割込み要求一括読出しレジスタ 14 上位 : IRPR14H (Interrupt Request Peripheral Read register 14H) 449
4.28. 割込み要求一括読出しレジスタ 14 下位 : IRPR14L (Interrupt Request Peripheral Read register 14L) . 450
4.29. 割込み要求一括読出しレジスタ 15 上位 : IRPR15H (Interrupt Request Peripheral Read register 15H) 451
4.30. 割込み要求一括読出しレジスタ 15 下位 : IRPR15L (Interrupt Request Peripheral Read register 15L) . 452
5. 動作説明 452

Chapter 17: PPG 453

1. 概要 454
2. 特長 454
3. 構成 459
4. レジスタ 460
4.1. PPG 制御状態レジスタ : PCN0~PCN47 470
4.2. PPG 周期設定レジスタ : PCSR0~PCSR47 475
4.3. PPG デューティ設定レジスタ : PDUT0~PDUT47 476
4.4. PPG タイマレジスタ : PTMR0~PTMR47 477
4.5. PPG 制御状態レジスタ 2 : PCN200~PCN247 478
4.6. Start Delay 値設定レジスタ : PSDR0~PSDR47 481
4.7. Timing Point Capture 値設定レジスタ : PTPC0 ~ PTPC47 482
4.8. PPG 通信モード High フォーマット周期設定レジスタ : PHCSR0~PHCSR3 483
4.9. PPG 通信モード Low フォーマット周期設定レジスタ: PLCSR0~PLCSR3 484
4.10. PPG 通信モード High フォーマットデューティ設定レジスタ : PHDUT0~PHDUT3 485
4.11. PPG 通信モード Low フォーマットデューティ設定レジスタ : PLDUT0~PLDUT3 486
4.12. PPG 通信モードデータ設定レジスタ: PCMDDT0~ PCMDDT3 487
4.13. PPG 通信モードデータビット長設定レジスタ : PCMDWD0~PCMDWD3 487
4.14. GATE 機能制御レジスタ : GATEC0, 2, 4 489
4.15. 汎用トリガ選択レジスタ : GTRS0～GTRS23 490
4.16. 汎用トリガ設定レジスタ: GTREN0~2 492
5. 動作説明 494
5.1. PWM 動作 (Normal Wave Form) 495
5.2. PWM 動作 (Center Aligned Wave Form 選択時) 497
5.3. ワンショット動作 (Normal Wave Form 選択時) 499
5.4. ワンショット動作 (Center Aligned Wave Form 選択時) 501
5.5. 再起動動作 502
5.6. GATE 動作 504
5.7. Start Delay モード動作 (PWM Normal Wave Form 選択時) 505

5.8. Timing Point Capture モード動作 (PWM Normal Wave Form 選択時) 507
5.9. PPG 通信モード動作 510
5.10. PPG 通信起動 511
5.11. PPG 通信動作 513
5.12. PPG**通信**強制停止、再開動作 517
5.13. PPG 出力パルス極性選択 519
5.14. 割込み 521
6. 注意事項 522

Chapter 18: ウォッチドッグタイマ 527

1. 概要 528
2. 特長 528
2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ) 528
2.2. ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ) 529
3. 構成 530
4. レジスタ 531
4.1. ウォッチドッグタイマ 0 制御レジスタ : WDTCR0 (WatchDog Timer 0 Configuration Register) 531
4.2. ウォッチドッグタイマ 0 クリアレジスタ : WDTCPR0(WatchDog Timer Clear Pattern Register 0) 533
4.3. ウォッチドッグタイマ 0 拡張制御レジスタ : WDTECR0 (Watchdog Timer Extended Configuration Register 0) 533
4.4. ウォッチドッグタイマ 1 周期インフォメーションレジスタ : WDTCR1 (WatchDog Timer Cycle information Register 1) 535
4.5. ウォッチドッグタイマ 1 クリアレジスタ : WDTCPR1(WatchDog Timer Clear Pattern Register 1) 536
5. 動作説明 536
5.1. ソフトウェアウォッチドッグ機能 536
5.1.1. 設定 537
5.1.2. 起動 537
5.1.3. 動作 537
5.2. ハードウェアウォッチドッグ機能 538
5.2.1. 設定 538
5.2.2. 起動 539
5.2.3. 動作 539
6. 使用例 539

Chapter 19: ベースタイマ 541

1. 概要 542
2. 特長 542
2.1. 16/32 ビットリロードタイマ 542
2.2. 16 ビット PWM タイマ 543
2.3. 16/32 ビット PWC タイマ 544
2.4. 16 ビット PPG タイマ 545
3. 構成 547
4. レジスタ 548
4.1. 共通レジスタ 549
4.1.1. タイマレジスタ 0-1 : BTxTMR (Base Timer 0/1 TiMer Register) 550
4.1.2. タイマ制御レジスタ 0-1 : BTxTMCR (Base Timer 0/1 TiMer Control Register) 550
4.1.3. 入出力選択レジスタ : BTSEL01 (Base Timer SElect register ch.0 and ch.1) 556
4.1.4. 同時ソフト起動レジスタ : BTSSSR (Base Timer Software Synchronous Start Register) 557

4.2. 16/32 ビットリロードタイマ時のレジスタ 558
4.2.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control) 558
4.2.2. 周期設定レジスタ 0-1 : BTxPCSR (Base Timer 0/1 Pulse Counter Start Register) 559
4.3. 16 ビット PWM タイマ時のレジスタ 560
4.3.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control) 560
4.3.2. 周期設定レジスタ 0-1 : BTxPCSR (Base Timer 0/1 Pulse Counter Start Register) 562
4.3.3. デューティ設定レジスタ 0-1 : BTxPDUT (Base Timer 0/1 Pulse DuTy register) 563
4.4. 16 ビット PPG タイマ時のレジスタ 564
4.4.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control) 564
4.4.2. L 幅設定レジスタ 0-1 : BTxPRLL (Base Timer 0/1 Pulse Length of "L" register) 565
4.4.3. H 幅設定レジスタ 0-1 : BTxPRLH (Base Timer 0/1 Pulse Length of "H" register) 566
4.5. 16/32 ビット PWC タイマ時のレジスタ 567
4.5.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control) 567
4.5.2. データバッファレジスタ 0-1 : BTxDTBF (Base Timer 0/1 DaTa BuFfer register) 569
5. 動作説明 570
5.1. タイマ機能の選択 570
5.2. 入出力割り当て 571
5.3. 32 ビットモード動作 574
5.3.1. 32 ビットモード機能 574
5.3.2. 32 ビットモード設定 574
5.3.3. 32 ビットモード動作 575
5.4. 16/32 ビットリロードタイマの動作 575
5.4.1. 概要 578
5.4.2. リロードモード時の動作 579
5.4.3. ワンショットモード時の動作 581
5.4.4. 32 ビットタイマモード時の動作 583
5.4.5. 割込み 585
5.4.6. 使用上の注意 586
5.5. 16 ビット PWM タイマの動作 587
5.5.1. 概要 588
5.5.2. リロードモード時の動作 588
5.5.3. ワンショットモード時の動作 593
5.5.4. 割込み 595
5.5.5. 使用上の注意 596
5.6. 16 ビット PPG タイマの動作 597
5.6.1. 概要 598
5.6.2. パルス幅の計算方法 598
5.6.3. リロードモード時の動作 599
5.6.4. ワンショットモード時の動作 605
5.6.5. 割込み 607
5.6.6. 使用上の注意 608
5.7. 16/32 ビット PWC タイマの動作 609
5.7.1. 概要 611
5.7.2. PWC 測定時の動作 616
5.7.3. 32 ビットタイマモード時の動作 619
5.7.4. 割込み 621
5.7.5. 使用上の注意 621

Chapter 20: リロードタイマ 623

1. 概要 624
2. 特長 624
3. 構成 626
4. レジスタ 627
   4.1. 制御状態レジスタ : TMCSR (TiMer Control and Status Register) 629
   4.2. 16 ビットタイマレジスタ : TMR (16bit TiMer Register) 633
   4.3. 16 ビットタイマリロードレジスタ A、16 ビットタイマリロードレジスタ B : TMRLRA, TMRLRB (16bit TiMer ReLoad Register A/B) 634
5. 動作説明 636
   5.1. 設定 636
      5.1.1. カウントソース 636
      5.1.2. タイマのアンダフロー周期 637
      5.1.3. トリガ 637
      5.1.4. ゲート 637
      5.1.5. カウンタ動作選択 638
      5.1.6. TOUT 端子レベル設定 639
   5.2. 動作手順 641
      5.2.1. 起動 641
      5.2.2. リトリガ 643
      5.2.3. アンダフロー/リロード 645
      5.2.4. 割込み要求発生 645
      5.2.5. レジスタ書込みとタイマ動作の同時動作 646
   5.3. 各カウンタ動作の説明 646
      5.3.1. シングルワンショット動作 647
      5.3.2. シングルリロード動作 649
      5.3.3. デュアルワンショット動作 651
      5.3.4. デュアルリロード動作 653
      5.3.5. コンペアワンショット動作 655
      5.3.6. コンペアリロード動作 658
      5.3.7. キャプチャモード 661
   5.4. カスケード入力 664
   5.5. 同時動作の優先順位 665
6. アプリケーションノート 666
   6.1. シングルワンショットタイマ 668
   6.2. リロードタイマ 670
   6.3. PPG 672
   6.4. PWM 675
   6.5. PWC 678

Chapter 21: 32 ビットフリーランタイマ 680

1. 概要 681
2. 特長 681
   2.1. 32 ビットフリーランタイマの機能 682
   2.2. フリーランタイマセレクタの機能 682
3. 構成図 682
   3.1. 32 ビットフリーランタイマの構成図 683

3.2. フリーランタイマセレクタの構成図 ... 684
4. レジスタ ... 685
4.1. 32 ビットフリーランタイマのレジスタ ... 686
4.1.1. タイマ制御レジスタ (上位ビット) : TCCSH ... 686
4.1.2. タイマ制御レジスタ (下位ビット) : TCCSL ... 687
4.1.3. コンペアクリアレジスタ : CPCLR ... 689
4.1.4. タイマデータレジスタ : TCDT ... 689
4.2. フリーランタイマセレクタのレジスタ ... 690
4.2.1. フリーランタイマ選択レジスタ : FRS ... 690
5. 動作説明 ... 696
5.1. 32 ビットフリーランタイマの動作 ... 696
5.1.1. カウント動作 ... 697
5.1.2. カウントアップ ... 698
5.1.3. タイマクリア ... 699
5.1.4. フリーランタイマの各種クリア動作 ... 700
5.1.5. タイマ割込み ... 701
5.2. 32 ビットフリーランタイマセレクタの動作 ... 702
6. 設定 ... 703
7. Q&A ... 704
7.1. 内部クロック分周の選択方法は? ... 704
7.2. 外部クロックの選択方法は? ... 705
7.3. フリーランタイマのカウント動作を許可/禁止するには? ... 705
7.4. フリーランタイマをクリアするには? ... 706
7.5. 割込み関連レジスタは? ... 706
7.6. コンペアクリア割込みを許可するには? ... 707
7.7. フリーランタイマ動作を停止するには? ... 707
8. サンプルプログラム ... 708
9. 注意事項 ... 708

Chapter 22: 32 ビットアウトプットコンペア ... 710

1. 概要 ... 711
2. 特長 ... 712
3. 構成図 ... 714
4. レジスタ ... 715
4.1. アウトプット制御レジスタ(上位ビット) : OCSH ... 716
4.2. アウトプット制御レジスタ(下位ビット) : OCSL ... 717
4.3. コンペアレジスタ : OCCP ... 719
4.4. 出力レベル制御レジスタ : OCLS ... 720
5. 動作説明 ... 721
5.1. アウトプットコンペア出力 (独立反転) CMOD="0" ... 722
5.2. アウトプットコンペア出力 (連携反転) CMOD="1" ... 723
5.3. アウトプットコンペアの動作タイミング ... 724
5.3.1. コンペアレジスタ書込み ... 724
5.3.2. コンペアマッチ、割込み ... 725
5.3.3. 端子出力 ... 725
6. 設定 ... 726
7. Q&A ... 726
7.1. コンペア値を設定するには? ... 727

7.2. コンペアモードを設定するには? (OCU7 での例) 727
7.3. コンペア動作を許可/禁止するには?(OCU6,7 での例) 728
7.4. コンペア端子出力の初期レベルを設定するには?(OCU6,7 での例) 728
7.5. コンペア端子 OCU6-OCU7 を出力に設定するには? 728
7.6. フリーランタイマをクリアするには? 729
7.7. コンペア動作を許可するには? (OCU6,7 での例) 729
7.8. 割込み関連レジスタは? 729
7.9. 割込みの種類は? 730
7.10. 割込みを許可するには? 730
7.11. コンペア値の算出方法は？ 730
7.11.1. トグル出力パルス 731
7.11.2. PWM 出力 732
7.12. 動作モードを設定するには？ 732
8. サンプルプログラム 732
9. 注意事項 735

Chapter 23: 32 ビットインプットキャプチャ 736

1. 概要 737
2. 特長 738
3. 構成 739
4. レジスタ 740
4.1. インプットキャプチャデータレジスタ : IPCP 742
4.2. インプットキャプチャ制御レジスタ : ICS 743
4.3. LIN SYNCH FIELD 切換えレジスタ : LSYNS 744
4.4. 周期測定データレジスタ : MSCY 746
4.5. 周期・パルス幅測定制御レジスタ(上位ビット) : MSCH 747
4.6. 周期・パルス幅測定制御レジスタ(下位ビット) : MSCL 749
5. 動作説明 750
5.1. 取込みタイミング、割込みタイミング 751
5.2. インプットキャプチャのエッジ指定とその動作 752
5.3. 周期・パルス幅測定動作 753
6. 設定 757
7. Q&A 758
7.1. 外部入力の有効エッジ極性の種類と選択方法は? 758
7.2. 外部入力端子(ICU4～ICU9)を有効にするには? 758
7.3. 割込み関連レジスタは? 759
7.4. 割込みの種類は? 759
7.5. 割込みを許可するには? 759
7.6. 入力信号のパルス幅を測定するには? 760
7.7. 動作モードの設定を設定するには? 760
8. サンプルプログラム 761
9. 注意事項 762

Chapter 24: 16 ビットフリーランタイマ 763

1. 概要 764
2. 特長 764
3. 構成 765
4. レジスタ 768

4.1. フリーランタイマ同時起動のレジスタ 769
4.1.1. タイマ同時起動レジスタ: TCGS 769
4.1.2. タイマ同時起動許可レジスタ: TCGSE 771
4.2. 16 ビットフリーランタイマのレジスタ 771
4.2.1. コンペアクリアバッファレジスタ: CPCLRB/コンペアクリアレジスタ: CPCLR 772
4.2.2. タイマデータレジスタ: TCDT0 ～ TCDT2 774
4.2.3. タイマ状態制御レジスタ: TCCS0 ～ TCCS2 775
4.3. フリーランタイマセレクタのレジスタ 783
4.3.1. フリーランタイマ選択レジスタ : FRS 783
5. 動作説明 797
5.1. 16 ビットフリーランタイマの割込み 797
5.2. 16 ビットフリーランタイマの動作 798
5.2.1. タイマクリア 798
5.2.2. タイマモード 799
5.2.3. コンペアクリアバッファ 800
5.2.4. タイマ割込み 801
5.2.5. 割込みマスク機能 802
5.2.6. 選択された外部カウントクロック 804
5.3. フリーランタイマセレクタの動作 805
5.4. 動作仕様注意事項 808
5.4.1. バッファレジスタへアクセス時の注意 808
5.4.2. 16 ビットフリーランタイマの使用上の注意 808
5.4.3. フリーランタイマセレクタの使用上の注意 809

Chapter 25: 16 ビットアウトプットコンペア 810

1. 概要 811
2. 特長 811
3. 構成 812
4. レジスタ 813
4.1. 16 ビットアウトプットコンペアのレジスタ 813
4.1.1. アウトプットコンペアバッファレジスタ : OCCPB0 ～ OCCPB5/
アウトプットコンペアレジスタ : OCCP0 ～ OCCP5 814
4.1.2. コンペア制御レジスタ: OCS 818
4.1.3. コンペアモード制御レジスタ : OCMOD 824
5. 動作説明 826
5.1. 16 ビットアウトプットコンペアの割込み 826
5.2. 16 ビットアウトプットコンペアの動作 826
5.2.1. 16 ビットアウトプットコンペアの動作(反転モード, OCMOD01 レジスタの MOD0=0) 827
5.2.2. 16 ビットアウトプットコンペアの動作(セット/ リセットモード, OCMOD01
レジスタの MOD0=1) 831
5.2.3. 16 ビットアウトプットコンペアタイミング 833
5.2.4. 16 ビットアウトプットコンペアとフリーランタイマの動作について 834
5.3. 16 ビットアウトプットコンペアの使用上の注意 840

Chapter 26: 16 ビットインプットキャプチャ 841

1. 概要 842
2. 特長 842
3. 構成 843

4. レジスタ 844
4.1. 16 ビットインプットキャプチャのレジスタ 845
4.1.1. インプットキャプチャデータレジスタ : IPCP0～IPCP3 845
4.1.2. インプットキャプチャ状態制御レジスタ : ICS 846
4.1.3. LIN SYNCH FIELD 切換えレジスタ： LSYNS 850
5. 動作説明 850
5.1. 16 ビットインプットキャプチャの割込み 851
5.2. 16 ビットインプットキャプチャの動作 851
5.2.1. 16 ビットインプットキャプチャの動作 852
5.2.2. 16 ビットインプットキャプチャ入力タイミング 853
5.3. 16 ビットインプットキャプチャの使用上の注意 853

Chapter 27: アップダウンカウンタ 854

1. 概要 855
2. 特長 855
3. 構成 857
4. レジスタ 859
4.1. リロードコンペアレジスタ (RCR0, RCR1) 860
4.2. アップダウンカウントレジスタ (UDCR0, UDCR1) 861
4.3. カウンタ制御レジスタ (CCR0, CCR1) 862
4.4. カウンタ状態レジスタ (CSR0, CSR1) 868
5. 割込み 870
6. 動作説明と設定手順例 872
6.1. タイマモード時の動作 876
6.2. アップダウンカウントモード時の動作 878
6.3. 位相差カウントモード (2 逓倍) 時の動作 882
6.4. 位相差カウントモード (4 逓倍) 時の動作 884

Chapter 28: リアルタイムクロック(RTC) 886

1. 概要 887
2. 特長 887
3. 構成 888
4. レジスタ 889
4.1. RTC 制御レジスタ : WTCR 889
4.2. サブセカンドレジスタ : WTBR 893
4.3. 日時分秒レジスタ : WTDR/WTHR/WTMR/WTSR 894
5. 動作説明 896
6. 設定 898
7. Q&A 899
7.1. 0.5 秒のカウント周期を設定するには? 900
7.2. リアルタイムクロックを初期化するには? 900
7.3. 日数(日), 時刻(時/分/秒)を設定/更新するには? 900
7.4. リアルタイムクロックのカウントを起動/停止するには? 900
7.5. リアルタイムクロックが動作しているか確認するには? 901
7.6. 日数、時刻を知るには? 901
7.7. リアルタイムクロックを停止させるには? 901
7.8. リアルタイムクロックを補正するには？ 901
7.9. 割込み関連レジスタは? 902

7.10. 割込みの種類と選択方法は? ... 902
7.11. 割込みを許可するには? ... 903
8. サンプルプログラム ... 903
9. 注意事項 ... 904

Chapter 29: RTC/WDT1 補正(キャリブレーション) ... 906

1. 概要 ... 907
2. 特長 ... 907
3. 構成 ... 908
4. レジスタ ... 908
4.1. 補正ユニット制御レジスタ 0 : CUCR0 (Calibration Unit Control Register 0) ... 909
4.2. サブクロックタイマデータレジスタ : CUTD0 (Calibration Unit Timer Data register 0) ... 910
4.3. メイン発振タイマリザルトレジスタ 0 : CUTR0 (Calibration Unit Timer Result register 0) ... 911
4.4. 補正ユニット制御レジスタ 1 : CUCR1 (Calibration Unit Control Register 1) ... 912
4.5. CR クロックタイマデータレジスタ : CUTD1 (Calibration Unit Timer Data register 1) ... 913
4.6. メイン発振タイマリザルトレジスタ 1 : CUTR1 (Calibration Unit Timer Result register 1) ... 914
5. 動作説明 ... 915
5.1. リアルタイムクロック(RTC)補正 ... 915
5.2. CR クロックの誤差測定 ... 915
5.3. 注意事項 ... 916

Chapter 30: 消費電力制御 ... 917

1. 概要 ... 918
2. 特長 ... 918
3. 構成 ... 919
4. レジスタ ... 921
4.1. スタンバイ制御レジスタ : STBCR (STandby mode Control Register) ... 921
4.2. PMU 制御レジスタ : PMUCTLR (Power Management Unit ConTroL register) ... 923
4.3. Power on Timing 制御レジスタ : PWRTMCTL (PoWeR on TiMing ConTroL register) ... 924
4.4. PMU 割込みフラグレジスタ 0 : PMUINTF0 (Power Management Unit INTerrupt Flag0 register) ... 925
4.5. PMU 割込みフラグレジスタ 1 : PMUINTF1(Power Management Unit INTerrupt Flag1 register) ... 926
4.6. PMU 割込みフラグレジスタ 2 : PMUINTF2 (Power Management Unit INTerrupt Flag2 register) ... 927
5. 動作説明 ... 928
5.1. クロック制御 ... 929
5.1.1. 分周設定 ... 929
5.1.2. 未使用クロックの停止 ... 929
5.2. 各低消費電力モードにおけるクロック供給一覧 ... 930
5.3. スリープモード ... 931
5.3.1. CPU スリープモード ... 931
5.3.2. バススリープモード ... 931
5.3.3. スリープモードの設定 ... 932
5.3.4. スリープモードの起動 ... 932
5.3.5. スリープモードからのウェイクアップ ... 933
5.3.6. スリープモードの効果 ... 933
5.4. スタンバイモード : 時計モード ... 933
5.4.1. 時計モードの設定 ... 934
5.4.2. 時計モードの起動 ... 934
5.4.3. 時計モードからのウェイクアップ ... 935

5.4.4. 時計モードの効果 ... 935
5.5. スタンバイモード：時計モード(電源遮断) ... 936
5.5.1. 時計モード(電源遮断)の設定 ... 936
5.5.2. 時計モード(電源遮断)の起動 ... 937
5.5.3. 時計モード(電源遮断)からのウェイクアップ ... 939
5.5.4. 時計モード(電源遮断)の効果 ... 941
5.6. スタンバイモード:ストップモード ... 941
5.6.1. ストップモードの設定 ... 941
5.6.2. ストップモードの起動 ... 942
5.6.3. ストップモードからのウェイクアップ ... 942
5.6.4. ストップモードの効果 ... 943
5.7. スタンバイモード:ストップモード(電源遮断) ... 943
5.7.1. ストップモード(電源遮断)の設定 ... 943
5.7.2. ストップモード(電源遮断)の起動 ... 944
5.7.3. ストップモード(電源遮断)からのウェイクアップ ... 946
5.7.4. ストップモード(電源遮断)の効果 ... 948
5.8. マイコン停止状態 ... 948
5.9. 不正スタンバイモード移行 ... 949
5.10. 電源遮断・通常スタンバイ制御の制限事項 ... 949
6. 使用例 ... 952

Chapter 31: 低電圧検出(内部低電圧検出) ... 953

1. 概要 ... 954
2. 特長 ... 954
3. 構成 ... 955
4. レジスタ ... 955
4.1. 内部低電圧検出レジスタ : LVD (Low-Voltage Detect internal power fall register) ... 956
5. 動作説明 ... 957
5.1. 内部低電圧検出 ... 957
6. 注意事項 ... 958

Chapter 32: 低電圧検出(外部低電圧検出) ... 959

1. 概要 ... 960
2. 特長 ... 960
3. 構成 ... 961
4. レジスタ ... 961
4.1. 外部低電圧検出立上り検出レジスタ： LVD5R (Low-Voltage Detect external 5v Rise register) ... 962
4.2. 外部低電圧検出立下り検出レジスタ： LVD5F (Low-Voltage Detect external 5v Fall register) ... 963
5. 動作説明 ... 965
6. 注意事項 ... 965

Chapter 33: ワイルドレジスタ ... 967

1. 概要 ... 968
2. 特長 ... 968
3. 構成 ... 968
4. レジスタ ... 969
4.1. ワイルドレジスタデータイネーブルレジスタ : WREN (Wild Register ENable register) ... 970
4.2. ワイルドレジスタアドレスレジスタ 00～15 : WRAR00-15 (Wild Register Address Register 00-15) ... 971

4.3. ワイルドレジスタデータレジスタ 00～15 : WRDR00-15 (Wild Register Data Register00-15) 972
5. 動作説明 972
6. 使用例 973

Chapter 34: クロックスーパバイザ 974

1. 概要 975
2. 構成 975
3. レジスタ 977
3.1. クロックスーパバイザ制御レジスタ : CSVCR (Clock SuperVisor Control Register) 977
4. 動作説明 979
4.1. 初期状態 980
4.2. CR 発振器およびクロックスーパバイザ機能の停止 981
4.3. クロックスーパバイザ再許可 982
4.4. サブクロックモード 982
4.5. ストップモード 983
4.6. 時計モード 984
4.7. クロックスーパバイザによるリセット要因の確認 984
4.8. CR クロックからの切戻り 985
4.9. SCKS ビット設定によるサブクロックモード 986

Chapter 35: レギュレータ制御 987

1. 概要 988
2. 特長 988
3. 構成 989
4. レジスタ 990
4.1. レギュレータ出力電圧選択レジスタ : REGSEL (REGulator output voltage SELect register) 990
5. 動作説明 991

Chapter 36: 外部バスインタフェース 992

1. 概要 993
2. 特長 993
3. 構成 994
4. レジスタ 995
4.1. CS 領域設定レジスタ : ASR0～ASR3 (Area Setting Register 0-3) 996
4.2. CS バス設定レジスタ : ACR0～ACR3 (Area Configuration Register 0～3) 999
4.3. CS ウェイトレジスタ : AWR0～AWR3 (Area Wait Register 0～3) 1001
4.4. 外部 DMA 転送レジスタ : DMAR0-3 (DMA transfer Register 0-3) 1006
5. 動作説明 1007
5.1. 外部端子表 1008
5.2. 外バス信号プロトコル 1009
5.2.1. アドレス・データスプリットバス リードプロトコル 1010
5.2.2. アドレス・データスプリットバス ライトプロトコル 1012
5.2.3. アドレス・データマルチプレックスバス リードプロトコル 1014
5.2.4. アドレス・データマルチプレックスバス ライトプロトコル 1016
5.3. アドレスアライメント 1017
5.4. 分割アクセス 1018
5.5. データアライメント 1018
5.6. アドレス情報 1021

5.6.1. アドレス情報と出力端子 1021
5.6.2. アドレスタイプ 1022
5.7. アイドルサイクル挿入機能 1023
5.8. 外バス出力信号タイミング設定 1024
5.9. RDY 端子アクセスサイクル延長機能 1028
5.10. CS 設定フロー 1029
5.11. 非同期メモリとの接続例 1037
5.12. リトルエンディアンデバイスとの接続例 1038

Chapter 37: バス・パフォーマンス・カウンタ 1040

1. 概要 1041
2. 特長 1041
3. 構成 1042
4. レジスタ 1043
4.1. BPC-A 制御レジスタ : BPCCRA (Bus Performance Counter Control Register A) 1043
4.2. BPC-B 制御レジスタ : BPCCRB (Bus Performance Counter Control Register B) 1044
4.3. BPC-C 制御レジスタ : BPCCRC (Bus Performance Counter Control Register C) 1045
4.4. BPC-A カウントレジスタ : BPCTRA (Bus Performance CounTer Register A) 1045
4.5. BPC-B カウントレジスタ : BPCTRB (Bus Performance CounTer Register B) 1046
4.6. BPC-C カウントレジスタ : BPCTRC (Bus Performance CounTer Register C) 1046
5. 動作説明 1046
5.1. 設定 1047
5.2. 起動と停止 1049
5.3. 動作 1049
5.4. 測定と結果処理 1050

Chapter 38: CRC 1052

1. 概要 1053
2. 特長 1053
3. 構成 1053
4. レジスタ 1054
4.1. CRC 制御レジスタ : CRCCR (CRC Control Register) 1054
4.2. CRC 初期値レジスタ : CRCINIT (CRC Initial value register) 1055
4.3. Input Data レジスタ : CRCIN (CRC INput data register) 1056
4.4. CRC レジスタ : CRCR (CRC Register) 1056
5. 動作説明 1057
5.1. CRC の定義 1057
5.2. リセット動作 1058
5.3. 初期化 1058
5.4. バイトオーダとビットオーダ 1058
5.5. CRC 計算シーケンス 1059
5.6. 使用例 1060
5.6.1. 使用例 1 CRC16、バイト入力固定 1060
5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在 1062
5.6.3. 使用例 3 CRC32、バイトオーダ、ビッグエンディアン 1063
5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン 1064

Chapter 39: RAMECC 機能 1065

1. 概要 1066
2. 特長 1066
3. 構成 1067
4. レジスタ 1069
   4.1. シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX 1070
   4.2. ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX 1071
   4.3. ECC エラー制御レジスタ XBS RAM : EECSRX 1072
   4.4. ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEARX 1073
   4.5. ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX 1074
   4.6. シングルビット ECC エラーアドレスレジスタ BACKUP-RAM : SEEARA 1076
   4.7. ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM : DEEARA 1077
   4.8. ECC エラー制御レジスタ BACKUP-RAM : EECSRA 1078
   4.9. ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM : EFEARA 1079
   4.10. ECC 擬似エラー発生制御レジスタ BACKUP-RAM : EFECRA 1080
5. 動作説明 1082
   5.1. RAMECC 機能 1082
   5.2. 割込み関連レジスタ 1083
   5.3. テストモード 1084
   5.4. 注意事項 1085

Chapter 40: マルチファンクションシリアルインタフェース 1086

1. 概要 1087
2. 特長 1087
3. 構成 1094
4. レジスタ 1095
   4.1. 共通レジスタ 1102
      4.1.1. シリアルモードレジスタ : SMR (Serial Mode Register) 1102
      4.1.2. FIFO 制御レジスタ 1 : FCR1 (FIFO Control Register 1) 1105
      4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register 0) 1107
      4.1.4. FIFO バイトレジスタ : FBYTE (FIFO BYTE Register) 1110
      4.1.5. 送信 FIFO 割込み制御レジスタ : FTICR 1112
   4.2. UART 時レジスタ 1113
      4.2.1. シリアル制御レジスタ : SCR (Serial Control Register) 1114
      4.2.2. シリアル状態レジスタ : SSR (Serial Status Register) 1116
      4.2.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) 1118
      4.2.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register) 1120
      4.2.5. シリアル補助制御状態レジスタ : SACSR 1122
      4.2.6. シリアルタイマレジスタ : STMR 1125
      4.2.7. シリアルタイマ比較レジスタ : STMCR 1126
      4.2.8. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) 1127
   4.3. CSIO 時レジスタ 1128
      4.3.1. シリアル制御レジスタ : SCR (Serial Control Register) 1128
      4.3.2. シリアル状態レジスタ : SSR (Serial Status Register) 1130
      4.3.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) 1133
      4.3.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register /

Transmit Data Register) 1136
4.3.5. シリアル補助制御状態レジスタ : SACSR 1139
4.3.6. シリアルタイマレジスタ : STMR 1144
4.3.7. シリアルタイマ比較レジスタ : STMCR 1145
4.3.8. シリアルチップセレクト制御状態レジスタ : SCSCR 1146
4.3.9. シリアルチップセレクトタイミングレジスタ : SCSTR3-0 1151
4.3.10. シリアルチップセレクトフォーマットレジスタ : SCSFR2-0 1154
4.3.11. 転送バイトレジスタ : TBYTE3-0 1164
4.3.12. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) 1166
4.4. LIN 時レジスタ 1167
4.4.1. シリアル制御レジスタ : SCR (Serial Control Register) 1167
4.4.2. シリアル状態レジスタ : SSR (Serial Status Register) 1170
4.4.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register) 1173
4.4.4. 送信データレジスタ・受信データレジスタ :RDR/TDR (Receive Data Register / Transmit Data Register) 1175
4.4.5. シリアル補助制御状態レジスタ : SACSR 1177
4.4.6. シリアルタイマレジスタ : STMR 1181
4.4.7. シリアルタイマ比較レジスタ : STMCR 1182
4.4.8. シンクフィールド上限レジスタ : SFUR 1183
4.4.9. シンクフィールド下限レジスタ : SFLR 1184
4.4.10. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) 1185
4.4.11. LIN アシストモード状態レジスタ: LAMSR 1186
4.4.12. LIN アシストモード制御レジスタ : LAMCR 1189
4.4.13. LIN アシストモード割込み許可レジスタ : LAMIER 1192
4.4.14. LIN アシストモード送信/受信 ID レジスタ : LAMTID / LAMRID 1194
4.4.15. LIN アシストモードエラー状態レジスタ : LAMESR 1195
4.4.16. LIN アシストモード障害試験レジスタ : LAMERT 1198
4.5. I^2C 時レジスタ 1201
4.5.1. I^2C バス制御レジスタ : IBCR (I^2C Bus Control Register) 1202
4.5.2. シリアル状態レジスタ : SSR (Serial Status Register) 1208
4.5.3. I^2C バス状態レジスタ : IBSR (I^2C Bus Status Register) 1211
4.5.4. 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register) 1215
4.5.5. シリアル補助制御状態レジスタ : SACSR 1217
4.5.6. シリアルタイマレジスタ : STMR 1219
4.5.7. シリアルタイマ比較レジスタ : STMCR 1220
4.5.8. 7 ビットスレーブアドレスマスクレジスタ : ISMK 1221
4.5.9. 7 ビットスレーブアドレスレジスタ : ISBA 1222
4.5.10. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register) 1223
5. UART の動作説明 1224
5.1. UART の割込み 1224
5.1.1. UART の割込み一覧 1225
5.1.2. 受信割込み発生とフラグセットのタイミング 1226
5.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 1228
5.1.4. 送信割込み発生とフラグセットのタイミング 1230
5.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 1231
5.1.6. タイマ割込み発生とフラグセットのタイミング 1232
5.2. UART の動作 1232

5.2.1. 送受信データフォーマット 1232
5.2.2. 送信動作 1234
5.2.3. 受信動作 1235
5.2.4. クロック選択 1236
5.2.5. スタートビット検出 1236
5.2.6. ストップビット 1237
5.2.7. エラー検出 1237
5.2.8. パリティビット 1238
5.2.9. データ信号方式 1238
5.2.10. シリアルタイマの動作 1239
5.2.11. テストモード 1240
5.2.12. UART ボーレート選択・設定 1241
5.3. 設定手順とプログラムフロー 1246
5.3.1. 動作モード 0 (1 : 1 接続) 1246
5.3.2. 動作モード 1(1 : n 接続) 1248
6. CSIO の動作説明 1250
6.1. CSIO の割込み 1250
6.1.1. CSIO の割込み一覧 1251
6.1.2. 受信割込み発生とフラグセットのタイミング 1252
6.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 1254
6.1.4. 送信割込み発生とフラグセットのタイミング 1256
6.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 1257
6.1.6. タイマ割込みとフラグセットのタイミング 1258
6.1.7. チップセレクトエラー発生とフラグセットのタイミング 1259
6.2. CSIO の動作 1261
6.2.1. ノーマル転送(I) 1261
6.2.2. ノーマル転送(II) 1271
6.2.3. SPI 転送(I) 1281
6.2.4. SPI 転送(II) 1291
6.2.5. シリアルタイマの動作 1301
6.2.6. シリアルチップセレクトの動作 1305
6.2.7. テストモード 1314
6.2.8. ボーレートの生成 1315
6.3. 設定手順とプログラムフロー 1318
7. LIN インタフェース(v2.1)の動作説明 1319
7.1. LIN インタフェース(v2.1)マニュアルモードの割込み 1319
7.1.1. LIN インタフェース(v2.1)の割込み一覧(マニュアルモード) 1320
7.1.2. 受信割込み発生とフラグセットのタイミング 1321
7.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 1323
7.1.4. 送信割込み発生とフラグセットのタイミング 1325
7.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 1326
7.1.6. タイマ割込みとフラグセットのタイミング 1327
7.1.7. シンクフィールド検出割込み発生とフラグセットのタイミング 1328
7.2. LIN インタフェース(v2.1)アシストモードの割込み 1328
7.2.1. LIN インタフェース(v2.1)の割込み一覧(アシストモード) 1329
7.2.2. アシストモードにおける受信割込み発生とフラグセットのタイミング 1331
7.2.3. 受信FIFO 使用時の割込み発生とフラグセットのタイミング 1337

7.2.4. 送信割込み発生とフラグセットのタイミング 1337
7.2.5. 送信FIFO 使用時の割込み発生とフラグセットのタイミング 1337
7.2.6. タイマ割込み発生とフラグセットのタイミング 1338
7.2.7. アシストモードにおける状態割込み発生とフラグセットのタイミング 1338
7.3. シリアルタイマの動作 1340
7.4. テストモード 1342
7.4.1. マニュアルモード 1343
7.4.2. アシストモード 1344
7.5. LIN インタフェース(v2.1)の動作 1349
7.5.1. マニュアルモード 1349
7.5.2. アシストモード 1363
7.5.3. LIN ボーレート選択・設定 1386
7.6. 設定手順とプログラムフロー 1386
7.6.1. マニュアルモード 1387
7.6.2. アシストモード 1390
8. I²C の動作説明 1395
8.1. I²C の割込み 1395
8.1.1. I²C インタフェースの割込み一覧 1396
8.1.2. タイマ割込みとフラグセットのタイミング 1397
8.2. I²C インタフェース通信の動作 1398
8.2.1. I²C バススタート条件 1398
8.2.2. I²C バスストップ条件 1398
8.2.3. I²C バス反復スタート条件 1399
8.2.4. I²C バスエラー 1399
8.2.5. シリアルタイマの動作 1400
8.2.6. ボーレート生成 1401
8.3. I²C マスタモード 1403
8.3.1. スタート条件生成 1403
8.3.2. スレーブアドレス出力 1404
8.3.3. 第一バイト送信によるアクノリッジ受信 1405
8.3.4. マスタによるデータ送信 1412
8.3.5. マスタによるデータ受信 1428
8.3.6. アービトレーションロスト 1436
8.3.7. マスタモードのウェイト 1436
8.3.8. DMA モードが許可時(SSR:DMA="1")の反復スタート条件発行 1436
8.4. I²C スレーブモード 1437
8.4.1. スレーブアドレス一致検出 1438
8.4.2. データ方向ビット 1439
8.4.3. スレーブによる受信 1439
8.4.4. スレーブによる送信 1446
8.5. I²C のフローチャート例 1447

Chapter 41: CAN 1454

1. 概要 1455
2. 特長 1455
3. 構成 1456
4. レジスタ 1457
4.1. 概要 1457

4.1.1. ベースアドレス(Base-addr)・外部端子・バッファサイズ一覧 1458
4.1.2. 全体制御レジスタ一覧 1459
4.1.3. メッセージインタフェースレジスタ一覧 1460
4.1.4. メッセージハンドラレジスタ一覧 1463
4.2. 全体制御レジスタ 1465
4.2.1. CAN 制御レジスタ： CTRLR 1466
4.2.2. CAN 状態レジスタ： STATR 1469
4.2.3. CAN エラーカウンタ： ERRCNT 1472
4.2.4. CAN ビットタイミングレジスタ： BTR 1473
4.2.5. CAN 割込みレジスタ： INTR 1474
4.2.6. CAN テストレジスタ： TESTR 1475
4.2.7. CAN プリスケーラ拡張レジスタ： BRPER 1477
4.3. メッセージインタフェースレジスタ 1478
4.3.1. IFx コマンド要求レジスタ： IFxCREQ 1479
4.3.2. IFx コマンドマスクレジスタ： IFxCMSK 1481
4.3.3. IFx マスクレジスタ 1,2： IFxMSK1, IFxMSK2 1485
4.3.4. IFx アービトレーションレジスタ 1,2： IFxARB1, IFxARB2 1486
4.3.5. IFx メッセージ制御レジスタ： IFxMCTR 1487
4.3.6. IFx データレジスタ A1,A2,B1,B2： IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2 1488
4.4. メッセージオブジェクト 1489
4.4.1. メッセージオブジェクトの構成 1489
4.4.2. メッセージオブジェクトの機能 1490
4.5. メッセージハンドラレジスタ 1495
4.5.1. CAN 送信要求レジスタ： TREQR1～TREQR4 1495
4.5.2. CAN データ更新レジスタ： NEWDT1～NEWDT4 1498
4.5.3. CAN 割込みペンディングレジスタ： INTPND1～INTPND4 1501
4.5.4. CAN メッセージ有効レジスタ： MSGVAL1～MSGVAL4 1504
5. 動作説明 1506
5.1. メッセージオブジェクト 1507
5.1.1. メッセージオブジェクト 1507
5.1.2. メッセージ RAM とのデータ送受信 1507
5.2. メッセージ送信動作 1509
5.2.1. メッセージ送信 1509
5.2.2. 送信優先度 1509
5.2.3. 送信メッセージオブジェクトの設定 1510
5.2.4. 送信メッセージオブジェクトの更新 1511
5.3. メッセージ受信動作 1511
5.3.1. 受信メッセージの受容フィルタ 1512
5.3.2. 受信優先度 1512
5.3.3. データフレーム受信 1512
5.3.4. リモートフレーム 1513
5.3.5. 受信メッセージオブジェクトの設定 1513
5.3.6. 受信メッセージの処理 1514
5.4. FIFO バッファ機能 1515
5.4.1. FIFO バッファの構成 1515
5.4.2. FIFO バッファによるメッセージ受信 1516
5.4.3. FIFO バッファからの読出し 1516

5.5. 割込み機能 ... 1518
5.6. ビットタイミング・CAN システムクロック(fsys)生成 ... 1519
5.7. テストモード ... 1521
5.7.1. テストモード設定 ... 1521
5.7.2. サイレントモード ... 1522
5.7.3. ループバックモード ... 1523
5.7.4. サイレントモードとループバックモードの結合 ... 1524
5.7.5. ベーシックモード ... 1525
5.7.6. 端子 CAN_TX のソフトフェア制御 ... 1526
5.8. ソフトウェア初期化 ... 1526
5.9. CAN ウェイクアップ機能 ... 1527
6. 制限事項 ... 1528
6.1. INIT ビット ... 1528
6.1.1. 制限事項 ... 1528
6.1.2. 回避方法 ... 1529

Chapter 42: CAN プリスケーラ ... 1530

1. 概要 ... 1531
2. 特長 ... 1531
3. 構成 ... 1531
4. レジスタ ... 1532
4.1. CAN プリスケーラレジスタ : CANPRE ... 1532

Chapter 43: D/A コンバータ ... 1534

1. 概要 ... 1535
2. 特長 ... 1535
3. 構成 ... 1536
4. レジスタ ... 1536
4.1. D/A コントロールレジスタ : DACR (D/A Control Register) ... 1537
4.2. D/A データレジスタ : DADR (D/A DATA Register) ... 1538
5. 動作説明 ... 1539
6. 注意事項 ... 1539

Chapter 44: 12 ビット A/D コンバータ ... 1540

1. 概要 ... 1541
2. 特長 ... 1541
2.1. A/D 起動コンペアの機能 ... 1541
2.2. A/D 起動調停の機能 ... 1544
2.3. 12 ビット A/D コンバータ制御の機能 ... 1545
3. 構成 ... 1546
4. レジスタ ... 1548
4.1. アナログ入力制御のレジスタ ... 1558
4.1.1. アナログ入力制御レジスタ : ADER ... 1558
4.2. A/D 起動コンペアのレジスタ ... 1560
4.2.1. A/D ソフトウェア起動レジスタ : ADTSS0, ADTSS1 ... 1560
4.2.2. A/D ソフトウェア起動チャネル選択レジスタ : ADTSE0, ADTSE1 ... 1561
4.2.3. コンペアバッファレジスタ : ADCOMPB0 ～ ADCOMPB47/コンペアレジスタ : ADCOMP0 ～ ADCOMP47 ... 1563

4.2.4. A/D 起動トリガ制御状態レジスタ : ADTCS0 ～ ADTCS47 1565
4.2.5. A/D データレジスタ : ADTCD0 ～ ADTCD47 1570
4.2.6. A/D 起動トリガ拡張制御レジスタ : ADTECS0 ～ 47 1571
4.2.7. 上限閾値設定レジスタ : ADRCUT0 ～ 7 1574
4.2.8. 下限閾値設定レジスタ : ADRCLT0 ～ 7 1575
4.2.9. レンジ比較制御状態レジスタ : ADRCCS0 ～ 47 1576
4.2.10. レンジ比較閾値超過フラグレジスタ : ADRCOT0, ADRCOT1 1579
4.2.11. レンジ比較フラグレジスタ : ADRCIF0, ADRCIF1 1581
4.2.12. スキャン変換制御状態レジスタ : ADSCANS0, ADSCANS1 1583
4.2.13. 起動チャネル変換回数設定レジスタ : ADNCS0 ～ 23 1585
4.2.14. データ保護状態フラグレジスタ : ADPRTF0, ADPRTF1 1586
4.2.15. 起動チャネル変換完了フラグレジスタ : ADEOCF0, ADEOCF1 1588
4.3. 12 ビット A/D コンバータ制御のレジスタ 1590
4.3.1. A/D 制御状態レジスタ : ADCS0, ADCS1 1591
4.3.2. A/D チャネル状態レジスタ : ADCH 1592
4.3.3. A/D モード設定レジスタ : ADMD 1593
4.3.4. A/D チャネルごとのサンプリング時間設定レジスタ : ADSTPCS 1595
5. 動作説明 1597
5.1. A/D 起動コンペアの割込み 1598
5.1.1. A/D 変換終了割込み 1598
5.1.2. 変換回数指定によるスキャン変換完了割込み 1598
5.1.3. レンジ比較割込み 1599
5.2. A/D 起動コンペアの動作 1600
5.2.1. A/D 起動 1600
5.2.2. A/D 起動許可 1601
5.2.3. フリーランタイマ入力 1601
5.2.4. アナログチャネル選択 1601
5.2.5. ソフトウェア起動 1601
5.2.6. 外部トリガ起動 1602
5.2.7. リロードタイマ起動 1602
5.2.8. コンペア一致起動 1602
5.2.9. PPG 起動 1608
5.2.10. 起動要求モード 1609
5.2.11. A/D 変換データ 1610
5.2.12. 保護機能 1610
5.2.13. スキャン変換モードについて 1611
5.2.14. スキャン変換中の他起動チャネルの高優先起動要求動作について 1618
5.2.15. 起動要求の強制終了 1619
5.2.16. レンジ比較機能 1620
5.3. A/D 起動調停の動作 1625
5.3.1. A/D 起動トリガ調停 1626
5.3.2. アナログチャネル選択 1627
5.3.3. A/D 変換キャンセル機能 1627
5.4. 12 ビット A/D コンバータの動作 1627
5.4.1. 動作タイミング 1627
5.4.2. 起動要因について 1628
5.4.3. A/D 変換について 1628

5.4.4. 再起動について 1628
5.4.5. A/D 変換キャンセルについて 1628
5.4.6. アナログチャネル選択制御 1628
5.4.7. A/D 変換時間について 1629
5.4.8. A/D 変換終了、A/D データ取り込み 1630
5.4.9. パワーダウン 1630
6. 注意事項 1631

Chapter 45: フラッシュメモリ 1633

1. 概要 1634
2. 特長 1634
3. 構成 1635
3.1. ブロックダイヤグラム 1636
3.2. セクタ構成図 1637
3.3. セクタ番号・フラッシュマクロ番号対応表 1642
4. レジスタ 1648
4.1. フラッシュ制御レジスタ: FCTLR (Flash ConTroL Register) 1649
4.2. フラッシュ状態レジスタ : FSTR (Flash STatus Register) 1651
4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR (Flash I/F Control Register) 1652
4.4. フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1 (Flash I/F Feature ExtensiONRegister 1) 1654
4.5. フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2 (Flash I/F Feature ExtensiONRegister 2) 1654
5. 動作説明 1655
5.1. アクセスモード設定 1655
5.1.1. CPU-ROM モードへの設定 1656
5.1.2. CPU プログラミングモードへの設定 1656
5.2. CPU によるフラッシュメモリ書込み 1656
5.3. 自動アルゴリズム 1657
5.3.1. コマンドシーケンス 1657
5.3.2. 自動アルゴリズム実行状態 1660
5.4. リセットコマンド 1663
5.5. 書込みコマンド 1664
5.6. チップ消去コマンド 1667
5.7. セクタ消去コマンド 1667
5.8. セクタ消去一時停止コマンド 1669
5.9. セキュリティ機能 1670
5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別 1670
5.9.2. フラッシュセキュリティ設定方法 1670
5.9.3. フラッシュセキュリティ解除方法 1671
5.9.4. セキュリティ ON 時のフラッシュアクセス制限 1671
5.10. フラッシュメモリの使用上の注意 1672

Chapter 46: ワークフラッシュメモリ 1673

1. 概要 1674
2. 特長 1674
3. 構成 1675
3.1. ブロックダイヤグラム 1675

3.2. セクタ構成図 1676
4. レジスタ 1676
4.1. ワークフラッシュ制御レジスタ : DFCTLR (WorkFlash ConTroL Register) 1677
4.2. ワークフラッシュ状態レジスタ : DFSTR (WorkFlash STatus Register) 1678
4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR (Flash I/F Control Register) 1679
5. 動作説明 1680
5.1. アクセスモード設定 1681
5.1.1. CPU-ROM モードへの設定 1681
5.1.2. CPU プログラミングモードへの設定 1681
5.2. CPU によるフラッシュメモリ書込み 1682
5.3. 自動アルゴリズム 1682
5.3.1. コマンドシーケンス 1683
5.3.2. 自動アルゴリズム実行状態 1686
5.4. リセットコマンド 1689
5.5. 書込みコマンド 1690
5.6. チップ消去コマンド 1692
5.7. セクタ消去コマンド 1693
5.8. セクタ消去一時停止コマンド 1695
5.9. セキュリティ機能 1696
5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別 1696
5.9.2. フラッシュセキュリティ設定方法 1696
5.9.3. フラッシュセキュリティ解除方法 1697
5.9.4. セキュリティ ON 時のフラッシュアクセス制限 1697
5.10. ワークフラッシュメモリの使用上の注意 1698

Chapter 47: オンチップデバッガ(OCD) 1699

1. 概要 1700
2. 特長 1700
3. 構成 1702
3.1. DEBUG I/F 用クロック 1704
3.1.1. DEBUG I/F 用メインクロック(M_MCLK) 1704
3.1.2. DEBUG I/F 用 PLL クロック(M_PCLK) 1704
4. レジスタ 1704
4.1. DBG レジスタ 1705
4.1.1. DSU 制御レジスタ: DSUCR 1705
4.2. ユーザ IO レジスタ 1706
4.2.1. ユーザイベントレジスタ : UER 1706
4.2.2. 高速通信周波数レジスタ : HSCFR 1707
4.2.3. メッセージバッファ : MBR 1708
5. 動作説明 1709
5.1. OCDU 動作モード 1709
5.1.1. 動作モードについて 1709
5.1.2. 動作モード状態遷移 1709
5.2. DEBUG I/F 概要 1710
5.2.1. チップリセットシーケンス 1711
5.2.2. セキュリティ機能 1713
5.3. 本品種の OCD ツール接続時での仕様制限 1714
5.3.1. クロック設定 1714

5.3.2. スタンバイモード 1715
5.3.3. クロック・リセット状態遷移 1715
5.3.4. 仕様制限まとめ 1717
5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報 1720

Chapter 48: 波形ジェネレータ 1721

1. 概要 1722
2. 特長 1722
3. 構成 1723
4. レジスタ 1724
4.1. 波形ジェネレータのレジスタ 1725
4.1.1. 16 ビットデッドタイマレジスタ: TMRR 1725
4.1.2. 16 ビットデッドタイマ状態制御レジスタ: DTSCR 1726
4.1.3. 16 ビットデッドタイマリロード割込みレジスタ : DTIR 1736
4.1.4. 16 ビットデッドタイママイナス制御レジスタ: DTMNS 1739
4.1.5. 波形制御レジスタ 1/2: SIGCR1, SIGCR2 1741
4.1.6. PPG 出力制御レジスタ: PICS 1745
5. 動作説明 1747
5.1. 波形ジェネレータの割込み 1747
5.2. 波形ジェネレータの動作 1748
6. 注意事項 1767

Chapter 49: BUS 診断機能 1769

1. 概要 1770
2. 特長 1771
3. 構成 1772
4. レジスタ 1775
4.1. バス診断状態レジスタ: BUSDIGSR 1776
4.2. バス診断テストレジスタ: BUSTSTR0/1 1778
4.3. バス診断アドレスレジスタ: BUSADR 1783
5. 動作説明 1785
5.1. エラー検出 1785
5.2. テスト機能 1787
5.3. 注意事項 1788
5.4. バス診断動作例 1789

Chapter 50: RAM 診断機能 1795

1. 概要 1796
2. 特長 1796
3. 構成 1797
4. レジスタ 1798
4.1. TEST エラーアドレスレジスタ 0 XBS RAM : TEAR0X 1800
4.2. TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X 1801
4.3. TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X 1803
4.4. TEST 開始アドレスレジスタ XBS RAM : TASARX 1804
4.5. TEST 終了アドレスレジスタ XBS RAM : TAEARX 1805
4.6. TEST 診断機能レジスタ XBS RAM : TTCRX 1806
4.7. TEST 初期化機能レジスタ XBS RAM : TICRX 1809

4.8. TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX 1811
4.9. TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX 1812
4.10. TEST キーコード制御レジスタ XBS RAM : TKCCRX 1813
4.11. TEST エラーアドレスレジスタ 0 BACKUP-RAM : TEAR0A 1814
4.12. TEST エラーアドレスレジスタ 1 BACKUP-RAM : TEAR1A 1815
4.13. TEST エラーアドレスレジスタ 2 BACKUP-RAM : TEAR2A 1817
4.14. TEST 開始アドレスレジスタ BACKUP-RAM : TASARA 1819
4.15. TEST 終了アドレスレジスタ BACKUP-RAM : TAEARA 1820
4.16. TEST 診断機能レジスタ BACKUP-RAM : TTCRA 1821
4.17. TEST 初期化機能レジスタ BACKUP-RAM : TICRA 1824
4.18. TEST ソフトリセット発生制御レジスタ BACKUP-RAM : TSRCRA 1826
4.19. TEST 擬似エラー発生制御レジスタ BACKUP-RAM : TFECRA 1827
4.20. TEST キーコード制御レジスタ BACKUP-RAM : TKCCRA 1828
5. 動作説明 1829
5.1. RAM 診断 1829
5.2. RAM 初期化 1830
5.3. 割込み関連レジスタ 1831
5.4. RAM 診断擬似エラー発生手順 1831
5.5. 所要サイクル数 1832
5.6. 注意事項 1834

Chapter 51: Timing Protection Unit 1835

1. 概要 1836
2. 特長 1836
3. 構成 1836
4. レジスタ 1837
4.1. TPU アンロックレジスタ : TPUUNLOCK (TPU Unlock Register) 1838
4.2. TPU ロック状態レジスタ : TPULST (TPU Lock Status Register) 1839
4.3. TPU アクセス違反検出レジスタ : TPUVST (TPU Access Violation Status Register) 1840
4.4. TPU 制御レジスタ : TPUCFG (TPU Configuration Register) 1841
4.5. TPU タイマ割込み要求レジスタ : TPUTIR (TPU Timer Interrupt Request Register) 1843
4.6. TPU タイマ状態レジスタ : TPUTST (TPU Timer Status Register) 1843
4.7. TPU タイマ割込み許可レジスタ : TPUTIE (TPU Timer Interrupt Register) 1844
4.8. TPU モジュール ID レジスタ : TPUTMID (TPU Module ID Register) 1845
4.9. TPU タイマ制御レジスタ 00-07 : TPUTCN00-07 (TPU Timer Control Register 00-07) 1845
4.10. TPU タイマ制御レジスタ 10-17 : TPUTCN10-17 (TPU Timer Control Register 10-17) 1847
4.11. TPU カウンタ値レジスタ 0-7 : TPUTCC0-7 (TPU Timer Current Count Register 0-7) 1849
5. 動作説明 1849
5.1. TPU 制御レジスタアクセス保護 1850
5.2. グローバルプリスケーラ 1851
5.3. 割込み制御 1851
5.4. タイマ動作 1852
5.5. フリーラン機能 1852
5.6. 個別プリスケーラ機能 1853
5.7. デバッグサポート機能 1853
5.8. 操作フロー 1854

Chapter 52: クロックモニタ 1855

1. 概要 1856
2. 特長 1856
3. 構成 1856
4. レジスタ 1857
4.1. クロックモニタ構成レジスタ: CMCFG 1858
5. 動作説明 1861
6. 設定 1862
7. Q&A 1862
7.1. 出力端子 (MONCLK) を設定するには？ 1863
7.2. 出力周波数を選択するには？ 1863
7.3. クロックモニタ出力を許可または禁止するには？ 1863
7.4. クロック出力のマークレベルを設定するには？ 1864
8. 注意事項 1864

付録 1865

A. I/O マップ 1866
B. 割込みベクタテーブル 1935
C. CPU 状態における端子状態 1959
D. 変更内容 1963

改訂履歴 2228

Document Revision History 2228

Chapter 1: 概要

概要について説明します。

1. 概要
2. 特長
3. 品種構成
4. 機能概要
5. ブロックダイヤグラム
6. メモリマップ
7. 端子配列図
8. パッケージ外形寸法図
9. 端子機能一覧
10. 入出力回路形式

管理コード : OVER-1v0-91520-19-J

1. 概要

MB91520 シリーズの概要について説明します。

MB91520 シリーズは車載用途向けに設計された 32 ビットマイクロコントローラです。CPU には、FR ファミリと互換の FR81S CPU を使用しています。

2. 特長

MB91520 シリーズの特長について説明します。

2.1. FR81S CPU コア

2.2. 周辺機能

2.1. FR81S CPU コア

FR81S CPU コアについて示します。

- 32 ビット RISC, ロード/ストアアーキテクチャ, パイプライン 5 段
- 最大動作周波数: 80MHz (原発振=4.0MHz, 20 逓倍(PLL クロック逓倍方式))
- 汎用レジスタ 32 ビット 16 本
- 16 ビット固定長命令 (基本命令), 1 命令/1 サイクル
- 組込み用途に適した命令
  - メモリ→メモリ間転送命令
  - ビット処理命令
  - バレルシフト命令など
- 高級言語対応命令
  - 関数入口/出口命令
  - レジスタ内容のマルチロードストア命令
- ビットサーチ命令
  - "1"検出, "0"検出, 変化点検出
- 遅延スロット付き分岐命令
  - 分岐処理時のオーバヘッドの低減
- レジスタインタロック機能
  - アセンブラ記述の容易化
- 乗算器の内蔵/命令レベルでのサポート
  - 符号付き 32 ビット乗算 : 5 サイクル
  - 符号付き 16 ビット乗算 : 3 サイクル
- 割込み (PC/PS 退避)
  - 6 サイクル (16 プライオリティレベル)

・ハーバードアーキテクチャにより、プログラムアクセスとデータアクセスを同時に実行可能
・FR ファミリとの命令互換
・メモリ保護機能(MPU)搭載
  ・ 命令・データ共用で 8 個の保護領域指定
  ・ 特権モード・ユーザモードそれぞれでアクセス権を制御
・FPU(浮動小数点演算)搭載
  ・ IEEE754 準拠
  ・ 浮動小数点レジスタ 32bit × 16 本

2.2. 周辺機能

周辺機能について示します。

・クロック生成(SSCG 機能搭載)
  ・ メイン発振(4 MHz～16MHz)
  ・ サブ発振(32kHz) またはサブ発振なし
  ・ PLL 逓倍率 : 1～20 逓倍
  ・ 100kHz　CR 発振器を搭載
・内蔵プログラム用フラッシュ容量
  MB91F522 :　256+64KB
  MB91F523 :　384+64KB
  MB91F524 :　512+64KB
  MB91F525 :　768+64KB
  MB91F526 : 1024+64KB

・内蔵データ用フラッシュ(ワークフラッシュ) 64KB
・内蔵 RAM 容量
  ・ メイン RAM
    MB91F522 :　48KB
    MB91F523 :　48KB
    MB91F524 :　64KB
    MB91F525 :　96KB
    MB91F526 : 128KB
  ・ Backup RAM　8KB
・汎用ポート:

MB91F52xB	44 本(サブ発振なし)、 42 本(サブ発振あり)
MB91F52xD	56 本(サブ発振なし)、 54 本(サブ発振あり)
MB91F52xF	76 本(サブ発振なし)、 74 本(サブ発振あり)
MB91F52xJ	96 本(サブ発振なし)、 94 本(サブ発振あり)
MB91F52xK	120 本(サブ発振なし)、118 本(サブ発振あり)
MB91F52xL	152 本(サブ発振なし)、150 本(サブ発振あり)
	うち I^2C 用オープンドレイン対応ポート 16 本

・外部バスインタフェース
  ・ 22 ビットアドレス、16 ビットデータ
・DMA コントローラ
  ・ 同時に最大 16 チャネルの起動が可能
  ・ 2 つの転送要因(内部周辺要求/ソフトウェア)

・A/D コンバータ (逐次比較型)
  ・12 ビット分解能: 最大 48 チャネル (32 チャネル＋16 チャネル)
    変換時間: 1.4µs
・D/A コンバータ (R-2R 型)
  ・8 ビット分解能: 2 チャネル
・外部割込み入力: 8 チャネル×2 ユニット 合計 16 チャネル
  ・ レベル("H" / "L")、エッジ検出(立上り/立下り)可能
・マルチファンクションシリアル (送受信 FIFO 搭載) : 最大 12 チャネル
  5V トレラント入力　4 チャネル ch.6,ch.8,ch.9,ch.11 CMOS ヒステリシス入力

  < UART　(非同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式、64 段の送信 FIFO、64 段の受信 FIFO
  ・パリティあり/なし選択可能
  ・専用ボーレートジェネレータ内蔵
  ・外部クロックを転送クロックとして使用可能
  ・パリティ、フレーム、オーバランエラー検出機能あり
  ・DMA 転送対応

  <CSIO (同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式、64 段の送信 FIFO、64 段の受信 FIFO
  ・SPI に対応、マスタ/スレーブ両方に対応、データ長 5～16,20,24,32 ビットに設定可能
  ・専用ボーレートジェネレータ内蔵(マスタ動作)
  ・外部クロック入力可能(スレーブ動作)
  ・オーバランエラー検出機能あり
  ・DMA 転送対応
  ・シリアルチップセレクト SPI 機能

  <LIN (LIN 対応非同期シリアルインタフェース) >
  ・全二重ダブルバッファ方式、64 段の送信 FIFO、64 段の受信 FIFO
  ・LIN プロトコル Revision2.1 に対応
  ・マスタ/スレーブ両方に対応
  ・フレーミングエラー、オーバランエラー検出
  ・LIN Synch break 生成、検出、LIN Synch Delimiter 生成
  ・専用ボーレートジェネレータ内蔵
  ・外部クロックをリロードカウンタで調整可能
  ・DMA 転送対応
  ・ハードアシスト機能

  < I^2C >
  ・2 チャネル ch.3, ch.4 標準モード/ファーストモードに対応
  ・6 チャネル ch.5～ch.8, ch.10, ch.11 標準モードに対応
  ・全二重ダブルバッファ方式、64 段の送信 FIFO、64 段の受信 FIFO
  ・標準モード(Max. 100kbps) / ファーストモード(Max. 400kbps) に対応
  ・送信のみ DMA 転送対応
・CAN コントローラ CAN : 3 チャネル
  ・転送速度 最大 1Mbps
  ・128 送受信メッセージバッファ 1 チャネル(ch.0)、64 送受信メッセージバッファ 2 チャネル(ch.1, ch.2)
・PPG: 16 ビット× 最大 48 チャネル
  ・LED 駆動出力 4 チャネル 11ch ～ 14ch

・リロードタイマ : 16 ビット× 最大 8 チャネル
・フリーランタイマ:
  16 ビット× 3 チャネル
  32 ビット× 最大 3 チャネル
・インプットキャプチャ:
  16 ビット× 4 チャネル (フリーランタイマと連動)
  32 ビット× 最大 6 チャネル (フリーランタイマと連動)

・アウトプットコンペア:
  16 ビット× 6 チャネル (フリーランタイマと連動)
  32 ビット× 最大 6 チャネル (フリーランタイマと連動)
・波形ジェネレータ : 6 チャネル
・U/D カウンタ
  ・ 8/16bit アップダウンカウンタ× 2 チャネル
・リアルタイムクロック(RTC) (日/時/分/秒)
  ・ 動作クロックとしてメイン発振/サブ発振を選択可能
・キャリブレーション:サブクロック駆動のリアルタイムクロック(RTC)
  ・ メインクロック対サブクロックの比で、リアルタイムクロックのプリスケーラを設定することにより補正
・クロックスーパバイザ
  ・ 外部のサブ発振(32kHz)(クロック 2 系統品種)およびメイン発振(4 MHz)の異常(水晶の破損など)監視
  ・ 異常検出時には CR クロックに切り換える。
  ・ 型格により初期値 ON/OFF の選択可能
・ベースタイマ: 最大 2 チャネル
  ・ 16 ビットタイマ
  ・ PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能
  ・ PWC 機能とリロードタイマ機能は、2 チャネルカスケードモードで 32 ビットタイマとして使用可能
・CRC 生成
・ウォッチドッグタイマ
  ・ ハードウェアウォッチドッグ
  ・ ソフトウェアウォッチドッグ (カウンタクリアの有効範囲設定可能)
・NMI
・割込みコントローラ
・割込み要求一括読出し
  ・ 複数の周辺からの割込み有無を、一連のレジスタで読出し可能
・I/O リロケーション
  ・ 周辺機能の端子位置変更
・低消費電力モード
  ・ スリープ/ストップ/時計/サブ RUN モード
  ・ ストップ(電源遮断)/時計(電源遮断)モード
・パワーオンリセット
・低電圧検出リセット(外部電源、内部電源を独立して監視)
  ・外部電源は型格により初期値 ON/OFF の選択可能
・パッケージ:LQFP-176/144/120/100/80/64
・CMOS 90nm テクノロジ
・電源
  ・ 5V 電源
  ・ 降圧回路により 5V から内部 1.2V 生成

3. 品種構成

MB91520 シリーズの品種構成について示します。

表 3-1 品種構成比較 64Pin

	MB91F522B	MB91F523B	MB91F524B	MB91F525B	MB91F526B
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	なし				
DMA 転送	16ch				
16bit ベースタイマ	なし				
フリーランタイマ	16bit×3ch, 32bit×1ch				
インプットキャプチャ	16bit×4ch, 32bit×5ch				
アウトプットコンペア	16bit×6ch, 32bit×4ch				
16bit リロードタイマ	7ch				
PPG	16bit×21ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				
A/D	12bit×13ch(1unit), 12bit×13ch(1unit)				
D/A (8bit)	1ch				
マルチファンクションシリアル	8ch[*1]				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				
汎用ポート(#GPIOs)	44 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				

	MB91F522B	MB91F523B	MB91F524B	MB91F525B	MB91F526B
波形ジェネレータ	6ch				
NMI 要求機能	あり				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V*2				
パッケージ	LQD064				

*1: I^2C(標準モード)対応は ch.5, ch.6, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-2 品種構成比較 80Pin

	MB91F522D	MB91F523D	MB91F524D	MB91F525D	MB91F526D
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	なし				
DMA 転送	16ch				
16bit ベースタイマ	1ch				
フリーランタイマ	16bit×3ch, 32bit×2ch				
インプットキャプチャ	16bit×4ch, 32bit×5ch				
アウトプットコンペア	16bit×6ch, 32bit×4ch				
16bit リロードタイマ	7ch				
PPG	16bit×27ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				
A/D	12bit×16ch(1unit), 12bit×16ch(1unit)				
D/A (8bit)	1ch				
マルチファンクションシリアル	9ch*1				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				

	MB91F522D	MB91F523D	MB91F524D	MB91F525D	MB91F526D
汎用ポート(#GPIOs)	56 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
NMI 要求機能	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				
波形ジェネレータ	6ch				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V[*2]				
パッケージ	LQH080				

*1: I^2C(標準モード)対応は ch.5, ch.6, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-3 品種構成比較 100Pin

	MB91F522F	MB91F523F	MB91F524F	MB91F525F	MB91F526F
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	なし				
DMA 転送	16ch				
16bit ベースタイマ	1ch				
フリーランタイマ	16bit×3ch, 32bit×3ch				
インプットキャプチャ	16bit×4ch, 32bit×6ch				
アウトプットコンペア	16bit×6ch, 32bit×6ch				
16bit リロードタイマ	8ch				
PPG	16bit×34ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				
A/D	12bit×21ch(1unit), 12bit×16ch(1unit)				
D/A (8bit)	2ch				
マルチファンクションシリアル	12ch[*1]				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				

	MB91F522F	MB91F523F	MB91F524F	MB91F525F	MB91F526F
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				
汎用ポート(#GPIOs)	76 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
NMI 要求機能	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				
波形ジェネレータ	6ch				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V*2				
パッケージ	LQI100				

*1: I^2C(標準モード)対応は ch.5, ch.6, ch.7, ch.8, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-4 品種構成比較 120pin

	MB91F522J	MB91F523J	MB91F524J	MB91F525J	MB91F526J
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	なし				
DMA 転送	16ch				
16bit ベースタイマ	2ch				
フリーランタイマ	16bit×3ch, 32bit×3ch				
インプットキャプチャ	16bit×4ch, 32bit×6ch				
アウトプットコンペア	16bit×6ch, 32bit×6ch				
16bit リロードタイマ	8ch				
PPG	16bit×38ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				

	MB91F522J	MB91F523J	MB91F524J	MB91F525J	MB91F526J
A/D	12bit×26ch(1unit), 12bit×16ch(1unit)				
D/A (8 bit)	2ch				
マルチファンクションシリアル	12ch[*1]				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				
汎用ポート(#GPIOs)	96 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
NMI 要求機能	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				
波形ジェネレータ	6ch				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V[*2]				
パッケージ	LQM120				

*1: I^2C(ファーストモード/標準モード)対応は ch.3, ch.4 のみです。
I^2C(標準モード)対応は ch.5, ch.6, ch.7, ch.8, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-5 品種構成比較 144pin

	MB91F522K	MB91F523K	MB91F524K	MB91F525K	MB91F526K
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	あり				
DMA 転送	16ch				
16bit ベースタイマ	2ch				

	MB91F522K	MB91F523K	MB91F524K	MB91F525K	MB91F526K
フリーランタイマ	16bit×3ch, 32bit×3ch				
インプットキャプチャ	16bit×4ch, 32bit×6ch				
アウトプットコンペア	16bit×6ch, 32bit×6ch				
16bit リロードタイマ	8ch				
PPG	16bit×44ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				
A/D	12bit×32ch(1unit), 12bit×16ch(1unit)				
D/A (8 bit)	2ch				
マルチファンクションシリアル	12ch[*1]				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				
汎用ポート(#GPIOs)	120 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
NMI 要求機能	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				
波形ジェネレータ	6ch				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V[*2]				
パッケージ	LQS144 / LQN144				

*1: I^2C(ファーストモード/標準モード)対応は ch.3, ch.4 のみです。
I^2C(標準モード)対応は ch.5, ch.6, ch.7, ch.8, ch.10, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-6 品種構成比較 176pin

	MB91F522L	MB91F523L	MB91F524L	MB91F525L	MB91F526L

	MB91F522L	MB91F523L	MB91F524L	MB91F525L	MB91F526L
システムクロック	オンチップ PLL クロック逓倍方式				
最小命令実行時間	12.5ns(80MHz)				
フラッシュ容量(プログラム)	256+64KB	384+64KB	512+64KB	768+64KB	1024+64KB
フラッシュ 容量(データ)	64KB				
RAM 容量	48+8KB		64+8KB	96+8KB	128+8KB
外部バス I/F (22adress/16data/4cs)	あり				
DMA 転送	16ch				
16bit ベースタイマ	2ch				
フリーランタイマ	16bit×3ch, 32bit×3ch				
インプットキャプチャ	16bit×4ch, 32bit×6ch				
アウトプットコンペア	16bit×6ch, 32bit×6ch				
16bit リロードタイマ	8ch				
PPG	16bit×48ch				
アップダウンカウンタ	2ch				
クロックスーパバイザ	あり				
外部割込み	8ch×2units				
A/D	12bit×32ch(1unit), 12bit×16ch(1unit)				
D/A (8bit)	2ch				
マルチファンクションシリアル	12ch[*1]				
CAN	64msg×2ch/128msg×1ch				
ハードウェアウォッチドッグ	あり				
CRC 生成	あり				
低電圧検出リセット	あり				
フラッシュセキュリティ	あり				
ECC フラッシュ/ Work フラッシュ	あり				
ECC RAM	あり				
メモリ保護機能(MPU)	あり				
浮動小数点演算(FPU)	あり				
リアルタイムクロック(RTC)	あり				
汎用ポート(#GPIOs)	152 本				
SSCG	あり				
サブクロック	あり				
CR 発振器	あり				
NMI 要求機能	あり				
OCD(On-Chip Debug)	あり				
TPU(Timing Protection Unit)	あり				
キーコードレジスタ	あり				
波形ジェネレータ	6ch				
動作保証温度(Ta)	-40℃～+125℃				
電源	2.7V～5.5V[*2]				
パッケージ	LQP176				

*1: I^2C(ファーストモード/標準モード)対応は ch.3, ch.4 のみです。
I^2C(標準モード)対応は ch.5, ch.6, ch.7, ch.8, ch.10, ch.11 のみです。

*2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。

表 3-7 クロックスーパバイザおよび外部低電圧検出リセット初期値 ON/OFF 対応表

クロック	クロックスーパバイザ初期値	外部低電圧検出リセット初期値	Function
1 系統	ON	ON	S
		OFF	U
	OFF	ON	H
		OFF	K
2 系統	ON	ON	W
		OFF	Y
	OFF	ON	J
		OFF	L

ＭＢ９１Ｆ５２Ｘ□△○
- │ │ └→Ｒｅｖｉｓｉｏｎ:Ｂ，Ｃ，Ｄ,Ｅ
- │ └──→Ｆｕｎｃｔｉｏｎ:表 3-7 を参照してください
- └────→ＰＫＧ Ｔｙｐｅ:Ｂ ６４ｐｉｎ
  - Ｄ ８０ ｐｉｎ
  - Ｆ １００ ｐｉｎ
  - Ｊ １２０ ｐｉｎ
  - Ｋ １４４ ｐｉｎ
  - Ｌ １７６ ｐｉｎ
- └────→Ｍｅｍｏｒｙ Ｓｉｚｅ:２ ２５６ＫＢ
  - ３ ３８４ＫＢ
  - ４ ５１２ＫＢ
  - ５ ７６８ＫＢ
  - ６ １ＭＢ

4. 機能概要

MB91520 シリーズの機能概要について示します。

表 4-1 機能概要

機能	特長
CPU	32 ビット RISC マイコン FR81S CPU コア メモリ保護機能(MPU) 8ch 搭載 浮動小数点演算(FPU)搭載
クロック	メイン発振 4MHz(最大 16MHz まで入力可能) サブ発振 32kHz またはなし PLL 逓倍率 最大 20 逓倍 100kHz CR 発振器を搭載
入出力ポート	入力/出力または周辺信号として、ビット単位でプログラム可能 pullup を設定可能
外部バスインタフェース	22 ビットアドレス、8/16 ビットデータ出力
内部バスインタフェース	オンチップバス 32bit 、最大動作周波数 80MHz
周辺バスインタフェース	最大動作周波数 40MHz 32bit 周辺バス、 もしくは 16bit 周辺バス(R-bus) (注意事項)両者とも同一周波数で動作します
フラッシュインタフェース	ワイルドレジスタ機能あり。小セクタ(64KB)対応
DMA コントローラ	同時に最大 16 チャネルの起動が可能 転送要因(内部周辺要求/ソフトウェア) 選択可能 バースト/ブロックの転送モードを選択可能 ・1 つの割込みベクタに複数の割込みがある場合、どの割込みから DMA 要求を発生させるかを選択可能 ・1 つの割込みベクタに複数の割込みがある場合、DMA 転送完了によりクリアする割込みを選択可能
ベースタイマ	16 ビットタイマ (MB91F52xD, MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL) PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能 リロードタイマ/PWC 機能に関して、2ch カスケードモードで 32 ビットタイマとして使用可能
フリーランタイマ	16 ビットおよび 32 ビットアップカウンタ フリーランタイマ 0ch～2ch: 16 ビット フリーランタイマ 3ch～5ch: 32 ビット

機能	特長
インプットキャプチャ	立上りエッジ、立下りエッジまたはその両方を検出する 16 ビットおよび 32 ビットキャプチャレジスタ 端子入力のエッジ検出で、フリーランタイマのカウンタ値を取り込み、割込み要求を発生 フリーランタイマとの連携は以下のとおり インプットキャプチャ 0ch～3ch：16 ビット → フリーランタイマ 0ch～2ch インプットキャプチャ 4ch～9ch：32 ビット → フリーランタイマ 3ch～5ch LIN synch break/synch field の連携は以下のとおり インプットキャプチャ 0ch → マルチファンクションシリアル 0ch インプットキャプチャ 1ch → マルチファンクションシリアル 1ch インプットキャプチャ 2ch → マルチファンクションシリアル 2ch インプットキャプチャ 3ch → マルチファンクションシリアル 3ch インプットキャプチャ 4ch → マルチファンクションシリアル 4ch インプットキャプチャ 5ch → マルチファンクションシリアル 5ch インプットキャプチャ 6ch → マルチファンクションシリアル 6ch インプットキャプチャ 7ch → マルチファンクションシリアル 7ch インプットキャプチャ 8ch → マルチファンクションシリアル 8ch,9ch インプットキャプチャ 9ch → マルチファンクションシリアル 10ch,11ch 周期/パルス幅測定機能搭載(32 ビットのみ対応)
アウトプットコンペア	16および32ビットフリーランタイマとの照合時に割込み信号を出力 フリーランタイマとの連携は以下のとおり アウトプットコンペア 0ch～5ch: 16 ビット → フリーランタイマ 0ch～2ch アウトプットコンペア 6ch～11ch: 32 ビット → フリーランタイマ 3ch～5ch コンペア出力レベル制御機能搭載(32 ビットのみ対応) 16 ビットアウトプットコンペアは、専用の出力端子を持ちません。波形ジェネレータ経由の出力のみです。
リロードタイマ	16 ビットリロードタイマ動作(トグル出力、ワンショット出力選択可能) イベントカウント機能選択可能
リアルタイムクロック	日時分秒レジスタ 動作クロックとしてメイン発振、サブ発振選択可能 サブクロック補正機能 －サブクロックの周期誤差をメインクロックにより監視する － 得られた誤差を秒カウンタ設定値に反映する 0.5 秒/秒/分/時/日で割込みを発生可能
キャリブレーション	メインクロックとの比較で、サブクロック駆動のリアルタイムクロックを補正

機能	特長
PPG	ワンショットの矩形波出力や、PWM 出力を行う周期とデューティをソフトウェアで変更可能 動作クロック周波数: PCLK × 1, 1/2^2, 1/2^4, 1/2^6 の 4 通りから選択可能 各チャネルごとに StartDelay 設定可能 A/D コンバータの起動トリガとして使用可能 High フォーマットと Low フォーマットの周期、デューティの設定可能
遅延割込み	タスク切換え用の割込みを発生。 ソフトウェアで CPU に対して割込み要求の発生/取消しが可能。
外部割込み	16 チャネル独立 割込み要因:立上りエッジ/立下りエッジ/"L" レベル/"H" レベル選択可能 スタンバイ復帰時のエッジ入力検出に対応
A/D コンバータ	12 ビットの分解能の A/D コンバータ 2unit 内蔵 最大 48ch の入力ポートからアナログ値をサンプル可能 変換時間: 12bit A/D コンバータ 1.4µs 外部トリガ起動可能 内部タイマによる起動可能(16 ビットリロードタイマ/コンペア一致/PPG 使用) チャネルごとのサンプリング時間設定の選択機能 レンジコンパレータ搭載 起動チャネル変換回数指定可能
D/A コンバータ	8 ビットの分解能の D/A コンバータ 2ch の内蔵
マルチファンクションシリアル	UART / CSIO / LIN / I^2C-UART の 4 機能を選択して使用可能 送信 FIFO 16 段、受信 FIFO 16 段搭載 受信割込み要因(3 種類) - 受信エラー検出 (パリティ, オーバラン, フレームエラー) - FIFO に設定しきい値分のデータが受信されたことを検出 - 受信データが FIFO 設定しきい値以下のとき、ボーレートクロック 8 クロック以上のアイドル期間を検出 送信割込み要因(2 種類) - 送信動作なし - 送信 FIFO エンプティ(送信中を含む) SPI(Serial Peripheral Interface)対応 LIN プロトコル Ver2.1 対応 I^2C は ch.3,ch.4 は 100kbps,400kbps に対応、ch.5～ch.8,ch.10,ch.11 は 100kbps のみ対応
割込みコントローラ	割込み要求の検出 割込みレベルの設定
割込み要求一括読出し	複数の周辺の割込み有無を、一連のレジスタで読出し可能

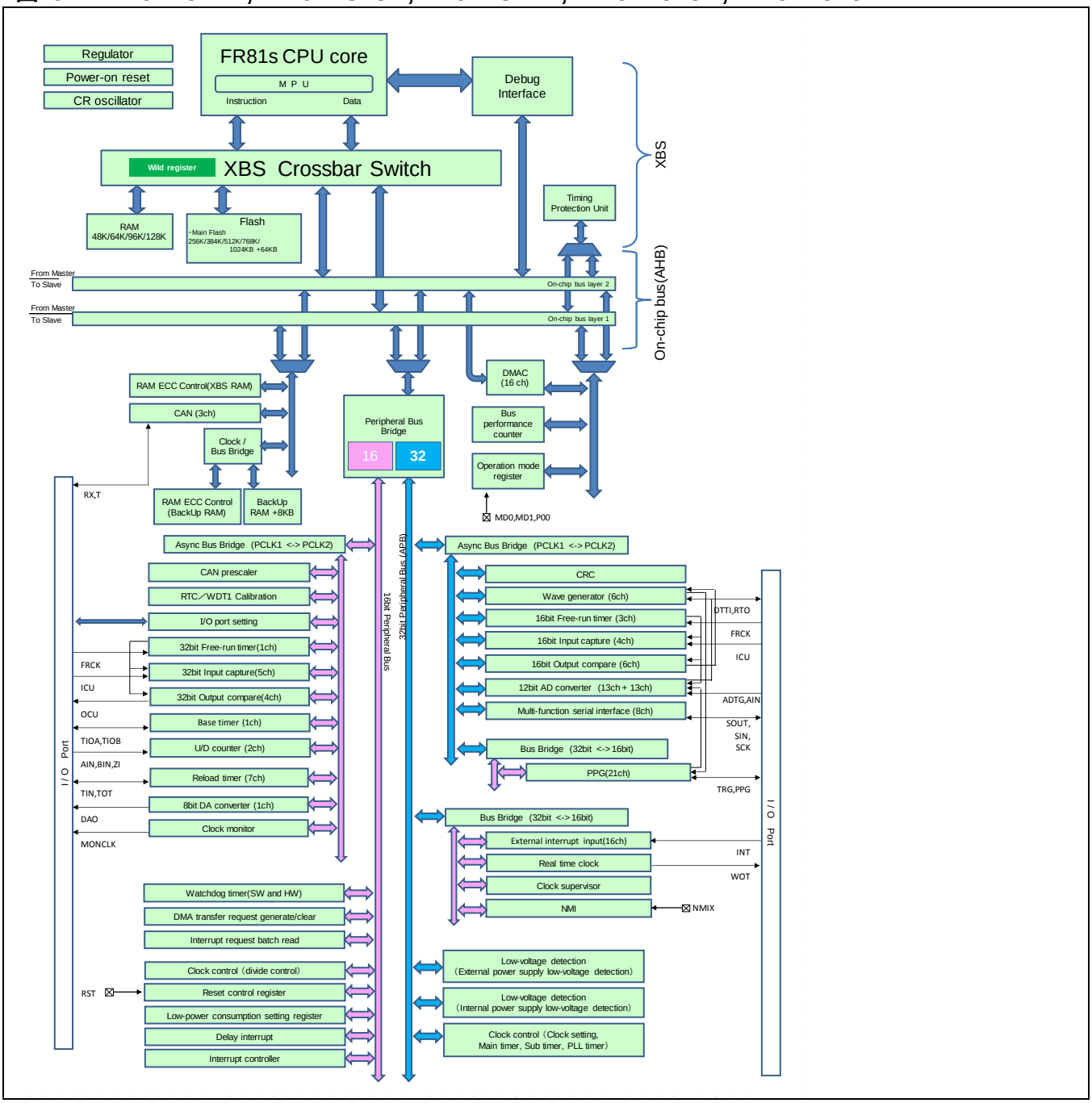
機能	特長
CAN インタフェース	CAN 仕様バージョン 2.0 パート A およびパート B に準拠 最大で 64 個のメッセージバッファ×2ch と 128 個のメッセージバッファ×1ch 複数メッセージをサポート 受入れフィルタの柔軟な構成: 全ビットコンペア 全ビットマスク 2 個の部分ビットマスク 最高 1Mbps までサポート CAN 動作クロックのために CAN プリスケーラを実装 CAN ウェィクアップ機能 CAN クロックソースがメインクロック/PLL クロック切換え可能
U/D カウンタ(2ch)	8/16bit アップダウンカウンタ×2ch
ソフトウェアウォッチドッグ	CPU 動作中にカウント CPU 停止中はカウントを停止 周期は PCLK × (2^9 ～ 2^{24})サイクルの 16 通りから選択可能 クリア有効期間の下限を最大 16 通り設定可能
ハードウェアウォッチドッグ	RC ベースの CPU の動作検出カウンタ プログラム暴走対策 周期: 218ms～ 655ms (通常 328ms、CR 発振の精度によってばらつきあり) 周期に幅があるのは、製造のばらつきに起因するものです。任意に周期を設定できるわけではありませんので注意ください。
CRC 生成	入力レジスタへの逐次書込みにより、CRC コードを結果レジスタに表示
外部低電圧検出リセット	外部低電圧検出時リセット/割込み発生 外部電源電圧が検出電圧値を下回った場合にリセット/割込みを発生します。 検出電圧値は 2.8V～4.3V(11 通り)から選択可能
内部低電圧検出リセット	内部低電圧検出時リセット発生 1.2V 系電圧を監視して、下回った場合はリセットを発生します。
低消費電力モード	スリープモード ストップモード 時計モード ストップモード(電源遮断) 時計モード(電源遮断) サブ RUN モード

機能	特長
I/O リロケーション	リロケーション対象周辺機能と分岐数 - A/D コンバータ外部トリガ 2ch × 最大 2 分岐 - CAN ch.0 × 最大 2 分岐,ch.1× 最大 2 分岐 - 外部割込み ch.1～4,7,9,13,14 × 最大 2 分岐 - マルチファンクションシリアル ch.0～2,10 × 最大 2 分岐 ch.3,4× 最大 3 分岐 ただし、I^2C はリロケーション不可 - シリアルチップセレクト入力 ch.1,3,4,10 × 最大 2 分岐 - PPG ch.0～5,16,17,23～41,43,44 × 最大 2 分岐 - UD カウンタ 2ch × 最大 3 分岐 - アウトプットコンペア ch.6～11 × 最大 2 分岐 - インプットキャプチャ ch.0～3 × 最大 4 分岐、ch.4 × 最大 3 分岐 ch.5～9 × 最大 2 分岐 - フリーランタイマ ch.1,3,4,5 × 最大 2 分岐 - ベースタイマ 2ch × 最大 2 分岐 - リロードタイマ ch.0,1,2,3 × 最大 3 分岐, ch.2,4,5,6,7 × 最大 2 分岐 - 波形ジェレータ ch.0～5 × 最大 2 分岐、DTTI 入力は最大 3 分岐
NMI 要求	NMIX 端子から入力されるマスク不可能な割込み信号
デバッグインタフェース	OCD 搭載

5. ブロックダイヤグラム

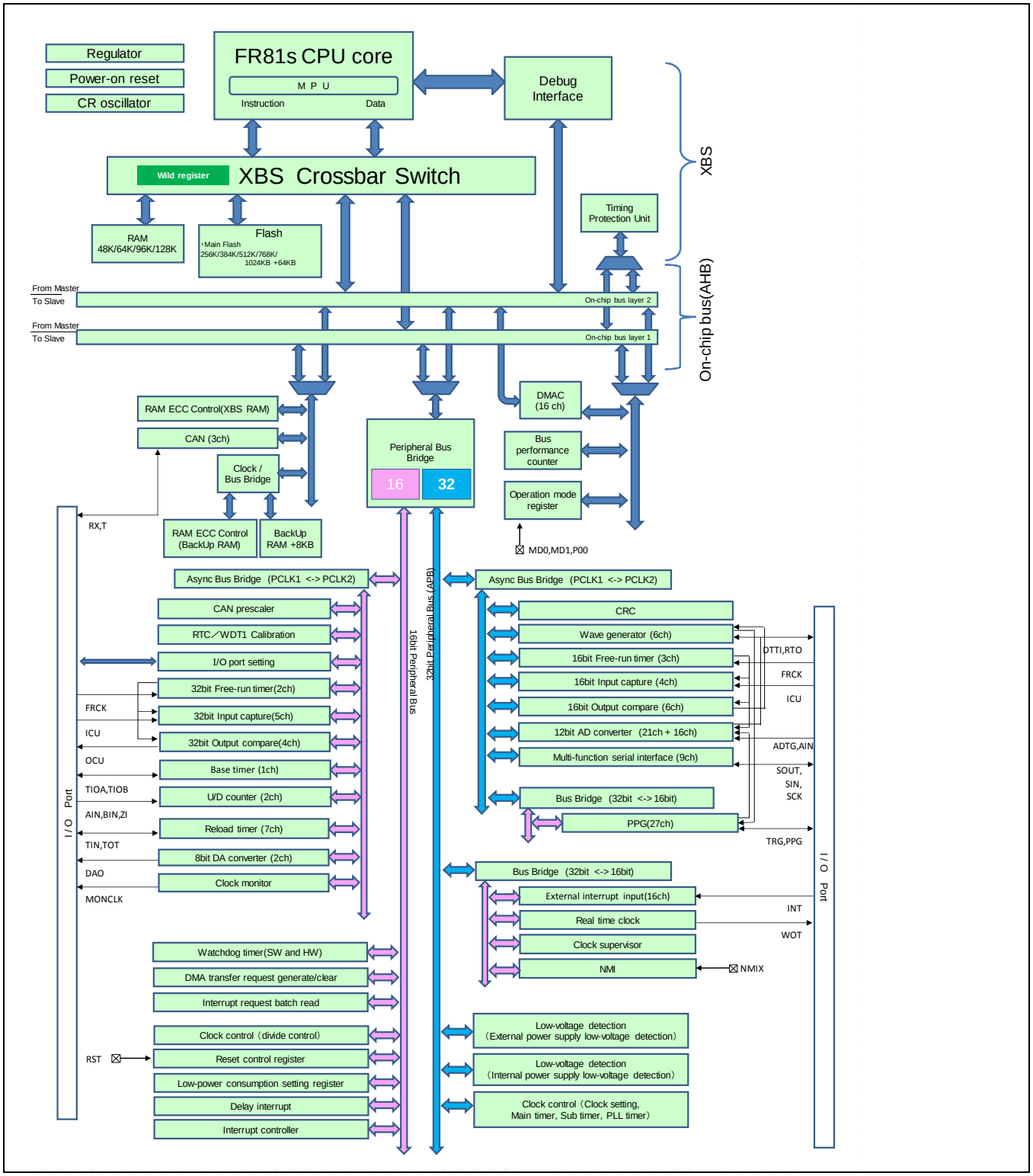
MB91520 シリーズのブロックダイヤグラムについて示します。

図 5-1: MB91F522B, MB91F523B,MB91F524B, MB91F525B, MB91F526B



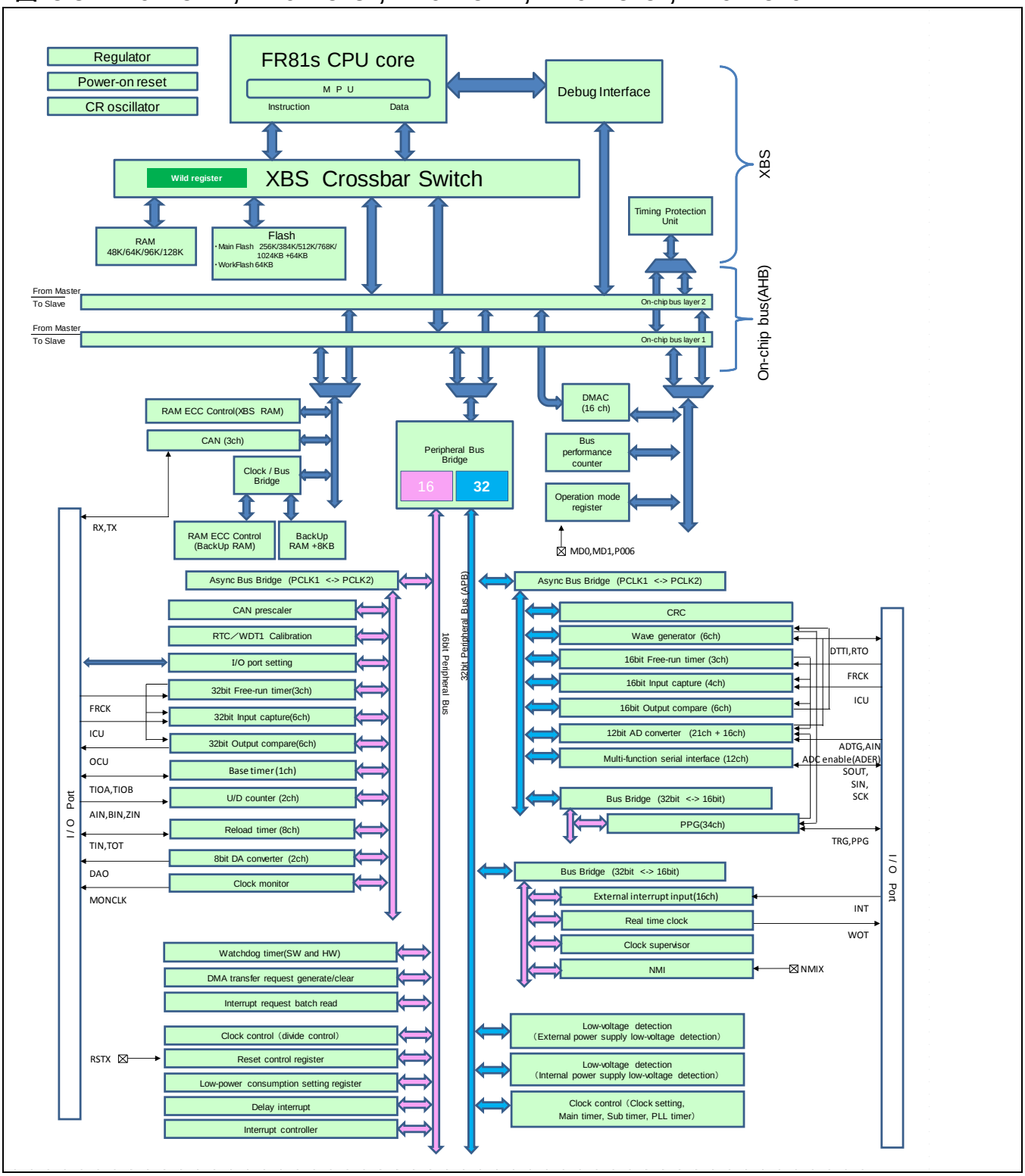
各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

図 5-2: MB91F522D, MB91F523D, MB91F524D, MB91F525D, MB91F526D



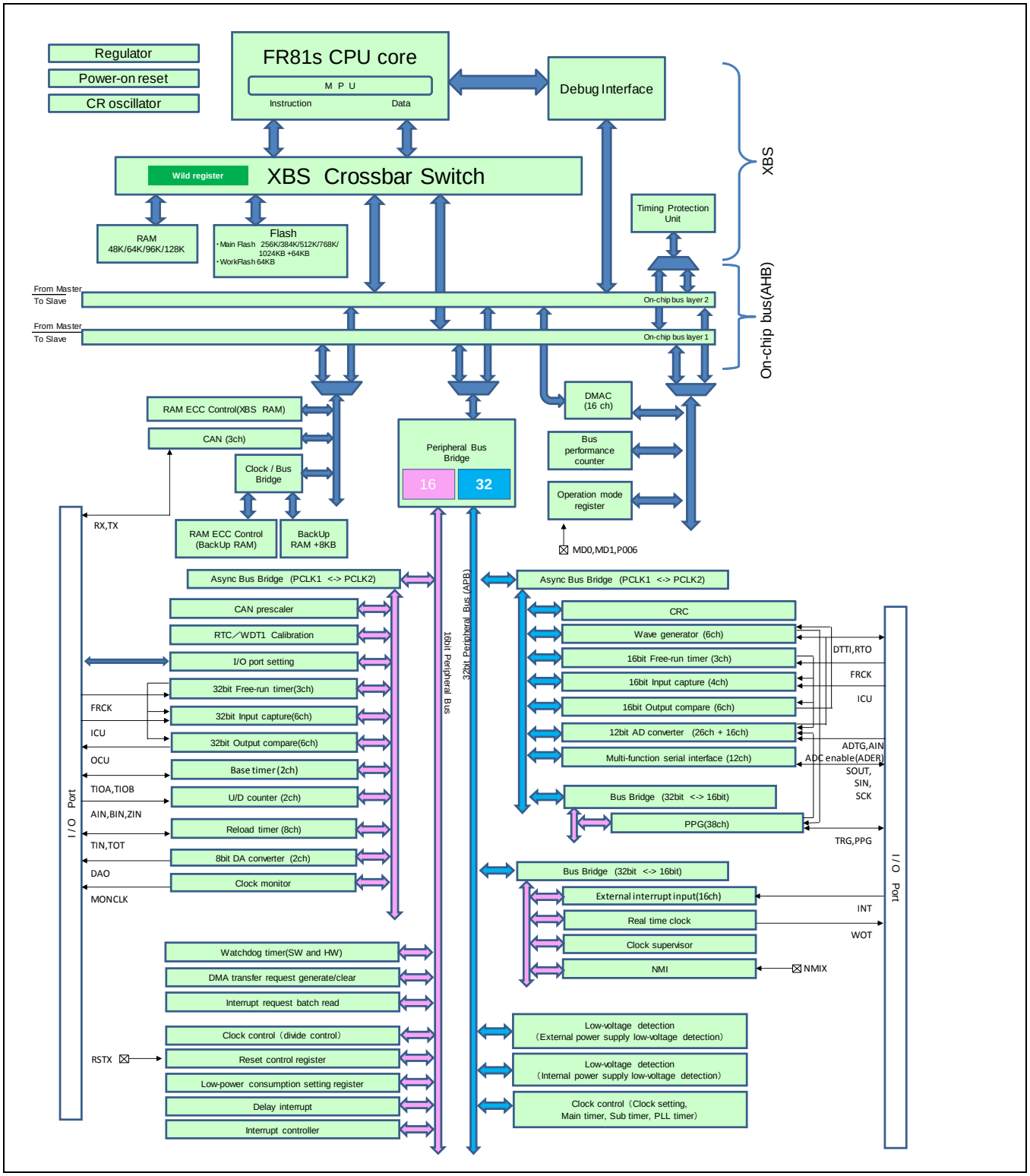
各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

図 5-3: MB91F522F, MB91F523F, MB91F524F, MB91F525F, MB91F526F



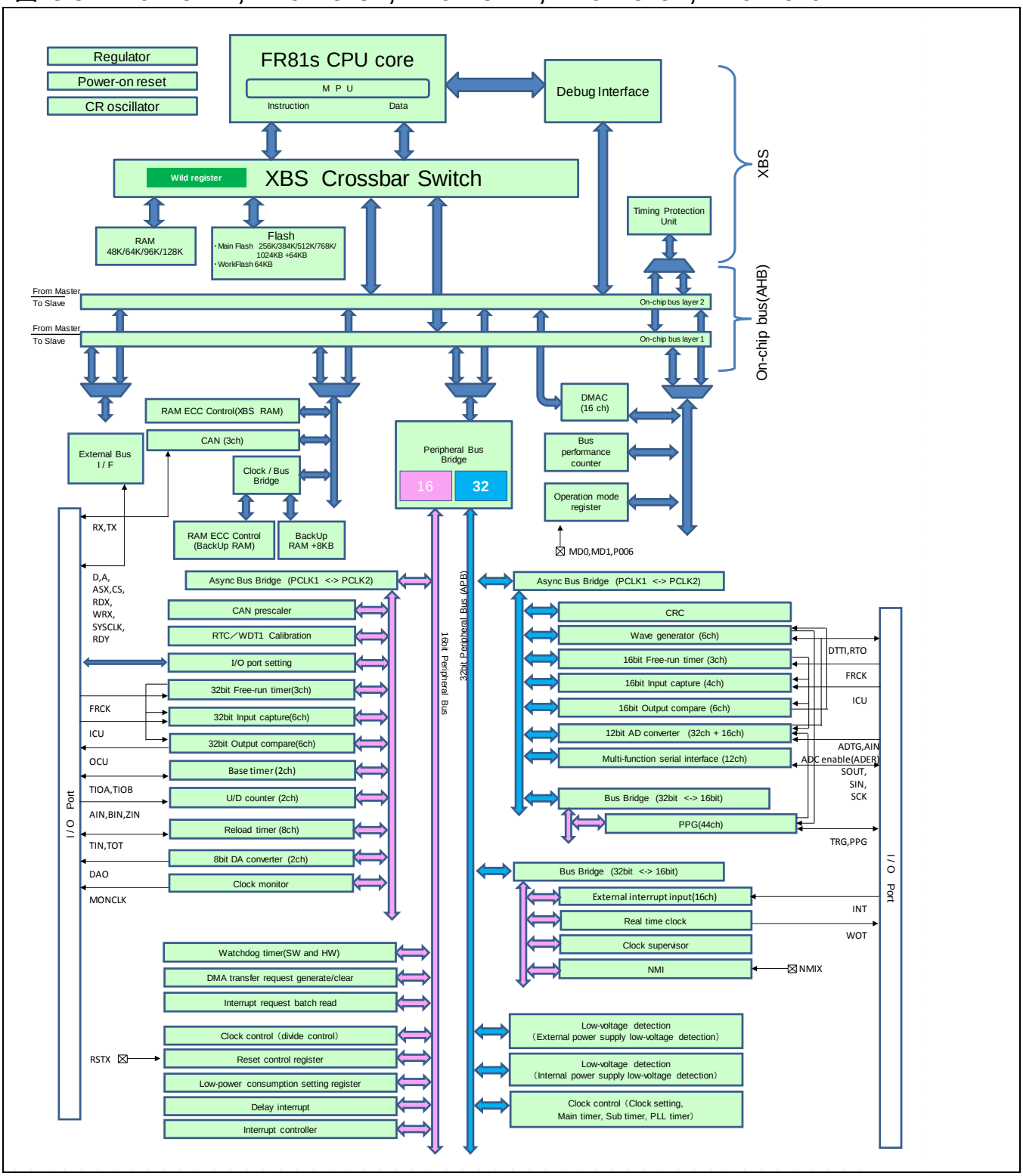
各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

図 5-4: MB91F522J, MB91F523J, MB91F524J, MB91F525J, MB91F526J



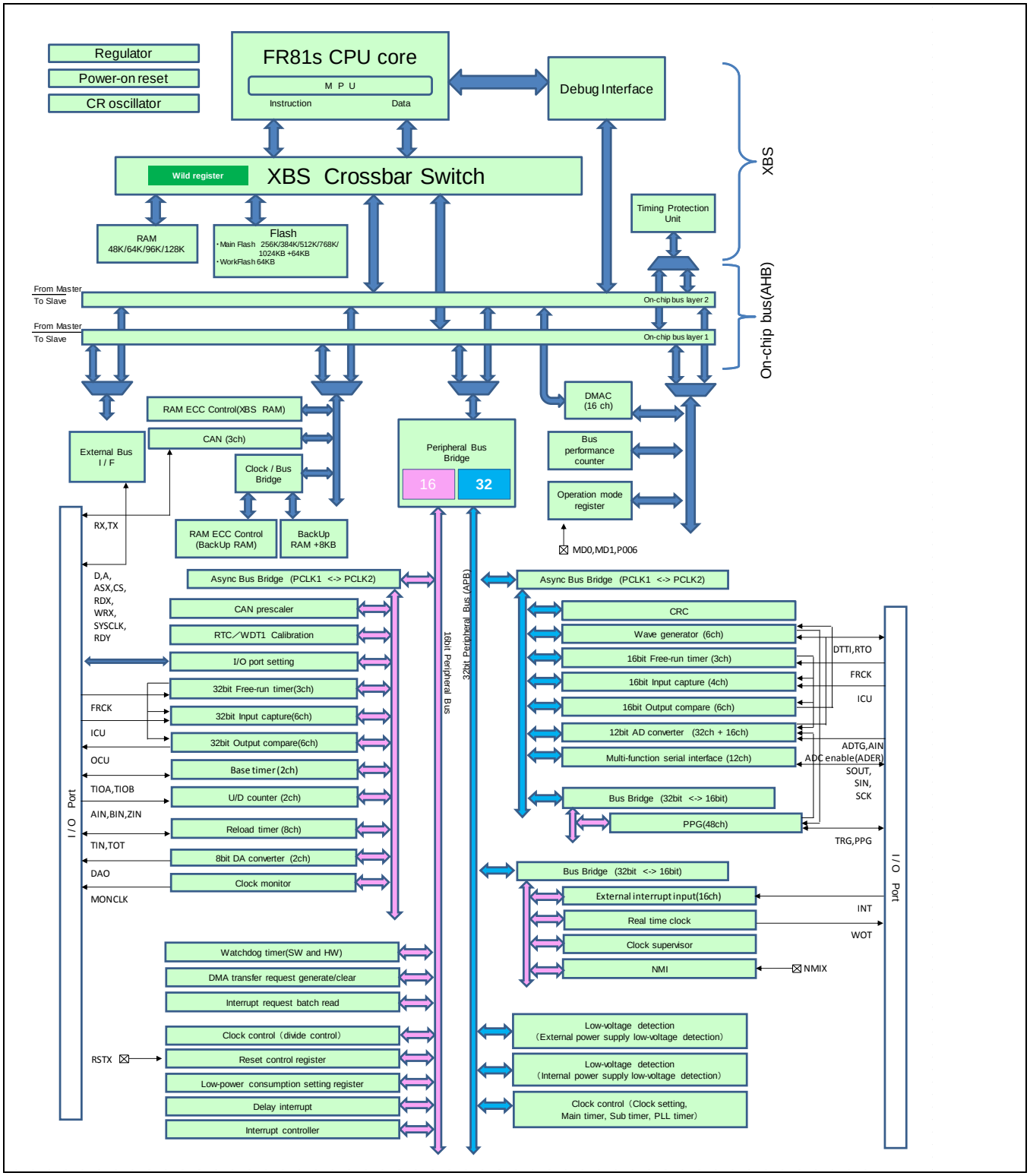
各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

図 5-5: MB91F522K, MB91F523K, MB91F524K, MB91F525K, MB91F526K



各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

図 5-6: MB91F522L, MB91F523L,MB91F524L, MB91F525L, MB91F526L



各機能で使用できる端子は「9.1 各機能ごとの端子一覧」を参照してください。

6. メモリマップ

MB91520 シリーズのメモリマップについて示します。

図 6-1 メモリマップ MB91F522、MB91F523、MB91F524

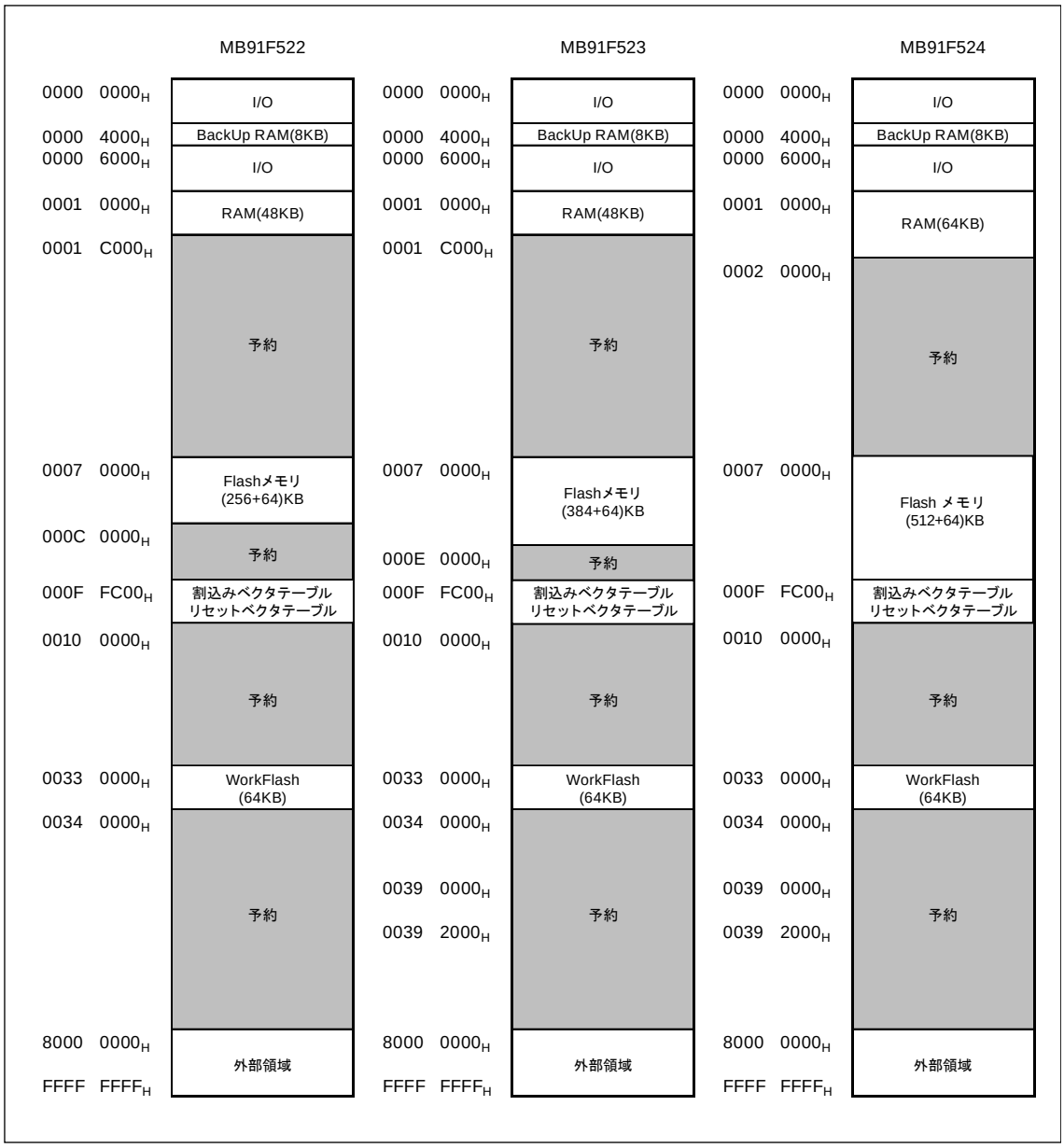
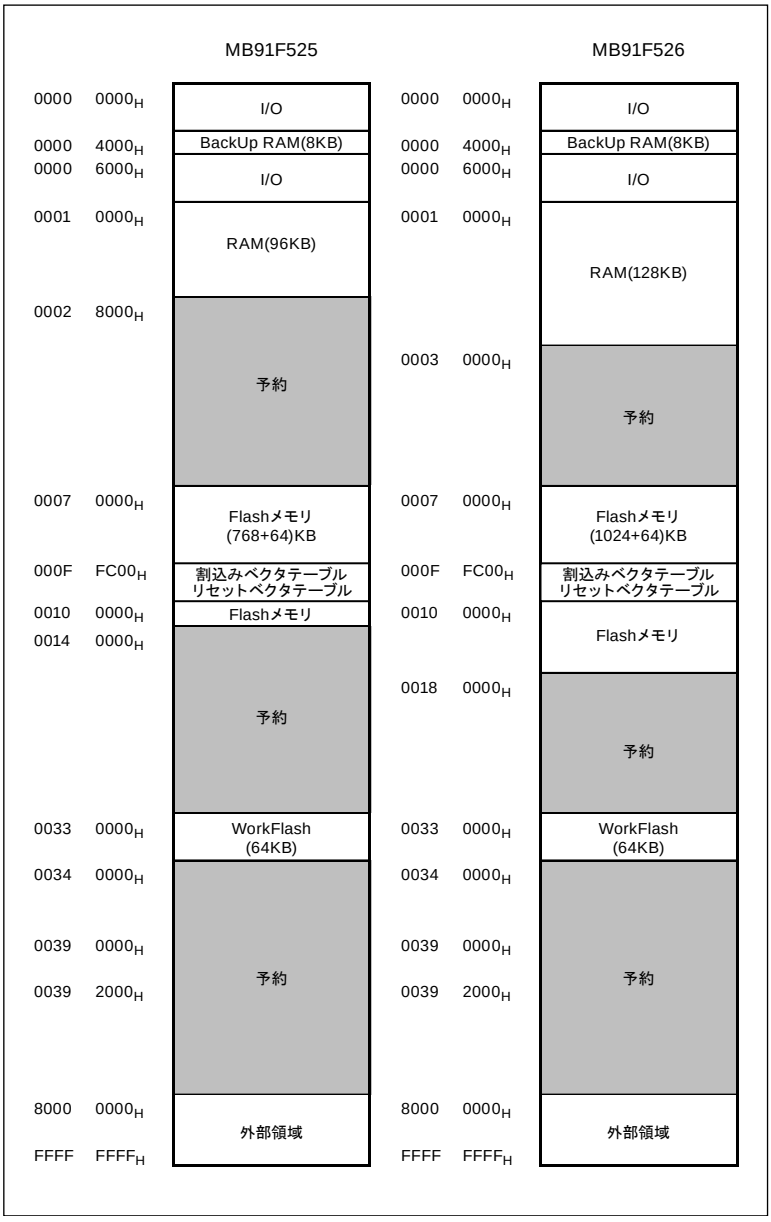


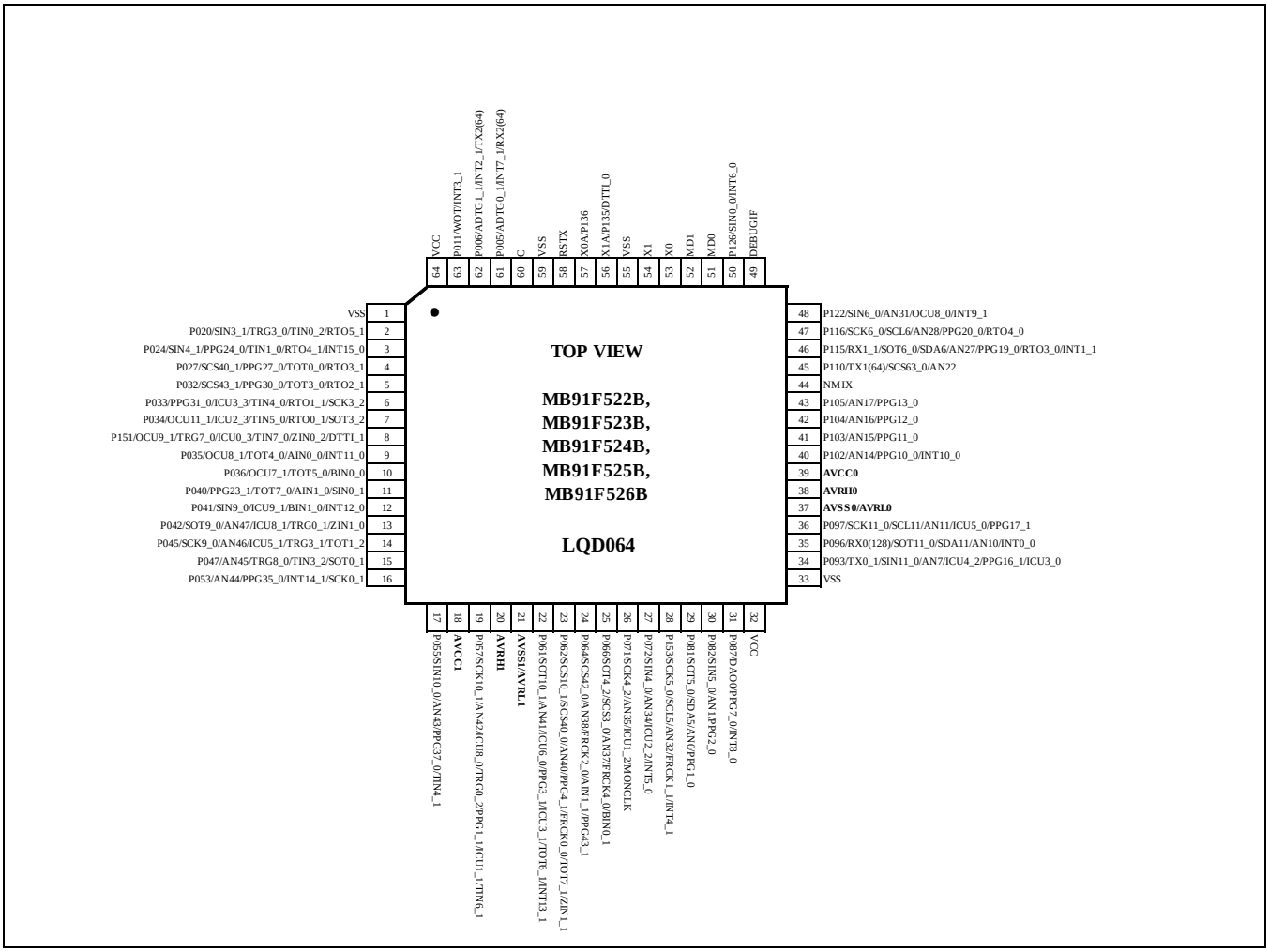
図 6-2 メモリマップ MB91F525、MB91F526



7. 端子配列図

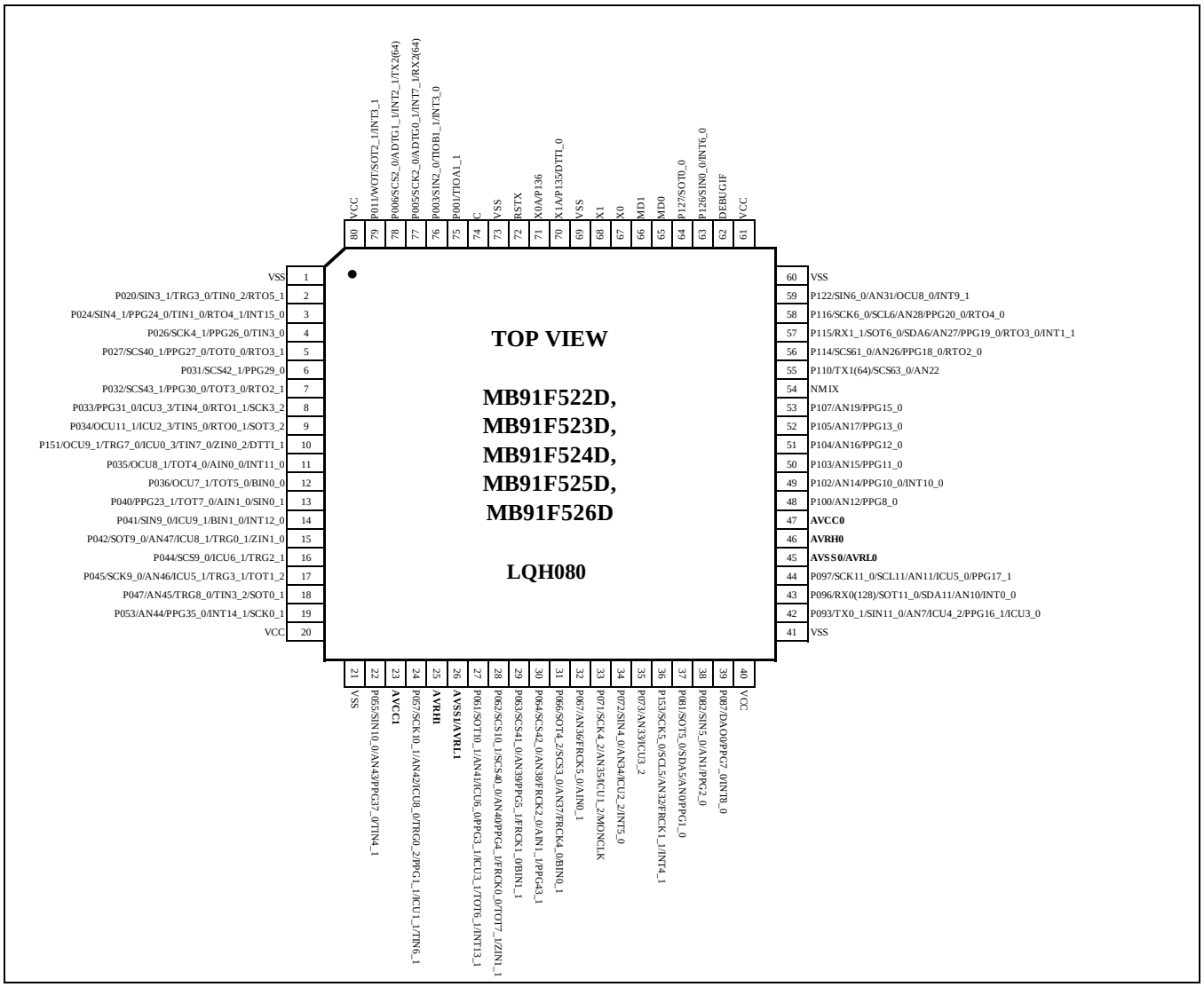
MB91520 シリーズの端子配列図について示します。

図 7-1 端子配列図 MB91F522B, MB91F523B, MB91F524B, MB91F525B, MB91F526B



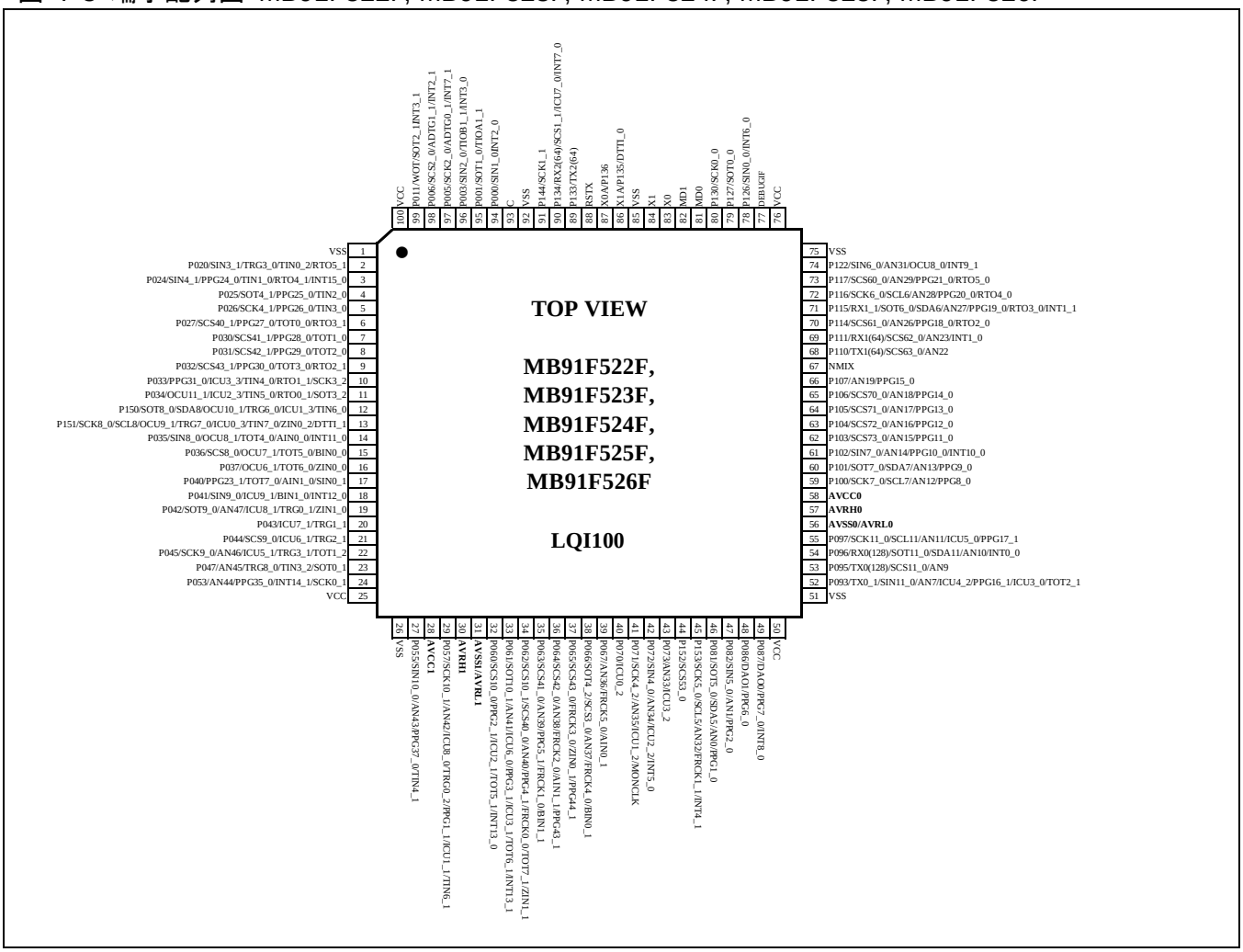
※クロック 1 系統品は、56,57pin が汎用ポートとなります。

図 7-2 端子配列図 MB91F522D, MB91F523D, MB91F524D, MB91F525D, MB91F526D



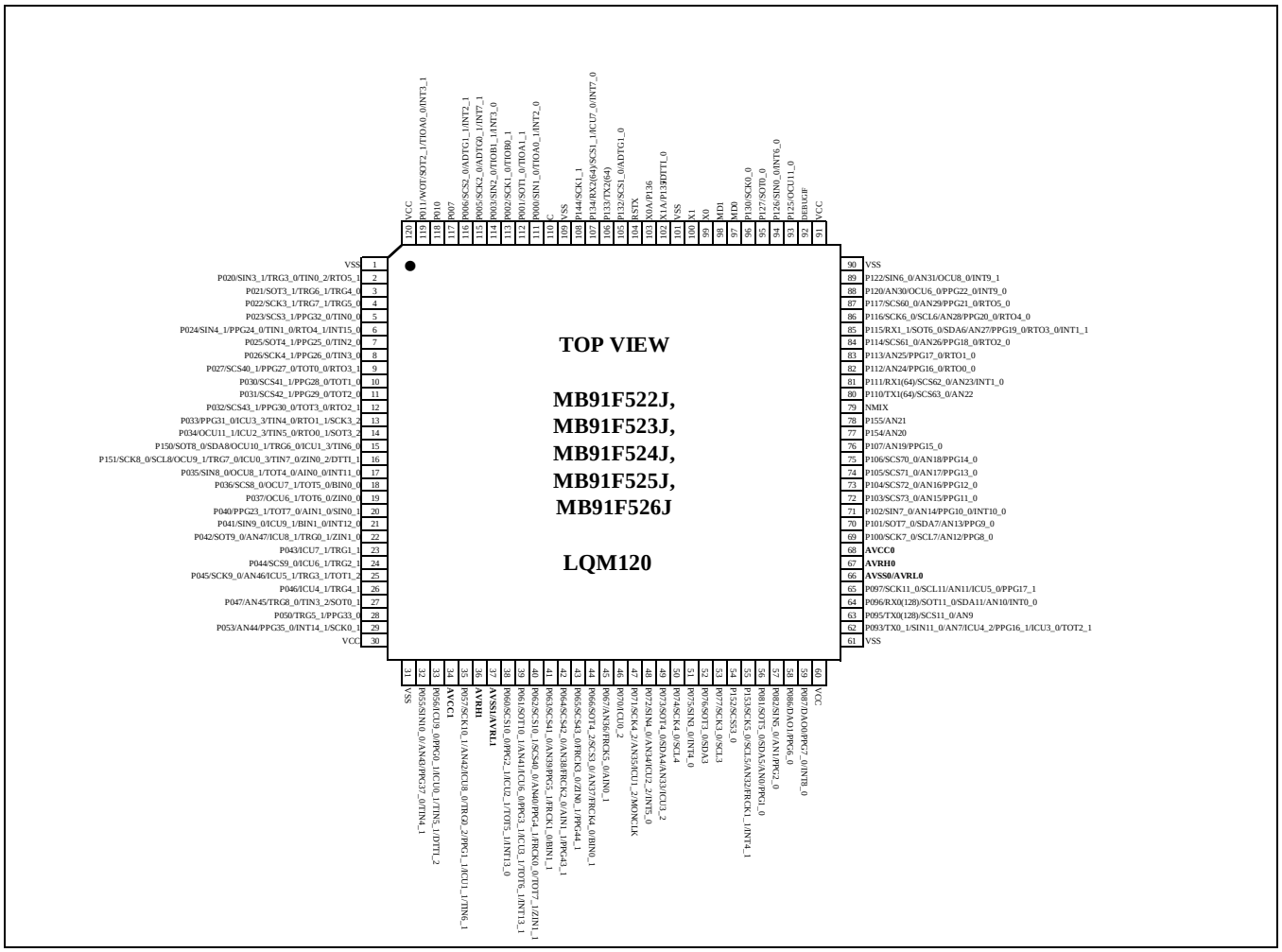
※クロック 1 系統品は、70,71pin が汎用ポートとなります。

図 7-3 端子配列図 MB91F522F, MB91F523F, MB91F524F, MB91F525F, MB91F526F



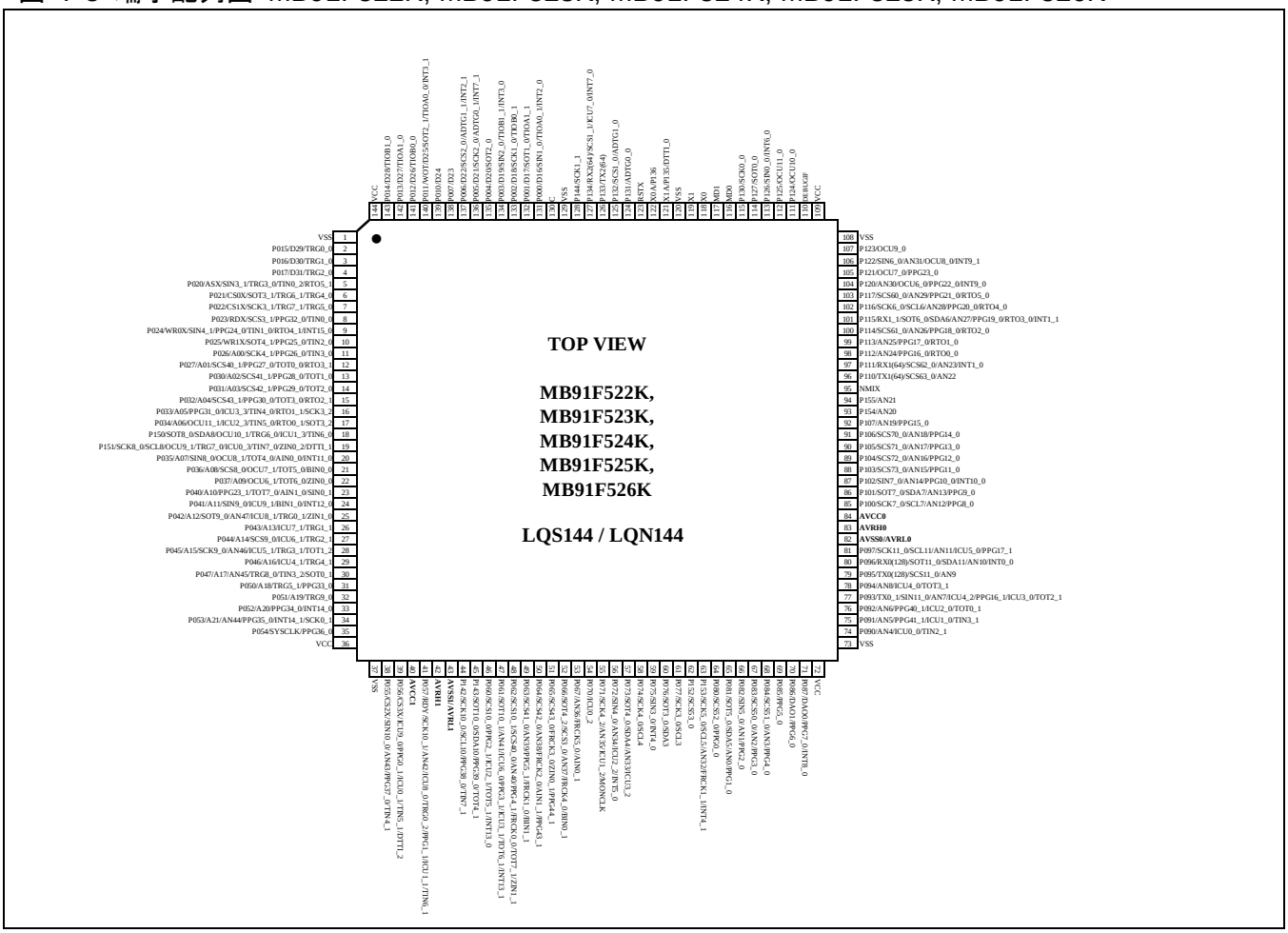
※クロック 1 系統品は、86,87pin が汎用ポートとなります。

図 7-4 端子配列図 MB91F522J, MB91F523J, MB91F524J, MB91F525J, MB91F526J



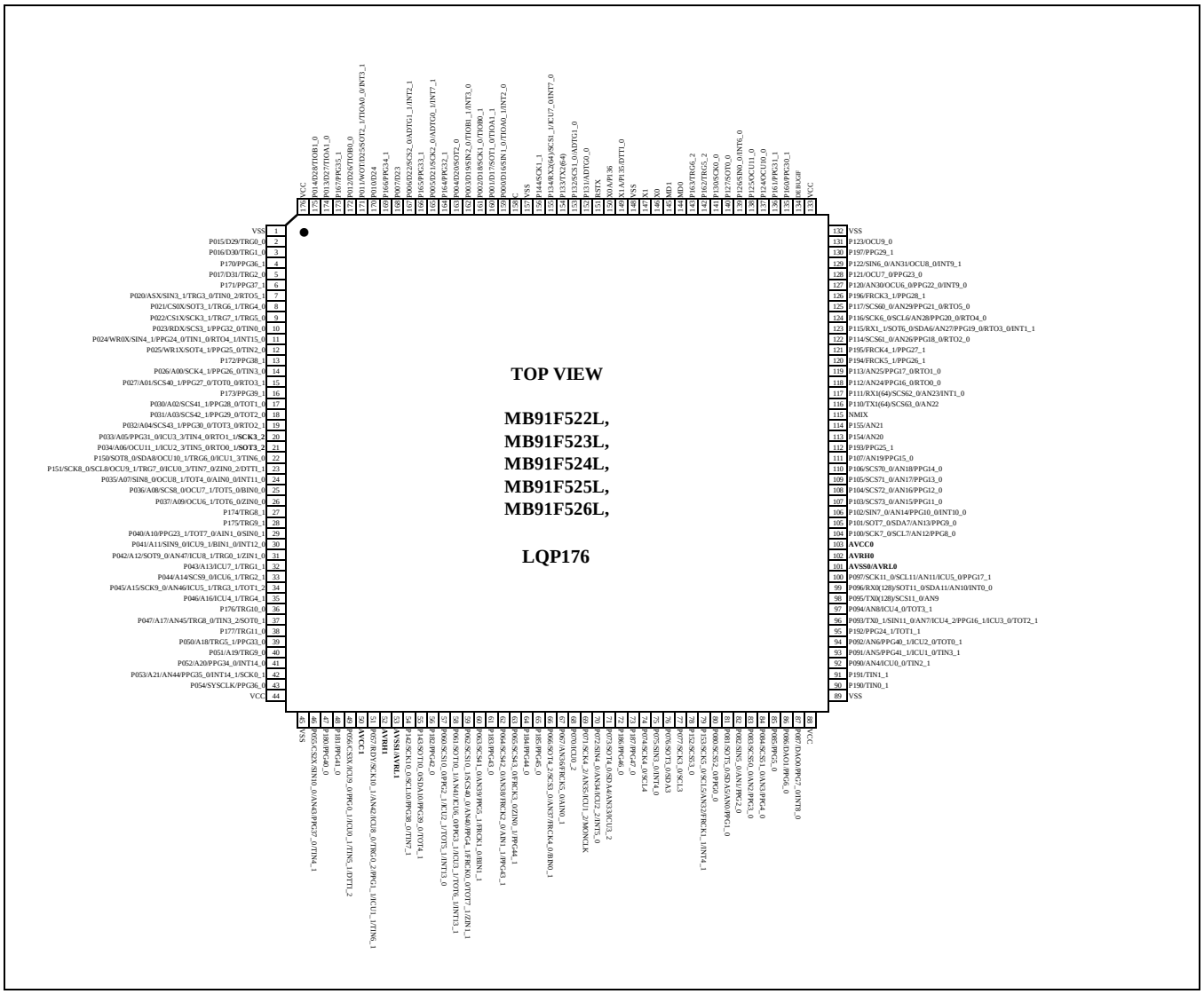
※クロック 1 系統品は、102,103pin が汎用ポートとなります。

図 7-5 端子配列図 MB91F522K, MB91F523K, MB91F524K, MB91F525K, MB91F526K



※クロック 1 系統品は、121,122pin が汎用ポートとなります。

図 7-6 端子配列図 MB91F522L, MB91F523L, MB91F524L, MB91F525L, MB91F526L



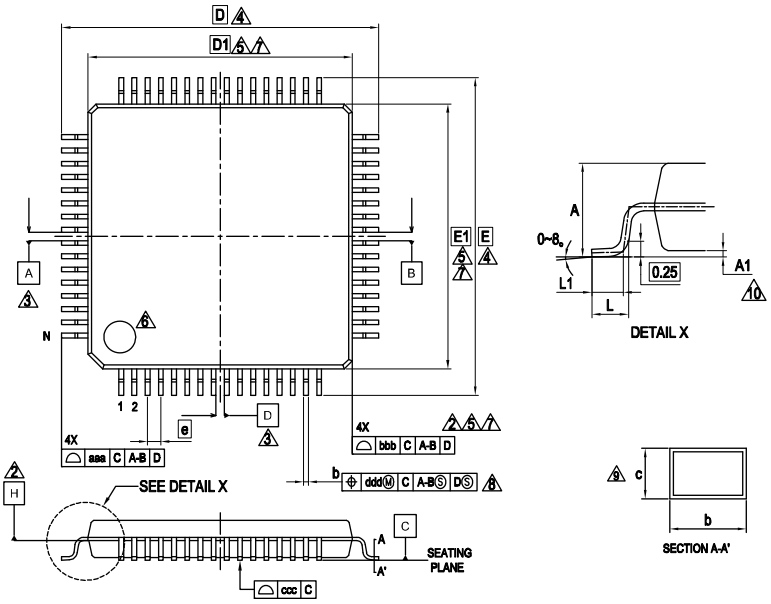
※クロック 1 系統品は、149,150pin が汎用ポートとなります。

8. パッケージ外形寸法図

MB91520 シリーズの外形寸法図について示します。

図 8-1 外形寸法図 LQD064

LQD064 , 64 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQD64		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	0.20	0.25
c	0.09	—	0.20
D		12.00 BSC.	
D1		10.00 BSC.	
e		0.50 BSC	
E		12.00 BSC.	
E1		10.00 BSC.	
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N		64	

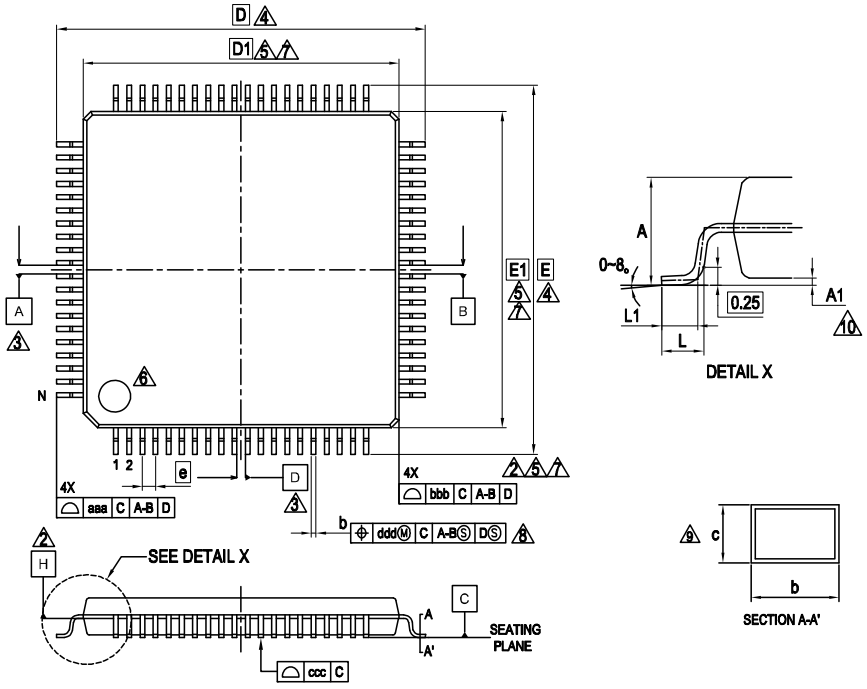
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-2 外形寸法図 LQH080

LQH080 , 80 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQH080		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	0.20	0.25
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	80		

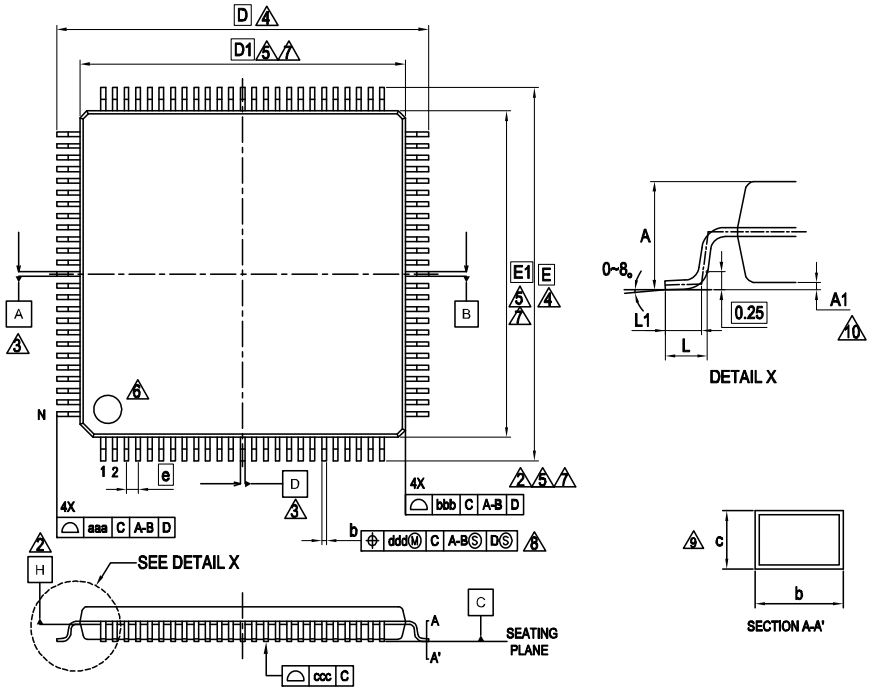
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-3 外形寸法図 LQI100

LQI100 , 100 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQI100		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	0.20	0.25
c	0.09	—	0.20
D	16.00 BSC.		
D1	14.00 BSC.		
e	0.50 BSC		
E	16.00 BSC.		
E1	14.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	100		

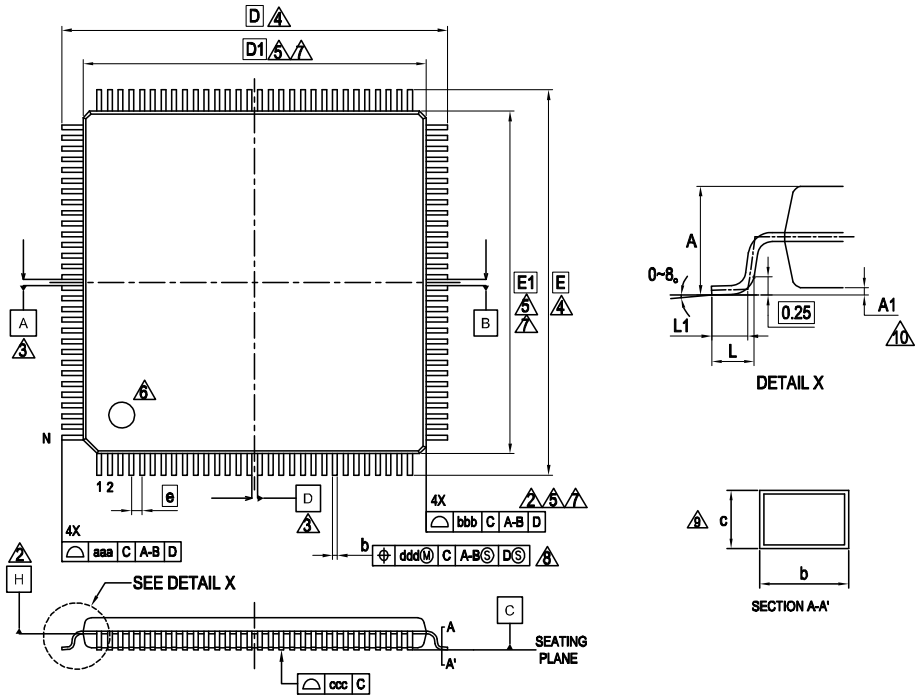
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-4 外形寸法図 LQM120

LQM120 , 120 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQM120		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC.		
D1	16.00 BSC.		
e	0.50 BSC		
E	18.00 BSC.		
E1	16.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	120		

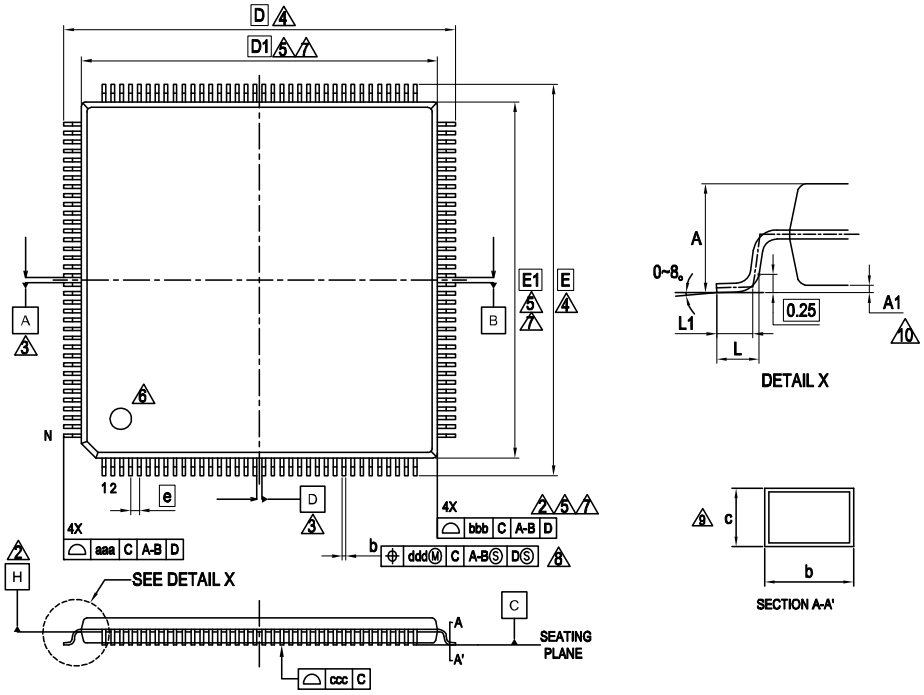
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-5 外形寸法図 LQS144

LQS144 , 144 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQS144		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.06	—	0.26
b	0.17	0.22	0.27
c	0.09	—	0.20
D	22.00 BSC.		
D1	20.00 BSC.		
e	0.50 BSC		
E	22.00 BSC.		
E1	20.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	144		

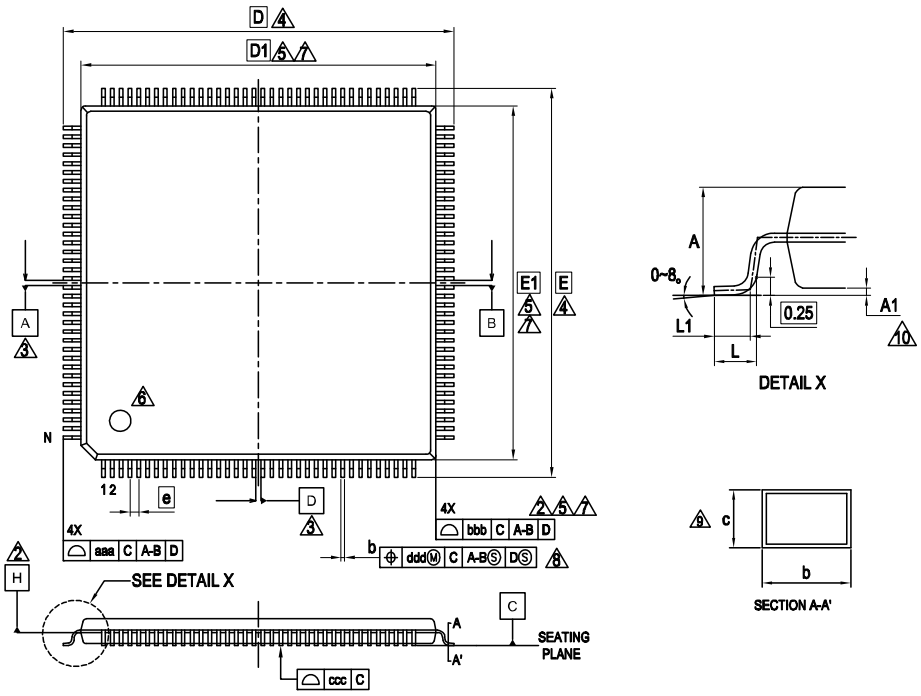
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-6 外形寸法図 LQN144

LQN144 , 144 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQN144		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.145	0.18	0.215
c	0.115	—	0.195
D	18.00 BSC.		
D1	16.00 BSC.		
e	0.40 BSC		
E	18.00 BSC.		
E1	16.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.07
N	144		

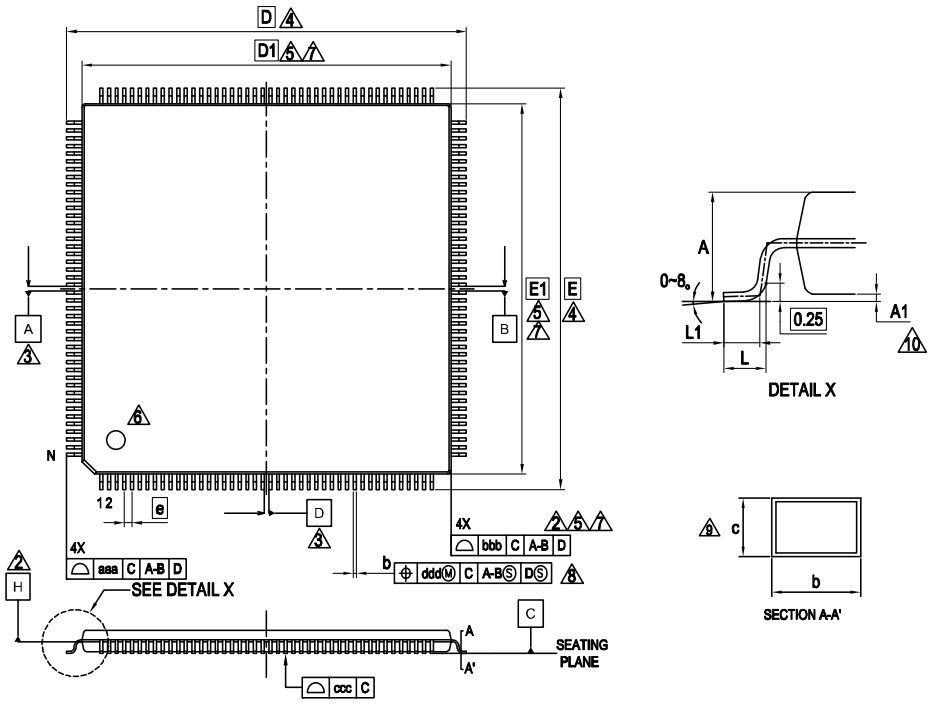
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

図 8-7 外形寸法図 LQP176

LQP176 , 176 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQP176		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.17	0.22	0.27
c	0.09	—	0.20
D	26.00 BSC.		
D1	24.00 BSC.		
e	0.50 BSC		
E	26.00 BSC.		
E1	24.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	176		

NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

9. 端子機能一覧

MB91520 シリーズの端子機能一覧について示します。

表 9-1 端子機能表

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	-	-	2	2	P015 D29 TRG0_0	- - -	A	汎用入出力ポート 外部バス・データ bit29 入出力 PPG トリガ 0 入力(0)
-	-	-	-	3	3	P016 D30 TRG1_0	- - -	A	汎用入出力ポート 外部バス・データ bit30 入出力 PPG トリガ 1 入力(0)
-	-	-	-	-	4	P170 PPG36_1	- -	A	汎用入出力ポート PPG ch.36 出力(1)
-	-	-	-	4	5	P017 D31 TRG2_0	- - -	A	汎用入出力ポート 外部バス・データ bit31 入出力 PPG トリガ 2 入力(0)
-	-	-	-	-	6	P171 PPG37_1	- -	A	汎用入出力ポート PPG ch.37 出力(1)
2[*1]	2[*1]	2[*1]	2[*1]	5	7	P020 ASX[*2, *3, *4, *5] SIN3_1 TRG3_0 TIN0_2 RTO5_1	- - - - - -	F	汎用入出力ポート 外部バス・アドレスストローブ出力 マルチファンクションシリアル ch.3 シリアルデータ入力(1) PPG トリガ 3 入力(0) リロードタイマ ch.0 イベント入力(2) 波形ジェネレータ ch.5 出力端子(1)
-	-	-	3[*1]	6	8	P021 CS0X[*5] SOT3_1 TRG6_1 TRG4_0	- - - - -	A	汎用入出力ポート 外部バス・チップセレクト 0 出力 マルチファンクションシリアル ch.3 シリアルデータ出力(1) PPG トリガ 6 入力(1) PPG トリガ 4 入力(0)
-	-	-	4[*1]	7	9	P022 CS1X[*5] SCK3_1 TRG7_1 TRG5_0	- - - - -	F	汎用入出力ポート 外部バス・チップセレクト 1 出力 マルチファンクションシリアル ch.3 クロック入出力(1) PPG トリガ 7 入力(1) PPG トリガ 5 入力(0)
-	-	-	5[*1]	8	10	P023 RDX[*5] SCS3_1 PPG32_0 TIN0_0	- - - - -	A	汎用入出力ポート 外部バス・リードストローブ出力 シリアルチップセレクト 3 出力(1) PPG ch.32 出力(0) リロードタイマ ch.0 イベント入力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
3[*1]	3[*1]	3[*1]	6[*1]	9	11	P024 WR0X[*2, *3, *4, *5] SIN4_1 PPG24_0 TIN1_0 RTO4_1 INT15_0	- - - - - - -	F	汎用入出力ポート 外部バス・ライトストローブ 0 出力 マルチファンクションシリアル ch.4 シリアルデータ入力(1) PPG ch.24 出力(0) リロードタイマ ch.1 イベント入力(0) 波形ジェネレータ ch.4 出力端子(1) INT15 外部割込み入力(0)
-	-	4[*1]	7[*1]	10	12	P025 WR1X[*4, *5] SOT4_1 PPG25_0 TIN2_0	- - - - -	A	汎用入出力ポート 外部バス・ライトストローブ 1 出力 マルチファンクションシリアル ch.4 シリアルデータ出力(1) PPG ch.25 出力(0) リロードタイマ ch.2 イベント入力(0)
-	-	-	-	-	13	P172 PPG38_1	- -	A	汎用入出力ポート PPG ch.38 出力(1)
-	4[*1]	5[*1]	8[*1]	11	14	P026 A00[*3, *4, *5] SCK4_1 PPG26_0 TIN3_0	- - - - -	F	汎用入出力ポート 外部バス・アドレス bit0 出力 マルチファンクションシリアル ch.4 クロック入出力(1) PPG ch.26 出力(0) リロードタイマ ch.3 イベント入力(0)
4[*1]	5[*1]	6[*1]	9[*1]	12	15	P027 A01[*2, *3, *4, *5] SCS40_1 PPG27_0 TOT0_0 RTO3_1	- - - - - -	A	汎用入出力ポート 外部バス・アドレス bit1 出力 シリアルチップセレクト 40 入出力(1) PPG ch.27 出力(0) リロードタイマ ch.0 出力(0) 波形ジェネレータ ch.3 出力端子(1)
-	-	-	-	-	16	P173 PPG39_1	- -	A	汎用入出力ポート PPG ch.39 出力(1)
-	-	7[*1]	10[*1]	13	17	P030 A02[*4, *5] SCS41_1 PPG28_0 TOT1_0	- - - - -	A	汎用入出力ポート 外部バス・アドレス bit2 出力 シリアルチップセレクト 41 出力(1) PPG ch.28 出力(0) リロードタイマ ch.1 出力(0)
-	6[*1]	8[*1]	11[*1]	14	18	P031 A03[*3, *4, *5] SCS42_1 PPG29_0 TOT2_0[*3]	- - - - -	A	汎用入出力ポート 外部バス・アドレス bit3 出力 シリアルチップセレクト 42 出力(1) PPG ch.29 出力(0) リロードタイマ ch.2 出力(0)
5[*1]	7[*1]	9[*1]	12[*1]	15	19	P032 A04[*2, *3, *4, *5] SCS43_1 PPG30_0 TOT3_0 RTO2_1	- - - - - -	A	汎用入出力ポート 外部バス・アドレス bit4 出力 シリアルチップセレクト 43 出力(1) PPG ch.30 出力(0) リロードタイマ ch.3 出力(0) 波形ジェネレータ ch.2 出力端子(1)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
6[*1]	8[*1]	10[*1]	13[*1]	16	20	P033 A05[*2, *3, *4, *5] PPG31_0 ICU3_3 TIN4_0 RTO1_1 SCK3_2	- - - - - - -	A	汎用入出力ポート 外部バス・アドレス bit5 出力 PPG ch.31 出力(0) インプットキャプチャ ch.3 入力(3) リロードタイマ ch.4 イベント入力(0) 波形ジェネレータ ch.1 出力端子(1) マルチファンクションシリアル ch.3 クロック入出力(2)
7[*1]	9[*1]	11[*1]	14[*1]	17	21	P034 A06[*2, *3, *4, *5] OCU11_1 ICU2_3 TIN5_0 RTO0_1 SOT3_2	- - - - - - -	A	汎用入出力ポート 外部バス・アドレス bit6 出力 アウトプットコンペア ch.11 出力(1) インプットキャプチャ ch.2 入力(3) リロードタイマ ch.5 イベント入力(0) 波形ジェネレータ ch.0 出力端子(1) マルチファンクションシリアル ch.3 シリアルデータ出力(2)
-	-	12	15	18	22	P150 SOT8_0/SDA8 OCU10_1 TRG6_0 ICU1_3 TIN6_0	- - - - - -	F	汎用入出力ポート マルチファンクションシリアル ch.8 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 アウトプットコンペア ch.10 出力(1) PPG トリガ 6 入力(0) インプットキャプチャ ch.1 入力(3) リロードタイマ ch.6 イベント入力(0)
8[*1]	10[*1]	13	16	19	23	P151 SCK8_0/ SCL8[*2, *3] OCU9_1 TRG7_0 ICU0_3 TIN7_0 ZIN0_2 DTTI_1	- - - - - - - -	F	汎用入出力ポート マルチファンクションシリアル ch.8 クロック入出力(0) / I^2C バスシリアルクロック入出力 アウトプットコンペア ch.9 出力(1) PPG トリガ 7 入力(0) インプットキャプチャ ch.0 入力(3) リロードタイマ ch.7 イベント入力(0) U/D カウンタ ch.0 ZIN 入力(2) 波形ジェネレータ ch.0-ch.5 入力端子(1)
9[*1]	11[*1]	14[*1]	17[*1]	20	24	P035 A07[*2, *3, *4, *5] SIN8_0[*2, *3] OCU8_1 TOT4_0 AIN0_0 INT11_0	- - - - - - -	I	汎用入出力ポート 外部バス・アドレス bit7 出力 マルチファンクションシリアル ch.8 シリアルデータ入力(0) アウトプットコンペア ch.8 出力(1) リロードタイマ ch.4 出力(0) U/D カウンタ ch.0 AIN 入力(0) INT11 外部割込み入力(0)
10[*1]	12[*1]	15[*1]	18[*1]	21	25	P036 A08[*2, *3, *4, *5] SCS8_0[*2, *3] OCU7_1 TOT5_0 BIN0_0	- - - - - -	A	汎用入出力ポート 外部バス・アドレス bit8 出力 シリアルチップセレクト 8 入出力(0) アウトプットコンペア ch.7 出力(1) リロードタイマ ch.5 出力(0) U/D カウンタ ch.0 BIN 入力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	16[*1]	19[*1]	22	26	P037 A09[*4, *5] OCU6_1 TOT6_0 ZIN0_0	- - - - -	A	汎用入出力ポート 外部バス・アドレス bit9 出力 アウトプットコンペア ch.6 出力(1) リロードタイマ ch.6 出力(0) U/D カウンタ ch.0 ZIN 入力(0)
-	-	-	-	-	27	P174 TRG8_1	- -	A	汎用入出力ポート PPG トリガ 8 入力(1)
-	-	-	-	-	28	P175 TRG9_1	- -	A	汎用入出力ポート PPG トリガ 9 入力(1)
11[*1]	13[*1]	17[*1]	20[*1]	23	29	P040 A10[*2, *3, *4, *5] PPG23_1 TOT7_0 AIN1_0 SIN0_1	- - - - - -	A	汎用入出力ポート 外部バス・アドレス bit10 出力 PPG ch.23 出力(1) リロードタイマ ch.7 出力(0) U/D カウンタ ch.1 AIN 入力(0) マルチファンクションシリアル ch.0 シリアルデータ入力(1)
12[*1]	14[*1]	18[*1]	21[*1]	24	30	P041 A11[*2, *3, *4, *5] SIN9_0 ICU9_1 BIN1_0 INT12_0	- - - - - -	I	汎用入出力ポート 外部バス・アドレス bit11 出力 マルチファンクションシリアル ch.9 シリアルデータ入力(0) インプットキャプチャ ch.9 入力(1) U/D カウンタ ch.1 BIN 入力(0) INT12 外部割込み入力(0)
13[*1]	15[*1]	19[*1]	22[*1]	25	31	P042 A12[*2, *3, *4, *5] SOT9_0 AN47 ICU8_1 TRG0_1 ZIN1_0	- - - - - - -	B	汎用入出力ポート 外部バス・アドレス bit12 出力 マルチファンクションシリアル ch.9 シリアルデータ出力(0) ADC アナログ 47 入力 インプットキャプチャ ch.8 入力(1) PPG トリガ 0 入力(1) U/D カウンタ ch.1 ZIN 入力(0)
-	-	20[*1]	23[*1]	26	32	P043 A13[*4, *5] ICU7_1 TRG1_1	- - - -	A	汎用入出力ポート 外部バス・アドレス bit13 出力 インプットキャプチャ ch.7 入力(1) PPG トリガ 1 入力(1)
-	16[*1]	21[*1]	24[*1]	27	33	P044 A14[*3, *4, *5] SCS9_0 ICU6_1 TRG2_1	- - - - -	A	汎用入出力ポート 外部バス・アドレス bit14 出力 シリアルチップセレクト 9 入出力(0) インプットキャプチャ ch.6 入力(1) PPG トリガ 2 入力(1)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
14[*1]	17[*1]	22[*1]	25[*1]	28	34	P045 A15[*2, *3, *4, *5] SCK9_0 AN46 ICU5_1 TRG3_1 TOT1_2	- - - - - - -	G	汎用入出力ポート 外部バス・アドレス bit15 出力 マルチファンクションシリアル ch.9 クロック入出力(0) ADC アナログ 46 入力 インプットキャプチャ ch.5 入力(1) PPG トリガ 3 入力(1) リロードタイマ ch.1 出力(2)
-	-	-	26[*1]	29	35	P046 A16[*5] ICU4_1 TRG4_1	- - - -	A	汎用入出力ポート 外部バス・アドレス bit16 出力 インプットキャプチャ ch.4 入力(1) PPG トリガ 4 入力(1)
-	-	-	-	-	36	P176 TRG10_0	- -	A	汎用入出力ポート PPG トリガ 10 入力(0)
15[*1]	18[*1]	23[*1]	27[*1]	30	37	P047 A17[*2, *3, *4, *5] AN45 TRG8_0 TIN3_2 SOT0_1	- - - - - -	B	汎用入出力ポート 外部バス・アドレス bit17 出力 ADC アナログ 45 入力 PPG トリガ 8 入力(0) リロードタイマ ch.3 イベント入力(2) マルチファンクションシリアル ch.0 シリアルデータ出力(1)
-	-	-	-	-	38	P177 TRG11_0	- -	A	汎用入出力ポート PPG トリガ 11 入力(0)
-	-	-	28[*1]	31	39	P050 A18[*5] TRG5_1 PPG33_0	- - - -	A	汎用入出力ポート 外部バス・アドレス bit18 出力 PPG トリガ 5 入力(1) PPG ch.33 出力(0)
-	-	-	-	32	40	P051 A19 TRG9_0	- - -	A	汎用入出力ポート 外部バス・アドレス bit19 出力 PPG トリガ 9 入力(0)
-	-	-	-	33	41	P052 A20 PPG34_0 INT14_0	- - - -	A	汎用入出力ポート 外部バス・アドレス bit20 出力 PPG ch.34 出力(0) INT14 外部割込み入力(0)
16[*1]	19[*1]	24[*1]	29[*1]	34	42	P053 A21[*2, *3, *4, *5] AN44 PPG35_0 INT14_1 SCK0_1	- - - - - -	B	汎用入出力ポート 外部バス・アドレス bit21 出力 ADC アナログ 44 入力 PPG ch.35 出力(0) INT14 外部割込み入力(1) マルチファンクションシリアル ch.0 クロック入出力(1)
-	-	-	-	35	43	P054 SYSCLK PPG36_0	- - -	A	汎用入出力ポート 外部バス・システムクロック出力 PPG ch.36 出力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
17[*1]	22[*1]	27[*1]	32[*1]	38	46	P055 CS2X[*2, *3, *4, *5] SIN10_0 AN43 PPG37_0 TIN4_1	- - - - - -	G	汎用入出力ポート 外部バス・チップセレクト 2 出力 マルチファンクションシリアル ch.10 シリアルデータ入力 ADC アナログ 43 入力 PPG ch.37 出力(0) リロードタイマ ch.4 イベント入力(1)
-	-	-	-	-	47	P180 PPG40_0	- -	A	汎用入出力ポート PPG ch.40 出力(0)
-	-	-	-	-	48	P181 PPG41_0	- -	A	汎用入出力ポート PPG ch.41 出力(0)
-	-	-	33[*1]	39	49	P056 CS3X[*5] ICU9_0 PPG0_1 ICU0_1 TIN5_1 DTTI_2	- - - - - - -	A	汎用入出力ポート 外部バス・チップセレクト 3 出力 インプットキャプチャ ch.9 入力(0) PPG ch.0 出力(1) インプットキャプチャ ch.0 入力(1) リロードタイマ ch.5 イベント入力(1) 波形ジェネレータ ch.0-ch.5 入力端子(2)
19[*1]	24[*1]	29[*1]	35[*1]	41	51	P057 RDY[*2, *3, *4, *5] SCK10_1 AN42 ICU8_0 TRG0_2 PPG1_1 ICU1_1 TIN6_1	- - - - - - - - -	G	汎用入出力ポート 外部バス・レディ入力 マルチファンクションシリアル ch.10 クロック入出力(1) ADC アナログ 42 入力 インプットキャプチャ ch.8 入力(0) PPG トリガ 0 入力(2) PPG ch.1 出力(1) インプットキャプチャ ch.1 入力(1) リロードタイマ ch.6 イベント入力(1)
-	-	-	-	44	54	P142 SCK10_0/SCL10 PPG38_0 TIN7_1	- - - -	F	汎用入出力ポート マルチファンクションシリアル ch.10 クロック入出力(0) / I^2C バスシリアルクロック入出力 PPG ch.38 出力(0) リロードタイマ ch.7 イベント入力(1)
-	-	-	-	45	55	P143 SOT10_0/SDA10 PPG39_0 TOT4_1	- - - -	F	汎用入出力ポート マルチファンクションシリアル ch.10 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 PPG ch.39 出力(0) リロードタイマ ch.4 出力(1)
-	-	-	-	-	56	P182 PPG42_0	- -	A	汎用入出力ポート PPG ch.42 出力(0)
-	-	32	38	46	57	P060 SCS10_0 PPG2_1 ICU2_1 TOT5_1 INT13_0	- - - - - -	A	汎用入出力ポート シリアルチップセレクト 10 入出力(0) PPG ch.2 出力(1) インプットキャプチャ ch.2 入力(1) リロードタイマ ch.5 出力(1) INT13 外部割込み入力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
22	27	33	39	47	58	P061 SOT10_1 AN41 ICU6_0 PPG3_1 ICU3_1 TOT6_1 INT13_1	- - - - - - - -	B	汎用入出力ポート マルチファンクションシリアル ch.10 シリアルデータ出力(1) ADC アナログ 41 入力 インプットキャプチャ ch.6 入力(0) PPG ch.3 出力(1) インプットキャプチャ ch.3 入力(1) リロードタイマ ch.6 出力(1) INT13 外部割込み入力(1)
23	28	34	40	48	59	P062 SCS10_1 SCS40_0 AN40 PPG4_1 FRCK0_0 TOT7_1 ZIN1_1	- - - - - - - -	B	汎用入出力ポート シリアルチップセレクト 10 入出力(1) シリアルチップセレクト 40 入出力(0) ADC アナログ 40 入力 PPG ch.4 出力(1) フリーランタイマ 0 クロック入力(0) リロードタイマ ch.7 出力(1) U/D カウンタ ch.1 ZIN 入力(1)
-	29	35	41	49	60	P063 SCS41_0 AN39 PPG5_1 FRCK1_0 BIN1_1	- - - - - -	B	汎用入出力ポート シリアルチップセレクト 41 出力(0) ADC アナログ 39 入力 PPG ch.5 出力(1) フリーランタイマ 1 クロック入力(0) U/D カウンタ ch.1 BIN 入力(1)
-	-	-	-	-	61	P183 PPG43_0	- -	A	汎用入出力ポート PPG ch.43 出力(0)
24	30	36	42	50	62	P064 SCS42_0 AN38 FRCK2_0 AIN1_1 PPG43_1	- - - - - -	B	汎用入出力ポート シリアルチップセレクト 42 出力(0) ADC アナログ 38 入力 フリーランタイマ 2 クロック入力(0) U/D カウンタ ch.1 AIN 入力(1) PPG ch.43 出力(1)
-	-	37	43	51	63	P065 SCS43_0 FRCK3_0 ZIN0_1 PPG44_1	- - - - -	A	汎用入出力ポート シリアルチップセレクト 43 出力(0) フリーランタイマ 3 クロック入力(0) U/D カウンタ ch.0 ZIN 入力(1) PPG ch.44 出力(1)
-	-	-	-	-	64	P184 PPG44_0	- -	A	汎用入出力ポート PPG ch.44 出力(0)
-	-	-	-	-	65	P185 PPG45_0	- -	A	汎用入出力ポート PPG ch.45 出力(0)
25	31	38	44	52	66	P066 SOT4_2 SCS3_0 AN37 FRCK4_0 BIN0_1	- - - - - -	B	汎用入出力ポート マルチファンクションシリアル ch.4 シリアルデータ出力(2) シリアルチップセレクト 3 入出力(0) ADC アナログ 37 入力 フリーランタイマ 4 クロック入力(0) U/D カウンタ ch.0 BIN 入力(1)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	32	39	45	53	67	P067 AN36 FRCK5_0 AIN0_1	- - - -	B	汎用入出力ポート ADC アナログ 36 入力 フリーランタイマ 5 クロック入力(0) U/D カウンタ ch.0 AIN 入力(1)
-	-	40	46	54	68	P070 ICU0_2	- -	A	汎用入出力ポート インプットキャプチャ ch.0 入力(2)
26	33	41	47	55	69	P071 SCK4_2 AN35 ICU1_2 MONCLK	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.4 クロック入出力(2) ADC アナログ 35 入力 インプットキャプチャ ch.1 入力(2) クロックモニタ出力端子
27	34	42	48	56	70	P072 SIN4_0 AN34 ICU2_2 INT5_0	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.4 シリアルデータ入力(0) ADC アナログ 34 入力 インプットキャプチャ ch.2 入力(2) INT5 外部割込み入力(0)
-	35[*3]	43[*4]	49	57	71	P073 SOT4_0/ SDA4[*3, *4] AN33 ICU3_2	- - - -	D	汎用入出力ポート マルチファンクションシリアル ch.4 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 ADC アナログ 33 入力 インプットキャプチャ ch.3 入力(2)
-	-	-	-	-	72	P186 PPG46_0	- -	A	汎用入出力ポート PPG ch.46 出力(0)
-	-	-	-	-	73	P187 PPG47_0	- -	A	汎用入出力ポート PPG ch.47 出力(0)
-	-	-	50	58	74	P074 SCK4_0/SCL4	- -	E	汎用入出力ポート マルチファンクションシリアル ch.4 クロック入出力(0) / I^2C バスシリアルクロック入出力
-	-	-	51	59	75	P075 SIN3_0 INT4_0	- - -	F	汎用入出力ポート マルチファンクションシリアル ch.3 シリアルデータ入力(0) INT4 外部割込み入力(0)
-	-	-	52	60	76	P076 SOT3_0/SDA3	- -	E	汎用入出力ポート マルチファンクションシリアル ch.3 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力
-	-	-	53	61	77	P077 SCK3_0/SCL3	- -	E	汎用入出力ポート マルチファンクションシリアル ch.3 クロック入出力(0) / I^2C バスシリアルクロック入出力
-	-	44	54	62	78	P152 SCS53_0	- -	A	汎用入出力ポート シリアルチップセレクト 53 出力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
28	36	45	55	63	79	P153 SCK5_0/SCL5 AN32 FRCK1_1 INT4_1	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.5 クロック入出力(0) / I^2C バスシリアルクロック入出力 ADC アナログ 32 入力 フリーランタイマ 1 クロック入力(1) INT4 外部割込み入力(1)
-	-	-	-	64	80	P080 SCS52_0 PPG0_0	- - -	A	汎用入出力ポート シリアルチップセレクト 52 出力(0) PPG ch.0 出力(0)
29	37	46	56	65	81	P081 SOT5_0/SDA5 AN0 PPG1_0	- - - -	G	汎用入出力ポート マルチファンクションシリアル ch.5 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 ADC アナログ 0 入力 PPG ch.1 出力(0)
30	38	47	57	66	82	P082 SIN5_0 AN1 PPG2_0	- - - -	G	汎用入出力ポート マルチファンクションシリアル ch.5 シリアルデータ入力(0) ADC アナログ 1 入力 PPG ch.2 出力(0)
-	-	-	-	67	83	P083 SCS50_0 AN2 PPG3_0	- - - -	B	汎用入出力ポート シリアルチップセレクト 50 入出力(0) ADC アナログ 2 入力 PPG ch.3 出力(0)
-	-	-	-	68	84	P084 SCS51_0 AN3 PPG4_0	- - - -	B	汎用入出力ポート シリアルチップセレクト 51 出力(0) ADC アナログ 3 入力 PPG ch.4 出力(0)
-	-	-	-	69	85	P085 PPG5_0	- -	A	汎用入出力ポート PPG ch.5 出力(0)
-	-	48	58	70	86	P086 DAO1 PPG6_0	- - -	C	汎用入出力ポート DAC アナログ 1 出力 PPG ch.6 出力(0)
31	39	49	59	71	87	P087 DAO0 PPG7_0 INT8_0	- - - -	C	汎用入出力ポート DAC アナログ 0 出力 PPG ch.7 出力(0) INT8 外部割込み入力(0)
-	-	-	-	-	90	P190 TIN0_1	- -	A	汎用入出力ポート リロードタイマ ch.0 イベント入力(1)
-	-	-	-	-	91	P191 TIN1_1	- -	A	汎用入出力ポート リロードタイマ ch.1 イベント入力(1)
-	-	-	-	74	92	P090 AN4 ICU0_0 TIN2_1	- - - -	B	汎用入出力ポート ADC アナログ 4 入力 インプットキャプチャ ch.0 入力(0) リロードタイマ ch.2 イベント入力(1)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	-	-	75	93	P091 AN5 PPG41_1 ICU1_0 TIN3_1	- - - - -	B	汎用入出力ポート ADC アナログ 5 入力 PPG ch.41 出力(1) インプットキャプチャ ch.1 入力(0) リロードタイマ ch.3 イベント入力(1)
-	-	-	-	76	94	P092 AN6 PPG40_1 ICU2_0 TOT0_1	- - - - -	B	汎用入出力ポート ADC アナログ 6 入力 PPG ch.40 出力(1) インプットキャプチャ ch.2 入力(0) リロードタイマ ch.0 出力(1)
-	-	-	-	-	95	P192 PPG24_1 TOT1_1	- - -	A	汎用入出力ポート PPG ch.24 出力(1) リロードタイマ ch.1 出力(1)
34[*1]	42[*1]	52	62	77	96	P093 TX0_1 SIN11_0 AN7 ICU4_2 PPG16_1 ICU3_0 TOT2_1[*2,*3]	- - - - - - - -	J	汎用入出力ポート CAN 送信データ 0 出力(1) マルチファンクションシリアル ch.11 シリアルデータ入力(0) ADC アナログ 7 入力 インプットキャプチャ ch.4 入力(2) PPG ch.16 出力(1) インプットキャプチャ ch.3 入力(0) リロードタイマ ch.2 出力(1)
-	-	-	-	78	97	P094 AN8 ICU4_0 TOT3_1	- - - -	B	汎用入出力ポート ADC アナログ 8 入力 インプットキャプチャ ch.4 入力(0) リロードタイマ ch.3 出力(1)
-	-	53	63	79	98	P095 TX0(128) SCS11_0 AN9	- - - -	B	汎用入出力ポート CAN 送信データ 0 出力 シリアルチップセレクト 11 入出力(0) ADC アナログ 9 入力
35	43	54	64	80	99	P096 RX0(128) SOT11_0/SDA11 AN10 INT0_0	- - - - -	G	汎用入出力ポート CAN 受信データ 0 入力 マルチファンクションシリアル ch.11 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 ADC アナログ 10 入力 INT0 外部割込み入力(0)
36	44	55	65	81	100	P097 SCK11_0/SCL11 AN11 ICU5_0 PPG17_1	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.11 クロック入出力(0) / I^2C バスシリアルクロック入出力 ADC アナログ 11 入力 インプットキャプチャ ch.5 入力(0) PPG ch.17 出力(1)
-	48[*1]	59	69	85	104	P100 SCK7_0/ SCL7[*3] AN12 PPG8_0	- - - -	G	汎用入出力ポート マルチファンクションシリアル ch.7 クロック入出力(0) / I^2C バスシリアルクロック入出力 ADC アナログ 12 入力 PPG ch.8 出力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	60	70	86	105	P101 SOT7_0/SDA7 AN13 PPG9_0	- - - -	G	汎用入出力ポート マルチファンクションシリアル ch.7 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 ADC アナログ 13 入力 PPG ch.9 出力(0)
40[*1]	49[*1]	61	71	87	106	P102 SIN7_0[*2, *3] AN14 PPG10_0 INT10_0	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.7 シリアルデータ入力(0) ADC アナログ 14 入力 PPG ch.10 出力(0) INT10 外部割込み入力(0)
41[*1]	50[*1]	62	72	88	107	P103 SCS73_0[*2, *3] AN15 PPG11_0	- - - -	H	汎用入出力ポート シリアルチップセレクト 73 出力(0) ADC アナログ 15 入力 PPG ch.11 出力(0)
42[*1]	51[*1]	63	73	89	108	P104 SCS72_0[*2, *3] AN16 PPG12_0	- - - -	H	汎用入出力ポート シリアルチップセレクト 72 出力(0) ADC アナログ 16 入力 PPG ch.12 出力(0)
43[*1]	52[*1]	64	74	90	109	P105 SCS71_0[*2, *3] AN17 PPG13_0	- - - -	H	汎用入出力ポート シリアルチップセレクト 71 出力(0) ADC アナログ 17 入力 PPG ch.13 出力(0)
-	-	65	75	91	110	P106 SCS70_0 AN18 PPG14_0	- - - -	H	汎用入出力ポート シリアルチップセレクト 70 入出力(0) ADC アナログ 18 入力 PPG ch.14 出力(0)
-	53	66	76	92	111	P107 AN19 PPG15_0	- - -	B	汎用入出力ポート ADC アナログ 19 入力 PPG ch.15 出力(0)
-	-	-	-	-	112	P193 PPG25_1	- -	A	汎用入出力ポート PPG ch.25 出力(1)
-	-	-	77	93	113	P154 AN20	- -	B	汎用入出力ポート ADC アナログ 20 入力
-	-	-	78	94	114	P155 AN21	- -	B	汎用入出力ポート ADC アナログ 21 入力
44	54	67	79	95	115	NMIX	N	M	マスクなし割込み入力
45	55	68	80	96	116	P110 TX1(64) SCS63_0 AN22	- - - -	B	汎用入出力ポート CAN 送信データ 1 出力 シリアルチップセレクト 63 出力(0) ADC アナログ 22 入力
-	-	69	81	97	117	P111 RX1(64) SCS62_0 AN23 INT1_0	- - - - -	G	汎用入出力ポート CAN 受信データ 1 入力 シリアルチップセレクト 62 出力(0) ADC アナログ 23 入力 INT1 外部割込み入力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	-	82	98	118	P112 AN24 PPG16_0 RTO0_0	- - - -	B	汎用入出力ポート ADC アナログ 24 入力 PPG ch.16 出力(0) 波形ジェネレータ ch.0 出力端子(0)
-	-	-	83	99	119	P113 AN25 PPG17_0 RTO1_0	- - - -	B	汎用入出力ポート ADC アナログ 25 入力 PPG ch.17 出力(0) 波形ジェネレータ ch.1 出力端子(0)
-	-	-	-	-	120	P194 FRCK5_1 PPG26_1	- - -	A	汎用入出力ポート フリーランタイマ 5 クロック入力(1) PPG ch.26 出力(1)
-	-	-	-	-	121	P195 FRCK4_1 PPG27_1	- - -	A	汎用入出力ポート フリーランタイマ 4 クロック入力(1) PPG ch.27 出力(1)
-	56	70	84	100	122	P114 SCS61_0 AN26 PPG18_0 RTO2_0	- - - - -	B	汎用入出力ポート シリアルチップセレクト 61 出力(0) ADC アナログ 26 入力 PPG ch.18 出力(0) 波形ジェネレータ ch.2 出力端子(0)
46	57	71	85	101	123	P115 RX1_1 SOT6_0/SDA6 AN27 PPG19_0 RTO3_0 INT1_1	- - - - - - -	G	汎用入出力ポート CAN 受信データ 1 入力(1) マルチファンクションシリアル ch.6 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力 ADC アナログ 27 入力 PPG ch.19 出力(0) 波形ジェネレータ ch.3 出力端子(0) INT1 外部割込み入力(1)
47	58	72	86	102	124	P116 SCK6_0/SCL6 AN28 PPG20_0 RTO4_0	- - - - -	G	汎用入出力ポート マルチファンクションシリアル ch.6 クロック入出力(0) / I^2C バスシリアルクロック入出力 ADC アナログ 28 入力 PPG ch.20 出力(0) 波形ジェネレータ ch.4 出力端子(0)
-	-	73	87	103	125	P117 SCS60_0 AN29 PPG21_0 RTO5_0	- - - - -	B	汎用入出力ポート シリアルチップセレクト 60 入出力(0) ADC アナログ 29 入力 PPG ch.21 出力(0) 波形ジェネレータ ch.5 出力端子(0)
-	-	-	-	-	126	P196 FRCK3_1 PPG28_1	- - -	A	汎用入出力ポート フリーランタイマ 3 クロック入力(1) PPG ch.28 出力(1)
-	-	-	88	104	127	P120 AN30 OCU6_0 PPG22_0 INT9_0	- - - - -	B	汎用入出力ポート ADC アナログ 30 入力 アウトプットコンペア ch.6 出力(0) PPG ch.22 出力(0) INT9 外部割込み入力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	-	-	105	128	P121 OCU7_0 PPG23_0	- - -	A	汎用入出力ポート アウトプットコンペア ch.7 出力(0) PPG ch.23 出力(0)
48	59	74	89	106	129	P122 SIN6_0 AN31 OCU8_0 INT9_1	- - - - -	J	汎用入出力ポート マルチファンクションシリアル ch.6 シリアルデータ入力(0) ADC アナログ 31 入力 アウトプットコンペア ch.8 出力(0) INT9 外部割込み入力(1)
-	-	-	-	-	130	P197 PPG29_1	- -	A	汎用入出力ポート PPG ch.29 出力(1)
-	-	-	-	107	131	P123 OCU9_0	- -	A	汎用入出力ポート アウトプットコンペア ch.9 出力(0)
49	62	77	92	110	134	DEBUGIF	-	L	デバッガ(OCD)用 DEBUGIF 入出力
-	-	-	-	-	135	P160 PPG30_1	- -	A	汎用入出力ポート PPG ch.30 出力(1)
-	-	-	-	-	136	P161 PPG31_1	- -	A	汎用入出力ポート PPG ch.31 出力(1)
-	-	-	-	111	137	P124 OCU10_0	- -	A	汎用入出力ポート アウトプットコンペア ch.10 出力(0)
-	-	-	93	112	138	P125 OCU11_0	- -	A	汎用入出力ポート アウトプットコンペア ch.11 出力(0)
50	63	78	94	113	139	P126 SIN0_0 INT6_0	- - -	F	汎用入出力ポート マルチファンクションシリアル ch.0 シリアルデータ入力(0) INT6 外部割込み入力(0)
-	64	79	95	114	140	P127 SOT0_0	- -	A	汎用入出力ポート マルチファンクションシリアル ch.0 シリアルデータ出力(0)
-	-	80	96	115	141	P130 SCK0_0	- -	F	汎用入出力ポート マルチファンクションシリアル ch.0 クロック入出力(0)
-	-	-	-	-	142	P162 TRG5_2	- -	A	汎用入出力ポート PPG トリガ 5 入力(2)
-	-	-	-	-	143	P163 TRG6_2	- -	A	汎用入出力ポート PPG トリガ 6 入力(2)
51	65	81	97	116	144	MD0	-	K	モード端子 0
52	66	82	98	117	145	MD1	-	K	モード端子 1
53	67	83	99	118	146	X0	-	N	メインクロック発振入力
54	68	84	100	119	147	X1	-	N	メインクロック発振出力
56	70	86	102	121	149	P135 DTTI_0	- -	A	汎用入出力ポート 波形ジェネレータ ch.0-ch.5 入力端子(0)
						X1A	-	O	サブクロック発振出力

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
57	71	87	103	122	150	P136	-	A	汎用入出力ポート
						X0A	-	O	サブクロック発振入力
58	72	88	104	123	151	RSTX	N	M	外部リセット入力
-	-	-	-	124	152	P131 ADTG0_0	- -	A	汎用入出力ポート A/D コンバータ外部トリガ入力 0(0)
-	-	-	105	125	153	P132 SCS1_0 ADTG1_0	- - -	A	汎用入出力ポート シリアルチップセレクト 1 入出力(0) A/D コンバータ外部トリガ入力 1(0)
-	-	89	106	126	154	P133 TX2(64)	- -	A	汎用入出力ポート CAN 送信データ 2 出力
-	-	90	107	127	155	P134 RX2(64) SCS1_1 ICU7_0 INT7_0	- - - - -	F	汎用入出力ポート CAN 受信データ 2 入力 シリアルチップセレクト 1 入出力(1) インプットキャプチャ ch.7 入力(0) INT7 外部割込み入力(0)
-	-	91	108	128	156	P144 SCK1_1	- -	F	汎用入出力ポート マルチファンクションシリアル ch.1 クロック入出力(1)
-	-	94[*1]	111[*1]	131	159	P000 D16[*4, *5] SIN1_0 TIOA0_1[*4] INT2_0	- - - - -	F	汎用入出力ポート 外部バス・データ bit16 入出力 マルチファンクションシリアル ch.1 シリアルデータ入力(0) ベースタイマ ch.0 TIOA 出力(1) INT2 外部割込み入力(0)
-	75[*1]	95[*1]	112[*1]	132	160	P001 D17[*3,*4,*5] SOT1_0 TIOA1_1	- - - -	A	汎用入出力ポート 外部バス・データ bit17 入出力 マルチファンクションシリアル ch.1 シリアルデータ出力(0) ベースタイマ ch.1 TIOA 入出力(1)
-	-	-	113[*1]	133	161	P002 D18[*5] SCK1_0 TIOB0_1	- - - -	F	汎用入出力ポート 外部バス・データ bit18 入出力 マルチファンクションシリアル ch.1 クロック入出力(0) ベースタイマ ch.0 TIOB 入力(1)
-	76[*1]	96[*1]	114[*1]	134	162	P003 D19[*3,*4,*5] SIN2_0 TIOB1_1 INT3_0	- - - - -	F	汎用入出力ポート 外部バス・データ bit19 入出力 マルチファンクションシリアル ch.2 シリアルデータ入力(0) ベースタイマ ch.1 TIOB 入力(1) INT3 外部割込み入力(0)
-	-	-	-	135	163	P004 D20 SOT2_0	- - -	A	汎用入出力ポート 外部バス・データ bit20 入出力 マルチファンクションシリアル ch.2 シリアルデータ出力(0)

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
-	-	-	-	-	164	P164 PPG32_1	- -	A	汎用入出力ポート PPG ch.32 出力(1)
61[*1]	77[*1]	97[*1]	115[*1]	136[*1]	165*1	P005 D21[*2, *3, *4, *5] SCK2_0 ADTG0_1 INT7_1 (RX2(64))[*4, *5, *6, *7]	- - - - - -	F	汎用入出力ポート 外部バス・データ bit21 入出力 マルチファンクションシリアル ch.2 クロック入出力(0) A/D コンバータ外部トリガ入力 0(1) INT7 外部割込み入力(1) (CAN 受信データ 2 入力)
-	-	-	-	-	166	P165 PPG33_1	- -	A	汎用入出力ポート PPG ch.33 出力(1)
62[*1]	78[*1]	98[*1]	116[*1]	137[*1]	167[*1]	P006 D22[*2, *3, *4, *5] SCS2_0[*2] ADTG1_1 INT2_1 (TX2(64))[*4, *5, *6, *7]	- - - - - -	A	汎用入出力ポート 外部バス・データ bit22 入出力 シリアルチップセレクト 2 入出力(0) A/D コンバータ外部トリガ入力 1(1) INT2 外部割込み入力(1) (CAN 送信データ 2 出力)
-	-	-	117[*1]	138	168	P007 D23[*5]	- -	A	汎用入出力ポート 外部バス・データ bit23 入出力
-	-	-	-	-	169	P166 PPG34_1	- -	A	汎用入出力ポート PPG ch.34 出力(1)
-	-	-	118[*1]	139	170	P010 D24[*5]	- -	A	汎用入出力ポート 外部バス・データ bit24 入出力
63[*1]	79[*1]	99[*1]	119[*1]	140	171	P011 WOT D25[*2, *3, *4, *5] SOT2_1 TIOA0_0[*2,*3,*4] INT3_1	- - - - - -	A	汎用入出力ポート RTC 出力信号 外部バス・データ bit25 入出力 マルチファンクションシリアル ch.2 シリアルデータ出力(1) ベースタイマ ch.0 TIOA 出力(0) INT3 外部割込み入力(1)
-	-	-	-	141	172	P012 D26 TIOB0_0	- - -	A	汎用入出力ポート 外部バス・データ bit26 入出力 ベースタイマ ch.0 TIOB 入力(0)
-	-	-	-	-	173	P167 PPG35_1	- -	A	汎用入出力ポート PPG ch.35 出力(1)
-	-	-	-	142	174	P013 D27 TIOA1_0	- - -	A	汎用入出力ポート 外部バス・データ bit27 入出力 ベースタイマ ch.1 TIOA 入出力(0)
-	-	-	-	143	175	P014 D28 TIOB1_0	- - -	A	汎用入出力ポート 外部バス・データ bit28 入出力 ベースタイマ ch.1 TIOB 入力(0)
18	23	28	34	40	50	AVCC1	-	-	A/D, D/A コンバータ unit1 用アナログ電源
39	47	58	68	84	103	AVCC0	-	-	A/D, D/A コンバータ unit0 用アナログ電源
20	25	30	36	42	52	AVRH1	-	-	A/D コンバータ unit1 用上限基準電圧
38	46	57	67	83	102	AVRH0	-	-	A/D コンバータ unit0 用上限基準電圧

端子番号						端子名	極性	入出力回路形式	機能 (切換えについては『I/O ポート』の章を参照してください)
64	80	100	120	144	176				
21	26	31	37	43	53	AVSS1/AVRL1	-	-	A/D, D/A コンバータ unit1 用 GND/ A/D コンバータ unit1 用下限基準電圧
37	45	56	66	82	101	AVSS0/AVRL0	-	-	A/D, D/A コンバータ unit0 用 GND/ A/D コンバータ unit0 用下限基準電圧
60	74	93	110	130	158	C	-	-	外部容量接続出力
32 64	20 40 61 80	25 50 76 100	30 60 91 120	36 72 109 144	44 88 133 176	VCC	-	-	+5.0v 電源
1 33 55 59	1 21 41 60 69 73	1 26 51 75 85 92	1 31 61 90 101 109	1 37 73 108 120 129	1 45 89 132 148 157	VSS	-	-	GND

*1: 端子機能に制限があります。表の「端子名」を参照してください。
*2: 64pin はサポートしていません。
*3: 80pin はサポートしていません。
*4: 100pin はサポートしていません。
*5: 120pin はサポートしていません。
*6: 144pin はサポートしていません。
*7: 176pin はサポートしていません。

9.1. 各機能ごとの端子一覧

機能ごとの端子一覧について示します。

表 9-2 A/D コンバータの端子(ch.0～ch.47)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
A/D コンバータ 外部トリガ入力 0(0)	ADTG0_0	あり	-	-	-	-	124	152
A/D コンバータ 外部トリガ入力 0(1)	ADTG0_1	あり	61	77	97	115	136	165
A/D コンバータ 外部トリガ入力 1(0)	ADTG1_0	あり	-	-	-	105	125	153
A/D コンバータ 外部トリガ入力 1(1)	ADTG1_1	あり	62	78	98	116	137	167
ADC アナログ 0 入力	AN0	なし	29	37	46	56	65	81
ADC アナログ 1 入力	AN1	なし	30	38	47	57	66	82
ADC アナログ 2 入力	AN2	なし	-	-	-	-	67	83
ADC アナログ 3 入力	AN3	なし	-	-	-	-	68	84
ADC アナログ 4 入力	AN4	なし	-	-	-	-	74	92
ADC アナログ 5 入力	AN5	なし	-	-	-	-	75	93
ADC アナログ 6 入力	AN6	なし	-	-	-	-	76	94
ADC アナログ 7 入力	AN7	なし	34	42	52	62	77	96
ADC アナログ 8 入力	AN8	なし	-	-	-	-	78	97
ADC アナログ 9 入力	AN9	なし	-	-	53	63	79	98
ADC アナログ 10 入力	AN10	なし	35	43	54	64	80	99
ADC アナログ 11 入力	AN11	なし	36	44	55	65	81	100
ADC アナログ 12 入力	AN12	なし	-	48	59	69	85	104
ADC アナログ 13 入力	AN13	なし	-	-	60	70	86	105
ADC アナログ 14 入力	AN14	なし	40	49	61	71	87	106
ADC アナログ 15 入力	AN15	なし	41	50	62	72	88	107
ADC アナログ 16 入力	AN16	なし	42	51	63	73	89	108
ADC アナログ 17 入力	AN17	なし	43	52	64	74	90	109
ADC アナログ 18 入力	AN18	なし	-	-	65	75	91	110
ADC アナログ 19 入力	AN19	なし	-	53	66	76	92	111
ADC アナログ 20 入力	AN20	なし	-	-	-	77	93	113
ADC アナログ 21 入力	AN21	なし	-	-	-	78	94	114
ADC アナログ 22 入力	AN22	なし	45	55	68	80	96	116
ADC アナログ 23 入力	AN23	なし	-	-	69	81	97	117
ADC アナログ 24 入力	AN24	なし	-	-	-	82	98	118
ADC アナログ 25 入力	AN25	なし	-	-	-	83	99	119
ADC アナログ 26 入力	AN26	なし	-	56	70	84	100	122
ADC アナログ 27 入力	AN27	なし	46	57	71	85	101	123

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
ADC アナログ 28 入力	AN28	なし	47	58	72	86	102	124
ADC アナログ 29 入力	AN29	なし	-	-	73	87	103	125
ADC アナログ 30 入力	AN30	なし	-	-	-	88	104	127
ADC アナログ 31 入力	AN31	なし	48	59	74	89	106	129
ADC アナログ 32 入力	AN32	なし	28	36	45	55	63	79
ADC アナログ 33 入力	AN33	なし	-	35	43	49	57	71
ADC アナログ 34 入力	AN34	なし	27	34	42	48	56	70
ADC アナログ 35 入力	AN35	なし	26	33	41	47	55	69
ADC アナログ 36 入力	AN36	なし	-	32	39	45	53	67
ADC アナログ 37 入力	AN37	なし	25	31	38	44	52	66
ADC アナログ 38 入力	AN38	なし	24	30	36	42	50	62
ADC アナログ 39 入力	AN39	なし	-	29	35	41	49	60
ADC アナログ 40 入力	AN40	なし	23	28	34	40	48	59
ADC アナログ 41 入力	AN41	なし	22	27	33	39	47	58
ADC アナログ 42 入力	AN42	なし	19	24	29	35	41	51
ADC アナログ 43 入力	AN43	なし	17	22	27	32	38	46
ADC アナログ 44 入力	AN44	なし	16	19	24	29	34	42
ADC アナログ 45 入力	AN45	なし	15	18	23	27	30	37
ADC アナログ 46 入力	AN46	なし	14	17	22	25	28	34
ADC アナログ 47 入力	AN47	なし	13	15	19	22	25	31
A/D, D/A コンバータ unit1 用アナログ電源	AVCC1	-	18	23	28	34	40	50
A/D, D/A コンバータ unit0 用アナログ電源	AVCC0	-	39	47	58	68	84	103
A/D コンバータ unit1 用上限基準電圧	AVRH1	-	20	25	30	36	42	52
A/D コンバータ unit0 用上限基準電圧	AVRH0	-	38	46	57	67	83	102
A/D, D/A コンバータ unit1 用 GND / A/D コンバータ unit1 用下限基準電圧	AVSS1/ AVRL1	-	21	26	31	37	43	53
A/D, D/A コンバータ unit0 用 GND / A/D コンバータ unit0 用下限基準電圧	AVSS0/ AVRL0	-	37	45	56	66	82	101

表 9-3 CAN の端子(ch.0～ch.2)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
CAN 受信データ 0 入力	RX0(128)	なし	35	43	54	64	80	99
CAN 送信データ 0 出力	TX0(128)	-	-	-	53	63	79	98
CAN 送信データ 0 出力(1)	TX0_1	-	34	42	52	62	77	96
CAN 受信データ 1 入力	RX1(64)	なし	-	-	69	81	97	117

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
CAN 受信データ 1 入力(1)	RX1_1	なし	46	57	71	85	101	123
CAN 送信データ 1 出力	TX1(64)	-	45	55	68	80	96	116
CAN 受信データ 2 入力	RX2(64)	なし	61	77	90	107	127	155
CAN 送信データ 2 出力	TX2(64)	-	62	78	89	106	126	154

表 9-4 D/A コンバータの端子(ch.0, ch.1)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
DAC アナログ 0 出力	DAO0	-	31	39	49	59	71	87
DAC アナログ 1 出力	DAO1	-	-	-	48	58	70	86

表 9-5 外部割込み入力の端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
INT0 外部割込み入力(0)	INT0_0	あり	35	43	54	64	80	99
INT1 外部割込み入力(0)	INT1_0	あり	-	-	69	81	97	117
INT1 外部割込み入力(1)	INT1_1	あり	46	57	71	85	101	123
INT2 外部割込み入力(0)	INT2_0	あり	-	-	94	111	131	159
INT2 外部割込み入力(1)	INT2_1	あり	62	78	98	116	137	167
INT3 外部割込み入力(0)	INT3_0	あり	-	76	96	114	134	162
INT3 外部割込み入力(1)	INT3_1	あり	63	79	99	119	140	171
INT4 外部割込み入力(0)	INT4_0	あり	-	-	-	51	59	75
INT4 外部割込み入力(1)	INT4_1	あり	28	36	45	55	63	79
INT5 外部割込み入力(0)	INT5_0	あり	27	34	42	48	56	70
INT6 外部割込み入力(0)	INT6_0	あり	50	63	78	94	113	139
INT7 外部割込み入力(0)	INT7_0	あり	-	-	90	107	127	155
INT7 外部割込み入力(1)	INT7_1	あり	61	77	97	115	136	165
INT8 外部割込み入力(0)	INT8_0	あり	31	39	49	59	71	87
INT9 外部割込み入力(0)	INT9_0	あり	-	-	-	88	104	127
INT9 外部割込み入力(1)	INT9_1	あり	48	59	74	89	106	129
INT10 外部割込み入力(0)	INT10_0	あり	40	49	61	71	87	106
INT11 外部割込み入力(0)	INT11_0	あり	9	11	14	17	20	24
INT12 外部割込み入力(0)	INT12_0	あり	12	14	18	21	24	30
INT13 外部割込み入力(0)	INT13_0	あり	-	-	32	38	46	57
INT13 外部割込み入力(1)	INT13_1	あり	22	27	33	39	47	58
INT14 外部割込み入力(0)	INT14_0	あり	-	-	-	-	33	41
INT14 外部割込み入力(1)	INT14_1	あり	16	19	24	29	34	42
INT15 外部割込み入力(0)	INT15_0	あり	3	3	3	6	9	11

表 9-6 マルチファンクションシリアルインタフェースの端子(ch.0～ch.11)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
MFS ch.0 クロック入出力(0)	SCK0_0	なし	-	-	80	96	115	141
MFS ch.0 クロック入出力(1)	SCK0_1	なし	16	19	24	29	34	42
MFS ch.0 シリアルデータ出力(0)	SOT0_0	-	-	64	79	95	114	140
MFS ch.0 シリアルデータ出力(1)	SOT0_1	-	15	18	23	27	30	37
MFS ch.0 シリアルデータ入力(0)	SIN0_0	なし	50	63	78	94	113	139
MFS ch.0 シリアルデータ入力(1)	SIN0_1	なし	11	13	17	20	23	29
MFS ch.1 クロック入出力(0)	SCK1_0	なし	-	-	-	113	133	161
MFS ch.1 クロック入出力(1)	SCK1_1	なし	-	-	91	108	128	156
MFS ch.1 シリアルデータ出力(0)	SOT1_0	-	-	-	95	112	132	160
MFS ch.1 シリアルデータ入力(0)	SIN1_0	なし	-	-	94	111	131	159
MFS ch.2 クロック入出力(0)	SCK2_0	なし	-	77	97	115	136	165
MFS ch.2 シリアルデータ出力(0)	SOT2_0	-	-	-	-	-	135	163
MFS ch.2 シリアルデータ出力(1)	SOT2_1	-	-	79	99	119	140	171
MFS ch.2 シリアルデータ入力(0)	SIN2_0	なし	-	76	96	114	134	162
MFS ch.3 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK3_0/ SCL3	なし	-	-	-	53	61	77
MFS ch.3 クロック入出力(1)	SCK3_1	なし	-	-	-	4	7	9
MFS ch.3 クロック入出力(2)	SCK3_2	なし	6	8	10	13	16	20
MFS ch.3 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT3_0/ SDA3	なし	-	-	-	52	60	76
MFS ch.3 シリアルデータ出力(1)	SOT3_1	-	-	-	-	3	6	8
MFS ch.3 シリアルデータ出力(2)	SOT3_2	-	7	9	11	14	17	21
MFS ch.3 シリアルデータ入力(0)	SIN3_0	なし	-	-	-	51	59	75
MFS ch.3 シリアルデータ入力(1)	SIN3_1	なし	2	2	2	2	5	7
MFS ch.4 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK4_0/ SCL4	なし	-	-	-	50	58	74
MFS ch.4 クロック入出力(1)	SCK4_1	なし	-	4	5	8	11	14
MFS ch.4 クロック入出力(2)	SCK4_2	なし	26	33	41	47	55	69
MFS ch.4 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT4_0/ SDA4	-	-	-	-	49	57	71
MFS ch.4 シリアルデータ出力(1)	SOT4_1	-	-	-	4	7	10	12
MFS ch.4 シリアルデータ出力(2)	SOT4_2	-	25	31	38	44	52	66
MFS ch.4 シリアルデータ入力(0)	SIN4_0	なし	27	34	42	48	56	70
MFS ch.4 シリアルデータ入力(1)	SIN4_1	なし	3	3	3	6	9	11
MFS ch.5 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK5_0/ SCL5	なし	28	36	45	55	63	79
MFS ch.5 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT5_0/ SDA5	-	29	37	46	56	65	81
MFS ch.5 シリアルデータ入力(0)	SIN5_0	なし	30	38	47	57	66	82
MFS ch.6 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK6_0/ SCL6	なし	47	58	72	86	102	124
MFS ch.6 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT6_0/ SDA6	-	46	57	71	85	101	123

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
MFS ch.6 シリアルデータ入力(0)	SIN6_0	なし	48	59	74	89	106	129
MFS ch.7 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK7_0/ SCL7	なし	-	-	59	69	85	104
MFS ch.7 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT7_0/ SDA7	-	-	-	60	70	86	105
MFS ch.7 シリアルデータ入力(0)	SIN7_0	なし	-	-	61	71	87	106
MFS ch.8 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK8_0/ SCL8	なし	-	-	13	16	19	23
MFS ch.8 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT8_0/ SDA8	-	-	-	12	15	18	22
MFS ch.8 シリアルデータ入力(0)	SIN8_0	なし	-	-	14	17	20	24
MFS ch.9 クロック入出力(0)	SCK9_0	なし	14	17	22	25	28	34
MFS ch.9 シリアルデータ出力(0)	SOT9_0	-	13	15	19	22	25	31
MFS ch.9 シリアルデータ入力(0)	SIN9_0	なし	12	14	18	21	24	30
MFS ch.10 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK10_0/ SCL10	なし	-	-	-	-	44	54
MFS ch.10 クロック入出力(1)	SCK10_1	なし	19	24	29	35	41	51
MFS ch.10 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT10_0/ SDA10	-	-	-	-	-	45	55
MFS ch.10 シリアルデータ出力(1)	SOT10_1	-	22	27	33	39	47	58
MFS ch.10 シリアルデータ入力(0)	SIN10_0	なし	17	22	27	32	38	46
MFS ch.11 クロック入出力(0) / I^2C バスシリアルクロック入出力	SCK11_0/ SCL11	なし	36	44	55	65	81	100
MFS ch.11 シリアルデータ出力(0) / I^2C バスシリアルデータ入出力	SOT11_0/ SDA11	-	35	43	54	64	80	99
MFS ch.11 シリアルデータ入力(0)	SIN11_0	なし	34	42	52	62	77	96
MFS ch.1 シリアルチップセレクト入出力(0)	SCS1_0	なし	-	-	-	105	125	153
MFS ch.1 シリアルチップセレクト入出力(1)	SCS1_1	なし	-	-	90	107	127	155
MFS ch.2 シリアルチップセレクト入出力(0)	SCS2_0	なし	-	78	98	116	137	167
MFS ch.3 シリアルチップセレクト入出力(0)	SCS3_0	なし	25	31	38	44	52	66
MFS ch.3 シリアルチップセレクト入出力(1)	SCS3_1	なし	-	-	-	5	8	10
MFS ch.40 シリアルチップセレクト入出力(0)	SCS40_0	なし	23	28	34	40	48	59
MFS ch.40 シリアルチップセレクト入出力(1)	SCS40_1	なし	4	5	6	9	12	15
MFS ch.41 シリアルチップセレクト出力(0)	SCS41_0	-	-	29	35	41	49	60
MFS ch.41 シリアルチップセレクト出力(1)	SCS41_1	-	-	-	7	10	13	17

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
MFS ch.42 シリアルチップセレクト出力(0)	SCS42_0	-	24	30	36	42	50	62
MFS ch.42 シリアルチップセレクト出力(1)	SCS42_1	-	-	6	8	11	14	18
MFS ch.43 シリアルチップセレクト出力(0)	SCS43_0	-	-	-	37	43	51	63
MFS ch.43 シリアルチップセレクト出力(1)	SCS43_1	-	5	7	9	12	15	19
MFS ch.50 シリアルチップセレクト入出力(0)	SCS50_0	なし	-	-	-	-	67	83
MFS ch.51 シリアルチップセレクト出力(0)	SCS51_0	-	-	-	-	-	68	84
MFS ch.52 シリアルチップセレクト出力(0)	SCS52_0	-	-	-	-	-	64	80
MFS ch.53 シリアルチップセレクト出力(0)	SCS53_0	-	-	-	44	54	62	78
MFS ch.60 シリアルチップセレクト入出力(0)	SCS60_0	なし	-	-	73	87	103	125
MFS ch.61 シリアルチップセレクト出力(0)	SCS61_0	-	-	56	70	84	100	122
MFS ch.62 シリアルチップセレクト出力(0)	SCS62_0	-	-	-	69	81	97	117
MFS ch.63 シリアルチップセレクト出力(0)	SCS63_0	-	45	55	68	80	96	116
MFS ch.70 シリアルチップセレクト入出力(0)	SCS70_0	なし	-	-	65	75	91	110
MFS ch.71 シリアルチップセレクト出力(0)	SCS71_0	-	-	-	64	74	90	109
MFS ch.72 シリアルチップセレクト出力(0)	SCS72_0	-	-	-	63	73	89	108
MFS ch.73 シリアルチップセレクト出力(0)	SCS73_0	-	-	-	62	72	88	107
MFS ch.8 シリアルチップセレクト入出力(0)	SCS8_0	なし	-	-	15	18	21	25
MFS ch.9 シリアルチップセレクト入出力(0)	SCS9_0	なし	-	16	21	24	27	33
MFS ch.10 シリアルチップセレクト入出力(0)	SCS10_0	なし	-	-	32	38	46	57
MFS ch.10 シリアルチップセレクト入出力(1)	SCS10_1	なし	23	28	34	40	48	59
MFS ch.11 シリアルチップセレクト入出力(0)	SCS11_0	なし	-	-	53	63	79	98

表 9-7 PPG の端子(ch.0～ch.47)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
PPG ch.0 出力(0)	PPG0_0	-	-	-	-	-	64	80
PPG ch.0 出力(1)	PPG0_1	-	-	-	-	33	39	49
PPG ch.1 出力(0)	PPG1_0	-	29	37	46	56	65	81
PPG ch.1 出力(1)	PPG1_1	-	19	24	29	35	41	51
PPG ch.2 出力(0)	PPG2_0	-	30	38	47	57	66	82
PPG ch.2 出力(1)	PPG2_1	-	-	-	32	38	46	57
PPG ch.3 出力(0)	PPG3_0	-	-	-	-	-	67	83
PPG ch.3 出力(1)	PPG3_1	-	22	27	33	39	47	58
PPG ch.4 出力(0)	PPG4_0	-	-	-	-	-	68	84
PPG ch.4 出力(1)	PPG4_1	-	23	28	34	40	48	59
PPG ch.5 出力(0)	PPG5_0	-	-	-	-	-	69	85
PPG ch.5 出力(1)	PPG5_1	-	-	29	35	41	49	60
PPG ch.6 出力(0)	PPG6_0	-	-	-	48	58	70	86
PPG ch.7 出力(0)	PPG7_0	-	31	39	49	59	71	87
PPG ch.8 出力(0)	PPG8_0	-	-	48	59	69	85	104
PPG ch.9 出力(0)	PPG9_0	-	-	-	60	70	86	105
PPG ch.10 出力(0)	PPG10_0	-	40	49	61	71	87	106
PPG ch.11 出力(0)	PPG11_0	-	41	50	62	72	88	107
PPG ch.12 出力(0)	PPG12_0	-	42	51	63	73	89	108
PPG ch.13 出力(0)	PPG13_0	-	43	52	64	74	90	109
PPG ch.14 出力(0)	PPG14_0	-	-	-	65	75	91	110
PPG ch.15 出力(0)	PPG15_0	-	-	53	66	76	92	111
PPG ch.16 出力(0)	PPG16_0	-	-	-	-	82	98	118
PPG ch.16 出力(1)	PPG16_1	-	34	42	52	62	77	96
PPG ch.17 出力(0)	PPG17_0	-	-	-	-	83	99	119
PPG ch.17 出力(1)	PPG17_1	-	36	44	55	65	81	100
PPG ch.18 出力(0)	PPG18_0	-	-	56	70	84	100	122
PPG ch.19 出力(0)	PPG19_0	-	46	57	71	85	101	123
PPG ch.20 出力(0)	PPG20_0	-	47	58	72	86	102	124
PPG ch.21 出力(0)	PPG21_0	-	-	-	73	87	103	125
PPG ch.22 出力(0)	PPG22_0	-	-	-	-	88	104	127
PPG ch.23 出力(0)	PPG23_0	-	-	-	-	-	105	128
PPG ch.23 出力(1)	PPG23_1	-	11	13	17	20	23	29
PPG ch.24 出力(0)	PPG24_0	-	3	3	3	6	9	11
PPG ch.24 出力(1)	PPG24_1	-	-	-	-	-	-	95
PPG ch.25 出力(0)	PPG25_0	-	-	-	4	7	10	12
PPG ch.25 出力(1)	PPG25_1	-	-	-	-	-	-	112
PPG ch.26 出力(0)	PPG26_0	-	-	4	5	8	11	14
PPG ch.26 出力(1)	PPG26_1	-	-	-	-	-	-	120
PPG ch.27 出力(0)	PPG27_0	-	4	5	6	9	12	15

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
PPG ch.27 出力(1)	PPG27_1	-	-	-	-	-	-	121
PPG ch.28 出力(0)	PPG28_0	-	-	-	7	10	13	17
PPG ch.28 出力(1)	PPG28_1	-	-	-	-	-	-	126
PPG ch.29 出力(0)	PPG29_0	-	-	6	8	11	14	18
PPG ch.29 出力(1)	PPG29_1	-	-	-	-	-	-	130
PPG ch.30 出力(0)	PPG30_0	-	5	7	9	12	15	19
PPG ch.30 出力(1)	PPG30_1	-	-	-	-	-	-	135
PPG ch.31 出力(0)	PPG31_0	-	6	8	10	13	16	20
PPG ch.31 出力(1)	PPG31_1	-	-	-	-	-	-	136
PPG ch.32 出力(0)	PPG32_0	-	-	-	-	5	8	10
PPG ch.32 出力(1)	PPG32_1	-	-	-	-	-	-	164
PPG ch.33 出力(0)	PPG33_0	-	-	-	-	28	31	39
PPG ch.33 出力(1)	PPG33_1	-	-	-	-	-	-	166
PPG ch.34 出力(0)	PPG34_0	-	-	-	-	-	33	41
PPG ch.34 出力(1)	PPG34_1	-	-	-	-	-	-	169
PPG ch.35 出力(0)	PPG35_0	-	16	19	24	29	34	42
PPG ch.35 出力(1)	PPG35_1	-	-	-	-	-	-	173
PPG ch.36 出力(0)	PPG36_0	-	-	-	-	-	35	43
PPG ch.36 出力(1)	PPG36_1	-	-	-	-	-	-	4
PPG ch.37 出力(0)	PPG37_0	-	17	22	27	32	38	46
PPG ch.37 出力(1)	PPG37_1	-	-	-	-	-	-	6
PPG ch.38 出力(0)	PPG38_0	-	-	-	-	-	44	54
PPG ch.38 出力(1)	PPG38_1	-	-	-	-	-	-	13
PPG ch.39 出力(0)	PPG39_0	-	-	-	-	-	45	55
PPG ch.39 出力(1)	PPG39_1	-	-	-	-	-	-	16
PPG ch.40 出力(0)	PPG40_0	-	-	-	-	-	-	47
PPG ch.40 出力(1)	PPG40_1	-	-	-	-	-	76	94
PPG ch.41 出力(0)	PPG41_0	-	-	-	-	-	-	48
PPG ch.41 出力(1)	PPG41_1	-	-	-	-	-	75	93
PPG ch.42 出力(0)	PPG42_0	-	-	-	-	-	-	56
PPG ch.43 出力(0)	PPG43_0	-	-	-	-	-	-	61
PPG ch.43 出力(1)	PPG43_1	-	24	30	36	42	50	62
PPG ch.44 出力(0)	PPG44_0	-	-	-	-	-	-	64
PPG ch.44 出力(1)	PPG44_1	-	-	-	37	43	51	63
PPG ch.45 出力(0)	PPG45_0	-	-	-	-	-	-	65
PPG ch.46 出力(0)	PPG46_0	-	-	-	-	-	-	72
PPG ch.47 出力(0)	PPG47_0	-	-	-	-	-	-	73
PPG トリガ 0 入力(0)	TRG0_0	あり	-	-	-	-	2	2
PPG トリガ 0 入力(1)	TRG0_1	あり	13	15	19	22	25	31
PPG トリガ 0 入力(2)	TRG0_2	あり	19	24	29	35	41	51
PPG トリガ 1 入力(0)	TRG1_0	あり	-	-	-	-	3	3

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
PPG トリガ 1 入力(1)	TRG1_1	あり	-	-	20	23	26	32
PPG トリガ 2 入力(0)	TRG2_0	あり	-	-	-	-	4	5
PPG トリガ 2 入力(1)	TRG2_1	あり	-	16	21	24	27	33
PPG トリガ 3 入力(0)	TRG3_0	あり	2	2	2	2	5	7
PPG トリガ 3 入力(1)	TRG3_1	あり	14	17	22	25	28	34
PPG トリガ 4 入力(0)	TRG4_0	あり	-	-	-	3	6	8
PPG トリガ 4 入力(1)	TRG4_1	あり	-	-	-	26	29	35
PPG トリガ 5 入力(0)	TRG5_0	あり	-	-	-	4	7	9
PPG トリガ 5 入力(1)	TRG5_1	あり	-	-	-	28	31	39
PPG トリガ 5 入力(2)	TRG5_2	あり	-	-	-	-	-	142
PPG トリガ 6 入力(0)	TRG6_0	あり	-	-	12	15	18	22
PPG トリガ 6 入力(1)	TRG6_1	あり	-	-	-	3	6	8
PPG トリガ 6 入力(2)	TRG6_2	あり	-	-	-	-	-	143
PPG トリガ 7 入力(0)	TRG7_0	あり	8	10	13	16	19	23
PPG トリガ 7 入力(1)	TRG7_1	あり	-	-	-	4	7	9
PPG トリガ 8 入力(0)	TRG8_0	あり	15	18	23	27	30	37
PPG トリガ 8 入力(1)	TRG8_1	あり	-	-	-	-	-	27
PPG トリガ 9 入力(0)	TRG9_0	あり	-	-	-	-	32	40
PPG トリガ 9 入力(1)	TRG9_1	あり	-	-	-	-	-	28
PPG トリガ 10 入力(0)	TRG10_0	あり	-	-	-	-	-	36
PPG トリガ 11 入力(0)	TRG11_0	あり	-	-	-	-	-	38

表 9-8 リアルタイムクロックの端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
RTC 出力信号	WOT	-	63	79	99	119	140	171

表 9-9 アップダウンカウンタの端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
U/D カウンタ ch.0 AIN 入力(0)	AIN0_0	あり	9	11	14	17	20	24
U/D カウンタ ch.0 AIN 入力(1)	AIN0_1	あり	-	32	39	45	53	67
U/D カウンタ ch.0 BIN 入力(0)	BIN0_0	あり	10	12	15	18	21	25
U/D カウンタ ch.0 BIN 入力(1)	BIN0_1	あり	25	31	38	44	52	66
U/D カウンタ ch.0 ZIN 入力(0)	ZIN0_0	あり	-	-	16	19	22	26
U/D カウンタ ch.0 ZIN 入力(1)	ZIN0_1	あり	-	-	37	43	51	63
U/D カウンタ ch.0 ZIN 入力(2)	ZIN0_2	あり	8	10	13	16	19	23
U/D カウンタ ch.1 AIN 入力(0)	AIN1_0	あり	11	13	17	20	23	29
U/D カウンタ ch.1 AIN 入力(1)	AIN1_1	あり	24	30	36	42	50	62
U/D カウンタ ch.1 BIN 入力(0)	BIN1_0	あり	12	14	18	21	24	30
U/D カウンタ ch.1 BIN 入力(1)	BIN1_1	あり	-	29	35	41	49	60

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
U/D カウンタ ch.1 ZIN 入力(0)	ZIN1_0	あり	13	15	19	22	25	31
U/D カウンタ ch.1 ZIN 入力(1)	ZIN1_1	あり	23	28	34	40	48	59

表 9-10 アウトプットコンペアの端子(ch.0～ch.5: 16bit, ch.6～ch.11: 32bit)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
アウトプットコンペア ch.6 出力(0)	OCU6_0	-	-	-	-	88	104	127
アウトプットコンペア ch.6 出力(1)	OCU6_1	-	-	-	16	19	22	26
アウトプットコンペア ch.7 出力(0)	OCU7_0	-	-	-	-	-	105	128
アウトプットコンペア ch.7 出力(1)	OCU7_1	-	10	12	15	18	21	25
アウトプットコンペア ch.8 出力(0)	OCU8_0	-	48	59	74	89	106	129
アウトプットコンペア ch.8 出力(1)	OCU8_1	-	9	11	14	17	20	24
アウトプットコンペア ch.9 出力(0)	OCU9_0	-	-	-	-	-	107	131
アウトプットコンペア ch.9 出力(1)	OCU9_1	-	8	10	13	16	19	23
アウトプットコンペア ch.10 出力(0)	OCU10_0	-	-	-	-	-	111	137
アウトプットコンペア ch.10 出力(1)	OCU10_1	-	-	-	12	15	18	22
アウトプットコンペア ch.11 出力(0)	OCU11_0	-	-	-	-	93	112	138
アウトプットコンペア ch.11 出力(1)	OCU11_1	-	7	9	11	14	17	21

＜注意事項＞

16bit アウトプットコンペアは波形ジェネレータ経由の出力のみです。

表 9-11 インプットキャプチャの端子(ch.0～ch.3: 16bit, ch.4～ch.9: 32bit)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
インプットキャプチャ ch.0 入力(0)	ICU0_0	あり	-	-	-	-	74	92
インプットキャプチャ ch.0 入力(1)	ICU0_1	あり	-	-	-	33	39	49
インプットキャプチャ ch.0 入力(2)	ICU0_2	あり	-	-	40	46	54	68
インプットキャプチャ ch.0 入力(3)	ICU0_3	あり	8	10	13	16	19	23
インプットキャプチャ ch.1 入力(0)	ICU1_0	あり	-	-	-	-	75	93
インプットキャプチャ ch.1 入力(1)	ICU1_1	あり	19	24	29	35	41	51
インプットキャプチャ ch.1 入力(2)	ICU1_2	あり	26	33	41	47	55	69
インプットキャプチャ ch.1 入力(3)	ICU1_3	あり	-	-	12	15	18	22
インプットキャプチャ ch.2 入力(0)	ICU2_0	あり	-	-	-	-	76	94
インプットキャプチャ ch.2 入力(1)	ICU2_1	あり	-	-	32	38	46	57
インプットキャプチャ ch.2 入力(2)	ICU2_2	あり	27	34	42	48	56	70
インプットキャプチャ ch.2 入力(3)	ICU2_3	あり	7	9	11	14	17	21
インプットキャプチャ ch.3 入力(0)	ICU3_0	あり	34	42	52	62	77	96
インプットキャプチャ ch.3 入力(1)	ICU3_1	あり	22	27	33	39	47	58
インプットキャプチャ ch.3 入力(2)	ICU3_2	あり	-	35	43	49	57	71
インプットキャプチャ ch.3 入力(3)	ICU3_3	あり	6	8	10	13	16	20

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
インプットキャプチャ ch.4 入力(0)	ICU4_0	あり	-	-	-	-	78	97
インプットキャプチャ ch.4 入力(1)	ICU4_1	あり	-	-	-	26	29	35
インプットキャプチャ ch.4 入力(2)	ICU4_2	あり	34	42	52	62	77	96
インプットキャプチャ ch.5 入力(0)	ICU5_0	あり	36	44	55	65	81	100
インプットキャプチャ ch.5 入力(1)	ICU5_1	あり	14	17	22	25	28	34
インプットキャプチャ ch.6 入力(0)	ICU6_0	あり	22	27	33	39	47	58
インプットキャプチャ ch.6 入力(1)	ICU6_1	あり	-	16	21	24	27	33
インプットキャプチャ ch.7 入力(0)	ICU7_0	あり	-	-	90	107	127	155
インプットキャプチャ ch.7 入力(1)	ICU7_1	あり	-	-	20	23	26	32
インプットキャプチャ ch.8 入力(0).	ICU8_0	あり	19	24	29	35	41	51
インプットキャプチャ ch.8 入力(1)	ICU8_1	あり	13	15	19	22	25	31
インプットキャプチャ ch.9 入力(0)	ICU9_0	あり	-	-	-	33	39	49
インプットキャプチャ ch.9 入力(1)	ICU9_1	あり	12	14	18	21	24	30

表 9-12 フリーランタイマの端子(ch.0～ch.2: 16bit, ch.3～ch.5: 32bit)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
フリーランタイマ 0 クロック入力(0)	FRCK0_0	あり	23	28	34	40	48	59
フリーランタイマ 1 クロック入力(0)	FRCK1_0	あり	-	29	35	41	49	60
フリーランタイマ 1 クロック入力(1)	FRCK1_1	あり	28	36	45	55	63	79
フリーランタイマ 2 クロック入力(0)	FRCK2_0	あり	24	30	36	42	50	62
フリーランタイマ 3 クロック入力(0)	FRCK3_0	あり	-	-	37	43	51	63
フリーランタイマ 3 クロック入力(1)	FRCK3_1	あり	-	-	-	-	-	126
フリーランタイマ 4 クロック入力(0)	FRCK4_0	あり	25	31	38	44	52	66
フリーランタイマ 4 クロック入力(1)	FRCK4_1	あり	-	-	-	-	-	121
フリーランタイマ 5 クロック入力(0)	FRCK5_0	あり	-	32	39	45	53	67
フリーランタイマ 5 クロック入力(1)	FRCK5_1	あり	-	-	-	-	-	120

表 9-13 ベースタイマの端子(ch.0, ch.1)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
ベースタイマ ch.0 TIOA 出力(0)	TIOA0_0	-	-	-	-	119	140	171
ベースタイマ ch.0 TIOA 出力(1)	TIOA0_1	-	-	-	-	111	131	159
ベースタイマ ch.0 TIOB 入力 (0)	TIOB0_0	あり	-	-	-	-	141	172
ベースタイマ ch.0 TIOB 入力 (1)	TIOB0_1	あり	-	-	-	113	133	161
ベースタイマ ch.1 TIOA 入出力(0)	TIOA1_0	あり	-	-	-	-	142	174
ベースタイマ ch.1 TIOA 入出力(1)	TIOA1_1	あり	-	75	95	112	132	160
ベースタイマ ch.1 TIOB 入力 (0)	TIOB1_0	あり	-	-	-	-	143	175
ベースタイマ ch.1 TIOB 入力 (1)	TIOB1_1	あり	-	76	96	114	134	162

表 9-14 リロードタイマの端子(ch.0～ch.7)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
リロードタイマ ch.0 出力(0)	TOT0_0	-	4	5	6	9	12	15
リロードタイマ ch.0 出力(1)	TOT0_1	-	-	-	-	-	76	94
リロードタイマ ch.0 イベント入力(0)	TIN0_0	あり	-	-	-	5	8	10
リロードタイマ ch.0 イベント入力(1)	TIN0_1	あり	-	-	-	-	-	90
リロードタイマ ch.0 イベント入力(2)	TIN0_2	あり	2	2	2	2	5	7
リロードタイマ ch.1 出力(0)	TOT1_0	-	-	-	7	10	13	17
リロードタイマ ch.1 出力(1)	TOT1_1	-	-	-	-	-	-	95
リロードタイマ ch.1 出力(2)	TOT1_2	-	14	17	22	25	28	34
リロードタイマ ch.1 イベント入力(0)	TIN1_0	あり	3	3	3	6	9	11
リロードタイマ ch.1 イベント入力(1)	TIN1_1	あり	-	-	-	-	-	91
リロードタイマ ch.2 出力(0)	TOT2_0	-	-	-	8	11	14	18
リロードタイマ ch.2 出力(1)	TOT2_1	-	-	-	52	62	77	96
リロードタイマ ch.2 イベント入力(0)	TIN2_0	あり	-	-	4	7	10	12
リロードタイマ ch.2 イベント入力(1)	TIN2_1	あり	-	-	-	-	74	92
リロードタイマ ch.3 出力(0)	TOT3_0	-	5	7	9	12	15	19
リロードタイマ ch.3 出力(1)	TOT3_1	-	-	-	-	-	78	97
リロードタイマ ch.3 イベント入力(0)	TIN3_0	あり	-	4	5	8	11	14
リロードタイマ ch.3 イベント入力(1)	TIN3_1	あり	-	-	-	-	75	93
リロードタイマ ch.3 イベント入力(2)	TIN3_2	あり	15	18	23	27	30	37
リロードタイマ ch.4 出力(0)	TOT4_0	-	9	11	14	17	20	24
リロードタイマ ch.4 出力(1)	TOT4_1	-	-	-	-	-	45	55
リロードタイマ ch.4 イベント入力(0)	TIN4_0	あり	6	8	10	13	16	20
リロードタイマ ch.4 イベント入力(1)	TIN4_1	あり	17	22	27	32	38	46
リロードタイマ ch.5 出力(0)	TOT5_0	-	10	12	15	18	21	25
リロードタイマ ch.5 出力(1)	TOT5_1	-	-	-	32	38	46	57
リロードタイマ ch.5 イベント入力(0)	TIN5_0	あり	7	9	11	14	17	21
リロードタイマ ch.5 イベント入力(1)	TIN5_1	あり	-	-	-	33	39	49
リロードタイマ ch.6 出力(0)	TOT6_0	-	-	-	16	19	22	26
リロードタイマ ch.6 出力(1)	TOT6_1	-	22	27	33	39	47	58
リロードタイマ ch.6 イベント入力(0)	TIN6_0	あり	-	-	12	15	18	22
リロードタイマ ch.6 イベント入力(1)	TIN6_1	あり	19	24	29	35	41	51
リロードタイマ ch.7 出力(0)	TOT7_0	-	11	13	17	20	23	29
リロードタイマ ch.7 出力(1)	TOT7_1	-	23	28	34	40	48	59
リロードタイマ ch.7 イベント入力(0)	TIN7_0	あり	8	10	13	16	19	23
リロードタイマ ch.7 イベント入力(1)	TIN7_1	あり	-	-	-	-	44	54

表 9-15 外部バスインタフェースの端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
外部バス・アドレス bit0 出力	A00	-	-	-	-	-	11	14
外部バス・アドレス bit1 出力	A01	-	-	-	-	-	12	15
外部バス・アドレス bit2 出力	A02	-	-	-	-	-	13	17
外部バス・アドレス bit3 出力	A03	-	-	-	-	-	14	18
外部バス・アドレス bit4 出力	A04	-	-	-	-	-	15	19
外部バス・アドレス bit5 出力	A05	-	-	-	-	-	16	20
外部バス・アドレス bit6 出力	A06	-	-	-	-	-	17	21
外部バス・アドレス bit7 出力	A07	-	-	-	-	-	20	24
外部バス・アドレス bit8 出力	A08	-	-	-	-	-	21	25
外部バス・アドレス bit9 出力	A09	-	-	-	-	-	22	26
外部バス・アドレス bit10 出力	A10	-	-	-	-	-	23	29
外部バス・アドレス bit11 出力	A11	-	-	-	-	-	24	30
外部バス・アドレス bit12 出力	A12	-	-	-	-	-	25	31
外部バス・アドレス bit13 出力	A13	-	-	-	-	-	26	32
外部バス・アドレス bit14 出力	A14	-	-	-	-	-	27	33
外部バス・アドレス bit15 出力	A15	-	-	-	-	-	28	34
外部バス・アドレス bit16 出力	A16	-	-	-	-	-	29	35
外部バス・アドレス bit17 出力	A17	-	-	-	-	-	30	37
外部バス・アドレス bit18 出力	A18	-	-	-	-	-	31	39
外部バス・アドレス bit19 出力	A19	-	-	-	-	-	32	40
外部バス・アドレス bit20 出力	A20	-	-	-	-	-	33	41
外部バス・アドレス bit21 出力	A21	-	-	-	-	-	34	42
外部バス・アドレスストローブ出力	ASX	-	-	-	-	-	5	7
外部バス・システムクロック出力	SYSCLK	-	-	-	-	-	35	43
外部バス・チップセレクト 0 出力	CS0X	-	-	-	-	-	6	8
外部バス・チップセレクト 1 出力	CS1X	-	-	-	-	-	7	9
外部バス・チップセレクト 2 出力	CS2X	-	-	-	-	-	38	46
外部バス・チップセレクト 3 出力	CS3X	-	-	-	-	-	39	49
外部バス・データ bit16 入出力	D16	なし	-	-	-	-	131	159
外部バス・データ bit17 入出力	D17	なし	-	-	-	-	132	160
外部バス・データ bit18 入出力	D18	なし	-	-	-	-	133	161
外部バス・データ bit19 入出力	D19	なし	-	-	-	-	134	162
外部バス・データ bit20 入出力	D20	なし	-	-	-	-	135	163
外部バス・データ bit21 入出力	D21	なし	-	-	-	-	136	165
外部バス・データ bit22 入出力	D22	なし	-	-	-	-	137	167
外部バス・データ bit23 入出力	D23	なし	-	-	-	-	138	168
外部バス・データ bit24 入出力	D24	なし	-	-	-	-	139	170
外部バス・データ bit25 入出力	D25	なし	-	-	-	-	140	171
外部バス・データ bit26 入出力	D26	なし	-	-	-	-	141	172
外部バス・データ bit27 入出力	D27	なし	-	-	-	-	142	174

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
外部バス・データ bit28 入出力	D28	なし	-	-	-	-	143	175
外部バス・データ bit29 入出力	D29	なし	-	-	-	-	2	2
外部バス・データ bit30 入出力	D30	なし	-	-	-	-	3	3
外部バス・データ bit31 入出力	D31	なし	-	-	-	-	4	5
外部バス・ライトストローブ 0 出力	WR0X	-	-	-	-	-	9	11
外部バス・ライトストローブ 1 出力	WR1X	-	-	-	-	-	10	12
外部バス・リードストローブ出力	RDX	-	-	-	-	-	8	10
外部バス・レディ入力	RDY	なし	-	-	-	-	41	51

表 9-16 波形ジェネレータの端子(ch.0～ch.5)

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
波形ジェネレータ ch.0-ch.5 入力端子(0) (サブ発振ありの場合使用不可)	DTTI_0	あり	56	70	86	102	121	149
波形ジェネレータ ch.0-ch.5 入力端子(1)	DTTI_1	あり	8	10	13	16	19	23
波形ジェネレータ ch.0-ch.5 入力端子(2)	DTTI_2	あり	-	-	-	33	39	49
波形ジェネレータ ch.0 出力端子(0)	RTO0_0	-	-	-	-	82	98	118
波形ジェネレータ ch.0 出力端子(1)	RTO0_1	-	7	9	11	14	17	21
波形ジェネレータ ch.1 出力端子(0)	RTO1_0	-	-	-	-	83	99	119
波形ジェネレータ ch.1 出力端子(1)	RTO1_1	-	6	8	10	13	16	20
波形ジェネレータ ch.2 出力端子(0)	RTO2_0	-	-	56	70	84	100	122
波形ジェネレータ ch.2 出力端子(1)	RTO2_1	-	5	7	9	12	15	19
波形ジェネレータ ch.3 出力端子(0)	RTO3_0	-	46	57	71	85	101	123
波形ジェネレータ ch.3 出力端子(1)	RTO3_1	-	4	5	6	9	12	15
波形ジェネレータ ch.4 出力端子(0)	RTO4_0	-	47	58	72	86	102	124
波形ジェネレータ ch.4 出力端子(1)	RTO4_1	-	3	3	3	6	9	11
波形ジェネレータ ch.5 出力端子(0)	RTO5_0	-	-	-	73	87	103	125
波形ジェネレータ ch.5 出力端子(1)	RTO5_1	-	2	2	2	2	5	7

表 9-17 クロックモニタの端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
クロックモニタ出力端子	MONCLK	-	26	33	41	47	55	69

表 9-18 ポート機能(汎用入出力)の端子

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
汎用入出力ポート	P000	あり	-	-	94	111	131	159
汎用入出力ポート	P001	あり	-	75	95	112	132	160
汎用入出力ポート	P002	あり	-	-	-	113	133	161
汎用入出力ポート	P003	あり	-	76	96	114	134	162
汎用入出力ポート	P004	あり	-	-	-	-	135	163
汎用入出力ポート	P005	あり	61	77	97	115	136	165
汎用入出力ポート	P006	あり	62	78	98	116	137	167
汎用入出力ポート	P007	あり	-	-	-	117	138	168
汎用入出力ポート	P010	あり	-	-	-	118	139	170
汎用入出力ポート	P011	あり	63	79	99	119	140	171
汎用入出力ポート	P012	あり	-	-	-	-	141	172
汎用入出力ポート	P013	あり	-	-	-	-	142	174
汎用入出力ポート	P014	あり	-	-	-	-	143	175
汎用入出力ポート	P015	あり	-	-	-	-	2	2
汎用入出力ポート	P016	あり	-	-	-	-	3	3
汎用入出力ポート	P017	あり	-	-	-	-	4	5
汎用入出力ポート	P020	あり	2	2	2	2	5	7
汎用入出力ポート	P021	あり	-	-	-	3	6	8
汎用入出力ポート	P022	あり	-	-	-	4	7	9
汎用入出力ポート	P023	あり	-	-	-	5	8	10
汎用入出力ポート	P024	あり	3	3	3	6	9	11
汎用入出力ポート	P025	あり	-	-	4	7	10	12
汎用入出力ポート	P026	あり	-	4	5	8	11	14
汎用入出力ポート	P027	あり	4	5	6	9	12	15
汎用入出力ポート	P030	あり	-	-	7	10	13	17
汎用入出力ポート	P031	あり	-	6	8	11	14	18
汎用入出力ポート	P032	あり	5	7	9	12	15	19
汎用入出力ポート	P033	あり	6	8	10	13	16	20
汎用入出力ポート	P034	あり	7	9	11	14	17	21
汎用入出力ポート	P035	あり	9	11	14	17	20	24
汎用入出力ポート	P036	あり	10	12	15	18	21	25
汎用入出力ポート	P037	あり	-	-	16	19	22	26
汎用入出力ポート	P040	あり	11	13	17	20	23	29
汎用入出力ポート	P041	あり	12	14	18	21	24	30
汎用入出力ポート	P042	あり	13	15	19	22	25	31
汎用入出力ポート	P043	あり	-	-	20	23	26	32
汎用入出力ポート	P044	あり	-	16	21	24	27	33
汎用入出力ポート	P045	あり	14	17	22	25	28	34
汎用入出力ポート	P046	あり	-	-	-	26	29	35
汎用入出力ポート	P047	あり	15	18	23	27	30	37

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
汎用入出力ポート	P050	あり	-	-	-	28	31	39
汎用入出力ポート	P051	あり	-	-	-	-	32	40
汎用入出力ポート	P052	あり	-	-	-	-	33	41
汎用入出力ポート	P053	あり	16	19	24	29	34	42
汎用入出力ポート	P054	あり	-	-	-	-	35	43
汎用入出力ポート	P055	あり	17	22	27	32	38	46
汎用入出力ポート	P056	あり	-	-	-	33	39	49
汎用入出力ポート	P057	あり	19	24	29	35	41	51
汎用入出力ポート	P060	あり	-	-	32	38	46	57
汎用入出力ポート	P061	あり	22	27	33	39	47	58
汎用入出力ポート	P062	あり	23	28	34	40	48	59
汎用入出力ポート	P063	あり	-	29	35	41	49	60
汎用入出力ポート	P064	あり	24	30	36	42	50	62
汎用入出力ポート	P065	あり	-	-	37	43	51	63
汎用入出力ポート	P066	あり	25	31	38	44	52	66
汎用入出力ポート	P067	あり	-	32	39	45	53	67
汎用入出力ポート	P070	あり	-	-	40	46	54	68
汎用入出力ポート	P071	あり	26	33	41	47	55	69
汎用入出力ポート	P072	あり	27	34	42	48	56	70
汎用入出力ポート	P073	あり	-	35	43	49	57	71
汎用入出力ポート	P074	あり	-	-	-	50	58	74
汎用入出力ポート	P075	あり	-	-	-	51	59	75
汎用入出力ポート	P076	あり	-	-	-	52	60	76
汎用入出力ポート	P077	あり	-	-	-	53	61	77
汎用入出力ポート	P080	あり	-	-	-	-	64	80
汎用入出力ポート	P081	あり	29	37	46	56	65	81
汎用入出力ポート	P082	あり	30	38	47	57	66	82
汎用入出力ポート	P083	あり	-	-	-	-	67	83
汎用入出力ポート	P084	あり	-	-	-	-	68	84
汎用入出力ポート	P085	あり	-	-	-	-	69	85
汎用入出力ポート	P086	あり	-	-	48	58	70	86
汎用入出力ポート	P087	あり	31	39	49	59	71	87
汎用入出力ポート	P090	あり	-	-	-	-	74	92
汎用入出力ポート	P091	あり	-	-	-	-	75	93
汎用入出力ポート	P092	あり	-	-	-	-	76	94
汎用入出力ポート	P093	あり	34	42	52	62	77	96
汎用入出力ポート	P094	あり	-	-	-	-	78	97
汎用入出力ポート	P095	あり	-	-	53	63	79	98
汎用入出力ポート	P096	あり	35	43	54	64	80	99
汎用入出力ポート	P097	あり	36	44	55	65	81	100
汎用入出力ポート	P100	あり	-	48	59	69	85	104

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
汎用入出力ポート	P101	あり	-	-	60	70	86	105
汎用入出力ポート	P102	あり	40	49	61	71	87	106
汎用入出力ポート	P103	あり	41	50	62	72	88	107
汎用入出力ポート	P104	あり	42	51	63	73	89	108
汎用入出力ポート	P105	あり	43	52	64	74	90	109
汎用入出力ポート	P106	あり	-	-	65	75	91	110
汎用入出力ポート	P107	あり	-	53	66	76	92	111
汎用入出力ポート	P110	あり	45	55	68	80	96	116
汎用入出力ポート	P111	あり	-	-	69	81	97	117
汎用入出力ポート	P112	あり	-	-	-	82	98	118
汎用入出力ポート	P113	あり	-	-	-	83	99	119
汎用入出力ポート	P114	あり	-	56	70	84	100	122
汎用入出力ポート	P115	あり	46	57	71	85	101	123
汎用入出力ポート	P116	あり	47	58	72	86	102	124
汎用入出力ポート	P117	あり	-	-	73	87	103	125
汎用入出力ポート	P120	あり	-	-	-	88	104	127
汎用入出力ポート	P121	あり	-	-	-	-	105	128
汎用入出力ポート	P122	あり	48	59	74	89	106	129
汎用入出力ポート	P123	あり	-	-	-	-	107	131
汎用入出力ポート	P124	あり	-	-	-	-	111	137
汎用入出力ポート	P125	あり	-	-	-	93	112	138
汎用入出力ポート	P126	あり	50	63	78	94	113	139
汎用入出力ポート	P127	あり	-	64	79	95	114	140
汎用入出力ポート	P130	あり	-	-	80	96	115	141
汎用入出力ポート	P131	あり	-	-	-	-	124	152
汎用入出力ポート	P132	あり	-	-	-	105	125	153
汎用入出力ポート	P133	あり	-	-	89	106	126	154
汎用入出力ポート	P134	あり	-	-	90	107	127	155
汎用入出力ポート (サブ発振なしの場合のみ)	P135	あり	56	70	86	102	121	149
汎用入出力ポート (サブ発振なしの場合のみ)	P136	あり	57	71	87	103	122	150
汎用入出力ポート	P142	あり	-	-	-	-	44	54
汎用入出力ポート	P143	あり	-	-	-	-	45	55
汎用入出力ポート	P144	あり	-	-	91	108	128	156
汎用入出力ポート	P150	あり	-	-	12	15	18	22
汎用入出力ポート	P151	あり	8	10	13	16	19	23
汎用入出力ポート	P152	あり	-	-	44	54	62	78
汎用入出力ポート	P153	あり	28	36	45	55	63	79
汎用入出力ポート	P154	あり	-	-	-	77	93	113
汎用入出力ポート	P155	あり	-	-	-	78	94	114

機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
汎用入出力ポート	P160	あり	-	-	-	-	-	135
汎用入出力ポート	P161	あり	-	-	-	-	-	136
汎用入出力ポート	P162	あり	-	-	-	-	-	142
汎用入出力ポート	P163	あり	-	-	-	-	-	143
汎用入出力ポート	P164	あり	-	-	-	-	-	164
汎用入出力ポート	P165	あり	-	-	-	-	-	166
汎用入出力ポート	P166	あり	-	-	-	-	-	169
汎用入出力ポート	P167	あり	-	-	-	-	-	173
汎用入出力ポート	P170	あり	-	-	-	-	-	4
汎用入出力ポート	P171	あり	-	-	-	-	-	6
汎用入出力ポート	P172	あり	-	-	-	-	-	13
汎用入出力ポート	P173	あり	-	-	-	-	-	16
汎用入出力ポート	P174	あり	-	-	-	-	-	27
汎用入出力ポート	P175	あり	-	-	-	-	-	28
汎用入出力ポート	P176	あり	-	-	-	-	-	36
汎用入出力ポート	P177	あり	-	-	-	-	-	38
汎用入出力ポート	P180	あり	-	-	-	-	-	47
汎用入出力ポート	P181	あり	-	-	-	-	-	48
汎用入出力ポート	P182	あり	-	-	-	-	-	56
汎用入出力ポート	P183	あり	-	-	-	-	-	61
汎用入出力ポート	P184	あり	-	-	-	-	-	64
汎用入出力ポート	P185	あり	-	-	-	-	-	65
汎用入出力ポート	P186	あり	-	-	-	-	-	72
汎用入出力ポート	P187	あり	-	-	-	-	-	73
汎用入出力ポート	P190	あり	-	-	-	-	-	90
汎用入出力ポート	P191	あり	-	-	-	-	-	91
汎用入出力ポート	P192	あり	-	-	-	-	-	95
汎用入出力ポート	P193	あり	-	-	-	-	-	112
汎用入出力ポート	P194	あり	-	-	-	-	-	120
汎用入出力ポート	P195	あり	-	-	-	-	-	121
汎用入出力ポート	P196	あり	-	-	-	-	-	126
汎用入出力ポート	P197	あり	-	-	-	-	-	130

表 9-19 その他の端子

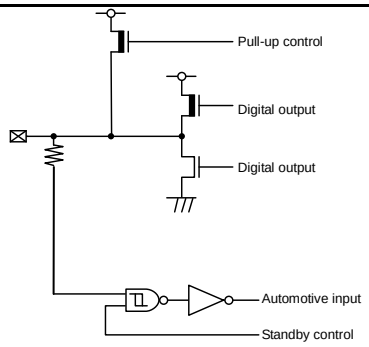
機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
+5.0v 電源	VCC	-	32	20	25	30	36	44
		-	64	40	50	60	72	88
		-	-	61	76	91	109	133
		-	-	80	100	120	144	176

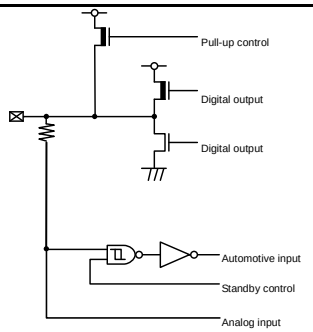
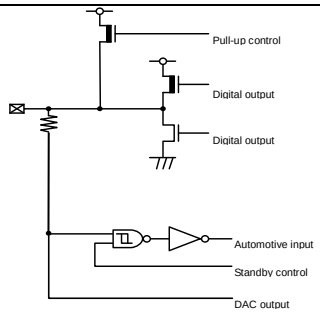
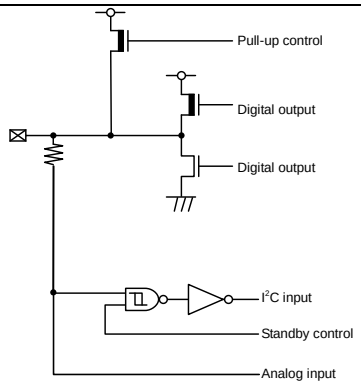
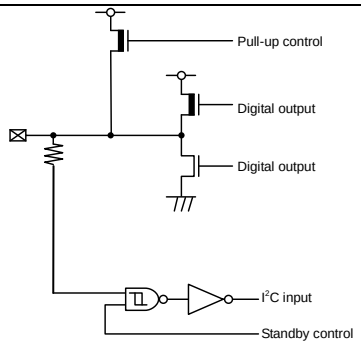
機能	端子名	ノイズフィルタ	端子番号					
			64	80	100	120	144	176
GND	VSS	-	1	1	1	1	1	1
		-	33	21	26	31	37	45
		-	55	41	51	61	73	89
		-	59	60	75	90	108	132
		-	-	69	85	101	120	148
		-	-	73	92	109	129	157
外部容量接続出力	C	-	60	74	93	110	130	158
メインクロック発振入力	X0	あり	53	67	83	99	118	146
メインクロック発振出力	X1	-	54	68	84	100	119	147
サブクロック発振入力	X0A	あり	57	71	87	103	122	150
サブクロック発振出力	X1A	-	56	70	86	102	121	149
モード端子 0	MD0	-	51	65	81	97	116	144
モード端子 1	MD1	-	52	66	82	98	117	145
マスクなし割込み入力	NMIX	あり	44	54	67	79	95	115
デバッガ(OCD)用 DEBUGIF 入出力	DEBUGIF	あり	49	62	77	92	110	134
外部リセット入力	RSTX	あり	58	72	88	104	123	151

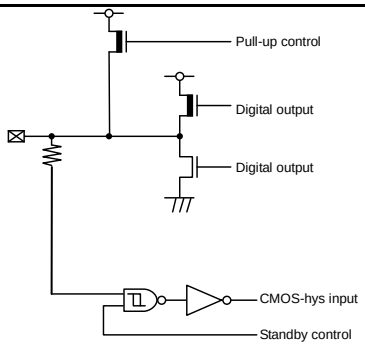
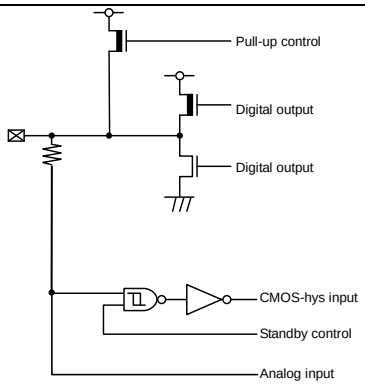
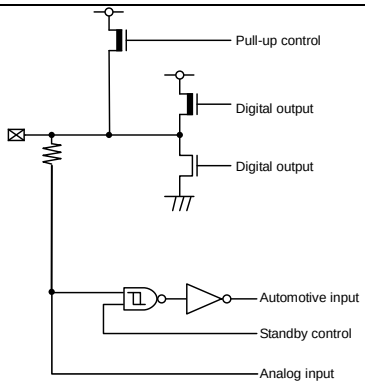
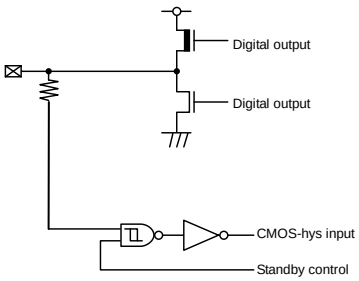
10. 入出力回路形式

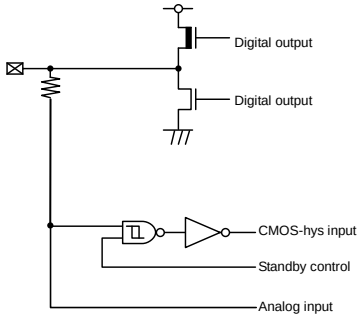
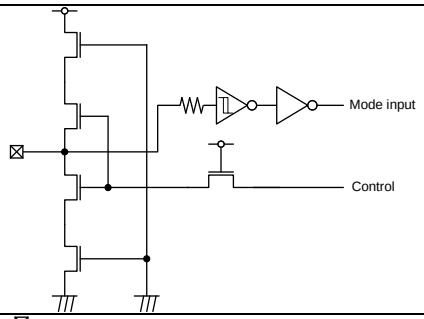
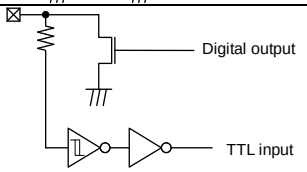
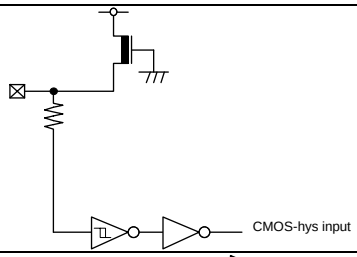
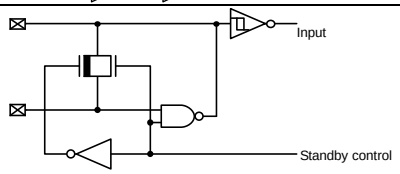
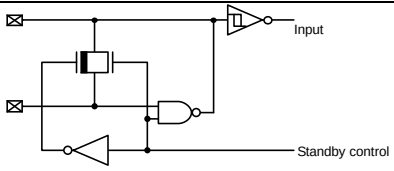
入出力回路形式について示します。

図 10-1 入出回路形式

分類	回路	概要
A		• 汎用入出力ポート • 出力 4mA • プルアップ抵抗制御付き 50kΩ • Automotive 入力

分類	回路	概要
B		• アナログ入力付き,汎用入出力ポート • 出力 4mA • プルアップ抵抗制御付き 50kΩ • Automotive 入力
C		• D/A コンバータ出力付き,汎用入出力ポート • 出力 4mA • プルアップ抵抗制御付き 50kΩ • Automotive 入力
D		• アナログ入力付き, I^2C, 汎用入出力ポート • 出力 3mA • プルアップ抵抗制御付き 50kΩ • I^2C ヒステリシス入力
E		• I^2C, 汎用入出力ポート • 出力 3mA • プルアップ抵抗制御付き 50kΩ • I^2C ヒステリシス入力

分類	回路	概要
F		• 汎用入出力ポート • 出力 4mA • プルアップ抵抗制御付き 50kΩ • CMOS ヒステリシス入力
G		• アナログ入力付き,汎用入出力ポート • 出力 4mA • プルアップ抵抗制御付き 50kΩ • CMOS ヒステリシス入力
H		• アナログ入力付き, 汎用入出力ポート • 出力 12mA • プルアップ抵抗制御付き 50kΩ • Automotive 入力
I		• 汎用入出力ポート(5V トレラント) • 出力 4mA • CMOS ヒステリシス入力

分類	回路	概要
J		• アナログ入力付き,汎用入出力ポート(5V トレラント) • 出力 4mA • CMOS ヒステリシス入力
K		• モード入力 • CMOS ヒステリシス入力
L		• オープンドレイン入出力 • 出力 25mA (Nch オープンドレイン) • TTL 入力
M		• CMOS ヒステリシス入力 • プルアップ抵抗付き 50kΩ
N		• メイン発振入出力
O		• サブ発振入出力

Chapter 2: デバイスの取扱い

本製品の使用上の注意時について説明します。

1. 取扱上のご注意
2. デバイス取り扱いについて
3. 使用上の注意事項

管理コード：HANDLING-1v0-91520-4-J

1. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件 (回路条件, 環境条件など)によっても大きく左右されます。
以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

1.1. 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧, 電流, 温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。
本資料に記載されていない項目, 使用条件, 論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止
各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護
出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理
インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生PNPN 接合(サイリスタ構造)が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ, サージ等にも注意してください。
(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や，電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様は、装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途(原子力施設における核反応制御，航空機自動飛行制御，航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途(海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

1.2. パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法(ウェーブソルダリング法)が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。

また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や，はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

(1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。

(2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5˚C～30˚C で保管をお願いします。
ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。

(3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。

(4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング(加熱乾燥)を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。
条件：125˚C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

(1) 作業環境の相対湿度は 40 %～70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
(2) 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
(3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1MΩ程度) で大地に接地したり、 導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
(4) 治具，計器類は、接地または帯電防止化を実施してください。
(5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

1.3. 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境
高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。
(2) 静電気放電
半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。
このような場合、帯電の防止または放電の防止の処置をお願いします。
(3) 腐食性ガス，塵埃，油
腐食性ガス雰囲気中や，塵埃，油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線
一般のデバイスは、設計上、放射線，宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。
(5) 発煙・発火
樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他，特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

2. デバイス取り扱いについて

デバイス取り扱いについて説明します。

■ デバイス取扱い上の注意

ラッチアップ防止および端子処理について説明します。

● ラッチアップ防止のために

CMOS IC では入力端子や出力端子に VCC より高い電圧や VSS より低い電圧を印加した場合または VCC～VSS 間に定格を超える電圧を印加した場合に，ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し，素子の熱破壊に至ることがありますので使用に際しては最大定格を超えることのないよう十分に注意してください。

また、アナログ系の電源電源投入時、および切断時においてもアナログ電源(AVcc,AVRH)とアナログ入力は、デジタル電源(Vcc)を超えないように注意してください。

マイコン部の電源投入の順序は、デジタル電源(Vcc)、アナログ電源(AVcc,AVRH)、を同時に投入するか、デジタル電源(Vcc5)を投入後、アナログ電源(AVcc,AVRH)を投入してください。

● 未使用端子の処理について

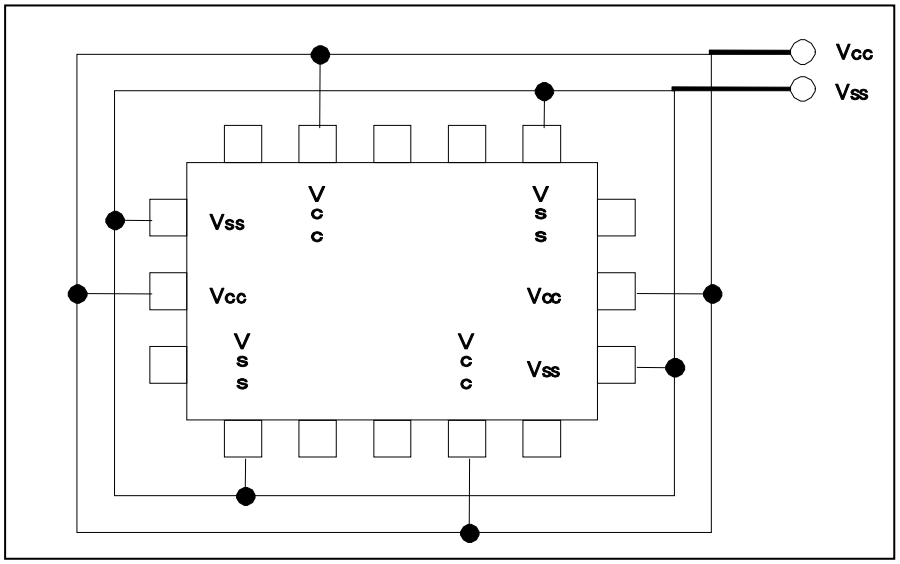
使用していない入力端子を開放のままにしておくと、 誤動作およびラッチアップによる永久破壊の原因になることがありますので、2 kΩ以上の抵抗を介して、 プルアップまたはプルダウンなどの処置をしてください。

また、使用していない入出力端子がある場合は、出力状態に設定して解放とするか、入力状態に設定して入力端子と同じ処理をしてください。

● 電源端子について

VCC・VSS が複数ある場合，デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にするべきものどうしを接続してありますが，不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格の遵守などのため，必ずそれらすべてを外部で電源およびグランドに接続してください。図 2-1 に示すように、すべての Vss 電源端子も同様に扱ってください。複数の Vcc または Vss システムがある場合、デバイスは保証された動作範囲内でも正しく動作しません。

図 2-1 電源入力端子



また, 電源供給源から低インピーダンスで本デバイスの VCC, VSS に接続するような配慮をお願いいたします。

本デバイスの近くで, VCC と VSS の間に C 端子のコンデンサより値の大きなセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

● 水晶発振回路について

X0, X1 端子へのノイズは誤動作の原因となります。X0 と X1 および水晶発振子 (あるいはセラミック発振子) さらにグランドへのバイパスコンデンサはデバイスの直近に配置するようにプリント板を設計してください。

X0, X1 端子の周りをグランドで囲むようなプリント板アートワークを推奨いたします。

● モード端子 (MD[1:0]) について

モード端子 MD[1:0]は, VCC または VSS に直接つないで使用してください。ノイズによって誤ってテストモードに入ってしまうことを防ぐために, プリント板上の各モード端子と VCC または VSS 間のパターン長を短くし, 低インピーダンスで接続するようにしてください。

● 電源投入時について

内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上りは単調増加にしてください。電源起動の途中で電圧が上下したり、一旦、電源の上昇が停止するような電源投入は行わないでください。

● PLL クロック動作中の注意について

PLL クロックを選択しているときに発振子が外れたり, あるいは入力が停止したりした場合, PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証範囲外の動作です。

- **A/D コンバータの電源端子処理**
  A/D コンバータを使用しない場合においても AVcc=AVRH=Vcc、AVss/AVRL=Vss となるよう接続してください。

- **外部クロックは非対応**
  外部ダイレクトクロック入力は使用できません。(メインクロック、サブクロックともに)

- **A/D コンバータの電源アナログ入力の投入順序**
  A/D コンバータの電源(AVcc,AVRH,AVRL)およびアナログ入力(AN0～AN47)の印加は、必ずデジタル電源(Vcc)の投入後に行ってください。また、電源切断時は A/D コンバータの電源およびアナログ入力切断の後で、デジタル電源(Vcc)の切断を行ってください。その際、AVRH は AVcc を超えないように投入、切断を行ってください。アナログ入力と兼用している端子を入力ポートとして使用する場合においても、入力電圧は AVcc を超えないようにしてください(アナログ電源とデジタル電源を同時に投入・切断をすることは問題ありません)。

- **C 端子の処理について**
  本デバイスは降圧回路を内蔵します。C 端子にはデバイス内部安定化のため、必ずコンデンサを接続してください。規格値については、最新データシートの『推奨動作条件』を参照してください。

＜注意事項＞

動作電圧の詳細仕様については，最新のデータシートを参照してください。

3. 使用上の注意事項

使用上の注意事項について説明します。

3.1. 兼用ポートの機能切換え
3.2. 低消費電力モード
3.3. 状態フラグを含むレジスタに書込みを行う場合の注意

3.1. 兼用ポートの機能切換え

兼用ポートの機能切換えについて示します。

PORT と兼用端子の切換えは, PFR (ポートファンクションレジスタ) で行います。ただし、外バス兼用端子は外バスの設定により切替ります。詳細は『I/O ポート』章を参照してください。

3.2. 低消費電力モード

低消費電力モードについて説明します。

スリープモード・時計モード・ストップモードまたは時計モード(電源遮断)・ストップモード(電源遮断)に入れる場合は,『消費電力制御』章内、『スリープモード・時計モード・ストップモードの起動』または『時計モード(電源遮断)・ストップモード(電源遮断)の起動』で説明している手順を実行してください。

モニタデバッガを使用する場合は, 以下のことを行わないでください。

・低消費電力移行プログラムに対する, ブレークポイントの設定
・低消費電力移行プログラムに対する, ステップ実行

3.3. 状態フラグを含むレジスタに書込みを行う場合の注意

状態フラグを含むレジスタに書込みを行う場合の注意について説明します。

状態フラグ (特に割込み要求フラグなど) を含むレジスタに機能の制御のために書込みを行う場合には, 状態フラグを誤ってクリアしないように配慮することが大切です。

つまり, 状態ビットに対してフラグをクリアしない設定でかつ, 制御ビットを希望した値になるように, 書込み時に注意してください。

特に複数ビットで構成している制御ビットの場合, ビット命令が使えないため (ビット命令は1ビットアクセスのみ), Byte/Half-word/Wordアクセスによって, 同時に制御ビットと状態フラグへの書込みを行うことになります。しかし,このときに目的以外のビット (この場合状態フラグのビット) を誤ってクリアしないよう注意してください。

＜注意事項＞

ビット命令は,この点を配慮していますので, 注意の必要はありません。

Chapter 3: CPU

CPU について説明します。

1. 概要
2. 特長
3. CPU 動作記述
4. パイプライン動作
5. 浮動小数点演算処理
6. データ構造
7. アドレッシング
8. プログラミングモデル
9. リセット・EIT 処理
10. メモリ保護機能(MPU)

管理コード : FR81S10-1v1-91520-7-J

1. 概要

CPU の概要について説明します。

FR81 アーキテクチャは、FR ファミリ命令セットを採用し、浮動小数点機能、メモリ保護機能、オンチップデバッグシステムを搭載しています。

整数系命令セットは、FR80 シリーズと互換です。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

2. 特長

CPU の特長について説明します。

FR ファミリは、32 ビット RISC ベースのコントローラ向け CPU コアです。特に高速制御を行う必要がある組込み制御向けマイクロコントローラの CPU コアとして最適なアーキテクチャとなっています。

・全般
  - 汎用レジスタアーキテクチャ (32 ビット× 16 本)
  - 32 ビットアドレス空間 (4GB)
  - 16 ビット固定命令長 (即値データ転送命令除く)
  - 5 段パイプライン構造による基本命令 1 命令 1 サイクルの高速処理
  - 32 ビット× 32 ビットの演算を 5 サイクルで完了する乗算命令
  - ステップ除算命令による 32 ビット÷32 ビットの除算実行
  - 周辺アクセスのためのダイレクトアドレッシング命令
  - 6 サイクルで完了する高速割込み処理
  - 単精度浮動小数点演算命令
  - 浮動小数点レジスタ 32bit 16 本
  - 特権モード・ユーザモード
  - FPU、命令アクセス、データアクセス系例外機能
    - FPU 例外
    - 命令アクセス保護違反例外
    - データアクセス保護違反例外
    - 不正命令例外 (未定義命令例外からの変更)
    - データアクセスエラー例外
    - FPU 不在例外

・メモリ保護機能(MPU)
  - 命令・データ共用で 8 個の保護領域指定
  - 保護領域は固定優先順位で判定(領域の重複可能)。
  - ページアドレスとページサイズで領域指定
    - ページサイズ: 16 バイトから 2^n で指定可能
    - ページアドレス: ミスアラインもサポート

- 特権モード・ユーザモードそれぞれで以下のアクセス権を制御
  - 命令フェッチ(実行) 許可/禁止
  - リード 許可/禁止
  - ライト 許可/禁止
- 領域ごとに以下の属性を指定可能
  - Bufferable/Non-Bufferable
- 未設定領域に対してもアクセス権、属性指定可能
- 保護違反時は、命令アクセス保護違反例外/データアクセス保護違反例外を発生

・浮動小数点演算
- IEEE754 準拠
- 単精度をサポート
- 6 個の例外要因をサポート。
  - アンダフロー
  - オーバフロー
  - ゼロ除算
  - 無効演算
  - 不正確
  - 非正規化数の入力
- 丸めモードは、最近値のみをサポート
- 非正規化数は"0"への切捨てもしくは例外発生
- 浮動小数点レジスタ 32 ビット × 16 本
- Multiply and Add, Multiply and Sub 命令サポート
- 除算、開平演算サポート

3. CPU 動作記述

CPU の動作について説明します。

3.1. CPU 動作状態

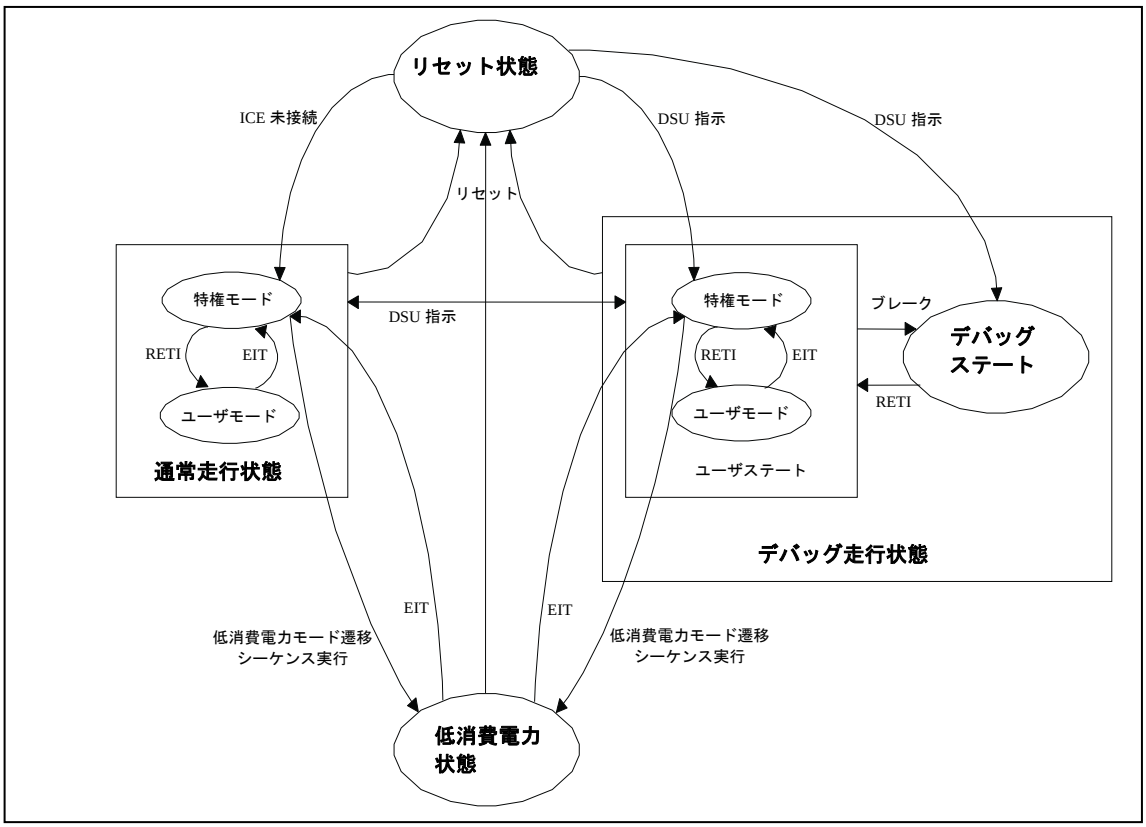
3.1. CPU 動作状態

CPU の動作状態について示します。

CPU の動作状態には、リセット状態/通常走行状態/低消費電力状態/デバッグ走行状態の 4 つの状態があります。

以下に動作状態の遷移を示します。

図 3-1 CPU 動作状態遷移図



3.1.1. リセット状態

リセット状態について示します。

CPU がリセットされている状態です。リセットにはイニシャライズレベルとリセットレベルの 2 レベルがあります。イニシャライズレベルのリセットが発行されるとチップ内のすべてが初期化されます。リセットレベルの場合は、デバッグ制御機能やクロック，リセット制御機能の一部を除き初期化されます。

3.1.2. 通常走行状態

通常走行状態について示します。

順次命令実行および EIT 処理が実行されている状態です。通常走行状態には特権モードとユーザモードがあります。

ユーザモードでは、命令やアクセス先に制限があり、特権モードでのみ実行可能な命令やアクセス先があります。リセット解除後通常走行状態になった場合は特権モードになり RETI の実行により、ユーザモードへ遷移します。通常走行状態でのユーザモードから特権モードへはリセット, EIT の実行で遷移し、特権モードからユーザモードへの遷移は RETI の実行で行います。

3.1.3. 低消費電力状態

低消費電力状態について示します。

CPU が動作を停止し、消費電力を抑えている状態です。低消費電力状態への移行はクロック制御部のスタンバイ制御で行います。低消費電力状態にはスリープ/ストップ/時計モードの 3 つのモードがあります。低消費電力状態からの復帰は割込みで行います。

3.1.4. デバッグ走行状態

デバッグ走行状態について示します。

ICE を接続し、デバッグ関連機能が有効な状態です。デバッグ走行状態にはユーザステートとデバッグステートがあります。デバッグ走行状態とほかの状態への遷移は基本的にリセット状態を介して行います。ただし、通常走行状態から強制的にデバッグ走行状態に遷移することも可能です。

ユーザステートには通常走行状態と同様に特権モードとユーザモードがあります。ただし、デバッグ用のブレークを行った場合はデバッグステートへ遷移します。デバッグステートでは、特権モードで実行され、メモリ保護機能などすべて無効な状態ですべてのレジスタ/メモリにアクセス可能です。デバッグステートからユーザステートへの遷移は RETI 命令実行により行います。

4. パイプライン動作

CPU のパイプライン動作について説明します。

FR81 ではデコードステージまでは共通に処理しますが、実行ステージからは整数パイプライン、浮動小数点パイプラインの 2 種のパイプラインを持ちます。各パイプライン間での完了は命令発行の順序とは異なりますが、プログラム列の順序に従った処理結果は保証します。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

5. 浮動小数点演算処理

CPU の浮動小数点演算処理について説明します。

本品種は FPU を搭載しています。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

6. データ構造

CPU のデータ構造について説明します。

FR81 ファミリ CPU で扱うことのできるデータ種類として、FR80 ファミリまでの整数型に加えて、単精度浮動小数点型が存在します。

整数型では、ビットオーダリングとしてリトルエンディアン、バイトオーダリングとしてビッグエンディアンを採用しています。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

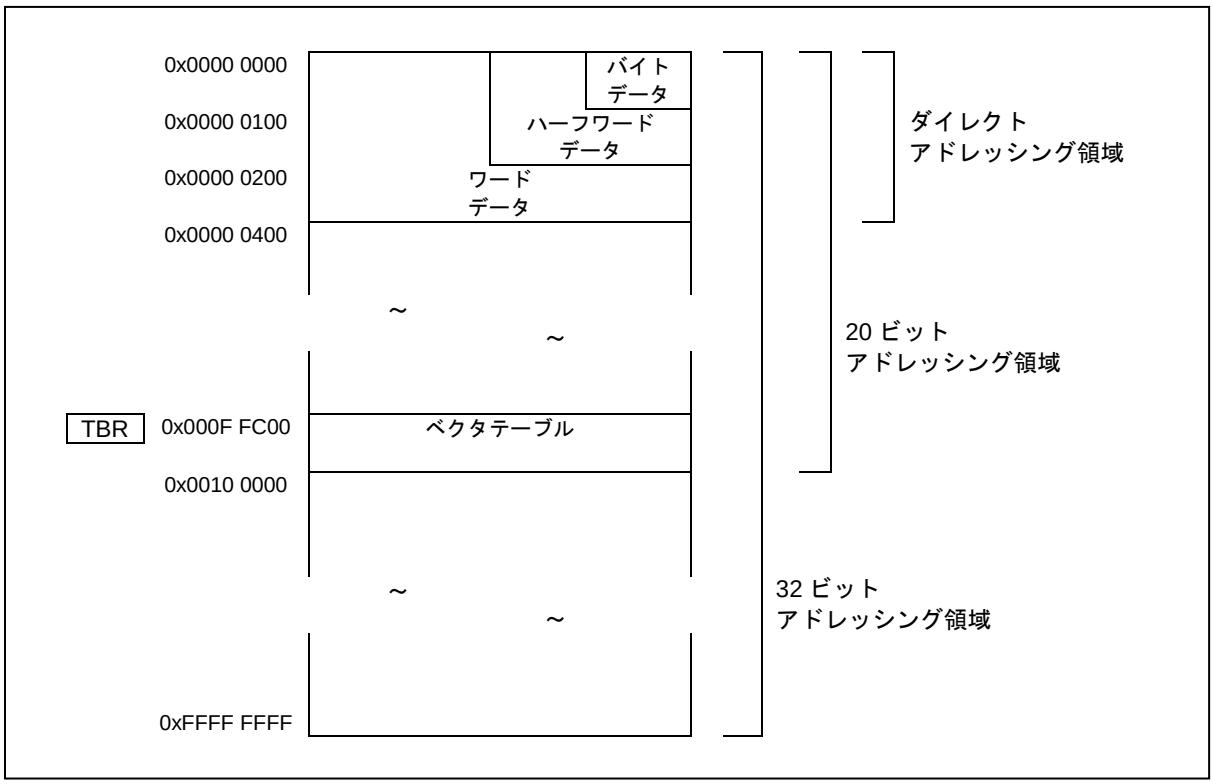
7. アドレッシング

CPU のアドレッシングについて説明します。

メモリ空間は 32 ビットリニアです。

CPU はアドレス空間をバイト単位で管理します。CPU からは、アドレス空間上のアドレスを 32 ビットの値で指定してアクセスします。アドレス空間を図 7-1 に示します。

図 7-1 メモリ空間



アドレス空間をメモリ空間ともよびます。アドレス空間は CPU から見た論理アドレス空間です。アドレス変換は行いません。CPU から見た論理アドレスと、実際にメモリや I/O の配置されている物理アドレスは同一になります。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

8. プログラミングモデル

CPU のプログラミングモデルについて説明します。

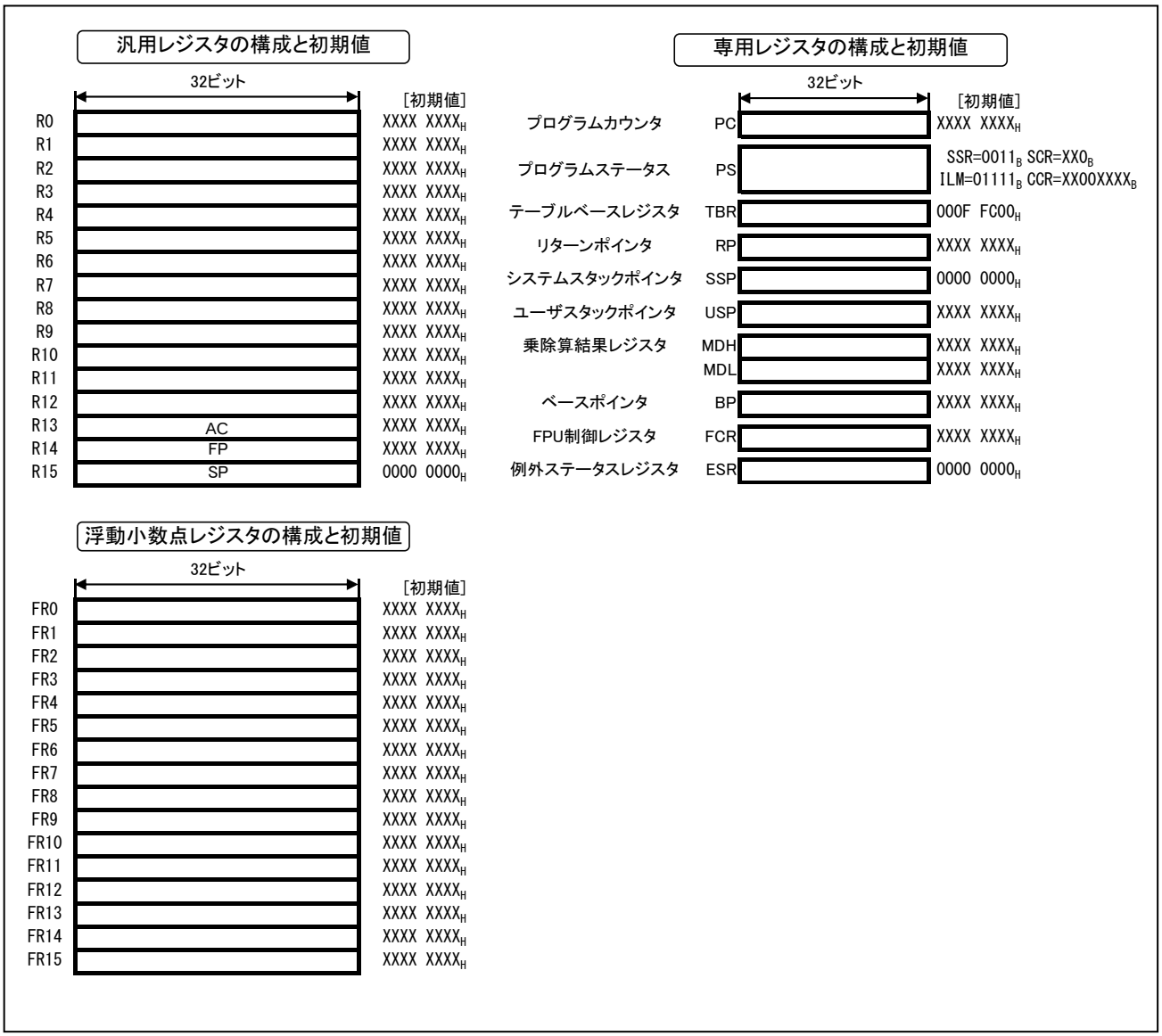
FR81 CPU には、汎用レジスタ，専用レジスタ，浮動小数点レジスタがあります。また、これらとは別に FR81 コアとしてアドレスマップされたシステムレジスタがあります。

8.1. 汎用レジスタ、専用レジスタ、浮動小数点レジスタ

汎用レジスタ，専用レジスタ，浮動小数点レジスタについて示します。

図 8-1 に、本品種での初期値を示します。各レジスタの詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

図 8-1 汎用レジスタ、専用レジスタ、浮動小数点レジスタ初期値



8.2. システムレジスタ

システムレジスタについて示します。

システムレジスタはアドレスマップされたシステム制御用のレジスタです。これらのレジスタは特権モードでのみアクセス可能です。システムレジスタには以下のようなものがあります。

・クロック制御関連レジスタ
・リセット制御関連レジスタ
・デバッグ制御関連レジスタ
・メモリ保護関連レジスタ
・DMA 関連レジスタ
・ウォッチドッグタイマレジスタ
・Wildregister 制御レジスタ
・フラッシュ制御レジスタ
・TimingProtectionUnit レジスタ

ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外(データアクセスエラー)を発生させます。

システムレジスタへのアクセス保護は、メモリ保護機能に優先して判定します。したがって、メモリ保護機能でシステムレジスタ領域へユーザアクセス可能とした場合や特権モードでのアクセス不可とした場合もその設定は無効とし、特権モードでのみリード・ライト可能でユーザモードではリード・ライト不可となります。

9. リセット・EIT 処理

CPU のリセット・EIT 処理について説明します。

リセット・EIT 処理とは、リセット、例外(Exception)、割込み(Interrupt)、トラップ(Trap)が検出されたときに通常とは異なるプログラムで実行される処理のことです。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。

9.1. リセット

リセットについて示します。

リセットは、現在実行中の処理を強制的に中断し、デバイスを初期化してリセットベクタエントリアドレスからプログラムを再開します。

＜注意事項＞

本品種では FixedVector 機能により、リセットベクタはフラッシュメモリ 0xF_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス+ 0x0024 番地が返されます。
詳細は『FixedVector 機能』の章を参照してください。

9.2. EIT 処理

EIT 処理について示します。

EIT 処理は、現在実行中の処理を中断し、再開できる情報をメモリへ退避した後に、決められた処理プログラムへ制御を移します。

9.3. ベクタテーブル

ベクタテーブルについて示します。

表 9-1 ベクタテーブル

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時でのアドレス
	10 進	16 進			
リセット	0	00	－	0x3FC	0x000FFFFC
システム予約	1	01	－	0x3F8	0x000FFFF8
システム予約	2	02	－	0x3F4	0x000FFFF4
システム予約	3	03	－	0x3F0	0x000FFFF0
システム予約	4	04	－	0x3EC	0x000FFFEC
FPU 例外	5	05	－	0x3E8	0x000FFFE8
命令アクセス保護違反例外	6	06	－	0x3E4	0x000FFFE4
データアクセス保護違反例外	7	07	－	0x3E0	0x000FFFE0
データアクセスエラー割込み	8	08	－	0x3DC	0x000FFFDC

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時でのアドレス
	10 進	16 進			
INTE 命令	9	09	－	0x3D8	0x000FFFD8
命令ブレーク	10	0A	－	0x3D4	0x000FFFD4
システム予約	11	0B	－	0x3D0	0x000FFFD0
システム予約	12	0C	－	0x3CC	0x000FFFCC
システム予約	13	0D	－	0x3C8	0x000FFFC8
不正命令例外	14	0E	－	0x3C4	0x000FFFC4
NMI 要求	15	0F	15(0xF)固定	0x3C0	0x000FFFC0
ペリフェラル割込み #0	16	10	ICR00	0x3BC	0x000FFFBC
ペリフェラル割込み #1	17	11	ICR01	0x3B8	0x000FFFB8
ペリフェラル割込み #2	18	12	ICR02	0x3B4	0x000FFFB4
ペリフェラル割込み #3	19	13	ICR03	0x3B0	0x000FFFB0
ペリフェラル割込み #4	20	14	ICR04	0x3AC	0x000FFFAC
ペリフェラル割込み #5	21	15	ICR05	0x3A8	0x000FFFA8
ペリフェラル割込み #6	22	16	ICR06	0x3A4	0x000FFFA4
ペリフェラル割込み #7	23	17	ICR07	0x3A0	0x000FFFA0
ペリフェラル割込み #8	24	18	ICR08	0x39C	0x000FFF9C
ペリフェラル割込み #9	25	19	ICR09	0x398	0x000FFF98
ペリフェラル割込み #10	26	1A	ICR10	0x394	0x000FFF94
ペリフェラル割込み #11	27	1B	ICR11	0x390	0x000FFF90
ペリフェラル割込み #12	28	1C	ICR12	0x38C	0x000FFF8C
ペリフェラル割込み #13	29	1D	ICR13	0x388	0x000FFF88
ペリフェラル割込み #14	30	1E	ICR14	0x384	0x000FFF84
ペリフェラル割込み #15	31	1F	ICR15	0x380	0x000FFF80
ペリフェラル割込み #16	32	20	ICR16	0x37C	0x000FFF7C
ペリフェラル割込み #17	33	21	ICR17	0x378	0x000FFF78
ペリフェラル割込み #18	34	22	ICR18	0x374	0x000FFF74
ペリフェラル割込み #19	35	23	ICR19	0x370	0x000FFF70
ペリフェラル割込み #20	36	24	ICR20	0x36C	0x000FFF6C
ペリフェラル割込み #21	37	25	ICR21	0x368	0x000FFF68
ペリフェラル割込み #22	38	26	ICR22	0x364	0x000FFF64
ペリフェラル割込み #23	39	27	ICR23	0x360	0x000FFF60
ペリフェラル割込み #24	40	28	ICR24	0x35C	0x000FFF5C

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時でのアドレス
	10 進	16 進			
ペリフェラル割込み #25	41	29	ICR25	0x358	0x000FFF58
ペリフェラル割込み #26	42	2A	ICR26	0x354	0x000FFF54
ペリフェラル割込み #27	43	2B	ICR27	0x350	0x000FFF50
ペリフェラル割込み #28	44	2C	ICR28	0x34C	0x000FFF4C
ペリフェラル割込み #29	45	2D	ICR29	0x348	0x000FFF48
ペリフェラル割込み #30	46	2E	ICR30	0x344	0x000FFF44
ペリフェラル割込み #31	47	2F	ICR31	0x340	0x000FFF40
ペリフェラル割込み #32	48	30	ICR32	0x33C	0x000FFF3C
ペリフェラル割込み #33	49	31	ICR33	0x338	0x000FFF38
ペリフェラル割込み #34	50	32	ICR34	0x334	0x000FFF34
ペリフェラル割込み #35	51	33	ICR35	0x330	0x000FFF30
ペリフェラル割込み #36	52	34	ICR36	0x32C	0x000FFF2C
ペリフェラル割込み #37	53	35	ICR37	0x328	0x000FFF28
ペリフェラル割込み #38	54	36	ICR38	0x324	0x000FFF24
ペリフェラル割込み #39	55	37	ICR39	0x320	0x000FFF20
ペリフェラル割込み #40	56	38	ICR40	0x31C	0x000FFF1C
ペリフェラル割込み #41	57	39	ICR41	0x318	0x000FFF18
ペリフェラル割込み #42	58	3A	ICR42	0x314	0x000FFF14
ペリフェラル割込み #43	59	3B	ICR43	0x310	0x000FFF10
ペリフェラル割込み #44	60	3C	ICR44	0x30C	0x000FFF0C
ペリフェラル割込み #45	61	3D	ICR45	0x308	0x000FFF08
ペリフェラル割込み #46	62	3E	ICR46	0x304	0x000FFF04
遅延割込み	63	3F	ICR47	0x300	0x000FFF00
システム予約(REALOS にて使用)	64	40	－	0x2FC	0x000FFEFC
システム予約(REALOS にて使用)	65	41	－	0x2F8	0x000FFEF8
INT 命令で使用	66 | 255	42 | FF	－	0x2F4 | 0x000	0x000FFEF4 | 0x000FFC00

10. メモリ保護機能(MPU)

CPU のメモリ保護機能(MPU)について説明します。

10.1. 概要

10.2. レジスター覧

10.3. レジスタ説明

10.4. メモリ保護機能動作

10.1. 概要

CPU のメモリ保護機能(MPU)の概要について説明します。

本アーキテクチャではメモリ保護機能をサポートします。メモリ保護機能とは、指定した領域に対するアクセスを監視し、許可されていないアクセスであれば例外を発生させる機能です。ただし、システムレジスタへの保護指定は無効です。

・命令・データ共通で 8 個の保護領域を指定可能。
・保護領域は領域 0 の優先度が高く、1, 2, 3, …優先度が低くなります(領域の重複可能)。
・ページアドレスとページサイズで領域指定。
  ・ ページサイズ: 16 バイトから 2^n 単位で指定
  ・ ページアドレス: ミスアラインもサポート
・特権モード/ユーザモードそれぞれに以下のアクセス権を制御
  ・ 命令フェッチ: 許可/禁止
  ・ データリード: 許可/禁止
  ・ データライト: 許可/禁止
・領域ごとにアクセス属性を指定
  ・ バッファ: 許可/禁止
・未定義領域はデフォルト領域として、アクセス権・属性を制御
・保護違反発生時は保護違反例外を発生
・メモリ保護機能用レジスタはシステムレジスタとして特権モードでのみアクセス可能
・データアクセスエラー通知機能
・I/O 領域(00000000_H ～ $0000FFFF_H$) は、バッファ禁止固定

10.2. レジスター覧

レジスター覧について示します。

表 10-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0310	予約		MPUCR		MPU 制御レジスタ
0x0314	予約				
0x0318	予約				
0x031C	予約				
0x0320	DPVAR				データアクセス保護違反アドレスレジスタ
0x0324	予約		DPVSR		データアクセス保護違反状態レジスタ
0x0328	DEAR				データアクセスエラーアドレスレジスタ
0x032C	予約		DESR		データアクセスエラー状態レジスタ
0x0330	PABR0				保護領域ベースアドレスレジスタ 0
0x0334	予約		PACR0		保護領域制御レジスタ 0
0x0338	PABR1				保護領域ベースアドレスレジスタ 1
0x033C	予約		PACR1		保護領域制御レジスタ 1
0x0340	PABR2				保護領域ベースアドレスレジスタ 2
0x0344	予約		PACR2		保護領域制御レジスタ 2
0x0348	PABR3				保護領域ベースアドレスレジスタ 3
0x034C	予約		PACR3		保護領域制御レジスタ 3
0x0350	PABR4				保護領域ベースアドレスレジスタ 4
0x0354	予約		PACR4		保護領域制御レジスタ 4
0x0358	PABR5				保護領域ベースアドレスレジスタ 5
0x035C	予約		PACR5		保護領域制御レジスタ 5
0x0360	PABR6				保護領域ベースアドレスレジスタ 6
0x0364	予約		PACR6		保護領域制御レジスタ 6
0x0368	PABR7				保護領域ベースアドレスレジスタ 7
0x036C	予約		PACR7		保護領域制御レジスタ 7

10.3. レジスタ説明

レジスタについて示します。

10.3.1. MPU 制御レジスタ : MPUCR

10.3.2. 命令アクセス保護違反アドレスレジスタ : IPVAR

エラー! 参照元が見つかりません。. エラー! 参照元が見つかりません。

10.3.4. データアクセス保護違反アドレスレジスタ : DPVAR

10.3.5. データアクセス保護違反状態レジスタ : DPVSR

10.3.6. データアクセスエラーアドレスレジスタ : DEAR

10.3.7. データアクセスエラー状態レジスタ : DESR

10.3.8. 保護領域ベースアドレスレジスタ 0～7 : PABR0-7

10.3.9. 保護領域制御レジスタ 0～7 : PACR0-7

10.3.1. MPU 制御レジスタ : MPUCR

MPU 制御レジスタのビット構成について示します。

MPU の有効無効、ならびにデフォルト領域(保護領域指定されていない領域)での特権モード、ユーザモードでのアクセス許可を設定します。

■ MPUCR : アドレス 0312$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PIE	PRE	PWE	UIE	URE	UWE	予約	BE
初期値	0	0	0	0	0	0	–	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PAN[1:0]		DEE	MPE
初期値	–	–	–	–	0	1	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,WX	R1,WX	R/W	R/W

[bit15] PIE (Privilege Mode Instruction Fetch Enable)

デフォルト領域(保護領域指定されていない領域)に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	デフォルト領域へのアクセス
0	特権モードで命令フェッチ禁止(初期値)
1	特権モードで命令フェッチ可能

[bit14] PRE (Privilege Mode Read Access Enable)
デフォルト領域(保護領域指定されていない領域)に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	デフォルト領域へのアクセス
0	特権モードでリードアクセス禁止(初期値)
1	特権モードでリードアクセス可能

[bit13] PWE (Privilege Mode Write Access Enable)
デフォルト領域(保護領域指定されていない領域)に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	デフォルト領域へのアクセス
0	特権モードでライトアクセス禁止(初期値)
1	特権モードでライトアクセス可能

[bit12] UIE (User Mode Instruction Fetch Enable)
デフォルト領域(保護領域指定されていない領域)に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	デフォルト領域へのアクセス
0	ユーザモードで命令フェッチ禁止(初期値)
1	ユーザモードで命令フェッチ可能

[bit11] URE (User Mode Read Access Enable)
デフォルト領域(保護領域指定されていない領域)に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	デフォルト領域へのアクセス
0	ユーザモードでリードアクセス禁止(初期値)
1	ユーザモードでリードアクセス可能

[bit10] UWE (User Mode Write Access Enable)

デフォルト領域(保護領域指定されていない領域)に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	デフォルト領域へのアクセス
0	ユーザモードでライトアクセス禁止(初期値)
1	ユーザモードでライトアクセス可能

[bit9] 予約

"0"を書き込んでください。"0"が読み出されます。

[bit8] BE (Buffer Enable)

デフォルト領域(保護領域指定されていない領域)に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPU はパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外を発生します。バッファが許可されている場合にはデータアクセスエラーは割込みとして通知可能です。

BE	デフォルト領域の Bufferable 指定
0	バッファ禁止(初期値)
1	バッファ許可

[bit7～bit4] 予約

予約ビットです。書込み時は必ず"0"を書き込んでください。

[bit3, bit2] PAN (Protection Area Number)

保護領域に指定可能な領域の実装個数を示します。本ビットはリードオンリでハードウェアで実装した個数を示します。

PAN[1:0]	メモリ保護領域実装数
00	予約
01	8 領域
10	12 領域
11	16 領域

[bit1] DEE (Data Access Error Interrupt Enable)

バッファ動作が有効になっている領域でデータアクセスエラーが発生したときの割込み発生を許可するビットです。このビットが有効なときにバッファ動作許可領域でデータアクセスエラーが発生した場合、データアクセスエラー割込みを発生します。このときエラーを発生させたアドレスはデータアクセスエラーアドレスレジスタ(DEAR)にアクセス内容はデータアクセスエラー状態レジスタ(DESR)に保持されます。割込みが禁止されている場合は上記レジスタの更新のみを行います。

DEE	データアクセスエラー割込みの許可
0	データアクセスエラー割込み禁止(初期値)
1	データアクセスエラー割込み許可

[bit0] MPE (Memory Protection Unit Enable)

メモリ保護機能を有効にするためのビットです。メモリ保護機能が無効な場合、すべての領域に対するアクセスがバッファ禁止の設定になります。

MPE	メモリ保護機能
0	メモリ保護機能無効(初期値)
1	メモリ保護機能有効

10.3.2. 命令アクセス保護違反アドレスレジスタ ：IPVAR

命令アクセス保護違反アドレスレジスタのビット構成について示します。

命令アクセス保護違反を発生したアドレスを保持します。

「10.4.2 命令アクセス保護違反」および「10.4.7 注意事項」も参照してください。

■ IPVAR： アドレス 0318$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	IPVA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] IPVA[31:0] (Instruction fetch Protection Violation Address)

命令アクセス保護違反状態レジスタで違反が発生していないとき(IPVSR.IPV=0)に、命令アクセス保護違反を発生したアドレスを保持します。アラインはされません。

＜注意事項＞

本レジスタは、使用禁止です。

10.3.3. 命令アクセス保護違反状態レジスタ ：IPVSR

命令アクセス保護違反状態スレジスタのビット構成について示します。

命令アクセス保護違反時の状態を表示します。
本レジスタの内容は IPV=0 のときのみ、ハードウェアで更新されます。IPV ビットへの "0" 書込みのみ有効です。そのほかのビットへの書込みおよび IPV への"1" 書込みは無効です。
「10.4.2 命令アクセス保護違反」および「10.4.7 注意事項」も参照してください。

■ IPVSR ： アドレス 031E$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	–	–	–	–	–	–	–	–
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		SZ[1:0]		MD	予約		IPV
初期値	–	–	0	0	0	–	–	0
属性	R0,W0	R0,W0	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit6, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。

[bit5, bit4] SZ[1:0]
違反を発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] IPV (Instruction fetch Protection Violation)
命令アクセス保護違反が発生したことを示します。新たな保護違反の内容を保持するにはこのビットをクリアしてください。

IPV	命令アクセス保護違反
0	命令アクセス保護違反未検出(初期値)
1	命令アクセス保護違反検出

＜注意事項＞

本レジスタは、使用禁止です。

10.3.4. データアクセス保護違反アドレスレジスタ ：DPVAR

データアクセス保護違反アドレスレジスタのビット構成について示します。

データアクセス保護違反を発生したアドレスを保持します。

■ DPVAR ： アドレス 0320$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	DPVA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] DPVA[31:0] (Data Access Protection Violation Address)
データアクセス保護違反状態レジスタで違反が発生していないとき(DPVSR.DPV=0)に、データアクセス保護違反を発生したアドレスを保持します。CPU からの要求アドレスを示し、アドレスはアラインされません。

10.3.5. データアクセス保護違反状態レジスタ ：DPVSR

データアクセス保護違反状態レジスタのビット構成について示します。

データアクセス保護違反時の状態を表示します。
本レジスタは DPV=0 のときのみハードウェアで更新されます。DPV への "0" 書込みのみ有効です。そのほかのビットおよび DPV への"1" 書込みは無効です。

■ DPVSR ： アドレス 0326$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RW[1:0]		SZ[1:0]		MD	予約		DPV
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit8, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。

[bit7, bit6] RW[1:0] (Read/Write)
違反を発生したときのアクセス種類です。リードモディファイライトの実行にはリードとライトのアクセス権が必要になり、判定は最初のリードサイクルで行いますので、リードモディファイライトのライトで違反となる場合にも RW=01$_B$ リード(リードモディファイライト)となります。

RW[1:0]	アクセス種類
00	リード
01	リード(リードモディファイライト)
10	ライト
11	予約

[bit5, bit4] SZ[1:0]
違反を発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] DPV (Data Access Protection Violation)
データアクセス保護違反が発生したことを示します。新たな保護違反の内容を保持するにはこのビットをクリアしてください。
本ビットへは"0" 書込みのみ有効です。"1" 書込みは無効です。

DPV	データアクセス保護違反
0	データアクセス保護違反未検出(初期値)
1	データアクセス保護違反検出

10.3.6. データアクセスエラーアドレスレジスタ ：DEAR

データアクセスエラーアドレスレジスタのビット構成について示します。

データアクセスエラーを発生したアドレスを保持します。

■ DEAR： アドレス 0328$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	DEA[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] DEA[31:0] (Data Access Error Address)

データアクセスエラー状態レジスタで違反が発生していないとき(DESR.DAE=0)に、データアクセスエラーを発生したアドレスを保持します。システムレジスタアクセス保護違反時は、CPU からのアクセスアドレスそのままでアラインされません。バスアクセスを行った結果エラーとなる場合にはアドレスはアラインされます。

10.3.7. データアクセスエラー状態レジスタ ：DESR

データアクセスエラー状態レジスタのビット構成について示します。

データアクセスエラー時の状態を表示します。本レジスタは DAE=0 のときのみハードウェアで更新されます。DAE への "0" 書込みのみ有効です。そのほかのビットへの書込みおよび DAE への"1" 書込みは無効です。

■ DESR ： アドレス 032E$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RW[1:0]		SZ[1:0]		MD	予約		DAE
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W

[bit15～bit8, bit2, bit1] 予約
予約ビットです。必ず"0"を書き込んでください。"0"が読み出されます。

[bit7, bit6] RW[1:0] (Read/Write)
エラーを発生したときのアクセス種類です。

RW[1:0]	アクセス種類
00	リード
01	リード(リードモディファイライト)
10	ライト
11	予約

[bit5, bit4] SZ[1:0]
エラーを発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit3] MD
アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit0] DAE (Data Access Error)
データアクセスエラーが発生したことを示します。新たなデータエラーの内容を保持するにはこのビットをクリアしてください。
データアクセスエラー割込みを有効にしている場合、本ビットをクリアすることで割込み要求を取り下げます。本ビットへは "0" 書込みのみ有効です。"1" 書込みは無効です。

DAE	データアクセスエラー
0	データアクセスエラー未検出(初期値)
1	データアクセスエラー検出

10.3.8. 保護領域ベースアドレスレジスタ 0～7 : PABR0-7

保護領域ベースアドレスレジスタ 0～7 のビット構成について示します。

各 MPU チャネルの保護領域のベースアドレスを設定します。

■ PABR0-7 : アドレス 0330_H, 0338_H, 0340_H ・・・ (アクセス: ワード)

	bit31	bit30	・	・	・	bit10	bit9	bit8
	PABR[31:8]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PABR[7:0]							
初期値	X	X	X	X	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX

[bit31～bit0] PABR[31:0] (Protection Area Base Address Register)

保護領域のベースアドレスを示します。ここで指定したアドレスから、保護領域制御レジスタ(PACR0～7)で指定されたサイズが対象となる保護領域となります。アドレスは、保護領域サイズでアラインする必要はありません。

PABR レジスタの下位 4 ビットは 0000_B 固定です。

10.3.9. 保護領域制御レジスタ 0～7 : PACR0-7

保護領域制御レジスタ 0～7 のビット構成について示します。

各 MPU チャネルによるアクセス許可制限を設定します。

■ PACR0-7 : アドレス 0336_H, $033E_H$, 0346_H ・・・ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PIE	PRE	PWE	UIE	URE	UWE	予約	BE
初期値	0	0	0	0	0	0	–	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ASZ[4:0]					予約		PAE
初期値	0	0	0	0	0	–	–	0
属性	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0	R/W

[bit15] PIE (Privilege Mode Instruction Fetch Enable)
指定保護領域に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	指定保護領域へのアクセス
0	特権モードで命令フェッチ禁止(初期値)
1	特権モードで命令フェッチ可能

[bit14] PRE (Privilege Mode Read Access Enable)
指定保護領域に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	指定保護領域へのアクセス
0	特権モードでリードアクセス禁止(初期値)
1	特権モードでリードアクセス可能

[bit13] PWE (Privilege Mode Write Access Enable)
指定保護領域に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	指定保護領域へのアクセス
0	特権モードでライトアクセス禁止(初期値)
1	特権モードでライトアクセス可能

[bit12] UIE (User Mode Instruction Fetch Enable)
指定保護領域に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	指定保護領域へのアクセス
0	ユーザモードで命令フェッチ禁止(初期値)
1	ユーザモードで命令フェッチ可能

[bit11] URE (User Mode Read Access Enable)
指定保護領域に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	指定保護領域へのアクセス
0	ユーザモードでリードアクセス禁止(初期値)
1	ユーザモードでリードアクセス可能

[bit10] UWE (User Mode Write Access Enable)

指定保護領域に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	指定保護領域へのアクセス
0	ユーザモードでライトアクセス禁止(初期値)
1	ユーザモードでライトアクセス可能

[bit9] 予約

"0"を書き込んでください。"0"が読み出されます。

[bit8] BE (Buffer Enable)

指定保護領域に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPUはパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外を発生します。バッファが許可されている場合にはデータアクセスエラーは割込みとして通知可能です。

BE	指定保護領域の Bufferable 指定
0	バッファ禁止(初期値)
1	バッファ許可

[bit7～bit3] ASZ[4:0] (Area Size)

指定保護領域のサイズを指定します。アドレス指定は下記サイズにアラインする必要はありません。また、アドレス・サイズ指定で領域の下限が $FFFFFFFF_H$ を超える場合は $FFFFFFFF_H$ を領域の下限とします。

ASZ[4:0]	指定保護領域のサイズ
00000_B	予約
00001_B	予約
00010_B	予約
00011_B	16B
00100_B	32B
00101_B	64B
00110_B	128B

ASZ[4:0]	指定保護領域のサイズ
00111_B	256B
01000_B	512B
01001_B	1KB
01010_B	2KB
01011_B	4KB
01100_B	8KB
01101_B	16KB
01110_B	32KB
01111_B	64KB
10000_B	128KB
10001_B	256KB
10010_B	512KB
10011_B	1MB
10100_B	2MB
10101_B	4MB
10110_B	8MB
10111_B	16MB
11000_B	32MB
11001_B	64MB
11010_B	128MB
11011_B	256MB
11100_B	512MB
11101_B	1GB
11110_B	2GB
11111_B	4GB

[bit2, bit1] 予約

予約ビットです。書込み時は必ず"0"を書き込んでください。

[bit0] PAE (Protection Area Enable)

メモリ保護機能を有効にするためのビットです。

PAE	メモリ保護領域
0	メモリ保護領域指定無効(初期値)
1	メモリ保護領域指定有効

10.4. メモリ保護機能動作

メモリ保護機能の動作について示します。

10.4.1. メモリ保護領域の設定

10.4.2. 命令アクセス保護違反

10.4.3. データアクセス保護違反

10.4.4. データアクセスエラー

10.4.5. 遅延スロットでのメモリ保護動作

10.4.6. DEAR, DESR 更新

10.4.7. 注意事項

10.4.1. メモリ保護領域の設定

メモリ保護領域の設定について示します。

メモリ保護機能はアドレスとサイズで指定される最大 8 個の保護領域とそれらの領域に含まれないデフォルト領域に対して、特権モード/ユーザモードで命令/データリード/データライトそれぞれ許可・禁止の設定をすることにより行います。同時に各領域に対して、バッファ許可・禁止の設定も可能です。

指定した保護領域に重なりがある場合は、領域番号の小さい方を優先させます。

メモリ保護機能が無効な場合(MPUCR.MPE=0)は、すべての領域に対してアクセス可能でバッファ禁止としてアクセスを行います。

10.4.2. 命令アクセス保護違反

命令アクセス保護違反について示します。

メモリ保護ユニット(MPU)は、CPU の命令フェッチを監視しアクセスのあった領域への命令フェッチが許可されているかの判断を行います。命令アクセス保護違反例外が発生したときの命令アドレスはシステムスタックに退避されている PC 値から判断してください。

10.4.3. データアクセス保護違反

データアクセス保護違反について示します。

メモリ保護ユニット(MPU)は、CPU のデータアクセスを監視し、該当領域へのアクセス(リード・ライト)が許可されているかの判断を行います。アクセスが許可されていなかった場合、MPU はそのアドレスとアクセス情報をそれぞれデータアクセス保護違反アドレスレジスタ(DPVAR), データアクセス保護違反状態レジスタ(DPVSR)に格納します。ただし、既にデータアクセス保護違反情報が上記レジスタに存在する場合(DPVSR.DPV=1)上書きは行いません。このとき違反を起こしたデータアクセスは行われません。

複数回のデータアクセスを行う命令実行中にデータアクセス保護違反が発生した場合、違反が発生するまでに実行したデータアクセスは取消しされません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中でデータアクセス保護違反例外が発生した場合例外状態レジスタ ESR.RL に残りのレジスタリストが保持されます。

EIT 処理シーケンスおよびRETI 命令中にデータアクセス保護違反が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

10.4.4. データアクセスエラー

データアクセスエラーについて示します。

データアクセス中に以下の条件が成立した場合にデータアクセスエラーとし、データアクセスエラーアドレスレジスタ(DEAR), データアクセスエラー状態レジスタ(DESR)にそのときのアクセス情報を格納します。ただし、既にデータアクセスエラー情報が上記レジスタに存在する場合(DESR.DAE=1)上書きは行いません。

・ユーザモードでのシステムレジスタアクセス
・データアクセス中のバスエラー
データアクセス中のバスエラーはバッファ許可アクセスとバッファ禁止アクセスとでエラー発生後の動作が異なります。ユーザモードでのシステムレジスタアクセスは常に不正命令例外(データアクセス)として処理されます。

バッファ禁止領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は不正命令例外(データアクセスエラー)として処理します。

バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、MPU 制御レジスタ MPUCR.DEE=1 でデータアクセスエラー割込みが有効であればデータアクセスエラー割込みを通知し、CPU はデータアクセスエラー割込み処理を行います。バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は後続の命令を実行していますので、データアクセスエラー割込み時に退避される PC 値はデータアクセス命令を行った命令の PC 値とはなりません。

複数回のデータアクセスを行う命令実行中に不正命令例外(データアクセスエラー)が発生した場合、エラーが発生するまでに実行したデータアクセスは取消しされません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中で不正命令例外(データアクセスエラー)が発生した場合例外状態レジスタ ESR.RL に残りのレジスタリストが保持され、ESR.INV6 データアクセスエラーを示すビットがセットされます。

EIT 処理シーケンスおよび RETI 命令中に不正命令例外(データアクセスエラー)が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

10.4.5. 遅延スロットでのメモリ保護動作

遅延スロットでのメモリ保護動作について示します。

遅延スロットに配置された命令は 16 ビットとして処理します。したがって、遅延スロットに 32 ビット命令を配置しその下位 16 ビットに命令アクセス保護違反要因や命令アクセスエラー要因があったとしても不正命令例外(遅延スロットへ配置できない命令)として例外が発生します。

10.4.6. DEAR, DESR 更新

DEAR, DESR 更新について示します。

データアクセスエラーアドレスレジスタ(DEAR), データアクセスエラー状態レジスタ(DESR)は次の場合に更新されます。

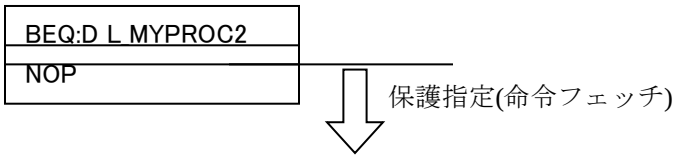
・ユーザモードでのシステムレジスタアクセス(不正命令例外)
・バッファ禁止領域アクセスでのバスエラー(不正命令例外)
・バッファ許可領域アクセスでのバスエラー(データアクセスエラー割込み)

不正命令例外の発生する場合では、該当するアクセスを行った命令で DEAR, DESR が更新されデータアクセスエラー割込みが発生する場合では命令動作とは非同期に更新されます。なお、要因が同時に発生した場合は不正命令例外要因を優先します。

10.4.7. 注意事項

注意事項について示します。

・アクセス保護違反例外はアクセス保護違反となる命令の実行時に発生します。詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。命令アクセス保護違反と命令アクセス保護違反例外については「10.4.2 命令アクセス保護違反」も参照してください。
・下図のように遅延スロットと命令アクセス保護領域の境界が重なる場合、分岐の成立/不成立に関係なく命令アクセス保護違反が発生します。例外が発生する PC は遅延分岐命令の PC です。



Chapter 4: 動作モード

動作モードについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：BMODED-2v0-91520-12-J

1. 概要

動作モードの概要について説明します。

リセット解除後に決定される、本品種の動作モードについて説明します。各消費電力制御のモードや各クロック選択のモードについては『消費電力制御』の章を参照してください。

2. 特長

動作モードの特長について説明します。

本品種は以下のモードを持ちます。

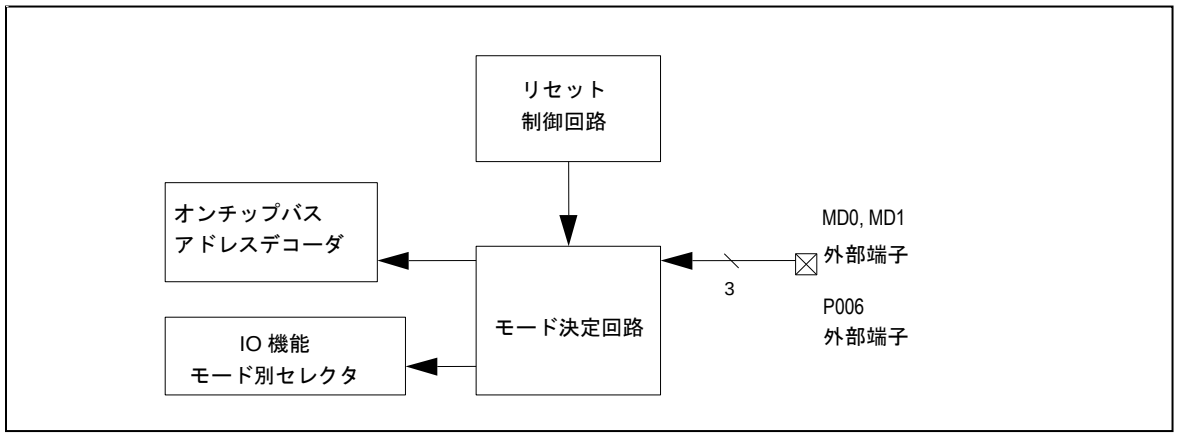
・ユーザモード
  - MB91F52xL, MB91F52xK は、外部バスインタフェースが使用可能です。
  - プログラムは内蔵フラッシュから起動します。

・シリアルライタモード
  シリアルライタを使用して、内蔵フラッシュメモリをプログラムします。

3. 構成

動作モードの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

動作モードのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x07FC	BMODR	予約	予約	予約	バスモードデータレジスタ

4.1. バスモードレジスタ ：BMODR (Bus MODe Register)

バスモードレジスタのビット構成について示します。

起動時に設定されたモードを示すレジスタです。読出しのみ可能で、書込みは本レジスタの値に影響しません。

■ BMODR： アドレス 07FC$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BMOD[7:0]							
初期値	*	*	*	*	*	*	*	*
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

*: 動作モードによります。

[bit7～bit0] BMOD[7:0] : 動作モード

動作モードを示します。書込みは無効です。

BMOD[7:0]	動作モード
0101xxxx	ユーザモード
0111xx1x	シリアルライタモード

5. 動作説明

動作モードの動作について説明します。

5.1. MD0, MD1, P006 端子の設定

5.2. 動作モードの取込み

5.3. 各モード説明

5.1. MD0, MD1, P006 端子の設定

MD0, MD1, P006 端子の設定について示します。

表 5-1 端子設定

動作モード	MD1	MD0	P006
ユーザモード	0	1	―
シリアルライタモード	1	0	1

表に示した設定以外は禁止です。

表 5-2 P006 端子パッケージ対応

パッケージタイプ	端子番号	ポート名
LQP176	167	P006
LQS144 / LQN144	137	P006
LQM120	116	P006
LQI100	98	P006
LQH080	78	P006
LQD064	62	P006

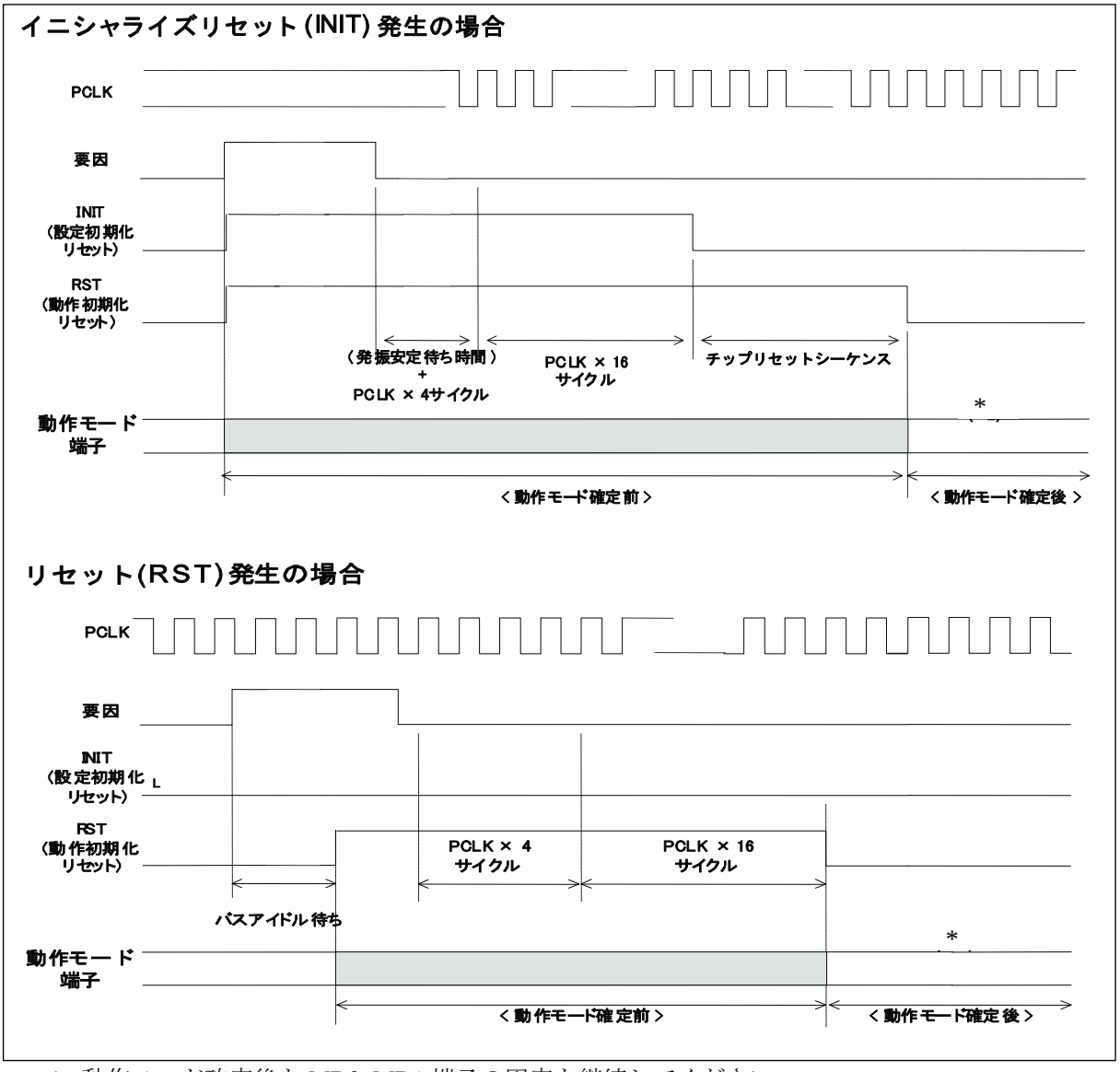
5.2. 動作モードの取込み

動作モードの取込みについて示します。

動作モードの取込みは RST(リセット)によりサンプリングされます。RST が発行されてから解除されるまでの区間は MD0, MD1, P006 端子入力を確定してください(ユーザモードでは P006 端子確定は不要です)。

以下にリセット要因発生～動作モード確定までのシーケンスを示します。

図 5-1 動作モード取込みタイミング図



*: 動作モード確定後も MD0, MD1 端子の固定を継続してください。

＜注意事項＞

シリアルライタモード時は、P006 端子は動作モード確定後の固定は不要です。

5.3. 各モード説明

各モードについて示します。

以下に各動作モードの動作の詳細を示します。

5.3.1. ユーザモード

5.3.2. シリアルライタモード

5.3.1. ユーザモード

ユーザモードについて示します。

外部リセット端子によるリセット入力時に、直ちに外部バス端子をリセット状態にします。詳細は『付録』の『端子状態表』を参照してください。

5.3.2. シリアルライタモード

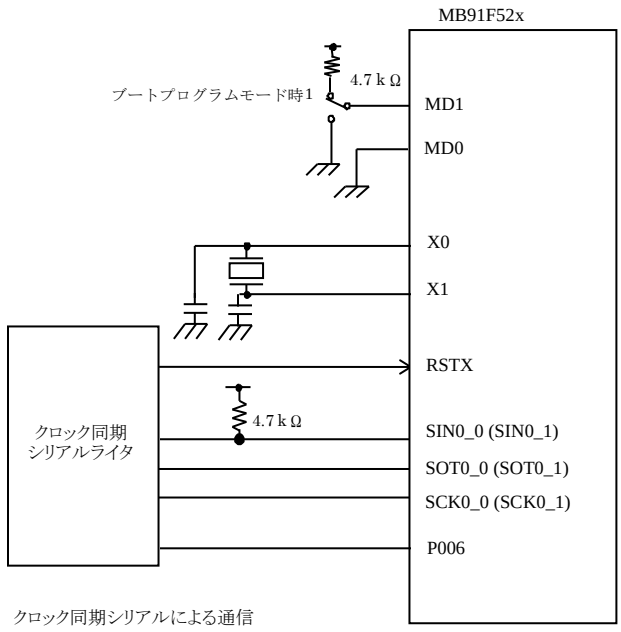
シリアルライタモードについて示します。

表 5-3 シリアル書込みモード設定端子

Pin 番号						端子名	シリアルライタモード		
64	80	100	120	144	176		端子処置・接続先（オンボード書込み時）	入力レベル	出力レベル
51	65	81	97	116	144	MD0	GND	Hys.	-
52	66	82	98	117	145	MD1	VCC (プルアップ)	Hys.	-
58	72	88	104	123	151	RSTX	リセット入力	Hys.	-
53	67	83	99	118	146	X0	発振端子	-	-
54	68	84	100	119	147	X1	発振端子	-	-
62	78	98	116	137	167	P006	外部にプルアップ抵抗を付加し，リセット解除後にレベルを"H"にすることでシリアル書込みモードが起動します。	Auto	CMOS

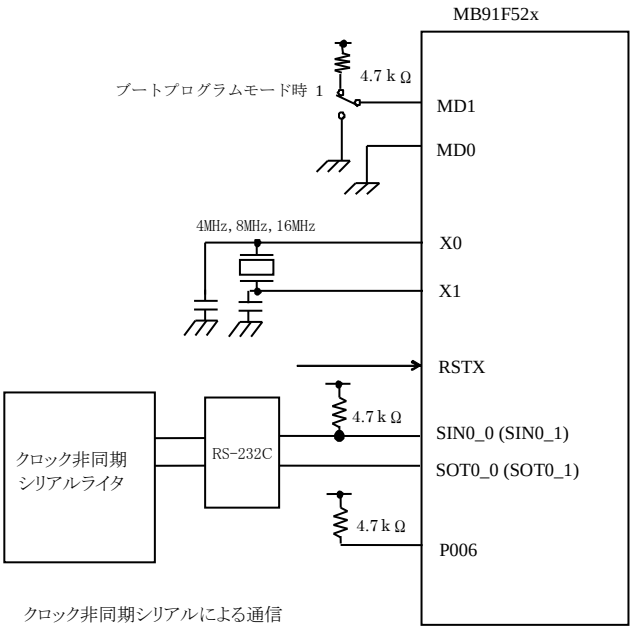
Pin 番号						端子名	シリアルライタモード		
64	80	100	120	144	176		端子処置・接続先（オンボード書込み時）	入力レベル	出力レベル
-	-	78	94	113	139	P126 SIN0_0	通信を開始するまでの本端子の入力レベルを"H"にした場合クロック非同期通信モードとなり, "L" にした場合クロック同期通信モードとなります。 シリアル書込みモードが起動し、通信が開始された時点で、UART シリアルデータ入力端子として使用します。	Hys.	CMOS
11	13	-	-	-	-	P040 SIN0_1			
-	-	79	95	114	140	P127 SOT0_0	シリアル書込みモードが起動し、通信が開始された時点でシリアルデータ出力端子となります。	Auto	CMOS
15	18	-	-	-	-	P047 SOT0_1			
-	-	80	96	115	141	P130 SCK0_0	通信モードをクロック同期通信とした場合、シリアルクロック入出力端子となります。	Hys.	CMOS
16	19	-	-	-	-	P053 SCK0_1			
32, 64	20, 40, 61, 80	25, 50, 76, 100	30, 60, 91, 120	36, 72, 109, 144	44, 88, 133, 176	VCC	+5.0v 電源	-	-
1, 33, 55, 59	1, 21, 41, 60, 69, 73	1, 26, 51, 75, 85, 92	1, 31, 61, 90, 101, 109	1, 37, 73, 108, 120, 129	1, 45, 89, 132, 148, 157	VSS	GND	-	-
18, 39	23, 47	28, 58	34, 68	40, 84	50, 103	AVCC1 AVCC0	VCC	-	-
21, 37	26, 45	30, 56	37, 66	43, 82	53, 101	AVSS1 AVRL1 AVSS0 AVRL0	VSS	-	-
20, 38	25, 46	30, 57	36, 67	42, 83	52, 102	AVRH1 AVRH0	VCC	-	-

図 5-2 クロック同期シリアルを用いたシリアル書込みモード時の接続例



プルアップ抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

図 5-3 クロック非同期シリアルを用いたシリアル書込みモード時の接続例



プルアップ抵抗値は一例です。システムごとに最適な抵抗値を選択してください。

Chapter 5: クロック

クロックについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：BG4ACCTL-1v0-91520-19-J

1. 概要

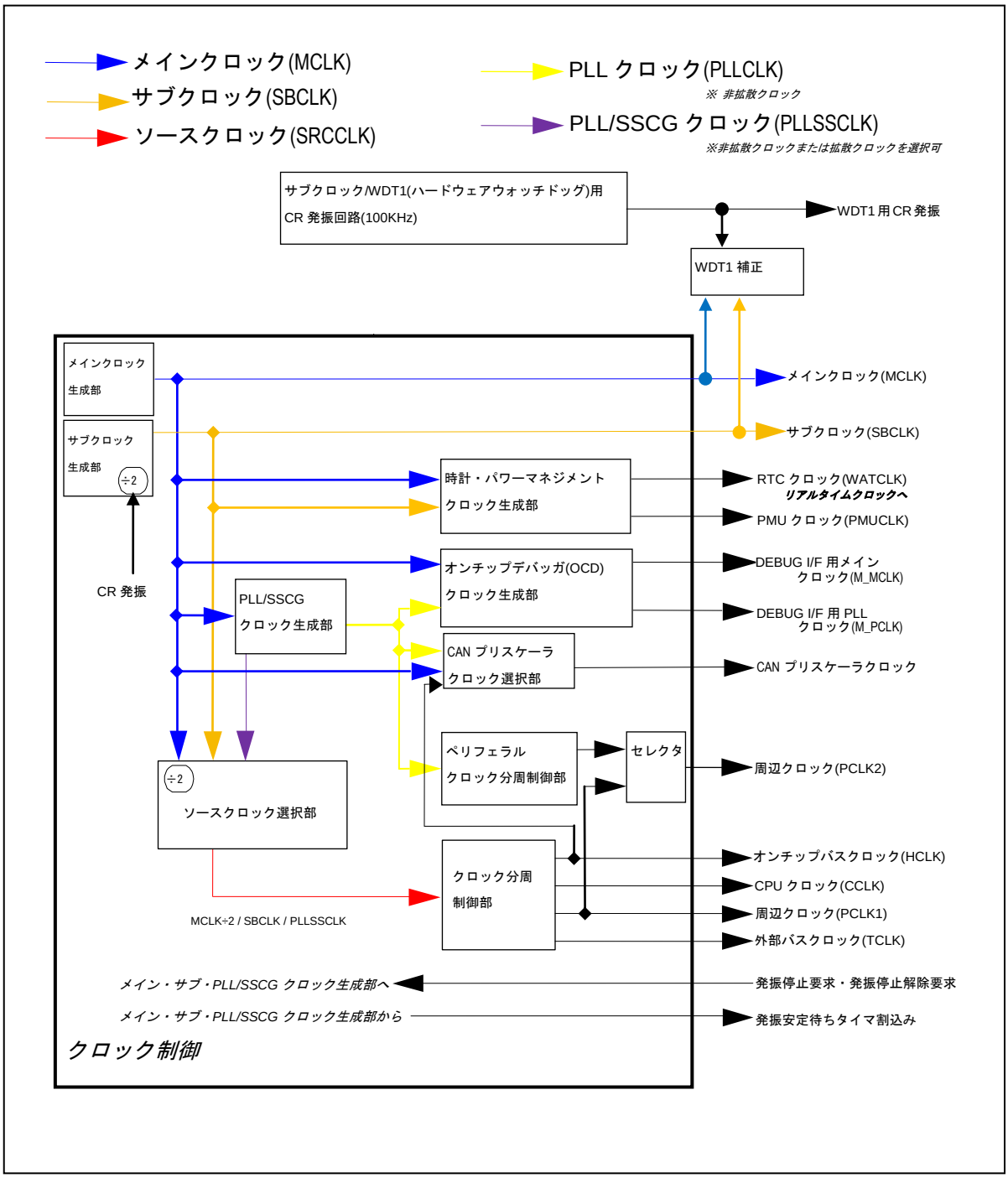
クロックの概要について説明します。

搭載発振回路で 2 系統のクロックを生成、それらよりチップ内各クロック系統を生成します。また、本品種はサブクロックとして使用可能な CR 発振回路を搭載しています。

・搭載発振回路用外部端子:
　メインクロック　: 水晶発振子を接続します。
　サブクロック　　: 水晶発振子を接続します。

・ソースクロックの生成: メインクロック(MCLK)を PLL/SSCG 逓倍したもの、2 分周したものまたはサブクロック(SBCLK)を選択します。
・ソースクロックの分周: ソースクロックを分周し、各部に供給する動作クロックを生成します。

図 1-1 クロック生成系統図



2. 特長

クロックの特長について説明します。

- 2 系統のオンチップオシレータを搭載。
- メインクロック(MCLK)は、オンチップ PLL/SSCG により逓倍されます。
- 各クロックが安定するまで、各クロックはタイマにより供給停止されます(発振安定待ちタイマ)。
- 発振安定待ち終了の割込みを発生させることができます。
- メインクロック発振安定待ちタイマ(メインタイマ)とサブクロック発振安定待ちタイマ(サブタイマ)はメイン・サブの各クロック発振安定後、汎用割込みインターバルタイマとして使用できます。
- リアルタイムクロック用クロックはメインクロック(MCLK)、サブクロック(SBCLK)から選択可能です。
- 100kHz の WDT1 クロック用 CR 発振回路を搭載。
- クロック 1 系統品の場合、CR 発振クロックをサブクロックソースとして使用できます。選択方法は『クロックスーパバイザ』の章を参照してください。
- CAN プリスケーラ用のクロックを生成します。PLL クロック(PLLCLK)[非拡散クロック]、メインクロック(MCLK)から選択可能です。PLL クロック選択時に PLL が停止した場合はオンチップバスクロック(HCLK)を使用します。
- ノイズ低減のため、CPU および周辺機能のクロックとして SSCG クロック[拡散クロック]を選択できます。

＜注意事項＞

時計モード(電源遮断)の復帰要因としてメインタイマまたはサブタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。

3. 構成

クロックの構成について説明します。

図 3-1 クロックの接続図 (1)-1 メインクロック生成部

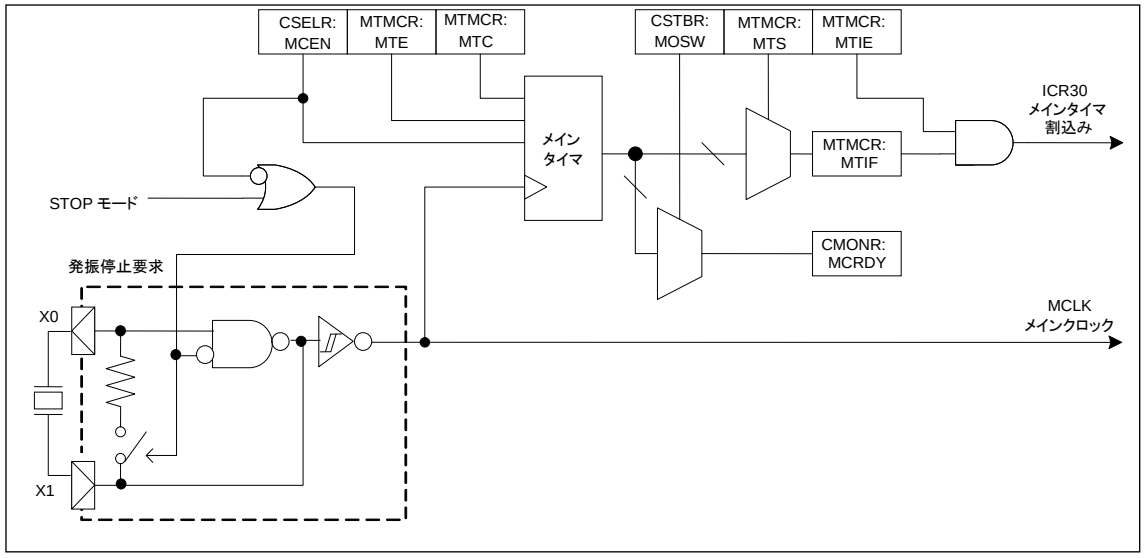


図 3-2 クロックの接続図 (1)-2 サブクロック生成部

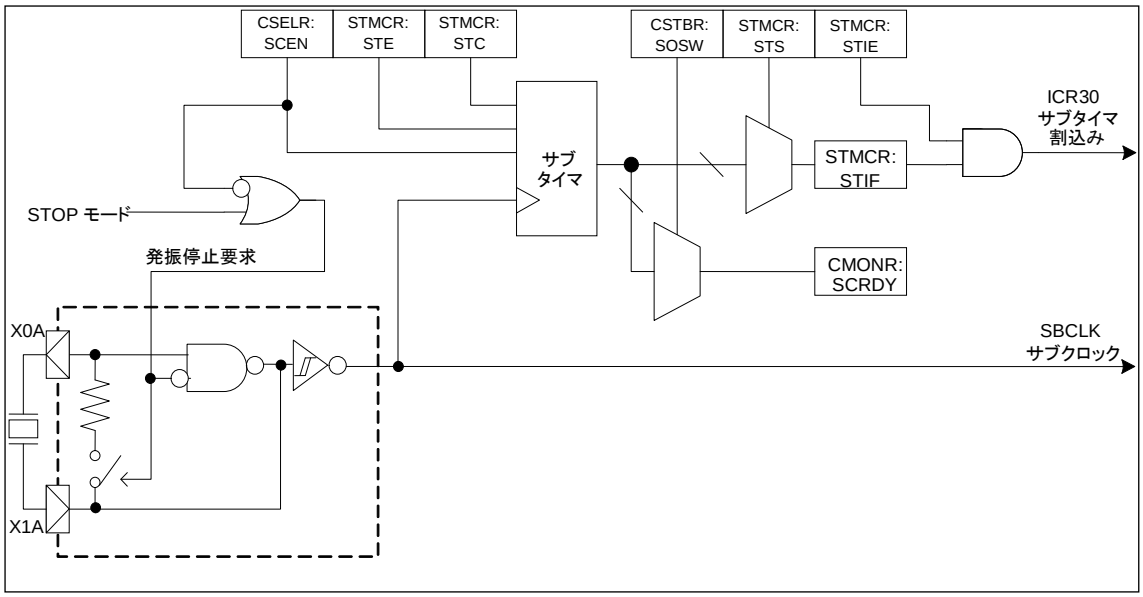


図 3-3 クロックの接続図 (1)-3 PLL/SSCG クロック生成部

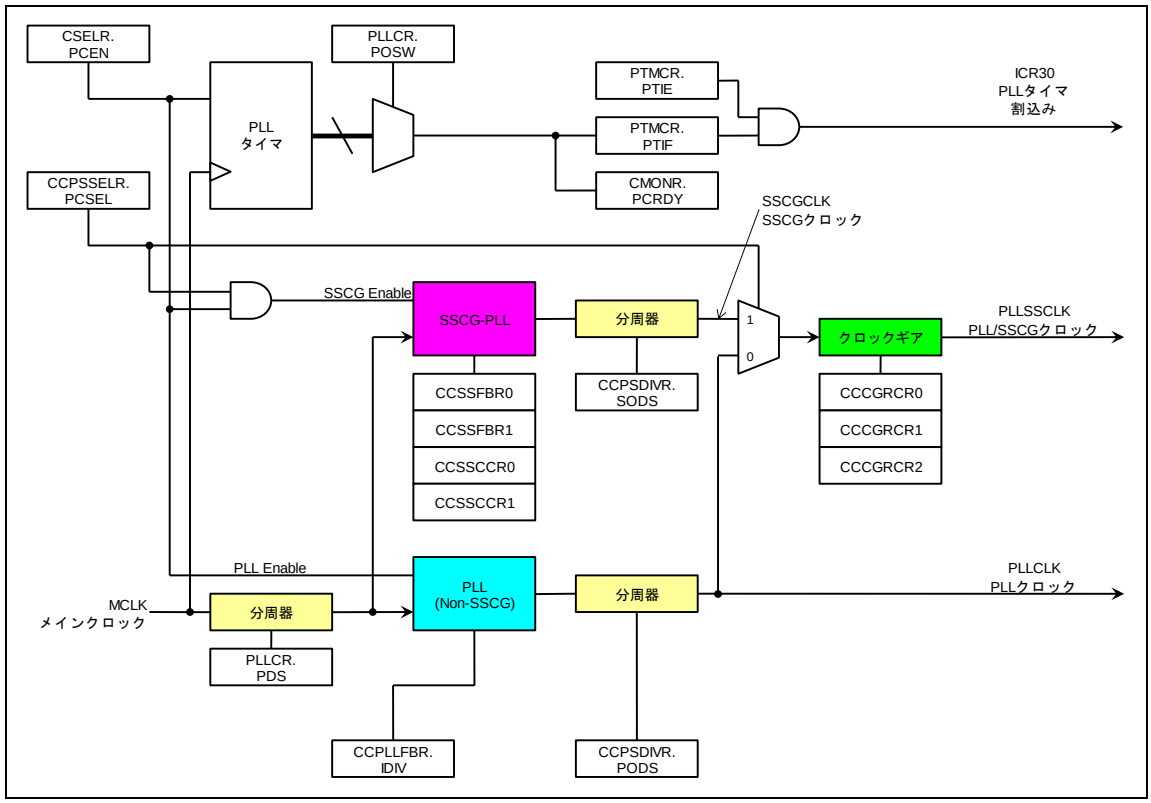


図 3-4 クロックの接続図(2)ソースクロック選択部

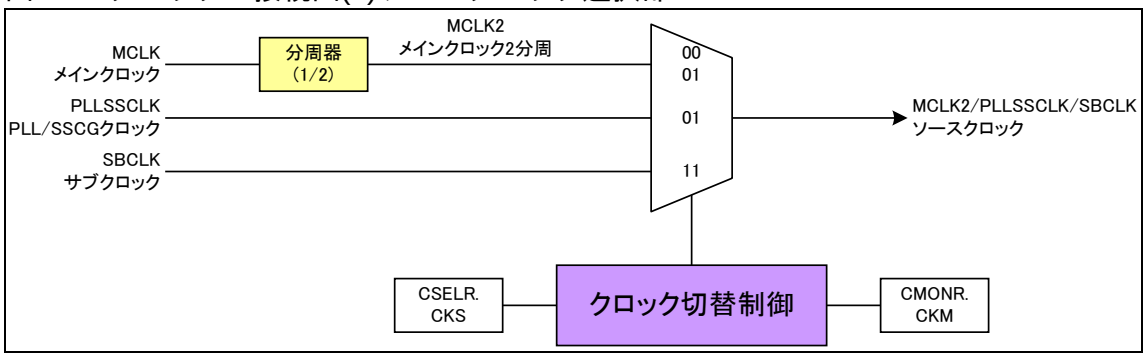


図 3-5 クロックの接続図(3)分周制御

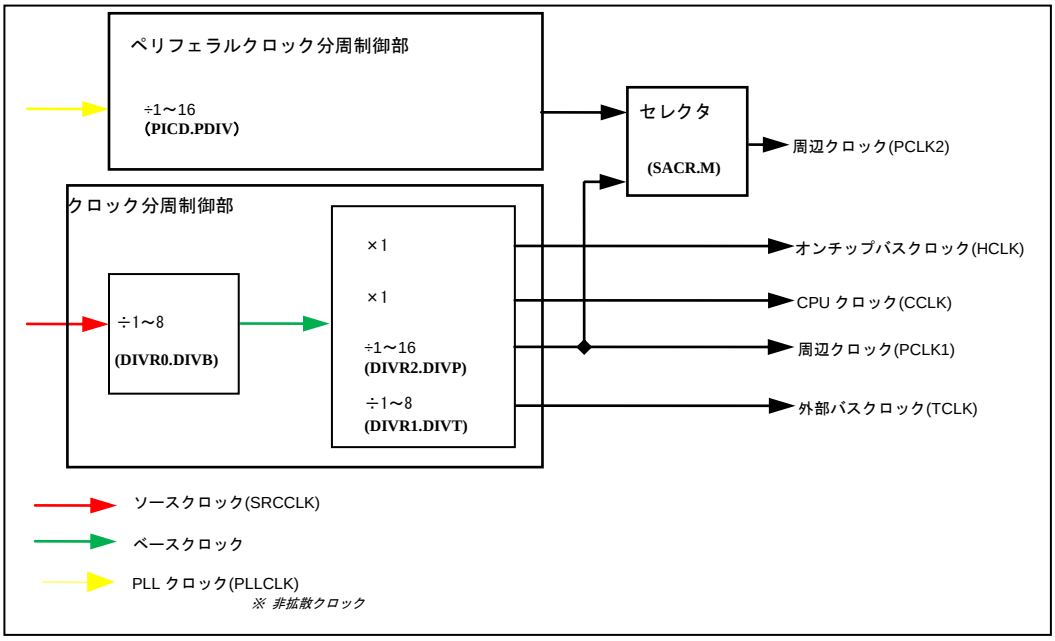


図 3-6 クロックの接続図(4) CAN プリスケーラクロック生成

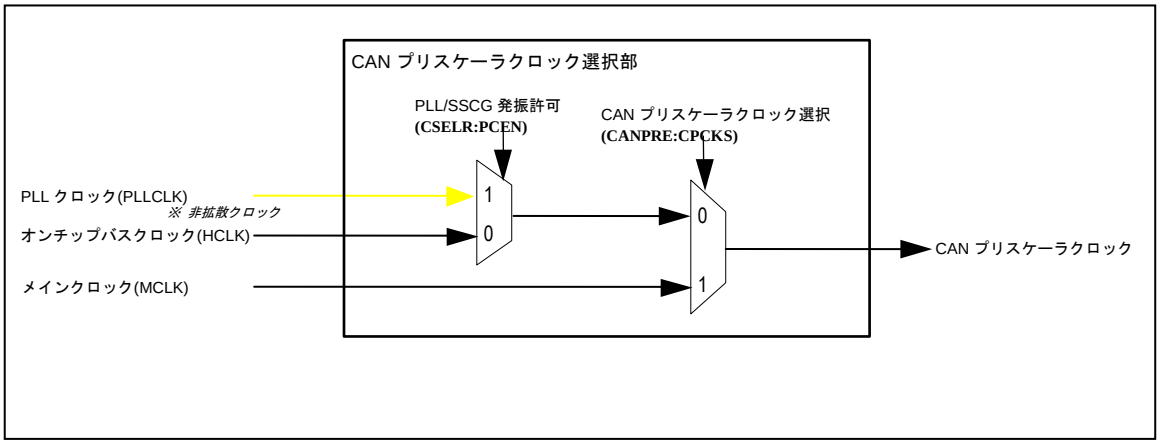


図 3-7 クロックの接続図(5) 時計・パワーマネジメントクロック生成部

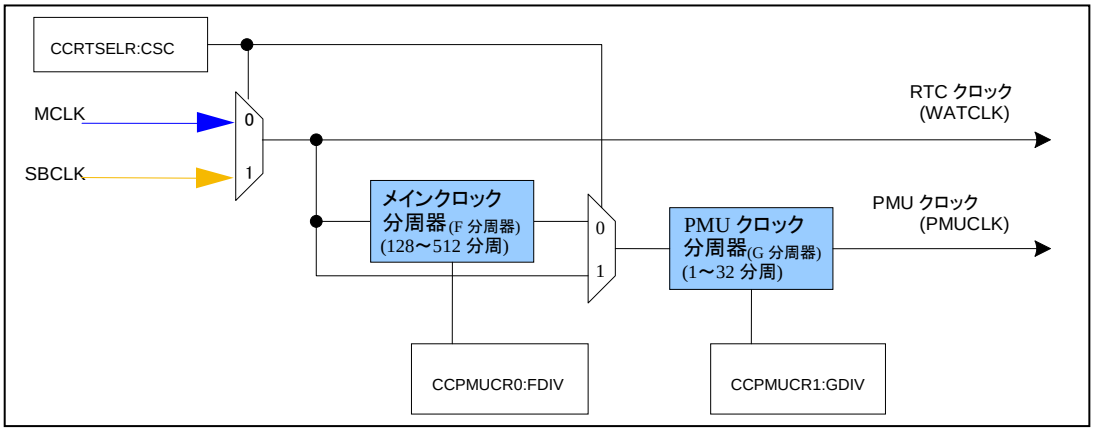


図 3-8 クロック系統図

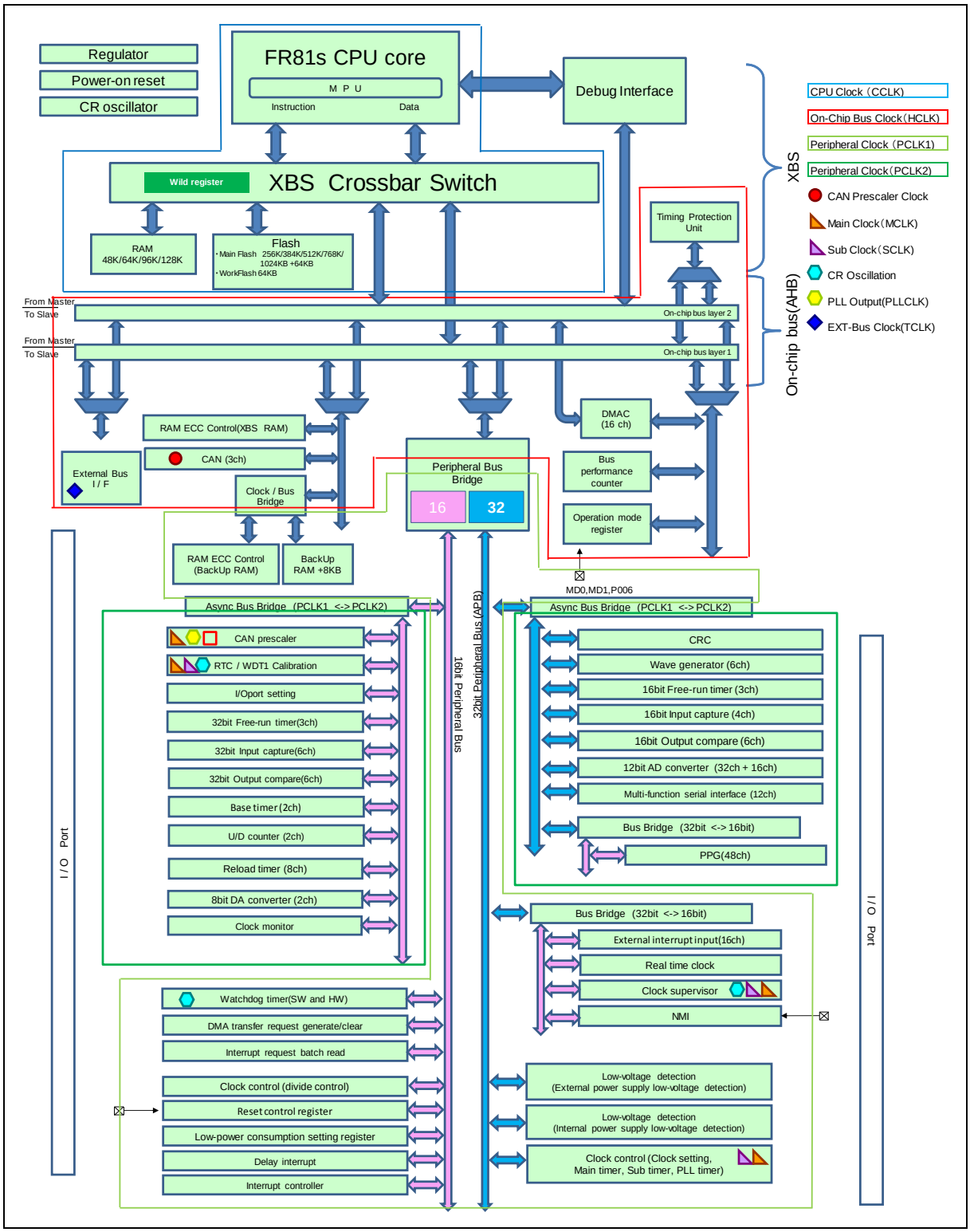

Regulator
Power-on reset
CR oscillator
FR81s CPU core
M P U
Instruction
Data
Debug Interface
Wild register
XBS Crossbar Switch
RAM
48K/64K/96K/128K
Flash
・Main Flash 256K/384K/512K/768K/1024KB +64KB
・WorkFlash 64KB
Timing Protection Unit
From Master
To Slave
On-chip bus layer 2
On-chip bus layer 1
XBS
On-chip bus(AHB)
CPU Clock（CCLK)
On-Chip Bus Clock(HCLK)
Peripheral Clock（PCLK1)
Peripheral Clock(PCLK2)
CAN Prescaler Clock
Main Clock(MCLK)
Sub Clock(SCLK)
CR Oscillation
PLL Output(PLLCLK)
EXT-Bus Clock(TCLK)
RAM ECC Control(XBS RAM)
CAN (3ch)
External Bus I / F
Clock / Bus Bridge
Peripheral Bus Bridge
16
32
DMAC (16 ch)
Bus performance counter
Operation mode register
RAM ECC Control (BackUp RAM)
BackUp RAM +8KB
MD0,MD1,P006
Async Bus Bridge (PCLK1 <-> PCLK2)
Async Bus Bridge (PCLK1 <-> PCLK2)
I / O Port
CAN prescaler
RTC / WDT1 Calibration
I/Oport setting
32bit Free-run timer(3ch)
32bit Input capture(6ch)
32bit Output compare(6ch)
Base timer (2ch)
U/D counter (2ch)
Reload timer (8ch)
8bit DA converter (2ch)
Clock monitor
16bit Peripheral Bus
32bit Peripheral Bus (APB)
CRC
Wave generator (6ch)
16bit Free-run timer (3ch)
16bit Input capture (4ch)
16bit Output compare (6ch)
12bit AD converter (32ch + 16ch)
Multi-function serial interface (12ch)
Bus Bridge (32bit <-> 16bit)
PPG(48ch)
Bus Bridge (32bit <-> 16bit)
External interrupt input(16ch)
Real time clock
Clock supervisor
NMI
I / O Port
Watchdog timer(SW and HW)
DMA transfer request generate/clear
Interrupt request batch read
Clock control (divide control)
Reset control register
Low-power consumption setting register
Delay interrupt
Interrupt controller
Low-voltage detection (External power supply low-voltage detection)
Low-voltage detection (Internal power supply low-voltage detection)
Clock control (Clock setting, Main timer, Sub timer, PLL timer)

表 3-1 PCLK1/PCLK2 を使用する機能の分類表

PCLK1 を使用する機能	PCLK2 を使用する機能
RAM ECC Control (BackUp RAM)	CAN prescaler
BackUp RAM	RTC / WDT1 Calibration
Watchdog timer(SW and HW)	I/O port setting
DMA transfer request generate/clear	32bit Free-run timer(3ch)
Interrupt request batch read	32bit Input capture(6ch)
Clock control (divide control)	32bit Output compare(6ch)
Reset control register	Base timer (2ch)
Low-power consumption setting register	U/D counter (2ch)
Delay interrupt	Reload timer (8ch)
Interrupt controller	8bit D/A converter (2ch)
External interrupt input(16ch)	Clock monitor
Real time clock	CRC
Clock supervisor	Wave generator (6ch)
NMI	16bit Free-run timer (3ch)
Low-voltage detection (External power supply low-voltage detection)	16bit Input capture (4ch)
Low-voltage detection (Internal power supply low-voltage detection)	16bit Output compare (6ch)
Clock control (Clock setting, Main timer, Sub timer, PLL timer)	12bit A/D converter (32ch + 16ch)
-	Multi-function serial interface (12ch)
-	PPG(48ch)

4. レジスタ

クロックのレジスタ概要について説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0488	DIVR0	DIVR1	DIVR2	予約	分周設定レジスタ 0 分周設定レジスタ 1 分周設定レジスタ 2
0x0510	CSELR	CMONR	MTMCR	STMCR	クロックソース設定レジスタ クロックソース監視レジスタ メインタイマ制御レジスタ サブタイマ制御レジスタ
0x0514	PLLCR		CSTBR	PTMCR	PLL 設定レジスタ 発振安定待ち設定レジスタ PLL 発振安定待ちタイマ制御レジスタ
0x0520	CCPSSELR	予約	予約	CCPSDIVR	PLL/SSCG クロック選択レジスタ PLL/SSCG 出力クロック分周設定レジスタ
0x0524	予約	CCPLLFBR	CCSSFBR0	CCSSFBR1	PLL フィードバック分周設定レジスタ SSCG フィードバック分周設定レジスタ 0 SSCG フィードバック分周設定レジスタ 1
0x0528	予約	CCSSCCR0	CCSSCCR1		SSCG コンフィグ設定レジスタ 0 SSCG コンフィグ設定レジスタ 1
0x052C	予約	CCCGRCR0	CCCGRCR1	CCCGRCR2	クロックギアコンフィグ設定レジスタ 0 クロックギアコンフィグ設定レジスタ 1 クロックギアコンフィグ設定レジスタ 2
0x0530	CCRTSELR	予約	CCPMUCR0	CCPMUCR1	RTC/PMU クロック選択レジスタ PMU クロック分周設定レジスタ 0 PMU クロック分周設定レジスタ 1
0x0534	予約	予約	予約	予約	予約
0x0538	予約	予約	予約	予約	予約
0x053C	予約	予約	予約	予約	予約
0x1000	SACR	PICD	予約	予約	Sync/Async Control Register Peripheral Interface Clock Divider

4.1. 分周設定レジスタ 0 : DIVR0 (DIVide clock configuration Register 0)

分周設定レジスタ 0 のビット構成について示します。

クロックの分周を制御します。

■ DIVR0 : アドレス 0488$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DIVB[2:0]			予約				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] DIVB[2:0] (DIVide ratio of Baseclock) : ベースクロック分周設定

ソースクロックからベースクロックを生成する部分での分周を以下のように設定します。

CPU 動作クロック、オンチップバスクロック(HCLK)はベースクロックと同一周波数です。

DIVB[2:0]	分周比
000	分周しない(初期値)
001	2 分周
010	3 分周
011	4 分周
100	5 分周
101	6 分周
110	7 分周
111	8 分周

[bit4～bit0] (予約)

4.2. 分周設定レジスタ 1 : DIVR1 (DIVide clock configuration Register 1)

分周設定レジスタ 1 のビット構成について示します。

クロックの分周を制御します。

■ DIVR1 : アドレス 0489$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TSTP	DIVT[2:0]			予約			
初期値	0	0	0	1	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] TSTP (TCLK SToP) : **外部バスクロック停止許可**

スリープモード時に、外部バスクロック(TCLK)を停止するかどうかを設定します。

TSTP	スリープモード時の TCLK
0	停止しない(初期値)
1	停止する

[bit6～bit4] DIVT[2:0] (DIVide ratio of TCLK) : **外部バスクロック分周設定**

ベースクロックから外部バスクロック(TCLK)を生成する際の分周比を設定します。

DIVT[2:0]	ベースクロック→TCLK 分周比
000	分周しない
001	2 分周(初期値)
010	3 分周
011	4 分周
100	5 分周
101	6 分周
110	7 分周
111	8 分周

＜注意事項＞

外部バスクロック(TCLK)は必ず 40MHz 以下になるように本レジスタを設定してください。

[bit3～bit0] (予約)

4.3. 分周設定レジスタ 2 : DIVR2 (DIVide clock configuration Register 2)

分周設定レジスタ 2 のビット構成について示します。

クロックの分周を制御します。

■ DIVR2 :アドレス 048A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DIVP[3:0]				予約			
初期値	0	0	1	1	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit4] DIVP[3:0] (DIVide ratio of PCLK) : 周辺クロック分周設定

ベースクロックから周辺クロック(PCLK)を生成する際の分周比を設定します。

DIVP[3:0]	ベースクロック→PCLK 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周(初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

＜注意事項＞

周辺クロック(PCLK)は必ず 40MHz 以下になるように本レジスタを設定してください。

[bit3～bit0] (予約)

4.4. クロックソース設定レジスタ ：CSELR (Clock source SELect Register)

分周設定レジスタ 0 のビット構成について示します。

各クロックソースの制御、ソースクロック(SRCCLK)の選択を行います。

■ CSELR： アドレス 0510$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SCEN	PCEN	MCEN	予約			CKS[1:0]	
初期値	*	0	1	0	0	0	0	0
属性	R,W	R,W	R,W	R0,WX	R0,WX	R0,WX	R,W	R,W

*: 時計モード(電源遮断)からの復帰では初期化しません。それ以外は"0"に初期化します。

＜注意事項＞

本レジスタに設定した値、また本レジスタを読み出した値は実際に制御/選択されている状態ではありません。 本レジスタに設定した値が実際に反映されたかどうかは、CMONR を読み出すことで確認できます。 本レジスタ値と CMONR が同じ値であることを確認した後に、本レジスタを書き換えてください。 クロック切換え中(CKS[1:0]≠CKM[1:0])、本レジスタの書込みは無視されます。

[bit7] SCEN (Sub Clock ENable) : **サブクロック発振許可**

サブクロック(SBCLK)用発振回路を以下のように制御します。

SCEN	サブクロック用発振制御
0	発振を停止する(初期値)
1	発振する

サブクロック(SBCLK)をソースクロックとして選択している場合、本ビットは書き換えることができません。

ストップモード時は、本ビットの値にかかわらずサブクロック用発振回路は停止します。

本ビットが"0"のとき、サブタイマはクリアされます。

[bit6] PCEN (PLL Clock ENable) : PLL 発振許可

PLL/SSCG クロック発振回路を以下のように制御します。

PCEN	PLL/SSCG クロック(PLLSSCLK)用発振制御
0	発振を停止する(初期値)
1	発振する

PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択している場合、本ビットは書き換えることができません。メイン発振停止またはメイン発振安定待ち中(CMONR.MCRDY=0)の場合、本ビットは書き換えることができません。

ストップモードにする前に、本ビットを"0"にしてください。

MCEN ビットを"0"に書き換えると、本ビットも"0"になります。

＜注意事項＞

MDI 高速通信中、本ビットの値にかかわらず、PLL は発振許可状態となります。

[bit5] MCEN (Main Clock ENable) : メインクロック発振許可

メインクロック用発振回路を以下のように制御します。

MCEN	メインクロック用発振制御
0	発振を停止する
1	発振する(初期値)

メインクロック(MCLK)または PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択している場合、本ビットは書き換えることができません。

ストップモード時は、本ビットの値にかかわらずメインクロック用発振回路は停止します。

本ビットが"0"のとき、メインタイマがクリアされます。

＜注意事項＞

MDI 低速通信中、本ビットの値にかかわらず、メインクロックは発振許可状態となります。

[bit4～bit2] (予約)

[bit1, bit0] CKS[1:0] (ClocK Select) : **ソースクロック選択**

ソースクロック(SRCCLK)を以下に示すように選択します。

CKS	ソース選択
00	メインクロック(MCLK)の 2 分周(初期値)
01	メインクロック(MCLK)の 2 分周
10	PLL/SSCG クロック(PLLSSCLK)
11	サブクロック(SBCLK)

ただし CKS[1:0]≠CKM[1:0]の場合、本ビットを書き換えることはできません。また本ビットで切り換えようとするクロックの発振が停止または安定待ち中(CMONR.xCRDY =0)の場合、本ビットは書き換えることができません。

サブクロック(SBCLK)から PLL/SSCG クロック(PLLSSCLK)、PLL/SSCG クロック(PLLSSCLK)からサブクロック(SBCLK)へは直接切り換えることができません。

本ビットを変更できる組み合わせは以下のとおりです。

変更前の CKS の値	書換え可能な値	書換え条件	書換え不可な値
00	00, 01	MCRDY=1	11
	10	PCRDY=1	
01	00, 01	MCRDY=1	10
	11	SCRDY=1	
10	00	MCRDY=1	01, 11
	10	PCRDY=1	
11	01	MCRDY=1	00, 10
	11	SCRDY=1	

書換え不可能な値を書込みしないでください。

4.5. クロックソース監視レジスタ ：CMONR (Clock source MONitor Register)

クロックソース監視レジスタのビット構成について示します。

各クロックソースの状態、ソースクロック(SRCCLK)を表示します。
本レジスタを読み出すことにより、CSELR に設定された値が実際の状態に反映されているかどうかを確認できます。

■ CMONR： アドレス 0511$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SCRDY	PCRDY	MCRDY	予約			CKM[1:0]	
初期値	*	0	1	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX

*: 時計モード(電源遮断)からの復帰では初期化しません。それ以外は"0"に初期化します。

＜注意事項＞

CSELR 設定値を変更した場合は、必ず本レジスタを読出し、CSELR に設定した値と同じ値を示すまで、次の CSELR 設定値変更は行わないでください。

[bit7] SCRDY (Sub Clock ReaDY) : サブクロックレディ

サブクロック(SBCLK)の状態を以下のように示します。

SCRDY	サブクロック(SBCLK)の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが"0"のときは、サブクロック(SBCLK)をソースクロックとして選択することができません。

＜注意事項＞

SCEN=1→0 に変更直後、SCRDY=1 が読み出される場合があります。

[bit6] PCRDY (PLL Clock ReaDY) : PLL クロックレディ

PLL/SSCG クロック(PLLSSCLK)の状態を以下のように示します。

PCRDY	PLL/SSCG クロック(PLLSSCLK)の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが"0"のときは、PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択することができません。

＜注意事項＞

PCEN=1→0 に変更直後、PCRDY=1 が読み出される場合があります。
MDI 高速通信中、本ビットの値にかかわらず、PLL は発振許可状態となります。

[bit5] MCRDY (Main Clock ReaDY) : メインクロックレディ

メインクロック(MCLK)の状態を以下のように示します。

MCRDY	メインクロック(MCLK)の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが"0"のときは、メインクロック(MCLK)または PLL/SSCG クロック(PLLSSCLK)をソースクロックとして選択することができません。
本ビットの初期値が"1"であるのは、パワーオンリセット後の初のリセットベクタフェッチ時点で発振安定中であるという意味であり、パワーオンリセット直後に既に発振安定中であるという意味ではありません。

＜注意事項＞

MCEN=1→0 に変更直後、MCRDY=1 が読み出される場合があります。
MDI 高速通信中、本ビットの値にかかわらず、メインクロックは発振許可状態となります。

[bit4～bit2] (予約)

[bit1, bit0] CKM[1:0] (ClocK Monitor) : ソースクロック表示

現在選択中のソースクロック(SRCCLK)を示します。

CKM[1:0]	ソース選択
00	メインクロック(MCLK)の 2 分周
01	メインクロック(MCLK)の 2 分周
10	PLL/SSCG クロック(PLLSSCLK)
11	サブクロック(SBCLK)

4.6. メインタイマ制御レジスタ ：MTMCR (Main clock TiMer Control Register)

メインタイマ制御レジスタのビット構成について示します。

メインクロック(MCLK)で動作するメインタイマの制御を行います。

■ MTMCR： アドレス 0512$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MTIF	MTIE	MTC	MTE	MTS[3:0]			
初期値	0	0	0	0	1	1	1	1
属性	R(RM1), W	R/W	R(RM0), W	R/W	R1,WX	R/W	R/W	R/W

メインタイマはメインクロック(MCLK)の発振安定待ち時間生成に使用されるため、メインクロックの発振が安定した後のみ使用できます。

メインクロック発振停止中(MCEN=0)またはストップモード中は、メインタイマはクリアされます。

メインタイマの動作が許可されていない時(MTE=0)は、メインクロック発振安定待ち時以外、メインタイマは停止します。MTIE を除き、MCRDY=1 のときのみ本レジスタの書込みが有効になります。そのため、メインクロック発振安定待ち時(MCEN=1 かつ MCRDY=0)の MTC=1 によるメインタイマクリアは無効です。

メインタイマ停止時(MTE=0)、メインタイマはクリアされ、クリア中は MTC=1 が読み出されます。

そのとき、メインタイマ割込みフラグはセットされません。メインタイマオーバフロー周期(MTS[3:0])の変更はメインタイマ停止(MTE=0)期間中に行ってください。

MTE=1→0 書換え時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが"1"になる可能性があります。MTC=1 書込み時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが"1"になる可能性があります。MTE=0→1 書換えと同時に MTC=1 書込みをした場合、クリアしてから動作開始となり、スタートが遅れます。

[bit7] MTIF (Main clock Timer Interrupt Flag) : メインタイマ割込みフラグ

メインタイマの選択した周期でのオーバフローが発生したことを示すフラグです。

MTIE ビットが"1"のとき、本ビットがセットさせるとメインタイマ割込み要求が発生します。

クリア要因	・"0"書込み ・メインタイマ割込みによる DMA 転送の発生
セット要因	・MTS[3:0]で設定された周期でのオーバフロー発生 ・MCEN=0→1 後のメインクロックの発振安定待ち時間の終了 ・ストップモード解除時のメインクロック(MCLK)の発振安定待ち時間の終了 (SINIT によるリセット後の発振安定待ち時間の終了時はセットされません)

本ビットへの"1"書込みは無効です。
MTIE ビットが"0"のとき、DMA 転送による本ビットのクリアは行われません。
リードモディファイライト命令では、"1"がリードされます。
セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
メインタイマ割込みフラグはセットされません。

[bit6] MTIE (Main clock Timer Interrupt Enable) : **メインタイマ割込み許可**
メインタイマのオーバフローによる割込みを以下に示すように制御します。

MTIE	メインタイマ割込み
0	割込み禁止(初期値)
1	割込み許可(MTIF ビットが"1"のとき、割込み要求を出力)

[bit5] MTC (Main clock Timer Clear) : **メインタイマクリア**
メインタイマをクリアします。

MTC	書込み時	読出し時
0	何もしない	通常動作中
1	メインタイマをクリアする	メインタイマクリア中

"1"書込み後は、自動的に"0"に戻ります。

リードモディファイライト命令では、"0"がリードされます。

MTC=1 のとき、MTC=1 を書き込むと、2 回目の書込みは無視されます。

[bit4] MTE (Main clock Timer Enable) : **メインタイマ動作許可**
メインタイマの動作を以下に示すように制御します。

MTE	メインタイマ動作
0	動作禁止(初期値)
1	動作許可

MTC=1 のとき、MTE=1 書込みは禁止です。

PLL/SSCG クロック発振安定待ちを行う場合、必ず本ビットを"0"にして、メインタイマを停止してください。

[bit3～bit0] MTS[3:0] (Main clock Timer interval Select)：**メインタイマ周期選択**

メインタイマのオーバフロー周期を以下に示すように選択します。

MTS[3:0]	メインタイマオーバフロー周期	4MHz 時
1000	2^9 × メインクロック周期	128.0[µs]
1001	2^{10} × メインクロック周期	256.0[µs]
1010	2^{11} × メインクロック周期	512.0[µs]
1011	2^{12}× メインクロック周期	1024.0[µs]
1100	2^{13}× メインクロック周期	2048.0[µs]
1101	2^{14}× メインクロック周期	4096.0[µs]
1110	2^{15}× メインクロック周期	8192.0[µs]
1111	2^{16} × メインクロック周期(初期値)	16384.0[µs]

MTS[3]は常に"1"が読み出されます。

MTS[3:0]の変更はメインタイマ停止(MTE=0)期間中に行ってください。

4.7. サブタイマ制御レジスタ: STMCR (Sub clock TiMer Control Register)

サブタイマ制御レジスタのビット構成について示します。

サブクロックで動作するサブタイマの制御を行います。

■ STMCR : アドレス 0513$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STIF	STIE	STC	STE	予約	STS[2:0]		
初期値	0	0	0	0	0	1	1	1
属性	R(RM1), W	R/W	R(RM0), W	R/W	R0,WX	R/W	R/W	R/W

サブタイマはサブクロック(SBCLK)の発振安定待ち時間生成に使用されるため、サブクロックの発振が安定した後のみ使用できます。

サブクロック発振停止中(SCEN=0)またはストップモード中は、サブタイマはクリアされます。

サブタイマの動作が許可されていない時(STE=0)は、サブクロック発振安定待ち時間以外、サブタイマは停止します。STIE を除き、SCRDY=1 のときのみ、本レジスタの書込みが有効になります。そのため、サブクロック発振安定待ち時(SCEN=1 かつ SCRDY=0)の STC=1 によるサブタイマクリアは無効です。

サブタイマ停止時(STE=0)、サブタイマはクリアされ、クリア中は STC=1 が読み出されます。そのとき、サブタイマ割込みフラグはセットされません。サブタイマオーバフロー周期(STS[2:0])の変更はサブタイマ停止(STE=0)期間中に行ってください。

STE=1→0 書換え時、STC=0 となるまでサブタイマは動作します。その間に、サブタイマ割込みフラグが"1"になる可能性があります。STC=1 書込み時、STC=0 となるまでサブタイマは動作します。その間に、サブタイマ割込みフラグが"1"になる可能性があります。STE=0→1 書換えと同時に STC=1 書込みをした場合、クリアしてから動作開始となり、スタートが遅れます。

[bit7] STIF (Sub clock Timer Interrupt Flag) : **サブタイマ割込みフラグ**

サブタイマの選択した周期でのオーバフローが発生したことを示すフラグです。

STIE ビットが"1"のとき、本ビットがセットされるとサブタイマ割込み要求が発生します。

クリア要因	・"0"書込み ・サブタイマ割込みによる DMA 転送の発生
セット要因	・STS[2:0]で設定された周期でのオーバフロー発生 ・SCEN=0→1 後のサブクロックの発振安定待ち時間の終了 ・ストップモード解除時のサブクロックの発振安定待ち時間の終了

本ビットへの"1"書込みは無効です。

STIE ビットが"0"のとき、DMA 転送による本ビットのクリアは行われません。

リードモディファイライト命令では、"1"がリードされます。
セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
サブタイマ割込み要求フラグはセットされません。

[bit6] STIE (Sub clock Timer Interrupt Enable) : **サブタイマ割込み許可**

サブタイマのオーバフローによる割込みを以下に示すように制御します。

STIE	サブタイマ割込み
0	割込み禁止(初期値)
1	割込み許可(STIF ビットが"1"のとき、割込み要求を出力)

[bit5] STC (Sub clock Timer Clear) : **サブタイマクリア**

サブタイマをクリアします。

STC	書込み時	読出し時
0	何もしない	通常動作中
1	サブタイマをクリアする	サブタイマクリア中

"1"書込み後は、自動的に"0"に戻ります。

リードモディファイライト命令では、"0"がリードされます。

STC=1 のとき、STC=1 を書き込むと、2 回目の書込みは無視されます。

[bit4] STE (Sub clock Timer Enable): **サブタイマ動作許可**

サブタイマの動作を以下に示すように制御します。

STE	サブタイマ動作
0	動作禁止(初期値)
1	動作許可

STC=1 のとき、STE=1 書込みは禁止です。

[bit3] (予約)

[bit2～bit0] STS[2:0] (Sub clock Timer interval Select): サブタイマ周期選択
サブタイマのオーバフロー周期を以下に示すように選択します。

STS[2:0]	サブタイマオーバフロー周期	32KHz 時	CR クロック選択時
000	2^8× サブクロック周期	8[ms]	5.12[ms]
001	2^9 × サブクロック周期	16[ms]	10.24[ms]
010	2^{10} ×サブクロック周期	32[ms]	20.48[ms]
011	2^{11} × サブクロック周期	64[ms]	40.96[ms]
100	2^{12}× サブクロック周期	128[ms]	81.92[ms]
101	2^{13}× サブクロック周期	0.256[s]	163.84[ms]
110	2^{14}× サブクロック周期	0.512[s]	327.68[ms]
111	2^{15}× サブクロック周期 (初期値)	1.024[s]	655.36[ms]

4.8. PLL 設定レジスタ: PLLCR (PLL Configuration Register)

PLL 設定レジスタのビット構成について示します。

PLL/SSCG クロック発振回路内の逓倍率や分周比、発振安定待ち時間を設定します。

■ PLLCR : アドレス 0514$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	POSW[3:0]				PDS[3:0]			
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R,W	R,W	R,W	R,W	R,W	R,W	R,W

メインクロック(MCLK)から PLL/SSCG クロック(PLLSSCLK)を生成する PLL/SSCG クロック発振回路内の逓倍率を設定します。
PLL/SSCG クロック発振許可中(CSELR.PCEN=1)のとき、本レジスタへの書込みは無効です。

[bit15, bit14] (予約)
必ず"0"を書き込んでください。

[bit13] (予約)

[bit12～bit8] (予約)
必ず"0"を書き込んでください。

[bit7～bit4] POSW[3:0] (Pll clock OSc Wait) : PLL 発振安定待ち選択
PLL/SSCG クロック(PLLSSCLK)の発振安定待ち時間を以下に示すように選択します。

POSW[3:0]	PLL/SSCG クロック発振安定待ち時間	4MHz 時	8MHz 時
1000	2^9 × メインクロック周期	128.0[µs]	64.0[µs]
1001	2^{10} × メインクロック周期	256.0[µs]	128.0[µs]
1010	2^{11} × メインクロック周期	512.0[µs]	256.0[µs]
1011	2^{12}× メインクロック周期	1024.0[µs]	512.0[µs]
1100	2^{13}× メインクロック周期	2048.0[µs]	1024.0[µs]
1101	2^{14}× メインクロック周期	4096.0[µs]	2048.0[µs]
1110	2^{15}× メインクロック周期	8192.0[µs]	4096.0[µs]
1111	2^{16} × メインクロック周期(初期値)	16384.0[µs]	8192.0[µs]

POSW3 は常に"1"が読み出されます。

＜注意事項＞

本品種の PLL/SSCG クロック ロックアップタイム待ち時間仕様は 200[µs] となっています。以下どちらかの方法で 200[µs] 以上の待ち時間を確保してください。

- 256[µs] 以上の POSW[3:0] を選択
- POSW[3:0] の設定値にかかわらず、ソフトウェア処理で 200[µs] 以上の待ち時間を確保

[bit3～bit0] PDS[3:0] (Pll input clock Divider Select) : PLL 入力クロック分周選択
PLL および SSCG 入力クロックのメインクロック(MCLK)分周を以下に示すように選択します。

PDS[3:0]	PLL/SSCG 入力クロック分周選択
0000	PLL および SSCG 入力クロック = メインクロック / 1
0001	PLL および SSCG 入力クロック = メインクロック / 2
0010	PLL および SSCG 入力クロック = メインクロック / 3
0011	PLL および SSCG 入力クロック = メインクロック / 4
0100	PLL および SSCG 入力クロック = メインクロック / 5
0101	PLL および SSCG 入力クロック = メインクロック / 6
0110	PLL および SSCG 入力クロック = メインクロック / 7
0111	PLL および SSCG 入力クロック = メインクロック / 8

PDS[3:0]	PLL/SSCG 入力クロック分周選択
1000	PLL および SSCG 入力クロック = メインクロック / 9
1001	PLL および SSCG 入力クロック = メインクロック / 10
1010	PLL および SSCG 入力クロック = メインクロック / 11
1011	PLL および SSCG 入力クロック = メインクロック / 12
1100	PLL および SSCG 入力クロック = メインクロック / 13
1101	PLL および SSCG 入力クロック = メインクロック / 14
1110	PLL および SSCG 入力クロック = メインクロック / 15
1111	PLL および SSCG 入力クロック = メインクロック / 16

*: PLL/SSCG およびシステムのスペックに合わせて、設定してください。
*: 設定例に関しては「5.1.3 PLL/SSCG クロック(PLLSSCLK)」を参照してください。

設定値の制限があります。設定時には、「5.1.4 PLL/SSCG クロック使用時の制限事項」を参照してください。

4.9. 発振安定待ち設定レジスタ: CSTBR (Clock STaBilization select Register)

発振安定待ち設定レジスタのビット構成について示します。

各クロックソースの発振安定待ちを設定します。
本レジスタで設定した発振安定待ち時間は、ストップ/時計モードからの復帰時や、ソースクロックとして選択していないクロックを発振許可してからそのクロックのレディ(CMONR:*CRDY)が"1"となるまでに使用されます。リセット時に発振安定待ちが必要な場合、必ず本レジスタの初期値で選択される安定待ち時間となります。メインクロック発振安定待ち時間中は(MCEN=1 かつ MCRDY=0)、MOSW[3:0]への書込みは無効です。サブクロック発振安定待ち時間中は(SCEN=1 かつ SCRDY=0)、SOSW[2:0]への書込みは無効です。

■ CSTBR : アドレス 0516$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	SOSW[2:0]			MOSW[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit7] (予約)

[bit6～bit4] SOSW[2:0] (Sub clock OSc Wait) : サブクロック発振安定待ち選択
サブクロック(SBCLK)の発振安定待ち時間を以下に示すように選択します。

SOSW[2:0]	サブクロック発振安定待ち時間	32KHz 時	CR クロック選択時
000	2^8× サブクロック周期(初期値)	8[ms]	5.12[ms]
001	2^9 × サブクロック周期	16[ms]	10.24[ms]
010	2^{10} × サブクロック周期	32[ms]	20.48[ms]
011	2^{11} × サブクロック周期	64[ms]	40.96[ms]
100	2^{12}× サブクロック周期	128[ms]	81.92[ms]
101	2^{13}× サブクロック周期	0.256[s]	163.84[ms]
110	2^{14}× サブクロック周期	0.512[s]	327.68[ms]
111	2^{15}× サブクロック周期	1.024[s]	655.36[ms]

[bit3～bit0] MOSW[3:0] (Main clock OSc Wait) : **メインクロック発振安定待ち選択**

MOSW[3:0]の設定値により、メインタイマの周期が設定されます。
メインクロック(MCLK)の発振安定待ち時間を以下に示すように選択します。

MOSW[3:0]	メインクロック発振安定待ち時間	4MHz 時
0000	2^{15}×メインクロック周期 (初期値)	8[ms]
0001	2^1×メインクロック周期	500[ns]
0010	2^5×メインクロック周期	8[µs]
0011	2^6×メインクロック周期	16[µs]
0100	2^7×メインクロック周期	32[µs]
0101	2^8×メインクロック周期	64[µs]
0110	2^9×メインクロック周期	128[µs]
0111	2^{10}×メインクロック周期	256[µs]
1000	2^{11}×メインクロック周期	512[µs]
1001	2^{12}×メインクロック周期	1[ms]
1010	2^{13}×メインクロック周期	2[ms]
1011	2^{14}×メインクロック周期	4[ms]
1100	2^{17}×メインクロック周期	33[ms]
1101	2^{19}×メインクロック周期	131[ms]
1110	2^{21}×メインクロック周期	524[ms]
1111	2^{23}×メインクロック周期	2[s]

＜注意事項＞

クロックスーパバイザ機能が有効な場合、本レジスタの設定周期よりも断検出の周期が短いと、発振安定待ち中に断検出されてしまうので、注意してください。

断検出の周期は、2^{12} × CR 発振=約 40.96ms になります。

4.10. PLL 発振安定待ちタイマ設定レジスタ: PTMCR (PLL clock osc TiMer Control Register)

PLL 発振安定待ちタイマ設定レジスタのビット構成について示します。

PLL/SSCG クロック発振安定待ちを行うメインクロックで動作するタイマの制御を行います。
PLL/SSCG クロック発振安定待ちタイマは PLL/SSCG クロックの発振安定待ち時間にのみ使用されます。
PLL/SSCG クロック発振安定待ち時間は PLLCR:POSW[3:0]で設定した時間になります。
PLL/SSCG クロック発振安定待ちタイマは PLL/SSCG クロック発振許可(CSELR.PCEN = "1")されてから動作を開始し、発振安定待ち時間動作した後、停止します。また、PLL/SSCG クロック発振停止(CSELR.PCEN = "0")されるとクリアされます。

■ PTMCR : アドレス 0517$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PTIF	PTIE	予約					
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PTIF (Pll clock osc wait Timer Interrupt Flag) : PLL 発振安定待ちタイマ割込みフラグ

PLL 発振安定待ち選択(PLLCR:POSW[3:0])で設定した時間でのオーバフローが発生したことを示すフラグです。PTIE ビットが"1"のとき、本ビットがセットされると PLL/SSCG クロック発振安定待ちタイマ割込み要求が発生します。

クリア要因	・"0"書込み ・PLL/SSCG クロック発振安定待ちタイマによる DMA 転送の発生
セット要因	・PCEN=0→1 後の PLL/SSCG クロック発振安定待ちクロックの発振安定待ち時間の終了

本ビットへの"1"書込みは無効です。

PTIE ビットが"0"のとき、DMA 転送による本ビットのクリアは行われません。
リードモディファイライト命令では、"1"がリードされます。
セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit6] PTIE (Pll clock osc wait Timer Interrupt Enable) : PLL 発振安定待ちタイマ割込み許可

PLL/SSCG クロック発振安定待ちタイマのオーバフローによる割込みを以下に示すように制御します。

PTIE	動作
0	割込み禁止(初期値)
1	割込み許可(PTIF ビットが"1"のとき、割込み要求を出力)

[bit5～bit0] (予約)

4.11. PLL/SSCG クロック選択レジスタ: CCPSSELR (CCtl Pll/Sscg clock SELect Register)

PLL/SSCG クロック選択レジスタのビット構成について示します。

PLL もしくは SSCG のどちらを使用するか選択するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPSSELR : アドレス 0520_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							PCSEL
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit7～bit1] (予約)

[bit0] PCSEL (Pll Clock source SELect) : PLL/SSCG クロックソース選択
PLL/SSCG クロックのソースを選択します。

PCSEL	PLL or SSCG
0	PLL を選択
1	SSCG を選択

＜注意事項＞

PCSEL=0 の場合、SSCG は(未使用のため)常にリセット状態となります。
PCSEL=1 の場合でも、CAN および OCDU には PLL クロックが供給されます。

4.12. PLL/SSCG 出力クロック分周設定レジスタ: CCPSDIVR (CCtl Pll/Sscg clock DIVide Register)

PLL/SSCG 出力クロック分周設定レジスタのビット構成について示します。

PLL/SSCG クロックの分周比を設定するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPSDIVR : アドレス 0523$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PODS[2:0]			予約	SODS[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W

[bit7] (予約)

[bit6～bit4] PODS (Pll Oscillator Divider Select): PLL マクロ発振クロック分周比選択
PLL クロックの分周比を設定します。

PODS[2:0]	分周比設定
000	PLL クロック=PLL マクロ発振クロック/2
001	PLL クロック=PLL マクロ発振クロック/4
010	PLL クロック=PLL マクロ発振クロック/6
011	PLL クロック=PLL マクロ発振クロック/8
100	PLL クロック=PLL マクロ発振クロック/10
101	PLL クロック=PLL マクロ発振クロック/12
110	PLL クロック=PLL マクロ発振クロック/14
111	PLL クロック=PLL マクロ発振クロック/16

＜注意事項＞

本ビットでの設定では偶数分周のみです。奇数分周は設定できません。
出力するクロックの Duty は 50%になります。
必ず PLL クロックが 80MHz 以下になるように設定してください(80MHz を超える周波数での動作保証は行っておりません)。

[bit3] (予約)

[bit2～bit0] SODS[2:0] (Sscg Oscillator Divider Select) : SSCG マクロ発振クロック分周比選択

SSCG クロックの分周比を設定します。

SODS[2:0]	分周比設定
000	SSCG クロック=SSCG マクロ発振クロック/2
001	SSCG クロック=SSCG マクロ発振クロック/4
010	SSCG クロック=SSCG マクロ発振クロック/6
011	SSCG クロック=SSCG マクロ発振クロック/8
100	SSCG クロック=SSCG マクロ発振クロック/10
101	SSCG クロック=SSCG マクロ発振クロック/12
110	SSCG クロック=SSCG マクロ発振クロック/14
111	SSCG クロック=SSCG マクロ発振クロック/16

＜注意事項＞

本ビットでの設定では偶数分周のみです。奇数分周は設定できません。
出力するクロックの Duty は 50%になります。
必ず SSCG クロックが 80MHz 以下になるように設定してください(80MHz を超える周波数での動作保証は行っておりません)。

設定値の制限があります。設定時には、「5.1.4　PLL/SSCG クロック使用時の制限事項」を参照してください。

4.13. PLL フィードバック分周設定レジスタ: CCPLLFBR (CCtl PLL FB clock divide Register)

PLL フィードバック分周設定レジスタのビット構成について示します。

PLL の逓倍率を設定するレジスタです。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCPLLFBR : アドレス 0525_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IDIV[6:0]						
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] (予約)

[bit6～bit0] IDIV[6:0] (pll feedback Input DIVider ratio settings) : PLL マクロ FB 入力分周比設定
PLL の逓倍率を設定します。

IDIV[6:0]	分周比設定
0000000-0001011	設定禁止
0001100	13
0001101	14
0001110	15
…	……
1100010	99
1100011	100
1100100-1111111	設定禁止

設定値の制限があります。設定時には、「5.1.4　PLL/SSCG クロック使用時の制限事項」を参照してください。

4.14. SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0 (CCtl SScg FB clock divide Register 0)

SSCG フィードバック分周設定レジスタ 0 のビット構成について示します。

SSCG の逓倍率 N を設定するレジスタです。SSCG の逓倍率は CCSSFBR1 の設定と合わせて P×N となります。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSFBR0 : アドレス 0526$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		NDIV[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] (予約)

[bit5～bit0] NDIV[5:0] (sscg feedback input N-DIVider ratio settings) : SSCG マクロ FB 入力 N 分周比設定
SSCG の逓倍率 N を設定します。

NDIV[5:0]	分周比設定
000000	設定禁止
000001	2
000010	3
…	……
111101	62
111110	63
111111	設定禁止

設定値の制限があります。設定時には、「5.1.4. PLL/SSCG クロック使用時の制限事項」を参照してください。

4.15. SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1 (CCtl SScg FB clock divide Register 1)

SSCG フィードバック分周設定レジスタ 1 のビット構成について示します。

SSCG の逓倍率 P を設定するレジスタです。SSCG の逓倍率は CCSSFBR0 の設定と合わせて P×N となります。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSFBR1 : アドレス 0527_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			PDIV[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約)

[bit4～bit0] PDIV[4:0] (sscg feedback input P-DIVider ratio settings): SSCG マクロ FB 入力 P 分周比設定
SSCG の逓倍率 P を設定します。

PDIV[4:0]	分周比設定
00000	1
00001	2
00010	3
…	……
11101	30
11110	31
11111	設定禁止

設定値の制限があります。設定時には、「5.1.4. PLL/SSCG クロック使用時の制限事項」を参照してください。

4.16. SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (CCtl SSCg Config. Register 0)

SSCG コンフィグ設定レジスタ 0 のビット構成について示します。

SSCG の各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSCCR0 : アドレス 0529$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SFREQ[1:0]		SMODE	SSEN
初期値	0	0	0	1	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約)

[bit4] (予約)
書込みは動作に影響しません。

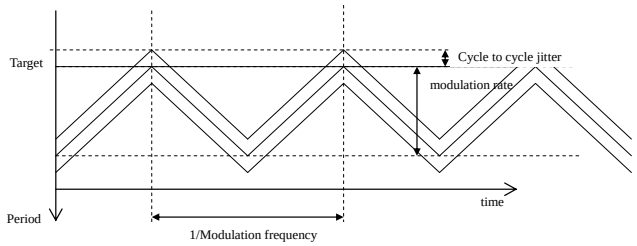
[bit3, bit2] SFREQ[1:0] (Spread spectrum modulation FREQuency settings) : 拡散モジュレーション周波数設定
SSCG の拡散変調周波数を設定します。

SFREQ[1:0]	モジュレーション周波数
00	1/1024
01	1/2048
1x	1/4096

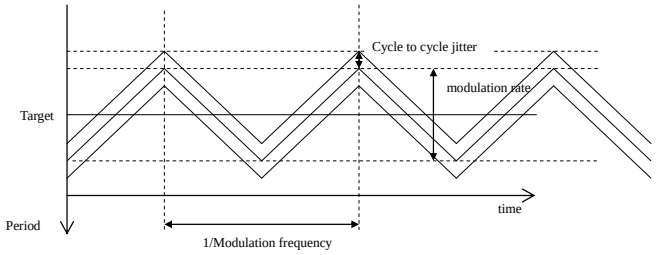
[bit1] SMODE (Spread spectrum modulation MODE settings) : 拡散モジュレーションモード選択
SSCG の拡散変調モードを設定します。

SMODE	モジュレーションモード
0	Down Spread
1	Center Spread

● Down Spread



● Center Spread



[bit0] SSEN (Spread Spectrum ENable) : **拡散スペクトル許可**

SSCG の拡散スペクトルを有効にします。

SSEN	拡散スペクトル許可
0	拡散スペクトラム無効
1	拡散スペクトラム有効

＜注意事項＞

SSEN を無効にした場合、CCSSCCR1:RATESEL の設定にかかわらず拡散率は 0%になります。

4.17. SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (CCtl SSCg Config. Register 1)

SSCG コンフィグ設定レジスタ 1 のビット構成について示します。

SSCG の各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCSSCCR1 : アドレス 052A$_H$ (アクセス : ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RATESEL[2:0]			予約				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R/W0	R/W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0

[bit15～bit13] RATESEL[2:0] (spread spectrum modulation RATE SELection) : 拡散モジュレーションレート選択

SSCG の拡散変調率を設定します。

RATESEL[2:0]	モジュレーションレート
00x	0.5%
010	1%
011	2%
100	3%
101	4%
110	5%
111	設定禁止

[bit12～bit10] (予約)

書込みは効果ありません。

[bit9～bit0] (予約)

必ず"0"を書き込んでください。

4.18. クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (CCtl Clock Gear Config. Register 0)

クロックギアコンフィグ設定レジスタ 0 のビット構成について示します。

クロックギアの各種設定を行います。

■ CCCGRCR0 : アドレス 052D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTS[1:0]		予約				GRSTR	GREN
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM0), W1	R/W

[bit7, bit6] GRSTS[1:0] (clock GeaR STatuS flags) : クロックギア状態フラグ

クロックギアの状態を表示します。

GRSTS[1:0]	状態
00	クロックギア低速発振状態で停止または クロックギアを使用しない(CCCGRCR0.GREN=0)または PLL/SSCG リセット状態(CSELR.PCEN=0)
01	GEAR UP 動作中
10	クロックギア高速発振状態で停止
11	GEAR DOWN 動作中

[bit5～bit2] (予約)

[bit1] GRSTR (clock GeaR STaRt) : クロックギアスタート

本ビットへの"1"書込みによりクロックギアが動作を開始します。

クロックギアの動作は GRSTS ビットの値により動作が異なります(ギアアップまたはギアダウン)。

GRSTS=00 の場合

GRSTR	動作
"0"書込み	動作には影響しない
"1"書込み	ギアアップ動作開始

GRSTS=01/11 の場合

GRSTR	動作
"0"書込み	動作には影響しない
"1"書込み	動作には影響しない

GRSTS=10 の場合

GRSTR	動作
"0"書込み	動作には影響しない
"1"書込み	ギアダウン動作開始

＜注意事項＞

CSELR.CKS=10(PLL/SSCG クロック(PLLSSCLK)を選択)かつ CCCGRCR0. GREN=1(クロックギア・イネーブル)のときのみ本ビットへの書込みが可能です。
本ビットはクロックギアアップ(ダウン)動作が終了した後、自動的に"0"にクリアされます。また、CSELR.PCEN=0(PLL/SSCG クロック発振停止)のとき、本ビットは"0"にクリアされます。
リードモディファイライト命令では、本ビットは常に"0"が読み出されます。本ビットが"1"の期間に書込みを行った場合、2 回目以降の書込みは無視されます。

[bit0] GREN (clock GeaR ENable) : **クロックギアイネーブル**

クロックギア動作を許可します。

GREN	動作
0	クロックギアを使用しない
1	クロックギアを使用する

＜注意事項＞

本ビットは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

4.19. クロックギアコンフィグ設定レジスタ 1 : CCCGRCR1 (CCtl Clock Gear Config. Register 1)

クロックギアコンフィグ設定レジスタ 1 のビット構成について示します。

クロックギアの各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCCGRCR1 : アドレス 052E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRSTP[1:0]		GRSTN[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] GRSTP[1:0] (clock GeaR STeP select) : クロックギアステップ選択
クロックギアアップ/ダウン時のステップ数(インクリメント・デクリメント数)を選択します。

GRSTP[1:0]	ステップ数
00	1
01	2
10	3
11	4

[bit5～bit0] GRSTN[5:0] (clock GeaR STart step Number select) : クロックギア開始ステップ選択
クロックギア動作開始時のステップを選択します。0-63 ステップの間で選択できます。

GRSTN[5:0]	ステップ数
000000	0
000001	1
000010	2
…	……
111101	61
111110	62
111111	63

＜注意事項＞

GRSTN = 111111(ステップ数 63)設定の場合にはギアは動作しません。

4.20. クロックギアコンフィグ設定レジスタ 2 : CCCGRCR2 (CCtl Clock Gear Config. Register 2)

分周設定レジスタ 0 のビット構成について示します。

クロックギアの各種設定を行います。
本レジスタは PLL/SSCG クロック発振停止(CSELR.PCEN = "0")のときのみ書込み可能です。

■ CCCGRCR2 : アドレス 052F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GRLP[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] GRLP[7:0] (clock GeaR LooP number select) : クロックギア繰返し回数選択
1 ステップの繰返し回数を選択します。設定可能な繰返し回数は 1-256 です。本ビットで設定した回数が終了した場合、ステップがインクリメント/デクリメントします。

GRLP[7:0]	ループ数
0000_0000	1
0000_0001	2
0000_0010	3
…	……
1111_1101	254
1111_1110	255
1111_1111	256

4.21. RTC/PMU クロック選択レジスタ ：CCRTSELR (CCtl RTc pmu clock SELect Register)

分周設定レジスタ 0 のビット構成について示します。

RTC/PMU のクロック・ソースを選択します。

■ CCRTSELR : アドレス 0530$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CST	予約						CSC
初期値	*	0	0	0	0	0	0	*
属性	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

*: 時計モード(電源遮断)からの復帰では初期化しません。それ以外は"0"に初期化します。

[bit7] CST (Clock source select STatus monitor) : クロックソース選択状態モニタ

CSC レジスタは書込み後、クロック切換えが完了するまで、クロック乗換によるタイムラグが発生します。本ビットにより、切換えが完了したかどうかモニタができます。

CST	モニタ
0	クロック切換え完了
1	クロック切換え中

＜注意事項＞

通常、メインクロック×約 3 サイクル＋サブクロック×約 3 サイクルで切換えが完了します。

[bit6～bit1] (予約)

[bit0] CSC (Clock SourCe select) : クロックソース選択

RTC/PMU のクロックを選択します。

CSC	クロック・ソース
0	メイン発振クロック
1	サブ発振クロック

＜注意事項＞

- SCRDY=1 かつ MCRDY=1 の場合のみ、CSC レジスタは書換え可能です。
- CSC レジスタ書換え後、RTC および PMU クロックの切換え動作が完了するまでにメインクロック×約 3 サイクル＋サブクロック×約 3 サイクルかかります。切換え動作中にメインクロックやサブクロックの発振が停止した場合、切換え動作は正しく完了されません。必ず CST レジスタが"0"の状態(切換え完了状態)で発振を停止するようにしてください。
- [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] スタンバイ時計モード(電源遮断) からの復帰時には、CSC ビットと CST ビットは初期化されません。また、スタンバイ時計モード(電源遮断) からの復帰中は内部リセットが発行されており、パワーオンリセット/内部低電圧リセット/RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。
  このとき、これらのビットは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または、外部低電圧検出フラグがセットされている場合には、必要があればこれらのビットを初期化してください。
- [MB91F52xxxD] スタンバイ時計モード(電源遮断)からの復帰時には、CSC ビットと CST ビットは初期化されません。また、スタンバイ時計モード(電源遮断)からの復帰中は内部リセットが発行されており、パワーオンリセット/内部低電圧リセット/RSTX によるリセット以外のリセット要因を受け付けません。
  このとき、これらのビットは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または、外部低電圧検出フラグがセットされている場合には、必要があればこれらのビットを初期化してください。

4.22. PMU クロック分周設定レジスタ 0: CCPMUCR0 (CCtl PMU Clock divide Register 0)

分周設定レジスタ 0 のビット構成について示します。

PMU のクロック分周設定を行います。

■ CCPMUCR0 : アドレス 0532_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FST	予約					FDIV[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit7] FST (F-divider STatus monitor) : F 分周器状態モニタ

FDIV[1:0]レジスタは書込み後、書込み値が反映されるまで、クロック乗換によるタイムラグが発生します。本ビットにより、設定値が反映されたかどうかモニタができます。

通常、RTC クロック×約 4 サイクル＋PCLK1×約 4 サイクルでレジスタの設定値が反映されます。

FST	モニタ
0	書込み値を反映済み
1	書込み値を反映中

[bit6～bit2] (予約)

[bit1, bit0] FDIV[1:0] (F-DIVide ratio setting) : F 分周比設定

F 分周器の分周比を設定します。PMU には 32kHz 以下のクロックを供給しなければなりません。
CCRTSELR.CSC=0 (メインクロックを選択)の場合、F 分周器を用いて、32kHz 以下になるように本ビットを設定します。

FDIV[1:0]	分周比	対象メイン発振周波数
00	128 分周(初期値)	4MHz 時
01	256 分周	8MHz 時
10	384 分周	12MHz 時
11	512 分周	16MHz 時

＜注意事項＞

CCPMUCR0.FST ビットが"1"の期間は、本ビットへの書込みは無視されます。
CCRTSELR.CSC=1 のとき(サブ発振クロック選択時)、本ビットの値にかかわらず、F 分周比は非分周となります。

4.23. PMU クロック分周設定レジスタ 1 : CCPMUCR1 (CCtl PMU Clock divide Register 1)

分周設定レジスタ 0 のビット構成について示します。

PMU のクロック分周設定を行います。

■ CCPMUCR1 : アドレス 0533$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	GST	予約		GDIV[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit7] GST (G-divider STatus monitor) : G 分周器状態モニタ

GDIV[4:0]レジスタは書込み後、書込み値が反映されるまで、クロック乗換によるタイムラグが発生します。
本ビットにより、設定値が反映されたかどうかモニタができます。
通常、RTC クロック×約 4 サイクル＋PCLK1×約 4 サイクルでレジスタの設定値が反映されます。

GST	モニタ
0	書込み値を反映済み
1	書込み値を反映中

＜注意事項＞

本ビットが"1"の期間は、CCPMUCR1.GDIV[4:0]への書込みは無視されます。

[bit6, bit5] (予約)

[bit4～bit0] GDIV[4:0] (G-DIVide ratio setting): G 分周比設定

G 分周器の分周比を設定します。PMU クロックの周期は、PMU に供給される(APB)バスクロックの周期の 4 倍以上でなければなりません。本分周器を用いて、上記の関係を満たすように、PMU クロックの分周比を設定します。

GDIV[4:0]	分周比
00000	分周しない(初期値)
00001	2
00010	3
…	……
11101	30
11110	31
11111	32

＜注意事項＞

CCPMUCR1.GST ビットが"1"の期間は、本ビットへの書込みは無視されます。

4.24. Sync/Async Control Register

Sync/Async Control Register のビット構成について示します。

周辺クロック選択を行います。

■ SACR : アドレス 1000$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							M
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit7～bit1] (予約)

[bit0] M: 周辺クロックの同期/非同期設定レジスタ

CPU が SSCG クロックを選択しているときに周辺クロックの切換えを行います。

M	同期/非同期設定
0	同期(CPU/周辺共に PLL/SSCG クロック)
1	非同期(CPU は PLL/SSCG クロック、周辺は PLL クロック)

4.25. Peripheral Interface Clock Divider

Peripheral Interface Clock Divider のビット構成について示します。

周辺クロックの分周設定を行います。

■ PICD : アドレス 1001$_H$ (アクセス : バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PDIV[3:0]			
初期値	1	1	1	1	0	0	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit7～bit4] (予約)

[bit3～bit0] PDIV[3:0] : 周辺クロック分周比設定

SACR.M=1 時の PLL クロック(PLLCLK)[非拡散クロック]から周辺クロック(PCLK2)の分周比を設定します。

PDIV[3:0]	PLL クロック(PLLCLK)[非拡散クロック] → PCLK2 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周(初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

＜注意事項＞

周辺クロック(PCLK2)は必ず 40MHz 以下になるように本レジスタを設定してください。

5. 動作説明

クロックの動作について説明します。

5.1. 発振制御
5.2. 発振安定待ち
5.3. ソースクロック(SRCCLK)選択
5.4. タイマ
5.5. クロック競合時の注意
5.6. クロックギア回路
5.7. MDI 通信中の動作
5.8. PMU クロック(PMUCLK)について

5.1. 発振制御

発振制御について示します。

5.1.1. メインクロック(MCLK)

メインクロック(MCLK)について示します。

メインクロックが発振を停止するのは、以下のいずれかの条件となります。

・SINIT リセット(『リセット』の章を参照してください。)
・ストップモード期間中
・ソースクロックとしてサブクロック(SBCLK)を選択し、CSELR.MCEN に"0"を設定している期間中

上記発振停止条件のすべてが取り下げられた後、CSTBR.MOSW[3:0]に設定された発振安定待ち時間を経過してから、クロック供給を開始します。リセット入力からの復帰では、CSTBR.MOSW[3:0]は初期化されるため、必ず初期値で規定される発振安定待ち時間となります。

5.1.2. サブクロック(SBCLK)

サブクロック(SBCLK)について示します。

サブクロックが発振を停止するのは、以下のいずれかの条件となります。

・リセット発生後(停止前のバスアイドル待ち時間は取ります。『リセット』の章を参照してください。)
・ストップモード期間中
・ソースクロックとしてサブクロック(SBCLK)以外を選択し、CSELR.SCEN に"0"を設定している期間中
・サブ発振とポートが兼用になっているため、ポートとして使用する場合(サブ発振なしの場合)

上記発振停止条件のすべてが取り下げられた後、CSTBR.SOSW[2:0]に設定された発振安定待ち時間を経過してから、クロック供給を開始します。リセット入力または INIT 状態からの復帰では、CSELR.SCEN は"0"に初期化されるため、"1"を設定する迄はサブクロックの発振は停止しています。

5.1.3. PLL/SSCG クロック(PLLSSCLK)

PLL/SSCG クロック(PLLSSCLK)について示します。

本 LSI は、PLL および SSCG(拡散クロックを発生する PLL)を持ち、ノイズ低減の目的で SSCG を選択できます。CPU および周辺機能が選択できるクロックの組合せは以下のとおりです。

表 5-1 クロック・モード

	クロック・モード		
	RUN1	RUN2	RUN3
CPU	PLL	SSCG	SSCG
CAN	PLL	PLL	PLL
周辺	PLL	SSCG	PLL
OCDU	PLL	PLL	PLL

CPU/周辺(タイマ/通信系)クロックの選択は CCPSSELR.PCSEL で行います。また、CPU が SSCG クロックで動作しているとき、周辺(タイマ/通信系)を PLL クロックで動作させることができます。このときの周辺のクロック選択は SACR.M で行い、分周を PICD.PDIV[3:0]で行います。

＜注意事項＞

CPU を SSCG クロック、周辺を PLL クロックで動作させた場合には、CPU/周辺間で非同期乗換えが入るため、アクセスサイクルに 5PCLK2～8PCLK2 のペナルティが加算されます。このとき、PCLK1 と PCLK2 の周波数は同一になるように設定してください。
また、CPU/周辺ともに PLL クロックで動作させたい場合には、必ず SACR:M で同期を選択してください。

PLL/SSCG クロック(PLLSSCLK)が発振を停止するのは、以下のいずれかの条件となります。

・リセット発生後(停止前のバスアイドル待ち時間は取ります。『リセット』の章を参照してください。)
・メインクロックの発振が停止している期間中(PCEN=0 となる)
・メインクロックの発振安定待ち時間中(PCEN=0 となる)
・時計モード期間中
・ソースクロックとして PLL/SSCG クロック(PLLSSCLK)以外を選択し、CSELR.PCEN に"0"を設定している期間中

上記発振停止条件のすべてが取り下げられた後、PLLCR.POSW[3:0]に設定された PLL/SSCG クロックのロック待ち時間を経過してから、クロック供給を開始します。リセット入力または INIT 状態からの復帰では、CSELR.PCEN は"0"に初期化されるため、"1"を設定するまでは PLL/SSCG クロックの発振は停止しています。

PLL/SSCG に関係するクロックの周波数と逓倍率の計算方法は、以下のとおりです。

(マイコン部の PLL/SSCG 設定)

・ PLL/SSCG 入力クロック周波数 =(メイン発振周波数) / (PLLCR.PDS[3:0]分周比)
・ PLL 逓倍率 =(CCPLLFBR.IDIV[6:0] FB 入力分周比)
SSCG 逓倍率 =(CCSSFBR0.NDIV[5:0] FB 入力分周比) ×
(CCSSFBR1.PDIV[4:0] FB 入力分周比)
・ PLL マクロ発振クロック周波数 =(PLL/SSCG 入力クロック周波数)× PLL 逓倍率
SSCG マクロ発振クロック周波数 =(PLL/SSCG 入力クロック周波数)× SSCG 逓倍率
・ PLL クロック周波数 =(PLL マクロ発振クロック周波数)÷
(CCPSDIVR.PODS[2:0]分周比)
・ SSCG クロック周波数 =(SSCG マクロ発振クロック周波数)÷
(CCPSDIVR.SODS[2:0]分周比)

図 5-1 PLL 周辺ブロック図

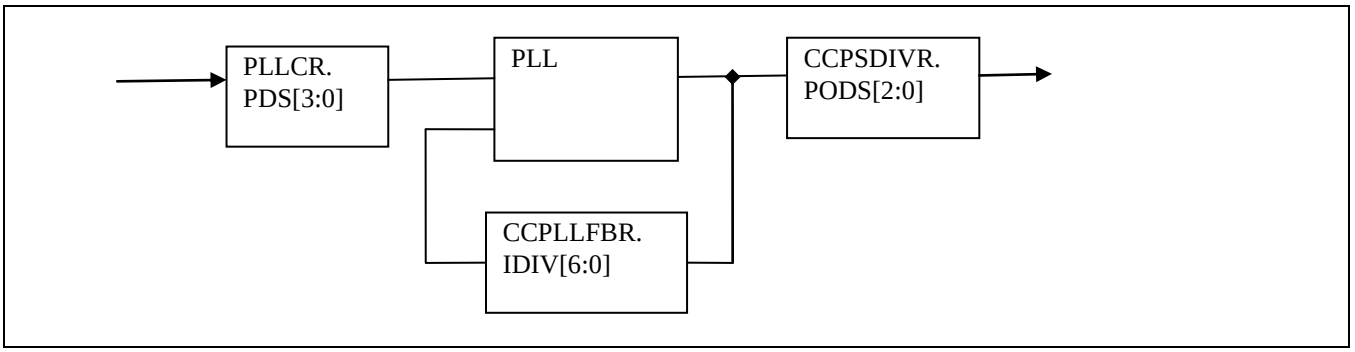
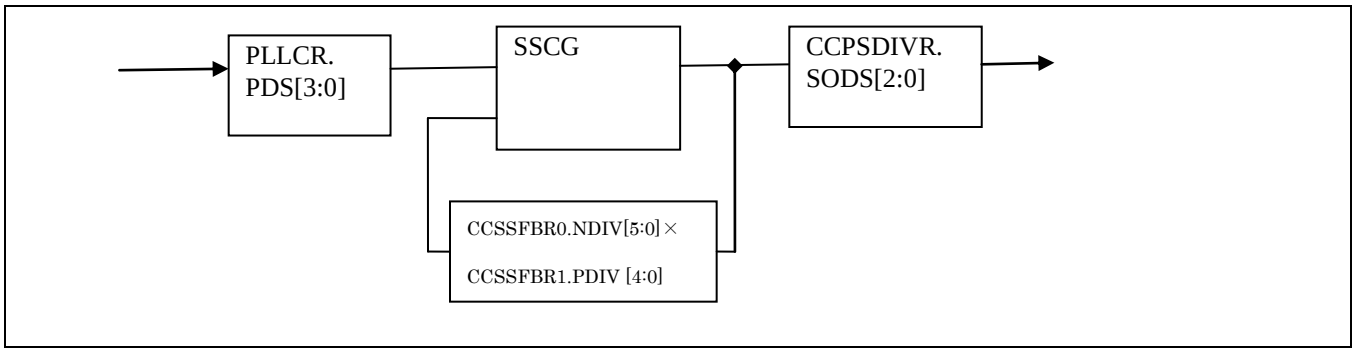


図 5-2 SSCG 周辺ブロック図



PLL/SSCG 入力クロック、PLL/SSCG 逓倍率、PLL/SSCG マクロ発振クロックは、本シリーズ搭載 PLL/SSCG の以下の使用条件内になるよう設定してください。

PLL/SSCG 使用条件範囲は、下記の注意事項を参照してください。

＜注意事項＞

- デバッグ動作時は、MDI 通信に常時 PLL クロック供給が必要なため、PLL は停止できません。
- PLL-SSCG 切り換え時は、割込みを正常に受け渡しできません。
  そのため、PLL-SSCG 同期/非同期の切換えを行う場合は、周辺機能からの割込みを禁止してください。
- PLL/SSCG マクロ発振クロック周波数は、上限および下限があります。下記の範囲を超えないように PLL/SSCG の逓倍率を設定してください。
  マイコン部 PLL/SSCG:
  - 200MHz≦PLL マクロ発振クロック周波数≦320MHz
  - 200MHz≦SSCG マクロ発振クロック周波数≦320MHz(Down Speed)

5.1.4. PLL/SSCG クロック使用時の制限事項

PLL/SSCG クロック使用時の制限事項について示します。

PLL クロックおよび SSCG クロックを使用する場合には、以下の制限事項にしたがって使用してください。

クロック制御 PLL クロック周波数

周波数(max)	FCTLR:FAW	CCPSSELR: PCSEL	備考
80MHz	00	0	

＜注意事項＞

周波数(max)を超えないように、PLLCR または CCPSDIVR と CCPLLFBR を設定してください。
周波数(max)は 80MHz です。

マイコン部クロック制御 SSCG クロック周波数

周波数 (max)	FCTLR: FAW	CCPSSELR: PCSEL	CCSSCCR0: SSEN	CCSSCCR0: SMODE	CCSSCCR1: RATESEL	備考
72MHz	00	1	1	0	000 ～ 110	DownSpread
72MHz	00	1	1	1	000	Center Spread (0.5%)
72MHz	00	1	1	1	010	Center Spread (1%)
72MHz	00	1	1	1	011	Center Spread (2%)
71MHz	00	1	1	1	100	Center Spread (3%)
71MHz	00	1	1	1	101	Center Spread (4%)
70MHz	00	1	1	1	110	CenterSpread (5%)
80MHz	01	1	0	0/1	000～110	拡散率 0%
72MHz	00	1	0	0/1	000～110	拡散率 0%

＜注意事項＞

周波数(max)を超えないように、CCPSDIVR，CCSSFBR0 と CCSSFBR1 を設定してください。
周波数(max)は 80MHz です。

SSCG 使用時のモジュレーション・レートと分周比の関係

CCSSCCR1:RATESEL[2:0]		CCSSFBR0:NDIV[5:0]		
モジュレーション レート	設定値	分周比範囲	設定値下限	設定値上限
0.50%	00x	8 - 60	7_H	$3B_H$
1.00%	010	8 - 60	7_H	$3B_H$
2.00%	011	8 - 48	7_H	$2F_H$
3.00%	100	8 - 31	7_H	$1E_H$
4.00%	101	8 - 23	7_H	16_H
5.00%	110	8 - 18	7_H	11_H

5.2. 発振安定待ち

発振安定待ちについて示します。

各クロック入力の発振安定待ちについて説明します。

5.2.1. 安定待ち時間生成条件

安定待ち時間の生成条件について示します。

各クロックの発振停止制御が解除されると、発振安定待ち状態となります。クロックごとに設定された発振安定待ち時間を経由した後、発振安定待ち状態は解除され、クロック供給を再開します。

メインクロック(MCLK)は、リセットにより設定レジスタが初期化されますので、リセット解除前に発振停止していた場合は発振安定待ち状態に入ります。INIT レベルおよび RST レベルではリセットによるメインクロック発振停止はしませんので、INIT レベルおよび RST レベルのリセットでメインクロックが発振していた場合は、発振安定待ちは取りません。

5.2.2. 安定待ち時間選択

安定待ち時間の選択について示します。

各クロックの発振安定待ち時間は、CSTBR,PLLCR の設定により変更できます。

・クロック発振安定待ち時間の設定リセット後の初期値
・メインクロック　CSTBR.MOSW[3:0]ビット　2^{15}×メインクロック周期
・PLL/SSCG クロック PLLCR.POSW[3:0]ビット　2^{16}×メインクロック周期
・サブクロック　CSTBR.SOSW[2:0]ビット　2^{8}×サブクロック周期

リセット(INIT または RST)により、CSTBR.MOSW[3:0]は初期化されるため、必ず初期値で規定されるメイン発振安定待ち時間となります。それ以外の場合、CSTBR.MOSW[3:0]に設定することによりメイン発振安定待ち時間を変更できます。

リセット(INIT または RST)により、PLLCR.POSW[3:0]は初期化されるため、かならず初期値で規定される PLL/SSCG クロック ロック待ち時間となります。それ以外の場合、PLLCR.POSW[3:0]に設定することにより PLL/SSCG クロック ロック待ち時間を変更できます。PLLCR.POSW[3:0]を設定後、CSELR.PCEN を "1" に設定してください。詳細は「4.8 PLL 設定レジスタ: PLLCR (PLL Configuration Register) 」の、POSW の説明を参照してください。

リセット (INIT または RST)により、CSTBR.SOSW[2:0]は初期化されるため、必ず初期値で規定されるサブ発振安定待ち時間となります。それ以外の場合、CSTBR.SOSW[2:0]に設定することによりサブ発振安定待ち時間を変更できます。

5.2.3. 安定待ち時間の終了

安定待ち時間の終了について示します。

ソースクロックとして選択しているクロックが発振安定待ち状態にある場合、動作を停止しています。発振安定待ち時間の終了により、動作を再開します。ソースクロックとして選択していないクロックが発振安定待ち時間中であることは、各クロックがイネーブルのとき CMONR レジスタの各クロックに対応したレディビットの値で確認できます。

クロック	発振安定待ち状態の表示	発振安定状態の表示
・メインクロック	CMONR:MCRDY="0"	CMONR:MCRDY="1"
・PLL/SSCG クロック(PLLSSCLK)	CMONR:PCRDY="0"	CMONR:PCRDY="1"
・サブクロック(SBCLK)	CMONR:SCRDY="0"	CMONR:SCRDY="1"

5.3. ソースクロック(SRCCLK)選択

ソースクロック(SRCCLK)の選択について示します。

動作クロックとなるソースクロック(SRCCLK)の選択制御について説明します。

5.3.1. 初期化時のソースクロック選択

初期化時のソースクロックの選択について示します。

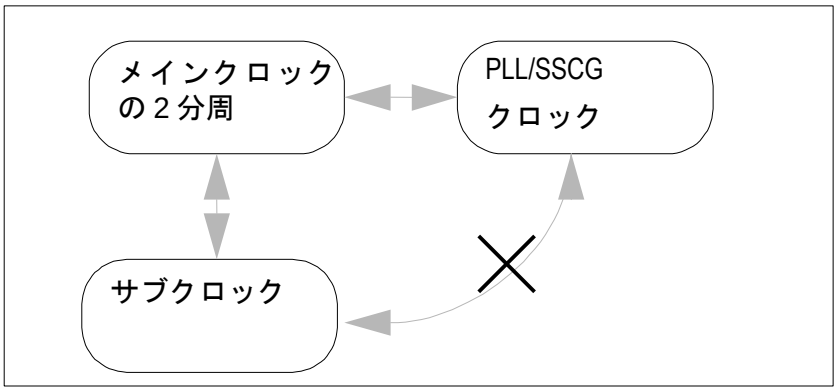
リセット(RST)の発生により、ソースクロックはメインクロック(MCLK)の 2 分周を選択します。以降、プログラム動作開始後は、CSELR.CKS[1:0]の設定によってソースクロックを変更することが可能となります。

5.3.2. ソースクロック切換え手順

ソースクロックの切換え手順について示します。

ソースクロック(SRCCLK)を PLL/SSCG クロック(PLLSSCLK)からサブクロック(SBCLK)、サブクロックから PLL/SSCG クロックへ直接切換えはできません。一度メインクロックの 2 分周に切換えてください。ソースクロックを切換えても発振許可ビット(CSELR.xCEN)の値は保持されていますので、必要に応じて発振停止設定を行ってください。

図 5-3 ソースクロックの切換え手順



①メインクロックの 2 分周→PLL/SSCG クロック

ソースクロックにメインクロックの 2 分周を選択中(CMONR.CKM[1:0]=00)

↓

PLL/SSCG 逓倍率、SSCG 変調、PLL/SSCG 選択、PLL/SSCG クロックロック待ち時間を設定(PLLCR/ CCPSSELR/ CCPSDIVR/ CCPLLFBR/ CCSSFBR0/ CCSSFBR1/ CCSSCCR0/ CCSSCCR1 を設定)-- PLL 発振有効にしていない場合--

↓

クロックギアを設定(CCCGRCR0.GREN/CCCGRCR1/CCCGRCR2)

↓

PLL/SSCG クロック発振安定待ちタイマ割込み要因クリア(PTIF=0)

↓

(必要に応じ) PLL/SSCG クロック発振安定待ちタイマ割込みイネーブル設定(PTIE=1)

↓

PLL/SSCG クロック発振開始(PCEN=0→1)

↓

PLL/SSCG クロック ロック待ちループ(PCRDY=1 になるまでループ)または割込み待ち。

↓

PLL/SSCG クロック発振安定待ちタイマ割込みクリア(PTIF=0, PTIE=0)

↓

ソースクロックを PLL/SSCG クロックに切換え(CSELR.CKS[1:0]=00→10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

クロックギアが高速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=10)

↓

ソースクロックに PLL/SSCG クロックを選択中(CMONR.CKM[1:0]=10)

②PLL/SSCG クロック→メインクロックの 2 分周

ソースクロックに PLL/SSCG クロックを選択中(CMONR.CKM[1:0]=10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

クロックギアが低速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=00)

↓

ソースクロックをメインクロックの 2 分周に切換え(CSELR.CKS[1:0]=10→00)

↓

ソースクロックにメインクロックを選択中(CMONR.CKM[1:0]=00)

③メインクロックの 2 分周→サブクロック

ソースクロックにメインクロックの 2 分周を選択中(CMONR.CKM[1:0]=01)

↓

サブクロック発振安定待ち時間を設定(CSTBR.SOSW[2:0]を設定)

--サブ発振有効にしていない場合--

↓

サブタイマ割込み要因クリア(STIF=0)

↓

(必要に応じ)サブタイマ割込みイネーブル設定(STIE=1)

↓

クロック 1 系統品の場合、サブクロックソースとして CR クロックを選択
(CSVCR.SCKS=1)

↓

サブクロック発振開始(SCEN=0→1)

↓

サブクロック発振安定待ちループ(SCRDY=1 になるまでループ)または割込み待ち。

↓

サブタイマ割込みクリア(STIF=0)

↓

ソースクロックをサブクロックに切換え(CSELR.CKS[1:0]=01→11)

↓

ソースクロックにサブクロックを選択中(CMONR.CKM[1:0]=11)

④サブクロック→メインクロックの 2 分周

ソースクロックにサブクロックを選択中(CMONR.CKM[1:0]=11)

↓

メインクロック発振安定待ち時間を設定(CSTBR.MOSW[3:0]を設定)

-- メイン発振有効にしていない場合 --

↓

メインタイマ割込み要因クリア(MTIF=0)

↓

(必要に応じ) メインタイマ割込みイネーブル設定(MTIE=1)

↓

メインクロック発振開始(MCEN=0→1)

↓

メインクロック発振安定待ちループ(MCRDY=1 になるまでループ)または割込み待ち。

↓

メインタイマ割込みクリア(MTIF=0)

↓

ソースクロックをメインクロックの 2 分周に切換え(CSELR.CKS[1:0]=11→01)

↓

ソースクロックにメインクロックを選択中(CMONR.CKM[1:0]=01)

↓

クロック 1 系統品の場合、サブクロックソース設定を元に戻す。

サブクロック発振停止(CSELR:SCEN=1 → 0)

↓

サブクロックとして CR クロックを選択しない(CSVCR:SCKS=1 → 0)

図 5-4 PLL/SSCG モード設定例 メイン→PLL/SSCG

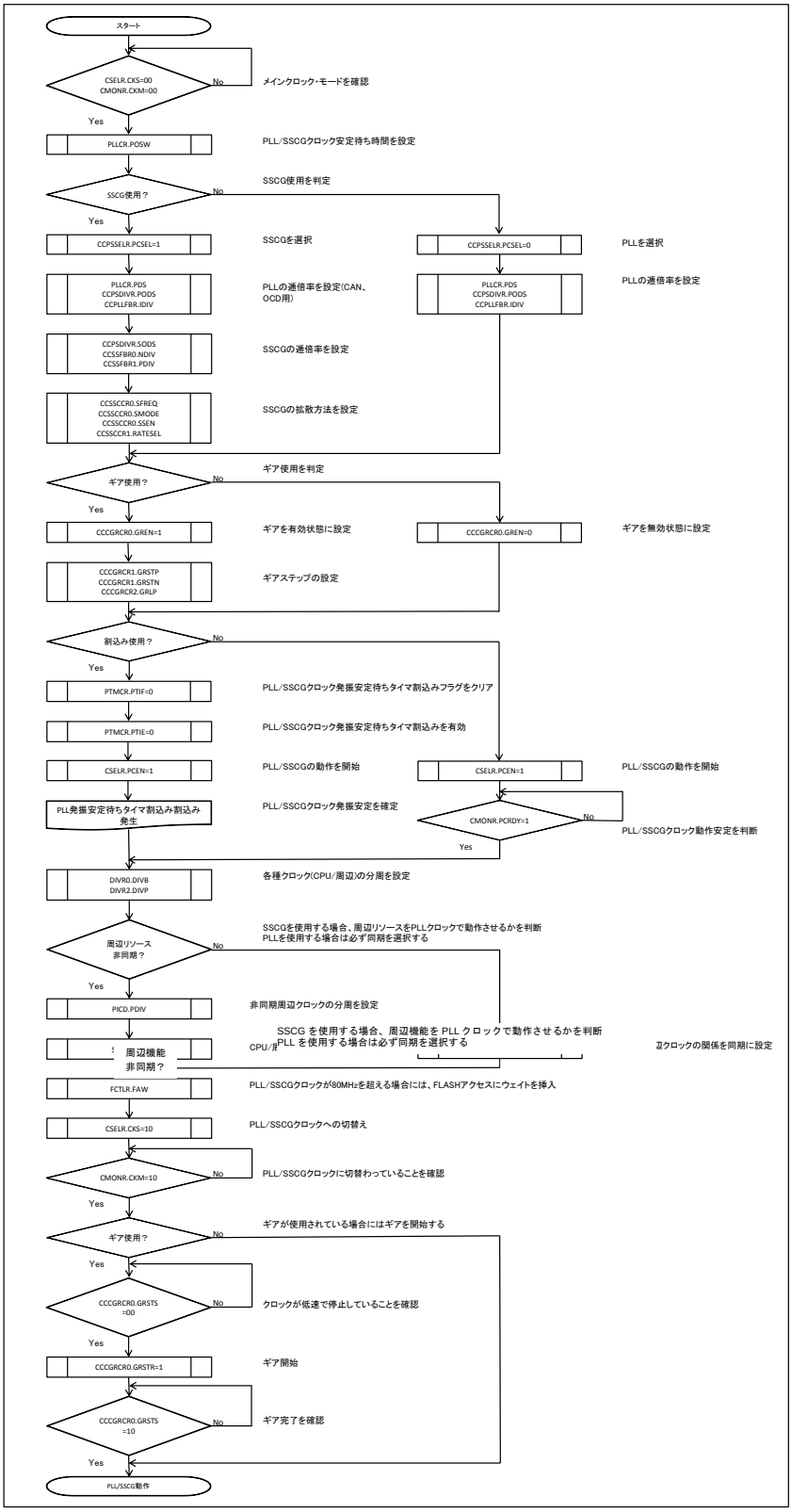
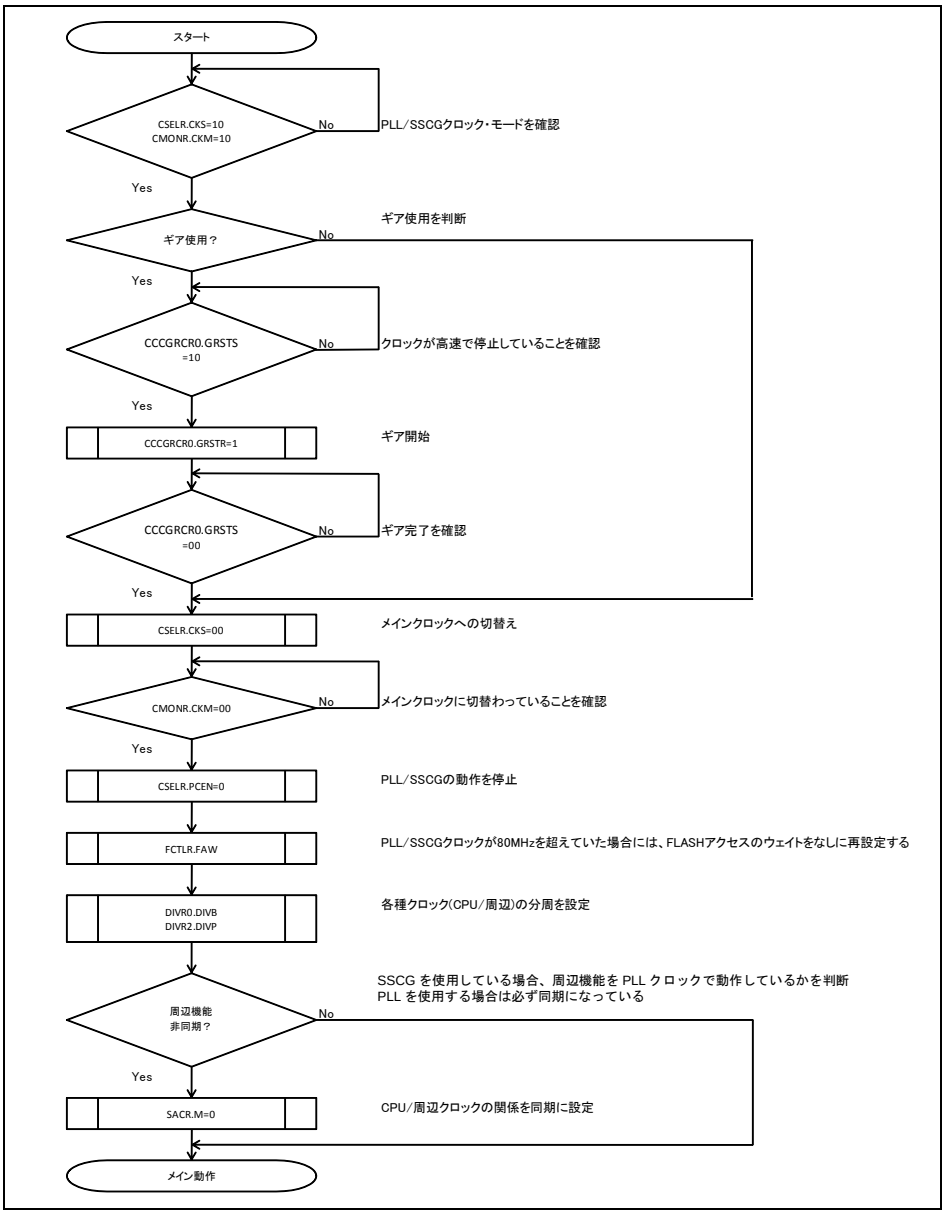


図 5-5 PLL/SSCG モード設定例 PLL/SSCG→メイン



5.4. タイマ

タイマについて示します。

5.4.1. メインクロック発振安定待ちタイマ(メインタイマ)

メインクロック発振安定待ちタイマ(メインタイマ)について示します。

メインタイマは、メインクロック(MCLK)で動作するタイマです。メインクロック発振安定待ち時間生成に使用され、それら以外のメインクロック安定状態では一定期間で割込みを発生するタイマとして使用できます。

＜注意事項＞

時計モード(電源遮断)の復帰要因としてメインタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。

5.4.2. サブクロック発振安定待ちタイマ(サブタイマ)

サブクロック発振安定待ちタイマ(サブタイマ)について示します。

サブタイマは、サブクロック(SBCLK)で動作するタイマです。サブクロック発振安定待ち時間生成に使用され、それ以外のサブクロック安定状態では一定期間で割込みを発生するタイマとして使用できます。

＜注意事項＞

時計モード(電源遮断)の復帰要因としてサブタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。

5.4.3. PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ)

PLL/SSCG クロック発振安定待ちタイマ(PLL タイマ)について示します。

PLL タイマは、メインクロックで動作するタイマで、PLL/SSCG 発振安定待ち時間生成専用です。このタイマは汎用タイマとしては使用できません。

5.4.4. 設定

設定について示します。

メインタイマ動作許可(MTMCR.MTE=1)にすることによってメインタイマのカウントが開始します。メインタイマ動作禁止(MTMCR.MTE=0)にすることによってメインタイマのカウントが停止しメインタイマはクリアされます。

メインタイマクリア(MTMCR.MTC=1)にすることによってメインタイマはクリアされます。クリアされるまでの間、MTMCR.MTC=1 が読み出されます。MTMCR.MTS[3:0]で割込みの周期を設定できます。MTMCR.MTIE=1 のとき、MTMCR.MTIF=1 となるとメインタイマ割込みが発生します。MTMCR.MTIF は"0"書込みによりクリアされます。

サブタイマ動作許可(STMCR.STE=1)にすることによってサブタイマのカウントが開始します。サブタイマ動作禁止(STMCR.STE=0)にすることによってサブタイマのカウントが停止し、サブタイマはクリアされます。

サブタイマクリア(STMCR.STC=1)にすることによってサブタイマはクリアされます。クリアされるまでの間、STMCR.STC=1 が読み出されます。STMCR.STS[2:0]で割込みの周期を設定できます。STMCR.STIE=1 のとき、STMCR.STIF=1 となるとサブタイマ割込みが発生します。STMCR.STIF は"0"書込みによりクリアされます。

＜注意事項＞

タイマ割込みの周期設定(MTS および STS)は、PCLK×5 クロック以上の周期を設定してください。タイマ割込みの周期を極端に短く設定した場合、割込み要因がセットされない可能性があります。

5.4.5. タイマ割込み設定手順

タイマ割込み設定手順について示します。

割込み設定手順について説明します。割込みの設定例を以下に示します。

タイマ割込み禁止設定(MTMCR.MTIE=0)/(STMCR.STIE=0)、割込みフラグクリア設定(MTMCR.MTIF=0)/(STMCR.STIF=0)

↓

タイマ動作禁止設定(MTMCR.MTE=0)/(STMCR.STE=0)

↓

MTC=0/STC=0 を確認

↓

タイマ周期設定(MTMCR.MTS=1000～1111)/ (STMCR.STS=000～111)

↓

タイマ割込み許可設定(MTMCR.MTIE=1)/(STMCR.STIE=1)

↓

タイマ動作許可設定(MTMCR.MTE=1)/(STMCR.STE=1)

↓

設定時間後割込み発生

↓

割込みルーチンへ

↓

割込みフラグクリア設定(MTMCR.MTIF=0)/(STMCR.STIF=0)

↓

割込みフラグ確認(MTMCR.MTIF=0)/(MTMCR.STIF=0)

↓

プログラム動作

↓

RETI

＜注意事項＞

割込みフラグクリア設定は"0"書込みしてもすぐに反映されないので"0"になるまで読込みを繰り返してください。

5.4.6. タイマ動作

タイマ動作について示します。

メインタイマは MTMCR.MTE=1 の間、メインクロック(MCLK)でカウントアップします。MTMCR.MTS[3:0]で選択された周期でオーバフローしたら、MTMCR.MTIF=1 となります。

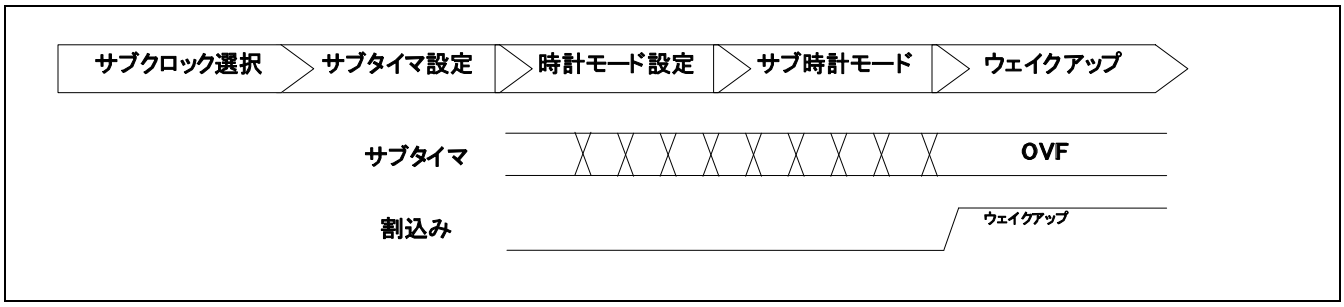
サブタイマは STMCR.STE=1 の間、サブクロック(SBCLK)でカウントアップします。STMCR.STS[2:0]で選択された周期でオーバフローしたら、STMCR.STIF=1 となります。

5.4.7. 時計モードとタイマ割込み

時計モードとタイマ割込みについて示します。

時計モードは、特定の機能とタイマ以外のすべての動作を停止させます(『消費電力制御』の章を参照してください)。メイン/サブタイマ割込みまたは RTC 割込みを利用して時計モードからウェイクアップできます。下記にサブタイマよりウェイクアップする設定での時計モードの遷移例を示します。

図 5-6 時計モードからのウェイクアップ



＜注意事項＞

時計モード(電源遮断)の復帰要因としてメイン/サブタイマまたはリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを'31'に設定してください。

5.5. クロック競合時の注意

クロック競合時の注意について示します。

割込みハンドラ内で、CPU クロック(CCLK)より非常に低い周波数で駆動しているペリフェラルの割込みクリアをして直ちに割込みハンドラを終了した場合、割込みハンドラ期間内にそのペリフェラルは内部処理を完了しきれず、二重に割込みハンドラが呼び出されることがあるので注意してください。

5.6. クロックギア回路

クロックギア回路について示します。

メインクロックから PLL/SSCG クロックへの切り換え時または PLL/SSCG クロックからメインクロックへの切り換え時に周波数が急激に変動するため、電源電流も大きく変動します。クロック切換え部にクロックギア回路を持っており、これを使用することにより、動作周波数を低周波から高周波または高周波から低周波に徐々に変動させることができ、電源電流の変動を低減できます。

5.6.1. ギアアップの手順

ギアアップの手順について示します。

① 発振安定待ちタイマ完了後､クロックギア開始ステップ選択に設定した開始ステップのクロックを出力します。

② クロックギアスタート(CCCGRCR0.GRSTR)を"1"にセットし、立上りを検出した場合、クロックギア状態フラグ(CCCGRCR0.GRSTS[1:0])が"00"→"01"に遷移します(ギアアップスタート)。

③ クロックギアステップ選択、繰返し回数選択にしたがって、ギアアップを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。

④ クロックが最大ステップに到達した後に、クロックギア状態フラグ(CCCGRCR0.GRSTS[1:0])が"01"→"10"に遷移します(ギアアップ終了、ギア停止)。
これ以降は最大ステップ(64 ステップ)でクロックを出力します。

⑤ ギア停止後、クロックギアスタート(CCCGRCR0.GRSTR)はハードウェアで"0"にクリアされます。

5.6.2. ギアダウンの手順

ギアダウンの手順について示します。

① クロックギアスタート(CCCGRCR0.GRSTR)を"1"にセットし、立上りを検出した場合、クロックギア状態フラグ(CCCGRCR0.GRSTS[1:0])が"10"->"11"に遷移します(ギアダウンスタート)。
② クロックギアステップ選択、繰返し回数選択にしたがって、ギアダウンを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。
③ クロックが最小ステップに到達した後に、クロックギア状態フラグ(CCCGRCR0.GRSTS[1:0])が"11"->"00"に遷移します(ギアダウン終了、ギア停止)。
これ以降はクロックギア開始ステップ選択に設定した開始ステップでのクロックを出力します。
④ ギア停止後、クロックギアスタート(CCCGRCR0.GRSTR)はハードウェアで"0"にクリアされます。

5.7. MDI 通信中の動作

MDI 通信中の動作について示します。

MDI 通信中は、STOP モードに移行した場合でもメイン発振が停止しないように制御しています。

また、MDI 高速通信中は、CSELR.PCEN がクリアされても PLL リファレンスクロックが供給されるように制御します。PLL 関連レジスタの値が保持されて更新されません。しかし、ソフトウェアが PLLCR.PCEN=0 を設定した場合、PLL 関連レジスタの値は自由に更新(書込み)可能です。

もし、PLL 関連レジスタに前回設定した値と違う値を書き込んで PLL/SSCG クロック発振許可を有効(CSELR.PCEN=1)とした場合、PLL クロックの周波数は更新されません(PLL はロックした状態を保持しているため)。

通常は、PLL 関連レジスタには常に同じ値を書き込んでください。

＜注意事項＞

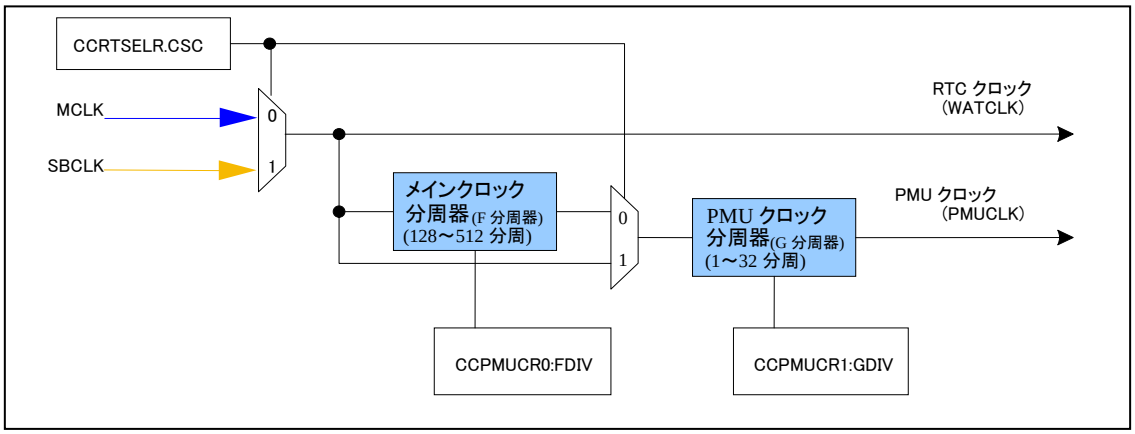
PLL 関連レジスタは、以下のとおりです。
・CCPSDIVR.PODS
・CCPLLFBR.IDIV
・PLLCR.PDS

5.8. PMU クロック(PMUCLK)について

PMU クロック(PMUCLK)について示します。

PMU クロックは、パワーマネジメントユニット(PMU) の動作クロックです。スタンバイモードの制御を行う前に、本クロックの設定を完了させてください。

図 5-7 時計・パワーマネジメントクロック生成部



PMU クロックの周波数は以下の式で算出されます。

・CCRTSELR:CSC=0 (メインクロックを選択) の場合
PMU クロック周波数=メインクロック周波数÷CCPMUCR0:FDIV[1:0]分周比÷
CCPMUCR1:GDIV[4:0]分周比

・CCRTSELR:CSC=1 (サブクロックを選択) の場合
PMU クロック周波数=サブクロック周波数÷CCPMUCR1:GDIV[4:0]分周比

また、PMU クロックは以下の仕様制限を遵守してください(本制限が守られない場合、正常にシャットダウン処理が行われない可能性があります)。

(1) CCRTSELR:CSC は発振中のクロックを選択してください。
(2) PMU クロックは 32kHz 以下になるように F 分周器を使用してください。
(3) 周辺クロック (PCLK1) 周波数の 1/4 以下になるように G 分周器を使用してください。

それぞれの仕様制限について以下のとおり説明します。

(1) CCRTSELR:CSC は発振中のクロックを選択してください。
メインクロックおよびサブクロックの発振状態は、CMONR:MCRDY ビットおよび CMONR:SCRDY ビットを確認してください。また CCRTSELR:CSC ビットを書き換える場合、メインクロックとサブクロックのハンドシェイク処理 (クロック乗換) が発生します。この期間、双方のクロックが発振状態 (CMONR:MCRDY=CMONR:SCRDY=1) でなければ、切換え動作は正常に完了しません。クロック乗換の状態は CCRTSELR:CST ビットで確認してください。

(2) PMU クロックは 32kHz 以下になるように F 分周器を使用してください。
PMU クロックはパワースイッチの制御に使用され、電源入力時の昇圧時間の安定化などの理由から、32kHz 以下の周波数にしてください。
CCRTSELR:CSC＝0 の場合、PMU クロックはソースクロックとしてメインクロックが選択されます。
PMU クロックの周波数が 32kHz 以下になるように、CCPMUCR0:FDIV レジスタを設定してください。
CCRTSELR:CSC＝1 の場合、F 分周器は動作に影響しません。

FDIV[1:0]	分周比	対象メイン発振周波数
00	128 分周(初期値)	4MHz 時
01	256 分周	8MHz 時
10	384 分周	12MHz 時
11	512 分周	16MHz 時

(3) 周辺クロック(PCLK1)周波数の 1/4 以下になるように G 分周器を使用してください。
周辺クロック(PCLK1)と PMU クロック(PMUCLK)のクロック乗換には、PMU クロック×4 サイクルが必要です。
周辺クロック(PCLK1)のクロックソースがサブクロックの場合(CMONR.CKM ="10")、PMU クロックの周波数が周辺クロック (PCLK1) 周波数の 1/4 以下になるように、CCPMUCR1.GDIV レジスタを設定してください。
また、周辺クロック(PCLK1)のクロックソースがメインクロックの 2 分周の場合(CMONR.CKM="00" または CMONR.CKM="01")においても、DIVR0.DIVB や DIVR2.DIVP の設定で周辺クロック(PCLK1)が 128kHz(32kHz×4)以下になる場合には、同様に CCPMUCR1.GDIV レジスタを設定してください。

GDIV[4:0]	分周比
00000	分周しない(初期値)
00001	2 分周
…	…
11110	31 分周
11111	32 分周

【参考】
周辺クロック(PCLK1)の周波数は以下の式で算出できます。
クロック(PCLK1)周波数=
CMONR.CKM で選択中のクロック周波数÷DIVR0.DIVB[2:0]分周比÷
DIVR2.DIVP[3:0]分周比

Chapter 6: クロック・リセット状態遷移

クロック・リセット状態遷移について説明します。

1. 概要
2. デバイス状態と各遷移
3. デバイス状態と対応するレギュレータモード

管理コード : CRST-1v0-91520-8-J

1. 概要

クロック・リセット状態遷移の概要について説明します。

クロックおよびリセットにかかわる状態の遷移について説明します。消費電力制御の状態の特長、設定については『消費電力制御』の章を参照してください。リセットの動作については『リセット』の章を参照してください。レギュレータモードについては『レギュレータ制御』の章を参照してください。

2. デバイス状態と各遷移

クロック・リセット状態遷移のデバイス状態と各遷移について説明します。

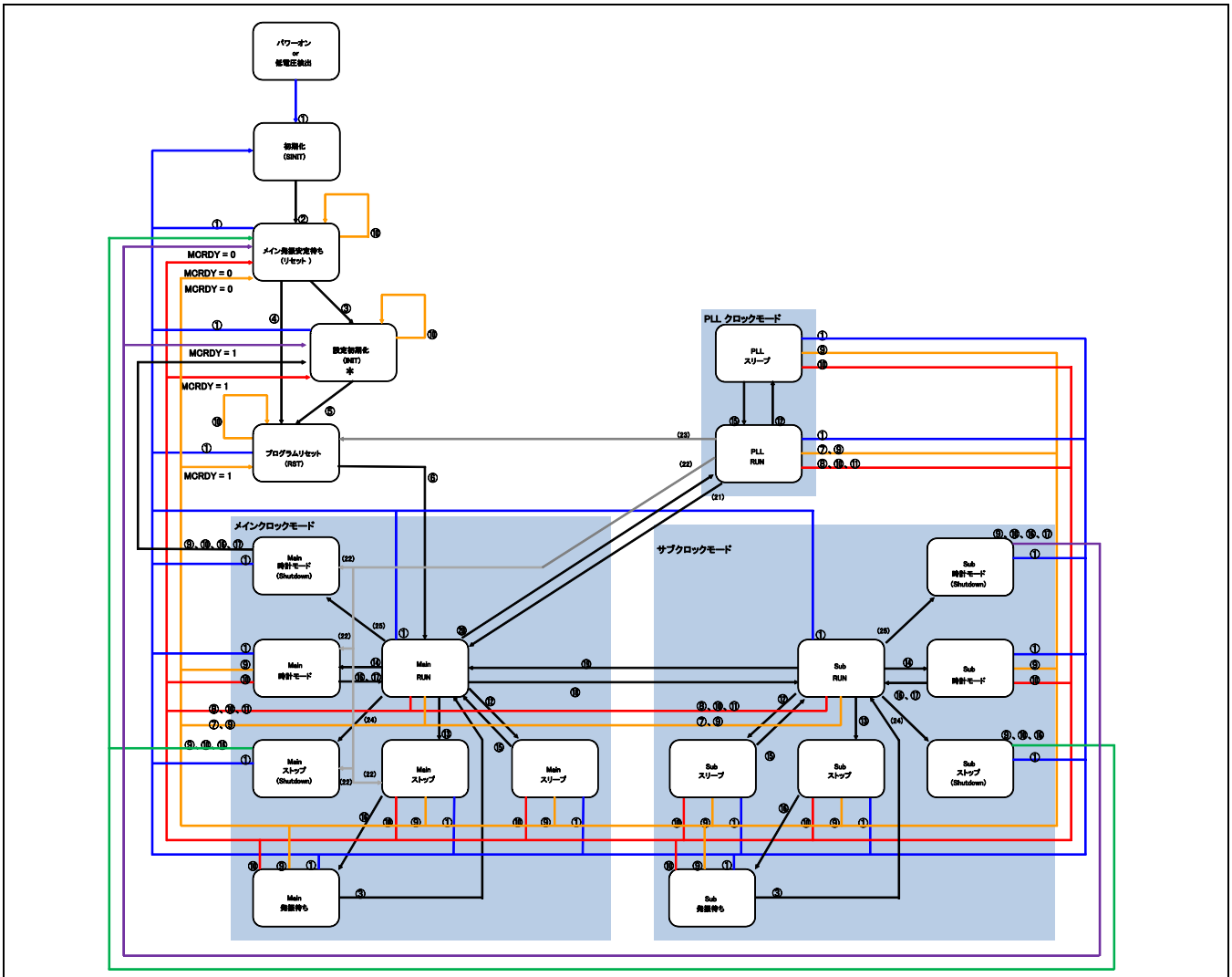
2.1. 状態遷移図
2.2. 各状態の説明
2.3. 各状態遷移要求の優先順位

2.1. 状態遷移図

状態遷移図について示します。

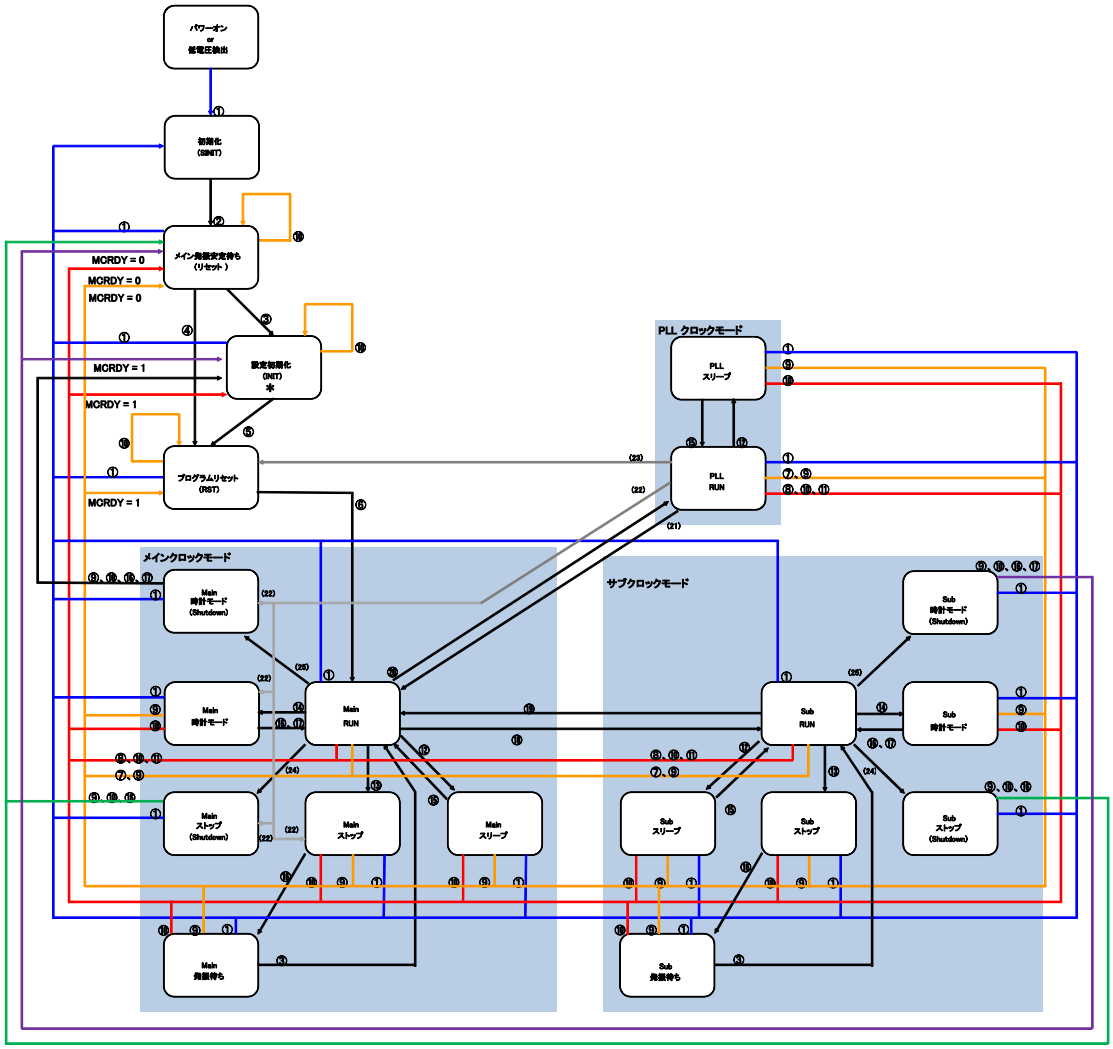
本品種のデバイス状態遷移を示します。

図 2-1 デバイス状態遷移図 [MB91F52xxxB/MB91F52xxxC /MB91F52xxxE]



① パワーオンリセット または 内部低電圧検出 または 外部リセットと NMI の同時アサート
② パワーオンリセット解除 かつ 内部低電圧解除 かつ 外部リセットと NMI の同時アサート解除
③ 発振安定待ち終了
④ 発振安定待ち終了(リセット要因が⑦、⑧の場合)
⑤ INIT 解除
⑥ RST 解除
⑦ ソフトリセット
⑧ ソフトウォッチドッグリセット(イレギュラーを含む) or ソフトリセット(イレギュラー)
⑨ 外部リセット入力(NMI 無効) or 外部低電圧検出
⑩ 外部リセット入力(NMI 無効 + イレギュラー) or 外部低電圧検出(イレギュラー)
⑪ ハードウォッチドッグリセット(イレギュラーを含む)
⑫ スリープモード(命令書込み)
⑬ ストップモード(命令書込み)
⑭ 時計モード(命令書込み)
⑮ 割込み(⑩、⑪も含む)
⑯ 割込み(クロックを必要としない)/NMI
⑰ メインタイマ割込み/サブタイマ割込み/RTC 割込み
⑱ メイン → サブ切換え(命令書込み)
⑲ サブ → メイン切換え(命令書込み)
⑳ メイン → PLL 切換え(命令書込み)
(21) PLL → メイン切換え(命令書込み)
(22) 不正スタンバイモード移行
(23) 不正スタンバイモード移行検出リセット
(24) ストップモードかつ ShutDown(命令書込み)
(25) 時計モードかつ ShutDown(命令書込み)

図 2-2 デバイス状態遷移図 [MB91F52xxxD]



① パワーオンリセット または 内部低電圧検出 または 外部リセット
② パワーオンリセット解除 かつ 内部低電圧解除 かつ 外部リセット解除
③ 発振安定待ち終了
④ 発振安定待ち終了(リセット要因が⑦、⑧の場合)
⑤ INIT 解除
⑥ RST 解除
⑦ ソフトリセット
⑧ ソフトウォッチドッグリセット(イレギュラーを含む) or ソフトリセット(イレギュラー)
⑨ 外部低電圧検出
⑩ 外部低電圧検出(イレギュラー)
⑪ ハードウォッチドッグリセット(イレギュラーを含む)
⑫ スリープモード(命令書込み)
⑬ ストップモード(命令書込み)
⑭ 時計モード(命令書込み)
⑮ 割込み(⑯、⑰も含む)
⑯ 割込み(クロックを必要としない)/NMI
⑰ メインタイマ割込み/サブタイマ割込み/RTC 割込み
⑱ メイン → サブ切換え(命令書込み)
⑲ サブ → メイン切換え(命令書込み)
⑳ メイン → PLL 切換え(命令書込み)
(21) PLL → メイン切換え(命令書込み)
(22) 不正スタンバイモード移行
(23) 不正スタンバイモード移行検出リセット
(24) ストップモードかつ ShutDown(命令書込み)
(25) 時計モードかつ ShutDown(命令書込み)

*: 時計モード(Shutdown)からの復帰時とストップモード(Shutdown)からの復帰時には、リセットされないレジスタがあります。詳細は、『消費電力制御』の章『電源遮断・通常スタンバイ制御の制限事項』を参照してください。

＜注意事項＞

・OCD ツール接続時は、上図と異なる遷移をする場合があります。『オンチップデバッガ(OCD)』の章を参照してください。

2.2. 各状態の説明

各状態について説明します。

本品種のデバイスの動作状態には以下のものがあります。

■ RUN 状態(通常動作)

プログラム実行状態です。すべての内部クロックが供給され、すべての回路が動作可能な状態です。ストップ状態と時計モード状態の外部端子のハイインピーダンス制御は解除されます。

■ スリープ状態

プログラム停止状態です。プログラム動作により遷移します。CPU のプログラム実行のみ停止する設定(CPU スリープモード)と、CPU およびオンチップバス(オンチップバス)およびオンチップバスクロック(HCLK)駆動のペリフェラルを停止させる設定(バススリープモード)があります。詳細は『消費電力制御』の章を参照してください。

■ 時計モード状態

デバイス停止状態です。プログラム動作により遷移します。発振回路(メインクロック生成部、サブクロック生成部)以外の内部回路が停止します。時計モード状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です(一部端子を除く)。特定の(クロックを必要としない)有効な割込み、メインタイマ割込み、サブタイマ割込みや時計カウンタ割込みにより、RUN 状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ 時計モード(電源遮断)状態

時計モードに不必要な部分の電源を遮断したデバイス停止状態です。プログラム動作により遷移します。内部回路の電源を遮断し、発振回路(メインクロック生成部、サブクロック生成部)以外の内部回路が停止します。時計モード(電源遮断)状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です(一部端子を除く)。特定の(クロックを必要としない)有効な割込み、メインタイマ割込み、サブタイマ割込みや時計カウンタ割込みにより、設定初期化(INIT)状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ ストップ状態

デバイス停止状態です。プログラム動作により遷移します。すべての内部回路が停止します。ストップ状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダン

スにすることが可能です(一部端子を除く)。NMI 割込み、外部割込みにより、発振安定待ち RUN 状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ ストップ(電源遮断)状態

ストップ状態に不必要な部分の電源を遮断したデバイス停止状態です。プログラム動作により遷移します。内部回路の電源を遮断し、すべての内部回路が停止します。ストップ(電源遮断)状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です(一部端子を除く)。NMI 割込みにより、メイン発振安定待ち(リセット)状態へ遷移します。詳細は『消費電力制御』の章を参照してください。

■ メイン発振安定待ち、サブ発振安定待ち(RUN)状態

デバイス停止状態です。ストップ状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、動作許可されていた発振回路は動作しています。設定された発振安定待ち時間の経過により、RUN 状態(通常動作)へ遷移します。

■ メイン発振安定待ち(リセット)状態

デバイス停止状態です。初期化(SINIT)状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、メイン発振回路は動作しています。内部回路に対し、プログラムリセット(RST)を出力します。受け付けたリセットレベルがイニシャライズリセットの場合、設定初期化リセット(INIT)も出力します。メインクロック発振安定待ち時間の経過(2^{15}×メインクロック周期)により、設定初期化(INIT)状態へ遷移します。

■ プログラムリセット(RST)状態

プログラム初期化状態です。動作初期化リセット(RST)要求の受付、または設定初期化(INIT)状態の終了により遷移します。内部回路に対し、プログラムリセット(RST)を出力します。INIT から遷移してきた場合、OCD チップリセットシーケンス(1026+3 PCLK サイクル)をとります。

動作初期化リセット(RST)要求の消失により、RUN 状態(通常動作)へ遷移します。詳細は『リセット』の章を参照してください。

■ 設定初期化(INIT)状態

全設定初期化状態です。設定初期化(INIT)要求の受付により遷移します。メイン発振回路は動作しますが、サブ発振回路と PLL は動作を停止します。内部回路に対し、設定初期化(INIT)およびプログラムリセット(RST)を出力します。設定初期化(INIT)要求の消失により、本状態は解除され、プログラムリセット(RST)状態へ遷移します。詳細は『リセット』の章を参照してください。

2.3. 各状態遷移要求の優先順位

各状態遷移要求の優先順位について示します。

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

【最強】　初期化(SINIT)要求
↓　設定初期化(INIT)要求
↓　発振安定待ち時間の終了
(発振安定待ちリセット状態および発振安定待ち RUN 状態のみ発生)
↓　プログラムリセット(RST)要求

↓ 有効な割込み要求
(RUN、スリープ、ストップ、時計モード状態のみ発生)
↓ ストップモード要求(レジスタ書込み) (RUN 状態のみ発生)
↓ 時計モード要求(レジスタ書込み) (RUN 状態のみ発生)
【最弱】 スリープモード要求(レジスタ書込み) (RUN 状態のみ発生)

3. デバイス状態と対応するレギュレータモード

デバイス状態と対応するレギュレータモードについて示します。

下表に各デバイス状態に対応するレギュレータモードを示します。レギュレータモードについては『レギュレータ制御』の章を参照してください。

表 3-1 デバイス状態とレギュレータモードの関係(クロック 1 系統)

デバイス状態	メインクロック	レギュレータモード
Main RUN	発振	メインモード
Main スリープ	発振	メインモード
Main 時計モード	発振	メインモード
Main 時計モード(Shutdown)	発振	スタンバイモード
Main ストップ	停止	メインモード
Main ストップ(Shutdown)	停止	スタンバイモード
Main 発振待ち	発振	メインモード
PLL RUN	発振	メインモード
PLL スリープ	発振	メインモード

表 3-2 デバイス状態とレギュレータモードの関係(クロック 2 系統)

デバイス状態	メインクロック	サブクロック	レギュレータモード
Main RUN	発振	発振 または停止	メインモード
Main スリープ	発振	発振 または停止	メインモード
Main 時計モード	発振	発振 または停止	メインモード
Main 時計モード(Shutdown)	発振	発振 または停止	スタンバイモード
Main ストップ	停止	停止	メインモード
Main ストップ(Shutdown)	停止	停止	スタンバイモード
Main 発振待ち	発振	発振 または停止	メインモード
Sub RUN 1	発振	発振	メインモード
Sub RUN 2	停止	発振	メインモード
Sub スリープ 1	発振	発振	メインモード
Sub スリープ 2	停止	発振	メインモード
Sub 時計モード	発振 または停止	発振	メインモード
Sub 時計モード(Shutdown)	発振 または停止	発振	スタンバイモード
Sub ストップ	停止	停止	メインモード
Sub ストップ(Shutdown)	停止	停止	スタンバイモード
Sub 発振待ち 1	発振	発振	メインモード
Sub 発振待ち 2	停止	発振	メインモード
PLL RUN	発振	発振 または停止	メインモード
PLL スリープ	発振	発振 または停止	メインモード

＜注意事項＞

・上記いずれの表でも、OCD ツール接続時、レギュレータモードはメインモードとなります。

Chapter 7: リセット

リセットについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：RST-1v0-91520-11-J

1. 概要

リセットの概要について説明します。

リセット要因が発生した場合、デバイスはすべてのプログラムおよび大部分のハードウェア動作を停止し、状態を初期化します。この状態をリセットとよびます。

2. 特長

リセットの特長について説明します。

本品種は、以下のリセット要因を持ち、各要因の受付によりデバイス内部の初期化のためのリセットを発行します。

・パワーオンリセット
・RSTX 端子入力
・ウォッチドッグリセット 0(ソフトウェアウォッチドッグ)
・ウォッチドッグリセット 1(ハードウェアウォッチドッグ)
・ソフトウェアリセット
・不正スタンバイモード移行検出リセット
・フラッシュセキュリティ違反
・低電圧検出(内部低電圧検出)
・低電圧検出(外部低電圧検出)
・クロックスーパバイザリセット
・スタンバイ(電源遮断)からの復帰リセット

イレギュラーリセットになる場合を除き(4.1 参考)、リセット発行はすべてのバスアクセスの完了を確認後に行うため、リセットによるアクセス中のメモリ内容(RAM、フラッシュ)は破壊されません。

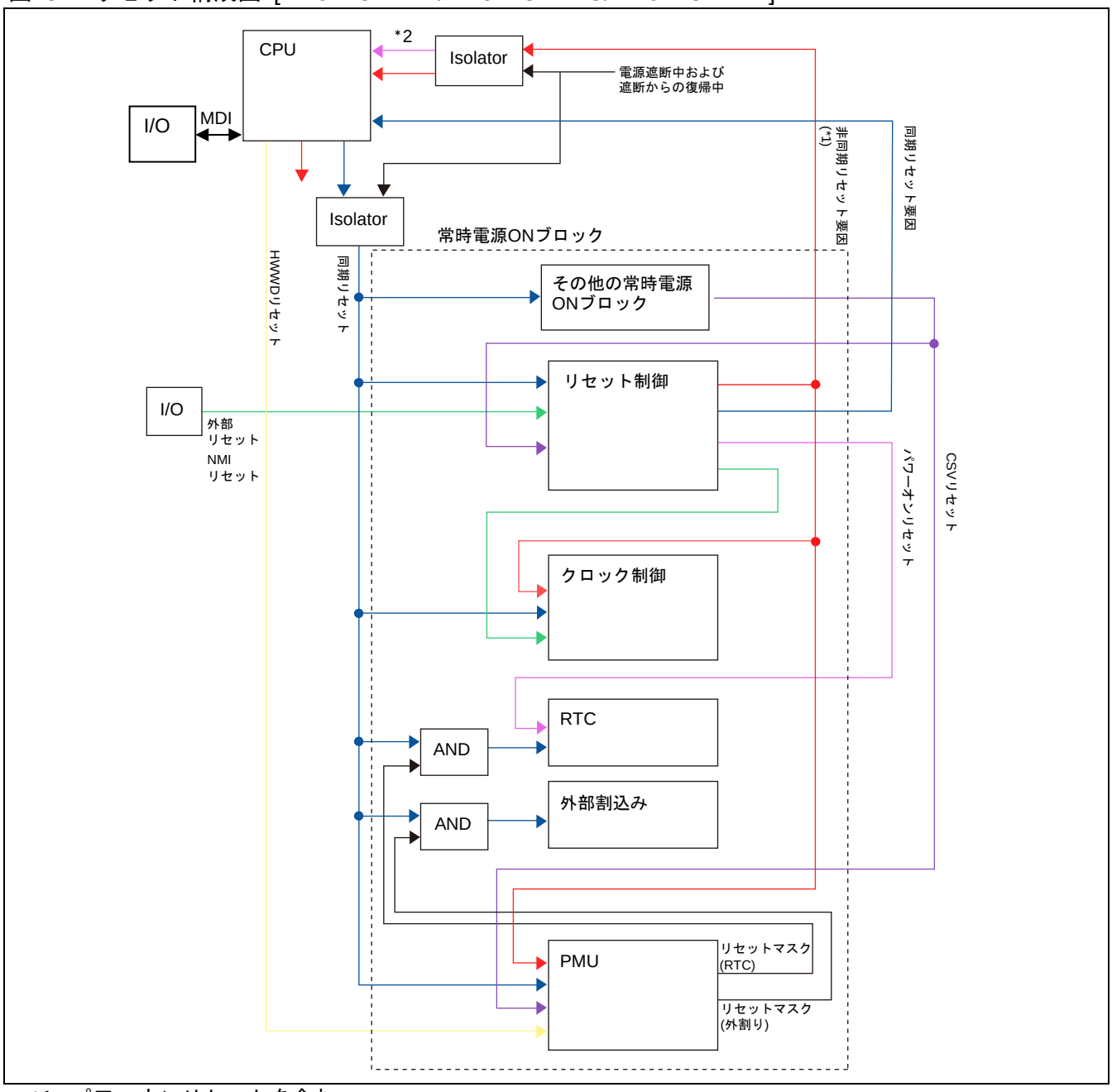
バスの応答が一定時間内に返されないときの強制リセット発行のために、リセット発行遅延カウンタを持ち、設定された時間内に応答がないときはバスの応答の有無にかかわらずリセットを発行します(リセットタイムアウト)。

クロックスーパバイザリセットについては、『クロックスーパバイザ』の章を参照してください。

3. 構成

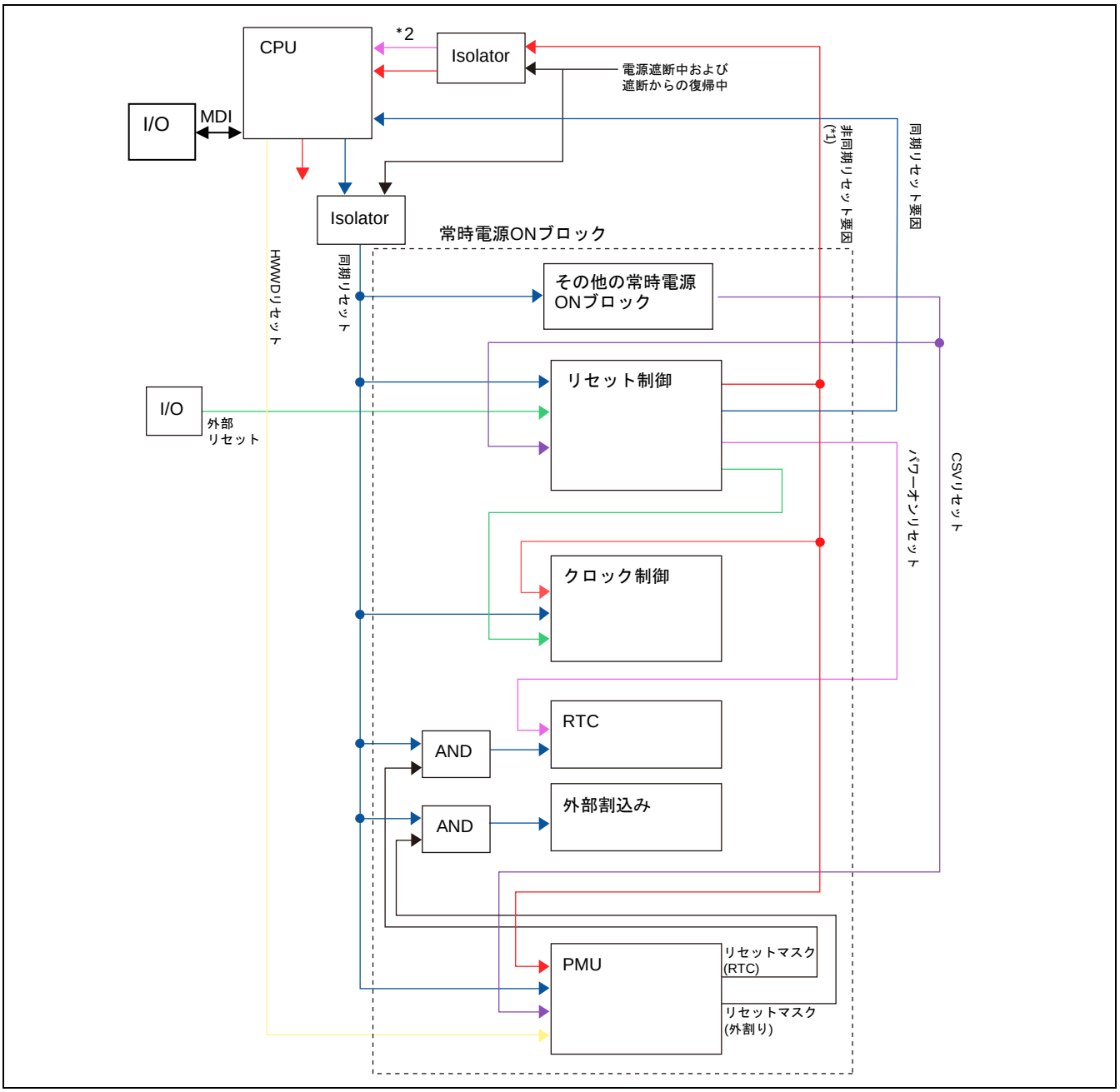
リセットの構成について説明します。

図 3-1 リセット構成図 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]



*1: パワーオンリセットを含む
*2: 電源遮断時および遮断から復帰中アクティブ

図 3-2 リセット構成図 [MB91F52xxxD]



*1: パワーオンリセットを含む
*2: 電源遮断時および遮断から復帰中アクティブ

図 3-3 リセット構成図(リセット制御) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]

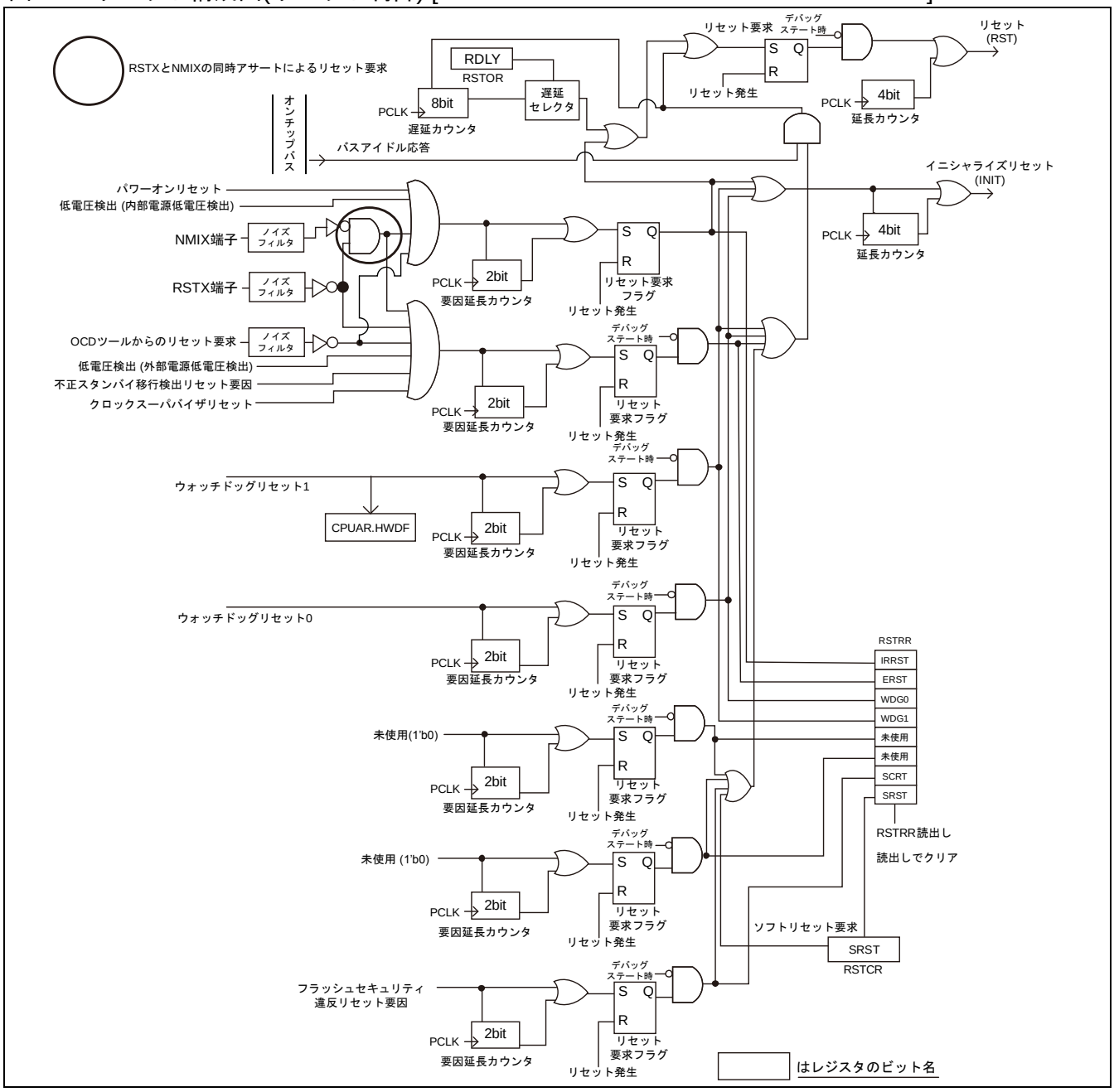


図 3-4 リセット構成図(リセット制御) [MB91F52xxxD]

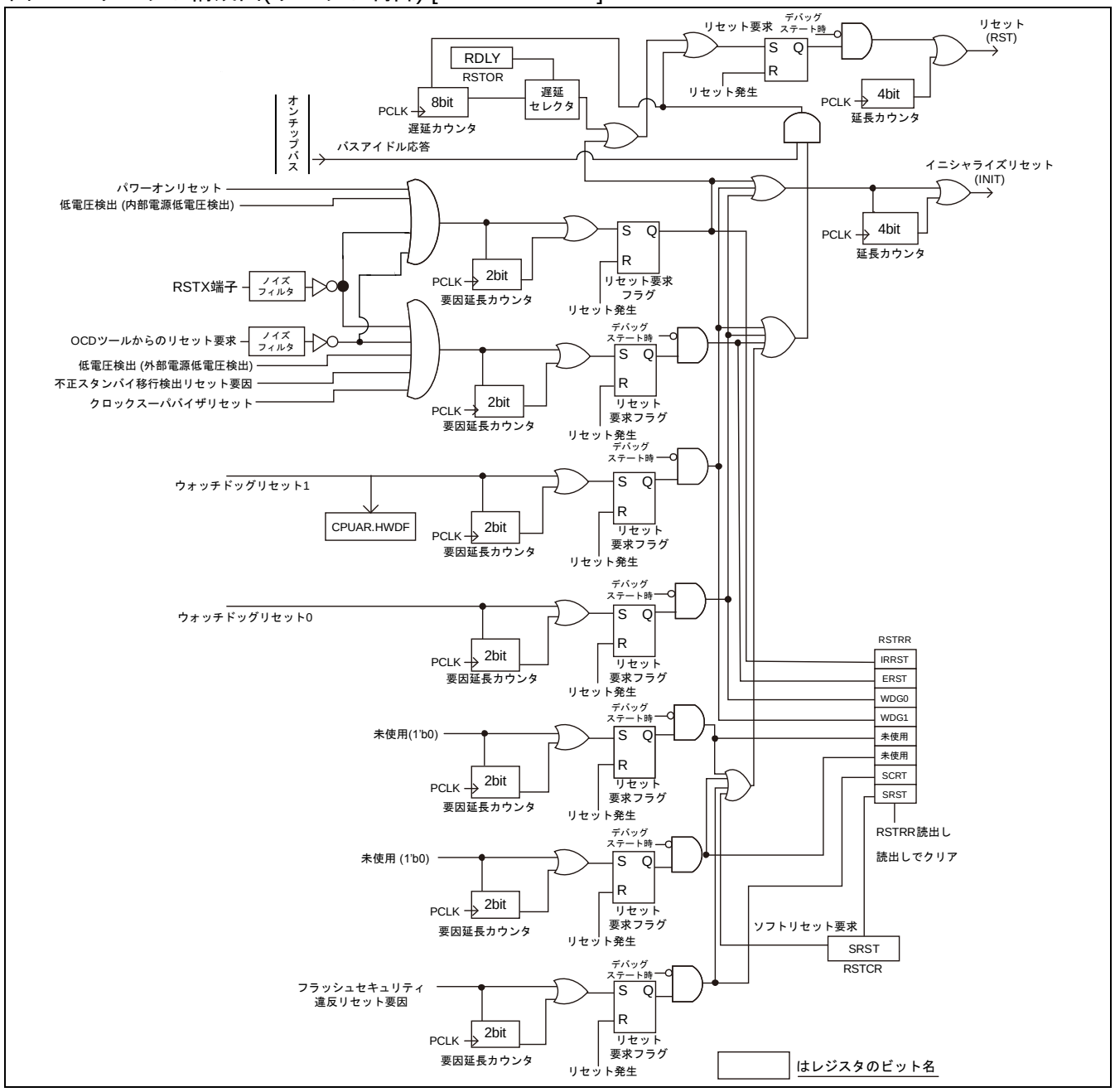
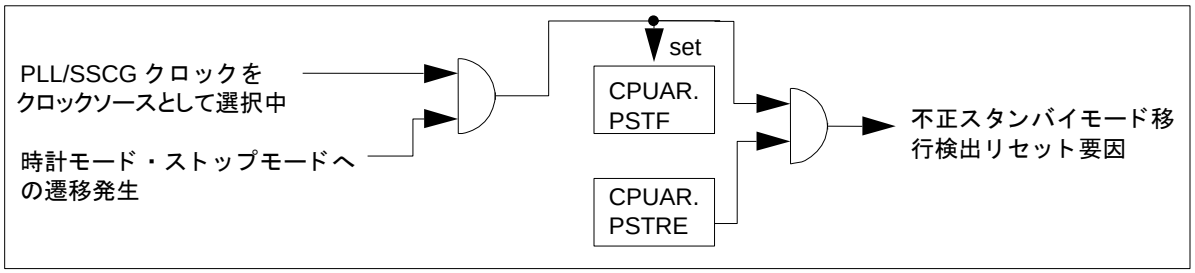


図 3-5 不正スタンバイモード移行検出リセット要因の生成図



4. レジスタ

リセットのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	RSTRR	RSTCR	予約	予約	リセット要因レジスタ リセット制御レジスタ
0x0518	予約	予約	CPUAR	予約	CPU 異常動作レジスタ
0x0590	PMUSTR	予約	予約	予約	PMU 状態レジスタ

＜注意事項＞

0x0482, 0x0591, 0x0592 番地には、『消費電力制御』の章のレジスタが割り当てられているので注意してください。

4.1. リセット要因レジスタ ：RSTRR (ReSeT Result Register)

リセット要因レジスタのビット構成について示します。

直前までに発生した各種リセット要因を表示します。

■ RSTRR： アドレス 0480$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IRRST	ERST	WDG1	WDG0	予約		SCRT	SRST
初期値	*	*	*	*	—	—	*	*
属性	R,WX	R,WX	R,WX	R,WX	RX,WX	RX,WX	R,WX	R,WX

*: リセット要因による
*: パワーオンリセット時は、IRRST ビット以外は不定となります

＜注意事項＞

このレジスタを読み出すと, すべてのビットがクリアされます。
デバッグステート中の読出しではクリアされません。
デバッグステート中は各リセット要因がマスクされるため、本レジスタもリセット要因を検出しません。

[bit7] IRRST (IRregular ReSeT) : イレギュラーリセット

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセット、内部低電圧検出、リセットタイムアウトまたは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生し、リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが"0"のとき、直前のリセット時にはバスアクセスが行われず、メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが"1"の、直前のリセット時にはバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証されません。

[MB91F52xxxD] パワーオンリセット、内部低電圧検出、リセットタイムアウトまたは RSTX 外部端子のアサートのいずれかが発生し、リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが"0"のとき、直前のリセット時にはバスアクセスが行われず、メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが"1"の、直前のリセット時にはバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証されません。

IRRST	イレギュラーリセット検出
0	イレギュラーリセット未検出
1	イレギュラーリセット検出

本ビットは読出しでクリアされます。

[bit6] ERST (External ReSeT) :
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット・RSTX 外部端子と NMIX 外部端子の同時アサート

RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットまたは RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

ERST	RSTX 端子リセット検出，不正スタンバイモード移行検出，クロックスーパバイザリセット検出，低電圧検出(外部低電圧検出)または RSTX 外部端子と NMIX 外部端子の同時アサート検出
0	未検出
1	検出

本ビットは読出しでクリアされます。

[MB91F52xxxD]
リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット

RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットの発生を示します。本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

ERST	RSTX 端子リセット検出，不正スタンバイモード移行検出，クロックスーパバイザリセット検出，低電圧検出(外部低電圧検出)
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit5] WDG1 (WatchDoG reset 1) : **ウォッチドッグリセット 1**

ウォッチドッグタイマ 1 からのリセットを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

WDG1	ウォッチドッグタイマ 1 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。
CPUAR レジスタにも、ウォッチドッグリセット 1 によるリセット要因発生を示すフラグがあります。そちらでは読み出してもクリアされません。

[bit4] WDG0 (WatchDoG reset 0) : **ウォッチドッグリセット 0**

ウォッチドッグタイマ 0 からのリセットを示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

WDG0	ウォッチドッグタイマ 0 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit1] SCRT (Flash SeCuRiTy violation) : フラッシュセキュリティ違反リセット

フラッシュメモリのセキュリティ違反リセットが発生したことを示します。

本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

SCRT	フラッシュセキュリティ違反リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

RSTCR:SRST ビットへの"1"書込みによるリセットを示します。

本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

SRST	ソフトウェアリセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

4.2. リセット制御レジスタ ：RSTCR (ReSeT Control Register)

リセット制御レジスタのビット構成について示します。

各種リセット発行制御を行うレジスタです。

■ RSTCR : アドレス 0481$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RDLY[2:0]			予約				SRST
初期値	1	1	1	0	0	0	0	0
属性	R,W	R,W	R,W	R/W	R/W	R/W	R/W	R,W

[bit7～bit5]: RDLY[2:0] (Reset DeLaY) : リセット発行遅延

リセットタイムアウト値を設定します。リセット要因が検出されてから、すべてのバスがアイドルになるか、本ビットによるリセットタイムアウトまでカウントされるとリセットが発行されます(後者の場合、イレギュラーリセットになります)。本ビットはリセット後 1 回のみ書込みが可能です。

RDLY[2:0]	リセットタイムアウト値
000	PCLK × 2 サイクル
001	PCLK × 4 サイクル
010	PCLK × 8 サイクル
011	PCLK × 16 サイクル
100	PCLK × 32 サイクル
101	PCLK × 64 サイクル
110	PCLK × 128 サイクル
111	PCLK × 256 サイクル (初期値)

[bit4～bit1] 予約

書込み、読出し共に効果ありません。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

本ビットに"1"を書き込んだ後、RSTCR を読み出すことによりソフトウェアリセット要求を発生します。
本ビットに"1"を書き込んだ後は、リセットが発生するまで RSTCR への書込みは無視され、レジスタ値を書き換えることはできません。
デバッグステート中の RSTCR 読出しではリセットは発生しません。

SRST	ソフトウェアリセット
0	出力しない(初期値)
1	RSTCR 読出しによりリセット要求を出力する

4.3. CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register)

CPU 異常動作レジスタのビット構成について示します。

CPU 異常動作時に関する設定、状態を示すレジスタです。

■ CPUAR : アドレス 051A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PSTRE	予約				PMDF	PSTF	HWDF
初期値	0	0	0	0	*	*	*	*
属性	R/W	R0,WX	R0,WX	R0,WX	RX,WX	R(RM1), W	R(RM1), W	R(RM1), W

*: RSTX 端子のアサートで"0"に初期化されます(NMIX との同時アサートも含みます)。それ以外のリセット要因では初期化されません。

[bit7] PSTRE (illegal PLL-run to STandby Reset Enable) : 不正スタンバイモード移行検出リセット許可

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)、リセットを発行するかどうかを設定します。
許可している場合、PLL ラン状態から時計モードまたはストップモードへ遷移することによって不正スタンバイモード移行検出要因によるリセットが発生します。

PSTRE	説明
0	リセットを発生しない(初期値)
1	リセット発生許可

＜注意事項＞

本ビットをセットする場合は、本ビットをセットする前に PSTF ビットに"0"書込みして PSTF ビットをクリアしてください。PSTF ビットのパワーオンリセット後の値は不定のため、PSTF ビットをクリアする前に本ビットをセットすることによってリセットが発生する場合があります。

[bit2] PMDF (Pll mode Main clock Down detection Flag) : PLL モードメイン発振断検出フラグ

PLL 出力をクロックソースとして選択時、クロックスーパバイザがメイン発振断検出をした場合に、本ビットがセットされます。またその場合、ソースクロックは自動的にメインモード(CKS=CKM=00)に書き換わり、すぐにリセット(RST レベル)が発生します。
リードモディファイライト系命令では"1"が読み出されます。

PMDF	読出し	書込み
0	PLL モード中にメイン発振断検出なし(初期値)	本ビットをクリア
1	PLL モード中にメイン発振断検出有	効果ありません

[bit1] PSTF (illegal PLL-run to STandby Flag) : 不正スタンバイモード移行検出フラグ

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)、本ビットがセットされます。またその場合、ソースクロックは自動的にメインモード(CKS=CKM=00)に書き換わります。PSTRE ビットが"1"の場合にはリセット(RST レベル)が発生します。
"0"書込みで本ビットをクリアします。
リードモディファイライト系命令では"1"が読み出されます。

PSTF	読出し	書込み
0	不正スタンバイモード移行は検出されていません	本ビットをクリア
1	不正スタンバイモード移行を検出しました	効果ありません

[bit0] HWDF (Hardware WatchDog Flag) : ハードウェアウォッチドッグ検出フラグ

ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因が検出されると、本ビットがセットされます。
"0"書込みで本ビットをクリアします。
リードモディファイライト系命令では"1"が読み出されます。

HWDF	読出し	書込み
0	ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因は発生していません	本ビットをクリア
1	ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)リセット要因が発生しました	効果ありません

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

＜注意事項＞

RSTRR.WDG1 にも検出フラグはありますが、こちらはリードクリアであるため、一度リードを行うと要因が消えてしまいます。CPUAR.HWDF は保持されているのでクリアするまで要因が保持されています。

4.4. PMU 状態レジスタ ：PMUSTR (Power Management Unit STatus register)

PMU 状態レジスタのビット構成について示します。

PMU の状態示すレジスタです。

■ PMUSTR： アドレス 0590_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PMUST	予約					PONR_F	RSTX_F
初期値	0	0	0	0	0	0	1	*
属性	R,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	R,W

*: RSTX 端子のアサートで"1"に初期化されます(NMIX との同時アサートも含みます)。それ以外のリセット要因では初期化されません。

[bit7] PMUST(Power Management Unit STatus)

直前の状態が、シャットダウンモードであったかどうかの情報を示します。

PMUST	PMU 状態
0	初期状態、初期化リセットからの動作復帰
1	ShutDown モードからの動作復帰

ビットは、"0"書込みでクリアします。"1"書込みは、意味を持ちません。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本ビットは、パワーオンリセット、内部低電圧検出リセットおよび RSTX と NMIX の同時アサートでのみ初期化されます。そのため、本ビットでシャットダウンからの復帰を確認する前に、他のリセット要因を確認してください。

[MB91F52xxxD] 本ビットは、パワーオンリセット、内部低電圧検出リセットおよび RSTX のアサートでのみ初期化されます。そのため、本ビットでシャットダウンからの復帰を確認する前に、他のリセット要因を確認してください。

[bit6～bit2] 予約
常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit1] PONR_F(Power ON Reset Flag)
パワーオンリセットまたは内部低電圧検出リセット検出フラグです。

PONR_F	パワーオンリセット
0	検出していない
1	検出した

ビットは、"0"書込みでクリアします。"1"書込みは、意味を持ちません。
本ビットは、パワーオンリセット以外のリセット要因では初期化されません。

[bit0] RSTX_F(ReSeTX input Flag)
外部リセット検出フラグです。

RSTX_F	RSTX 入力リセット
0	検出していない
1	検出した

ビットは、"0"書込みでクリアします。"1"書込みは、意味を持ちません。
本ビットはパワーオンリセットでは初期化されません。必ずクリアしてから使用してください。

5. 動作説明

リセットの動作について説明します。

以下、本製品のリセットの各動作について説明します。

5.1. リセットレベル

5.2. リセット要因

5.3. リセット受付

5.4. リセット発行

5.5. リセットシーケンス

5.6. 注意事項

5.1. リセットレベル

リセットレベルについて示します。

本製品のリセットには以下の 2 つのレベルがあります。

・イニシャライズリセット(INIT)
・リセット(RST)

＜注意事項＞

本品種では、デバッグインタフェース部(OCDU)用レジスタを除き、双方のレベルのリセットで初期化されるレジスタは同一です。

5.1.1. イニシャライズリセット(INIT)

イニシャライズリセット(INIT)について示します。

パワーオンリセットまたは電源投入リセット(SINIT)のみで初期化されるレジスタおよび初期値不定のレジスタを除くすべてのレジスタと CPU を初期化します。CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メイン発振回路は動作継続、停止していた場合は動作再開しますが、サブ発振回路と PLL は動作を停止します。

以下のリセット要因によるリセット時のみ、このリセットレベルとなります。

・イレギュラーリセット
・ウォッチドッグリセット 0,1
  このリセットレベルでのみ初期化されるのは以下のレジスタです。
・デバッグインタフェース部(OCDU)のレジスタ

5.1.2. リセット(RST)

リセット(RST)について示します。

パワーオンリセット、SINIT または INIT のみで初期化されるレジスタおよび初期値不定のレジスタを除くすべてのレジスタと CPU を初期化します。CPU のプログラムは停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。
イニシャライズリセット(INIT)が発行されると、同時にリセット(RST)も発行されます。
すべてのドキュメント内にて、特に指定がない場合のリセットは、本リセットレベルを示します。

5.2. リセット要因

リセット要因について示します。

本品種の各リセット要因について説明します。

5.2.1. パワーオンリセット

パワーオンリセットについて示します。

電源の立上りを検出することにより発生するリセット要因です。
本リセット要因によるリセットは常にイレギュラーリセットとして検出され、イニシャライズリセット(INIT)を発行します。

5.2.2. RSTX 端子入力

RSTX 端子入力について示します。

デバイス外部から入力されるハードウェアリセットです。
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本リセット要因によるリセットは、リセットタイムアウト時または NMIX 端子が同時にアサートされていた場合にはイレギュラーリセットとして検出されます。
イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

[MB91F52xxxD] 本リセット要因によるリセットは、イレギュラーリセットとして検出されます。

5.2.3. ウォッチドッグリセット 0

ウォッチドッグリセット 0 について示します。

FR81S コア内蔵のウォッチドッグタイマ 0(ソフトウェアウォッチドッグ)から入力されるハードウェアリセットです。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット(INIT)を発行します。

5.2.4. ウォッチドッグリセット 1

ウォッチドッグリセット 1 について示します。

FR81S コア内蔵のウォッチドッグタイマ 1(ハードウェアウォッチドッグ)から入力されるハードウェアリセットです。

本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット(INIT)を発行します。

5.2.5. 外部低電圧検出リセット

外部源低電圧検出リセットについて示します。

低電圧検出(外部源電圧)はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。
イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。
検出電圧については『低電圧検出(外部源低電圧検出)』の章を参照してください。

5.2.6. 不正スタンバイモード移行検出リセット

不正スタンバイモード移行検出リセットについて示します。

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに(不正スタンバイモード移行)発生されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

5.2.7. 内部低電圧検出リセット

内部低電圧検出リセットについて示します。

低電圧検出(内部電圧)はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットはイレギュラーリセットとして検出され、イニシャライズリセット(INIT)を発行します。
検出電圧については『低電圧検出(内部低電圧検出)』の章を参照してください。

5.2.8. フラッシュセキュリティ違反リセット

フラッシュセキュリティ違反リセットについて示します。

フラッシュメモリのセキュリティ保護違反が発生した場合に発行されるリセットです。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。
イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

5.2.9. ソフトウェアリセット (RSTCR:SRST)

ソフトウェアリセット (RSTCR:SRST) について示します。

デバイス内部で発生するソフトウェアリセットです。
RSTCR の bit0:SRST ビットに"1"を書き込んだ後、RSTCR を読み出すことにより発生します。
本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。

[例] ソフトウェアリセット発行のサンプルプログラム

```
    LDI    #value_of_reset, R0  ; SRST ビット="1"
    LDI    #_RSTCR, R12         ;
    STB    R0, @R12             ; ライト
    LDUB   @R12, R0             ; リード(ソフトウェアリセット要求発生)
    MOV    R0, R0               ; パイプライン調整のためのダミー処理
    NOP                         ; パイプライン調整のためのダミー処理
```

5.2.10. スタンバイ(電源遮断)からの復帰

スタンバイ(電源遮断)からの復帰について示します。

マイコンを含む大部分のブロックが、スタンバイからの起動により、電源投入リセット相当の動作をします。ただし、パワーオンリセット要因は常時電源 ON のブロックにあるため、リセット要因レジスタ(RSTRR)レジスタに検出が表示されません。要因は、PMU 状態レジスタ(PMUSTR)に表示されますので、マイコンが再起動した場合には、本レジスタを確認してください。
本リセット要因によるリセットはイニシャライズリセット(INIT)を発行します。

5.3. リセット受付

リセット受付について示します。

各リセット要因の受付処理について説明します。

5.3.1. リセット要求の生成

リセット要求の生成について示します。

少なくとも 1 つのリセット要因が取り込まれると、リセット要求を生成します。リセット要求は内部バス制御部へ通知され、以下の処理を行います。

・CPU のプログラム動作の停止(スリープモードと同一処理)

・オンチップバスのバス制御権の取得
・すべてのバスへアイドル要求が通知されたことの確認

5.3.2. リセット要求の受理

リセット要求の受理について示します。

リセット要求に対するすべての処理が完了した場合、リセット発行部にてリセット要求が受理され、リセット要因に応じたレベルのリセットを発行します。また、リセット発行遅延カウンタのオーバフロー＝リセットタイムアウトが発生した場合、リセット要求に対する処理の終了を待たずにリセット要求が受理され、イレギュラーリセットが発行されます。

5.3.3. リセット発行遅延カウンタ

リセット発行遅延カウンタについて示します。

リセット要求が生成されると同時に、8 ビット長のリセット発行遅延カウンタがカウントを開始します。リセットが発行されないまま、RSTCR レジスタの bit7-5：RDLY[2:0]ビットで指定された遅延サイクルが経過し、カウンタがオーバフローする＝リセットタイムアウトが発生した場合、イレギュラーリセットが発行されます。
RSTCR の RDLY[2:0]ビットはリセットにより初期化され、リセット解除後は 1 回のみ書換えが可能です。遅延サイクルの設定が短い場合、イレギュラーリセットが発行される可能性が高くなります。遅延サイクルの設定が長い場合、リセット要因が発生してからリセットが発行されるまでに長時間かかる場合があります。

5.3.4. イレギュラーリセット

イレギュラーリセットについて示します。

リセット要求に対する処理完了を確認せずにリセットが発行されたとき、イレギュラーリセットとなります。

イレギュラーリセットが発生した場合、以下の処理が行われます。

・リセット要因の種類にかかわらず、イニシャライズリセット(INIT)を発行します。
・RSTRR レジスタの bit7:IRRST ビットを"1"にセットします。

イレギュラーリセットが発生したときは、リセットが入力される時点でバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証できません。イレギュラーリセットの発生は必ずしもメモリの内容が破壊されたことを示す訳ではありませんが、その際のバスアクセスの内容を特定できないためです。

5.4. リセット発行

リセットの発行について示します。

リセット要求受理後、リセットが発行されます。以下、各種リセット発行について説明します。

5.4.1. 電源投入リセット(SINIT)

電源投入リセット(SINIT)について示します。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセットまたは内部低電圧検出または RSTX・NMIX 同時アサート時に最初に電源投入リセット(SINIT)が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。
[MB91F52xxxD] パワーオンリセットまたは内部低電圧検出または RSTX アサート時に最初に電源投入リセット(SINIT)が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。

本リセット発行中はすべてのクロックが停止します。

本リセットが発行されるとき、必ず同時にイニシャライズリセット(INIT)およびリセット(RST)を発行します。

本リセットにより、クロック制御レジスタが初期化されます。

本リセットはメインクロック発振安定待ちを伴います。制御レジスタ初期化に伴い、発振安定待ち時間は 2^{15}×メインクロックになります。

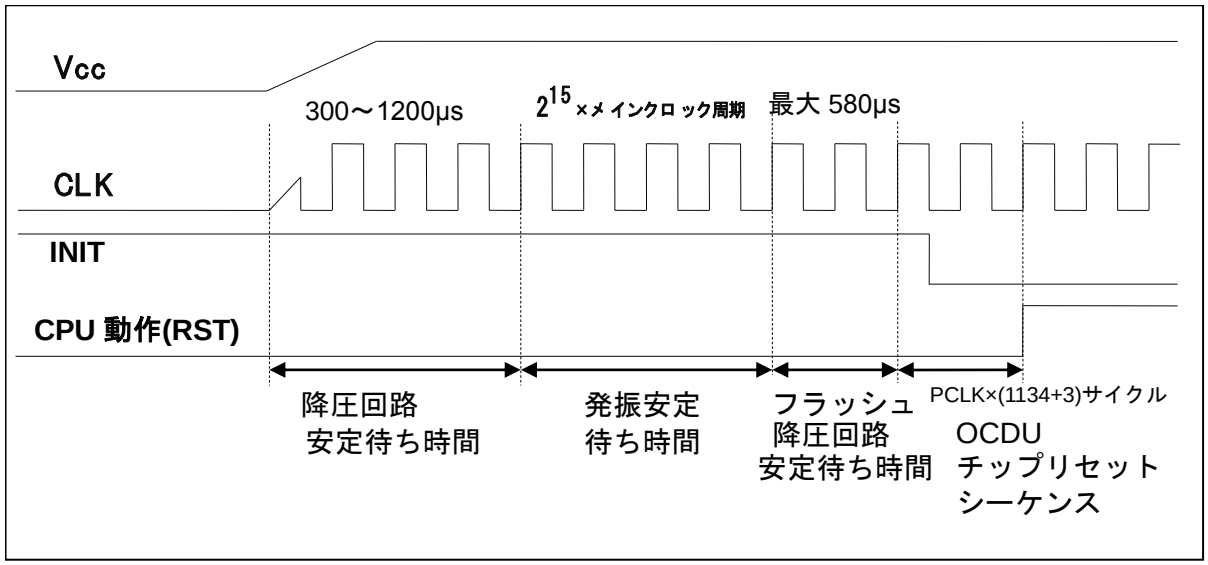
表 5-1 発振安定待ち時間(SINIT)

種類	メインクロック発振安定待ち時間
パワーオンリセット	2^{15}×メインクロック周期
内部低電圧検出	2^{15}×メインクロック周期
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] RSTX・NMIX 同時アサート	2^{15}×メインクロック周期
[MB91F52xxxD] RSTX アサート	2^{15}×メインクロック周期

＜注意事項＞

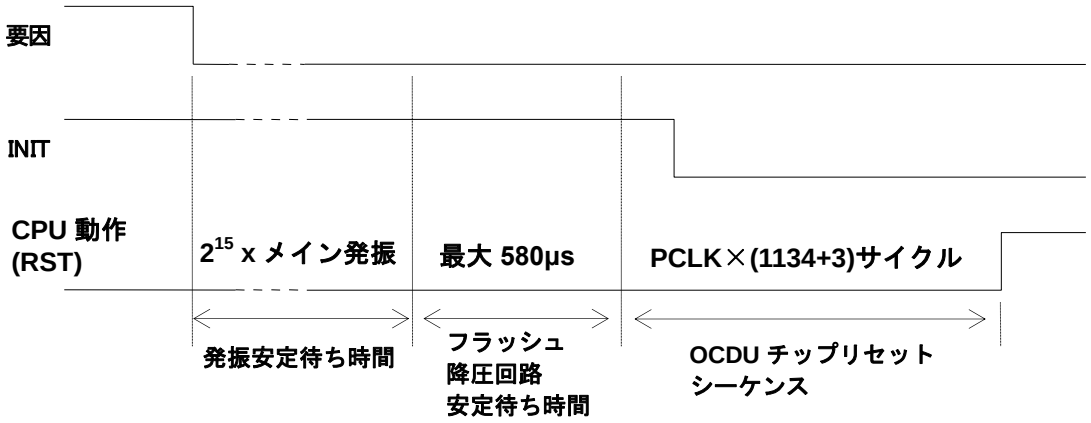
電源投入・電圧復帰にかかわる、レギュレータ安定待ち時間は上表の発振安定待ち時間には含まれていません。パワーオンリセット時には、降圧回路の安定待ち時間(300～1200µs および最大 580µs)が必要になります。

図 5-1 パワーオンリセット時の発振安定待ち時間



本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-2 電源投入リセット(SINIT)シーケンス



リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.4.2. イニシャライズリセット(INIT)

イニシャライズリセット(INIT)について示します。

イニシャライズリセット(INIT)レベルのリセット要因が発生したとき、イニシャライズリセット(INIT)およびリセット(RST)を最初に同時に発行します。本リセットはリセット(RST)で初期化されない一部のレジスタの初期化のみに使用します。

本リセット発行中はすべてのクロックが動作します。本リセットが発行される場合、必ず同時にリセット(RST)を発行します。本リセットにより、クロック制御レジスタが初期化されますが、メインクロック(MCLK)が発振中の場合、発振しているという動作自体は変化しません。

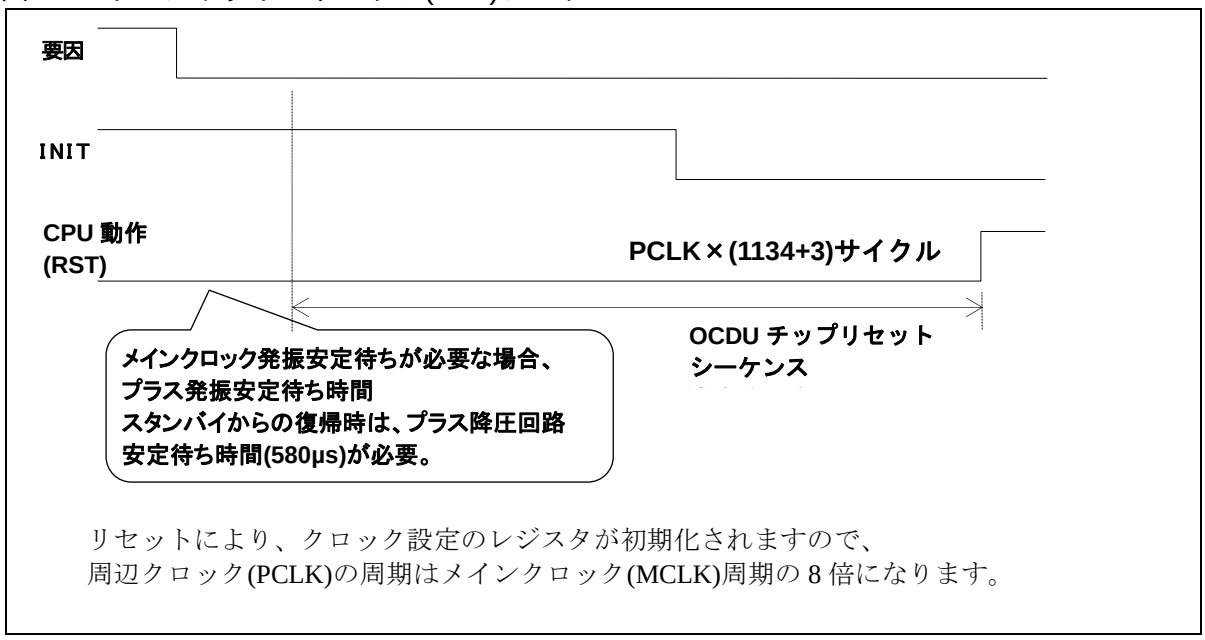
ストップモード中など、メインクロック停止中だった場合、メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため、発振安定待ち時間は本品種のデフォルト値(2^{15}×メインクロック)となります。

表 5-2 発振安定待ち時間(INIT)

リセット投入前メインクロック発振停止中？	メインクロック発振安定待ち時間
No	なし
Yes	2^{15}×メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-3 イニシャライズリセット(INIT)シーケンス



リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.4.3. リセット(RST)

リセット(RST)について示します。

SINIT および INIT レベルでないリセット要因が発生した場合、リセット(RST)のみを発行します。

本リセットは一部のレジスタ(「5.1.1. イニシャライズリセット(INIT)」 を参照してください。)を除くすべてのレジスタと CPU の初期化に使用します。

本リセット発行中はすべてのクロックが動作します。

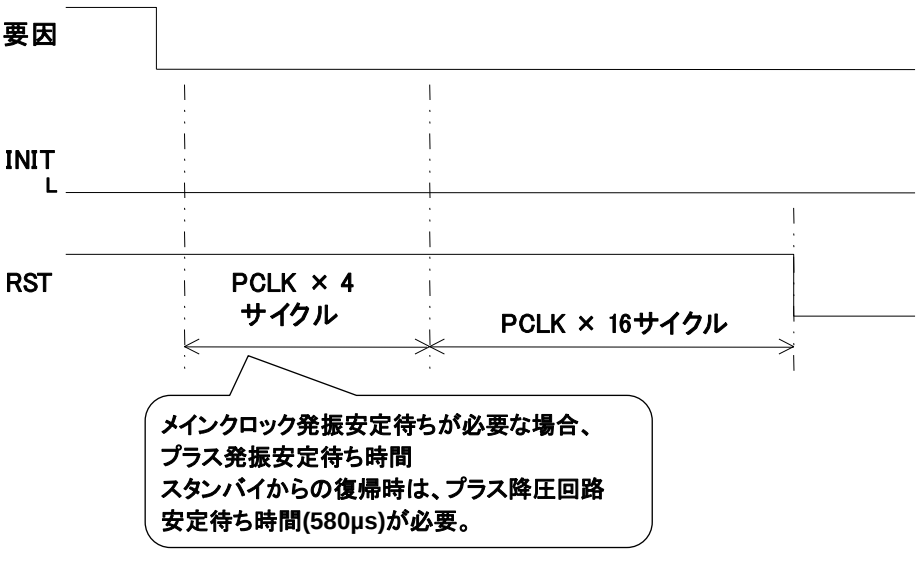
リセット前にストップモード中などでメインクロック停止中だった場合、メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため、発振安定待ち時間は本品種のデフォルト値(2^{15}×メインクロック)となります。

表 5-3 発振安定待ち時間(RST)

リセット投入前メインクロック発振停止中？	メインクロック発振安定待ち時間
No	なし
Yes	2^{15}×メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 5-4 リセット(RST)シーケンス



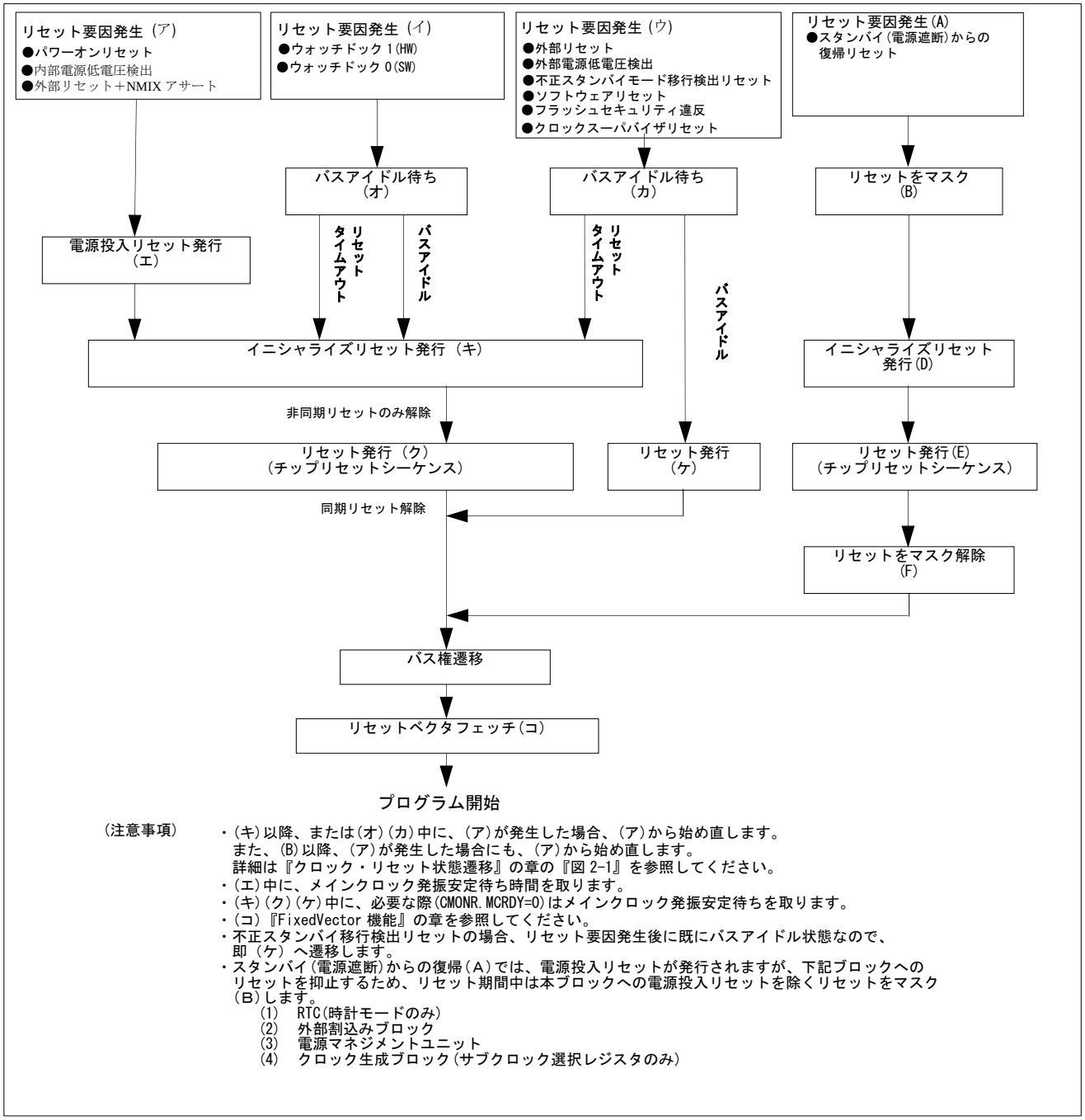
リセットにより、クロック設定のレジスタが初期化されますので、
周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。

5.5. リセットシーケンス

リセットシーケンスについて示します。

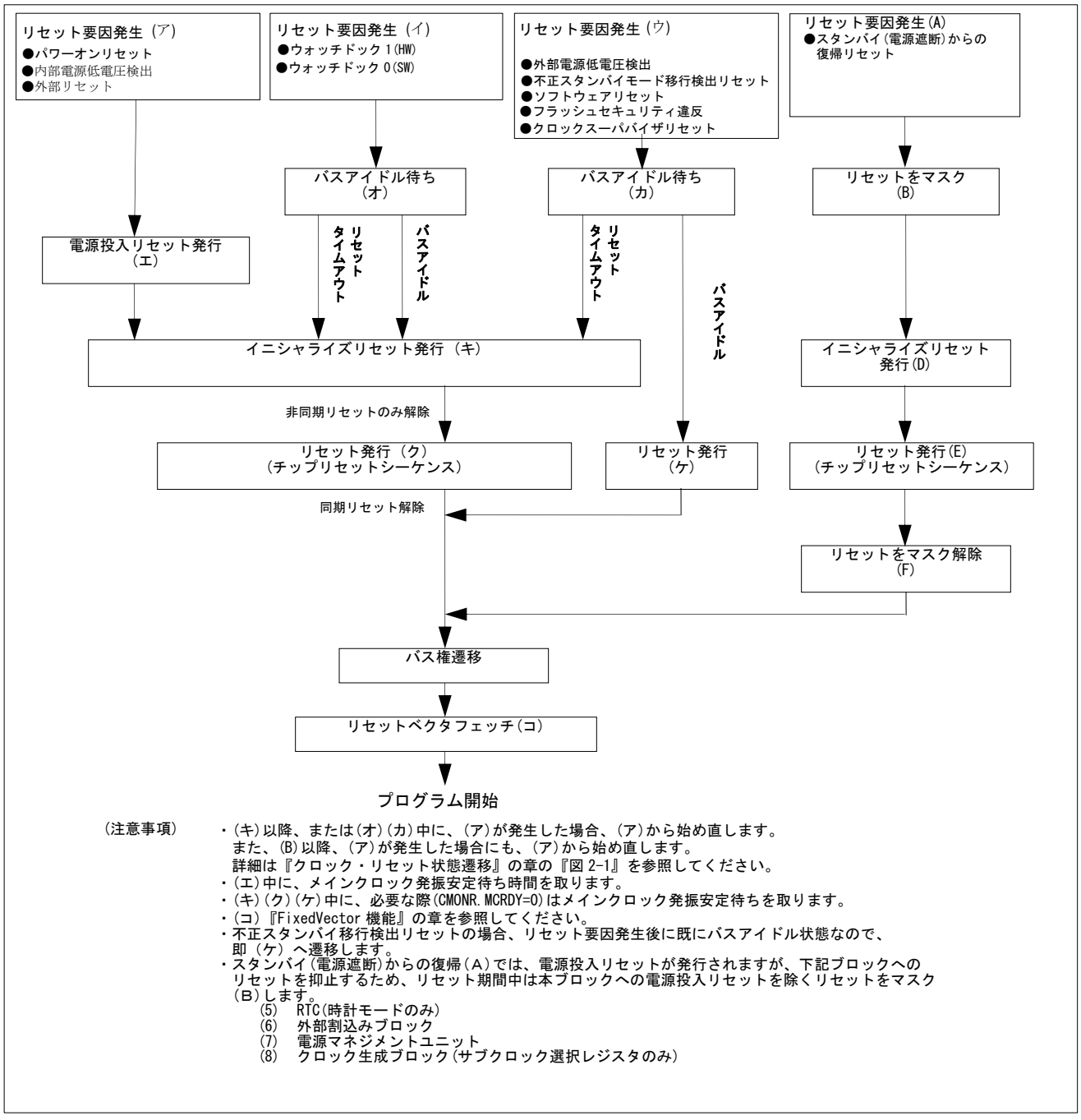
リセット要因の消失により、本品種は初期状態からプログラムおよびハードウェア動作を開始します。このリセットから動作開始にいたる一連の動作をリセットシーケンスとよびます。以下、リセットシーケンスについて説明します。

図 5-5 リセットシーケンス [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]



（注意事項）
- (キ)以降、または(オ)(カ)中に、(ア)が発生した場合、(ア)から始め直します。
  また、(B)以降、(ア)が発生した場合にも、(ア)から始め直します。
  詳細は『クロック・リセット状態遷移』の章の『図 2-1』を参照してください。
- (エ)中に、メインクロック発振安定待ち時間を取ります。
- (キ)(ク)(ケ)中に、必要な際(CMONR.MCRDY=0)はメインクロック発振安定待ちを取ります。
- (コ)『FixedVector 機能』の章を参照してください。
- 不正スタンバイ移行検出リセットの場合、リセット要因発生後に既にバスアイドル状態なので、
  即（ケ）へ遷移します。
- スタンバイ(電源遮断)からの復帰(A)では、電源投入リセットが発行されますが、下記ブロックへの
  リセットを抑止するため、リセット期間中は本ブロックへの電源投入リセットを除くリセットをマスク
  (B)します。
  (1) RTC(時計モードのみ)
  (2) 外部割込みブロック
  (3) 電源マネジメントユニット
  (4) クロック生成ブロック(サブクロック選択レジスタのみ)

図 5-6 リセットシーケンス [MB91F52xxxD]



（注意事項）
- (キ)以降、または(オ)(カ)中に、(ア)が発生した場合、(ア)から始め直します。
  また、(B)以降、(ア)が発生した場合にも、(ア)から始め直します。
  詳細は『クロック・リセット状態遷移』の章の『図 2-1』を参照してください。
- (エ)中に、メインクロック発振安定待ち時間を取ります。
- (キ)(ク)(ケ)中に、必要な際(CMONR.MCRDY=0)はメインクロック発振安定待ちを取ります。
- (コ)『FixedVector 機能』の章を参照してください。
- 不正スタンバイ移行検出リセットの場合、リセット要因発生後に既にバスアイドル状態なので、
  即（ケ）へ遷移します。
- スタンバイ(電源遮断)からの復帰(A)では、電源投入リセットが発行されますが、下記ブロックへの
  リセットを抑止するため、リセット期間中は本ブロックへの電源投入リセットを除くリセットをマスク
  (B)します。
  (5) RTC(時計モードのみ)
  (6) 外部割込みブロック
  (7) 電源マネジメントユニット
  (8) クロック生成ブロック(サブクロック選択レジスタのみ)

5.5.1. リセットサイクル

リセットサイクルについて示します。

リセット要因の解除後、4×周辺クロック(PCLK)周期の間リセット要求が延長され、その後リセットレベルごとに周辺クロック(PCLK)×16 サイクルの期間ずつリセットサイクルを維持します。これにより、各リセットの最小発行サイクル数は 20 サイクルとなります。メインクロック発振安定待ちが必要な際は、当該分だけ延長されます。

5.5.2. リセット解除

リセットの解除について示します。

リセットサイクルが終了した場合、各リセットが解除され、各ハードウェアが動作を開始します。リセット解除直後はモード制御回路がオンチップバスのバスマスタとなります。

5.5.3. 動作モード確定

動作モードの確定について示します。

バスマスタとなったモード制御回路は、取得したモード設定値に基づき決定した動作モードを各ハードウェアに通知し、その後にオンチップバスのバス権を解放します。

5.5.4. バス権の遷移

バス権の遷移について示します。

モード制御回路がオンチップバスのバス権を解放した後は、CPU がバス権を獲得し、CPU によるバス動作を開始します。

5.5.5. リセットベクタフェッチ

リセットベクタフェッチについて示します。

リセット解除後、CPU はリセットベクタのフェッチを開始します。

CPU がバス権を獲得後、リセットベクタへのアクセスがオンチップバスを介して行われ、取得したリセットベクタを PC に取り込み、プログラム動作を開始します。

5.5.6. リセットと強制ブレーク

リセットと強制ブレークについて示します。

リセット解除時に強制ブレークが発生していた場合、リセットベクタフェッチ終了後に強制ブレークを受付けます。このため、取得したリセットベクタによる PC 値がエミュレータ空間側へ退避されます。

5.6. 注意事項

注意事項について示します。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
スタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧検出リセット、RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。

[MB91F52xxxD]
スタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧検出リセット、RSTX によるリセット以外のリセット要因を受け付けません。

Chapter 8: DMA コントローラ(DMAC)

DMA コントローラ(DMAC)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. DMA 使用例

管理コード : FR81S10_DMA-1v1-91520-9-J

1. 概要

DMA コントローラ(DMAC)の概要について説明します。

DMAC は、DMA (Direct Memory Access) 転送を行うモジュールです。本モジュール制御による DMA 転送により、CPU を介さずに各種データ転送を高速に行うことが可能となり、システムのパフォーマンスを増加させます。

2. 特長

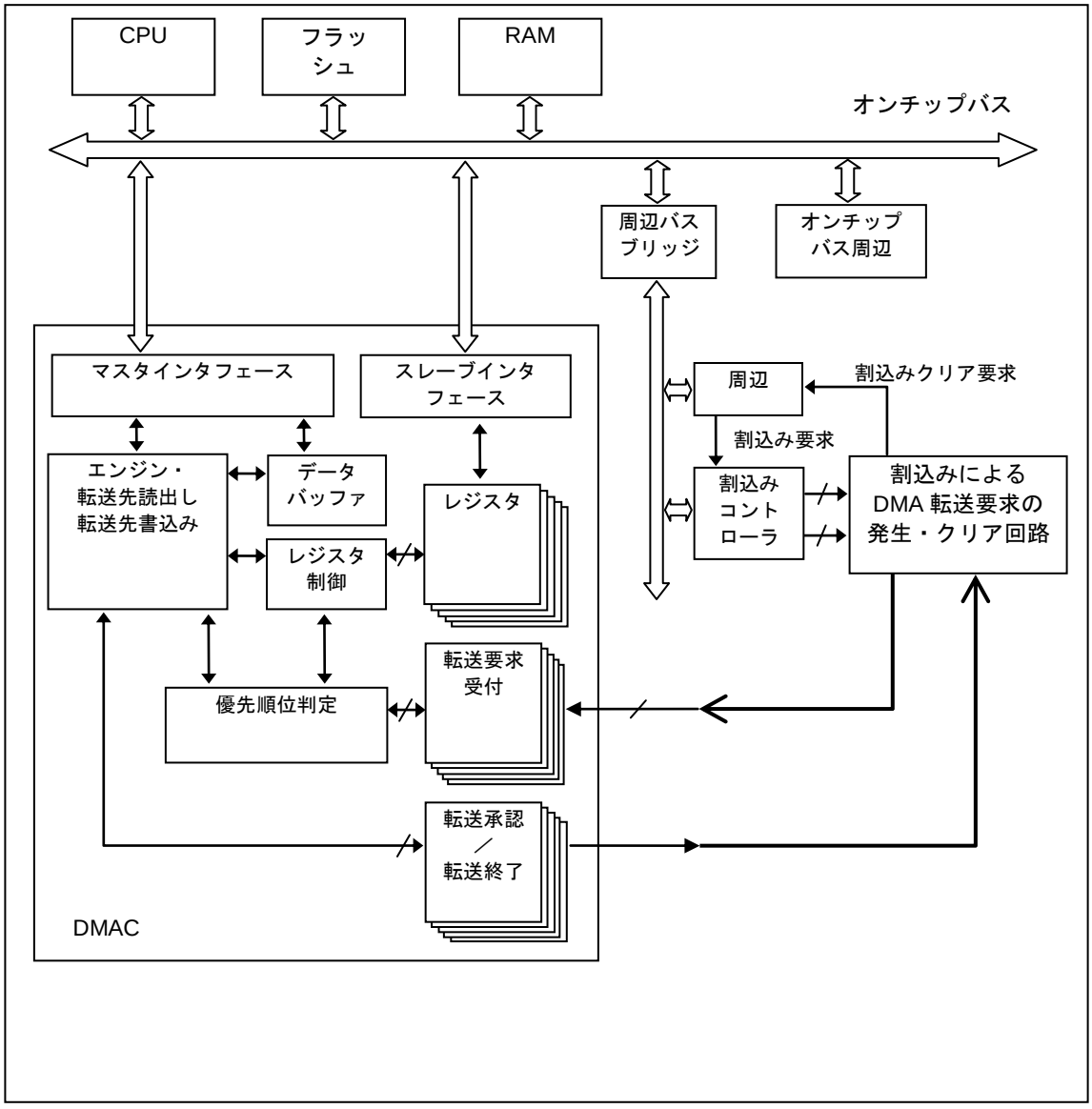
DMA コントローラ(DMAC)の特長について説明します。

- チャネル数 : 16 チャネル
- アドレス空間 : 32 ビットのアドレス空間 (4GB)
- 転送モード : ブロック転送/バースト転送
- アドレス更新 : 増加/減少/固定 (増減値は 1, 2, 4 固定)
- 転送サイズ : 8 ビット, 16 ビット, 32 ビット
- ブロックサイズ : 1 ～ 16
- 転送回数 : 1 ～ 65535 回
- 転送要求 :
  - ソフトウェア転送要求
  - ペリフェラルの割込みによる転送要求(ペリフェラルの割込みによる転送要求の場合、チャネルごとに割込みの選択が必要になります。『DMA 転送要求の発生・クリア』の章を参照してください。)
- 転送停止要求 : 割込みによる転送停止要求
- リロード機能 : 全チャネルリロード指定可
  - 転送元アドレスリロード
  - 転送先アドレスリロード
  - 転送回数リロード
- 優先順位 :
  - 固定 (ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.8 > ch.9 >ch.10 > ch.11 > ch.12 > ch.13 > ch.14 > ch.15)、もしくはラウンドロビン
- 割込み要求 : 正常終了割込み要求、異常終了割込み要求、転送停止要求による転送中断割込み要求を発生可能

3. 構成

DMA コントローラ(DMAC)の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

DMA コントローラ(DMAC)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C00	DCCR0				DMA チャネル制御レジスタ 0
0x0C04	DCSR0		DTCR0		DMA チャネル状態レジスタ 0 DMA 転送回数レジスタ 0
0x0C08	DSAR0				DMA 転送元アドレスレジスタ 0
0x0C0C	DDAR0				DMA 転送先アドレスレジスタ 0
0x0C10	DCCR1				DMA チャネル制御レジスタ 1
0x0C14	DCSR1		DTCR1		DMA チャネル状態レジスタ 1 DMA 転送回数レジスタ 1
0x0C18	DSAR1				DMA 転送元アドレスレジスタ 1
0x0C1C	DDAR1				DMA 転送先アドレスレジスタ 1
0x0C20	DCCR2				DMA チャネル制御レジスタ 2
0x0C24	DCSR2		DTCR2		DMA チャネル状態レジスタ 2 DMA 転送回数レジスタ 2
0x0C28	DSAR2				DMA 転送元アドレスレジスタ 2
0x0C2C	DDAR2				DMA 転送先アドレスレジスタ 2
0x0C30	DCCR3				DMA チャネル制御レジスタ 3
0x0C34	DCSR3		DTCR3		DMA チャネル状態レジスタ 3 DMA 転送回数レジスタ 3
0x0C38	DSAR3				DMA 転送元アドレスレジスタ 3
0x0C3C	DDAR3				DMA 転送先アドレスレジスタ 3
0x0C40	DCCR4				DMA チャネル制御レジスタ 4
0x0C44	DCSR4		DTCR4		DMA チャネル状態レジスタ 4 DMA 転送回数レジスタ 4
0x0C48	DSAR4				DMA 転送元アドレスレジスタ 4
0x0C4C	DDAR4				DMA 転送先アドレスレジスタ 4

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C50	DCCR5				DMA チャネル制御レジスタ 5
0x0C54	DCSR5		DTCR5		DMA チャネル状態レジスタ 5 DMA 転送回数レジスタ 5
0x0C58	DSAR5				DMA 転送元アドレスレジスタ 5
0x0C5C	DDAR5				DMA 転送先アドレスレジスタ 5
0x0C60	DCCR6				DMA チャネル制御レジスタ 6
0x0C64	DCSR6		DTCR6		DMA チャネル状態レジスタ 6 DMA 転送回数レジスタ 6
0x0C68	DSAR6				DMA 転送元アドレスレジスタ 6
0x0C6C	DDAR6				DMA 転送先アドレスレジスタ 6
0x0C70	DCCR7				DMA チャネル制御レジスタ 7
0x0C74	DCSR7		DTCR7		DMA チャネル状態レジスタ 7 DMA 転送回数レジスタ 7
0x0C78	DSAR7				DMA 転送元アドレスレジスタ 7
0x0C7C	DDAR7				DMA 転送先アドレスレジスタ 7
0x0C80	DCCR8				DMA チャネル制御レジスタ 8
0x0C84	DCSR8		DTCR8		DMA チャネル状態レジスタ 8 DMA 転送回数レジスタ 8
0x0C88	DSAR8				DMA 転送元アドレスレジスタ 8
0x0C8C	DDAR8				DMA 転送先アドレスレジスタ 8
0x0C90	DCCR9				DMA チャネル制御レジスタ 9
0x0C94	DCSR9		DTCR9		DMA チャネル状態レジスタ 9 DMA 転送回数レジスタ 9
0x0C98	DSAR9				DMA 転送元アドレスレジスタ 9
0x0C9C	DDAR9				DMA 転送先アドレスレジスタ 9
0x0CA0	DCCR10				DMA チャネル制御レジスタ 10
0x0CA4	DCSR10		DTCR10		DMA チャネル状態レジスタ 10 DMA 転送回数レジスタ 10
0x0CA8	DSAR10				DMA 転送元アドレスレジスタ 10
0x0CAC	DDAR10				DMA 転送先アドレスレジスタ 10

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0CB0	DCCR11				DMA チャネル制御レジスタ 11
0x0CB4	DCSR11		DTCR11		DMA チャネル状態レジスタ 11 DMA 転送回数レジスタ 11
0x0CB8	DSAR11				DMA 転送元アドレスレジスタ 11
0x0CBC	DDAR11				DMA 転送先アドレスレジスタ 11
0x0CC0	DCCR12				DMA チャネル制御レジスタ 12
0x0CC4	DCSR12		DTCR12		DMA チャネル状態レジスタ 12 DMA 転送回数レジスタ 12
0x0CC8	DSAR12				DMA 転送元アドレスレジスタ 12
0x0CCC	DDAR12				DMA 転送先アドレスレジスタ 12
0x0CD0	DCCR13				DMA チャネル制御レジスタ 13
0x0CD4	DCSR13		DTCR13		DMA チャネル状態レジスタ 13 DMA 転送回数レジスタ 13
0x0CD8	DSAR13				DMA 転送元アドレスレジスタ 13
0x0CDC	DDAR13				DMA 転送先アドレスレジスタ 13
0x0CE0	DCCR14				DMA チャネル制御レジスタ 14
0x0CE4	DCSR14		DTCR14		DMA チャネル状態レジスタ 14 DMA 転送回数レジスタ 14
0x0CE8	DSAR14				DMA 転送元アドレスレジスタ 14
0x0CEC	DDAR14				DMA 転送先アドレスレジスタ 14
0x0CF0	DCCR15				DMA チャネル制御レジスタ 15
0x0CF4	DCSR15		DTCR15		DMA チャネル状態レジスタ 15 DMA 転送回数レジスタ 15
0x0CF8	DSAR15				DMA 転送元アドレスレジスタ 15
0x0CFC	DDAR15				DMA 転送先アドレスレジスタ 15
0x0DF4	予約	予約	DNMIR	DILVR	DMA 転送抑止 NMI フラグレジスタ DMA 転送抑止割込みレベルレジスタ
0x0DF8	DMACR				DMA 制御レジスタ
0x0DFC	予約				予約

4.1. DMA 制御レジスタ ：DMACR (DMA Control Register)

DMA 制御レジスタのビット構成について示します。

DMAC 全体(全チャネル)を制御するための 32 ビットレジスタです。本レジスタには 32 ビットでアクセスしてください。

■ DMACR： アドレス 0DF8$_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DME	予約						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	AT	予約						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit31] DME (DMA Enable) : DMA 動作許可

DMAC 全体の動作を制御します。本ビットが"0"の場合は各チャネルが動作許可状態であっても DMA 転送は行いません。本ビットが"1"の場合に各チャネルの設定に従った動作を行います。

DMA 転送中に"0"が書き込まれた場合は DCCRx.BLK で指定したブロック単位で転送を停止します。

DME	DMA 動作許可
0	DMA 動作禁止(初期値)
1	DMA 動作許可

[bit30～bit16] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit15] AT (Arbitration Type) : 優先順位設定

各チャネルの優先順位を決める方法を設定します。優先順位を固定(AT = 0)に設定した場合は、ch.0 > ch.1 > ch.2 > ch.3 となります。優先順位をラウンドロビン(AT =1)に設定した場合は、転送を開始したチャネルの優先順位が一番低くなり、それより下位にあったチャネルの優先順位が 1 つずつ上がります。優先順位の判定は、優先順位設定にかかわらず DCCRx.BLK で指定したブロック単位の転送ごとに行います。

AT	優先順位設定
0	固定(初期値)
1	ラウンドロビン

[bit14～bit0] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

4.2. DMA チャネル制御レジスタ 0-15 : DCCR0-15 (DMA Channel Control Register 0-15)

DMA チャネル制御レジスタ 0-15 のビット構成について示します。

DMAC 各チャネルの動作制御を行う 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32bit でアクセスしてください。

■ DCCR0-15 : アドレス BASE + 0000_H (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	CE	予約				AIE	SIE	NIE
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約		RS[1:0]		予約		TM[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ST	SAR	SAC[1:0]		DT	DAR	DAC[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TCR	予約	TS[1:0]		BLK[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W

[bit31] CE (Channel Enable) : チャネル動作許可

チャネルの動作を制御します。要求元をソフトウェアに設定している場合はこのビットに"1"を書き込むと設定した内容に従い DMA 転送が開始します。この場合、転送要求に応じた転送を終了すると CE ビットは自動でクリアされます。

要求元がソフトウェア以外の場合は"1"を書き込むとチャネル動作許可になります。チャネル動作許可後、対応する転送要求を検出すると DMA 転送が開始します。ソフトウェア以外の要求で転送回数リロード(DCCRx.TCR)が指定されている場合、CE ビットは自動でクリアされません。転送回数リロードを禁止している場合は、すべての転送が終了すると CE ビットがクリアされます。

要求元によらず、動作中に"0"が書き込まれた場合は DCCRx.BLK で指定したブロック単位で転送を停止します。再び"1"を書き込み、新たに転送要求を検出すると動作を再開します。

CE	チャネル動作許可
0	禁止(初期値)
1	許可

[bit30～bit27] **予約**

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit26] AIE (Abnormal Completion Interrupt Enable) : **異常終了割込み許可**

DMA チャネル制御レジスタ(DCCR)に設定禁止の値を設定した場合の割込み発生を制御します。レジスタ設定禁止項目は以下のとおりです。

- 転送モード : DCCRx.TM = 2'b10
- 転送元アドレスカウント : DCCRx.SAC = 2'b10
- 転送先アドレスカウント : DCCRx.DAC = 2'b10
- 転送サイズ : DCCRx.TS = 2'b11
- ソフトウェア要求によるデマンド転送モード
  : DCCRx.RS = 2'b00 かつ DCCRx.TM = 2'b11

割込み要因は状態レジスタ(DCSRx)を確認してください。

AIE	異常終了割込み許可
0	禁止 (初期値)
1	許可

[bit25] SIE (Stop Interrupt Enable) : **転送停止要求による転送中断割込み許可**

転送要求元からの転送停止要求により DMA 転送を中断した場合の割込み発生を制御します。割込み要因は状態レジスタ(DCSRx)を確認してください。

SIE	転送中断割込み許可
0	禁止 (初期値)
1	許可

[bit24] NIE (Normal Completion Interrupt Enable) : 正常終了割込み許可

DMA 転送を正常に終了した場合の割込み発生を制御します。設定した転送回数(DTCRx.DTC)の転送が終了したとき、または転送回数が"0"のときに対応するチャネルの DCCRx.CE ビットに"1"書込みしたときに正常終了となります。

割込み要因は状態レジスタ(DCSRx)を確認してください。

NIE	正常終了割込み許可
0	禁止 (初期値)
1	許可

[bit23, bit22] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit21, bit20] RS (Request Source) : DMA 転送要求元

チャネルに対する転送要求元を選択します。

RS[1:0]	DMA 転送要求元
00	ソフトウェア (初期値)
01	割込み
10	予約(設定禁止)
11	予約(設定禁止)

[bit19, bit18] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit17, bit16] TM (Transfer Mode) : 転送モード

DMA 転送モードを指定します。

TM[1:0]	転送モード
00	ブロック転送 (初期値)
01	バースト転送
10	予約(設定禁止)
11	予約(設定禁止)

[bit15] ST (Source Type) : **転送元タイプ**

DMA 転送要求元(DCCR.RS[1:0]), 転送元アドレス(DSAR), 転送先アドレス(DDAR)の組み合わせにより設定値が異なります。設定は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

ST	転送元タイプ
0	「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。
1	

[bit14] SAR (Source Address Reload) : **転送元アドレスリロード**

転送元アドレスレジスタのリロードを指定します。リロードを指定している場合、転送終了後に転送元アドレスレジスタ値を初期設定値に戻します。リロードを禁止している場合、転送終了後の転送元アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

SAR	転送元アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit13, bit12] SAC (Source Address Count) : **転送元アドレスカウント**

転送元アドレスの一転送ごとのアドレス更新を指定します。増加/減少を指定した場合の更新値は、転送サイズ(DCCRx.TS)により 1, 2, 4 のいずれかになります。

SAC[1:0]	転送元アドレスカウント
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit11] DT (Destination Type) : **転送先タイプ**

DMA 転送要求元(DCCR.RS[1:0]), 転送元アドレス(DSAR), 転送先アドレス(DDAR)の組み合わせにより設定値が異なります。設定は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

DT	転送先タイプ
0	「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。
1	

[bit10] DAR (Destination Address Reload) : **転送先アドレスリロード**

転送先アドレスレジスタのリロードを指定します。リロードを指定している場合、転送終了後に転送先アドレスレジスタ値を初期設定値に戻します。

リロードを禁止している場合、転送終了後の転送先アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

DAR	転送先アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit9, bit8] DAC (Destination Address Count) : **転送先アドレスカウント**

転送先アドレスの一転送ごとのアドレス更新を指定します。増加／減少を指定した場合の更新値は、転送サイズ (DCCRx.TS)により 1, 2, 4 のいずれかになります。

DAC[1:0]	転送先アドレスカウント
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit7] TCR (Transfer Count Reload) : **転送回数リロード**

転送回数レジスタのリロードを指定します。

リロードを指定している場合、転送終了後に転送回数レジスタ値を初期設定値に戻します。ここで転送要求元をソフトウェア以外に設定している場合は、転送終了時に DCCRx.CE ビットはクリアされず転送要求待ち状態となります。

リロードを禁止している場合、転送終了後の転送回数レジスタは"0"を示します。この場合は、転送要求元によらず転送終了時に DCCRx.CE ビットはクリアされます。

TCR	転送回数リロード
0	リロード禁止 (初期値)
1	リロード

[bit6] **予約**

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit5, bit4] TS (Transfer Size) : **転送サイズ**

転送サイズを指定します。ここで指定されたビット幅で 1 回の DMA 転送を行います。

TS[1:0]	転送サイズ
00	8bit : バイト (初期値)
01	16bit: ハーフワード
10	32bit: ワード
11	予約 (設定禁止)

DSARx、DDARx レジスタは本ビットで指定する転送サイズに対してミスアラインドとならない値を設定してください。

[bit3～bit0] BLK (Block Size) : **ブロックサイズ**

ブロックサイズを指定します。1 ブロックは、DCCRx.TS ビットで指定した転送サイズでブロック数分転送を繰り返します。

BLK[3:0]	転送回数
0000	1 回 (初期値)
0001	2 回
0010	3 回
0011	4 回
0100	5 回
0101	6 回
0110	7 回
0111	8 回
1000	9 回
1001	10 回
1010	11 回
1011	12 回
1100	13 回
1101	14 回
1110	15 回
1111	16 回

4.3. DMA チャネル状態レジスタ 0-15 : DCSR0-15 (DMA Channel Status Register 0-15)

DMA チャネル状態レジスタ 0-15 のビット構成について示します。

DMAC 各チャネルの状態を示す 16 ビットレジスタで、各チャネル独立して存在します。本レジスタには 16bit でアクセスしてください。

■ DCSR0-15 : アドレス BASE + 0004_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CA	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					AC	SP	NC
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	R,W	R,W

[bit15] CA (Channel Active) : チャネルアクティブ

チャネルの動作状態を示します。対応するチャネルの DCCRx.CE ビットに"1"を書き込むと起動状態となります。設定した転送回数が終了するか DCCRx.CE ビットに"0"を書き込むと停止状態となります。

本ビットへの書込みは動作に影響を与えません。

CA	チャネル動作状態
0	停止状態 (初期値)
1	チャネル起動中

[bit14～bit3] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit2] AC (Abnormal Completion) : **異常終了状態**

DMA チャネル制御レジスタ(DCCR)に設定禁止の値を設定したことを示します。レジスタ設定禁止項目は以下のとおりです。

- 転送モード : DCCRx.TM = 2'b10
- 転送元アドレスカウント : DCCRx.SAC = 2'b10
- 転送先アドレスカウント : DCCRx.DAC = 2'b10
- 転送サイズ : DCCRx.TS = 2'11
- ソフトウェア要求によるデマンド転送モード
  : DCCRx.RS = 2'b00 かつ DCCRx.TM = 2'b11

異常終了割込み(DCCRx.AIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは動作に影響を与えません。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

AC	異常終了状態
0	異常終了未検出 (初期値)
1	異常終了

[bit1] SP (Stop) : **転送停止要求による転送中断状態**

DMA 転送が転送要求元からの転送停止要求により中断したことを示します。転送中断割込み(DCCRx.SIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは動作に影響を与えません 。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

SP	転送中断状態
0	転送中断未検出 (初期値)
1	転送中断

[bit0] NC (Normal Completion) : **正常終了状態**

DMA 転送が正常終了したことを示します。設定した転送回数の転送を終了したとき、または転送回数が"0"のときに対応するチャネルの DCCRx.CE ビットに"1"書込みしたときに正常終了となります。正常終了割込み(DCCRx.NIE)を許可していた場合、本ビットへの"0"書込みにより割込みをクリアします。本ビットへの"1"書込みは動作に影響を与えません 。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

NC	正常終了状態
0	正常終了未検出 (初期値)
1	正常終了

4.4. DMA 転送回数レジスタ 0-15 : DTCR0-15 (DMA Transfer Count Register 0-15)

DMA 転送回数レジスタ 0-15 のビット構成について示します。

DMAC 各チャネルの転送回数を示す 16 ビットレジスタで、各チャネル独立して存在します。本レジスタには 16bit でアクセスしてください。

■ DTCR0-15 : アドレス BASE + 0006_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DTC[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DTC[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit0] DTC (DMA Transfer Count) : DMA 転送回数

転送回数を示すレジスタです。ブロック単位の転送終了ごとにデクリメントし、"0"になると転送終了します。転送回数に"0"を設定した場合は転送を行いません。また、専用のリロードレジスタを持ち、DCCRx.TCR が"1"の場合、転送終了後に初期設定値に戻ります。

4.5. DMA 転送元レジスタ 0-15 : DSAR0-15 (DMA Source Address Register 0-15)

DMA 転送元レジスタ 0-15 のビット構成について示します。

DMAC 各チャネルの転送元アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32bit でアクセスしてください。

■ DSAR0-15 : アドレス BASE + 0008_H (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DSA[31:24]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	DSA[23:16]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DSA[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DSA[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit31～bit0] DSA[31:0] (DMA Source Address) : DMA 転送元アドレス

転送元アドレスを示すレジスタです。DCCRx.SAC で増加/減少が指定されている場合は、転送サイズ(DCCRx.TS)にしたがってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCRx.SAR が"1"の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCRx.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合(DCCRn.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

4.6. DMA 転送先レジスタ 0-15 : DDAR0-15 (DMA Destination Address Register 0-15)

DMA 転送先レジスタ 0-15 のビット構成について示します。

DMAC 各チャネルの転送先アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32bit でアクセスしてください。

■ DDAR0-15 : アドレス BASE + 000C$_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	DDA[31:24]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	DDA[23:16]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DDA[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DDA[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit31～bit0] DDA[31:0] (DMA Destination Address) : DMA 転送先アドレス

転送先アドレスを示すレジスタです。DCCRx.DAC で増加/減少が指定されている場合は、転送サイズ(DCCRx.TS)にしたがってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCRx.DAR が"1"の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCRx.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合(DCCRx.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

4.7. DMA 転送抑止 NMI フラグレジスタ ：DNMIR (DMA-halt by NMI Register)

DMA 転送抑止フラグレジスタのビット構成について示します。

ユーザ NMI による DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8bit でアクセスしてください。

■ DNMIR： アドレス 0DF6$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NMIH	予約						NMIHD
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

[bit7] NMIH (NMI Halt) : DMA 抑止フラグ (NMI 要因)

NMIHD が"0"のときにユーザ用 NMI 要求が発生したことを示すフラグです。NMI の H レベルを検出して本ビットに"1"をセットします。DMA 転送を再開する場合には、本ビットに"0"を書き込んでください。
本ビットへの"1"書込みは動作に影響を与えません 。

NMIH	DMA 抑止フラグ
0	DMA 転送を抑止していません。 (初期値)
1	ユーザ用 NMI により DMA 転送を停止しています。

[bit6～bit1] 予約
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit0] NMIHD (NMI Halt Disable) : DMA 抑止制御 (NMI 要因)
ユーザ用 NMI 要求が発生した場合に DMA 転送を停止することを指示する制御ビットです。
本ビットが"0"のときに NMI が発生すると、DMAC は新たな DMA 転送を開始しません。DMA 転送中である場合は、ブロック単位の転送が終了したとき点で転送を停止します。

NMIHD	DMA 抑止制御
0	ユーザ用 NMI により DMA を停止します。 (初期値)
1	ユーザ用 NMI により DMA を停止しません。

4.8. DMA 転送抑止レベルレジスタ ：DILVR (DMA-halt by Interrupt Level Register)

DMA 転送抑止レベルレジスタのビット構成について示します。

周辺割込みによる DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8bit でアクセスしてください。

■ DILVR： アドレス 0DF7$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			LVL4	LVL[3:0]			
初期値	0	0	0	1	1	1	1	1
属性	R0,W0	R0,W0	R0,W0	R1,WX	R/W	R/W	R/W	R/W

[bit7～bit5] 予約
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit4～bit0] LVL (Level) : DMA 抑止割込みレベル
DMA 転送抑止を行う割込みレベルを設定します。本レジスタに設定したレベルより強いレベルの周辺割込みが発生した場合 DMA 転送を抑止します。LVL4 は"1"固定で、LVL[3:0]が設定可能です。

LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。(初期値)
11110	レベルが $1E_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが $1D_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが $1C_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが $1B_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが $1A_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19_H より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18_H より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17_H より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16_H より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15_H より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14_H より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13_H より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12_H より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11_H より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求では DMA 転送を抑止しません。

5. 動作説明

DMA コントローラ(DMAC)の動作について説明します。

5.1. 設定

5.1. 設定

動作の設定について示します。

全チャネルにおいて共通に設定する項目と、各チャネルにおいて独立に設定する項目について説明します。

5.1.1. 全チャネルにおいて共通に設定する項目

全チャネルにおいて共通に設定する項目について示します。

DMAC 全体を制御するレジスタの設定項目を以下に示します。

■ DMA 動作許可

DMACR.DME により、DMAC 全体の動作制御を設定します。

・DMA 動作禁止 (DMACR.DME=0)
・DMA 動作許可 (DMACR.DME=1)

■ チャネル優先順位

DMACR.AT により、チャネル間の優先順位の決定方法を設定します。

・固定 (DMACR.AT=0)
・ラウンドロビン (DMACR.AT=1)

■ 割込み発生時の DMA 転送抑止設定

DNMIR.NMIHD により、ユーザ NMI 発生時の DMA 転送抑止制御を設定します。

・ユーザ NMI により DMA を停止します。(DNMIR.NMIHD=0)
・ユーザ NMI により DMA を停止しません。(DNMIR.NMIHD=1)
また、DILVR.LVL により割込み発生時に DMA 転送より優先して処理したい割込みレベルを設定します。
設定可能なレベルは、0x1F から 0x10 までです。

5.1.2. 各チャネルにおいて独立に設定する項目

各チャネルにおいて独立に設定する項目について示します。

各チャネル独立に設定する項目とレジスタの設定手順を以下に示します。

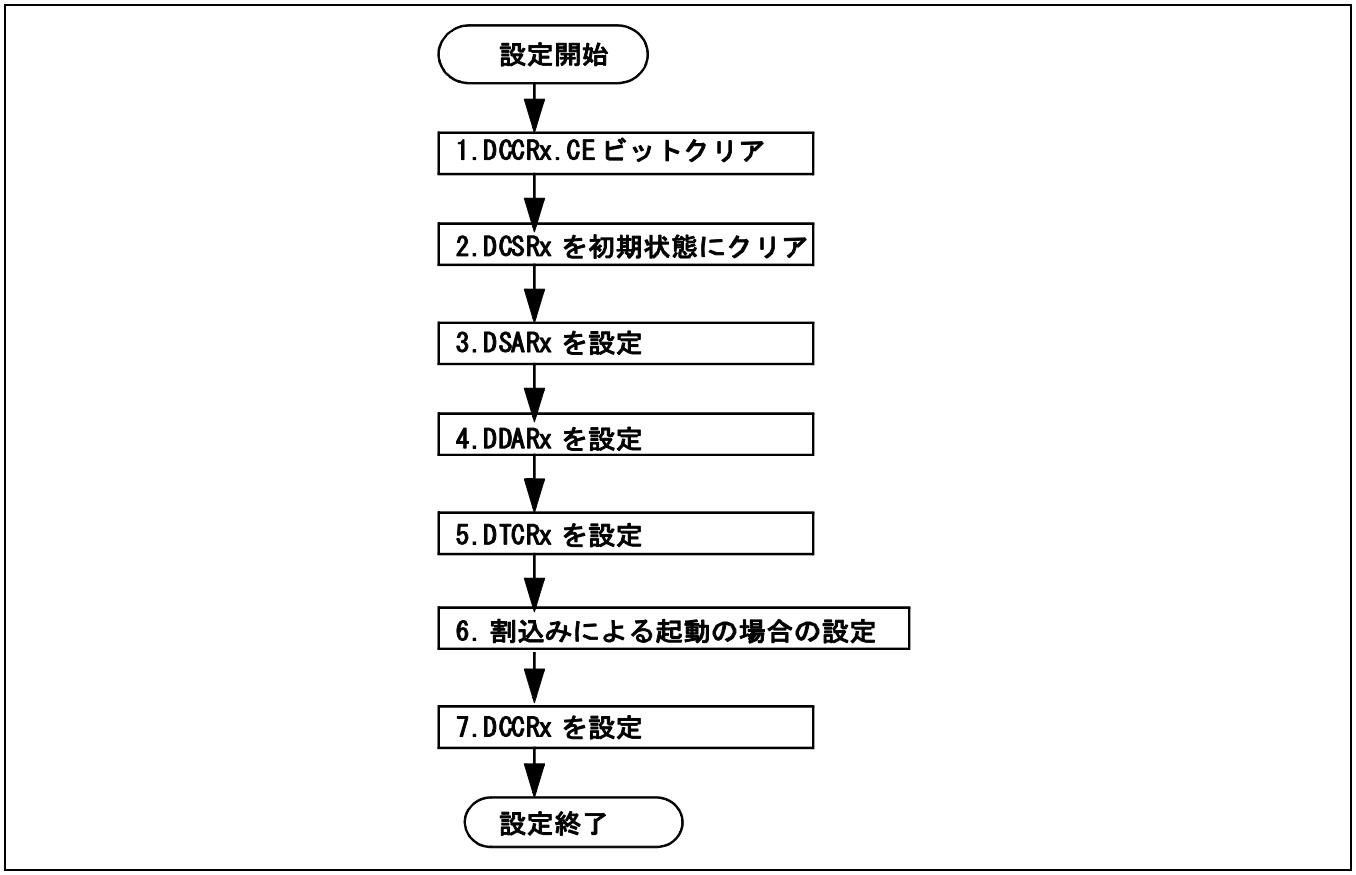
■ レジスタ設定手順

チャネルレジスタの設定手順は以下のとおりです。DCCRx.CE ビットに"1"書込みする際は、必ず DTCRx に"1"以上を設定してから行ってください。

1) DCCRx.CE ビットをクリアし、チャネルの動作を禁止する。
2) DCSRx の各ビットをクリアし、チャネル状態を示すフラグを初期状態にする。
3) DSARx に転送開始時の転送元アドレス値を設定する。
4) DDARx に転送開始時の転送先アドレス値を設定する。
5) DTCRx に転送回数を設定する。このとき、必ず"1"以上を設定してください。
6) ペリフェラルの割込みによる起動の場合は、各ペリフェラルの割込み発生を許可し、ICSEL、IORR レジスタを設定する。(ICSEL, IORR レジスタについては、『DMA 転送要求の発生・クリア』の章を参照してください。)

7) DCCRx を設定する。このとき、DCCRx.CE ビットのセットによりチャネルは動作許可となります。

図 5-1 チャネルレジスタ設定手順



■ 転送元アドレス、転送先アドレスの設定

DSARx.DSA により、転送開始時の転送元アドレス値を設定します。

DDARx.DDA により、転送開始時の転送先アドレス値を設定します。

転送元、および転送先アドレスは、転送サイズ(DCCRx.TS)にしたがってアドレスアラインを行い、転送サイズが 16bit の場合は下位 1bit を、転送サイズが 32bit の場合は下位 2bit をそれぞれ無視します。

■ 転送回数の設定

DTCRx.DTC により、転送終了までに転送するブロックの転送回数を設定します。転送回数は、1～65535 回から設定できます。DMAC は転送サイズ、およびブロックサイズ(「■ 転送サイズ、ブロックサイズの設定」を参照してください。)で設定したバイト数のデータ(1 ブロックのデータ)を転送回数で設定した回数分転送します。

■ チャネル動作許可

DCCRx.CE により、チャネルの動作制御を設定します。

・チャネル動作禁止 (DCCRx.CE=0)
・チャネル動作許可 (DCCRx.CE=1)

転送要求元にソフトウェアが選択された場合、DCCRx.CE をセットするとチャネル動作許可となるとともに転送を開始します。

■ 割込み許可設定

DCCRx.AIE により、異常終了した場合の割込み許可を設定します。

・異常終了割込み禁止 (DCCRx.AIE=0)
・異常終了割込み許可 (DCCRx.AIE=1)

DCCRx.SIE により、転送停止要求によって転送中断した場合の割込み許可を設定します。

・転送停止要求検出による転送中断割込み禁止 (DCCRx.SIE=0)
・転送停止要求検出による転送中断割込み許可 (DCCRx.SIE=1)

DCCRx.NIE により、正常終了した場合の割込み許可を設定します。

・正常終了割込み禁止 (DCCRx.NIE=0)
・正常終了割込み許可 (DCCRx.NIE=1)

■ 転送要求元の設定

DCCRx.RS により、転送要求を受け付ける転送要求元を設定します。

・ソフトウェアによる要求 (DCCRx.RS=00)
・割込みによる要求 (DCCRx.RS=01)

■ 転送モードの設定

DCCRx.TM により、DMA 転送の転送モードを設定します。

・ブロック転送 (DCCRx.TM=00)
・バースト転送 (DCCRx.TM=01)

■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定

以下の表に従い、設定します。⑤の組み合わせでの DMA 転送は対応していません。

表 5-1 ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定

	転送要求元・転送元・転送先の組み合わせ			DMA 転送対応	ST・DT ビット設定
	転送要求元 (DCCR.RS[1:0])	転送元 (DSAR)	転送先 (DDAR)		
①	ソフトウェアによる要求 (DCCR.RS=00)	すべての組み合わせ		対応	ST=0、DT=0
②	ペリフェラル割込み (DCCR.RS=01)	●	□	対応	ST=1、DT=0
③		□	●	対応	ST=0、DT=1
④		●	●	対応	ST=0、DT=1
⑤		□	□	非対応	－

●: 16 ビット周辺バス、または 32 ビット周辺バス配下のペリフェラルのアドレス範囲

□: 上記以外のアドレス範囲

ST・DT ビットを上表の組み合わせ以外に設定すると、割込みによる DMA 転送要求発生後の自動割込みクリアがされない場合があります。

■ 転送アドレスリロード設定

DCCRx.SAR により、転送終了後の転送元アドレスのリロード制御を設定します。

・転送終了後、転送元アドレスのリロードはしません。(最終アドレスの次アクセスアドレスを示す。) (DCCRx.SAR=0)
・転送終了後、転送元アドレスを初期設定値に戻します。 (DCCRx.SAR=1)

DCCRx.DAR により、転送終了後の転送先アドレスのリロード制御を設定します。

・転送終了後、転送先アドレスのリロードはしません。(最終アドレスの次アクセスアドレスを示す。) (DCCRx.DAR=0)
・転送終了後、転送先アドレスを初期設定値に戻します。 (DCCRx.DAR=1)

■ 転送アドレス更新設定

DCCRx.SAC により、DMA 転送における転送元アドレスのアドレス更新を設定します。

・アドレス増加 (DCCRx.SAC=00)
・アドレス減少 (DCCRx.SAC=01)
・アドレス固定 (DCCRx.SAC=11)

DCCRx.DAC により、DMA 転送における転送先アドレスのアドレス更新を設定します。
・アドレス増加 (DCCRx.DAC=00)
・アドレス減少 (DCCRx.DAC=01)
・アドレス固定 (DCCRx.DAC=11)

■ 転送回数リロード設定

DCCRx.TCR により、転送終了後の転送回数のリロード制御を設定します。

・転送終了後、転送回数のリロードはしません。(転送正常終了後、転送回数は"0"を示す。) (DCCRx.TCR=0)
・転送終了後、転送回数を初期設定値に戻します。 (DCCRx.TCR=1)

■ 転送サイズ、ブロックサイズの設定

DMA 転送の転送単位(1 ブロックとして転送するバイト数)を指定するために、転送サイズ、ブロックサイズを設定します。

DCCRx.TS により、1 回の DMA 転送で転送するデータサイズ(8bit/16bit/32bit)を設定します。

・8bit (DCCRx.TS=00)
・16bit (DCCRx.TS=01)
・32bit (DCCRx.TS=10)

DCCRx.BLK により、1 ブロックとして転送する DMA 転送の回数を設定します。ブロックサイズは 1～16 回から設定できます。1 ブロックの転送は、転送サイズ(DCCRx.TS)で設定したビット幅のデータを、ブロックサイズで設定した回数転送することになります。

5.1.3. 動作

動作について示します。

DMAC の動作について、以下の項目を説明します。

(1) チャネル状態確認
(2) 転送動作

■ チャネル状態確認

DMAC のチャネルごとの状態は DCSRx により確認できます。

・チャネルが動作許可のとき(チャネル起動中)は、DCSRx.CA ビットは"1"を示します。チャネルが停止状態になると"0"を示します。
・データ転送が異常終了したときは、DCSRx.AC ビットは"1"を示します。
・データ転送が転送停止要求により中断したときは、DCSRx.SP ビットは"1"を示します。
・データ転送が正常終了したときは、DCSRx.NC ビットは"1"を示します。

DCSRx.CA ビットへの書込みは動作に影響を与えません 。

DCSRx.AC, DCSRx.SP, DCSRx.NC ビットは自動でクリアしませんので、DMA 転送を許可する前に必ずクリアしてください。

■ 転送動作

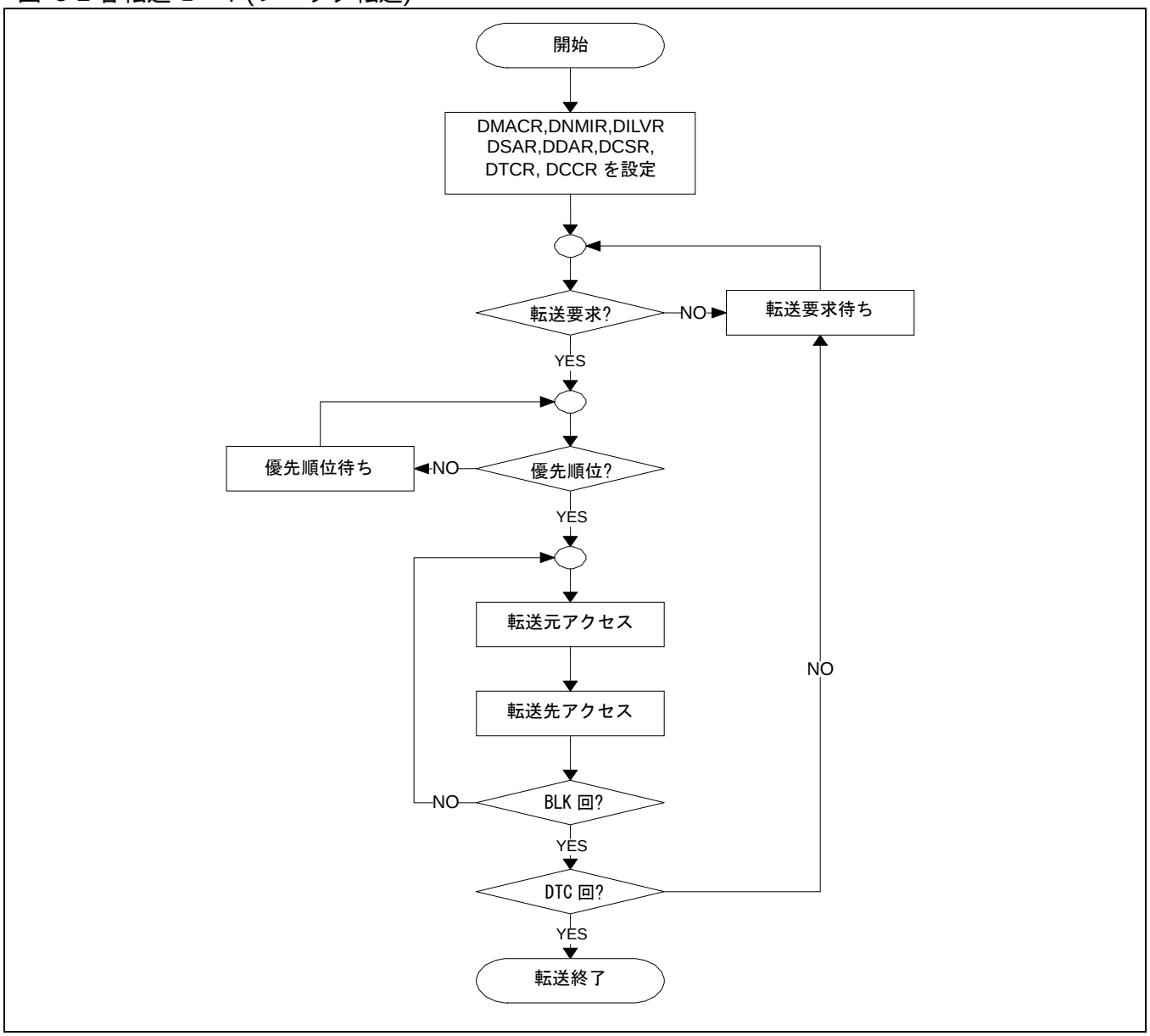
DMAC は、転送元アドレスと転送先アドレスを設定することにより DMA 転送を行います。転送元リードにより、DCCRx.TS で設定したビット幅(8 ビット/16 ビット/32 ビット)のデータを転送元アドレスより読込み DMAC 内部のデータバッファに一時格納します。引き続き転送先ライトにより、DMAC 内部に一時格納したデータを転送先アドレスに書込みます。

■ 転送モード

転送モードには、ブロック転送モード、バースト転送モードがあります。

・ブロック転送モード
1 回の転送要求によって、1 ブロックの転送を行います。1 ブロックの転送終了後、再び転送要求を検出するとさらに 1 ブロックの転送を行います。これを転送終了まで繰り返し行います。
1 ブロックの転送は、DCCRx.TS で設定したサイズのデータをブロックサイズで設定した回数分転送することになります。

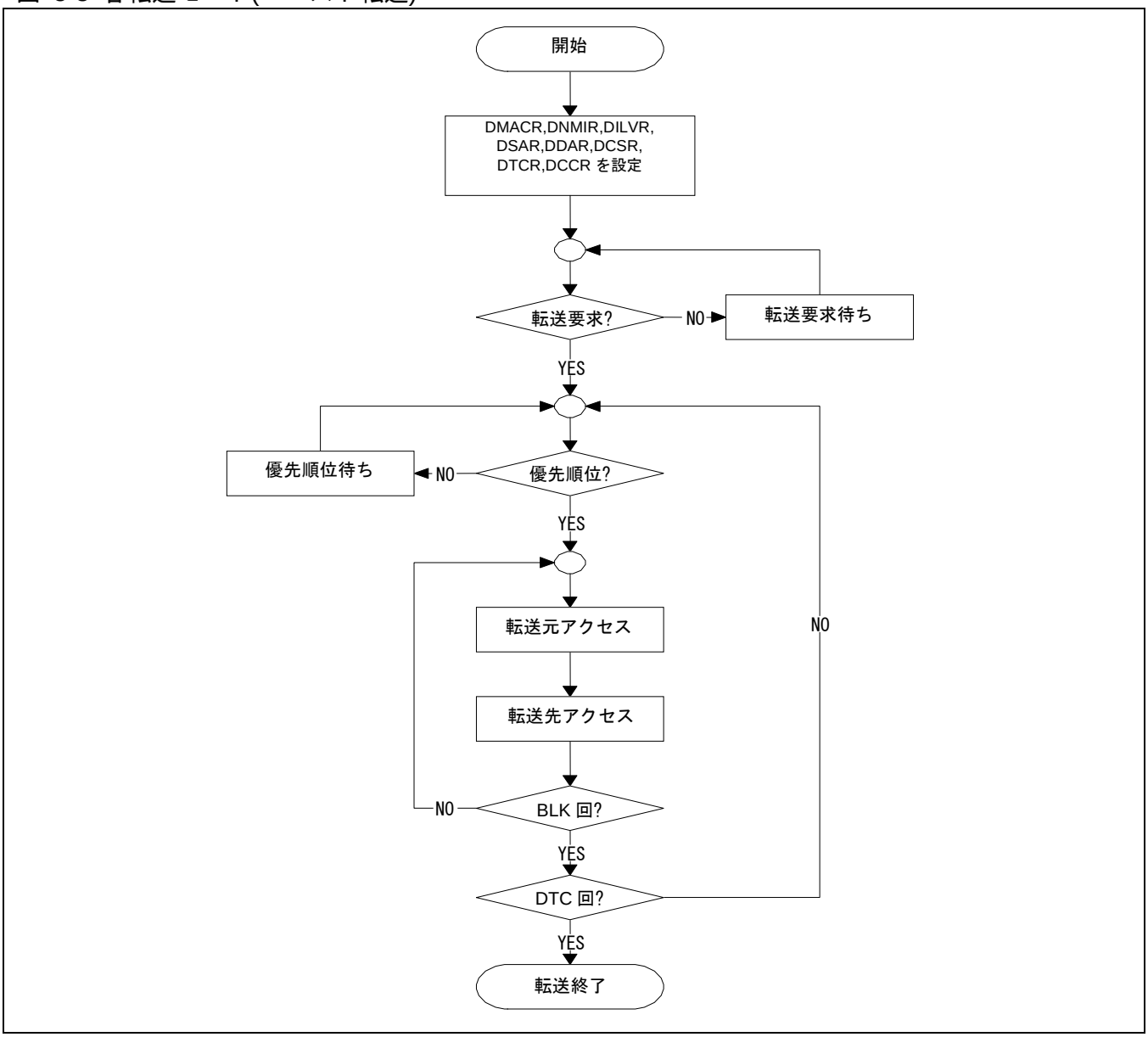
図 5-2 各転送モード(ブロック転送)



・バースト転送モード

1 回の転送要求によって、転送終了まで連続して転送を行います。(DCCRx.TS で設定したサイズのデータをブロックサイズ×転送回数分連続して転送します。)

図 5-3 各転送モード(バースト転送)



■ 転送要求

転送要求には、ソフトウェアによる要求、割込みによる要求があります。転送要求検出の条件と転送モードとの関係について以下に示します。

・ソフトウェアによる要求

DCCRx.CE ビットに"1"を書き込むと転送要求を検出します。DMA 動作許可状態(DMACR.DME=1)のとき、優先順位判定後直ちに転送を開始します。転送要求に応じた転送が終了すると DCCRx.CE ビットは自動でクリアされます。

・割込みによる要求
チャネルが動作許可(DCCRx.CE=1)のとき転送要求待ち状態となります。割込みコントローラで設定した周辺の割込みが発生すると転送要求を検出します。DMA 動作許可状態(DMACR.DME=1)のとき、優先順位判定後直ちに転送を開始します。
周辺から転送停止要求がアサートされている期間は、転送要求の検出は行いません。
また、各チャネルごとに転送要求に使用する割込みベクタの設定が必要になります。『DMA 転送要求の発生・クリア』の章を参照してください。

＜注意事項＞

周辺からの割込み要求はエッジ検出のため、割込み要求発生中に CE=0→1 にしても転送要求を検出しません。CE=1 後に周辺機能の割込み許可などを行ってください。

表 5-2 転送要求検出の条件と転送モードの関係

	ブロック転送	バースト転送
ソフトウェアによる要求	DCCRx.CE に"1"書込み	DCCRx.CE に"1"書込み
割込みによる要求	エッジ検出	エッジ検出

また、検出した転送要求と DMACR.DME ビット、DCCRx.CE ビットとの関係について表 5-3 に示します。
転送中に DME ビット、または CE ビットをクリアすると、ブロック単位で転送を停止します。

表 5-3 転送要求と DME ビット, CE ビットの関係

		DME ビット	CE ビット
DME/CE クリア		既に検出した転送要求はクリアされない。	既に検出した転送要求はクリアされる
転送中断後、DME/CE セット	ブロック転送	新たな転送要求を検出すると、優先順位にしたがって転送再開。	新たな転送要求を検出すると、優先順位にしたがって転送再開。
	バースト転送	DME ビットをセットすると優先順位にしたがって直ちに転送再開。	

● DMA 転送要求によるスタンバイ復帰要求

DMAC は、MCU がスタンバイモード中に転送要求されると、MCU へスタンバイモードからの復帰を要求します。転送動作が許可された状態で転送要求元からの転送要求がアサートされている期間、スタンバイ復帰を要求します。

● チャネル優先順位

DMAC は複数の転送要求が発生した場合、チャネル優先順位にしたがって優先度の高いチャネルからデータ転送を行います。チャネル優先順位には、固定とラウンドロビンがあります。優先順位判定は、ブロック単位の転送ごと、もしくは転送終了のタイミングで行います。

・固定 (DMACR.AT = 0)

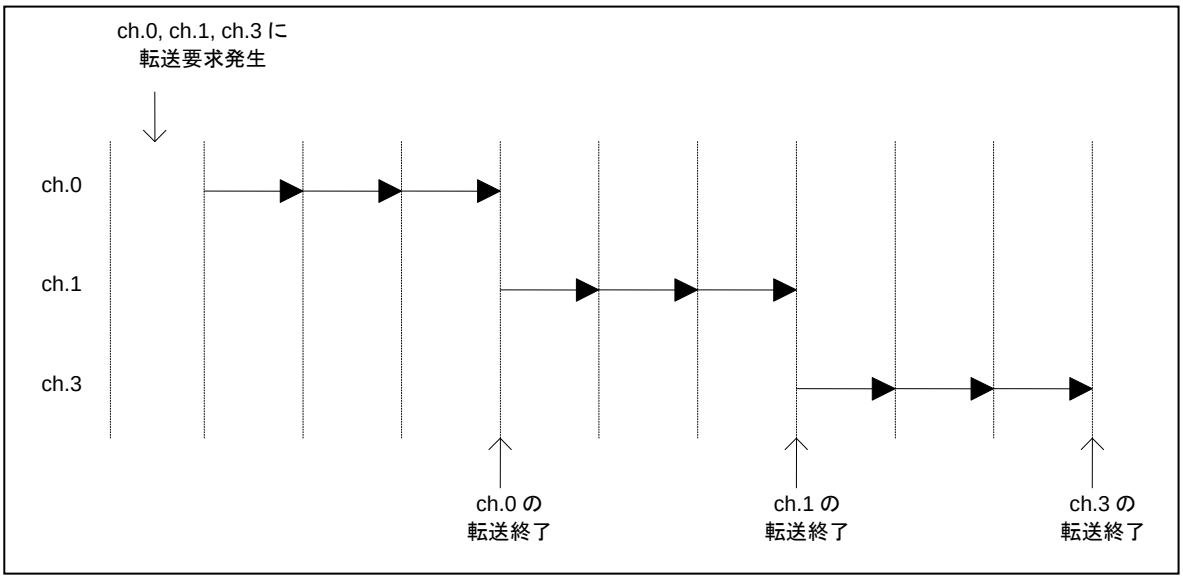
ch.0 > ch.1 > ch.2 > ch.3 の順でチャネルの優先順位を固定します。具体例を以下に示します。

＜例 1＞ch.0、ch.1、ch.3 に転送要求が同時に発生した場合、ch.0 から転送が開始します。ch.0 の転送が終わると、続いて ch.1 の転送が開始します。ch.1 の転送が終わると、ch.3 の転送が開始します。以下に、転送例を示します。図中の点線はブロック単位の区切りです。

転送要求 : ch.0、ch.1、ch.3 に同時発生

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-4 チャネル優先順位固定における転送例 1

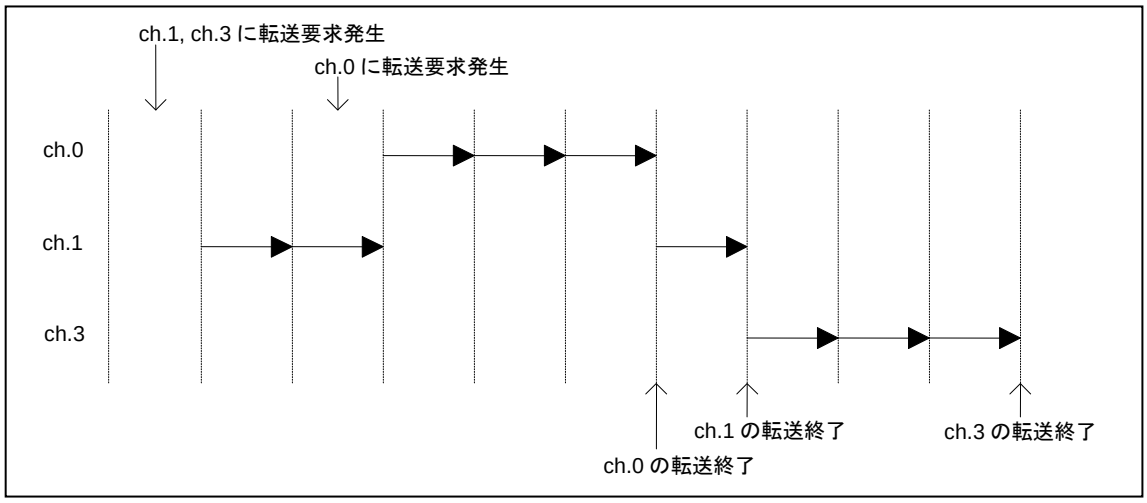


＜例 2＞ch.1, ch.3 に転送要求が同時にあり、ch.1 の転送中に ch.0 に転送要求が発生した場合、ch.1 の転送を一時中断し、ch.0 の転送を開始します。このとき、チャネルの遷移はブロック単位で行います。ch.0 の転送要求に応じた転送が終わると、ch.1 の転送を再開します。図中の点線はブロック単位の区切りです。

転送要求 : ch.1、ch.3 に同時発生。ch.1 転送中に ch.0 に発生。

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-5 チャネル優先順位固定における転送例 2



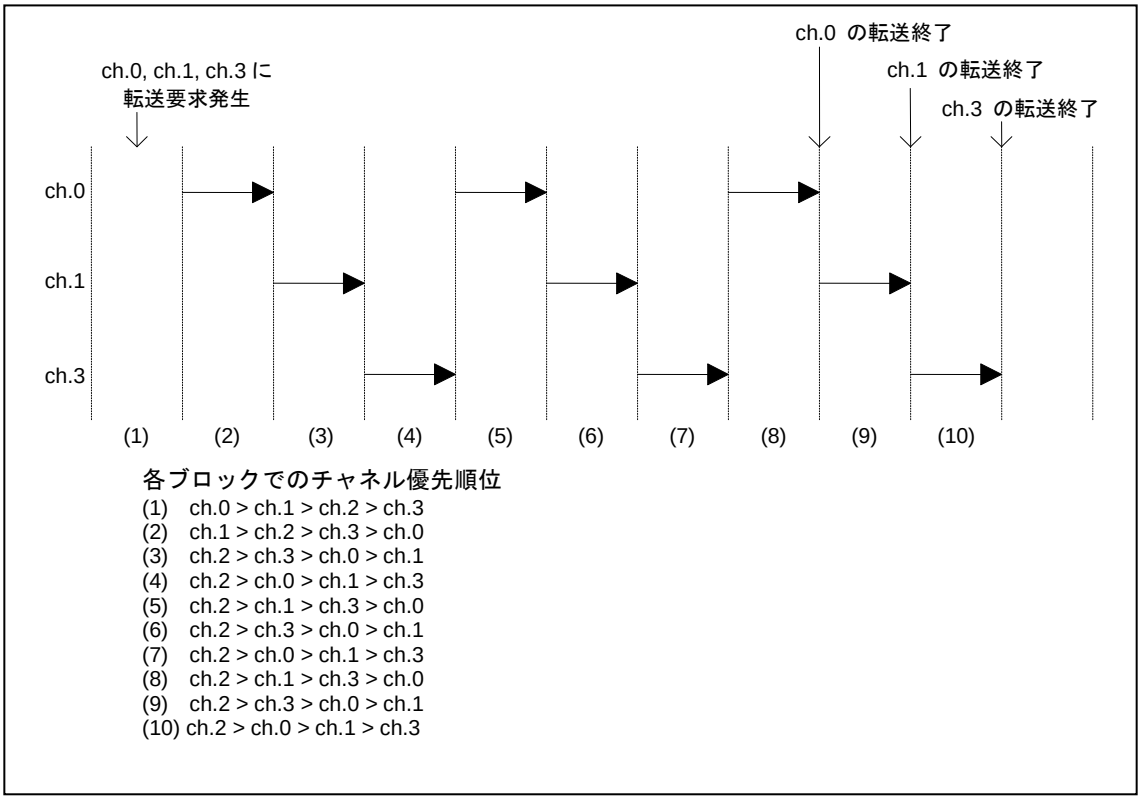
・ラウンドロビン (DMACR.AT = 1)

転送を開始したチャネルの優先順位が一番低くなり、それより下位にあったチャネルの優先順位が 1 つずつ上がります。ラウンドロビンでは、転送要求が発生した時点での優先順位にしたがって、優先度の高いチャネルから転送を行います。転送を開始したチャネルの優先順位は一番低くなります。ブロック単位の転送ごとに優先順位判定を行い、その時点で優先度の高いチャネルの転送を行います。以下に、転送例を示します。図中の点線はブロック単位の区切りです。

＜例＞転送要求 : ch.0、ch.1、ch.3 に同時発生

設定 : ch.0、ch.1、ch.3 ともにバースト転送モード、転送回数は 3

図 5-6 チャネル優先順位ラウンドロビンにおける転送例



● 転送アドレス更新

DCCRx.TS で設定したサイズのデータを転送するごとに、転送元アドレスと転送先アドレスを更新します。アドレスの更新は増加/減少/固定のいずれかです。増加/減少の場合、アドレス値の増減幅は転送サイズ(DCCRx.TS)により決まります。固定の場合は、アドレス値は変化しません。表 5-4 にアドレス更新におけるアドレス値の増減幅を示します。アドレス更新によりオーバフローが発生したときは、そのビットを切り捨てます。

表 5-4 転送元アドレス、転送先アドレスの更新

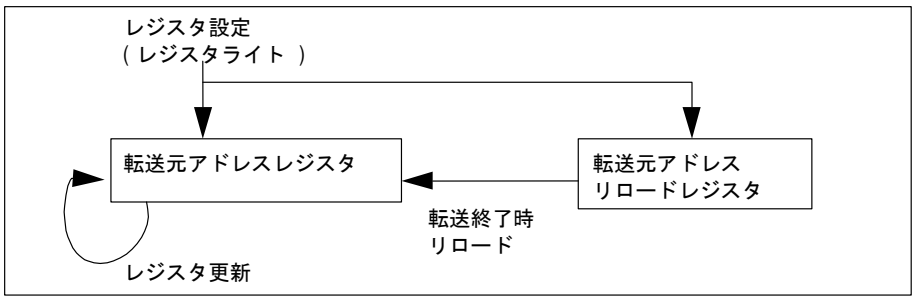
アドレス指定		転送サイズ (TS)	1 転送ごとのアドレス更新	
転送元(SAC)	転送先(DAC)		転送元(DSA)	転送先(DDA)
増加 ("00")	増加 ("00")	8bit ("00")	1 増加	1 増加
		16bit ("01")	2 増加	2 増加
		32bit ("10")	4 増加	4 増加
	減少 ("01")	8bit ("00")	1 増加	1 減少
		16bit ("01")	2 増加	2 減少
		32bit ("10")	4 増加	4 減少
	固定 ("11")	8bit ("00")	1 増加	更新しません。
		16bit ("01")	2 増加	
		32bit ("10")	4 増加	
減少 ("01")	増加 ("00")	8bit ("00")	1 減少	1 増加
		16bit ("01")	2 減少	2 増加
		32bit ("10")	4 減少	4 増加
	減少 ("01")	8bit ("00")	1 減少	1 減少
		16bit ("01")	2 減少	2 減少
		32bit ("10")	4 減少	4 減少
	固定 ("11")	8bit ("00")	1 減少	更新しません。
		16bit ("01")	2 減少	
		32bit ("10")	4 減少	
固定 ("11")	増加 ("00")	8bit ("00")	更新しません。	1 増加
		16bit ("01")		2 増加
		32bit ("10")		4 増加
	減少 ("01")	8bit ("00")		1 減少
		16bit ("01")		2 減少
		32bit ("10")		4 減少
	固定 ("11")	8bit ("00")		更新しません。
		16bit ("01")		
		32bit ("10")		

● 転送アドレスのリロード

DMAC は、転送回数で設定した回数の転送終了後に転送アドレスのリロードを行うことができます。

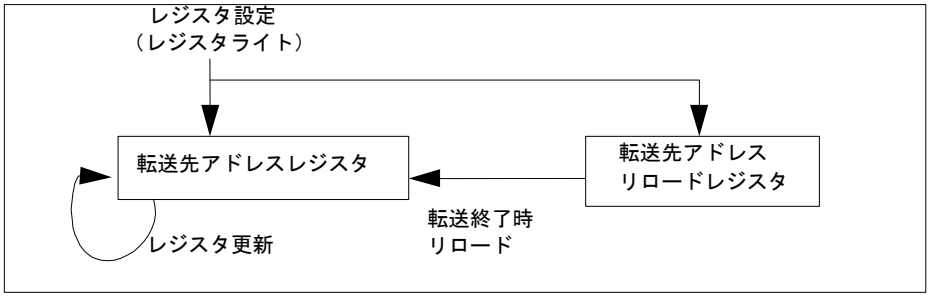
・転送元アドレスのリロード
転送元アドレスのリロードを指定している場合は、転送終了後に DSARx.DSA を初期設定値に戻します。
転送元アドレスのリロードを禁止している場合は、転送終了後の DSARx.DSA は最終アドレスの次のアクセスアドレスを示します。
転送元アドレスのリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DSARx.DSA は終了したアドレスの次のアクセスアドレスを示します。

図 5-7 転送元アドレスレジスタのリロード



・転送先アドレスレジスタのリロード
転送先アドレスのリロードを指定している場合は、転送終了後に DDARx.DDA を初期設定値に戻します。
転送先アドレスのリロードを禁止している場合は、転送終了後の DDARx.DDA は最終アドレスの次のアクセスアドレスを示します。
転送先アドレスのリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DDARx.DDA は終了したアドレスの次のアクセスアドレスを示します。

図 5-8 転送先アドレスレジスタのリロード



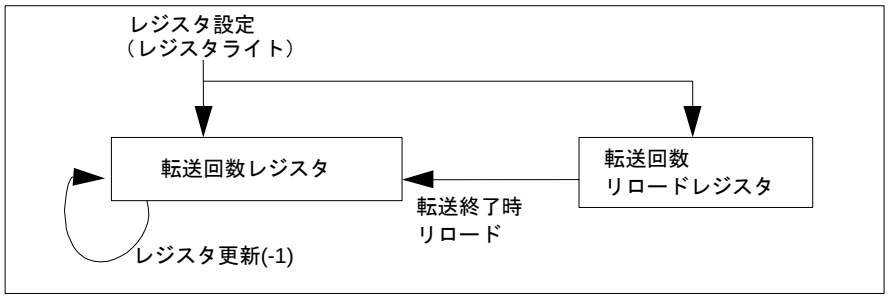
- **転送回数のリロード**

転送回数のリロードを指定している場合は、転送終了後に DTCRx.DTC を初期設定値に戻します。

転送回数のリロードを禁止している場合は、転送終了後の DTCRx.DTC は"0"を示します。

転送回数のリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DTCRx.DTC は残りの転送回数を示します。

図 5-9 転送回数レジスタのリロード



転送回数のリロード設定により、転送終了時の DCCRx.CE ビットの状態が異なります。転送回数のリロード設定と転送要求元の関係を次に示します。

表 5-5 転送終了時における DCCRx.CE ビット

	ソフトウェア要求	ソフトウェア以外の要求
転送回数リロードを指定	DCCRx.CE はクリアされる。	DCCRx.CE はクリアされない。
転送回数リロードを禁止	DCCRx.CE はクリアされる。	DCCRx.CE はクリアされる。

● 転送中断

DMAC は、以下の要因により DMA 転送を中断します。

・DMACR.DME ビットのクリアによる中断
・DCCRx.CE ビットのクリアによる中断
・転送要求元ペリフェラルからの転送停止要求による中断

転送の中断は、ブロック単位で行います。転送を中断すると新たな転送は行わず停止状態となります。転送を再開する場合は、中断の要因によって設定が異なります。

・DMACR.DME ビットのクリアによる中断
DMACR.DME ビットをクリアするとすべてのチャネルが停止状態となり、転送中のチャネルはブロック単位の転送が終了した時点で転送を中断します。転送を再開する場合は、DMACR.DME ビットをセットしてください。
・DCCRx.CE ビットのクリアによる中断
DCCRx.CE ビットをクリアするとそのチャネルは停止状態となり、ブロック単位の転送が終了した時点で転送を中断します。また、DCCRx.CE ビットのクリアにより、既に検出した転送要求もクリアされます。転送を再開する場合は、停止状態にあるチャネルの DCCRx.CE ビットをセットし、新たに転送要求を行ってください。
・転送要求元ペリフェラルからの転送停止要求
次のペリフェラルはそれぞれ示す条件で転送停止要求を発行します。

(A) マルチファンクションシリアルインタフェース

PE, FRE または ORE フラグ発生時

(B) LIN

PE, FRE または ORE フラグ発生時

転送停止要求が発行されると、 転送中のデータを1ブロック転送し終わった時点で転送が中断されます。転送が中断されると次の状態が発生します。

- DMA チャネル状態レジスタ(DCSR0～DCSR15)の SP ビットが"1"に変わる。
- DMA チャネル制御レジスタ(DCCR0～DCCR15)の CE ビットが"0"に変わる。
- 既に検出した転送要求がクリアされる。

転送停止要求が発行されている期間は、新たな転送要求を受け付けません。次の手順で DMA 転送を再開してください

(1) (A)、(B)のフラグをクリアして転送停止要求を無効にする。

(2) 対応するチャネルの DMA チャネル状態レジスタ(DCSR0～DCSR15)の SP ビットに"0"を書き込む

(3) DMA チャネル制御レジスタ(DCCR0～DCCR15)の CE ビットに"1"を書き込む

(4) 新たに転送要求を行う

表 5-6 転送中断後の再開のための設定

	DME をクリア	CE をクリア	転送要求元ペリフェラルからの 転送停止要求を検出
転送再開の 設定	(1)DME をセット	(1)CE をセット (2)転送要求	(1)転送要求をネゲート (2)SP をクリア (3)CE をセット (4)転送要求

● 転送終了

転送終了には、正常終了と異常終了があります。

・正常終了
転送回数(DTCRx.DTC)で設定した回数の転送を終了した時点で正常終了となります。正常終了すると、対応するチャネルの DCSRx.NC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。ただし、転送要求元がソフトウェア以外で転送回数リロードを指定している場合、そのチャネルの DCCRx.CE ビットはクリアされません。
また、転送回数(DTCRx.DTC)が"0"のときに対応するチャネルの DCCRx.CE に"1"書込みすると、正常終了と同様に、DCSRx.NC ビットをセットします。DCCRx.CE に"1"を設定する際は、必ず DTCRx.DTC に"1"以上を設定してから行なってください。

・異常終了
レジスタに設定禁止の値を設定すると異常終了となります。異常終了すると、対応するチャネルの DCSRx.AC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。

レジスタ設定禁止項目は以下のとおりです。

・転送モード : DCCRx.TM = 10
・転送元アドレスカウント : DCCRx.SAC = 10

・転送先アドレスカウント　　: DCCRx.DAC = 10
・転送サイズ　　: DCCRx.TS = 11
・ソフトウェア要求によるデマンド転送モード　: DCCRx.RS = 00 かつ DCCRx.TM = 11

● 割込み要求

DMAC は、転送の正常終了、異常終了、転送停止要求による転送中断によって割込み要求を発生できます。
割込み要求を発生する場合、割込みコントローラの設定も行なってください。
割込み要求の要因確認、および割込み要求のクリアは DMA チャネル状態レジスタ(DCSRx)によって行なってください。

・正常終了による割込み要求
チャネルの正常終了割込みを許可(DCCRx.NIE=1)している場合、正常終了すると割込み要求を出力します。ただし、対応するチャネルの DCSRx.NC ビットは正常終了割込み(DCCRx.NIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.NC ビットをクリアすることにより行なってください。

・異常終了による割込み要求
チャネルの異常終了割込みを許可(DCCRx.AIE=1)している場合、異常終了すると割込み要求を出力します。ただし、対応するチャネルの DCSRx.AC ビットは異常終了割込み(DCCRx.AIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.AC ビットをクリアすることにより行なってください。

・転送停止要求による転送中断の割込み要求
チャネルの転送中断割込みを許可(DCCRx.SIE=1)している場合、転送停止要求によって転送を中断すると割込み要求を出力します。ただし、対応するチャネルの DCSRx.SP ビットは転送中断割込み(DCCRx.SIE)の設定によらずセットします。
割込み要求のクリアは、対応するチャネルの DCSRx.SP ビットをクリアすることにより行なってください。

・DMA 転送の抑止
以下の要因により、DMA 転送が抑止されます。

・DSU/OCD からの DMA 転送抑止要求 (デバッグ用)
・NMI
・周辺割込み

DMA 転送の抑止は、ブロック単位で行なわれます。転送が抑止されると新たな転送は行わず、停止状態となります。転送の再開は、DMA 転送抑止の要因によって異なります。

・DSU/OCD からの DMA 抑止要求 (デバッグ用)
DSU/OCD からの DMA 転送抑止要求がアサートされた場合、新たな転送は行わず、転送中の場合はブロック単位で転送を停止します。DSU/OCD からの DMA 転送抑止に対しては、アクノリッジを返しません。

・ NMI による DMA 転送抑止
NMIHD ビットが"0"に設定されている場合、ユーザ NMI が発生すると NMIH フラグをセットし、ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
転送を再開する場合は、NMIH フラグに"0"を書き込んでください。

・ 周辺割込みによる DMA 転送抑止
DILVR に設定した割込みレベルより強い割込みが発生した場合､ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
割込み要求をクリアし､割込みレベルが LVL[4:0]と同じか弱いレベルになると DMA 転送を再開します。

表 5-7 DMA 転送抑止のための LVL[4:0]設定

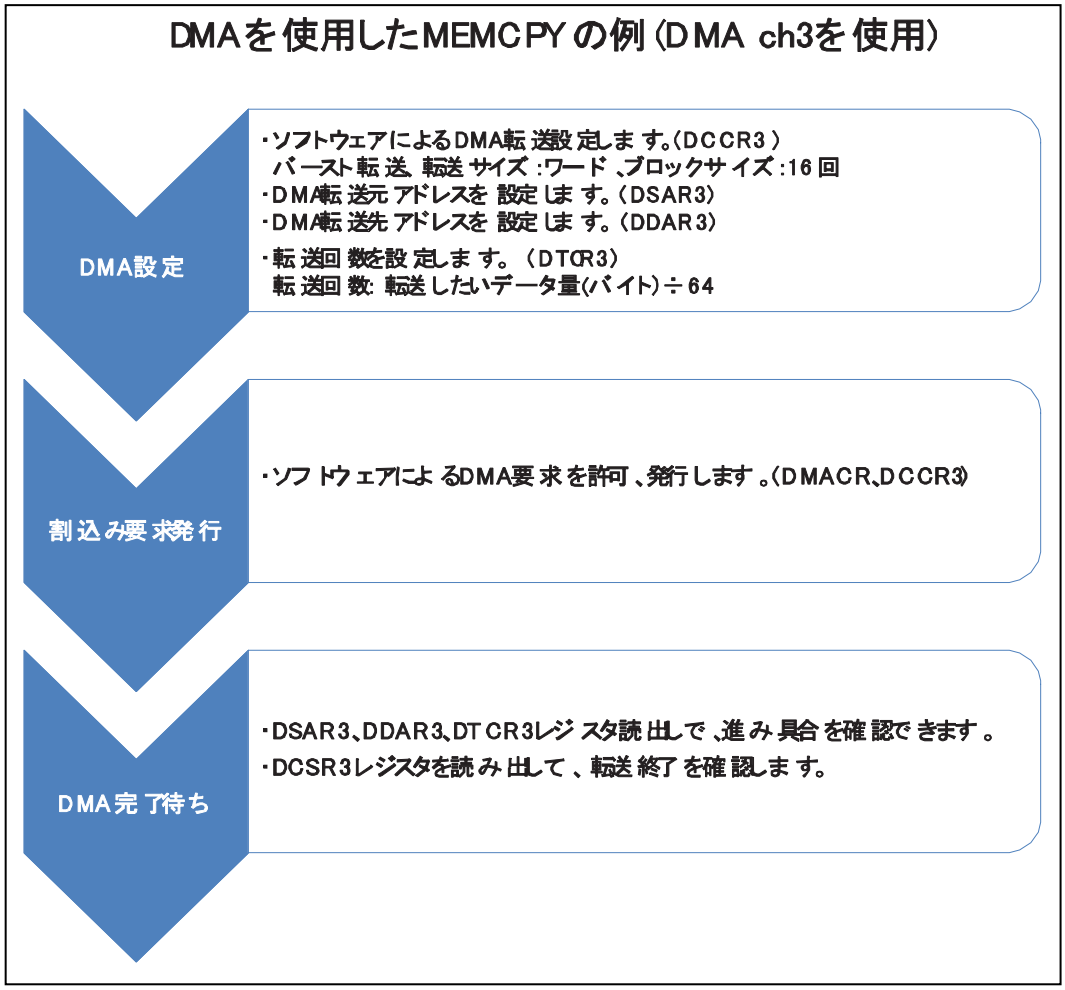
LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。(初期値)
11110	レベルが $1E_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが $1D_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが $1C_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが $1B_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが $1A_H$ より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19_H より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18_H より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17_H より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16_H より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15_H より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14_H より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13_H より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12_H より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11_H より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求では DMA 転送を抑止しません。

6. DMA 使用例

DMA コントローラ(DMAC)の DMA 使用例について説明します。

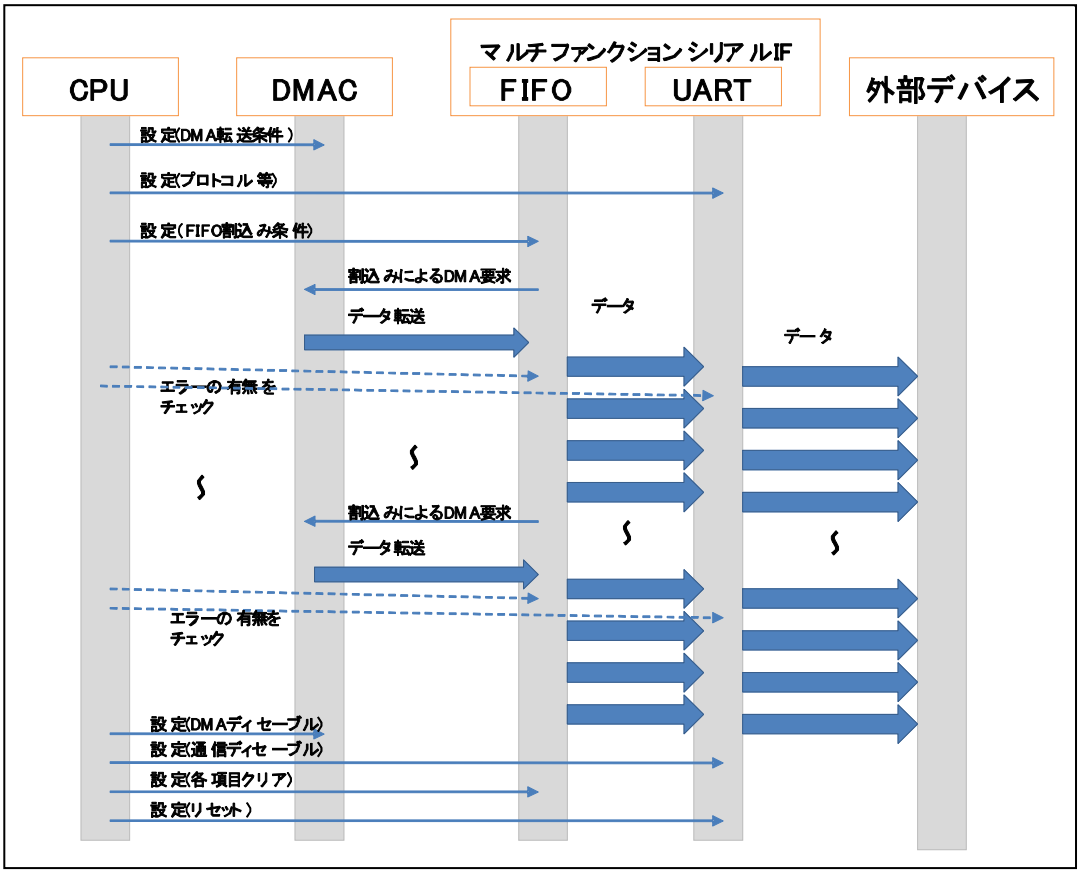
DMA を使用した 64 バイト単位 memcpy の例です。最もシンプルな DMA 転送の例です。

図 6-1 DMA を使用した memcpy 例 (ch.3 使用)



DMA を使用したマルチファンクションシリアルインタフェースでの通信例です。この例ではマルチファンクションシリアルインタフェースの割込みは DMA 転送要求に占有されるので、エラー有無のチェックに CPU での状態レジスタのポーリングを行っています。

図 6-2 DMA を使用したマルチファンクションシリアルインタフェース通信例



Chapter 9: DMA 転送要求の発生・クリア

DMA 転送要求の発生・クリアについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : DMAREQ-1v0-91520-7-J

1. 概要

DMA 転送要求の発生・クリアの概要について説明します。

本品種は、周辺機能の割込み要求を利用して DMA 転送を起動ができます。DMA 転送を起動する割込み要求を選択するレジスタが DMA コントローラ(DMAC)のチャネルごとに用意されています。1 つの割込みベクタ番号に複数の割込み要求が割り当てられていた場合に、どの割込み要求フラグを DMA コントローラ(DMAC)でクリアするのかも設定する必要があります。

DMA コントローラ(DMAC)のレジスタで DMA 転送要求の発生要因(転送要求元)を周辺機能の割込み要求に設定できます。割込みベクタ番号に対応する値を指定して、使用する割込み要求を選択します。

2. 特長

DMA 転送要求の発生・クリアの特長について説明します。

2.1. 転送要求の発生設定

2.2. 割込みクリアの設定

2.1. 転送要求の発生設定

転送要求の発生設定について示します。

16 チャネルの DMA に対し、それぞれに割込みベクタ番号 0x10(10 進で 16)から 0x3F(10 進で 63)の、どの割込みにより DMA 転送要求を発生させるかを指定します。

2.2. 割込みクリアの設定

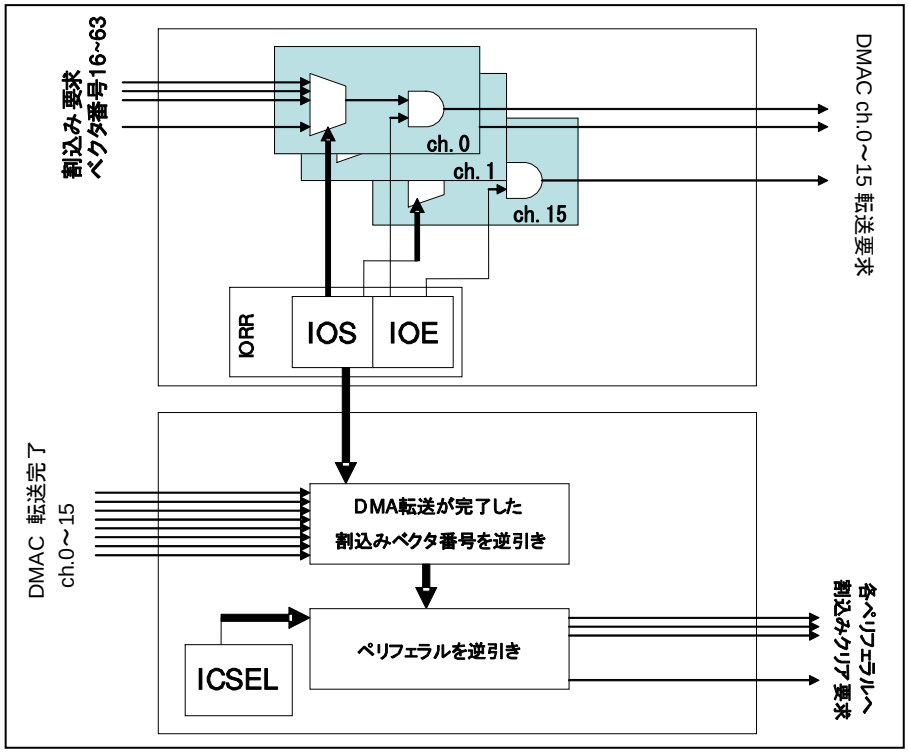
割込みクリアの設定について示します。

DMA の転送終了後に、転送要求元が複数の割込み元ペリフェラルを持つベクタ番号だった場合、どの割込み元ペリフェラルの割込み要求をクリアするかを設定します。

3. 構成

DMA 転送要求の発生・クリアの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

DMA 転送要求の発生・クリアのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0400	ICSEL0	ICSEL1	ICSEL2	ICSEL3	DMA クリア要求レジスタ 0(ベクタ番号#16 用) DMA クリア要求レジスタ 1(ベクタ番号#17 用) DMA クリア要求レジスタ 2(ベクタ番号#18 用) DMA クリア要求レジスタ 3(ベクタ番号#19 用)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0404	予約	ICSEL5	ICSEL6	ICSEL7	DMA クリア要求レジスタ 5(ベクタ番号#39 用) DMA クリア要求レジスタ 6(ベクタ番号#40 用) DMA クリア要求レジスタ 7(ベクタ番号#41 用)
0x0408	ICSEL8	ICSEL9	ICSEL10	ICSEL11	DMA クリア要求レジスタ 8(ベクタ番号#42 用) DMA クリア要求レジスタ 9(ベクタ番号#43 用) DMA クリア要求レジスタ 10(ベクタ番号#44 用) DMA クリア要求レジスタ 11(ベクタ番号#46 用)
0x040C	予約	ICSEL13	ICSEL14	ICSEL15	DMA クリア要求レジスタ 13(ベクタ番号#52 用) DMA クリア要求レジスタ 14(ベクタ番号#53 用) DMA クリア要求レジスタ 15(ベクタ番号#54 用)
0x0410	ICSEL16	ICSEL17	ICSEL18	ICSEL19	DMA クリア要求レジスタ 16(ベクタ番号#55 用) DMA クリア要求レジスタ 17(ベクタ番号#56 用) DMA クリア要求レジスタ 18(ベクタ番号#57 用) DMA クリア要求レジスタ 19(ベクタ番号#58 用)
0x0414	ICSEL20	ICSEL21	ICSEL22	ICSEL23	DMA クリア要求レジスタ 20(ベクタ番号#59 用) DMA クリア要求レジスタ 21(ベクタ番号#60 用) DMA クリア要求レジスタ 22(ベクタ番号#61 用) DMA クリア要求レジスタ 23(ベクタ番号#45 用)
0x0438	ICSEL24	ICSEL25	ICSEL26	ICSEL27	DMA クリア要求レジスタ 24(ベクタ番号#49 用) DMA クリア要求レジスタ 25(ベクタ番号#48 用) DMA クリア要求レジスタ 26(ベクタ番号#50 用) DMA クリア要求レジスタ 27(ベクタ番号#51 用)
0x0490	IORR0	IORR1	IORR2	IORR3	IO 転送要求レジスタ 0 IO 転送要求レジスタ 1 IO 転送要求レジスタ 2 IO 転送要求レジスタ 3
0x0494	IORR4	IORR5	IORR6	IORR7	IO 転送要求レジスタ 4 IO 転送要求レジスタ 5 IO 転送要求レジスタ 6 IO 転送要求レジスタ 7
0x0498	IORR8	IORR9	IORR10	IORR11	IO 転送要求レジスタ 8 IO 転送要求レジスタ 9 IO 転送要求レジスタ 10 IO 転送要求レジスタ 11
0x049C	IORR12	IORR13	IORR14	IORR15	IO 転送要求レジスタ 12 IO 転送要求レジスタ 13 IO 転送要求レジスタ 14 IO 転送要求レジスタ 15

4.1. DMA 要求クリアレジスタ 0 : ICSEL0 (Interrupt Clear SELect register 0)

DMA 要求クリアレジスタ 0 のビット構成について示します。

割込みベクタ番号#16 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL0 : アドレス 0400$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					EISEL[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] EISEL[2:0] (External Interrupt request SELection) : 外部割込み 0-7 割込みクリア選択ビット

EISEL[2:0]	クリア対象
000	外部割込み 0
001	外部割込み 1
010	外部割込み 2
011	外部割込み 3
100	外部割込み 4
101	外部割込み 5
110	外部割込み 6
111	外部割込み 7

4.2. DMA 要求クリアレジスタ 1 : ICSEL1 (Interrupt Clear SELect register 1)

DMA 要求クリアレジスタ 1 のビット構成について示します。

割込みベクタ番号#17 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL1 : アドレス 0401$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					EISEL[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] EISEL[2:0] (External Interrupt request SELection) : 外部割込み 8-15 割込みクリア選択ビット

EISEL[2:0]	クリア対象
000	外部割込み 8
001	外部割込み 9
010	外部割込み 10
011	外部割込み 11
100	外部割込み 12
101	外部割込み 13
110	外部割込み 14
111	外部割込み 15

4.3. DMA 要求クリアレジスタ 2 : ICSEL2 (Interrupt Clear SELect register 2)

DMA 要求クリアレジスタ 2 のビット構成について示します。

割込みベクタ番号#18 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL2 : アドレス 0402$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							RTSEL0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] RTSEL0 (Reload Timer SELection) : リロードタイマ 0/1 割込みクリア選択ビット

RTSEL0	クリア対象
0	リロードタイマ 0
1	リロードタイマ 1

4.4. DMA 要求クリアレジスタ 3 : ICSEL3 (Interrupt Clear SELect register 3)

DMA 要求クリアレジスタ 3 のビット構成について示します。

割込みベクタ番号#19 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL3 : アドレス 0403$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							RTSEL1
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] RTSEL1 (Reload Timer SELection) : リロードタイマ 2/3 割込みクリア選択ビット

RTSEL1	クリア対象
0	リロードタイマ 2
1	リロードタイマ 3

4.5. DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SELect register 5)

DMA 要求クリアレジスタ 5 のビット構成について示します。

割込みベクタ番号#39 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL5 : アドレス 0405$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SG_RX_SEL1[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] SG_RX_SEL1[2:0] (SG_RX SELection1) : 16bit フリーランタイマ 0 ゼロ検出, コンペアクリア, マルチファンクションシリアル ch.7 送信完了割込みクリア選択ビット

SG_RX_SEL1[2:0]	クリア対象
000	予約(どの割込みもクリアされません)
001	予約(どの割込みもクリアされません)
010	16bit フリーランタイマ 0 ゼロ検出
011	16bit フリーランタイマ 0 コンペアクリア
100	マルチファンクションシリアル ch.7 送信完了
101～111	予約(どの割込みもクリアされません)

＜注意事項＞

SG_RX_SEL1[2:0]="000", "001"および"101"～"111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.6. DMA 要求クリアレジスタ 6 : ICSEL6 (Interrupt Clear SELect register 6)

DMA 要求クリアレジスタ 6 のビット構成について示します。

割込みベクタ番号#40 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL6 : アドレス 0406$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PPGSEL0[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit3～bit0] PPGSEL0[3:0] (PPG SELection0) : PPG0, 1, 10,11, 20, 21, 16bit フリーランタイマ 1 ゼロ検出, コンペアクリア割込みクリア選択ビット

PPGSEL0[3:0]	クリア対象
0000	PPG0
0001	PPG1
0010	PPG10
0011	PPG11
0100	PPG20
0101	PPG21
0110	予約 (どの割込みもクリアされません)
0111	予約 (どの割込みもクリアされません)
1000	16bit フリーランタイマ 1 ゼロ検出
1001	16bit フリーランタイマ 1 コンペアクリア
1010～1111	予約 (どの割込みもクリアされません)

＜注意事項＞

PPGSEL0[3:0]= "0110", "0111"および"1010"～"1111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.7. DMA 要求クリアレジスタ 7 : ICSEL7 (Interrupt Clear SELect register 7)

DMA 要求クリアレジスタ 7 のビット構成について示します。

割込みベクタ番号#41 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL7 : アドレス 0407$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PPGSEL1[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W

[bit3～bit0] PPGSEL1[3:0](PPG SELection1) : PPG2, 3, 12, 13, 22, 23, 16bit フリーランタイマ 2 ゼロ検出, コンペアクリア割込みクリア選択ビット

PPGSEL1[3:0]	クリア対象
0000	PPG2
0001	PPG3
0010	PPG12
0011	PPG13
0100	PPG22
0101	PPG23
0110	予約 (どの割込みもクリアされません)
0111	予約 (どの割込みもクリアされません)
1000	16bit フリーランタイマ 2 ゼロ検出
1001	16bit フリーランタイマ 2 コンペアクリア
1010～1111	予約 (どの割込みもクリアされません)

＜注意事項＞

PPGSEL1[3:0]= "0110", "0111"および"1010"～"1111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.8. DMA 要求クリアレジスタ 8 : ICSEL8 (Interrupt Clear SELect register 8)

DMA 要求クリアレジスタ 8 のビット構成について示します。

割込みベクタ番号#42 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL8 : アドレス 0408H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPGSEL2[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] PPGSEL2[1:0] (PPG SELection2) : PPG4, 5, 14, 15 割込みクリア選択ビット

PPGSEL2[1:0]	クリア対象
00	PPG4
01	PPG5
10	PPG14
11	PPG15

4.9. DMA 要求クリアレジスタ 9 : ICSEL9 (Interrupt Clear SELect register 9)

DMA 要求クリアレジスタ 9 のビット構成について示します。

割込みベクタ番号#43 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL9 : アドレス 0409H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPGSEL3[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] PPGSEL3[1:0] (PPG SELection3) : PPG6, 7, 16, 17 割込みクリア選択ビット

PPGSEL3[1:0]	クリア対象
00	PPG6
01	PPG7
10	PPG16
11	PPG17

4.10. DMA 要求クリアレジスタ 10 : ICSEL10 (Interrupt Clear SELect register 10)

DMA 要求クリアレジスタ 10 のビット構成について示します。

割込みベクタ番号#44 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL10 : アドレス 040A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPGSEL4[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] PPGSEL4[1:0] (PPG SELection4) : PPG8, 9, 18, 19 割込みクリア選択ビット

PPGSEL4[1:0]	クリア対象
00	PPG8
01	PPG9
10	PPG18
11	PPG19

4.11. DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SELect register 11)

DMA 要求クリアレジスタ 11 のビット構成について示します。

割込みベクタ番号#46 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL11 : アドレス 040B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					PMSTSEL[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] PMSTSEL[2:0] (PLL, Main, Sub Timer SELection) : メインタイマ/サブタイマ/PLL タイマ, マルチファンクションシリアル ch.8 送信完了, 16bit ICU2, ICU3 割込みクリア選択

PMSTSEL[2:0]	クリア対象
000	メインタイマ
001	サブタイマ
010	PLL タイマ
011	マルチファンクションシリアル ch.8 送信完了
100	16bit ICU2
101	16bit ICU3
110	予約 (どの割込みもクリアされません)
111	予約 (どの割込みもクリアされません)

＜注意事項＞

PMSTSEL[2:0]= "110"および"111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.12. DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SELect register 13)

DMA 要求クリアレジスタ 13 のビット構成について示します。

割込みベクタ番号#52 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL13 : アドレス 040D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ICUSEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] ICUSEL0[1:0] : ICU CH6, マルチファンクションシリアル ch.10 受信完了 割込みクリア選択

ICUSEL0[1:0]	クリア対象
00	予約 (どの割込みもクリアされません)
01	32bit ICU CH6
10	マルチファンクションシリアル ch.10 受信完了
11	予約 (どの割込みもクリアされません)

＜注意事項＞

ICUSEL0[1:0]= "00"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.13. DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SELect register 14)

DMA 要求クリアレジスタ 14 のビット構成について示します。

割込みベクタ番号#53 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL14 : アドレス 040E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ICUSEL1[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] ICUSEL1[1:0] : ICU CH7, マルチファンクションシリアル ch.10 送信完了 割込みクリア選択

ICUSEL1[1:0]	クリア対象
00	予約 (どの割込みもクリアされません)
01	32bit ICU CH7
10	マルチファンクションシリアル ch.10 送信完了
11	予約 (どの割込みもクリアされません)

＜注意事項＞

ICUSEL1[1:0]= "00"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.14. DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SELect register 15)

DMA 要求クリアレジスタ 15 のビット構成について示します。

割込みベクタ番号#54 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL15 : アドレス 040F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ICUSEL2[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] ICUSEL2[1:0] : ICU CH8, マルチファンクションシリアル ch.11 受信完了 割込みクリア選択

ICUSEL2[1:0]	クリア対象
00	予約 (どの割込みもクリアされません)
01	32bit ICU CH8
10	マルチファンクションシリアル ch.11 受信完了
11	予約 (どの割込みもクリアされません)

＜注意事項＞

ICUSEL2[1:0]= "00"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.15. DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SELect register 16)

DMA 要求クリアレジスタ 16 のビット構成について示します。

割込みベクタ番号#55 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL16 : アドレス 0410$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ICUSEL3[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R,W	R,W	R,W	R/W

[bit3～bit0] ICUSEL3[3:0] : ICU CH9, WG デッドタイマアンダフロー0,1,2, WG デッドタイマリロード 0,1,2, WG DTTI0 割込みクリア選択

ICUSEL3[3:0]	クリア対象
0000	予約 (どの割込みもクリアされません)
0001	32bit ICU CH9
0010	WG デッドタイマアンダフロー0
0011	WG デッドタイマアンダフロー1
0100	WG デッドタイマアンダフロー2
0101	WG デッドタイマリロード 0
0110	WG デッドタイマリロード 1
0111	WG デッドタイマリロード 2
1000	WG DTTI0
1001～1111	どの割込みもクリアされません

＜注意事項＞

ICUSEL3[3:0]= "0000"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.16. DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SELect register 17)

DMA 要求クリアレジスタ 17 のビット構成について示します。

割込みベクタ番号#56 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL17 : アドレス 0411$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ICUSEL4[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] ICUSEL4[1:0] : ICU CH4, マルチファンクションシリアル ch.11 送信完了 割込みクリア選択

ICUSEL4[1:0]	クリア対象
00	32bit ICU CH4
01	予約 (どの割込みもクリアされません)
10	マルチファンクションシリアル ch.11 送信完了
11	予約 (どの割込みもクリアされません)

＜注意事項＞

ICUSEL4[1:0]= "01"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.17. DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SELect register 18)

DMA 要求クリアレジスタ 18 のビット構成について示します。

割込みベクタ番号#57 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL18 : アドレス 0412$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			ICUSEL5[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit4～bit0] ICUSEL5[4:0] : ICU CH5, A/D コンバータ ch.32～ch.47 割込みクリア選択

ICUSEL5[4:0]	クリア対象
00000	32bit ICU CH5
00001	予約 (どの割込みもクリアされません)
00010	A/D コンバータ ch.32
00011	A/D コンバータ ch.33
00100	A/D コンバータ ch.34
00101	A/D コンバータ ch.35
00110	A/D コンバータ ch.36
00111	A/D コンバータ ch.37
01000	A/D コンバータ ch.38
01001	A/D コンバータ ch.39
01010	A/D コンバータ ch.40
01011	A/D コンバータ ch.41
01100	A/D コンバータ ch.42
01101	A/D コンバータ ch.43
01110	A/D コンバータ ch.44
01111	A/D コンバータ ch.45
10000	A/D コンバータ ch.46
10001	A/D コンバータ ch.47
10010～11111	予約 (どの割込みもクリアされません)

＜注意事項＞

ICUSEL5[4:0]= "00001"および"10010"～"11111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.18. DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SELect register 19)

DMA 要求クリアレジスタ 19 のビット構成について示します。

割込みベクタ番号#58 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL19： アドレス 0413$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					OCUSEL0[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] OCUSEL0[2:0] (OCU Selection0) : OCU6, 7, 10, 11 割込みクリア選択ビット

OCUSEL0[2:0]	クリア対象
000	予約 (どの割込みもクリアされません)
001	予約 (どの割込みもクリアされません)
010	32bit OCU6
011	32bit OCU7
100	32bit OCU10
101	32bit OCU11
110	予約 (どの割込みもクリアされません)
111	予約 (どの割込みもクリアされません)

＜注意事項＞

OCUSEL0[2:0]= "000～001", "110"～"111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.19. DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SELect register 20)

DMA 要求クリアレジスタ 20 のビット構成について示します。

割込みベクタ番号#59 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL20 :アドレス 0414$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					OCUSEL1[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W

[bit2～bit0] OCUSEL1[2:0] (OCU Selection1) : OCU8, 9 割込みクリア選択ビット

OCUSEL1[2:0]	クリア対象
000	予約 (どの割込みもクリアされません)
001	予約 (どの割込みもクリアされません)
010	予約 (どの割込みもクリアされません)
011	予約 (どの割込みもクリアされません)
100	32bit OCU8
101	32bit OCU9
110	予約 (どの割込みもクリアされません)
111	予約 (どの割込みもクリアされません)

＜注意事項＞

OCUSEL1[2:0]= "000"～"011", "110"～"111"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.20. DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SELect register 21)

DMA 要求クリアレジスタ 21 のビット構成について示します。

割込みベクタ番号#60 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL21 : アドレス 0415$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						BT_SG_SEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] BT_SG_SEL0[1:0] (BT_SG Selection0) : Base Timer0 IRQ0,IRQ1 割込みクリア選択ビット

BT_SG_SEL0[1:0]	クリア対象
00	Base Timer0 IRQ0
01	Base Timer0 IRQ1
10	予約 (どの割込みもクリアされません)
11	予約 (どの割込みもクリアされません)

＜注意事項＞

BT_SG_SEL0[1:0]= "10"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.21. DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SELect register 22)

DMA 要求クリアレジスタ 22 のビット構成について示します。

割込みベクタ番号#61 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL22 : アドレス 0416$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						BT_SG_SEL1[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] BT_SG_SEL1[1:0] (BT_SG_Selection1) : Base Timer1 IRQ0,IRQ1 割込みクリア選択ビット

BT_SG_SEL1[1:0]	クリア対象
00	Base Timer1 IRQ0
01	Base Timer1 IRQ1
10	予約 (どの割込みもクリアされません)
11	予約 (どの割込みもクリアされません)

＜注意事項＞

BT_SG_SEL1[1:0]= "10"および"11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.22. DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SELect register 23)

DMA 要求クリアレジスタ 23 のビット構成について示します。

割込みベクタ番号#45 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL23 : アドレス 0417$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						MFS_SEL0[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] MFS_SEL0[1:0] (MFS_Selection) : MFS ch.8(受信完了)/ ICU0/ICU1 割込みクリア選択ビット

MFS_SEL0[1:0]	クリア対象
00	マルチファンクションシリアル ch.8 受信完了
01	16bit ICU0
10	16bit ICU1
11	予約 (どの割込みもクリアされません)

＜注意事項＞

MFS_SEL0[1:0]= "11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.23. DMA 要求クリアレジスタ 24 : ICSEL24 (Interrupt Clear SELect register 24)

DMA 要求クリアレジスタ 24 のビット構成について示します。

割込みベクタ番号#49 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL24 : アドレス 0438$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						MFS_SEL1[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

[bit1, bit0] MFS_SEL1[1:0] (MFS_Selection1) : MFS ch.9(送信完了)/OCU0/OCU1 割込みクリア選択ビット

MFS_SEL1[1:0]	クリア対象
00	マルチファンクションシリアル ch.9 送信完了
01	16bit OCU0
10	16bit OCU1
11	予約 (どの割込みもクリアされません)

＜注意事項＞

MFS_SEL1[1:0]= "11"は設定禁止とし、この設定時にはどの割込みクリアも選択されません。

4.24. DMA 要求クリアレジスタ 25 : ICSEL25 (Interrupt Clear SELect register 25)

DMA 要求クリアレジスタ 25 のビット構成について示します。

割込みベクタ番号#48 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL25 : アドレス 0439$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			AD_SEL[4:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W

[bit4～bit0] AD_SEL[4:0] (AD_Selection) : A/D コンバータ ch.0～ch.31 割込みクリア選択ビット

AD_SEL[4:0]	クリア対象
00000	A/D コンバータ ch.0
00001	A/D コンバータ ch.1
00010	A/D コンバータ ch.2
00011	A/D コンバータ ch.3
00100	A/D コンバータ ch.4
00101	A/D コンバータ ch.5
00110	A/D コンバータ ch.6
00111	A/D コンバータ ch.7
01000	A/D コンバータ ch.8
01001	A/D コンバータ ch.9
01010	A/D コンバータ ch.10
01011	A/D コンバータ ch.11
01100	A/D コンバータ ch.12
01101	A/D コンバータ ch.13
01110	A/D コンバータ ch.14
01111	A/D コンバータ ch.15

AD_SEL[4:0]	クリア対象
10000	A/D コンバータ ch.16
10001	A/D コンバータ ch.17
10010	A/D コンバータ ch.18
10011	A/D コンバータ ch.19
10100	A/D コンバータ ch.20
10101	A/D コンバータ ch.21
10110	A/D コンバータ ch.22
10111	A/D コンバータ ch.23
11000	A/D コンバータ ch.24
11001	A/D コンバータ ch.25
11010	A/D コンバータ ch.26
11011	A/D コンバータ ch.27
11100	A/D コンバータ ch.28
11101	A/D コンバータ ch.29
11110	A/D コンバータ ch.30
11111	A/D コンバータ ch.31

4.25. DMA 要求クリアレジスタ 26 : ICSEL26 (Interrupt Clear SELect register 26)

DMA 要求クリアレジスタ 26 のビット構成について示します。

割込みベクタ番号#50 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL26 : アドレス 043A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							OCU_SEL2
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] OCU_SEL2 (OCU_Selection2) : OCU2/OCU3 割込みクリア選択ビット

OCU_SEL2	クリア対象
0	16bit OCU2
1	16bit OCU3

4.26. DMA 要求クリアレジスタ 27 : ICSEL27 (Interrupt Clear SELect register 27

DMA 要求クリアレジスタ 27 のビット構成について示します。

割込みベクタ番号#51 に割り当てられた、割込みをクリアするペリフェラルを選択します。

■ ICSEL27 : アドレス 043B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							OCU_SEL3
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit0] OCU_SEL3 (OCU_Selection3) : OCU4/OCU5 割込みクリア選択ビット

OCU_SEL3	クリア対象
0	16bit OCU4
1	16bit OCU5

4.27. IO 転送要求設定レジスタ 0-15 : IORR0-15 (IO triggered DMA Request Register for ch. 0-15)

IO 転送要求設定レジスタ 0-15 のビット構成について示します。

DMA 転送要求の発生要因をペリフェラルの割込み要求に設定したときに、どのベクタ番号の割込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。
DMA コントローラ(DMAC)のチャネルごとに、このレジスタが用意されています。

■ IORR0-15 : アドレス 0490$_H$ ～ 049F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	IOE	IOS[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit6] IOE (IO Enabled) : **転送要求許可ビット**
IOS5～IOS0 ビットで指定した割込み要求が発生したときに、対応するチャネルの DMA コントローラ(DMAC)に、DMA 転送要求を出力するかどうかを設定します。

IOE	機能
0	DMA 転送要求を出力しません -- ペリフェラルで発生した割込み要求を DMA 転送要求として使用しません (初期値)
1	DMA 転送要求を出力します

[bit5～bit0] IOS (IO triggered DMA transfer request Select) : **転送要求選択ビット**
このレジスタに対応するチャネルの DMA コントローラ(DMAC)が、どのベクタ番号の割込み要求を転送要求元として使用するか設定します。

IOS[5:0]	割込みベクタ番号(16 進)
000000	0x10 (初期値)
000001	0x11
000010	0x12
000011	0x13
000100	0x14

IOS[5:0]	割込みベクタ番号(16 進)
000101	0x15
:	:
101100	0x3C
101101	0x3D
101110	0x3E
101111	0x3F
11xxxx	予約

＜注意事項＞

同じ割込みベクタ番号の割込み要求が、複数の DMA チャネルの転送要求元になる設定(例: IORR0=0x42 と IORR1=0x42 の同時設定)は禁止です。

5. 動作説明

DMA 転送要求の発生・クリアの動作について説明します。

5.1. 設定

5.2. 注意事項

5.1. 設定

動作の設定について示します。

設定する順番は次のようになります。

(1) IORR に、転送要求元ペリフェラルの割込みベクタ番号と IOE ビットをセット。
(2) (1)で選択したベクタ番号に複数のペリフェラルがある場合は、ICSEL をセット。
(3) ペリフェラル側の割込み設定関連のレジスタを設定。
(4) DMAC を設定。

5.2. 注意事項

注意事項について示します。

- DMAC がペリフェラルの要求による DMA 転送を許可している状態で、IORR および ICSEL を変更しないでください。
- リソースナンバ割り当て(RN、『付録』を参照してください)のないペリフェラルには、DMA 転送完了後の割込みクリア機構はありません。したがって、これらのペリフェラルに DMA 転送要求発生を割り当てても、DMA 転送完了後に割込みがクリアされませんので注意してください。
- 転送要求に使用した割込み要求は、CPU への割込み要求としても見えますので割込みコントローラの設定を割込み禁止に設定してください。(ICR レジスタ)

Chapter 10: FixedVector 機能

FixedVector 機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード : FR81SFVEC-1v1-91520-3-J

1. 概要

FixedVector 機能の概要について説明します。

FixedVector 機能は、リセット時の割込みベクタに当該番地(0xF_FFFC)のフラッシュメモリの内容でなく、フラッシュメモリの先頭アドレス＋0x0024 番地を返す機能です。

2. 特長

FixedVector 機能の概要について説明します。

・FixedVector 機能が返す、リセット時の割込みベクタ：
  ・MB91F522　0x0007_0024
  ・MB91F523　0x0007_0024
  ・MB91F524　0x0007_0024
  ・MB91F525　0x0007_0024
  ・MB91F526　0x0007_0024

3. 構成

FixedVector 機能の構成について説明します。

構成図は、『フラッシュメモリ』の章の『図 3-3 セクタ構成図』を参照してください。

4. レジスタ

FixedVector 機能のレジスタについて説明します。

レジスタはありません。

5. 動作説明

FixedVector 機能の動作について説明します。

5.1. リセット解除後の動作

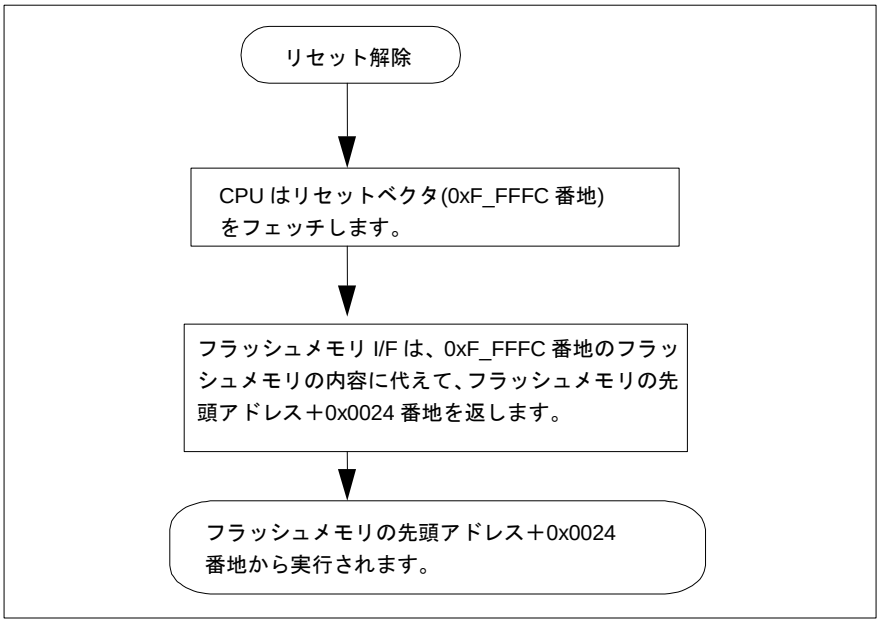
5.2. 使用方法

5.1. リセット解除後の動作

リセット解除後の動作について示します。

次に示すフローで、リセット解除時にフラッシュメモリ内の 0xF_FFFC 番地の内容に代えて、フラッシュメモリの先頭アドレス＋0x0024 番地を返します。

図 5-1 リセット後動作フロー



5.2. 使用方法

使用方法について示します。

本品種はリセット解除後、0x000F_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス＋0x0024 番地から実行されます。

6. 注意事項

FixedVector 機能の注意事項について説明します。

リセットベクタフェッチ以外での 0x000F_FFFC ～ 0x000F_FFFF 番地の読出し(例 : TBR が初期値(=0x000F_FC00)のときに INT #00H 実行した際の呼び出し先)では、0x000F_FFFC ～ 0x000F_FFFF 番地のフラッシュメモリの内容が返されます。

Chapter 11: I/O ポート

I/O ポートについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：IO-1v0-91520-19-J

1. 概要

I/O ポートの概要について説明します。

外部端子の割り当て設定(ペリフェラルならびに外バス)、ならびに外部端子を I/O ポートとして利用する際の設定を説明します。

2. 特長

I/O ポートの特長について説明します。

- **I/O マルチプレクシング**
  1 つの外部端子に複数のペリフェラルから入出力が割り当てられている場合、どのペリフェラルを使用するかを選択します。
- **I/O リロケーション**
  1 つのペリフェラルの 1 つの端子が、複数の外部端子入出力に対応している場合、どの外部端子を使用するかを選択します。
- **PORT 機能**
  外部端子を General Purpose I/O として出力にしてその値を設定したり、入力にしたりして入力値を読み取ります。

図 2-1 I/O マルチプレクシング、I/O リロケーション説明図



- **キーコード機能**
  誤書込み保護機能です。キーコードレジスタ(KEYCDR) に所定の方法で書き込まないと、対象のレジスタへの書込みは無効となります。なお、対象となるレジスタへのワードアクセスはできません。

  以下にキーコード対象レジスタを示します。

  ・データ方向レジスタ
  ・ポート機能レジスタ

・拡張ポート機能レジスタ
・ポートプルアップダウン許可レジスタ
・アナログ入力制御レジスタ
・D/A 制御レジスタ
・ポート入力許可レジスタ

3. 構成

I/O ポートの構成について説明します。

構成図はありません。

4. レジスタ

I/O ポートのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0000	PDR00	PDR01	PDR02	PDR03	ポートデータレジスタ 00～19
0x0004	PDR04	PDR05	PDR06	PDR07	
0x0008	PDR08	PDR09	PDR10	PDR11	
0x000C	PDR12	PDR13	PDR14	PDR15	
0x0010	予約	予約	予約	予約	
0x0014	予約	予約	予約	予約	
0x0018	PDR16	PDR17	PDR18	PDR19	
0x0E00	DDR00	DDR01	DDR02	DDR03	データ方向レジスタ 00～19 (キーコード対象レジスタ)
0x0E04	DDR04	DDR05	DDR06	DDR07	
0x0E08	DDR08	DDR09	DDR10	DDR11	
0x0E0C	DDR12	DDR13	DDR14	DDR15	
0x0E10	予約	予約	予約	予約	
0x0E14	予約	予約	予約	予約	
0x0E18	DDR16	DDR17	DDR18	DDR19	

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0E20	PFR00	PFR01	PFR02	PFR03	ポート機能レジスタ 00～19 (キーコード対象レジスタ)
0x0E24	PFR04	PFR05	PFR06	PFR07	
0x0E28	PFR08	PFR09	PFR10	PFR11	
0x0E2C	PFR12	PFR13	PFR14	PFR15	
0x0E30	予約	予約	予約	予約	
0x0E34	予約	予約	予約	予約	
0x0E38	PFR16	PFR17	PFR18	PFR19	
0x0E40	PDDR00	PDDR01	PDDR02	PDDR03	入力データダイレクトリードレジスタ 00～19
0x0E44	PDDR04	PDDR05	PDDR06	PDDR07	
0x0E48	PDDR08	PDDR09	PDDR10	PDDR11	
0x0E4C	PDDR12	PDDR13	PDDR14	PDDR15	
0x0E50	予約	予約	予約	予約	
0x0E54	予約	予約	予約	予約	
0x0E58	PDDR16	PDDR17	PDDR18	PDDR19	
0x0E60	EPFR00	EPFR01	EPFR02	EPFR03	拡張ポート機能レジスタ 00～63 (キーコード対象レジスタ)
0x0E64	EPFR04	EPFR05	EPFR06	EPFR07	
0x0E68	EPFR08	EPFR09	EPFR10	EPFR11	
0x0E6C	EPFR12	EPFR13	EPFR14	EPFR15	
0x0E70	予約	予約	予約	予約	
0x0E74	予約	予約	予約	予約	拡張ポート機能レジスタ 00～63 (キーコード対象レジスタ)
0x0E78	予約	予約	EPFR26	EPFR27	
0x0E7C	EPFR28	EPFR29	予約	予約	
0x0E80	予約	EPFR33	EPFR34	EPFR35	
0x0E84	EPFR36	予約	予約	予約	
0x0E88	予約	予約	EPFR42	EPFR43	
0x0E8C	EPFR44	EPFR45	予約	予約	
0x0E90	予約	予約	予約	予約	
0x0E94	予約	予約	予約	予約	
0x0E98	EPFR56	EPFR57	EPFR58	EPFR59	
0x0E9C	EPFR60	EPFR61	EPFR62	EPFR63	

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0EA0	予約	予約	予約	予約	予約
0x0EA4	予約	予約	予約	予約	
0x0EA8	予約	予約	予約	予約	
0x0EAC	予約	予約	予約	予約	
0x0EB0	予約	予約	予約	予約	
0x0EB4	予約	予約	予約	予約	
0x0EC0	PPER00	PPER01	PPER02	PPER03	ポートプルアップダウン許可レジスタ 00～19 (キーコード対象レジスタ)
0x0EC4	PPER04	PPER05	PPER06	PPER07	
0x0EC8	PPER08	PPER09	PPER10	PPER11	
0x0ECC	PPER12	PPER13	PPER14	PPER15	
0x0ED0	予約	予約	予約	予約	
0x0ED4	予約	予約	予約	予約	
0x0ED8	PPER16	PPER17	PPER18	PPER19	
0x0EE0	予約	予約	予約	予約	予約
0x0EE4	予約	予約	予約	予約	
0x0EE8	予約	予約	予約	予約	
0x0EEC	予約	予約	予約	予約	
0x0EF0	予約	予約	予約	予約	
0x0EF4	予約	予約	予約	予約	
0x0F00	予約	予約	予約	予約	
0x0F04	予約	予約	予約	予約	
0x0F08	予約	予約	予約	予約	
0x0F0C	予約	予約	予約	予約	
0x0F10	予約	予約	予約	予約	予約
0x0F14	予約	予約	予約	予約	
0x0F18	予約	予約	予約	予約	
0x0F1C	予約	予約	予約	予約	
0x0F20	予約	予約	予約	予約	予約
0x0F24	予約	予約	予約	予約	
0x0F28	予約	予約	予約	予約	
0x0F2C	予約	予約	予約	予約	
0x0F34	予約	予約	予約	予約	予約
0x0F38	予約	予約	予約	予約	

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0F40	PORTEN	予約	予約	予約	ポート入力許可レジスタ (キーコード対象レジスタ)
0x0F44	KEYCDR				キーコードレジスタ
0x01B8	EPFR64	EPFR65	EPFR66	EPFR67	拡張ポート機能レジスタ 64-88 (キーコード対象レジスタ)
0x01BC	EPFR68	EPFR69	EPFR70	EPFR71	
0x01C0	EPFR72	EPFR73	EPFR74	EPFR75	
0x01C4	EPFR76	EPFR77	EPFR78	EPFR79	
0x01C8	EPFR80	EPFR81	EPFR82	EPFR83	
0x01CC	EPFR84	EPFR85	EPFR86	EPFR87	
0x01D0	EPFR88	予約	予約	予約	

4.1. ポートデータレジスタ 00～19 : PDR00-19 (Port Data Register 00-19)

ポートデータレジスタ 00～19 のビット構成について示します。

ポート出力モードにおけるポートごとの端子の出力レベルを格納するレジスタです。

■ PDR00-19 : アドレス 0000_H,0001_H, ・・・(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W

[bit7～bit0] P (Port) : ポートデータ設定ビット

ポート出力モード時の、外部端子 P000、P001、・・・ の出力レベルを設定します。

PDR00.P[7:0]は外部端子 P007、P006、・・・P000
PDR01.P[7:0]は外部端子 P017、P016、・・・P010
PDR02.P[7:0]は外部端子 P027、P026、・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	"0"を出力
1	"1"を出力

リードモディファイ系命令使用時の読出し値は、データ方向レジスタ(DDR)との組み合わせで決まります。

DDR	リードモディファイ系命令による読出し	PDR の読出し値
1	No	PDR の値が読めます
1	Yes	PDR の値が読めます
0	No	端子の値が読めます
0	Yes	PDR の値が読めます

PDR13.P[7], PDR14.P[7:5,1:0], PDR15.P[7:6]は予約ビットです。書込み、読出し共に効果ありません。
クロック 2 系統品種では PDR13.P[6:5]は予約ビットです。書込み、読出し共に効果ありません。
MB91520 シリーズには型格によって存在しないポートがあります。ポートの有無についての詳細は『概要』の章の『ポート機能(汎用入出力)の端子』を参照してください。存在しないポートに割り当てられたビットに対しては、書込み、読出し共に効果ありません。

4.2. データ方向レジスタ 00～19 : DDR00-19 (Data Direction Register 00-19)

データ方向レジスタ 00～19 のビット構成について示します。

端子がポート機能時の際の入出力の方向を設定するレジスタです。また、ペリフェラル入力端子として使用する場合は本ビットを入力に設定します。
DDR00-19 はキーコード対象レジスタです。

■ DDR00-19 : アドレス $0E00_H$,$0E01_H$,・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] P (Port) : データ方向選択ビット
ポート出力モード時の、外部端子 P000、P001、・・・の入出力方向を設定します。
DDR00.P[7:0]は外部端子 P007、P006、・・・P000
DDR01.P[7:0]は外部端子 P017、P016、・・・P010
DDR02.P[7:0]は外部端子 P027、P026、・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	入力(初期値)
1	出力

DDR13.P[7], DDR14.P[7:5,1:0], DDR15.P[7:6]予約ビットです。書込み、読出し共に効果ありません。
クロック 2 系統品種では DDR13.P[6:5]は予約ビットです。書込み、読出し共に効果ありません。
MB91520 シリーズには型格によって存在しないポートがあります。ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。存在しないポートに割り当てられたビットに対しては、書込み、読出し共に効果ありません。

4.3. ポート機能レジスタ 00～19 : PFR00-19 (Port Function Register 00-19)

ポート機能レジスタ 00～19 のビット構成について示します。

端子をポート機能か、それ以外として使用するかを設定します。ペリフェラルの入力端子として使用する場合は、ポート機能側に設定します。
PFR00-19 はキーコード対象レジスタです。

■ PFR00-19 : アドレス $0E20_H$、$0E21_H$、・・・(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 各レジスタの初期値については、『付録』の『I/O マップ』を参照してください。

[bit7～bit0] P (Port) : ポート機能選択ビット
ポート機能を設定します。
PFR00.P[7:0]は外部端子 P007、P006、・・・P000
PFR01.P[7:0]は外部端子 P017、P016、・・・P010
PFR02.P[7:0]は外部端子 P027、P026、・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	ポート機能またはペリフェラル入力端子(初期値)
1	ペリフェラル入出力(双方向)端子、ペリフェラル出力端子、 または外バス端子(EPFR にて設定)

PFR13.P[7], PFR14.P[7:5,1:0], PFR15.P[7:6]は予約ビットです。書込み、読出し共に効果ありません。
クロック 2 系統品種では PFR13.P[6:5]は予約ビットです。書込み、読出し共に効果ありません。
MB91520 シリーズには型格によって存在しないポートがあります。ポートの有無についての詳細は『概要』の章の『ポート機能(汎用入出力)の端子』を参照してください。存在しないポートに割り当てられたビットに対しては、書込み、読出し共に効果ありません。

4.4. 入力データダイレクトレジスタ 00～19 : PDDR00-19 (Port Data Direct Register 00-19)

入力データダイレクトレジスタ 00～19 のビット構成について示します。

外部端子ごとの電圧レベルが常に読み出せるレジスタです。本レジスタでは条件なしで読み出せます。

■ PDDR00-19 : アドレス $0E40_H$, $0E41_H$, ・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7～bit0] P (Port) : 読出しビット

外部端子の値を読み出せます。
PDDR00.P[7:0]は外部端子 P007、P006、・・・P000
PDDR01.P[7:0]は外部端子 P017、P016、・・・P010
PDDR02.P[7:0]は外部端子 P027、P026、・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	"L" レベル
1	"H" レベル

PDDR13.P[7], PDDR14.P[7:5,1:0], PDDR15.P[7:6]は予約ビットです。書込み、読出し共に効果ありません。
クロック 2 系統品種では PDDR13.P[6:5]は予約ビットです。書込み、読出し共に効果ありません。
MB91520 シリーズには型格によって存在しないポートがあります。ポートの有無についての詳細は『概要』の章の『ポート機能(汎用入出力)の端子』を参照してください。存在しないポートに割り当てられたビットに対しては、書込み、読出し共に効果ありません。

4.5. プルアップダウン許可レジスタ 00～19 : PPER00-19 (Port Pull-up/down Enable Register 00-19)

プルアップダウン許可レジスタ 00～19 のビット構成について示します。

入力状態時に、ポートごとにプルアップまたはプルダウンの有無を設定するレジスタです。
PPER00-19 はキーコード対象レジスタです。

■ PPER00-19 : アドレス $0EC0_H$,$0EC1_H$,・・・ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] P (Port) : プルアップダウン許可選択ビット
PPER00.P[7:0]は外部端子 P007、P006、・・・P000
PPER01.P[7:0]は外部端子 P017、P016、・・・P010
PPER02.P[7:0]は外部端子 P027、P026、・・・P020
(以下同様)
という割り当てです。

P[n]	動作説明
0	プルアップなし(初期値)
1	プルアップあり

本シリーズにはプルダウン機能はありません。
プルアップの有無は『概要』の章の『端子機能一覧』および『入出力回路形式』を参照してください。
PPER13.P[7], PPER14.P[7:5,1:0], PPER15.P[7:6]は予約ビットです。書込み、読出し共に効果ありません。
クロック 2 系統品種では PPER13.P[6:5]は予約ビットです。書込み、読出し共に効果ありません。
MB91520 シリーズには型格によって存在しないポートがあります。ポートの有無についての詳細は『概要』の章の『ポート機能(汎用入出力)の端子』を参照してください。存在しないポートに割り当てられたビットに対しては、書込み、読出し共に効果ありません。

4.6. 拡張ポート機能レジスタ 00～88 : EPFR00-88 (Extended Port Function Register 00-88)

拡張ポート機能レジスタ 00～88 のビット構成について示します。

ペリフェラル/外バス機能の切り換え, I/O リロケーション, I/O マルチプレクシングを制御するレジスタです。このレジスタはほかのポートレジスタとは異なり、端子ごとではなく、ペリフェラルごとにイネーブルビットを持ちます。

IO リロケーションを行うと切換えによるグリッジが発生し信号変化と認識して動作する場合があるので、入力の IO リロケーションは、周辺機能の入力を無視する状態で行ってください。また、外部割込みフラグは割込みを許可する前にクリアしてください。

端子の周辺機能への割り当ては PFR, EPFR レジスタで行いますが、すべてのレジスタを同時に変更することができないため、出力の IO リロケーションはポート設定状態(PFRxx.P[n]=0)で行ってください。

EPFR00-88 はキーコード対象レジスタです。

4.6.1. 拡張ポート機能レジスタ 00～01,56 : EPFR00-01,56 (Extended Port Function Register 00-01,56)

拡張ポート機能レジスタ 00～01,56 のビット構成について示します。

インプットキャプチャの入力端子の選択を行います(I/O リロケーション)。

■ EPFR00 : アドレス 0E60$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICU3E[1:0]		ICU2E[1:0]		ICU1E[1:0]		ICU0E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICU3E[1:0] : インプットキャプチャ ch.3 入力端子選択
ICU2E[1:0] : インプットキャプチャ ch.2 入力端子選択
ICU1E[1:0] : インプットキャプチャ ch.1 入力端子選択
ICU0E[1:0] : インプットキャプチャ ch.0 入力端子選択

■ EPFR01： アドレス 0E61$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICU7E	予約	ICU6E	予約	ICU5E	ICU4E[1:0]	
初期値	1	0	1	0	1	0	0	0
属性	R1,WX	R/W	R1,WX	R/W	R1,WX	R/W	R/W	R/W

ICU7E： インプットキャプチャ ch.7 入力端子選択
ICU6E： インプットキャプチャ ch.6 入力端子選択
ICU5E： インプットキャプチャ ch.5 入力端子選択
ICU4E[1:0]： インプットキャプチャ ch.4 入力端子選択

■ EPFR56： アドレス 0E98$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					ICU9E	予約	ICU8E
初期値	1	1	1	1	1	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R1,WX	R/W

ICU9E： インプットキャプチャ ch.9 入力端子選択
ICU8E： インプットキャプチャ ch.8 入力端子選択

ICUnE[1:0] (n=0～3)	動作説明
00	ICUn_0 端子からの入力
01	ICUn_1 端子からの入力
10	ICUn_2 端子からの入力
11	ICUn_3 端子からの入力

ICUnE[1:0] (n=4)	動作説明
00	ICUn_0 端子からの入力
01	ICUn_1 端子からの入力
10	ICUn_2 端子からの入力
11	予約 (ICUn_2 端子からの入力)

ICUnE　(n=5～9)	動作説明
0	ICUn_0 端子からの入力
1	ICUn_1 端子からの入力

EPFR01 [bit7,bit5,bit3]　予約
EPFR56 [bit7～bit3,bit1]　予約
　常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.2. 拡張ポート機能レジスタ 02～05,57-60 : EPFR02-05, 57-60 (Extended Port Function Register 02-05,57-60)

拡張ポート機能レジスタ 02～05,57-60 のビット構成について示します。

リロードタイマの出力の許可および出力、入力端子の選択を行います(I/O リロケーション・I/O マルチプレクシング)。

■ EPFR02 : アドレス 0E62$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT0E[1:0]		TIN0E[1:0]	
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

TOT0E[1:0] : リロードタイマ ch.0 TOT 出力端子選択
TIN0E[1:0] : リロードタイマ ch.0 TIN 入力端子選択

■ EPFR03 : アドレス 0E63$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			TOT1E[2:0]			予約	TIN1E
初期値	1	1	1	0	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R1,WX	R/W

TOT1E[2:0] : リロードタイマ ch.1 TOT 出力端子選択
TIN1E : リロードタイマ ch.1 TIN 入力端子選択

■ EPFR04: アドレス 0E64$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT2E[1:0]		予約	TIN2E
初期値	1	1	1	1	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX	R/W

TOT2E[1:0] : リロードタイマ ch.2 TOT 出力端子選択
TIN2E : リロードタイマ ch.2 TIN 入力端子選択

■ EPFR05 : アドレス 0E65$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT3E[1:0]		TIN3E[1:0]	
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

TOT3E[1:0] : リロードタイマ ch.3 TOT 出力端子選択
TIN3E[1:0] : リロードタイマ ch.3 TIN 入力端子選択

■ EPFR57: アドレス 0E99$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT4E[1:0]		予約	TIN4E
初期値	1	1	1	1	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX	R/W

TOT4E[1:0] : リロードタイマ ch.4 TOT 出力端子選択
TIN4E : リロードタイマ ch.4 TIN 入力端子選択

■ EPFR58 : アドレス 0E9A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT5E[1:0]		予約	TIN5E
初期値	1	1	1	1	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX	R/W

TOT5E[1:0] : リロードタイマ ch.5 TOT 出力端子選択
TIN5E : リロードタイマ ch.5 TIN 入力端子選択

■ EPFR59 : アドレス 0E9B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT6E[1:0]		予約	TIN6E
初期値	1	1	1	1	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX	R/W

TOT6E[1:0] : リロードタイマ ch.6 TOT 出力端子選択
TIN6E : リロードタイマ ch.6 TIN 入力端子選択

■ EPFR60 : アドレス 0E9C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			予約	TOT7E[1:0]		予約	TIN7E
初期値	1	1	1	1	0	0	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX	R/W

TOT7E[1:0] : リロードタイマ ch.7 TOT 出力端子選択
TIN7E : リロードタイマ ch.7 TIN 入力端子選択

TOTnE[2:0] (n=1)	動作説明
000	出力しません
xx1	TOTn_0 端子からの出力
x1x	TOTn_1 端子からの出力
1xx	TOTn_2 端子からの出力

TOTnE[1:0] (n=0,2-7)	動作説明
00	出力しません
01	TOTn_0 端子からの出力
10	TOTn_1 端子からの出力
11	予約(TOTn_1 端子からの出力)

TINnE[1:0] (n=0,3)	動作説明
00	TINn_0 端子からの入力
01	TINn_1 端子からの入力

TINnE[1:0]　(n=0,3)	動作説明
10	TINn_2 端子からの入力
11	予約(TINn_2 端子からの入力)

TINnE　(n=1,2,4-7)	動作説明
0	TINn_0 端子からの入力
1	TINn_1 端子からの入力

EPFR02 [bit7～bit4]　　予約
EPFR03 [bit7～bit5,bit1]　予約
EPFR04 [bit7～bit4,bit1]　予約
EPFR05 [bit7～bit4]　　予約
EPFR57 [bit7～bit4,bit1]　予約
EPFR58 [bit7～bit4,bit1]　予約
EPFR59 [bit7～bit4,bit1]　予約
EPFR60 [bit7～bit4,bit1]　予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.3. 拡張ポート機能レジスタ 06～09,33,34,35,36,61～64 : EPFR06-09,33,34,35,36,61～64 (Extended Port Function Register 06-09,33,34, 35,36,61～64)

拡張ポート機能レジスタ 06～09,33,34,35,36,61～64 のビット構成について示します。

マルチファンクションシリアルインタフェースの出力の許可(I/O リロケーション・I/O マルチプレクシング)

・ch.3～ch.8,ch.10,ch.11 の I^2C のリロケーションは対応していません。ch.3～ch.8,ch.10,ch.11 において I^2C 選択時は、_0 のリロケーションが選択されるようにレジスタを設定してください。

■ EPFR35 : アドレス 0E83$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			SOT0E[1:0]		SCK0E[1:0]		SIN0E
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

SOT0E[1:0] : マルチファンクションシリアルインタフェース ch.0 SOT 出力端子選択
SCK0E[1:0] : マルチファンクションシリアルインタフェース ch.0 SCK 出力・入力端子選択
SIN0E : マルチファンクションシリアルインタフェース ch.0 SIN 入力端子選択

■ EPFR36 : アドレス 0E84H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SOT1E	SCK1E[1:0]		予約
初期値	1	1	1	1	0	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R1,WX

SOT1E : マルチファンクションシリアルインタフェース ch.1 SOT 出力端子選択

SCK1E[1:0] : マルチファンクションシリアルインタフェース ch.1 SCK 出力・入力端子選択

■ EPFR06 : アドレス 0E66H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SOT2E[1:0]		SCK2E	予約
初期値	1	1	1	1	0	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R1,WX

SOT2E[1:0] : マルチファンクションシリアルインタフェース ch.2 SOT 出力端子選択

SCK2E : マルチファンクションシリアルインタフェース ch.2 SCK 出力・入力端子選択

■ EPFR07 : アドレス 0E67H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			SOT3E[1:0]		SCK3E[1:0]		SIN3E
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

SOT3E[1:0] : マルチファンクションシリアルインタフェース ch.3 SOT 出力端子選択

SCK3E[1:0] : マルチファンクションシリアルインタフェース ch.3 SCK 出力・入力端子選択

SIN3E : マルチファンクションシリアルインタフェース ch.3 SIN 入力端子選択

■ EPFR08 : アドレス 0E68H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			SOT4E[1:0]		SCK4E[1:0]		SIN4E
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

SOT4E[1:0] : マルチファンクションシリアルインタフェース ch.4 SOT 出力端子選択

SCK4E[1:0] : マルチファンクションシリアルインタフェース ch.4 SCK 出力・入力端子選択

SIN4E : マルチファンクションシリアルインタフェース ch.4 SIN 入力端子選択

■ EPFR09 : アドレス 0E69$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT5E	SCK5E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT5E : マルチファンクションシリアルインタフェース ch.5 SOT 出力端子選択

SCK5E : マルチファンクションシリアルインタフェース ch.5 SCK 出力・入力端子選択

■ EPFR33 : アドレス 0E81$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT6E	SCK6E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT6E : マルチファンクションシリアルインタフェース ch.6 SOT 出力端子選択

SCK6E : マルチファンクションシリアルインタフェース ch.6 SCK 出力・入力端子選択

■ EPFR34 : アドレス 0E82$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT7E	SCK7E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT7E : マルチファンクションシリアルインタフェース ch.7 SOT 出力端子選択

SCK7E : マルチファンクションシリアルインタフェース ch.7 SCK 出力・入力端子選択

■ EPFR61: アドレス 0E9D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT8E	SCK8E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT8E : マルチファンクションシリアルインタフェース ch.8 SOT 出力端子選択

SCK8E : マルチファンクションシリアルインタフェース ch.8 SCK 出力・入力端子選択

■ EPFR62 : アドレス 0E9E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT9E	SCK9E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT9E : マルチファンクションシリアルインタフェース ch.9 SOT 出力端子選択
SCK9E : マルチファンクションシリアルインタフェース ch.9 SCK 出力・入力端子選択

■ EPFR63 : アドレス 0E9F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			SOT10E[1:0]		SCK10E[1:0]		予約
初期値	1	1	1	0	0	0	0	1
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R1,WX

SOT10E[1:0] : マルチファンクションシリアルインタフェース ch.10 SOT 出力端子選択
SCK10E[1:0] : マルチファンクションシリアルインタフェース ch.10 SCK 出力・入力端子選択

■ EPFR64 : アドレス 01B8$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					SOT11E	SCK11E	予約
初期値	1	1	1	1	1	0	0	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R1,WX

SOT11E : マルチファンクションシリアルインタフェース ch.11 SOT 出力端子選択
SCK11E : マルチファンクションシリアルインタフェース ch.11 SCK 出力・入力端子選択

SOT0,2,10 端子選択

SOTnE[1:0] (n=0,2,10)	動作説明
00	出力しません
01	SOTn_0 端子からの出力
1x	SOTn_1 端子からの出力

SOT1,5-9,11 端子選択

SOTnE　(n=1,5～9,11)	動作説明
0	出力しません
1	SOTn_0 端子からの出力

SOT3,4 端子選択

SOTnE[1:0]　(n=3,4)	動作説明
00	出力しません
01	SOTn_0 端子からの出力
10	SOTn_1 端子からの出力
11	SOTn_2 端子からの出力

SCK0,1,10 端子選択

SCKnE[1:0]　(n=0,1,10)	動作説明
00	SCKn_0 からの入力・出力しません
01	SCKn_0 からの入力・SCKn からの出力
10	SCKn_1 からの入力・SCKn_1 からの出力
11	予約 (SCKn_1 からの入力・SCKn_1 からの出力)

SCK2,5-9,11 端子選択

SCKnE　(n=2,5～9,11)	動作説明
0	SCKn_0 からの入力・出力しません
1	SCKn_0 からの入力・SCKn からの出力

SCK3,4 端子選択

SCKnE[1:0]　(n=3,4)	動作説明
00	SCKn_0 からの入力・出力しません
01	SCKn_0 からの入力・SCKn からの出力
10	SCKn_1 からの入力・SCKn_1 からの出力
11	SCKn_2 からの入力・SCKn_2 からの出力

SIN0,3,4 端子選択

SINnE　(n=0,3,4)	動作説明
0	SINn_0 端子からの入力
1	SINn_1 端子からの入力

EPFR35 [bit7～bit5]　予約
EPFR36 [bit7～bit4,bit0]　予約
EPFR06 [bit7～bit4,bit0]　予約
EPFR07 [bit7～bit5]　予約
EPFR08 [bit7～bit5]　予約
EPFR09 [bit7～bit3,bit0]　予約
EPFR33 [bit7～bit3,bit0]　予約
EPFR34 [bit7～bit3,bit0]　予約
EPFR61 [bit7～bit3,bit0]　予約
EPFR62 [bit7～bit3,bit0]　予約
EPFR63 [bit7～bit5,bit0]　予約
EPFR64 [bit7～bit3,bit0]　予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.4. 拡張ポート機能レジスタ 10～15,45,71～78 : EPFR10-15, 45, 71～78 (Extended Port Function Register 10-15, 45, 71～78)

拡張ポート機能レジスタ 10～15,45,71～78 のビット構成について示します。

PPG の出力の許可および出力端子の選択を行います(I/O リロケーション・I/O マルチプレクシング)。

■ EPFR10 : アドレス 0E6A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PPG1E[1:0]		PPG0E[1:0]	
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

PPG1E[1:0] : PPG ch.1 出力端子選択
PPG0E[1:0] : PPG ch.0 出力端子選択

■ EPFR11: アドレス 0E6B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PPG3E[1:0]		PPG2E[1:0]	
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

PPG3E[1:0] : PPG ch.3 出力端子選択
PPG2E[1:0] : PPG ch.2 出力端子選択

■ EPFR12 : アドレス 0E6C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				PPG5E[1:0]		PPG4E[1:0]	
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

PPG5E[1:0] : PPG ch.5 出力端子選択
PPG4E[1:0] : PPG ch.4 出力端子選択

■ EPFR13: アドレス 0E6D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPG7E	PPG6E
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

PPG7E : PPG ch.7 出力端子選択
PPG6E : PPG ch.6 出力端子選択

■ EPFR14 : アドレス 0E6E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPG9E	PPG8E
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

PPG9E : PPG ch.9 出力端子選択
PPG8E : PPG ch.8 出力端子選択

■ EPFR15 : アドレス 0E6F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					PPG12E	PPG11E	PPG10E
初期値	1	1	1	1	1	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W

PPG12E : PPG ch.12 出力端子選択
PPG11E : PPG ch.11 出力端子選択
PPG10E : PPG ch.10 出力端子選択

■ EPFR45 : アドレス 0E8D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PPG17E[1:0]		PPG16E[1:0]		PPG15E	PPG14E	PPG13E
初期値	1	0	0	0	0	0	0	0
属性	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PPG17E[1:0] : PPG ch.17 出力端子選択
PPG16E[1:0] : PPG ch.16 出力端子選択
PPG15E : PPG ch.15 出力端子選択
PPG14E : PPG ch.14 出力端子選択
PPG13E : PPG ch.13 出力端子選択

■ EPFR71 : アドレス 01BF$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	PPG21E	予約	PPG20E	予約	PPG19E	予約	PPG18E
初期値	1	0	1	0	1	0	1	0
属性	R1,WX	R/W	R1,WX	R/W	R1,WX	R/W	R1,WX	R/W

PPG21E : PPG ch.21 出力端子選択
PPG20E : PPG ch.20 出力端子選択
PPG19E : PPG ch.19 出力端子選択
PPG18E : PPG ch.18 出力端子選択

■ EPFR72 : アドレス 01C0$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPG25E[1:0]		PPG24E[1:0]		PPG23E[1:0]		予約	PPG22E
初期値	0	0	0	0	0	0	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R1,WX	R/W

PPG25E[1:0] : PPG ch.25 出力端子選択
PPG24E[1:0] : PPG ch.24 出力端子選択
PPG23E[1:0] : PPG ch.23 出力端子選択
PPG22E : PPG ch.22 出力端子選択

■ EPFR73 : アドレス 01C1$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPG29E[1:0]		PPG28E[1:0]		PPG27E[1:0]		PPG26E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PPG29E[1:0] : PPG ch.29 出力端子選択
PPG28E[1:0] : PPG ch.28 出力端子選択
PPG27E[1:0] : PPG ch.27 出力端子選択
PPG26E[1:0] : PPG ch.26 出力端子選択

■ EPFR74 : アドレス 01C2$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPG33E[1:0]		PPG32E[1:0]		PPG31E[1:0]		PPG30E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PPG33E[1:0] : PPG ch.33 出力端子選択
PPG32E[1:0] : PPG ch.32 出力端子選択
PPG31E[1:0] : PPG ch.31 出力端子選択
PPG30E[1:0] : PPG ch.30 出力端子選択

■ EPFR75 : アドレス 01C3$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPG37E[1:0]		PPG36E[1:0]		PPG35E[1:0]		PPG34E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PPG37E[1:0] : PPG ch.37 出力端子選択
PPG36E[1:0] : PPG ch.36 出力端子選択
PPG35E[1:0] : PPG ch.35 出力端子選択
PPG34E[1:0] : PPG ch.34 出力端子選択

■ EPFR76 : アドレス 01C4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPG41E[1:0]		PPG40E[1:0]		PPG39E[1:0]		PPG38E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PPG41E[1:0] : PPG ch.41 出力端子選択
PPG40E[1:0] : PPG ch.40 出力端子選択
PPG39E[1:0] : PPG ch.39 出力端子選択
PPG38E[1:0] : PPG ch.38 出力端子選択

■ EPFR77 : アドレス 01C5$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		PPG45E	PPG44E[1:0]		PPG43E[1:0]		PPG42E
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

PPG45E : PPG ch.45 出力端子選択
PPG44E[1:0] : PPG ch.44 出力端子選択
PPG43E[1:0] : PPG ch.43 出力端子選択
PPG42E : PPG ch.42 出力端子選択

■ EPFR78 : アドレス 01C6H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						PPG47E	PPG46E
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

PPG47E : PPG ch.47 出力端子選択
PPG46E : PPG ch.46 出力端子選択

PPGnE[1:0] (n=0～5,16,17,23～41,43,44)	動作説明
00	出力しません
01	PPGn_0 端子からの出力
1x	PPGn_1 端子からの出力

PPGnE (n=6～15,18～22,42,45～47)	動作説明
0	出力しません
1	PPGn_0 端子からの出力

EPFR10 [bit7～bit4] 予約
EPFR11 [bit7～bit4] 予約
EPFR12 [bit7～bit4] 予約
EPFR13 [bit7～bit2] 予約
EPFR14 [bit7～bit2] 予約
EPFR15 [bit7～bit3] 予約
EPFR45 [bit7] 予約
EPFR71 [bit7,bit5,bit3,bit1] 予約
EPFR72 [bit1] 予約
EPFR77 [bit7,bit6] 予約
EPFR78 [bit7～bit2] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.5. 拡張ポート機能レジスタ 79,80 : EPFR79,80 (Extended Port Function Register 79,80)

拡張ポート機能レジスタ 79,80 のビット構成について示します。

PPG トリガの入力端子の選択を行います(I/O リロケーション)。

■ EPFR79 : アドレス 01C7$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TRG5E[1:0]		TRG4E	TRG3E	TRG2E	TRG1E	TRG0E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TRG5E[1:0] : PPG トリガ ch.5 入力端子選択
TRG4E : PPG トリガ ch.4 入力端子選択
TRG3E : PPG トリガ ch.3 入力端子選択
TRG2E : PPG トリガ ch.2 入力端子選択
TRG1E : PPG トリガ ch.1 入力端子選択
TRG0E[1:0] : PPG トリガ ch.0 入力端子選択

■ EPFR80 : アドレス 01C8$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			TRG9E	TRG8E	TRG7E	TRG6E[1:0]	
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

TRG9E : PPG トリガ ch.9 入力端子選択
TRG8E : PPG トリガ ch.8 入力端子選択
TRG7E : PPG トリガ ch.7 入力端子選択
TRG6E[1:0] : PPG トリガ ch.6 入力端子選択

TRGnE[1:0] (n=0,5,6)	動作説明
00	TRGn_0 からの入力(初期値)
01	TRGn_1 からの入力
1x	TRGn_2 からの入力

TRGnE　(n=1～4,7～9)	動作説明
0	TRGn_0 からの入力(初期値)
1	TRGn_1 からの入力

EPFR80 [bit7～bit5] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.6. 拡張ポート機能レジスタ 86 : EPFR86 (Extended Port Function Register 86)

拡張ポート機能レジスタ 86 のビット構成について示します。

CAN の出力の許可および入力端子の選択を行います(I/O リローケション・I/O マルチプレクシング)。

■ EPFR86 : アドレス 01CE$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			RX1E	TX2E	TX1E	TX0E[1:0]	
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

TXnE (n=0～2)　CAN チャネル n 送信データ出力イネーブル

TXnE　(n=1, 2)	動作説明
0	CAN チャネル n 出力禁止(初期値)
1	CAN チャネル n 出力許可

TX0E[1:0]	動作説明
00	CAN チャネル 0 出力禁止(初期値)
01	CAN チャネル TX0(128) 出力許可
1x	CAN チャネル TX0_1 出力許可

RX1E CAN チャネル 1 受信データ入力端子選択

RX1E	動作説明
0	RX1(64)からの入力(初期値)
1	RX1_1 からの入力

EPFR86 [bit7～bit5] 予約

常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.7. 拡張ポート機能レジスタ 26 : EPFR26 (Extended Port Function Register 26)

拡張ポート機能レジスタ 26 のビット構成について示します。

ベースタイマの出力の許可および出力、入力端子の選択を行います(I/O リロケーション・I/O マルチプレクシング)。

■ EPFR26 : アドレス 0E7A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TIB1E[1:0]		TIB0E[1:0]		TIA1E[1:0]		TIA0E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIBnE[1:0] (n=0, 1) : ベースタイマ TIOBn 入力端子選択

TIBnE[1:0] (n=0, 1)	動作説明
x0	ベースタイマ TIOBn_0 からの入力(初期値)
x1	ベースタイマ TIOBn_1 からの入力

TIA0E[1:0] : ベースタイマ TIOA0 出力端子選択

TIA0E[1:0]	動作説明
00	ベースタイマ TIOA0_0, TIOA0_1 出力禁止(初期値)
01	ベースタイマ TIOA0_0 出力許可
1x	ベースタイマ TIOA0_1 出力許可

TIA1E[1:0] ： ベースタイマ TIOA1 出力・入力端子選択

TIA1E[1:0]	動作説明
00	ベースタイマ TIOA1_0, TIOA1_1 出力禁止、TIOA1_0 入力(初期値)
01	ベースタイマ TIOA1_0 出力許可、TIOA1_0 入力
1x	ベースタイマ TIOA1_1 出力許可、TIOA1_1 入力

4.6.8. 拡張ポート機能レジスタ 27 : EPFR27 (Extended Port Function Register 27)

拡張ポート機能レジスタ 27 のビット構成について示します。

リアルタイムクロックの出力の許可を行います(I/O マルチプレクシング)。

■ EPFR27： アドレス 0E7B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			WOTE	予約			
初期値	1	1	1	0	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R/W	R1,WX	R1,WX	R1,WX	R1,WX

WOTE : リアルタイムクロック オーバフロー出力イネーブル

WOTE	動作説明
0	リアルタイムクロック オーバフロー出力禁止(初期値)
1	リアルタイムクロック オーバフロー出力許可

EPFR27 [bit7～bit5,bit3～bit0] 予約

常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.9. 拡張ポート機能レジスタ 28 : EPFR28 (Extended Port Function Register 28)

拡張ポート機能レジスタ 28 のビット構成について示します。

フリーランタイマのクロック入力の許可を行います(I/O リロケーション)。

■ EPFR28 : アドレス 0E7C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		FRCK5E	FRCK4E	FRCK3E	予約	FRCK1E	予約
初期値	1	1	0	0	0	1	0	1
属性	R1,WX	R1,WX	R/W	R/W	R/W	R1,WX	R/W	R1,WX

[bit5] FRCK5E : フリーランタイマ ch.5 クロック入力選択
[bit4] FRCK4E : フリーランタイマ ch.4 クロック入力選択
[bit3] FRCK3E : フリーランタイマ ch.3 クロック入力選択
[bit1] FRCK1E : フリーランタイマ ch.1 クロック入力選択

FRCKnE (n=1,3～5)	動作説明
0	FRCKn_0 からの入力 (初期値)
1	FRCKn_1 からの入力

EPFR28 [bit7,bit6,bit2,bit0] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.10. 拡張ポート機能レジスタ 29,81,82 : EPFR29,81,82 (Extended Port Function Register 29,81,82)

拡張ポート機能レジスタ 29,81,82 のビット構成について示します。

アウトプットコンペアの出力の許可を行います(I/O マルチプレクシング・I/O リロケーション)。

■ EPFR29 : アドレス 0E7D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ EPFR81 : アドレス 01C9$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OCU7E[1:0]		OCU6E[1:0]		予約			
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ EPFR82 : アドレス 01CA$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OCU11E[1:0]		OCU10E[1:0]		OCU9E[1:0]		OCU8E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCUnE[1:0](n=6～11) アウトプットコンペア チャネル n 出力イネーブル

OCUnE[1:0] (n=6～11)	動作説明
00	出力しません
01	OCUn_0 から出力
10	OCUn_1 から出力
11	設定禁止

EPFR29 [bit7～bit0] 予約
EPFR81 [bit3～bit0] 予約
読出し値は、書き込んだ値です。

4.6.11. 拡張ポート機能レジスタ 83 : EPFR83 (Extended Port Function Register 83)

拡張ポート機能レジスタ 83 のビット構成について示します。

アップダウンカウンタの端子を選択します(I/O リロケーション)。

■ EPFR83 : アドレス 01CB$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ZIN1E	BIN1E	AIN1E	ZIN0E[1:0]		BIN0E	AIN0E
初期値	1	0	0	0	0	0	0	0
属性	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit6] ZIN1E : アップダウンカウンタ ch.1 ZIN 入力選択
[bit5] BIN1E : アップダウンカウンタ ch.1 BIN 入力選択
[bit4] AIN1E : アップダウンカウンタ ch.1 AIN 入力選択
[bit3, bit2] ZIN0E[1:0] : アップダウンカウンタ ch.0 ZIN 入力選択
[bit1] BIN0E : アップダウンカウンタ ch.0 BIN 入力選択
[bit0] AIN0E : アップダウンカウンタ ch.0 AIN 入力選択

AINnE (n=0,1)	動作説明
0	AINn_0 からの入力 (初期値)
1	AINn_1 からの入力

BIN0E, BIN1E, ZIN1E も同様

ZINnE[1:0] (n=0)	動作説明
00	ZINn_0 からの入力 (初期値)
01	ZINn_1 からの入力
1x	ZINn_2 からの入力

EPFR83 [bit7] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.12. 拡張ポート機能レジスタ 42 : EPFR42 (Extended Port Function Register 42)

拡張ポート機能レジスタ 42 のビット構成について示します。

D/A コンバータの出力信号の選択を行います(I/O マルチプレクシング)。

■ EPFR42 : アドレス 0E8A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						DAS1	DAS0
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

[bit1] DAS1 : D/A コンバータ 1 の出力データ選択イネーブル

[bit0] DAS0 : D/A コンバータ 0 の出力データ選択イネーブル

DASn (n=0,1)	動作説明
0	DAOn 出力禁止(初期値)
1	DAOn 出力許可

EPFR42 [bit7～bit2] 予約

常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.13. 拡張ポート機能レジスタ 43, 44 : EPFR43-44 (Extended Port Function Register 43--44)

拡張ポート機能レジスタ 43, 44 のビット構成について示します。

外部割込みの端子を選択します(I/O リロケーション)。

■ EPFR43 : アドレス 0E8B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	INT7E	予約		INT4E	INT3E	INT2E	INT1E	予約
初期値	0	1	1	0	0	0	0	1
属性	R/W	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R1,WX

■ EPFR44 : アドレス 0E8C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	INT14E	INT13E	予約			INT9E	予約
初期値	1	0	0	1	1	1	0	1
属性	R1,WX	R/W	R/W	R1,WX	R1,WX	R1,WX	R/W	R1,WX

INTnE(n=1～4, 7, 9, 13, 14)	動作説明
0	INTn_0 からの入力 (初期値)
1	INTn_1 からの入力

EPFR43 [bit6,bit5,bit0] 予約
EPFR44 [bit7,bit4～bit2,bit0] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.14. 拡張ポート機能レジスタ 48-51 : EPFR48-51 (Extended Port Function Register 48-51)

拡張ポート機能レジスタ 48-51 のビット構成について示します。

予備レジスタです。これらのレジスタは使用しないでください。

■ **EPFR48 : アドレス 0E90$_H$ (アクセス: バイト, ハーフワード, ワード)**

■ **EPFR49 :アドレス 0E91$_H$ (アクセス: バイト, ハーフワード, ワード)**

■ **EPFR50 :アドレス 0E92$_H$ (アクセス: バイト, ハーフワード, ワード)**

■ **EPFR51 :アドレス 0E93$_H$ (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

EPFR48 [bit7～bit0] 予約
EPFR49 [bit7～bit0] 予約
EPFR50 [bit7～bit0] 予約
EPFR51 [bit7～bit0] 予約

常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.15. 拡張ポート機能レジスタ 65-70 : EPFR65-70 (Extended Port Function Register65-70)

拡張ポート機能レジスタ 65-70 のビット構成について示します。

シリアルチップセレクト出力の許可を行います(I/O リロケーション・I/O マルチプレクシング)。

■ **EPFR65 : アドレス 01B9$_H$ (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SCSO40E[1:0]		SCSO3E[1:0]		予約	SCSO2E	SCSO1E[1:0]	
初期値	0	0	0	0	1	0	0	0
属性	R/W	R/W	R/W	R/W	R1,WX	R/W	R/W	R/W

SCSO40E[1:0] : シリアルチップセレクト 40 入出力端子選択
SCSO3E[1:0] : シリアルチップセレクト 3 入出力端子選択
SCSO2E : シリアルチップセレクト 2 出力端子選択
SCSO1E[1:0] : シリアルチップセレクト 1 入出力端子選択

■ EPFR66 : アドレス 01BA$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		SCSO43E[1:0]		SCSO42E[1:0]		SCSO41E[1:0]	
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

SCSO43E[1:0] : シリアルチップセレクト 43 出力端子選択
SCSO42E[1:0] : シリアルチップセレクト 42 出力端子選択
SCSO41E[1:0] : シリアルチップセレクト 41 出力端子選択

■ EPFR67 : アドレス 01BB$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SCSO53E	SCSO52E	SCSO51E	SCSO50E
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

SCSO53E : シリアルチップセレクト 53 出力端子選択
SCSO52E : シリアルチップセレクト 52 出力端子選択
SCSO51E : シリアルチップセレクト 51 出力端子選択
SCSO50E : シリアルチップセレクト 50 出力端子選択

■ EPFR68 : アドレス 01BC$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SCSO63E	SCSO62E	SCSO61E	SCSO60E
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

SCSO63E : シリアルチップセレクト 63 出力端子選択
SCSO62E : シリアルチップセレクト 62 出力端子選択
SCSO61E : シリアルチップセレクト 61 出力端子選択
SCSO60E : シリアルチップセレクト 60 出力端子選択

■ EPFR69 : アドレス 01BD$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SCSO73E	SCSO72E	SCSO71E	SCSO70E
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

SCSO73E : シリアルチップセレクト 73 出力端子選択
SCSO72E : シリアルチップセレクト 72 出力端子選択
SCSO71E : シリアルチップセレクト 71 出力端子選択
SCSO70E : シリアルチップセレクト 70 出力端子選択

■ EPFR70 : アドレス 01BE$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			SCSO11E	SCSO10E[1:0]		SCSO9E	SCSO8E
初期値	1	1	1	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W

SCSO11E : シリアルチップセレクト 11 出力端子選択
SCSO10E[1:0] : シリアルチップセレクト 10 入出力端子選択
SCSO9E : シリアルチップセレクト 9 出力端子選択
SCSO8E : シリアルチップセレクト 8 出力端子選択

SCSOnE(n=1,3,40～43,10)	動作説明
00	SCSn_0 端子からの入力、出力禁止 (初期値)*
01	SCSn_0 端子からの入出力*
1x	SCSn_1 端子からの入出力*

*: SCSOnE(n=41,42,43)は、出力機能のみです。

SCSOnE(n=2,50～53,60-63,70-73,8,9,11)	動作説明
0	SCSn_0 端子からの入力、出力禁止(初期値)*
1	SCSn_0 端子からの入出力*

*: SCSOnE(n=51,52,53,61,62,63,71,72,73)は、出力機能のみです。

EPFR65 [bit3] 予約
EPFR66 [bit7,bit6] 予約
EPFR67 [bit7～bit4] 予約
EPFR68 [bit7～bit4] 予約
EPFR69 [bit7～bit4] 予約
EPFR70 [bit7～bit5] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.16. 拡張ポート機能レジスタ 84,85 : EPFR84,85 (Extended Port Function Register84,85)

拡張ポート機能レジスタ 84, 85 のビット構成について示します。

波形ジェネレータの出力の許可および入出力端子の選択を行います(I/O リロケーション・I/O マルチプレクシング)。

■ EPFR84 : アドレス 01CC$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RTO3E[1:0]		RTO2E[1:0]		RTO1E[1:0]		RTO0E[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTO3E[1:0] : 波形ジェネレータリアルタイム出力 ch.3 出力端子選択
RTO2E[1:0] : 波形ジェネレータリアルタイム出力 ch.2 出力端子選択
RTO1E[1:0] : 波形ジェネレータリアルタイム出力 ch.1 出力端子選択
RTO0E[1:0] : 波形ジェネレータリアルタイム出力 ch.0 出力端子選択

■ EPFR85 : アドレス 01CD$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		DTTI0E[1:0]		RTO5E[1:0]		RTO4E[1:0]	
初期値	1	1	0	0	0	0	0	0
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

DTTI0E[1:0] : 波形ジェネレータ ch.0-ch.5 入力端子選択
RTO5E[1:0] : 波形ジェネレータリアルタイム出力 ch.5 出力端子選択
RTO4E[1:0] : 波形ジェネレータリアルタイム出力 ch.4 出力端子選択

RTOnE(n=0～5)	動作説明
00	RTOn 出力禁止 (初期値)
01	RTOn_0 出力許可
1x	RTOn_1 出力許可

DTTI0E	動作説明
00	DTTI_0 から入力(初期値)
01	DTTI_1 から入力
1x	DTTI_2 から入力

EPFR85 [bit7,bit6] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.17. 拡張ポート機能レジスタ 87 : EPFR87 (Extended Port Function Register87)

拡張ポート機能レジスタ 87 のビット構成について示します。

AD コンバータの外部トリガ入力の選択を行います(I/O リロケーション)。

■ EPFR87 : アドレス 01CF$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						ADTG1E	ADTG0E
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

ADTG1E : A/D コンバータ外部トリガ入力 ch.1 入力端子選択
ADTG0E : A/D コンバータ外部トリガ入力 ch.0 入力端子選択

ADTGnE(n=0,1)	動作説明
0	ADTGn_0 からの入力 (初期値)
1	ADTGn_1 からの入力

EPFR87 [bit7～bit2] 予約
常に"1"が読み出されます。書込みは動作に影響ありません。

4.6.18. 拡張ポート機能レジスタ 88 : EPFR88 (Extended Port Function Register 88)

拡張ポート機能レジスタ 88 のビット構成について示します。

クロックモニタの出力許可を行います(I/O マルチプレクシング)。

■ EPFR88 : アドレス 01D0$_H$ (アクセス: バイト, ハーフワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							MONKCLKE
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit0] MONKCLKE : クロックモニタ出力端子選択

MONKCLKE	動作説明
0	MONCLK 出力禁止 (初期値)
1	MONCLK 出力許可

EPFR88 [bit7～bit1] 予約

常に"1"が読み出されます。書込みは動作に影響ありません。

4.7. ポート入力許可レジスタ : PORTEN(PORT ENable register)

ポート入力許可レジスタのビット構成について示します。

ポートの入力遮断の解除を設定するレジスタです。ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、『付録』の『端子状態表』を参照してください。 各ポート端子をその機能に応じて設定した後、グローバルポート許可(PORTEN.GPORTEN)でポート入力を許可してください。PORTEN はキーコード対象レジスタです。

■ PORTEN : アドレス 0F40$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							GPORTEN
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

[bit0] GPORTEN (Global PORT ENable) : **グローバル入力遮断解除**

GPORTEN	動作説明
0	大半の端子を入力遮断にします。入力遮断になる端子については、『付録』の『端子状態表』を参照してください(初期値)。
1	本ビットによる入力遮断を解除します。

4.8. キーコードレジスタ ：KEYCDR (KEY CoDe register)

キーコードレジスタのビット構成について示します。

誤書込み保護機能を有するレジスタの書込み設定をするレジスタです。
本レジスタに所定の方法で書き込まないと，対象のレジスタへの書込みは無効となります。本レジスタはハーフワードアクセスのみ有効です。

■ KEYCDR： アドレス 0F44$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	SIZE	RADR12	RADR11	RADR10	RADR9	RADR8
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RADR7	RADR6	RADR5	RADR4	RADR3	RADR2	RADR1	RADR0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit15, bit14] KEY1,KEY0 : **キーコード**
キーコード設定ビットです。本ビットに"00","01","10","11"の順番で連続的に書いてください。

＜注意事項＞

書込み順番が異なった時点でキーコード設定は無効となり、最初から設定しなおしてください。

[bit13] SIZE : **アクセスサイズ**
キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコード"00","01","10","11"を順番に書き込む際、本ビットには同じデータを書いてください。

SIZE	説明
0	バイトアクセスを設定
1	ハーフワードアクセスを設定

＜注意事項＞

- キーコード"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおしてください。
- キーコード対象レジスタへのワードアクセスは禁止です。

[bit12～bit0] RADR12～RADR0 : ポートアドレス

キーコード対象レジスタのアドレス下位 13 ビットを設定します。キーコード"00","01","10","11"を順番に書き込む際、本ビットには同じデータを書いてください。

＜注意事項＞

- キーコード"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおしてください。
- DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読み出して、値が更新されているかを確認してください。

5. 動作説明

I/O ポートの動作について説明します。

5.1 端子の入出力の割り当て

5.2 EPFR 設定の優先度について

5.3 入力 I/O リロケーション設定時の注意

5.4 ノイズフィルタ

5.5 GPORTEN 入力遮断

5.6 A/D コンバータ機能のある端子の注意事項

5.7 ベースタイマ TIOA1 端子使用時の設定

5.8 キーコードレジスタ機能の設定

5.9 電源遮断からの復帰時の動作

5.10 I/O ポート機能切換え時の注意事項

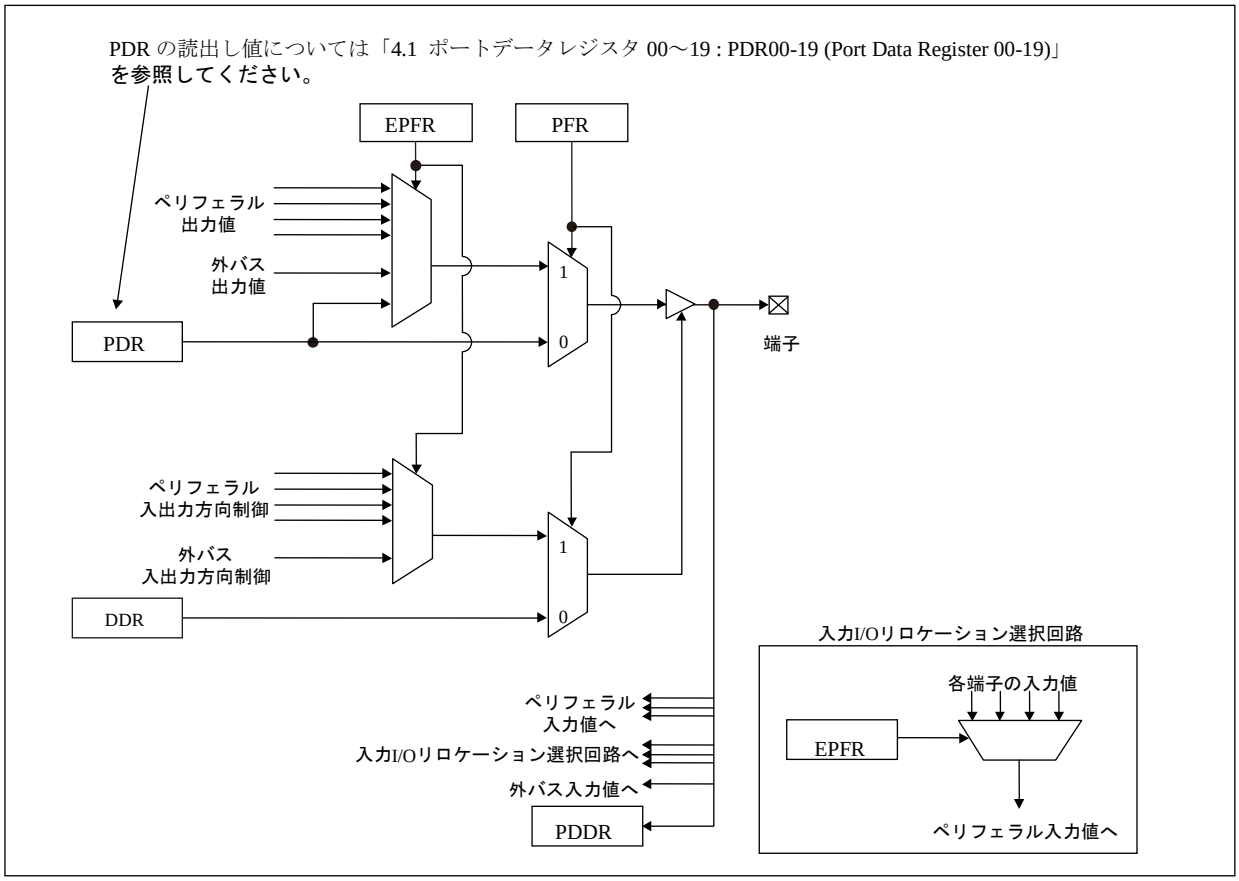
5.11 特定周辺機能使用時の入力遮断

5.1. 端子の入出力の割り当て

端子の入出力の割り当てについて示します。

端子の入出力の割り当てについて説明します。各端子の入出力方向は下図に示す構成で制御されています。

図 5-1 端子入出力方向、出力値選択、入力値取込み構成図



端子割り当ての説明各項で説明するように、最初に PFR をポート機能側に変更してください。その際端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。その際、いったん、端子の入出力方向が DDR で指定される方向になりますので注意してください。

また、A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

5.1.1. ペリフェラル入出力(双方向)端子の割り当て

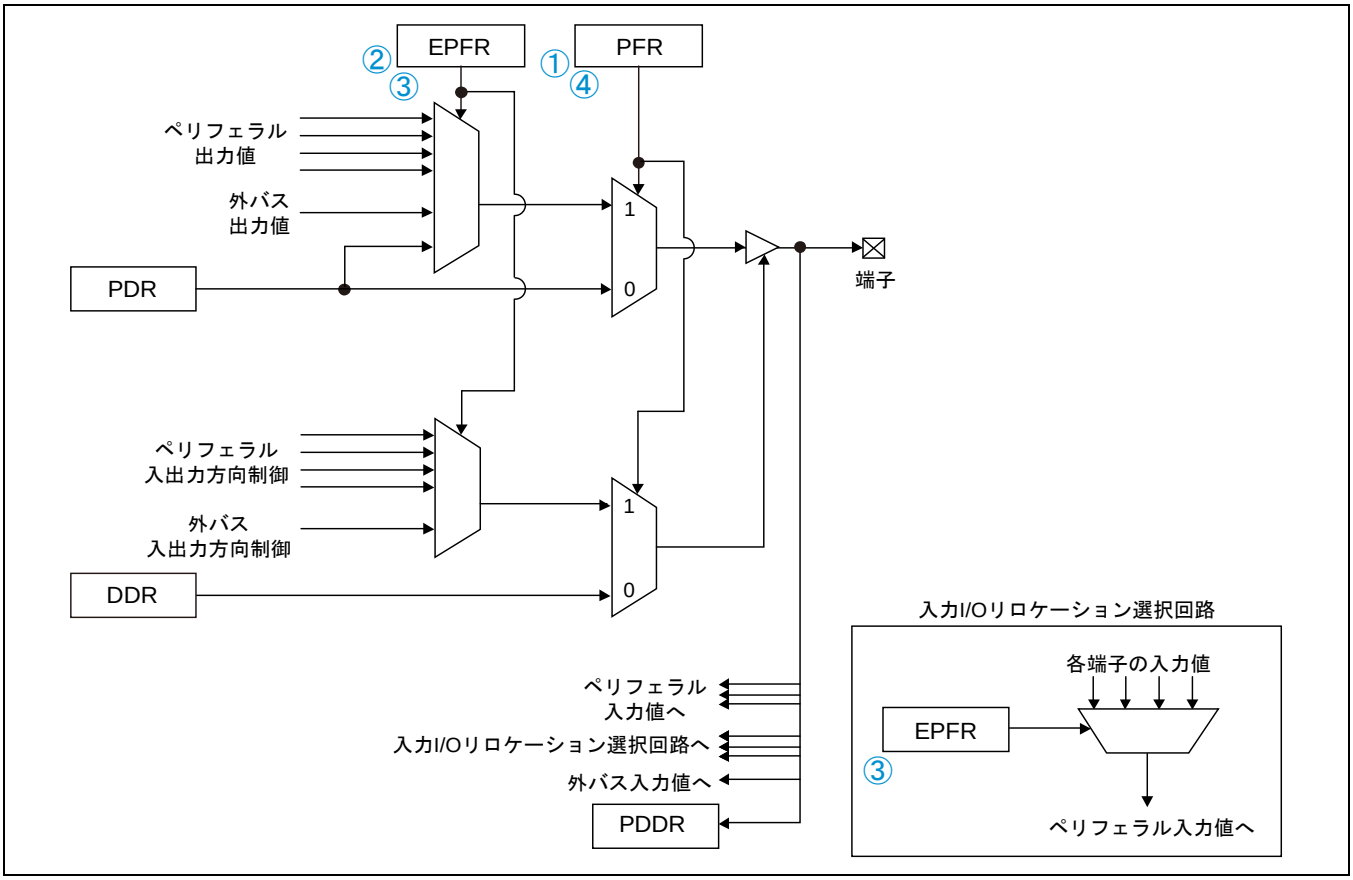
ペリフェラル入出力(双方向)端子の入出力の割り当てについて示します。

(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします
③当該端子が外バス兼用の場合や、当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。また、当該ペリフェラルに I/O リロケーションがある場合、当該ペリフェラルの EPFR で使用する端子を設定します。
④PFR をペリフェラル側に設定します。

図 5-2 ペリフェラル入出力の割り当て手順図



5.1.2. ペリフェラル入力の割り当て

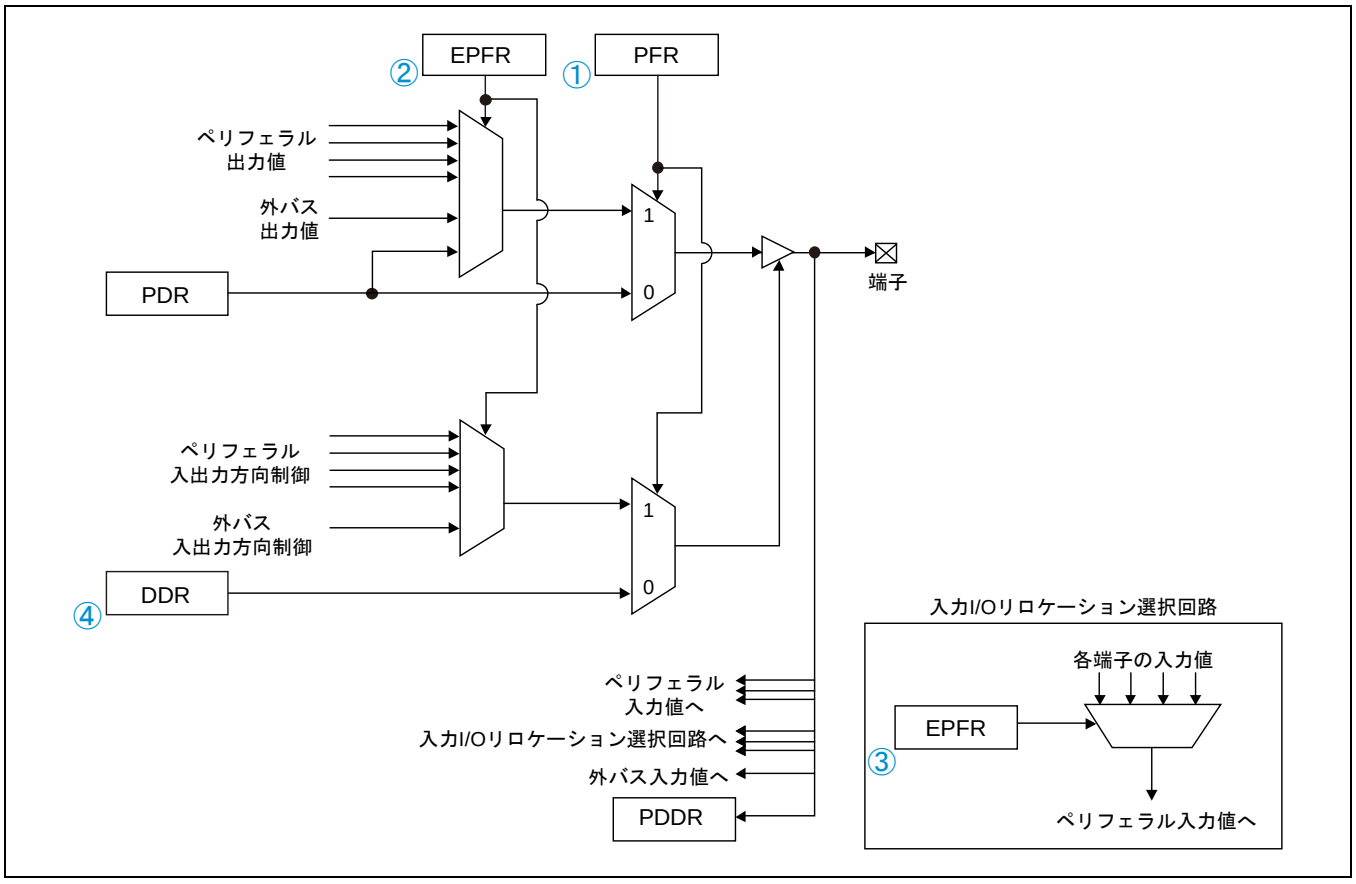
ペリフェラル入力の割り当てについて示します。

(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします
③当該ペリフェラルにI/O リロケーションがある場合、当該ペリフェラルのEPFR で使用する端子を設定します。
④DDR を入力側に設定します。

図 5-3 ペリフェラル入力の割り当て手順図



＜注意事項＞

上図で示しているように、端子がペリフェラル出力などに設定されている場合は、端子を共有するほかのペリフェラル入力へはその出力値が取り込まれます。
(例)INT10_0 と PPG10_0 は同じ端子に配置されていますので(端子番号 106・P102 端子)、端子を PPG10_0 のペリフェラル出力に設定すれば、PPG10(0)の出力で外部割込み 10(0)を発生させることができます。

5.1.3. ペリフェラル出力の割り当て

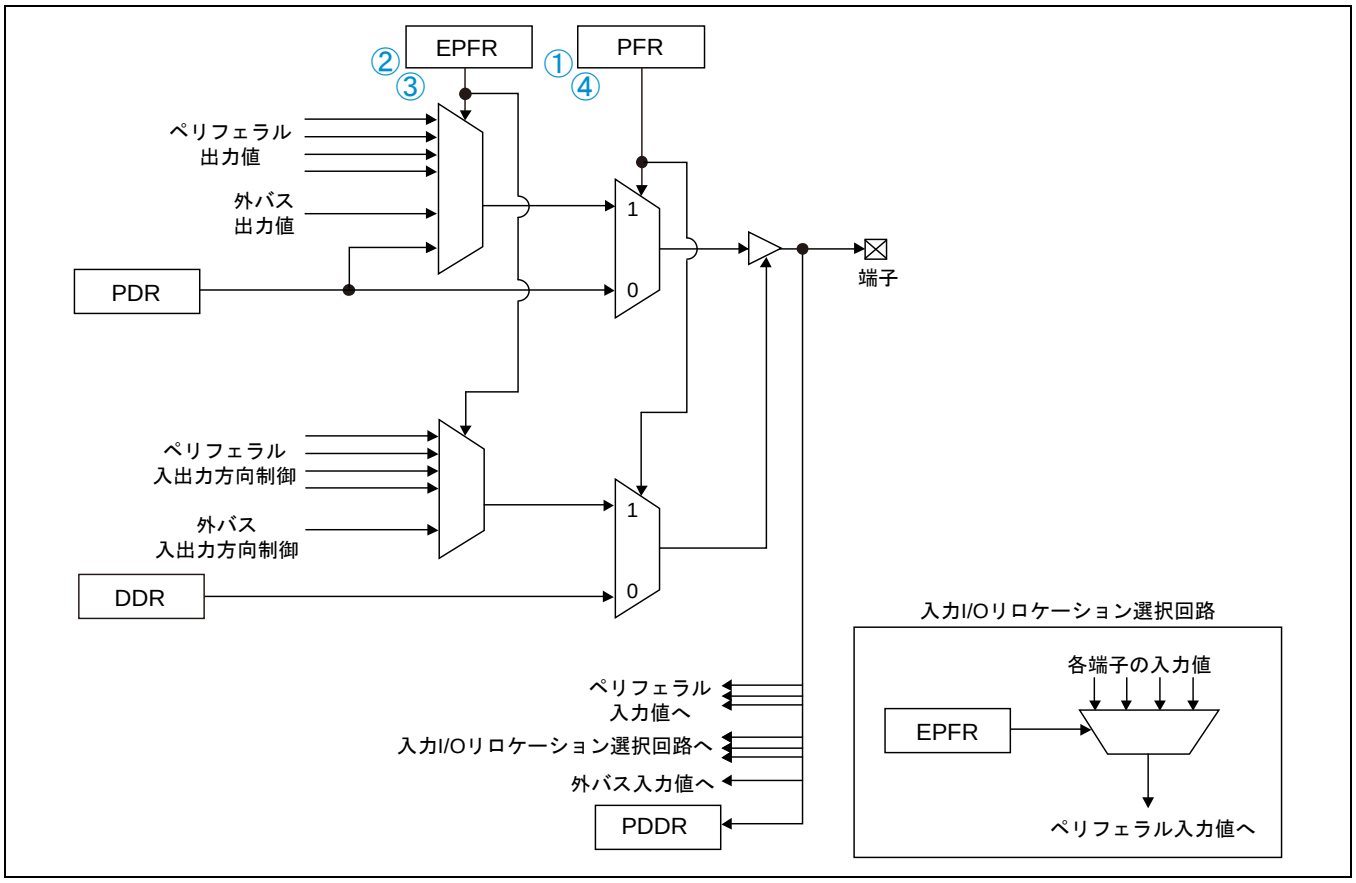
ペリフェラル出力の割り当てについて示します。

設定方法は「5.1.1 ペリフェラル入出力(双方向)端子の割り当て」と同一です。
(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
③当該端子が外バス兼用の場合や、当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。また、当該ペリフェラルに I/O リロケーションがある場合、当該ペリフェラルの EPFR で使用する端子を設定します。
④PFR をペリフェラル側に設定します。

図 5-4 ペリフェラル出力の割り当て手順図



5.1.4. 外バスの割り当て

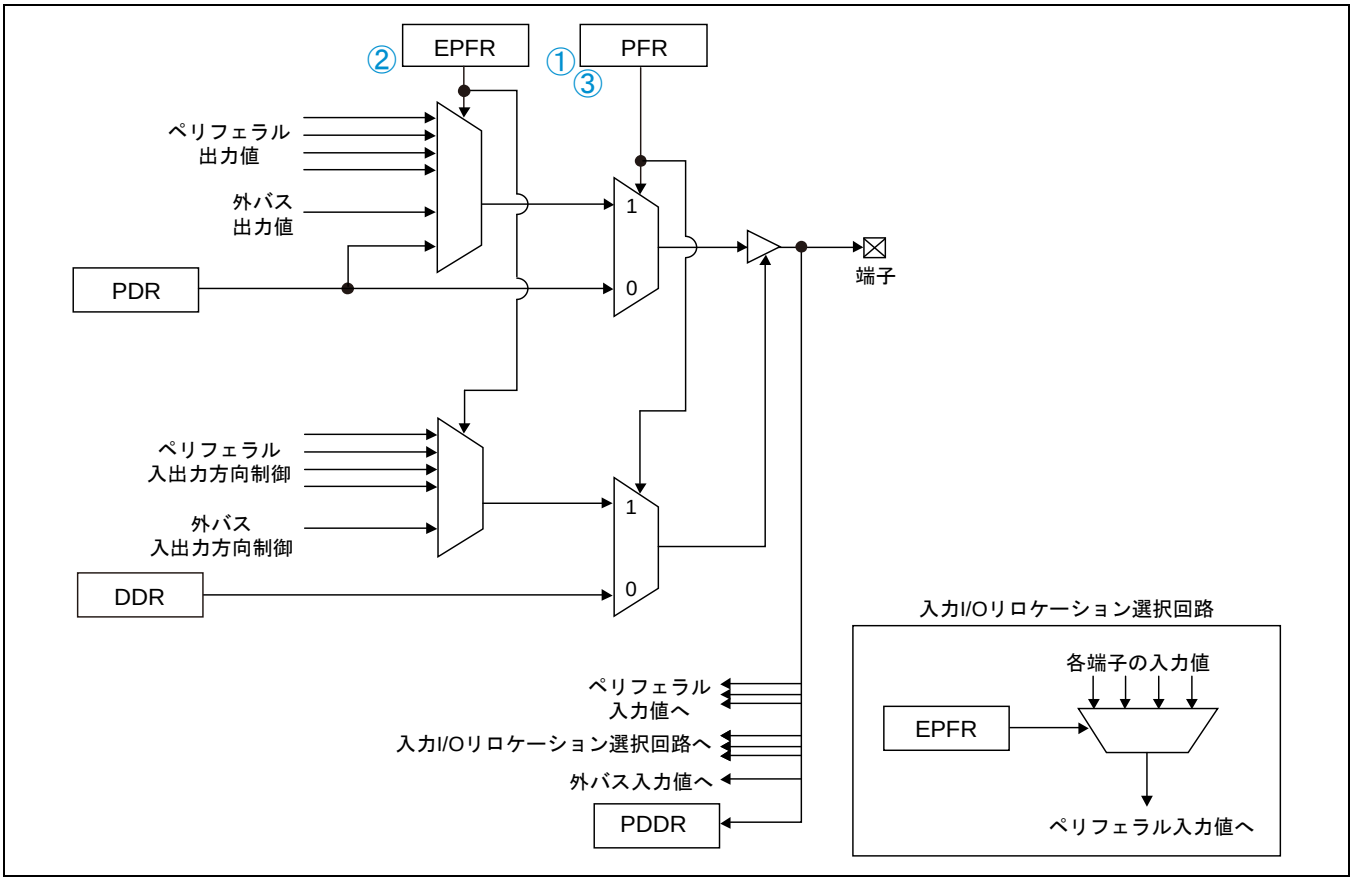
外バスの割り当てについて示します。

(準備)

- ①で端子はいったんポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

①当該端子の PFR をポート機能側に設定します。
②外バスと同じ端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
③PFR をペリフェラル側に設定します。

図 5-5 外バスの割り当て手順図



5.1.5. ポート機能(入力)の割り当て

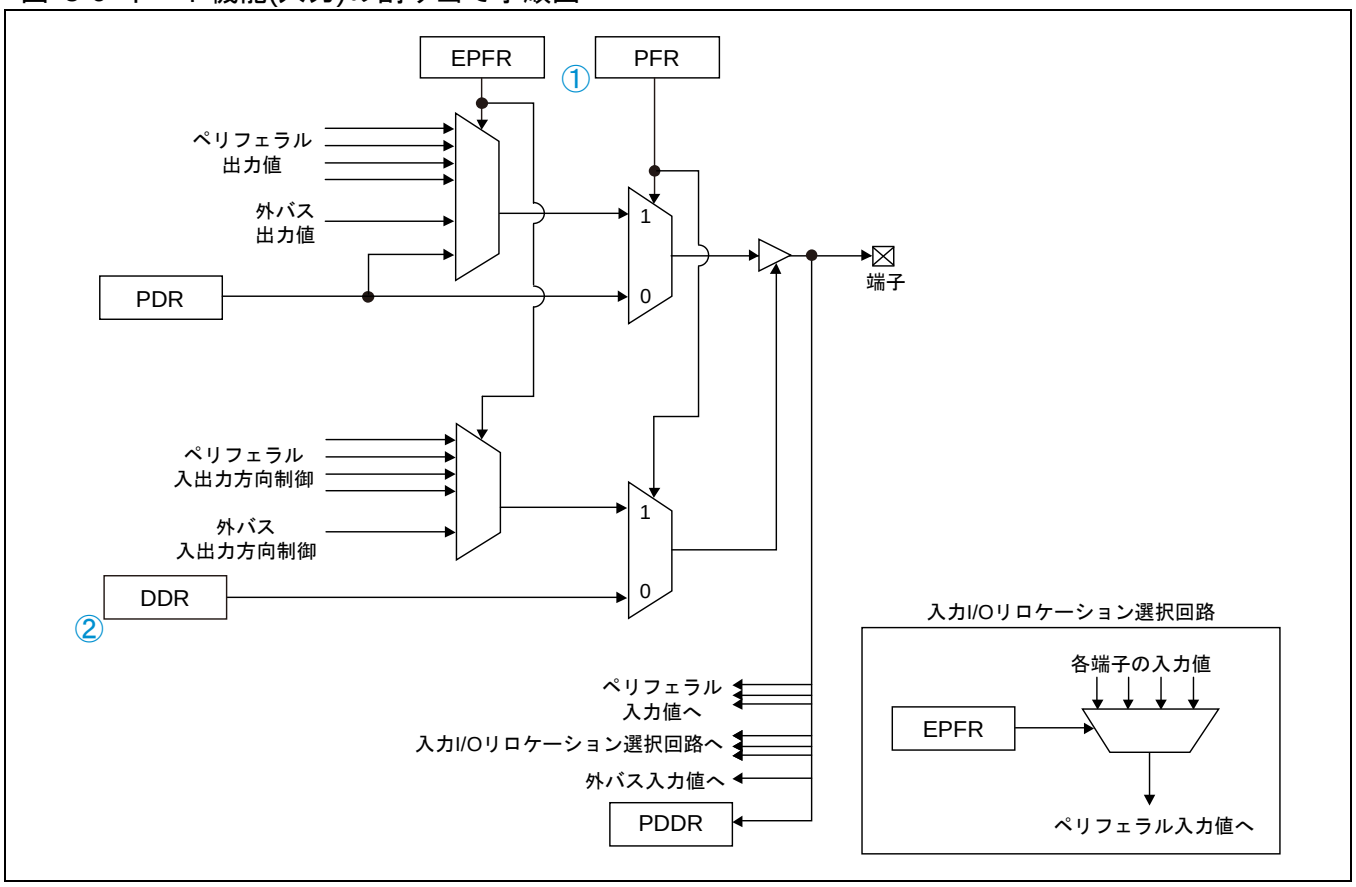
ポート機能(入力)の割り当てについて示します。

(準備)

- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。

①PFR をポート機能側に設定します。
②DDR を入力側に設定します。

図 5-6 ポート機能(入力)の割り当て手順図



5.1.6. ポート機能(出力)の割り当て

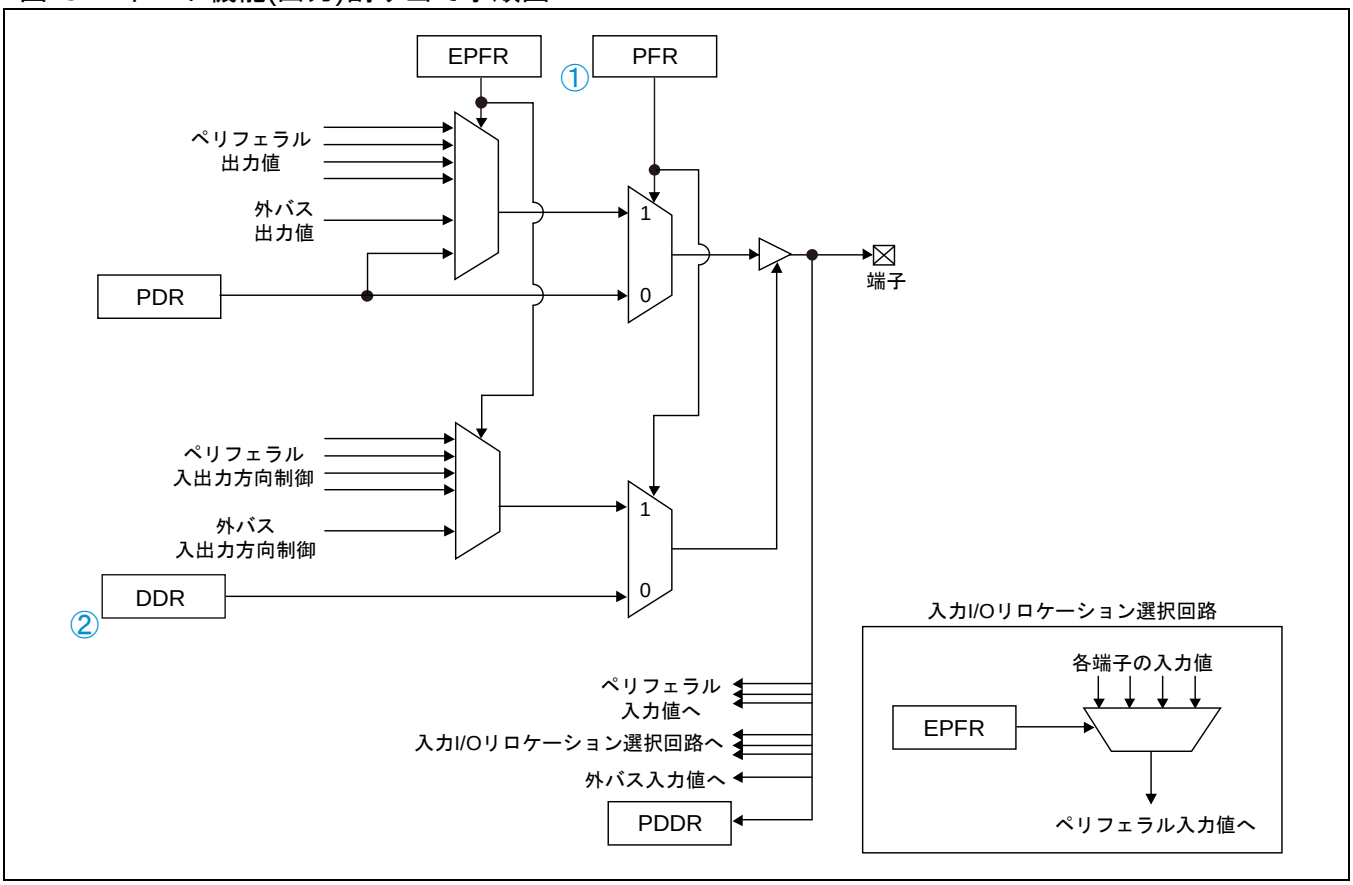
ポート機能(出力)の割り当てについて示します。

(準備)

- A/D コンバータ機能のある端子では、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[ポート入力/出力モード]に設定しておいてください。設定方法は『12 ビット AD コンバータ』の章を参照してください。

①PFR をポート機能側に設定します。
②DDR を出力側に設定します。

図 5-7 ポート機能(出力)割り当て手順図



5.1.7. A/D コンバータ入力の割り当て

A/D コンバータ入力の割り当てについて示します。

①A/D コンバータのアナログ入力許可レジスタ(ADER)をアナログ入力モードに設定します。『12 ビット A/D コンバータ』の章を参照してください。
A/D コンバータの割り当ては最上位の優先度なので、設定は以上のみです。

5.1.8. D/A コンバータ出力の割り当て

D/A コンバータ出力の割り当てについて示します。

「5.1.3 ペリフェラル出力の割り当て」と同じです。

5.2. EPFR 設定の優先度について

EPFR 設定の優先度について示します。

PFR がペリフェラル側に設定されていて、1 つの端子に対し EPFR 設定が重複する場合、次の優先度で有効なペリフェラルが決定します。

(1). D/A コンバータ出力
(2). CAN
(3). マルチファンクションシリアルインタフェース
(4). PPG
(5). リアルタイムクロック
(6). ベースタイマ
(7). リロードタイマ
(8). アウトプットコンペア
(9). クロックモニタ
(10). 波形ジェネレータ

5.3. 入力 I/O リロケーション設定時の注意

入力 I/O リロケーション設定時の注意について示します。

入力端子を別端子に切り換える際に、切換え前と後との端子のレベルが違うと、I/O リロケーション切換えが当該端子をトリガとするペリフェラルへのトリガ入力になることがありますので注意してください。

5.4. ノイズフィルタ

ノイズフィルタについて示します。

外部端子を次の機能の入力で使用する場合、ノイズフィルタを通した値が入力レベルになります。

・ポート機能
・外部割込み要求
・フリーランタイマ
・リロードタイマ
・PPG
・インプットキャプチャ
・A/D コンバータのトリガ入力
・ベースタイマ
・アップダウンカウンタ
・デッドタイマ割込み要求

＜注意事項＞

詳細は『概要』の章の『各機能ごとの端子一覧』を参照してください。

5.5. GPORTEN 入力遮断

GPORTEN 入力遮断について示します。

ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、『付録』の『端子状態表』を参照してください。入力遮断解除方法については「ポート入力許可レジスタ : PORTEN(PORT ENable register)」を参照してください。

GPORTEN による入力遮断中に、入力遮断となる端子の状態を読み出した場合、必ず"0"が読み出されます。

5.6. A/D コンバータ機能のある端子の注意事項

A/D コンバータ機能のある端子の注意事項について示します。

A/D コンバータ機能のある端子で A/D コンバータ以外の機能(デジタルポート、周辺機能)を利用する場合は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[アナログ入力禁止]に設定しておいてください。このとき、対象の端子のデジタルポートとして使うにもかかわらず、兼用しているアナログ入力を A/D 変換した場合、変換中は 0 が固定値として読めますので、A/D 変換しないでください。設定方法は『12 ビット A/D コンバータ』の章を参照してください。 アナログ入力許可の場合、ポート機能レジスタ(PFR00～PFR19)や拡張ポート機能レジスタ(EPFR00～EPFR88)の設定にかかわらず、ポートおよび周辺機能からの入力は"0"に、出力は Hi-Z に固定されます。

5.7. ベースタイマ TIOA1 端子使用時の設定

ベースタイマ TIOA1 端子使用時の設定について示します。

ベースタイマ TIOA1 端子を使用する場合、ベースタイマ入出力モード 1 の場合は入力、ベースタイマ入出力モード 1 以外の場合は出力に設定してください。ベースタイマ TIOA1 端子を使用する場合で、ベースタイマ入出力モード 1 の場合は端子をペリフェラル入力(「5.1.2　ペリフェラル入力の割り当て」を参照してください。)、ベースタイマ入出力モード 1 以外の場合は端子をペリフェラル出力(「5.1.3　ペリフェラル出力の割り当て」を参照してください。)に設定してください。

5.8. キーコードレジスタ機能の設定

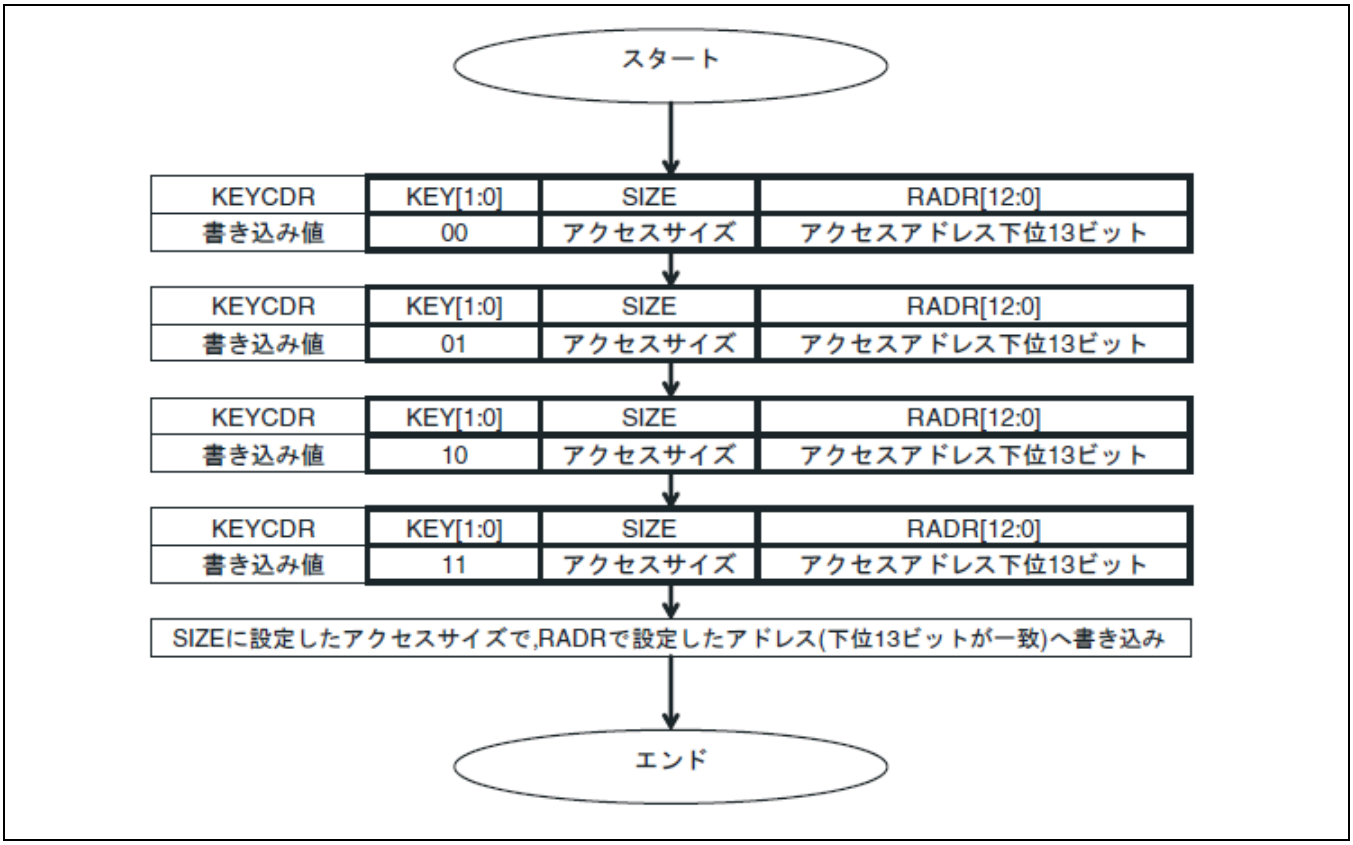
キーコードレジスタ機能の設定について示します。

キーコード対象レジスタへの書込みには、キーコードレジスタ(KEYCDR)に以下の設定が必要です。

- KEY1+KEY0+アクセスサイズ(SIZE)+アクセスアドレス(RADR[12:0])を、キーコードレジスタにハーフワードで設定する。
- (KEY1, KEY0)を(0,0),(0,1),(1,0),(1,1)の順で連続的に書き込む。(KEY1, KEY0)に 4 回書くときのアドレスとアクセスサイズは、4 回とも同じ値を設定する。

以下にフローチャートを示します。

図 5-8 キーコード設定フローチャート



以下の条件の場合、キーコードが解除されず対象のレジスタへの書込みは行われません。この場合、再度最初からキーコードレジスタの設定を行ってください。

- (KEY1, KEY0)を書く順番が異なる場合
- SIZE ビットへ書くデータが途中で変更された場合
- RADR ビットへ書くデータが途中で変更された場合
- SIZE ビットへ書いたアクセスサイズと、実際に対象のレジスタへアクセスする際のサイズが異なる場合
- RADR ビットへ書いたアドレス(下位 13 ビット)と、実際に対象のレジスタへアクセスする際のアドレス(下位 13 ビット)が異なる場合
- キーコードレジスタへの書込み途中で、キーコードレジスタやポート関連レジスタを読み出した場合

＜注意事項＞

- DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読み出して、値が更新されているかを確認してください。
- オンチップデバッガ(OCD)によるデバッグ中、キーコード設定の途中でブレーク機能を実行した場合、キーコード設定がキャンセルされます。
- DDR, PFR, EPFR, PPER, PORTEN, ADER, DACR はキーコード対象レジスタです。これらのレジスタへの書込みにはキーコード設定が必要です。

5.9. 電源遮断からの復帰時の動作

電源遮断からの復帰時の動作について示します。

PMUCTLR:IOCTMD をセットしている場合には、電源遮断からの復帰時に I/O は保持されます。I/O の保持は、PMUCTLR:IOCT をセットするまで継続します。

PMUCTLR:IOCTMD をクリアしている場合には、電源遮断からの復帰時に I/O は保持されますが、復帰完了後に保持状態は解除され、I/O ポートのレジスタが有効になります。

電源遮断からのリセット復帰後には、I/O のラッチが解除されていない場合があります。

電源遮断からのリセット復帰後には､必ず PMUCTLR.IOCT ビットに"1"を書き込んで IO 保持の解除を行ってください。

5.10. I/O ポート機能切換え時の注意事項

I/O ポート機能切換え時の注意事項について示します。

I/O ポートをポート機能から周辺機能に切り換えた場合もしくは周辺機能からポート機能に切り換えた場合、一瞬 PDR の値が出力されることがあります。

切換え時に、ポート機能が[入力から出力]もしくは[出力から入力]に変わる場合に起こります。

本出力が問題になる場合、あらかじめ PDR に問題の起こらないレベルの値を書き込んでください。

5.11. 特定周辺機能使用時の入力遮断

特定周辺機能使用時の入力遮断について注意事項を示します。

端子を A/D コンバータ機能として使用する場合、該当端子の状態を読み出した場合、必ず"0"が読み出されます。

Chapter 12: 割込み制御(割込みコントローラ)

割込み制御(割込みコントローラ)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : INTCNT-1v0-91520-3-J

1. 概要

割込み制御(割込みコントローラ)の概要について説明します。

割込みコントローラは、割込み要求の調停を行います。

2. 特長

割込み制御(割込みコントローラ)の特長について説明します。

本モジュールは、以下により構成されています。

・ICR レジスタ
・割込み優先度判定回路
・割込みレベル, 割込みベクタ発生回路

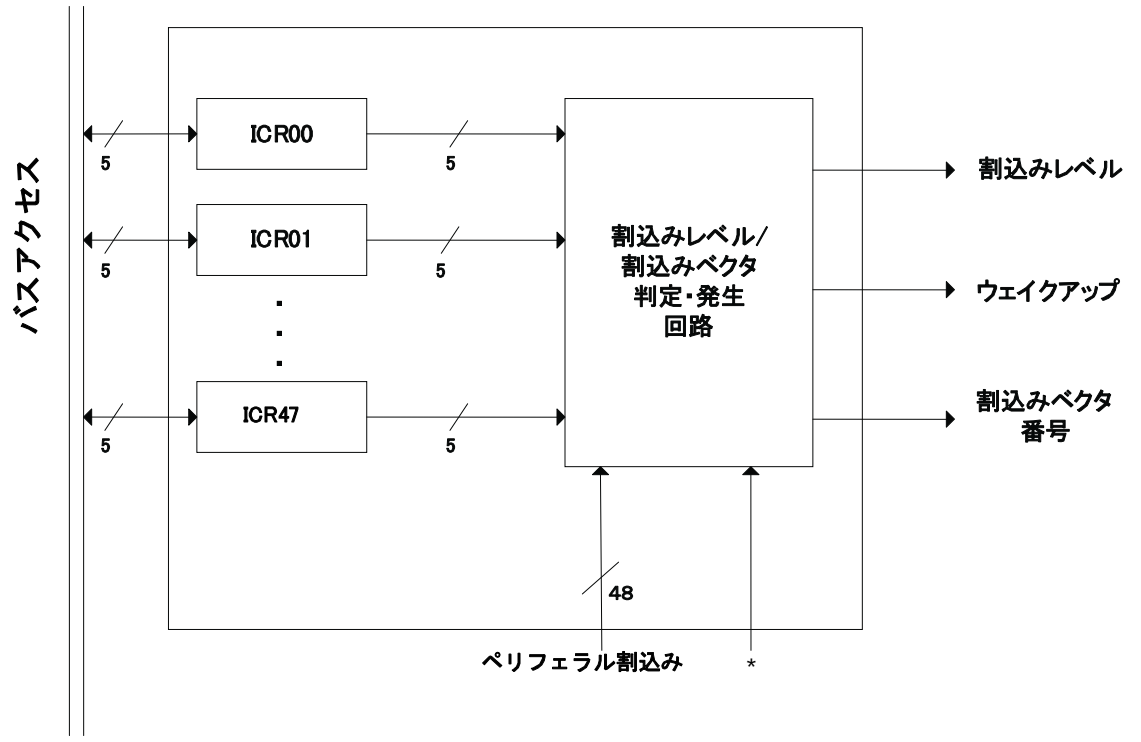
本モジュールには以下の機能があります。

・NMI 要求/ペリフェラル割込み要求の検出
・優先度判定(レベルおよび割込みベクタによる)
・最も優先度の高い要因の割込みレベルを CPU へ伝達
・最も優先度の高い要因の割込みベクタ番号を CPU へ伝達
・NMI/割込みレベルが"11111"以外の割込み発生によるウェイクアップ要求の生成

3. 構成

割込み制御(割込みコントローラ)の構成について説明します。

図 3-1 ブロックダイヤグラム



*: NMI or (XBS RAM ダブルビットエラー発生) or (Backup RAM ダブルビットエラー発生)orTPU 違反 or 内部バス診断時エラー発生

4. レジスタ

割込み制御(割込みコントローラ)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0440	ICR00	ICR01	ICR02	ICR03	割込み制御レジスタ 00～47
0x0444	ICR04	ICR05	ICR06	ICR07	
0x0448	ICR08	ICR09	ICR10	ICR11	
0x044C	ICR12	ICR13	ICR14	ICR15	
0x0450	ICR16	ICR17	ICR18	ICR19	
0x0454	ICR20	ICR21	ICR22	ICR23	
0x0458	ICR24	ICR25	ICR26	ICR27	
0x045C	ICR28	ICR29	ICR30	ICR31	
0x0460	ICR32	ICR33	ICR34	ICR35	
0x0464	ICR36	ICR37	ICR38	ICR39	
0x0468	ICR40	ICR41	ICR42	ICR43	
0x046C	ICR44	ICR45	ICR46	ICR47	

4.1. 割込み制御レジスタ 00-47 : ICR00-47 (Interrupt Control Register 00-47)

割込み制御レジスタ 00-47 のビット構成について示します。

各割込み入力に対して 1 ずつ設けられており、対応する割込み要求のレベルを設定します。

■ ICR00-47 : アドレス 0440-046F$_H$ (アクセス: バイト, ハーフワード, ワード)

bit	7	6	5	4	3	2	1	0
	予約			IL[4:0]				
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

[bit4～bit0] IL[4:0] (Interrupt Level control) : 割込みレベル制御

割込みレベル設定ビットで、対応する割込み要求の割込みレベルを指定します。本レジスタに設定した割込みレベルが CPU の ILM レジスタのレベルマスク値以上の場合は、CPU 側にて割込み要求はマスクされます。リセットにより、"5'b11111"に初期化されます。

設定可能な割込みレベル設定ビットと割込みレベルの対応を示します。

IL[4:0]	割込みレベル	
10000	16	設定可能な最強レベル
10001	17	↑ (強)
10010	18	|
10011	19	|
10100	20	|
10101	21	|
10110	22	|
10111	23	|
11000	24	|
11001	25	|
11010	26	|
11011	27	|
11100	28	|
11101	29	|
11110	30	↓ (弱)
11111	31	割込み禁止

IL4 は 1 固定です。書込みは効果ありません。

5. 動作説明

割込み制御(割込みコントローラ)の動作について説明します。

5.1. 設定

5.2. 起動

5.3. 優先順位判定

5.4. ストップモードからの復帰

5.5. スタンバイモード(電源遮断)からの復帰

5.1. 設定

割込み制御(割込みコントローラ)の設定について説明します。

① 割込みを発生させたいペリフェラルに対応する割込みベクタ番号の ICR レジスタを設定します。

② 割込みを発生させたいペリフェラルの設定をします。(ペリフェラル側で割込み出力を許可に設定します。)

5.2. 起動

割込み制御(割込みコントローラ)の起動について説明します。

設定したペリフェラルを起動します。

5.3. 優先順位判定

優先順位判定について示します。

本モジュールでは同時に発生している割込み要因の中で最も優先度の高い割込み要因を選択し、その割込み要因の割込みレベルと割込みベクタ番号を CPU へ出力します。

割込み要因の優先順位判定基準は、次のとおりです。

① NMI
② 以下の条件を満たす要因

・割込みレベルの数値が 31(5’b11111)以外。(31 は割込み禁止)
・割込みレベルの数値が最も小さい要因。
・割込みレベルが同じ時(31 以外)は、その中で最も小さい割込みベクタ番号を持つ要因。

上記の判定基準により、割込み要因が 1 つも選択されなかった場合は、割込みレベルとして 31(5’b11111)を出力します。そのときの割込みベクタ番号は不定です。

5.4. ストップモードからの復帰

ストップモードからの復帰について示します。

割込み要求でストップモードから復帰する機能を本モジュールで実現します。(NMI を含む)ペリフェラルからの割込み要求(割込みレベルが"5’b11111"以外)が発生すると、クロック制御部に対してストップモードからの復帰要求を発生します。
割込み優先度判定部はストップから復帰後、クロックが供給されてから動作を再開しますので、割込み優先度判定部の結果が出るまでの間 CPU は命令を実行します。
ストップモードからの復帰要因として使用しない割込みは、対応する割込み制御レジスタ(ICR00-47)の割込みレベルを"5’b11111" (割込み禁止)に設定してください。

5.5. スタンバイモード(電源遮断)からの復帰

スタンバイモード(電源遮断)からの復帰について示します。

割込みレベルが ICR=0x1F(割込み禁止)より高く、かつ割込み要因が発生している状態では、スタンバイ復帰要因が有効であるため、電源遮断状態へ遷移することはできません。そのまま命令実行を続けます。
割込みレベルが ICR=0x1F(割込み禁止)で、かつ割込み要因が発生している状態では、スタンバイ復帰要因にはなりませんので、電源遮断状態へいったんは遷移しますが、電源遮断復帰の要因ありの状態なので、直ぐに電源遮断復帰シーケンスを経て復帰します。(リセットベクタから実行されます)

Chapter 13: 外部割込み入力

外部割込み入力について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. 注意事項

管理コード : BG04-1v0-91520-5-J

1. 概要

外部割込み入力の概要について説明します。

外部割込み入力端子(INT0～INT15)から入力される割込み要求です。

2. 特長

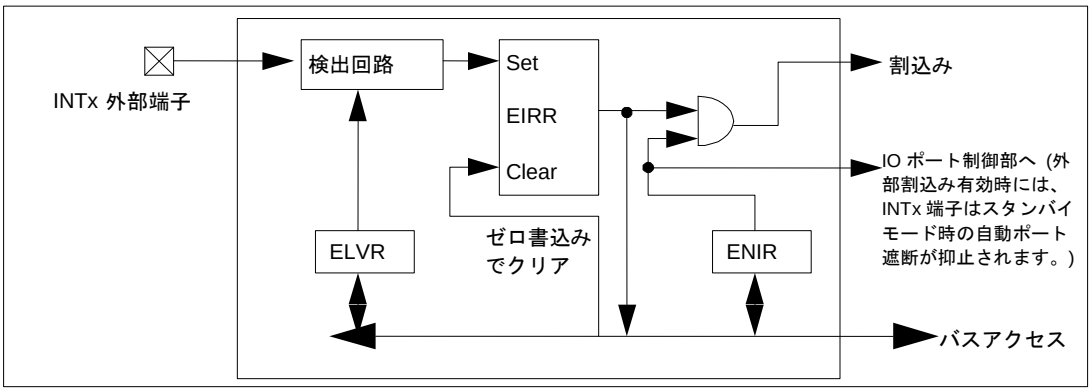
外部割込み入力の特長について説明します。

・16 系統の外部割込み入力端子 (INT0～INT15)
・割込み検出要因 : 4 種類 ("L" レベル,"H" レベル, 立上りエッジ, 立下りエッジ)

3. 構成

外部割込み入力の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

外部割込み入力のレジスタについて説明します。

チャネル	ベースアドレス	外部端子 (INT)				
		MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK, MB91F52xL
0	0x0550	INT0_0	INT0_0	INT0_0	INT0_0	INT0_0
1	0x0550	INT1_1	INT1_1	INT1_0 / INT1_1	INT1_0 / INT1_1	INT1_0 / INT1_1
2	0x0550	INT2_1	INT2_1	INT2_0 / INT2_1	INT2_0 / INT2_1	INT2_0 / INT2_1
3	0x0550	INT3_1	INT3_0 / INT3_1	INT3_0 / INT3_1	INT3_0 / INT3_1	INT3_0 / INT3_1
4	0x0550	INT4_1	INT4_1	INT4_1	INT4_0 / INT4_1	INT4_0 / INT4_1
5	0x0550	INT5_0	INT5_0	INT5_0	INT5_0	INT5_0
6	0x0550	INT6_0	INT6_0	INT6_0	INT6_0	INT6_0
7	0x0550	INT7_1	INT7_1	INT7_0 / INT7_1	INT7_0 / INT7_1	INT7_0 / INT7_1
8	0x0554	INT8_0	INT8_0	INT8_0	INT8_0	INT8_0
9	0x0554	INT9_1	INT9_1	INT9_1	INT9_0 / INT9_1	INT9_0 / INT9_1
10	0x0554	INT10_0	INT10_0	INT10_0	INT10_0	INT10_0
11	0x0554	INT11_0	INT11_0	INT11_0	INT11_0	INT11_0
12	0x0554	INT12_0	INT12_0	INT12_0	INT12_0	INT12_0
13	0x0554	INT13_1	INT13_1	INT13_0 / INT13_1	INT13_0 / INT13_1	INT13_0 / INT13_1
14	0x0554	INT14_1	INT14_1	INT14_1	INT14_1	INT14_0 / INT14_1
15	0x0554	INT15_0	INT15_0	INT15_0	INT15_0	INT15_0

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0550	EIRR0	ENIR0	ELVR0		外部割込み要因レジスタ 0 外部割込み許可レジスタ 0 外部割込み要求レベルレジスタ 0
0x0554	EIRR1	ENIR1	ELVR1		外部割込み要因レジスタ 1 外部割込み許可レジスタ 1 外部割込み要求レベルレジスタ 1

4.1. 外部割込み要因レジスタ 0/1 : EIRR0/1: (External Interrupt Request Register 0/1)

外部割込み要因レジスタ 0/1 (EIRR0/1)のビット構成について示します。

外部割込み要因が発生したことを保持するレジスタです。

■ **EIRR0 ：アドレス 0550_H (アクセス: バイト, ハーフワード, ワード)**

■ **EIRR1 ：アドレス 0554_H (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
初期値	X	X	X	X	X	X	X	X

属性 R(RM1),W R(RM1),W R(RM1),W R(RM1),W R(RM1),W R(RM1),W R(RM1),W R(RM1),W

[bit7～bit0] ER7～ER0 (External interrupt Request7-0) : **外部割込みリクエストビット**
INT 外部端子入力による割込み要求がある事を示すフラグです。"0"書込みでクリアします。

ERn	意味	
	読出し時	書込み時
0	外部割込み要求なし	クリア
1	外部割込み要求あり	動作に影響なし

＜注意事項＞

・EIRR0:ER0 が INT0 端子, EIRR0:ER1 が INT1 端子, ・・, EIRR0:ER7 が INT7 端子, EIRR1:ER0 が INT8 端子, ・・EIRR1:ER7 が INT15 端子に対応します。

・本ビットへの"1"の書込みは動作に影響を与えません。
・リード・モディファイ・ライト(RMW)系命令における読出し値は常に"1"となります。
・外部割込み検出条件が L レベルまたは"H"レベル設定のとき、EIRR レジスタの各ビットをクリアしても外部割込み端子入力がアクティブレベルならば該当するビットは再びセットされます。
・割込み要求レベルレジスタの変更により、割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には、割込み要因レジスタを初期化してください
・本レジスタのリセット後の値は、リセット後の端子状態によります。
・本レジスタは PMUCTLR:IOCTMD=1 時のスタンバイ(電源遮断)からの復帰リセットを除いたすべてのリセット要因で初期化されます。

4.2. 外部割込み許可レジスタ 0/1 : ENIR0/1: (ENable Interrupt request Register 0/1)

外部割込み許可レジスタ 0/1 (ENIR0/1)のビット構成について示します。

外部割込み入力を許可するレジスタです。

■ **ENIR0 ：アドレス 0551_H (アクセス: バイト, ハーフワード, ワード)**

■ **ENIR1 ：アドレス 0555_H (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] EN7～EN0 (interrupt ENable) : **外部割込み許可ビット**
外部端子 INT 入力による割込み要求のマスク制御を行います。

ENn	外部端子検出時の動作
0	割込み要求マスク。割込み要求を保持するが出力しない。(初期値)
1	割込み要求許可。割込み要求を許可する。

＜注意事項＞

・ENIR0:EN0 が INT0 端子, ENIR0:EN1 が INT1 端子, ・・, ENIR0:EN7 が INT7 端子, ENIR1:EN0 が INT8 端子, ・・ENIR1:EN7 が INT15 端子に対応します。
・本レジスタは PMUCTLR:IOCTMD=1 時のスタンバイ(電源遮断)からの復帰リセットを除いたすべてのリセット要因で初期化されます。

4.3. 外部割込み要求レベルレジスタ 0/1 : ELVR0/1: (External interrupt LeVel Register 0/1)

外部割込み要求レベルレジスタ 0/1 (ELVR0/1)のビット構成について示します。

外部割込み要求の検出条件を選択するレジスタです。

■ **ELVR0 ：アドレス 0552$_H$ (アクセス: バイト, ハーフワード, ワード)**

■ **ELVR1 ：アドレス 0556$_H$ (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit1] LB7～LB0 (Level select B) : レベル選択 B

[bit14～bit0] LA7～LA0 (Level select A) : レベル選択 A

外部割込み要求の検出条件を選択します。LA, LB ビットの 2 ビットを組み合わせて使用します。

LBn	LAn	検出条件
0	0	L レベル検出(初期値)
0	1	H レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

要求入力がレベルの場合(LAn, LBn ="00" または "01"), 外部割込み要求ビット(ERn)を"0"にしても INTn 端子入力が有効レベルならば該当するビット(ERn) は再び"1" になります。

＜注意事項＞

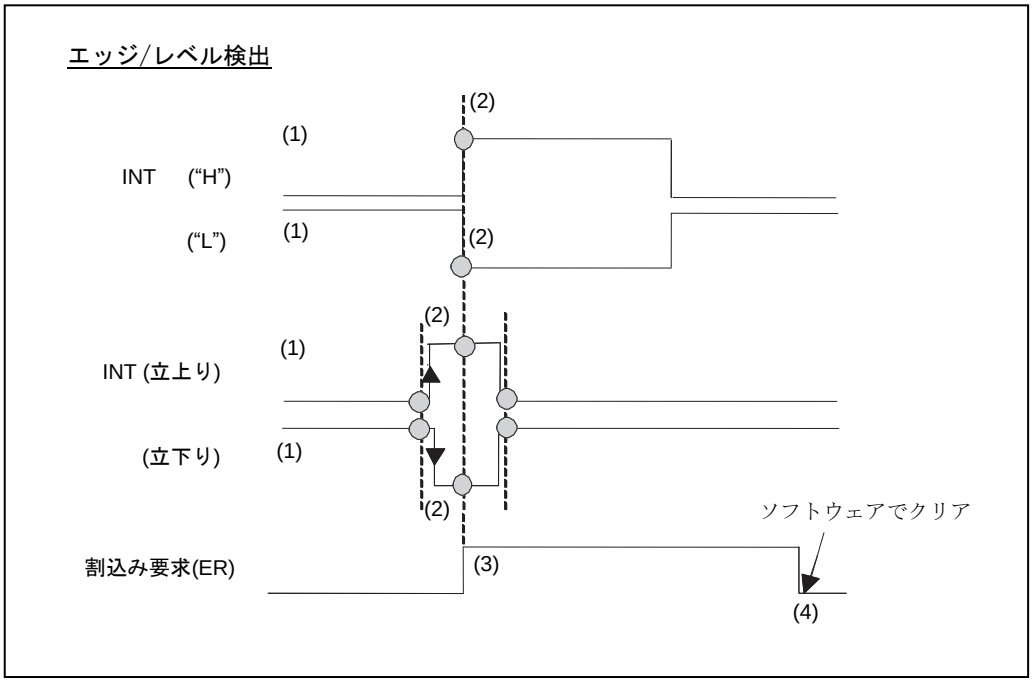
- ELVR0:LA/LB0 が INT0 端子, ELVR0:LA/LB1 が INT1 端子, ・・, ELVR0:LA/LB7 が INT7 端子, ELVR1:LA/LB0 が INT8 端子, ・・ELVR1:LA/LB7 が INT15 端子に対応します。
- 割込み要求レベルレジスタの変更により、割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には、割込み要因レジスタを初期化してください。

・本レジスタは PMUCTLR:IOCTMD=1 時のスタンバイ(電源遮断)からの復帰リセットを除いたすべてのリセット要因で初期化されます。

5. 動作説明

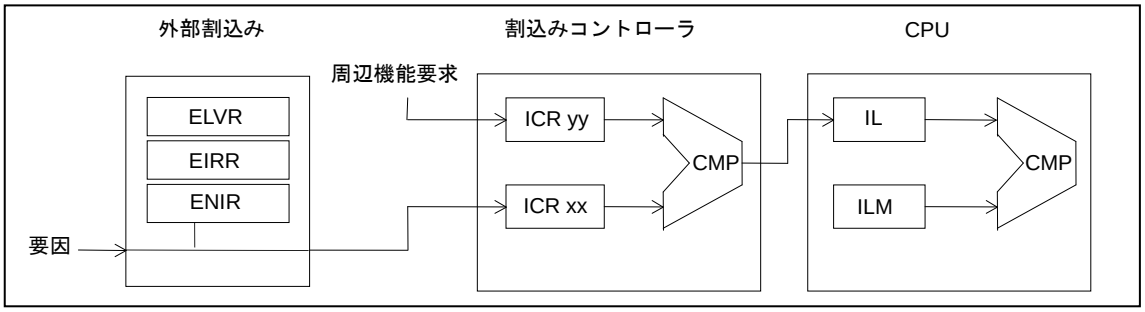
外部割込み入力の動作について説明します。

図 5-1 動作説明図



(1)外部割込み信号 (INT) 入力
(2)割込み信号を検出 (レベル/エッジ) する
(3)割込み要求が発生する
(4)割込み要求をソフトウェアでクリアする

図 5-2 外部割込みの動作



1. 外部割込みの動作について
   要求レベル、許可レジスタの設定の後、対応する端子に ELVR レジスタで設定された要求が入力されると本モジュールは、割込みコントローラに対して割込要求信号を発生します。割込みコントローラ内で同時発生した割込みの優先順位を識別した結果、本周辺機能からの割込みが最も優先順位が高かったときに、該当する割込みが発生します。

2. スタンバイモードへの移行について
   使用しないチャネルは、スタンバイに入る前に、必ず禁止状態にしてください。スタンバイモード時に外部端子は入力遮断状態になりますが、外部割込みを有効にしてあるチャネルの外部端子は入力許可の状態になります。

3. 外部割込みの設定手順について
   外部割込み部内に存在するレジスタの設定を行う際、次の手順で設定してください。

   ①. 許可レジスタの対象となるビットを禁止状態にする。
   ②. 要求レベル設定レジスタの対象となるビットを設定する。
   ③. 要求レベルレジスタを読み出す。
   ④. 要因レジスタの対象となるビットをクリアする。
   ⑤. 許可レジスタの対象となるビットを許可状態にする。
   (ただし、④と⑤は 16 ビットデータによる同時書込み可能。)

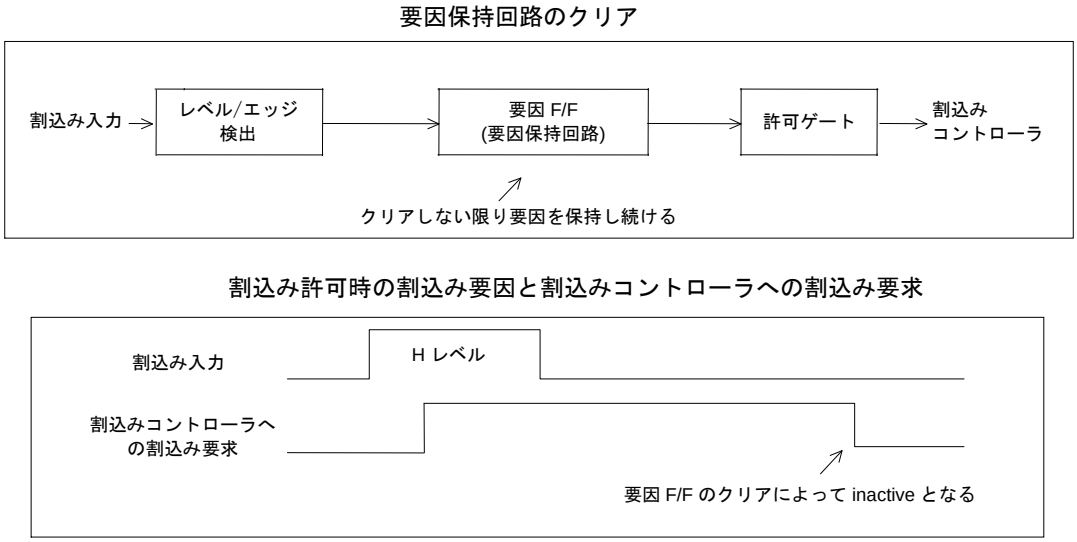
   本モジュール内のレジスタを設定する時には必ず許可レジスタを禁止状態に設定しておかなくてはなりません。また、許可レジスタを許可状態にする前に必ず要因レジスタをクリアしておく必要があります。

   これは、レジスタ設定時や割込み許可状態時に誤って割込み要因が起こってしまうことを避けるためです。

4. 外部割込み要因について
   外部より要求入力が入ってその後取り下げられても内部に要因保持回路が存在するので、割込みコントローラへの要求はアクティブのままです。

   割込みコントローラへの要求を取り下げるには要因レジスタをクリアする必要があります。

図 5-3 要因保持回路のクリア、割込み許可時の割込み要因と割込みコントローラへの割込み要求



6. 設定

外部割込み入力の設定について説明します。

表 6-1 外部割込みを使うために必要な設定

設定	設定レジスタ	設定方法
検出レベルの設定	外部割込み要求レベル設定レジスタ (ELVR0, ELVR1)	「7. Q&A」の「■検出レベルの種類と設定方法は?」の項目を参照してください。
外部端子を入力にする	『I/O ポート』の章を参照してください。	『I/O ポート』の章を参照してください。
外部割込み	外部端子より入力 → INT0～INT15 端子に信号を入力	—

7. Q&A

外部割込み入力の Q&A について説明します。

■ 検出レベルの種類と設定方法は?

検出レベルは 4 種類("L" レベル, "H" レベル, 立上り, 立下り)あります。

設定は, 検出レベルビット (ELVRy:LBn, LAn) (n=0～7, y=0,1) にて行ってください。

動作モード	検出レベルビット(LBn, LAn) n=0～7
"L" レベル検出にするには	"00"にする
"H" レベル検出にするには	"01"にする
立上り検出にするには	"10"にする
立下り検出にするには	"11"にする

■ 外部端子を入力にするには?

『I/O ポート』の章を参照してください。

■ 割込み関連レジスタは?

『割込み制御(割込みコントローラ) 』の章を参照してください。

■ 割込みの種類は?

割込み要因は外部割込みのみです。選択のビットはありません。

■ 割込みを許可/禁止/クリアするには?

割込み要求の許可フラグ, 割込み要求フラグ

割込み許可の設定は, 割込み許可ビット(ENIR0/1:EN0～EN7)にて行います。

動作	割込み許可ビット(ENn)
割込み要求を禁止するには	"0"にする
割込み要求を許可するには	"1"にする

割込み要求のクリアは, 割込み要求ビット(EIRR0/1:ER0～ER7)にて行います。

動作	割込み要求ビット(ERn)
割込み要求をクリアするには	"0"を書き込む

8. 注意事項

外部割込み入力の注意事項について説明します。

PMUCTLR:IOCTMD=1 時のスタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰時では、外部割込み入力のレジスタは初期化されません。復帰前および復帰中の状態を保持する場合には、スタンバイ設定する前に PMUCTLR.IOCTMD をセットして、IO 保持状態とし、IO ポート設定後に PMUCTLR.IOCT をセットして IO 保持状態を解除してください。PMUCTLR レジスタについては『消費電力制御』の章を参照してください。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
また、PMUCTLR:IOCTMD=1 時のスタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧リセットおよび RSTX・NMIX 同時アサート以外のリセット要因を受付けません。このとき、外部割込み入力のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。

[MB91F52xxxD]
また、PMUCTLR:IOCTMD=1 時のスタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧リセットおよび RSTX 以外のリセット要因を受付けません。このとき、外部割込み入力のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。

■時計モード(電源遮断)の復帰要因として外部割込みを使用する場合の注意事項

時計モード(電源遮断)の復帰要因として外部割込みを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。また、NMIX 端子を時計モード(電源遮断)の復帰要因として使用しないでください。

Chapter 14: NMI 入力

NMI 入力について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

管理コード : FR81S10_NMI-1v1-91520-5-J

1. 概要

NMI 入力の概要について説明します。

NMI(Non Maskable Interrupt)は、NMIX 端子から入力されるマスクすることができない割込み入力です。NMI はストップモードからの復帰要因として使用できます。

2. 特長

NMI 入力の特長について説明します。

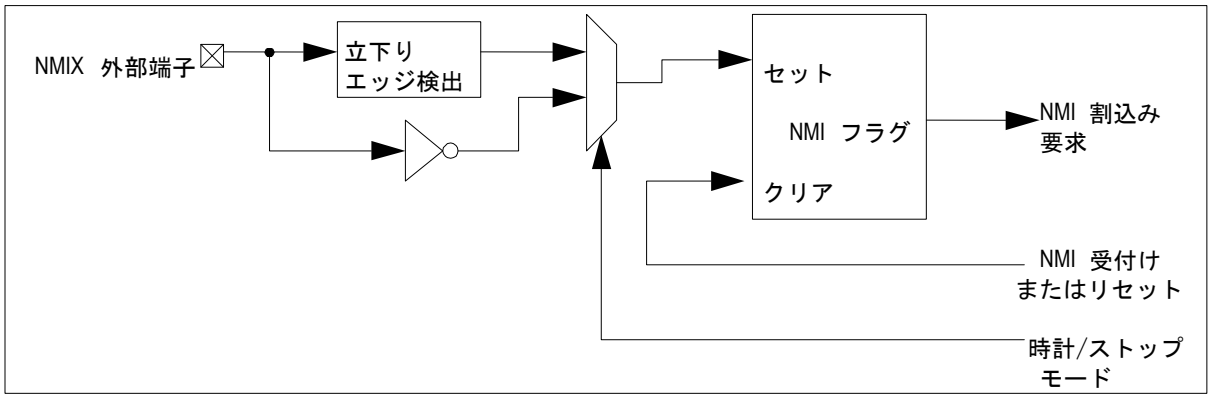
ストップモード(電源遮断含む)、時計モードで使用可能。

NMI 入力を時計モード(電源遮断)の復帰要因として使用しないでください。

3. 構成

NMI 入力の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

NMI 入力のレジスタについて説明します。

本機能は、レジスタを持ちません。

5. 動作説明

NMI 入力の動作について説明します。

■ NMI 割込みレベル

NMI は、ユーザ割込みの中で最強の割込みで、マスクできません。例外として、リセット後 CPU が ILM を設定するまで NMI はマスクされます。

■ NMI 外部端子

ストップモード中は L レベル検出、それ以外のときは立下りエッジ検出となります。

■ 割込み要求出力

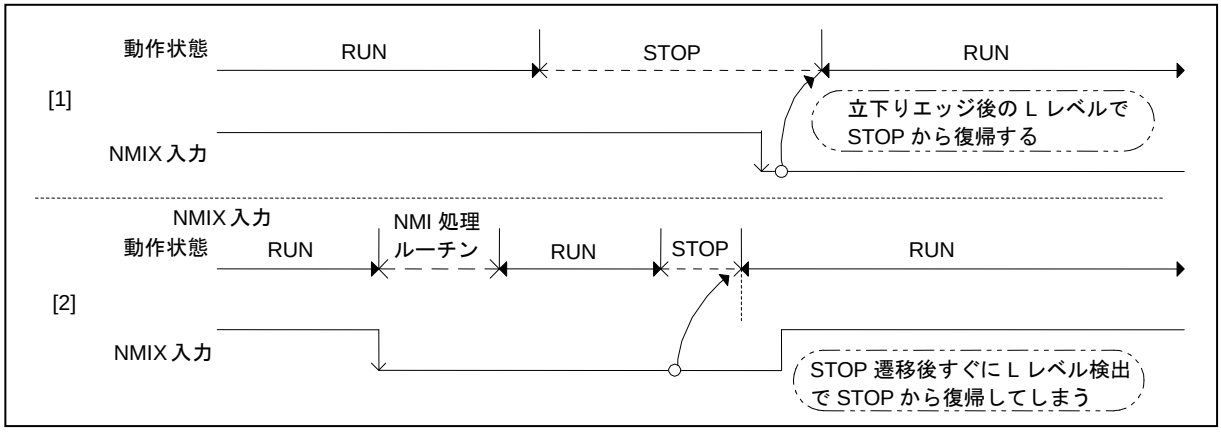
NMI 要求検出部は NMI フラグがあり、NMI 要求によりセットされ、NMI 自身の割込み受付け、またはリセットでのみクリアされます。NMI フラグはリード/ライトできません。

NMIX 外部端子による NMI か他の要因による NMI かを判別するには IRPR15H レジスタをリードしてください。同レジスタの詳細は『割込み要求一括読出し』を参照してください。

■ ストップモードからの復帰

ストップモードに遷移している時、NMIX 入力が"L"レベルで NMI 要求が割込みコントローラに出力され、ストップモードから復帰します。通常状態(ストップモードではない時)で NMI 処理ルーチン終了後、NMIX 端子を"H"レベルに戻さずにストップモードに遷移すると、ストップモードへの遷移後すぐにストップから復帰してしまいます(図 5-1[2])。また、同様に NMIX 端子を H レベルに戻さずにストップモード(電源遮断)に遷移すると、電源遮断制御はしません。ストップモード遷移前に NMIX 端子を"H"レベルに戻して、ストップモード中に NMIX 端子を"L"レベルにするようにしてください。

図 5-1 ストップモードからの復帰



＜注意事項＞

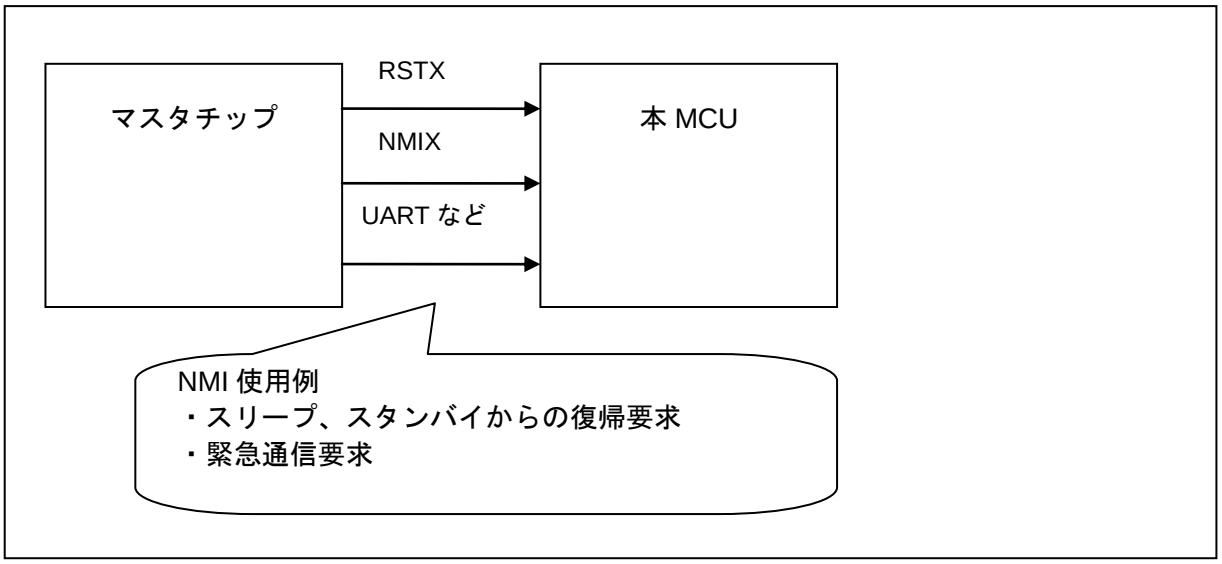
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、NMI 要求を受け付けません。

6. 使用例

NMI 入力の使用例について説明します。

NMI 機能の使用例です。

図 6-1 使用例



Chapter 15: 遅延割込み

遅延割込みについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 制限事項

管理コード : FR81S10_DINT-1v1-91520-4-J

1. 概要

遅延割込みの概要について説明します。

遅延割込みとは、OS (オペレーションシステム)でのタスク切換え用の割込みを発生するための機能です。

本機能によって、ソフトウェアで CPU に対して割込み要求の発生 / 取消しを行うことができます。

2. 特長

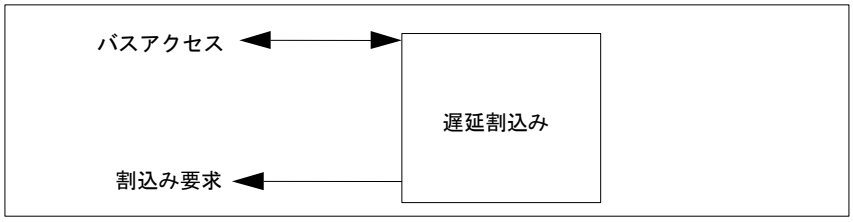
遅延割込みの特長について説明します。

レジスタ書込みにより、割込みを発生させることができます。

3. 構成

遅延割込みの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

遅延割込みのレジスタについて説明します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0044	DICR	予約	予約	予約	遅延割込み制御レジスタ

■ 遅延割込み制御レジスタ: DICR (Delayed Interrupt Control Register)

遅延割込みを制御します。

● DICR : アドレス 0044$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DLYI
初期値	1	1	1	1	1	1	1	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W

[bit0] DLYI (DeLaYed Interrupt enable) : **遅延割込み許可ビット**

遅延割込み要因の発生・解除をします。

DLYI	説明
"0"書込み	遅延割込み要因の解除
"1"書込み	遅延割込み要因の発生

5. 動作説明

遅延割込みの動作について説明します。

遅延割込みは、タスク切換え用の割込みを発生するものです。本機能を使用することにより、ソフトウェアで CPU に対して割込み要求の発生, 取消しを行うことができます。

■ 割込みベクタ番号

遅延割込みは、最も大きな割込みベクタ番号に対応した割込み要因に割り当てられています。

本コアでは、遅延割込みを割込みベクタ番号 63(0x3F)に割り当てています。

■ DICR レジスタの DLYI ビット

このビットに"1"を書き込むことで、遅延割込み要因が発生します。また、"0"を書き込むことで、遅延割込み要因を解除します。

本ビットは、ほかの割込みにおける割込み要因フラグと同じものであり、割込みルーチンの中で本ビットをクリアし、合わせてタスクの切換えを行うようにしてください。

6. 制限事項

遅延割込みの制限事項について説明します。

遅延割込みは DMA 転送要求に使用しないでください。

Chapter 16: 割込み要求一括読出し

割込み要求一括読出しの概要、特長、構成などについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : BIRPR-1v0-91520-5-J

1. 概要

割込み要求一括読出しの概要について説明します。

本モジュールにおいて、1 つの割込みベクタ番号に割り当てられた複数の割込み要求を一括で読み出すことができます。FR81 ファミリ CPU のビットサーチ命令を使用することで、どの割込み要求が発生しているかを確認できます。

2. 特長

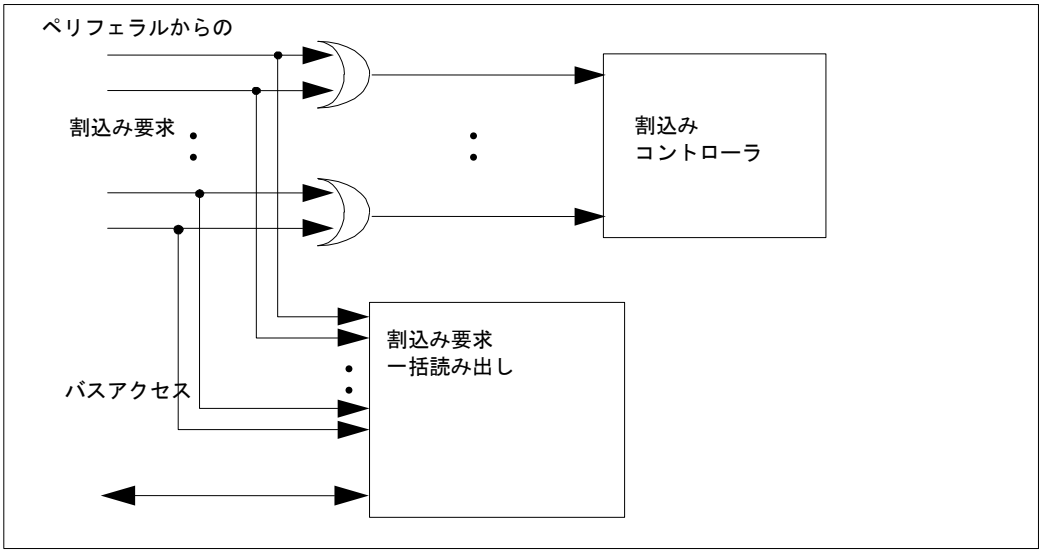
割込み要求一括読出しの特長について示します。

本モジュールを使用することにより割込み発生の有無を簡単に確認できます。

3. 構成

割込み要求一括読出しの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

割込み要求一括読出しのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0418	IRPR0H	IRPR0L	IRPR1H	IRPR1L	割込み要求一括読出しレジスタ 0 上位 (#18) 割込み要求一括読出しレジスタ 0 下位 (#19) 割込み要求一括読出しレジスタ 1 上位 (#20) 割込み要求一括読出しレジスタ 1 下位 (#22)
0x041C	予約	予約	IRPR3H	IRPR3L	割込み要求一括読出しレジスタ 3 上位 (#40) 割込み要求一括読出しレジスタ 3 下位 (#41)
0x0420	IRPR4H	IRPR4L	IRPR5H	IRPR5L	割込み要求一括読出しレジスタ 4 上位 (#42) 割込み要求一括読出しレジスタ 4 下位 (#43) 割込み要求一括読出しレジスタ 5 上位 (#44) 割込み要求一括読出しレジスタ 5 下位 (#36)
0x0424	IRPR6H	IRPR6L	IRPR7H	IRPR7L	割込み要求一括読出しレジスタ 6 上位 (#45) 割込み要求一括読出しレジスタ 6 下位 (#46) 割込み要求一括読出しレジスタ 7 上位 (#47) 割込み要求一括読出しレジスタ 7 下位 (#49)
0x0428	IRPR8H	IRPR8L	IRPR9H	IRPR9L	割込み要求一括読出しレジスタ 8 上位 (#50) 割込み要求一括読出しレジスタ 8 下位 (#51) 割込み要求一括読出しレジスタ 9 上位 (#52) 割込み要求一括読出しレジスタ 9 下位 (#53)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x042C	IRPR10H	IRPR10L	IRPR11H	IRPR11L	割込み要求一括読出しレジスタ 10 上位 (#54) 割込み要求一括読出しレジスタ 10 下位 (#55) 割込み要求一括読出しレジスタ 11 上位 (#56) 割込み要求一括読出しレジスタ 11 下位 (#57)
0x0430	IRPR12H	IRPR12L	IRPR13H	IRPR13L	割込み要求一括読出しレジスタ 12 上位 (#58) 割込み要求一括読出しレジスタ 12 下位 (#59) 割込み要求一括読出しレジスタ 13 上位 (#60) 割込み要求一括読出しレジスタ 13 下位 (#61)
0x0434	IRPR14H	IRPR14L	IRPR15H	IRPR15L	割込み要求一括読出しレジスタ 14 上位 (#62) 割込み要求一括読出しレジスタ 14 下位 (#62) 割込み要求一括読出しレジスタ 15 上位 (#15) 割込み要求一括読出しレジスタ 15 下位 (#35)

#nn : 割込みベクタ番号(10 進)

4.1. 割込み要求一括読出しレジスタ 0 上位 ：IRPR0H (Interrupt Request Peripheral Read register 0H)

割込み要求一括読出しレジスタ 0 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#18)

■ IRPR0H： アドレス 0418$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RTIR0	RTIR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RTIR0 (Reload Timer Interrupt Request 0) : リロードタイマ 0 割込み要求

[bit6] RTIR1 (Reload Timer Interrupt Request 1) : リロードタイマ 1 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.2. 割込み要求一括読出しレジスタ 0 下位 ：IRPR0L (Interrupt Request Peripheral Read register 0L)

割込み要求一括読出しレジスタ 0 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#19)

■ IRPR0L： アドレス 0419$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RTIR2	RTIR3	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RTIR2 (Reload Timer Interrupt Request 2) : リロードタイマ 2 割込み要求

[bit6] RTIR3 (Reload Timer Interrupt Request 3) : リロードタイマ 3 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.3. 割込み要求一括読出しレジスタ 1 上位 ：IRPR1H (Interrupt Request Peripheral Read register 1H)

割込み要求一括読出しレジスタ 1 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#20)

■ IRPR1H： アドレス 041A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RXIR0	ISIR0	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RXIR0 (Multi-Function-Serial-Interface RX Interrupt Request 0) : マルチファンクションシリアルインタフェース ch.0 受信完了割込み要求

[bit6] ISIR0 (Multi-Function-Serial-Interface Status Interrupt Request 0) : マルチファンクションシリアルインタフェース ch.0 状態割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.4. 割込み要求一括読出しレジスタ 1 下位 : IRPR1L (Interrupt Request Peripheral Read register 1L)

割込み要求一括読出しレジスタ 1 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#22)

■ IRPR1L : アドレス 041B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RXIR1	ISIR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] RXIR1 (Multi-Function-Serial-Interface RX Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 受信完了割込み要求

[bit6] ISIR1 (Multi-Function-Serial-Interface Status Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 状態割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.5. 割込み要求一括読出しレジスタ 3 上位 : IRPR3H (Interrupt Request Peripheral Read register 3H)

割込み要求一括読出しレジスタ 3 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#40)

■ IRPR3H : アドレス 041E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPGIR0	PPGIR1	PPGIR10	PPGIR11	PPGIR20	PPGIR21	予約	
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX

[bit7] PPGIR0 (PPG Interrupt Request 0) : PPG0 割込み要求
[bit6] PPGIR1 (PPG Interrupt Request 1) : PPG1 割込み要求
[bit5] PPGIR10 (PPG Interrupt Request10) : PPG10 割込み要求
[bit4] PPGIR11 (PPG Interrupt Request 11) : PPG11 割込み要求
[bit3] PPGIR20 (PPG Interrupt Request 20) : PPG20 割込み要求
[bit2] PPGIR21 (PPG Interrupt Request 21) : PPG21 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.6. 割込み要求一括読出しレジスタ 3 下位 ：IRPR3L (Interrupt Request Peripheral Read register 3L)

割込み要求一括読出しレジスタ 3 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#41)

■ IRPR3L： アドレス 041F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPGIR2	PPGIR3	PPGIR12	PPGIR13	PPGIR22	PPGIR23	予約	
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX

[bit7] PPGIR2 (PPG Interrupt Request 2) : PPG2 割込み要求
[bit6] PPGIR3 (PPG Interrupt Request 3) : PPG3 割込み要求
[bit5] PPGIR12 (PPG Interrupt Request 12) : PPG12 割込み要求
[bit4] PPGIR13 (PPG Interrupt Request 13) : PPG13 割込み要求
[bit3] PPGIR22 (PPG Interrupt Request 22) : PPG22 割込み要求
[bit2] PPGIR23 (PPG Interrupt Request 23) : PPG23 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.7. 割込み要求一括読出しレジスタ 4 上位 : IRPR4H (Interrupt Request Peripheral Read register 4H)

割込み要求一括読出しレジスタ 4 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#42)

■ IRPR4H : アドレス 0420$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPGIR4	PPGIR5	PPGIR14	PPGIR15	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PPGIR4 (PPG Interrupt Request 4) : PPG4 割込み要求
[bit6] PPGIR5 (PPG Interrupt Request 5) : PPG5 割込み要求
[bit5] PPGIR14 (PPG Interrupt Request 14) : PPG14 割込み要求
[bit4] PPGIR15 (PPG Interrupt Request 15) : PPG15 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.8. 割込み要求一括読出しレジスタ 4 下位 : IRPR4L (Interrupt Request Peripheral Read register 4L)

割込み要求一括読出しレジスタ 4 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#43)

■ IRPR4L : アドレス 0421$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPGIR6	PPGIR7	PPGIR16	PPGIR17	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PPGIR6 (PPG Interrupt Request 6) : PPG6 割込み要求
[bit6] PPGIR7 (PPG Interrupt Request 7) : PPG7 割込み要求
[bit5] PPGIR16 (PPG Interrupt Request 16) : PPG16 割込み要求
[bit4] PPGIR17 (PPG Interrupt Request 17) : PPG17 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.9. 割込み要求一括読出しレジスタ 5 上位 ：IRPR5H (Interrupt Request Peripheral Read register 5H)

割込み要求一括読出しレジスタ 5 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#44)

■ IRPR5H： アドレス 0422$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PPGIR8	PPGIR9	PPGIR18	PPGIR19	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] PPGIR8 (PPG Interrupt Request 8) : PPG8 割込み要求
[bit6] PPGIR9 (PPG Interrupt Request 9) : PPG9 割込み要求
[bit5] PPGIR18 (PPG Interrupt Request 18) : PPG18 割込み要求
[bit4] PPGIR19 (PPG Interrupt Request 19) : PPG19 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.10. 割込み要求一括読出しレジスタ 5 下位 ：IRPR5L (Interrupt Request Peripheral Read register 5L)

割込み要求一括読出しレジスタ 5 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#36)。

■ IRPR5L： アドレス 0423$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CANIR2	UDCIR0	UDCIR1	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] CANIR2 (CAN Interrupt Request 2) : CAN ch.2 割込み要求

[bit6] UDCIR0 (UpDown Counter Interrupt Request 0) : アップダウンカウンタ ch.0 割込み要求

[bit5] UDCIR1 (UpDown Counter Interrupt Request 1) : アップダウンカウンタ ch.1 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.11. 割込み要求一括読出しレジスタ 6 上位 ：IRPR6H (Interrupt Request Peripheral Read register 6H)

割込み要求一括読出しレジスタ 6 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#45)

■ IRPR6H： アドレス 0424$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		RXIR8	ISIR8	予約			
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit5] RXIR8 (multifunction serial RX Interrupt Request 8) マルチファンクションシリアルインタフェース ch.8 受信完了割込み要求

[bit4] ISIR8 (multifunction serial Inform Status Interrupt Request 8) マルチファンクションシリアルインタフェース ch.8 状態割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.12. 割込み要求一括読出しレジスタ 6 下位 : IRPR6L (Interrupt Request Peripheral Read register 6L)

割込み要求一括読出しレジスタ 6 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#46)

■ IRPR6L : アドレス 0425$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MTIR	STIR	PTIR	TXIR8	予約			
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] MTIR (Main Timer Interrupt Request) : メインタイマ割込み要求

[bit6] STIR (Sub Timer Interrupt Request) : サブタイマ割込み要求

[bit5] PTIR (PLL Timer Interrupt Request) : PLL タイマ割込み要求

[bit4] TXIR8 (multifunction serial TX Interrupt Request 8) : マルチファンクションシリアルインタフェース ch.8 送信完了割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.13. 割込み要求一括読出しレジスタ 7 上位 ：IRPR7H (Interrupt Request Peripheral Read register 7H)

割込み要求一括読出しレジスタ 7 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#47)

■ IRPR7H： アドレス 0426$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	SUBIR	予約	RXIR9	ISIR9	予約		
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX

[bit6] SUBIR (SUB Interrupt Request) : クロックキャリブレーション(Sub)割込み要求

[bit4] RXIR9 (multifunction serial RX Interrupt Request 9) : マルチファンクションシリアルインタフェース ch.9 受信完了割込み要求

[bit3] ISIR9 (multifunction serial Inform Status Interrupt Request 9) : マルチファンクションシリアルインタフェース ch.9 状態割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.14. 割込み要求一括読出しレジスタ 7 下位 ：IRPR7L (Interrupt Request Peripheral Read register 7L)

割込み要求一括読出しレジスタ 7 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#49)

■ IRPR7L： アドレス 0427$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						CRIR	TXIR9
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX

[bit1] CRIR (CR clock calibration Interrupt Request) : クロックキャリブレーション(CR)割込み要求

[bit0] TXIR9 (multifunction serial TX Interrupt Request 9) : マルチファンクションシリアルインタフェース ch.9 送信完了割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.15. 割込み要求一括読出しレジスタ 8 上位 ：IRPR8H (Interrupt Request Peripheral Read register 8H)

割込み要求一括読出しレジスタ 8 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#50)

■ IRPR8H : アドレス 0428$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		FRTIR4	予約				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit5] FRTIR4 (FRT Interrupt Request 4) : フリーランタイマ ch.4 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.16. 割込み要求一括読出しレジスタ 8 下位 ：IRPR8L (Interrupt Request Peripheral Read register 8L)

割込み要求一括読出しレジスタ 8 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#51)

■ IRPR8L： アドレス 0429$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FRTIR3	FRTIR5	予約				
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] FRTIR3 (FRT Interrupt Request 3) : フリーランタイマ ch.3 割込み要求

[bit5] FRTIR5 (FRT Interrupt Request 5) : フリーランタイマ ch.5 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.17. 割込み要求一括読出しレジスタ 9 上位 ：IRPR9H (Interrupt Request Peripheral Read register 9H)

割込み要求一括読出しレジスタ 9 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#52)

■ IRPR9H： アドレス 042A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICUIR6	予約					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] ICUIR6 (ICU Interrupt Request 6) : インプットキャプチャ ch.6 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.18. 割込み要求一括読出しレジスタ 9 下位 : IRPR9L (Interrupt Request Peripheral Read register 9L)

割込み要求一括読出しレジスタ 9 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#53)

■ IRPR9L : アドレス 042B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICUIR7	予約					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] ICUIR7 (ICU Interrupt Request 7) : インプットキャプチャ ch.7 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.19. 割込み要求一括読出しレジスタ 10 上位 ：IRPR10H (Interrupt Request Peripheral Read register 10H)

割込み要求一括読出しレジスタ 10 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#54)

■ IRPR10H： アドレス 042C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICUIR8	予約					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] ICUIR8 (ICU Interrupt Request 8) : インプットキャプチャ ch.8 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.20. 割込み要求一括読出しレジスタ 10 下位 ：IRPR10L (Interrupt Request Peripheral Read register 10L)

割込み要求一括読出しレジスタ 10 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#55)

■ IRPR10L： アドレス 042D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ICUIR9	予約					
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit6] ICUIR9 (ICU Interrupt Request 9) : インプットキャプチャ ch.9 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.21. 割込み要求一括読出しレジスタ 11 上位 ：IRPR11H (Interrupt Request Peripheral Read register 11H)

割込み要求一括読出しレジスタ 11 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#56)

■ IRPR11H： アドレス 042E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICUIR4	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] ICUIR4 (ICU Interrupt Request 4) : インプットキャプチャ ch.4 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.22. 割込み要求一括読出しレジスタ 11 下位 ：IRPR11L (Interrupt Request Peripheral Read register 11L)

割込み要求一括読出しレジスタ 11 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#57)

■ IRPR11L： アドレス 042F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICUIR5	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] ICUIR5 (ICU Interrupt Request 5) : インプットキャプチャ ch.5 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.23. 割込み要求一括読出しレジスタ 12 上位 ：IRPR12H (Interrupt Request Peripheral Read register 12H)

割込み要求一括読出しレジスタ 12 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#58)

■ IRPR12H： アドレス 0430$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約		OCUIR6	OCUIR7	OCUIR10	OCUIR11	予約	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX

[bit5] OCUIR6 (OCU Interrupt Request 6) : アウトプットコンペア ch.6 割込み要求
[bit4] OCUIR7 (OCU Interrupt Request 7) : アウトプットコンペア ch.7 割込み要求
[bit3] OCUIR10 (OCU Interrupt Request 10) : アウトプットコンペア ch.10 割込み要求
[bit2] OCUIR11(OCU Interrupt Request 11) : アウトプットコンペア ch.11 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.24. 割込み要求一括読出しレジスタ 12 下位 ：IRPR12L (Interrupt Request Peripheral Read register 12L)

割込み要求一括読出しレジスタ 12 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#59)

■ IRPR12L： アドレス 0431$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	OCUIR8	OCUIR9	予約	
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX	R0,WX	R0,WX

[bit3] OCUIR8 (OCU Interrupt Request 8) : アウトプットコンペア ch.8 割込み要求
[bit2] OCUIR9 (OCU Interrupt Request 9) : アウトプットコンペア ch.9 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.25. 割込み要求一括読出しレジスタ 13 上位 ：IRPR13H (Interrupt Request Peripheral Read register 13H)

割込み要求一括読出しレジスタ 13 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#60)

■ IRPR13H： アドレス 0432$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT0IR0	BT0IR1	予約					
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT0IR0 (BT0 Interrupt Request 0) : ベースタイマ ch.0 割込み要求 0
[bit6] BT0IR1 (BT0 Interrupt Request 1) : ベースタイマ ch.0 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.26. 割込み要求一括読出しレジスタ 13 下位 ：IRPR13L (Interrupt Request Peripheral Read register 13L)

割込み要求一括読出しレジスタ 13 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#61)

■ IRPR13L： アドレス 0433$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BT1IR0	BT1IR1	予約	予約	予約	予約		
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] BT1IR0 (BT1 Interrupt Request 0) : ベースタイマ ch.1 割込み要求 0

[bit6] BT1IR1 (BT1 Interrupt Request 1) : ベースタイマ ch.1 割込み要求 1

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.27. 割込み要求一括読出しレジスタ 14 上位 ：IRPR14H (Interrupt Request Peripheral Read register 14H)

割込み要求一括読出しレジスタ 14 上位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#62)

■ IRPR14H： アドレス 0434$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMAC0IR	DMAC1IR	DMAC2IR	DMAC3IR	DMAC4IR	DMAC5IR	DMAC6IR	DMAC7IR
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] DMAC0IR (DMAC 0 Interrupt Request) : DMAC ch.0 割込み要求

[bit6] DMAC1IR (DMAC 1 Interrupt Request) : DMAC ch.1 割込み要求

[bit5] DMAC2IR (DMAC 2 Interrupt Request) : DMAC ch.2 割込み要求

[bit4] DMAC3IR (DMAC 3 Interrupt Request) : DMAC ch.3 割込み要求

[bit3] DMAC4IR (DMAC 4 Interrupt Request) : DMAC ch.4 割込み要求
[bit2] DMAC5IR (DMAC 5 Interrupt Request) : DMAC ch.5 割込み要求
[bit1] DMAC6IR (DMAC 6 Interrupt Request) : DMAC ch.6 割込み要求
[bit0] DMAC7IR (DMAC 7 Interrupt Request) : DMAC ch.7 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.28. 割込み要求一括読出しレジスタ 14 下位 ：IRPR14L (Interrupt Request Peripheral Read register 14L)

割込み要求一括読出しレジスタ 14 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#62)

■ IRPR14L： アドレス 0435$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMAC8IR	DMAC9IR	DMAC10IR	DMAC11IR	DMAC12IR	DMAC13IR	DMAC14IR	DMAC15IR
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7] DMAC8IR (DMAC 8 Interrupt Request) : DMAC ch.8 割込み要求
[bit6] DMAC9IR (DMAC 9 Interrupt Request) : DMAC ch.9 割込み要求
[bit5] DMAC10IR (DMAC 10 Interrupt Request) : DMAC ch.10 割込み要求
[bit4] DMAC11IR (DMAC 11 Interrupt Request) : DMAC ch.11 割込み要求
[bit3] DMAC12IR (DMAC 12 Interrupt Request) : DMAC ch.12 割込み要求
[bit2] DMAC13IR (DMAC 13 Interrupt Request) : DMAC ch.13 割込み要求
[bit1] DMAC14IR (DMAC 14 Interrupt Request) : DMAC ch.14 割込み要求
[bit0] DMAC15IR (DMAC 15 Interrupt Request) : DMAC ch.15 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

4.29. 割込み要求一括読出しレジスタ 15 上位 ：IRPR15H (Interrupt Request Peripheral Read register 15H)

割込み要求一括読出しレジスタ 15 上位のビット構成は、以下のとおりです。

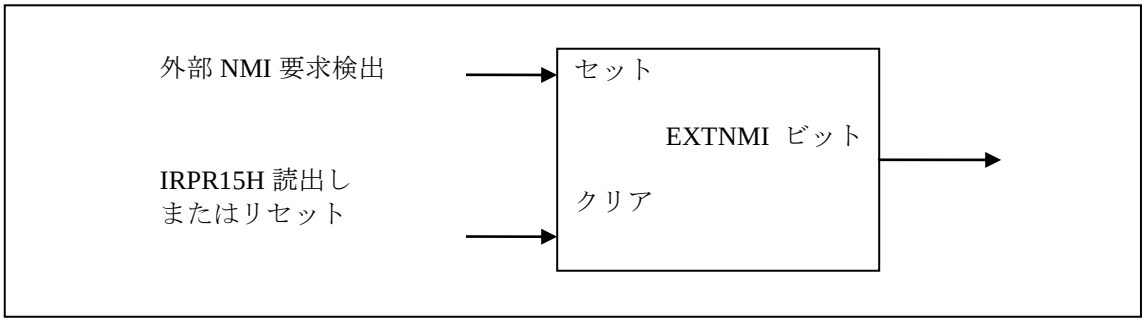
割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#15)

■ IRPR15H : アドレス 0436$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EXTNMI	XB_ECC_DE	BR_ECC_DE	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

[bit7] EXTNMI : 外部 NMI 要求

EXTNMI ビットは、外部 NMI 要求の検出によりセットされ、本レジスタのリードによりクリアされます。



[bit6] XB_ECC_DE : XBS RAM ダブルビットエラー発生割込み要求

[bit5] BR_ECC_DE : Backup RAM ダブルビットエラー発生割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
NMI 要求は保持できません。

4.30. 割込み要求一括読出しレジスタ 15 下位 ：IRPR15L (Interrupt Request Peripheral Read register 15L)

割込み要求一括読出しレジスタ 15 下位のビット構成は、以下のとおりです。

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号#35)

■ IRPR15L： アドレス 0437$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CANIR1	XBTC	XBIC	XBTE	BRTC	BRIC	BRTE	予約
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX

[bit7] CANIR1(CAN Interrupt Request 1) : CAN ch.1 割込み要求

[bit6] XBTC(XBs ram Test Completed interrupt request) : XBS RAM 診断終了割込み要求

[bit5] XBIC(XBs ram Initialization Completed interrupt request) : XBS RAM 初期化完了割込み要求

[bit4] XBTE(XBs ram Test Error interrupt request) : XBS RAM 診断時エラー発生割込み要求

[bit3] BRTC(Backup RAM Test Completed interrupt request) : Backup RAM 診断終了割込み要求

[bit2] BRIC(Backup RAM Initialization Completed interrupt request) : Backup RAM 初期化完了割込み要求

[bit1] BRTE(Backup RAM Test Error interrupt request) : Backup RAM 診断時エラー発生割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

5. 動作説明

割込み要求一括読出しの動作について説明します。

各割込みハンドラ内において、各レジスタを読み出し、どのビットがセットされているかで、どの割込み要求が発生しているのかを判断します。

＜注意事項＞

外部割込み入力用には本レジスタ機能は用意されていません。外部割込み入力の EIRR0、EIRR1 レジスタを読み出してください。

Chapter 17: PPG

PPG について説明します。

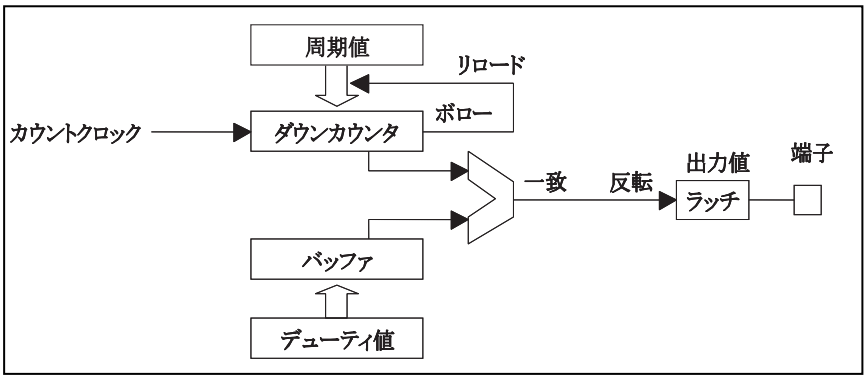
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード：FS30-4v2-91520-13-J

1. 概要

PPG の概要について説明します。

プログラマブルパルスジェネレータ(PPG)は、ワンショット(矩形波)出力、または、パルス幅変調(PWM)出力を得るために使用します。周期とデューティをソフトウェアでプログラム可能なことにより、PPG は広範なアプリケーションに容易に適合できます。



使用可能な外部出力端子数は以下になります。
MB91F52xB (64pin) : 21
MB91F52xD (80pin) : 27
MB91F52xF (100pin) : 34
MB91F52xJ (120pin) : 38
MB91F52xK (144pin) : 44
MB91F52xL (176pin) : 48

2. 特長

PPG の特長について説明します。

- **クランプ出力**
  - 通常極性 :"L"クランプ出力
  - 反転極性 :"H"クランプ出力
- **カウントクロック**
  - 次の 4 種類から選択
    周辺クロックの 1, 1/4, 1/16, 1/64 で出力

● 周期

・設定範囲 = デューティ値～65535(16 ビットレジスタで指定)
・周期 = カウントクロック × (PCSR レジスタ値＋1)
(例)カウントクロック = 32MHz(31.25ns), PCSR 値 = 63999

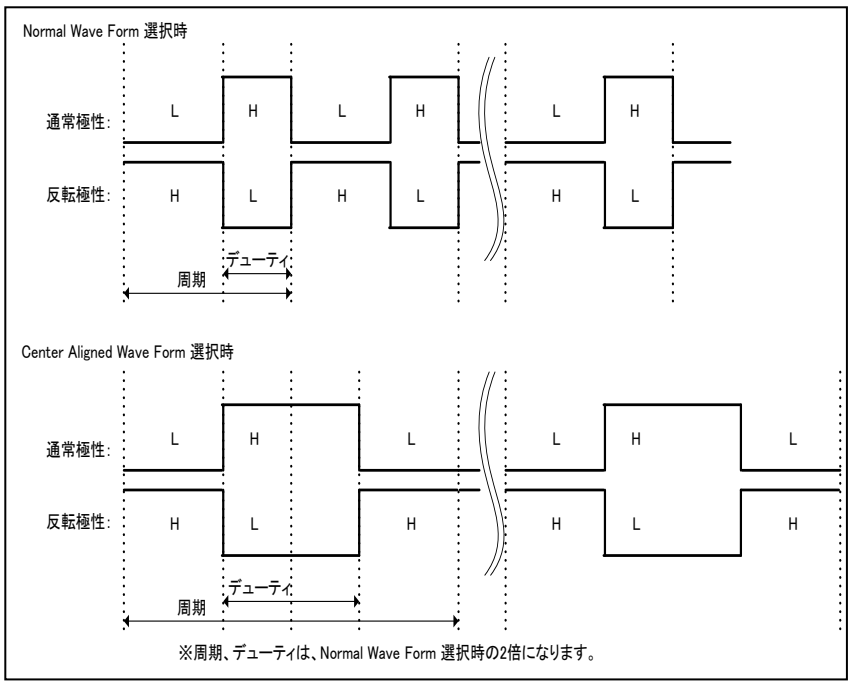
周期 = 31.25ns × (63999+1) = 2ms
* PPG 通信モード時の High/Low フォーマット用周期設定(PHCSR/PLCSR)も同様

● デューティ

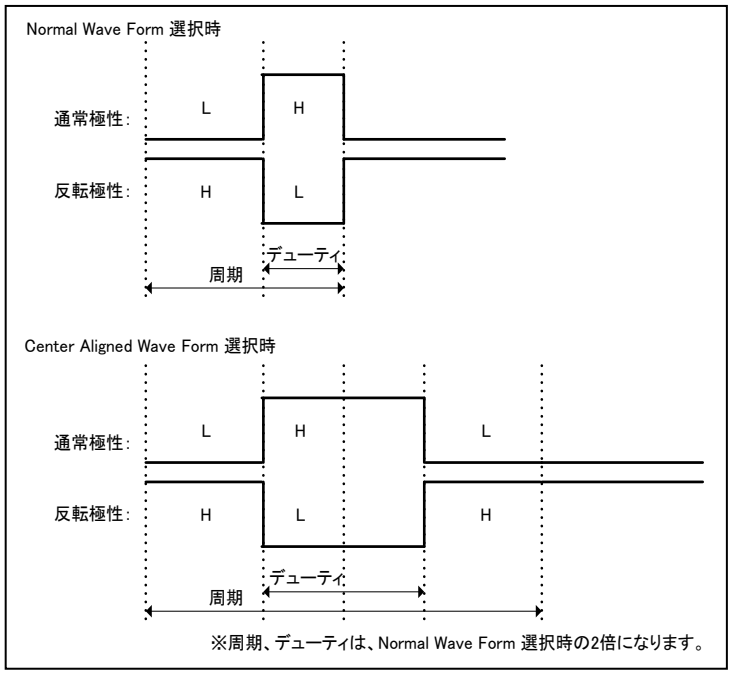
・設定範囲 = 0～周期値(16 ビットレジスタで指定)
・デューティ = カウントクロック(PDUT レジスタ値＋1)
* PPG 通信モード時の High/Low フォーマット用デューティ設定
(PHDUT/PLDUT)も同様

● 出力波形

・PWM 波形

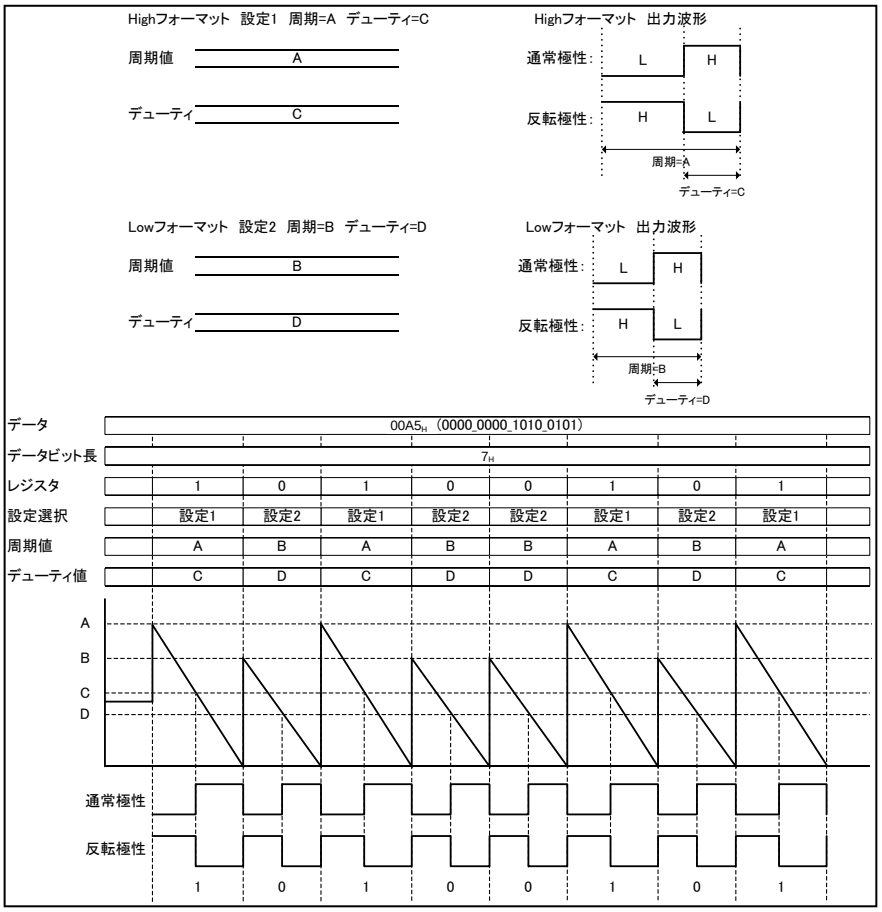


・ワンショット波形(矩形波)



・High/Low フォーマット波形

High フォーマットと Low フォーマットの周期、デューティをそれぞれ設定し、データ設定通りに出力波形を変化させます



● 割込み

・次の 6 種類から選択

- ソフトウェアトリガ、または、外部トリガ(TRG 端子)
- カウンタのボロー発生(設定した周期が一致)
- デューティの一致
- カウンタのボロー発生(設定した周期が一致)、または、デューティの一致
- Timing Point Capture の一致
- PPG 通信データレジスタ Empty フラグ

● 起動トリガ

・ソフトウェアトリガ

・外部トリガ(TRG 端子)

起動トリガは外部からの入力となります。

起動トリガは次のトリガから 1 つが選択されます。

- 内部トリガ(EN0～EN47)

・ 外部トリガ(TRG 端子 0～11)
・ リロードタイマ 0/1

● GATE 機能

・波形ジェネレータからの GATE 信号により、PPG の起動・停止を行います。

● Start Delay モード

・PWM, ワンショット動作、および Normal Wave Form, Center Aligned Wave Form をサポートします。
・設定範囲 = 0～65535(16 ビットレジスタで指定)
・Delay 範囲 = カウントクロック × (PSDR レジスタ値＋1)

(例)Normal Wave Form: カウントクロック = 32MHz(31.25ns), PSDR 値 = 63999
周期 = 31.25ns × (63999＋1) = 2ms

(例)Center Aligned Wave Form:カウントクロック = 32MHz(31.25ns), PSDR 値 = 63999
周期 = 31.25ns × {(63999+1)× 2}=4ms

● Timing Point Capture モード

・Timing Point Capture 設定値のタイミングで、A/D 起動トリガを発生

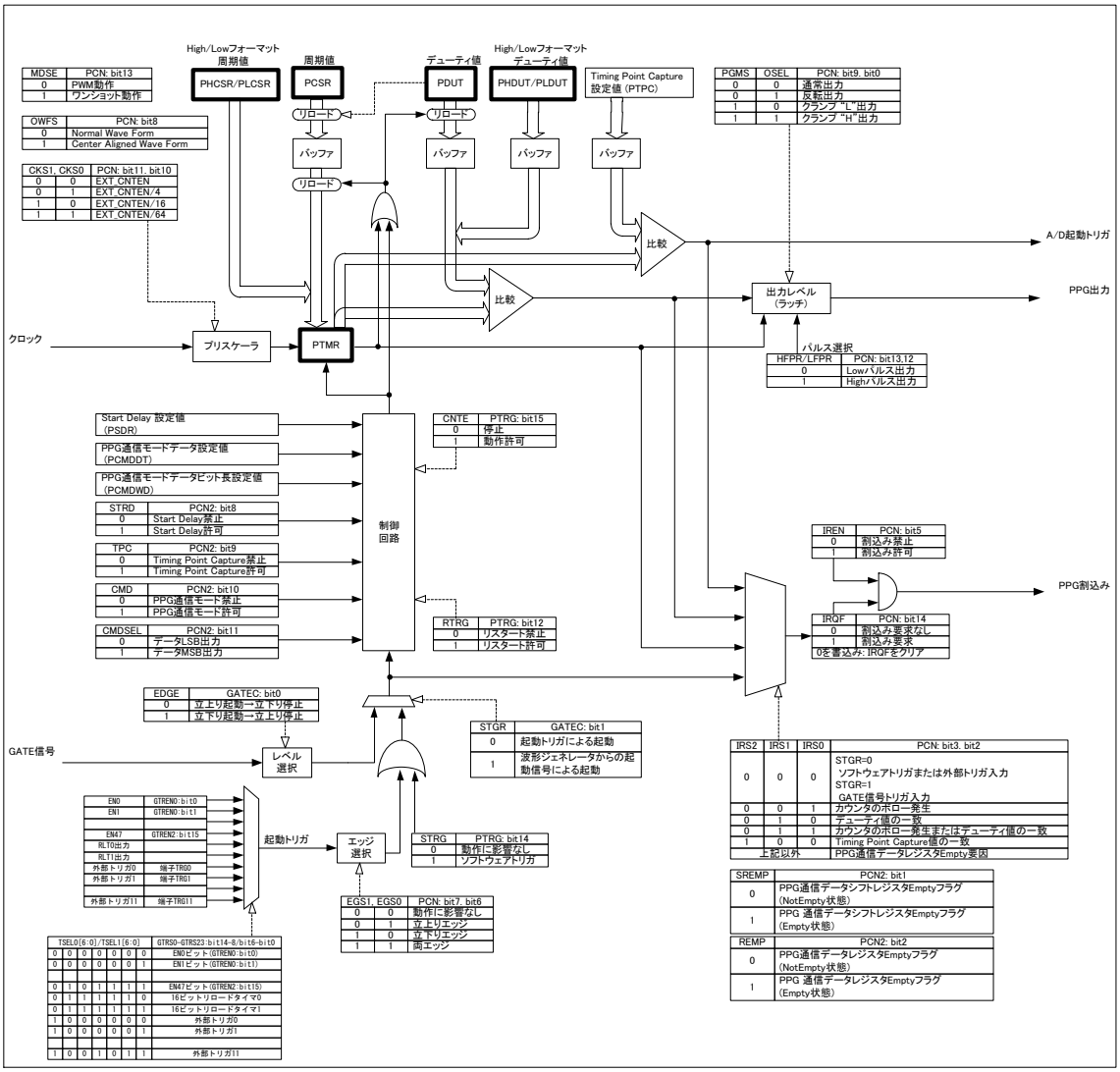
● PPG 通信モード

High フォーマットと Low フォーマットの周期、デューティの設定

3. 構成

PPG の構成について説明します。

図 3-1 PPG のブロックダイヤグラム



MDSE	PCN: bit13
0	PWM動作
1	ワンショット動作

OWFS	PCN: bit8
0	Normal Wave Form
1	Center Aligned Wave Form

CKS1, CKS0	PCN: bit11, bit10	
0	0	EXT_CNTEN
0	1	EXT_CNTEN/4
1	0	EXT_CNTEN/16
1	1	EXT_CNTEN/64

PGMS	OSEL	PCN: bit9, bit0
0	0	通常出力
0	1	反転出力
1	0	クランプ "L" 出力
1	1	クランプ "H" 出力

HFPR/LFPR	PCN: bit13,12
0	Lowパルス出力
1	Highパルス出力

CNTE	PTRG: bit15
0	停止
1	動作許可

STRD	PCN2: bit8
0	Start Delay禁止
1	Start Delay許可

TPC	PCN2: bit9
0	Timing Point Capture禁止
1	Timing Point Capture許可

CMD	PCN2: bit10
0	PPG通信モード禁止
1	PPG通信モード許可

CMDSEL	PCN2: bit11
0	データLSB出力
1	データMSB出力

RTRG	PTRG: bit12
0	リスタート禁止
1	リスタート許可

IREN	PCN: bit5
0	割込み禁止
1	割込み許可

IRQF	PCN: bit14
0	割込み要求なし
1	割込み要求
0を書込み: IRQFをクリア	

EDGE	GATEC: bit0
0	立上り起動一立下り停止
1	立下り起動一立上り停止

STGR	GATEC: bit1
0	起動トリガによる起動
1	波形ジェネレータからの起動信号による起動

IRS2	IRS1	IRS0	PCN: bit3, bit2
0	0	0	STGR=0 ソフトウェアトリガまたは外部トリガ入力 STGR=1 GATE信号トリガ入力
0	0	1	カウンタのボロー発生
0	1	0	デューティ値の一致
0	1	1	カウンタのボロー発生またはデューティ値の一致
1	0	0	Timing Point Capture値の一致
上記以外			PPG通信データレジスタEmpty要因

ENO	GTREN0: bit0
EN1	GTREN0: bit1
EN47	GTREN2: bit15
RLT0出力	
RLT1出力	
外部トリガ0	端子TRG0
外部トリガ1	端子TRG1
外部トリガ11	端子TRG11

TSEL0[6:0]/TSEL1[6:0]	GTRS0-GTRS23: bit14-8/bit6-bit0
0 0 0 0 0 0 0	ENOビット(GTREN0: bit0)
0 0 0 0 0 0 1	EN1ビット(GTREN0: bit1)
0 1 0 1 1 1 1	EN47ビット(GTREN2: bit15)
0 1 1 1 1 1 0	16ビットリロードタイマ0
0 1 1 1 1 1 1	16ビットリロードタイマ1
1 0 0 0 0 0 0	外部トリガ0
1 0 0 0 0 0 1	外部トリガ1
1 0 0 1 0 1 1	外部トリガ11

EGS1, EGS0	PCN: bit7, bit6
0 0	動作に影響なし
0 1	立上りエッジ
1 0	立下りエッジ
1 1	両エッジ

STRG	PTRG: bit14
0	動作に影響なし
1	ソフトウェアトリガ

SREMP	PCN2: bit1
0	PPG通信データシフトレジスタEmptyフラグ (NotEmpty状態)
1	PPG 通信データシフトレジスタEmptyフラグ (Empty状態)

REMP	PCN2: bit2
0	PPG通信データレジスタEmptyフラグ (NotEmpty状態)
1	PPG 通信データレジスタEmptyフラグ (Empty状態)

4. レジスタ

PPG のレジスタについて説明します。

■ 外部端子一覧表

チャネル	外部端子 (PPG 出力)					
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK	MB91F52xL
0	なし	なし	なし	PPG0_1	PPG0_0/ PPG0_1	PPG0_0/ PPG0_1
1	PPG1_0/ PPG1_1	PPG1_0/ PPG1_1	PPG1_0/ PPG1_1	PPG1_0/ PPG1_1	PPG1_0/ PPG1_1	PPG1_0/ PPG1_1
2	PPG2_0	PPG2_0	PPG2_0/ PPG2_1	PPG2_0/ PPG2_1	PPG2_0/ PPG2_1	PPG2_0/ PPG2_1
3	PPG3_1	PPG3_1	PPG3_1	PPG3_1	PPG3_0/ PPG3_1	PPG3_0/ PPG3_1
4	PPG4_1	PPG4_1	PPG4_1	PPG4_1	PPG4_0/ PPG4_1	PPG4_0/ PPG4_1
5	なし	PPG5_1	PPG5_1	PPG5_1	PPG5_0/ PPG5_1	PPG5_0/ PPG5_1
6	なし	なし	PPG6_0	PPG6_0	PPG6_0	PPG6_0
7	PPG7_0	PPG7_0	PPG7_0	PPG7_0	PPG7_0	PPG7_0
8	なし	PPG8_0	PPG8_0	PPG8_0	PPG8_0	PPG8_0
9	なし	なし	PPG9_0	PPG9_0	PPG9_0	PPG9_0
10	PPG10_0	PPG10_0	PPG10_0	PPG10_0	PPG10_0	PPG10_0
11	PPG11_0	PPG11_0	PPG11_0	PPG11_0	PPG11_0	PPG11_0
12	PPG12_0	PPG12_0	PPG12_0	PPG12_0	PPG12_0	PPG12_0
13	PPG13_0	PPG13_0	PPG13_0	PPG13_0	PPG13_0	PPG13_0
14	なし	なし	PPG14_0	PPG14_0	PPG14_0	PPG14_0
15	なし	PPG15_0	PPG15_0	PPG15_0	PPG15_0	PPG15_0
16	PPG16_1	PPG16_1	PPG16_1	PPG16_0/ PPG16_1	PPG16_0/ PPG16_1	PPG16_0/ PPG16_1
17	PPG17_1	PPG17_1	PPG17_1	PPG17_0/ PPG17_1	PPG17_0/ PPG17_1	PPG17_0/ PPG17_1
18	なし	PPG18_0	PPG18_0	PPG18_0	PPG18_0	PPG18_0
19	PPG19_0	PPG19_0	PPG19_0	PPG19_0	PPG19_0	PPG19_0
20	PPG20_0	PPG20_0	PPG20_0	PPG20_0	PPG20_0	PPG20_0
21	なし	なし	PPG21_0	PPG21_0	PPG21_0	PPG21_0
22	なし	なし	なし	PPG22_0	PPG22_0	PPG22_0
23	PPG23_0	PPG23_0	PPG23_0	PPG23_0	PPG23_0/ PPG23_1	PPG23_0/ PPG23_1
24	PPG24_0	PPG24_0	PPG24_0	PPG24_0	PPG24_0	PPG24_0/ PPG24_1
25	なし	なし	PPG25_0	PPG25_0	PPG25_0	PPG25_0/ PPG25_1
26	なし	PPG26_0	PPG26_0	PPG26_0	PPG26_0	PPG26_0/ PPG26_1

チャネル	外部端子 (PPG 出力)					
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK	MB91F52xL
27	PPG27_0	PPG27_0	PPG27_0	PPG27_0	PPG27_0	PPG27_0/ PPG27_1
28	なし	なし	PPG28_0	PPG28_0	PPG28_0	PPG28_0/ PPG28_1
29	なし	PPG29_0	PPG29_0	PPG29_0	PPG29_0	PPG29_0/ PPG29_1
30	PPG30_0	PPG30_0	PPG30_0	PPG30_0	PPG30_0	PPG30_0/ PPG30_1
31	PPG31_0	PPG31_0	PPG31_0	PPG31_0	PPG31_0	PPG31_0/ PPG31_1
32	なし	なし	なし	PPG32_0	PPG32_0	PPG32_0/ PPG32_1
33	なし	なし	なし	PPG33_0	PPG33_0	PPG33_0/ PPG33_1
34	なし	なし	なし	なし	PPG34_0	PPG34_0/ PPG34_1
35	PPG35_0	PPG35_0	PPG35_0	PPG35_0	PPG35_0	PPG35_0/ PPG35_1
36	なし	なし	なし	なし	PPG36_0	PPG36_0/ PPG36_1
37	PPG37_0	PPG37_0	PPG37_0	PPG37_0	PPG37_0	PPG37_0/ PPG37_1
38	なし	なし	なし	なし	PPG38_0	PPG38_0/ PPG38_1
39	なし	なし	なし	なし	PPG39_0	PPG39_0/ PPG39_1
40	なし	なし	なし	なし	PPG40_1	PPG40_0/ PPG40_1
41	なし	なし	なし	なし	PPG41_1	PPG41_0/ PPG41_1
42	なし	なし	なし	なし	なし	PPG42_0
43	PPG43_1	PPG43_1	PPG43_1	PPG43_1	PPG43_1	PPG43_0/ PPG43_1
44	なし	なし	PPG44_1	PPG44_1	PPG44_1	PPG44_0/ PPG44_1
45	なし	なし	なし	なし	なし	PPG45_0
46	なし	なし	なし	なし	なし	PPG46_0
47	なし	なし	なし	なし	なし	PPG47_0

チャネル	外部端子 (PPG トリガ入力)					
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK	MB91F52xL
0	TRG0_1/ TRG0_2	TRG0_1/ TRG0_2	TRG0_1/ TRG0_2	TRG0_1/ TRG0_2	TRG0_0/ TRG0_1/ TRG0_2	TRG0_0/ TRG0_1/ TRG0_2
1	なし	なし	TRG1_1	TRG1_1	TRG1_0/ TRG1_1	TRG1_0/ TRG1_1
2	なし	TRG2_1	TRG2_1	TRG2_1	TRG2_0/ TRG2_1	TRG2_0/ TRG2_1
3	TRG3_0/ TRG3_1	TRG3_0/ TRG3_1	TRG3_0/ TRG3_1	TRG3_0/ TRG3_1	TRG3_0/ TRG3_1	TRG3_0/ TRG3_1
4	なし	なし	なし	TRG4_0/ TRG4_1	TRG4_0/ TRG4_1	TRG4_0/ TRG4_1
5	なし	なし	なし	TRG5_0/ TRG5_1	TRG5_0/ TRG5_1	TRG5_0/ TRG5_1/ TRG5_2
6	なし	なし	TRG6_0	TRG6_0/ TRG6_1	TRG6_0/ TRG6_1	TRG6_0/ TRG6_1/ TRG6_2
7	TRG7_0	TRG7_0	TRG7_0	TRG7_0/ TRG7_1	TRG7_0/ TRG7_1	TRG7_0/ TRG7_1
8	TRG8_0	TRG8_0	TRG8_0	TRG8_0	TRG8_0	TRG8_0/ TRG8_1
9	なし	なし	なし	なし	TRG9_0	TRG9_0/ TRG9_1
10	なし	なし	なし	なし	なし	TRG10_0
11	なし	なし	なし	なし	なし	TRG11_0

■ PPG レジスター覧

アドレス	+0	+1	+2	+3
0x1A40	PPG(ch.0)制御状態レジスタ(PCN0)		PPG(ch.0)周期設定レジスタ(PCSR0)	
0x1A44	PPG(ch.0)デューティ設定レジスタ(PDUT0)		PPG(ch.0)タイマレジスタ(PTMR0)	
0x1A48	PPG(ch.0)制御状態レジスタ 2(PCN200)		PPG(ch.0)Start Delay 値設定レジスタ (PSDR0)	
0x1A4C	PPG(ch.0)Timing Point Capture 値設定レジスタ (PTPC0)		PPG(ch.0)通信モードデータビット長設定レジスタ(PCMDWD0)	
0x1A50	PPG(ch.0)通信モード High フォーマット周期設定レジスタ(PHCSR0)		PPG(ch.0)通信モード Low フォーマット周期設定レジスタ(PLCSR0)	
0x1A54	PPG(ch.0)通信モード High フォーマットデューティ設定レジスタ(PHDUT0)		PPG(ch.0)通信モード Low フォーマットデューティ設定レジスタ(PLDUT0)	
0x1A58	PPG(ch.0)通信モードデータ設定レジスタ (PCMDDT0)		予約	
0x1A5C	PPG(ch.1)制御状態レジスタ(PCN1)		PPG(ch.1)周期設定レジスタ(PCSR1)	
0x1A60	PPG(ch.1)デューティ設定レジスタ(PDUT1)		PPG(ch.1)タイマレジスタ(PTMR1)	

アドレス	+0	+1	+2	+3
0x1A64	PPG(ch.1)制御状態レジスタ 2(PCN201)		PPG(ch.1)Start Delay 値設定レジスタ(PSDR1)	
0x1A68	PPG(ch.1)Timing Point Capture 値設定レジスタ(PTPC1)		PPG(ch.1)通信モードデータビット長設定レジスタ(PCMDWD1)	
0x1A6C	PPG(ch.1)通信モードHighフォーマット周期設定レジスタ(PHCSR1)		PPG(ch.1)通信モードLowフォーマット周期設定レジスタ(PLCSR1)	
0x1A70	PPG(ch.1)通信モードHighフォーマットデューティ設定レジスタ(PHDUT1)		PPG(ch.1)通信モードLowフォーマットデューティ設定レジスタ(PLDUT1)	
0x1A74	PPG(ch.1)通信モードデータ設定レジスタ(PCMDDT1)		予約	
0x1A78	PPG(ch.2)制御状態レジスタ(PCN2)		PPG(ch.2)周期設定レジスタ(PCSR2)	
0x1A7C	PPG(ch.2)デューティ設定レジスタ(PDUT2)		PPG(ch.2)タイマレジスタ(PTMR2)	
0x1A80	PPG(ch.2)制御状態レジスタ 2(PCN202)		PPG(ch.2)Start Delay 値設定レジスタ(PSDR2)	
0x1A84	PPG(ch.2)Timing Point Capture 値設定レジスタ(PTPC2)		PPG(ch.2)通信モードデータビット長設定レジスタ(PCMDWD2)	
0x1A88	PPG(ch.2)通信モードHighフォーマット周期設定レジスタ(PHCSR2)		PPG(ch.2)通信モードLowフォーマット周期設定レジスタ(PLCSR2)	
0x1A8C	PPG(ch.2)通信モードHighフォーマットデューティ設定レジスタ(PHDUT2)		PPG(ch.2)通信モードLowフォーマットデューティ設定レジスタ(PLDUT2)	
0x1A90	PPG(ch.2)通信モードデータ設定レジスタ(PCMDDT2)		予約	
0x1A94	PPG(ch.3)制御状態レジスタ(PCN3)		PPG(ch.3)周期設定レジスタ(PCSR3)	
0x1A98	PPG(ch.3)デューティ設定レジスタ(PDUT3)		PPG(ch.3)タイマレジスタ(PTMR3)	
0x1A9C	PPG(ch.3)制御状態レジスタ 2(PCN203)		PPG(ch.3)Start Delay 値設定レジスタ(PSDR3)	
0x1AA0	PPG(ch.3)Timing Point Capture 値設定レジスタ(PTPC3)		PPG(ch.3)通信モードデータビット長設定レジスタ(PCMDWD3)	
0x1AA4	PPG(ch.3)通信モードHighフォーマット周期設定レジスタ(PHCSR3)		PPG(ch.3)通信モードLowフォーマット周期設定レジスタ(PLCSR3)	
0x1AA8	PPG(ch.3)通信モードHighフォーマットデューティ設定レジスタ(PHDUT3)		PPG(ch.3)通信モードLowフォーマットデューティ設定レジスタ(PLDUT3)	
0x1AAC	PPG(ch.3)通信モードデータ設定レジスタ(PCMDDT3)		予約	
0x1AB0	PPG(ch.4)制御状態レジスタ(PCN4)		PPG(ch.4)周期設定レジスタ(PCSR4)	
0x1AB4	PPG(ch.4)デューティ設定レジスタ(PDUT4)		PPG(ch.4)タイマレジスタ(PTMR4)	
0x1AB8	PPG(ch.4)制御状態レジスタ 2(PCN204)		PPG(ch.4)Start Delay 値設定レジスタ(PSDR4)	
0x1ABC	PPG(ch.4)Timing Point Capture 値設定レジスタ(PTPC4)		予約	
0x1AC0	PPG(ch.5)制御状態レジスタ(PCN5)		PPG(ch.5)周期設定レジスタ(PCSR5)	
0x1AC4	PPG(ch.5)デューティ設定レジスタ(PDUT5)		PPG(ch.5)タイマレジスタ(PTMR5)	

アドレス	+0	+1	+2	+3
0x1AC8	PPG(ch.5)制御状態レジスタ 2(PCN205)		PPG(ch.5)Start Delay 値設定レジスタ(PSDR5)	
0x1ACC	PPG(ch.5)Timing Point Capture 値設定レジスタ(PTPC5)		予約	
0x1AD0	PPG(ch.6)制御状態レジスタ(PCN6)		PPG(ch.6)周期設定レジスタ(PCSR6)	
0x1AD4	PPG(ch.6)デューティ設定レジスタ(PDUT6)		PPG(ch.6)タイマレジスタ(PTMR6)	
0x1AD8	PPG(ch.6)制御状態レジスタ 2(PCN206)		PPG(ch.6)Start Delay 値設定レジスタ(PSDR6)	
0x1ADC	PPG(ch.6)Timing Point Capture 値設定レジスタ(PTPC6)		予約	
0x1AE0	PPG(ch.7)制御状態レジスタ(PCN7)		PPG(ch.7)周期設定レジスタ(PCSR7)	
0x1AE4	PPG(ch.7)デューティ設定レジスタ(PDUT7)		PPG(ch.7)タイマレジスタ(PTMR7)	
0x1AE8	PPG(ch.7)制御状態レジスタ 2(PCN207)		PPG(ch.7)Start Delay 値設定レジスタ(PSDR7)	
0x1AEC	PPG(ch.7)Timing Point Capture 値設定レジスタ(PTPC7)		予約	
0x1AF0	PPG(ch.8)制御状態レジスタ(PCN8)		PPG(ch.8)周期設定レジスタ(PCSR8)	
0x1AF4	PPG(ch.8)デューティ設定レジスタ(PDUT8)		PPG(ch.8)タイマレジスタ(PTMR8)	
0x1AF8	PPG(ch.8)制御状態レジスタ 2(PCN208)		PPG(ch.8)Start Delay 値設定レジスタ(PSDR8)	
0x1AFC	PPG(ch.8)Timing Point Capture 値設定レジスタ(PTPC8)		予約	
0x1B00	PPG(ch.9)制御状態レジスタ(PCN9)		PPG(ch.9)周期設定レジスタ(PCSR9)	
0x1B04	PPG(ch.9)デューティ設定レジスタ(PDUT9)		PPG(ch.9)タイマレジスタ(PTMR9)	
0x1B08	PPG(ch.9)制御状態レジスタ 2(PCN209)		PPG(ch.9)Start Delay 値設定レジスタ(PSDR9)	
0x1B0C	PPG(ch.9)Timing Point Capture 値設定レジスタ(PTPC9)		予約	
0x1B10	PPG(ch.10)制御状態レジスタ(PCN10)		PPG(ch.10)周期設定レジスタ(PCSR10)	
0x1B14	PPG(ch.10)デューティ設定レジスタ(PDUT10)		PPG(ch.10)タイマレジスタ(PTMR10)	
0x1B18	PPG(ch.10)制御状態レジスタ 2(PCN210)		PPG(ch.10)Start Delay 値設定レジスタ(PSDR10)	
0x1B1C	PPG(ch.10)Timing Point Capture 値設定レジスタ(PTPC10)		予約	
0x1B20	PPG(ch.11)制御状態レジスタ(PCN11)		PPG(ch.11)周期設定レジスタ(PCSR11)	
0x1B24	PPG(ch.11)デューティ設定レジスタ(PDUT11)		PPG(ch.11)タイマレジスタ(PTMR11)	
0x1B28	PPG(ch.11)制御状態レジスタ 2(PCN211)		PPG(ch.11)Start Delay 値設定レジスタ(PSDR11)	
0x1B2C	PPG(ch.11)Timing Point Capture 値設定レジスタ(PTPC11)		予約	
0x1B30	PPG(ch.12)制御状態レジスタ(PCN12)		PPG(ch.12)周期設定レジスタ(PCSR12)	
0x1B34	PPG(ch.12)デューティ設定レジスタ(PDUT12)		PPG(ch.12)タイマレジスタ(PTMR12)	
0x1B38	PPG(ch.12)制御状態レジスタ 2(PCN212)		PPG(ch.12)Start Delay 値設定レジスタ(PSDR12)	

アドレス	+0	+1	+2	+3
0x1B3C	PPG(ch.12)Timing Point Capture 値設定レジスタ (PTPC12)		予約	
0x1B40	PPG(ch.13)制御状態レジスタ(PCN13)		PPG(ch.13)周期設定レジスタ(PCSR13)	
0x1B44	PPG(ch.13)デューティ設定レジスタ(PDUT13)		PPG(ch.13)タイマレジスタ(PTMR13)	
0x1B48	PPG(ch.13)制御状態レジスタ 2(PCN213)		PPG(ch.13)Start Delay 値設定レジスタ (PSDR13)	
0x1B4C	PPG(ch.13)Timing Point Capture 値設定レジスタ (PTPC13)		予約	
0x1B50	PPG(ch.14)制御状態レジスタ(PCN14)		PPG(ch.14)周期設定レジスタ(PCSR14)	
0x1B54	PPG(ch.14)デューティ設定レジスタ(PDUT14)		PPG(ch.14)タイマレジスタ(PTMR14)	
0x1B58	PPG(ch.14)制御状態レジスタ 2(PCN214)		PPG(ch.14)Start Delay 値設定レジスタ (PSDR14)	
0x1B5C	PPG(ch.14)Timing Point Capture 値設定レジスタ (PTPC14)		予約	
0x1B60	PPG(ch.15)制御状態レジスタ(PCN15)		PPG(ch.15)周期設定レジスタ(PCSR15)	
0x1B64	PPG(ch.15)デューティ設定レジスタ(PDUT15)		PPG(ch.15)タイマレジスタ(PTMR15)	
0x1B68	PPG(ch.15)制御状態レジスタ 2(PCN215)		PPG(ch.15)Start Delay 値設定レジスタ (PSDR15)	
0x1B6C	PPG(ch.15)Timing Point Capture 値設定レジスタ (PTPC15)		予約	
0x1B70	PPG(ch.16)制御状態レジスタ(PCN16)		PPG(ch.16)周期設定レジスタ(PCSR16)	
0x1B74	PPG(ch.16)デューティ設定レジスタ(PDUT16)		PPG(ch.16)タイマレジスタ(PTMR16)	
0x1B78	PPG(ch.16)制御状態レジスタ 2(PCN216)		PPG(ch.16)Start Delay 値設定レジスタ (PSDR16)	
0x1B7C	PPG(ch.16)Timing Point Capture 値設定レジスタ (PTPC16)		予約	
0x1B80	PPG(ch.17)制御状態レジスタ(PCN17)		PPG(ch.17)周期設定レジスタ(PCSR17)	
0x1B84	PPG(ch.17)デューティ設定レジスタ(PDUT17)		PPG(ch.17)タイマレジスタ(PTMR17)	
0x1B88	PPG(ch.17)制御状態レジスタ 2(PCN217)		PPG(ch.17)Start Delay 値設定レジスタ (PSDR17)	
0x1B8C	PPG(ch.17)Timing Point Capture 値設定レジスタ (PTPC17)		予約	
0x1B90	PPG(ch.18)制御状態レジスタ(PCN18)		PPG(ch.18)周期設定レジスタ(PCSR18)	
0x1B94	PPG(ch.18)デューティ設定レジスタ(PDUT18)		PPG(ch.18)タイマレジスタ(PTMR18)	
0x1B98	PPG(ch.18)制御状態レジスタ 2(PCN218)		PPG(ch.18)Start Delay 値設定レジスタ (PSDR18)	
0x1B9C	PPG(ch.18)Timing Point Capture 値設定レジスタ (PTPC18)		予約	
0x1BA0	PPG(ch.19)制御状態レジスタ(PCN19)		PPG(ch.19)周期設定レジスタ(PCSR19)	
0x1BA4	PPG(ch.19)デューティ設定レジスタ(PDUT19)		PPG(ch.19)タイマレジスタ(PTMR19)	
0x1BA8	PPG(ch.19)制御状態レジスタ 2(PCN219)		PPG(ch.19)Start Delay 値設定レジスタ (PSDR19)	
0x1BAC	PPG(ch.19)Timing Point Capture 値設定レジスタ (PTPC19)		予約	
0x1BB0	PPG(ch.20)制御状態レジスタ(PCN20)		PPG(ch.20)周期設定レジスタ(PCSR20)	

アドレス	+0	+1	+2	+3
0x1BB4	PPG(ch.20)デューティ設定レジスタ(PDUT20)		PPG(ch.20)タイマレジスタ(PTMR20)	
0x1BB8	PPG(ch.20)制御状態レジスタ 2(PCN220)		PPG(ch.20)Start Delay 値設定レジスタ(PSDR20)	
0x1BBC	PPG(ch.20)Timing Point Capture 値設定レジスタ(PTPC20)		予約	
0x1BC0	PPG(ch.21)制御状態レジスタ(PCN21)		PPG(ch.21)周期設定レジスタ(PCSR21)	
0x1BC4	PPG(ch.21)デューティ設定レジスタ(PDUT21)		PPG(ch.21)タイマレジスタ(PTMR21)	
0x1BC8	PPG(ch.21)制御状態レジスタ 2(PCN221)		PPG(ch.21)Start Delay 値設定レジスタ(PSDR21)	
0x1BCC	PPG(ch.21)Timing Point Capture 値設定レジスタ(PTPC21)		予約	
0x1BD0	PPG(ch.22)制御状態レジスタ(PCN22)		PPG(ch.22)周期設定レジスタ(PCSR22)	
0x1BD4	PPG(ch.22)デューティ設定レジスタ(PDUT22)		PPG(ch.22)タイマレジスタ(PTMR22)	
0x1BD8	PPG(ch.22)制御状態レジスタ 2(PCN222)		PPG(ch.22)Start Delay 値設定レジスタ(PSDR22)	
0x1BDC	PPG(ch.22)Timing Point Capture 値設定レジスタ(PTPC22)		予約	
0x1BE0	PPG(ch.23)制御状態レジスタ(PCN23)		PPG(ch.23)周期設定レジスタ(PCSR23)	
0x1BE4	PPG(ch.23)デューティ設定レジスタ(PDUT23)		PPG(ch.23)タイマレジスタ(PTMR23)	
0x1BE8	PPG(ch.23)制御状態レジスタ 2(PCN223)		PPG(ch.23)Start Delay 値設定レジスタ(PSDR23)	
0x1BEC	PPG(ch.23)Timing Point Capture 値設定レジスタ(PTPC23)		予約	
0x1BF0	PPG(ch.24)制御状態レジスタ(PCN24)		PPG(ch.24)周期設定レジスタ(PCSR24)	
0x1BF4	PPG(ch.24)デューティ設定レジスタ(PDUT24)		PPG(ch.24)タイマレジスタ(PTMR24)	
0x1BF8	PPG(ch.24)制御状態レジスタ 2(PCN224)		PPG(ch.24)Start Delay 値設定レジスタ(PSDR24)	
0x1BFC	PPG(ch.24)Timing Point Capture 値設定レジスタ(PTPC24)		予約	
0x1C00	PPG(ch.25)制御状態レジスタ(PCN25)		PPG(ch.25)周期設定レジスタ(PCSR25)	
0x1C04	PPG(ch.25)デューティ設定レジスタ(PDUT25)		PPG(ch.25)タイマレジスタ(PTMR25)	
0x1C08	PPG(ch.25)制御状態レジスタ 2(PCN225)		PPG(ch.25)Start Delay 値設定レジスタ(PSDR25)	
0x1C0C	PPG(ch.25)Timing Point Capture 値設定レジスタ(PTPC25)		予約	
0x1C10	PPG(ch.26)制御状態レジスタ(PCN26)		PPG(ch.26)周期設定レジスタ(PCSR26)	
0x1C14	PPG(ch.26)デューティ設定レジスタ(PDUT26)		PPG(ch.26)タイマレジスタ(PTMR26)	
0x1C18	PPG(ch.26)制御状態レジスタ 2(PCN226)		PPG(ch.26)Start Delay 値設定レジスタ(PSDR26)	
0x1C1C	PPG(ch.26)Timing Point Capture 値設定レジスタ(PTPC26)		予約	
0x1C20	PPG(ch.27)制御状態レジスタ(PCN27)		PPG(ch.27)周期設定レジスタ(PCSR27)	
0x1C24	PPG(ch.27)デューティ設定レジスタ(PDUT27)		PPG(ch.27)タイマレジスタ(PTMR27)	
0x1C28	PPG(ch.27)制御状態レジスタ 2(PCN227)		PPG(ch.27)Start Delay 値設定レジスタ(PSDR27)	

アドレス	+0	+1	+2	+3
0x1C2C	PPG(ch.27)Timing Point Capture 値設定レジスタ (PTPC27)		予約	
0x1C30	PPG(ch.28)制御状態レジスタ(PCN28)		PPG(ch.28)周期設定レジスタ(PCSR28)	
0x1C34	PPG(ch.28)デューティ設定レジスタ(PDUT28)		PPG(ch.28)タイマレジスタ(PTMR28)	
0x1C38	PPG(ch.28)制御状態レジスタ 2(PCN228)		PPG(ch.28)Start Delay 値設定レジスタ (PSDR28)	
0x1C3C	PPG(ch.28)Timing Point Capture 値設定レジスタ (PTPC28)		予約	
0x1C40	PPG(ch.29)制御状態レジスタ(PCN29)		PPG(ch.29)周期設定レジスタ(PCSR29)	
0x1C44	PPG(ch.29)デューティ設定レジスタ(PDUT29)		PPG(ch.29)タイマレジスタ(PTMR29)	
0x1C48	PPG(ch.29)制御状態レジスタ 2(PCN229)		PPG(ch.29)Start Delay 値設定レジスタ (PSDR29)	
0x1C4C	PPG(ch.29)Timing Point Capture 値設定レジスタ (PTPC29)		予約	
0x1C50	PPG(ch.30)制御状態レジスタ(PCN30)		PPG(ch.30)周期設定レジスタ(PCSR30)	
0x1C54	PPG(ch.30)デューティ設定レジスタ(PDUT30)		PPG(ch.30)タイマレジスタ(PTMR30)	
0x1C58	PPG(ch.30)制御状態レジスタ 2(PCN230)		PPG(ch.30)Start Delay 値設定レジスタ (PSDR30)	
0x1C5C	PPG(ch.30)Timing Point Capture 値設定レジスタ (PTPC30)		予約	
0x1C60	PPG(ch.31)制御状態レジスタ(PCN31)		PPG(ch.31)周期設定レジスタ(PCSR31)	
0x1C64	PPG(ch.31)デューティ設定レジスタ(PDUT31)		PPG(ch.31)タイマレジスタ(PTMR31)	
0x1C68	PPG(ch.31)制御状態レジスタ 2(PCN231)		PPG(ch.31)Start Delay 値設定レジスタ (PSDR31)	
0x1C6C	PPG(ch.31)Timing Point Capture 値設定レジスタ (PTPC31)		予約	
0x1C70	PPG(ch.32)制御状態レジスタ(PCN32)		PPG(ch.32)周期設定レジスタ(PCSR32)	
0x1C74	PPG(ch.32)デューティ設定レジスタ(PDUT32)		PPG(ch.32)タイマレジスタ(PTMR32)	
0x1C78	PPG(ch.32)制御状態レジスタ 2(PCN232)		PPG(ch.32)Start Delay 値設定レジスタ (PSDR32)	
0x1C7C	PPG(ch.32)Timing Point Capture 値設定レジスタ (PTPC32)		予約	
0x1C80	PPG(ch.33)制御状態レジスタ(PCN33)		PPG(ch.33)周期設定レジスタ(PCSR33)	
0x1C84	PPG(ch.33)デューティ設定レジスタ(PDUT33)		PPG(ch.33)タイマレジスタ(PTMR33)	
0x1C88	PPG(ch.33)制御状態レジスタ 2(PCN233)		PPG(ch.33)Start Delay 値設定レジスタ (PSDR33)	
0x1C8C	PPG(ch.33)Timing Point Capture 値設定レジスタ (PTPC33)		予約	
0x1C90	PPG(ch.34)制御状態レジスタ(PCN34)		PPG(ch.34)周期設定レジスタ(PCSR34)	
0x1C94	PPG(ch.34)デューティ設定レジスタ(PDUT34)		PPG(ch.34)タイマレジスタ(PTMR34)	
0x1C98	PPG(ch.34)制御状態レジスタ 2(PCN234)		PPG(ch.34)Start Delay 値設定レジスタ (PSDR34)	
0x1C9C	PPG(ch.34)Timing Point Capture 値設定レジスタ (PTPC34)		予約	
0x1CA0	PPG(ch.35)制御状態レジスタ(PCN35)		PPG(ch.35)周期設定レジスタ(PCSR35)	

アドレス	+0	+1	+2	+3
0x1CA4	PPG(ch.35)デューティ設定レジスタ(PDUT35)		PPG(ch.35)タイマレジスタ(PTMR35)	
0x1CA8	PPG(ch.35)制御状態レジスタ 2(PCN235)		PPG(ch.35)Start Delay 値設定レジスタ(PSDR35)	
0x1CAC	PPG(ch.35)Timing Point Capture 値設定レジスタ(PTPC35)		予約	
0x1CB0	PPG(ch.36)制御状態レジスタ(PCN36)		PPG(ch.36)周期設定レジスタ(PCSR36)	
0x1CB4	PPG(ch.36)デューティ設定レジスタ(PDUT36)		PPG(ch.36)タイマレジスタ(PTMR36)	
0x1CB8	PPG(ch.36)制御状態レジスタ 2(PCN236)		PPG(ch.36)Start Delay 値設定レジスタ(PSDR36)	
0x1CBC	PPG(ch.36)Timing Point Capture 値設定レジスタ(PTPC36)		予約	
0x1CC0	PPG(ch.37)制御状態レジスタ(PCN37)		PPG(ch.37)周期設定レジスタ(PCSR37)	
0x1CC4	PPG(ch.37)デューティ設定レジスタ(PDUT37)		PPG(ch.37)タイマレジスタ(PTMR37)	
0x1CC8	PPG(ch.37)制御状態レジスタ 2(PCN237)		PPG(ch.37)Start Delay 値設定レジスタ(PSDR37)	
0x1CCC	PPG(ch.37)Timing Point Capture 値設定レジスタ(PTPC37)		予約	
0x1CD0	PPG(ch.38)制御状態レジスタ(PCN38)		PPG(ch.38)周期設定レジスタ(PCSR38)	
0x1CD4	PPG(ch.38)デューティ設定レジスタ(PDUT38)		PPG(ch.38)タイマレジスタ(PTMR38)	
0x1CD8	PPG(ch.38)制御状態レジスタ 2(PCN238)		PPG(ch.38)Start Delay 値設定レジスタ(PSDR38)	
0x1CDC	PPG(ch.38)Timing Point Capture 値設定レジスタ(PTPC38)		予約	
0x1CE0	PPG(ch.39)制御状態レジスタ(PCN39)		PPG(ch.39)周期設定レジスタ(PCSR39)	
0x1CE4	PPG(ch.39)デューティ設定レジスタ(PDUT39)		PPG(ch.39)タイマレジスタ(PTMR39)	
0x1CE8	PPG(ch.39)制御状態レジスタ 2(PCN239)		PPG(ch.39)Start Delay 値設定レジスタ(PSDR39)	
0x1CEC	PPG(ch.39)Timing Point Capture 値設定レジスタ(PTPC39)		予約	
0x1CF0	PPG(ch.40)制御状態レジスタ(PCN40)		PPG(ch.40)周期設定レジスタ(PCSR40)	
0x1CF4	PPG(ch.40)デューティ設定レジスタ(PDUT40)		PPG(ch.40)タイマレジスタ(PTMR40)	
0x1CF8	PPG(ch.40)制御状態レジスタ 2(PCN240)		PPG(ch.40)Start Delay 値設定レジスタ(PSDR40)	
0x1CFC	PPG(ch.40)Timing Point Capture 値設定レジスタ(PTPC40)		予約	
0x1D00	PPG(ch.41)制御状態レジスタ(PCN41)		PPG(ch.41)周期設定レジスタ(PCSR41)	
0x1D04	PPG(ch.41)デューティ設定レジスタ(PDUT41)		PPG(ch.41)タイマレジスタ(PTMR41)	
0x1D08	PPG(ch.41)制御状態レジスタ 2(PCN241)		PPG(ch.41)Start Delay 値設定レジスタ(PSDR41)	
0x1D0C	PPG(ch.41)Timing Point Capture 値設定レジスタ(PTPC41)		予約	
0x1D10	PPG(ch.42)制御状態レジスタ(PCN42)		PPG(ch.42)周期設定レジスタ(PCSR42)	
0x1D14	PPG(ch.42)デューティ設定レジスタ(PDUT42)		PPG(ch.42)タイマレジスタ(PTMR42)	
0x1D18	PPG(ch.42)制御状態レジスタ 2(PCN242)		PPG(ch.42)Start Delay 値設定レジスタ(PSDR42)	

アドレス	+0	+1	+2	+3
0x1D1C	PPG(ch.42)Timing Point Capture 値設定レジスタ (PTPC42)		予約	
0x1D20	PPG(ch.43)制御状態レジスタ(PCN43)		PPG(ch.43)周期設定レジスタ(PCSR43)	
0x1D24	PPG(ch.43)デューティ設定レジスタ(PDUT43)		PPG(ch.43)タイマレジスタ(PTMR43)	
0x1D28	PPG(ch.43)制御状態レジスタ 2(PCN243)		PPG(ch.43)Start Delay 値設定レジスタ (PSDR43)	
0x1D2C	PPG(ch.43)Timing Point Capture 値設定レジスタ (PTPC43)		予約	
0x1D30	PPG(ch.44)制御状態レジスタ(PCN44)		PPG(ch.44)周期設定レジスタ(PCSR44)	
0x1D34	PPG(ch.44)デューティ設定レジスタ(PDUT44)		PPG(ch.44)タイマレジスタ(PTMR44)	
0x1D38	PPG(ch.44)制御状態レジスタ 2(PCN244)		PPG(ch.44)Start Delay 値設定レジスタ (PSDR44)	
0x1D3C	PPG(ch.44)Timing Point Capture 値設定レジスタ (PTPC44)		予約	
0x1D40	PPG(ch.45)制御状態レジスタ(PCN45)		PPG(ch.45)周期設定レジスタ(PCSR45)	
0x1D44	PPG(ch.45)デューティ設定レジスタ(PDUT45)		PPG(ch.45)タイマレジスタ(PTMR45)	
0x1D48	PPG(ch.45)制御状態レジスタ 2(PCN245)		PPG(ch.45)Start Delay 値設定レジスタ (PSDR45)	
0x1D4C	PPG(ch.45)Timing Point Capture 値設定レジスタ (PTPC45)		予約	
0x1D50	PPG(ch.46)制御状態レジスタ(PCN46)		PPG(ch.46)周期設定レジスタ(PCSR46)	
0x1D54	PPG(ch.46)デューティ設定レジスタ(PDUT46)		PPG(ch.46)タイマレジスタ(PTMR46)	
0x1D58	PPG(ch.46)制御状態レジスタ 2(PCN246)		PPG(ch.46)Start Delay 値設定レジスタ (PSDR46)	
0x1D5C	PPG(ch.46)Timing Point Capture 値設定レジスタ (PTPC46)		予約	
0x1D60	PPG(ch.47)制御状態レジスタ(PCN47)		PPG(ch.47)周期設定レジスタ(PCSR47)	
0x1D64	PPG(ch.47)デューティ設定レジスタ(PDUT47)		PPG(ch.47)タイマレジスタ(PTMR47)	
0x1D68	PPG(ch.47)制御状態レジスタ 2(PCN247)		PPG(ch.47)Start Delay 値設定レジスタ (PSDR47)	
0x1D6C	PPG(ch.47)Timing Point Capture 値設定レジスタ (PTPC47)		予約	

■ GATE 機能制御レジスター覧

アドレス	+0	+1	+2	+3
0x19DC	予約	GATE 機能制御レジスタ 0(GATEC0)	予約	GATE 機能制御レジスタ 2(GATEC2)
0x19E0	予約	GATE 機能制御レジスタ 4(GATEC4)	予約	予約

■ PPG Control レジスター覧

アドレス	+0	+1	+2	+3
0x19E8	汎用トリガ選択レジスタ 0(GTRS0)		汎用トリガ選択レジスタ 1(GTRS1)	
0x19EC	汎用トリガ選択レジスタ 2(GTRS2)		汎用トリガ選択レジスタ 3(GTRS3)	
0x19F0	汎用トリガ選択レジスタ 4(GTRS4)		汎用トリガ選択レジスタ 5(GTRS5)	
0x19F4	汎用トリガ選択レジスタ 6(GTRS6)		汎用トリガ選択レジスタ 7(GTRS7)	
0x19F8	汎用トリガ選択レジスタ 8(GTRS8)		汎用トリガ選択レジスタ 9(GTRS9)	
0x19FC	汎用トリガ選択レジスタ 10(GTRS10)		汎用トリガ選択レジスタ 11(GTRS11)	
0x1A00	汎用トリガ選択レジスタ 12(GTRS12)		汎用トリガ選択レジスタ 13(GTRS13)	
0x1A04	汎用トリガ選択レジスタ 14(GTRS14)		汎用トリガ選択レジスタ 15(GTRS15)	
0x1A08	汎用トリガ選択レジスタ 16(GTRS16)		汎用トリガ選択レジスタ 17(GTRS17)	
0x1A0C	汎用トリガ選択レジスタ 18(GTRS18)		汎用トリガ選択レジスタ 19(GTRS19)	
0x1A10	汎用トリガ選択レジスタ 20(GTRS20)		汎用トリガ選択レジスタ 21(GTRS21)	
0x1A14	汎用トリガ選択レジスタ 22(GTRS22)		汎用トリガ選択レジスタ 23(GTRS23)	
0x1A38	汎用トリガ設定レジスタ 0(GTREN0)		汎用トリガ設定レジスタ 1(GTREN1)	
0x1A3C	汎用トリガ設定レジスタ 2(GTREN2)		予約	予約

4.1. PPG 制御状態レジスタ : PCN0~PCN47

PPG 制御状態レジスタのビット構成について示します。

PPG 制御状態レジスタ(PCN) は、PPG の動作と状態を制御します。

■ PPG 制御状態レジスタ(PCN) :アドレス Base_addr + 00_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CNTE	STRG	MDSE	RTRG	CKS1	CKS0	PGMS	OWFS
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EGS1	EGS0	IREN	IRQF	IRS1	IRS0	予約	OSEL
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R(RM1)/W	R/W	R/W	R/W0	R/W

＜注意事項＞

PPG 制御状態レジスタ(PCN)の各ビットは、Bit13 MDSE:モード選択ビット、Bit8 OWFS:PPG 出力波形選択ビットを除き、レジスタライトにより即時反映されます。

[bit15] CNTE : タイマ動作許可ビット

CNTE	説明
0	タイマ動作を停止
1	タイマ動作を許可

タイマ動作許可ビットです。
"0"に設定した場合: PPG の動作を停止します。
"1"に設定した場合: PPG の動作を許可します。

[bit14] STRG : ソフトウェアトリガビット

STRG	説明
0	動作は書込みに影響されない(読出し値は常に"0")
1	外部トリガ(TRG 端子)とは独立してソフトウェアトリガが発生し、PPG が起動。このトリガは、トリガ入力エッジ選択ビット(EGS1, EGS0)の設定には影響されない。

ソフトウェアトリガビットです。
"0"に設定した場合 ： 動作は書込みに影響されない。
"1"に設定した場合 ： 外部トリガ(TRG 端子)とは独立してソフトウェアトリガが発生し、PPG が起動します。このトリガは、トリガ入力エッジ選択ビット(EGS1, EGS0)の設定には影響されません。

[bit13] MDSE : モード選択ビット

MDSE	説明
0	PWM 動作
1	ワンショット動作

出力波形の種類を選択します。
"0"に設定した場合 : PWM 動作が許可され、連続したパルスが発生します。
"1"に設定した場合 : 1 回のみパルス出力が行われます。

＜注意事項＞

本ビットは、周期ごと(トリガ発生、または、カウンタのボロー発生)に反映されます。

[bit12] RTRG : リスタート許可ビット

RTRG	説明
0	リスタートを禁止
1	リスタートを許可

PPG の動作のリスタート許可ビットです。

"0"に設定した場合 : リスタートを禁止します。
"1"に設定した場合 : リスタートを許可します。リスタート許可ビットを"1"にすると、トリガ(ソフト/内部/外部)により再起動を許可します。

[bit11, bit10] CKS1-0 : **カウントクロック選択ビット**

CKS1-0		説明
0	0	周辺クロック(PCLK)
0	1	周辺クロックの 4 分周
1	0	周辺クロックの 16 分周
1	1	周辺クロックの 64 分周

ダウンカウンタのカウントクロック選択ビットです。

[bit9] PGMS : **PPG 出力マスク選択ビット**

PGMS	説明
0	出力マスクなし
1	出力マスクあり

PPG 出力のマスクを選択します。
"0"に設定した場合 : PPG 出力マスクなしにします。
"1"に設定した場合 : PPG 出力マスクありにします。

＜注意事項＞

本ビットを"1"に設定すると、PPG 出力をモード選択、周期、デューティの設定値にかかわらず"L"または"H"にクランプできます。
出力レベルは、PPG 出力極性選択ビット(PCN:OSEL)で指定できます。
(OSEL=0 のとき、出力は"L"レベルに保持されます)
本ビットを"1"から"0"に設定し、PPG 出力マスクを解除する場合には、周期の初めから、デューティ一致となる前までの間に設定をおこなってください。

[bit8] OWFS : **PPG 出力波形選択ビット**

OWFS	説明
0	Normal Wave Form を出力
1	Center Aligned Wave Form を出力

PPG 出力波形を選択します。
"0"に設定した場合 : Normal Wave Form を出力します。
"1"に設定した場合 : Center Aligned Wave Form を出力します。

＜注意事項＞

本ビットは、周期ごと(トリガ発生、または、カウンタのボロー発生)に反映されます。

[bit7, bit6] EGS1-0 : トリガ入力エッジ選択ビット

EGS1-0		説明
0	0	エッジの選択なし (ソフトウェアトリガのみ可能)
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ (立上り、または、立下り)

トリガ入力エッジの選択ビットです。

＜注意事項＞

EGS1=0 および EGS0=0 の場合には、ソフトウェアトリガ(PCN:STRG)によるトリガのみ可能です。
PPG に対する外部トリガ(TRG 端子)からの入力は禁止されます。
EGS1 と EGS0 のほかの設定は、外部トリガ(TRG 端子)の入力にのみ影響します。
ソフトウェアトリガ(PCN:STRG)への"1"の書込みによる PPG のトリガは、PCN:EGS1, EGS0 の設定には、影響されません。

[bit5] IREN : 割込み要求許可ビット

IREN	説明
0	割込み要求を禁止
1	割込み要求を許可

割込み要求の許可ビットです。
"0"に設定した場合 ： 割込み要求を禁止します。
"1"に設定した場合 ： 割込み要求を許可します。

[bit4] IRQF : 割込み要求フラグビット

IRQF		説明
0	リード	割込み要求なし
	ライト	割込み要求フラグをクリア
1	リード	割込み要求あり
	ライト	"1"の書込みは動作に影響なし

＜注意事項＞

割込み要求フラグ(IRQF)= "1"の際に"0"を書き込んだ場合には、ハードウェアによる割込み要求フラグの設定(IRQF=1)が優先します。

[bit3, bit2] IRS1-0 : 割込み原因選択ビット

IRS1-0		説明
0	0	STGR=0　ソフトウェアトリガ、または、外部トリガ(TRG 端子)入力 STGR=1　GATE 信号トリガ入力
0	1	カウンタのボロー発生
1	0	カウンタとデューティ値の一致
1	1	カウンタのボロー発生、または、カウンタとデューティ値の一致

＜注意事項＞

出力波形と割込み発生場所の関係は以下の図を参照してください。

・PPG 出力波形選択ビット(OWFS="0")の場合:
 -「図 5-1　PWM 動作例 (Normal Wave Form 選択時)」
 -「図 5-3　ワンショット動作例 (Normal Wave Form 選択時)」
・PPG 出力波形選択ビット(OWFS="1")の場合:
 -「図 5-2　PWM 動作例 (Center Aligned Wave Form 選択時)」
 -「図 5-4　ワンショット動作例 (Center Aligned Wave Form 選択時)」

[bit1] 予約

必ず"0"を設定してください。

[bit0] OSEL : PPG 出力極性選択ビット

OSEL	説明
0	通常極性
1	反転極性

PPG 出力極性の選択ビットです。
"0"に設定した場合 : 通常極性を選択します。
"1"に設定した場合 : 反転極性を選択します。

＜注意事項＞

PPG 出力マスク選択ビット(PCN:PGMS)が"1"に設定されている場合には、PPG 出力極性選択ビット(OSEL)を"0"に設定すると、出力は"L"にクランプされ、PPG 出力極性選択ビットを"1"に設定すると、出力は"H"にクランプされます。

4.2. PPG 周期設定レジスタ ：PCSR0~PCSR47

PPG 周期設定レジスタのビット構成について示します。

PPG 周期設定レジスタ(PCSR)は、PPG の出力波形の周期を設定します。

■ PPG 周期設定レジスタ(PCSR) :アドレス Base_addr + 02_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit15～bit0] D15-0 : PPG 周期設定ビット

D15 ～ D0	機能
PPG の出力波形の周期	

PPG 周期設定レジスタにはバッファが付随しています。
バッファからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。
PPG周期設定レジスタに書き込んだ場合は､必ずPPGデューティ設定レジスタ(PDUT)も設定してください。

＜注意事項＞

- PPG 周期設定レジスタは、ライトオンリです。
- PPG 出力波形選択ビット(PCN.OWFS)="0" (Normal Wave Form)が選択されている場合は、PPG 周期設定レジスタの設定値の周期で波形を出力します。
- PPG 出力波形選択ビット(PCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、PPG 周期設定レジスタの設定値の 2 倍の周期で波形を出力します。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.3. PPG デューティ設定レジスタ ：PDUT0~PDUT47

PPG デューティ設定レジスタのビット構成について示します。

PPG デューティ設定レジスタ(PDUT)は、PPG の出力波形のデューティを設定します。

■ PPG デューティ設定レジスタ(PDUT) :アドレス Base_addr + 04_H (アクセス:ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit15～bit0] D15-0 : PPG デューティ設定ビット

D15 ～ D0	機能
PPG の出力波形のデューティ	

PPG デューティ設定レジスタにはバッファが付随しています。
バッファからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。
PPG デューティ設定レジスタには、PPG 周期設定レジスタ(PCSR)に設定した値よりも小さい値を設定してください。

＜注意事項＞

- PPG デューティ設定レジスタは、ライトオンリです。
- PPG 出力波形選択ビット(PCN.OWFS)= "0" (Normal Wave Form)が選択されている場合は、PPG デューティ設定レジスタの設定値のデューティで波形を出力します。
- PPG 出力波形選択ビット(PCN.OWFS)= "1" (Center Aligned Wave Form)が選択されている場合は、PPG デューティ設定レジスタの設定値の 2 倍のデューティで波形を出力します。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.4. PPG タイマレジスタ ：PTMR0~PTMR47

PPG タイマレジスタのビット構成について示します。

PPG タイマレジスタ(PTMR)には、PPG タイマのカウントダウン値が読み出されます。

■ PPG タイマレジスタ(PTMR) :アドレス Base_addr + 06_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] D15-0 : PPG タイマ値ビット

D15 ～ D0	機能
	タイマのダウンカウント値

17 ビットダウンカウンタのカウント値を読み出すことができます。

- Normal Wave Form (OWFS="0")選択時は、下位 16bit を読み出します。
- Center Aligned Wave Form (OWFS="1")選択時は、上位 16bit を読み出します。

＜注意事項＞

PPG タイマレジスタは、リードオンリです。

4.5. PPG 制御状態レジスタ 2 : PCN200~PCN247

PPG 制御状態レジスタ 2 のビット構成について示します。

PPG 制御状態レジスタ 2(PCN2)は、PPG の動作と状態を制御します。

■ PPG 制御状態レジスタ 2(PCN2) :アドレス Base_addr + 08_H (アクセス: バイト,ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	LFPR	HFPR	CMDSEL	CMD	TPC	STRD
初期値	0	0	0	0	0	0	0	0
属性	R0/W0	R0/W0	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	予約	REMP	SREMP	IRS2
初期値	0	0	0	0	0	1	1	0
属性	R0/W0	R0/W0	R0/W0	R0/W0	R0/W0	R,W0	R,W0	R/W

[bit15, bit14] 予約ビット

- 読出し時は、常に"0"が読み出されます。
- 書込み時は、必ず"0"を書き込んでください。

[bit13] LFPR : Low フォーマットパルス極性選択ビット

LFPR	説明
0	Low パルスより出力 (PCN.OSEL=1 時は High パルス出力)
1	High パルスより出力 (PCN.OSEL=1 時は Low パルス出力)

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。

[bit12] HFPR : High フォーマットパルス極性選択ビット

HFPR	説明
0	Low パルスより出力 (PCN.OSEL=1 時は High パルス出力)
1	High パルスより出力 (PCN.OSEL=1 時は Low パルス出力)

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。

[bit11] CMDSEL : PPG 通信モードデータ読出し選択ビット

CMDSEL	説明
0	PCMDWD にて設定された PCMDDT のビット位置から LSB から出力
1	PCMDWD にて設定された PCMDDT のビット位置から MSB から出力

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。

[bit10] CMD : PPG 通信モード許可ビット

CMD	説明
0	PPG 通信モード禁止
1	PPG 通信モード許可

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。

[bit9] TPC : Timing Point Capture 許可ビット

TPC	説明
0	Timing Point Capture モード禁止
1	Timing Point Capture モード許可

[bit8] STRD : Start Delay モード許可ビット

STRD	説明
0	Start Delay モード禁止
1	Start Delay モード許可

[bit7～bit3] 予約ビット

- 読出し時は、常に"0"が読み出されます。
- 書込み時は、必ず"0"を書き込んでください。

[bit2] REMP : PPG 通信データレジスタ Empty フラグビット

REMP	説明
0	割込みなし(Not Empty 状態)
1	割込みあり(Empty 状態)

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"1"が読み出されます。

[bit1] SREMP : PPG 通信データシフトレジスタ Empty フラグビット

SREMP	説明
0	割込みなし(Not Empty 状態)
1	割込みあり(Empty 状態)

＜注意事項＞

PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に"1"が読み出されます。

[bit0] IRS2 : 割込み原因選択 2 ビット

IRS2	IRS1	IRS0	説明
0	0	0	STGR=0　ソフトウェアトリガ、または、外部トリガ(TRG 端子)入力 STGR=1　GATE 信号トリガ入力
0	0	1	カウンタのボロー発生
0	1	0	カウンタとデューティ値の一致
0	1	1	カウンタのボロー発生、または、カウンタとデューティ値の一致
1	0	0	Timing Point Capture 値の一致
上記以外			PPG 通信データレジスタ Empty 要因

4.6. Start Delay 値設定レジスタ ：PSDR0~PSDR47

Start Delay 値設定レジスタのビット構成について示します。

Start Delay 値設定レジスタ(PSDR)は、PPG の出力波形の位相をずらすための遅延値を設定します。

■ Start Delay 値設定レジスタ(PSDR) :アドレス Base_addr + $0A_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] D15-0 : Start Delay 値設定ビット

(Start Delay 値レジスタ設定値＋1) × カウントクロック分、起動トリガ発生から PPG 波形出力までの位相調整を行います。

＜注意事項＞

- PPG 出力波形選択ビット(PCN.OWFS)= "0" (Normal Wave Form)が選択されている場合は、Start Delay 値設定レジスタの設定値の遅延値となります。
- PPG 出力波形選択ビット(PCN.OWFS)= "1" (Center Aligned Wave Form)が選択されている場合は、Start Delay 値設定レジスタの設定値の 2 倍の遅延値となります。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.7. Timing Point Capture 値設定レジスタ ：PTPC0 ~ PTPC47

Timing Point Capture 値設定レジスタのビット構成について示します。

Timing Point Capture 値設定レジスタ(PTPC)は、割込み、A/D 起動トリガを発生させるタイミングを設定します。

■ Timing Point Capture 値設定レジスタ(PTPC) :アドレス Base_addr + $0C_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] D15-0 : Timing Point Capture 値設定ビット

割込み、A/D 起動トリガを発生させるタイミングを設定します。

割込み、A/D 起動トリガは、起動トリガから Timing Point Capture 設定値+1(*)の期間経過後のタイミングで発生します。 (*: OWFS=0 設定時)

＜注意事項＞

- 「Timing Point Capture 設定値＜PPG 周期設定値」となるようにレジスタ設定を行なってください。
- 設定する Timing Point Capture 値には､PPG 出力波形選択ビット(PCN.OWFS)= "0" (Normal Wave Form) 選択時の値を設定します。
- PPG 出力波形選択ビット(PCN.OWFS)= "1" (Center Aligned Wave Form)が選択されている場合は、Timing Point Capture 値設定レジスタの設定値は、(PCN.OWFS)= "0"の 2 倍の設定値となります。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には､上側と下側のビット位置に書き込まれません。

4.8. PPG 通信モード High フォーマット周期設定レジスタ : PHCSR0~PHCSR3

PPG 通信モード High フォーマット周期設定レジスタのビット構成について示します。

PPG 通信モード High フォーマット周期設定レジスタ(PHCSR)は、High フォーマット用の周期を設定します。

■ PPG 通信モード High フォーマット周期設定レジスタ(PHCSR) :アドレス Base_addr + 10_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

[bit15～bit0] D15-0 : PPG 通信モード High フォーマット周期設定ビット

PPG 通信モード High フォーマット周期設定レジスタからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

＜注意事項＞

- PPG 通信モードの場合、PPG 出力波形選択ビット(PCN.OWFS)、モード選択ビット(PCN.MDSE)の影響は受けません。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.9. PPG 通信モード Low フォーマット周期設定レジスタ: PLCSR0~PLCSR3

PPG 通信モード Low フォーマット周期設定レジスタのビット構成について示します。

PPG 通信モード Low フォーマット周期設定レジスタ(PLCSR)は、Low フォーマット用の周期を設定します。

■ PPG 通信モード Low フォーマット周期設定レジスタ(PLCSR) :アドレス Base_addr + 12_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

[bit15～bit0] D15-0 : PPG 通信モード Low フォーマット周期設定ビット

PPG 通信モード Low フォーマット周期設定レジスタからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

＜注意事項＞

- PPG 通信モードの場合、PPG 出力波形選択ビット(PCN.OWFS)、モード選択ビット(PCN.MDSE)の影響は受けません。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.10. PPG 通信モード High フォーマットデューティ設定レジスタ : PHDUT0~PHDUT3

PPG 通信モード High フォーマットデューティ設定レジスタのビット構成について示します。

PPG 通信モード High フォーマットデューティ設定レジスタ(PHDUT)は、High フォーマット用のデューティを設定します。

■ PPG 通信モード High フォーマットデューティ設定レジスタ(PHDUT) :アドレス Base_addr + 14_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

[bit15～bit0] D15-0 : PPG 通信モード High フォーマットデューティ設定ビット

PPG 通信モード High フォーマットデューティ設定レジスタからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

＜注意事項＞

- PPG 通信モード High フォーマットデューティ設定レジスタには、PPG 通信モード High フォーマット周期設定レジスタ(PHCSR)に設定した値よりも小さい値を設定してください。
- PPG 通信モードの場合、PPG 出力波形選択ビット(PCN.OWFS)、モード選択ビット(PCN.MDSE)の影響は受けません。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.11. PPG 通信モード Low フォーマットデューティ設定レジスタ : PLDUT0~PLDUT3

PPG 通信モード Low フォーマットデューティ設定レジスタのビット構成について示します。

PPG 通信モード Low フォーマットデューティ設定レジスタ(PLDUT)は、Low フォーマット用のデューティを設定します。

■ PPG 通信モード Low フォーマットデューティ設定レジスタ(PLDUT) :アドレス Base_addr + 16_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W

[bit15～bit0] D15-0 : PPG 通信モード Low フォーマットデューティ設定ビット

PPG 通信モード Low フォーマットデューティ設定レジスタからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

＜注意事項＞

- PPG 通信モード Low フォーマットデューティ設定レジスタには、PPG 通信モード Low フォーマット周期設定レジスタ(PLCSR)に設定した値よりも小さい値を設定してください。
- PPG 通信モードの場合、PPG 出力波形選択ビット(PCN.OWFS)、モード選択ビット(PCN.MDSE)の影響は受けません。
- 必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.12. PPG 通信モードデータ設定レジスタ: PCMDDT0~ PCMDDT3

PPG 通信モードデータ設定レジスタのビット構成について示します。

PPG 通信モードデータ設定レジスタ(PCMDDT)は、High/Low フォーマット波形出力の制御を設定します。

■ PPG 通信モードデータ設定レジスタ(PCMDDT) :アドレス　Base_addr + 18_H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] D15-0 : PPG 通信モードデータ設定ビット

PPG High/Low フォーマット波形出力の制御を行います。

レジスタ設定値が"1"の場合は High フォーマット波形、"0"の場合は Low フォーマット波形を出力します。

＜注意事項＞

必ずワード(16bit)フォーマットでアクセスしてください。バイトアクセスした場合には、上側と下側のビット位置に書き込まれません。

4.13. PPG 通信モードデータビット長設定レジスタ : PCMDWD0~PCMDWD3

PPG 通信モードデータビット長設定レジスタのビット構成について示します。

PPG 通信モードデータビット長設定レジスタ(PCMDWD)は、High/Low フォーマット波形出力のビット長を設定します。

■ PPG 通信モードデータビット長設定レジスタ(PCMDWD) :アドレス　Base_addr + 0E$_H$ (バイト,アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	1	1	1	1	1	1	1	1
属性	R1/W1	R1/W1	R1/W1	R1/W1	R1/W1	R1/W1	R1/W1	R1/W1

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R0/W0	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット

・読出し時は、常に"1"が読み出されます。
・書込み時は、必ず"1"を書き込んでください。

[bit7～bit4] 予約ビット

・読出し時は、常に"0"が読み出されます。
・書込み時は、必ず"0"を書き込んでください。

[bit3～bit0] D3-0 : PPG 通信モードデータビット長設定ビット

PPG High/Low フォーマット波形出力のビット長の制御を行います。

"0000b"　; PPG 通信 1 ビット　(PCMDDT bit0)
"0001b"　: PPG 通信 2 ビット　(PCMDDT bit1-0)
"0010b"　: PPG 通信 3 ビット　(PCMDDT bit2-0)
"0011b"　: PPG 通信 4 ビット　(PCMDDT bit3-0)
"0100b"　: PPG 通信 5 ビット　(PCMDDT bit4-0)
"0101b"　: PPG 通信 6 ビット　(PCMDDT bit5-0)
"0110b"　: PPG 通信 7 ビット　(PCMDDT bit6-0)
"0111b"　: PPG 通信 8 ビット　(PCMDDT bit7-0)
"1000b"　: PPG 通信 9 ビット　(PCMDDT bit8-0)
"1001b"　: PPG 通信 10 ビット　(PCMDDT bit9-0)
"1010b"　: PPG 通信 11 ビット　(PCMDDT bit10-0)
"1011b"　: PPG 通信 12 ビット　(PCMDDT bit11-0)
"1100b"　: PPG 通信 13 ビット　(PCMDDT bit12-0)
"1101b"　: PPG 通信 14 ビット　(PCMDDT bit13-0)
"1110b"　: PPG 通信 15 ビット　(PCMDDT bit14-0)
"1111b"　: PPG 通信 16 ビット　(PCMDDT bit15-0)

4.14. GATE 機能制御レジスタ ：GATEC0, 2, 4

GATE 機能制御レジスタのビット構成について示します。

GATE 機能制御レジスタ(GATEC)は、GATE 機能の動作を制御します。

■ GATE 機能制御レジスタ(GATEC) :アドレス 19DD$_H$, 19DF$_H$,19E1$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	予約	予約	STGR	EDGE
初期値	0	0	0	0	0	0	0	0
属性	R0/W0	R0/W0	R0/W0	R0/W0	R0/W0	R0/W0	R/W	R/W

[bit7～bit2] 予約ビット

・読出し時は、常に"0"が読み出されます。
・書込み時は、必ず"0"を書き込んでください。

[bit1] STGR : GATE 機能選択ビット

STGR	説明
0	起動トリガによって、PPG を起動させます
1	波形ジェネレータからの GATE 信号により、PPG の起動・停止を行います

[bit0] EDGE : GATE 機能起動有効エッジ選択ビット

EDGE	説明
0	GATE 信号の立上りで PPG を起動させ、立下りで PPG を停止させます。"H"の間起動します
1	GATE 信号の立下りで PPG を起動させ、立上りで PPG を停止させます。"L"の間起動します

＜注意事項＞

GATE 機能制御レジスタ(GATEC)を設定する場合は、PPG の起動前に設定してください。PPG の動作中には、GATE 機能制御レジスタ(GATEC)の、GATE 選択ビット(STGR)、極性選択ビット(EDGE)は変更しないでください。

4.15. 汎用トリガ選択レジスタ ：GTRS0～GTRS23

汎用トリガ選択レジスタのビット構成について示します。

汎用トリガ選択レジスタ(GTRS)は、PPG へのトリガ入力を選択します。

■ 汎用トリガ選択レジスタ(GTRS) :アドレス 19E8$_H$～1A16$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	TSELii_6	TSELii_5	TSELii_4	TSELii_3	TSELii_2	TSELii_1	TSELii_0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TSELii_6	TSELii_5	TSELii_4	TSELii_3	TSELii_2	TSELii_1	TSELii_0
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

* TSELii_ の "ii" は、PPG0～47 の番号を表すインデックスです。

[bit15] / [bit7] 予約ビット

- 読出し時は、常に"0"が読み出されます。
- 書込みは動作に影響ありません。

[bit14～bit8] / [bit6～bit0] TSELii [6:0]: 起動トリガ選択ビット

- bit14-8 : PPG2n+1(n=0~23)の起動トリガの選択ビットです。
- bit6-0 : PPG2n(n=0~23)の起動トリガの選択ビットです。

TSELii [6:0]							起動トリガ選択
0	0	0	0	0	0	0	内部トリガ (EN0) を選択
0	0	0	0	0	0	1	内部トリガ (EN1) を選択
0	0	0	0	0	1	0	内部トリガ (EN2) を選択
0	0	0	0	0	1	1	内部トリガ (EN3) を選択
0	0	0	0	1	0	0	内部トリガ (EN4) を選択
0	0	0	0	1	0	1	内部トリガ (EN5) を選択
0	0	0	0	1	1	0	内部トリガ (EN6) を選択
0	0	0	0	1	1	1	内部トリガ (EN7) を選択
0	0	0	1	0	0	0	内部トリガ (EN8) を選択
0	0	0	1	0	0	1	内部トリガ (EN9) を選択
0	0	0	1	0	1	0	内部トリガ (EN10) を選択
0	0	0	1	0	1	1	内部トリガ (EN11) を選択
0	0	0	1	1	0	0	内部トリガ (EN12) を選択
0	0	0	1	1	0	1	内部トリガ (EN13) を選択
0	0	0	1	1	1	0	内部トリガ (EN14) を選択

TSELii [6:0]							起動トリガ選択
0	0	0	1	1	1	1	内部トリガ (EN15) を選択
0	0	1	0	0	0	0	内部トリガ (EN16) を選択
0	0	1	0	0	0	1	内部トリガ (EN17) を選択
0	0	1	0	0	1	0	内部トリガ (EN18) を選択
0	0	1	0	0	1	1	内部トリガ (EN19) を選択
0	0	1	0	1	0	0	内部トリガ (EN20) を選択
0	0	1	0	1	0	1	内部トリガ (EN21) を選択
0	0	1	0	1	1	0	内部トリガ (EN22) を選択
0	0	1	0	1	1	1	内部トリガ (EN23) を選択
0	0	1	1	0	0	0	内部トリガ (EN24) を選択
0	0	1	1	0	0	1	内部トリガ (EN25) を選択
0	0	1	1	0	1	0	内部トリガ (EN26) を選択
0	0	1	1	0	1	1	内部トリガ (EN27) を選択
0	0	1	1	1	0	0	内部トリガ (EN28) を選択
0	0	1	1	1	0	1	内部トリガ (EN29) を選択
0	0	1	1	1	1	0	内部トリガ (EN30) を選択
0	0	1	1	1	1	1	内部トリガ (EN31) を選択
0	1	0	0	0	0	0	内部トリガ (EN32) を選択
0	1	0	0	0	0	1	内部トリガ (EN33) を選択
0	1	0	0	0	1	0	内部トリガ (EN34) を選択
0	1	0	0	0	1	1	内部トリガ (EN35) を選択
0	1	0	0	1	0	0	内部トリガ (EN36) を選択
0	1	0	0	1	0	1	内部トリガ (EN37) を選択
0	1	0	0	1	1	0	内部トリガ (EN38) を選択
0	1	0	0	1	1	1	内部トリガ (EN39) を選択
0	1	0	1	0	0	0	内部トリガ (EN40) を選択
0	1	0	1	0	0	1	内部トリガ (EN41) を選択
0	1	0	1	0	1	0	内部トリガ (EN42) を選択
0	1	0	1	0	1	1	内部トリガ (EN43) を選択
0	1	0	1	1	0	0	内部トリガ (EN44) を選択
0	1	0	1	1	0	1	内部トリガ (EN45) を選択
0	1	0	1	1	1	0	内部トリガ (EN46) を選択
0	1	0	1	1	1	1	内部トリガ (EN47) を選択
0	1	1	1	1	1	0	16 ビットリロードタイマ 0 を選択
0	1	1	1	1	1	1	16 ビットリロードタイマ 1 を選択
1	0	0	0	0	0	0	外部トリガ 0 を選択
1	0	0	0	0	0	1	外部トリガ 1 を選択
1	0	0	0	0	1	0	外部トリガ 2 を選択
1	0	0	0	0	1	1	外部トリガ 3 を選択
1	0	0	0	1	0	0	外部トリガ 4 を選択
1	0	0	0	1	0	1	外部トリガ 5 を選択
1	0	0	0	1	1	0	外部トリガ 6 を選択
1	0	0	0	1	1	1	外部トリガ 7 を選択
1	0	0	1	0	0	0	外部トリガ 8 を選択

TSELii [6:0]							起動トリガ選択
1	0	0	1	0	0	1	外部トリガ 9 を選択
1	0	0	1	0	1	0	外部トリガ 10 を選択
1	0	0	1	0	1	1	外部トリガ 11 を選択

＜注意事項＞

PPG へのトリガ入力を選択します。
選択された PPGn では、トリガ入力エッジ選択ビット(PCN:EGS1, RGS0)で選択されたエッジが、選択された起動トリガで検出されると PPG が起動します。

4.16. 汎用トリガ設定レジスタ: GTREN0~2

汎用トリガ設定レジスタのビット構成について示します。

汎用トリガ設定レジスタ(GTREN)は、PPG への内部トリガの発生を制御します。

■ 汎用トリガ設定レジスタ 0(GTREN0) :アドレス 1A38$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ 汎用トリガ設定レジスタ 1(GTREN1) :アドレス 1A3A$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ 汎用トリガ設定レジスタ 2(GTREN2) :アドレス 1A3C$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EN47	EN46	EN45	EN44	EN43	EN42	EN41	EN40
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EN39	EN38	EN37	EN36	EN35	EN34	EN33	EN32
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GTREN0, GTREN1, GTREN2 EN47~EN0 内部トリガ入力ビット

EN47~EN0	説明
0	レベルを"L"に設定
1	レベルを"H"に設定

内部トリガのレベルを指定してトリガを発生します。

"0"に設定した場合: レベル"L"のトリガを発生します。
"1"に設定した場合: レベル"H"のトリガを発生します。

＜注意事項＞

- PPG の起動トリガ選択ビット(TSELii_[6:0])によって、いずれかの内部トリガ(EN0～EN47)が選択されている場合には、選択された EN は PPG のトリガ入力ビットとなります。
- トリガ入力エッジ選択ビット(PCN:EGS1, EGS0)で選択された状態が、トリガ入力ビット(選択された EN0～EN47)を使用してソフトウェアで発生された場合には、PPG を起動するための起動トリガとなります。

5. 動作説明

PPG の動作について説明します。

5.1. PWM 動作 (Normal Wave Form)

5.2. PWM 動作 (Center Aligned Wave Form 選択時)

5.3. ワンショット動作 (Normal Wave Form 選択時)

5.4. ワンショット動作 (Center Aligned Wave Form 選択時)

5.5. 再起動動作

5.6. GATE 動作

5.7. Start Delay モード動作 (PWM Normal Wave Form 選択時)

5.8. Timing Point Capture モード動作 (PWM Normal Wave Form 選択時)

5.9. PPG 通信モード動作

5.10. PPG 通信起動

5.11 PPG 通信動作

5.12. PPG **通信強制停止、再開動作**

5.13. PPG 出力パルス極性選択

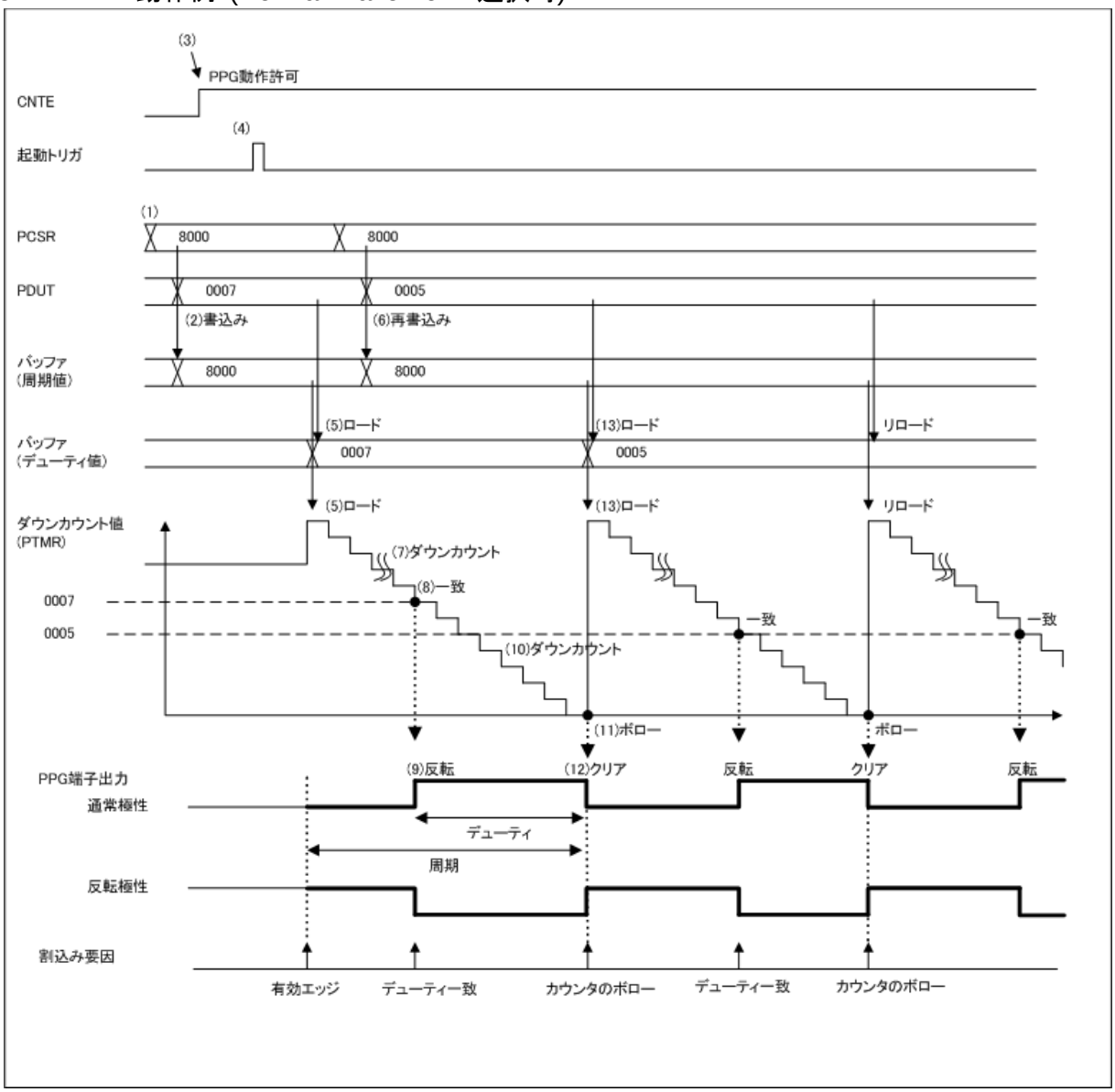
5.14. 割込み

5.1. PWM 動作 (Normal Wave Form)

PWM 動作 (Normal Wave Form)について示します。

PWM 動作では、PPG 端子から可変デューティパルスが出力されます。

図 5-1 PWM 動作例 (Normal Wave Form 選択時)



設定・動作手順:

(1). PCSR(周期値)の書込み
(2). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(3). PPG の動作を許可
(4). 起動トリガの発生
(5). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値のロード
(6). PDUT(デューティ値)の再書込み、および、バッファ(周期値)への周期値の転送
(7). カウンタのダウンカウント
(8). ダウンカウンタがデューティ値と一致
(9). PPG 端子の出力レベルを反転
(10). カウンタのダウンカウント
(11). カウンタでボロー発生
(12). PPG 端子の出力レベルをクリア(通常状態に復帰)
(13). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値の再ロード
(14). (7)～(13)までを反復

計算式:

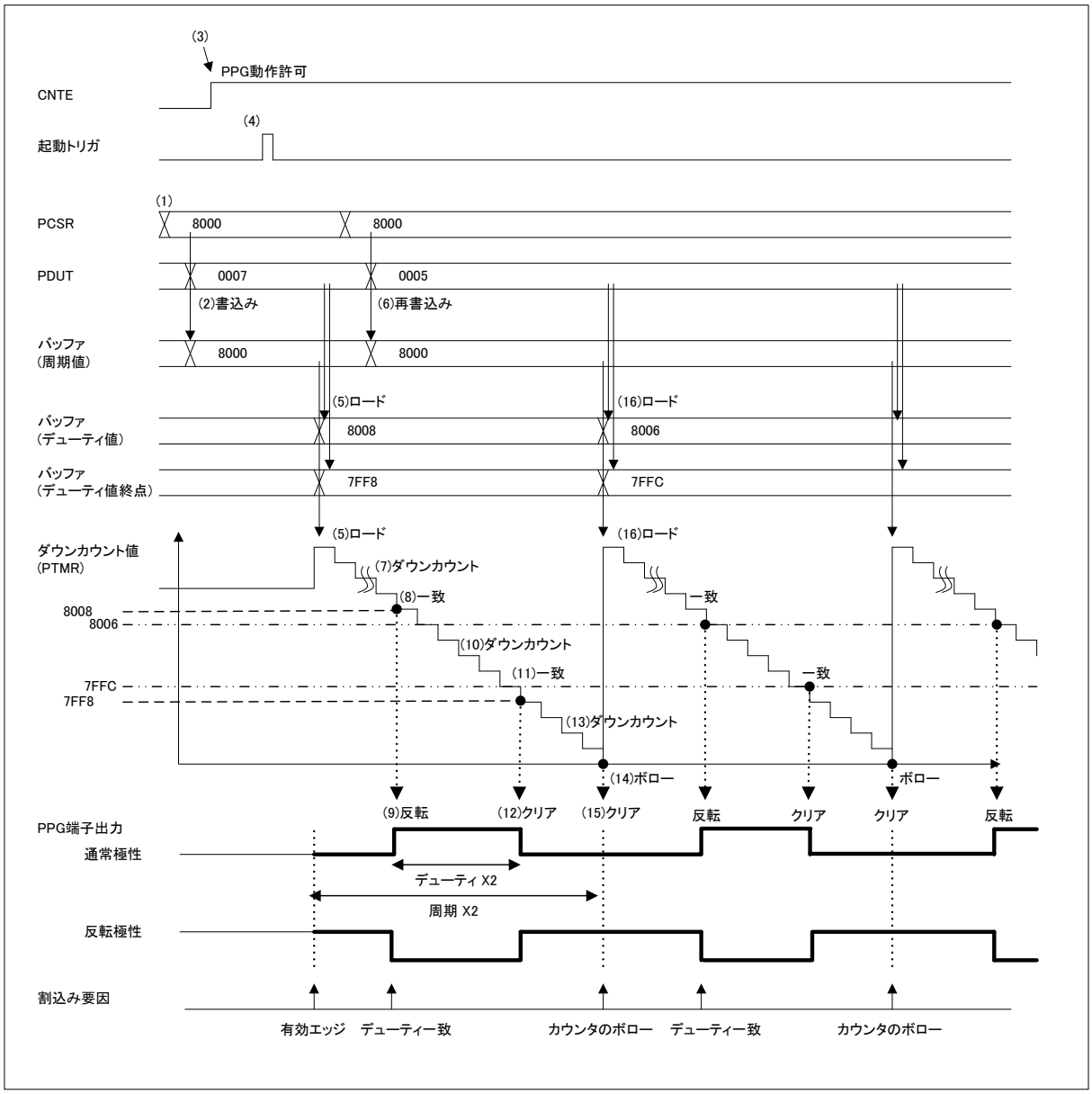
・周期={周期値(PCSR)＋1} × カウントクロック
・デューティ={デューティ値(PDUT)＋1} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック

5.2. PWM 動作 (Center Aligned Wave Form 選択時)

PWM 動作 (Center Aligned Wave Form 選択時)について示します。

PWM 動作では、PPG 端子から可変デューティパルスが出力されます。PPG 出力波形選択ビット (PCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、PPG 周期設定レジスタ(PCSR)、PPG デューティ設定レジスタ(PDUT)の設定値をそれぞれ 2 倍して出力波形を生成します。

図 5-2 PWM 動作例 (Center Aligned Wave Form 選択時)



設定・動作手順:

(1). PCSR(周期値)の書込み
(2). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(3). PPG の動作を許可
(4). 起動トリガの発生
(5). ダウンカウント値(PTMR)への(周期値×2＋1)のロード、および、
バッファ(デューティ値)/バッファ(デューティ値終点)へのデューティ値のロード
デューティ値(出力レベル反転タイミング) = (デューティ値＋周期値＋1)
デューティ値終点(出力レベルクリアタイミング) = (周期値－デューティ値－1)
(6). PDUT(デューティ値)の再書込み、および、バッファ(周期値)への周期値の転送
(7). カウンタのダウンカウント
(8). ダウンカウンタがデューティ値(出力レベル反転タイミング)と一致
(9). PPG 端子の出力レベルを反転
(10). カウンタのダウンカウント
(11). ダウンカウンタがデューティ値終点(出力レベルクリアタイミング)と一致
(12). PPG 端子の出力レベルをクリア(通常状態に復帰)
(13). カウンタのダウンカウント
(14). カウンタでボロー発生
(15). PPG 端子の出力レベルをクリア(通常状態に復帰)
(16). ダウンカウント値(PTMR)への(周期値×2＋1)と
バッファ(デューティ値)/バッファ(デューティ値終点)へのデューティ値の再ロード
(17). (7)～(16)までを反復

計算式:

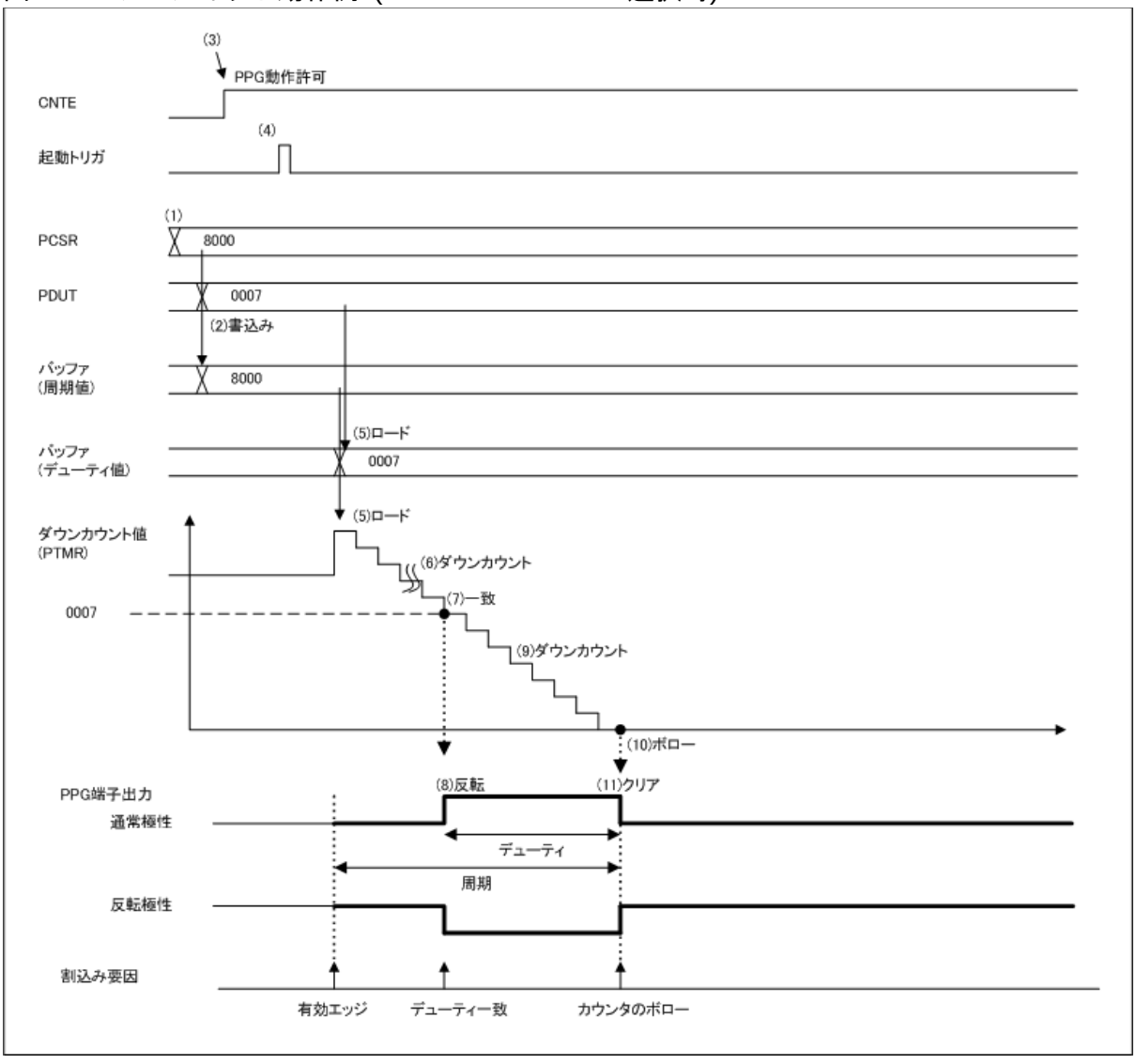
・周期={(周期値(PCSR)＋1) × 2} × カウントクロック
・デューティ= {(デューティ値(PDUT)＋1) × 2} × カウントクロック
・パルス出力までの時間= {周期値(PCSR)－デューティ値(PDUT)} × カウントクロック

5.3. ワンショット動作 (Normal Wave Form 選択時)

ワンショット動作 (Normal Wave Form 選択時)について示します。

ワンショット動作では、PPG 端子からワンショットパルスが出力されます。

図 5-3 ワンショット動作例 (Normal Wave Form 選択時)



設定・動作手順:

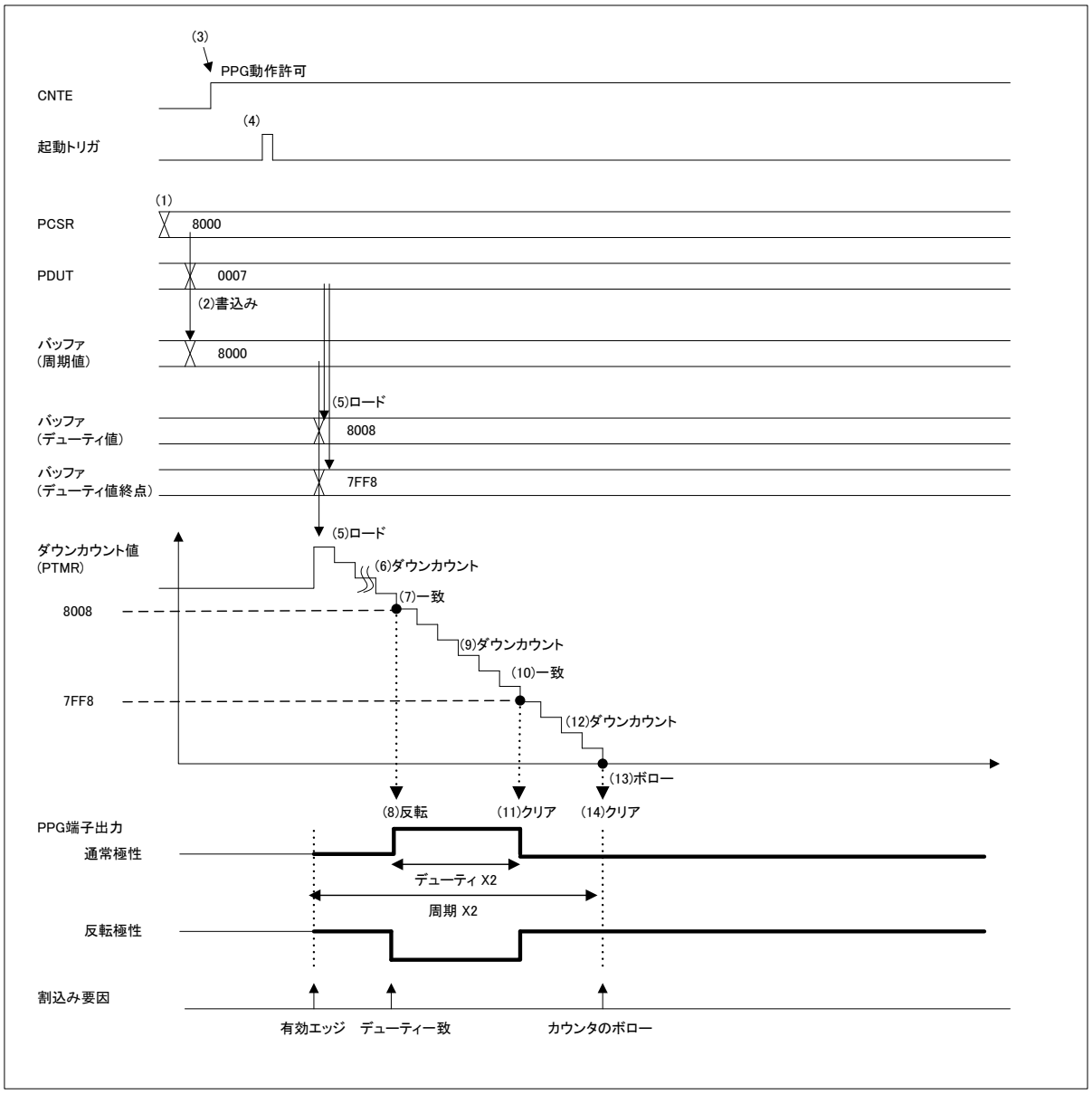
(1). PCSR(周期値)の書込み
(2). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(3). PPG の動作を許可
(4). 起動トリガの発生
(5). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値のロード
(6). カウンタのダウンカウント
(7). ダウンカウンタがデューティ値と一致
(8). PPG 端子の出力レベルを反転
(9). カウンタのダウンカウント
(10). カウンタでボロー発生
(11). PPG 端子の出力レベルをクリア(通常状態に復帰)
(12). 動作シーケンス終了

5.4. ワンショット動作 (Center Aligned Wave Form 選択時)

ワンショット動作 (Center Aligned Wave Form 選択時)について示します。

ワンショット動作では、PPG 端子からワンショットパルスが出力されます。PPG 出力波形選択ビット(PCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、PPG 周期設定レジスタ(PCSR)、PPG デューティ設定レジスタ(PDUT)の設定値をそれぞれ 2 倍して出力波形を生成します。

図 5-4 ワンショット動作例 (Center Aligned Wave Form 選択時)



設定・動作手順:

(1). PCSR(周期値)の書込み
(2). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(3). PPG の動作を許可
(4). 起動トリガの発生
(5). ダウンカウント値(PTMR)への(周期値×2＋1)のロード、および、
バッファ(デューティ値)/バッファ(デューティ値終点)へのデューティ値のロード
デューティ値(出力レベル反転タイミング) = (デューティ値＋周期値＋1)
デューティ値終点(出力レベルクリアタイミング) = (周期値－デューティ値－1)
(6). カウンタのダウンカウント
(7). ダウンカウンタがデューティ値(出力レベル反転タイミング)と一致
(8). PPG 端子の出力レベルを反転
(9). カウンタのダウンカウント
(10). ダウンカウンタがデューティ値終点(出力レベルクリアタイミング)と一致
(11). PPG 端子の出力レベルをクリア(通常状態に復帰)
(12). カウンタのダウンカウント
(13). カウンタでボロー発生
(14). PPG 端子の出力レベルをクリア(通常状態に復帰)
(15). 動作シーケンス終了

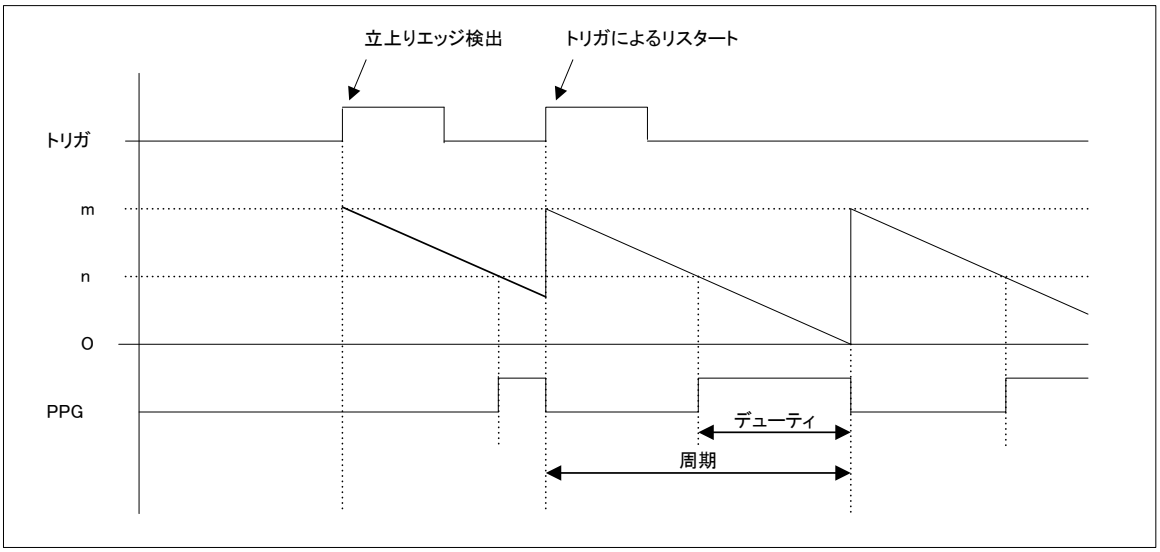
5.5. 再起動動作

再起動動作について示します。

リスタート動作を示します。

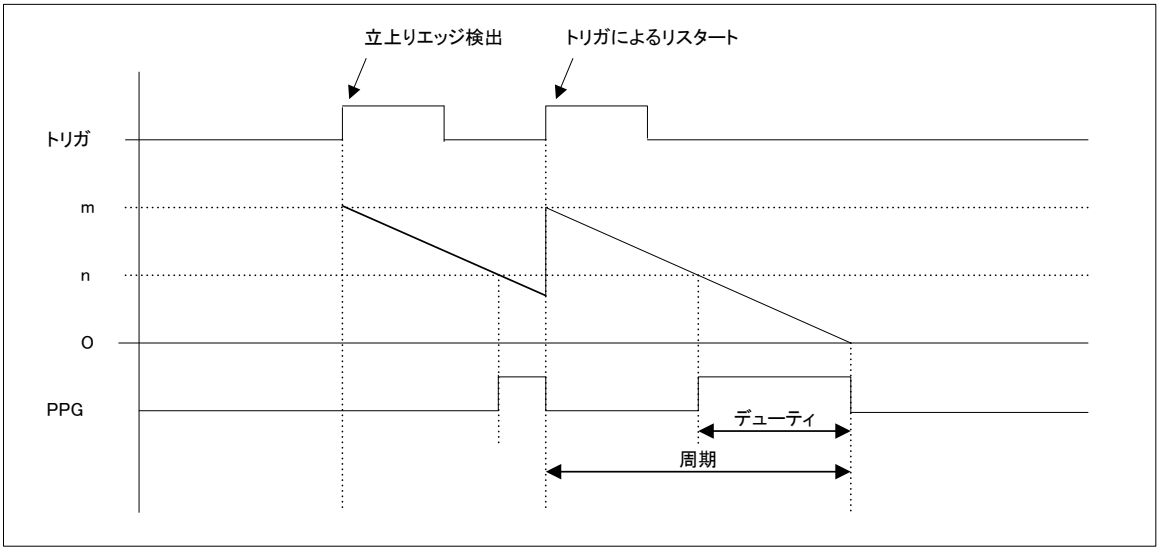
■ PWM 動作中の再起動動作

図 5-5 PWM 動作中のリスタート (Normal Wave Form 選択時)



■ ワンショット動作中の再起動動作

図 5-6　ワンショット動作中のリスタート(Normal Wave Form 選択時)



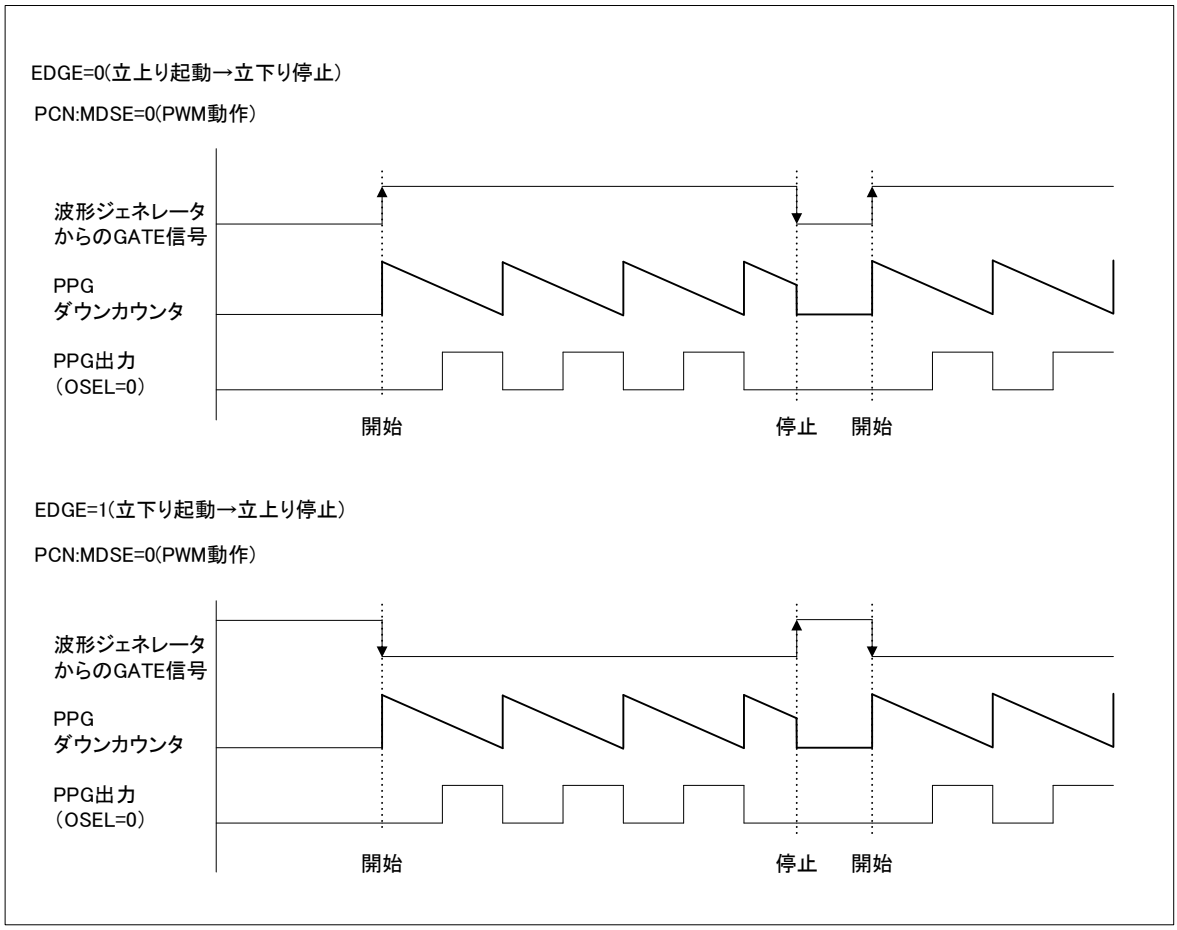
PWM 動作とワンショット動作のいずれでも、リスタート許可ビット(PCN:RTRG)="0" (リスタートを禁止)の場合には、2 番目以降のトリガは動作に影響しません (リスタートしません)。ただし、ワンショット動作の場合は、ワンショット動作終了後であれば、2 番目以降のトリガは機能します。

5.6. GATE 動作

GATE 動作について示します。

波形ジェネレータからの GATE 信号により、PPG を起動・停止させることができます。GATE 制御レジスタの EGDE ビット(GATEC:EDGE)と波形ジェネレータからの GATE 信号により、PPG 起動有効時間を制御できます。

図 5-7 GATE 動作の PPG カウンタ動作



GATE 機能による PPG 動作選択時(GATEC:STGR)が"1"のときにワンショットパルス動作(PCN:MDSE="1")を設定した場合、PPG 出力端子からは PWM 動作時と同じように、連続してパルス出力を行います。

注意：

・PPG 動作中に GATE 信号"1"→"0" (EDGE="0"の場合)となった場合、PPG ダウンカウンタ値(PTMR)は値が保持され、PPG 出力は"L"になり、停止します。

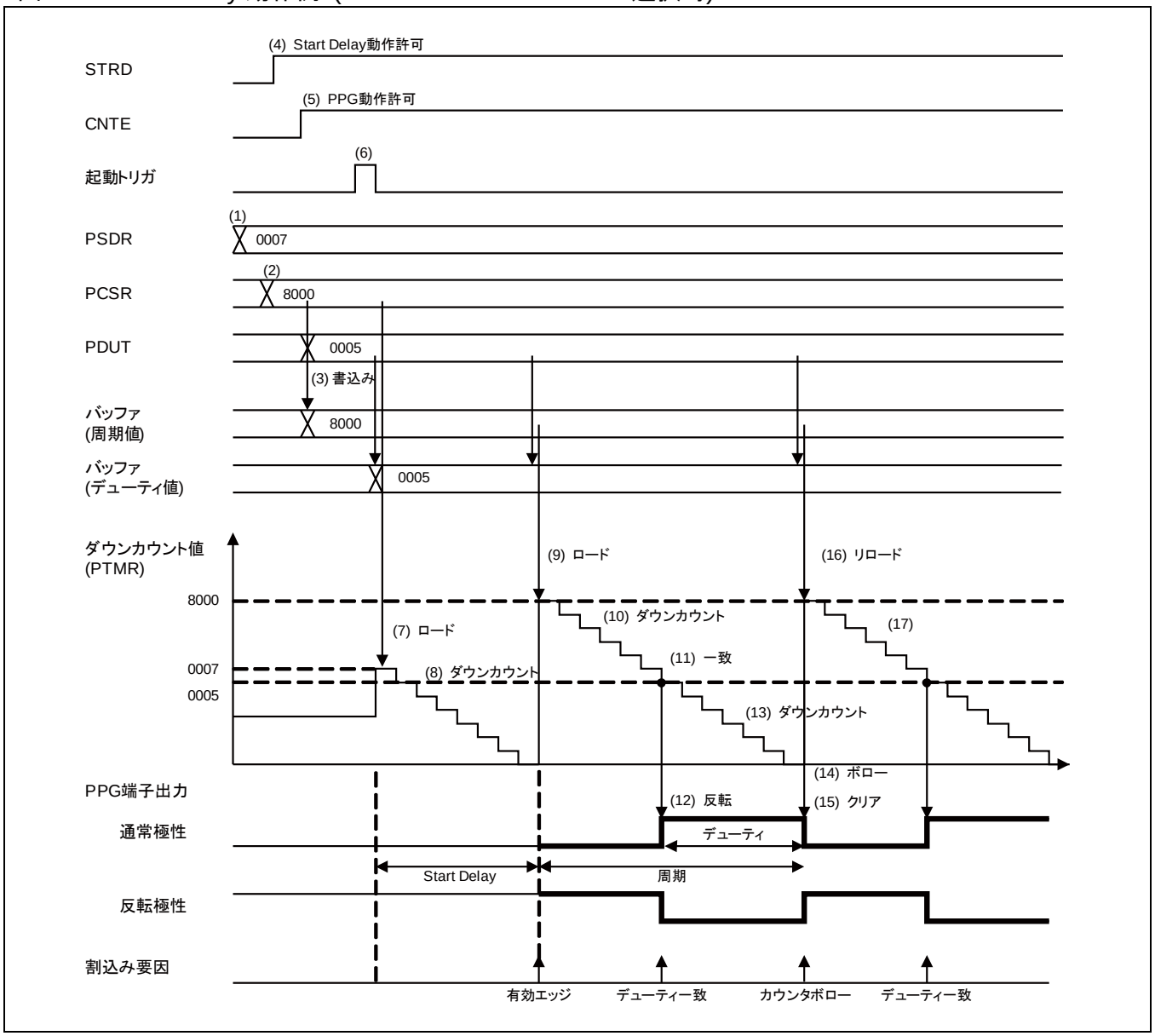
・GATE 機能有効時(STGR="1")かつ、リスタート許可有効(RTRG="1")のとき、他の起動トリガを入力しても、リスタート動作を開始しません。

5.7. Start Delay モード動作 (PWM Normal Wave Form 選択時)

Start Delay モード動作 (PWM Normal Wave Form 選択時)について示します。

Start Delay 動作では、PPG 波形出力の有効エッジまでを Start Delay 値設定期間遅延させます。PPG 出力波形選択ビット(PCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、Start Delay 値設定レジスタ(PSDR)の設定値を 2 倍して遅延させます。また、PWM 動作, ワンショット動作、および Normal Wave Form, Center Aligned Wave Form をサポートします。

図 5-8 Start Delay 動作例 (PWM Normal Wave Form 選択時)



設定・動作手順:

(1). PSDR(Delay 値)の書込み
(2). PCSR(周期値)の書込み
(3). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(4). Start Delay モード許可
(5). PPG の動作を許可
(6). 起動トリガの発生
(7). Delay 値のロード
(8). カウンタのダウンカウント((1)で設定した Delay 値分)
(9). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値のロード
(10). カウンタのダウンカウント
(11). ダウンカウンタがデューティ値と一致
(12). PPG 端子の出力レベルを反転
(13). カウンタのダウンカウント
(14). カウンタでボロー発生
(15). PPG 端子の出力レベルをクリア(通常状態に復帰)
(16). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値の再ロード
(17). (10)～(16)までを反復

計算式:

・Start Delay 値={Start Delay 値(PSDR)＋1} × カウントクロック
・周期={周期値(PCSR)＋1} × カウントクロック
・デューティ={デューティ値(PDUT)＋1} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック

＜注意事項＞

Center Aligned Wave Form 選択時の計算式は以下となります。
計算式:

・Start Delay 値={(STRD レジスタ設定値＋1) × 2} × カウントクロック
・周期={(周期値(PCSR)＋1) × 2} × カウントクロック
・デューティ={(デューティ値(PDUT)＋1) × 2} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック

＜注意事項＞

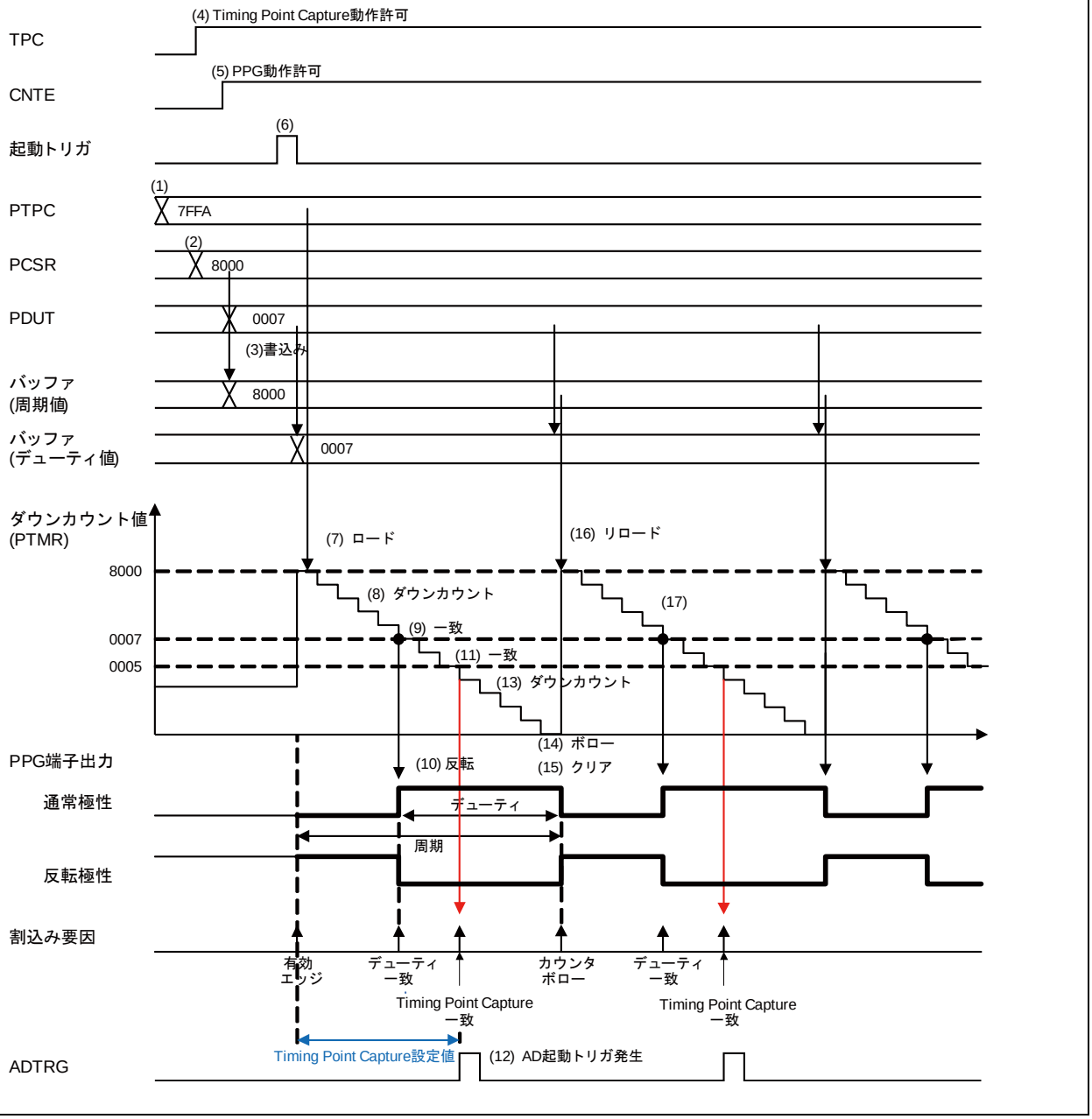
・Start Delay モードでの PPG 動作中に Start Delay 値(PSDR)を書き換えた場合、一度動作を禁止し、起動トリガを発生させないと反映されません。(Start Delay 値は、起動トリガにて反映される)
・Start Delay 動作中(ウェイト期間)にリスタート要求が発生した場合、再度 Start Delay 設定期間(PSDR)を待ちます。また、Start Delay モード許可(STRD)="1"で PPG 波形出力中にリスタート要求があった場合は、PPG 波形出力を停止し、再度 Start Delay 設定期間を待ちます。
・Start Delay モード許可(STRD)を Start Delay 期間中に"0"にした場合、一度動作を禁止してください。また、Start Delay モード禁止(STRD=0)は、起動トリガを発生させないと反映されません。

5.8. Timing Point Capture モード動作 (PWM Normal Wave Form 選択時)

Timing Point Capture モード動作 (PWM Normal Wave Form 選択時)について示します。

Timing Point Capture モード動作では、Timing Point Capture 設定値のタイミングで、割込み、A/D 起動トリガを発生させます。PPG 出力波形選択ビット(PCN.OWFS)="1" (Center Aligned Wave Form)が選択されている場合は、Timing Point Capture 値設定レジスタ(PTPC)の設定値を 2 倍してダウンカウンタ値と比較を行います。また、PWM 動作, ワンショット動作、および Normal Wave Form, Center Aligned Wave Form をサポートします。

図 5-9　Timing Point Capture 動作例 (PWM Normal Wave Form 選択時)



設定・動作手順:

(1). PTPC(Timing Point Capture 値)の書込み
(2). PCSR(周期値)の書込み
(3). PDUT(デューティ値)の書込み、および、バッファ(周期値)への周期値の転送
(4). Timing Point Capture モード許可
(5). PPG の動作を許可

(6). 起動トリガの発生
(7). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値のロード
(8). カウンタのダウンカウント
(9). ダウンカウンタがデューティ値と一致
(10). PPG 端子の出力レベルを反転
(11). 起動トリガから Timing Point Capture 設定期間経過
(12). 割込み＆A/D 起動トリガ発生
(13). カウンタのダウンカウント
(14). カウンタでボロー発生
(15). PPG 端子の出力レベルをクリア(通常状態に復帰)
(16). ダウンカウント値(PTMR)への周期値とバッファ(デューティ値)へのデューティ値の再ロード
(17). (8)～(16)までを反復

計算式:

・周期={周期値(PCSR)＋1} × カウントクロック
・デューティ={デューティ値(PDUT)＋1} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック
・Timing Point Capture 割込み / A/D 起動トリガ発生: 起動トリガから PTPC レジスタ設定値+1 期間経過

＜注意事項＞

Center Aligned Wave Form 選択時の計算式は以下となります。
計算式:

・周期={(周期値(PCSR)＋1) × 2} × カウントクロック
・デューティ={(デューティ値(PDUT)＋1) × 2} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック
・Timing Point Capture 割込み / A/D 起動トリガから｛PTPC レジスタ設定値+1}×2 期間経過

＜注意事項＞

・Timing Point Cature 値設定(PTPC)を周期値(PCSR)以下にする必要があります。周期値(PCSR)より大きな値を設定した場合には、A/D 起動トリガ発生、Timing Point Capture 一致割込み発生しません。
・PPG 動作中に Timing Point Capture 値(PTPC)を書換えた場合、値の反映は、書換え後の次の周期からとなります。
・Timing Point Capture モード許可(TPC)を PPG 動作中に"0"にした場合、Timing Point Cature 値一致による割込み、および A/D 起動トリガは発生しません。 再度 Timing Point Capture モード許可(TPC)を設定する際には、手順通り設定してください。

5.9. PPG 通信モード動作

PPG 通信モード動作について示します。

PPG 通信モード動作では、High/Low フォーマットの周期・デューティ、および データ、ビット長を設定することにより設定通りに波形を出力します。本機能は、通常の PWM 動作やワンショット動作とは異なる、PPG 通信機能になります。(Center Aligned Wave Form はなく、Normal Wave Form のみ対応)

PPG 通信モード時に有効・無効となるレジスタは以下になります。

無効レジスタは、レジスタへは反映されますが、PPG 通信動作への影響はありません。

有効レジスタ ： ソフトウェアトリガ(STRG)、カウントクロック選択(CKS1-0)、
PPG 出力マスク選択(PGMS)、トリガ入力選択(EGS1-0)、
割込み要求許可(IREN)、割込み要因選択(IRS1-0)、
割込み要求フラグ(IRQF)、(*1)
PPG 出力極性選択(OSEL)、
PPG タイマ(PTMR)、GATE 機能制御(GATEC)、
Low フォーマットパルス極性選択(LFPR)、High フォーマットパルス極性選択
(HFPR)、PPG 通信モードデータ読出し選択(CMDSEL)、PPG 通信モード許可(CMD)、
PPG 通信データレジスタ Empty フラグ(REMP) (*2)、
PPG 通信データシフトレジスタ Empty フラグ(SREMP) (*2)、
割込み要因選択 2(IRS2)、
High フォーマット周期設定(PHCSR)、Low フォーマット周期設定(PLCSR)、
High フォーマットデューティ設定(PHDUT)、
Low フォーマットデューティ設定(PLDUT)、
通信モードデータ設定(PCMDDT)、
通信モードデータビット長設定(PCMDWD)

無効レジスタ ： タイマ動作許可(CNTE)、モード選択(MDSE)、リスタート許可(RTRG)、
PPG 出力波形選択(OWFS)、
PPG 周期設定(PCSR)、PPG デューティ設定(PDUT)、
Timing Point Capture 許可(TPC)、Start Delay 許可(STRD)、
Start Delay 値設定(PSDR)、Timing Point Capture 値設定(PTPC)

(*1)PPG 通信時は割り込み選択を IRS[2:0]=000b～100b へは設定禁止だが、レジスタは有効。
(*2)リードオンリーレジスタのため設定はできない。

5.10. PPG 通信起動

PPG 通信起動について示します。

PPG 通信モードは、PPG 通信許可(CMD)、周期設定(PHCSR/PLCSR)、デューティ設定(PHDUT/PLDUT)、データ(PCMDDT)、データビット長(PCMDWD)を設定し、最後に起動トリガの設定をすることで開始します。起動トリガ以外のレジスタ設定順序に制約はありません。

図 5-10 PPG 通信モード動作例 (起動動作 ケース 1)

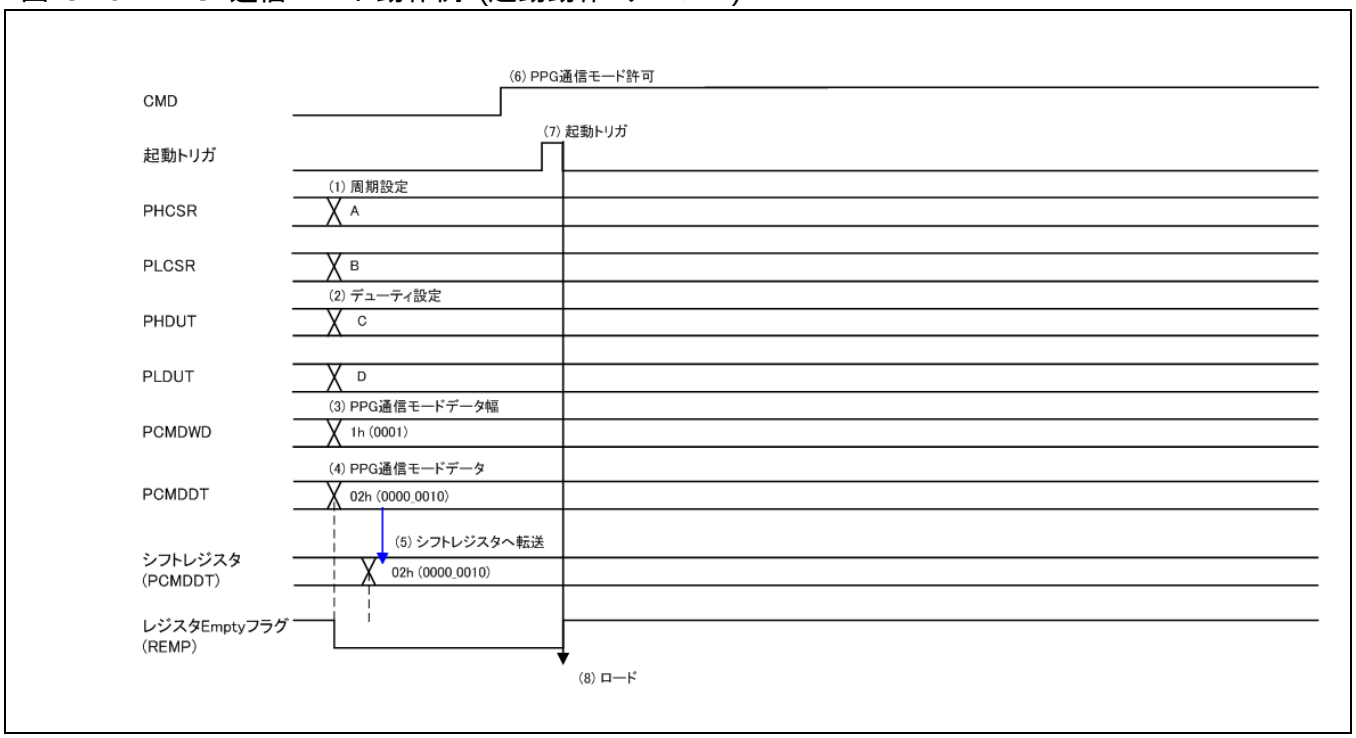
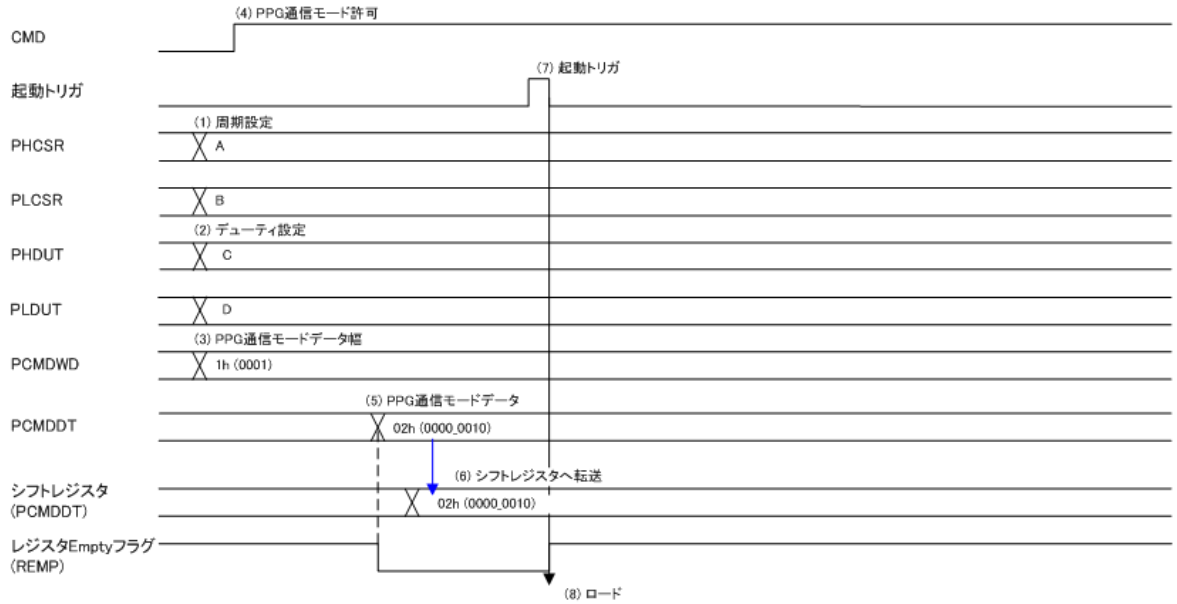


図 5-11 PPG 通信モード動作例 (起動動作 ケース 2)



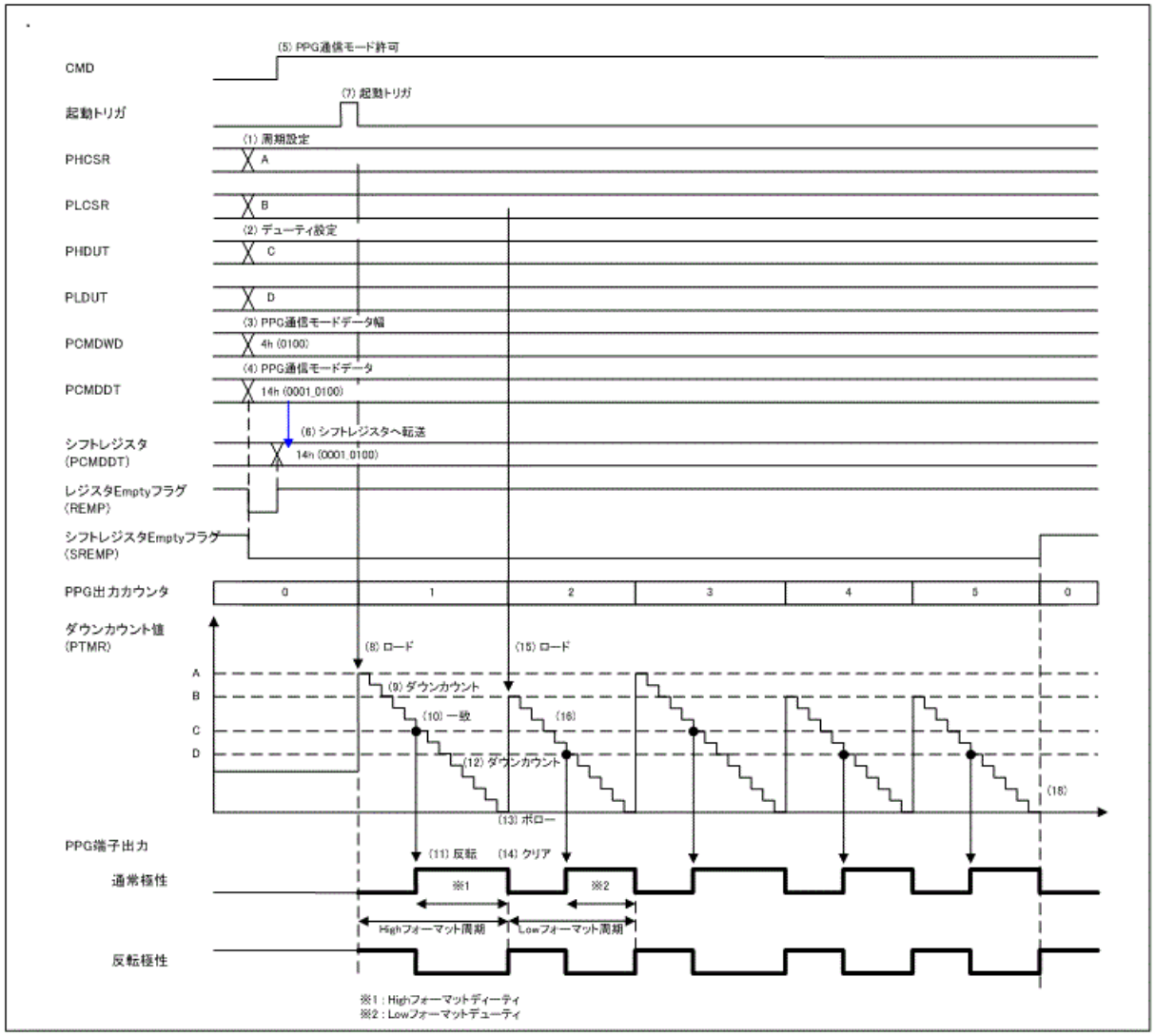
5.11. PPG 通信動作

PPG 通信動作について示します。

初期設定後、PPG 通信データビット長(PCMDWD)設定分の波形を出力します。波形出力が完了する前に PPG 通信データ設定(PCMDDT)の書換えがなければ、PPG 通信を終了します(図 5-12)。PPG 通信データ設定(PCMDDT)の書換えが行なわれた場合、ビット長設定分の波形出力を完了させてから、再度、書き換えたデータ設定(PCMDDT)での PPG 通信を開始します(図 5-13)。

■ PPG 単発通信動作

図 5-12 PPG 通信モード動作例 (単発通信)



設定・動作手順:

(1). PHCSR/PLCSR(High/Low フォーマット周期値)の書込み
(2). PHDUT/PLDUT(High/Low フォーマットデューティ値)の書込み
(3). PCMDWD(PPG 通信モードデータ幅)の書込み
(4). PCMDDT(PPG 通信モードデータ)の書込み
(5). PPG 通信モード許可
(6). PCMDDT(PPG 通信モードデータ)をシフトレジスタへ転送
(7). 起動トリガの発生
(8). ダウンカウント値(PTMR)への周期値とデューティ値のロード(PCMDDT, PCMDWD, CMDSEL にて High/Low どちらのフォーマットの周期・デューティをロードするかを決定)
(9). カウンタのダウンカウント
(10). ダウンカウンタがデューティ値と一致
(11). PPG 端子の出力レベルを反転
(12). カウンタのダウンカウント
(13). カウンタでボロー発生
(14). PPG 端子の出力レベルをクリア(通常状態に復帰)
(15). ダウンカウント値(PTMR)への周期値とデューティ値の再ロード
(16). (9)～(15)までを PCMDDT、PCMDWD の設定に従い反復
(17). 動作シーケンス終了

＜注意事項＞

・上記(1)～(5)の設定順序による制約はありませんが、(1)～(5)すべてに書込みを行なわなければ、PPG 通信動作を開始しません。
・上記(1)～(5)の設定が完了せずに起動トリガを発生させた場合、PPG 通信は開始しません。
また、この場合、一度設定をクリアするため、再度(1)～(5)の設定を行う必要があります。

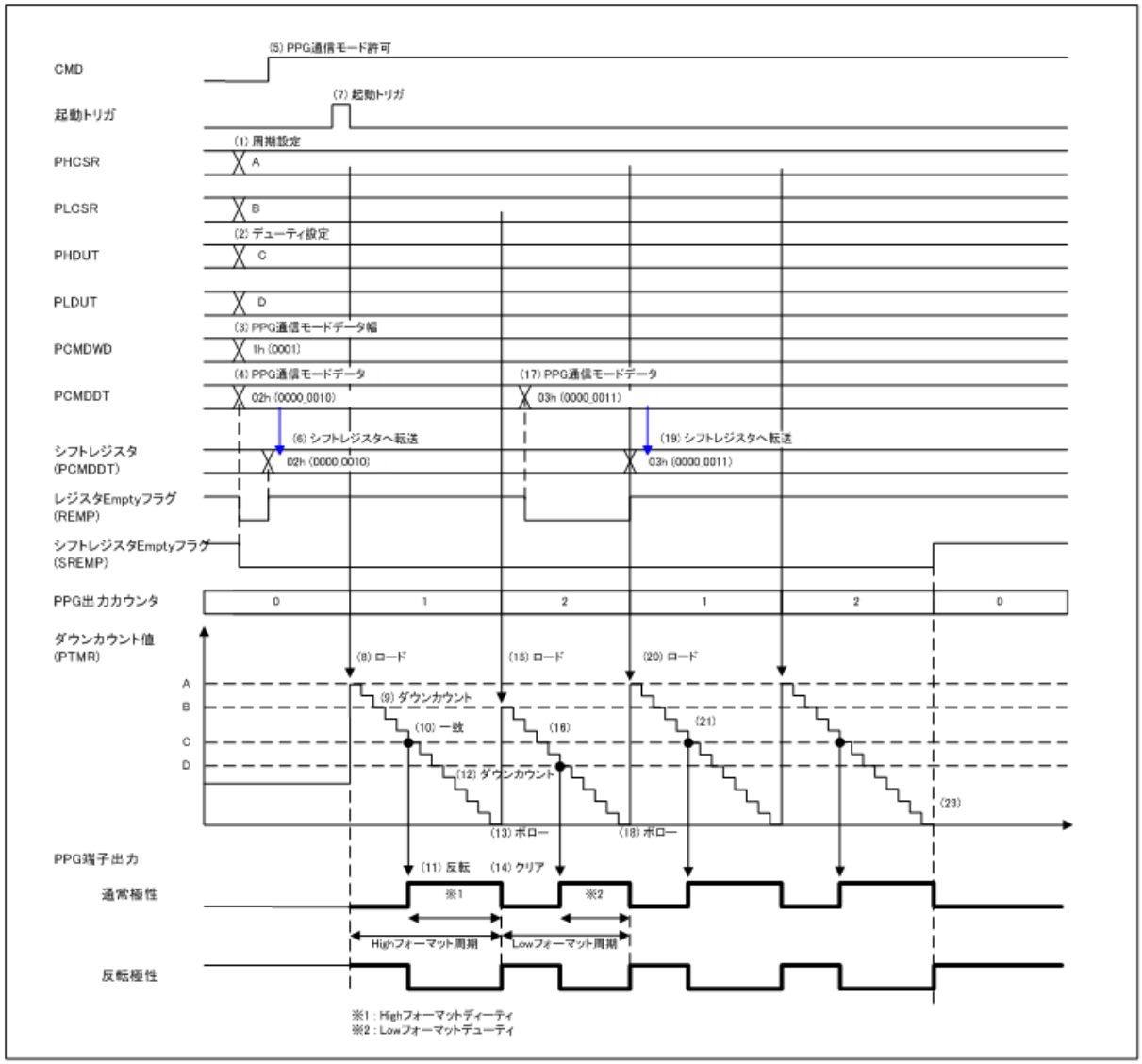
＜注意事項＞

計算式: すべてのモードで共通

・周期={周期値(PCSR)＋1} × カウントクロック
・デューティ={デューティ値(PDUT)＋1} × カウントクロック
・パルス出力までの時間={周期値(PCSR)－デューティ値(PDUT)} × カウントクロック

■ PPG 連続通信動作

図 5-13　PPG 通信モード動作例 (連続通信)



設定・動作手順:

(1). PHCSR/PLCSR(High/Low フォーマット周期値)の書込み
(2). PHDUT/PLDUT(High/Low フォーマットデューティ値)の書込み
(3). PCMDWD(PPG 通信モードデータ幅)の書込み
(4). PCMDDT(PPG 通信モードデータ)の書込み
(5). PPG 通信モード許可
(6). PCMDDT(PPG 通信モードデータ)をシフトレジスタへ転送
(7). 起動トリガの発生
(8). ダウンカウント値(PTMR)への周期値とデューティ値のロード(PCMDDT，PCMDWD，CMDSEL にて High/Low どちらのフォーマットの周期・デューティをロードするかを決定)
(9). カウンタのダウンカウント
(10). ダウンカウンタがデューティ値と一致
(11). PPG 端子の出力レベルを反転
(12). カウンタのダウンカウント
(13). カウンタでボロー発生
(14). PPG 端子の出力レベルをクリア(通常状態に復帰)
(15). ダウンカウント値(PTMR)への周期値とデューティ値の再ロード
(16). (9)～(15)までを PCMDDT、PCMDWD の設定に従い反復
(17). PCMDDT(PPG 通信モードデータ)の書込み
(18). カウンタでボロー発生
(19). PCMDDT(PPG 通信モードデータ)をシフトレジスタへ転送
(20). ダウンカウント値(PTMR)への周期値とデューティ値のロード(PCMDDT，PCMDWD，CMDSEL にて High/Low どちらのフォーマットの周期・デューティをロードするかを決定)
(21). (9)～(15)までを PCMDDT、PCMDWD の設定に従い反復
(22). 動作シーケンス終了

＜注意事項＞

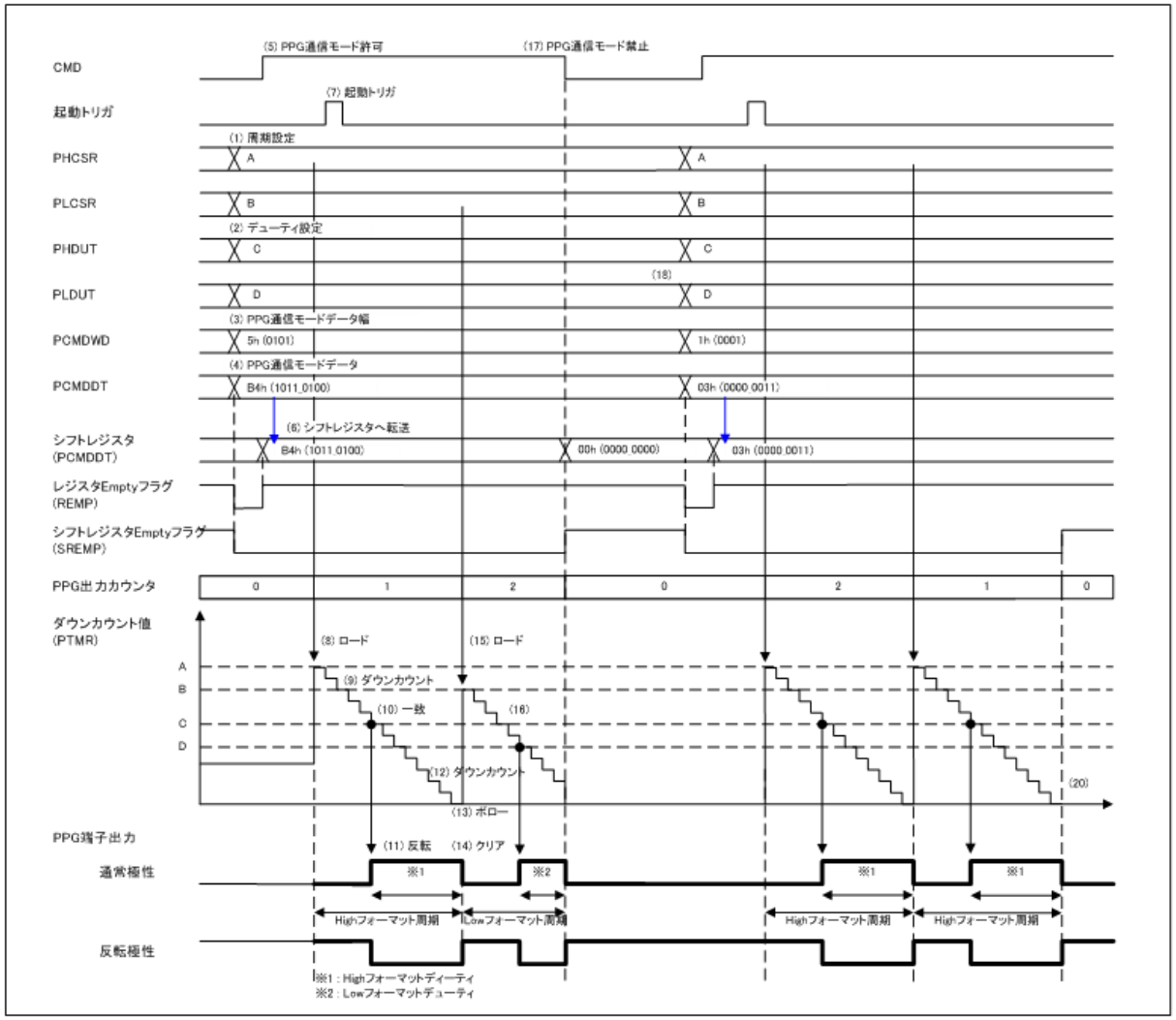
- 上記(1)～(5)の設定順序による制約はありませんが、(1)～(5)すべてに書込みを行わなければ、PPG 通信動作を開始しません。
- 上記(1)～(5)の設定が完了せずに起動トリガを発生させた場合、PPG 通信は開始しません。
  また、この場合、一度設定をクリアするため、再度(1)～(5)の設定を行う必要があります。

5.12. PPG 通信強制停止、再開動作

PPG 通信強制停止、再開動作について示します。

PPG 通信モード動作中、PPG 通信モード設定レジスタ(CMD)に"0"を書き込んだ場合、PPG 通信は停止し、設定レジスタ以外の内部回路は初期化されます。また、PPG 通信動作を再開させるためには、関連レジスタすべてに書込みを行なわなければなりません。

図 5-14 PPG 通信モード動作例 (通信強制停止、再開)



設定・動作手順:

(1). PHCSR/PLCSR(High/Low フォーマット周期値)の書込み
(2). PHDUT/PLDUT(High/Low フォーマットデューティ値)の書込み
(3). PCMDWD(PPG 通信モードデータ幅)の書込み
(4). PCMDDT(PPG 通信モードデータ)の書込み
(5). PPG 通信モード許可
(6). PCMDDT(PPG 通信モードデータ)をシフトレジスタへ転送
(7). 起動トリガの発生
(8). ダウンカウント値(PTMR)への周期値とデューティ値のロード(PCMDDT, PCMDWD, CMDSEL にて High/Low どちらのフォーマットの周期・デューティをロードするかを決定)
(9). カウンタのダウンカウント
(10). ダウンカウンタがデューティ値と一致
(11). PPG 端子の出力レベルを反転
(12). カウンタのダウンカウント
(13). カウンタでボロー発生
(14). PPG 端子の出力レベルをクリア(通常状態に復帰)
(15). ダウンカウント値(PTMR)への周期値とデューティ値の再ロード
(16). (9)～(15)PCMDDT、PCMDWD の設定に従い反復
(17). PPG 通信モード禁止 (内部回路、フラグレジスタクリア)
(18). (1)～(7)をすべてに再設定し、(8)～(15)までを PCMDDT、PCMDWD の設定に従い反復
(19). 動作シーケンス終了

＜注意事項＞

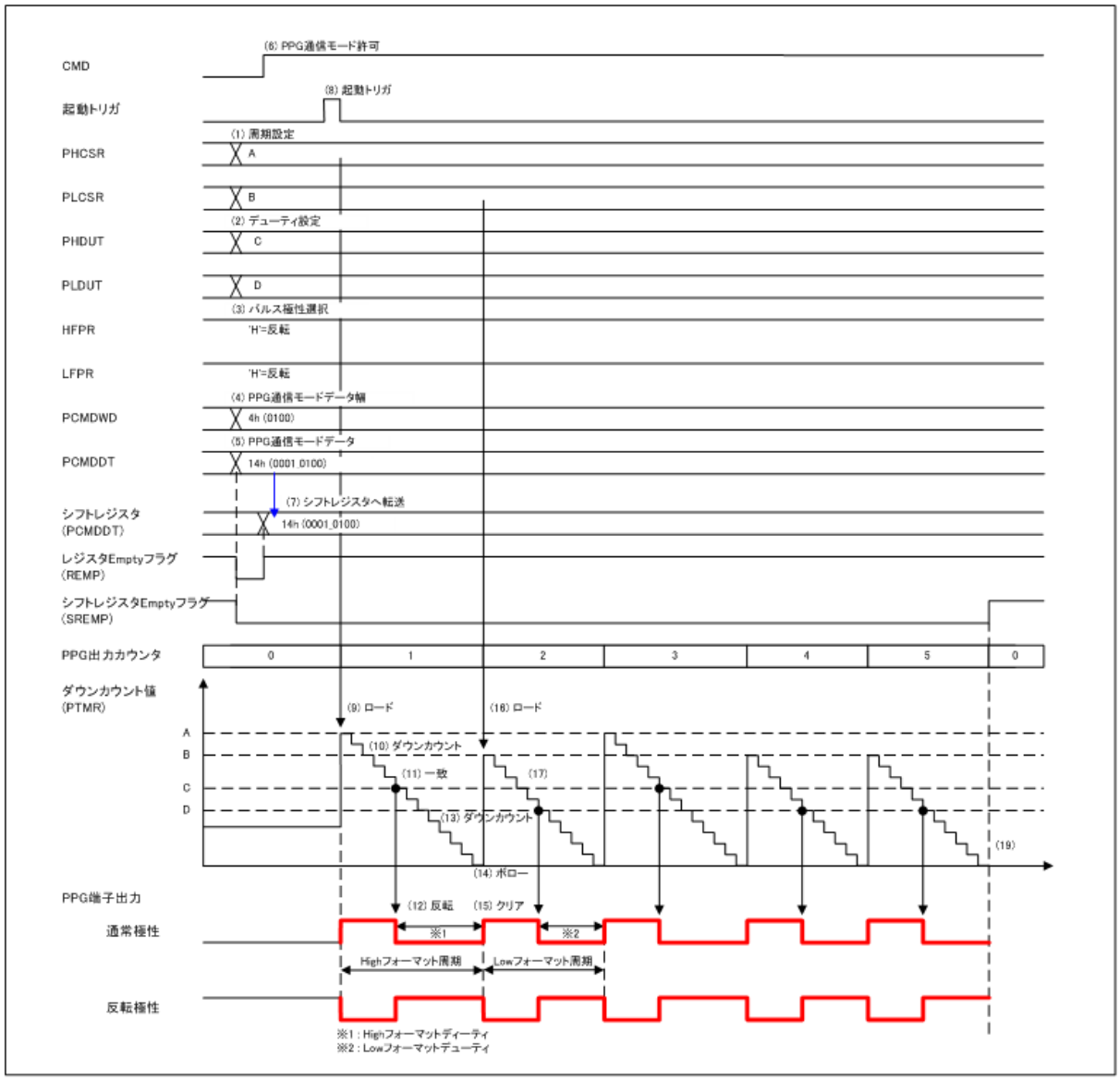
- 上記(1)～(5)の設定順序による制約はありませんが、(1)～(5)すべてに書込みを行なわなければ、PPG 通信動作を開始しません。
- 上記(1)～(5)の設定が完了せずに起動トリガを発生させた場合、PPG 通信は開始しません。
  また、この場合、一度設定をクリアするため、再度(1)～(5)の設定を行う必要があります。

5.13. PPG 出力パルス極性選択

PPG 出力パルス極性選択について示します。

High/Low フォーマットパルス極性選択レジスタ(HFPR/LFPR) に"1"を書き込むことにより、PPG 波形を High パルスから出力することができます。("0"設定では Low パルスから出力)

図 5-15 PPG 通信モード動作例 (出力パルス選択モード"1"設定)



設定・動作手順:

(1). PHCSR/PLCSR(High/Low フォーマット周期値)の書込み
(2). PHDUT/PLDUT(High/Low フォーマットデューティ値)の書込み
(3). HFPR/LFPR(High/Low フォーマットパルス極性選択)の書込み
(4). PCMDWD(PPG 通信モードデータ幅)の書込み
(5). PCMDDT(PPG 通信モードデータ)の書込み
(6). PPG 通信モード許可
(7). PCMDDT(PPG 通信モードデータ)をシフトレジスタへ転送
(8). 起動トリガの発生
(9). ダウンカウント値(PTMR)への周期値とデューティ値のロード
(PCMDDT, PCMDWD, CMDSEL にて High/Low どちらのフォーマットの周期・デューティをロードするかを決定)
(10). カウンタのダウンカウント
(11). ダウンカウンタがデューティ値と一致
(12). PPG 端子の出力レベルを反転
(13). カウンタのダウンカウント
(14). カウンタでボロー発生
(15). PPG 端子の出力レベルをクリア(通常状態に復帰)
(16). ダウンカウント値(PTMR)への周期値とデューティ値の再ロード
(17). (10)～(16)までを PCMDDT、PCMDWD の設定に従い反復
(18). 動作シーケンス終了

＜注意事項＞

- 上記(1)～(6)の設定順序による制約はありませんが、(1)～(2),(4)～(6)すべてに書込みを行なわなければ、PPG 通信動作を開始しません。
- 上記(1)～(5)の設定が完了せずに起動トリガを発生させた場合、PPG 通信は開始しません。
また、この場合、一度設定をクリアするため、再度(1)～(5)の設定を行う必要があります。

5.14. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

・ソフトウェアトリガ、外部トリガ、GATE 信号トリガ。
・カウンタのボローの発正(設定した周期が一致)
・デューティの一致
・Timing Point Capture 値の一致
・PPG 通信データレジスタ Empty フラグ

PPG の動作モードによって、発生する割込み要因は異なります。

表 5-1 動作モードと割込み要求の対応

割込み要求	PWM 動作、ワンショット動作	Timing Point Capture モード	PPG 通信モード
ソフトウェアトリガ、外部トリガ、GATE 信号トリガ	○	○	×
カウンタのボローの発生	○	○	×
カウンタとデューティ値の一致	○	○	×
カウンタのボロー発生または カウンタとデューティ値の一致	○	○	×
TimingPoint Capture 値の一致	×	○	×
PPG 通信データレジスタ Empty 要因	×	×	○

各動作モードの割込み関連レジスタについて表 5-2 に示します。

表 5-2 各動作モードの割込み設定

割込み設定	割込み要因の設定	割込みフラグ	割込み要求許可	割込み要求のクリア
PWM 動作、ワンショット動作	PCNn.IRS[1:0] =00～11	PCNn.IRQF=1	PCNn.IREN=1	PCN.IRQF に"0"を書き込む
TimingPoint Capture モード	PCN2n.IRS[2:0] =000～100	PCNn.IRQF=1	PCNn.IREN=1	PCN.IRQF に"0"を書き込む
PPG 通信モード	PCN2n.IRS[2:0] =101～111	PCN2n.REMP=1 または PSC2n.SREMP=1	PCNn.IREN=1	PCN.IRQF に"0"を書き込む

(n=0～47)
PCN: PPG 制御レジスタ
PCN2: PPG 制御レジスタ 2

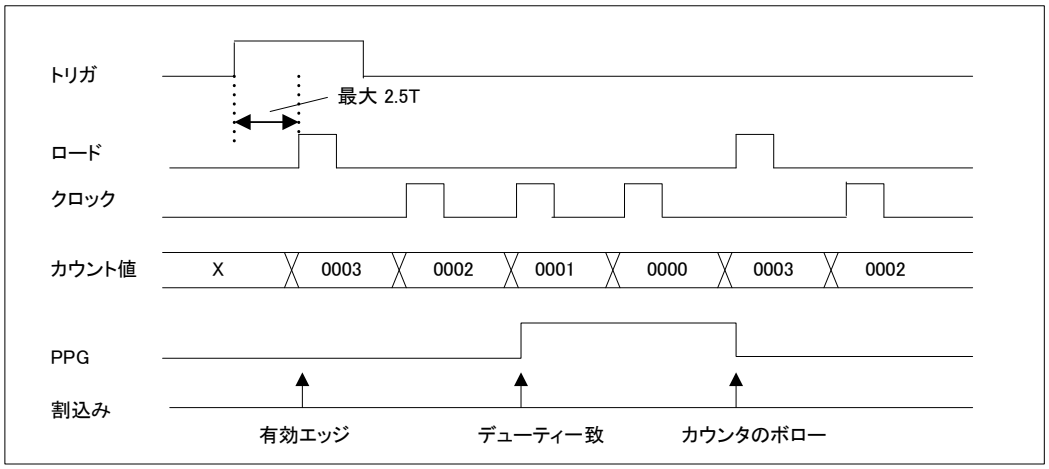
6. 注意事項

PPG の注意事項について説明します。

PPG を使用する時の注意事項を説明します。

■ PPG 動作起動

1. 最初のロードは起動トリガの後、最大 2.5T 遅延します。(T: カウントクロック)
   ダウンカウンタへのロードとカウントが同時に発生した場合には、ロード操作がダウンカウンタを上書きします。



2. PPG を起動するには、PPG の動作を許可する前または同時にタイマ動作許可ビット(PCN:CNTE)を"1"に設定する必要があります。

3. PSTR 端子(PPG 起動トリガ)をトリガとしての PPG の起動は、ソフトウェアトリガ、または、外部トリガ(TRG 端子)を使用した PPG 起動と同意となります。
   前もって、PPG 動作に必要なレジスタを設定しておく必要があります。

■ PPG 動作中

1. PPG の動作中には、モード選択ビット(PCN:MDSE)、リスタート許可ビット(PCN:RTRG)、カウントクロック選択ビット(PCN:CKS1, CKS0)、トリガ入力エッジ選択ビット(PCN:EGS1, EGS0)、割込み原因選択ビット(PCN:IRS1, IRS0)、起動トリガ選択ビット(GTRS:TSEL[6:0])、PPG 出力極性選択ビット(PCN:OSEL)は変更しないでください。
   PPG の動作中にこれらの値を変更したい場合には、レジスタ設定を変更する前に PPG の動作を禁止してください。

2. PPG の動作中にタイマ動作許可ビット(PCN:CNTE)に"0"を設定して、PPG を禁止した場合には、PPG ダウンカウンタ値(PTMR)は値が保持され、PPG 出力は"L"になり、停止します。
   その後、タイマ動作許可ビット(PCN:CNTE)を"1"に設定して PPG の動作を許可し、起動トリガの入力で、周期値とデューティ値を再ロードして動作を再開します。

3. タイマ動作許可ビット(PCN:CNTE)に"0"を設定して、PPG を禁止した場合には、PPG 出力が停止するまで、内部クロックで 3 クロックかかります。

4. PPG の動作中に PPG 出力波形選択(OWFS)を書換えた場合、次の周期から設定が反映されます。

5. PPG の動作中に PPG 出力マスク(PCN.PGMS)を"1"から"0"に設定し、マスクを解除する場合には、周期の始めから、デューティ一致となる前までの間に設定を行ってください。

■ 周期値(PCSR)、デューティ(PDUT)設定

1. 周期値(PCSR)、デューティ値(PDUT)の書込みは、必ず、(1)PCSR、(2)PDUT の順で書き込んでください。 周期値(PCSR)、デューティ値(PDUT)の書換え時の注意事項を次に示します。

   ① 周期値(PCSR)、デューティ値(PDUT)は、デューティ値(PDUT)書込みを契機にバッファに取り込まれ、起動トリガ、または、ボロー発生時にバッファからカウンタへ転送されます。

   ② PPG 動作中に、周期値(PCSR)、または、デューティ値(PDUT)を書き換えたときの出力波形への反映は、デューティ値(PDUT)書換え後の次の周期からとなります。

   ③ 周期値(PCSR)のみ書き換えたい場合でも、(1)PCSR、(2)PDUT の順で、デューティ値(PDUT)を同一値として、再設定し直す必要があります。

   ④ デューティ値(PDUT)は、任意に書き換えることができます。

2. PPG デューティ設定レジスタ(PDUT)には、PPG 周期設定レジスタ(PCSR)に設定した値よりも小さい値を設定してください。

3. PPG の周期設定レジスタ(PCSR)とデューティ設定レジスタ(PDUT)は、必ずワード(16 ビット)フォーマットでアクセスしてください。これらのレジスタにバイトアクセスした場合には、上側と下側のビット位置に値が書き込まれません。

■ GATE 機能

1. GATE 機能制御レジスタ(GATEC)を設定する場合は、PPG の起動前に設定してください。
   PPG の動作中には、GATE 機能制御レジスタ(GATEC)の、GATE 選択ビット(STGR)、極性選択ビット(EDGE)は変更しないでください。

2. GATE 信号がネゲートされてから PPG 出力が停止するまで、内部クロックで 4 クロックかかります。

3. GATE 機能有効時(STGR="1")は、リスタート許可(RTRG)が有効で、他の起動トリガを入力しても、リスタート動作を開始しません。

4. PPG 動作中に GATE 信号が"1"から"0"(EDG="0"の場合)となった場合には、PPG ダウンカウンタ値は値が保持され、PPG 出力は"L"になり、停止します。その後、GATE 信号を"0"から"1"に設定して、周期値とデューティ値を再ロードして動作を開始します。

■ 割込み

1. 割込み要求フラグ(PCN:IRQF)が"1"の際に割込み要求フラグを"0"に設定すると、フラグクリア要求は上書きされて、割込み要求フラグは"1"になります。

2. PPG 出力マスク中(PCN.PGMS="1")は、以下となります。
デューティ一致による割込み要因により、割込みフラグが"1"にセットされることはありません。
カウンタのボロー発生による割込み要因により、割込みフラグは"1"にセットされます。
トリガ(ソフトウェアトリガ、外部トリガ　または　GATE 信号によるトリガ)による割込み要因により割込みフラグは"1"にセットされます。

■ Start Delay 機能

1. Start Delay モードを起動するには、PPG の動作を許可(起動)する前、または同時にタイマ動作許可ビット(CNTE)と Start Delay モード許可(STRD)を"1"に設定する必要があります。

2. Start Delay モードでの PPG 動作中に Start Delay 値(PSDR)を書き換えた場合、一度動作を禁止し、起動トリガを発生させないと反映されません。(Start Delay 値は、起動トリガにて反映される)

3. Start Delay 動作中(ウェイト期間)にリスタート要求が発生した場合、再度 Start Delay 設定期間(PSDR)を待ちます。また、Start Delay モード許可(STRD)="1"で PPG 波形出力中にリスタート要求があった場合は、PPG 波形出力を停止し、再度 Start Delay 設定期間を待ちます。

4. Start Delay モード許可(STRD)="1"で Start Delay 値="0"は設定できません。(Start Delay 値の最小設定は"1")　遅延値="0"を設定したい場合には、Start Delay モード許可(STRD)="0"に設定してください。

5. Start Delay モード許可(STRD)を Start Delay 期間中に"0"にした場合、一度動作を禁止してください。また、Start Delay モード禁止(STRD=0)は、起動トリガを発生させないと反映されません。

6. Start Delay 期間中にタイマ動作許可(CNTE)に"0"を設定した場合には、PPG はその状態(カウントおよび出力レベル)を維持したまま停止します (復帰については「■PPG 動作中」の 2 を参照してください) 。

■ Timing Point Capture 機能

1. Timing Point Cature 値設定(PTPC)を周期値(PCSR)以下にする必要があります。周期値(PCSR)より大きな値を設定した場合には、A/D 起動トリガ発生、Timing Point Capture 一致割込み発生しません。

2. Start Delay モード許可(STRD)="1"、Timing Point Capture モード許可(TPC)＝"1"設定において、Start Delay(ウェイト)中の Timing Point Cature 値一致による割込み、および A/D 起動トリガは発生しません。

3. PPG 動作中に Timing Point Capture 値(PTPC)を書き換えた場合、値の反映は、書換え後の次の周期からとなります。

4. Timing Point Capture モード許可(TPC)を PPG 動作中に"0"にした場合、Timing Point Cature 値一致による割込み、および A/D 起動トリガは発生しません。 再度 Timing Point Capture モード許可(TPC)を設定する際には、手順通り設定してください。

■ PPG 通信モード機能

1. PPG 通信の起動は、PPG 通信許可(CMD)、周期設定(PHCSR/PLCSR)、デューティ設定(PHDUT/PLDUT)、PPG 通信モードデータ(PCMDDT)、PPG 通信データビット長(PCMDWD)の設定後、最後に起動トリガを設定することにより、PPG 通信開始となります。
PPG 通信を起動する際には、必ずレジスタに書込みを行なってください。また、その他のレジスタ設定についても同様に、起動トリガを設定する前に設定してください。
ただし、上記設定が完了せずに起動トリガを発生させた場合、PPG 通信は開始しません。この場合、一度 PPG 通信を禁止(PCN2.CMD="0") して、再度設定を行なってください。
(GATE 機能使用時も同様)

2. PPG 通信にて有効・無効となるレジスタは以下になります。

   有効レジスタ ： ソフトウェアトリガ(STRG)
   カウントクロック選択(CKS1-0)
   PPG 出力マスク選択(PGMS)
   トリガ入力選択(EGS1-0)
   割込み要求許可(IREN)
   割込み要因選択(IRS1-0)
   割込み要求フラグ(IRQF) *1
   PPG 出力極性選択(OSEL)
   PPG タイマ(PTMR)
   GATE 機能制御(GATEC)
   PPG 通信モードデータ読出し選択(CMDSEL)
   PPG 通信モード許可(CMD)
   Timing Point Capture 割込み(IRS2)
   PPG 通信データレジスタ Empty フラグ(REMP) *2
   PPG 通信データシフトレジスタ Empty フラグ(SREMP) *2
   High フォーマット周期設定(PHCSR)
   Low フォーマット周期設定(PLCSR)
   High フォーマットデューティ設定(PHDUT)
   Low フォーマットデューティ設定(PLDUT)
   通信モードデータ設定(PCMDDT)
   通信モードデータビット長設定(PCMDWD)
   Low **フォーマットパルス極性選択**(LFPR)
   High **フォーマットパルス極性選択**(HFPR)

   無効レジスタ ： タイマ動作許可(CNTE)
   モード選択(MDSE)
   リスタート許可(RTRG)
   PPG出力波形選択(OWFS)
   割込み要求フラグ(IRQF)
   PPG周期設定(PCSR)
   PPGデューティ設定(PDUT)
   Timing Point Capture許可(TPC)
   Start Delay許可(STRD)
   Start Delay値設定(PSDR)
   Timing Point Capture値設定(PTPC)

   *1: PPG通信時は割込み選択をIRS[2:0]=000b～100bへは設定禁止だが、レジスタは有効。
   *2:リードオンリレジスタのため設定はできない。

3. PPG 通信動作中には、カウントクロック選択(CKS1-0)、割込み選択(IRS2-0)、トリガ入力エッジ選択(EGS1-0)、PPG 出力極性選択(OSEL)、GATE 機能許可(STGR)、起動有効エッジ選択(EDGE)、PPG 通信モードデータ読出し選択(CMDSEL)、High/Low フォーマットパルス選択(HFPR/LFPR)、通信モードデータビット長設定(PCMDWD)は変更しないでください。PPG 通信動作中にこれらの値を変更したい場合には、レジスタ設定を変更する前に PPG 通信動作を禁止してください。

4. PPG 通信モード時の周期値(PHCSR/PLCSR)、デューティ値(PHDUT/PLDUT)の書換え時の注意事項を示します。

   ① 周期値(PHCSR/PLCSR)、デューティ値(PHDUT/PLDUT)は、起動トリガ、またはボロー発生時にレジスタからカウンタへ転送されます。よって、PPG 通信動作中に、周期(PHCSR/PLCSR)、または、デューティ値(PHDUT/PLDUT)を書き換えたときの出力波形への反映は、ボロー発生後の次の周期からとなります。

   ② デューティ値(PHDUT/PLDUT)は、周期値(PHCSR/PLCSR)以下である必要があります。

   周期値(PHCSR/PLCSR)より大きな値を設定した場合には、デューティ値(PHDUT/PLDUT)を小さな値に書き換える前に、PPG 通信動作を禁止してください。PPG 通信動作を禁止しないと次のようになります。

   ・周期値(PHCSR/PLCSR)＜デューティ値(PHDUT/PLDUT)の設定により"H"または"L"が出力されます。(PPG 出力極性選択(OSEL)設定により"H"または"L"が選択)

   ③ 周期値(PHCSR/PLCSR)とデューティ値(PHDUT/PLDUT)を同じ値に設定した場合、または、デューティ値(PHDUT/PLDUT)を"0"に設定した場合は、次のようになります。

   ・周期=デューティと設定した場合
   通常極性(OSEL=0)時は、"H"出力
   反転極性(OSEL=1)時は、"L"出力
   ・デューティ=0 と設定した場合
   通常極性(OSEL=0)時は、カウントクロック 1cycle 分"H"出力
   反転極性(OSEL=1)時は、カウントクロック 1cycle 分"L"出力

5. PPG 通信モードの High/Low フォーマット周期設定レジスタ(PHCSR/PLCSR)とデューティ設定レジスタ(PHDUT/PLDUT)は、必ず 16 ビットフォーマットでアクセスしてください。これらのレジスタにバイトアクセスした場合には、上側と下側のビット位置に値が書き込まれません。

6. PPG 通信を続けて行いたい場合には、PPG 通信中に PPG 通信モードデータ(PCMDDT)の書換えが必要となります。(同値書換えでも可能)

   ただし、PCMDWD(PPG 通信モードデータビット長)の設定分出力されてから、次の設定データ分が出力されます。

7. PPG 通信動作中に、PPG 出力マスク選択(PGMS)を書換えた場合、次の周期から設定が反映されます。

Chapter 18: ウォッチドッグタイマ

ウォッチドッグタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

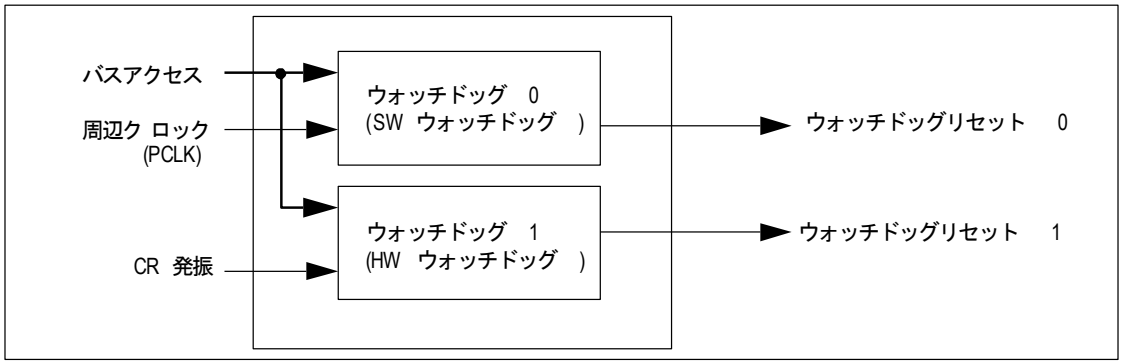
管理コード : FR81S10_WDT-1v1-91520-6-J

1. 概要

ウォッチドッグタイマの概要について説明します。

本品種は、2 つのウォッチドッグタイマを持ち、ソフトウェアおよびハードウェアの暴走状態を検出してリセット要求を発生することができます。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

ウォッチドッグタイマの特長について説明します。

2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ)

2.2. ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)

2.1. ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ)

ウォッチドッグタイマ 0 について説明します。

- ストップモード検出機能
  時計モード、ストップモードへの遷移を検出してリセット要求を発生することができます。
- ウォッチドッグタイマのクリア
  動作初期化リセット、または前回クリアレジスタに書いた値の反転値を書くことでタイマをクリアします。
- 不正書込み検出機能
  クリアレジスタに不正な値が書き込まれるとリセット要求を発生します。
- ウォッチドッグタイマ周期
  周辺クロック(PCLK) × (2^9 ～ 2^{24})サイクルの 16 通りから選択できます。
- カウント停止条件

CPU 停止中はカウントを停止します。
・ウォッチドッグタイマ下限値設定機能
周辺クロック(PCLK) × (2^8 ～ 2^{23})サイクルの最大 16 通りから選択できます。
・ウォッチドッグタイマウィンドウ監視・リセット発行機能
ウォッチドッグタイマ下限設定値以下でクリアレジスタに書込みが行なわれるとリセット要求を発生します。

2.2. ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ)

ウォッチドッグタイマ 1 について説明します。

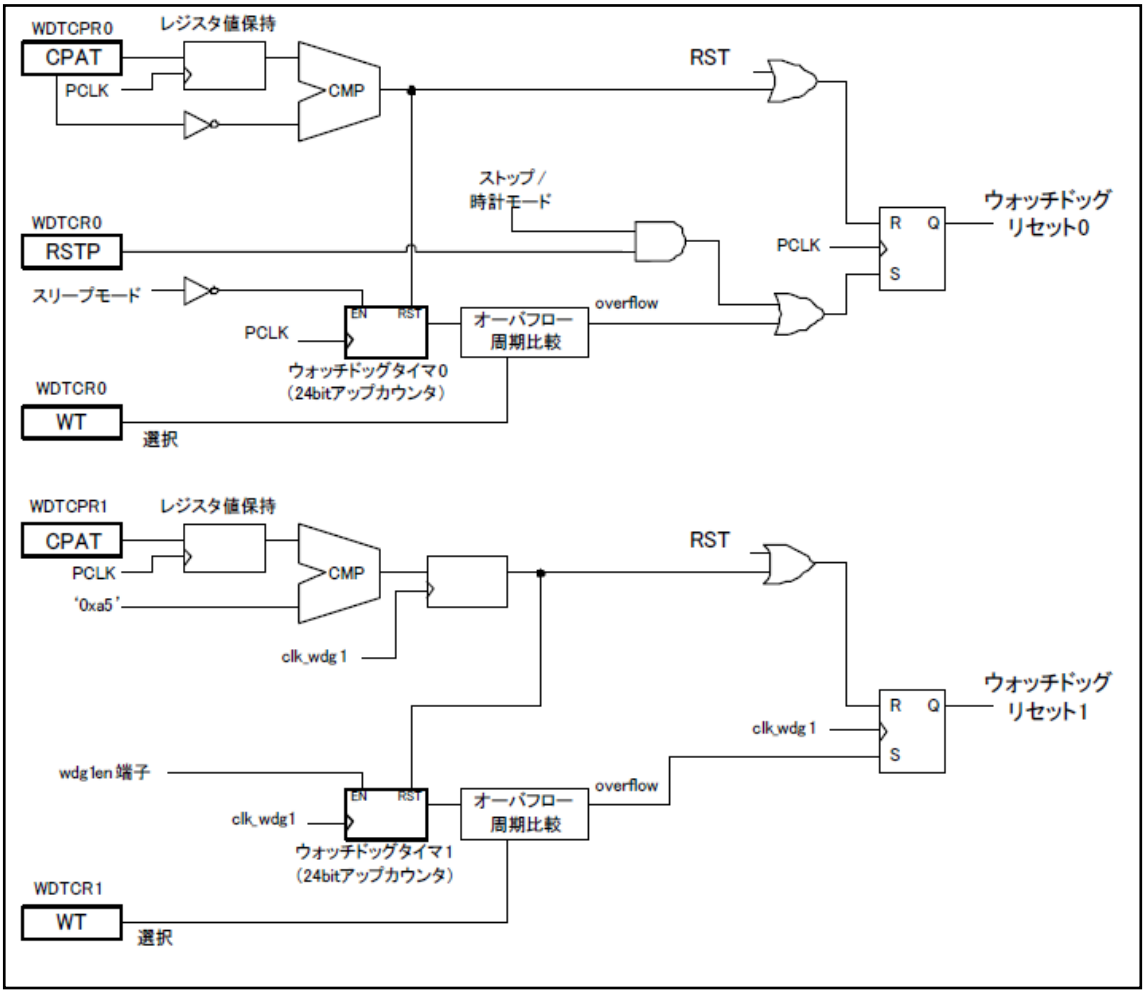
リセット解除後、すぐに搭載 CR 発振回路で生成されたクロックで駆動します。CR 発振の設定(キャリブレーション)については『RTC/WDT1 補正(キャリブレーション)』の章を参照してください。

・ウォッチドッグタイマのクリア
動作初期化リセット、またはクリアレジスタに"0xa5"を書くことでタイマをクリアします。
・不正書込み検出機能
クリアレジスタに"0xa5"以外の値が書き込まれるとリセット要求を発生します。
・ウォッチドッグタイマ周期
ハードウェア固定で、CR 発振×2^{15} サイクルです。
・カウント停止条件
ICE 使用中、スリープモード時、時計モード時、ストップモード時、スタンバイモードからの復帰時の発振安定待ち中は、カウントを停止します。

3. 構成

ウォッチドッグタイマの構成について説明します。

図 3-1 ブロック図(詳細)



4. レジスタ

ウォッチドッグタイマのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0038	WDTECR0	予約			ウォッチドッグタイマ 0 拡張制御レジスタ
0x003C	WDTCR0	WDTCPR0	WDTCR1	WDTCPR1	ウォッチドッグタイマ 0 制御レジスタ ウォッチドッグタイマ 0 クリアレジスタ ウォッチドッグタイマ 1 周期インフォメーションレジスタ ウォッチドッグタイマ 1 クリアレジスタ

4.1. ウォッチドッグタイマ 0 制御レジスタ : WDTCR0 (WatchDog Timer 0 Configuration Register)

ウォッチドッグ制御レジスタ 0 のビット構成について示します。

ウォッチドッグタイマ 0 の各種設定を行います。
ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは動作に影響を与えません。

■ WDTCR0 : アドレス 003C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	RSTP	予約		WT[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7] (予約) : (予約ビット)
このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit6] RSTP (Reset by SToP) : ストップモード検出リセット許可
ウォッチドッグタイマ 0 動作時、時計モードまたはストップモード遷移を検出したときに、リセットを発生するかどうかを設定します。許可した場合、時計モードまたはストップモードへ遷移するとウォッチドッグリセット 0 が発生します。許可していない場合、時計モードまたはストップモードへ遷移するとウォッチドッグタイマ 0 は一時停止し、時計モードまたはストップモードから復帰するまでカウントを行いません。

RSTP	ストップモード検出
0	検出しない(初期値)
1	検出してリセットを発生する

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは動作に影響を与えません。

[bit5, bit4] (予約) : (予約ビット)

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit3～bit0] WT[3:0] (Watchdog Timer interval) : ウォッチドッグタイマ周期選択

ウォッチドッグタイマ 0 が最後にクリアされてからウォッチドッグリセット 0 が発行されるまでのサイクル数を以下のように設定します。

WT[3:0]	ウォッチドッグタイマ 0 周期
0000	PCLK(周辺クロック) × 2^9 サイクル
0001	PCLK × 2^{10} サイクル
0010	PCLK × 2^{11} サイクル
0011	PCLK × 2^{12} サイクル
0100	PCLK × 2^{13} サイクル
0101	PCLK × 2^{14} サイクル
0110	PCLK × 2^{15} サイクル
0111	PCLK × 2^{16} サイクル
1000	PCLK × 2^{17} サイクル
1001	PCLK × 2^{18} サイクル
1010	PCLK × 2^{19} サイクル
1011	PCLK × 2^{20} サイクル
1100	PCLK × 2^{21} サイクル
1101	PCLK × 2^{22} サイクル
1110	PCLK × 2^{23} サイクル
1111	PCLK × 2^{24} サイクル

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは動作に影響を与えません。
ウォッチドッグタイマ 0 は、CPU が動作停止している期間はカウントを行いません。
DMA 転送が行われていても、CPU が動作している期間はカウントを行います。

4.2. ウォッチドッグタイマ 0 クリアレジスタ : WDTCPR0(WatchDog Timer Clear Pattern Register 0)

ウォッチドッグタイマ 0 クリアレジスタのビット構成について示します。

ウォッチドッグタイマ 0 の起動およびクリア(リセット発行延期)を行うレジスタです。

■ WDTCPR0 : アドレス 003D$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CPAT[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit7～bit0] CPAT[7:0] (Clear PATtern) : ウォッチドッグタイマ 0 クリア

リセット解除後、本レジスタへの 1 回目の書込みを行うことによりウォッチドッグタイマ 0 が起動します。起動後のウォッチドッグタイマのクリアは、前回書き込んだ値の全ビット反転した値を書き込むことにより行います。前回書き込んだ値の反転値以外を書き込んだ場合、その時点でウォッチドッグリセット 0 が発行されます。

本レジスタの読出し値は、書込み値にかかわらず常に"0x00"となります。

4.3. ウォッチドッグタイマ 0 拡張制御レジスタ : WDTECR0 (Watchdog Timer Extended Configuration Register 0)

ウォッチドッグタイマ 0 拡張制御レジスタのビット構成について示します。

ウォッチドッグタイマ 0 のウィンドウウォッチドッグ機能の設定を行うレジスタです。

ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは無効です。

■ WDTECR0 : アドレス 0038$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			WTWE	WTLI[3:0]			
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7～bit5] (予約) : (予約ビット)

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

[bit4] WTWE (Watchdog Timer Window Enable): ウォッチドッグタイマウィンドウ機能許可

ウォッチドッグタイマ 0 のウィンドウ機能を制御します。WTWE に"1"をセットした場合はウィンドウ機

能を有効にします。
初期値は"0" (ウィンドウ機能無効)です。

WTWE	ウィンドウ機能許可
0	ウィンドウ機能無効(初期値)
1	ウィンドウ機能有効

[bit3～bit0] WTLI[3:0] (Watchdog Timer Lower Interval) ：**ウォッチドッグタイマ下限選択**
ウォッチドッグタイマ 0 がクリアされてから次のクリアが入るまでの期間の下限値を設定します。ウィンドウ機能が有効な場合、ここで設定したタイマ下限値より前にタイマクリア要求が入るとウォッチドッグリセットを発行します。

WTLI[3:0]	タイマ下限値
0000	PCLK(周辺クロック) × 2^8 サイクル
0001	PCLK × 2^9 サイクル
0010	PCLK × 2^{10} サイクル
0011	PCLK × 2^{11} サイクル
0100	PCLK × 2^{12} サイクル
0101	PCLK × 2^{13} サイクル
0110	PCLK × 2^{14} サイクル
0111	PCLK × 2^{15} サイクル
1000	PCLK × 2^{16} サイクル
1001	PCLK × 2^{17} サイクル
1010	PCLK × 2^{18} サイクル
1011	PCLK × 2^{19} サイクル
1100	PCLK × 2^{20} サイクル
1101	PCLK × 2^{21} サイクル
1110	PCLK × 2^{22} サイクル
1111	PCLK × 2^{23} サイクル

設定値は WTCR0.WT[3:0]で設定した周期より小さい値に設定してください。WTCR0.WT[3:0]で設定した周期より大きな値を設定した場合オーバフロー前にタイマのクリア動作を行ってもウィンドウ下限値以下でのクリア動作を満たしリセットが発生します。

4.4. ウォッチドッグタイマ 1 周期インフォメーションレジスタ : WDTCR1 (WatchDog Timer Cycle information Register 1)

ウォッチドッグタイマ 1 周期インフォメーションレジスタのビット構成について示します。

ウォッチドッグタイマ 1 の各種設定を行います。

■ WDTCR1: アドレス 003E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				WT[3:0]			
初期値	0	0	0	0	0	1	1	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX	R1,WX	R0,WX

本レジスタは書換えができません。

[bit7～bit4] (予約) : (予約ビット)

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit3～bit0] WT[3:0] (Watchdog Timer interval) : ウォッチドッグタイマ周期選択

ウォッチドッグタイマ 1 が最後にクリアされてからウォッチドッグリセット 1 が発行されるまでのサイクル数です。2^{15} サイクルに固定されています。本ビットへの書込みは動作に影響を与えません。

WT[3:0]	ウォッチドッグタイマ 1 周期
0110	CR 発振 × 2^{15} サイクル(初期値・固定)

4.5. ウォッチドッグタイマ 1 クリアレジスタ : WDTCPR1(WatchDog Timer Clear Pattern Register 1)

ウォッチドッグタイマ 1 クリアレジスタのビット構成について示します。

ウォッチドッグタイマ 1 のクリア(リセット発行延期)を行うレジスタです。

■ WDTCPR1 : アドレス 003F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CPAT[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W

[bit7～bit0] CPAT[7:0] (Clear PATtern) : ウォッチドッグタイマ 1 クリア

リセット解除後、ウォッチドッグタイマ 1 が起動します。起動後のウォッチドッグタイマのクリアは、"0xa5"を書き込むことにより行います。"0xa5"以外を書き込んだ場合、その時点でウォッチドッグリセット 1 が発行されます。本レジスタの読出し値は書込み値にかかわらず常に"0x00"となります。

5. 動作説明

ウォッチドッグタイマの動作について説明します。

5.1. ソフトウェアウォッチドッグ機能

5.2. ハードウェアウォッチドッグ機能

5.1. ソフトウェアウォッチドッグ機能

ソフトウェアウォッチドッグ機能について示します。

5.1.1. 設定

5.1.2. 起動

5.1.3. 動作

5.1.1. 設定

ソフトウェアウォッチドッグ機能の設定について示します。

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit3-0:WT[3:0]の設定を行い、ウォッチドッグタイマのクリアからリセット発生までの周期を選択します。

ウォッチドッグタイマ 0 は CPU 動作のみのカウントを行うため、プログラムステップ数とクロック分周の設定を基準に周期を設定してください。

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit6:RSTP の設定を行い、時計モード/ストップモード遷移を検出してリセットを発生するかどうかを選択します。

- RSTP="0"時、時計モード/ストップモード中はタイマを停止します。
- RSTP="1"時、時計モード/ストップモード遷移と同時にリセットを発生します。

時計モード、ストップモードを使用する場合は RSTP="0"を設定してください。ウォッチドッグタイマ 0 起動後の RSTP ビットへの書込みは動作に影響を与えません。

5.1.2. 起動

ソフトウェアウォッチドッグ機能の起動について示します。

ウォッチドッグタイマ 0 は、リセット後 1 回目の WDTCPR0 レジスタへの任意データの書込みにより起動します。

書込みデータに制限はありません。

WDTCPR0 レジスタは書込みデータにかかわらず常に"0x00"が読み出されます。

5.1.3. 動作

ソフトウェアウォッチドッグ機能の動作について示します。

起動後のウォッチドッグタイマ 0 の動作について説明します。

カウント条件

ウォッチドッグタイマ 0 は、CPU が動作中、周辺クロック(PCLK)の立上りエッジでカウントを行います。

DMA 転送は、カウント動作に影響を与えません。

スリープモードなど、CPU が停止している期間のみカウントを停止します。CPU 動作状態のサンプリングは周辺クロック(PCLK)で行うため、周辺クロック周期未満の動作状態の変化は無視されます。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

上記いずれの条件においても、カウントを停止する際にはカウンタのクリアは行わずに一時停止を行うので、カウントを再開すると停止前のカウンタ値からの継続カウントとなります。

ソースクロックの発振安定待ち時間中は、周辺クロックが停止しますので、ウォッチドッグタイマのカウントも停止しています。

タイマのクリア

ウォッチドッグタイマの起動後、タイマ周期が経過する前に、タイマをクリアしなければなりません。

ウォッチドッグタイマのクリアは、WDTCPR0 へのデータの書込みにより行います。書き込むデータは、前回 WDTCPR0 に書き込んだデータの全ビット反転値でなければなりません。

ウォッチドッグタイマ 0 起動時に、WDTCPR0 に例えば"0x55"を書き込んで起動した場合は、以降は"0xAA"→"0x55"→"0xAA"→"0x55"と交互に書き込んで行くことによりタイマのクリアを行います。

WDTCPR0 は読出し値が常に"0x00"であるため、WDTCPR0 を読んで前回の書込み値を知ることはできません。前回書き込んだ値を他所に保持しておけない場合、1 回のクリア時に 2 回連続で書込みを行うことで対処してください。

監視期間ウィンドウ機能有効の場合は、カウンタクリアの有効範囲内でクリアしてください。

リセット要求生成

ウォッチドッグタイマ 0 は、以下の条件でウォッチドッグリセット要求を発生します。

- 設定したウォッチドッグタイマ周期のオーバフローの発生
- ストップモード検出リセット許可中の時計モードまたはストップモードへの遷移
- クリアレジスタへの前回書き込んだ値の反転値以外の値の書込み
- 監視期間ウィンドウ機能の下限設定値内でのクリアレジスタへの書込み

5.2. ハードウェアウォッチドッグ機能

ハードウェアウォッチドッグ機能について示します。

5.2.1. 設定

5.2.2. 起動

5.2.3. 動作

5.2.1. 設定

ハードウェアウォッチドッグ機能の設定について示します。

ウォッチドッグタイマ 1 の WDTCR1 レジスタの bit3-0:WT[3:0]は、ハードウェアで固定です。

5.2.2. 起動

ハードウェアウォッチドッグ機能の起動について示します。

ウォッチドッグタイマ 1 は、リセット解除後すぐに起動します。

5.2.3. 動作

ハードウェアウォッチドッグ機能の動作について示します。

起動後のウォッチドッグタイマ 1 の動作について説明します。

カウント条件

ウォッチドッグタイマ 1 は CR 発振の立上りエッジでカウントを行います。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

スリープモード時、時計モード時、ストップモード時、スタンバイモードからの復帰時の発振安定待ち中は、カウントを停止します。

タイマのクリア

ウォッチドッグタイマの起動後、タイマ周期が経過する前に、タイマをクリアしなければなりません。

ウォッチドッグタイマ 1 のクリアは、WDTCPR1 へ"0xa5"を書き込むことにより行います。

リセット要求生成

ウォッチドッグタイマ 1 は、以下の条件でウォッチドッグリセット要求を発生します。

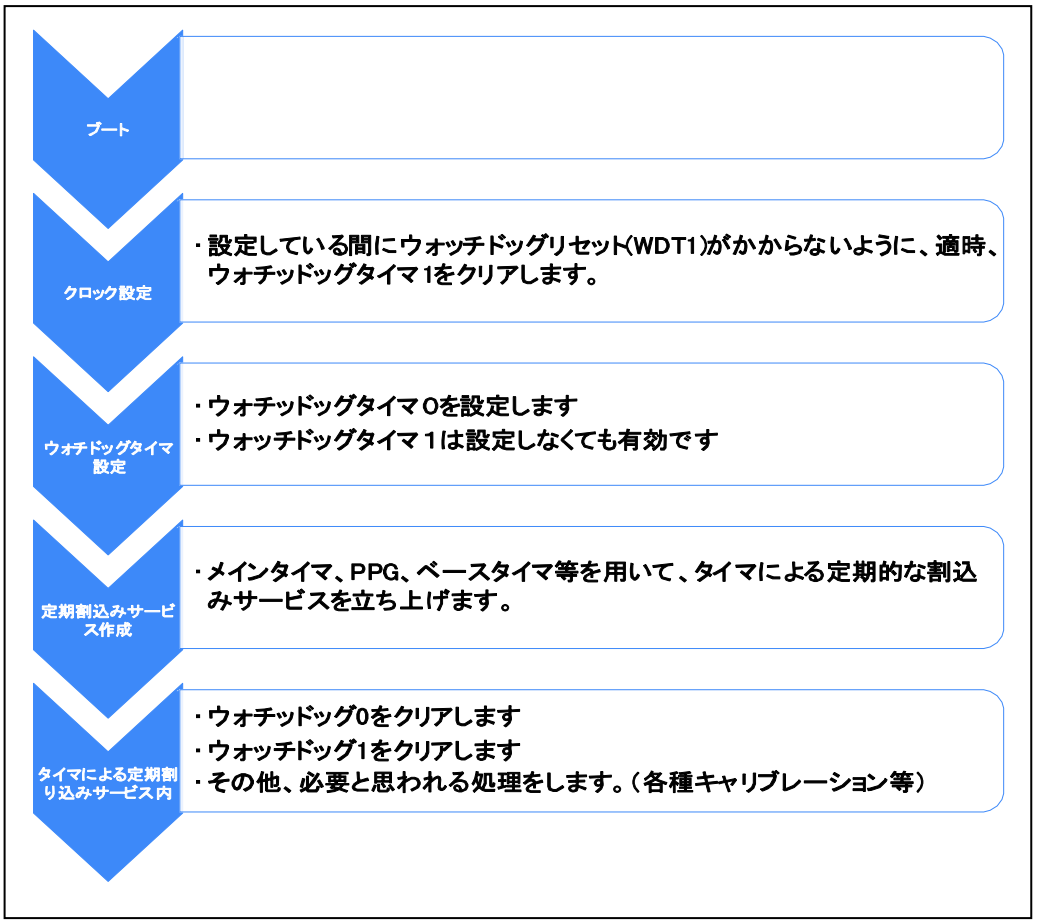
- ウォッチドッグタイマ周期のオーバフローの発生
- WDTCPR1 へ"0xa5"以外の値の書込み

6. 使用例

ウォッチドッグタイマの使用例について説明します。

ウォッチドッグタイマのクリアのための準備例です。

図 6-1 ウォッチドッグタイマクリアの例



Chapter 19: ベースタイマ

ベースタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FM10-3v1-91520-13-J

1. 概要

ベースタイマの概要について説明します。

本シリーズはベースタイマを最大 2 チャネル搭載しています。ベースタイマは、次の機能を提供します。

・16/32 ビットリロードタイマ
・16 ビット PWM タイマ
・16 ビット PPG タイマ
・16/32 ビット PWC タイマ

MB91F52xB(64pin)には、ベースタイマ機能はありません。
MB91F52xD(80pin), MB91F52xF(100pin)は 1ch のみ使用可能です。

2. 特長

ベースタイマの特長について説明します。

本品種はベースタイマを 2 チャネル搭載しています。それぞれのチャネルで次の機能を選択して使用します。

2.1. 16/32 ビットリロードタイマ

2.2. 16 ビット PWM タイマ

2.3. 16/32 ビット PWC タイマ

2.4. 16 ビット PPG タイマ

2.1. 16/32 ビットリロードタイマ

16/32 ビットリロードタイマについて示します。

ベースタイマを 16/32 ビットリロードタイマとして使用できます。16/32 ビットリロードタイマは あらかじめ設定した値からカウントダウンするタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

タイマモード

チャネルごとに個別に動作させることも、2 チャネルの 16 ビットリロードタイマを組み合わせて 32 ビッ

トリロードタイマとしても利用できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: ダウンカウンタがアンダフローした場合、設定している値(周期)をリロードしてカウントを繰り返すモードです。
- ワンショットモード: ダウンカウンタがアンダフローした場合、カウントを停止するモードです。

カウント用クロック

内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック): 周辺クロック(PCLK)の 1 分周・4 分周・16 分周・128 分周・256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号): 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント: 立上りエッジ、立下りエッジ、両エッジ
- 16/32 ビットリロードタイマの再起動: カウント動作中に起動トリガを検出したときに 16/32 ビットリロードタイマを再起動できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: アンダフローが発生したとき
- IRQ1: 16/32 ビットリロードタイマの起動トリガを検出したとき

2.2. 16 ビット PWM タイマ

16 ビット PWM タイマについて示します。

16 ビット PWM タイマは、パルス幅変調タイマ(Pulse Width Modulator Timer)の略で、パルス幅のデューティ比を設定することで外部端子から任意の波形を出力するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: 16 ビットダウンカウンタがアンダフローした場合、設定してある周期をリロードしてカウントを繰り返すモードです。
- ワンショットモード: 16 ビットダウンカウンタがアンダフローした場合、カウントを停止するモードです。

カウント用クロック

内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック) : 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号) : 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント 3 種類 : (立上りエッジ、立下りエッジ、両エッジ検出)

16 ビット PWM タイマの再起動

カウント動作中に起動トリガを検出したときに、16 ビット PWM タイマを再起動できます。

出力波形

外部端子からの出力信号を"L"レベルまたは"H"レベルに固定できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: アンダフローが発生したとき、あらかじめ決めておいた値(デューティ)までカウントしたとき
- IRQ1: 16 ビット PWM タイマの起動トリガを検出したとき

2.3. 16/32 ビット PWC タイマ

16/32 ビット PWC タイマについて示します。

16/32 ビット PWC タイマは、パルス幅カウンタタイマ(Pulse Width Counter)の略で、パルス幅や周期を測定するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(波形)の入力動作を選択できます。

タイマモード

チャネルごとに個別に動作させることも、2 チャネルの 16 ビット PWC タイマを組み合わせて 32 ビット PWC タイマとしても利用できます。

動作モード

次の 2 種類から選択できます。

- 単発測定モード: 測定を 1 回のみ行うモードです。
- 連続測定モード: 1 回測定が終わると、次の測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。

カウント用クロック

周辺クロック(PCLK)を分周して生成した内部クロック(周辺クロック)8 種類の中から選択できます。

- 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周

測定モード

測定するパルス幅や周期を次の 5 種類から選択できます。

- "H"パルス幅: "H"レベルの信号が入力されている期間
- "L"パルス幅: "L"レベルの信号が入力されている期間
- 立上りエッジ間周期: 立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
- 立下りエッジ間周期: 立下りエッジを検出してから、次の立下りエッジを検出するまでの期間
- 全エッジ間パルス幅: 連続して入力されるエッジ間の幅は次のいずれかになります。
  - 立上りエッジを検出してから立下りエッジを検出するまでの期間
  - 立下りエッジを検出してから立上りエッジを検出するまでの期間

16/32 ビット PWC タイマの再起動

カウント動作中に起動トリガを検出したときに、16/32 ビット PWC タイマを再起動できます。

割込み要求

次の場合に割込み要求を発生できます。

- IRQ0: オーバフローが発生したとき
- IRQ1: 測定が終了したとき

2.4. 16 ビット PPG タイマ

16 ビット PPG タイマについて示します。

16 ビット PPG タイマは、プログラマブルパルス発生タイマ(Programmable Pulse Generator Timer)の略で、任意のパルス幅を持つ波形を出力するタイマです。

入出力モード

ベースタイマ入出力選択機能を利用して、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作を選択できます。

動作モード

次の 2 種類から選択できます。

- リロードモード: "L"レベルと"H"レベルの信号を連続して出力(連続パルス)するモードです。
- ワンショットモード: "L"レベルと"H"レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

カウント用クロック

内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

- 内部クロック(周辺クロック) : 周辺クロック(PCLK)の 1 分周、4 分周、16 分周、128 分周、256 分周・512 分周・1024 分周・2048 分周
- 外部クロック(ECK 信号) : 立上りエッジ、立下りエッジ、両エッジ検出

起動トリガ

次の中から選択できます。

- ソフトウェアトリガ
- 外部イベント 3 種類 : (立上りエッジ、立下りエッジ、両エッジ検出)

16 ビット PPG タイマの再起動

カウント動作中に起動トリガを検出したときに、16 ビット PPG タイマを再起動できます。

割込み要求

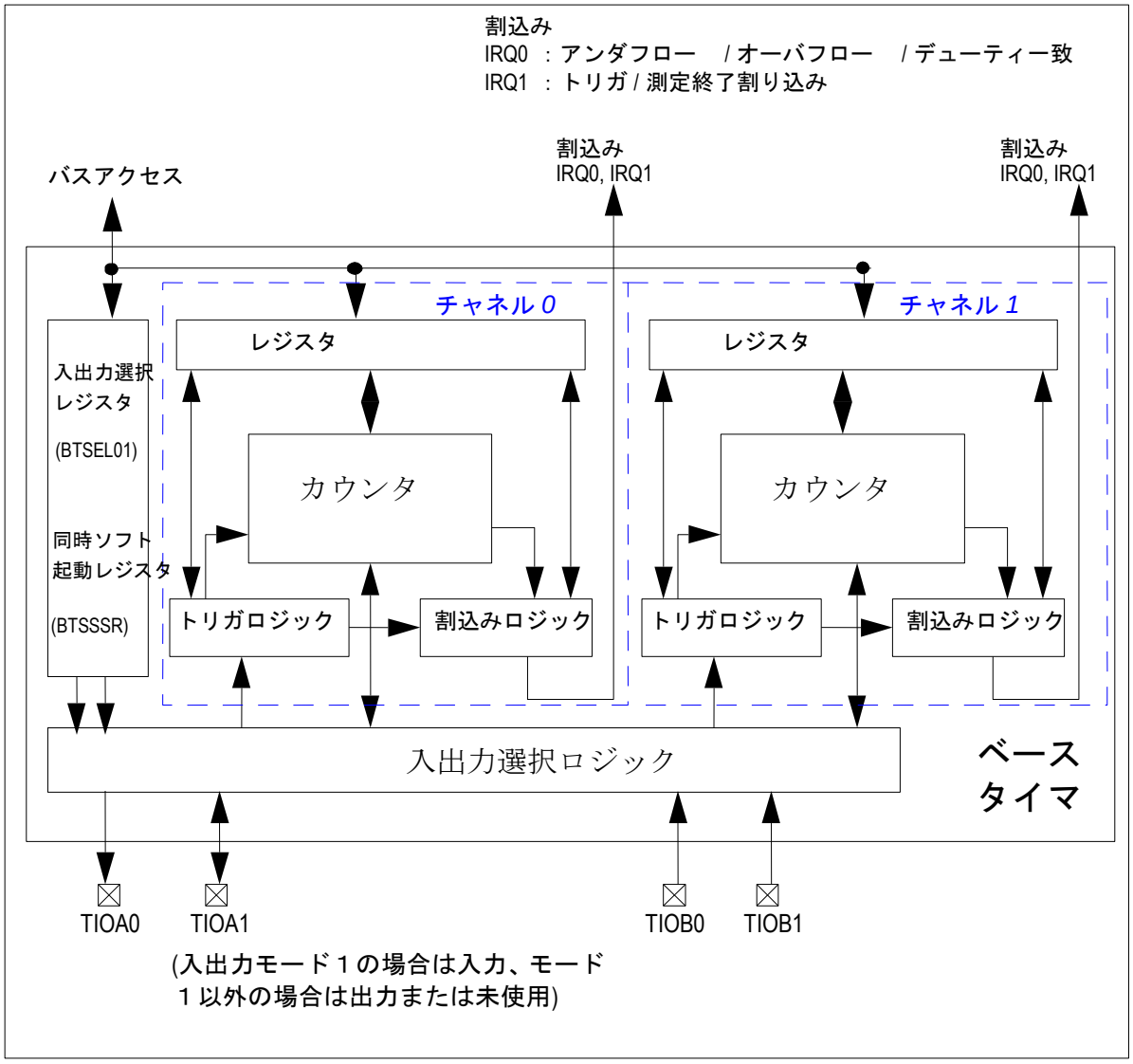
次の場合に割込み要求を発生できます。

- IRQ0: ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値でアンダフローが発生したとき
- IRQ1: 16 ビット PPG タイマの起動トリガを検出したとき

3. 構成

ベースタイマの構成について説明します。

図 3-1 ブロックダイヤグラム(概要)



4. レジスタ

ベースタイマのレジスタについて説明します。

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル番号	ベースアドレス	外部端子 *			
		MB91F52xB	MB91F52xD MB91F52xF	MB91F52xJ	MB91F52xK MB91F52xL
0	0x0080	なし	なし	TIOA0_0/TIOA0_1, TIOB0_1	TIOA0_0/TIOA0_1, TIOB0_0/TIOB0_1
1	0x0090		TIOA1_1, TIOB1_1	TIOA1_1, TIOB1_1	TIOA1_0/TIOA1_1, TIOB1_0/TIOB1_1

* : TIOA0, TIOA1, TIOB0, TIOB1 を BTSEL01 レジスタの設定に応じて割り当てますが、外部端子がない設定は禁止です。

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0080	【共通】BT0TMR		【共通】BT0TMCR		【共通】タイマレジスタ 0 【共通】制御レジスタ 0
0x0084	【共通】 BT0TMCR2	【リロードタイマ】 BT0STC 【PWM】 BT0STC 【PPG】 BT0STC 【PWC】 BT0STC	予約		【共通】制御レジスタ 2 0 【リロードタイマ】 状態制御レジスタ 0 【PWM】状態制御レジスタ 0 【PPG】状態制御レジスタ 0 【PWC】状態制御レジスタ 0
0x0088	【リロードタイマ】 BT0PCSR 【PWM】 BT0PCSR 【PPG】 BT0PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT0PDUT 【PPG】 BT0PRLH 【PWC】 BT0DTBF		【リロードタイマ】 周期設定レジスタ 0 【PWM】周期設定レジスタ 0 【PPG】L 幅設定リロードレジスタ 0 【PWM】デューティ設定レジスタ 0 【PPG】H 幅設定リロードレジスタ 0 【PWC】データバッファレジスタ 0
0x008C	予約				
0x0090	【共通】BT1TMR		【共通】BT1TMCR		【共通】タイマレジスタ 1 【共通】制御レジスタ 1

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0094	【共通】 BT1TMCR2	【リロードタイマ】 BT1STC 【PWM】 BT1STC 【PPG】 BT1STC 【PWC】 BT1STC	予約		【共通】制御レジスタ 2 1 【リロードタイマ】 状態制御レジスタ 1 【PWM】状態制御レジスタ 1 【PPG】状態制御レジスタ 1 【PWC】状態制御レジスタ 1
0x0098	【リロードタイマ】 BT1PCSR 【PWM】 BT1PCSR 【PPG】 BT1PRLL 【PWC】 予約		【リロードタイマ】 予約 【PWM】 BT1PDUT 【PPG】 BT1PRLH 【PWC】 BT1DTBF		【リロードタイマ】 周期設定レジスタ 1 【PWM】周期設定レジスタ 1 【PPG】L 幅設定リロードレジスタ 1 【PWM】デューティ設定レジスタ 1 【PPG】H 幅設定リロードレジスタ 1 【PWC】データバッファレジスタ 1
0x009C	BTSEL01	予約	BTSSSR		入出力選択レジスタ 同時ソフト起動レジスタ

4.1. 共通レジスタ

共通レジスタについて示します。

各動作で共通のレジスタです。

4.1.1. タイマレジスタ 0-1 : BTxTMR (Base Timer 0/1 TiMer Register)

タイマレジスタ 0-1 のビット構成について示します。

タイマのカウンタ値を読み出すレジスタです。リロードタイマ、PWM、PPG 時のみ有効です。PWC 時の読出し値は不定です。読出し値については動作説明を参照してください。

■ BTxTMR: アドレス Base_addr + 00_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

＜注意事項＞

このレジスタは 16 ビットでアクセスしてください。

4.1.2. タイマ制御レジスタ 0-1 : BTxTMCR (Base Timer 0/1 TiMer Control Register)

タイマ制御レジスタ 0-1 のビット構成について示します。

ベースタイマの各種設定および動作停止、ソフトウェアトリガ発行を行うレジスタです。

■ BTxTMCR : アドレス Base_addr + 02_H (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	CKS[2:0]			【PWM・PPG】 RTGEN 【ほか】 予約	【PWM・PPG】 PMSK 【PWC】 EGS[2] 【ほか】 予約	EGS[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W0 R0,W0 *3	R/W	R/W	R/W	R/W R0,WX *1	R/W R0,WX *1	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	【リロードタイマ・PWC】 T32 【ほか】 予約	FMD[2:0]			【リロードタイマ・PWM・PPG】 OSEL 【ほか】 予約	MDSE	CTEN	STRG
初期値	0	0	0	0	0	0	0	0
属性	R/W R0,W0 *1 R0,W0 *2	R/W	R/W	R/W	R/W R/W0 *1	R/W	R,W	R0,W R0,W0 *1

*1:予約の場合の属性
*2: 32 ビットタイマ奇数チャネル側時の属性
*3: 32 ビットタイマ奇数チャネル側時または 16/32 ビット PWC タイマ時の属性

■ BTxTMCR2 : アドレス Base_addr + 04_H (アクセス: バイト)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							CKS3
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

＜注意事項＞

- FMD[2:0]の設定を変更する場合、いったん FMD[2:0]=000 を設定してから、FMD[2:0]を設定してください。
- 予約となっているビットには"0"を設定してください。
- ソフトウェアトリガ(STRG)以外の本レジスタビット設定する場合は、次の順序で行ってください。
  ①いったん FMD[2:0]=000 または、CTEN=0 を書込みして動作を停止させる。
  ②各ビット、並びにタイマ機能選択(FMD[2:0])の設定したい値を書き込む。
- ソフトウェアトリガ(STRG)に書き込む際は、ほかのビットをクリアしてしまわないように注意してください。
- FMD[2:0]=000 はリセットモードのため、FMD[2:0]=000 と同時にほかのビットを設定することはできません。
- BTxTMCR は 16 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15] **予約**
0 を書き込んでください。

BTxTMCR2:bit8 BTxTMCR:[bit14～bit12] CKS[3:0] (ClocK Select) : **カウントクロック選択ビット**
カウント用クロックを選択します。

CKS[3:0]	説明	
	クロックソース	説明
0000	内部クロック (周辺クロック(PCLK))	1 分周
0001		4 分周
0010		16 分周
0011		128 分周
0100		256 分周
0101	【リロードタイマ・PWM・PPG】外部クロック(ECK 信号) 【PWC】設定禁止	立上りエッジ
0110		立下りエッジ
0111		両エッジ
1000	内部クロック (周辺クロック(PCLK))	512 分周
1001		1024 分周
1010		2048 分周
ほか	設定禁止	

PWC モードのときは、0101,0110,0111 は設定禁止です。

【PWM・PPG】[bit11] RTGEN (Restart by TriGger ENable) : **再起動許可ビット**

STRG ビットに"1"が書き込まれた場合や、外部起動トリガ(TGIN 信号)が検出された場合に、周期設定レジスタ(BTxPCSR)/L 幅設定リロードレジスタ(BTxPRLL)の値を 16 ビットダウンカウンタにリロードして、カウントし直すかどうかを設定します。

RTGEN	動作内容
0	再起動しない
1	再起動する

【PWM・PPG】[bit10] PMSK (Pulse MaSK) : **パルス出力マスクビット**

出力する波形(TOUT 信号)のレベルを次の中から選択します。

・通常出力: 16 ビット PWM/PPG タイマからの出力波形をそのまま出力します。

・固定出力:周期やデューティの設定にかかわらず"L"レベルまたは"H"レベルを出力し続けます。

PMSK	説明
0	通常出力
1	固定出力

このビットに"1"を書き込んで固定出力を選択した場合、出力されるレベルは OSEL ビットの設定によって

異なります。

・OSEL=0 の場合:　"L"レベルが出力されます。
・OSEL=1 の場合:　"H"レベルが出力されます。

【リロードタイマ・PWM・PPG】[bit9, bit8] EGS[1:0] (EdGe Select) : トリガ入力選択ビット
外部起動トリガ(TGIN)信号の有効エッジを選択します。

EGS[1:0]	説明
00	トリガ入力無効
01	立上りエッジ
10	立下りエッジ
11	両エッジ

【PWC】[bit10～bit8] EGS[2:0] (EdGe Select) : 測定モード選択ビット
測定する種類を選択します。

EGS[2:0]	説明
000	"H"パルス幅測定: "H"レベルの信号が入力されている期間
001	立上りエッジ間周期測定: 立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
010	立下りエッジ間周期測定: 立下りエッジを検出してから、次の立下りエッジを検出するまでの期間
011	全エッジ間パルス幅測定: 連続して入力されるエッジ間の幅 ①②のいずれかになります。 ①立上りエッジを検出してから立下りエッジを検出するまでの期間 ②立下りエッジを検出してから立上りエッジを検出するまでの期間
100	"L"パルス幅測定: "L"レベルの信号が入力されている期間 (立下りエッジを検出してから、立上りエッジを検出するまでの期間)
101～111	設定禁止

【リロードタイマ・PWC】[bit7] T32 (Timer 32bit) : 32 ビットタイマ選択ビット
16/32 ビットタイマを 1 チャネルずつ個別に動作させるか、2 チャネルをカスケード接続して 32 ビットのタイマとして使うかを選択します。チャネル 0 とチャネル 1 の本ビットの両方を設定してください。

T32(チャネル 0)	T32(チャネル 1)	説明
0	0	それぞれ 16 ビット独立動作
0	1	設定禁止
1	0	32 ビットタイマとする。
1	1	設定禁止

＜注意事項＞

FMD[2:0]を 000 にしてから、本ビットを変更してください(いったん FMD[2:0]を 000 に設定した後、T32 ビットと FMD[2:0]を同時に所要の値に設定します)。

[bit6～bit4] FMD[2:0] (Function MoDe) : **タイマ機能選択ビット**

ベースタイマの機能を選択するビットです。本ビットを変更する際は、いったん 000(リセットモード)を経由してから、ほかのモードへと設定してください。

FMD[2:0]	説明
000	リセットモード (FMD=000 書込みにより、ベースタイマをリセット後の状態に戻します。各レジスタは初期値に戻ります。)
001	16 ビット PWM タイマ
010	16 ビット PPG タイマ
011	16/32 ビットリロードタイマ
100	16/32 ビット PWC タイマ
101～111	設定禁止

[bit3] OSEL (Output SELect) : **出力極性指定ビット**

本ビットがセットされていると、TOUT から出力される信号レベル(H/L)が反転されます。

OSEL	説明
0	通常出力
1	反転出力

[bit2] MDSE (MoDe Select) : **モード選択ビット**

【リロードタイマ・PWM】

MDSE	説明
0	リロードモード: ダウンカウンタがアンダフローした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードしてカウント動作を続けます。
1	ワンショットモード: ダウンカウンタがアンダフローした場合、カウント動作を停止します。

【PPG】

MDSE	説明
0	リロードモード: "L" レベルと "H" レベルの信号を連続して出力(連続パルス)するモードです。
1	ワンショットモード: "L" レベルと "H" レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

【PWC】

MDSE	説明
0	連続測定モード: 1 回測定が終わると、測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
1	単発測定モード: 測定を 1 回のみ行うモードです。

[bit1] CTEN (CounT ENable) : **カウンタ動作許可ビット**

カウンタ動作を許可・禁止します。

CTEN	説明	
	読出し	書込み
0	停止中	本ビットを"0"にします。
1	動作許可中	本ビットを"1"にします。

＜注意事項＞

入出力モード 4, 入出力モード 6 のタイマ動作中に偶数チャネルから立下りエッジが出力されると奇数チャネルの本ビットは 0 にクリアされます。

[bit0] STRG (Software TRiGger) : **ソフトウェアトリガビット**

タイマ起動などのトリガとして機能します。

PWC のとき読出し値は"0"です。PWC のとき、このビットへは"0"を書き込んでください。

STRG	説明
0	無視されます。
1	トリガを発行します。

＜注意事項＞

・本ビットを書き込む際に、ほかのビットをクリアしてしまわないように注意してください。
・CTEN、FMD[2:0]との同時書込みは、動作許可と同時にトリガを発行します。

4.1.3. 入出力選択レジスタ ：BTSEL01 (Base Timer SElect register ch.0 and ch.1)

入出力選択レジスタのビット構成について示します。

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

■ BTSEL01: アドレス 009C$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				SEL01[3:0]			
初期値	1	1	1	1	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W

＜注意事項＞

・このレジスタは 8 ビットでアクセスしてください。
・このレジスタは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマリセットモードに設定(FMD2～FMD0=000)してから書き換えてください。

[bit3～bit0] SEL01[3:0] (SELect) : ch.0/ch.1 用入出力選択ビット
ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

SEL01[3:0]	説明
0000	入出力モード 0 (16 ビットタイマ標準モード)
0001	入出力モード 1 (32 ビットタイマフルモード)
0010	入出力モード 2 (外部トリガ共有モード)
0011	設定禁止

SEL01[3:0]	説明
0100	入出力モード 4 (タイマ起動/ 停止モード)
0101	入出力モード 5 (同時ソフト起動モード)
0110	入出力モード 6 (ソフト起動タイマ起動/ 停止モード)
0111	入出力モード 7 (タイマ起動モード)
1xxx	設定禁止

4.1.4. 同時ソフト起動レジスタ ：BTSSSR (Base Timer Software Synchronous Start Register)

同時ソフト起動レジスタのビット構成について示します。

入出力モード 5、6 における入力信号になります。本レジスタを使用すれば、すべてのチャネルに同時にトリガを発生させることができます。

■ BTSSSR: アドレス 009E$_H$ (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						SSSR1	SSSR0
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,W	R1,W

[bit1] SSSR1 (Software Synchronous Start Register ch.1) : 同時ソフト起動ビット ch.1

[bit0] SSSR0 (Software Synchronous Start Register ch.0) : 同時ソフト起動ビット ch.0

入出力モード 5、6 における入力信号になります。接続は「図 5-2 各入出力モード配線図(2)」を参照してください。

SSSR0/1	説明
0	何もしません。
1	"1"パルスを入力に当て、対応したチャネルを起動します。

4.2. 16/32 ビットリロードタイマ時のレジスタ

16/32 ビットリロードタイマ時のレジスタについて示します。

4.2.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control)

状態制御レジスタ 0-1 のビット構成について示します。

割込み要求を制御するレジスタです。

■ **BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W

＜注意事項＞

- 予約ビットには"0"を書き込んでください。
- TGIR,UDIR へのリードモディファイライト系命令では"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16/32 ビットリロードタイマの起動トリガが検出されたとき(TGIR ビット=1)に、トリガ割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ダウンカウンタがアンダフローしたとき(UDIR=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16/32 ビットリロードタイマの起動トリガが検出されたことを示します。このビットが"1"のときに、TGIE ビットに"1"が設定されていると、トリガ割込み要求が発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : **アンダフロー割込み要求フラグビット**

ダウンカウンタの値が"0000_H"から"$FFFF_H$"に変わり、アンダフローしたことを示します。このビットが"1"のときに、UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/アンダフローがありました。	無視します。

4.2.2. 周期設定レジスタ 0-1 : BTxPCSR (Base Timer 0/1 Pulse Counter Start Register)

周期設定レジスタ 0-1 のビット構成について示します。

16/32 ビットリロードタイマの周期を設定するバッファ付きレジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

■ BTxPCSR : アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで, ベースタイマの機能を 16/32 ビットリロードタイマに選択(FMD2～FMD0=011)してから, このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16/32 ビットリロードタイマの周期を設定するバッファ付きレジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- 16/32 ビットリロードタイマの起動時
- ダウンカウンタのアンダフロー時

2 チャネルの 16 ビットリロードタイマをカスケード接続して、32 ビットリロードタイマとして使用する場

合は、このレジスタに設定した値は次のようになります。

・偶数チャネルの周期設定レジスタ(BTxPCSR)の値: 下位 16 ビットの値
・奇数チャネルの周期設定レジスタ(BTxPCSR)の値: 上位 16 ビットの値

そのため、32 ビットタイマモード時にこのレジスタに値を書き込む場合は、次の順番で値を書き込んでください。

1. 奇数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)
2. 偶数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)

4.3. 16 ビット PWM タイマ時のレジスタ

16 ビット PWM タイマ時のレジスタについて示します。

4.3.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control)

状態制御レジスタ 0-1 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC : アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	DTIE	UDIE	予約	TGIR	DTIR	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R0,W0	R(RM1), W	R(RM1), W	R(RM1), W

＜注意事項＞

・予約ビットには"0"を書き込んでください。
・TGIR、DTIR、UDIR へのリードモディファイライト系命令では"1"が読み出されます。
・このレジスタは 8 ビットでアクセスしてください。
・本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット
16 ビット PWM タイマの起動トリガが検出されたとき(TGIR ビット=1)にトリガ割込み要求を発生させるかどうかを設定します。

[bit5] DTIE (DuTy Interrupt Enable) : デューティー致割込み要求許可ビット
16 ビットダウンカウンタの値が、ベースタイマ x デューティ設定レジスタ(BTxPDUT)の値と一致したとき

(DTIR ビット=1)にデューティ一致割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : **アンダフロー割込み要求許可ビット**

ダウンカウンタがアンダフローしたとき(UDIR=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/DTIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : **トリガ割込み要求フラグビット**

16 ビット PWM タイマの起動トリガが検出されたことを示します。このビットが"1"のときに TGIE ビットに"1"が設定されていると、トリガ割込み要求発生します。

[bit1] DTIR (DuTy Interrupt Register) : **デューティー致割込み要求フラグビット**

16 ビットダウンカウンタの値が デューティ設定レジスタ(BTxPDUT)と一致したこと(デューティが一致したこと)を示します。このビットが"1"のときに DTIE ビットに"1"が設定されているとデューティ一致割込み要求が発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : **アンダフロー割込み要求フラグビット**

16 ビットダウンカウンタの値が"0000_H"から"$FFFF_H$"に変わりアンダフローが発生したことを示します。このビットが"1"のときに UDIE ビットに"1"が設定されているとアンダフロー割込み要求が発生します。

TGIR/DTIR/UDIR	読出し時	書込み時
0	トリガ検出/デューティ一致/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/デューティ一致/アンダフローがありました。	無視します。

4.3.2. 周期設定レジスタ 0-1 : BTxPCSR (Base Timer 0/1 Pulse Counter Start Register)

周期設定レジスタ 0-1 のビット構成について示します。

16 ビット PWM タイマの周期を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。

■ BTxPCSR: アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- ・タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- このレジスタを書き換えた場合 必ず デューティ設定レジスタ(BTxPDUT)も書き換えてください。
- このレジスタには デューティ設定レジスタ(BTxPDUT)より小さな値は設定しないでください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16 ビット PWM タイマの周期を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。

このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- 16 ビット PWM タイマの起動時
- 16 ビットダウンカウンタのアンダフロー時

このレジスタとベースタイマ x デューティ設定レジスタ(BTxPDUT)に同じ値を設定することによって、出力信号(TOUT 信号)のレベルを固定できます。出力される信号レベルはベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0: "H" レベル
- OSEL=1: "L" レベル

4.3.3. デューティ設定レジスタ 0-1 : BTxPDUT (Base Timer 0/1 Pulse DuTy register)

デューティ設定レジスタ 0-1 のビット構成について示します。

16 ビット PWM タイマのデューティを設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。

■ BTxPDUT : アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- このレジスタを書き換えた場合 必ず 周期設定レジスタ(BTxPCSR)より大きい値は設定しないでください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16 ビット PWM タイマのデューティを設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致した場合、出力信号(TOUT 信号)のレベルが反転します。
このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。
16 ビットダウンカウンタがアンダフローした場合、バッファの値が転送されます。
このレジスタとベースタイマ x 周期設定レジスタ(BTxPCSR)に同じ値を設定することによって、出力信号(TOUT 信号)のレベルを固定できます。出力される信号レベルはベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0: オール"H"レベル
- OSEL=1: オール"L"レベル

4.4. 16 ビット PPG タイマ時のレジスタ

16 ビット PPG タイマ時のレジスタについて示します。

4.4.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control)

状態制御レジスタ 0-1 のビット構成について示します。

割込み要求を制御するレジスタです。

■ **BTxSTC: アドレス Base_addr + 05_H (アクセス: バイト)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W

＜注意事項＞

- 予約ビットには"0"を書き込んでください。
- TGIR,UDIR へのリードモディファイライト系命令では"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16 ビット PPG タイマの起動トリガが検出されたとき(TGIR ビット=1)にトリガ割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)のカウントダウンが終了し、アンダフローが発生したとき(UDIR ビット=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16 ビット PPG タイマの起動トリガが検出されたことを示します。このビットが"1"のときに TGIE ビットに"1"が設定されていると、トリガ割込み要求発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : **アンダフロー割込み要求フラグビット**

ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)のカウントダウンが終了しアンダフローが発生したことを示します。16 ビットダウンカウンタの値が"0000_H"の状態でさらにカウントダウンした場合アンダフローが発生します。このビットが"1"のときに、UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出/アンダフローはありません。	このビットをクリアします。
1	トリガ検出/アンダフローがありました。	無視します。

4.4.2. L 幅設定レジスタ 0-1 : BTxPRLL (Base Timer 0/1 Pulse Length of "L" register)

L 幅設定レジスタ 0-1 のビット構成について示します。

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。

■ BTxPRLL: アドレス Base_addr + 08_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を PPG タイマに選択してから、このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : **データビット**

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると、出力波形(TOUT 信号)のレベルが反転します。このレジスタとベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)を設定することで、出力信号の"L"レベルの幅と"H"レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは、タイ

マ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0 の場合: "L"レベルの幅
- OSEL=1 の場合: "H"レベルの幅

16 ビット PPG タイマの起動トリガ検出時や、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウントが終了し、アンダフローが発生したときに、このレジスタに設定した値が 16 ビットダウンカウンタにロードされます。

4.4.3. H 幅設定レジスタ 0-1 : BTxPRLH (Base Timer 0/1 Pulse Length of "H" register)

H 幅設定レジスタ 0-1 のビット構成について示します。

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値をカウント終了後に、出力される信号レベルの幅を設定するバッファ付きレジスタです。

■ BTxPRLH: アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を PPG タイマに選択してから、このレジスタを設定してください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit15～bit0] D[15:0] (Data) : データビット

L 幅設定リロードレジスタ(BTxPRLL)の値をカウント終了後に、出力される信号レベルの幅を設定するバッファ付きレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると、出力波形(TOUT 信号)の信号レベルが反転します。

このレジスタとベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)を設定することで、出力信号の"L"レベルの幅と"H"レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって次のようになります。

- OSEL=0 の場合: "H"レベルの幅
- OSEL=1 の場合: "L"レベルの幅

このレジスタはバッファ付きのため、カウント動作中に書き換えることができます。このレジスタの値の転送タイミングは次のとおりです。

- バッファへの転送
  - 16 ビット PPG タイマの起動トリガ検出時
  - ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウントが終了し、アンダフローが発生したとき
- 16 ビットダウンカウンタへの転送
  - ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値のカウントが終了したとき

書き換えるタイミングについては、「■書込みタイミング」を参照してください。

4.5. 16/32 ビット PWC タイマ時のレジスタ

16/32 ビット PWC タイマ時のレジスタについて示します。

4.5.1. 状態制御レジスタ 0-1 : BTxSTC (Base Timer 0/1 STatus Control)

状態制御レジスタ 0-1 のビット構成について示します。

割込み要求を制御するレジスタです。

■ BTxSTC: アドレス Base_addr + 05_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ERR	EDIE	予約	OVIE	予約	EDIR	予約	OVIR
初期値	0	0	0	0	0	0	0	0
属性	R,W0	R/W	R0,W0	R/W	R0,W0	R,WX	R0,W0	R(RM1), W

＜注意事項＞

- 予約ビットには"0"を書き込んでください。
- OVIR へのリードモディファイライト系命令では"1"が読み出されます。
- このレジスタは 8 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

[bit7] ERR (ERRor) : エラーフラグビット

連続測定モードで動作中に データバッファレジスタ(BTxDTBF)から測定結果を読み出す前に次の測定が終了し、測定結果が新しい値に上書きされたことを示します。このとき上書きされる前の値は破棄されます。データバッファレジスタ(BTxDTBF)を読み出すとこのビットが"0"にクリアされます。

ERR	説明
0	測定結果は上書きされていません。
1	測定結果は上書きされました。

[bit6] EDIE (EnD Interrupt Enable) : **測定終了割込み要求許可ビット**

16/32 ビット PWC タイマの測定が終了したとき(EDIR ビット=1)に、測定終了割込み要求を発生させるかどうかを設定します。

[bit4] OVIE (OVerflow Interrupt Enable) : **オーバフロー割込み要求許可ビット**

アップカウンタがオーバフローしたとき(OVIR ビット=1)にオーバフロー割込み要求を発生させるかどうかを設定します。

EDIE/OVIE	説明
0	禁止します
1	許可します

[bit2] EDIR (EnD Interrupt Register) : **測定終了割込み要求フラグビット**

16/32 ビット PWC タイマの測定が終了したことを示します。このビットが"1"のときに EDIE ビットに"1"が設定されていると測定終了割込み要求が発生します。本ビットは測定結果(BTxDTBF)を読出しすることによりクリアされます。

[bit0] OVIR (OVerflow Interrupt Register) : **オーバフロー割込み要求フラグビット**

アップカウンタの値が"$FFFF_H$"から"0000_H"に変わり、オーバフローが発生したことを示します。このビットが"1"のときに、OVIE ビットに"1"が設定されていると、オーバフロー割込み要求が発生します。

本ビットは"0"書込みによりクリアされます。

EDIR/OVIR	読出し時	書込み時
0	測定終了/オーバフローはありません。	(EDIR) 無視します。 (OVIR)このビットをクリアします。
1	測定終了/オーバフローがありました。	無視します。

4.5.2. データバッファレジスタ 0-1 : BTxDTBF (Base Timer 0/1 DaTa BuFfer register)

データバッファレジスタ 0-1 のビット構成について示します。

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。

＜注意事項＞

- このレジスタは 16 ビットでアクセスしてください。
- 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)によっても初期化されます。

■ BTxDTBF: アドレス Base_addr + $0A_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	D[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit15～bit0] D[15:0] (Data) : データビット

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。このレジスタは、単発測定モード時と連続測定モード時で読み出す値が異なります。

- 単発測定モード時: アップカウンタの動作中はアップカウンタの値を、測定終了後は測定結果を読み出します。
- 連続測定モード時: アップカウンタの動作中/測定終了後とも前回測定した結果を読み出します。アップカウンタの値を読み出すことはできません。

2 チャネルの 16 ビット PWC タイマをカスケード接続して、32 ビット PWC タイマとして使用する場合は、このレジスタの値は次のようになります。

- 偶数チャネルのデータバッファレジスタ(BTxDTBF)の値: 下位 16 ビットの値
- 奇数チャネルのデータバッファレジスタ(BTxDTBF)の値: 上位 16 ビットの値

そのため、32 ビットタイマモード時は、次の順番でこのレジスタを読み出してください。

1. 偶数チャネルのデータバッファレジスタ(BTxDTBF)
2. 奇数チャネルのデータバッファレジスタ(BTxDTBF)

5. 動作説明

ベースタイマの動作について説明します。

5.1. タイマ機能の選択
5.2. 入出力割り当て
5.3. 32 ビットモード動作
5.4. 16/32 ビットリロードタイマの動作
5.5. 16 ビット PWM タイマの動作
5.6. 16 ビット PPG タイマの動作
5.7. 16/32 ビット PWC タイマの動作

5.1. タイマ機能の選択

タイマ機能の選択について示します。

BTxTMCR.FMD[2:0]で、使用するタイマ機能を選択してください。

5.2. 入出力割り当て

入出力割り当てについて示します。

タイマを使用する前に、BTSEL01 レジスタでベースタイマの入出力設定を行ってください。次の 7 通りから選択できます。

入出力モード 0

16 ビットタイマ標準モード

ベースタイマを 1 チャネルごとに個別に動作させるモードです。

入出力モード 1

32 ビットタイマフルモード

ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。

入出力モード 2

外部トリガ共有モード

2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用することによって、2 チャネルのベースタイマを同時に起動できます。

入出力モード 4

タイマ起動/ 停止モード

偶数チャネルで奇数チャネルの起動/ 停止を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ* で起動し、立下りエッジ* で停止します。

入出力モード 5

同時ソフト起動モード

ソフトウェアで複数のチャネルを同時に起動するモードです。

入出力モード 6

ソフト起動タイマ起動/ 停止モード

偶数チャネルで奇数チャネルの起動/ 停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ* で起動し、立下りエッジ*
で停止します。

入出力モード 7

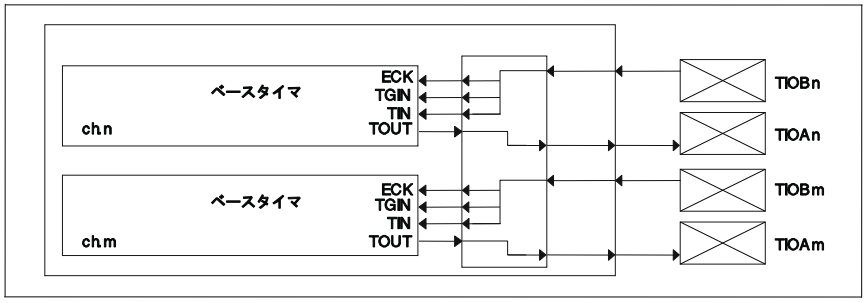
タイマ起動モード

偶数チャネルで奇数チャネルの起動を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジ* で起動します。

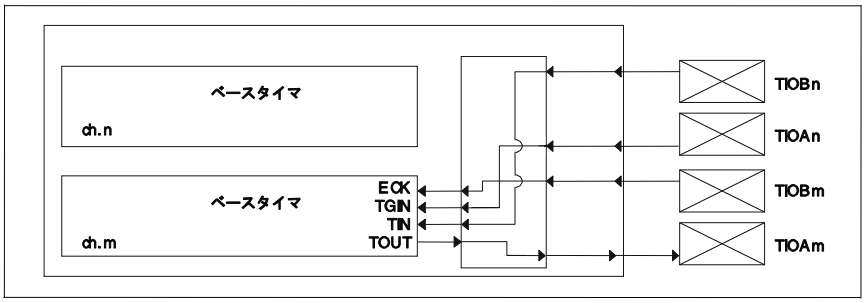
*: トリガ入力選択ビット(BTxTMCR.EGS)で設定してください。

図 5-1 各入出力モード配線図(1)

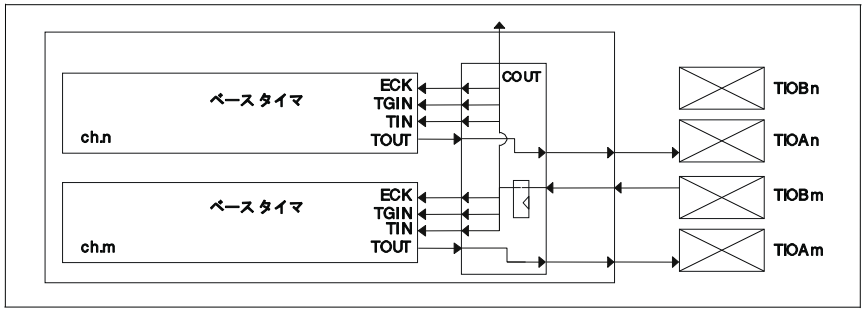
入出力モード 0（16 ビットタイマ標準モード）のブロックダイヤグラム



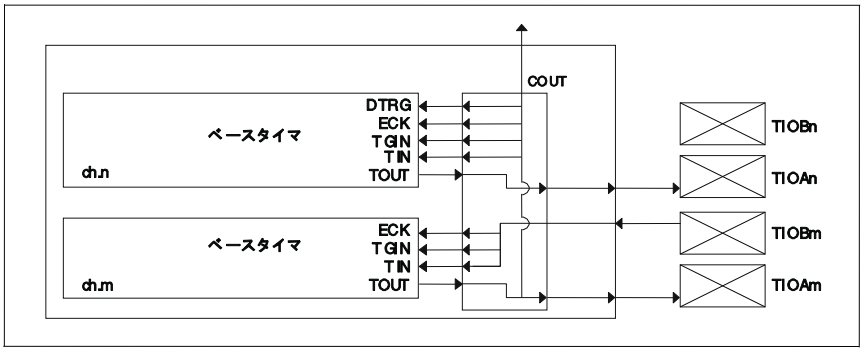
入出力モード 1（32 ビットタイマフルモード）のブロックダイヤグラム



入出力モード 2（外部トリガ共有モード）のブロックダイヤグラム



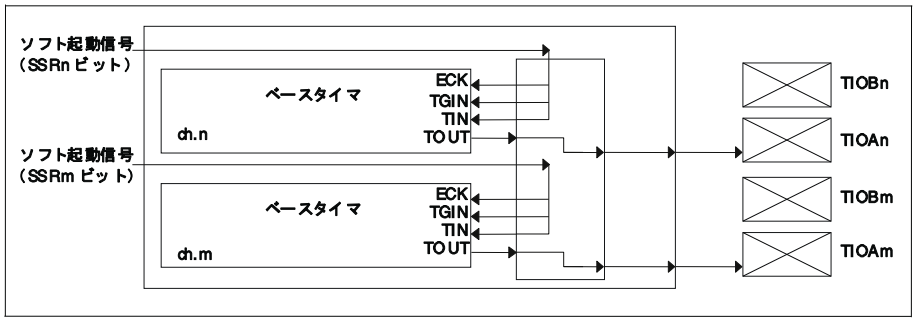
入出力モード 4（タイマ起動 / 停止モード）のブロックダイヤグラム



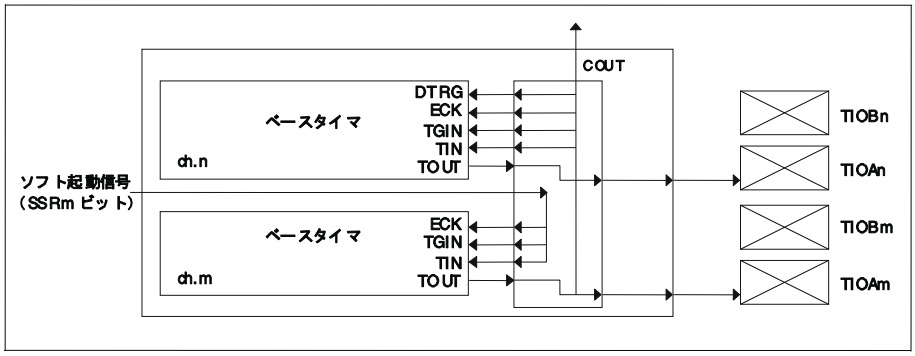
m: チャネル 0　　**n:**チャネル 1

図 5-2 各入出力モード配線図(2)

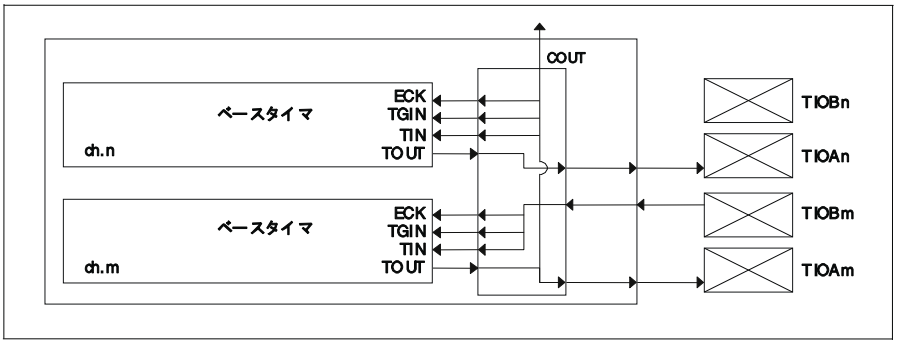
入出力モード 5（同時ソフト起動モード）のブロックダイヤグラム



入出力モード 6（ソフト起動タイマ起動 / 停止モード）のブロックダイヤグラム



入出力モード 7（タイマ起動モード）時のブロックダイヤグラム



m: チャネル 0　　n:チャネル 1

5.3. 32 ビットモード動作

32 ビットモード動作について示します。

リロードタイマ、PWC タイマは、2 チャネルを使用して 32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能/ 動作について示します。

5.3.1. 32 ビットモード機能

32 ビットモード機能について示します。

ベースタイマを 2 チャネル組み合せて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャネルの上位 16 ビットタイマ・カウンタ値も取り込むので、動作中のタイマ・カウンタ値も読み出すことが可能です。

5.3.2. 32 ビットモード設定

32 ビットモード設定について示します。

まず、偶数チャネルの BTxTMCR レジスタの FMD ビットを"000"でリセットモードにして状態をリセットしてから、16 ビットモード時と同様にリロードタイマまたは、PWC タイマ選択と動作の設定を行います。このとき、BTxTMCR レジスタの T32 ビットにも"1"を書き込むことで 32 ビット動作モードに設定します。奇数チャネルの T32 ビットは"0"のままにしてください。リセットモードの設定も必要ありません。

次に、リロードタイマの場合は、奇数チャネルの周期設定レジスタに 32 ビットのうち、上位 16 ビットのリロード値を設定し、その後に偶数チャネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後、直ちに反映されるので、設定変更は両チャネルともカウント停止状態で行ってください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャネルの BTxTMCR レジスタの FMD ビットを"000"でリセットモードにして偶数、奇数の両チャネルの状態をリセットし、チャネルごとに 16 ビットモードでの設定を行います。

5.3.3. 32 ビットモード動作

32 ビットモード動作について示します。

32 ビットモード設定の後、偶数チャネルの制御によりリロードタイマまたは、PWC タイマを起動することによって、偶数チャネルのタイマ/ カウンタは下位 16 ビット動作となり、奇数チャネルのタイマ/ カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャネルの設定に従うので、奇数チャネルの設定は (リロードタイマ時の周期設定レジスタを除き) 無視します。タイマ起動、波形出力、割込み信号も偶数チャネルのものが有効となります (奇数チャネルは L 固定にマスクされます)。

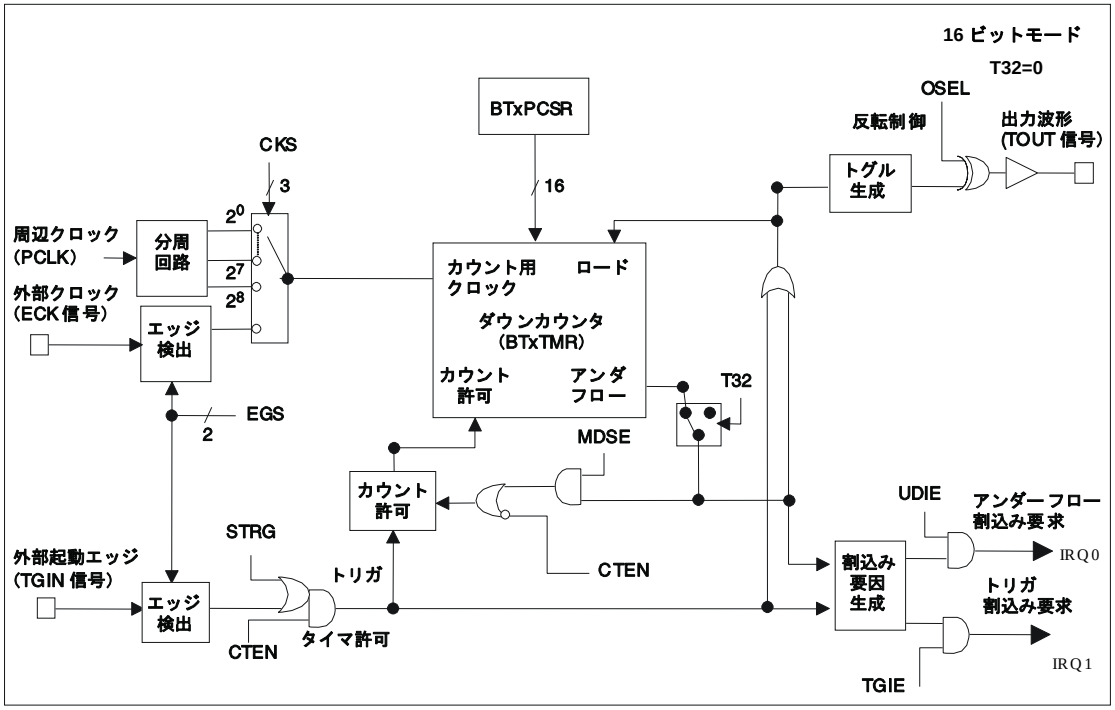
構成は「図 5-11 32 ビットタイマモード時の構成」および「図 5-29 32 ビットタイマモード時の構成」を参照してください。

5.4. 16/32 ビットリロードタイマの動作

16/32 ビットリロードタイマの動作について示します。

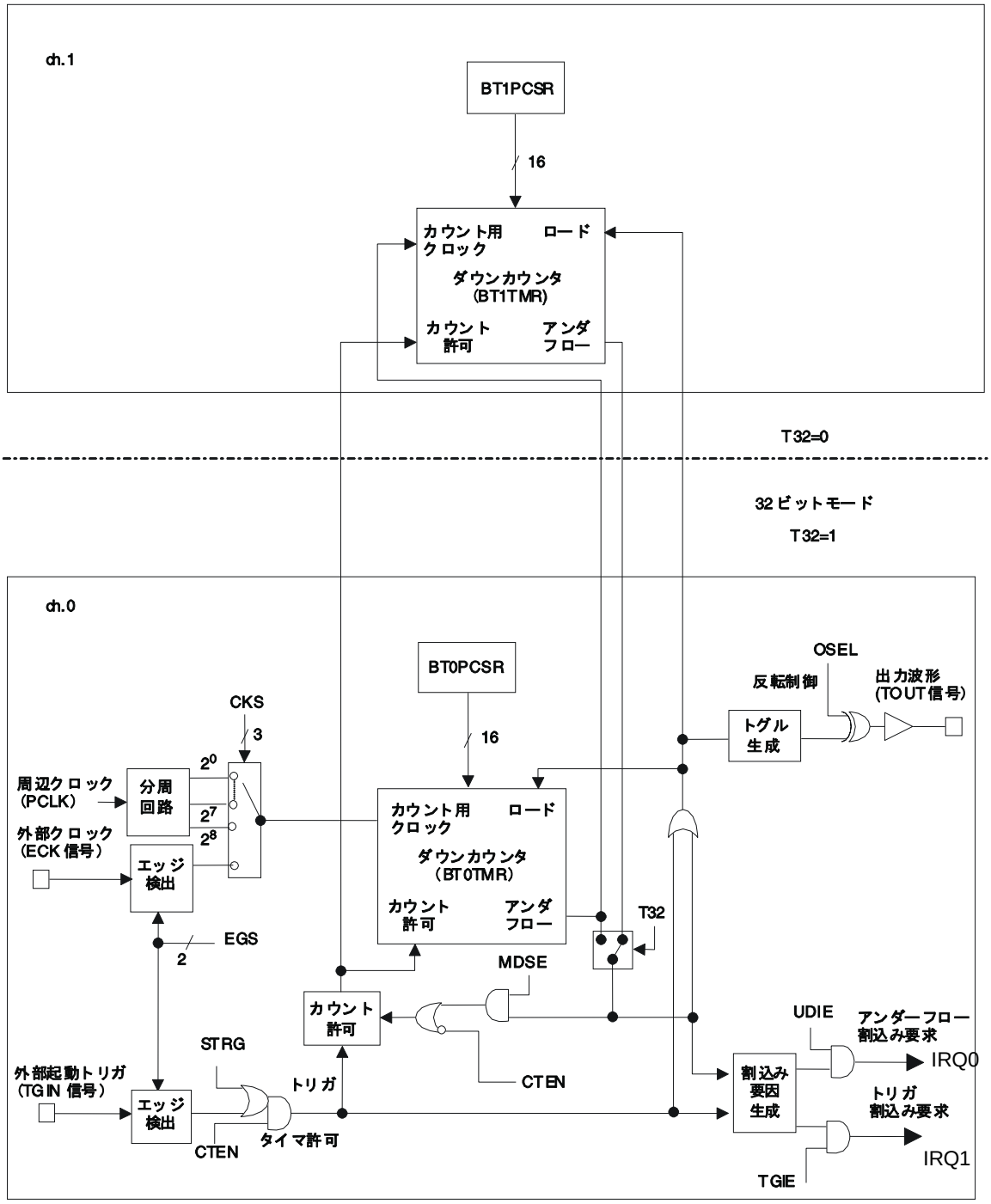
本製品に内蔵されているベースタイマを 16/32 ビットリロードタイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-3 ブロック図(16 ビットリロードタイマ動作時)



BTxPCSR ：ベースタイマ×周期設定レジスタ（BTxPCSR）
BTxTMR ：ベースタイマ×タイマレジスタ（BTxTMR）

図 5-4 ブロック図(32 ビットリロードタイマ動作時)



BT1PCSR : ベースタイマ 1 周期設定レジスタ (BT1PCSR)
BT1TMR : ベースタイマ 1 タイマレジスタ (BT1TMR)
BT0PCSR : ベースタイマ 0 周期設定レジスタ (BT0PCSR)
BT0TMR : ベースタイマ 0 タイマレジスタ (BT0TMR)

5.4.1. 概要

16/32 ビットリロードタイマの概要について示します。

16/32 ビットリロードタイマは、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンするタイマです。ダウンカウンタがアンダフローしたときに、アンダフロー割込み要求を発生させる機能があります。

16/32 ビットリロードタイマには、タイマモードと動作モードの 2 つのモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

- タイマモード：ベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットで次の 2 種類のモードから選択します。
  - 16 ビットタイマモード(T32=0): 16 ビットリロードタイマを 1 チャネルずつ個別に動作させます。
  - 32 ビットタイマモード(T32=1): 2 チャネルをカスケード接続して 32 ビットリロードタイマとして使用します。
- 動作モード: ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類のモードから選択します。
  - リロードモード(MDSE=0)：ダウンカウンタがアンダフローした場合、設定している値(周期)をリロードしてカウントを繰り返すモードです。
  - ワンショットモード(MDSE=1)：ダウンカウンタがアンダフローした場合、カウントを停止するモードです。

5.4.2. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

起動

次の手順で 16/32 ビットリロードタイマを起動してください。

(1) ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビットリロードタイマの動作を許可(CTEN=1)する
16/32 ビットリロードタイマが起動トリガ待ち状態になります。

(2) 次のいずれかの方法で起動トリガを入力する
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1"を書き込む(ソフトウェアトリガ)
- 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。
- 動作を許可するのと同時にカウントを開始したい場合はベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットと STRG ビットの両方に"1"を書き込んでください。

カウント動作

起動トリガが入力されると、次の時間の経過後にベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)がダウンカウンタにロードされ、カウントダウンが開始されます。

- ソフトウェアトリガ入力時: 1T (T: カウント用クロックの周期)
- 外部起動トリガ(TGIN 信号)入力時：2T～3T (T: カウント用クロックの周期)

カウントの開始タイミングを次に示します。

図 5-5 カウントの開始タイミング(ソフトウェアトリガ)

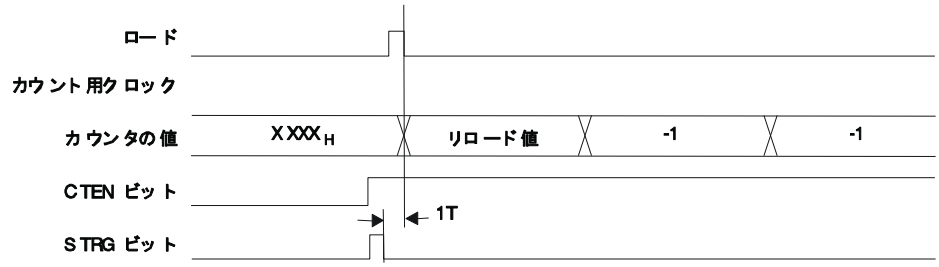
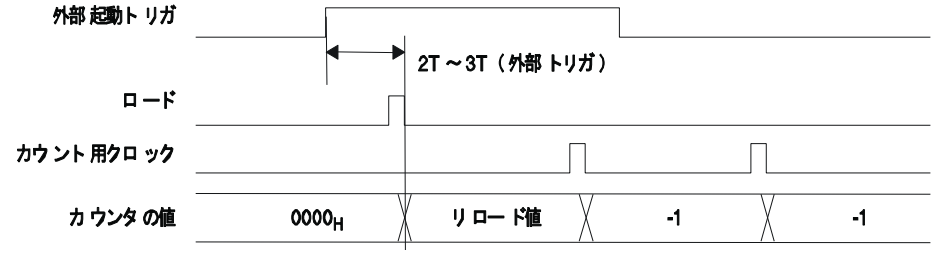


図 5-6 カウントの開始タイミング(外部起動トリガ(TGIN 信号), 有効エッジ= 立上りエッジ)



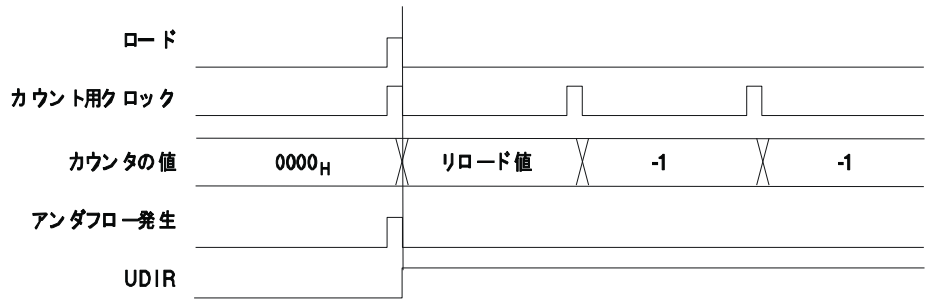
＜注意事項＞

外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。

ダウンカウンタの値が"0000_H"からさらにカウントダウンしようとして、アンダフローした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)が再びダウンカウンタにロードされ、カウント動作を続けます。

また、アンダフローが発生した場合、ベースタイマ x 状態制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わります。このとき、UDIE ビットが"1"に設定されているとアンダフロー割込み要求が発生します。アンダフロー発生時の動作を次に示します。

図 5-7 アンダフロー発生時の動作



■ 出力波形

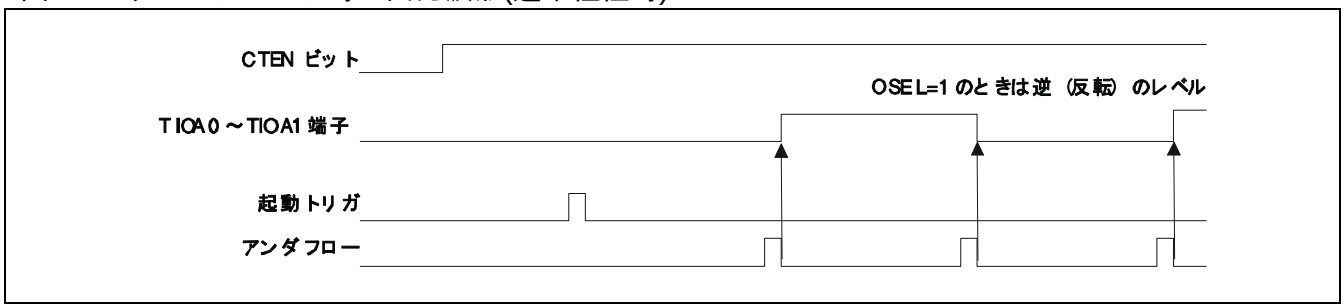
16/32 ビットリロードタイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

表 5-1 出力極性と出力波形の対応

出力極性	出力波形
通常極性(OSEL=0)	カウント開始時に"L"レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転
反転極性(OSEL=1)	カウント開始時に"H"レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転

リロードモード時の出力波形を次に示します。

図 5-8 リロードモード時の出力波形(通常極性時)



5.4.3. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ 概要

アンダフローが発生した場合カウントダウンを停止するモードです。
このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでワンショットモードを設定(MDSE=1)してください。

■ 動作

起動

リロードモード時の動作と同様です。「5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。

カウント動作

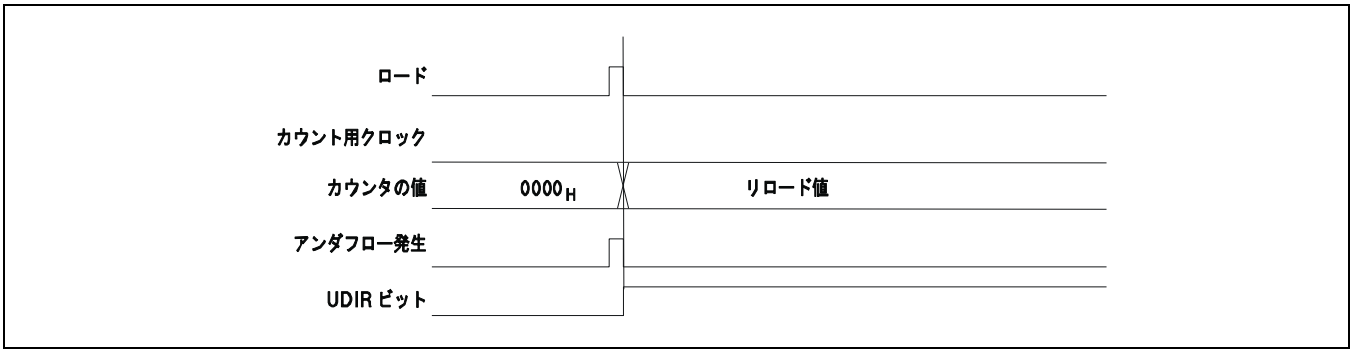
アンダフローが発生するまでの動作は、リロードモード時の動作と同様です。「5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。

アンダフローした場合、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値(周期)が再びダウンカウンタにロードされます。ただし、ダウンカウンタはカウント動作を停止します。

また、アンダフローが発生した場合、ベースタイマ x 状態制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わります。このとき、ベースタイマ x 状態制御レジスタ(BTxSTC)の UDIE ビットが"1"に設定されているとアンダフロー割込み要求が発生します。

アンダフロー発生時の動作を次に示します。

図 5-9 アンダフロー発生時の動作



■ 出力波形

16/32 ビットリロードタイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

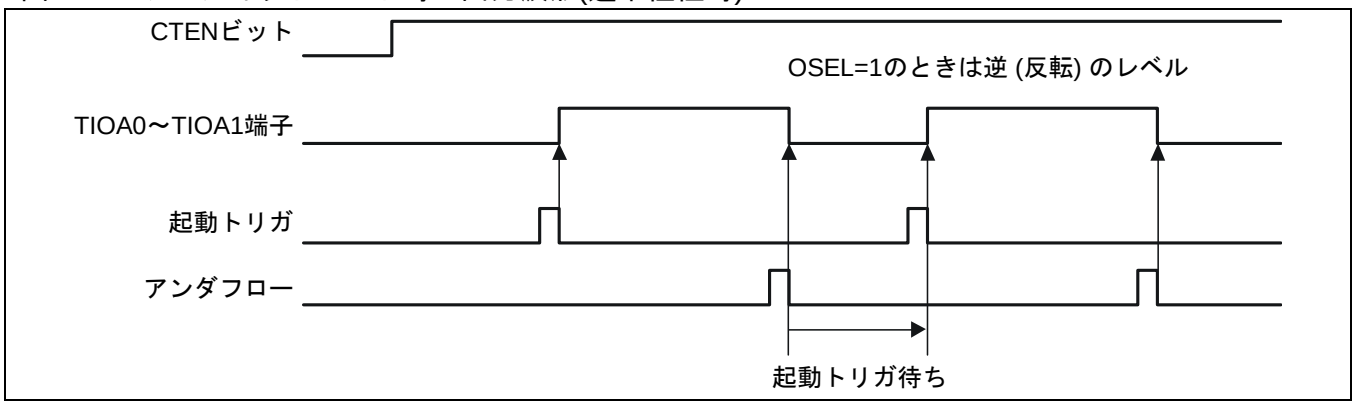
出力極性と出力波形の対応を次に示します。

表 5-2 出力極性と出力波形の対応

出力極性	出力波形
通常極性(OSEL=0)	起動トリガが入力されると(カウント中)"H"レベルを出力 起動トリガ待ち状態時は"L"レベルを出力
反転極性(OSEL=1)	起動トリガが入力されると(カウント中)"L"レベルを出力 起動トリガ待ち状態時は"H"レベルを出力

ワンショットモード時の出力波形を次図に示します。

図 5-10 ワンショットモード時の出力波形(通常極性時)



5.4.4. 32 ビットタイマモード時の動作

32 ビットタイマモード時の動作について示します。

16 ビットリロードタイマ 2 チャネルをカスケード接続して、32 ビットのリロードタイマとして使用する場合の設定と動作について説明します。

■ 概要

ベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットで 16 ビットリロードタイマ 2 チャネルをカスケード接続して、32 ビットのリロードタイマとして使用できます。

このモードでは、偶数チャネルが下位 16 ビットの動作に、奇数チャネルが上位 16 ビットの動作に対応します。そのため、リロード値の設定は、上位 16 ビット(奇数チャネル)→下位 16 ビット(偶数チャネル)の順に、ダウンカウンタの値の読出しは、下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"1"に、奇数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"0"に設定してください。

また、32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。偶数チャネルと奇数チャネルでレジスタの設定が異なります。カスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の FMD2～FMD0 ビットで ch.0 をリセットモードに設定(FMD2～FMD0=000)
2. ch.0 と ch.1 のベースタイマ x タイマ制御レジスタ(BT0TMCR、BT1TMCR)の FMD2～FMD0 ビットで、ch.0 と ch.1 を 16/32 ビットリロードタイマを設定(FMD2 ～FMD0=011)

同時にベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の T32 ビットで 32 ビットタイマモードを設定(T32=1)

3. ベースタイマ 1 周期設定レジスタ(BT1PCSR)に上位 16 ビットのリロード値を設定

4. ベースタイマ 0 周期設定レジスタ(BT0PCSR)に下位 16 ビットのリロード値を設定

＜注意事項＞

- T32 ビットは、偶数チャネル/ 奇数チャネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで確認できます(CTEN=0)。
- ベースタイマ x 周期設定レジスタ(BTxPCSR)にリロード値を設定する際は、必ず奇数チャネル→ 偶数チャネルの順番で設定してください。

■ 動作

32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。
ただし、カウント動作は偶数チャネルの設定に従うため、奇数チャネルの次のレジスタの設定は無視されます。

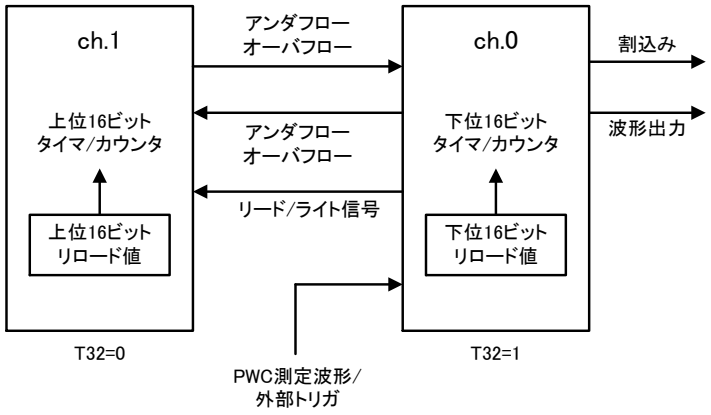
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)
- ベースタイマ x 状態制御レジスタ(BTxSTC)

32 ビットタイマモード時のカウント動作について説明します。

1. 32 ビットリロードタイマが起動した場合、奇数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)と偶数チャネルのベースタイマ x 周期設定レジスタ(BTxPCSR)の値(下位 16 ビット)がダウンカウンタにロードされます。
2. 偶数チャネルを下位 16 ビット、奇数チャネルを上位 16 ビットの 32 ビットカウンタとして、ダウンカウンタがカウント動作を開始します。
3. ダウンカウンタがアンダフローした場合、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の UDIR ビットが"1"に変わります。

32 ビットタイマモード時のチャネル構成を次に示します。

図 5-11 32 ビットタイマモード時の構成



＜注意事項＞

- ダウンカウンタの値は、ベースタイマ x タイマレジスタ(BTxTMR)を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順で読み出してください。
- 32 ビットタイマモード時は、32 ビットリロードタイマの動作は偶数チャネルの設定にしたがいます。そのため、起動トリガや割込み要求は偶数チャネルのものが有効になります。また、奇数チャネルの端子からの出力信号(TOUT 信号)は"L"レベルに固定されます。

5.4.5. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- アンダフロー発生時(アンダフロー割込み要求)

表 5-3 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込み制御レジスタ(ICR00 ～ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.4.6. 使用上の注意

使用上の注意について示します。

16/32 ビットリロードタイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから書き換えてください。
  - CKS2～CKS0 ビット
  - EGS1, EGS0 ビット
  - T32 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
  ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2 ～FMD0=000)してから、これらのビットを書き換えてください。

■ 動作に関する注意

- ダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードで、カウント終了時に 16/32 ビットリロードタイマの起動トリガが検出されると、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値(周期)が 16 ビットダウンカウンタにロードされ、カウント動作を開始します。
  ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要

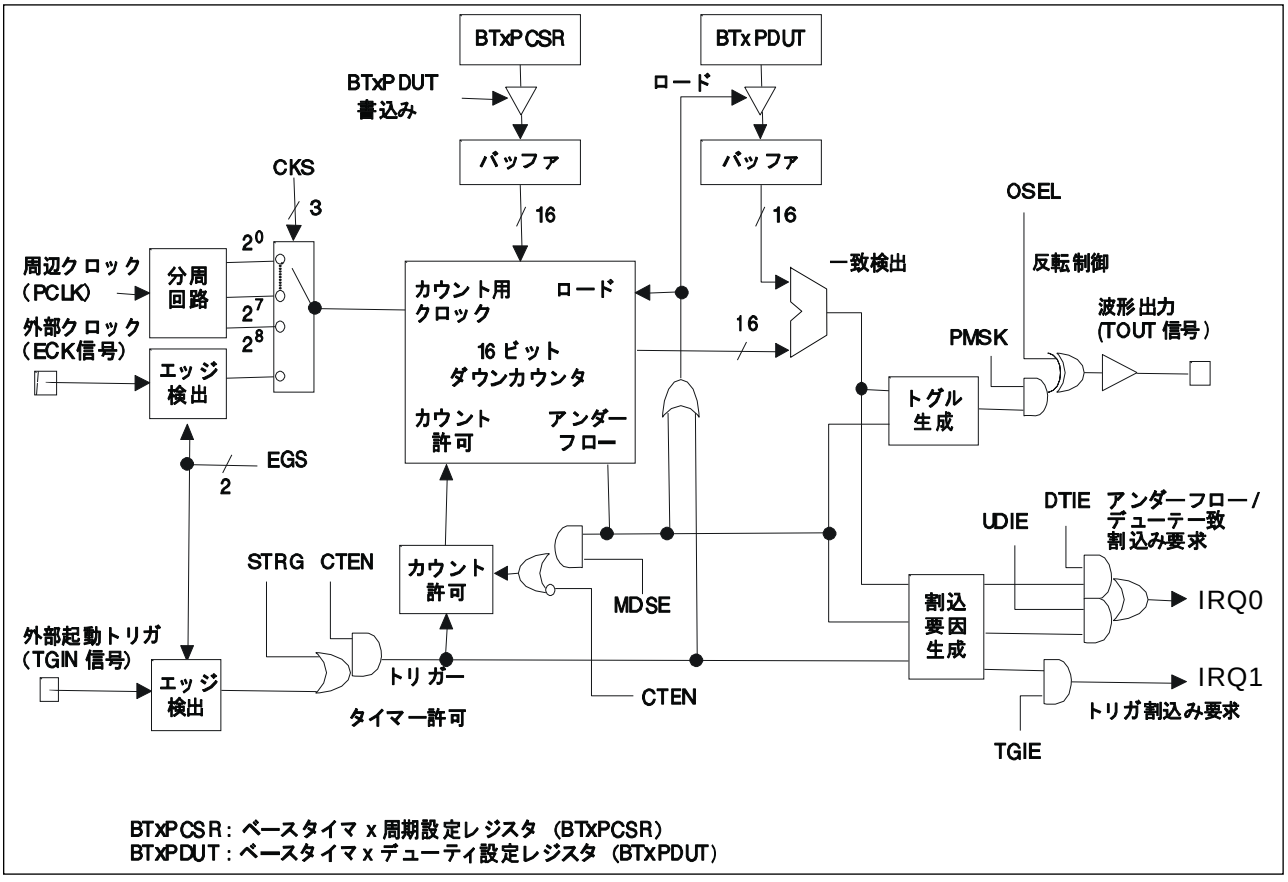
求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.5. 16 ビット PWM タイマの動作

16 ビット PWM タイマの動作について示します。

本製品に内蔵されているベースタイマを 16 ビット PWM タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-12 ブロック図(16 ビット PWM タイマ動作時)



5.5.1. 概要

概要について示します。

16 ビット PWM タイマは、周期設定レジスタ(BTxPCSR)に周期を、デューティ設定レジスタ(BTxPDUT)にデューティを設定します。これらのレジスタの値を設定することで任意の波形(TOUT 信号)を出力します。

16 ビット PWM タイマは、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンを開始します。ダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、出力信号(TOUT 信号)のレベルを反転させます。ダウンカウンタがアンダフローした場合再度出力レベルを反転させます。これにより、周期とデューティが任意の波形(TOUT 信号)を出力できます。

16 ビット PWM の動作モードは、タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類から選択できます。

- リロードモード(MDSE=0): 16 ビットダウンカウンタがアンダフローした場合設定してある周期をリロードしてカウントを繰り返すモードです。
- ワンショットモード(MDSE=1): 16 ビットダウンカウンタがアンダフローした場合カウントを停止するモードです。

5.5.2. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

● 起動

次の手順で 16 ビット PWM タイマを起動してください。

1. ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16 ビット PWM タイマの動作を許可(CTEN=1)する
   - 16 ビット PWM タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する
   - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1"を書き込む(ソフトウェアトリガ)
   - 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する

16 ビットダウンカウンタがベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値からカウントダウンを開始します。

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。
- 16 ビット PWM タイマの起動トリガを検出してからベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。
  - ソフトウェアトリガ時: 1T (T: カウント用クロックの周期)
  - 外部イベントトリガ時: 2T～3T (T: カウント用クロックの周期)

● カウント動作

起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ(BTxPCSR)の値からカウントダウンを開始します。
16 ビットダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、次の動作が行われます。

- 状態制御レジスタ(BTxSTC)の DTIR ビットが"1"に変わる
- 出力信号(TOUT 信号)のレベルが反転する
- カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローした場合、次の動作が行われます。
- 状態制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わる出力信号(TOUT 信号)のレベルが反転する
- 周期設定レジスタ(BTxPCSR)の値をリロードし、カウントダウンを継続する

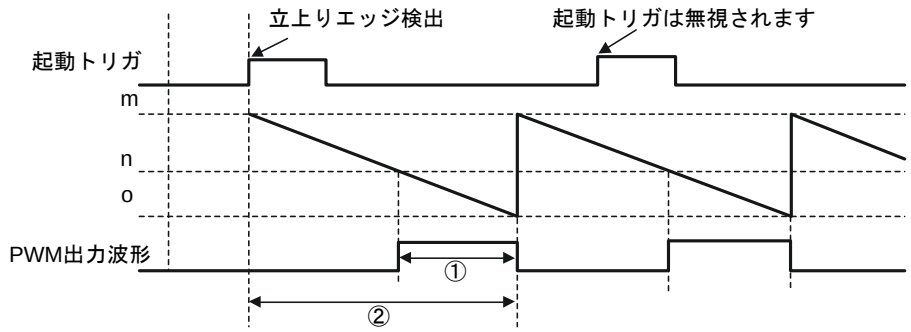
このように、アンダフローが発生するたびに周期設定レジスタ(BTxPCSR)の値をリロードし、カウント動作を続けます。また、カウント中に、起動トリガが入力された場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合: ベースタイマ x 状態制御レジスタ(BTxSTC)の TGIR ビットが"1" に変わります。また、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

それぞれの動作を次に示します。

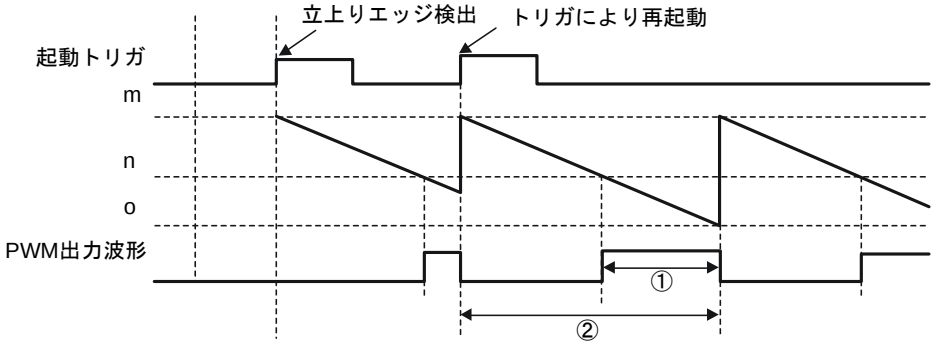
図 5-13 カウント動作

再起動禁止時のカウント動作



①=T (n+1) ms
②=T (m+1) ms
m : ベースタイマx周期設定レジスタ (BTxPCSR) の値
n : ベースタイマxデューティ設定レジスタ (BTxPDUT) の値
T : カウント用クロックの周期

再起動許可時のカウント動作



①=T (n+1) ms
②=T (m+1) ms
m : ベースタイマx周期設定レジスタ (BTxPCSR) の値
n : ベースタイマxデューティ設定レジスタ (BTxPDUT) の値
T : カウント用クロックの周期

＜注意事項＞

16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は、ロード動作が優先されます。

■ 出力波形

16 ビット PWM タイマの波形(TOUT 信号)を出力できます。出力する波形(TOUT 信号)はベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって異なります。

・通常極性(OSEL=0)時
- 16 ビット PWM タイマ起動時: "L"レベル
- デューティ一致発生時: "H"レベル
- アンダフロー発生時: "L"レベル

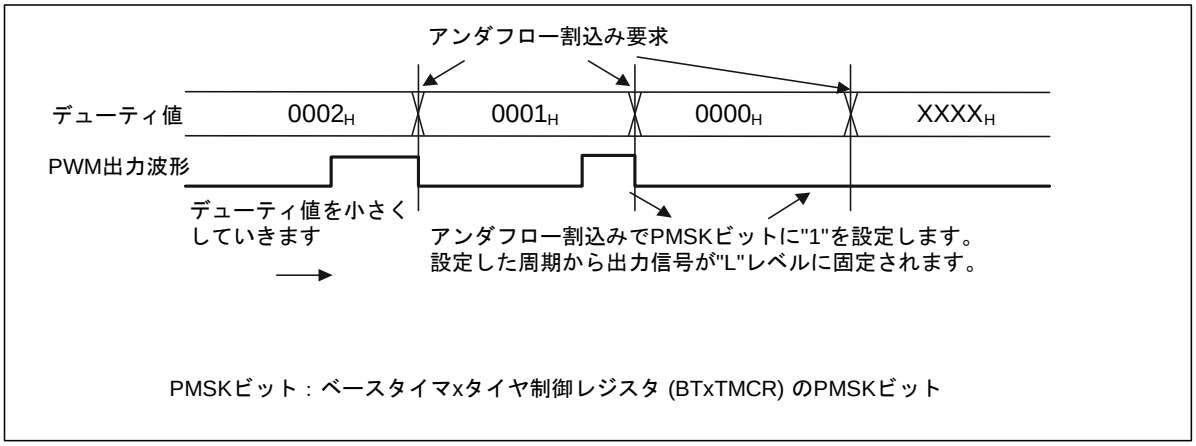
・反転極性(OSEL=1)時
- 16 ビット PWM タイマ起動時: "H" "レベル
- デューティ一致発生時: "L"レベル
- アンダフロー発生時: "H" "レベル

また、出力(TOUT 信号)を"L"レベルまたは"H"レベルに固定することもできます。

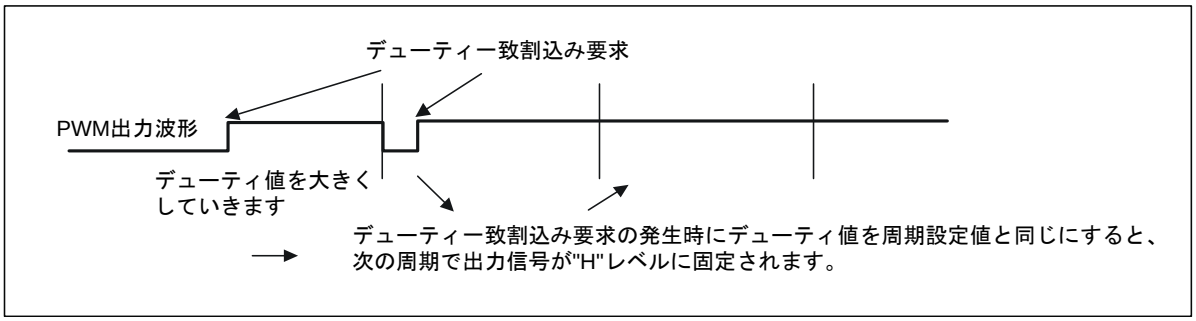
ベースタイマ x タイマ制御レジスタ(BTxTMCR)の OSEL ビットの設定によって、出力レベルが変わります。手順例を次に示します。

図 5-14 "L・H"レベルに固定する手順例

"L"レベルに固定する手順例 (OSEL=0の場合)



"H"レベルに固定する手順例 (OSEL=0の場合)



＜注意事項＞

・16 ビット PWM タイマの波形(TOUT 信号)の出力方法/ 出力先は、次の設定によって異なります。
- ベースタイマの入出力モード
- TIOA0～ TIOA1 端子機能

■ 割込み発生タイミング

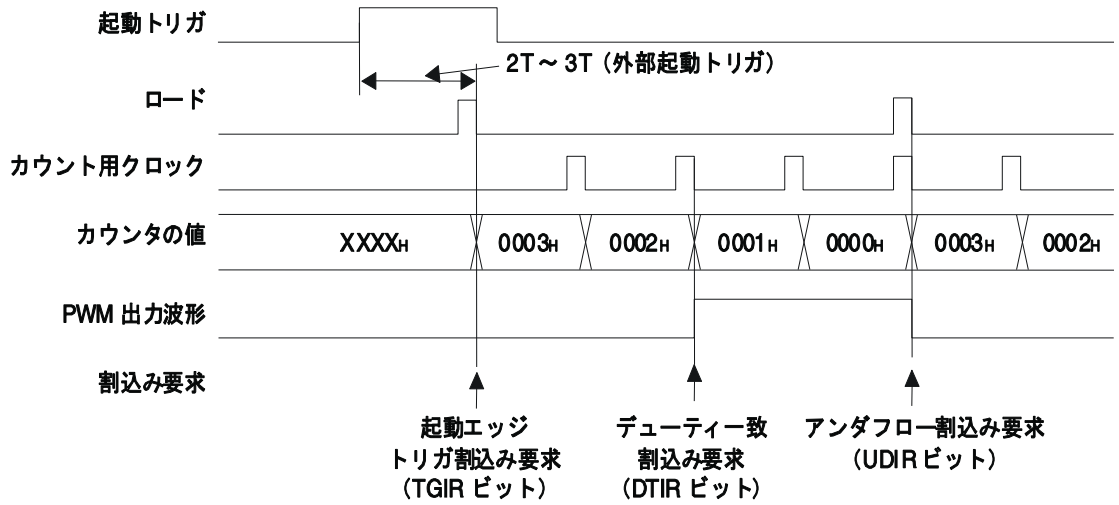
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

・起動トリガ検出時
・16 ビットダウンカウンタの値が、ベースタイマ x デューティ設定レジスタ(BTxPDUT)の値と一致したとき
・アンダフロー発生時

割込み要求発生のタイミングを次の設定がされているときを例にとって、次に示します。

・ 周期設定レジスタ(BTxPCSR)の値=0003_H
・ デューティ設定レジスタ(BTxPDUT)の値=0001_H

図 5-15 割込み要求発生のタイミングチャート



5.5.3. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ カウント動作

16 ビットダウンカウンタの値が周期設定レジスタの設定値(BTxPCSR)から"$FFFF_H$"に変わり、アンダフローが発生した場合カウント動作を停止するモードです。

このモードを利用するには、タイマ制御レジスタ(BTxTMCR)の MDSE ビットでワンショットモードを設定(MDSE=1)してください。

● 起動

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ(BTxPCSR)の値からカウントダウンを開始します。16 ビットダウンカウンタの値がデューティ設定レジスタ(BTxPDUT)の値と一致した場合、次の動作が行われます。

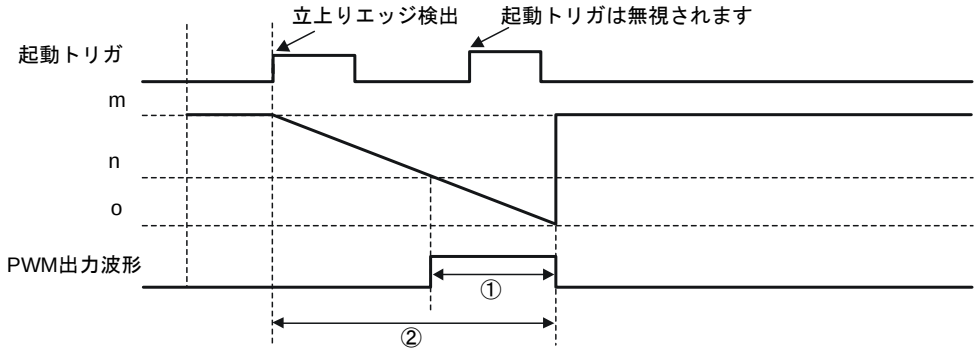
・ベースタイマ x 状態制御レジスタ(BTxSTC)の DTIR ビットが"1"に変わる
・出力信号(TOUT 信号)のレベルが反転する
・カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローした場合、次の動作が行われます。
  ・ ベースタイマ x 状態制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わる
  ・ 出力信号(TOUT 信号)のレベルが反転する
  ・ カウント動作を停止する(16 ビットダウンカウンタの値は"$FFFF_H$"で止まります) 。

また、カウント中に、起動トリガが入力された場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

・再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
・再起動許可(RTGEN=1)の場合:ベースタイマ x 状態制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、ベースタイマ x 周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

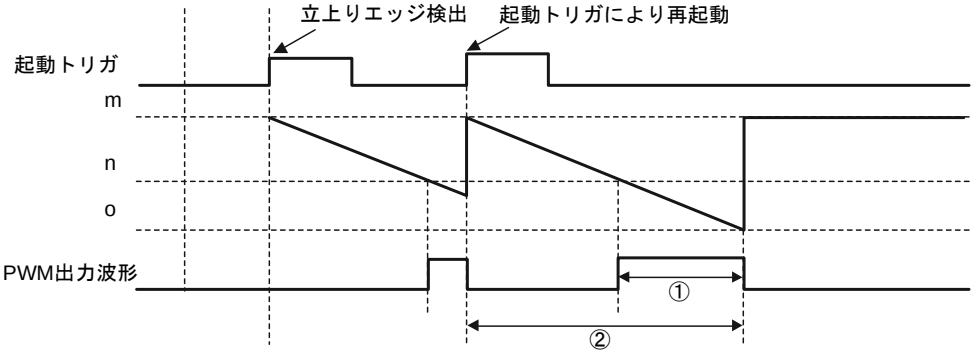
図 5-16 カウント動作

再起動禁止時のカウント動作



①=T (n+1) ms
②=T (m+1) ms
m : ベースタイマx周期設定レジスタ (BTxPCSR) の値
n : ベースタイマxデューティ設定レジスタ (BTxPDUT) の値
T : カウント用クロックの周期

再起動許可時のカウント動作



①=T (n+1) ms
②=T (m+1) ms
m : ベースタイマx周期設定レジスタ (BTxPCSR) の値
n : ベースタイマxデューティ設定レジスタ (BTxPDUT) の値
T : カウント用クロックの周期

＜注意事項＞

カウント終了時に、16 ビット PWM タイマの起動トリガが検出されると周期設定レジスタ(BTxPCSR)に設定した値が 16 ビットダウンカウンタにロードされ、カウントを開始します。

■ 出力波形

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 出力波形」を参照してください。

■ 割込み発生タイミング

リロードモード時と同様です。「5.5.2 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

5.5.4. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- 16 ビットダウンカウンタの値が (ベースタイマ x デューティ設定レジスタ(BTxPDUT))の値と一致したとき(デューティ一致割込み要求)
- アンダフロー発生時(アンダフロー割込み要求)

表 5-4 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
デューティ一致割込み要求	BTxSTC の DTIR=1	BTxSTC の DTIE=1	BTxSTC の DTIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  －割込み要求の発生を許可する前に割込み要求をクリアする
  －割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込み制御レジスタ(ICR00 ～ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.5.5. 使用上の注意

使用上の注意について示します。

16 ビット PWM タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS1, EGS0 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合は、一度ベースタイマをリセットしてください。リセット後に、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2 ～FMD0 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2～FMD0=000)してから、再度 FMD2～FMD0 ビットでベースタイマの機能を選択してください。
- 16 ビット PWM タイマの周期やデューティは次の手順で設定してください。

1. ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでベースタイマの機能に 16 ビット PWM タイマを設定(FMD2～FMD0=001)
2. ベースタイマ x 周期設定レジスタ(BTxPCSR)に周期を設定
3. ベースタイマ x デューティ設定レジスタ(BTxPDUT)にデューティを設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PWM タイマの再起動トリガが検出されると、ベースタイマ x 周期設定レジスタ(BTxPCSR)の値が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

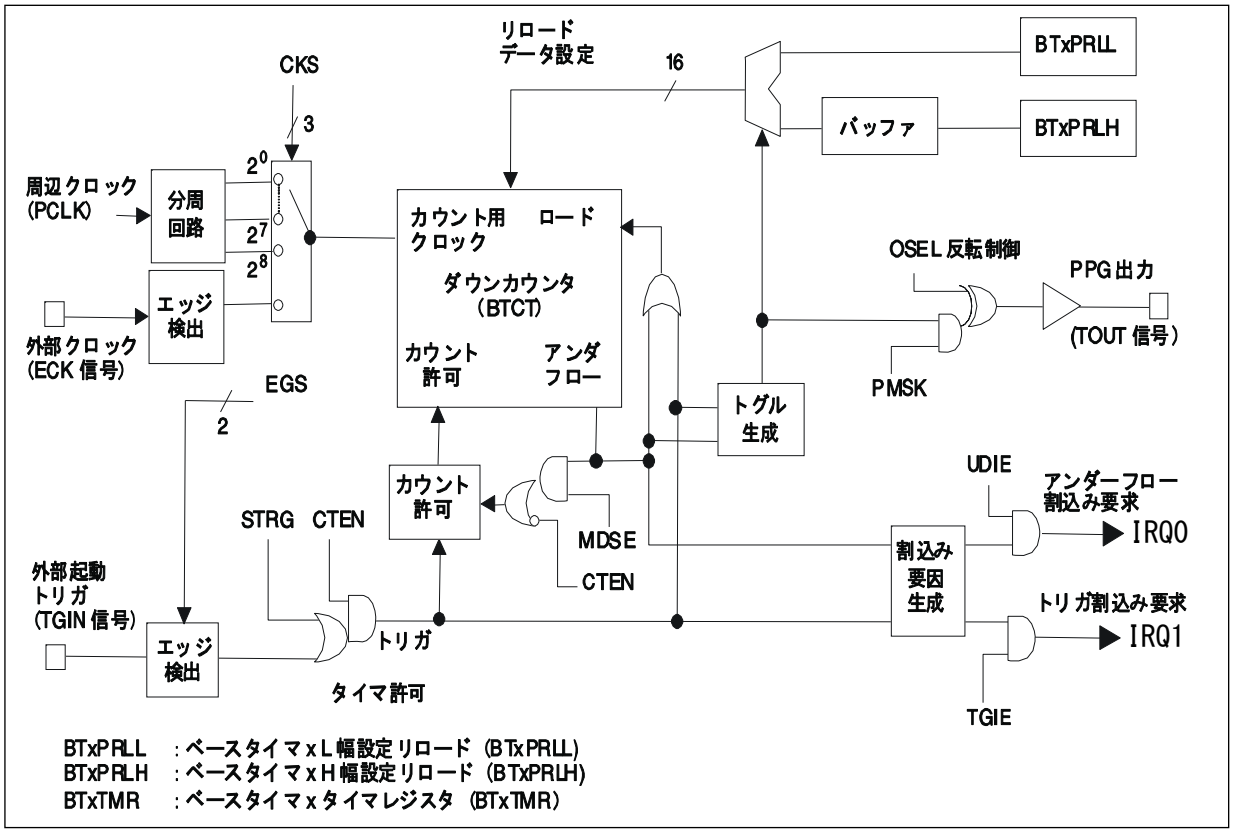
- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.6. 16 ビット PPG タイマの動作

16 ビット PPG タイマの動作について示します。

本製品に内蔵されているベースタイマを 16 ビット PPG タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-17 ブロック図(16 ビット PPG 動作時)



5.6.1. 概要

概要について示します。

16 ビット PPG タイマが起動した後は、初めにベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンします。L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わると、次に H 幅設定リロードレジスタ(BTxPRLH)に設定された値をカウントダウンします。

各レジスタの値をカウント終了後、出力信号(TOUT 信号)のレベルが反転するので、L 幅設定リロードレジスタ(BTxPRLL)H 幅設定リロードレジスタ(BTxPRLH)を設定することで出力する信号の"L"レベルの幅と"H"レベルの幅を任意に設定できます。

16 ビット PPG タイマの動作モードはタイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類から選択できます。

- リロードモード(MDSE=0) : "L"レベルと"H"レベルの信号を連続して出力(連続パルス)するモードです。
- ワンショットモード(MDSE=1) : "L"レベルと"H"レベルの信号を 1 回ずつ出力(単一パルス)するモードです。

5.6.2. パルス幅の計算方法

パルス幅の計算方法について示します。

16 ビット PPG タイマは、L 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)に設定した値+1 カウントした場合、出力信号(TOUT 信号)のレベルが反転します。そのため、出力される信号のパルス幅は、次の計算式で求められます。

例: 出力極性が通常極性の場合

"L" レベルのパルス幅= T × (L+1)
"H" レベルのパルス幅= T × (H+1)

T: カウント用クロックの周期
L: ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値
H: ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値

つまり、L 幅設定リロードレジスタ(BTxPRLL)・H 幅設定リロードレジスタ(BTxPRLH)に"0000_H"を設定した場合、カウント用クロック 1 周期のパルス幅になります。また、"$FFFF_H$"を設定した場合、カウント用クロック 65536 周期のパルス幅が設定されます。

5.6.3. リロードモード時の動作

リロードモード時の動作について示します。

リロードモード時の動作について説明します。

■ 概要

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)とベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値を交互にリロードして、カウントダウンを継続するモードです。アンダフロー割込み要求の発生タイミングで、ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)を書き換えると、任意のパルス幅を連続で出力できます。
このモードを利用するには、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の MDSE ビットでリロードモードを設定(MDSE=0)してください。

■ 動作

● 起動

次の手順で 16 ビット PPG タイマを起動してください。

1. タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16 ビット PPG タイマの動作を許可(CTEN=1)する。16 ビット PPG タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する
   - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の STRG ビットに"1" を書き込む(ソフトウェアトリガ)
   - 外部起動トリガ(TGIN 信号)の有効エッジ(EGS1、EGS0 ビットで設定したエッジ)を入力する

＜注意事項＞

- 外部起動トリガ(TGIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。
- 16 ビット PPG タイマの起動トリガを検出してから L 幅設定リロードレジスタ(BTxPRLL)に設定した値(周期)が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。
  －ソフトウェアトリガ時: 1T(T: カウント用クロックの周期)
  －外部イベントトリガ時: 2T～3T(T: カウント用クロックの周期)

● カウント動作

起動トリガが入力されてからのカウント動作を タイマ制御レジスタ(BTxTMCR)の OSEL ビットで通常極性を設定した(OSEL=0)場合を例にとって説明します。

1. L 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタに、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送され、L 幅設定リロードレジスタ(BTxPRLL)の値のカウントダウンが開始される。このとき、出力信号(TOUT 信号)は"L" レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わる。
3. バッファに転送されていた H 幅設定リロードレジスタ(BTxPRLH)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"H"レベルになります。

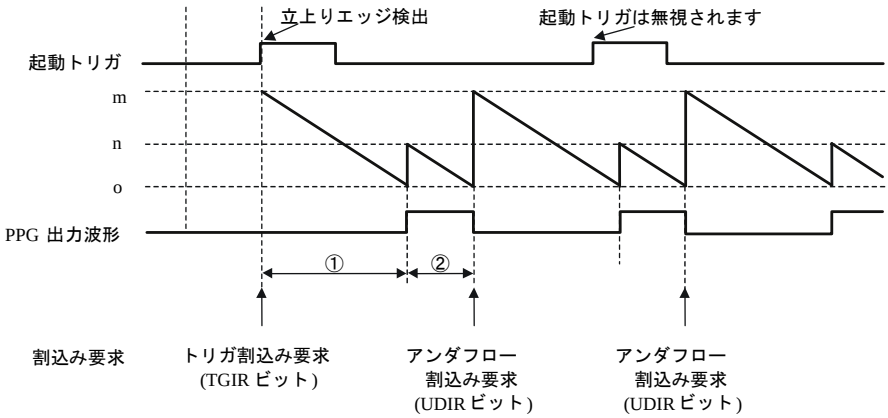
4. 16 ビットダウンカウンタが、H 幅設定リロードレジスタ(BTxPRLH)に設定した値をカウントダウンし終わり、アンダフローが発生する。
5. L 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"L"レベルになります。また、H 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送されます。
6. 手順 2～5 が繰り返され、カウント動作を継続します。

また、カウント中の再起動が許可/ 禁止されている場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止(RTGEN=0)の場合: カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合: ベースタイマ x 状態制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、L 幅設定リロードレジスタ(BTxPRLL)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

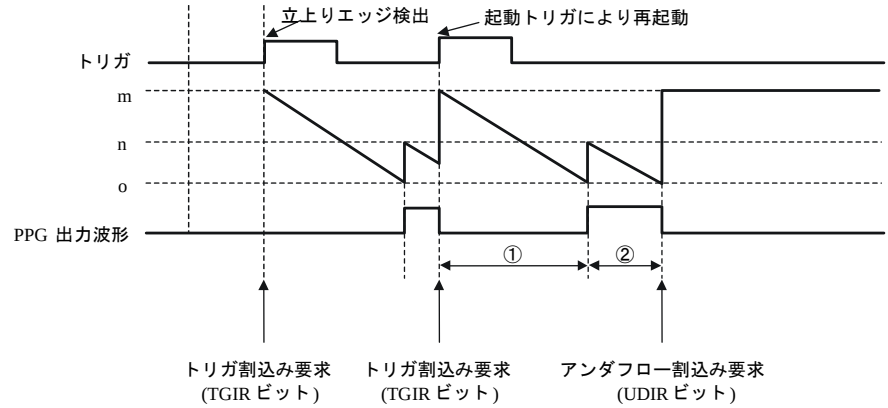
図 5-18 リロードモード時カウント動作例

再起動禁止時のカウント動作



①=T (m+1) ms
②=T (n+1) ms
m : ベースタイマ x L幅設定リロードレジスタ (BTxPRLL) の値
n : ベースタイマ x H幅設定リロードレジスタ (BTxPRLH) の値
T : カウント用クロックの周期

再起動許可時のカウント動作



①=T (m+1) ms
②=T (n+1) ms
m : ベースタイマ x L幅設定リロードレジスタ (BTxPRLL) の値
n : ベースタイマ x H幅設定リロードレジスタ (BTxPRLH) の値
T : カウント用クロックの周期

＜注意事項＞

・16 ビット PPG タイマの出力信号(TOUT 信号)の出力方法/ 出力先は､次の設定によって異なります。
- ベースタイマの入出力モード
- TIOA0～ TIOA1 端子機能

・16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は、ロード動作が優先されます。

■ 書込みタイミング

ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)/ ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値は、次のタイミングでリロードされます。

● ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値

次のいずれかの場合に 16 ビットダウンカウンタへロードされます。

・起動トリガ検出時
・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウント後、アンダフローが発生したとき

● ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値

次のいずれかの場合にバッファに転送されます。

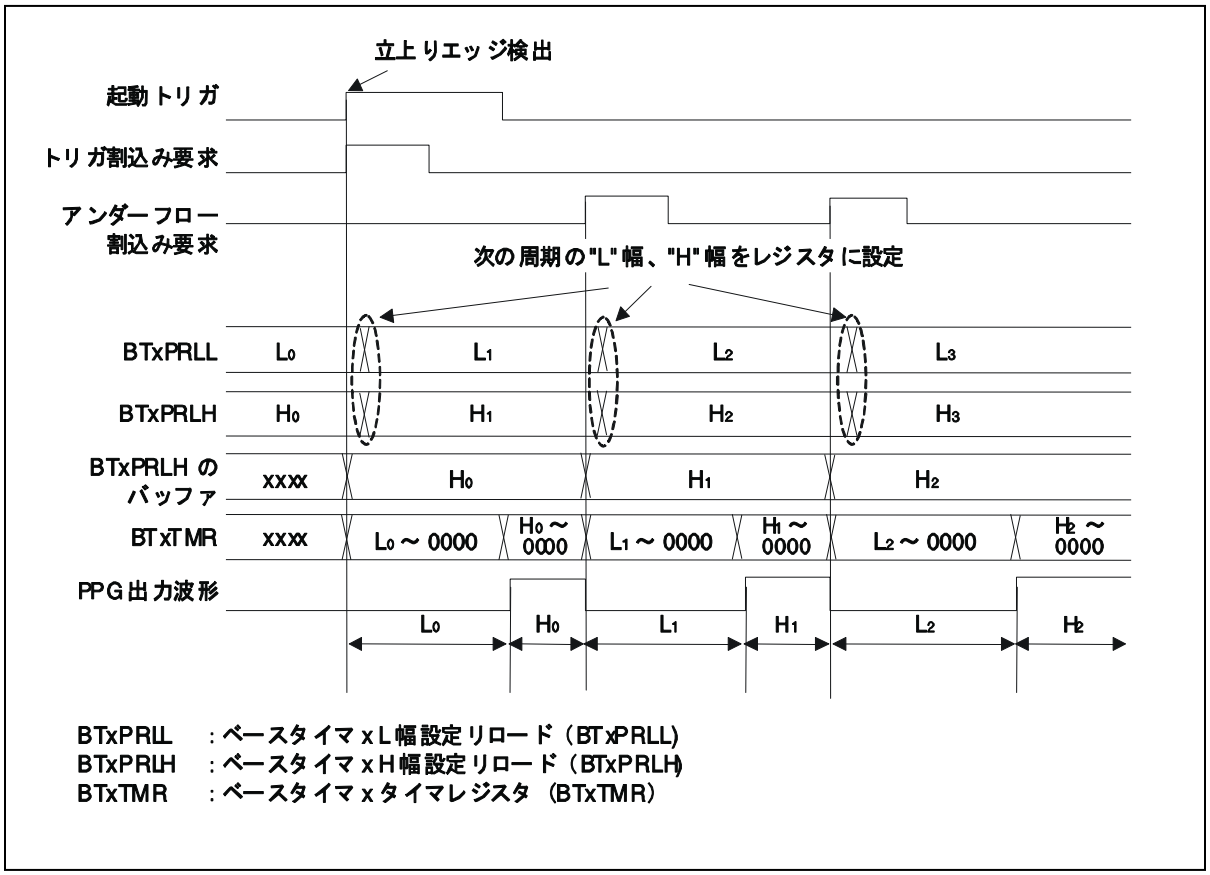
・起動トリガ検出時
・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値のカウント後、アンダフローが発生したとき

次の場合に、バッファから 16 ビットダウンカウンタにロードされます。

・ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値のカウントが終了したとき

そのため、ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)・ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)は、アンダフローが発生してから(状態制御レジスタ(BTxSTC)の UDIR ビットが"1"に変わってから)、次の周期のカウントが開始されるまでの間に書き換えてください。書き換えたデータは次の周期として反映されます。

図 5-19 書込みタイミング



■ 割込み発生タイミング

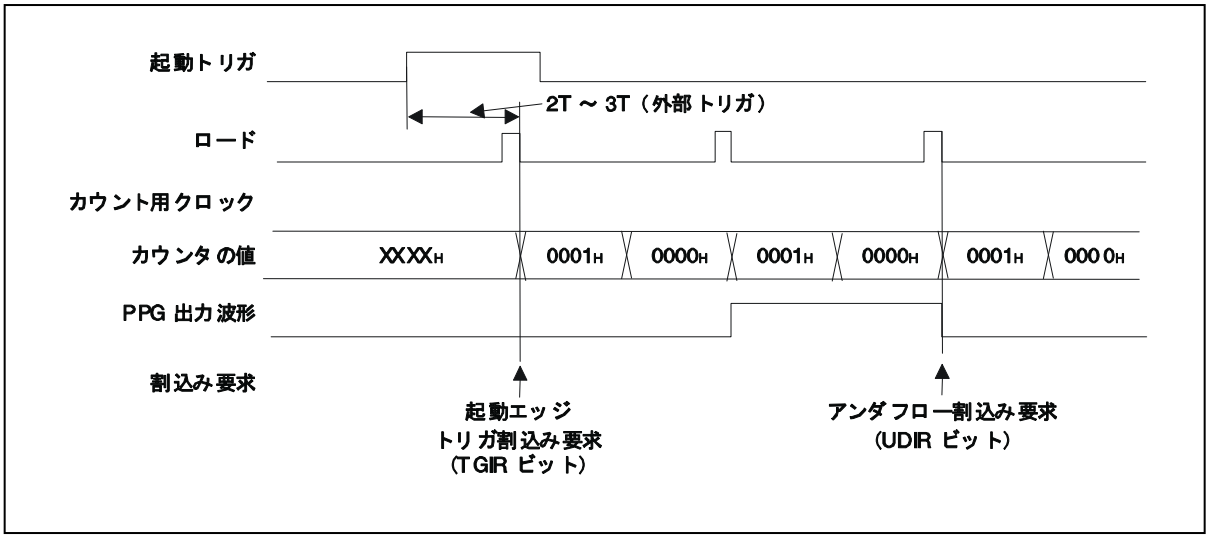
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

・起動トリガ検出時
・H 幅設定リロードレジスタ(BTxPRLH)の値で、アンダフローが発生したとき

割込み要求発生のタイミングを次の設定がされているときを例にとって、次図に示します。

・L 幅設定リロードレジスタ(BTxPRLL)の値=0001_H
・H 幅設定リロードレジスタ(BTxPRLH)の値=0001_H

図 5-20 割込み要求発生のタイミングチャート



5.6.4. ワンショットモード時の動作

ワンショットモード時の動作について示します。

ワンショットモード時の動作について説明します。

■ カウント動作

● 起動

リロードモード時と同様です。「5.6.3 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

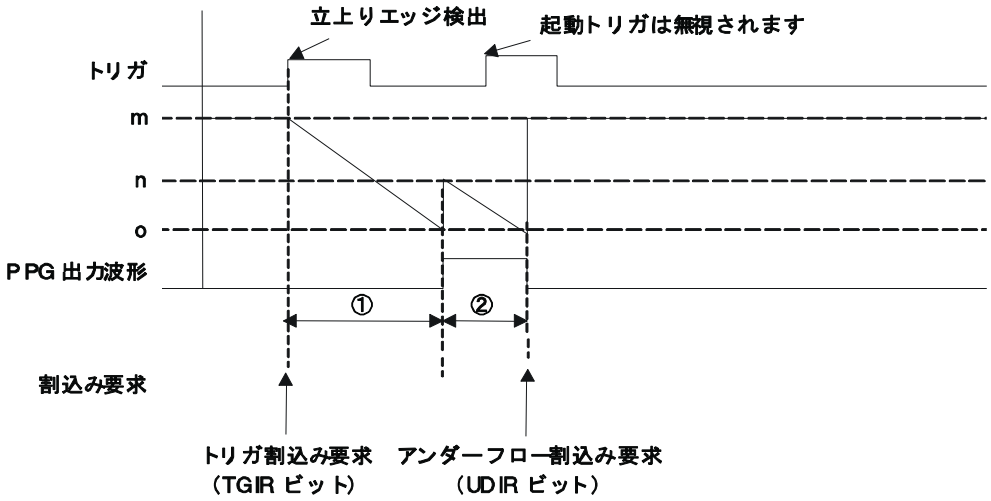
起動トリガが入力されてからのカウント動作をタイマ制御レジスタ(BTxTMCR)の OSEL ビットで通常極性を設定した(OSEL=0)場合を例にとって説明します。

1. ベースタイマ xL 幅設定リロードレジスタ(BTxPRLL)の値が 16 ビットダウンカウンタに、ベースタイマ xH 幅設定リロードレジスタ(BTxPRLH)の値がバッファに転送され、L 幅設定リロードレジスタ(BTxPRLL)の値のカウントダウンが開始される。このとき、出力信号(TOUT 信号)は"L"レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ(BTxPRLL)の値をカウントダウンし終わる
3. バッファに転送されていた H 幅設定リロードレジスタ(BTxPRLH)の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号(TOUT 信号)は"H"レベルになります。
4. 16 ビットダウンカウンタが、H 幅設定リロードレジスタ(BTxPRLH)に設定した値をカウントダウンし終わり、アンダフローが発生する。
5. カウント動作が停止する。

また、カウント中の再起動が許可/ 禁止されている場合の動作は、タイマ制御レジスタ(BTxTMCR)の RTGEN ビットで再起動を許可しているかどうかで異なります。

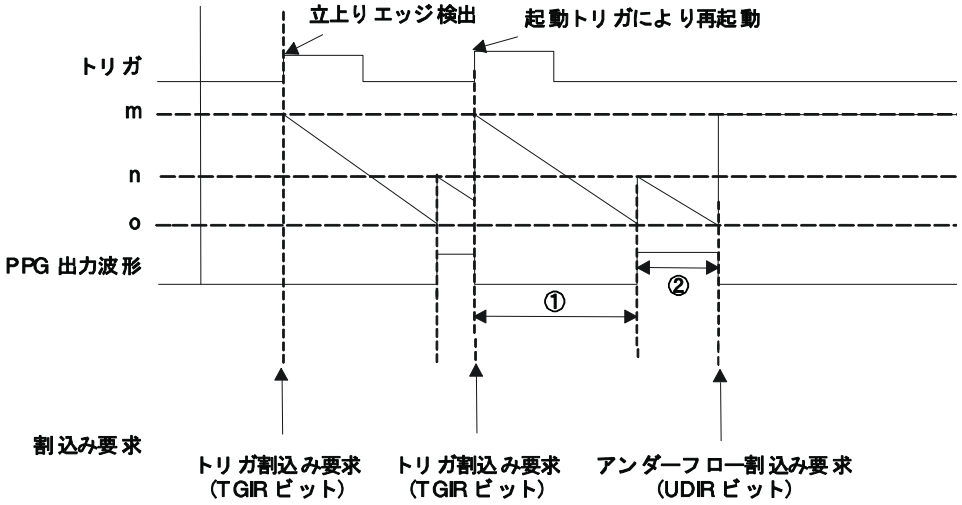
- 再起動禁止(RTGEN=0)の場合 : カウント中に入力された起動トリガは無視されます。
- 再起動許可(RTGEN=1)の場合 : 状態制御レジスタ(BTxSTC)の TGIR ビットが"1"に変わります。また、L 幅設定リロードレジスタ(BTxPRLL)に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 5-21 再起動禁止時のカウント動作例



①=T(m+1)ms
②=T(n+1)ms
m ：ベースタイマ x L幅設定リロードレジスタ （BTxPRLL）の値
n ：ベースタイマ x H幅設定リロードレジスタ （BTxPRLH）の値
T ：カウント用クロックの周期

図 5-22 再起動許可時のカウント動作例



①=T(m+1)ms
②=T(n+1)ms
m ：ベースタイマ x L 幅設定リロードレジスタ （BTxPRLL）の値
n ：ベースタイマ x H 幅設定リロードレジスタ（BTxPRLH）の値
T ：カウント用クロックの周期

＜注意事項＞

- 16 ビット PPG タイマの出力信号(TOUT 信号)の出力方法/ 出力先は､次の設定によって異なります。
  - ベースタイマの入出力モード
  - TIOA0～ TIOA1 端子機能
- カウント終了時に、16 ビット PPG タイマの起動トリガが検出されると、L 幅設定リロードレジスタ(BTxPRLL)の値(周期)が 16 ビットダウンカウンタにロードされ、カウントが開始されます。

■ 割込み発生タイミング

リロードモード時と同様です。「5.6.3 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

5.6.5. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- 起動トリガ検出時(トリガ割込み要求)
- H 幅設定リロードレジスタ(BTxPRLH)の値でアンダフローが発生したとき(アンダフロー割込み要求)

表 5-5 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BTxSTC の TGIR=1	BTxSTC の TGIE=1	BTxSTC の TGIR ビットに"0"を書き込む。
アンダフロー割込み要求	BTxSTC の UDIR=1	BTxSTC の UDIE=1	BTxSTC の UDIR ビットに"0"を書き込む。

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。
- 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 割込みベクタ番号に対応する割込みレベルは、割込み制御レジスタ(ICR00～ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.6.6. 使用上の注意

使用上の注意について示します。

16 ビット PPG タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS1, EGS0 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2 ～FMD0 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2～FMD0=000)してから、再度 FMD2～FMD0 ビットでベースタイマの機能を選択してください。
- 16 ビット PPG タイマは次の手順で設定してください。

1. タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでベースタイマの機能に 16 ビット PPG タイマを設定(FMD2～FMD0=010)
2. L 幅設定リロードレジスタ(BTxPRLL)を設定
3. H 幅設定リロードレジスタ(BTxPRLH)を設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PPG タイマの再起動トリガが検出されると、L 幅設定リロードレジスタ(BTxPRLL)の値(周期)が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号(外部クロック/ 外部起動トリガ/ 波形)の入出力動作が異なります。

■ 割込みに関する注意

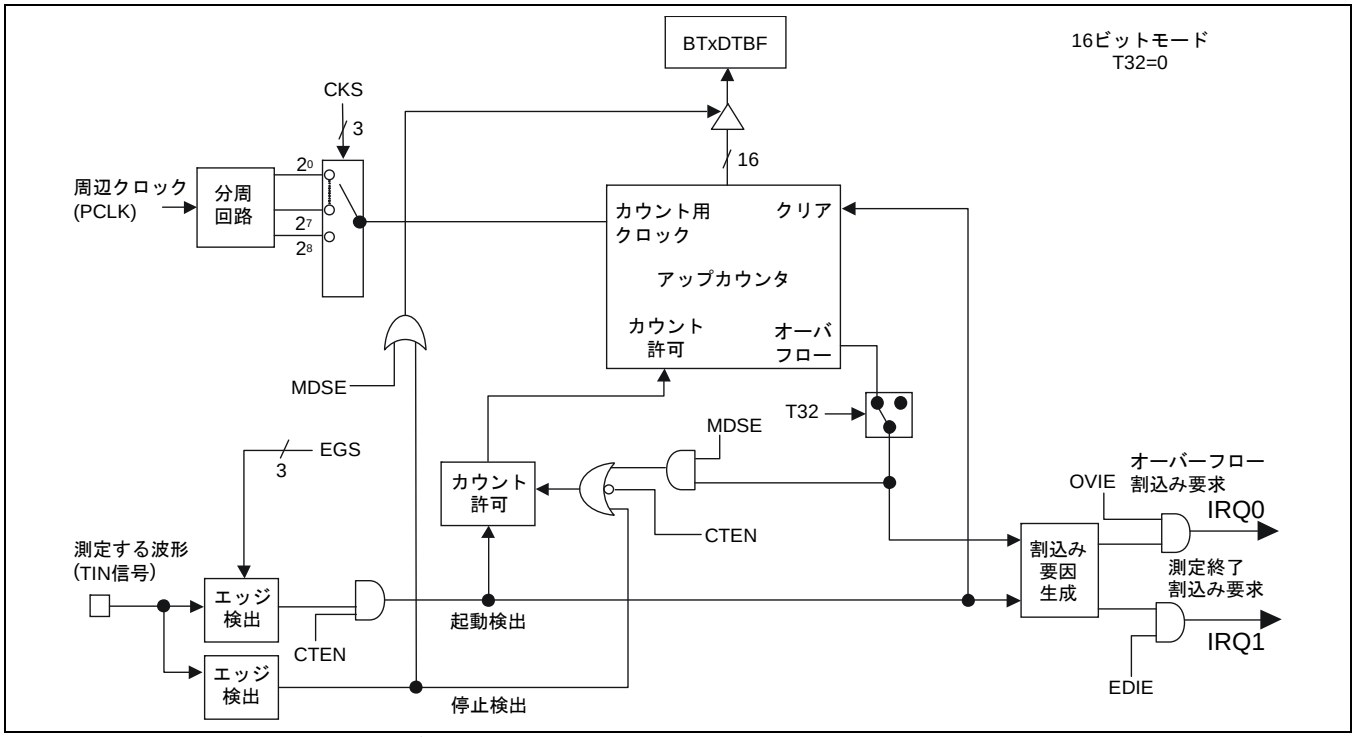
- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。

5.7. 16/32 ビット PWC タイマの動作

16/32 ビット PWC タイマの動作について示します。

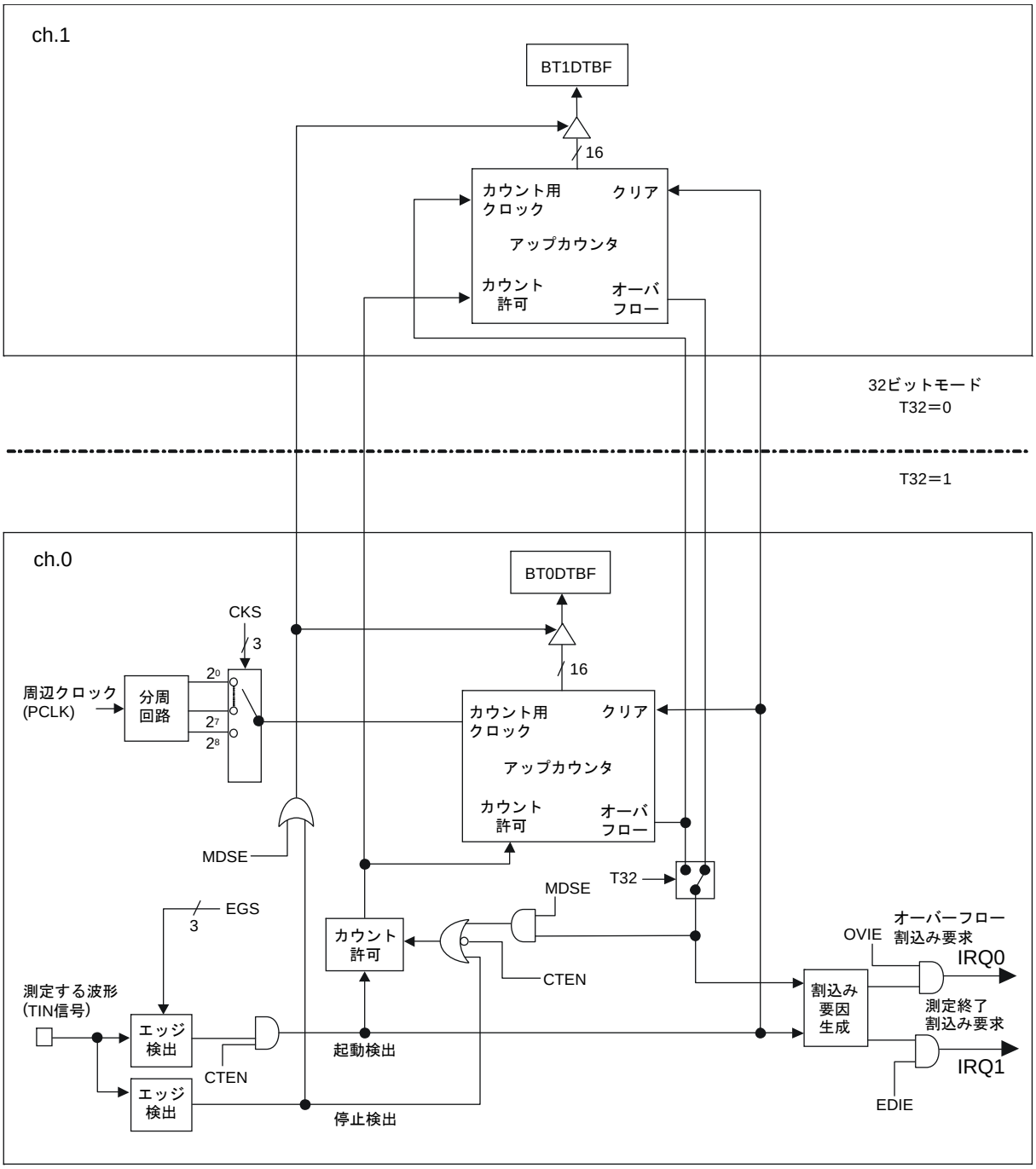
本製品に内蔵されているベースタイマを 16/32 ビット PWC タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 5-23 ブロック図(16 ビット PWC 動作時)



BTxDTBF: ベースタイマ x データバッファレジスタ (BT x DTBF)

図 5-24 ブロック図(32 ビット PWC 動作時)



BT0DTBF: ベースタイマ 0 データバッファレジスタ (BT0 DTBF)
BT1DTBF: ベースタイマ 1 データバッファレジスタ (BT1 DTBF)

5.7.1. 概要

概要について示します。

16/32 ビット PWC タイマは、入力される信号のパルス幅や周期を測定するタイマです。入力信号(TIN 信号)で測定開始エッジを検出することによってカウントアップを開始し、測定終了エッジを検出することによってカウント動作を停止します。カウントされた値(測定結果)がパルス幅や周期としてデータバッファレジスタ(BTxDTBF)に格納されます。

16/32 ビット PWC タイマには、タイマモード、動作モード、測定モードの 3 種類のモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

＜注意事項＞

TIN 信号の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。「5.2 入出力割り当て」を参照してください。

■ タイマモード

タイマ制御レジスタ(BTxTMCR)の T32 ビットで次の 2 種類のモードから選択します。

- 16 ビットタイマモード(T32=0) : 16 ビット PWC タイマを 1 チャネルずつ個別に動作させます。
- 32 ビットタイマモード(T32=1) : 2 チャネルをカスケード接続して 32 ビット PWC タイマとして使用します。

32 ビットタイマモード時の動作については、「5.7.3 32 ビットタイマモード時の動作」を参照してください。

＜注意事項＞

32 ビットタイマモードを設定する場合は、偶数チャネルと奇数チャネルの T32 ビットの設定が異なります。詳しくは、「5.7.3 32 ビットタイマモード時の動作」を参照してください。

■ 動作モード

タイマ制御レジスタ(BTxTMCR)の MDSE ビットで次の 2 種類のモードから選択します。

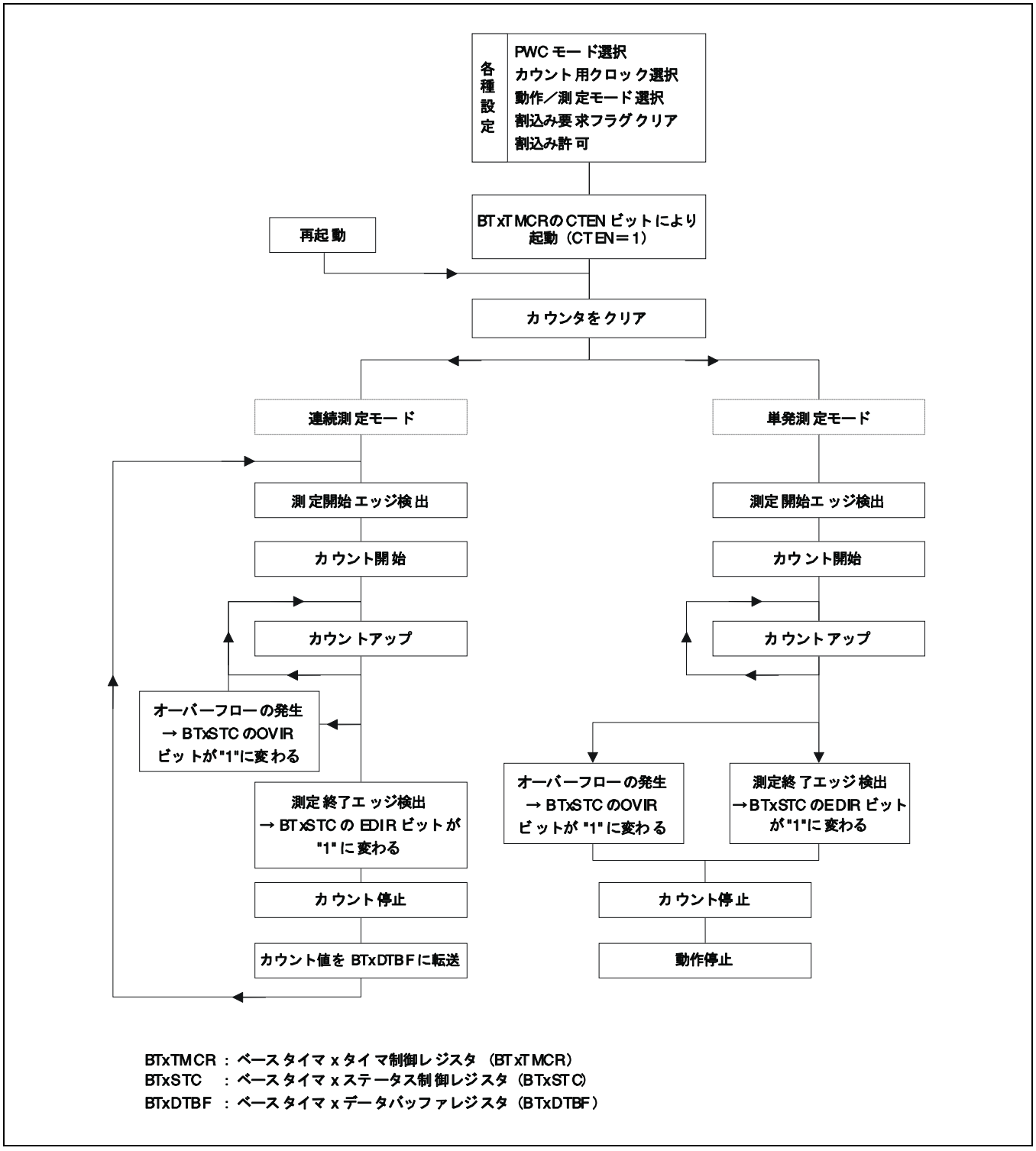
- 連続測定モード(MDSE=0) : 1 回測定が終わると、測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
- 単発測定モード(MDSE=1) : 測定を 1 回のみ行うモードです。単発測定モードと連続測定モードの相違点を次表 に示します。

表 5-6 単発測定モードと連続測定モードの相違点

	単発測定モード	連続測定モード
測定動作	測定終了エッジを検出した場合 測定動作を停止。	測定終了エッジを検出した場合、測定動作を停止し、測定開始エッジが検出されるまで待機。 測定開始エッジが検出されると、再度測定を開始。
BTxDTBF の機能	測定動作中: 測定中の値を保持 測定終了後: 測定結果を保持	測定動作中: 前回の測定結果を保持 測定終了後: 測定結果を保持
オーバフロー時の動作	測定を停止。	0 x 0000 から再度測定を開始。

動作フローを次に示します。

図 5-25 動作フロー


各種設定
PWC モード選択
カウント用クロック選択
動作／測定モード選択
割込み要求フラグクリア
割込み許可
再起動
BTxTMCRのCTENビットにより起動（CTEN＝1）
カウンタをクリア
連続測定モード
単発測定モード
測定開始エッジ検出
カウント開始
カウントアップ
オーバーフローの発生→BTxSTCのOVIRビットが"1"に変わる
測定終了エッジ検出→BTxSTCのEDIRビットが"1"に変わる
カウント停止
カウント値をBTxDTBFに転送
測定開始エッジ検出
カウント開始
カウントアップ
オーバーフローの発生→BTxSTCのOVIRビットが"1"に変わる
測定終了エッジ検出→BTxSTCのEDIRビットが"1"に変わる
カウント停止
動作停止
BTxTMCR ： ベースタイマxタイマ制御レジスタ（BTxTMCR）
BTxSTC ： ベースタイマxステータス制御レジスタ（BTxSTC）
BTxDTBF ： ベースタイマxデータバッファレジスタ（BTxDTBF）

＜注意事項＞

連続測定モードの場合、データバッファレジスタ(BTxDTBF)から測定結果を読み出す前に次の測定が終了した場合、データバッファレジスタ(BTxDTBF)に保持されている値が新しい値に上書きされ、古い値は破棄されます。このとき、状態制御レジスタ(BTxSTC)の ERR ビットが"1"に変わります。ベースタイマ x データバッファレジスタ(BTxDTBF)を読み出すと ERR ビットを"0"にクリアできます。

■ 測定モード

タイマ制御レジスタ(BTxTMCR)の EGS2～EGS0 ビットで次の 5 種類から選択します。

図 5-26 測定モードと測定内容 1

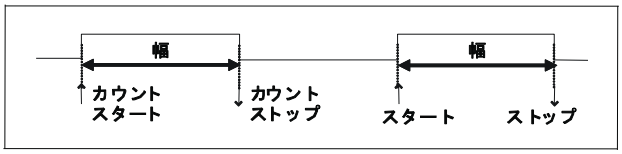
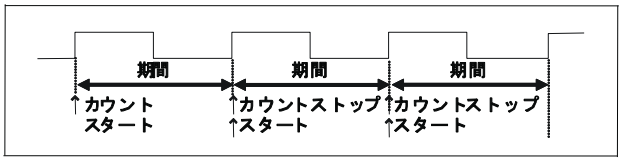
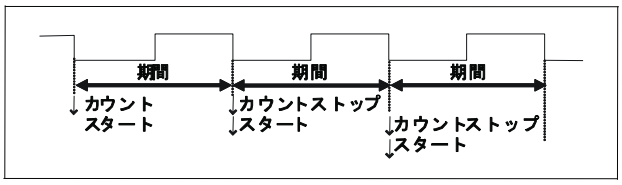
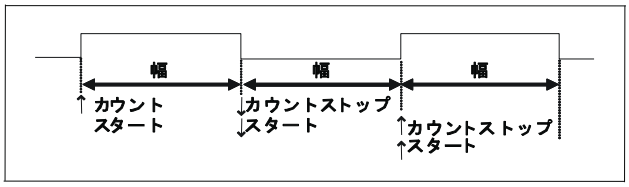
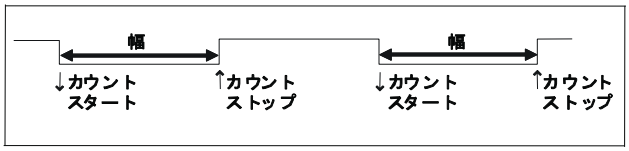
測定モード (EGS2 ～ EGS0)	測定内容
H パルス幅測定 (EGS2 ～ EGS0=000)	"H" レベルの信号が入力されている期間の幅を測定します。  カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時
立上りエッジ間周期測定 (EGS2 ～ EGS0=001)	立上りエッジを検出してから ,次の立上りエッジを検出するまでの周期を測定します。  カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時
立下りエッジ間周期測定 (EGS2 ～ EGS0=010)	立下りエッジを検出してから ,次の立下りエッジを検出するまでの周期を測定します。  カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時

図 5-27 測定モードと測定内容 2

測定モード (EGS2 ～ EGS0)	測定内容
全エッジ間パルス幅測定 (EGS2 ～ EGS0=011)	連続して入力されるエッジ間の幅を測定します。 ・立上りエッジ検出から立下りエッジ検出まで ・立下りエッジ検出から立上りエッジ検出まで  カウント (測定) 開始 : エッジ検出時 カウント (測定) 終了 : エッジ検出時
L パルス幅測定 (EGS2 ～ EGS0=100)	L" レベルの信号が入力されている期間の幅を測定します。  カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時

5.7.2. PWC 測定時の動作

PWC 測定時の動作について示します。

測定時の動作について説明します。以下文中のセンシティブエッジ①およびセンシティブエッジ②の内容は、「図 5-26 測定モードと測定内容 1」および「図 5-27 測定モードと測定内容 2」を参照してください。

■ 起動

次の手順で 16/32 ビット PWC タイマを起動してください。

・タイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビット PWC タイマの動作を許可(CTEN=1)する。
カウンタの値が"0000H" にクリアされ、16/32 ビット PWC タイマが測定開始エッジ入力待機状態になります (測定開始エッジが入力されるまではカウントは行われません) 。

■ カウント動作

● 単発測定モード時の動作

測定開始エッジ待機中に、入力信号(TIN 信号)でセンシティブエッジ①を検出した場合、アップカウンタがカウント用クロックに同期して"0001_H"からカウントアップを開始します。入力信号(TIN 信号)でセンシティブエッジ②が検出されると、アップカウンタの動作が停止します。

また、アップカウンタの値がデータバッファレジスタ(BTxDTBF)に格納されます。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

＜注意事項＞

・単発測定モードでは、オーバフローが発生した場合カウント動作を停止します。
・測定する波形(TIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力モードによって異なります。

● 連続測定モード時の動作

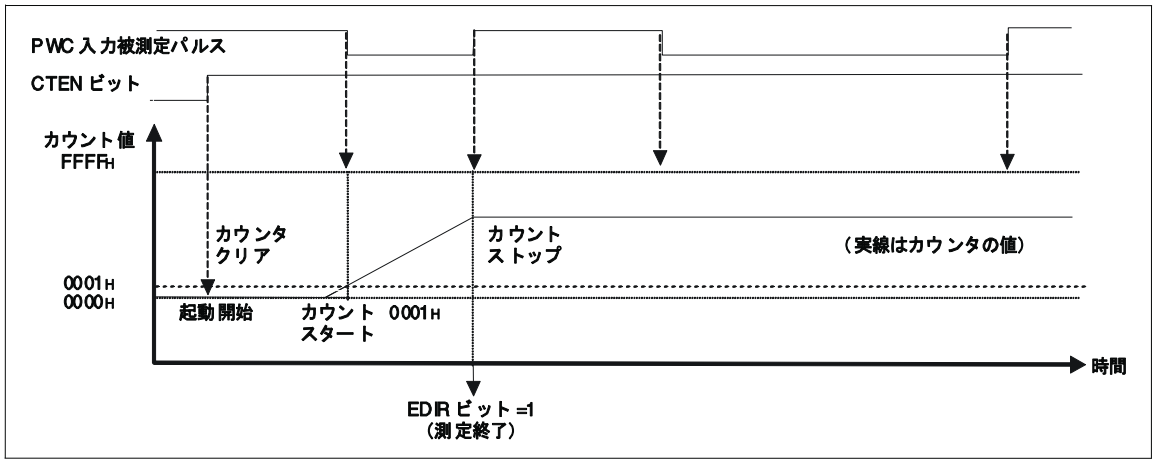
測定開始エッジ待機中に、入力信号(TIN 信号)でセンシティブエッジ①を検出した場合、アップカウンタがカウント用クロックに同期して"0001_H"からカウントアップを開始します。入力信号(TIN 信号)でセンシティブエッジ②が検出されると、アップカウンタの動作が停止し、測定開始エッジ入力待機状態になります。また、アップカウンタの値が データバッファレジスタ(BTxDTBF)に格納されます。測定開始エッジ待機中に、入力信号(TIN 信号)で立上りエッジを検出した場合、アップカウンタが再度"0001_H"からカウントアップを開始します。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

＜注意事項＞

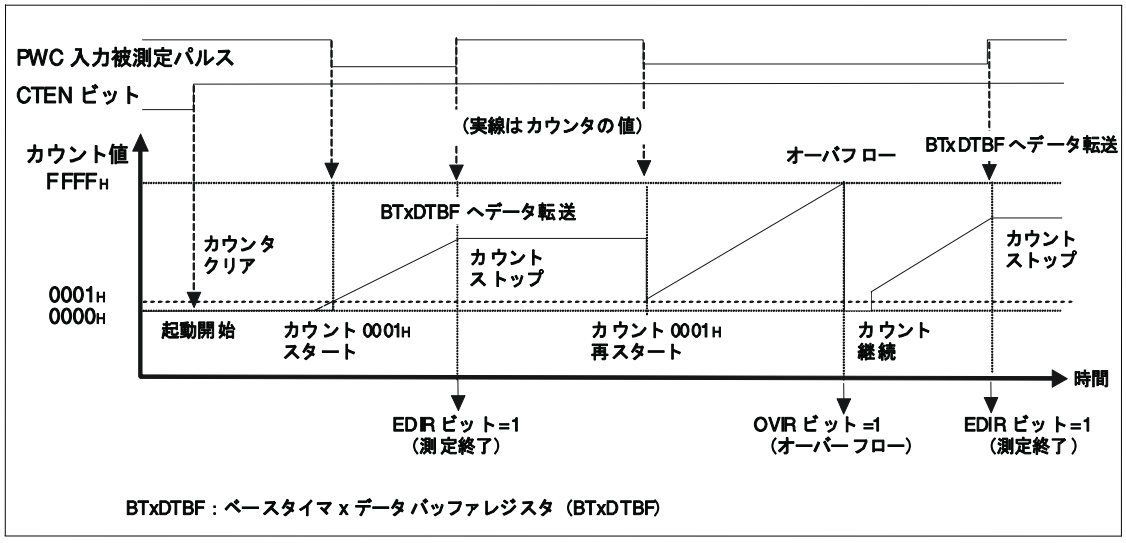
測定する波形(TIN 信号)の入力方法は、入出力選択レジスタ(BTSEL01)で設定した入出力 モードによって異なります。

図 5-28 動作例

″L″パルス幅測定時 単発測定モード時の動作



″L″パルス幅測定時 連続測定モード時の動作



■ 再起動

カウント動作中にベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットに"1"が書き込まれると、アップカウンタに再起動がかかり次のように動作します。

測定開始エッジ待機中に再起動がかけられた場合

そのまま測定開始エッジ待機状態を継続します。

測定中に再起動がかけられた場合

アップカウンタの値が"0000_H"にクリアされ、測定開始エッジ待機状態になります。

＜注意事項＞

- 測定終了エッジの検出と再起動が同時に発生した場合、次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御を行ってください。
  - 単発測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、状態制御レジスタ(BTxSTC)の EDIR ビット(測定終了割込み要求フラグ)が"1"に変わります。
  - 連続測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、状態制御レジスタ(BTxSTC)の EDIR ビット(測定終了割込み要求フラグ)が"1"に変わります。また、その時点での測定結果がデータバッファレジスタ(BTxDTBF)に転送されます。
- 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に、入力信号(TIN 信号)で測定開始エッジを検出した場合は直ちに"0001_H"からカウントを開始します。

■ パルス幅算出方法

測定終了後、ベースタイマ x データバッファレジスタ(BTxDTBF)に格納された測定結果から測定したパルス幅を次の計算式で算出できます。

パルス幅 ＝ n × T

n : データバッファレジスタ(BTxDTBF)の値
T : カウント用クロックの周期

5.7.3. 32 ビットタイマモード時の動作

32 ビットタイマモード時の動作について示します。

16 ビット PWC タイマ 2 チャネルをカスケード接続して、32 ビットの PWC タイマとして使用する場合の設定と動作について説明します。

■ 概要

タイマ制御レジスタ(BTxTMCR)の T32 ビットで 16 ビット PWC タイマ 2 チャネルをカスケード接続して、32 ビットの PWC タイマとして使用できます。
このモードでは、偶数チャネルが下位 16 ビットの動作に、奇数チャネルが上位 16 ビットの動作に対応します。そのためアップカウンタの値の読出しは、下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は、偶数チャネルのベースタイマ x タイマ制御レジスタ(BTxTMCR)の T32 ビットを"1"に、奇数チャネルの T32 ビットを"0"に設定してください。また、32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。

偶数チャネルと奇数チャネルでレジスタの設定が異なります。ch.0 と ch.1 をカスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の FMD2～FMD0 ビットで ch.0 をリセットモードに設定(FMD2～FMD0=000)
2. ch.0 と ch.1 のベースタイマ x タイマ制御レジスタ(BT0TMCR、BT1TMCR)の FMD2～FMD0 ビットで、ch.0 と ch.1 を 16/32 ビット PWC タイマを設定(FMD2 ～FMD0=100)。同時にベースタイマ 0 タイマ制御レジスタ(BT0TMCR)の T32 ビットで 32 ビットタイマモードを設定(T32=1)。

＜注意事項＞

T32 ビットは、偶数チャネル/ 奇数チャネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは、タイマ制御レジスタ(BTxTMCR)の CTEN ビットで確認できます(CTEN=0)。

■ 動作

32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。ただし、カウント動作は偶数チャネルの設定に従うため、奇数チャネルの次のレジスタの設定は無視されます。

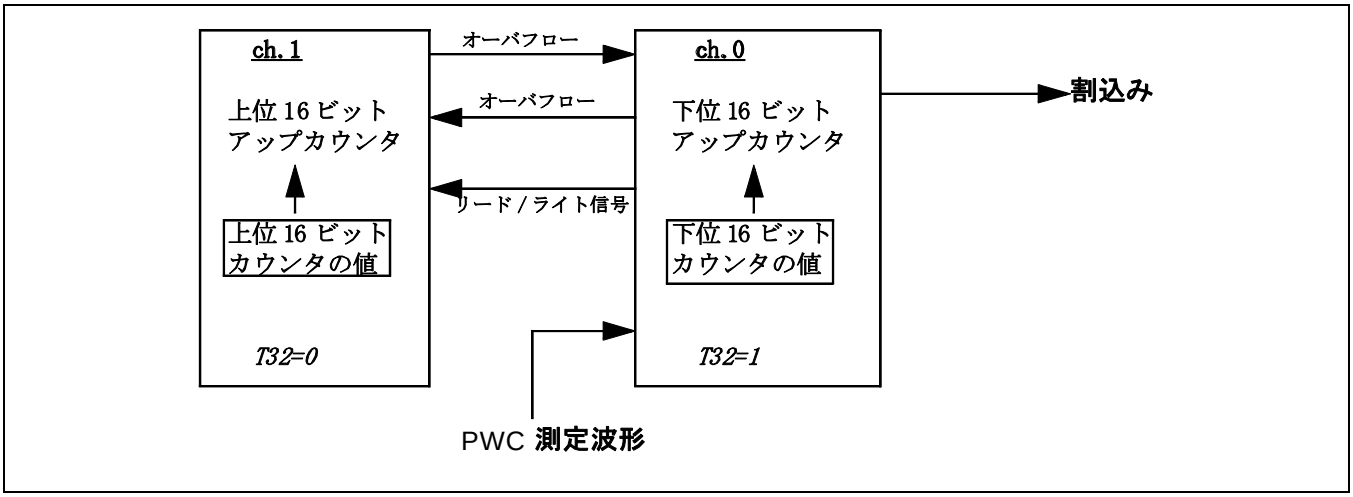
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)
- ベースタイマ x 状態制御レジスタ(BTxSTC)

32 ビットタイマモード時のカウント動作について説明します。

1. 偶数チャネルのタイマ制御レジスタ(BTxTMCR)の CTEN ビットで、16/32 ビット PWC タイマの動作を許可(CTEN=1)することによって、32 ビット PWC タイマが起動します。
2. 入力信号(TIN 信号)で測定開始エッジを検出することによってカウント動作が開始されます。
3. 偶数チャネルが下位 16 ビット、奇数チャネルが上位 16 ビットの 32 ビットカウンタとしてアップカウンタがカウントを開始します。
4. 入力信号(TIN 信号)で測定終了エッジを検出した場合アップカウンタの値の下位 16 ビットが偶数チャネルの上位 16 ビットが奇数チャネルのデータバッファレジスタ(BTxDTBF)に格納されます。

32 ビットタイマモード時のチャネル構成を次に示します。

図 5-29 32 ビットタイマモード時の構成



＜注意事項＞

- ダウンカウンタの値はデータバッファレジスタ(BTxDTBF)を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット(偶数チャネル)→上位 16 ビット(奇数チャネル)の順で読み出してください。
- 32 ビットタイマモード時は、32 ビット PWC タイマの動作は、偶数チャネルの設定にしたがいます。そのため、割込み要求は偶数チャネルのものが有効になります。

5.7.4. 割込み

割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- オーバフロー発生時(オーバフロー割込み要求)
- 測定が終了したとき(測定終了割込み要求)

表 5-7 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
オーバフロー割込み要求	BTxSTC の OVIR=1	BTxSTC の OVIE=1	BTxSTC の OVIR ビットに"0"を書き込む。
測定終了割込み要求	BTxSTC の EDIR=1	BTxSTC の EDIE=1	BTxDTBF を読み出す

＜注意事項＞

- 割込み要求フラグが"1"のときに割込み要求の発生を許可した場合割込みを許可した時点で、割込み要求が発生します。
- 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  - 割込み要求の発生を許可する前に割込み要求をクリアする
  - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、『付録』の『割込みベクタテーブル』を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込み制御レジスタ(ICR00 ～ICR47)で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』の章を参照してください。

5.7.5. 使用上の注意

使用上の注意について示します。

16/32 ビット PWC タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の次のビットは、CTEN ビットでアップカウンタの動作を停止(CTEN=0)してから、書き換えてください。
  - CKS2～ CKS0 ビット
  - EGS2～ EGS0 ビット

  - T32 ビット
  - FMD2～ FMD0 ビット
  - MDSE ビット
- タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットでリセットモードを設定(FMD2～FMD0=000)した場合、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットしてください。リセット後に、タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2～FMD0 ビットでリセットモードを選択(FMD2 ～FMD0=000)してから、これらのビットを書き換えてください。
- システムリセット/リセットモード時に、次の設定を同時に行うと、その直前の測定信号の状態によって動作する場合があります。
  - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマの機能を 16/32 ビット PWC タイマに設定(FMD2～FMD0=100)
  - ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで 16/32 ビット PWC タイマの動作を許可(CTEN=1)

■ 動作に関する注意

- アップカウンタのカウントのタイミングと、ロードのタイミングが重なった場合は、ロード動作が優先されます。
- ベースタイマ x タイマ制御レジスタ(BTxTMCR)の CTEN ビットで 16/32 ビット PWC タイマの動作を許可(CTEN=1)した場合、アップカウンタの値がクリアされ、起動許可前のアップカウンタの値は無効になります。
- 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に入力信号(TIN 信号)で測定開始エッジを検出した場合は直ちに"0001_H"からカウントを開始します。
- 32 ビット PWC タイマとして使用する場合は、偶数チャネルの 16 ビット PWC タイマへの設定が有効になり、奇数チャネルの設定は無視されます。
- ベースタイマ入出力選択機能によって、測定する波形の入力動作が異なります。

■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが"1"に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは"1"のままになります。
- 測定終了エッジの検出と同時に 16/32 ビット PWC タイマを再起動した場合次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御を行ってください。
  - パルス幅単発測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ(EDIR)は"1"に変わります。
  - パルス幅連続測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ(EDIR)が"1"に変わり、その時点での測定結果がデータバッファレジスタ(BTxDTBF)に転送されます。

Chapter 20: リロードタイマ



リロードタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. アプリケーションノート

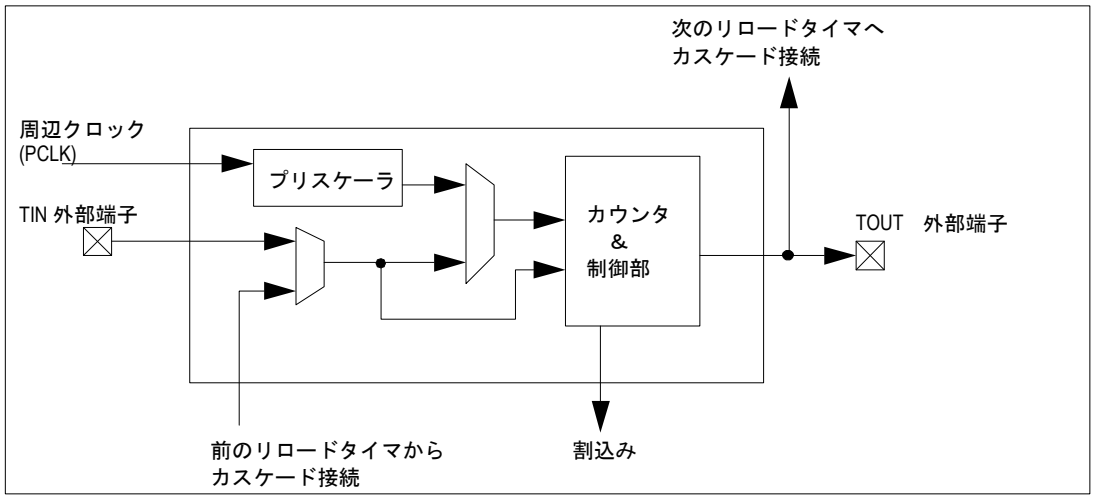
管理コード : FR81S10_RLT-1v1-91520-10-J

1. 概要

リロードタイマの概要について説明します。

本モジュールは、内部クロックをカウントするインターバルタイマモードと、外部イベントをカウントするイベントカウンタモードを持つ、16 ビットのリロードダウンカウントタイマです。

図 1-1 ブロックダイヤグラム(1 チャネル分、概要)



使用可能チャネル数は以下になります。
MB91F52xB (64pin) : 7
MB91F52xD (80pin) : 7
MB91F52xF (100pin) : 8
MB91F52xJ (120pin) : 8
MB91F52xK (144pin) : 8
MB91F52xL (176pin) : 8

2. 特長

リロードタイマの特長について説明します。

本製品は最大 8 チャネルのリロードタイマを搭載しています。

・7 チャネル: MB91F52xB , MB91F52xD
・8 チャネル: MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL

各チャネルは以下により構成されています。

・16 ビットダウンカウンタ × 1
・16 ビットリロードレジスタ × 1
・16 ビットリロード / コンペア / キャプチャレジスタ × 1
・上記 バッファ × 1

・内部カウントクロック作成用 6 ビットプリスケーラ × 1
・外部トリガ/イベント入力(TIN) × 1
・外部トグル出力(TOUT) × 1
・制御レジスタ × 1
・カウント比較器 × 1

本タイマは以下のインターバルタイマモード/イベントカウンタモードをもち、レジスタを設定することにより、以下の用途・機能で使用することができます。

● インターバルタイマモード

・シングルワンショット動作 ⇒ シングルショットタイマ
・デュアルワンショット動作
・シングルリロード動作 ⇒ リロードタイマ
・デュアルリロード動作 ⇒ PPG(Programmable Pulse Generator)
・コンペアモード ⇒ アウトプットコンペア、PWM(Pulse Width Modulator)
・キャプチャモード(外部トリガ入力/ソフトウェアトリガ使用)
⇒ PWC(Pulse Width Counter)
・アンダフロー割込み / キャプチャ割込み
・内部クロック 6 種類(周辺クロック(PCLK)の 2/4/8/16/32/64 分周)
・外部トリガ入力(立上りエッジ / 立下りエッジ / 両エッジ)
・外部ゲート入力

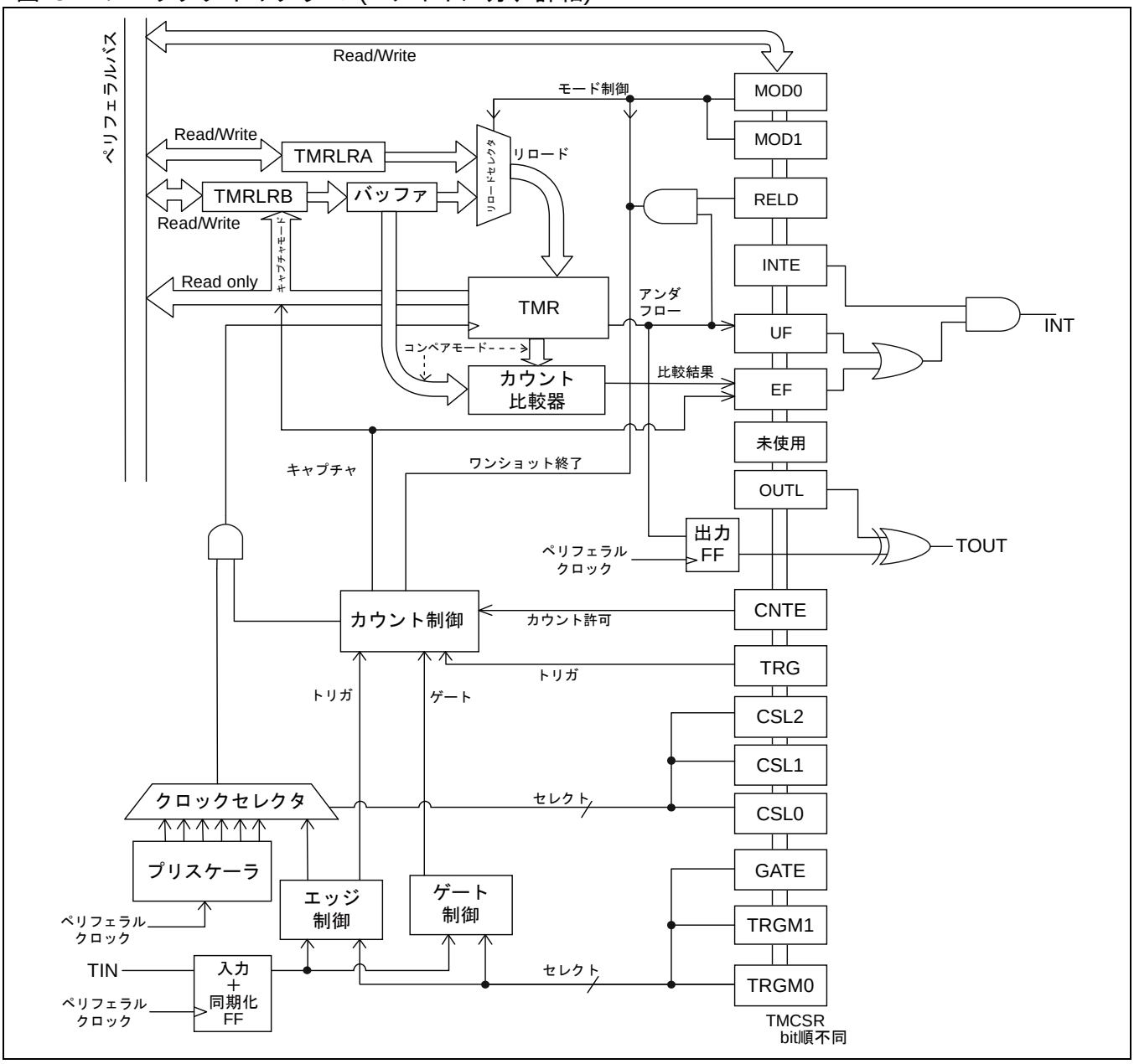
● イベントカウンタモード

・シングルワンショット動作
・デュアルワンショット動作
・シングルリロード動作
・デュアルリロード動作
・コンペアモード
・キャプチャモード(ソフトウェアトリガのみ)
・アンダフロー割込み / キャプチャ割込み / コンペア割込み
・外部イベント入力エッジ検出(立上りエッジ検出 / 立下りエッジ検出 / 両エッジ検出)
・カスケードモード
  ・ ch.0 出力を ch.1 入力, ch.1 出力を ch.2 入力, ch.2 出力を ch.3 入力に使用。
  ・ ch.4 出力を ch.5 入力, ch.5 出力を ch.6 入力, ch.6 出力を ch.7 入力に使用。

3. 構成

リロードタイマの構成について説明します。

図 3-1 ブロックダイヤグラム (1 チャネル分、詳細)



4. レジスタ

リロードタイマのレジスタについて説明します。

■ ベースアドレス(Base_addr)・外部端子表

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル	ベースアドレス	外部端子 (TOUT 出力, TIN 入力)					
		MB91 F52xB	MB91 F52xD	MB91 F52xF	MB91 F52xJ	MB91 F52xK	MB91 F52xL
0	0x0060	TOT0_0	TOT0_0	TOT0_0	TOT0_0	TOT0_0/ TOT0_1	TOT0_0/ TOT0_1
		TIN0_2	TIN0_2	TIN0_2	TIN0_0/ TIN0_2	TIN0_0/ TIN0_2	TIN0_0/ TIN0_1/ TIN0_2
1	0x0100	TOT1_2	TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_1/ TOT1_2
		TIN1_0	TIN1_0	TIN1_0	TIN1_0	TIN1_0	TIN1_0/ TIN1_1
2	0x0108	なし	なし	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1
				TIN2_0	TIN2_0	TIN2_0/ TIN2_1	TIN2_0/ TIN2_1
3	0x0110	TOT3_0	TOT3_0	TOT3_0	TOT3_0	TOT3_0/ TOT3_1	TOT3_0/ TOT3_1
		TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_1/ TIN3_2	TIN3_0/ TIN3_1/ TIN3_2
4	0x01D8	TOT4_0	TOT4_0	TOT4_0	TOT4_0	TOT4_0/ TOT4_1	TOT4_0/ TOT4_1
		TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1
5	0x01F0	TOT5_0	TOT5_0	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1
		TIN5_0	TIN5_0	TIN5_0	TIN5_0/ TIN5_1	TIN5_0/ TIN5_1	TIN5_0/ TIN5_1
6	0x01F8	TOT6_1	TOT6_1	TOT6_0/ TOT6_1	TOT6_0/ TOT6_1	TOT6_0/ TOT6_1	TOT6_0/ TOT6_1
		TIN6_1	TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1
7	0x0068	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1
		TIN7_0	TIN7_0	TIN7_0	TIN7_0	TIN7_0/ TIN7_1	TIN7_0/ TIN7_1

■ レジスタマップ

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x01D8	TMRLRA4		TMR4		16 ビットタイマリロードレジスタ A4 16 ビットタイマレジスタ 4
0x01DC	TMRLRB4		TMCSR4		16 ビットタイマリロードレジスタ B4 制御状態レジスタ 4
0x01F0	TMRLRA5		TMR5		16 ビットタイマリロードレジスタ A5 16 ビットタイマレジスタ 5
0x01F4	TMRLRB5		TMCSR5		16 ビットタイマリロードレジスタ B5 制御状態レジスタ 5
0x01F8	TMRLRA6		TMR6		16 ビットタイマリロードレジスタ A6 16 ビットタイマレジスタ 6
0x01FC	TMRLRB6		TMCSR6		16 ビットタイマリロードレジスタ B6 制御状態レジスタ 6
0x0060	TMRLRA0		TMR0		16 ビットタイマリロードレジスタ A0 16 ビットタイマレジスタ 0
0x0064	TMRLRB0		TMCSR0		16 ビットタイマリロードレジスタ B0 制御状態レジスタ 0
0x0100	TMRLRA1		TMR1		16 ビットタイマリロードレジスタ A1 16 ビットタイマレジスタ 1
0x0104	TMRLRB1		TMCSR1		16 ビットタイマリロードレジスタ B1 制御状態レジスタ 1
0x0108	TMRLRA2		TMR2		16 ビットタイマリロードレジスタ A2 16 ビットタイマレジスタ 2
0x010C	TMRLRB2		TMCSR2		16 ビットタイマリロードレジスタ B2 制御状態レジスタ 2
0x0110	TMRLRA3		TMR3		16 ビットタイマリロードレジスタ A3 16 ビットタイマレジスタ 3
0x0114	TMRLRB3		TMCSR3		16 ビットタイマリロードレジスタ B3 制御状態レジスタ 3
0x0068	TMRLRA7		TMR7		16 ビットタイマリロードレジスタ A7 16 ビットタイマレジスタ 7
0x006C	TMRLRB7		TMCSR7		16 ビットタイマリロードレジスタ B7 制御状態レジスタ 7

4.1. 制御状態レジスタ ：TMCSR (TiMer Control and Status Register)

制御状態レジスタのビット構成について示します。

動作モード、および割込みを制御します。
bit7・bit3-0 以外は bit1:CNTE="1"のときは書換えできません。
bit15～8・bit6-4 の書換えと CNTE="1"書込みによるカウンタ動作許可の同時書込み、または bit15-8・bit6-4 の書換えと CNTE="0"書込みによる動作停止の同時書込みは可能です。

■ TMCSR :アドレス Base_addr + 06_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MOD[1:0]		TRGM[1:0]		CSL[2:0]			GATE
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EF	予約	OUTL	RELD	INTE	UF	CNTE	TRG
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R,W	R,W	R,W	R/W	R(RM1),W	R/W	R0,W

[bit15, bit14] MOD (MODe) : モード選択ビット

MOD[1:0]	動作モード
00	シングルモード(初期値)
01	デュアルモード
10	コンペアモード
11	キャプチャモード

[bit13, bit12] TRGM[1:0] (TRiGger input Mode select) : TIN 入力モード選択ビット
入力端子機能を制御します。インターバルタイマモードとイベントカウンタモードで機能が変わります。

【インターバルタイマモード時・トリガ入力(bit8:GATE ="0")のとき】
TIN 入力による、リロードトリガとなる有効外部エッジを以下のように選択します。

TRGM[1:0]	TIN の有効外部エッジ
00	外部トリガ検出なし(初期値)
01	立上りエッジ

TRGM[1:0]	TIN の有効外部エッジ
10	立下りエッジ
11	両エッジ

【インターバルタイマモード時・ゲート入力 (bit8:GATE ビット ="1")のとき】
TIN 入力中にカウンタ許可となる端子レベルを以下のように選択します。

TRGM[1:0]	TIN の有効レベル
x0	TIN 端子"L"入力期間のみカウント(初期値)
x1	TIN 端子"H"入力期間のみカウント

【イベントカウンタモード時の有効エッジ設定】
イベントカウンタモード時、外部イベント検出用のエッジを以下のように選択します。外部イベントを検出すると、カウンタはその都度ダウンカウントします。外部イベント選択時、bit8:GATE ビットの設定は無効となります。

TRGM[1:0]	カウント対象エッジ
00	予約
01	立上りエッジ
10	立下りエッジ
11	両エッジ

[bit11～bit9] CSL[2:0](Count source SeLect) : **カウントソース選択ビット**
カウントソース選択ビットです。内部クロック(周辺クロック(PCLK))と外部イベント(TIN 入力)より、カウントソースを以下に示すように選択します。イベントカウンタモードを設定した場合のカウント有効エッジは bit13, bit12:TRGM[1:0]ビットで設定します。

CSL[2:0]	カウントソース	動作モード
000	周辺クロックの 2 分周　(初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	

CSL[2:0]	カウントソース	動作モード
110	カスケードモード (ch.0:TIN0, ch.1:TOUT0, ch.2:TOUT1, ch.3:TOUT2, ch.4:TIN4, ch.5:TOUT4, ch.6:TOUT5, ch.7:TOUT6)	イベントカウンタモード
111	外部イベント(TIN 入力)	

[bit8] GATE (GATE input enable) : **ゲート入力許可ビット**

インターバルタイマモード時(bit11,10,9:CSL[2:0]=000～101)の入力端子(TIN)の機能を以下に示すように制御します。

GATE	TIN 入力端子機能
0	トリガ入力として使用 (初期値)
1	ゲート入力として使用

イベントカウンタモード時は、本ビットによる動作への影響はありません。

[bit7] EF (Extended Flag) : **拡張割込みフラグ**

コンペアモード時にコンペア一致割込み、または、キャプチャモード時にキャプチャ入力割込みが発生したことを示すフラグです。

セット要因	【イベントカウンタモードのコンペアモード時】 コンペア一致(TMR＝TMRLRB)からのカウントダウン発生 【キャプチャモード時】 キャプチャ入力(リトリガ)
クリア要因	本ビットへの"0"書込み、またはリセット

このビットへの"1"書込みは無効です。 コンペアモードでは、カウントクロックに同期して、セット・クリアを行います。 リードモディファイライト系命令における読出し値は、常に"1"となります。

[bit6] **予約**

予約ビットです。書込みをしても効果ありません。

[bit5] OUTL (OUTput Level) : **出力極性設定ビット**

タイマ出力端子(TOUT)の出力極性を制御します。

OUTL	TOUT の初期値	TOUT の初期出力レベル
0	正極性(初期値)	L レベル
1	負極性	H レベル

[bit4] RELD (RELoaD enable) : **リロード動作許可ビット**

アンダフロー発生時のリロード動作を以下に示すように設定します。

RELD	動作モード	動作内容
0	ワンショットモード	カウンタのアンダフローが発生すると同時にカウント動作を停止します。次にトリガを入力するまでリロードを行いません。* (初期値)
1	リロードモード	カウンタのアンダフローが発生すると同時にリロードレジスタの内容をカウンタへロードしてカウント動作を続けます。

*: ただし､デュアルワンショット機能ではTMRLRAのアンダフローと同時にTMRLRBのリロードを行い、カウントを継続します。その後、TMRLRBのアンダフローと同時にカウント動作を停止します。

[bit3] INTE (INTerrupt Enable) : **割込み要求許可ビット**

アンダフロー発生/コンペア一致(イベントカウンタモード時)/キャプチャ時の割込み要求を以下に示す様に制御をします。

INTE	動作内容
0	割込み禁止(UF/EF ビットがセットされても割込みは発生しません。) (初期値)
1	割込み許可(UF/EF ビットがセットされると割込み要求を発生します。)

[bit2] UF (Under flow Flag) : **アンダフローフラグ**

カウンタの値が、0x0000 からダウンカウントに行ったときに、アンダフローが発生したことを示すフラグです。

セット要因	カウンタのアンダフローの発生
クリア要因	本ビットへの"0"書込み、またはリセット

[bit1] CNTE(timer CouNTer Enable) : **タイマカウント許可ビット**

タイマの動作を以下のように制御します。

CNTE	動作内容
0	動作禁止　(初期値)
1	動作許可(起動トリガ待ち)

[bit0] TRG(software TRiGger) : ソフトウェアトリガビット

タイマのソフトウェアトリガを発生します。ソフトウェアトリガが発生すると、リロードレジスタの内容をカウンタへロードしてカウント動作を開始します。

TRG	動作内容
"0"書込み	何もしない
"1"書込み	ソフトウェアトリガ発生

このビットへの"0"書込みは、タイマは何も動作を行いません。読出し値は常に"0"となります。

このレジスタによるトリガ入力は、bit1:CNTE ="1"のときのみ有効となります。

TRG ビットの"1"書込みは、タイマが起動状態(bit1: CNTE="1")のとき、動作モードにかかわらず常に有効トリガを発生します。

4.2. 16 ビットタイマレジスタ ：TMR (16bit TiMer Register)

16 ビットタイマレジスタのビット構成について示します。

タイマのカウント値を読み出すことができます。
このレジスタには必ず 16 ビットアクセスをしてください。

■ TMR： アドレス Base_addr + 02_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMR[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit15～bit0] TMR (TiMeR) : 16 ビットタイマ

16 ビットタイマのカウンタ値を読み出す事ができるレジスタです。初期値は不定です。

4.3. 16 ビットタイマリロードレジスタ A、16 ビットタイマリロードレジスタ B : TMRLRA, TMRLRB (16bit TiMer ReLoad Register A/B)

制御状態レジスタのビット構成について示します。

TMRLRA はカウント初期値等を設定します。
TMRLRB は動作モードにより機能が異なります。
このレジスタには必ず 16 ビットアクセスをしてください。

■ TMRLRA : アドレス Base_addr + 00_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMRLRA[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

■ TMRLRB : アドレス Base_addr + 04_H (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	TMRLRB[15:0]							
初期値	X	X	・	・	・	X	X	X
属性	R,W	R,W	・	・	・	R,W	R,W	R,W

[bit15～bit0] TMRLRA (TiMer ReLoad Register A) : 16 ビットリロード設定レジスタ A

[bit15～bit0] TMRLRB (TiMer ReLoad Register B) : 16 ビットリロード設定レジスタ B

TMRLRA レジスタは、カウント初期値を保持しておくレジスタです。TMRLRA は TMCSR レジスタの bit15,14:MOD[1:0]の設定に関係なく全モードで使用されます。

TMRLRB は TMCSR レジスタの bit15,14:MOD[1:0]の設定により以下のように使用されます。

モード	MOD[1:0]	TMRLRB の機能
シングルモード	00	使用しません
デュアルモード	01	H 幅(OUTL="0"のとき)カウンタ値
コンペアモード	10	コンペアレジスタ(H 幅設定 OUTL="0"のとき)
キャプチャモード	11	キャプチャレジスタ(リトリガ入力時の TMR 値)

カウンタ値として使用の際は、0x0000 を書き込んだ時は 1 カウント、0xFFFF を書き込んだ時は 65,536 カウントするとアンダフローを発生します。
タイマ出力波形(TOUT)の H 幅・L 幅は MOD[1:0](TMCSR レジスタの bit15,14)、RELD(TMCSR レジスタの bit4)、OUTL(TMCSR レジスタの bit5)ビット設定と TMRLRA/B レジスタ値により決まります。

出力される波形(TOUT)の H 幅・L 幅の設定を下表に示します。

MOD[1:0]	モード	RELD	OUTL	TOUT 出力	
				H 幅	L 幅
00	シングル	0	0	TMRLRA+1	― ― ―
			1	― ― ―	TMRLRA+1
		1	0	TMRLRA+1	
			1		
01	デュアル	0	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1
		1	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1
10	コンペア	0	0	以下を参照してください。*	
			1		
		1	0		
			1		
11	キャプチャ	0	0	TMRLRA+1	― ― ―
			1	― ― ―	TMRLRA+1
		1	0	TMRLRA+1	
			1		

*: コンペアモード時の H 幅・L 幅は以下となります。

・ TMRLRB < TMRLRA のとき

(OUTL=0)　TMRLRA-TMRLRB + 1 の"L"幅、TMRLRB の"H"幅
(OUTL=1)　TMRLRA-TMRLRB + 1 の"H"幅、TMRLRB の"L"幅

・ TMRLRB = 0 のとき

(OUTL=0)　"L"出力固定
(OUTL=1)　"H"出力固定

・ TMRLRB > TMRLRA のとき

(OUTL=0)　"H"出力固定
(OUTL=1)　"L"出力固定

・ TMRLRB = TMRLRA のとき

(OUTL=0)　1 サイクルの"L"出力、TMRLRB の"H"幅
(OUTL=1)　1 サイクルの"H"出力、TMRLRB の"L"幅

インターバルタイマモード時でシングルモード・デュアルモードとして使用している時の TOUT 出力時間(TOUT)を表す式を以下に示します。

TOUT = (本レジスタの設定値 + 1)　×　カウントソースの周期
(注意事項)　上式はインターバルタイマモードのときのみ有効

5. 動作説明

リロードタイマの動作について説明します。

5.1. 設定
5.2. 動作手順
5.3. 各カウンタ動作の説明
5.4. カスケード入力
5.5. 同時動作の優先順位

5.1. 設定

リロードタイマの設定について示します。

本タイマは「カウントソース」(TMCSR.CSL[2:0]で選択)と、カウンタ動作({TMCSR.MOD[1:0], TMCSR.RELD})で動作を設定します。

5.1.1. カウントソース

リロードタイマのカウントソースについて示します。

TMCSR.CSL[2:0]により、ダウンカウンタのダウンカウント条件を選択します。

表 5-1 カウントソース一覧

CSL[2:0]	カウントソース	動作モード
000	周辺クロックの 2 分周　(初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	
110	カスケードモード (ch.0:TIN0,ch.1:TOUT0,ch.2:TOUT1,ch.3:TOUT2, ch.4:TIN4,ch.5:TOUT4,ch.6:TOUT5,ch.7:TOUT6)	イベントカウンタモード
111	外部イベント(TIN 入力)	

5.1.2. タイマのアンダフロー周期

リロードタイマのアンダフロー周期について示します。

カウンタが 0x0000 からダウンカウントする時をアンダフローとしています。タイマがカウント動作を初めてからアンダフローが発生するまでの時間(周期)をリロードレジスタ(TMRLRA/TMRLRB)に設定します。リロードレジスタのロード後は"リロードレジスタの設定値＋ 1"カウントでアンダフローを発生します。インターバルタイマモード時のタイマのアンダフロー周期 TUF は以下で表せます。

TUF = 周辺クロック(PCLK)周期 × プリスケーラの分周値(2～64)
× (リロードレジスタ値(TMRLRA/B) + 1)

5.1.3. トリガ

リロードタイマのトリガについて示します。

トリガには以下の 2 種類があります。

・ソフトフェアトリガ・・・TMCSR.TRG に"1"書込みで発生。
・外部端子トリガ・・・TIN 端子から入力。

イベントカウンタモードでは TIN 端子はカウントソースとして使用されるため、常にソフトフェアトリガを使用します。インターバルタイマモード時は TMCSR レジスタで設定します。

5.1.4. ゲート

リロードタイマのゲートについて示します。

インターバルタイマモード時・ゲート入力 (TMCSR.GATE ="1")設定において、TIN 外部端子を使用して、カウンタのダウンカウントを止めることができます。

表 5-2 TIN 有効レベル

TRGM[0]	TIN の有効レベル
0	TIN 端子"L"入力期間のみカウント(初期値)
1	TIN 端子"H"入力期間のみカウント

5.1.5. カウンタ動作選択

カウンタ動作の選択について示します。

カウンタのアンダフローが発生したときの動作をモード選択ビット(TMCSR レジスタの bit15,14:MOD[1:0])と、リロード動作許可ビット(TMCSR レジスタの bit4:RELD)で選択します。 各モードでの動作詳細は各カウンタ動作の項を参照してください。

表 5-3 カウンタ動作一覧

MOD[1:0]	RELD	アンダフロー発生時の動作	カウンタ動作名
00	0	カウントを 0xFFFF で停止	シングルワンショット
	1	TMRLRA をリロード	シングルリロード
01	0	①TMRLRB をリロード ②カウントを 0xFFFF で停止 (5.3.3. デュアルワンショット動作を参照してください。)	デュアルワンショット
	1	TMRLRA、TMRLRB を交互にリロード	デュアルリロード
10	0	カウントを 0xFFFF で停止	コンペアワンショット
	1	TMRLRA をリロード	コンペアリロード
11	0	カウントを 0xFFFF で停止	キャプチャワンショット
	1	TMRLRA をリロード	キャプチャリロード

5.1.6. TOUT 端子レベル設定

TOUT 端子レベルの設定について示します。

TMCSR レジスタの bit5:OUTL ビットによって端子出力極性の設定を行います。
以下に各機能でのイベントと TOUT の関係を示します。
下中の UF(アンダフロー)の項の A/B は、TMRLRA/TMRLRB どちらのデータをロードした値でのダウンカウントでアンダフローが発生したかを表します。CMP(比較一致)は、TMRLRB = TMR からダウンカウントが発生したタイミングを表します。

図 5-1 各イベントでの TOUT 出力変化(1 / 3)



図 5-2 各イベントでの TOUT 出力変化(2 / 3)

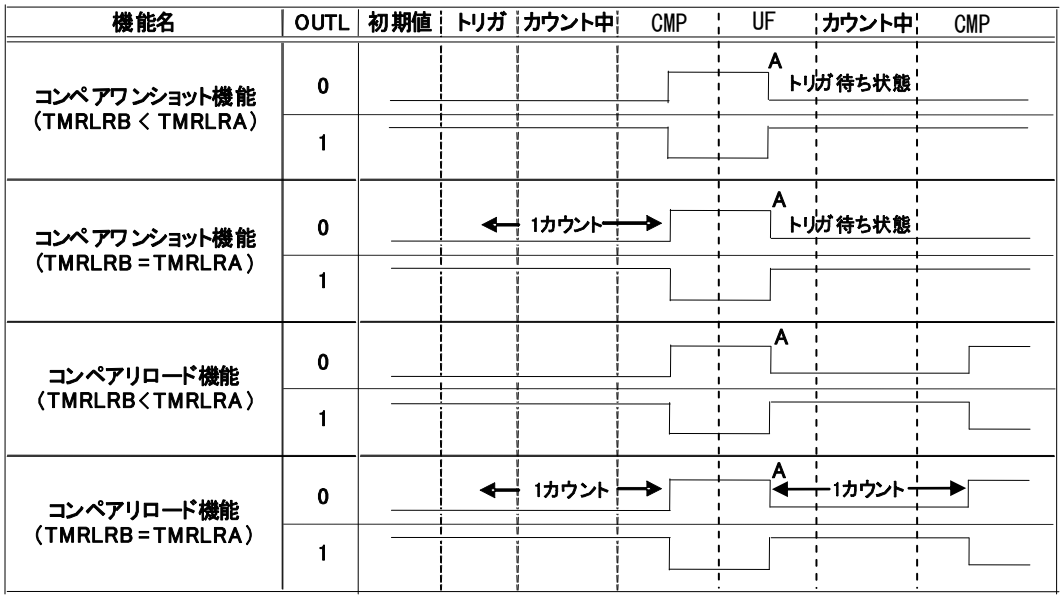
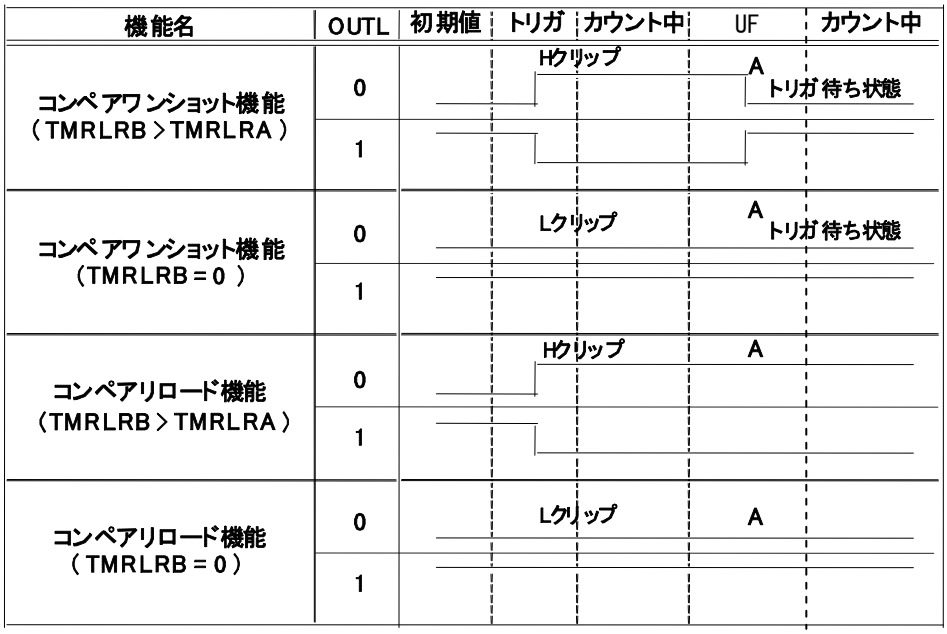


図 5-3 各イベントでの TOUT 出力変化(3 / 3)



5.2. 動作手順

動作の手順について示します。

5.2.1. 起動

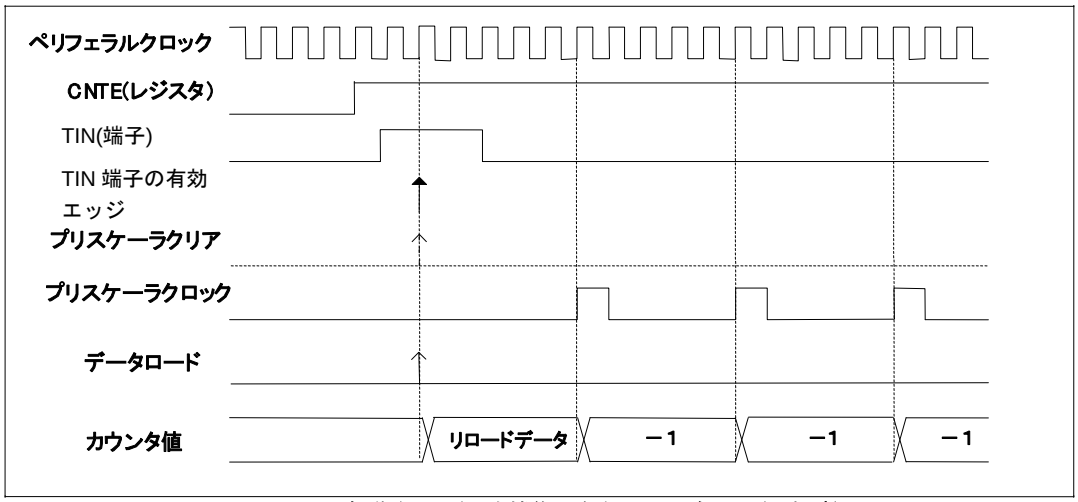
起動について示します。

TMCSR レジスタの bit1:CNTE ビットに"1"を書き込むとカウンタは起動トリガ待ち状態になります。

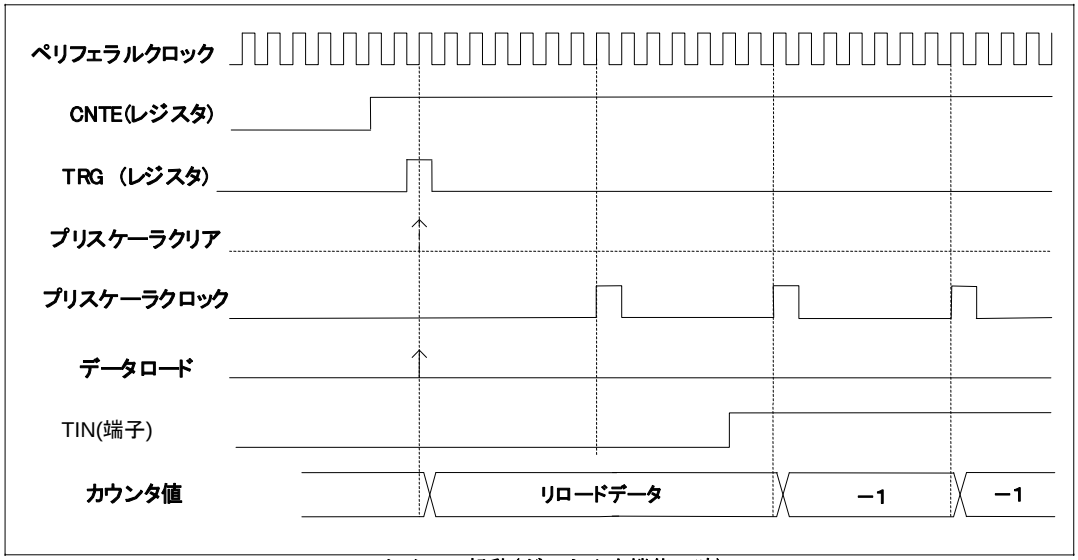
・TIN 入力がトリガ入力機能時
起動トリガ待ち状態中に TMCSR レジスタの bit0:TRG ビットへの"1"書込み、または TIN 入力による外部トリガが入力されると、プリスケーラのクリアが発生し、タイマはリロードレジスタから値をロードしてダウンカウント動作を行います。TIN 入力は、2×T(T は周辺クロック(PCLK)周期)以上のパルスを入力してください。

・TIN 入力がゲート入力機能時
起動トリガ待ち状態中に TMCSR レジスタの bit0:TRG ビットへ"1"書込みを行うと、プリスケーラのクリアが発生し、タイマはリロードレジスタから値をロードし有効入力極性待ち状態になります。有効入力極性待ち 状態で TIN 入力から有効な極性のゲート入力があると、タイマはダウンカウント動作を行います。TIN 入力は、2×T(T は周辺クロック(PCLK)周期)以上のパルスを入力してください。

図 5-4 タイマの起動



タイマの起動（トリガ入力機能・立上りエッジトリガ選択時）



タイマの起動（ゲート入力機能の時）

5.2.2. リトリガ

リトリガについて示します。

タイマのカウント中にトリガが発生した場合の事をリトリガとよびます。その際、

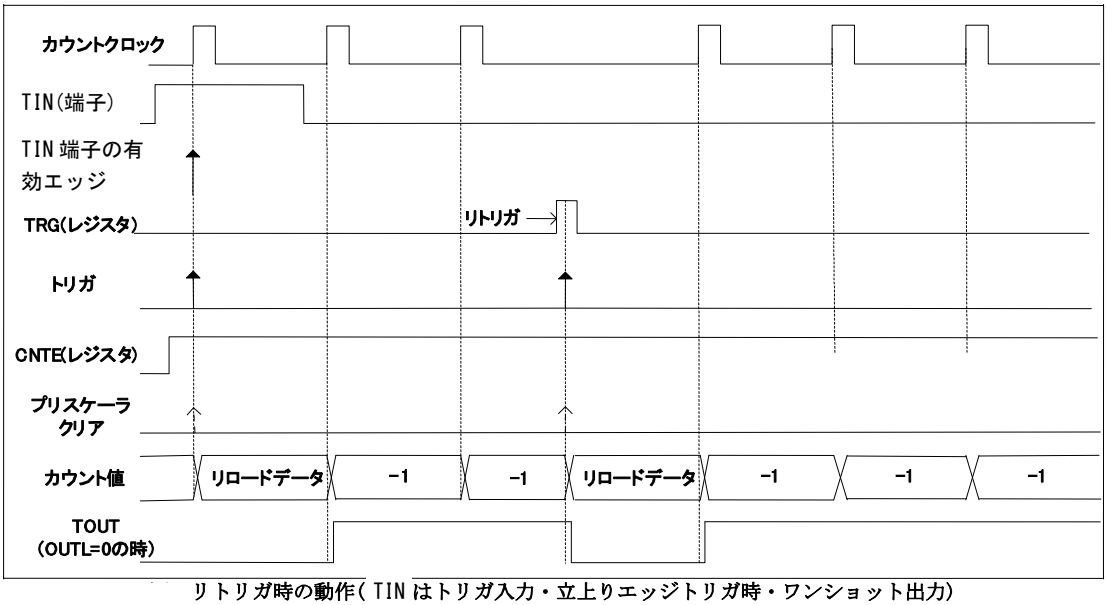
1. TOUT を初期化
2. リロードレジスタの値をカウンタにロード
3. 6 ビットプリスケーラのクリア
4. カウント継続

を行います。キャプチャモード時のみ、リトリガ発生によりカウント中の値を TMRLRB に転送し、TMCSR レジスタの EF ビットをセットします。

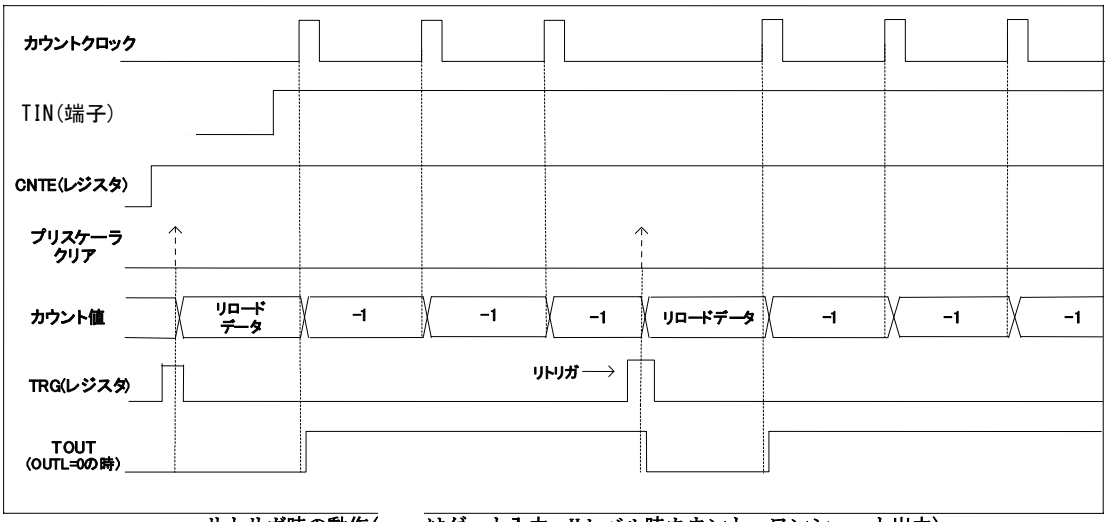
＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

図 5-5 リトリガ時の動作



リトリガ時の動作(TIN はトリガ入力・立上りエッジトリガ時・ワンショット出力)



リトリガ時の動作(TIN はゲート入力・H レベル時カウント・ワンショット出力)

5.2.3. アンダフロー/リロード

アンダフロー/リロードについて示します。

タイマが 0x0000 からダウンカウントする時をアンダフローとしています。アンダフローが発生すると、TMCSR レジスタの bit2:UF ビットがセットされます。タイマは"リロードレジスタの設定値＋1"カウントでアンダフローを発生します。

5.2.4. 割込み要求発生

割込み要求発生について示します。

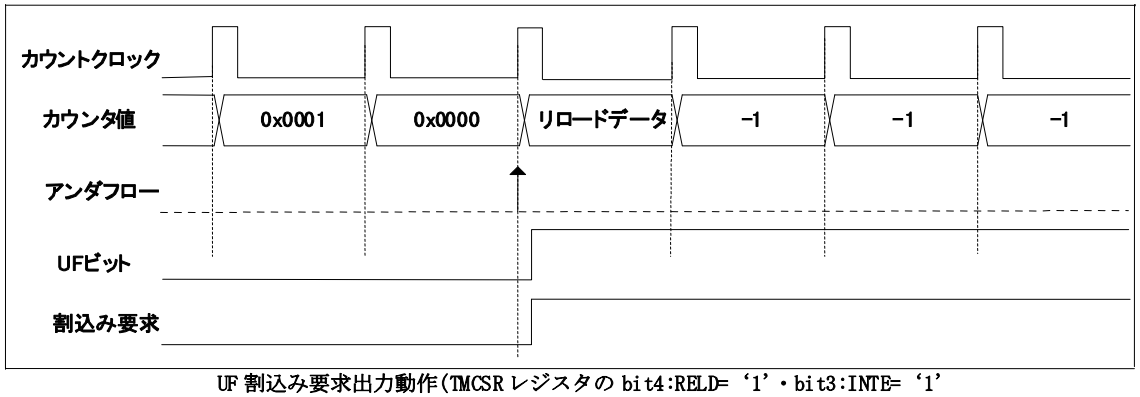
TMCSR レジスタの bit3:INTE ビットが"1"のときに、bit2:UF ビット/bit7:EF ビットがセットされると割込み要求が発生します。インターバルタイマモードでは、以下の条件のときに UF ビット/EF ビットがセットされます。

・UF ビットがセット: カウンタのアンダフローが発生したとき
・EF ビットがセット: キャプチャモード時にキャプチャ入力が発生したとき

TMCSR レジスタの bit2:UF ビットのセットと、UF ビットへの"0"書込みによるクリアが同時に発生したときは、UF ビットへの"0"書込みは無効となり UF ビットがセットされます。また、bit7:EF ビットのセットと EF ビットへの"0"書込みによるクリアが同時に発生したときは、EF ビットへの"0"書込みは無効となり EF ビットがセットされます。

割込み要求発生例を以下に示します。

図 5-6 UF 割込み要求出力動作例



UF 割込み要求出力動作(TMCSR レジスタの bit4:RELD=‘1’・bit3:INTE=‘1’

5.2.5. レジスタ書込みとタイマ動作の同時動作

レジスタ書込みとタイマ動作の同時動作について示します。

ユーザの操作によるレジスタ書込みとタイマ動作が同時に発生したときの実行動作について下表に示します。

表 5-4 同時動作

レジスタ書込み	タイマ動作	実行する動作
UF ビットへの"0"書込みによるクリア	UF ビットのセット	UF ビットのセット ("0"書込みは無効になる)
EF ビットの"0"書込みによるクリア	EF ビットのセット	EF ビットのセット ("0"書込みは無効になる)
リロードレジスタへの書込み	リトリガによるタイマのロード	旧データのリロード (新しく書き換えた値は次回)

5.3. 各カウンタ動作の説明

各カウンタ動作について示します。

5.3.1. シングルワンショット動作

シングルワンショット動作について示します。

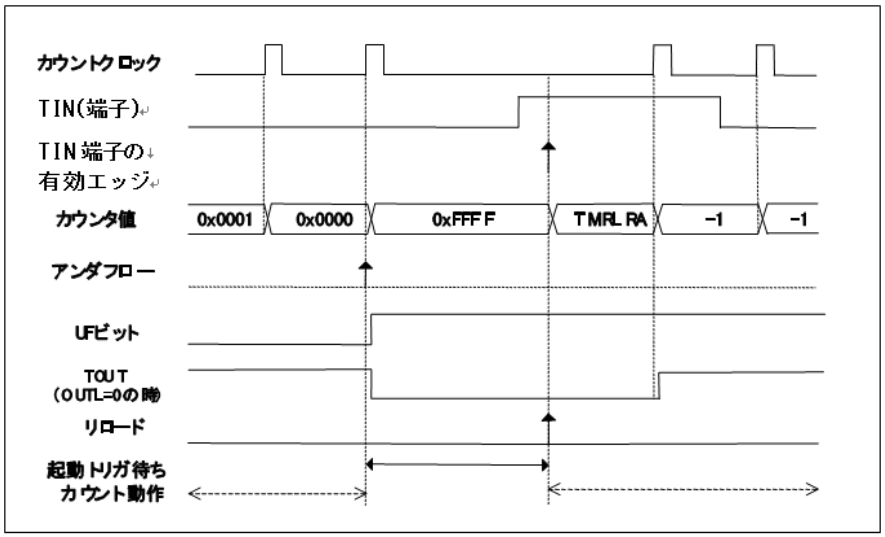
TMCSR レジスタの bit15,14:MOD[1:0] ="00"、bit4:RELD="0"のとき、タイマはアンダフローの発生により 0xFFFF で停止するシングルワンショット動作を行います。

シングルワンショット設定時にアンダフローが発生したときは以下の動作を行います。

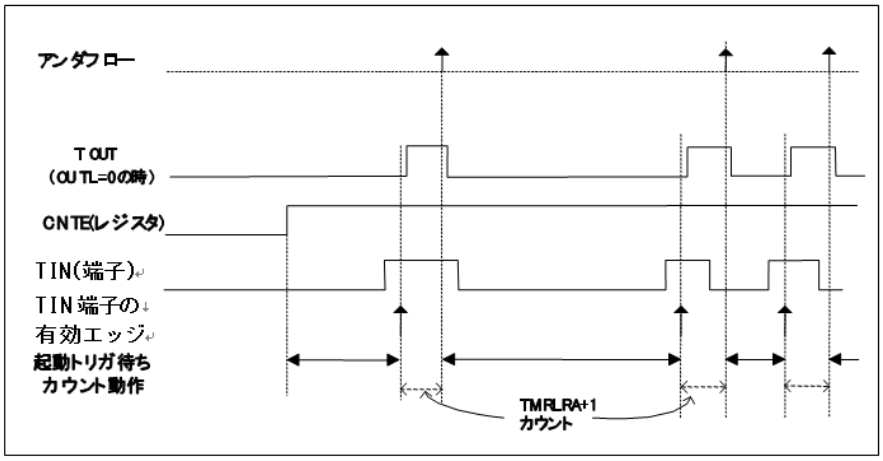
・TMCSR レジスタの UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・0xFFFF でカウント停止
・TOUT 出力を初期化
・タイマはトリガ待ち状態

シングルワンショットタイマでは TMRLRA はリロード時のカウンタの初期値になります。TMRLRB は使用しません。

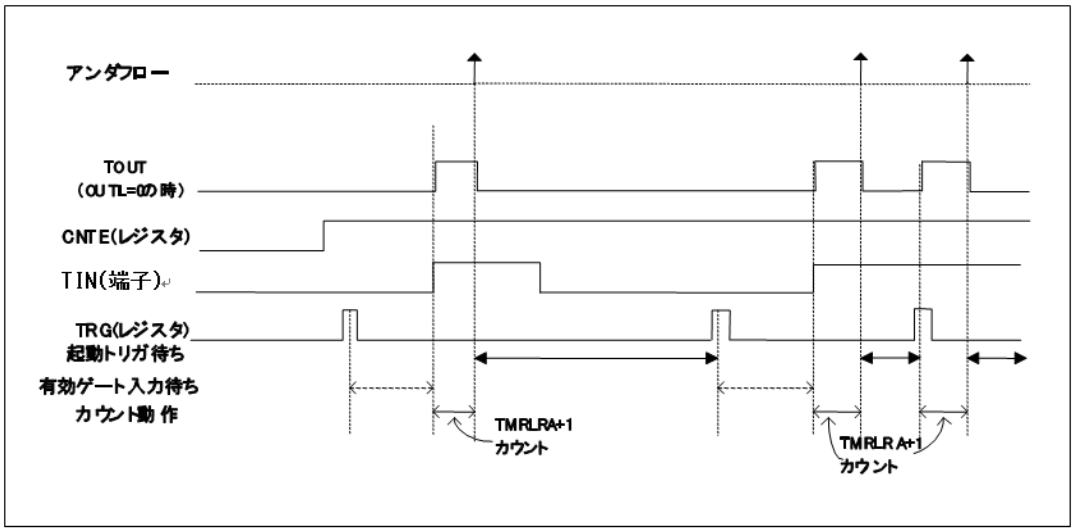
図 5-7 シングルワンショット動作



アンダフロー動作詳細(トリガ入力・立上りエッジトリガ選択時)



シングルワンショットタイマ(GATE="0"：トリガ入力・立上りエッジトリガ選択時)



シングルワンショットタイマ(GATE="1"：ゲート入力、TRGM：H 入力期間カウント)

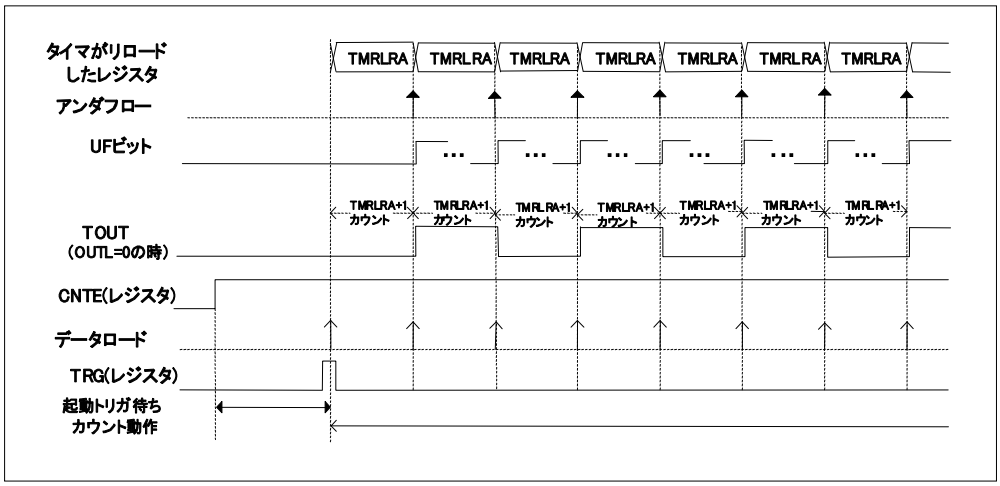
5.3.2. シングルリロード動作

シングルリロード動作について示します。

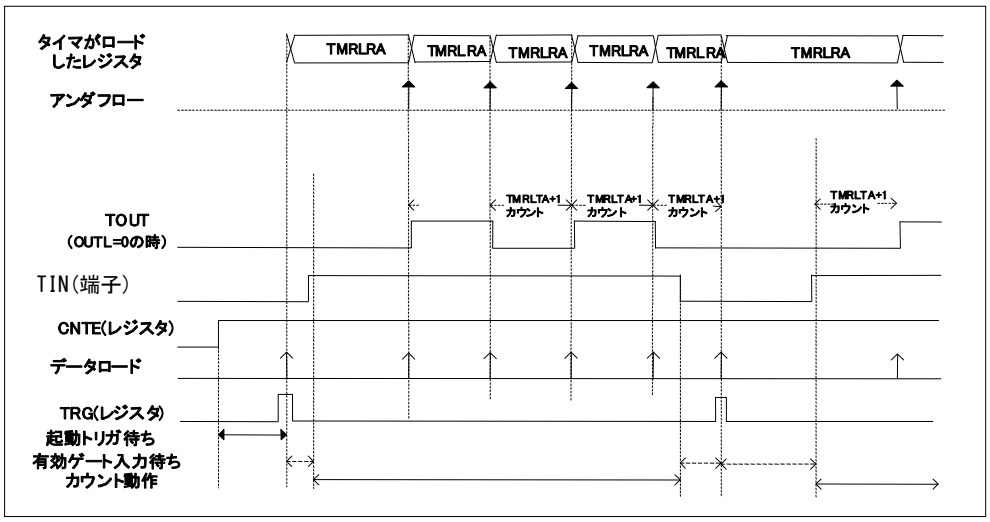
TMCSR レジスタの bit15,14:MOD[1:0] ="00"、bit4:RELD ="1"のとき、シングルリロード動作を行います。シングルリロード動作は、トリガ入力により TMRLRA から値をタイマへロードして、ダウンカウント動作を始めます。アンダフローが発生すると、再び TMRLRA から値をリロードしてダウンカウント動作を継続します。TMRLRA の値はタイマがリロードする時間を表します。TMRLRB レジスタは使用しません。シングルリロード設定時に、アンダフローが発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可（TMCSR レジスタの bit3:INTE="1"）のとき、割込み発生
・TMRLRA レジスタをカウンタにロード
・TOUT 出力を反転
・ダウンカウント継続

図 5-8 シングルリロード動作



シングルリロード機能（GATE= ‘0’ :トリガ入力）



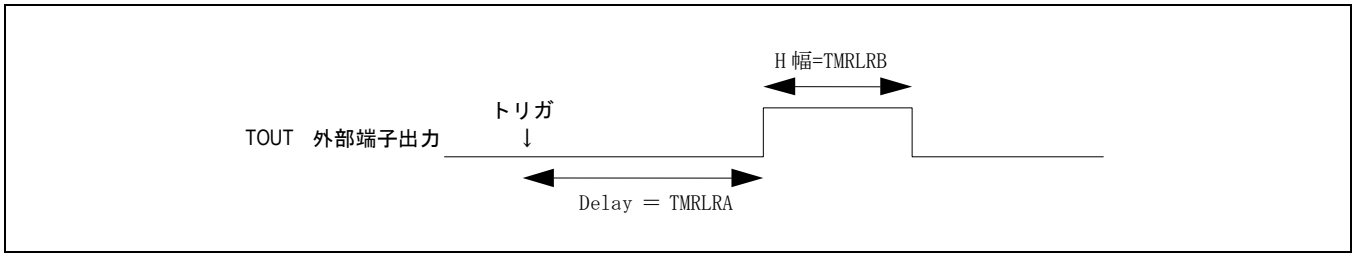
シングルリロード機能（GATE= ‘1’ :ゲート入力、TRGM:H入力期間カウント）

5.3.3. デュアルワンショット動作

デュアルワンショット動作について示します。

TMCSR レジスタの bit15,14:MOD[1:0] ="01"、bit4: RELD ="0"のとき、タイマはデュアルワンショット動作を行います。ワンショット PPG として使用できます。
デュアルワンショット動作では、TMRLRA→TMRLRB の順に 1 回ずつ値をカウンタへロードして、それぞれダウンカウントを行い、2 回目のアンダフローによりカウントを停止します。
TMCSR レジスタの bit5:OUTL="0"のとき、TMRLRA の値はタイマの起動(TOUT 出力は L レベル)から TOUT 出力が H へトグルするまでの時間、TMRLRB の値は TOUT 出力の H 幅の時間を示します。

図 5-9 TOUT パルス幅



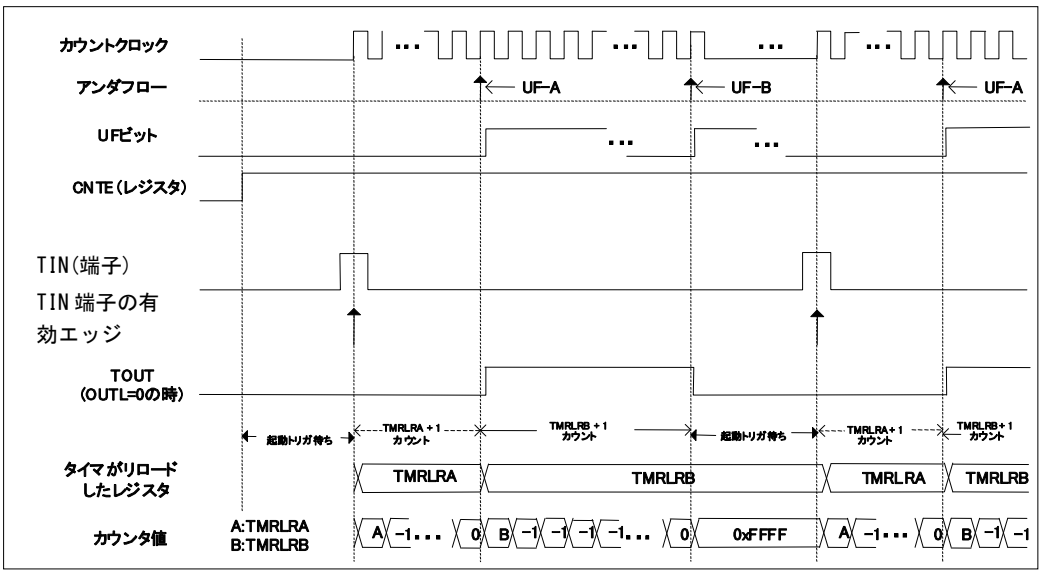
1 回目のアンダフロー(UF-A)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・TMRLRB をカウンタにロード
・TOUT 出力を反転
・TMRLRB からダウンカウント開始

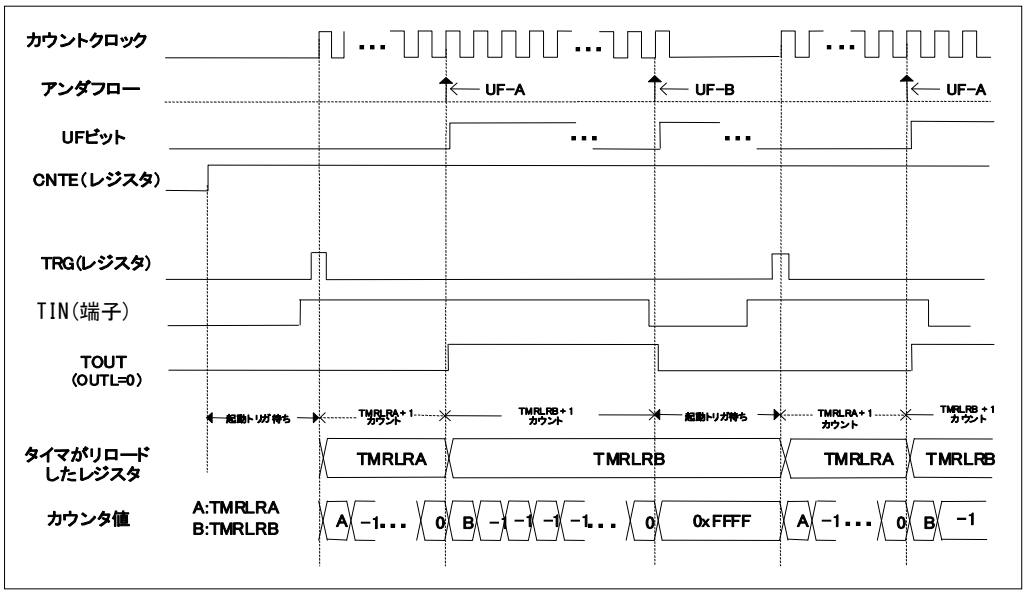
2 回目のアンダフロー(UF-B)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・0xFFFF でカウント停止
・TOUT 出力を初期化
・タイマは起動トリガ待ち状態へ

図 5-10 デュアルワンショット動作



デュアルワンショット動作(トリガ入力・立上りエッジトリガ選択時)



デュアルワンショット動作(ゲート入力)

5.3.4. デュアルリロード動作

デュアルリロード動作について示します。

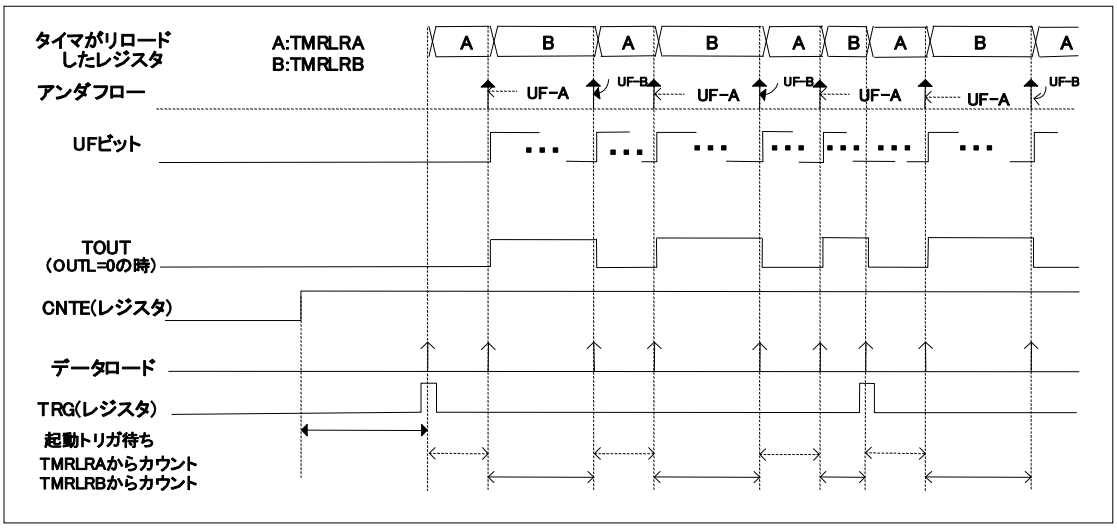
TMCSR レジスタの bit15,14:MOD[1:0] ="01"、bit4: RELD ="1"のとき、タイマはデュアルリロード動作を行います。
デュアルリロード動作では、TMRLRA をカウンタへロードして、ダウンカウントを行い、アンダフローが発生すると、TMRLRB をカウンタへロードして、ダウンカウントを行いアンダフローが発生すると、TMRLRA をカウンタへロードしてダウンカウント・・・のように TMRLRA と TMRLRB を交互にロードしカウントを行う機能です。
TMCSR レジスタの bit5:OUTL="0"のとき、TMRLRA の値はタイマの起動(TOUT 出力は L レベル)から TOUT 出力が H へトグルするまでの時間、TMRLRB の値は TOUT 出力の H 幅の時間を示します。
TMRLRA から値をロードした後のダウンカウントでアンダフロー(UF-A)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・TMRLRB をカウンタにロード
・TOUT 出力を反転
・TMRLRB からダウンカウント開始

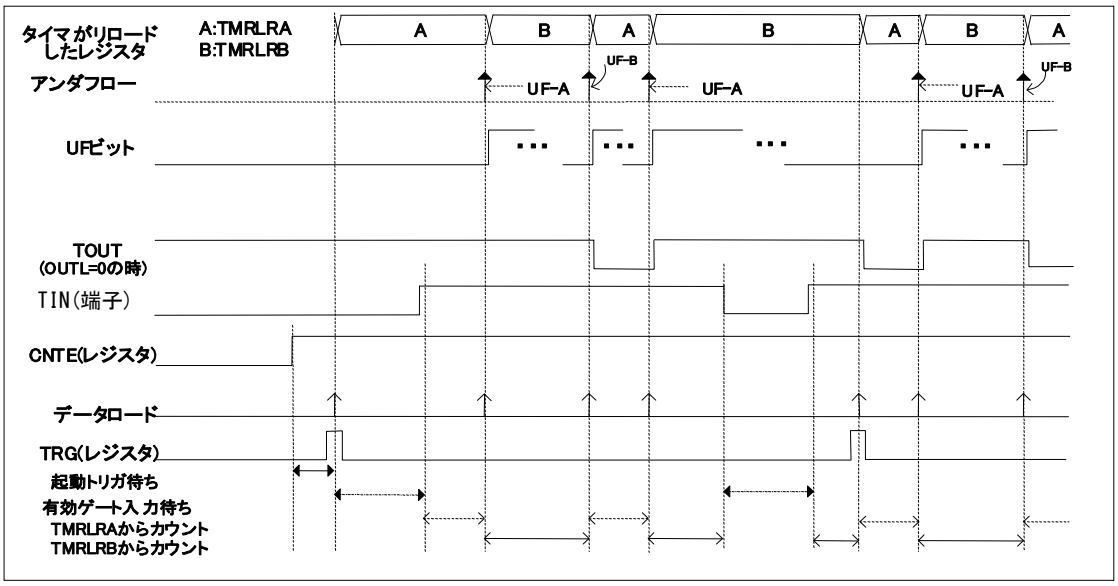
TMRLRB から値をロードした後のダウンカウントでアンダフロー(UF-B)が発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・TMRLRA をカウンタにロード
・TOUT 出力を反転
・TMRLRA からダウンカウント開始

図 5-11 デュアルリロード動作



デュアルリロード機能（GATE= '0' :トリガ入力）



デュアルリロード機能（GATE= '1' :ゲート入力、H入力期間カウント）

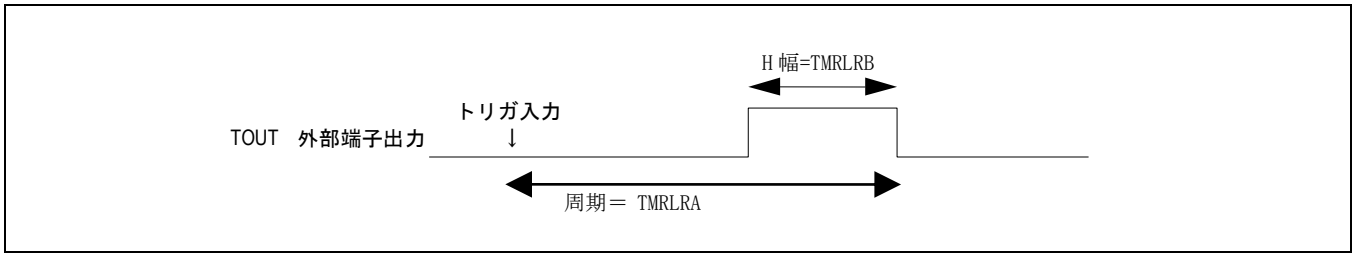
5.3.5. コンペアワンショット動作

コンペアワンショット動作について示します。

TMCSR レジスタの bit15,14:MOD[1:0] ="10"、bit4:RELD ="0"のとき、ダウンカウントごとにカウンタ値(TMR)と TMRLRB レジスタの値を比較するコンペアワンショット動作を行います。トリガを受付け後、TMRLRA レジスタの値のロードを行い、ダウンカウントを始めます。比較一致(TMR = TMRLRB) からダウンカウントすると、TOUT 出力を反転させます。アンダフローが発生すると、カウント動作を停止・TOUT 出力を初期化し、起動トリガ待ち状態になります。

TMRLRA の値はタイマの起動から停止するまでの時間、TMRLRB の値は、TOUT 出力の H 幅が出力され始めるカウンタ値を示します。OUTL="0"のとき、TMR < TMRLRB のときに TOUT 出力は"H レベル"となります。

図 5-12 TOUT 周期、パルス幅



ダウンカウント開始時から TMR = TMRLRB となるまで(TMR ≧ TMRLRB のとき)は以下の動作を行います。

・TOUT 出力は初期値継続
・タイマはカウント継続

TMR = TMRLRB からダウンカウントが発生したときは以下の動作を行います。

・TOUT 出力を反転
・タイマはカウント継続

(インターバルタイマモードでのコンペア動作時は、TMCSR レジスタの bit7:EF ビットはセットされません。)

アンダフローが発生したときは以下の動作を行います。

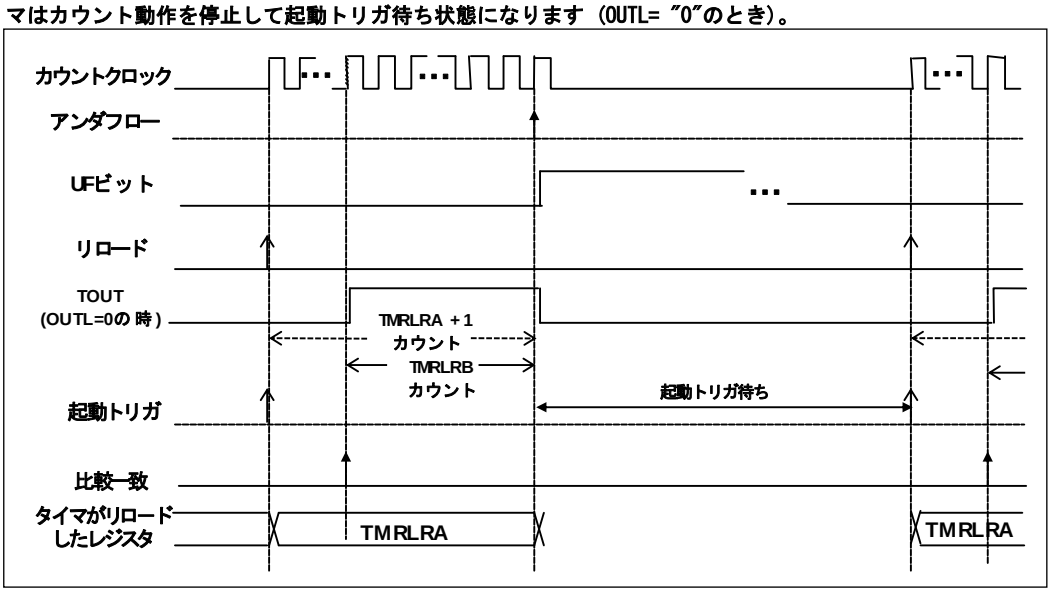
・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・TOUT 出力を初期化
・タイマは 0xFFFF で停止
・タイマは起動トリガ待ち状態

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

図 5-13 コンペアワンショット動作(1 / 2)

・TMRLRB < TMRLRA を設定

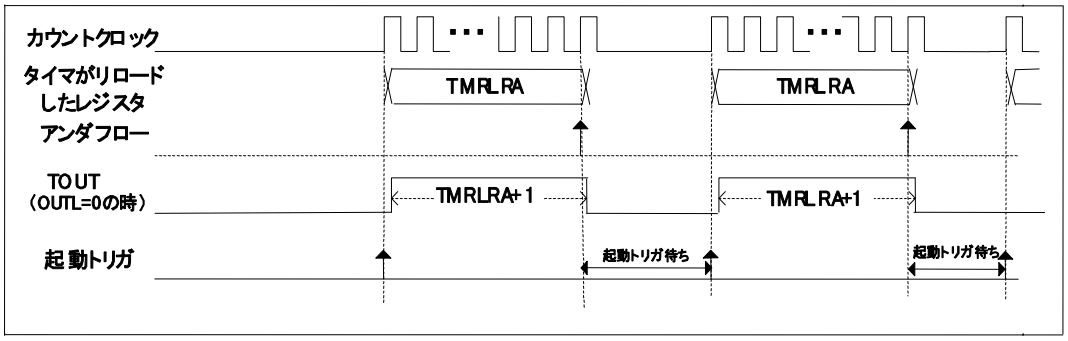
上記レジスタ関係のとき、タイマへのロードを行ってから TMR = TMRLRB になるまで、TOUT 出力は、"L"レベルとなります。比較一致(TMR = TMRLRB) からダウンカウントすると、TOUT 出力を反転させて、アンダフローが発生するまで"H"レベルとなります。アンダフローが発生すると、TOUT 出力は初期化されます。アンダフローによりタイマはカウント動作を停止して起動トリガ待ち状態になります (OUTL= "0"のとき)。



コンペアワンショット機能 (TMRLRB < TMRLRA)

・TMRLRB > TMRLRA を設定

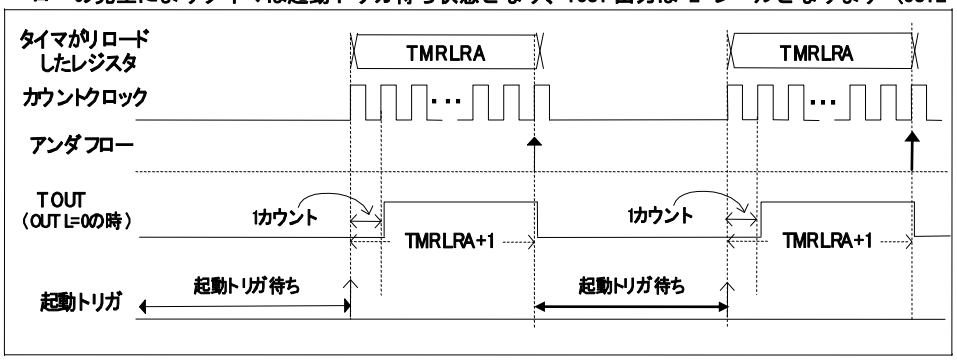
上記レジスタ関係のとき、タイマへのロードを行うと、既に TMR < TMRLRB となっているので、TOUT 出力は、起動トリガが発生してからアンダフローが発生するまで"H"レベルとなります。アンダフローの発生によりタイマは起動トリガ待ち状態となり、TOUT 出力は"L"レベルとなります (OUTL = "0"のとき)。



コンペアワンショット機能 (TMRLRB > TMRLRA)

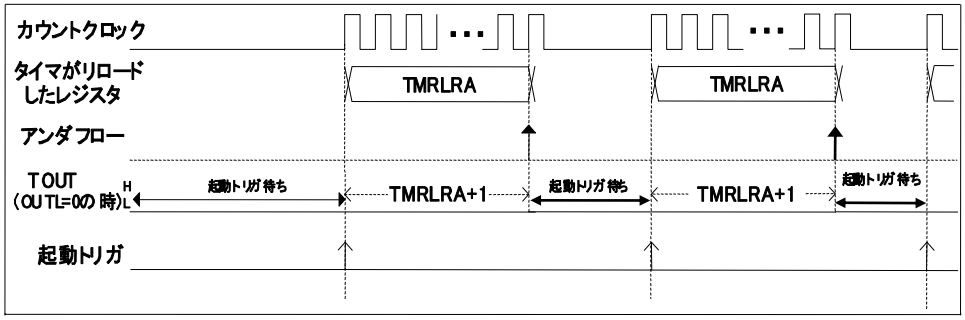
図 5-14 コンペアワンショット動作(2 / 2)

・TMRLRB = TMRLRA を設定
上記レジスタ関係のとき、タイマへのロード後、1 カウントすると TMR < TMRLRB となるので、TOUT 出力は、ダウンカウント 1 カウント分"L"レベルを出力し、アンダフローが発生するまで"H"レベルを出力します。アンダフローの発生によりタイマは起動トリガ待ち状態となり、TOUT 出力は"L"レベルとなります (OUTL="0"のとき)。



コンペアワンショット機能 (TMRLRB = TMRLRA)

・TMRLRB = 0 を設定
上記レジスタの関係のとき、TMR < TMRLRB となることはないので、ダウンカウント開始時からアンダフローが発生するまで TOUT 出力は"L"レベルとなります。アンダフロー発生後も"L"レベルのままです (OUTL="0"のとき)。



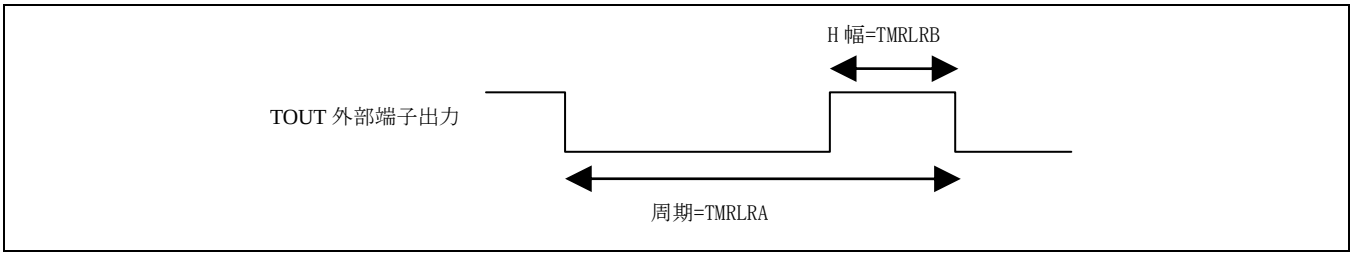
コンペアワンショット機能 (TMRLRB = "0")

5.3.6. コンペアリロード動作

コンペアリロード動作について示します。

TMCSR レジスタの bit15,14:MOD[1:0] ="10"、bit4: RELD ="1"のとき、タイマはダウンカウントごとにカウンタ値(TMR)と TMRLRB の値を比較し、比較一致(TMR = TMRLRB)からダウンカウントすると TOUT 出力を反転します。アンダフローが発生すると、再び TMRLRA から値をロードしダウンカウント動作を行うコンペアリロード動作を行います。カウンタへのロードは TMRLRA から行います。
TMRLRA の値はタイマが起動してからリロードするまでのカウンタ周期、TMRLRB の値は TOUT 出力が"L レベル出力"から"H レベル出力"へ反転した後の"H レベル幅"を示します。
TMR + 1 = TMRLRB のとき、TOUT 出力は反転し、"H レベル"となります(OUTL="0"のとき)。

図 5-15 TOUT 周期、パルス幅



ダウンカウント開始時から TMR = TMRLRB となるまで(TMR ≧ TMRLRB のとき)は以下の動作を行います。

・TOUT 出力は初期値継続
・カウント継続

TMR = TMRLRB からダウンカウントとなった時は以下の動作を行います。

・TOUT 出力を反転
・カウント継続
　(インターバルタイマモードでのコンペア動作時は、TMCSR レジスタの bit7:EF ビットはセットされません。)

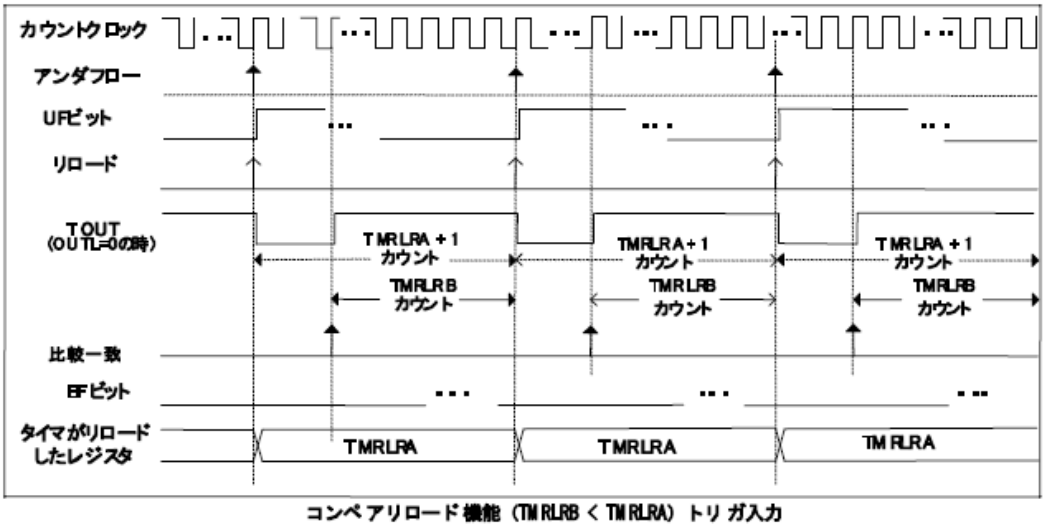
アンダフローが発生したときは以下の動作を行います。

・TMCSR レジスタの bit2:UF ビットをセット
・割込み許可(TMCSR レジスタの bit3:INTE="1")のとき、割込み発生
・TOUT 出力を初期化
・TMRLRA から値をリロード
・タイマはカウント継続

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

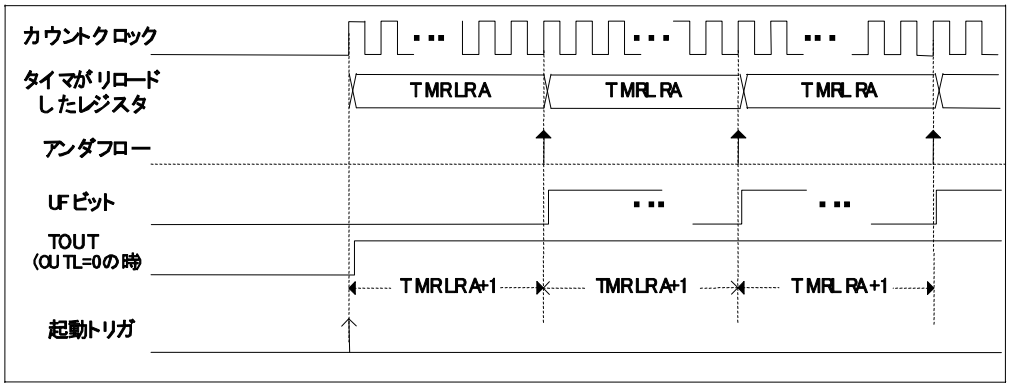
図 5-16 コンペアリロード動作(1 / 2)

・TMRLRB < TMRLRA を設定
上記レジスタ関係のとき、タイマへのロードを行ってから TMR = TMRLRB の関係になるまで、TOUT 出力は、"L" レベルとなります。比較一致(TMR = TMRLRB)からダウンカウントしたとき、TOUT 出力を反転させ、アンダフローが発生するまで"H"レベルとなります。アンダフローが発生すると、TOUT 出力は初期化されます。 アンダフローにより、タイマは TMRLRA からリロードを行い、カウント動作を継続します (OUTL ="0"のとき)。



コンペアリロード機能 (TMRLRB < TMRLRA) トリガ入力

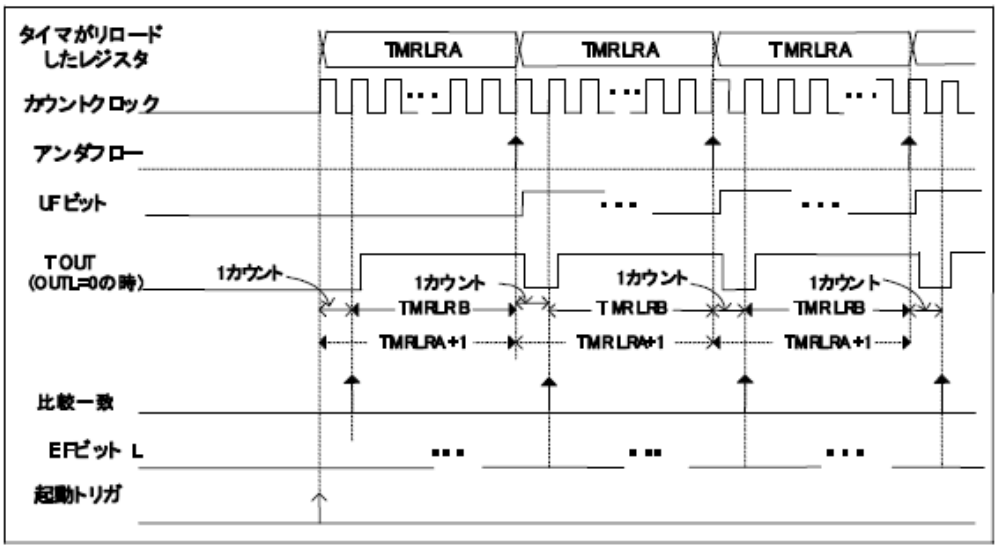
・TMRLRB > TMRLRA を設定
上記レジスタ関係のとき、常に TMR < TMRLRB なので、TOUT 出力は、起動トリガが発生してからアンダフローが発生するまで"H"レベルとなります。アンダフローが発生しても TOUT 出力は"H"レベルを継続します。また、アンダフローによりタイマは TMRLRA からロードを行い、カウント動作を継続します (OUTL = "0" のとき)。



コンペアリロード機能 (TMRLRB > TMRLRA) トリガ入力

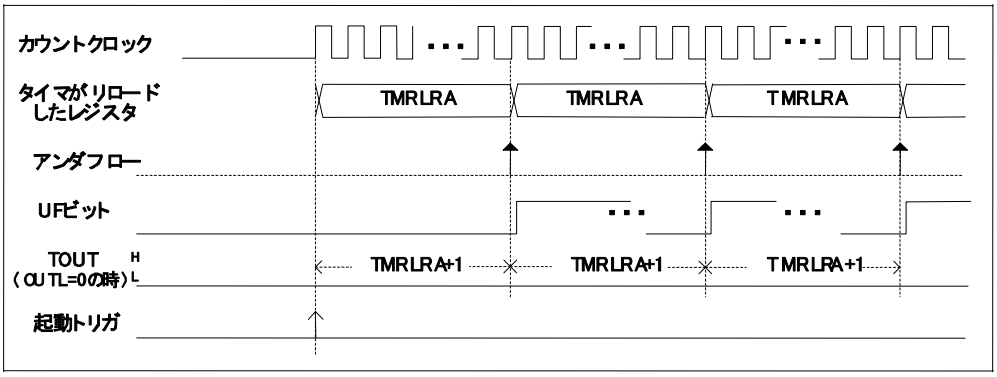
図 5-17 コンペアリロード動作(2 / 2)

・TMRLRB = TMRLRA を設定
上記レジスタ関係のとき、タイマへのロード後、1 カウントすると TMR < TMRLRB となるので、TOUT 出力は、ダウンカウント 1 カウント分"L"レベルを出力し、アンダフローが発生するまで"H"レベルを出力します。
アンダフローの発生によりタイマは TMRLRA からロードを行い、カウント動作を継続します。TOUT 出力は"L"レベルとなります (OUTL = "0" のとき)。



コンペア リロード機能 (TMRLRB = TMRLRA) トリガ入力

・TMRLRB = 0 を設定
上記レジスタ関係のとき、タイマへのロード後、TMR < TMRLRB となることはないので、ダウンカウント開始時からアンダフローが発生するまで TOUT 出力は"L"レベルとなります。アンダフローが発生後も"L"レベルのままです。



コンペア リロード機能 (TMRLRB = '0') トリガ入力

5.3.7. キャプチャモード

キャプチャモードについて示します。

TMCSR レジスタの bit15,14:MOD[1:0] ="11"のとき、タイマはキャプチャ動作を行います。リトリガが発生したとき、その時点の TMR の値を TMRLRB レジスタにキャプチャし、TMCSR レジスタの bit7:EF をセットします。
TIN 入力をゲート入力として使用(TMCSR レジスタの bit8:GATE="1"のとき)しているときは、TMCSR レジスタの bit0:TRG によってリトリガを発生させてください。
キャプチャモード以外では、リトリガ発生時にキャプチャは行いません。EF 割込みも発生しません。
タイマの動作/TOUT 出力はシングルワンショット機能・シングルリロード機能どちらも同じです。

＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

図 5-18 キャプチャ動作

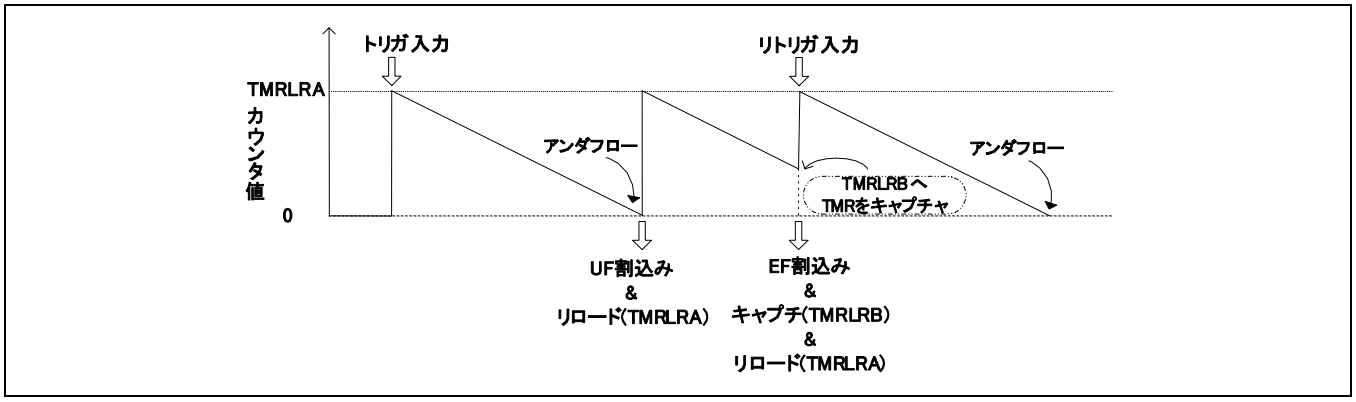


図 5-19 インターバルタイマモード時におけるトリガ入力機能のフローチャート

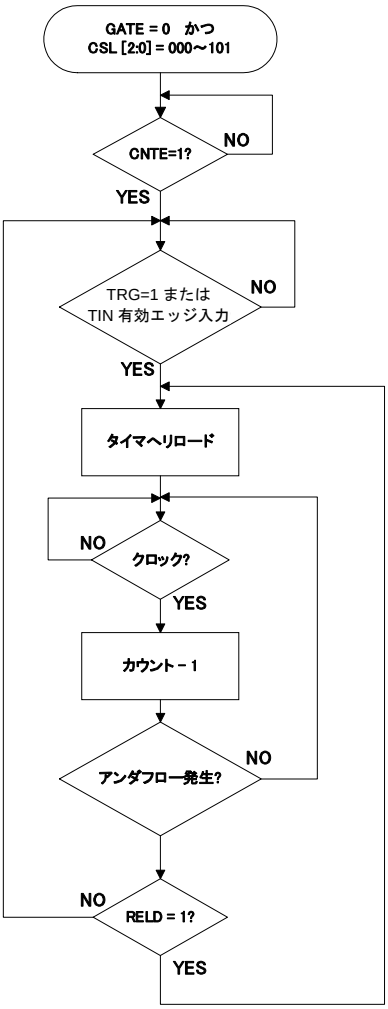
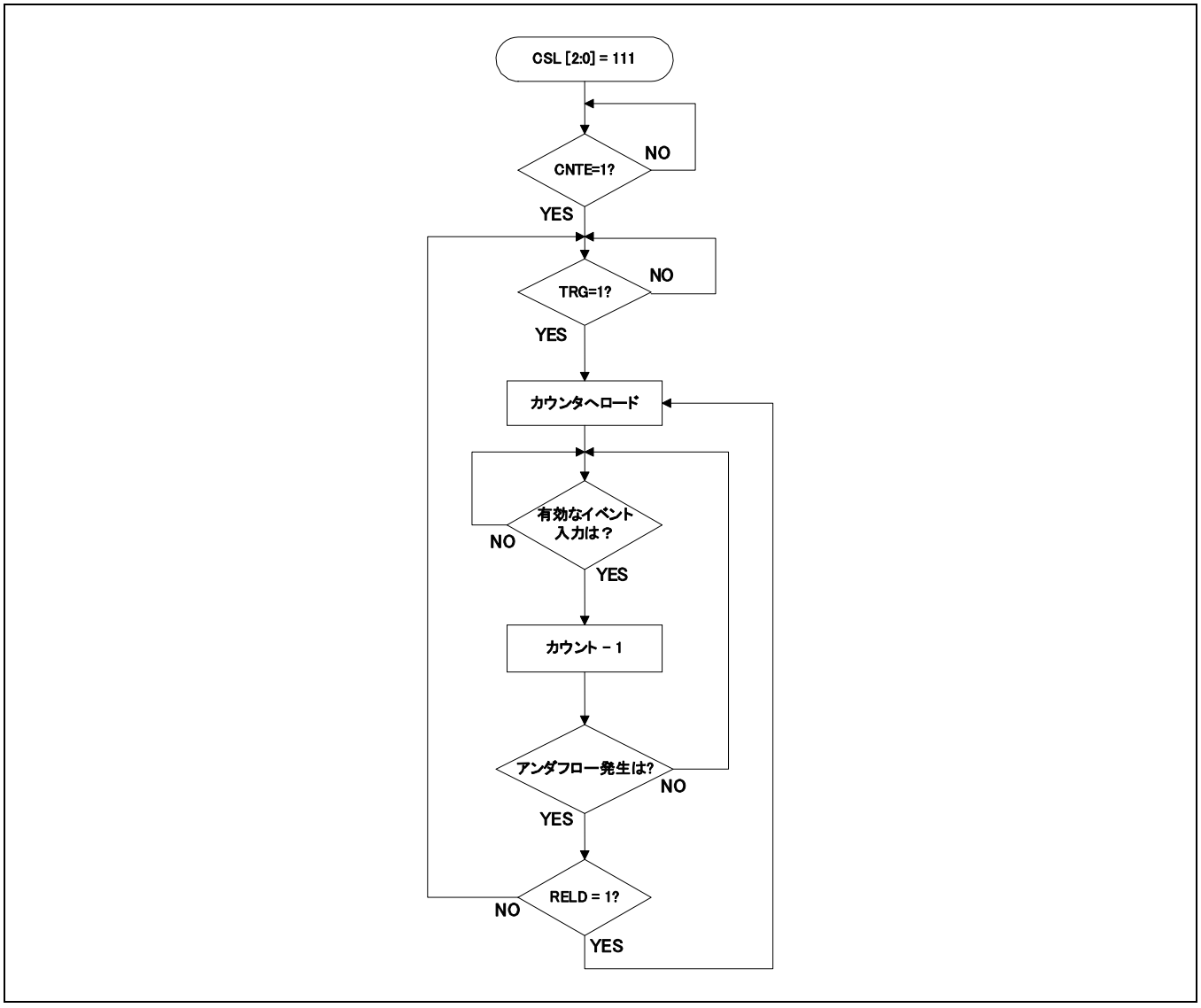


図 5-20 イベントカウンタモード時におけるフローチャート



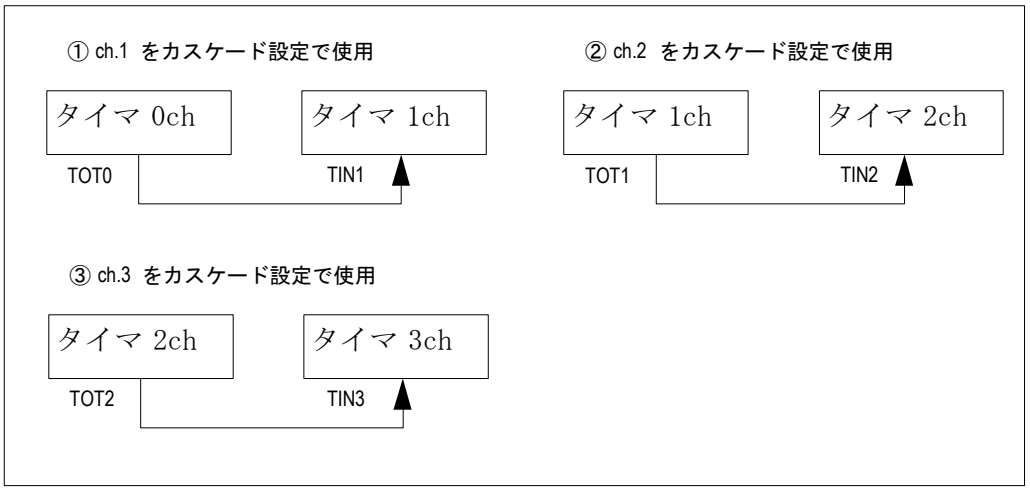
5.4. カスケード入力

カスケード入力について示します。

カスケード入力(TMCSR レジスタの bit11-9:CSL[2:0]= "110")を選択すると、タイマの ch.0 の出力(TOUT0)を ch.1 の入力(TIN1)として、ch.1 の出力(TOUT1)を ch.2 の入力(TIN2)として、ch.2 の出力(TOUT2)を ch.3 の入力(TIN3)として使用することができます。

ch.4～ch.7 も同様です。

図 5-21 カスケード入力設定時のタイマの入出力



5.5. 同時動作の優先順位

同時動作の優先順位について示します。

タイマの動作を決定するイベントが同時に発生したときに、動作状態を決定する優先順位を示します。

1. レジスタ書込み
2. トリガ入力
3. アンダフロー
4. クロック入力

タイマの動作による各フラグのセットと、レジスタ書込みによるフラグのクリアが同時に発生したときの動作を決定する優先順位を示します。

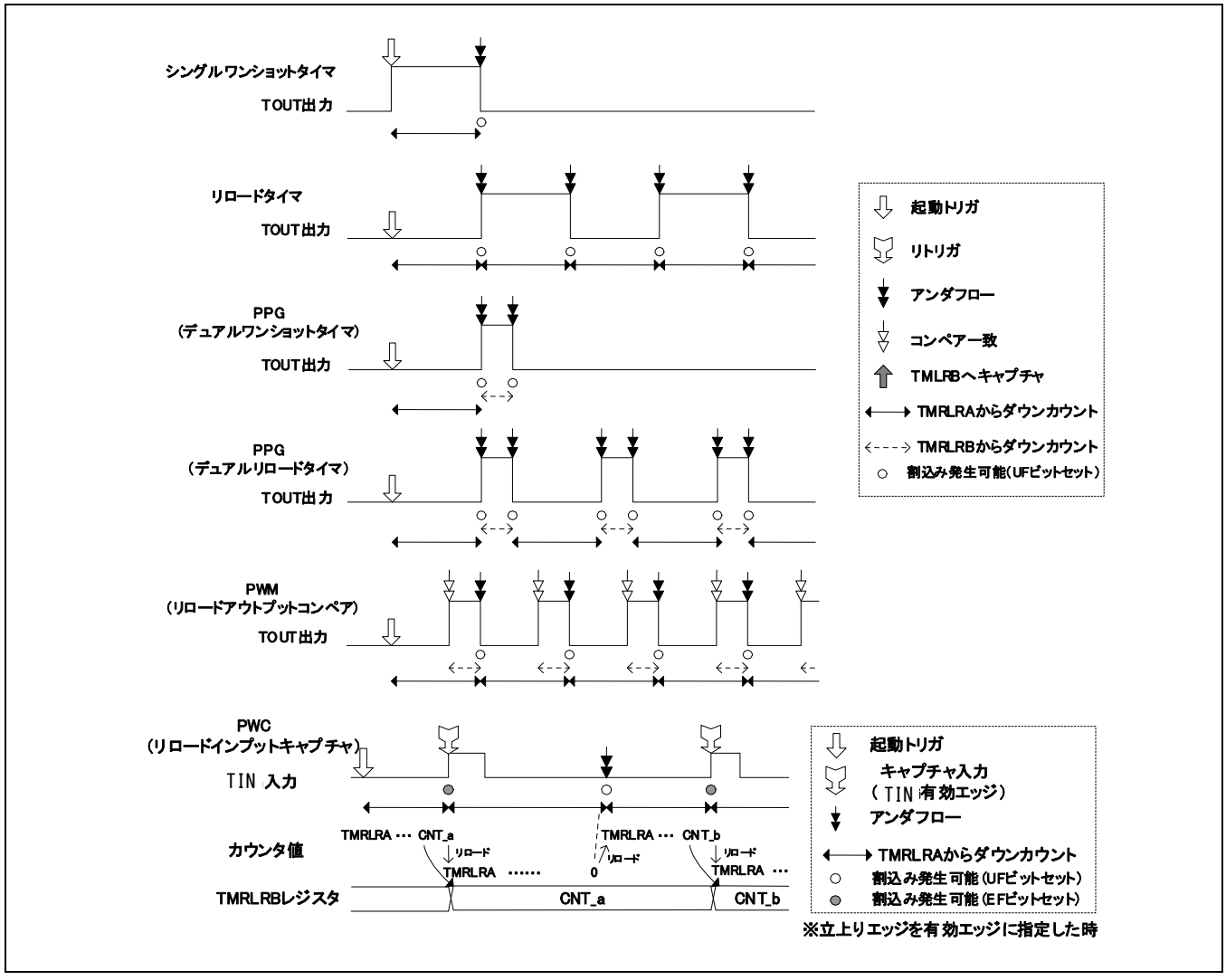
1. タイマ動作によるフラグのセット
2. UF ビット/EF ビットへのフラグクリアのためのレジスタ書込み

6. アプリケーションノート

リロードタイマのレジスタのアプリケーションノートについて説明します。

本タイマで実現できる代表的な機能を示します。

図 6-1 使用例



上図の例を使用するための設定を示します。

表 6-1 設定例

機能	MOD[1:0]	RELD	TMRLRA	TMRLRB
シングルワンショットタイマ	00 (シングルモード)	0	必須	――――
リロードタイマ	00 (シングルモード)	1	必須	――――
PPG (Programmable Pulse Generator)	01 (デュアルモード)	0 or 1	必須	必須
PWM (Pulse Width Modulator)	10 (コンペアモード)	1	必須	必須
PWC (Pulse Width Counter)	11 (キャプチャモード)	1	必須	――――

6.1. シングルワンショットタイマ

シングルワンショットタイマについて示します。

シングルワンショットタイマは、トリガが入力されると、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を行います。アンダフローが発生するとカウント動作を停止します。
TOUT 端子は、カウント中は"H レベル"を出力し、アンダフローが発生すると"L レベル"を出力します。(OUTL="0"のとき)

【設定】シングルワンショットタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	*1	0	—	*2	0	*3	—	1	S	

S :タイマ起動時に使用
—: 動作に影響なし

*1: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL=0・・初期値 L⇒カウント開始 H⇒アンダフロー発生 L
OUTL=1・・初期値 H⇒カウント開始 L⇒アンダフロー発生 H

*3: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	1	—	*3	0	*4	—	1	S	

S : タイマ起動時に使用
—: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1:0]=x0・・L 入力期間のみカウント
TRGM[1:0]=x1・・H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒カウント開始 H⇒アンダフロー発生 L
OUTL= 1・・初期値 H⇒カウント開始 L⇒アンダフロー発生 H

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1:0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	0	―	*3	0	*4	―	1	S	

S ：タイマ起動時に使用
ー: 動作に影響なし

*1：TIN の有効レベル設定

TRGM[1: 0]= 00・・外部トリガエッジ検出しない
TRGM[1:0]= 01・・立上りエッジ
TRGM[1: 0]= 10・・立下りエッジ
TRGM[1:0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2: 0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2: 0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

OUTL= 0・・初期値 L⇒カウント開始 H⇒アンダフロー発生 L
OUTL= 1・・初期値 H⇒カウント開始 L⇒アンダフロー発生 H

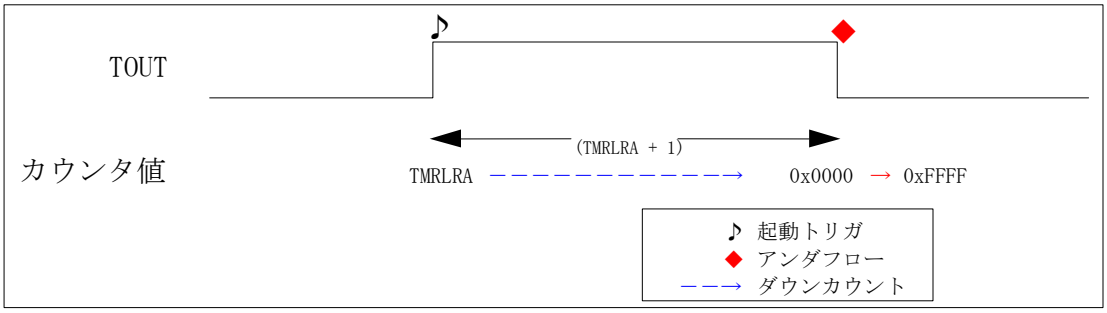
*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】 以下の手順でタイマの起動を行ってください。

・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-2 動作例(OUTL = 0)



6.2. リロードタイマ

リロードタイマについて示します。

リロードタイマは、アンダフローが発生するたびに、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を繰り返します。TOUT 出力は、起動トリガから最初のアンダフローまでのカウント中は"L レベル"、アンダフローが発生するたびに出力は反転し、最初のアンダフローの発生によって"H レベル"を出力します。また、リトリガが発生すると、TOUT 出力は初期値になります。(OUTL="0"のとき)

【設定】リロードタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1:0]	CSL [2: 0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	*1	0	―	*2	1	*3	―	1	S	

S : タイマ起動時に使用
―: 動作に影響なし

*1: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL=0・・初期値 L⇒カウント開始 L⇒アンダフロー発生のたびに反転
OUTL=1・・初期値 H⇒カウント開始 H⇒アンダフロー発生のたびに反転

*3: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA
MOD [1:0]	TRGM [1: 0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	1	—	*3	1	*4	—	1	S	

S : タイマ起動時に使用
—: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1:0]=x0・・TIN=L 入力期間のみカウント
TRGM[1: 0]=x1・・TIN=H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2: 0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2: 0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2: 0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

OUTL=0・・初期値 L⇒カウント開始 L⇒アンダフロー発生のたびに反転
OUTL=1・・初期値 H⇒カウント開始 H⇒アンダフロー発生のたびに反転

*4: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA
MOD [1: 0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	*1	*2	0	—	*3	1	*4	—	1	S	

S :タイマ起動時に使用
—: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1:0]= 00・・外部トリガエッジ検出しない
TRGM[1:0]= 01・・立上りエッジ
TRGM[1:0]= 10・・立下りエッジ
TRGM[1:0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: OUT 出力極性設定

OUTL= 0・・初期値 L⇒カウント開始 L⇒アンダフロー発生のたびに反転

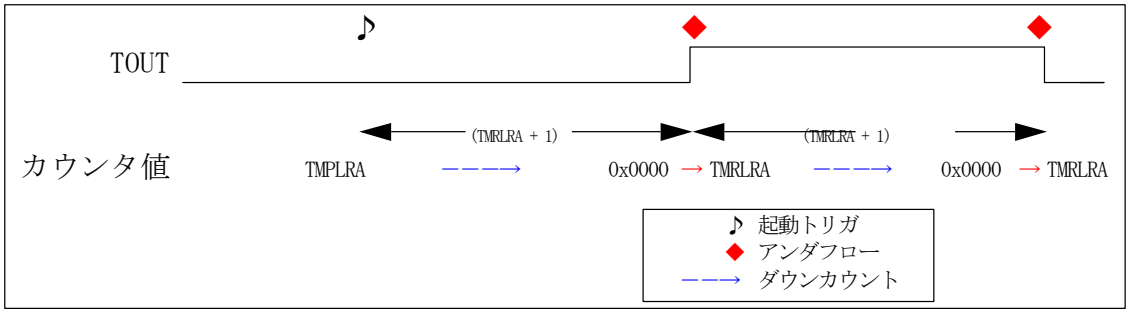
OUTL= 1・・初期値 H⇒カウント開始 H⇒アンダフロー発生のたびに反転

*4 : 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-3 動作例(OUTL=0)



6.3. PPG

PPG について示します。

PPG は、パルスの L 幅/H 幅を設定して出力パルスを生成する機能です。起動トリガによって TMRLRA からカウンタへロードしダウンカウントを行い、アンダフローが発生すると TMRLRB から値をロードしダウンカウントを実行します。
RELD="0"のときは起動トリガ⇒TMRLRA ロード⇒ダウンカウント⇒アンダフロー⇒TMRLRB ロード⇒ダウンカウント⇒アンダフローでダウンカウントを停止します。
RELD="1"のときは起動トリガ⇒TMRLRA ロード⇒ダウンカウント⇒アンダフロー⇒TMRLRB ロード⇒ダウンカウント⇒アンダフロー⇒ TMRLRA ロード⇒ダウンカウント⇒アンダフロー⇒TMRLRB ロードというように、アンダフローが発生するたびに TMRLRA/TMRLRB を交互に ロードを行い、ダウンカウントを実行します。
TOUT 出力は、TMRLRA からのダウンカウントによるアンダフローが発生するまでのカウント中は"L レベル"、TMRLRB からのダウンカウントによるアンダフローが発生するまでは、"H レベル"を出力します。また、リトリガが発生すると、TOUT 出力は初期値になります。

＜注意事項＞

ワンショットモードではリトリガ時、TOUT は初期化されません。

【設定】PPG として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	00	*1	0	—	*2	*3	*4	—	1	S		

(A):起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値(RELD=1 のとき)
(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値
S : タイマ起動時に使用
ー: 動作に影響なし

*1 :カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL= 0・・

初期値 L⇒TMRLRA からカウント L⇒ アンダフロー発生で H⇒
TMRLRB からカウント H⇒ アンダフロー発生で L

OUTL= 1・・

初期値 H⇒TMRLRA からカウント H⇒ アンダフロー発生で L⇒
TMRLRB からカウント L⇒ アンダフロー発生で H

*3 : アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*4 : 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	*1	*2	1	—	*3	*4	*5	—	1	S		

(A):起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値(RELD=1 のとき)
(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値
S :タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1:0]= x0・・TIN=L 入力期間のみカウント
TRGM[1:0]= x1・・TIN=H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・

初期値 L⇒TMRLRA からカウント L⇒アンダフロー発生で H⇒
TMRLRB からカウント H⇒ アンダフロー発生で L

OUTL= 1・・

初期値 H⇒TMRLRA からカウント H⇒アンダフロー発生で L⇒
TMRLRB からカウント L⇒ アンダフロー発生で H

*4: アンダフロー発生時リロード設定

RELD=0・・ワンショットモード
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	*1	*2	0	—	*3	*4	*5	—	1	S		

(A):起動トリガ発生時カウント初期値/TMRLRB 値からのカウントによるアンダフロー時のリロード値(RELD=1 のとき)
(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値
S : タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1:0]= 00・・外部トリガエッジ検出しない
TRGM[1:0]= 01・・立上りエッジ
TRGM[1:0]= 10・・立下りエッジ
TRGM[1:0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒TMRLRA からカウント L⇒アンダフロー発生のたびに反転
OUTL= 1・・初期値 H⇒TMRLRA からカウント H⇒アンダフロー発生のたびに反転

*4: アンダフロー発生時リロード設定

RELD=0・・ワンショットモード

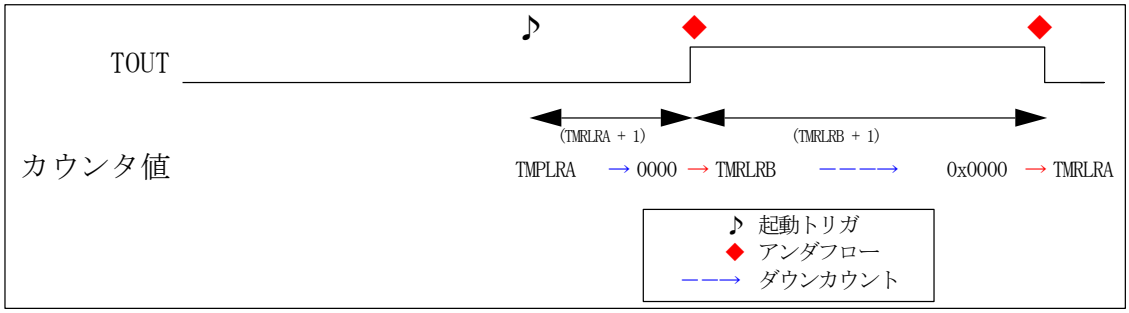
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-4 動作例(OUTL=0)



6.4. PWM

PWM について示します。

PWM は、パルスの周期と H 幅を設定して出力パルスを生成する機能です。
起動トリガによって TMRLRA からカウンタへロードしダウンカウント動作を行います。
TOUT 出力は、起動トリガ後は"L レベル"を出力し、TMRLRB の設定値よりもカウンタ値が小さくなると"H レベル"を出力します。アンダフローが発生すると、TOUT 出力は初期値に戻ります。(OUTL="0"のとき)

RELD="0"のときは起動トリガ⇒TMRLRA ロード⇒ダウンカウント⇒アンダフローでダウンカウントを停止します。
RELD="1"のときは起動トリガ⇒TMRLRA ロード⇒ダウンカウント⇒アンダフロー⇒TMRLRA ロード⇒ダウンカウント・・というように、アンダフローが発生するたびに TMRLRA のロードを行い、ダウンカウントを実行します。

【設定】PWM として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しない時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	0	*1	0	—	*2	*3	*4	—	1	S		

(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B):カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *5

S : タイマ起動時に使用
ー: 動作に影響なし

*1: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*2: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒TMRLRA からカウント L⇒TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H⇒TMRLRA からカウント H⇒TMRLRB よりカウンタ値が小さい L

*3: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*4: 割込み要求許可設定

INTE= 0・・割込み禁止
INTE= 1・・割込み許可

*5: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB = "TMRLRA + 1"に設定

(2) TIN 入力をゲート入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	*1	*2	1	—	*3	*4	*5	—	1	S		

(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B):カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *6
S: タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効レベル設定

TRGM[1:0]= x0・・TRGM=L 入力期間のみカウント
TRGM[1:0]= x1・・TRGM=H 入力期間のみカウント

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒TMRLRA からカウント L⇒TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H⇒TMRLRA からカウント H⇒TMRLRB よりカウンタ値が小さい L

*4: アンダフロー発生時リロード設定

RELD=0・・ワンショットモード
RELD=1・・リロードモード

*5: 割込み要求許可設定

INTE=0・・割込み禁止
INTE=1・・割込み許可

*6: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB ="TMRLRA + 1"に設定

(3) TIN 入力をトリガ入力として使用する時

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	*1	*2	0	—	*3	*4	*5	—	1	S		

(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B):カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) *6
S :タイマ起動時に使用
ー: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1:0]= 00・・外部トリガエッジ検出しない
TRGM[1:0]= 01・・立上りエッジ
TRGM[1:0]= 10・・立下りエッジ
TRGM[1:0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒TMRLRA からカウント L⇒TMRLRB よりカウンタ値が小さい H
OUTL= 1・・初期値 H⇒TMRLRA からカウント H⇒TMRLRB よりカウンタ値が小さい L

*4: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*5: 割込み要求許可設定

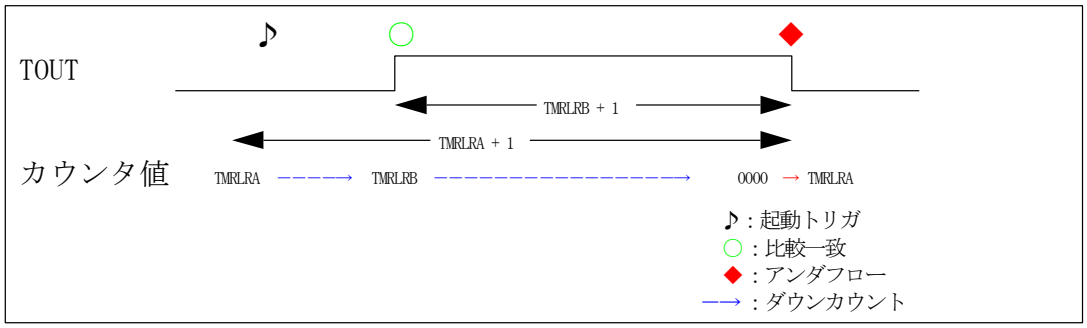
INTE= 0・・割込み禁止
INTE= 1・・割込み許可

*6: L クリップ出力で TOUT 出力を使用するには、TMRLRB ="0"に設定

H クリップ出力で TOUT 出力を使用するには、TMRLRB = ‘TMRLRA + 1’に設定

【タイマ起動】以下の手順でタイマ起動を行ってください。
・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
・TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 6-5 動作例(OUTL=0)



6.5. PWC

PWC について示します。

PWC は、入力するトリガのトリガ間の時間を測定する機能です。
起動トリガの入力によって TMRLRA からカウンタへ値をロードしダウンカウント動作を開始します。カウント中にトリガ入力をすることにより、TMRLRB へそのときのカウンタ値をキャプチャするので、入力トリガ間の時間の測定ができます。

【設定】PWC として使用するためには、以下の設定を行ってください。

TMCSR											TMRLRA	TMRLRB
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
11	*1	*2	0	—	*3	*4	*5	—	1	S		

(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B):カウント動作中のトリガ発生時のカウント値
S : タイマ起動時に使用
—: 動作に影響なし

*1: TIN の有効エッジ設定

TRGM[1:0]= 00・・外部トリガエッジ検出しない
TRGM[1:0]= 01・・立上りエッジ
TRGM[1:0]= 10・・立下りエッジ
TRGM[1:0]= 11・・両エッジ

*2: カウントクロック分周設定

CSL[2:0]= 000・・周辺クロック(PCLK)の 2 分周
CSL[2:0]= 010・・周辺クロック(PCLK)の 8 分周
CSL[2:0]= 011・・周辺クロック(PCLK)の 16 分周
CSL[2:0]= 100・・周辺クロック(PCLK)の 32 分周
CSL[2:0]= 101・・周辺クロック(PCLK)の 64 分周

*3: TOUT 出力極性設定

OUTL= 0・・初期値 L⇒TMRLRA からカウント L⇒アンダフロー発生のたびに反転

OUTL= 1・・初期値 H⇒TMRLRA からカウント H⇒アンダフロー発生のたびに反転

*4: アンダフロー発生時リロード設定

RELD= 0・・ワンショットモード
RELD= 1・・リロードモード

*5: 割込み要求許可設定

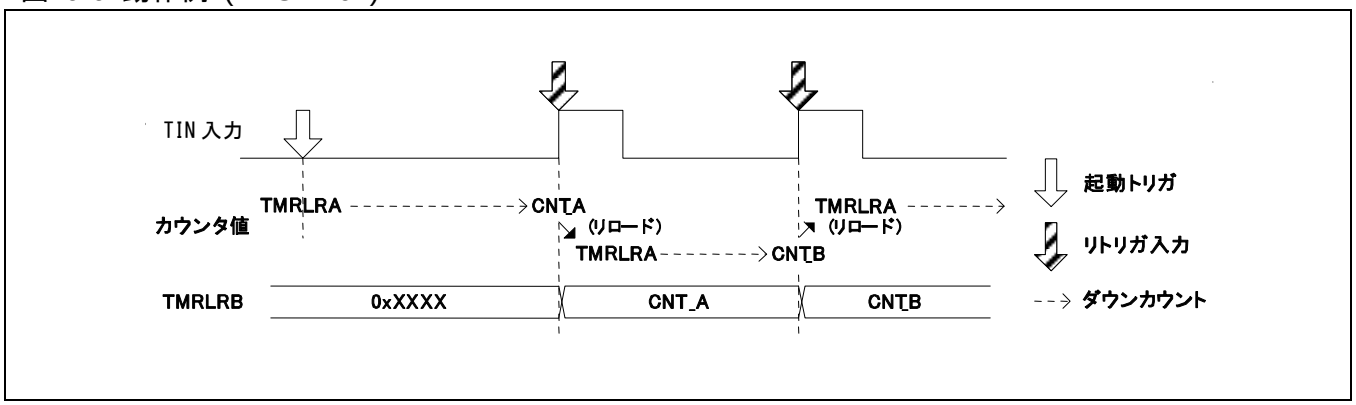
INTE= 0・・割込み禁止
INTE= 1・・割込み許可

【タイマ起動】以下の手順でタイマ起動を行ってください。

・起動トリガを入力(TRG ビットへの"1"書込み or TIN 端子からの有効外部エッジ入力)
ダウンカウント中、トリガ入力があるたびにカウンタ値が TMRLRB へキャプチャされます。入力するトリガのエッジ間の時間は以下となります。

T = (TMRLRA の設定値 － TMRLRB のキャプチャ値) × 周辺クロック(PCLK)の周期 × CSL で設定した分周比

図 6-6 動作例 (TRGM=01)



Chapter 21: 32 ビットフリーランタイマ

32 ビットフリーランタイマについて説明します。

1. 概要
2. 特長
3. 構成図
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. サンプルプログラム
9. 注意事項

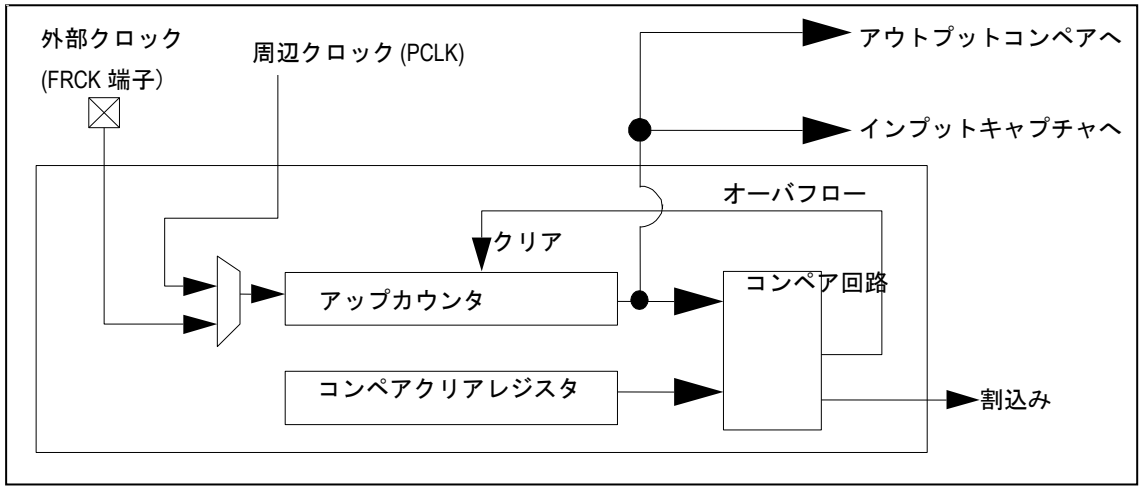
管理コード：FG61-1v0-91520-12-J

1. 概要

32 ビットフリーランタイマの概要について説明します。

32 ビットフリーランタイマは、32 ビットアップカウンタ、制御回路で構成しています。フリーランタイマはインプットキャプチャ、アウトプットコンペアと組み合わせて使用できます。

図 1-1 ブロックダイヤグラム(概略)



外部クロックからの使用可能チャネル数は以下になります。

MB91F52xB (64pin) : 1
MB91F52xD (80pin) : 2
MB91F52xF (100pin) : 3
MB91F52xJ (120pin) : 3
MB91F52xK (144pin) : 3
MB91F52xL (176pin) : 3

2. 特長

32 ビットフリーランタイマの特長について説明します。

2.1. 32 ビットフリーランタイマの機能

2.2. フリーランタイマセレクタの機能

2.1. 32 ビットフリーランタイマの機能

32 ビットフリーランタイマの機能について示します。

- 形式: 32 ビットアップカウンタ
- 個数: 3
- クロックソース: 内部クロック(周辺クロック(PCLK))の 9 通り分周 (÷1,÷2,÷4,÷8,÷16,÷32,÷64,÷128,÷256、または外部クロック(FRCK)
- カウントのクリア要因:
  - ソフトウェア
  - リセット
  - コンペア一致 (コンペアクリアレジスタとフリーランタイマのカウント値の一致)
- 動作開始/停止: ソフトウェアで動作開始と停止の制御が可能
- 割込み: コンペアクリア割込み
- カウント値: 読書き可能 (書込みはカウント停止時のみ)
- 32 ビットフリーランタイマは 32 ビットアップカウンタ、制御レジスタ、32 ビットコンペアクリアレジスタ、およびプリスケーラから構成されています。
- コンペアクリア割込みは、コンペアクリアレジスタと 32 ビットフリーランタイマが比較され、一致した場合に生成されます。
- リセットやソフトウェアクリア、あるいはコンペアクリアレジスタとのコンペア一致が発生すると、カウンタ値は"0000_0000_H"にリセットされます。
- 32 ビットアウトプットコンペア、32 ビットインプットキャプチャのリファレンスカウントとして使用されます。

2.2. フリーランタイマセレクタの機能

フリーランタイマセレクタの機能について示します。

- フリーランタイマ選択レジスタによって、フリーランタイマの割当てを、アウトプットコンペア、インプットキャプチャから選択することができます。

3. 構成図

フリーランタイマの構成について説明します。

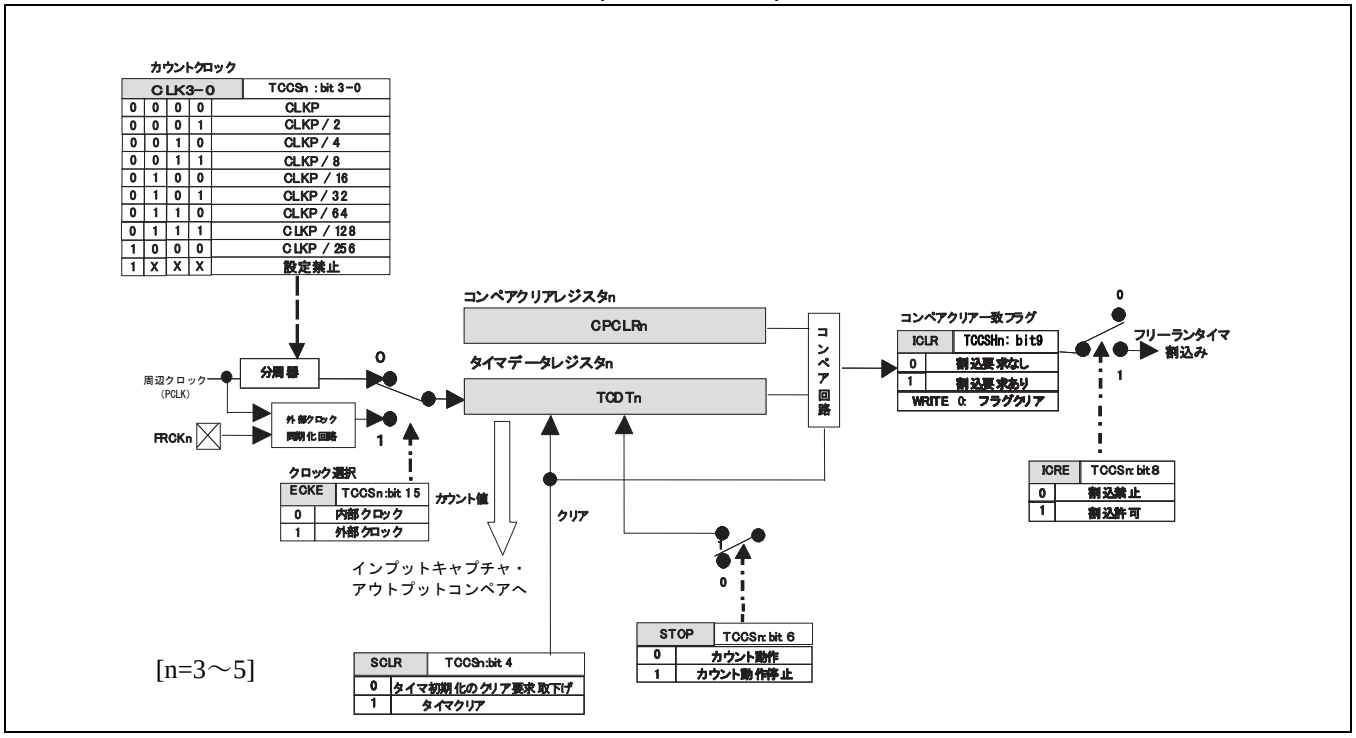
3.1. 32 ビットフリーランタイマの構成図

3.2. フリーランタイマセレクタの構成図

3.1. 32 ビットフリーランタイマの構成図

32 ビットフリーランタイマの構成図について示します。

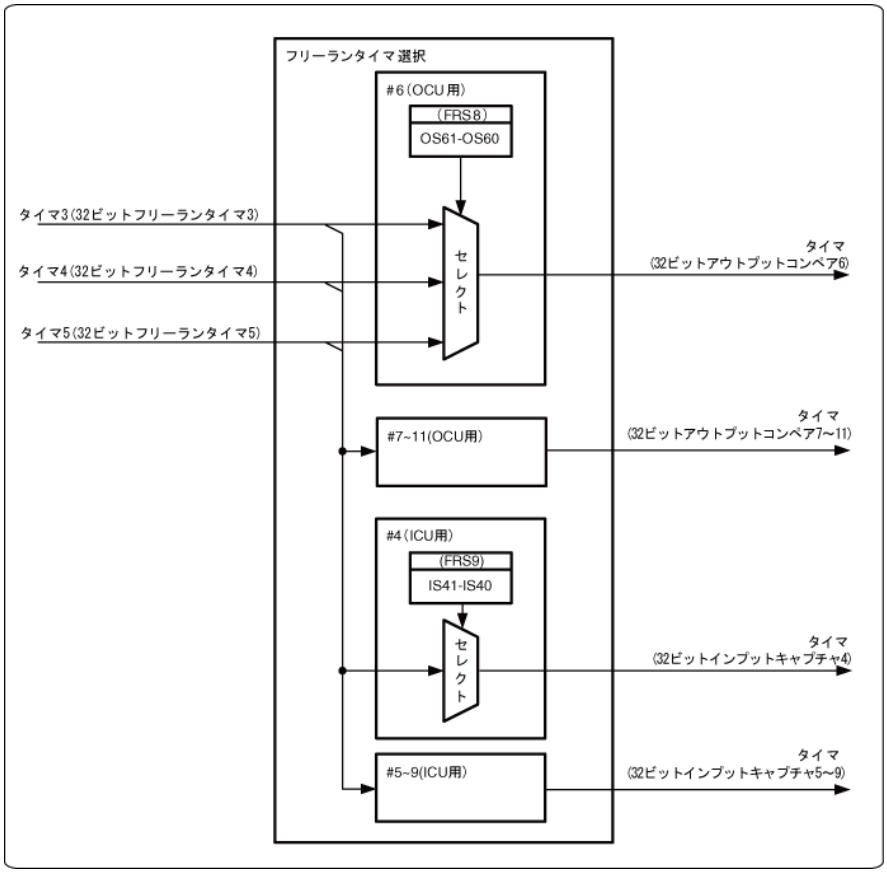
図 3-1 32 ビットフリーランタイマの構成図(1 チャネル分)



3.2. フリーランタイマセレクタの構成図

フリーランタイマセレクタの構成図について示します。

図 3-2 フリーランタイマセレクタの構成図



4. レジスタ

フリーランタイマのレジスタについて説明します。

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル	ベースアドレス	外部端子 (FRCK)			
		MB91F52xB	MB91F52xD	MB91F52xF MB91F52xJ MB91F52xK	MB91F52xL
3	0x0240	なし	なし	FRCK3_0	FRCK3_0/FRCK3_1
4	0x024C	FRCK4_0	FRCK4_0	FRCK4_0	FRCK4_0/FRCK4_1
5	0x0FA0	なし	FRCK5_0	FRCK5_0	FRCK5_0/FRCK5_1

表 4-2 32 ビットフリーランタイマのレジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0240	CPCLR3				コンペアクリアレジスタ 3
0x0244	TCDT3				タイマデータレジスタ 3
0x0248	TCCSH3	TCCSL3	予約		タイマ制御レジスタ上位 3 タイマ制御レジスタ下位 3
0x024C	CPCLR4				コンペアクリアレジスタ 4
0x0250	TCDT4				タイマデータレジスタ 4
0x0254	TCCSH4	TCCSL4	予約		タイマ制御レジスタ上位 4 タイマ制御レジスタ下位 4
0x0FA0	CPCLR5				コンペアクリアレジスタ 5
0x0FA4	TCDT5				タイマデータレジスタ 5
0x0FA8	TCCSH5	TCCSL5	予約		タイマ制御レジスタ上位 5 タイマ制御レジスタ下位 5

表 4-3 フリーランタイマセレクタのレジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0070	予約	FRS8			フリーランタイマ選択レジスタ 8
0x0074	予約	FRS9			フリーランタイマ選択レジスタ 9

4.1. 32 ビットフリーランタイマのレジスタ

32 ビットフリーランタイマのレジスタについて示します。

4.1.1. タイマ制御レジスタ (上位ビット) : TCCSH

タイマ制御レジスタ (上位ビット)のビット構成について示します。

フリーランタイマの動作を制御するためのレジスタです。

■ TCCSH3-5 (フリーランタイマ 3-5) : アドレス Base_addr + 08_H (アクセス : バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ECKE	−	−	−	−	−	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1), W	R/W

[bit15]ECKE : クロック選択

ECKE	カウントクロック選択
0	内部クロック
1	外部クロック (FRCK 端子)

- "0"を設定した場合: 内部クロックが選択されます。カウントクロック周波数を選択するためには、TCCSL レジスタのクロック周波数選択ビット(CLK3〜0: ビット 3〜0)も選択してください。
- "1"を設定した場合: 外部クロックが選択されます。外部クロックは、"FRCK"端子から入力されます。したがって、FRCK 入力端子に対応するポート方向レジスタ(DDR)のビットへ"0"を書込み、対応するポート機能レジスタ(PFR)のビットへ"0"を書き込んでポート入力状態として、外部クロック入力を有効にしてください。ECKE ビットが外部クロックを選択している場合、クロックカウントは両エッジにて動作いたします。外部クロックのパルス幅は $4/F_{PCLK}$ 以上にしてください。

＜注意事項＞

カウントクロック選択ビットの設定変更は、フリーランタイマの出力を利用しているほかの周辺モジュール(アウトプットコンペア、インプットキャプチャ)が停止している状態で行ってください。

[bit14〜bit10] :未定義

- 常に"0"が読み出されます。書込みは動作に影響ありません。

[bit9]ICLR : コンペアクリア割込みフラグ

ICLR	状態	
	読出し	書込み
0	コンペアクリア一致なし	フラグ(ICLR)をクリア
1	コンペアクリア一致あり	動作に影響なし

・コンペアクリア値と 32 ビットフリーランタイマ値が一致すると、このビットには"1"が設定されます。

[bit8]ICRE : **コンペアクリア割込み要求許可**

ICRE	動作
0	割込み禁止
1	割込み許可

・ICRE ビットとコンペアクリア割込みフラグビット(ICLR)に"1"が設定されると、CPU に対する割込み要求が生成されます。

4.1.2. タイマ制御レジスタ (下位ビット) : TCCSL

タイマ制御レジスタ (下位ビット)のビット構成について示します。

フリーランタイマの動作を制御するためのレジスタです。

■ TCCSL3-5 (フリーランタイマ 3-5) : アドレス Base_addr + 09_H (アクセス : バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	−	STOP	−	SCLR	CLK3	CLK2	CLK1	CLK0
初期値	0	1	0	0	0	0	0	0
属性	R0,WX	R/W	R0,WX	R0,W	R/W	R/W	R/W	R/W

[bit7] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit6]STOP : **タイマ許可**

STOP	動作
0	カウント許可 (動作)
1	カウント禁止 (停止)

・STOP ビットは、32 ビットフリーランタイマのカウントを停止/開始するために使用します。
・STOP ビットが"0"のとき : 32 ビットフリーランタイマのカウンタは開始します。
・STOP ビットが"1"のとき : 32 ビットフリーランタイマのカウンタは停止します。

＜注意事項＞

アウトプットコンペアを使用している場合、フリーランタイマが停止するとアウトプットコンペアの動作も停止します。

[bit5]：**未定義**

・常に"0"が読み出されます。書込みは動作に影響ありません。

[bit4]SCLR：**タイマクリア**

SCLR	状態	
	読出し	書込み
0	常に"0"が読み出される。	"0"ライトは意味を持ちません。
1		フリーランタイマをクリア

・クリアビットを"1"にすると、フリーランタイマのカウント値を"00000000_H"にクリアします。この際、マクロ内部のプリスケーラもクリアされます。

・読出し値は、必ず"0"です。

＜注意事項＞

"1"を設定した後、次の内部クロックのタイミングでタイマクリアが行われます。

[bit3～bit0]CLK3～CLK0：**クロック周波数選択(内部クロック選択時)**

CLK3	CLK2	CLK1	CLK0	クロック周波数選択 (F_{PCLK}: 周辺クロック(PCLK))				
				カウントクロック	F_{PCLK} =16MHz	F_{PCLK} =8MHz	F_{PCLK} =4MHz	F_{PCLK} =1MHz
0	0	0	0	$1/F_{PCLK}$	62.5ns	125ns	0.25µs	1µs
0	0	0	1	$2/F_{PCLK}$	125ns	0.25µs	0.5µs	2µs
0	0	1	0	$4/F_{PCLK}$	0.25µs	0.5µs	1µs	4µs
0	0	1	1	$8/F_{PCLK}$	0.5µs	1µs	2µs	8µs
0	1	0	0	$16/F_{PCLK}$	1µs	2µs	4µs	16µs
0	1	0	1	$32/F_{PCLK}$	2µs	4µs	8µs	32µs
0	1	1	0	$64/F_{PCLK}$	4µs	8µs	16µs	64µs
0	1	1	1	$128/F_{PCLK}$	8µs	16µs	32µs	128µs
1	0	0	0	$256/F_{PCLK}$	16µs	32µs	64µs	256µs
その他設定禁止				—	—	—	—	—

・クロック周波数選択ビットへの設定変更と同時に周波数を変更します。フリーランタイマのカウントクロックとして内部クロックを選択している場合 (クロック選択ビット(ECKE= "0"))、フリーランタイマの出力を利用しているほかの周辺モジュール (アウトプットコンペア, インプットキャプチャ) が停止している状態で変更してください。
・アウトプットコンペアのコンペアデータとして使用する場合は、CLK[3:0]= "0000_B"の設定は禁止となります。

4.1.3. コンペアクリアレジスタ ：CPCLR

コンペアクリアレジスタのビット構成について示します。

コンペアクリアレジスタは、フリーランタイマと比較するための 32 ビットレジスタです。

■ CPCLR3-5 (フリーランタイマ 3-5) : アドレス Base_addr + 00_H (アクセス : ワード)

bit	31							0
	CL[31:0]							
初期値	1111	1111	1111	1111	1111	1111	1111	1111
属性	R/W							

[bit31～bit0]CL[31:0] : コンペアクリア

・コンペアクリアレジスタは、32 ビットフリーランタイマのカウント値と比較するために使用します。本レジスタのカウント値がフリーランタイマのカウント値と一致すると、32 ビットフリーランタイマは、"00000000_H"にリセットされ、本レジスタに設定した値とカウンタ値が一致したときに割込みが発生します。ただし、値の書込みはタイマの停止中(タイマ状態制御レジスタ下位(TCCSL)の STOP="1")でなければなりません。
・このレジスタは動作中に書き込んでも意味を持ちません。
・このレジスタへアクセスする場合は、ワードアクセス命令を使用してください。

4.1.4. タイマデータレジスタ ：TCDT

タイマデータレジスタのビット構成について示します。

タイマデータレジスタは、32 ビットフリーランタイマのカウント値を読み出すために使用します。

■ TCDT3-5 (フリーランタイマ 3-5) : アドレス Base_addr + 04_H (アクセス : ワード)

bit	31							0
	T[31:0]							
初期値	0000	0000	0000	0000	0000	0000	0000	0000
属性	R,W							

[bit31～bit0] T[31:0] :

・タイマデータレジスタを読むと、32 ビット フリーランタイマのカウント値が読めます。
・タイマデータレジスタに書くことで、フリーランタイマにタイマ値が書き込めます。書込みは、必ずフリーランタイマが停止状態 (タイマ制御レジスタ下位(TCCSL の STOP= "1")) で行ってください。
・このレジスタへアクセスする場合は、ワードアクセス命令を使用してください。
・32 ビットフリーランタイマは、以下の要因が発生すると直ちに初期化されます。
  ・ リセット
  ・ タイマ状態制御レジスタ(TCCSL)のクリアビット(SCLR = "1")
  ・ コンペアクリアレジスタとタイムカウント値の一致
・このレジスタは動作中に書き込んでも意味を持ちません。

4.2. フリーランタイマセレクタのレジスタ

フリーランタイマセレクタのレジスタについて示します。

4.2.1. フリーランタイマ選択レジスタ ：FRS

フリーランタイマ選択レジスタのビット構成について示します。

フリーランタイマの動作を制御するためのレジスタです。

■ FRS8： アドレス 0071_H (アクセス ： バイト, ハーフワード, ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	—	—	OS111	OS110	—	—	OS101	OS100
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	—	—	OS91	OS90	—	—	OS81	OS80
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	—	—	OS71	OS70	—	—	OS61	OS60
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

[bit23, bit22] : 未定義
常に"0"が読み出されます。書込みは動作に影響ありません。

[bit21, bit20]OS111,OS110 : **アウトプットコンペア 11 用フリーランタイマセレクタ**

OS111	OS110	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 11 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit19, bit18] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit17, bit16]OS101,OS100 : **アウトプットコンペア 10 用フリーランタイマセレクタ**

OS101	OS100	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 10 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit15, bit14] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit13, bit12]OS91,OS90 : **アウトプットコンペア 9 用フリーランタイマセレクタ**

OS91	OS90	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 9 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit11, bit10] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit9, bit8]OS81,OS80 : **アウトプットコンペア 8 用フリーランタイマセレクタ**

OS81	OS80	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 8 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit7, bit6] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit5, bit4]OS71,OS70 : **アウトプットコンペア 7 用フリーランタイマセレクタ**

OS71	OS70	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 7 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit3, bit2] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit1, bit0]OS61,OS60 : アウトプットコンペア 6 用フリーランタイマセレクタ

OS61	OS60	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

アウトプットコンペア 6 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

■ FRS9 : アドレス 0075$_H$ (アクセス : バイト, ハーフワード, ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	−	−	IS91	IS90	−	−	IS81	IS80
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	−	−	IS71	IS70	−	−	IS61	IS60
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	−	−	IS51	IS50	−	−	IS41	IS40
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W

[bit23, bit22] : 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit21, bit20]IS91,IS90 : インプットキャプチャ 9 用フリーランタイマセレクタ

IS91	IS90	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 9 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit19, bit18] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit17, bit16]IS81,IS80 : **インプットキャプチャ 8 用フリーランタイマセレクタ**

IS81	IS80	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 8 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit15, bit14] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit13, bit12]IS71,IS70 : **インプットキャプチャ 7 用フリーランタイマセレクタ**

IS71	IS70	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 7 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit11, bit10] : **未定義**

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit9, bit8]IS61,IS60 : インプットキャプチャ 6 用フリーランタイマセレクタ

IS61	IS60	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 6 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit7, bit6] : 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit5, bit4]IS51,IS50 : インプットキャプチャ 5 用フリーランタイマセレクタ

IS51	IS50	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 5 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit3, bit2] : 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

[bit1, bit0]IS41,IS40 : インプットキャプチャ 4 用フリーランタイマセレクタ

IS41	IS40	機能
0	0	フリーランタイマ 3
0	1	フリーランタイマ 4
1	0	フリーランタイマ 5
1	1	設定禁止(動作を保証しません)

インプットキャプチャ 4 に対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

5. 動作説明

フリーランタイマの動作について説明します。

5.1. 32 ビットフリーランタイマの動作

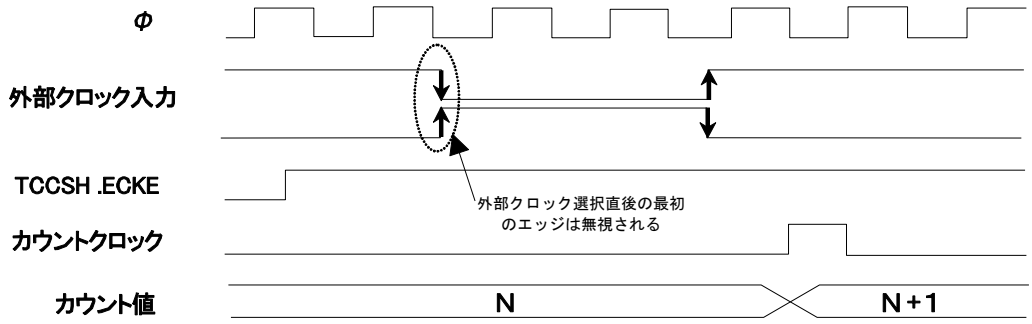
5.2. 32 ビットフリーランタイマセレクタの動作

5.1. 32 ビットフリーランタイマの動作

32 ビットフリーランタイマの動作について示します。

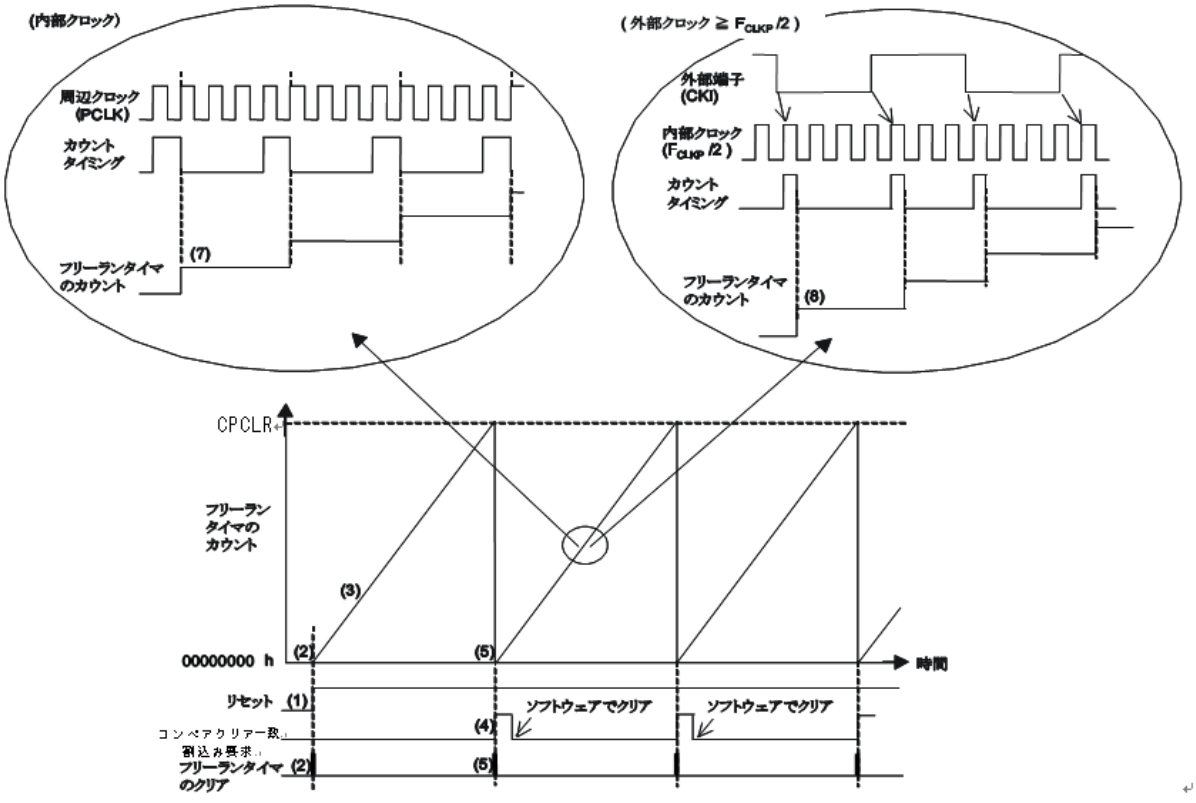
5.1.1. カウント動作

カウント動作について示します。



フリーランタイマは、入力クロック(内部クロックまたは外部クロック)に基づいてインクリメントされます。外部クロックモード(TCCSH.ECKE = 1)に選択されると、フリーランタイマは、外部入力クロックの立上り、立下りの両エッジでカウントアップします。

なお、外部クロックモード選択直後の一番目の外部クロック立上り、立下りのエッジは無視されます。つまり外部クロック入力の初期値が"1"のときは最初の立下りエッジが無視され、外部クロック入力の初期値が"0"のときは最初の立上りエッジが無視されます。



(1) リセット

(2) リセットによるフリーランタイマのクリア (カウント値"0000_0000$_H$")

(3) フリーランタイマのカウントアップ

(4) フリーランタイマのコンペアクリア一致とその割込み発生

(5) コンペアクリア一致によるフリーランタイマのクリア (カウント値"0000_0000$_H$")

(6) (3)から(5)の繰返し

(7) 内部クロックを分周したクロック(カウントクロック)でフリーランタイマがカウントアップします。

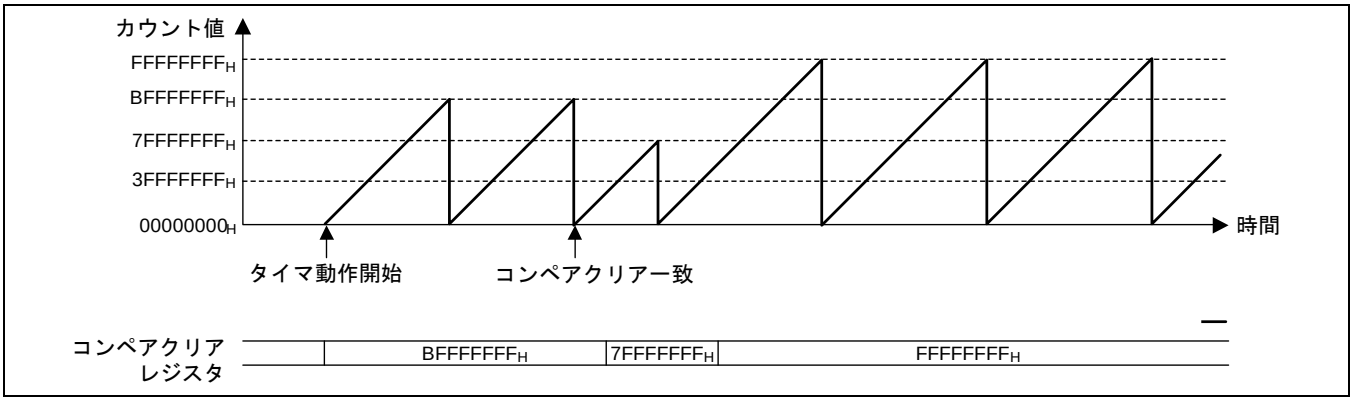
(8) 外部クロックを内部クロックで同期化したカウントクロックでフリーランタイマがカウントアップします。

5.1.2. カウントアップ

カウントアップについて示します。

32 ビットフリーランタイマは、アップカウンタです。カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントアップを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、次にカウンタは、"0000_0000$_H$"にクリアされ、次に再びカウントアップします。

図 5-1 アップカウンタ動作



5.1.3. タイマクリア

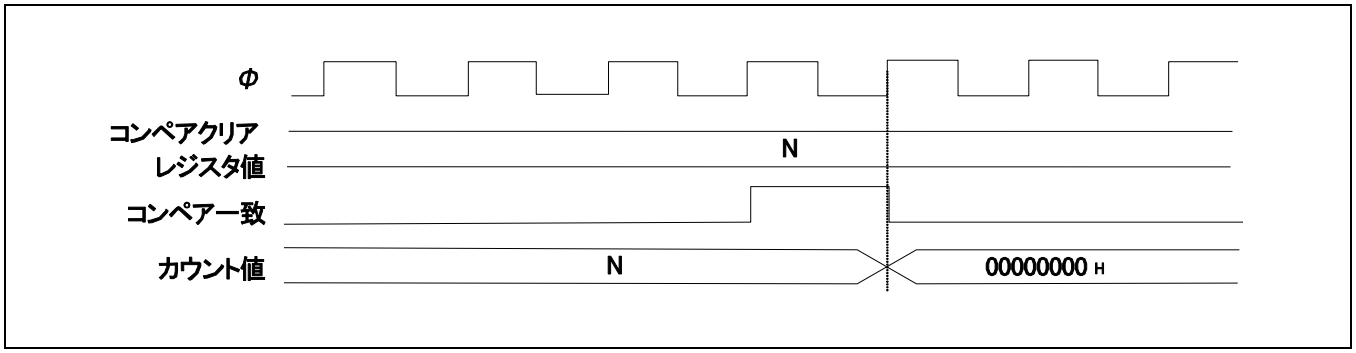
タイマクリアについて示します。

フリーランタイマのカウント値は、下記のいずれかの場合にクリアされます。

・コンペアクリアレジスタとの一致が検出された場合
・動作中に TCCSL レジスタの SCLR に"1"が書き込まれた場合
・停止中に TCDT レジスタに"0000_0000_H"が書き込まれた場合
・リセットされた場合

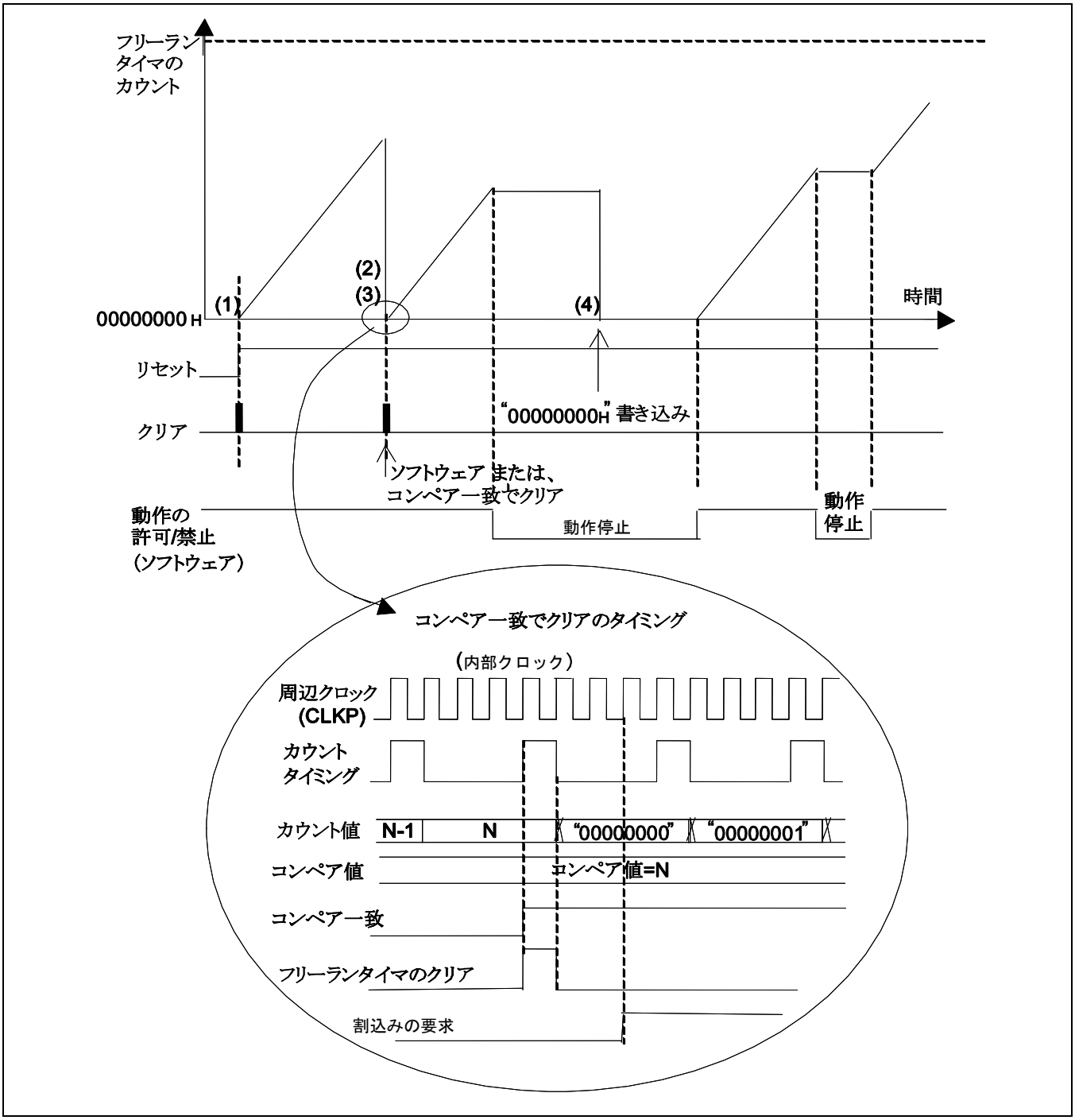
リセットされると、カウンタは直ちにクリアされます。コンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

図 5-2 フリーランタイマのクリアタイミング



5.1.4. フリーランタイマの各種クリア動作

フリーランタイマの各種クリア動作について示します。



フリーランタイマのクリア (4 種類)

(1) リセットされた場合

(2) 動作中に TCCSL レジスタの SCLR:ビット 4 に"1"が書き込まれた場合

(3) コンペアクリアレジスタとの一致が検出された場合

(4) 停止中に TCDT レジスタに"0000_0000_H"が書き込まれた場合

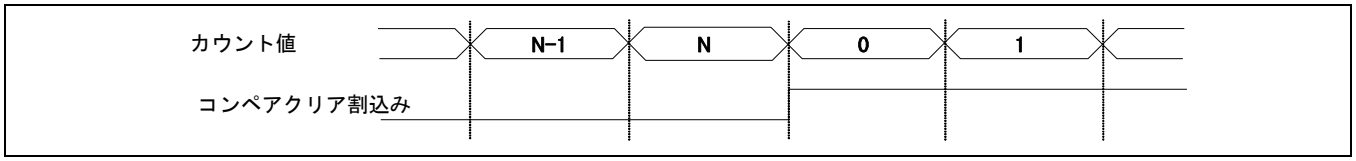
5.1.5. タイマ割込み

タイマ割込みについて示します。

フリーランタイマでは、以下の割込みを生成できます。

・コンペアクリア割込み
コンペアクリア割込みは、タイマ値がコンペアクリアレジスタ CPCLR の値と一致すると生成されます。

図 5-3 割込み



5.2. 32 ビットフリーランタイマセレクタの動作

32 ビットフリーランタイマセレクタの動作について示します。

32 ビットフリーランタイマセレクタは、32 ビットアウトプットコンペア、32 ビットインプットキャプチャのフリーランタイマ入力を設定するために使用します。

本チップは 3 チャネルの 32 ビットフリーランタイマと、6 チャネルの 32 ビットアウトプットコンペア、6 チャネルの 32 ビットインプットキャプチャ構成であり、それぞれ以下の表に示したレジスタ設定により使用するフリーランタイマを選択することができます。

表 5-1 レジスタ対応表

周辺機能	レジスタ	備考
OCU6	FRS8.OS6[1:0]	32 ビットアウトプットコンペア
OCU7	FRS8.OS7[1:0]	
OCU8	FRS8.OS8[1:0]	
OCU9	FRS8.OS9[1:0]	
OCU10	FRS8.OS10[1:0]	
OCU11	FRS8.OS11[1:0]	
ICU4	FRS9.IS4[1:0]	32 ビットインプットキャプチャ
ICU5	FRS9.IS5[1:0]	
ICU6	FRS9.IS6[1:0]	
ICU7	FRS9.IS7[1:0]	
ICU8	FRS9.IS8[1:0]	
ICU9	FRS9.IS9[1:0]	

表 5-2 レジスタ設定値対応表

設定値	フリーランタイマ
00_B	FRT3(初期値)
01_B	FRT4
10_B	FRT5
11_B	設定禁止(動作を保証しません)

＜注意事項＞

フリーランタイマ選択レジスタを設定する前に、必ずフリーランタイマを停止させてください。

6. 設定

フリーランタイマの設定について説明します。

表 6-1 フリーランタイマを使うために必要な設定

設定	設定レジスタ	設定方法
タイマの初期化条件の設定	タイマ制御レジスタ (TCCSH3-TCCSH5) (TCCSL3-TCCSL5)	7.4 参照
カウントクロックの設定 内部クロックの選択		7.1 参照
外部クロックの選択		7.2 参照
カウント動作開始		7.3 参照
外部クロックの場合 クロック入力端子(FRCK)を入力に設定	端子をペリフェラル入力に設定します。 『I/O ポート』の章を参照してください。	

表 6-2 フリーランタイマ割込みを行うために必要な設定

設定	設定レジスタ	設定方法
フリーランタイマ割込みベクタ、 フリーランタイマ割込みレベルの設定	『割込み制御』の章を参照してください。	7.5 参照
フリーランタイマ割込み設定 割込み要求のクリア 割込み要求の許可	タイマ制御レジスタ (TCCSH3-TCCSH5)	7.6 参照

表 6-3 フリーランタイマを停止させるために必要な設定

設定	設定レジスタ	設定方法
フリーランタイマ停止ビットの設定	タイマ制御レジスタ (TCCSL3-TCCSL5)	7.7 参照

7. Q&A

フリーランタイマの Q&A について説明します。

7.1. 内部クロック分周の選択方法は?
7.2. 外部クロックの選択方法は?
7.3. フリーランタイマのカウント動作を許可/禁止するには?
7.4. フリーランタイマをクリアするには?
7.5. 割込み関連レジスタは?
7.6. コンペアクリア割込みを許可するには?
7.7. フリーランタイマ動作を停止するには?

7.1. 内部クロック分周の選択方法は?

内部クロック分周の選択方法について示します。

9 通りの内部クロック分周があります。クロック選択ビット(TCCSHn.ECKE [n=3～5])と、カウントクロックビット(TCCSLn.CLK[3:0] [n=3～5])で設定してください。

内部クロック	設定	
	クロック選択ビット(ECKE)	カウントクロックビット(CLK[3:0])
F_{PCLK} を選択するには	"0"にする	"0000"にする
$2/F_{PCLK}$ を選択するには	"0"にする	"0001"にする
$4/F_{PCLK}$ を選択するには	"0"にする	"0010"にする
$8/F_{PCLK}$ を選択するには	"0"にする	"0011"にする
$16/F_{PCLK}$ を選択するには	"0"にする	"0100"にする
$32/F_{PCLK}$ を選択するには	"0"にする	"0101"にする
$64/F_{PCLK}$ を選択するには	"0"にする	"0110"にする
$128/F_{PCLK}$ を選択するには	"0"にする	"0111"にする
$256/F_{PCLK}$ を選択するには	"0"にする	"1000"にする

7.2. 外部クロックの選択方法は?

外部クロックの選択方法について示します。

クロック選択ビット(TCCSHn.ECKE [n=3～5])と、データ方向ビット、ポート機能ビットで設定してください。

外部クロック入力にするには	設定		端子	パルス幅 (H 幅, L 幅)
フリーランタイマ 3	クロック選択ビット(ECKE)を"1"にする	FRCK3 端子をペリフェラル入力に設定する。(『I/O ポート』の章を参照してください。)	FRCK3	4/F_{PCLK} 以上
フリーランタイマ 4		FRCK4 端子をペリフェラル入力に設定する。(『I/O ポート』の章を参照してください。)	FRCK4	
フリーランタイマ 5		FRCK5 端子をペリフェラル入力に設定する。(『I/O ポート』の章を参照してください。)	FRCK5	

7.3. フリーランタイマのカウント動作を許可/禁止するには?

フリーランタイマのカウント動作の許可/禁止について示します。

カウント動作ビット(TCCSLn.STOP [n=3～5])で設定してください。

動作	カウント動作ビット (STOP)
フリーランタイマを動作させるには	"0"にする
フリーランタイマを停止させるには	"1"にする

7.4. フリーランタイマをクリアするには?

フリーランタイマのクリアについて示します

フリーランタイマをクリアするには以下の方法があります。

・クリアビット(TCCSLn.SCLR [n=3～5])で設定する。

動作	クリアビット (SCLR)
フリーランタイマをクリアするには	"1"を書き込む

・リセットをかける。
リセット (RSTX 端子入力, ウォッチドッグリセット, ソフトウェアリセットなど) をかけるとフリーランタイマがクリアされ、フリーランタイマは初期状態となります。

・フリーランタイマが動作停止中に"0000_0000_H"を書き込む。
フリーランタイマの動作停止中に"0000_0000_H"を書き込むと、カウント値が"0000_0000_H"になります。

・フリーランタイマのオーバフローでカウント値は"0000_0000_H"にもどります。
・コンペアクリアレジスタとの一致が検出された場合、クリアされます。

7.5. 割込み関連レジスタは?

割込み関連レジスタについて示します。

フリーランタイマ割込みベクタ、フリーランタイマ割込みレベルの設定

フリーランタイマ番号、割込みレベル、ベクタの関係は『付録』の『割込みベクタテーブル』を参照してください。

割込みレベル、割込みベクタの詳細については『割込み制御(割込みコントローラ)』の章を参照してください。

番号	割込みベクタ (デフォルト)	割込みレベル設定ビット (ICR[4:0])
フリーランタイマ 3	#51 Address: $0F_FF30_H$	割込みレベルレジスタ(ICR35) Address: 0_0463_H
フリーランタイマ 4	#50 Address: $0F_FF34_H$	割込みレベルレジスタ(ICR34) Address: 0_0462_H
フリーランタイマ 5	#51 Address: $0F_FF30_H$	割込みレベルレジスタ(ICR35) Address: 0_0463_H

割込み要求フラグ(TCCSHn.ICLR [n=3～5])は自動的にクリアされませんので、割込み処理から復帰する前にソフトウェアにてクリアしてください。(ICLR ビットに"0"を書き込む)

7.6. コンペアクリア割込みを許可するには?

コンペアクリア割込みの許可について示します。

割込み要求の許可、割込み要求フラグ

割込み許可の設定は、割込み要求許可ビット(TCCSHn.ICRE [n=3～5])にて行ってください。

動作	コンペアクリア割込み要求許可ビット(ICRE)
割込み禁止	"0"にする
割込み許可	"1"にする

割込み要求のクリアは、割込みフラグビット(TCCSHn.ICLR [n=3～5])にて行ってください。

動作	コンペアクリア割込みフラグビット(ICLR)
割込み要求クリア	"0"を書き込む

7.7. フリーランタイマ動作を停止するには?

フリーランタイマ動作の停止について示します。

「7.3 フリーランタイマのカウント動作を許可/禁止するには?」を参照してください。

8. サンプルプログラム

フリーランタイマのサンプルプログラムについて説明します。

設定手順例 1

フリーランタイマ3、クロック= PCLK/2^6、
割込み処理でコンペア一致回数をカウント。

<初期設定>
・フリーランタイマ ch.3 の制御　　レジスタ名. ビット名

制御レジスタの設定	TCCSH3/TCCSL3
クロック選択≫	.ECKE
コンペア割込み要求フラグ≫	.ICLR
コンペア割込み要求許可≫	.ICRE
カウント動作>>	.STOP
TCDT クリア>>	.CLR
カウントクロック≫	.CLK3-0
タイマデータ値の設定	TCDT3

・割込み関連　　レジスタ名. ビット名

割込みレベル設定	ICR35
I フラグの設定	(CCR)

・変数の設定

<起動>
・フリーランタイマ ch.3 起動　　レジスタ名. ビット名

カウント動作起動	TCCSL3 .STOP

<割込み>
・割込み処理　　レジスタ名. ビット名

割込み要求フラグのクリア	TCCSH3.ICLR
(任意の処理)	
変数のカウント	

<割込みベクタ>
ベクタテーブルの設定

<その他>
(注意事項)
事前にクロック関連の設定および__set_il(数値) の設定が必要です。『クロック』および『割込み制御(割込みコントローラ)』の章を参照してください。

プログラム例 1

```
void FREE_RUN_TIMER3_sample(void)
{
      FREERUN3_initial();
      FREERUN3_start();
}

void FREERUN3_initial(void)
{
      IO_TCCS3.word = 0x0041;     /* 設定値=0000_0000_0100_0001 */
                                  /* bit15 = 0        ECKE 内部クロックソース */
                                  /* bit14 -10= 00000 予約ビット */
                                  /* bit9 = 0         ICLR コンペア割込み要求フラグ */
                                  /* bit8 = 0         ICRE コンペア割込み禁止 */
                                  /* bit7 = 0         予約ビット*/
                                  /* bit6 = 1         STOP カウント禁止 */
                                  /* bit5 = 0         予約ビット */
                                  /* bit4 = 0         SCLR フリーランタイマ値の初期化( なし)*/
                                  /* bit3-0 = 0001    CLK3-0 カウントクロック PCLK/2=32MHz/2 */

      IO_TCDT3 = 0x0000;          /* タイマデータ値の初期化 */

      IO_ICR[35].byte = 0x10;     /* フリーランタイマ 3 割込みレベル設定( 値は任意) */
      __EI();                     /* 割込み許可 */
      count = 0;
}

void FREERUN3_start(void)
{
      IO_TCCSL3.bit.STOP = 0;     /* bit6 = 0 STOP カウント許可 */
}

__interrupt void
FREE_RUN_TIMER3_int(void)
{
      IO_TCCSH3.bit.ICLR = 0;     /* bit9 = 0 ICLR コンペア一致フラグのクリア */

      count++;
}

ベクタテーブルにて割込みルーチンの指定が必要
#pragma intvect FREE_RUN_TIMER3_int 50
```

9. 注意事項

フリーランタイマの注意事項について説明します。

● フリーランタイマのクリア

・リセット (RSTX 端子入力、ウォッチドッグリセット、ソフトウェアリセットなど) すると、カウンタは初期化"0000_0000$_H$"してカウントを停止します。
・ソフトウェアクリア(TCCSL.SCLR=1)は、クリア要求が発生すると次のサイクルでカウンタがクリアしますが、コンペア一致でのカウンタのクリアは、カウントアップするタイミングと同じタイミングで行われます。

・フリーランタイマのカウンタクリア動作(ソフトウェア、コンペア一致)は、フリーランタイマが動作中のとき有効となります。フリーランタイマ停止中にクリアするには、タイマカウントデータレジスタに"0000_0000_H"を書き込む必要があります。

● タイマデータレジスタへの書込み

・フリーランタイマに値を書き込む場合には、書込みは必ずフリーランタイマが停止している状態(STOP = "1")でかつ、ワードアクセスで行ってください。

● 外部クロック動作

・外部クロック時のコンペア一致出力と割込み発生のタイミングは、コンペア一致後の次のカウントクロックタイミングとなります。そのため、コンペア一致出力と割込みを発生させるためには、コンペア一致後に最低 1 クロック分 (外部クロック) を入力する必要があります。

● リードモディファイライト

・タイマ制御レジスタのコンペアクリア割込みフラグビットをリードモディファイライトで読み出すと"1"が読めます。

Chapter 22: 32 ビットアウトプットコンペア

32 ビットアウトプットコンペアについて説明します。

1. 概要
2. 特長
3. 構成図
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. サンプルプログラム
9. 注意事項

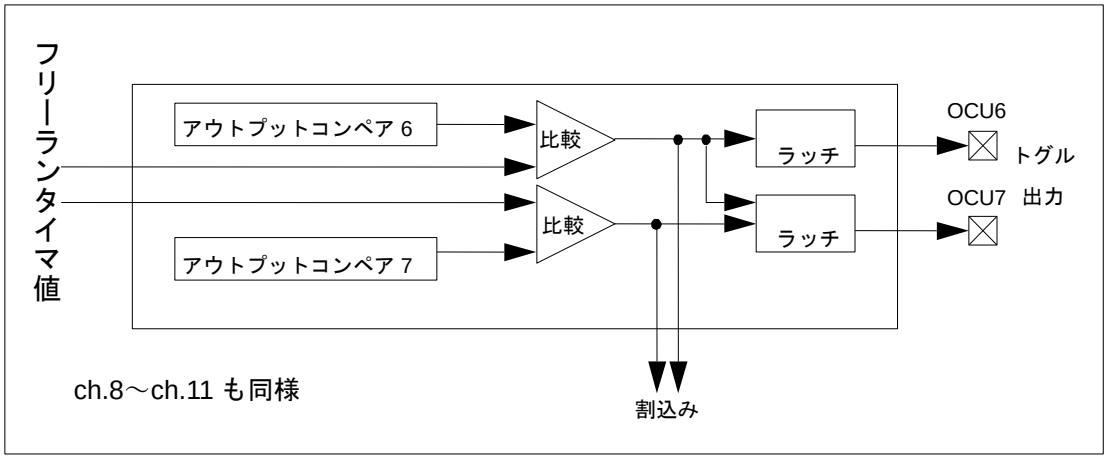
管理コード : BIP009-1v1-91520-15-J

1. 概要

32 ビットアウトプットコンペアの概要について説明します。

アウトプットコンペアは、32 ビットコンペアレジスタ、コンペア出力ラッチ、コンペア制御レジスタおよび出力制御レジスタで構成されています。32 ビットフリーランタイマ値がコンペアレジスタ値と一致すると、出力レベルが反転または H/L レベルを出力し、割込みを発生させることもできます。

図 1-1 ブロックダイヤグラム(概要)



使用可能な外部出力端子数は以下になります。

MB91F52xB (64pin) : 4
MB91F52xD (80pin) : 4
MB91F52xF (100pin) : 6
MB91F52xJ (120pin) : 6
MB91F52xK (144pin) : 6
MB91F52xL (176pin) : 6

2. 特長

32 ビットアウトプットコンペアの特長について説明します。

図 2-1 出力波形

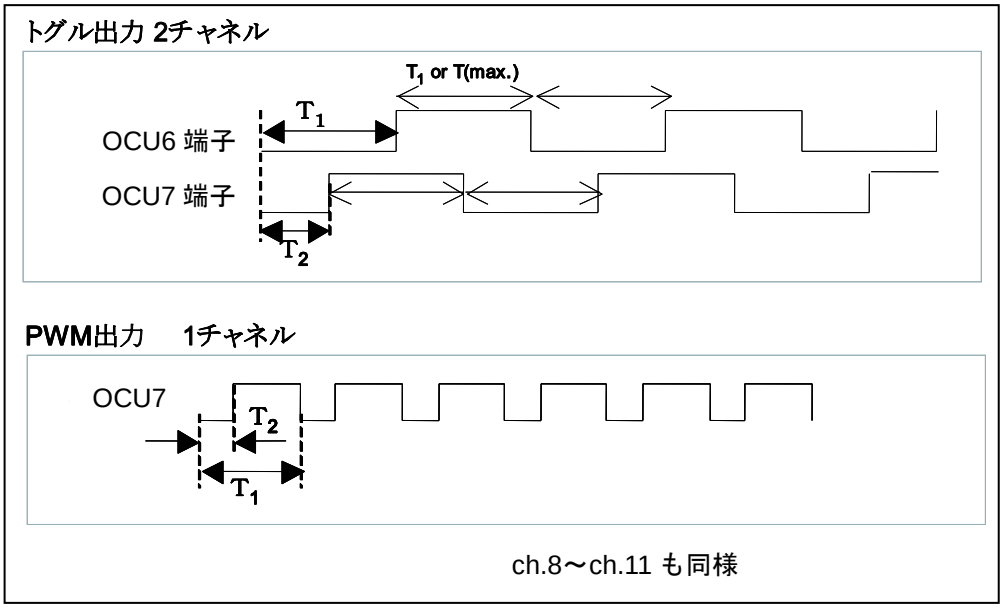
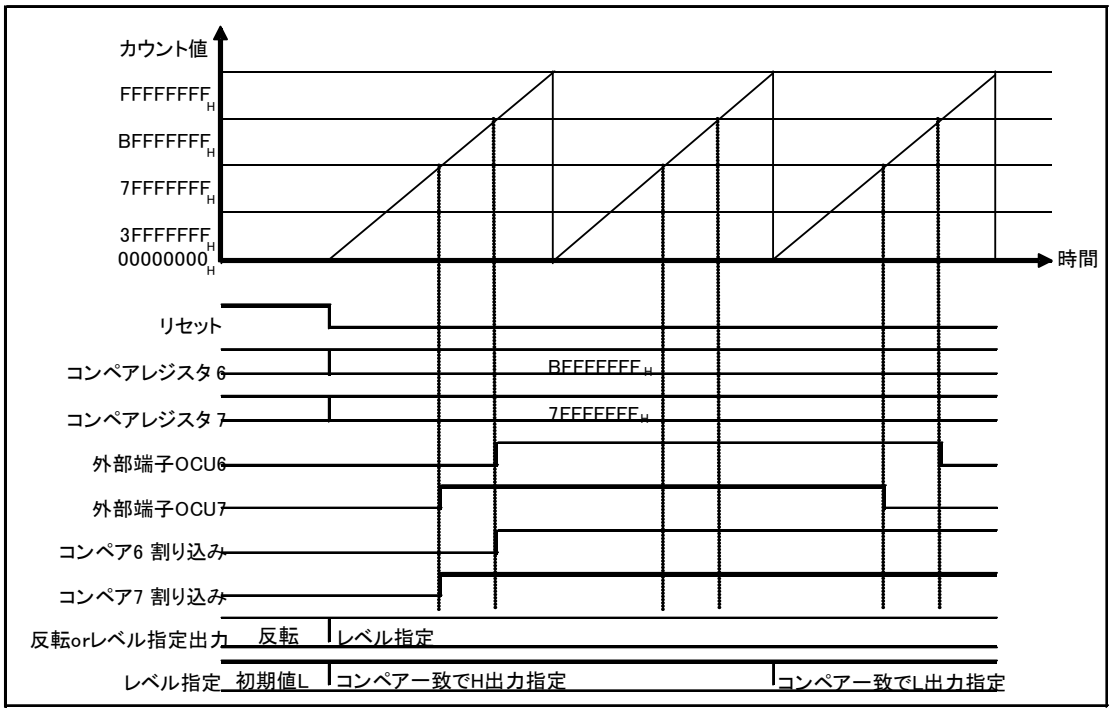


図 2-2 出力レベル指定時の動作波形



- 形式:32 ビットコンペアレジスタ×4＋比較回路
- 対応するタイマ:フリーランタイマを使用
- 個数:6 チャネル
- コンペアー致による動作:
  - 端子出力値の反転 (トグル出力) または指定した H/L レベルの信号を出力
  - 割込み発生
- カウント精度: 周辺クロック(PCLK) ÷2, ÷4, ÷8, ÷16, ÷32, ÷64, ÷128,÷256
  (フリーランタイマに依存)

＜注意事項＞

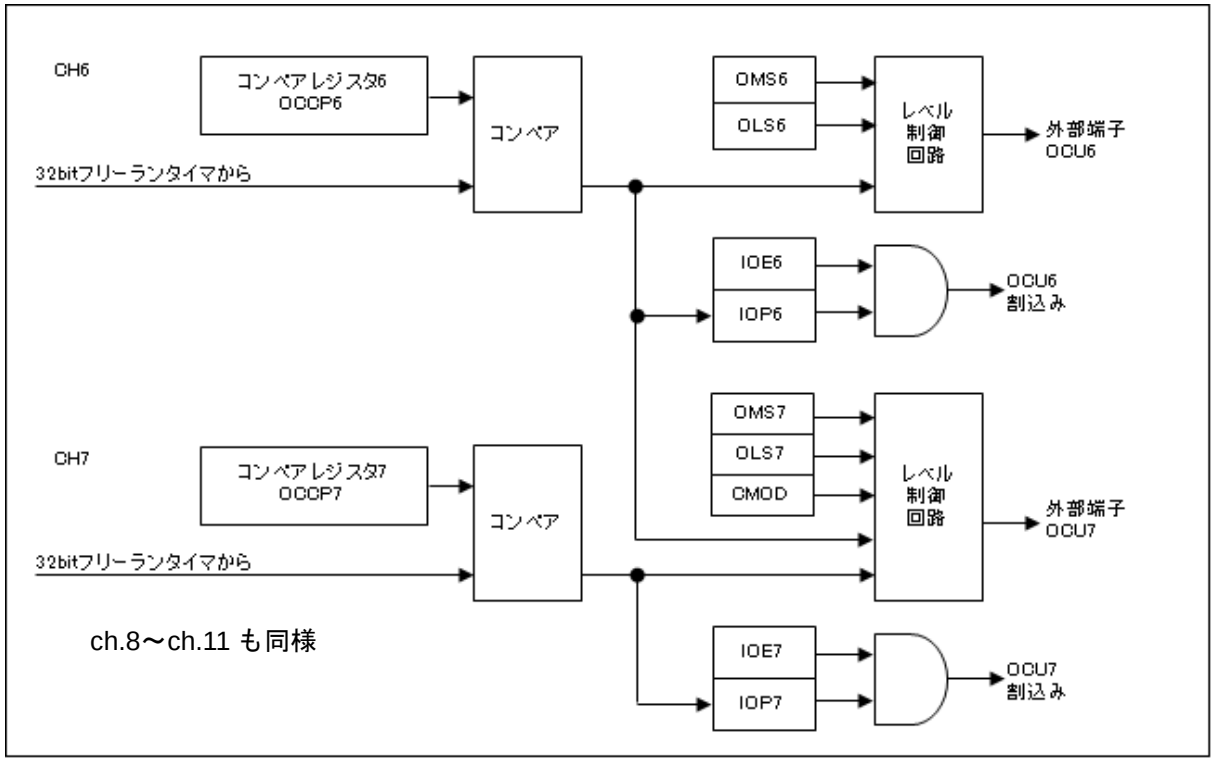
周辺クロック(PCLK) ÷1 は設定禁止です。

- トグル変化の幅 (T):1×カウント精度～100000000_H×カウント精度
- 割込み:コンペアー致割込み
- その他:
  - 出力レベルの初期値設定が可能 ("H"/"L")
  - OCU 出力として未使用の端子は、汎用ポートとして使用が可能
  - 6 個のコンペアレジスタは独立に使用できます。
  - 出力端子と割込みフラグはコンペアレジスタに対応しています。
  - 出力端子は 2 つのコンペアレジスタを使用して反転させることができます。(OCU7,9,11 のみの機能)
  - 各出力端子の初期値を設定できます。
  - アウトプットコンペアレジスタが 32 ビットフリーランタイマと一致したとき、割込みを発生させることができます。

3. 構成図

32 ビットアウトプットコンペアの構成について説明します。

図 3-1 構成図(詳細)



4. レジスタ

32 ビットアウトプットコンペアのレジスタについて説明します。

表 4-1 ベースアドレス・外部端子一覧

チャネル	ベースアドレス	外部端子 (OCU 出力)			
		MB91F52xB MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK MB91F52xL
6	0x0120	なし	OCU6_1	OCU6_0/ OCU6_1	OCU6_0/ OCU6_1
7	0x0120	OCU7_1	OCU7_1	OCU7_1	OCU7_0/ OCU7_1
8	0x012C	OCU8_0/ OCU8_1	OCU8_0/ OCU8_1	OCU8_0/ OCU8_1	OCU8_0/ OCU8_1
9	0x012C	OCU9_1	OCU9_1	OCU9_1	OCU9_0/ OCU9_1
10	0x0F90	なし	OCU10_1	OCU10_1	OCU10_0/ OCU10_1
11	0x0F90	OCU11_1	OCU11_1	OCU11_0/ OCU11_1	OCU11_0/ OCU11_1

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0120	OCCP6				コンペアレジスタ 6
0x0124	OCCP7				コンペアレジスタ 7
0x0128	予約	予約	OCSH67	OCSL67	アウトプット制御レジスタ 67 上位 アウトプット制御レジスタ 67 下位
0x012C	OCCP8				コンペアレジスタ 8
0x0130	OCCP9				コンペアレジスタ 9
0x0134	予約	予約	OCSH89	OCSL89	アウトプット制御レジスタ 89 上位 アウトプット制御レジスタ 89 下位
0x0F90	OCCP10				コンペアレジスタ 10
0x0F94	OCCP11				コンペアレジスタ 11
0x0F98	予約	予約	OCSH1011	OCSL1011	アウトプット制御レジスタ 1011 上位 アウトプット制御レジスタ 1011 下位
0x0078	予約			OCLS67	出力レベル制御レジスタ 67
0x007C	予約			OCLS89	出力レベル制御レジスタ 89
0x0F9C	予約			OCLS1011	出力レベル制御レジスタ 1011

4.1. アウトプット制御レジスタ(上位ビット) : OCSH

アウトプット制御レジスタ(上位ビット)のビット構成について示します。

コンペア制御レジスタ(OCSH)は、コンペア出力(OCU 端子)レベル、出力許可、出力レベル反転モード、コンペア動作許可、コンペア一致割込み許可、およびコンペア一致割込みフラグを制御します。
アウトプットコンペアの動作を制御するためのレジスタです。

X: チャネル番号 6,8,10
y: チャネル番号 7,9,11

■ OCSHxy (アウトプットコンペア xy): アドレス Base_addr + $0A_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	-	-	CMOD	予約	予約	OTDy	OTDx
初期値	-	-	-	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R/W	R,W0	R,W0	R,W	R,W

[bit15～bit13] :未定義
これらのビットへの書込みは動作に影響ありません。

[bit12]CMOD :出力レベル切換えモード

CMOD	動作モード
0	独立動作(OCU6-OCU11 端子の出力のレベル反転動作は独立) OCU6, 8, 10 端子:フリーランタイマとコンペアレジスタ 6, 8, 10(OCCP6, 8, 10)が一致した場合にレベル変化 OCU7, 9, 11 端子:フリーランタイマとコンペアレジスタ 7, 9, 11(OCCP7, 9, 11)と一致した場合にレベル変化 比較対象のフリーランタイマは FRS8 レジスタで選択します。
1	連携動作 OCU6, 8, 10 端子:フリーランタイマとコンペアレジスタ 6, 8, 10(OCCP6, 8, 10)が一致した場合にレベル変化 OCU7, 9, 11 端子:フリーランタイマとコンペアレジスタ (6 または 7) (8 または 9) (10 または 11)のどちらかと一致した場合にレベル変化 比較対象のフリーランタイマは FRS8 レジスタで選択します。

・コンペアレジスタ 6 と 7 が同じ値の場合は、ただ 1 つのコンペアレジスタが使用される場合と同じ動作になります。コンペアレジスタ 8-11 についても同様です。

[bit11, bit10] : 予約ビット
読出し時には常に"0"が読み出されます。
書込み時は必ず"0"を書き込んでください。

[bit9]OTD : 端子レベル設定(アウトプットコンペア y)

[bit8]OTD : 端子レベル設定(アウトプットコンペア x)

OCU 端子の出力を許可した場合の端子出力レベル(初期値)を指定します

OTD	動作	
	読出し時	書込み時
0	OCU 端子の出力	OCU 端子の出力レベル(初期値)を"L"に設定
1		OCU 端子の出力レベル(初期値)を"H"に設定

- OCU 端子の出力を行う場合には、汎用ポートの設定が必要です。
- このビットは、コンペア動作停止状態(OCSL.CSTx または CSTy="0")の場合に値を書き込むことができます。設定を行う場合は、前もってコンペア動作を停止してから行ってください。
- 読出し動作では、アウトプットコンペアの端子出力が読み出されます。

4.2. アウトプット制御レジスタ(下位ビット) : OCSL

アウトプット制御レジスタ(下位ビット)のビット構成について示します。

コンペア制御レジスタ(OCSL)は、コンペア出力(OCU 端子)レベル、出力許可、出力レベル反転モード、コンペア動作許可、コンペア一致割込み許可、およびコンペア一致割込みフラグを制御します。
アウトプットコンペアの動作を制御するためのレジスタです。

x:チャネル番号 6,8,10
y:チャネル番号 7,9,11

■ OCSLxy (アウトプットコンペア xy):アドレス Base_addr + $0B_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IOPy	IOPx	IOEy	IOEx	予約	予約	CSTy	CSTx
初期値	0	0	0	0	1	1	0	0
属性	R(RM1), W	R(RM1), W	R/W	R/W	R1,W1	R1,W1	R/W	R/W

[bit7]IOP : 割込み要求フラグ(アウトプットコンペア y)

[bit6]IOP : 割込み要求フラグ(アウトプットコンペア x)

IOP	状態	
	読出し	書込み
0	コンペアレジスタのコンペア一致割込みが発生しない	フラグ(IOP)をクリア
1	コンペアレジスタのコンペア一致割込みが発生する	動作に影響なし

- このビットは、コンペアレジスタがフリーランタイマの値と一致したことを示す割込みフラグです
- フリーランタイマのカウント値 TCDT がアウトプットコンペアのコンペアレジスタ OCCP と一致すると"1"になります。
- 割込み要求は、割込み許可ビット(IOE)が"1"の場合に有効となります。
- リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。

[bit5]IOE : **割込み要求許可(アウトプットコンペア y)**

[bit4]IOE : **割込み要求許可(アウトプットコンペア x)**

IOE	状態
0	アウトプットコンペア割込み要求の禁止
1	アウトプットコンペア割込み要求の許可

- このビットは、コンペアレジスタのアウトプットコンペア割込みを許可するために使用します。
- このビットに"1"が書き込まれている間にコンペア一致割込みフラグビット(IOP)が設定されると、アウトプットコンペア割込みが発生します。

[bit3, bit2] **予約**

読出し時は常に"1"が読み出されます。
書込みは必ず"1"を書き込んでください。

[bit1]CST : **動作許可(アウトプットコンペア y)**

[bit0]CST : **動作許可(アウトプットコンペア x)**

CST	動作
0	アウトプットコンペアの動作停止
1	アウトプットコンペアの動作許可

- フリーランタイマのカウント値 TCDT とアウトプットコンペアのコンペアレジスタの比較動作を許可するビットです。
- コンペア動作を許可する前に必ずコンペアレジスタ OCCP に値を設定してください。
- アウトプットコンペアはフリーランタイマと同期させているため、フリーランタイマを停止するとアウトプットコンペア動作も停止します。

4.3. コンペアレジスタ ：OCCP

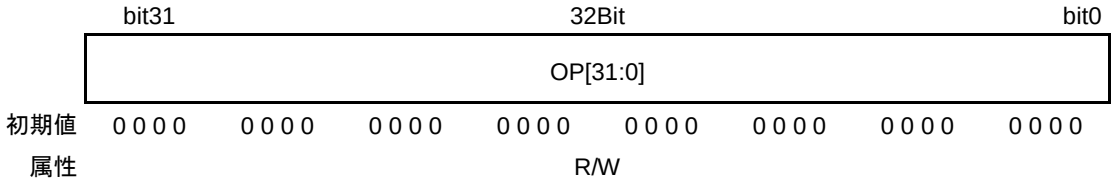
コンペアレジスタのビット構成について示します。

32 ビットフリーランタイマのカウント値と比較を行う値を設定するレジスタです。

x:チャネル番号 6,8,10
y:チャネル番号 7,9,11

■ OCCPx (アウトプットコンペア x):アドレス Base_addr + 00_H (アクセス:ワード)

■ OCCPy (アウトプットコンペア y):アドレス Base_addr + 04_H (アクセス:ワード)



・コンペアレジスタ OCCP と、フリーランタイマのカウント値 TCDT を比較します。
・OCCP レジスタ値と 32 ビットフリーランタイマ値が一致した場合、コンペア信号が発生してアウトプットコンペア割込みフラグをセットします。コンペア値は、書込み命令が終了後反映されます。そのため、動作中にコンペア値が変更されると、以前のコンペア値より新規書込みしたコンペア値が大きい数の場合、1 回のフリーランカウント中に 2 回の割込みが生じる事があります。
また、ポート機能レジスタ(PFR)の対応する OCU をセットし出力許可している場合は、コンペアレジスタに対応した出力レベルが変化します。

・このレジスタへアクセスする場合、ワードアクセス命令を使用してください。

4.4. 出力レベル制御レジスタ ：OCLS

出力レベル制御レジスタのビット構成について示します。

コンペア出力(OUT 端子)動作モード、およびコンペア出力レベルを制御します。

x:チャネル番号 6,8,10
y:チャネル番号 7,9,11

■ OCLS67 (アウトプットコンペア 67):アドレス $007B_H$ (アクセス:バイト，ハーフワード，ワード)

■ OCLS89 (アウトプットコンペア 89):アドレス $007F_H$ (アクセス:バイト，ハーフワード，ワード)

■ OCLS1011 (アウトプットコンペア 1011):アドレス $0F9F_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	-	-	-	OLSy	OLSx	OMSy	OMSx
初期値	X	X	X	X	0	0	0	0
属性	RX,WX	RX,WX	RX,WX	RX,WX	R/W	R/W	R/W	R/W

[bit7～bit4] :未定義
読出し時は不定値が読み出されます。書込みは動作に影響ありません。

[bit3]OLS : 出力レベル指定(アウトプットコンペア y)

[bit2]OLS : 出力レベル指定(アウトプットコンペア x)

OLS	動作
0	コンペア一致時、出力レベルを"L"にする
1	コンペア一致時、出力レベルを"H"にする

・コンペアレジスタの端子出力レベルを指定するビットです。
・出力モード設定レジスタ(OMS)が"1"のとき、フリーランタイマとコンペアレジスタが一致すると、端子出力はこのビットで指定されたレベルを出力します。
・出力モード設定レジスタが(OMS)が"0"のときは、本ビット値に関係なく端子出力は反転されます。

[bit1]OMS : 出力モード選択(アウトプットコンペア y)

[bit0]OMS : 出力モード選択(アウトプットコンペア x)

OMS	動作
0	コンペア一致時、出力レベルを反転する
1	コンペア一致時、出力レベル指定ビット(OLS)で指定されたレベルを出力する

・フリーランタイマとコンペアレジスタが一致したときの、出力端子の動作を指定するビットです。

5. 動作説明

32 ビットアウトプットコンペアの動作について説明します。

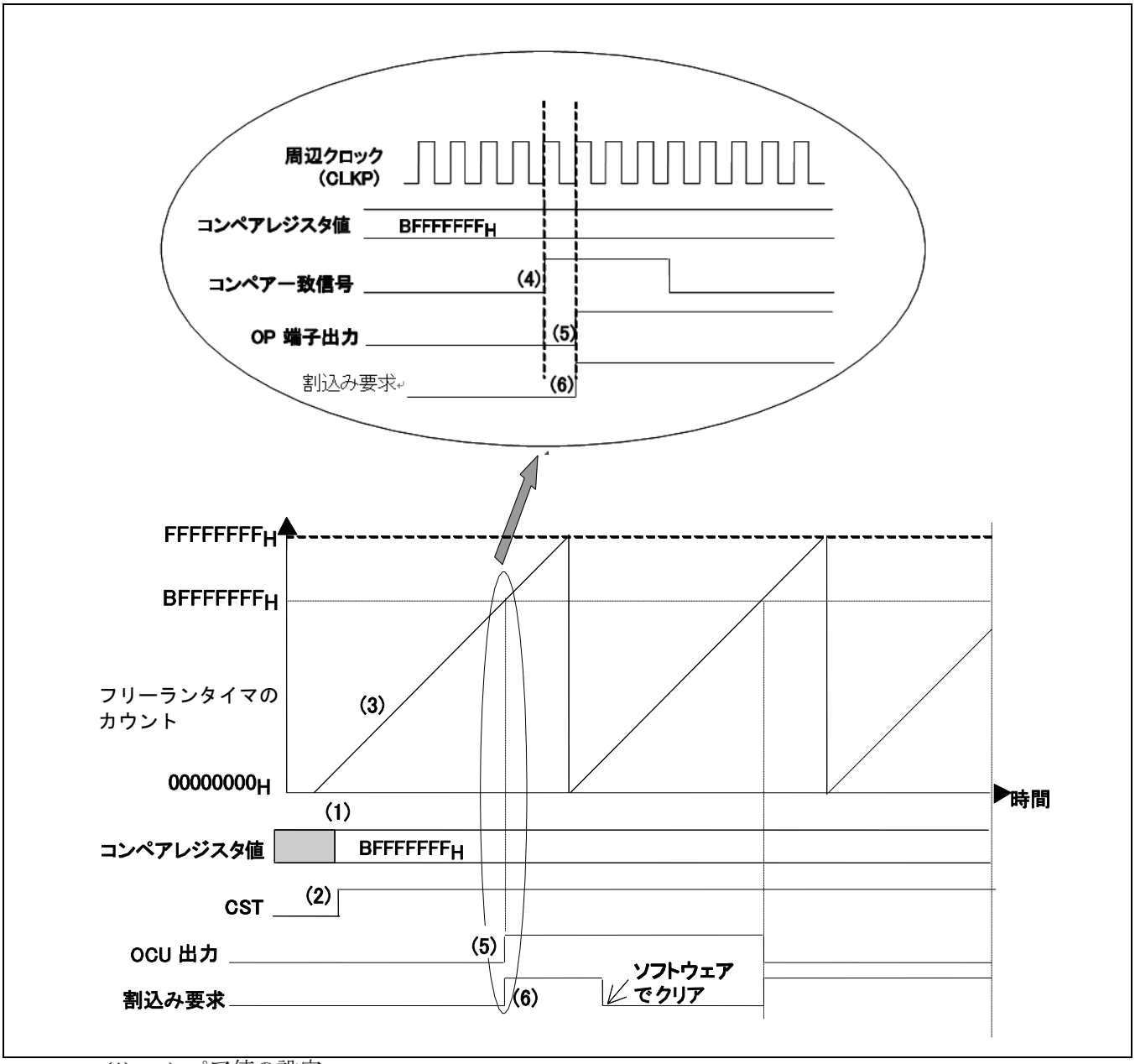
5.1. アウトプットコンペア出力 (独立反転) CMOD="0"

5.2. アウトプットコンペア出力 (連携反転) CMOD="1"

5.3. アウトプットコンペアの動作タイミング

5.1. アウトプットコンペア出力 (独立反転) CMOD="0"

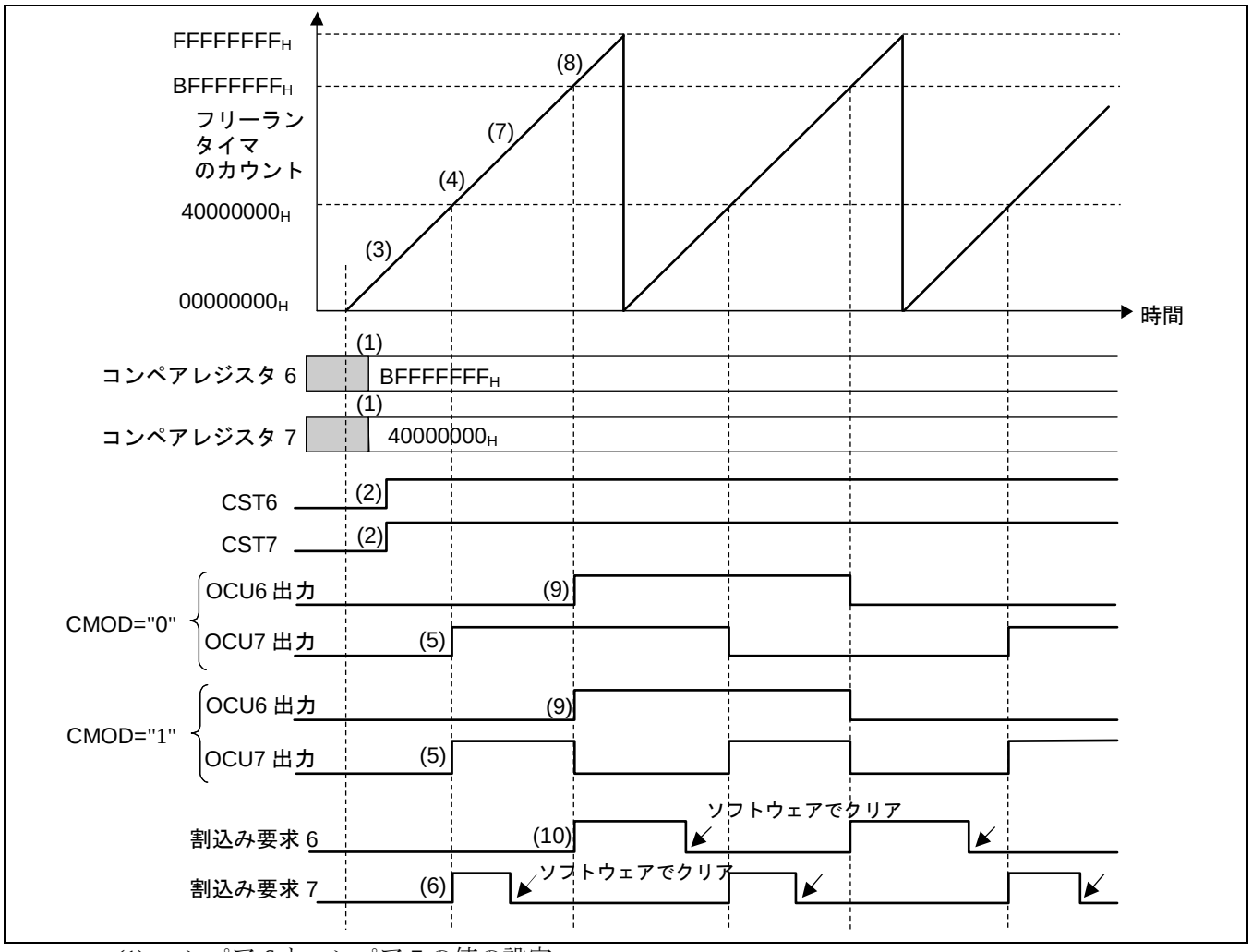
アウトプットコンペア出力 (独立反転) CMOD="0"について示します。



(1) コンペア値の設定
(2) コンペア動作の許可(CST="1")
(3) フリーランタイマのカウントアップ (4 クロックで 1 カウントの例)
(4) フリーランタイマ値とコンペア値を比較して一致 (コンペア一致)
(5) OCU 出力レベルの反転
(6) コンペア一致割込み要求の発生

5.2. アウトプットコンペア出力 (連携反転) CMOD="1"

アウトプットコンペア出力 (連携反転) CMOD="1"について示します。



(1) コンペア 6 とコンペア 7 の値の設定
(2) コンペア動作の許可
(3) フリーランタイマのカウントアップ
(4) コンペア 7 一致
(5) OCU7 出力レベルの反転
(6) コンペア 7 一致割込み
(7) フリーランタイマのカウントアップ
(8) コンペア 6 一致
(9) OCU6 出力レベルの反転
CMOD="1"のときは、OCU7 出力レベルも反転
(10) コンペア 6 一致割込み

5.3. アウトプットコンペアの動作タイミング

アウトプットコンペアの動作タイミングについて示します。

2 組のコンペアレジスタを使い、出力レベルを変えることができます。(CMOD="1"のとき)

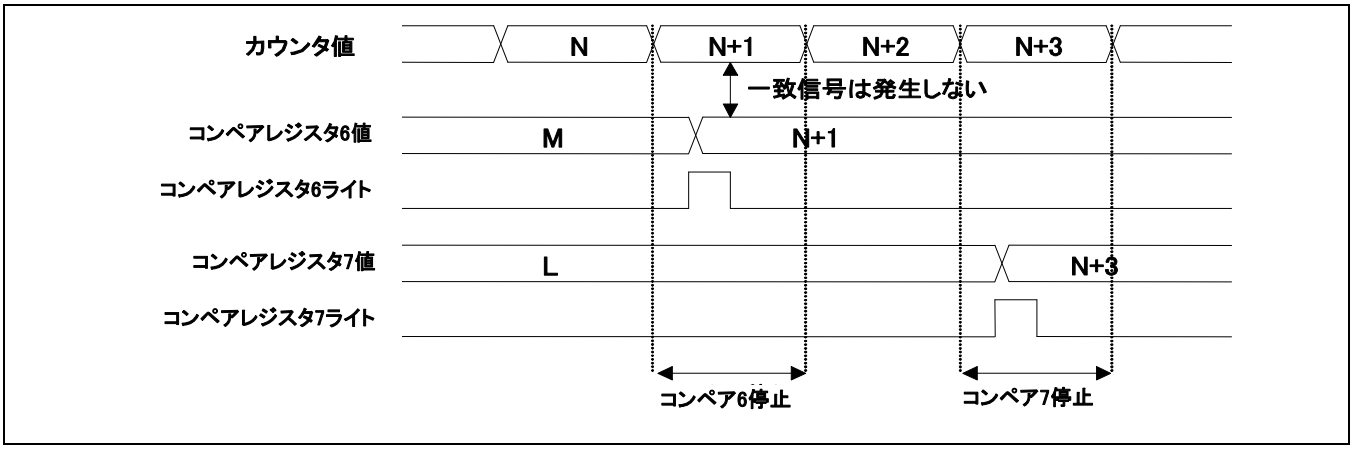
アウトプットコンペアは、フリーランタイマと、設定したコンペアレジスタの値が一致したときにコンペアマッチ信号が発生して出力を反転するとともに割込みを発生することができます。コンペアマッチ時の出力反転タイミングは、カウンタのカウントタイミングに同期して行われます。

5.3.1. コンペアレジスタ書込み

コンペアレジスタ書込みについて示します。

コンペアレジスタ書換え時には、カウンタ値とのコンペア動作は行いません。

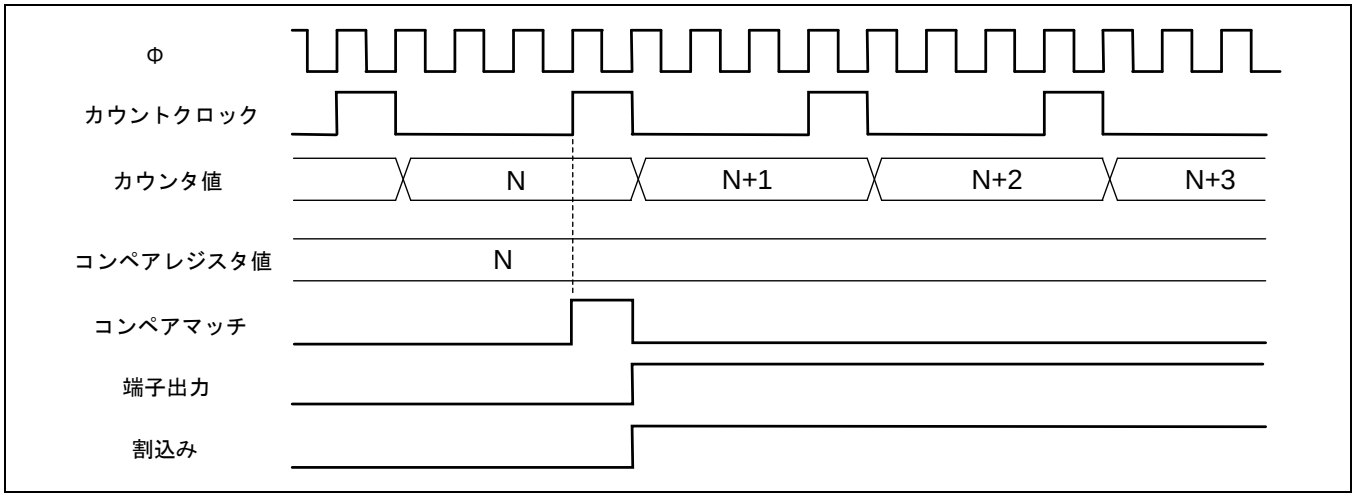
図 5-1 コンペアレジスタ Write タイミング



5.3.2. コンペアマッチ、割込み

コンペアマッチ、割込みについて示します。

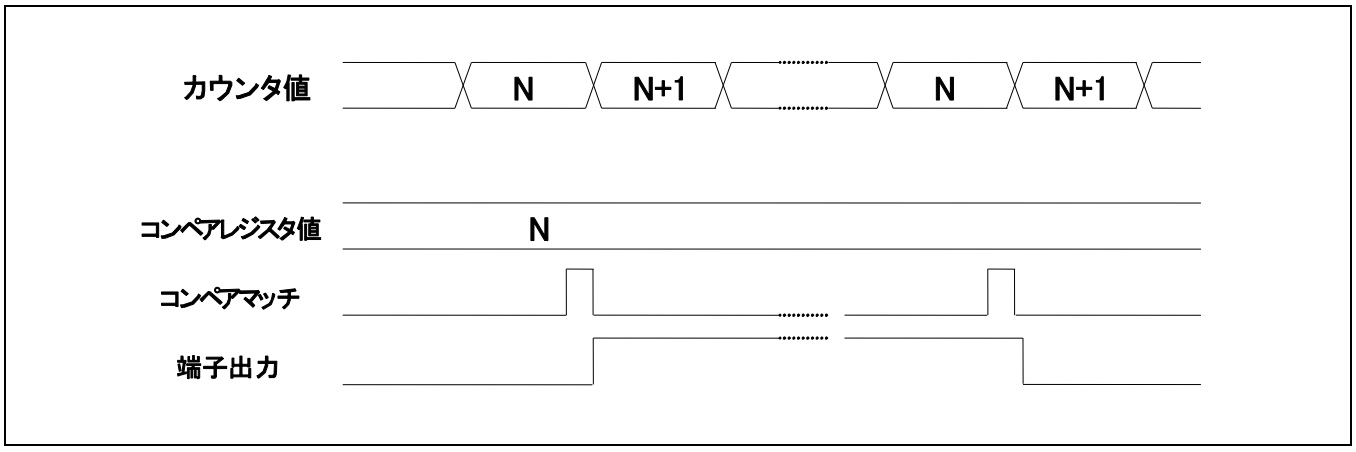
図 5-2 コンペアマッチ、割込みタイミング



5.3.3. 端子出力

端子出力について示します。

図 5-3 端子出力タイミング



6. 設定

32 ビットアウトプットコンペアの設定について説明します。

表 6-1 アウトプットコンペアを使うために必要な設定

設定	設定レジスタ	設定方法
フリーランタイマの設定	『32 ビットフリーランタイマ』の章を参照してください。	-
コンペア値の設定	コンペアレジスタ (OCCPx)	7.1 参照
コンペアモードの設定	アウトプット制御レジスタ(OCSHxx, OCSLxx)	7.2 参照
コンペア動作停止		7.3 参照
コンペア端子出力の初期レベルを設定		7.4 参照
OCU6, OCU7 端子を出力に設定	各端子をペリフェラル出力に設定してください。 設定方法は『I/O ポート』の章を参照してください。	
フリーランタイマのクリア	タイマ制御レジスタ(TCCSL) 『32 ビットフリーランタイマ』の章を参照してください。	7.6 参照
コンペア動作許可 (起動)	アウトプット制御レジスタ(OCSLxx)	7.7 参照
動作モード選択	出力レベル制御レジスタ(OCLS)	7.12 参照

表 6-2 割込みを行うために必要な項目

設定	設定レジスタ	設定方法
アウトプットコンペア割込みベクタ、 アウトプットコンペア割込みレベルの設定	『割込み制御(割込みコントローラ)』の章を参照してください。	7.8 参照
アウトプットコンペア割込み設定 割込み要求のクリア 割込み要求の許可	アウトプット制御レジスタ(OCSHxx , OCSLxx)	7.10 参照

7. Q&A

32 ビットアウトプットコンペアの Q&A について説明します。

7.1. コンペア値を設定するには?

7.2. コンペアモードを設定するには? (OCU7 での例)

7.3. コンペア動作を許可/禁止するには?(OCU6,7 での例)

7.4. コンペア端子出力の初期レベルを設定するには?(OCU6,7 での例)

7.5. コンペア端子 OCU6-OCU7 を出力に設定するには?

7.6. フリーランタイマをクリアするには?

7.7. コンペア動作を許可するには? (OCU6,7 での例)

7.8. 割込み関連レジスタは?

7.9. 割込みの種類は?

7.10. 割込みを許可するには?

7.11. コンペア値の算出方法は？

7.12. 動作モードを設定するには？

7.1. コンペア値を設定するには?

コンペア値の設定について示します。

コンペアレジスタ OCCPx にコンペア値を書き込んでください。

7.2. コンペアモードを設定するには? (OCU7 での例)

コンペアモードの設定について示します。

コンペアモードビット(OCSH67.CMOD)で行ってください。

動作	コンペアモードビット
フリーランタイマ値がコンペアレジスタ 7(OCCP7)と一致した場合に OCU7 端子を出力反転させるには	(OCSH67.CMOD)ビットを"0"にする
フリーランタイマ値がコンペアレジスタ 6(OCCP6)またはコンペアレジスタ 7(OCCP7)のどちらかと一致した場合に OCU7 端子を出力反転させるには	(OCSH67.CMOD)ビットを"1"にする

CMOD ビットとは関係なく、下記のようになります。

・OCU6 出力は、コンペアモードビット(OCSH67.CMOD)の設定とは関係なく、フリーランタイマ値とコンペアレジスタ 6(OCCP6)が一致した場合に出力反転します。

7.3. コンペア動作を許可/禁止するには?(OCU6,7 での例)

コンペア動作の許可/禁止について示します。

コンペア動作許可ビット(OCSL67.CST6) 、(OCSL67.CST7)にて行ってください。

動作	コンペア	コンペア動作許可ビット
コンペア動作を停止 (禁止) にするには	コンペア 6	(OCSL67.CST6) を"0"にする
	コンペア 7	(OCSL67.CST7) を"0"にする
コンペア動作を許可するには	コンペア 6	(OCSL67.CST6) を"1"にする
	コンペア 7	(OCSL67.CST7) を"1"にする

7.4. コンペア端子出力の初期レベルを設定するには?(OCU6,7 での例)

コンペア端子出力の初期レベルの設定について示します。

コンペア端子出力指定ビット(OCSH67.OTD6)、(OCSH67.OTD7)で設定してください。

動作	コンペア端子出力指定ビット
コンペア 6 端子を"L"にするには	(OCSH67.OTD6) を"0"にする
コンペア 6 端子を"H"にするには	(OCSH67.OTD6) を"1"にする
コンペア 7 端子を"L"にするには	(OCSH67.OTD7) を"0"にする
コンペア 7 端子を"H"にするには	(OCSH67.OTD7) を"1"にする

7.5. コンペア端子 OCU6-OCU7 を出力に設定するには?

コンペア端子 OCU6-OCU7 を出力に設定することについて示します。

端子をペリフェラル出力に設定してください。設定方法は『I/O ポート』の章を参照してください。

7.6. フリーランタイマをクリアするには?

フリーランタイマのクリアについて示します。

利用するフリーランタイマのクリアビット (TCCSL.SCLR) で設定してください。

動作	クリアビット(SCLR)
フリーランタイマをクリアするには	"1"を書き込む

他の方法については『32 ビット　フリーランタイマ』の章を参照してください。

7.7. コンペア動作を許可するには? (OCU6,7 での例)

コンペア動作の許可について示します。

コンペア動作許可ビット(OCSL67.CST6, OCSL67.CST7)にて行ってください。

「7.3 コンペア動作を許可/禁止するには?(OCU6,7 での例)」を参照してください。

7.8. 割込み関連レジスタは?

割込み関連レジスタについて示します。

アウトプットコンペア割込みベクタ、アウトプットコンペア割込みレベルを設定します。

アウトプットコンペアチャネル、割込みレベル、ベクタの関係は下表のとおりです。

割込みレベル、割込みベクタの詳細については『割込み制御(割込みコントローラ)』の章を参照してください。

チャネル	割込みベクタ (デフォルト)	割込みレベル設定ビット(ICR[4:0])
アウトプット コンペア 6/7/10/11	#58 Address: $0FFF14_H$	割込みレベルレジスタ(ICR42) Address: $0046A_H$
アウトプット コンペア 8/9	#59 Address: $0FFF10_H$	割込みレベルレジスタ(ICR43) Address: $0046B_H$

割込み要求フラグ(OCSLxy.IOPx, OCSLxy.IOPy　x=6,8,10 y=7,9,11)は自動的にクリアされません。割込み処理から復帰する前にソフトウェアにてそれぞれのビットに"0"を書込みクリアしてください。

7.9. 割込みの種類は?

割込みの種類について示します。

割込みは 1 種類のみです。コンペア一致で発生します。

7.10. 割込みを許可するには?

割込みの許可について示します。

割込み許可の設定は、割込み要求許可ビット(OCSLxy.IOEx, OCSLxy.IOEy　x=6,8,10 y=7,9,11) に行ってください。

動作	割込み要求許可ビット (OCSLxy.IOEx, OCSLxy.IOEy x=6,8,10 y=7,9,11)
割込み禁止	"0"にする
割込み許可	"1"にする

割込み要求のクリアは、割込み要求フラグビット(OCSLxy.IOPx, OCSLxy.IOPy x=6,8,10 y=7,9,11)にて行ってください。

動作	割込み要求フラグビット (OCSLxy.IOPx, OCSLxy.IOPy x=6,8,10 y=7,9,11)
割込み要求クリア	"0"を書き込む

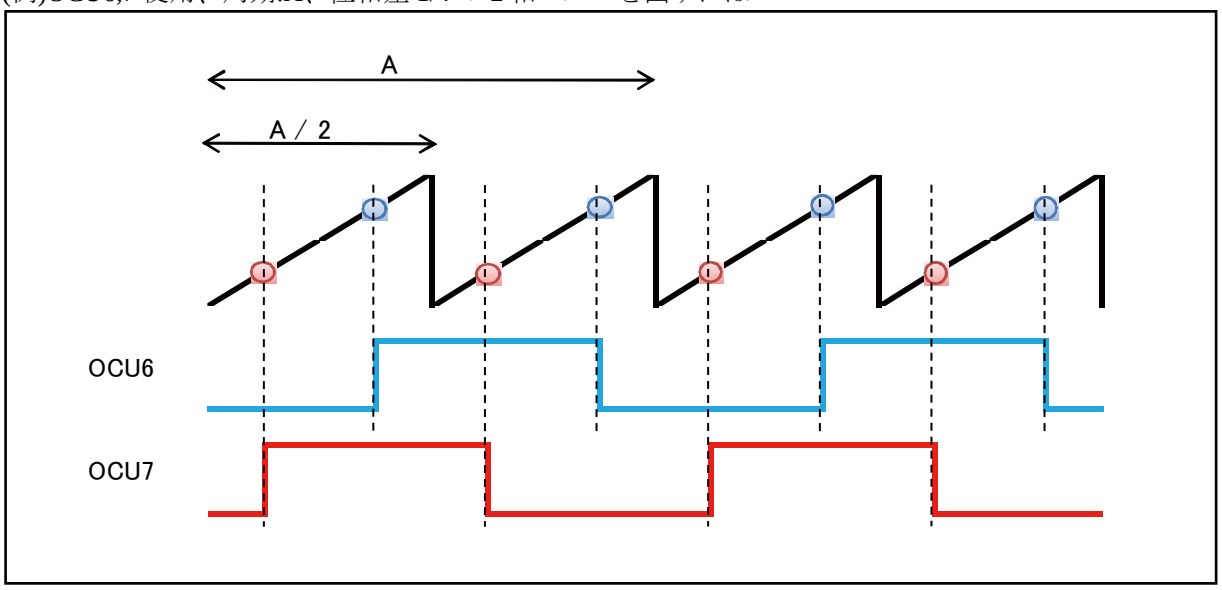
7.11. コンペア値の算出方法は？

コンペア値の算出方法について示します。

7.11.1. トグル出力パルス

トグル出力パルスについて示します。

(例)OCU6,7 使用、周期:A、位相差 1/4 の 2 相パルスを出すには



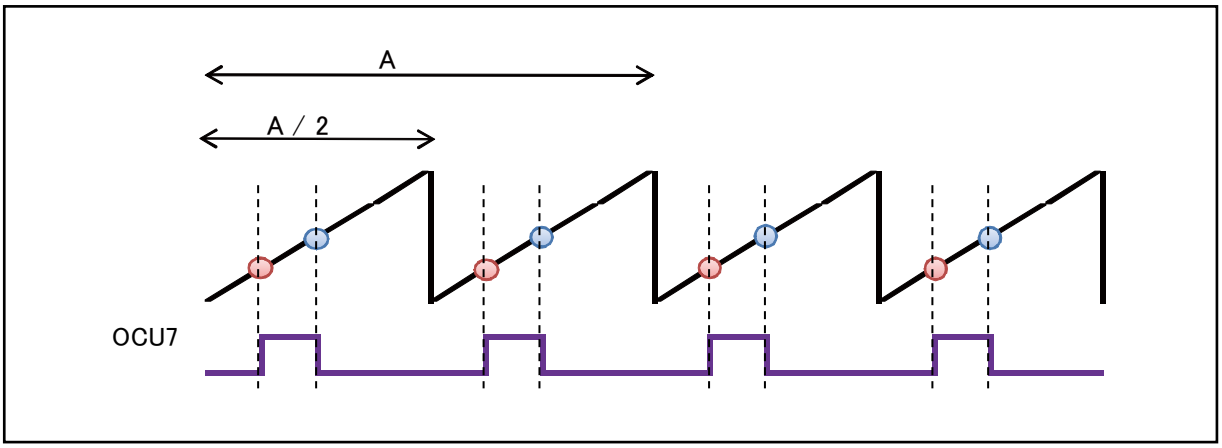
式:

フリーランタイマのコンペアクリア値 = (A/2)-1
コンペアレジスタ 6 の値 = (A/2×3/4)-1
コンペアレジスタ 7 の値 = (A/2×1/4)-1
OCSH67.CMOD = 0
に設定します。

7.11.2. PWM 出力

PWM 出力について示します。

(例)OCU6,7 使用、周期:A、デューティ 1/4 の PWM を出すには



式:

フリーランタイマのコンペアクリア値 = (A/2)-1
コンペアレジスタ 6 の値 = (A/2×1/2)-1
コンペアレジスタ 7 の値 = (A/2×1/4)-1
OCSH67.CMOD = 1
に設定します。

7.12. 動作モードを設定するには？

動作モードの設定について示します。

OMS ビットでフリーランタイマとコンペアレジスタが一致したときの、出力端子の動作を指定します

OCLS.OMS=0:コンペア一致時、出力レベルを反転する
OCLS.OMS=1:コンペア一致時、出力レベル指定ビット(OLS)で指定されたレベルを出力する

8. サンプルプログラム

32 ビットアウトプットコンペアのサンプルプログラムについて説明します。

設定手順例 1

.2 チャネル独立出力
コンペア動作(7FFF, BFFF)
割込み発生コンペアクリアなし

1. 初期設定

・フリーランタイマ ch.4 の制御　レジスタ名. ビット名

制御レジスタの設定	TCCSH4,TCCSL4
クロック選択≫	.ECKE
コンペア割込み要求フラグ≫	.ICLR
コンペア割込み要求許可≫	.ICRE
カウント動作≫	.STOP
TCDT クリア≫	.SCLR
カウントクロック≫	.CLK3-0
タイマデータ値の設定	TCDT4

・ポート　レジスタ名. ビット名

ポート OCU6 出力設定	『I/O ポート』の章を参照
ポート OCU7 出力設定	

・アウトプットコンペアの制御　レジスタ名. ビット名

フリーランタイマ選択	OCFS67
制御レジスタの設定	OCSH67,OCSL67
端子出力レベル反転動作≫	.CMOD
端子出力レベル指定≫	.OTD7,OTD6
割込み要求フラグ≫	.IOP7,IOP6
割込み要求許可≫	.IOE7,IOE6
動作許可設定≫	.CST7,CST6
コンペア値 ch.6 の設定	OCCP6
コンペア値 ch.7 の設定	OCCP7

・割込み関連　レジスタ名. ビット名

割込みレベルの設定	ICR42
I フラグの設定	(CCR)

2. 起動

・アウトプットコンペア起動　レジスタ名. ビット名

割込み制御	OCSL67.IOE7 OCSL67.IOE6
コンペア動作起動	OCSL67.CST7 OCSL67.CST6

・フリーランタイマch.4 起動　レジスタ名. ビット名

カウント動作起動	TCCSL4.STOP

3. 割込み

・割込み処理　レジスタ名. ビット名

割込み要求フラグのクリア	OCSL67.IOP6
(任意の処理)	
.....	
割込み要求フラグのクリア	OCSL67.IOP7
(任意の処理)	
.....	

4. 割込みベクタ

・ベクタテーブルの設定

(注意事項)
事前にクロック関連の設定および__set_il(数値) の設定が必要です。『クロック』および『割込み制御(割込みコントローラ)』の章を参照してください。

プログラム例 1

```
void OUTPUT67_sample(void)
{
      freerun4_initial();
      OUTPUT67_initial();
      OUTPUT67_start();
      freerun4_start();
}

void freerun4_initial(void)
{
      IO_TCCS4.word = 0x0041;  /* 設定値=0000_0000_0100_0001 */
                               /* bit15 = 0      ECKE 内部クロックソース */
                               /* bit14 -10 =0   予約ビット */
                               /* bit9 = 0       ICLR 割込みフラグクリア */
                               /* bit8 = 0       ICLR 割込み禁止 */
                               /* bit7 = 0       予約ビット */
                               /* bit6 = 1       STOP カウント禁止*/
                               /* bit5 = 0       予約ビット */
                               /* bit4 = 0       SCLR フリーランタイマ値の初期化(なし) */
                               /* bit3-0 = 0001  CLK3-0 カウントクロック PCLK/2=32MHz/2 */
      IO_TCDT4 = 0x0000;       /* タイマデータ値の初期化 */
}

void OUTPUT67_initial(void)
{
      PORT_SETTING_OCU6_OUT();   /* OCU6 端子をペリフェラル入力に設定してください。 */
      PORT_SETTING_OCU7_OUT();   /* OCU7 端子をペリフェラル入力に設定してください。 */

      IO_OCFS67.hword = 0x0003;  /* フリーランタイマ 4 を選択 */
      IO_OCS67.hword = 0xEC0C;   /* 設定値=1110_1100_0000_1100 */
                                 /* bit15-13 = 111   未定義ビット */
                                 /* bit12 = 0        CMOD ch.6,ch.7 レベル反転 */
                                 /* bit11-10 = 11    未定義ビット */
                                 /* bit9-8 = 00      OTD7,OTD6 コンペア端子出力 L */
                                 /* bit7-6 = 00      IOP7,IOP6 アウトプットコンペアー致なし */
                                 /* bit5-4 = 00      IOE7,IOE6 アウトプットコンペア割込み禁止 */
                                 /* bit3-2 = 11      未定義ビット*/
                                 /* bit1-0 = 00      CST7,CST6 コンペア動作禁止 */
      IO_OCCP6 = BFFF            /* コンペアレジスタ ch.6 の設定 */
      IO_OCCP7 = 7FFF            /* コンペアレジスタ ch.7 の設定 */

      IO_ICR[42].byte = 0x10;    /* アウトプットコンペア ch.6 , ch.7 割込みレベル設定( 値は任意) */
      __EI();                    /* 割込み許可 */
}

void OUTPUT67_start(void)
{
      IO_OCS67.hword = 0xEC3C;     /* bit5-4 = 11 IOE7,IOE6 アウトプットコンペア割込み許可 */
      IO_OCS67.hword = 0xEC3F;     /* bit1-0 = 11 CST7,CST6 コンペア動作許可 */
}

void freerun4_start(void)
{
      IO_TCCSL4.bit.STOP = 0;      /* bit4 = 0 STOP カウント許可 */
}

__interrupt void INPUT67_int(void)
{
      IO_OCSL67.byte & = 0xBF;   /* bit6 = 0 IOP6 割込みフラグのクリア */
      ......
}
__interrupt void INPUT67_int(void)
{
      IO_OCSL67.byte & = 0x7F;   /* bit7 = 0 IOP7 割込みフラグのクリア */
      ......
}

ベクタテーブルにて割込みルーチンの指定が必要
#pragma intvect OUTPUT6_int 58
```

設定手順例 2

.2 組のコンペア
ch.4 の出力
コンペア動作(7FFF, BFFF)
大きい方のコンペア値を周期としてコンペアクリアする。
割込み発生

1. 初期設定
・フリーランタイマ ch.4 の制御　　レジスタ名. ビット名

制御レジスタの設定	TCCSH4,TCCSL4
クロック選択≫	.ECKE
コンペア割込み要求フラグ≫	.ICLR
コンペア割込み要求許可≫	.ICRE
カウント動作≫	.STOP
TCDT クリア≫	.SCLR
カウントクロック≫	.CLK3-0
タイマデータ値の設定	TCDT4

・ポート　　レジスタ名. ビット名

ポートの OCU7 出力設定	『I/O ポート』の章を参照

・アウトプットコンペアの制御　　レジスタ名. ビット名

フリーランタイマ選択	OCFS67
制御レジスタの設定	OCSH67,OCSL67
端子出力レベル反転動作≫	.CMOD
端子出力レベル指定≫	.OTD7,OTD6
割込み要求フラグ≫	.IOP7,IOP6
割込み要求許可≫	.IOE7,IOE6
動作許可設定≫	.CST7,CST6
コンペア値 ch.6 の設定	OCCP6
コンペア値 ch.7 の設定	OCCP7

・割込み関連　　レジスタ名. ビット名

割込みレベルの設定	ICR42 ICR43
I フラグの設定	(CCR)

2. 起動
・アウトプットコンペア起動　　レジスタ名. ビット名

割込み制御	OCSL67.IOE7 OCSL67.IOE6
コンペア動作起動	OCSL67.CST7 OCSL67.CST6

・フリーランタイマch.4 起動　　レジスタ名. ビット名

カウント動作起動	TCCSL4.STOP

3. 割込み
・割込み処理　　レジスタ名. ビット名

割込み要求フラグのクリア	OCSL67.IOP6
(任意の処理)	
.....	

4. 割込みベクタ
・ベクタテーブルの設定

(注意事項)
事前にクロック関連の設定および__set_il(数値) の設定が必要です。『クロック』および『割込み制御(割込みコントローラ)』の章を参照してください。

プログラム例 2

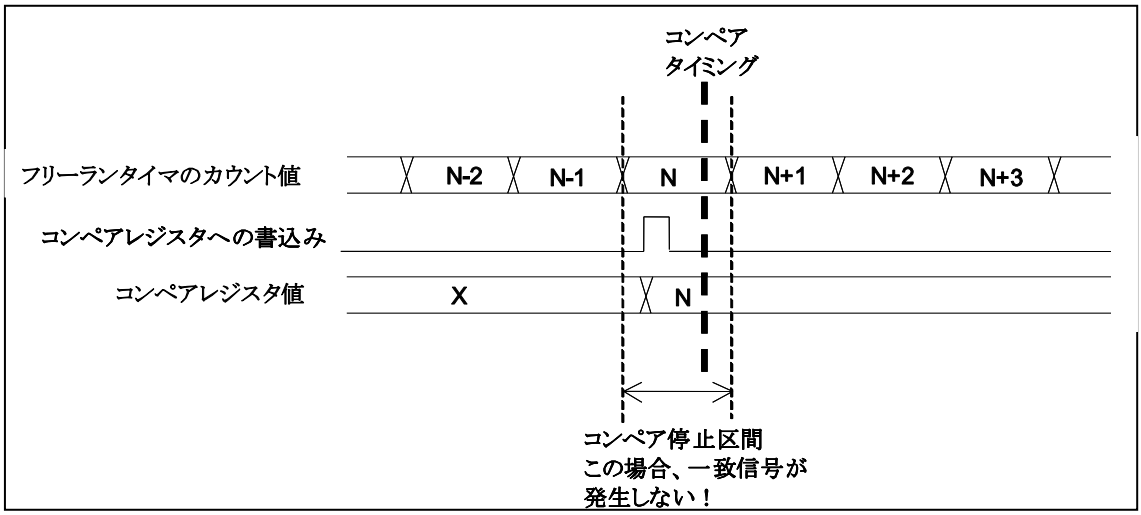
```
void OUTPUT67_sample(void)
{
      freerun4_initial();
      OUTPUT67_initial();
      OUTPUT67_start();
      freerun4_start();
}

void freerun4_initial(void)
{
      IO_TCCS4.word = 0x0041;  /* 設定値=0000_0000_0100_0001 */
                               /* bit15 = 0      ECKE 内部クロックソース */
                               /* bit14 -10 =0   予約ビット */
                               /* bit9 = 0       ICLR 割込みフラグクリア */
                               /* bit8 = 0       ICLR 割込み禁止 */
                               /* bit7 = 0       予約ビット */
                               /* bit6 = 1       STOP カウント禁止*/
                               /* bit5 = 0       予約ビット */
                               /* bit4 = 0       SCLR フリーランタイマ値の初期化(なし) */
                               /* bit3-0 = 0001  CLK3-0 カウントクロック PCLK/2=32MHz/2 */
      IO_TCDT4 = 0x0000;       /* タイマデータ値の初期化 */
}

void OUTPUT67_initial(void)
{
      PORT_SETTING_OCU7_OUT();   /* OCU7 端子をペリフェラル入力に設定してください。 */

      IO_OCFS67.hword = 0x0003;  /* フリーランタイマ 4 を選択 */
      IO_OCS67.hword = 0xEC0C;   /* 設定値=1110_1100_0000_1100 */
                                 /* bit15-13 = 111   未定義ビット */
                                 /* bit12 = 0        CMOD ch.6,ch.7 レベル反転 */
                                 /* bit11-10 = 11    未定義ビット */
                                 /* bit9-8 = 00      OTD7,OTD6 コンペア端子出力 L */
                                 /* bit7-6 = 00      IOP7,IOP6 アウトプットコンペアー致なし */
                                 /* bit5-4 = 00      IOE7,IOE6 アウトプットコンペア割込み禁止 */
                                 /* bit3-2 = 11      未定義ビット*/
                                 /* bit1-0 = 00      CST7,CST6 コンペア動作禁止 */
      IO_OCCP6 = BFFF            /* コンペアレジスタ ch.6 の設定 */
      IO_OCCP7 = 7FFF            /* コンペアレジスタ ch.7 の設定 */

      IO_ICR[42].byte = 0x10;    /* アウトプットコンペア ch.6 割込みレベル設定( 値は任意) */
      IO_ICR[43].byte = 0x10;    /* アウトプットコンペア ch.7 割込みレベル設定( 値は任意) */
      __EI();                    /* 割込み許可 */
}

void OUTPUT67_start(void)
{
      IO_OCS67.hword = 0xEC3C;     /* bit5-4 = 11 IOE7,IOE6 アウトプットコンペア割込み許可 */
      IO_OCS67.hword = 0xEC3F;     /* bit1-0 = 11 CST7,CST6 コンペア動作許可 */
}

void freerun4_start(void)
{
      IO_TCCSL4.bit.STOP = 0;     /* bit4 = 0 STOP カウント許可 */
}


__interrupt void INPUT0_int(void)
{
      IO_OCSL67.byte & = 0xBF;   /* bit6 = 0 IOP6 割込みフラグのクリア */
      ......
      IO_OCSL67.byte & = 0x7F;   /* bit7 = 0 IOP7 割込みフラグのクリア */
      ......
}



ベクタテーブルにて割込みルーチンの指定が必要
#pragma intvect OUTPUT6_int 58
```

9. 注意事項

32 ビットアウトプットコンペアの注意事項について説明します。

■ コンペア動作中のコンペア停止区間について

下記に示すように、コンペアレジスタにコンペア値を書き込んだ直後の 1 カウント分は、コンペア動作が行われません。



- CMOD="1"でかつ OCCP6=OCCP7 の設定の場合、コンペア一致が発生するとポートは 1 回のみ反転します。(ch.8～ch.11 でも同様)
- コンペアの出力端子(OCU6～OCU11)の出力レベルの指定をするときには、コンペア動作を停止させてから行ってください。
- 32bit アウトプットコンペアはフリーランタイマと同期しているため、フリーランタイマを停止させるとコンペア動作も停止します。
- コンペアモードビットを CMOD = "1"にした場合でも、割込み動作は OCU6 と OCU7 はそれぞれ独立で発生します。(OCU8～OCU11 も同様)
- フリーランタイマをアウトプットコンペアのコンペアデータとして使用する場合、フリーランタイマのクロック周波数(TCCSL.CLK[3:0]には、"0000_B"($1/F_{PCLK}$)の設定は禁止となります。
- リードモディファイライトについて
  割込み要求フラグビット(IOP6～IOP11)をリードモディファイライトで読み出すと"1"が読み出せます。

- 割込みについて
  コンペア制御レジスタのコンペア一致割込み要求フラグ(IOP6～IOP11)に"1 "を設定し、次にコンペア一致割込み要求を許可(IOE6～IOE11="1 ")した場合、割込み処理から戻るために、コンペア一致割込み要求フラグは必ず"0"クリアしてください。

Chapter 23: 32 ビットインプットキャプチャ

32 ビットインプットキャプチャについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. サンプルプログラム
9. 注意事項

管理コード : FIP008-1v1-91520-12-J

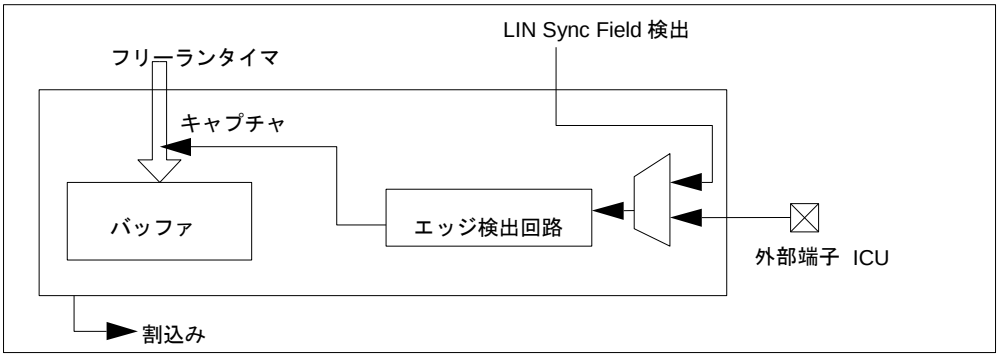
1. 概要

32 ビットインプットキャプチャの概要について説明します。

インプットキャプチャは、外部からの信号を検出したタイミングで 32 ビットフリーランタイマのカウント値を記録します。そして、繰返し記録したカウント値から、信号間の時間を算出できます。外部入力端子からの有効エッジ検出時に割込みを発生することができます。

また、入力された有効エッジの周期・パルス幅を測定することができます。

図 1-1 ブロックダイヤグラム



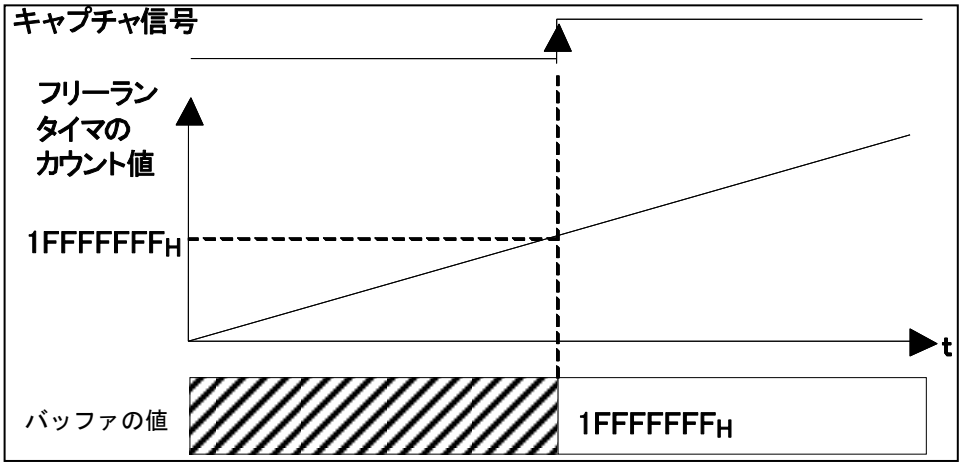
使用可能な外部入力端子数は以下になります。

MB91F52xB (64pin) : 5
MB91F52xD (80pin) : 5
MB91F52xF (100pin) : 6
MB91F52xJ (120pin) : 6
MB91F52xK (144pin) : 6
MB91F52xL (176pin) : 6

2. 特長

32 ビットインプットキャプチャの特長について説明します。

- 形式:エッジ検出回路＋32 ビットバッファ (キャプチャレジスタ)
- 個数:6
- エッジ検出:立上り/立下り/両エッジ
- 割込み:エッジ検出割込み
- キャプチャ値:タイマのカウント値 (00000000_H-$FFFFFFFF_H$)
- タイマ:フリーランタイマ 3～5 を使用。選択方法は『32 ビットフリーランタイマ』の章を参照してください。
- 精度:周辺クロック(PCLK)÷1, ÷2, ÷4, ÷8, ÷16, ÷32, ÷64, ÷128, ÷256
  (フリーランタイマのカウントクロック)



● 周期・パルス幅測定機能

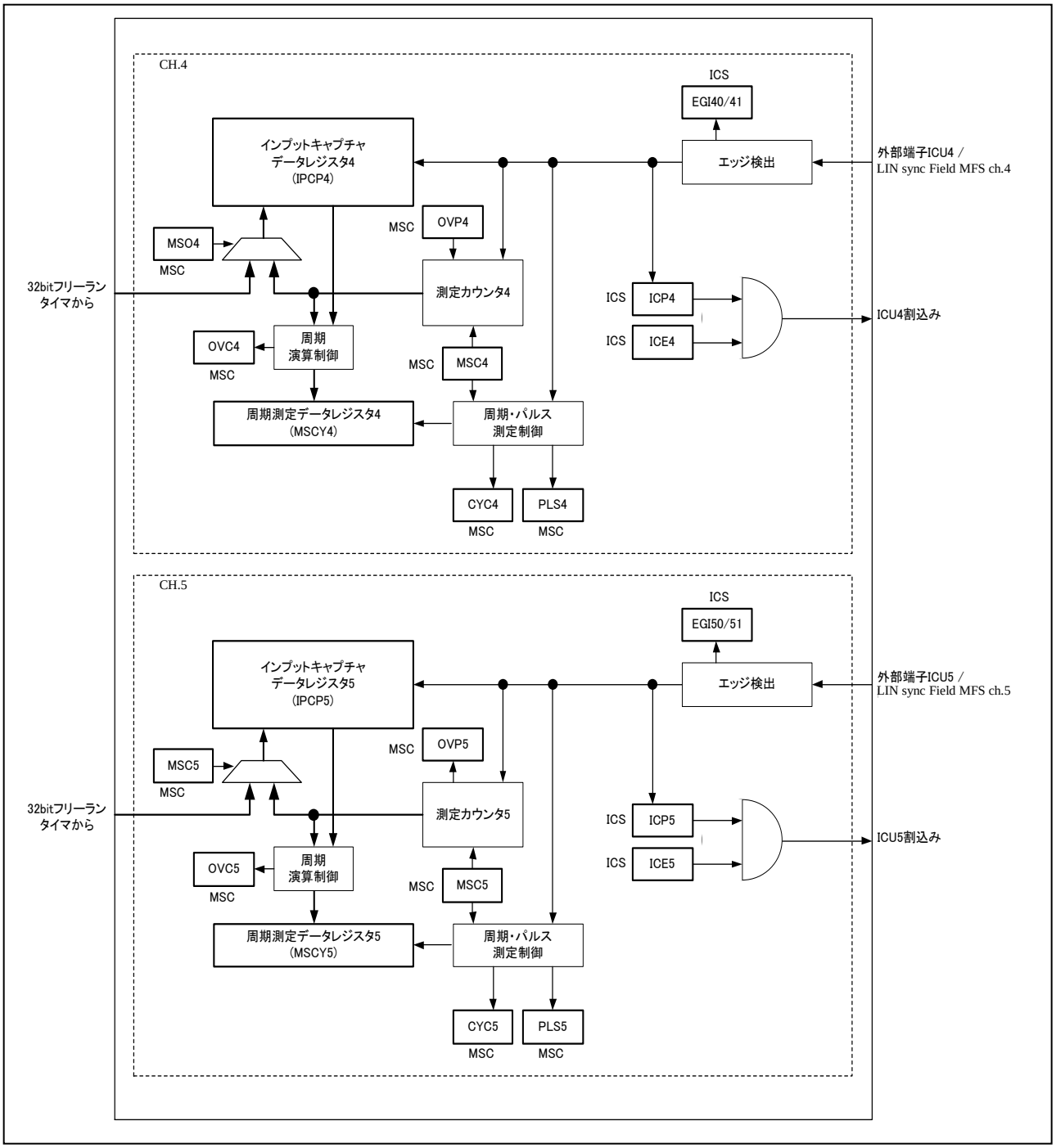
以下の設定により周期、パルス幅が測定できます。

- 立上りエッジ検出設定時:↑～↑の周期
- 立下りエッジ検出設定時:↓～↓の周期
- 両エッジ検出設定時　:↑～↑、↓～↓の周期、↑～↓、↓～↑のパルス幅

3. 構成

32 ビットインプットキャプチャの構成について説明します。

図 3-1 ブロックダイヤグラム(詳細・2 チャネルごと)



4. レジスタ

32 ビットインプットキャプチャのレジスタについて説明します。

■ ■ベースアドレス(Base_addr)・外部端子表

表 4-1 ベースアドレス(Base_addr)・外部端子表

チャネル	ベースアドレス	外部端子				
		MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK MB91F52xL
4	0x0FD0	ICU4_2	ICU4_2	ICU4_2	ICU4_1/ ICU4_2	ICU4_0/ ICU4_1/ ICU4_2
5	0x0FD0	ICU5_0/ ICU5_1	ICU5_0/ ICU5_1	ICU5_0/ ICU5_1	ICU5_0/ ICU5_1	ICU5_0/ ICU5_1
6	0x0FDC	ICU6_0	ICU6_0/ ICU6_1	ICU6_0/ ICU6_1	ICU6_0/ ICU6_1	ICU6_0/ ICU6_1
7	0x0FDC	なし	なし	ICU7_0/ ICU7_1	ICU7_0/ ICU7_1	ICU7_0/ ICU7_1
8	0x0FE8	ICU8_0/ ICU8_1	ICU8_0/ ICU8_1	ICU8_0/ ICU8_1	ICU8_0/ ICU8_1	ICU8_0/ ICU8_1
9	0x0FE8	ICU9_1	ICU9_1	ICU9_1	ICU9_0/ ICU9_1	ICU9_0/ ICU9_1

表 4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0FD0	IPCP4				インプットキャプチャデータレジスタ 4
0x0FD4	IPCP5				インプットキャプチャデータレジスタ 5
0x0FD8	予約	予約	LSYNS1	ICS45	LIN SYNCH FIELD 切替えレジスタ 1 インプットキャプチャ制御レジスタ 45
0x0FDC	IPCP6				インプットキャプチャデータレジスタ 6
0x0FE0	IPCP7				インプットキャプチャデータレジスタ 7
0x0FE4	予約	予約		ICS67	インプットキャプチャ制御レジスタ 67
0x0FE8	IPCP8				インプットキャプチャデータレジスタ 8
0x0FEC	IPCP9				インプットキャプチャデータレジスタ 9
0x0FF0	予約	予約		ICS89	インプットキャプチャ制御レジスタ 89
0x0118	MSCY4				周期測定データレジスタ 4
0x011C	MSCY5				周期測定データレジスタ 5
0x0F88	予約		MSCH45	MSCL45	周期・パルス幅測定制御レジスタ 45
0x0F68	MSCY6				周期測定データレジスタ 6
0x0F6C	MSCY7				周期測定データレジスタ 7
0x0F8C	予約		MSCH67	MSCL67	周期・パルス幅測定制御レジスタ 67
0x0FF4	MSCY8				周期測定データレジスタ 8
0x0FF8	MSCY9				周期測定データレジスタ 9
0x0FFC	予約		MSCH89	MSCL89	周期・パルス幅測定制御レジスタ 89

4.1. インプットキャプチャデータレジスタ ：IPCP

インプットキャプチャデータレジスタのビット構成について示します。

外部からの入力信号の変化をトリガとして、フリーランタイマのカウント値またはパルス幅測定データ値を保持し、読み出すことができるレジスタです。

x:チャネル番号 4,6,8
y:チャネル番号 5,7,9

■ IPCPx (インプットキャプチャ x):アドレス Base_addr + 00_H (アクセス:ワード)

■ IPCPy (インプットキャプチャ y):アドレス Base_addr + 04_H (アクセス:ワード)

	bit31							bit0
	CP[31:0]							
初期値	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
属性	R,WX							

[bit31～bit0] CP[31:0] :
MSCL.MSCx または MSCy が"0"の場合、このレジスタはエッジ検出時のフリーランタイマ値を示します。
MSCL.MSCx または MSCy が"1"の場合、このレジスタはエッジが検出時のパルス幅の値を示します。

＜注意事項＞

このレジスタには、ワードアクセス命令を使用してください。また、このレジスタにデータを書き込むことはできません。

4.2. インプットキャプチャ制御レジスタ ：ICS

インプットキャプチャ制御レジスタのビット構成について示します。

インプットキャプチャを制御するためのレジスタです。

x:チャネル番号 4,6,8
y:チャネル番号 5,7,9

■ ICSxy (インプットキャプチャ xy):アドレス Base_addr + $0B_H$ (アクセス:バイト, ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICPy	ICPx	ICEy	ICEx	EGy1	EGy0	EGx1	EGx0
初期値	0	0	0	0	0	0	0	0
属性	R(RM1), W	R(RM1), W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] ICPn: インプットキャプチャ割込み要求フラグ

ICPn	状態	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり (エッジ検出あり)	動作に影響なし

・キャプチャ有効エッジ選択ビット(EG[n1:n0])で選択した信号変化(エッジ)を、外部端子からの入力信号で検出すると、フラグが"1"になります。
・CPU の割込み要求を有効にするには、割込み要求許可設定(ICEn="1")が必要です。

＜注意事項＞

ICPn: n の番号がインプットキャプチャのチャネル番号に対応します。

[bit5, bit4]ICEn : インプットキャプチャ割込み要求許可

ICEn	動作
0	割込み禁止
1	割込み許可

インプットキャプチャ割込み要求許可ビットが"1"のとき、インプットキャプチャ割込み要求フラグが"1"にセットされると、インプットキャプチャ割込みが発生します。

＜注意事項＞

ICEn: n の番号がインプットキャプチャのチャネル番号に対応します。

[bit3～bit0]EGn1,EGn0： インプットキャプチャ n 有効エッジ選択

EGn1	EGn0	エッジ選択
0	0	インプットキャプチャ停止
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ (立上りエッジ、および立下りエッジ)

・外部端子からのインプットキャプチャ信号に対するキャプチャ有効エッジを選択します。
・有効エッジ選択ビットが"00_B"の場合、インプットキャプチャは停止状態になります。

＜注意事項＞

EGn1,EGn0: n の番号がインプットキャプチャのチャネル番号に対応します。

4.3. LIN SYNCH FIELD 切換えレジスタ ：LSYNS

LIN SYNCH FIELD 切換えレジスタのビット構成について示します。

キャプチャ動作が許可(ICS.EG[n1:n0]が"00"以外)のときに、外部端子入力の信号レベルと LIN synch field 検出信号の状態(信号レベル)が異なる状態で入力切替を行うと、エッジが検出され、キャプチャ有効エッジとして動作します。

■ LSYNS1(インプットキャプチャ 4-9):アドレス 0FDA$_H$(アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LSYN91	LSYN90	LSYN81	LSYN80	LSYN7	LSYN6	LSYN5	LSYN4
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

＜注意事項＞

インプットキャプチャの入力切替はキャプチャ停止(ICS.EG[n1:n0]="00")の状態で行ってください。

[bit7, bit6]LSYN91,LSYN90 : インプットキャプチャ ch.9 入力選択

LSYN91,LSYN90	入力選択
00	外部端子入力(ICU9)
01	マルチファンクションシリアルインタフェース ch.10 からの LIN synch field 検出信号入力
10	マルチファンクションシリアルインタフェース ch.11 からの LIN synch field 検出信号入力
11	設定禁止(動作を保証しません)

[bit5, bit4]LSYN81,LSYN80 : インプットキャプチャ ch.8 入力選択

LSYN81,LSYN80	入力選択
00	外部端子入力(ICU8)
01	マルチファンクションシリアルインタフェース ch.8 からの LIN synch field 検出信号入力
10	マルチファンクションシリアルインタフェース ch.9 からの LIN synch field 検出信号入力
11	設定禁止(動作を保証しません)

[bit3〜bit0]LSYN7〜LSYN4 : インプットキャプチャ 4-7 入力選択

LSYN*n* (*n*=4〜7)	入力選択
0	外部端子入力(ICUn)
1	マルチファンクションシリアルインタフェース ch. n からの LIN synch field 検出信号入力

4.4. 周期測定データレジスタ ：MSCY

周期測定データレジスタのビット構成について示します。

対応する外部入力端子信号の有効エッジが検出されたときに、測定された周期データ値を格納するために使用します。

- **MSCY4 (インプットキャプチャ 4):アドレス 0118_H (アクセス:ハーフワード, ワード)**
- **MSCY5 (インプットキャプチャ 5):アドレス $011C_H$ (アクセス:ハーフワード, ワード)**
- **MSCY6 (インプットキャプチャ 6):アドレス $0F68_H$ (アクセス:ハーフワード, ワード)**
- **MSCY7 (インプットキャプチャ 7):アドレス $0F6C_H$ (アクセス:ハーフワード, ワード)**
- **MSCY8 (インプットキャプチャ 8):アドレス $0FF4_H$ (アクセス:ハーフワード, ワード)**
- **MSCY9 (インプットキャプチャ 9):アドレス $0FF8_H$ (アクセス:ハーフワード, ワード)**

bit31							bit0
CY[31:0]							
初期値	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
属性	R,WX						

MSCL.MSCn(n=4～9)が"0"の場合、このレジスタは"0000_0000_H"がセットされます。
MSCL.MSCn(n=4～9)が"1"の場合、エッジが検出されたときの周期値がセットされます。

＜注意事項＞

このレジスタには、ハーフワードもしくはワードアクセス命令を使用してください。また、このレジスタにデータを書き込むことはできません。

4.5. 周期・パルス幅測定制御レジスタ(上位ビット) : MSCH

周期・パルス幅測定制御レジスタ(上位ビット)のビット構成について示します。

インプットキャプチャを制御するためのレジスタです。

x:チャネル番号 4,6,8
y:チャネル番号 5,7,9

■ MSCH45(インプットキャプチャ 45):アドレス $0F8A_H$ (アクセス:バイト, ハーフワード, ワード)

■ MSCH67(インプットキャプチャ 67):アドレス $0F8E_H$ (アクセス:バイト, ハーフワード, ワード)

■ MSCH89(インプットキャプチャ 89):アドレス $0FFE_H$ (アクセス:バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CYCy	CYCx	PLSy	PLSx	OVCy	OVCx	OVPy	OVPx
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15, bit14]CYCn : 周期測定フラグ

CYCn	説明
0	立下りから立下りの周期データを示す
1	立上りから立上りの周期データを示す

・周期測定データレジスタ(MSCYn)に格納されているデータが立上りまたは立下り周期のデータであることを示します。有効エッジが検出、測定されるごとに更新されます。

＜注意事項＞

CYCn: n の番号がインプットキャプチャのチャネル番号に対応します。

[bit13, bit12]PLSn : パルス幅測定フラグ

PLSn	説明
0	L パルス幅を示す
1	H パルス幅を示す

・インプットキャプチャデータレジスタ(IPCPn)に格納されているデータがHパルス幅またはLパルス幅のデータであることを示します。有効エッジが検出、測定されるごとに更新されます。

＜注意事項＞

PLSn: n の番号がインプットキャプチャのチャネル番号に対応します。

[bit11, bit10]OVCn : **周期測定オーバフラグ**

OVCn	説明
0	周期データ値が最大値 $FFFF_FFFF_H$ 以下である
1	周期データ値が最大値 $FFFF_FFFF_H$ を超えた

- 周期測定データレジスタ(MSCYn)に格納されているデータが最大値を超えたことを示します。有効エッジが検出、測定されるごとに更新されます。

＜注意事項＞

OVCn: n の番号がインプットキャプチャのチャネル番号に対応します。

[bit9, bit8]OVPn : **パルス幅測定オーバフラグ**

OVPn	説明
0	パルス幅データ値が最大値 $FFFF_FFFF_H$ 以下である
1	パルス幅データ値が最大値 $FFFF_FFFF_H$ を超えた

- インプットキャプチャデータレジスタ(IPCPn)に格納されているデータが最大値を超えたことを示します。有効エッジが検出、測定されるごとに更新されます。

＜注意事項＞

OVPn: n の番号がインプットキャプチャのチャネル番号に対応します。

4.6. 周期・パルス幅測定制御レジスタ(下位ビット) : MSCL

周期・パルス幅測定制御レジスタ(下位ビット)のビット構成について示します。

インプットキャプチャを制御するためのレジスタです。

x:チャネル番号 4,6,8
y:チャネル番号 5,7,9

■ **MSCL45(インプットキャプチャ 45):アドレス $0F8B_H$ (アクセス:バイト, ハーフワード, ワード)**

■ **MSCL67(インプットキャプチャ 67):アドレス $0F8F_H$ (アクセス:バイト, ハーフワード, ワード)**

■ **MSCL89(インプットキャプチャ 89):アドレス $0FFF_H$ (アクセス:バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	-	-	-	-	-	MSCy	MSCx
初期値	1	1	1	1	1	1	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W

[bit7～bit2] : 未定義
常に"1"が読み出されます。書込みは動作に影響ありません。

[bit1, bit0]MSCn : 動作モード設定

MSCn	説明
0	インプットキャプチャ動作
1	周期・パルス幅の測定動作

外部入力 ICUn のエッジを検出したときの動作モードの選択を行います。

＜注意事項＞

MSCn: n の番号がインプットキャプチャのチャネル番号に対応します。

5. 動作説明

32 ビットインプットキャプチャの動作について説明します。

32 ビットインプットキャプチャは、設定された有効エッジを検出すると、32 ビットフリーランタイマの値をキャプチャレジスタに取込んで割込みを発生させることができます。

インプットキャプチャの動作について説明します。

5.1. 取込みタイミング、割込みタイミング

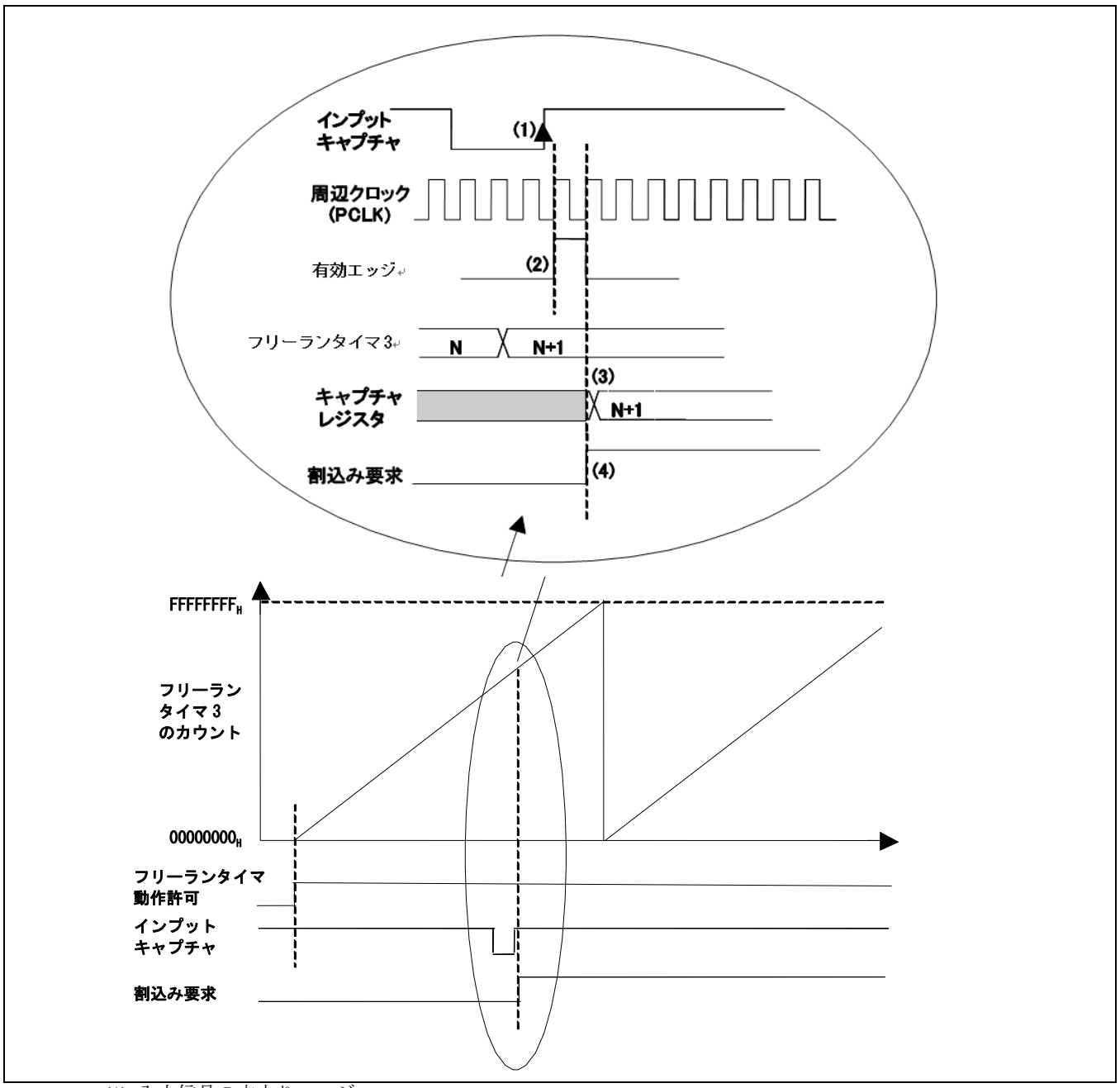
5.2. インプットキャプチャのエッジ指定とその動作

5.3. 周期・パルス幅測定動作

5.1. 取込みタイミング、割込みタイミング

取込みタイミング、割込みタイミングについて示します。

図 5-1 32 ビットインプットキャプチャ動作例

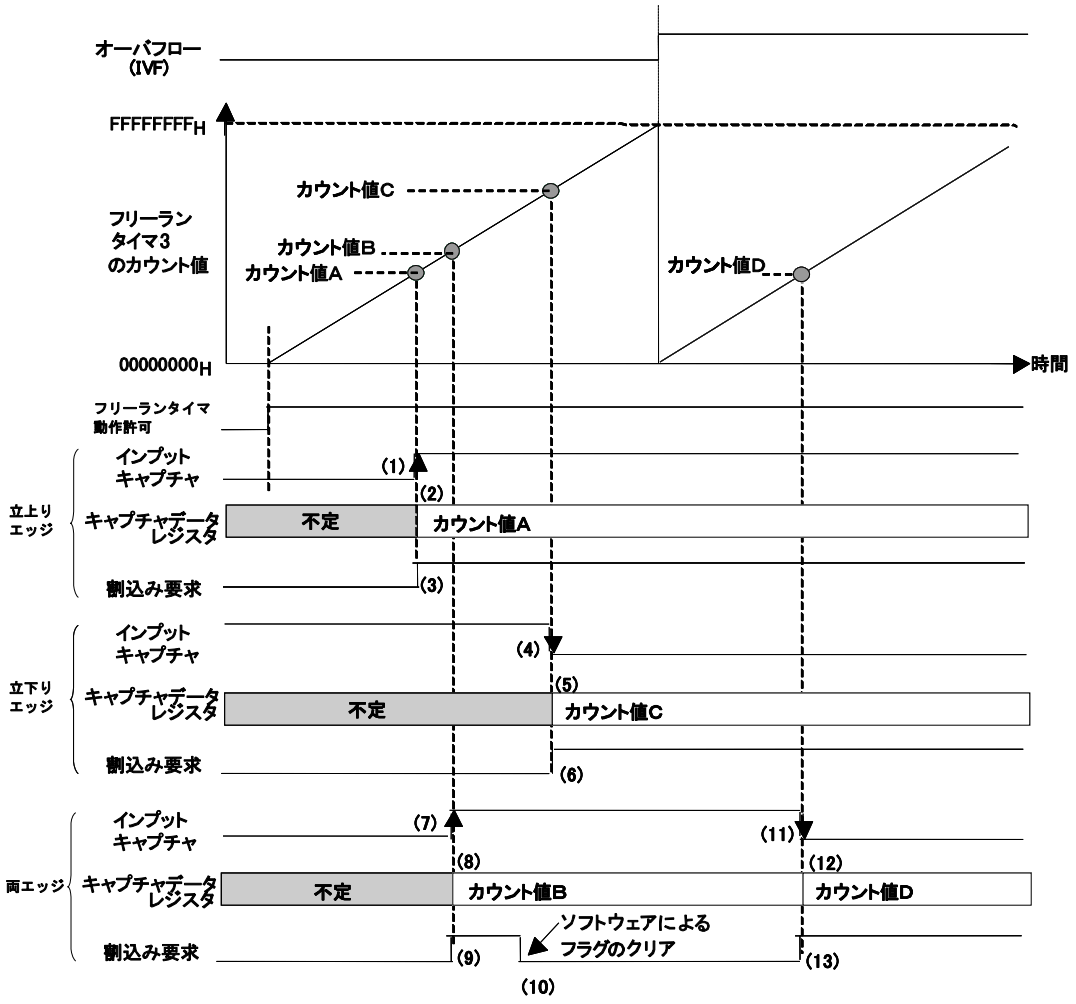


(1) 入力信号の立上りエッジ
(2) エッジ検出により発生した内部信号 (周辺クロックに同期)
(3) フリーランタイマの値をキャプチャレジスタに記録 (キャプチャ)
(4) インプットキャプチャ割込み発生 (ICP(4-9)="1")

5.2. インプットキャプチャのエッジ指定とその動作

インプットキャプチャのエッジ指定とその動作について示します。

図 5-2 エッジ指定動作



- 立上りエッジ指定時

(1) 入力信号の立上りエッジ検出

(2) フリーランカウンタ値をキャプチャレジスタに記録 (キャプチャ)

(3) インプットキャプチャ割込み発生

- 立下りエッジ指定時

(4) 入力信号の立下りエッジ検出

(5) フリーランカウンタ値をキャプチャレジスタに記録 (キャプチャ)

(6) インプットキャプチャ割込み発生

・ 両エッジ

(7) 入力信号の立上りエッジを検出

(8) フリーランカウンタ値をキャプチャレジスタに記録 (キャプチャ)

(9) インプットキャプチャ割込み発生

(10) ソフトウェアで割込み要求フラグ(ICS45.ICP4),(ICS45.ICP5),(ICS67.ICP6),(ICS67. ICP7),・・・をクリア

(11) 入力信号の立下りエッジを検出

(12) フリーランカウンタ値をキャプチャレジスタに記録 (キャプチャ)

(13) インプットキャプチャ割込み発生

5.3. 周期・パルス幅測定動作

周期・パルス幅測定動作について示します。

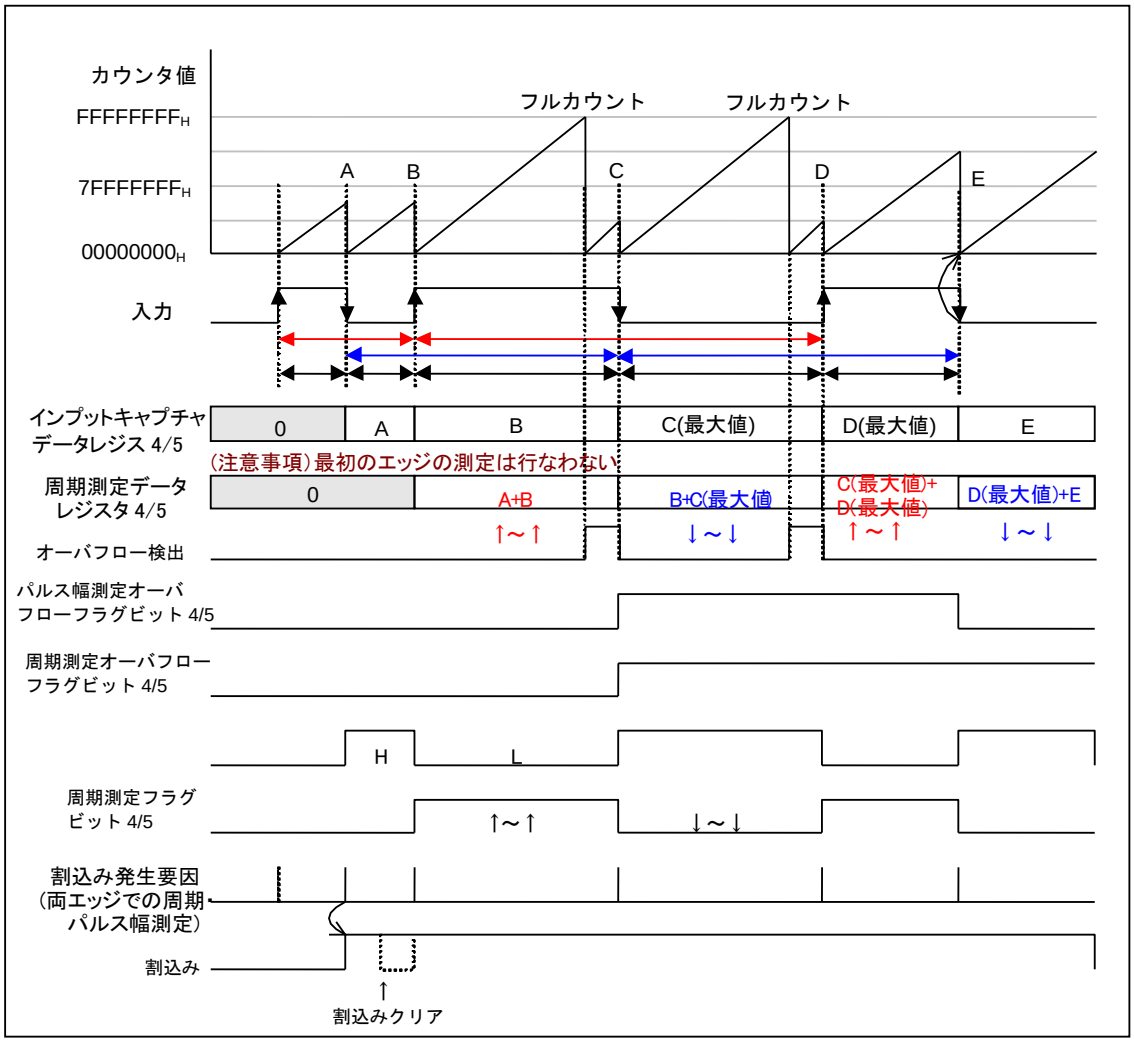
外部端子入力のエッジを検出し、周期(立上りおよび立下り)とパルス幅(H および L)の測定をカウンタにて行います。カウンタのクロックは周辺クロック PCLK2 です。

測定時はインプットキャプチャデータレジスタ(MSCYn:n=4～9)、パルス幅測定データレジスタ(IPCPn:n=4～9)に格納し、同時に測定した周期、パルス幅の種類、最大値を超えているかの識別を周期・パルス幅測定制御レジスタ(MSCHxy.CYCx/y, PLSx/y, OVCx/y,OVPx/y:x=4,6,8 y=5,7,9)に表示します。

周期・パルス幅の最大値は $FFFF_FFFF_H$ です。最大値を超えた場合は測定データとしてカウンタのキャプチャ値を表示し、周期・パルス幅測定制御レジスタの周期測定オーバフローフラグ(MSCH:OVCn:n=4～9)、パルス幅測定オーバフローフラグ(MSCH:OVPn:n=4～9)に最大値を超えたことを表示します。

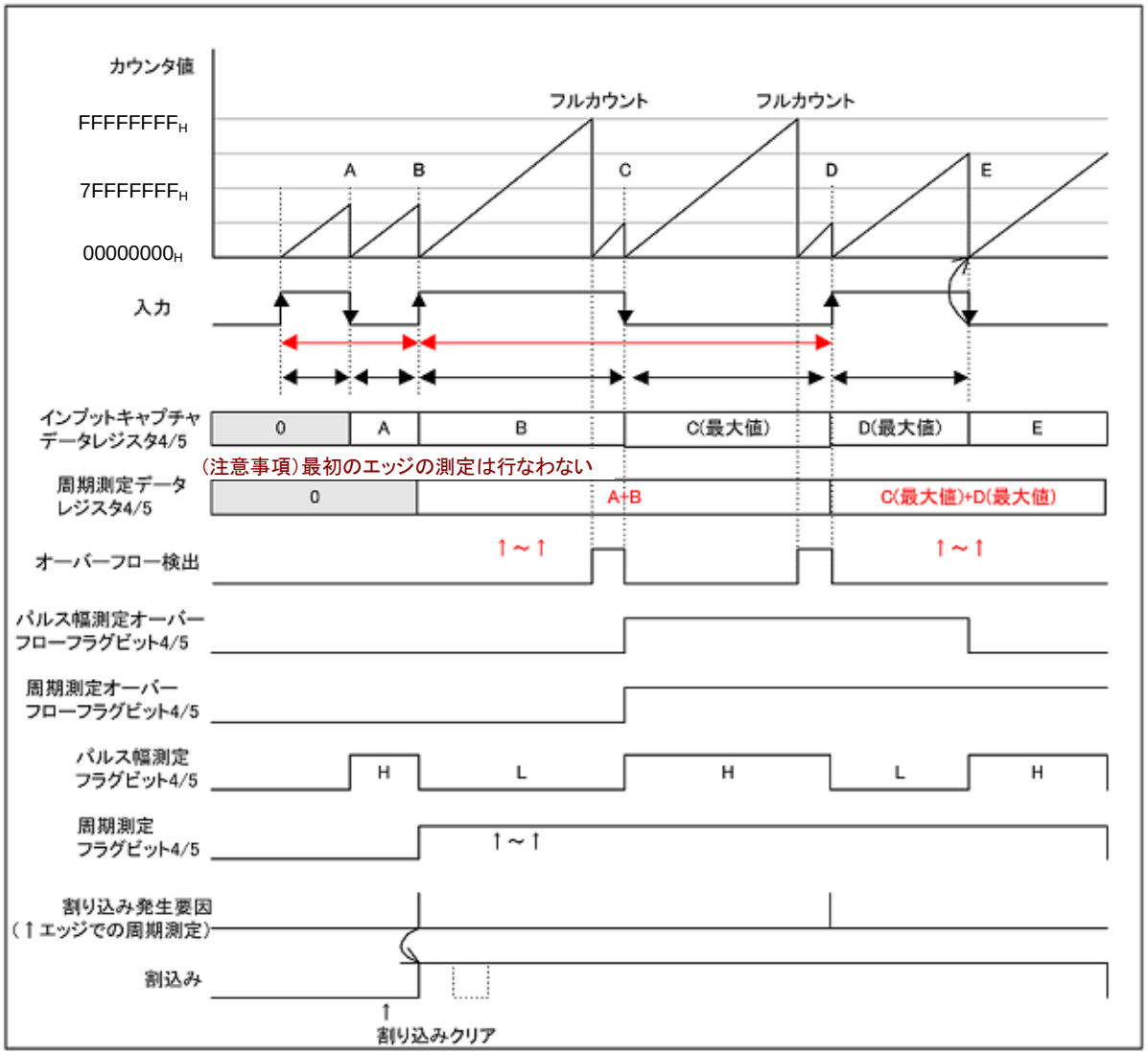
また、測定動作開始後の最初のエッジからの周期、パルス幅として測定を開始します。

図 5-3 周期・パルス幅測定動作例(両エッジ指定時)



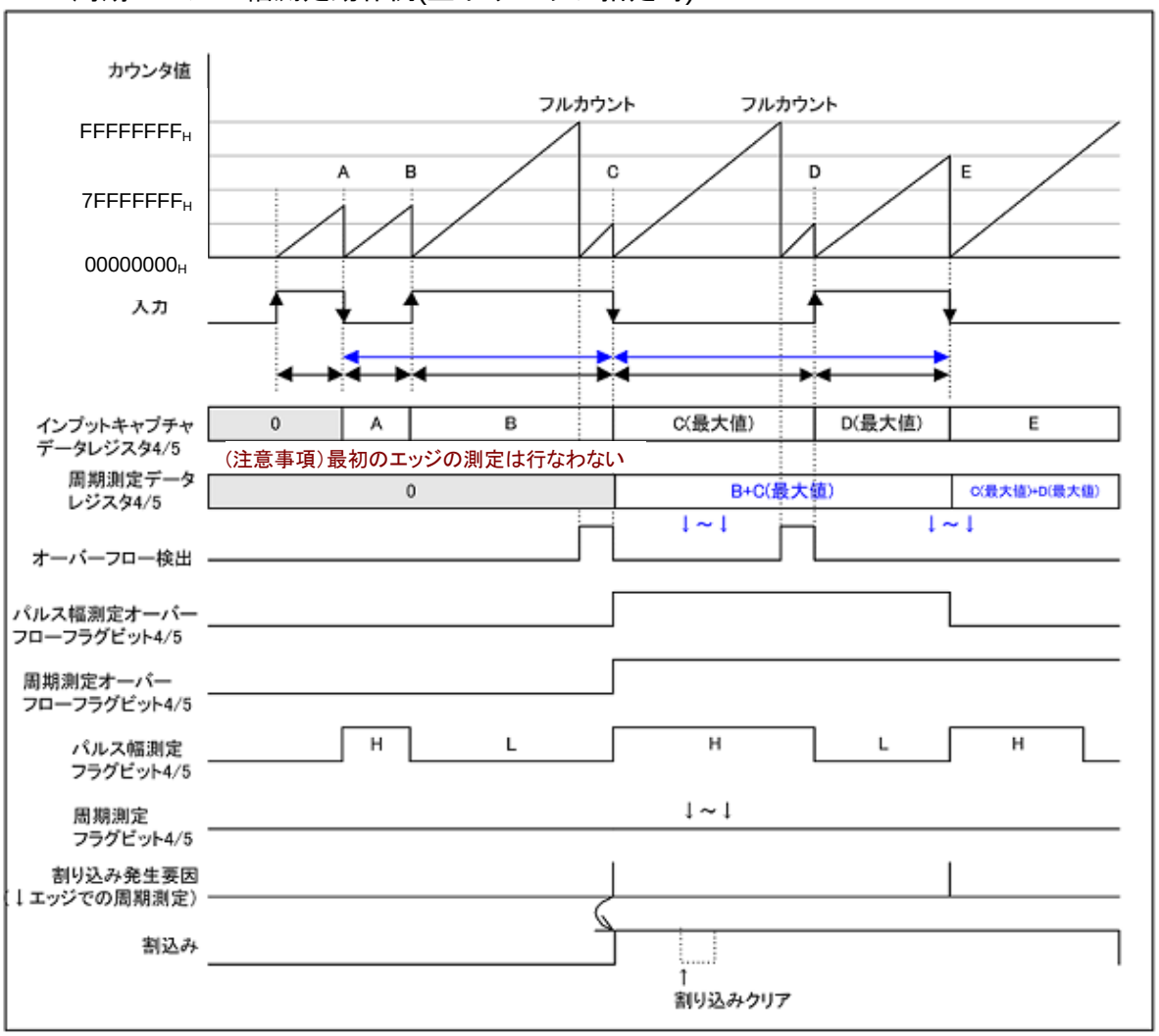
両エッジ指定時は↑～↑および↓～↓の周期、↑～↓および↓～↑のパルス幅を測定します。

図 5-4 周期・パルス幅測定動作例(立上りエッジ指定時)



立上りエッジ指定時は↑～↑の周期を測定します。
このとき、パルス幅は↑～↓および↓～↑の測定値がインプットキャプチャデータレジスタ(IPCPn)に格納されますが、割込みは出力されません。

図 5-5 周期・パルス幅測定動作例(立下りエッジ指定時)



立下りエッジ指定時は↓～↓の周期を測定します。
このとき、パルス幅は↑～↓および↓～↑の測定値がインプットキャプチャデータレジスタ(IPCPn)に格納されますが、割込みは出力されません。

6. 設定

32 ビットインプットキャプチャの設定について説明します。

表 6-1 インプットキャプチャを使うために必要な設定

設定	設定レジスタ	設定方法
フリーランタイマの設定 フリーランタイマの起動	『32 ビット フリーランタイマ』の章を参照してください。	—
入力端子 ICU4-ICU9 とインプットキャプチャ入力切換えの設定	マルチファンクションシリアルインタフェースとの連携機能を使用する場合: LIN SYNCH FIELD 切換えレジスタ(LSYNS1) 外部入力の場合: LIN SYNCH FIELD 切換えレジスタ(LSYNS1)、ICU4-9 端子の設定 (『I/O ポート』の章を参照してください。)	7.2 参照
外部入力の有効エッジ極性選択	インプットキャプチャ制御レジスタ (ICS45),(ICS67),(ICS89)	7.1 参照
動作モード設定	動作モード設定ビット(MSCn)を設定	7.7 参照

表 6-2 インプットキャプチャ割込みを行うために必要な設定

設定	設定レジスタ	設定方法
インプットキャプチャ割込みベクタ、インプットキャプチャ割込みレベルの設定	『割込み制御(割込みコントローラ)』の章を参照してください。	7.3 参照
インプットキャプチャ割込み設定 割込み要求のクリア 割込み要求の許可	インプットキャプチャ制御レジスタ (ICS45),(ICS67),(ICS89)	7.5 参照

7. Q&A

32 ビットインプットキャプチャの Q&A について説明します。

7.1. 外部入力の有効エッジ極性の種類と選択方法は?
7.2. 外部入力端子(ICU4～ICU9)を有効にするには?
7.3. 割込み関連レジスタは?
7.4. 割込みの種類は?
7.5. 割込みを許可するには?
7.6. 入力信号のパルス幅を測定するには?
7.7. 動作モードの設定を設定するには?

7.1. 外部入力の有効エッジ極性の種類と選択方法は?

外部入力の有効エッジ極性の種類と選択方法について示します。

有効エッジ極性は、立上り、立下り、両エッジの 3 種類です。
外部入力の有効エッジ極性ビット(ICS45.EG[41:40]), (ICS45:EG[51:50]) , (ICS67. EG[61:60]), (ICS67:EG[71:70]) ,(ICS89.EG[81:80]), (ICS89:EG[91:90])で設定してください。

動作	外部入力の有効エッジ極性ビット (EG[n1:n0] n=4～9)
立上りエッジを選択するには	"01"を選択する
立下りエッジを選択するには	"10"を選択する
両エッジを選択するには	"11"を選択する

7.2. 外部入力端子(ICU4～ICU9)を有効にするには?

外部入力端子(ICU4～ICU9)を有効にする故知について示します。

LSYNS1 レジスタを外部端子入力に設定してください。また、ICU 端子をペリフェラル入力に設定してください。ペリフェラル入力の設定方法は『I/O ポート』の章を参照してください。

7.3. 割込み関連レジスタは?

割込み関連レジスタについて示します。

インプットキャプチャ割込みベクタ、インプットキャプチャ割込みレベルの設定

割込み番号は『付録』の『割込みベクタテーブル』を参照してください。

割込みレベルは ICR レジスタで設定してください。割込みレベルの詳細については『割込み制御(割込みコントローラ)』の章を参照してください。

割込み要求フラグ(ICS45.ICP4), (ICS45.ICP5), (ICS67.ICP6), (ICS67.ICP7), (ICS89.ICP8), (ICS89.ICP9)は自動的にクリアしません。割込み処理から復帰する前にソフトウェアにてインプットキャプチャ割込み要求フラグに"0"を書込み、クリアしてください。

7.4. 割込みの種類は?

割込みの種類について示します。

割込みは 2 種類です。

インプットキャプチャ動作時:入力信号のエッジ検出で発生します。

周期・パルス幅測定動作時:入力信号のエッジ検出、周期またはパルス幅が測定完了で発生します。

7.5. 割込みを許可するには?

割込みの許可について示します。

割込み要求の許可、割込み要求フラグを設定します。

割込み許可の設定は、割込み要求許可ビット(ICS45.ICE4), (ICS45.ICE5), (ICS67.ICE6), (ICS67.ICE7), (ICS89.ICE8), (ICS89.ICE9)にて行ってください。

動作	割込み要求許可ビット (ICE4～ICE9)
割込み禁止	"0"にする
割込み許可	"1"にする

割込み要求のクリアは、割込み要求フラグ(ICS45.ICP4), (ICS45.ICP5), (ICS67.ICP6), (ICS67.ICP7), (ICS89.ICP8), (ICS89.ICP9)にて行ってください。

動作	割込み要求フラグ ビット(ICP4～ICP9)
割込み要求クリア	"0"を書き込む

7.6. 入力信号のパルス幅を測定するには?

入力信号のパルス幅の測定について示します。

ch.4 での設定例を示します。

(1) 動作モードを周期測定モードに設定します。(MSCL.MSC4:1)

(2) エッジ検出に両エッジを指定します(ICSL.EG41-40:11_B)。

(3) 割込み要求許可ビットを許可に設定します。(ICSL.ICE4:1)

(4) 割込み要求フラグをクリアします。(ICSL.ICP4:0)

測定された周期測定データは MSCY4 に、パルス幅測定データはインプットキャプチャデータレジスタ IPCP4 に格納されます。

7.7. 動作モードの設定を設定するには?

動作モードの設定について示します。

MSCn のビットでエッジを検出したときの動作モードの選択を行います。

MSCL.MSCn=0 : インプットキャプチャ動作
MSCL.MSCn=1 : 周期・パルス幅の測定動作

8. サンプルプログラム

32 ビットインプットキャプチャのサンプルプログラムについて説明します。

設定手順例 1

ICU4に入力するパルスの立上りを検出してフリーランタイマの値を記録する。
これを2回繰り返してトリガからトリガまでのとき間を計測する。ただし，キャプチャ値の読出しと計算処理は割込み処理とする。

1. 初期設定

・フリーランタイマ ch.3 の制御　　レジスタ名．ビット名

制御レジスタの設定 クロック選択≫	TCCSH3/ TCCSL3 .ECKE
コンペア割込み要求フラグ≫ コンペア割込み要求許可≫	.ICLR .ICRE
カウント動作≫	.STOP
TCDT クリア カウントクロック≫	.SCLR .CLK3-0
タイマデータ値の設定	TCDT3

・ポート　　レジスタ名．ビット名

ポートの ICU4 入力設定	『I/O ポート』の章参照

・インプットキャプチャの制御　　レジスタ名．ビット名

制御レジスタの設定	ICS45
割込み要求フラグ≫	.ICP5,ICP4
割込み要求許可≫	.ICE5,ICE4
ch.5 有効エッジ極性選択≫	.EG51,EG50
ch.4 有効エッジ極性選択≫	.EG41,EG40

・割込み関連　　レジスタ名．ビット名

割込みレベルの設定	ICR36
I フラグの設定	(CCR)

・変数の設定

2. 起動

・インプットキャプチャch.4 起動　　レジスタ名．ビット名

割込み制御	ICS45.ICE4

・フリーランタイマch.3 起動　　レジスタ名．ビット名

カウント動作起動	TCCSL3.STOP

3. 割込み

・割込み処理　　レジスタ名．ビット名

割込み要求フラグのクリア	ICS45.ICP4
(任意の処理)	
.....	

4. 割込みベクタ

・ベクタテーブルの設定

(注意事項)
事前にクロック関連の設定および__set_il(数値) の設定が必要です。『クロック』および『割込み(割込みコントローラ)』の章を参照してください。

プログラム例 1

```
void INPUT0_sample_1(void)
{
      freerun0_initial();
      INPUT4_initial();
      INPUT4_start();
      freerun0_start();
}

void freerun0_initial(void)
{
      IO_TCCS3.word = 0x0041;  /* 設定値=0000_0000_0100_0001 */
                               /* bit15 = 0     ECKE 内部クロックソース */
                               /* bit14 -10 =0  予約ビット */
                               /* bit9 = 0      割込みフラグクリア */
                               /* bit8 = 0      割込み禁止 */
                               /* bit7 = 0      予約ビット */
                               /* bit6 = 1      */
                               /* bit5 = 0      予約ビット */
                               /* bit4 = 0      */
                               /* bit3-0 = 0001 */
      IO_TCDT3 = 0x0000;       /* タイマデータ値の初期化 */
}

void INPUT4_initial(void)
{
      PORT_SETTING_ICU4_IN();   /* ICU0 端子をペリフェラル入力に設定してください。 */

      IO_ICS45.byte = 0x01;     /* 設定値=0000_0001 */
                                /* bit7-6 = 00 ICP5,4, 0 割込み要求フラグクリア */
                                /* bit5-4 = 00 ICE5,4, 0 割込み禁止 */
                                /* bit3-2 = 00 EG51, EG50 ch.5 エッジ検出なし */
                                /* bit1-0 = 01 EG41, EG40 ch.4 立上りエッジ検出 */

      IO_ICR[36].byte = 0x10;   /* インプットキャプチャ ch.4 割込みレベル設定( 値は任意) */
      __EI();                   /* 割込み許可 */
      count = 0;
}

void INPUT4_start(void)
{
      IO_ICS45.bit.ICE4 = 1;     /* bit4 = 1 ICE45 ch.4 割込み許可 */
}

void freerun3_start(void)
{
      IO_TCCSL3.bit.STOP = 0;     /* bit6 = 0 STOP カウント許可 */
}

__interrupt void INPUT4_int(void)
{
      IO_ICS45.bit.ICP4 = 0;     /* bit6 = 0 ICP4 有効エッジ検出フラグのクリア */
} count++;

ベクタテーブルにて割込みルーチンの指定が必要
#pragma intvect INPUT4_int 52
```

9. 注意事項

32 ビットインプットキャプチャの注意事項について説明します。

- **インプットキャプチャデータレジスタ**
  リセット時のインプットキャプチャレジスタの値は不定です。

  インプットキャプチャデータレジスタの読出しは、必ず 32 ビットアクセスで行ってください。

- **周期測定データレジスタ**
  周期測定データレジスタの読出しは、必ず 32 ビットアクセスで行ってください。

- **リードモディファイライト**
  インプットキャプチャ割込み要求ビット(ICP4～ICP9)をリードモディファイライトで読み出すと"1"が読めます。

- **割込み処理時の注意**
  - インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICPn)に"1"を設定し、次に割込み要求を許可(ICS.ICEn=1)に設定した場合、割込み処理から戻るために、割込み要求フラグ(ICPn)は、必ず"0"クリアしてください。
  - 周期・パルス幅測定動作時は割込みルーチンが処理されるまでの間に外部入力端子(ICUn)のエッジが検出され、周期・パルス幅の測定が行われると、周期測定データレジスタ(MSCYn)、インプットキャプチャデータレジスタ(IPCPn)には測定した最新の情報が示されます。

Chapter 24: 16 ビットフリーランタイマ

16 ビットフリーランタイマについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS17-1v0-91520-9-J

1. 概要

16 ビットフリーランタイマの概要について説明します。

フリーランタイマは、1 個のフリーランタイマ同時起動・3 個(各 1 チャネルで計 3 チャネル)の 16 ビットフリーランタイマ・1 個のフリーランタイマセレクタから構成されます。

2. 特長

16 ビットフリーランタイマの特長について説明します。

■ フリーランタイマ同時起動の機能

- 3 個ある 16 ビットフリーランタイマのうち、指定した 16 ビットフリーランタイマを同時起動/クリア可能です。
- フリーランタイマ同時起動を許可する各 16 ビットフリーランタイマのタイマ状態レジスタ(TCCS)のタイマ許可ビット(STOP)およびタイマクリアビット(SCLR)を同時に制御します。
- 同時起動/クリアを行わない場合、各 16 ビットフリーランタイマはタイマ状態レジスタ(TCCS)のタイマ許可ビット(STOP)およびタイマクリアビット(SCLR)を設定することにより、個別に起動/クリア可能です。

■ 16 ビットフリーランタイマの機能

- 16 ビットフリーランタイマは 16 ビットアップ/ ダウンカウンタ, 制御レジスタ, 16 ビットコンペアクリアレジスタ(バッファレジスタがあります)およびプリスケーラから構成されています。
- 9 種類のカウンタ動作クロック(ϕ,ϕ/2, ϕ/4, ϕ/8, ϕ/16, ϕ/32, ϕ/64, ϕ/128, ϕ/256)を選択することができます(ϕ : 周辺クロック)。
- コンペアクリア割込みは, コンペアクリアレジスタと 16 ビットフリーランタイマが比較され、一致した場合に生成されます。"0"検出割込みは、16 ビットフリーランタイマがカウント値"0"を検出している間に生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります(このバッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16 ビットフリーランタイマが停止し、バッファにデータが書き込まれると、転送は直ちに実行されます。16 ビットフリーランタイマの動作中にタイマ値"0"が検出されるとバッファからデータが転送されます。
- リセットやソフトウェアクリアあるいはコンペアクリアレジスタとのコンペア一致が発生すると、カウンタ値は"0000_H"にリセットされます。
- このカウンタの出力値は、アウトプットコンペアとインプットキャプチャと A/D 起動コンペアのクロックカウントとして使用することができます。

■ フリーランタイマセレクタの機能

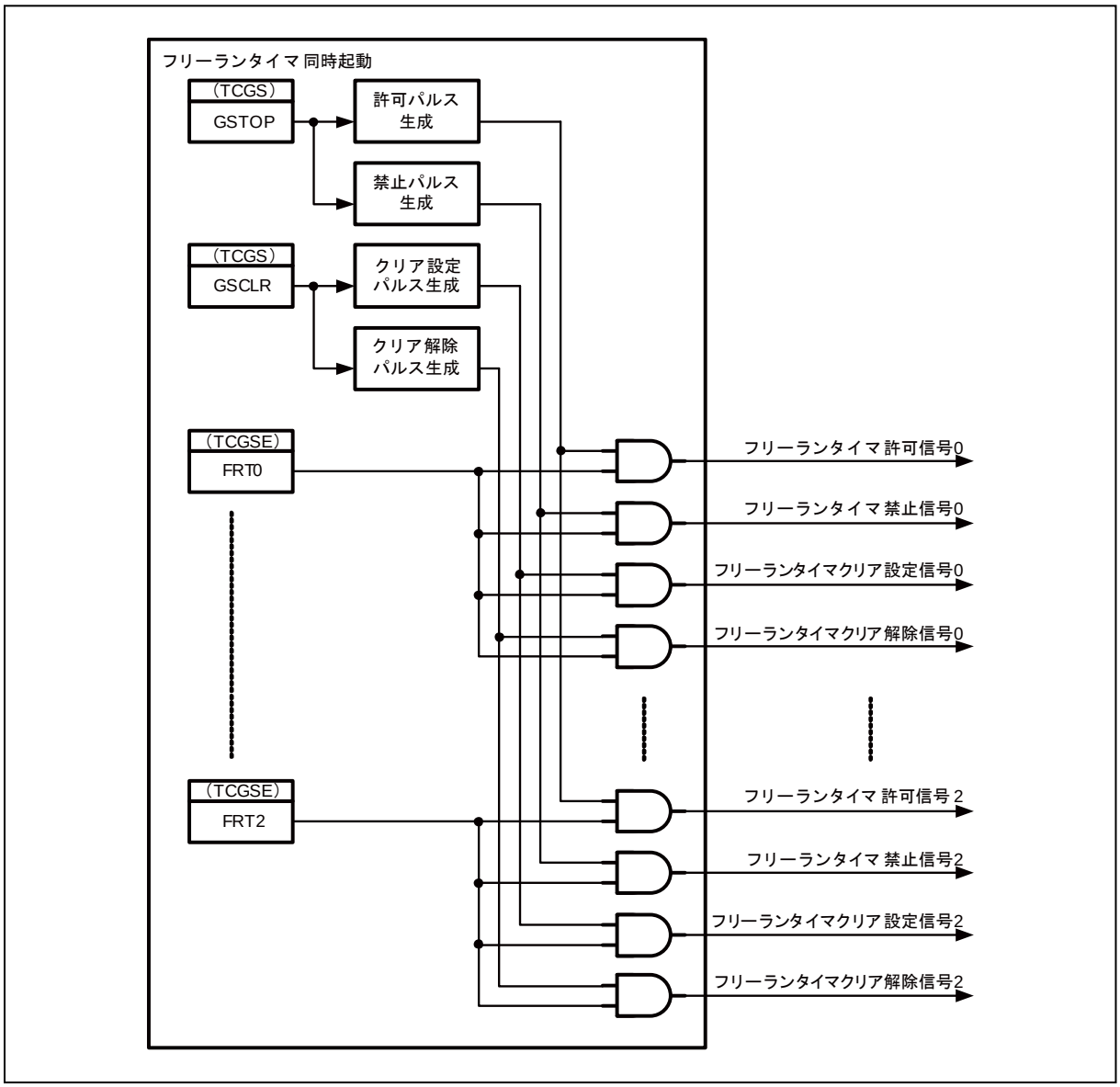
- フリーランタイマ選択レジスタによって、フリーランタイマの割当てを、16 ビットアウトプットコンペア, 16 ビットインプットキャプチャ, A/D 起動コンペアから選択することができます。

3. 構成

16 ビットフリーランタイマの構成について説明します。

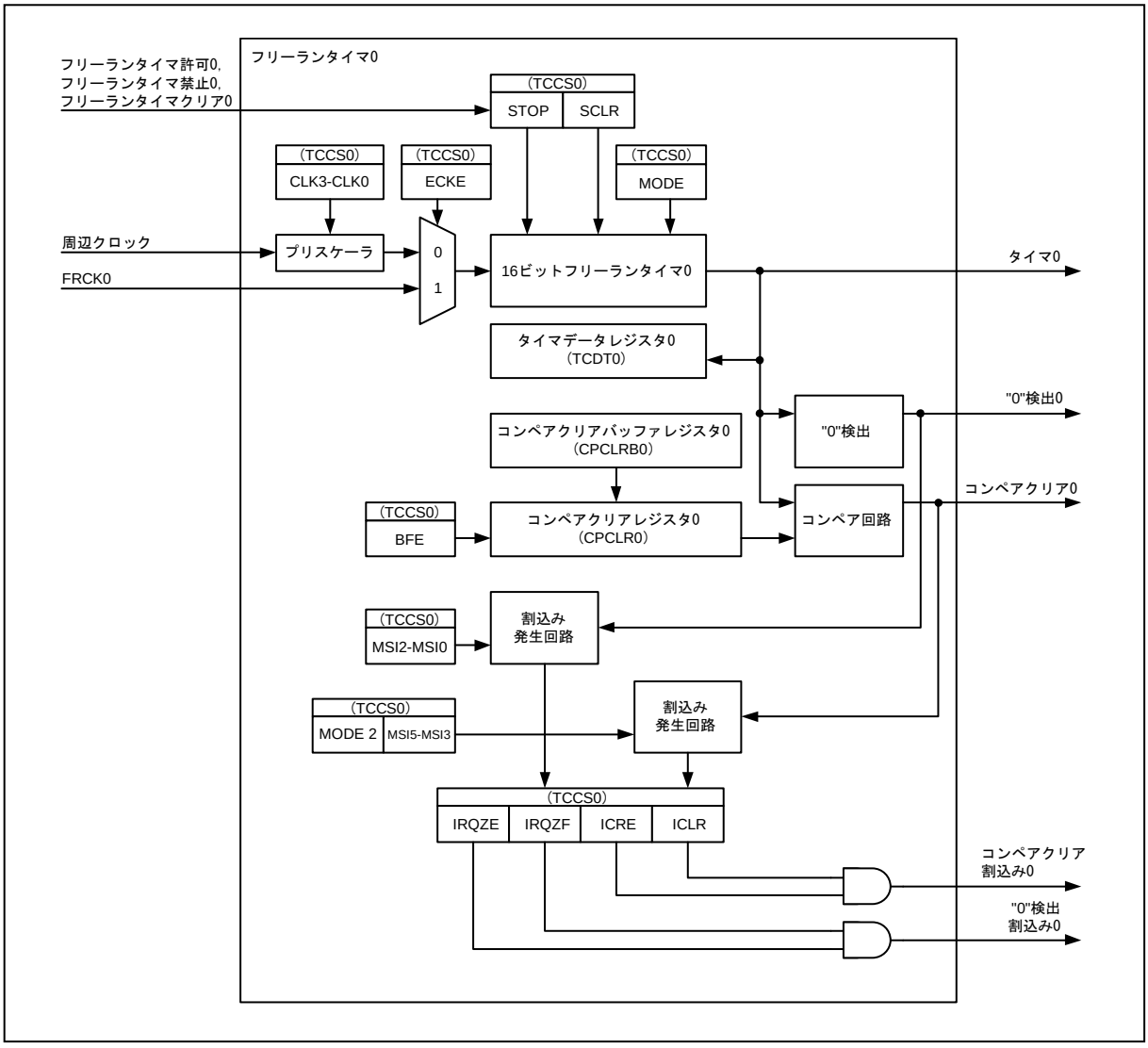
■ フリーランタイマ同時起動の構成

図 3-1 フリーランタイマ同時起動の構成



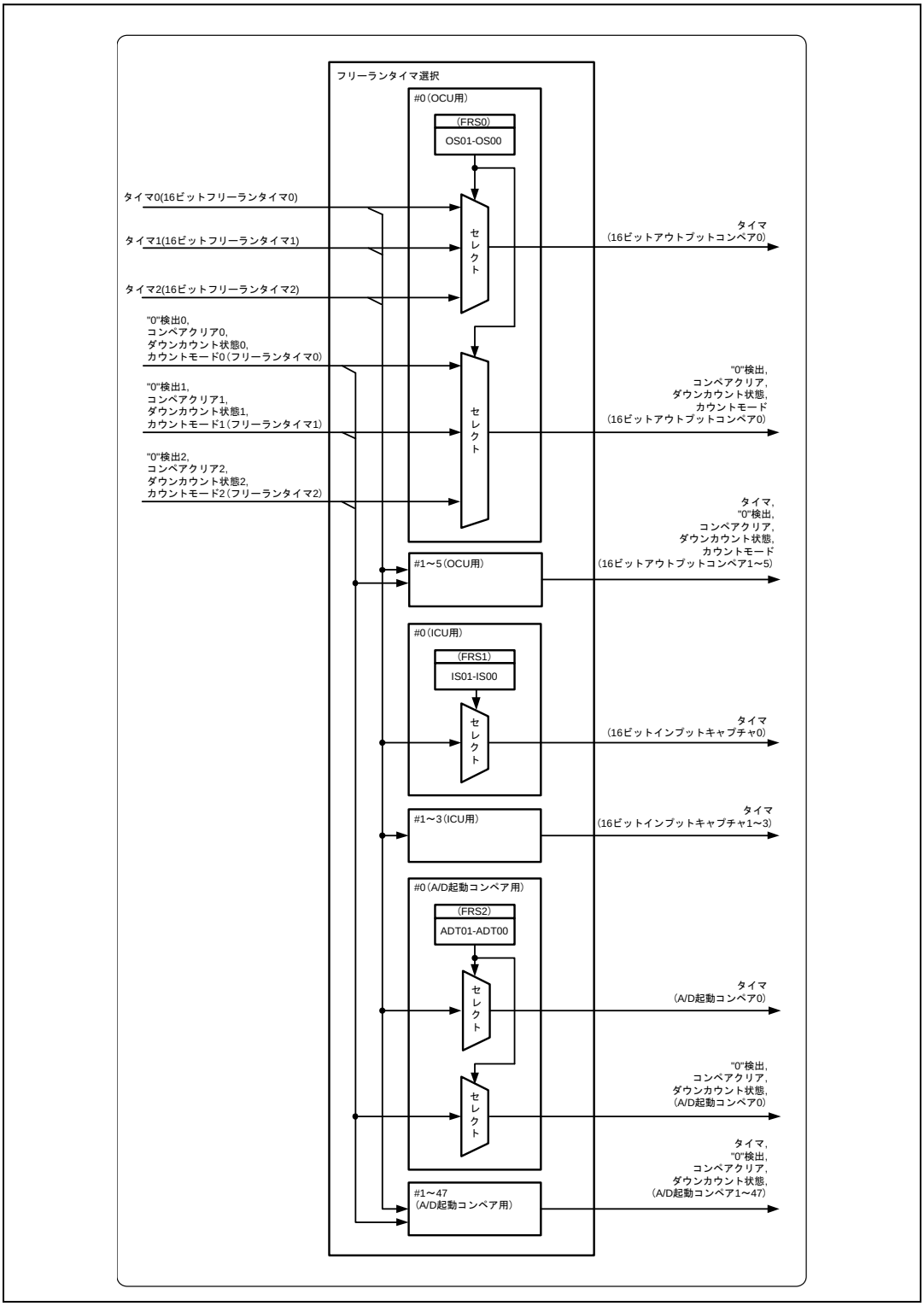
■ 16 ビットフリーランタイマの構成

図 3-2 16 ビットフリーランタイマの構成 (1 チャネル分)



■ フリーランタイマセレクタの構成

図 3-3 フリーランタイマセレクタの構成



4. レジスタ

16 ビットフリーランタイマのレジスタについて説明します。

■外部端子表

チャネル	外部端子 (FRCK)	
	MB91F52xB	MB91F52xD, MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL
0	FRCK0_0	FRCK0_0
1	FRCK1_1	FRCK1_0/ FRCK1_1
2	FRCK2_0	FRCK2_0

■レジスター一覧

表 4-1 フリーランタイマ同時起動のレジスター一覧

アドレス	+0	+1	+2	+3
0x1200	タイマ同時起動レジスタ (TCGS)	予約	予約	タイマ同時起動許可レジスタ (TCGSE)

表 4-2 16 ビットフリーランタイマのレジスター一覧

アドレス	+0	+1	+2	+3
0x1204	コンペアクリアバッファレジスタ 0 (CPCLRB0) コンペアクリアレジスタ 0 (CPCLR0)		タイマデータレジスタ (TCDT0)	
0x1208	タイマ状態制御レジスタ 0 (TCCS0)			予約
0x120C	コンペアクリアバッファレジスタ 1 (CPCLRB1) コンペアクリアレジスタ 1 (CPCLR1)		タイマデータレジスタ (TCDT1)	
0x1210	タイマ状態制御レジスタ 1 (TCCS1)			予約
0x1214	コンペアクリアバッファレジスタ 2 (CPCLRB2) コンペアクリアレジスタ 2 (CPCLR2)		タイマデータレジスタ (TCDT2)	
0x1218	タイマ状態制御レジスタ 2 (TCCS2)			予約

表 4-3 フリーランタイマセレクタのレジスター覧

アドレス	+0	+1	+2	+3
0x1234	予約	フリーランタイマ選択レジスタ 0 (FRS0)		
0x1238	予約	予約	フリーランタイマ選択レジスタ 1 (FRS1)	
0x123C	フリーランタイマ選択レジスタ 2 (FRS2)			
0x1240	フリーランタイマ選択レジスタ 3 (FRS3)			
0x1244	フリーランタイマ選択レジスタ 4 (FRS4)			
0x12D0	フリーランタイマ選択レジスタ 5 (FRS5)			
0x12D4	フリーランタイマ選択レジスタ 6 (FRS6)			
0x12D8	フリーランタイマ選択レジスタ 7 (FRS7)			

4.1. フリーランタイマ同時起動のレジスタ

フリーランタイマ同時起動のレジスタについて説明します。

フリーラン同時起動には、タイマ同時起動レジスタおよびタイマ同時許可レジスタがあります。

4.1.1. タイマ同時起動レジスタ: TCGS

タイマ同時起動レジスタのビット構成について示します。

タイマ同時起動レジスタ(TCGS)は、フリーランタイマの同時タイマ許可および同時タイマクリアを制御するために使用します。同時タイマ許可および同時タイマクリアするフリーランタイマはタイマ同時起動許可レジスタ(TCGSE)で指定します。

■ **TCGS: アドレス 1200H (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						GSTOP	GSCLR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W	R0,W

[bit7 ～ bit2] 予約

必ず"0"を書き込んでください。

[bit1] GSTOP： 同時タイマ許可ビット

GSTOP	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウントを同時許可する (カウントを開始する)
1		カウントを同時禁止する (カウントを停止する)

・このビットは、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマのカウントを同時停止/同時開始するために使用します。
・このビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマの 16 ビットフリーランタイマのカウントを開始します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマのタイマ状態制御レジスタ(TCCS)の STOP ビットを"0"にします。

・このビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマの 16 ビットフリーランタイマのカウントを停止します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマのタイマ状態制御レジスタ(TCCS)の STOP ビットを"1"にします。

・読出し値は、必ず"0"です。

[bit0] GSCLR：同時タイマクリアビット

GSCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0000_H"に同時初期化

・このビットは、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマ 16 ビットフリーランタイマを"0000_H"に初期化するために使用します。
・このビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマの 16 ビットフリーランタイマを初期化します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマのタイマ状態制御レジスタ(TCCS)の SCLR ビットを"1"にします。

・このビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマの 16 ビットフリーランタイマの初期化指示を解除します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイマのタイマ状態制御レジスタ(TCCS)の SCLR ビットを"0"にします。

・読出し値は、必ず"0"です。

4.1.2. タイマ同時起動許可レジスタ: TCGSE

タイマ同時起動許可レジスタのビット構成について示します。

タイマ同時起動許可レジスタ(TCGSE)は、同時起動/クリアを許可するフリーランタイマを設定します。

■ TCGSE: アドレス 1203H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					FRT2	FRT1	FRT0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

[bit7 ～ bit3] 予約

必ず"0"を書き込んでください。

[bit2 ～ bit0] FRT0 ～ FRT2 : 同時起動/クリア設定ビット

FRT2～FRT0	機能
0	同時起動/クリアしない
1	同時起動/クリアする

・同時起動/クリアを許可するフリーランタイマを設定します。
・本ビットに"0"を設定した場合:
　タイマ同時起動レジスタ(TCGS)の設定時に、フリーランタイマが起動またはクリアされません。

・本ビットに"1"を設定した場合:
　タイマ同時起動レジスタ(TCGS)の設定時に、フリーランタイマが起動またはクリアされます。

4.2. 16 ビットフリーランタイマのレジスタ

16 ビットフリーランタイマのレジスタについて説明します。

16 ビットフリーランタイマには、コンペアクリアバッファレジスタ, コンペアクリアレジスタ, タイマデータレジスタおよびタイマ状態制御レジスタがあります。

4.2.1. コンペアクリアバッファレジスタ: CPCLRB/コンペアクリアレジスタ: CPCLR

コンペアクリアバッファレジスタ/コンペアクリアレジスタのビット構成について示します。

コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)に存在する 16 ビットバッファレジスタです。
CPCLRB レジスタと CPCLR レジスタは、両方とも同じアドレスに存在します。

■ CPCLRB0, 1, 2: アドレス 1204H, 120CH, 1214H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	W	W	W	W	W	W	W	W

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値バッファビット

CL15～CL00	機能
	コンペアクリア値バッファ

- コンペアクリアバッファレジスタは、コンペアクリアレジスタ(CPCLR)と同じアドレスに存在するバッファレジスタです。
- バッファ機能が無効になるか(タイマ状態制御レジスタ(TCCS)の BFE:bit23=0)またはフリーランタイマが停止すると、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。
- バッファ機能が有効になると、16 ビットフリーランタイマのカウント値"0"が検出されたときに値がコンペアクリアレジスタへ転送されます。

＜注意事項＞

コンペアクリアバッファレジスタには、"0000_H"を設定しないでください。
このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令でのアクセスは行わないでください。

■ CPCLR0, 1, 2: アドレス 1204H, 120CH, 1214H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
初期値	1	1	1	1	1	1	1	1
属性	R	R	R	R	R	R	R	R

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値ビット

CL15～CL00	機能
	コンペアクリア値

- コンペアクリアレジスタは、16 ビットフリーランタイマのカウント値と比較するために使用します。
- アップカウントモード時は、このレジスタが 16 ビットフリーランタイマのカウント値と一致すると、16 ビットフリーランタイマは"0000_H"にリセットされます。
- アップダウンカウントモード時は、このレジスタが 16 ビットフリーランタイマのカウント値と一致すると、16 ビットフリーランタイマはアップカウントからダウンカウントに変わるか、または"0"検出時にダウンカウントからアップカウントに変わります。

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。リードモディファイライト系命令でのアクセスは行わないでください。

4.2.2. タイマデータレジスタ: TCDT0 ～ TCDT2

タイマデータレジスタのビット構成について示します。

タイマデータレジスタ(TCDT)は、16 ビットフリーランタイマのカウント値を読み出すために使用します。また、16 ビットフリーランタイマのカウント値を設定することができます。

■ **TCDT0: アドレス 1206H (アクセス: ハーフワード, ワード)**

■ **TCDT1: アドレス 120EH (アクセス: ハーフワード, ワード)**

■ **TCDT2: アドレス 1216H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	T15	T14	T13	T12	T11	T10	T09	T08
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	T07	T06	T05	T04	T03	T02	T01	T00
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15 ～ bit0] T15 ～ T00 : カウント値ビット

T15～T00	機能
	カウント値

・タイマデータレジスタは、16 ビットフリーランタイマのカウント値を読み出すために使用します。
・カウント値は、リセットが発生すると直ちに"0000_H"にクリアされます。
・タイマ値は、このレジスタへ値を書き込むことで設定することができます。ただし、値の書込みはタイマの停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1)でなければなりません。
・16 ビットフリーランタイマは、以下の要因が発生すると直ちに初期化されます。
  ・ リセット
  ・ 16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)のタイマ状態制御レジスタ(TCCS)のクリアビット(SCLR:bit20)=1
  ・ アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0)時におけるコンペアクリアレジスタとタイマカウント値の一致

＜注意事項＞

16 ビットフリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1)の、タイマ状態制御レジスタ(TCCS)のクリアビット(SCLR:bit20)=1 としても、16 ビットフリーランタイマは初期化されません。
タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)にカウント値を書き込むと、意図しないカウントを行う可能性があります。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)にカウント値を書き込む場合、次の手順で書き込んでください。

1. 16 ビットフリーランタイマのカウントを停止する。(タイマ状態制御レジスタ(TCCS)の STOP:bit21 への"1"書込み)
2. タイマデータレジスタにカウント値を設定する。
3. ソフトウェアクリアを行う。(タイマ状態制御レジスタ(TCCS)の SCLR:bit20 への"1"書込み)
4. 16 ビットフリーランタイマのカウントを開始する。

4.2.3. タイマ状態制御レジスタ: TCCS0 ～ TCCS2

タイマ状態制御レジスタのビット構成について示します。

タイマ状態制御レジスタ(TCCS)は、16 ビットフリーランタイマの動作を制御するために使用するレジスタです。

■ TCCS0: アドレス 1208H (アクセス: バイト, ハーフワード, ワード)

■ TCCS1: アドレス 1210H (アクセス: バイト, ハーフワード, ワード)

■ TCCS2: アドレス 1218H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R(RM1), W	R/W	R,W	R,W	R,W	R(RM1), W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	BFE	STOP	MODE	SCLR	CLK3	CLK2	CLK1	CLK0
初期値	0	1	0	0	0	0	0	0
属性	R/W	R,W	R/W	R0,W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				MODE2	MSI5	MSI4	MSI3
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1

[bit31] ECKE : クロック選択ビット

ECKE	機能
0	周辺クロック
1	外部クロック

・このビットは、周辺クロックまたは外部クロックを 16 ビットフリーランタイマのカウントクロックとして選択するために使用します。
・このビットに"0"を設定した場合:
周辺クロックが選択されます。カウントクロック周波数を選択するためには、TCCS レジスタのクロック周波数選択ビット(CLK3 ～ CLK0)も選択しなければなりません。

・このビットに"1"を設定した場合:
外部クロック(FRCK)が選択されます。

＜注意事項＞

カウントクロックは、このビットが設定されると直ちに変更されます。したがって、このビットの変更は、アウトプットコンペアとインプットキャプチャが停止している間でなければなりません。

[bit30] IRQZF :"0" 検出割込みフラグビット

IRQZF	機能	
	読出し時	書込み時
0	"0"検出なし	このビットをクリアする
1	"0"検出あり	このビットに影響を与えない

・16 ビットフリーランタイマのカウント値が"0000_H"のとき、このビットには"1"がセットされます。
・このビットに"0"を設定した場合 : このビットはクリアされます。
・このビットに"1"を設定した場合 : このビットは影響を受けません。
・このビットは"0"検出割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)時の、ソフトウェアクリア(タイマ状態制御レジスタ(TCCS)の SCLR:bit20 への"1"書込み)では、このビットは設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)時は, 割込みマスク選択ビット(タイマ状態制御レジスタ(TCCS)の MSI2 ～ MSI0:bit28 ～ bit26 が"000_B"以外)で設定した割込みが発生したときにこのビットに"1"が設定されます。割込みが発生しないときは, このビットに"1"は設定されません。
アップカウントモード(MODE:bit21=0)時には、MSI2 ～MSI0:bit28 ～ bit26 の値とは無関係に、このビットは"0"検出が発生するたびに設定されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit29] IRQZE : "0"検出割込み要求許可ビット

IRQZE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・このビットと割込みフラグビット(IRQZF:bit30)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit28 ～ bit26] MSI2 ～ MSI0 : 割込みマスク選択ビット

MSI2	MSI1	MSI0	機能
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

・タイマ状態制御レジスタ(TCCS)の MODE2:bit11=0 のとき
  ・ これらのビットは、アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0)時には、コンペアクリア割込みのマスク回数を設定するために使用します。アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)時は、"0"検出割込みのマスク回数を設定するために使用します。
  ・ このビットに"0"を設定した場合、割込み要因はマスクされません。

・タイマ状態制御レジスタ(TCCS)の MODE2:bit11=1 のとき
  ・ これらのビットはアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)時は、"0"検出割込みのマスク回数を設定するために使用します。
  ・ アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=0)の設定は禁止します。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。
フリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)の、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。
フリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1) の、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit25] ICLR : **コンペアクリア割込みフラグビット**

ICLR	機能	
	読出し時	書込み時
0	コンペアクリア一致なし	このビットをクリアする
1	コンペアクリア一致あり	このビットに影響を与えない

・コンペアクリア値と 16 ビットフリーランタイマ値が一致すると、このビットには"1"が設定されます。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットはコンペアクリア一致割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bi21=0)時は、割込みマスク選択ビットで設定した割込みが発生したときにこのビットに"1"が設定されます。
割込みが発生しないときは、このビットに"1"は設定されません。
アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)時は、MSI2 ～ MSI0 ビットの値とは無関係に、このビットはコンペアクリアが発生するたびに設定されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit24] ICRE : **コンペアクリア割込み要求許可ビット**

ICRE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

・このビットとコンペアクリア割込みフラグビット(ICLR:bit25)に"1"が設定されると、CPU に対する割込み要求が生成されます。

[bit23] BFE : **コンペアクリアバッファ許可ビット**

BFE	機能
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

・このビットはコンペアクリアバッファレジスタ(CPCLRB)を有効にするために使用します。
・このビットに"0"を設定した場合:
コンペアクリアバッファレジスタ(CPCLRB)は無効になります。したがって、コンペアクリアレジスタ(CPCLR)に直接書き込むことが可能です。

・このビットに"1"を設定した場合:
コンペアクリアバッファレジスタ(CPCLRB)は有効になります。コンペアクリアバッファレジスタ(CPCLRB)に書き込まれて保持されていたデータは、16 ビットフリーランタイマからのカウント値"0"が検出されると、コンペアクリアレジスタへ転送されます。

[bit22] STOP : **タイマ許可ビット**

STOP	機能
0	カウントを許可する(カウント開始する)
1	カウントを禁止する(カウント停止する)

・このビットは、16 ビットフリーランタイマのカウントを停止/ 開始するために使用します。
・このビットに"0"を設定した場合:
16 ビットフリーランタイマのカウントを開始します。

・このビットに"1"を設定した場合:
16 ビットフリーランタイマのカウントを停止します。

・フリーランタイマ停止中(本ビット=1)に、タイマ状態制御レジスタ(TCCS)の SCLR:bit20=1 としても、フリーランタイマは初期化されません。
・本ビットは、タイマ同時起動許可レジスタ(TCGSE)の FRT ビット=1 時に、タイマ同時起動レジスタ(TCGS)の GSTOP ビットに指定した値が反映されます。

[bit21] MODE : タイマカウントモードビット

MODE	機能
0	アップカウントモード
1	アップダウンカウントモード

・このビットは、16 ビットフリーランタイマのカウントモードを選択するために使用します。
・このビットに"0"を設定した場合:
アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致して"0000_H"にリセットされるまでカウントアップし、その後、再びカウントアップします。

・このビットに"1" を設定した場合:
アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致するまでカウントアップしてその後、ダウンカウントに変わります。その後、カウント値が"0000_H"に達すると再びアップカウントに変わります。

・このビットは、タイマが動作中であっても停止されていても書込みが可能です。タイマが動作中の場合は、このビットに書き込まれた値はバッファに入れられ、その後、タイマ値が"0000_H"になるとバッファの値によりカウントモードが変わります。

[bit20] SCLR : タイマクリアビット

SCLR	機能	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0000_H"に初期化

・このビットは、16 ビットフリーランタイマを"0000_H"に初期化するために使用します。
・16 ビットフリーランタイマの初期化:
16 ビットフリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0) に、このビットに"1"を設定した場合、16 ビットフリーランタイマは、その次のカウントクロックで"0000_H"に初期化されます。16 ビットフリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1) に、このビットに"1"を設定した場合、16 ビットフリーランタイマは初期化されません。

・読出し値は、必ず"0"です。
・本ビットは、タイマ同時起動許可レジスタ(TCGSE)の FRT ビット=1 時に、タイマ同時起動レジスタ(TCGS)の GSTOP ビットに指定した値が反映されます。

＜注意事項＞

このビットに"1"を書き込んでも、"0"検出割込みは生成されません。
"1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。

[bit19 ～ bit16] CLK3 ～ CLK0 : クロック周波数選択ビット

CLK3	CLK2	CLK1	CLK0	機能					
				カウントクロック	ϕ=40MHz	ϕ=20MHz	ϕ=10MHz	ϕ=5MHz	ϕ=2.5MHz
0	0	0	0	ϕ	25ns	50ns	100ns	200ns	400ns
0	0	0	1	ϕ/2	50ns	100ns	200ns	400ns	800ns
0	0	1	0	ϕ/4	100ns	200ns	400ns	800ns	1.6µs
0	0	1	1	ϕ/8	200ns	400ns	800ns	1.6µs	3.2µs
0	1	0	0	ϕ/16	400ns	800ns	1.6µs	3.2µs	6.4µs
0	1	0	1	ϕ/32	800ns	1.6µs	3.2µs	6.4µs	12.8µs
0	1	1	0	ϕ/64	1.6µs	3.2µs	6.4µs	12.8µs	25.6µs
0	1	1	1	ϕ/128	3.2µs	6.4µs	12.8µs	25.6µs	51.2µs
1	0	0	0	ϕ/256	6.4µs	12.8µs	25.6µs	51.2µs	102.4µs
その他　設定禁止				-	-	-	-	-	-

・このビットは、16 ビットフリーランタイマのカウントクロック周波数を選択するために使用します。

＜注意事項＞

CLK3 ～ CLK0 ビットを設定する場合、必ずフリーランタイマが停止していることを確認してください。

[bit15 ～ bit12] 予約

必ず"0"を書き込んでください。

[bit11] MODE2 : 割込みマスクモードビット 2

MODE2	MODE*	機能
0	0	MSI5～MSI3 の設定値は無効
0	1	MSI5～MSI3 の設定値は無効
1	0	設定禁止(動作は保証されません)
1	1	MSI5～MSI3 の設定値が有効

・このビットは、16 ビットフリーランタイマがアップダウンカウントモード時(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1), "0"検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用します。

・タイマ状態制御レジスタ(TCCS)の MODE:bit21="1"のとき、このビットに"1"を設定した場合、本レジスタの MSI5 ～ MSI3:bit10 ～ bit8 に設定した値が有効となり、コンペアクリア割込みを設定した回数マスクします。"0"検出割込みのマスク回数は、タイマ状態制御レジスタ(TCCS) の MSI2 ～ MSI0:bit28

～ bit26 に設定した値が有効となります。

＜注意事項＞

タイマ状態制御レジスタ(TCCS)の MODE:bit21="0"のとき、このビットに"1"を設定した場合、動作は保証されません。

[bit10 ～ bit8] MSI5 ～ MSI3 : **コンペアクリア割込みマスク選択ビット**

MSI5	MSI4	MSI3	機能
0	0	0	1 回目の一致が発生したときに割込み発生
0	0	1	2 回目の一致が発生したときに割込み発生
0	1	0	3 回目の一致が発生したときに割込み発生
0	1	1	4 回目の一致が発生したときに割込み発生
1	0	0	5 回目の一致が発生したときに割込み発生
1	0	1	6 回目の一致が発生したときに割込み発生
1	1	0	7 回目の一致が発生したときに割込み発生
1	1	1	8 回目の一致が発生したときに割込み発生

- このビットは、本レジスタの MODE2:bit11=1 かつタイマ状態制御レジスタ(TCCS)の MODE:bit21=1 のときのみ有効で、コンペアクリア割込みのマスク回数を設定するために使います。"0"検出割込みのマスク回数はタイマ状態制御レジスタ(TCCS)の MSI2～ MSI0:bit28 ～ bit26 で設定します。
- このビットに"000_B"を設定した場合、コンペアクリア割込み要因はマスクされません。

＜注意事項＞

読出し値はマスクカウンタ値です。
リードモディファイライト系命令時、読出し値はマスクレジスタ値です。
書込み時の書込みデータは、マスクレジスタへ書き込まれます。
フリーランタイマ動作中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=0)時は、マスクレジスタへの書込み値は、マスクカウンタが"0"になったときのみ、カウンタへリロードされます。
フリーランタイマ停止中(タイマ状態制御レジスタ(TCCS)の STOP:bit22=1)時は、マスクレジスタへの書込み値は, 直ちにカウンタへリロードされます。

[bit7 ～ bit0] **予約**

必ず"1"を書き込んでください。

4.3. フリーランタイマセレクタのレジスタ

フリーランタイマセレクタのレジスタについて説明します。

フリーランタイマセレクタには、フリーランタイマ選択レジスタがあります。

4.3.1. フリーランタイマ選択レジスタ : FRS

フリーランタイマ選択レジスタのビット構成について示します。

フリーランタイマ選択レジスタ (FRS)は、各インプットキャプチャ, アウトプットコンペア, A/D 起動コンペアに対して、3 チャネルあるフリーランタイマのいずれかを割り当てるかを設定します。

■ **FRS0: アドレス 1234H (アクセス: バイト, ハーフワード, ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1
	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	OS51	OS50	予約	予約	OS41	OS40
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	OS31	OS30	予約	予約	OS21	OS20
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	OS11	OS10	予約	予約	OS01	OS00
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

[bit31 ～ bit24] 予約

必ず"1"を書き込んでください。

[bit23 ～ bit22] 予約

必ず"0"を書き込んでください。

[bit21, bit20] OS51, OS50 : アウトプットコンペア用フリーランタイマセレクタ選択ビット

OS51	OS50	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit19, bit18] 予約

必ず"0"を書き込んでください。

[bit17, bit16] OS41, OS40 : アウトプットコンペア用フリーランタイマセレクタ選択ビット

OS41	OS40	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit15, bit14] 予約

必ず"0"を書き込んでください。

[bit13, bit12] OS31, OS30 : アウトプットコンペア用フリーランタイマセレクタ選択ビット

OS31	OS30	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1

OS31	OS30	機能
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit11, bit10] **予約**

必ず"0"を書き込んでください。

[bit9, bit8] OS21, OS20 : **アウトプットコンペア用フリーランタイマセレクタ選択ビット**

OS21	OS20	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit7, bit6] **予約**

必ず"0"を書き込んでください。

[bit5, bit4] OS11, OS10 : **アウトプットコンペア用フリーランタイマセレクタ選択ビット**

OS11	OS10	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit3, bit2] 予約

必ず"0"を書き込んでください。

[bit1, bit0] OS01, OS00 : アウトプットコンペア用フリーランタイマセレクタ選択ビット

OS01	OS00	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・アウトプットコンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

■ FRS1: アドレス 123AH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	IS31	IS30	予約	予約	IS21	IS20
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	IS11	IS10	予約	予約	IS01	IS00
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

[bit15, bit14] 予約

必ず"0"を書き込んでください。

[bit13, bit12] IS31, IS30 : インプットキャプチャ用フリーランタイマセレクタ選択ビット

IS31	IS30	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・インプットキャプチャに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit11, bit10] 予約

必ず"0"を書き込んでください。

[bit9, bit8] IS21, IS20 : インプットキャプチャ用フリーランタイマセレクタ選択ビット

IS21	IS20	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・インプットキャプチャに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit7, bit6] 予約

必ず"0"を書き込んでください。

[bit5, bit4] IS11, IS10 : インプットキャプチャ用フリーランタイマセレクタ選択ビット

IS11	IS10	機能
0	0	フリーランタイマ 0

IS11	IS10	機能
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・インプットキャプチャに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit3, bit2] 予約

必ず"0"を書き込んでください。

[bit1, bit0] IS01, IS00 : インプットキャプチャ用フリーランタイマセレクタ選択ビット

IS01	IS00	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・インプットキャプチャに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

■ FRS2: アドレス123CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS71	AS70	予約	予約	AS61	AS60
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS51	AS50	予約	予約	AS41	AS40
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	AS31	AS30	予約	予約	AS21	AS20
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS11	AS10	予約	予約	AS01	AS00
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

■ FRS3: アドレス 1240H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS151	AS150	予約	予約	AS141	AS140
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS131	AS130	予約	予約	AS121	AS120
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	AS111	AS110	予約	予約	AS101	AS100
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS91	AS90	予約	予約	AS81	AS80
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

■ FRS4: アドレス 1244H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS231	AS230	予約	予約	AS221	AS220
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS211	AS210	予約	予約	AS201	AS200
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	AS191	AS190	予約	予約	AS181	AS180
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS171	AS170	予約	予約	AS161	AS160
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

■ FRS5: アドレス 12D0H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS311	AS310	予約	予約	AS301	AS300
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS291	AS290	予約	予約	AS281	AS280
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	AS271	AS270	予約	予約	AS261	AS260
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS251	AS250	予約	予約	AS241	AS240
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

■ FRS6: アドレス 12D4H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS391	AS390	予約	予約	AS381	AS380
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS371	AS370	予約	予約	AS361	AS360
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	AS351	AS350	予約	予約	AS341	AS340
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS331	AS330	予約	予約	AS321	AS320
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

■ FRS7: アドレス 12D8H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約	予約	AS471	AS470	予約	予約	AS461	AS460
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約	予約	AS451	AS450	予約	予約	AS441	AS440
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	15	14	13	12	11	10	9	8
	予約	予約	AS431	AS430	予約	予約	AS421	AS420
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	AS411	AS410	予約	予約	AS401	AS400
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R/W	R/W	R0,W0	R0,W0	R/W	R/W

[bit31, bit30] 予約

必ず"0"を書き込んでください。

[bit29, bit28] AS471, AS470 :A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS71/AS151/ AS231/AS311/ AS391/AS471	AS70/AS150/ AS230/AS310/ AS390/AS470	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit27, bit26] 予約

必ず"0"を書き込んでください。

[bit25, bit24] AS461, AS460 : A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS61/AS141/ AS221/AS301/ AS381/AS461	AS60/AS140/ AS220/AS300/ AS380/AS460	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit23, bit22] 予約

必ず"0"を書き込んでください。

[bit21, bit20] AS451, AS450 :A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS51/AS131/ AS211/AS291/ AS371/AS451	AS50/AS130/ AS210/AS290/ AS370/AS450	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit19, bit18] 予約

必ず"0"を書き込んでください。

[bit17, bit16] AS441, AS440 :A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS41/AS121/ AS201/AS281/ AS361/AS441	AS40/AS120/ AS200/AS280/ AS360/AS440	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit15, bit14] 予約

必ず"0"を書き込んでください。

[bit13, bit12] AS431, AS430 :A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS31/AS111/ AS191/AS271/ AS351/AS431	AS30/AS110/ AS190/AS270/ AS350/AS430	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit11, bit10] 予約

必ず"0"を書き込んでください。

[bit9, bit8] AS421, AS420 : A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS21/AS101/ AS181/AS261/ AS341/AS421	AS20/AS100/ AS180/AS260/ AS340/AS420	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit7, bit6] 予約

必ず"0"を書き込んでください。

[bit5, bit4] AS411, AS410 : A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS11/AS91/ AS171/AS251/ AS331/AS411	AS10/AS90/ AS170/AS250/ AS330/AS410	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

[bit3, bit2] 予約

必ず"0"を書き込んでください。

[bit1, bit0] AS401, AS400 : A/D 起動コンペア用フリーランタイマセレクタ選択ビット

AS01/AS81/ AS161/AS241/ AS321/AS401	AS00/AS80/ AS160/AS240/ AS320/AS400	機能
0	0	フリーランタイマ 0
0	1	フリーランタイマ 1
1	0	フリーランタイマ 2
その他		設定禁止(動作を保証しません)

・A/D 起動コンペアに対して割り当てるフリーランタイマを設定します。

＜注意事項＞

このビットを設定する前に、必ずフリーランタイマが停止していることを確認してください。

5. 動作説明

動作について説明します。

- **フリーランタイマ同時起動**
  3 チャネルある 16 ビットフリーランタイマのうち指定した 16 ビットフリーランタイマを同時起動/ クリアします。
- **16 ビットフリーランタイマ**
  16 ビットフリーランタイマはカウント動作を許可すると、タイマデータレジスタ(TCDT)に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。
- **フリーランタイマセレクタ**
  16 ビットアウトプットコンペア, 16 ビットインプットキャプチャそれぞれに対して、フリーランタイマ入力を選択することができます。

5.1. 16 ビットフリーランタイマの割込み

16 ビットフリーランタイマの割込みについて説明します。

16 ビットフリーランタイマの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 16 ビットフリーランタイマの割込み制御ビットと割込み要因

	16 ビットフリーランタイマ	
	コンペアクリア	"0"検出
割込み要求フラグビット	タイマ状態制御レジスタ (TCCS)の ICLR:bit25	タイマ状態制御レジスタ (TCCS)の IRQZF:bit30
割込み要求許可ビット	タイマ状態制御レジスタ (TCCS)の ICRE:bit24	タイマ状態制御レジスタ (TCCS)の IRQZE:bit29
割込み要因	16 ビットフリーランタイマ値が コンペアクリアレジスタ (CPCLR)と一致する	16 ビットフリーランタイマ値が "0000_H"になる

16 ビットフリーランタイマの値がコンペアクリアレジスタ(CPCLR)と一致すると、タイマ状態制御レジスタ(TCCS)の ICLR:bit25 がセットされます。セット状態において割込み要求が許可(TCCS) の ICRE:bit24=1) になると、割込み要求が割込みコントローラへ出力されます。

タイマ値が"0000_H"になると、タイマ状態制御レジスタ(TCCS)の IRQZF:bit30 がセットされます。

セット状態において割込み要求が許可(TCCS の IRQZE:bit29=1)になると、割込み要求が割込みコントローラへ出力されます。

5.2. 16 ビットフリーランタイマの動作

16 ビットフリーランタイマの動作について説明します。

16 ビットフリーランタイマは、リセット完了後、タイマデータレジスタ(TCDT)に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。

5.2.1. タイマクリア

タイマクリアについて説明します。

16 ビットフリーランタイマのカウント値は、下記のいずれかの場合にクリアされます。

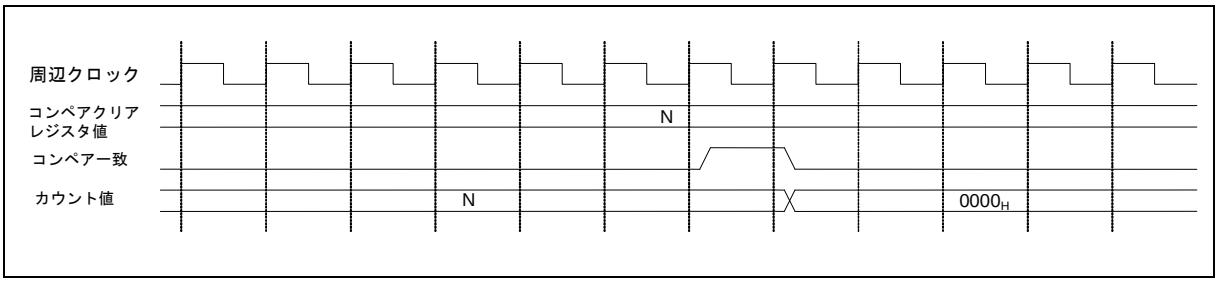
- アップカウントモード(TCCS レジスタの MODE:bit21=0)によってコンペアクリアレジスタとの一致が検出された場合
- 動作中に TCCS レジスタの SCLR:bit20 に"1"が書き込まれた場合
- 停止中に TCDT レジスタに"0000_H" が書き込まれた場合
- リセットされた場合

リセットされると、カウンタは直ちにクリアされます。ソフトウェアクリアされた場合またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

＜注意事項＞

停止中に TCCS レジスタの SCLR:bit20 に"1"が書き込まれても、16 ビットフリーランタイマのカウント値はクリアされません。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)に TCDT レジスタに"0000_H"を書き込むと、意図しないカウントを行う可能性があります。
アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE:bit21=1)の TCDT レジスタの設定手順については「4.2.2. タイマデータレジスタ: TCDT0 ～ TCDT2」を参照してください。

図 5-1 16 ビットフリーランタイマのクリアタイミング



5.2.2. タイマモード

タイマモードについて説明します。

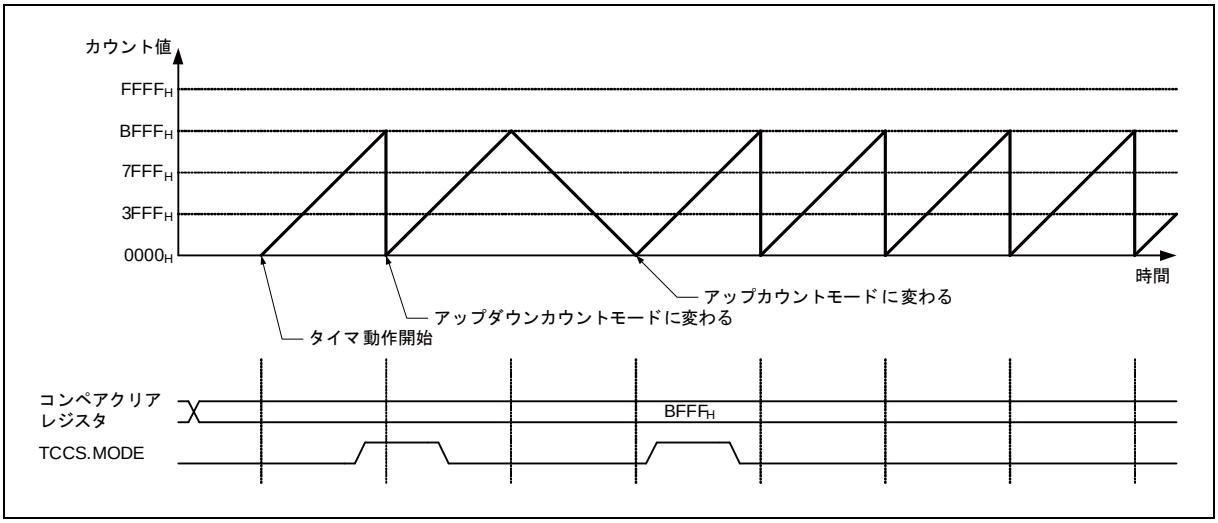
16 ビットフリーランタイマでは、以下のどちらかのモードを選択することができます。

・アップカウントモード(TCCS レジスタの MODE:bit21=0)
・アップダウンカウントモード(TCCS レジスタの MODE:bit21=1)
アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウンタは"0000_H"にクリアされて再びカウントアップします。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウンタ値が"0000_H"に達するまでカウントダウンして再びカウントアップします。

モードビット(TCCS レジスタの MODE:bit21)には、タイマが動作中であろうと停止していようと、いつでも値を書き込むことができます。タイマ動作中にこのビットに書き込まれた値はバッファに入れられ、カウントモードはタイマ値が"0000_H"になると変わります。

図 5-2 タイマ動作中にタイマモードを変える



5.2.3. コンペアクリアバッファ

コンペアクリアバッファについて説明します。

コンペアクリアレジスタ(CPCLR)には、有効または無効にすることができるバッファ機能が存在します。バッファ機能が有効(TCCS レジスタの BFE:bit23=1)の場合は、コンペアクリアバッファレジスタ(CPCLRB)に書き込まれたデータは、16 ビットフリーランタイマ値"0"が検出されると CPCLR レジスタに転送されます。バッファ機能が無効(TCCS ビットの BFE:bit23=0)の場合は、データは CPCLR レジスタに直接書き込むことができます。

図 5-3 コンペアクリアバッファが無効(TCCS レジスタ BFE:bit23=0)時のアップカウントモードによる動作

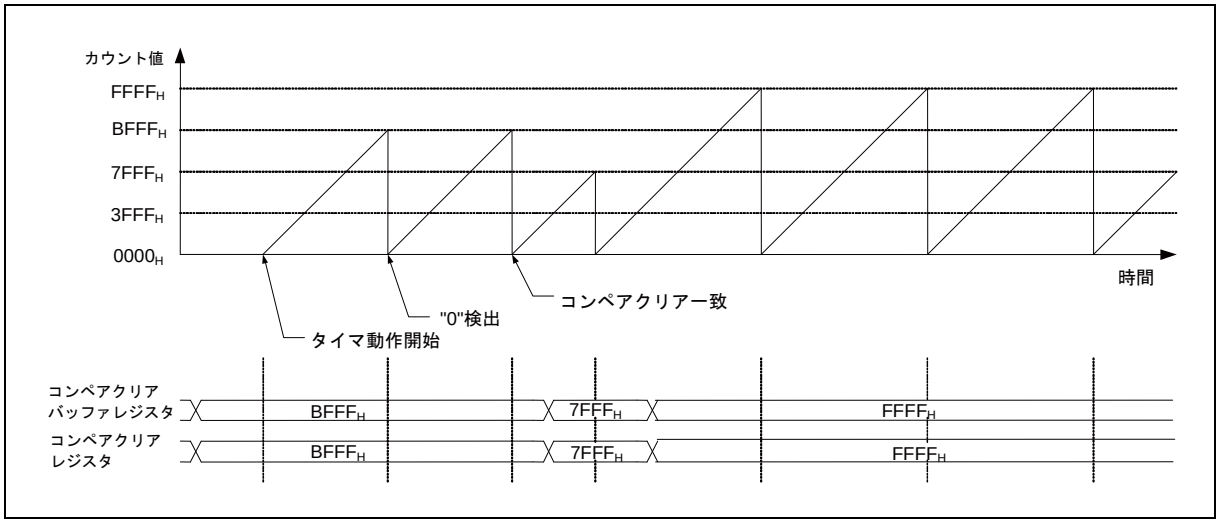


図 5-4 コンペアクリアバッファが有効(TCCS レジスタ BFE:bit23=1)時のアップカウントモードによる動作

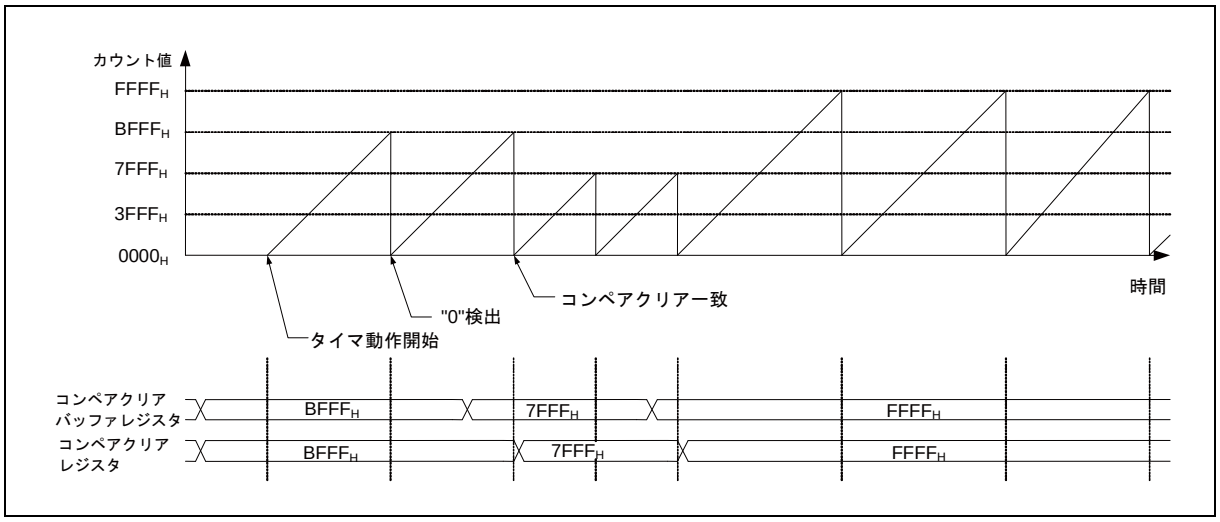
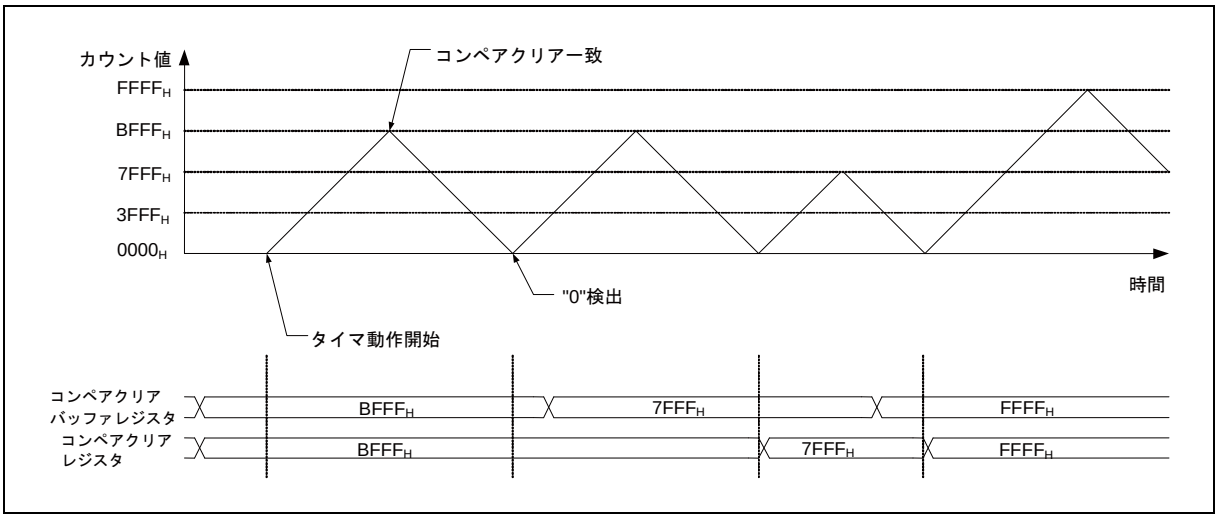


図 5-5 コンペアクリアバッファが有効(TCCS レジスタ BFE:bit23=1)時のアップダウンカウントモードによる動作



5.2.4. タイマ割込み

タイマ割込みについて説明します。

16 ビットフリーランタイマでは、以下の 2 つの割込みを生成できます。

・コンペアクリア割込み
・"0"検出割込み

コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致すると生成されます。

"0"検出割込みは、タイマ値が"0000_H"に達すると生成されます。

＜注意事項＞

ソフトウェアクリア(TCCS レジスタの SCLR:bit20=1)は、"0"検出割込みを生成しません。

図 5-6 アップカウントモード(TCCS レジスタ MODE:bit21=0)で生成された割込み

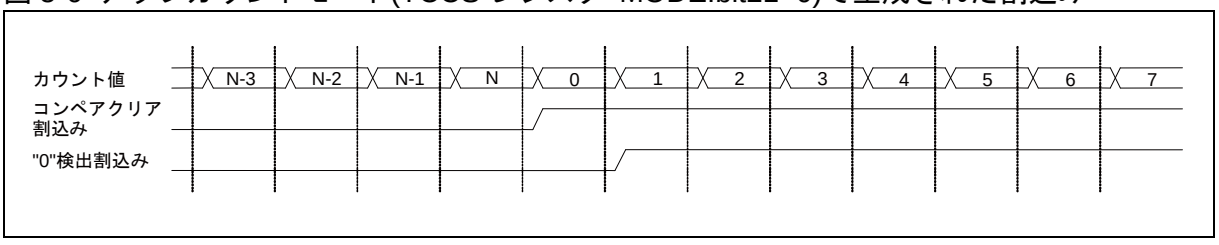
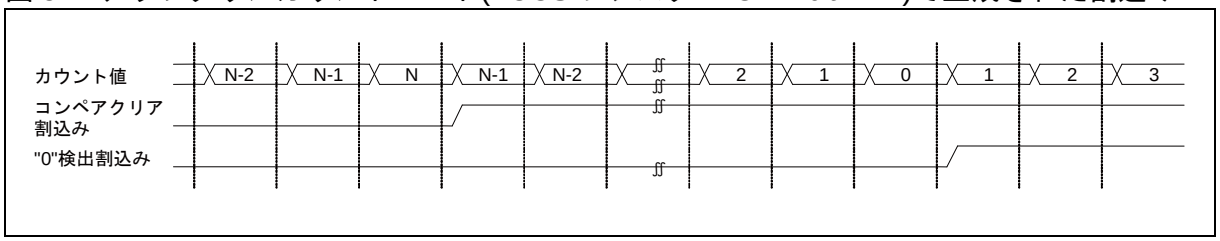


図 5-7 アップダウンカウントモード(TCCS レジスタ MODE:bit21=1)で生成された割込み



5.2.5. 割込みマスク機能

割込みマスク機能について説明します。

"0"検出割込み/コンペア一致割込みのどちらか1つ、もしくは両方をマスクすることができます。以下にどちらか1つの割込みをマスクする場合について説明します。

- TCCS レジスタの MSI2 ～ MSI0:bit28 ～ bit26 設定すると割込み要求をマスクすることができます。MSI2 ～ MSI0 ビットは, カウント値が"000_B"に達すると値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ～ MSI0 ビットに直接書くことによってもロードすることができます。マスクカウントは、MSI2 ～ MSI0 に設定された値です。MSI2 ～ MSI0 ビットが"000_B"になると、割込み要求はマスクされません。
- 割込み要求はカウントモード(TCCS レジスタの MODE:bit21)によって異なります。アップカウントモード時は、コンペアクリア割込みのみをマスクすることができ、"0"検出割込みは"0"が検出されるたびに生成されます。アップダウンカウントモード時は"0"検出割込みのみをマスクすることができます。

以下に両方の割込み要求をマスクする場合について説明します。

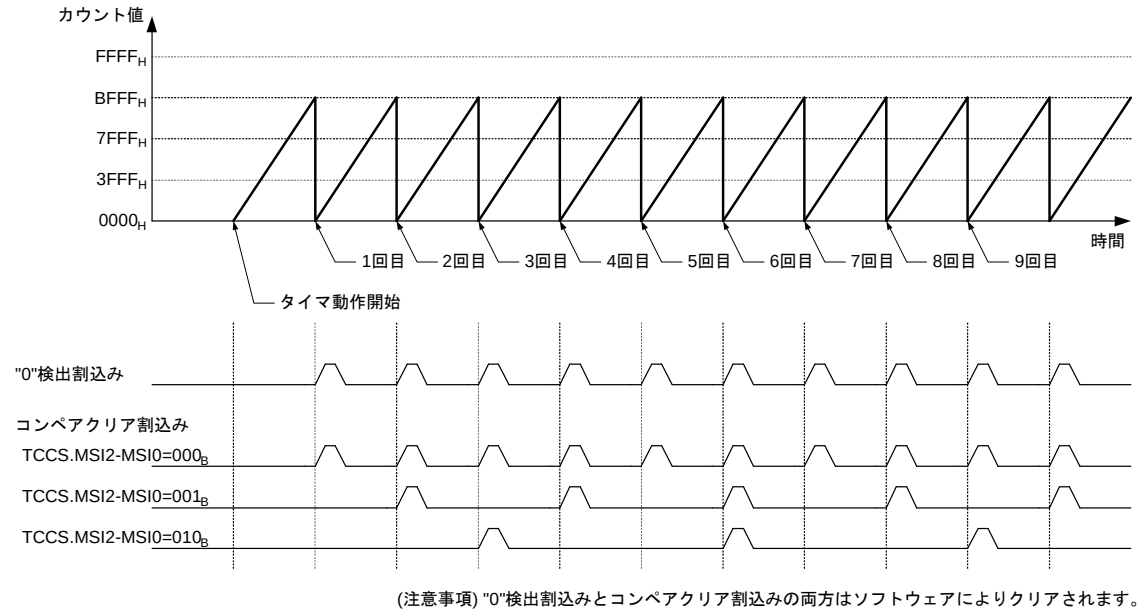
- フリーランタイマがアップダウンカウントモード時のみ、TCCS レジスタの MODE2=1 かつ TCCS レジスタの MODE=1 にすると両方の割込みマスクができます。

"0"検出割込みマスク用には TCCS レジスタの MSI2 ～ MSI0 ビットを、コンペアクリア割込みマスク用には TCCS レジスタの MSI5 ～ MSI3 ビットを使用します。

＜注意事項＞

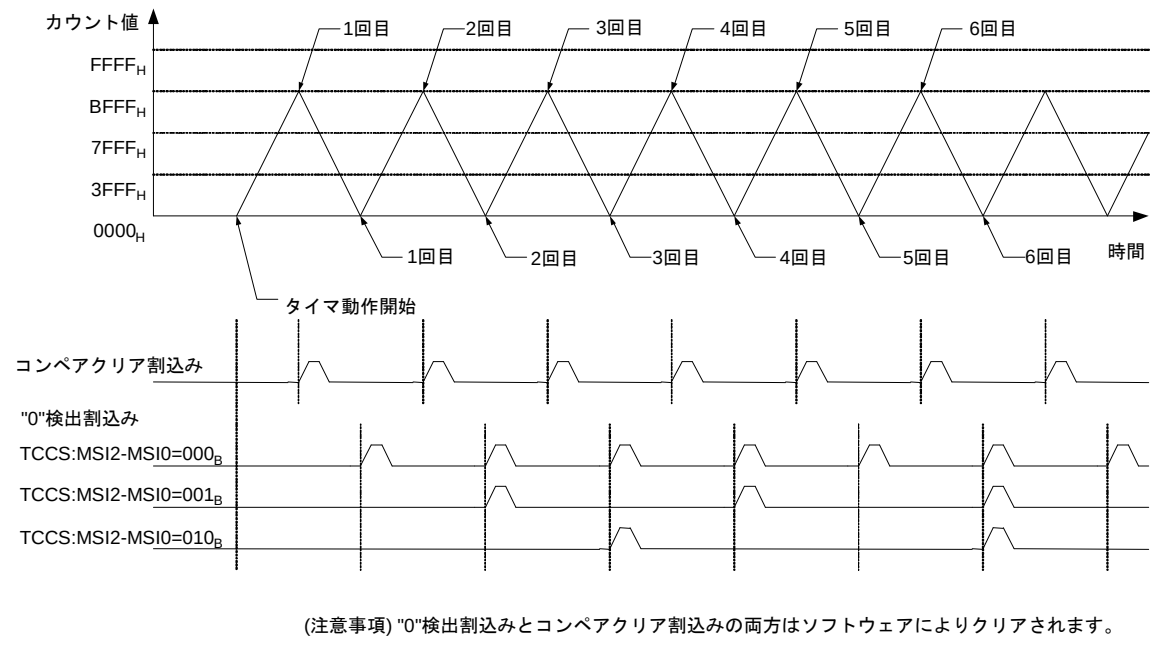
ソフトウェアクリア(TCCS レジスタの SCLR:bit20=1)は、"0"検出割込みを生成しません。

図 5-8 アップカウントモードでマスクされるコンペアクリア割込み



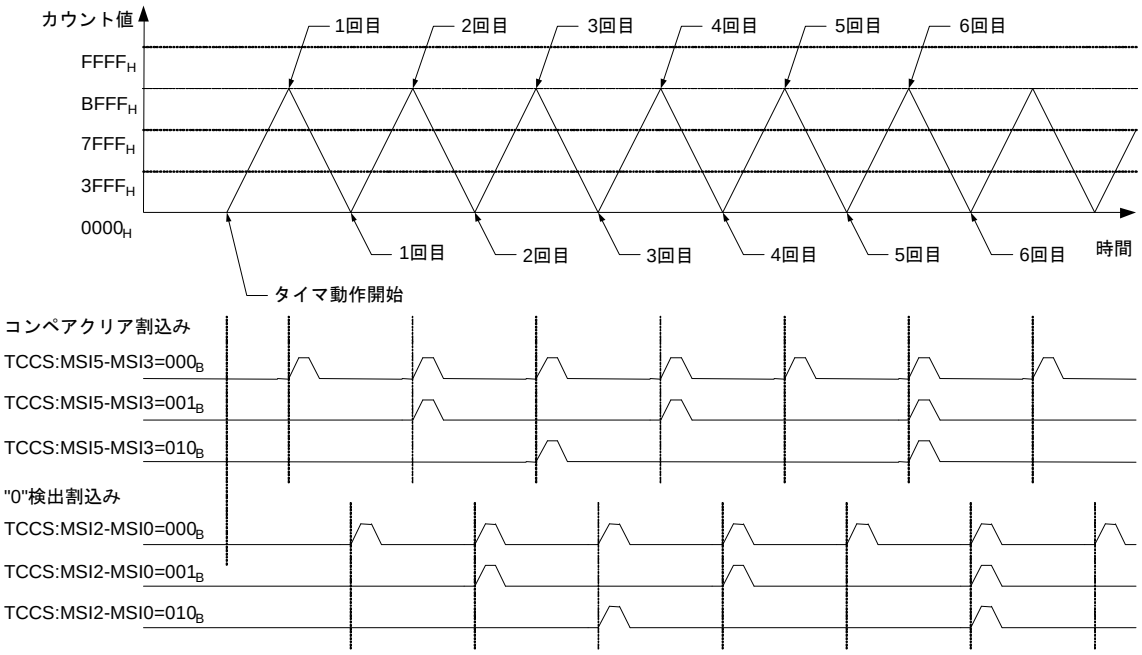
(注意事項) "0"検出割込みとコンペアクリア割込みの両方はソフトウェアによりクリアされます。

図 5-9 アップダウンカウントモードでマスクされる"0"検出割込み



(注意事項) "0"検出割込みとコンペアクリア割込みの両方はソフトウェアによりクリアされます。

図 5-10 アップダウンカウントモードでマスクされる"0"検出割込みとコンペアクリア割込み



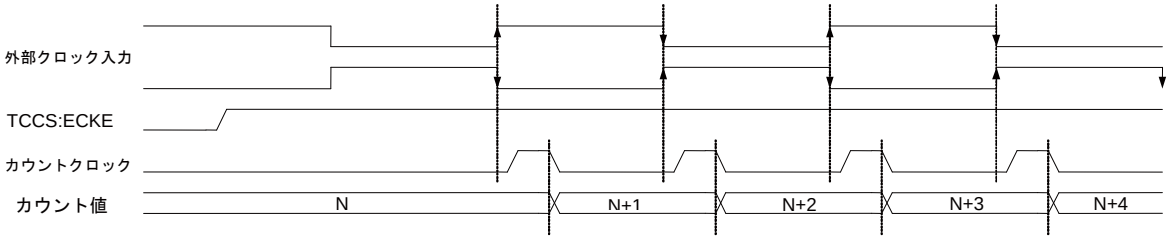
(注意事項) "0"検出割込みとコンペアクリア割込みの両方はソフトウェアによりクリアされます。

5.2.6. 選択された外部カウントクロック

選択された外部カウントクロックについて説明します。

16 ビットフリーランタイマは、入力クロック(周辺クロックまたは外部クロック)に基づいてインクリメントされます。外部クロックが選択されると、外部クロックモード(TCCS レジスタの ECKE:bit31=1)が選択された後、16 ビットフリーランタイマは外部入力の初期値が"1"の場合、立上りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。外部入力の初期値が"0"の場合、立下りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。

図 5-11 16 ビットフリーランタイマのカウントタイミング



＜注意事項＞

外部クロック入力のカウントは、外部クロックの両エッジとなります。

5.3. フリーランタイマセレクタの動作

フリーランタイマセレクタの動作について説明します。

フリーランタイマセレクタは、アウトプットコンペア, インプットキャプチャ, AD 起動コンペア用のフリーランタイマ入力を設定するために使用します。
本チップにはそれぞれ、3 個のフリーランタイマ, 3 個(6 チャネル)のアウトプットコンペア, 2 個 (4 チャネル)のインプットキャプチャ構成で、さらに A/D 起動コンペアは最大 48 チャネル構成なので、それぞれ以下の表に示したレジスタにより選択することができます。

表5-2 レジスタ対応表

周辺機能	レジスタ	備考
OCU0	FRS0:OS0[1:0]	16 ビットアウトプットコンペア
OCU1	FRS0:OS1[1:0]	
OCU2	FRS0:OS2[1:0]	
OCU3	FRS0:OS3[1:0]	
OCU4	FRS0:OS4[1:0]	
OCU5	FRS0:OS5[1:0]	
ICU0	FRS1:IS0[1:0]	16 ビットインプットキャプチャ
ICU1	FRS1:IS1[1:0]	
ICU2	FRS1:IS2[1:0]	
ICU3	FRS1:IS3[1:0]	
ADT0	FRS2:AS0[1:0]	A/D 起動コンペア
ADT1	FRS2:AS1[1:0]	
ADT2	FRS2:AS2[1:0]	
ADT3	FRS2:AS3[1:0]	
ADT4	FRS2:AS4[1:0]	
ADT5	FRS2:AS5[1:0]	

周辺機能	レジスタ	備考
ADT6	FRS2:AS6[1:0]	A/D 起動コンペア
ADT7	FRS2:AS7[1:0]	
ADT8	FRS3:AS8[1:0]	
ADT9	FRS3:AS9[1:0]	
ADT10	FRS3:AS10[1:0]	
ADT11	FRS3:AS11[1:0]	
ADT12	FRS3:AS12[1:0]	
ADT13	FRS3:AS13[1:0]	
ADT14	FRS3:AS14[1:0]	
ADT15	FRS3:AS15[1:0]	
ADT16	FRS4:AS16[1:0]	
ADT17	FRS4:AS17[1:0]	
ADT18	FRS4:AS18[1:0]	
ADT19	FRS4:AS19[1:0]	
ADT20	FRS4:AS20[1:0]	
ADT21	FRS4:AS21[1:0]	
ADT22	FRS4:AS22[1:0]	
ADT23	FRS4:AS23[1:0]	
ADT24	FRS5:AS24[1:0]	
ADT25	FRS5:AS25[1:0]	
ADT26	FRS5:AS26[1:0]	
ADT27	FRS5:AS27[1:0]	
ADT28	FRS5:AS28[1:0]	
ADT29	FRS5:AS29[1:0]	
ADT30	FRS5:AS30[1:0]	
ADT31	FRS5:AS31[1:0]	
ADT32	FRS6:AS32[1:0]	
ADT33	FRS6:AS33[1:0]	
ADT34	FRS6:AS34[1:0]	

周辺機能	レジスタ	備考
ADT35	FRS6:AS35[1:0]	A/D 起動コンペア
ADT36	FRS6:AS36[1:0]	
ADT37	FRS6:AS37[1:0]	
ADT38	FRS6:AS38[1:0]	
ADT39	FRS6:AS39[1:0]	
ADT40	FRS7:AS40[1:0]	
ADT41	FRS7:AS41[1:0]	
ADT42	FRS7:AS42[1:0]	
ADT43	FRS7:AS43[1:0]	
ADT44	FRS7:AS44[1:0]	
ADT45	FRS7:AS45[1:0]	
ADT46	FRS7:AS46[1:0]	
ADT47	FRS7:AS47[1:0]	

表5-3 設定値対応表

設定値	フリーランタイマ
00_B	FRT0(初期状態)
01_B	FRT1
10_B	FRT2
11_B	設定禁止(動作を保証しません)

＜注意事項＞

フリーランタイマ選択レジスタを設定する前に必ずフリーランタイマを停止させてください。

5.4. 動作仕様注意事項

動作の注意事項について説明します。

5.4.1. バッファレジスタへアクセス時の注意

バッファレジスタへアクセス時の注意について説明します。

フリーランタイマ内のCPCLRレジスタにはバッファ機能があります。このレジスタに対して、リードモディファイライト系命令でのアクセスは行わないでください。

5.4.2. 16 ビットフリーランタイマの使用上の注意

16 ビットフリーランタイマの使用上の注意について説明します。

- **プログラムによる設定上の注意**
  - リセットを実行するとタイマ値が"0000_H"になりますが、"0"検出割込みフラグは設定されません。
  - タイマモードビット(TCCS レジスタの MODE)には、バッファがあるので、ゼロ検出後に変更されたタイマモードが有効になります。
  - ソフトウェアクリア(TCCS レジスタの SCLR=1)はタイマを初期化しますが、ゼロ検出割込みを生成しません。
  - コンペア値とカウント値が一致しているときにカウントを開始する場合は、コンペアクリアフラグは設定されません。
  - コンペア値は、"0000_H"以外の値となるように設定してください。仮に設定した場合は、以下の動作となりますので、ご注意ください。
    - タイマモードビット(TCCS レジスタの MODE)がアップカウントモードのときは、タイマ値が"0000_H"に更新されてからタイマ値は"0000_H"固定となります。"0"検出割込みフラグとコンペアクリアフラグがカウントクロックごとに設定され続けます。
    - タイマモードビット(TCCS レジスタの MODE)がアップダウンカウントモードのときは、タイマ値は"0000_H"から"$FFFF_H$"までのアップカウント動作を繰り返します。"0"検出割込みフラグとコンペアクリアフラグはタイマ値が"0000_H"と一致すると設定されます。

- **割込みの注意**
  - タイマ状態制御レジスタ(TCCS)の割込み要求許可ビット(IRQZE)に"1"を設定する前に、必ず割込みフラグ(IRQZF)をクリアしてください。
  - タイマ状態制御レジスタ(TCCS)の割込み要求許可ビット(ICRE)に"1"を設定する前に、必ず割込みフラグ(ICLR)をクリアしてください。

- **TCCS レジスタアクセス時の注意**
  - リードモディファイライト系命令の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からは設定値が読み出されます。
  - 通常の読出し時の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からはカウンタ値が読み出されます。

5.4.3. フリーランタイマセレクタの使用上の注意

フリーランタイマセレクタの使用上の注意について説明します。

必ずフリーランタイマの停止中に選択設定を行ってください。

Chapter 25: 16 ビットアウトプットコンペア

16 ビットアウトプットコンペアについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS18-2v4-91520-7-J

1. 概要

16 ビットアウトプットコンペアの概要について説明します。

6 チャネルの 16 ビットアウトプットコンペアが搭載されています。

2. 特長

16 ビットアウトプットコンペアの特長について説明します。

■ 16 ビットアウトプットコンペアの機能

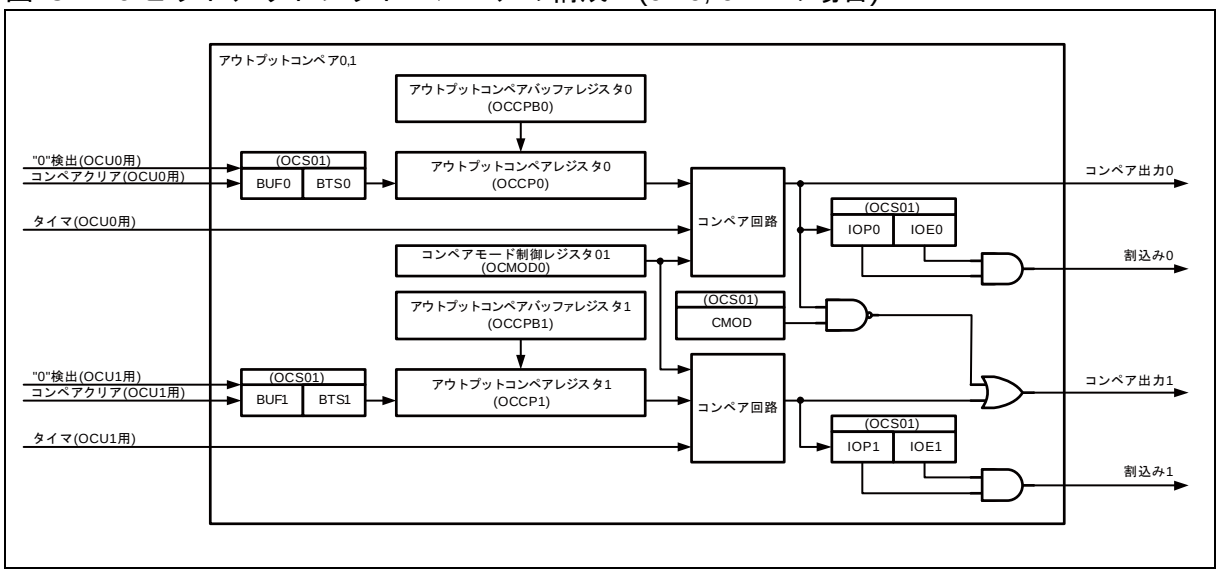
- 16 ビットアウトプットコンペアは、6 個の 16 ビットコンペアレジスタ(選択可能なバッファレジスタがあります), コンペア出力ラッチ, 3 個のコンペア制御レジスタ, コンペアモード制御レジスタから構成されています。16 ビットフリーランタイマの値とコンペアレジスタが一致すると、割込みが生成され, 出力レベルが反転します。
- 6 個のコンペアレジスタは、別々に動作させることができます。出力端子と割込みフラグは各コンペアレジスタに対応しています。
- 2 つのコンペアレジスタを対(ペア)にして出力端子を制御することができます。2 つのコンペアレジスタを一緒に使用することによって出力端子を反転させます。
- 各出力端子の初期値を設定することができます。
- 割込みはアウトプットコンペアレジスタが 16 ビットフリーランタイマと一致した場合に生成されます。
- 各コンペアユニットに対応するフリーランタイマのチャネルを任意に設定することが可能です。
- アウトプットコンペア 6 チャネルは、それぞれフリーランタイマ 0 ～ 2 のいずれかをアウトプットコンペア 0 ～ 5 用入力として選択することが可能です。選択はフリーランタイマ選択レジスタ:FRS0 にて設定することができます。詳細は『16 ビットフリーランタイマ』章の『フリーランタイマ選択レジスタ: FRS』を参照してください。
- アウトプットコンペアのコンペア出力は波形ジェネレータ出力端子から出力することができます。また、PPG タイマの GATE 信号出力を制御することが可能です。詳細は『波形ジェネレータ』の章を参照してください。

3. 構成

16 ビットアウトプットコンペアの構成について説明します。

■ 16 ビットアウトプットコンペアの構成

図 3-1 16 ビットアウトプットコンペアの構成　(ch.0, ch.1 の場合)



4. レジスタ

16 ビットアウトプットコンペアのレジスタについて説明します。

■ 16 ビットアウトプットコンペアのレジスター覧

表 4-1 16 ビットアウトプットコンペアのレジスター覧

アドレス	+0	+1	+2	+3
0x0000124C	アウトプットコンペアバッファレジスタ 0 (OCCPB0), アウトプットコンペアレジスタ 0 (OCCP0)		アウトプットコンペアバッファレジスタ 1 (OCCPB1), アウトプットコンペアレジスタ 1 (OCCP1)	
0x00001250	コンペア制御レジスタ 01 (OCS01)		予約	コンペアモード制御レジスタ 01 (OCMOD01)
0x00001254	アウトプットコンペアバッファレジスタ 2 (OCCPB2), アウトプットコンペアレジスタ 2 (OCCP2)		アウトプットコンペアバッファレジスタ 3 (OCCPB3), アウトプットコンペアレジスタ 3 (OCCP3)	
0x00001258	コンペア制御レジスタ 23 (OCS23)		予約	コンペアモード制御レジスタ 23 (OCMOD23)
0x0000125C	アウトプットコンペアバッファレジスタ 4 (OCCPB4), アウトプットコンペアレジスタ 4 (OCCP4)		アウトプットコンペアバッファレジスタ 5 (OCCPB5), アウトプットコンペアレジスタ 5 (OCCP5)	
0x00001260	コンペア制御レジスタ 45 (OCS45)		予約	コンペアモード制御レジスタ 45(OCMOD45)

4.1. 16 ビットアウトプットコンペアのレジスタ

16 ビットアウトプットコンペアのレジスタについて説明します。

16 ビットアウトプットコンペアには、アウトプットコンペアバッファレジスタ, アウトプットコンペアレジスタ, コンペア制御レジスタおよびコンペアモード選択レジスタがあります。

4.1.1. アウトプットコンペアバッファレジスタ ：OCCPB0 ～ OCCPB5/アウトプットコンペアレジスタ ：OCCP0 ～ OCCP5

アウトプットコンペアバッファレジスタ/アウトプットコンペアレジスタのビット構成について示します。

アウトプットコンペアバッファレジスタ(OCCPB)は、アウトプットコンペアレジスタ(OCCP)用の 16 ビットバッファレジスタです。
アウトプットコンペアレジスタ(OCCP)は、16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。
OCCPB レジスタと OCCP レジスタは、両方とも同じアドレスに存在しています。

■ OCCPB0, 2, 4: アドレス 124CH, 1254H, 125CH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

【bit15 ～ bit0】 OP15 ～ OP00 : コンペア値バッファビット

OP15～OP00	機能
	コンペア値バッファ

・アウトプットコンペアバッファレジスタは、アウトプットコンペアレジスタ(OCCP)用のバッファレジスタです。バッファ機能が無効になるか(コンペア制御レジスタ(OCS)の BUF0:bit2=1)、またはフリーランタイマが停止すると、アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると(コンペア制御レジスタ(OCS)の BUF0:bit2=0)、値はコンペア制御レジスタ(OCS)の転送選択ビット(BTS0:bit2)にしたがってコンペアクリア一致時、またはゼロ検出時に転送されます。

＜注意事項＞

このレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令を使用してください。リードモディファイライト系命令でのアクセスは行わないでください。

■ OCCPB1, 3, 5: アドレス 124EH, 1256H, 125EH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

【bit15 ～ bit0 】OP15 ～ OP00 : コンペア値バッファビット

	機能
OP15～OP00	コンペア値バッファ

・アウトプットコンペアバッファレジスタは、アウトプットコンペアレジスタ(OCCP) 用のバッファレジスタです。バッファ機能が無効になるか(コンペア制御レジスタ(OCS)の BUF1:bit3=1)またはフリーランタイマが停止すると、アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると(コンペア制御レジスタ(OCS)の BUF1:bit3=0)、値はコンペア制御レジスタ(OCS)の転送選択ビット(BTS1:bit3)にしたがってコンペアクリア一致時、またはゼロ検出時に転送されます。

＜注意事項＞

このレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令を使用してください。リードモディファイライト系命令でのアクセスは行わないでください。

■ OCCP0, 2, 4: アドレス 124CH, 1254H, 125CH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

【bit31 ～ bit16】 OP15 ～ OP00 : コンペア値ビット

OP15～OP00	機能
	コンペア値

- アウトプットコンペアレジスタは、16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。16 ビットフリーランタイマの動作を有効にする前にアウトプットコンペアバッファレジスタ(OCCPB)に値を設定してください。
- アウトプットコンペアレジスタの値が 16 ビットフリーランタイマのカウント値と一致するとコンペア信号が生成され、アウトプットコンペア割込みフラグビット(コンペア制御レジスタ(OCS)の IOP0:bit6)が設定されます。出力レベルが設定されると(コンペア制御レジスタ(OCS)の OTD0:bit8), アウトプットコンペアレジスタ(OCCP)に対応するコンペア出力レベルを反転させることができます。
- 以下のすべての条件を満足し、本レジスタ値に 16 ビットフリーランタイマのピーク値以上の値を設定した場合、バッファ転送直後にアウトプットコンペア出力は"1"となります。また、"0000_H"を設定した場合、バッファ転送直後にアウトプットコンペア出力は"0" なります。
  - フリーランタイマがアップダウンカウント
  - コンペア制御レジスタ(OCS)の BUF ビット="0"(バッファ機能有効)
  - コンペア制御レジスタ(OCS)の BTS ビット="1"(コンペアクリア一致時転送)
  - コンペア制御レジスタ(OCS)の CMD ビット="1"
  - コンペアモード制御レジスタ(OCMOD)の MOD ビット="1"

上記のすべての条件を満足しないとき、本レジスタ値と 16 ビットフリーランタイマのアップダウンモード時のピーク値と一致しても、コンペア信号は生成されません。
また、コンペア制御レジスタ(OCS)の CMD ビットの設定によって以下のようになります。

- コンペア制御レジスタ(OCS)の CMOD ビット= 1 のとき
  本レジスタ値に"$FFFF_H$"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらずアウトプットコンペア出力は"1"となります。
  "0000_H"を設定した場合、アウトプットコンペア出力は"0"となります。
- コンペア制御レジスタ(OCS)の CMOD ビット= 0 のとき
  本レジスタ値に"$FFFF_H$"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらず

アウトプットコンペア出力は"0" となります。
"0000_H"を設定した場合、アウトプットコンペア出力は"1"となります。

＜注意事項＞

このレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令を使用してください。
リードモディファイライト系命令でのアクセスは行わないでください。

■ OCCP1, 3, 5: アドレス 124E$_H$, 1256$_H$, 125E$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

【bit15 ～ bit0】 OP15 ～ OP00 : コンペア値ビット

OP15～OP00	機能
	コンペア値

- アウトプットコンペアレジスタは、16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。16 ビットフリーランタイマの動作を有効にする前にアウトプットコンペアバッファレジスタ(OCCPB)に値を設定してください。
- アウトプットコンペアレジスタの値が 16 ビットフリーランタイマのカウント値と一致するとコンペア信号が生成され、アウトプットコンペア割込みフラグビット(コンペア制御レジスタ(OCS)の IOP1:bit7)が設定されます。出力レベルが設定されるとコンペア制御レジスタ(OCS)の OTD1:bit9), アウトプットコンペアレジスタ(OCCP)に対応するコンペア出力レベルを反転させることができます。
- 以下のすべての条件を満足し，本レジスタ値に 16 ビットフリーランタイマのピーク値以上の値を設定した場合、バッファ転送直後にアウトプットコンペア出力は"1"となります。また、"0000_H"を設定した場合、バッファ転送直後にアウトプットコンペア出力は"0"となります。
  - フリーランタイマがアップダウンカウント
  - コンペア制御レジスタ(OCS)の BUF ビット="0"(バッファ機能有効)
  - コンペア制御レジスタ(OCS)の BTS ビット="1"(コンペアクリア一致時転送)
  - コンペア制御レジスタ(OCS)の CMD ビット="1"
  - コンペアモード制御レジスタ(OCMOD)の MOD ビット="1"

上記のすべての条件を満足しないとき、本レジスタ値と 16 ビットフリーランタイマのアップダウンモード時のピーク値と一致しても、コンペア信号は生成されません。
また、コンペア制御レジスタ(OCS)の CMD ビットの設定によって以下のようになります。

- コンペア制御レジスタ(OCS)の CMOD ビット= 1 のとき
  本レジスタ値に"$FFFF_H$"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらずアウトプットコンペア出力は"1" となります。
  "0000_H"を設定した場合、アウトプットコンペア出力は"0"となります。
- コンペア制御レジスタ(OCS)の CMOD ビット= 0 のとき
  本レジスタ値に"$FFFF_H$"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらずアウトプットコンペア出力は"0"となります。
  "0000_H"を設定した場合、アウトプットコンペア出力は"1"となります。

＜注意事項＞

このレジスタへアクセスする場合、 ハーフワードもしくはワードアクセス命令を使用してください。
リードモディファイライト系命令でのアクセスは行わないでください。

4.1.2. コンペア制御レジスタ: OCS

コンペア制御レジスタのビット構成について示します。

コンペア制御レジスタ(OCS)は、OUT0 ～ OUT5 の出力レベル, 出力許可, 出力レベル反転モード,コンペア動作許可, コンペア一致割込み許可およびコンペア一致割込みフラグを制御するために使用します。

■ OCS01: アドレス 1250H (アクセス: バイト, ハーフワード, ワード)

■ OCS23: アドレス 1258H (アクセス: バイト, ハーフワード, ワード)

■ OCS45: アドレス 1260H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	BTS1	BTS0	CMOD	予約		OTD1	OTD0
初期値	0	1	1	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W0	R/W0	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IOP1	IOP0	IOE1	IOE0	BUF1	BUF0	CST1	CST0
初期値	0	0	0	0	1	1	0	0
属性	R(RM1), W	R(RM1), W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15】予約
必ず"0"を書き込んでください。

【bit14】 BTS1 : バッファ転送選択ビット

BTS1	機能
0	"0"検出が発生すると転送が起動 (ch.1)
1	コンペアクリア一致が発生すると転送が起動 (ch.1)

・本ビットは、アウトプットコンペアバッファレジスタ(OCCPB1)からアウトプットコンペアレジスタ(OCCP1)へのデータ転送時期を選択するために使用します。
・本ビットに"0"を設定した場合:
データ転送は、16 ビットフリーランタイマのカウント値"0"が検出されると起動します。
・本ビットに"1"を設定した場合:
データ転送は、16 ビットフリーランタイマでコンペアクリア一致が発生すると起動します。
・ch.3, 5 についても ch.1 と同様になります。

【bit13】 BTS0 : バッファ転送選択ビット

BTS0	機能
0	"0"検出が発生すると転送が起動 (ch.0)
1	コンペアクリア一致が発生すると転送が起動 (ch.0)

・本ビットは、アウトプットコンペアバッファレジスタ(OCCPB0)からアウトプットコンペアレジスタ(OCCP0)へのデータ転送時期を選択するために使用します。
・本ビットに"0"を設定した場合:
データ転送は、16 ビットフリーランタイマのカウント値"0"が検出されると起動します。
・本ビットに"1"を設定した場合:
データ転送は、16 ビットフリーランタイマでコンペアクリア一致が発生すると起動します。
・ch.2, 4 についても ch.0 と同様になります。

【bit12】 CMOD : 出力レベル反転モードビット

CMOD	機能	
0	コンペアモード制御レジスタ: MOD0=0 の場合 コンペア出力 0 は、アウトプットコンペアレジスタ(OCCP0)との一致が発生すると直ちに反転する。 コンペアモード制御レジスタ: MOD1=0 の場合 コンペア出力 1 は、アウトプットコンペアレジスタ(OCCP1)との一致が発生すると直ちに反転する。	コンペアモード制御レジスタ: MOD0=1 または MOD1=1 の場合 アップカウント時の一致時は"1"にセット ダウンカウント時の一致時は"0"にリセット

CMOD	機能	
1	コンペアモード制御レジスタ: MOD0=0 の場合 コンペア出力 0 は、アウトプットコンペアレジスタ(OCCP0)との一致が発生すると直ちに反転する。 コンペアモード制御レジスタ: MOD1=0 の場合 コンペア出力 1 は、アウトプットコンペアレジスタ(OCCP0 または OCCP1)との一致が発生すると直ちに反転する。	コンペアモード制御レジスタ: MOD0=1 または MOD1=1 の場合 アップカウント時の一致時は"0"にセット ダウンカウント時の一致時は"1"にリセット

・本ビットは、一致が発生した場合にコンペア出力レベル反転モードを直ちに切り換えるために使用します。
・アウトプットコンペアのコンペア出力は波形ジェネレータ出力端子(RTO)から出力することができます。出力設定方法については『波形ジェネレータ』の章を参照してください。
・本ビットに"0"を設定した場合:
コンペアモード制御レジスタ: MOD0/MOD1=0 のとき
  ・ コンペアモード制御レジスタ: MOD0=0 の場合
  コンペア出力 0 は、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP6)が一致すると直ちに反転します。
  ・ コンペアモード制御レジスタ: MOD1=0 の場合
  コンペア出力 1 は、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP7)が一致すると直ちに反転します。

  コンペアモード制御レジスタ: MOD0/MOD1=1のとき
  ・ アップカウントモード時に一致したときは、"1"にセット
  ・ ダウンカウントモード時に一致したときは、"0"にリセット
・本ビットに"1"を設定した場合:
コンペアモード制御レジスタ: MOD0/MOD1=0 のとき
  ・ コンペアモード制御レジスタ: MOD0=0 の場合
  コンペア出力 0 は、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP0)が一致すると直ちに反転します。
  ・ コンペアモード制御レジスタ: MOD1=0 の場合
  コンペア出力 1 は、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP0 または OCCP1)が一致すると直ちに反転します。
  ・ アウトプットコンペアレジスタ(OCCP0 と OCCP1)が同じ値の場合は、1 つのコンペアレジスタが使用される場合と同じ動作になります。

  コンペアモード制御レジスタ: MOD0/MOD1=1のとき
  ・ アップカウントモード時に一致したときは、"0"にリセット
  ・ ダウンカウントモード時に一致したときは、"1"にセット
・ch.2,3, ch.4,5 についても ch.0,1 と同様になります。

【bit11, bit10】 予約
必ず"0"を書き込んでください。

【bit9】 OTD1 : 出力レベルビット

OTD1	機能	
	読出し時	書込み時
0	コンペア出力 1 の出力値	コンペア出力 1 が"0"を出力
1		コンペア出力 1 が"1"を出力

・本ビットは、アウトプットコンペアのコンペア出力 1 レベルを変更するために使用します。
・コンペア端子出力の初期値は"0" です。
・値を書き込む場合は、必ず前もってコンペア動作を停止させてください。このビットの読出し値は、アウトプットコンペア値(コンペア出力 1)を示します。

＜注意事項＞

このビットは、コンペア制御レジスタ(OCS)の CST1:bit1=0 のとき、書込みが可能です。

【bit8】 OTD0 : 出力レベルビット

OTD0	機能	
	読出し時	書込み時
0	コンペア出力 0 の出力値	コンペア出力 0 が"0"を出力
1		コンペア出力 0 が"1"を出力

・本ビットは、アウトプットコンペアのコンペア出力 0 レベルを変更するために使用します。
・コンペア端子出力の初期値は"0"です。
・値を書き込む場合は、必ず前もってコンペア動作を停止させてください。このビットの読出し値は、アウトプットコンペア値(コンペア出力 0)を示します。

＜注意事項＞

このビットは、コンペア制御レジスタ(OCS)の CST0:bit0=0 のとき、書込みが可能です。

【bit7】 IOP1 : コンペア一致割込みフラグビット

IOP1	機能	
	読出し時	書込み時
0	アウトプットコンペアレジスタ(OCCP1)のコンペア一致割込みが発生しない	このビットをクリアする
1	アウトプットコンペアレジスタ(OCCP1)のコンペア一致割込みが発生する	このビットに影響を与えない

・本ビットは、アウトプットコンペアレジスタ(OCCP1)が 16 ビットフリーランタイマの値と一致したことを示す割込みフラグです。

・本ビットは、アウトプットコンペアレジスタ値が 16 ビットフリーランタイマ値に一致した場合に"1"が設定されます。
・コンペア一致割込み許可ビット(IOE1:bit5)が許可("1")になっている間にこのビットが設定されると、アウトプットコンペア割込みが発生します。
・本ビットに"0"を設定した場合 : このビットはクリアされます。
・本ビットに"1"を設定した場合 : このビットは影響を受けません。
・ch.3, 5 においても ch.1 と同様になります。

＜注意事項＞

リードモディファイライト系命令時には、必ず"1"が読み出されます。

ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

【bit6】 IOP0 : **コンペアー致割込みフラグビット**

IOP0	機能	
	読出し時	書込み時
0	アウトプットコンペアレジスタ(OCCP0)のコンペア一致割込みが発生しない	このビットをクリアする
1	アウトプットコンペアレジスタ(OCCP0)のコンペア一致割込みが発生する	このビットに影響を与えない

・本ビットは、アウトプットコンペアレジスタ(OCCP0)が 16 ビットフリーランタイマの値と一致したことを示す割込みフラグです。
・本ビットは、コンペアレジスタ値が 16 ビットフリーランタイマ値に一致した場合に"1"が設定されます。
・コンペア一致割込み許可ビット(IOE0:bit4) が許可("1")になっている間にこのビットが設定されると、アウトプットコンペア割込みが発生します。
・本ビットに"0"を設定した場合 : このビットはクリアされます。
・本ビットに"1"を設定した場合 : このビットは影響を受けません。
・ch.2, 4 においても ch.0 と同様になります。

＜注意事項＞

リードモディファイライト系命令時には、必ず"1"が読み出されます。

ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

【bit5】 IOE1 : コンペア一致割込み許可ビット

IOE1	機能
0	アウトプットコンペアレジスタ(OCCP1)の コンペア一致割込みを禁止する
1	アウトプットコンペアレジスタ(OCCP1)の コンペア一致割込みを許可する

・本ビットは、アウトプットコンペアレジスタ(OCCP1)のアウトプットコンペア割込みを許可にするために使用します。
・本ビットに"1"が書き込まれている間にコンペア一致割込みフラグビット(IOP1:bit7)が設定されると、アウトプットコンペア割込みが発生します。
・ch.3, 5 においても ch.1 と同様になります。

【bit4】 IOE0 : コンペア一致割込み許可ビット

IOE0	機能
0	アウトプットコンペアレジスタ(OCCP0)の コンペア一致割込みを禁止する
1	アウトプットコンペアレジスタ(OCCP0)の コンペア一致割込みを許可する

・本ビットは、アウトプットコンペアレジスタ(OCCP0)のアウトプットコンペア割込みを許可にするために使用します。
・本ビットに"1"が書き込まれている間にコンペア一致割込みフラグビット(IOP0:bit6)が設定されると、アウトプットコンペア割込みが発生します。
・ch.2, 4 においても ch.0 と同様になります。

【bit3】 BUF1 : コンペアバッファ無効ビット

BUF1	機能
0	アウトプットコンペアレジスタ(OCCP1)の コンペアバッファを有効にする
1	アウトプットコンペアレジスタ(OCCP1)の コンペアバッファを無効にする

・本ビットは、アウトプットコンペアレジスタ(OCCP1)のバッファ機能を無効にするために使用します。
・本ビットに"0"を設定した場合 ： バッファ機能が有効になります。
・ch.3, 5 においても ch.1 と同様になります。

【bit2】 BUF0 : コンペアバッファ無効ビット

BUF0	機能
0	アウトプットコンペアレジスタ(OCCP0)の コンペアバッファを有効にする
1	アウトプットコンペアレジスタ(OCCP0)の コンペアバッファを無効にする

・本ビットは、アウトプットコンペアレジスタ(OCCP0)のバッファ機能を無効にするために使用します。
・本ビットに"0"を設定した場合 ： バッファ機能が有効になります。

・ch.2, 4 においても ch.0 と同様になります。

【bit1】 CST1 : コンペア動作許可ビット

CST1	機能
0	アウトプットコンペアレジスタ(OCCP1)の コンペア動作を禁止にする
1	アウトプットコンペアレジスタ(OCCP1)の コンペア動作を許可にする

・本ビットは、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP1)の間のコンペア動作を許可するために使用します。
・コンペア動作を許可する場合は、必ず前もってアウトプットコンペアレジスタ(OCCP1)とフリーランタイマのタイマデータレジスタ(TCDT[x], x= 該当するフリーランタイマ)に値を書き込んでください。
・ch.3, 5 においても ch.1 と同様になります。

【bit0】 CST0 : コンペア動作許可ビット

CST0	機能
0	アウトプットコンペアレジスタ(OCCP0)の コンペア動作を禁止にする
1	アウトプットコンペアレジスタ(OCCP0)の コンペア動作を許可にする

・本ビットは、16 ビットフリーランタイマとアウトプットコンペアレジスタ(OCCP0)の間のコンペア動作を許可するために使用します。
・コンペア動作を許可する場合は、必ず前もってアウトプットコンペアレジスタ(OCCP0)とフリーランタイマのタイマデータレジスタ(TCDT[x], x= 該当するフリーランタイマ) に値を書き込んでください。
・ch.2, 4 においても ch.0 と同様になります。

4.1.3. コンペアモード制御レジスタ ：OCMOD

コンペアモード制御レジスタのビット構成について示します。

コンペアモード制御レジスタ(OCMOD)は、コンペア一致時の出力レベルを反転モードもしくはセット，リセットを行うかを制御します。

■ OCMOD01: アドレス 1253H (アクセス: バイト, ハーフワード, ワード)

■ OCMOD23: アドレス 125BH (アクセス: バイト, ハーフワード, ワード)

■ OCMOD45: アドレス 1263H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約						MOD1	MOD0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W

【bit7 ～ bit2】予約

必ず"0"を書き込んでください。

【bit1】 MOD1 : コンペアー致モード設定ビット

MOD1	機能
0	前出力値の反転
1	コンペア制御レジスタ(OCS01)の CMOD ビットの設定により"1"にセットもしくは"0"にリセット

・本ビットによりアウトプットコンペア出力 1 のコンペア一致時の動作を指示します。
・"0"のときは、一致時に出力値を反転します。
・"1"のときは、一致時に出力値を"1"にセット、もしくは"0"にリセットします。セット/リセットの切換えはコンペア制御レジスタ(OCS01)の CMOD ビット(ch.0 と ch.1 で共通)にて設定します。
・ch.3,5 においても ch.1 と同様になります。

＜注意事項＞

値を書き込む場合は、必ず前もってコンペア動作を停止させてください。

【bit0】 MOD0 : コンペアー致モード設定ビット

MOD0	機能
0	前出力値の反転
1	コンペア制御レジスタ(OCS01)の CMOD ビットの設定により "1"にセットもしくは"0"にリセット

・本ビットによりアウトプットコンペア出力 0 のコンペア一致時の動作を指示します。
・"0"のときは、一致時に出力値を反転します。
・"1"のときは、一致時に出力値を"1"にセット、もしくは"0"にリセットします。セット/リセットの切換えはコンペア制御レジスタ(OCS01)の CMOD ビット(ch.0 と ch.1 で共通)にて設定します。
・ch.2, 4 においても ch.0 と同様になります。

＜注意事項＞

値を書き込む場合は、必ず前もってコンペア動作を停止させてください。

5. 動作説明

動作について説明します。

5.1. 16 ビットアウトプットコンペアの割込み

5.2. 16 ビットアウトプットコンペアの動作

5.3. 16 ビットアウトプットコンペアの使用上の注意

5.1. 16 ビットアウトプットコンペアの割込み

16 ビットアウトプットコンペアの割込みについて説明します。

16 ビットアウトプットコンペアの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 16 ビットアウトプットコンペアの割込み制御ビットと割込み要因

	16 ビットアウトプットコンペア	
	偶数チャネル	奇数チャネル
割込み要求フラグビット	コンペア制御レジスタ(OCS)の IOP0:bit6	コンペア制御レジスタ(OCS)の IOP1:bit7
割込み要求許可ビット	コンペア制御レジスタ(OCS)の IOE0:bit4	コンペア制御レジスタ(OCS)の IOE1:bit5
割込み要因	16 ビットフリーランタイマ値がアウトプットコンペアレジスタ 0 (OCCP0)と一致する	16 ビットフリーランタイマ値がアウトプットコンペアレジスタ 1 (OCCP1)と一致する

16 ビットフリーランタイマ値がアウトプットコンペアレジスタ(OCCP)と一致すると、コンペア制御レジスタ(OCS)の IOP1/IOP0:bit7/bit6 が"1"に設定されます。この状態において割込み要求が許可(OCS の IOE1/IOE0:bit5/bit4=1)になると、割込み要求が割込みコントローラへ出力されます。

5.2. 16 ビットアウトプットコンペアの動作

16 ビットアウトプットコンペアの動作について説明します。

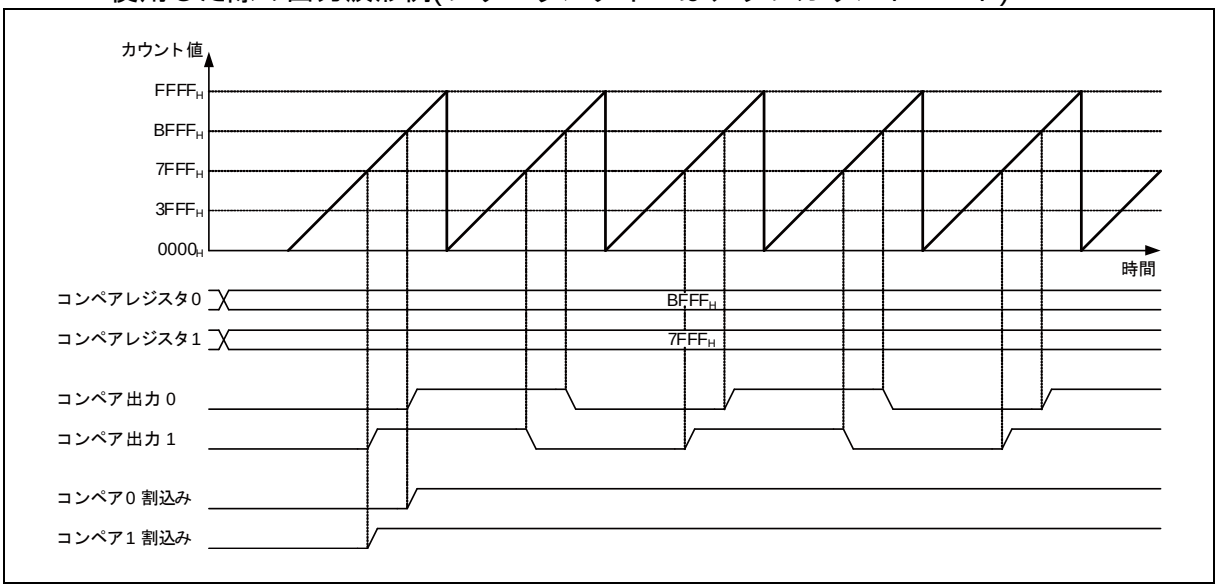
アウトプットコンペアは、"指定されたコンペアクリアレジスタに設定されている値"と"16 ビットフリーランタイマの値"の比較に使用します。一致が検出された場合は、割込みフラグが設定されて出力レベルが反転します。フリーランタイマがアップダウンカウントモードの場合、カウントピークとコンペアレジスタ値が一致したときは一致信号を無視します。

5.2.1. 16 ビットアウトプットコンペアの動作(反転モード, OCMOD01 レジスタの MOD0=0)

16 ビットアウトプットコンペアの動作(反転モード, OCMOD01 レジスタの MOD0=0)について示します。

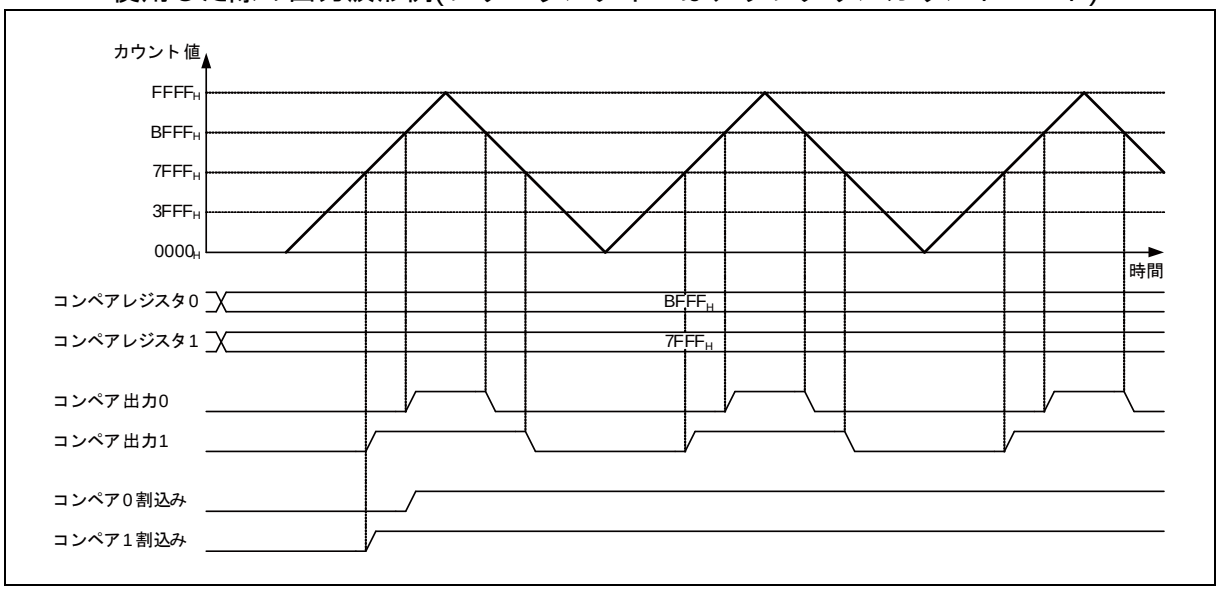
コンペア動作は、各チャネル(コンペア制御レジスタ(OCS01)の CMOD:bit12=0)において実行することができます。

図 5-1 出力初期値が"0"のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に使用した際の出力波形例(フリーランタイマはアップカウントモード)



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

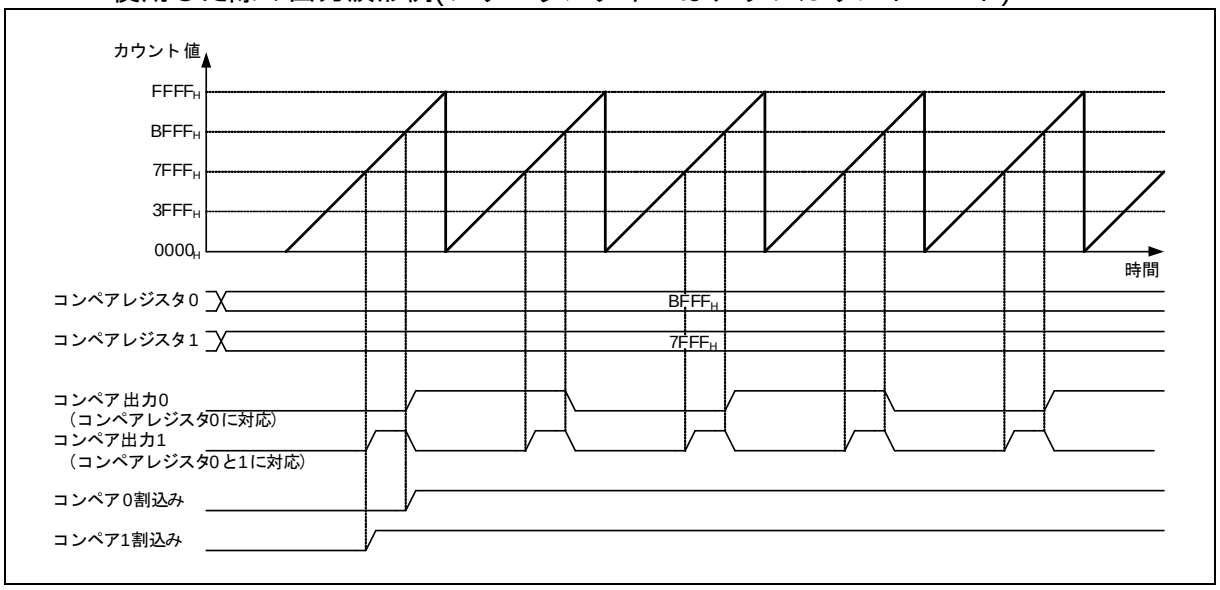
図 5-2 出力初期値が"0"のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に使用した際の出力波形例(フリーランタイマはアップダウンカウントモード)



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

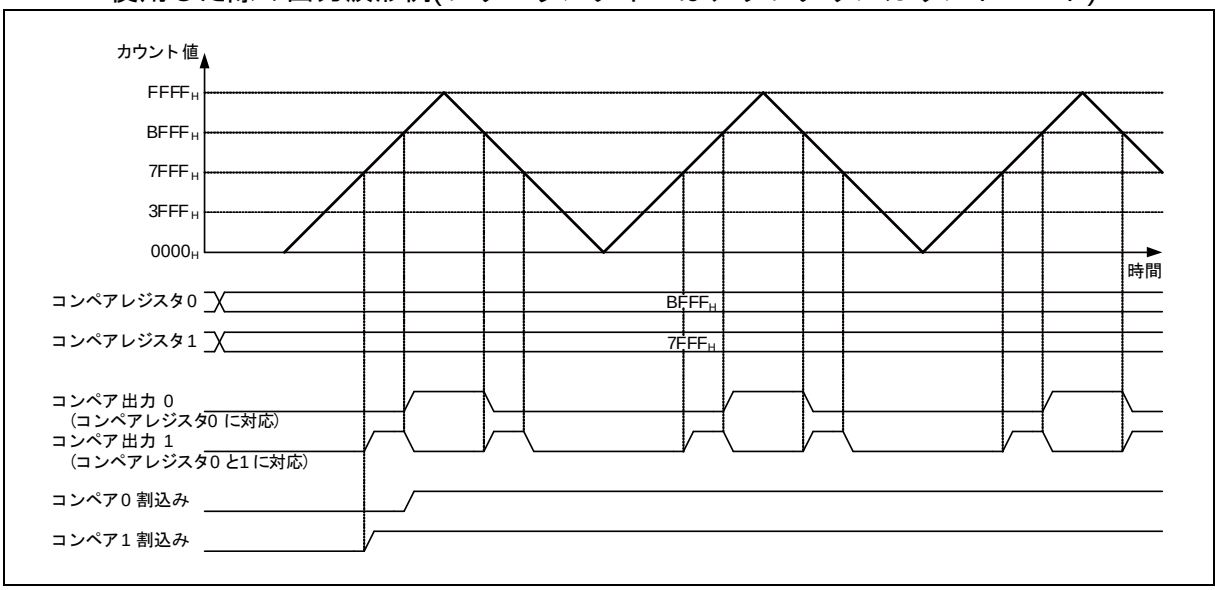
- **出力レベルは、一対のコンペアレジスタ(OCS01)の CMOD:bit12=1)を使用して変更することができます。**

図 5-3 出力初期値が"0"のときにコンペアレジスタ 0 とコンペアレジスタ 1 を一対で使用した際の出力波形例(フリーランタイマはアップカウントモード)



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

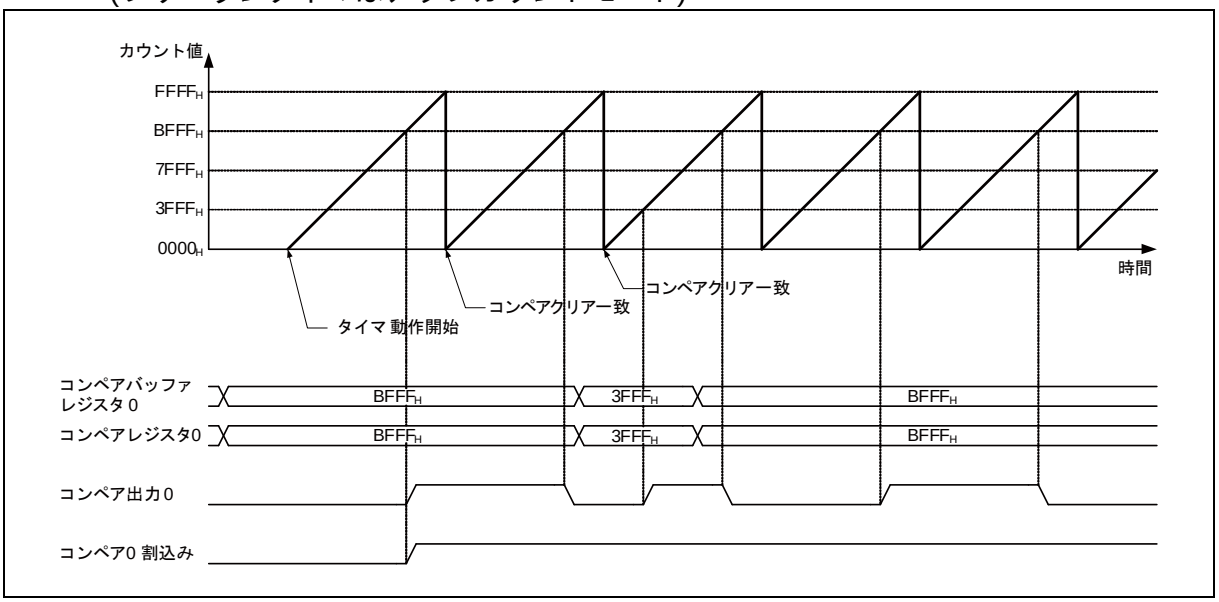
図 5-4 出力初期値が"0"のときにコンペアレジスタ 0 とコンペアレジスタ 1 を同時に使用した際の出力波形例(フリーランタイマはアップダウンカウントモード)



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

● コンペアバッファが無効になったときの出力レベル

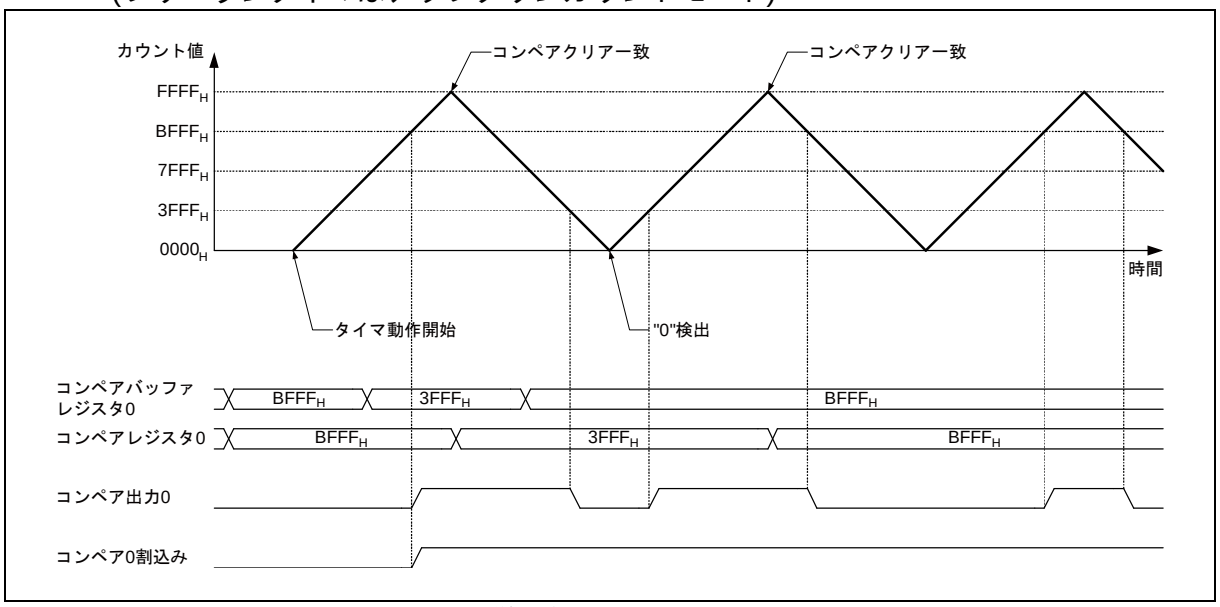
図 5-5 コンペアバッファが無効になっているときの出力波形例 (フリーランタイマはアップカウントモード)



・ch.1, 2, 3, 4, 5 においても ch.0 と同様になります。

● コンペアクリアー致発生時にコンペアバッファが選択されたときの出力レベル

図 5-6 コンペアバッファが有効になったときの出力波形例
(フリーランタイマはアップダウンカウントモード)

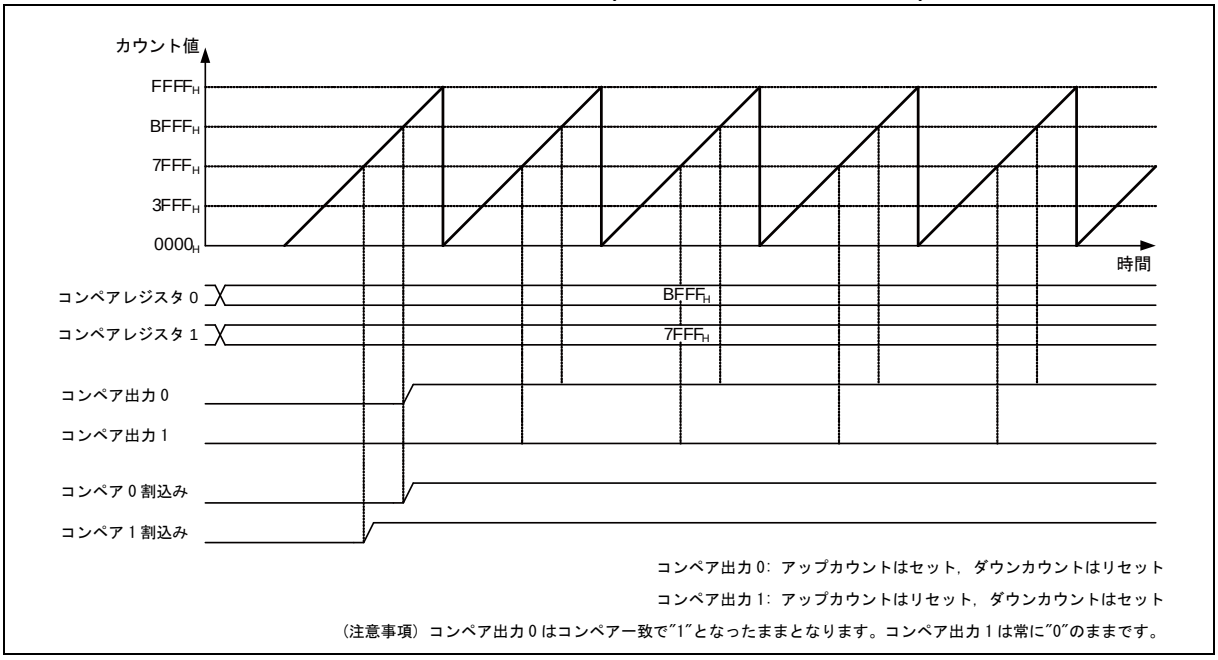


・ ch.1, 2, 3, 4, 5 においても ch.0 と同様になります。

5.2.2. 16 ビットアウトプットコンペアの動作(セット/ リセットモード, OCMOD01 レジスタの MOD0=1)

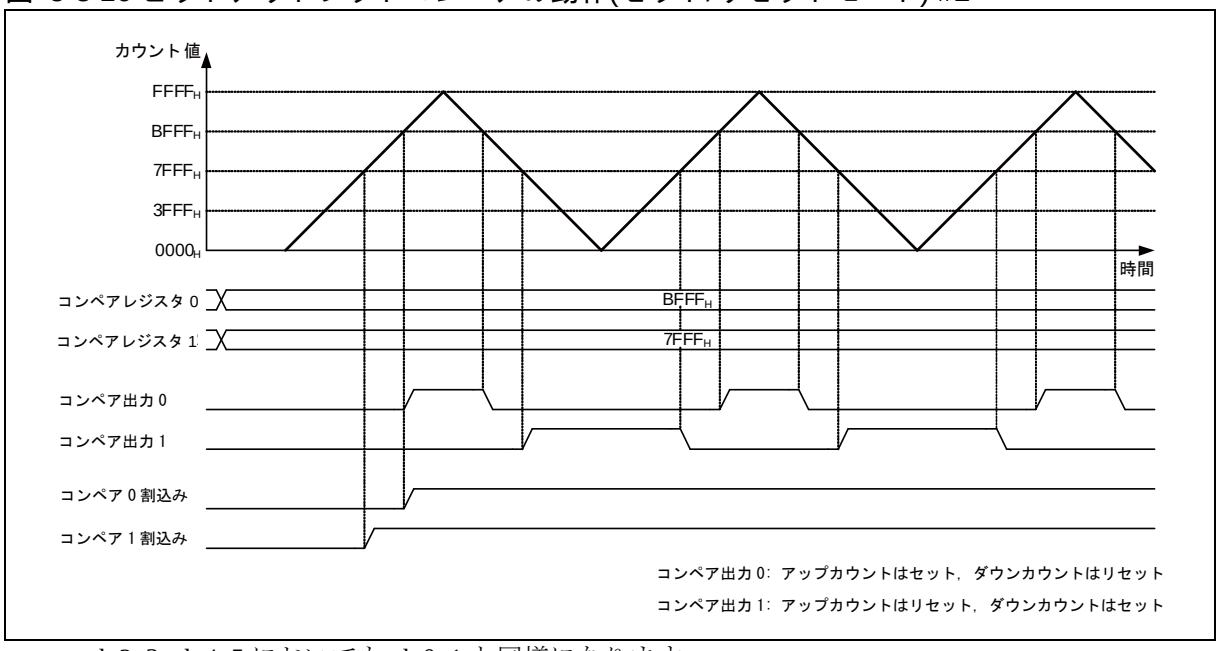
16 ビットアウトプットコンペアの動作(セット/ リセットモード, OCMOD01 レジスタの MOD0=1)について説明します。

図 5-7 16 ビットアウトプットコンペアの動作(セット/リセットモード) #1



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

図 5-8 16 ビットアウトプットコンペアの動作(セット/リセットモード) #2



・ch.2, 3, ch.4, 5 においても ch.0, 1 と同様になります。

5.2.3. 16 ビットアウトプットコンペアタイミング

16 ビットアウトプットコンペアタイミングについて説明します。

フリーランタイマがコンペアレジスタ値と一致すると、アウトプットコンペアはコンペア一致信号を生成して出力を反転して割込みを生成します。コンペア一致が発生すると、出力はカウンタのカウントタイミングと同期して反転します。

図 5-9 コンペアレジスタ割込みタイミング

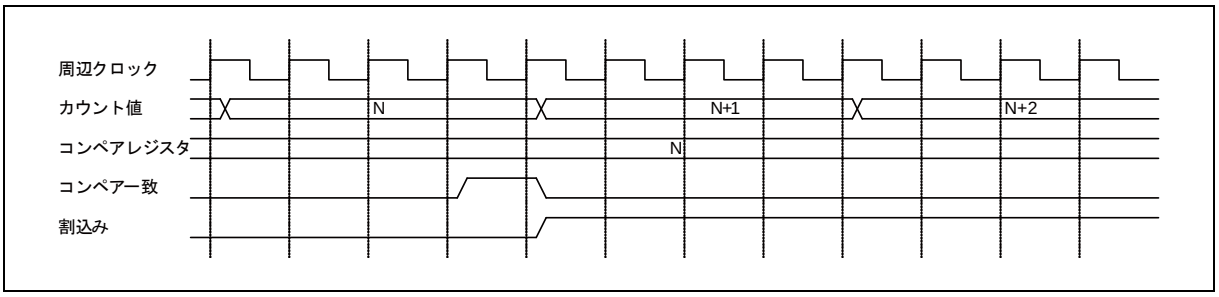
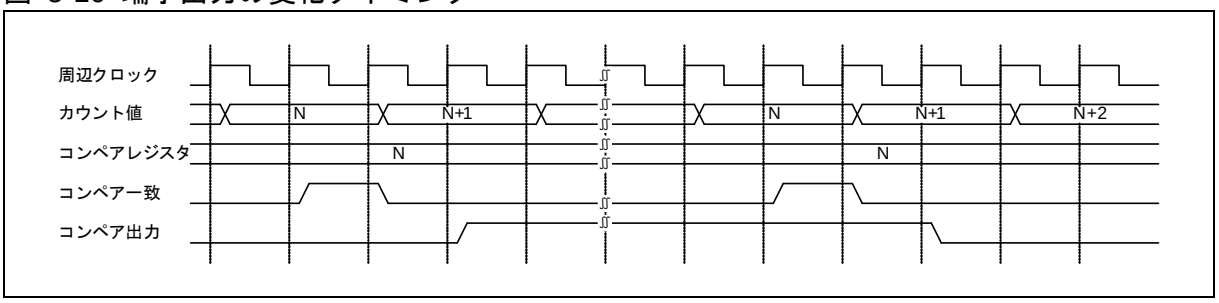


図 5-10 端子出力の変化タイミング

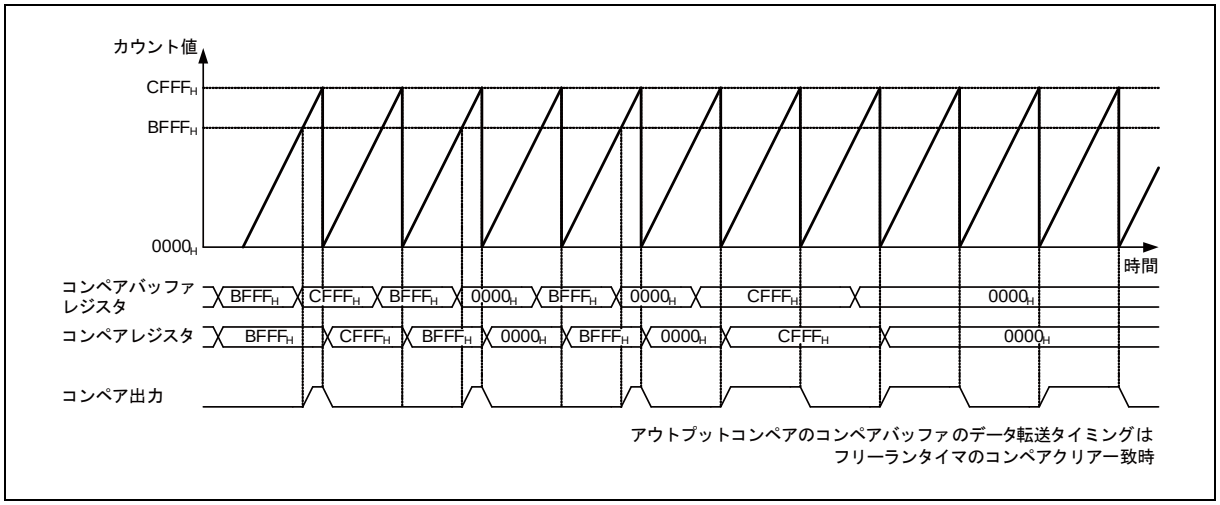


5.2.4. 16 ビットアウトプットコンペアとフリーランタイマの動作について

16 ビットアウトプットコンペアとフリーランタイマの動作について説明します。

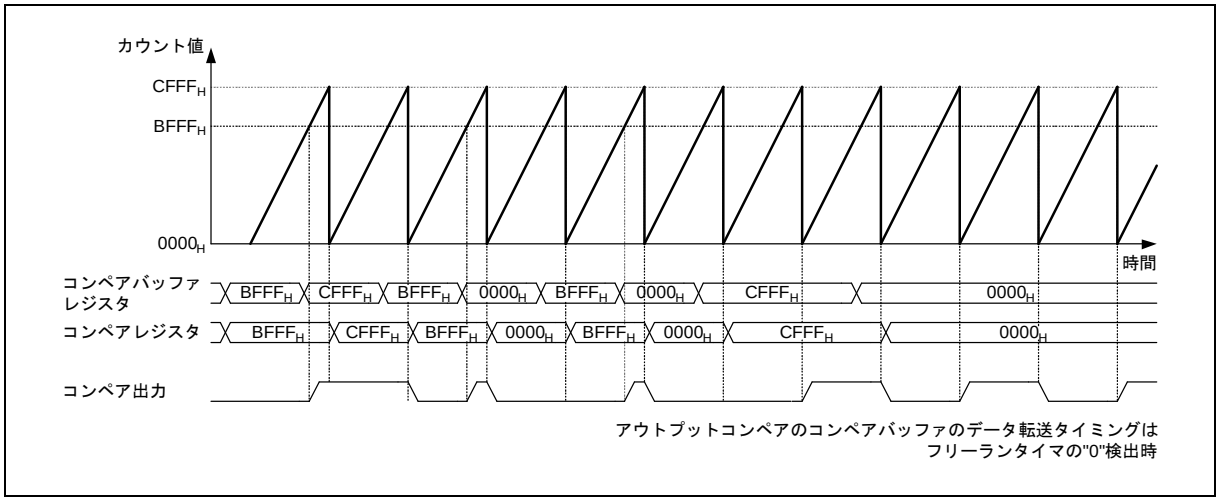
● フリーランタイマがアップカウントの場合 #1

図 5-11 フリーランタイマがアップカウントの場合 #1



● フリーランタイマがアップカウントの場合 #2

図 5-12 フリーランタイマがアップカウントの場合 #2



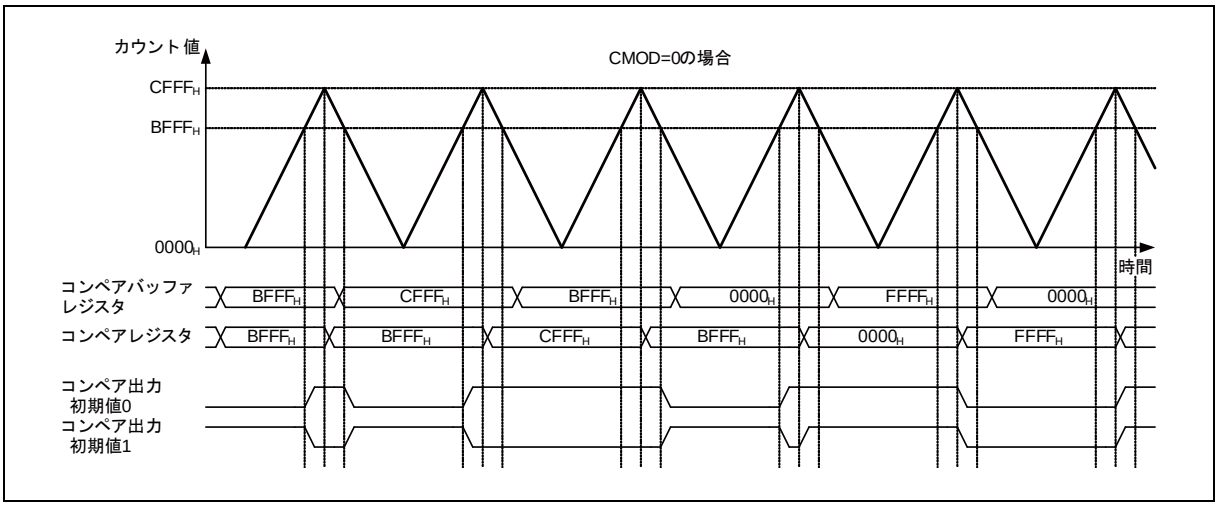
● フリーランタイマがアップダウンカウントの場合 #1

・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマのコンペアクリア一致時
・アウトプットコンペア出力が一致時、出力反転モードの場合

＜注意事項＞

・コンペアレジスタ値を"0000_H"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"1"にセットされます(OCS の CMOD:bit12=1 時は"0"にリセット)。
・コンペアレジスタ値を"$FFFF_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます(OCS の CMOD:bit12=1 時は"1"にセット)。
・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイマの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイマ動作開始時に 1 度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに"$FFFF_H$"に設定した場合、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。

図 5-13 フリーランタイマがアップダウンカウントの場合 #1



● フリーランタイマがアップダウンカウントの場合 #2

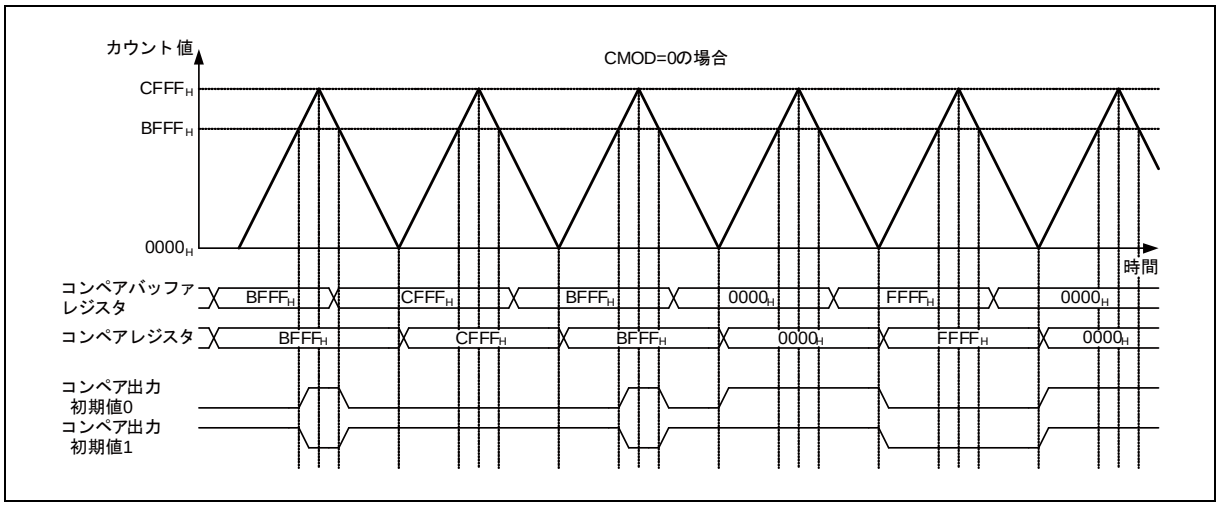
・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマの"0"検出時
・アウトプットコンペア出力は一致時、 出力反転モードの場合

< 注意事項>

・コンペアレジスタ値を"0000_H"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"1"にセットされます(OCS の CMOD:bit12=1 時は"0"にリセット)。
・コンペアレジスタ値を"$FFFF_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます(OCS の CMOD:bit12=1 時は"1"にセット)。

・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイマの初期値がコンペアクリアレジスタ値と同じ場合は，フリーランタイマ動作開始時に 1 度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに"$FFFF_H$"に設定した場合、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。

図 5-14 フリーランタイマがアップダウンカウントの場合 #2



● フリーランタイマがアップダウンカウントの場合 #3

・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマのコンペアクリア一致時

・アウトプットコンペア出力をアップカウント時の一致では"1"にセット，ダウンカウント時の一致では"0"にリセットする場合(OCS01 の CMOD:bit12=0)

・ch.2, 3, ch.4, 5で同様の動作になります。

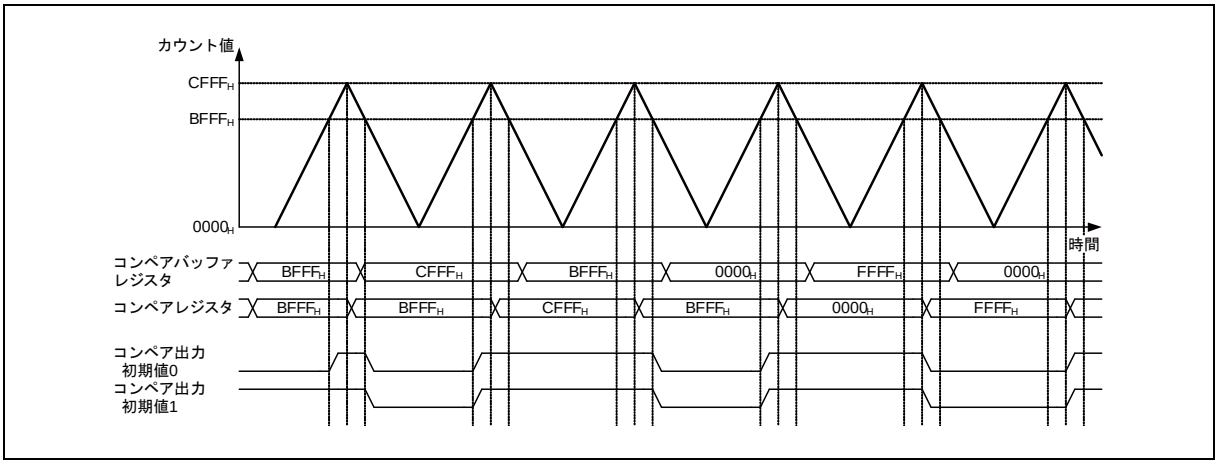
＜注意事項＞

・コンペアレジスタ値を"0000_H"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"1"にセットされます。

・コンペアレジスタ値を"$FFFF_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。

・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイマの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイマ動作開始時に 1 度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに"$FFFF_H$"に設定した場合、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0" にリセットされます。

図 5-15 フリーランタイマがアップダウンカウントの場合 #3



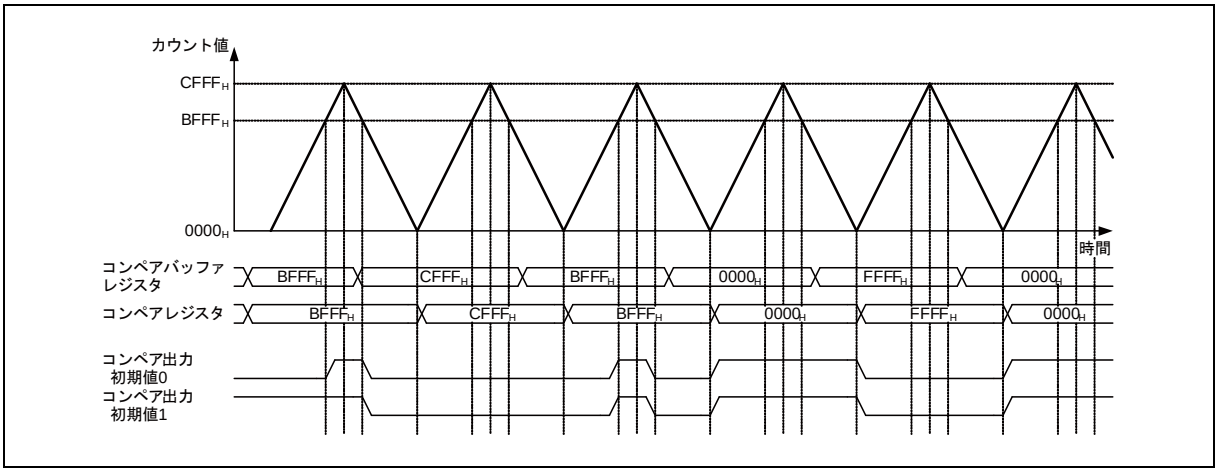
● フリーランタイマがアップダウンカウントの場合 #4

・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマの"0"検出時
・アウトプットコンペア出力をアップカウント時の一致では"1"にセット，ダウンカウント時の一致では"0"にリセットする場合(OCS01 の CMOD:bit12=0)
・ch.2, 3, ch.4, 5 で同様の動作になります。

＜注意事項＞

・コンペアレジスタ値を"0000$_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"1"にセットされます。
・コンペアレジスタ値を"FFFF$_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。
・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイマの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイマ動作開始時に 1 度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに"FFFF$_H$"に設定した場合、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。

図 5-16 フリーランタイマがアップダウンカウントの場合 #4



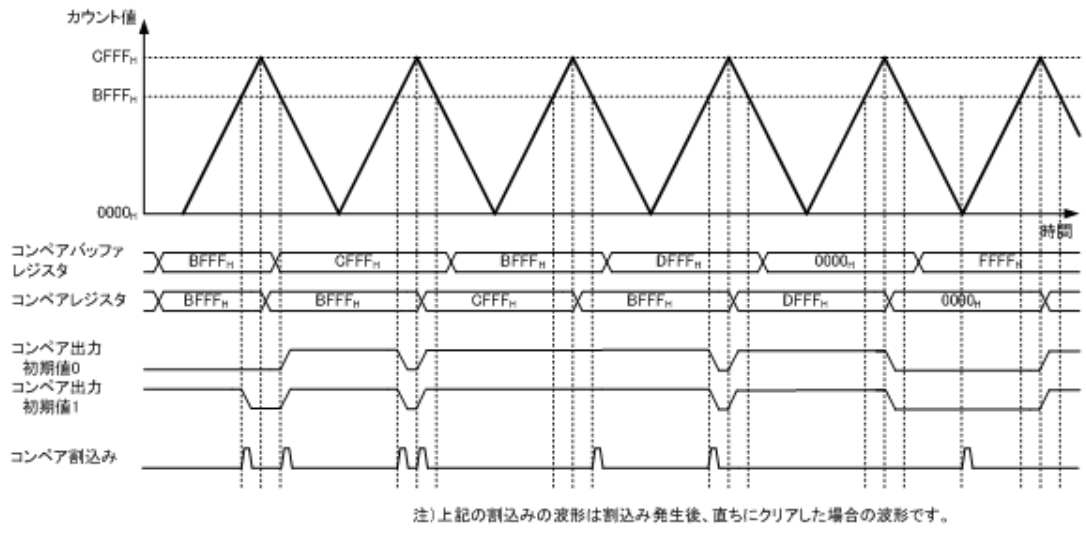
● フリーランタイマがアップダウンカウントの場合 #5

・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマのコンペアクリア一致時
・アウトプットコンペア出力をアップカウント時の一致では"0"にリセット，ダウンカウント時の一致では"1"にセットする場合(OCS01 の CMOD:bit12=1)
・ch.2, 3, ch.4, 5 で同様の動作になります。

＜注意事項＞

・コンペアレジスタ値を"0000_H"に設定したとき、フリーランタイマのコンペアクリアクリア一致時に、アウトプットコンペア出力は"0"になります。
・コンペアレジスタ値をフリーランタイマのコンペアクリアレジスタ値以上に設定したとき、フリーランタイマのコンペアクリア一致時に、アウトプットコンペア出力は"1"になります。
・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタ値が一致したときには比較が行われ、割込みフラグが発生します。

図 5-17 フリーランタイマがアップダウンカウントの場合 #5



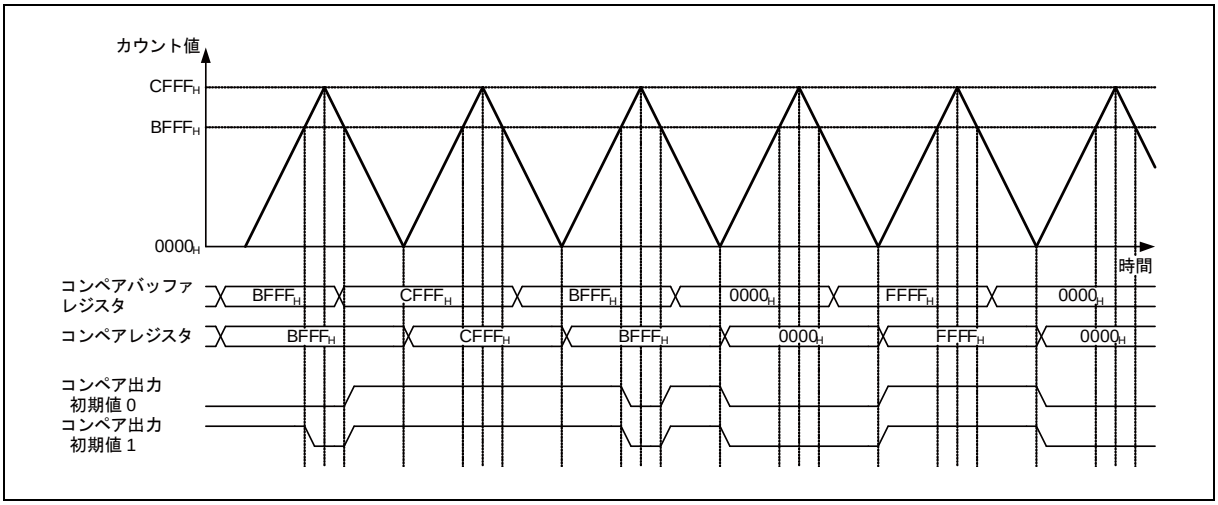
● フリーランタイマがアップダウンカウントの場合 #6

・アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイマの"0"検出時
・アウトプットコンペア出力をアップカウント時の一致では"0"にリセット，ダウンカウント時の一致では"1"にセットする場合(OCS01 の CMOD:bit12=1)
・ch.2, 3, ch.4, 5 で同様の動作になります。

＜注意事項＞

・コンペアレジスタ値を"0000_H"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0"にリセットされます。
・コンペアレジスタ値を"$FFFF_H$"に設定したとき、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"1"にセットされます。
・フリーランタイマのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイマの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイマ動作開始時に 1 度だけコンペア一致が発生しますので，ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに"$FFFF_H$"に設定した場合、フリーランタイマのカウント値にかかわらず、アウトプットコンペア出力は"0" にリセットされます。

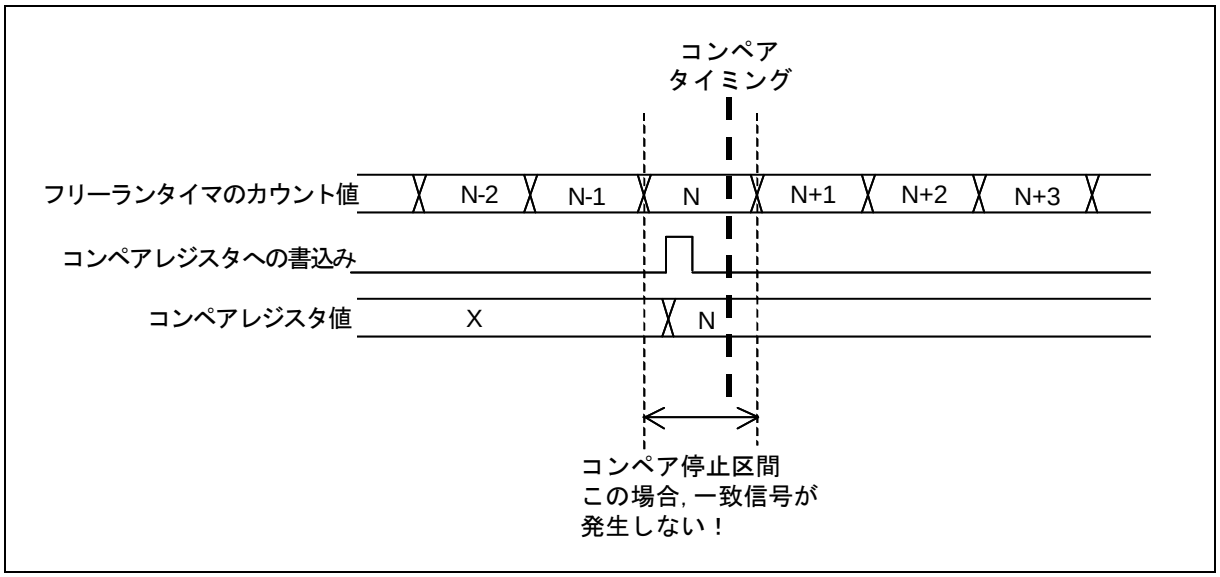
図 5-18 フリーランタイマがアップダウンカウントの場合 #6



5.3. 16 ビットアウトプットコンペアの使用上の注意

16 ビットアウトプットコンペアの使用上の注意について示します。

・コンペア動作中のコンペア停止区間について
下記に示すようにコンペアレジスタにコンペア値を書き込んだ直後の 1 カウント分は、コンペア動作が行われません。



・CMOD=1 でかつ OCCP0 = OCCP1, OCCP2 = OCCP3, OCCP4 = OCCP5 の設定の場合、コンペア一致が発生するとポートは 1 回のみ反転します。
・アウトプットコンペア出力の出力レベルの指定をするときには、コンペア動作を停止させてから行ってください。
・アウトプットコンペアは、フリーランタイマと同期しているため、フリーランタイマを停止させるとコンペア動作も停止します。
・コンペアモードビットを CMOD = 1 にした場合でも、割込み動作は OCU0 から OCU5 それぞれ独立で発生します。
・フリーランタイマをアウトプットコンペアのコンペアデータとして使用する場合、フリーランタイマのクロック周波数(TCCSL.CLK[3:0]には、"0000_B"の設定は禁止となります。

● リードモディファイライト

割込み要求フラグビットの(IOP0), (IOP1)をリードモディファイライトで読み出すと"1"が読めます。

Chapter 26: 16 ビットインプットキャプチャ

16 ビットインプットキャプチャについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：FS23-1v0-91520-6-J

1. 概要

16 ビットインプットキャプチャの概要について説明します。

4 チャネルの 16 ビットインプットキャプチャが搭載されています。

2. 特長

16 ビットインプットキャプチャの特長について説明します。

■ 16 ビットインプットキャプチャの機能

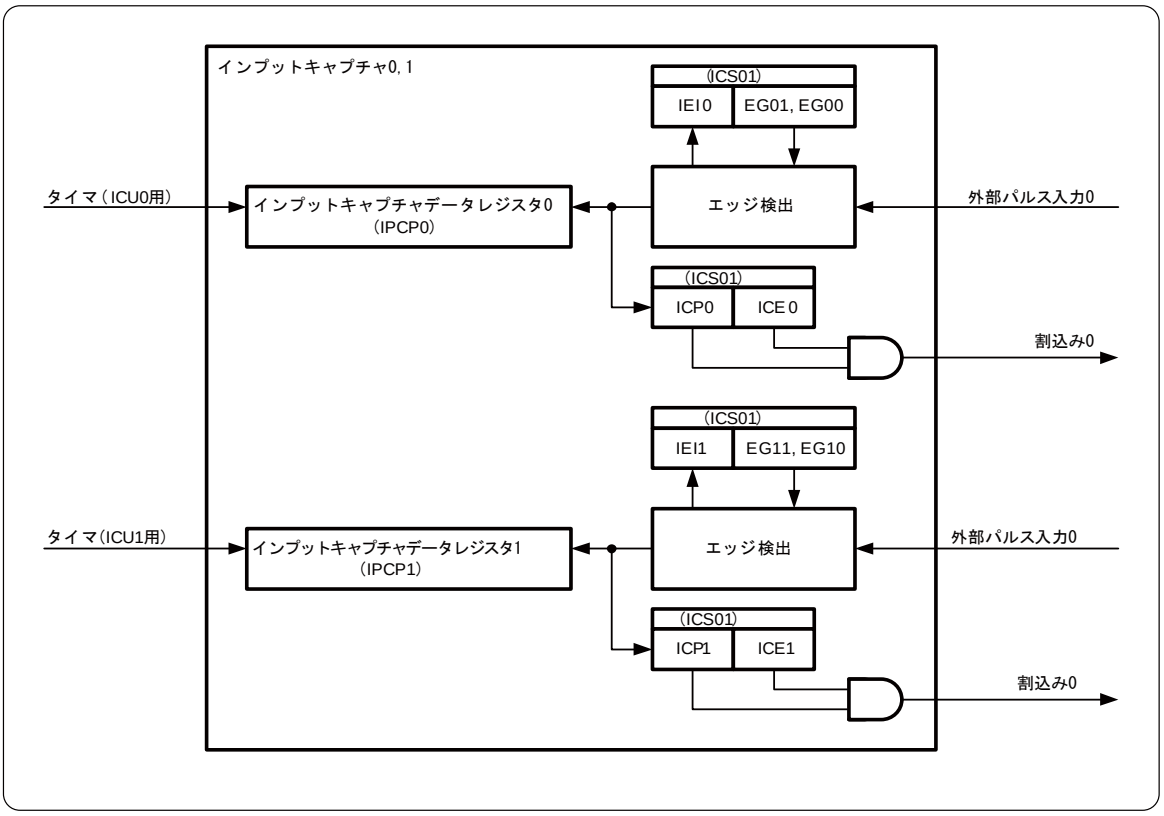
- 16 ビットインプットキャプチャは、4 つの独立した外部入力端子と、この端子に対応するキャプチャレジスタおよびキャプチャ制御レジスタから構成されています。外部端子において入力信号のエッジを検出すると、16 ビットフリーランタイマの値をキャプチャレジスタへ格納することができ、また、割込みも同時に生成されます。
- 外部入力信号の 3 種類のトリガエッジ(立上りエッジ, 立下りエッジおよびその両方のエッジ)を選択することができ、また、トリガエッジが立上りエッジであるか立下りエッジであるかを示すレジスタがあります。
- 4 つのインプットキャプチャを別々に動作させることができます。
- 割込みは外部入力からの有効エッジが検出されると生成されます。
- 各コンペアユニットに対応するフリーランタイマのチャネルを任意に設定することが可能です。
- インプットキャプチャが 4 チャネルあり、それぞれフリーランタイマ 0 ～ 2 のいずれかをインプットキャプチャ 0 ～ 3 用入力として選択することが可能です。選択はフリーランタイマ選択レジスタ: FRS1 にて設定することができます。詳細は『16 ビットフリーランタイマ』の章の『4.3.1. フリーランタイマ選択レジスタ』を参照してください。

3. 構成

16 ビットインプットキャプチャの構成について説明します。

■ 16 ビットインプットキャプチャの構成

図 3-1 16 ビットインプットキャプチャの構成 (0,1ch の場合)



4. レジスタ

16 ビットインプットキャプチャのレジスタについて説明します。

■ 外部端子表

チャネル	外部端子 (ICU 入力)				
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK MB91F52xL
0	ICU0_3	ICU0_3	ICU0_2/ ICU0_3	ICU0_1/ ICU0_2/ ICU0_3	ICU0_0/ ICU0_1/ ICU0_2/ ICU0_3
1	ICU1_1/ ICU1_2	ICU1_1/ ICU1_2	ICU1_1/ ICU1_2/ ICU1_3	ICU1_1/ ICU1_2/ ICU1_3	ICU1_0/ ICU1_1/ ICU1_2/ ICU1_3
2	ICU2_2/ ICU2_3	ICU2_2/ ICU2_3	ICU2_1/ ICU2_2/ ICU2_3	ICU2_1/ ICU2_2/ ICU2_3	ICU2_0/ ICU2_1/ ICU2_2/ ICU2_3
3	ICU3_0/ ICU3_1/ ICU3_3	ICU3_0/ ICU3_1/ ICU3_2/ ICU3_3	ICU3_0/ ICU3_1/ ICU3_2/ ICU3_3	ICU3_0/ ICU3_1/ ICU3_2/ ICU3_3	ICU3_0/ ICU3_1/ ICU3_2/ ICU3_3

■ 16 ビットインプットキャプチャのレジスター覧

表 4-1 16 ビットインプットキャプチャのレジスター覧

アドレス	+0	+1	+2	+3
0x0000127C	インプットキャプチャデータレジスタ 0 (IPCP0)		インプットキャプチャデータレジスタ 1 (IPCP1)	
0x00001280	インプットキャプチャ状態制御レジスタ 01 (ICS01)		予約	LIN SYNCH FIELD 切換えレジスタ (LSYNS)
0x00001284	インプットキャプチャデータレジスタ 2 (IPCP2)		インプットキャプチャデータレジスタ 3 (IPCP3)	
0x00001288	インプットキャプチャ状態制御レジスタ 23 (ICS23)		予約	予約

4.1. 16 ビットインプットキャプチャのレジスタ

16 ビットインプットキャプチャのレジスタについて説明します。

16 ビットインプットキャプチャには、インプットキャプチャデータレジスタおよびインプットキャプチャ状態制御レジスタがあります。

4.1.1. インプットキャプチャデータレジスタ ：IPCP0～IPCP3

16 ビットインプットキャプチャのレジスタについて説明します。

インプットキャプチャデータレジスタ(IPCP) は、入力波形の有効エッジが検出されたときのフリーランタイマのカウント値を保持するために使用します。

- **IPCP0: アドレス 127CH (アクセス: ハーフワード, ワード)**
- **IPCP1: アドレス 127EH (アクセス: ハーフワード, ワード)**
- **IPCP2: アドレス 1284H (アクセス: ハーフワード, ワード)**
- **IPCP3: アドレス 1286H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

【bit15 ～ bit0】CP15 ～ CP00：フリーランタイマ値

CP15～CP00	機能
	フリーランタイマ値

・このレジスタは、対応する外部端子入力波形の有効エッジが検出されたときのフリーランタイマ値を格

納するために使用します。
・以上の説明中のフリーランタイマはインプットキャプチャが選択しているフリーランタイマの動作状態についてです。

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。
このレジスタにデータを書き込むことはできません。

4.1.2. インプットキャプチャ状態制御レジスタ ：ICS

インプットキャプチャ状態制御レジスタのビット構成について示します。

インプットキャプチャ状態制御レジスタ(ICS)は、エッジ選択，割込み要求許可，および割込み要求フラグを制御するために使用します。また、インプットキャプチャにおいて検出された有効なエッジを示すためにも使用します。

■ **ICS01: アドレス 1280H (アクセス: バイト，ハーフワード，ワード)**

■ **ICS23: アドレス 1288H (アクセス: バイト，ハーフワード，ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						IEI1	IEI0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ICP1	ICP0	ICE1	ICE0	EG11	EG10	EG01	EG00
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15 ～ bit10】予約
必ず"0"を書き込んでください。

【bit9】IEI1: 有効エッジ指示ビット

IEI1	機能
0	立下りエッジが検出される
1	立上りエッジが検出される

・このビットは、キャプチャレジスタ(IPCP)の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。

・立下りエッジが検出されると、このビットに"0"が書き込まれます。
・立上りエッジが検出されると、このビットに"1"が書き込まれます。
・このビットは読出し専用ビットです。

＜注意事項＞

インプットキャプチャ状態制御レジスタ(ICS)の EG11, EG10:bit3, bit2=00_Bの場合、読出し値は意味がありません。

【bit8】IEI0: 有効エッジ指示ビット

IEI0	機能
0	立下りエッジが検出される
1	立上りエッジが検出される

・このビットは、キャプチャレジスタ(IPCP)の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
・立下りエッジが検出されると、このビットに"0"が書き込まれます。
・立上りエッジが検出されると、このビットに"1"が書き込まれます。
・このビットは読出し専用ビットです。

＜注意事項＞

インプットキャプチャ状態制御レジスタ(ICS)の EG01, EG00:bit1, bit0=00_B の場合、読出し値は意味がありません。

【bit7】ICP1: 割込み要求フラグビット

ICP1	機能	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

・このビットは、インプットキャプチャの割込み要求フラグとして使用します。
・このビットは、外部入力端子の有効エッジが検出されると直ちに"1"が設定されます。
・割込み要求許可ビット(ICE1:bit5)が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

【bit6】ICP0: 割込み要求フラグビット

ICP0	機能	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

- このビットは、インプットキャプチャの割込み要求フラグとして使用します。
- このビットは、外部入力端子の有効エッジが検出されると直ちに"1"が設定されます。
- 割込み要求許可ビット(ICE0:bit4)が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。
- このビットに"0"を設定した場合 : このビットはクリアされます。
- このビットに"1"を設定した場合 : このビットは影響を受けません。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

【bit5】ICE1: 割込み要求許可ビット

ICE1	機能
0	割込み要求を禁止する
1	割込み要求を許可する

- このビットは、インプットキャプチャのインプットキャプチャ割込み要求を許可するために使用します。
- このビットに"1"が設定されている間に割込み要求フラグビット(ICP1:bit7)が設定されると、インプットキャプチャ割込みが生成されます。

【bit4】ICE0: 割込み要求許可ビット

ICE0	機能
0	割込み要求を禁止する
1	割込み要求を許可する

・このビットは、インプットキャプチャのインプットキャプチャ割込み要求を許可するために使用します。
・このビットに"1"が設定されている間に割込み要求フラグビット(ICP0:bit6)が設定されると、インプットキャプチャ割込みが生成されます。

【bit3, bit2】EG11, EG10：エッジ選択ビット

EG11	EG10	機能
0	0	エッジは検出されない (停止)
0	1	立上りエッジが検出される
1	0	立下りエッジが検出される
1	1	両方のエッジが検出される

・これらのビットは、インプットキャプチャの外部入力の有効エッジ極性を指定するために使用します。
・これらのビットは、インプットキャプチャの動作を有効にするためにも使用します。

【bit1, bit0】EG01, EG00：エッジ選択ビット

EG01	EG00	機能
0	0	エッジは検出されない (停止)
0	1	立上りエッジが検出される
1	0	立下りエッジが検出される
1	1	両方のエッジが検出される

・これらのビットは、インプットキャプチャの外部入力の有効エッジ極性を指定するために使用します。
・これらのビットは、インプットキャプチャの動作を有効にするためにも使用します。

4.1.3. LIN SYNCH FIELD 切換えレジスタ： LSYNS

LIN SYNCH FIELD 切換えレジスタのビット構成について示します。

LIN SYNCH FIELD 切換えレジスタ(LSYNS)は、LIN の連携制御をするために使用します。

■ **LSYNS: アドレス 1283H (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				LSYN3	LSYN2	LSYN1	LSYN0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

【bit7 ～ bit4】予約

必ず"0"を書き込んでください。

【bit3 ～ bit0】LSYN3 ～ LSYN0: インプットキャプチャ 3 ～ 0 入力選択

LSYN3～LSYN0	機能
0	外部端子入力(ICU3～ICU0)
1	マルチファンクションシリアルインタフェース ch.3 ～ch.0 からの Lin Synch Field 検出信号を入力

・このビットは、マルチファンクションシリアルインタフェース ch.3 ～ ch.0 からの Lin SynchField を許可するために使用します。

5. 動作説明

動作について説明します。

5.1. 16 ビットインプットキャプチャの割込み

5.2. 16 ビットインプットキャプチャの動作

5.3. 16 ビットインプットキャプチャの使用上の注意

5.1. 16 ビットインプットキャプチャの割込み

16 ビットインプットキャプチャの割込みについて説明します。

16 ビットインプットキャプチャの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 16 ビットインプットキャプチャの割込み制御ビットと割込み要因

	16 ビットインプットキャプチャ	
	偶数チャネル	奇数チャネル
割込み要求 フラグビット	インプットキャプチャ状態 制御レジスタ(ICS)の ICP0:bit6	インプットキャプチャ状態 制御レジスタ(ICS)の ICP1:bit7
割込み要求 許可ビット	インプットキャプチャ状態 制御レジスタ(ICS)の ICE0:bit4	インプットキャプチャ状態 制御レジスタ(ICS)の ICE1:bit5
割込み要因	有効なエッジが IN 端子で検出される	有効なエッジが IN 端子で検出される

16 ビットインプットキャプチャでは、有効なエッジが端子で検出されると、インプットキャプチャ状態制御レジスタ(ICS)の ICP1/ICP0:bit7/bit6 に"1"が設定されます。この状態において割込み要求が許可(ICS01 の ICE1/ICE0:bit5, bit4=1)になると、割込み要求は割込みコントローラへ出力されます。

5.2. 16 ビットインプットキャプチャの動作

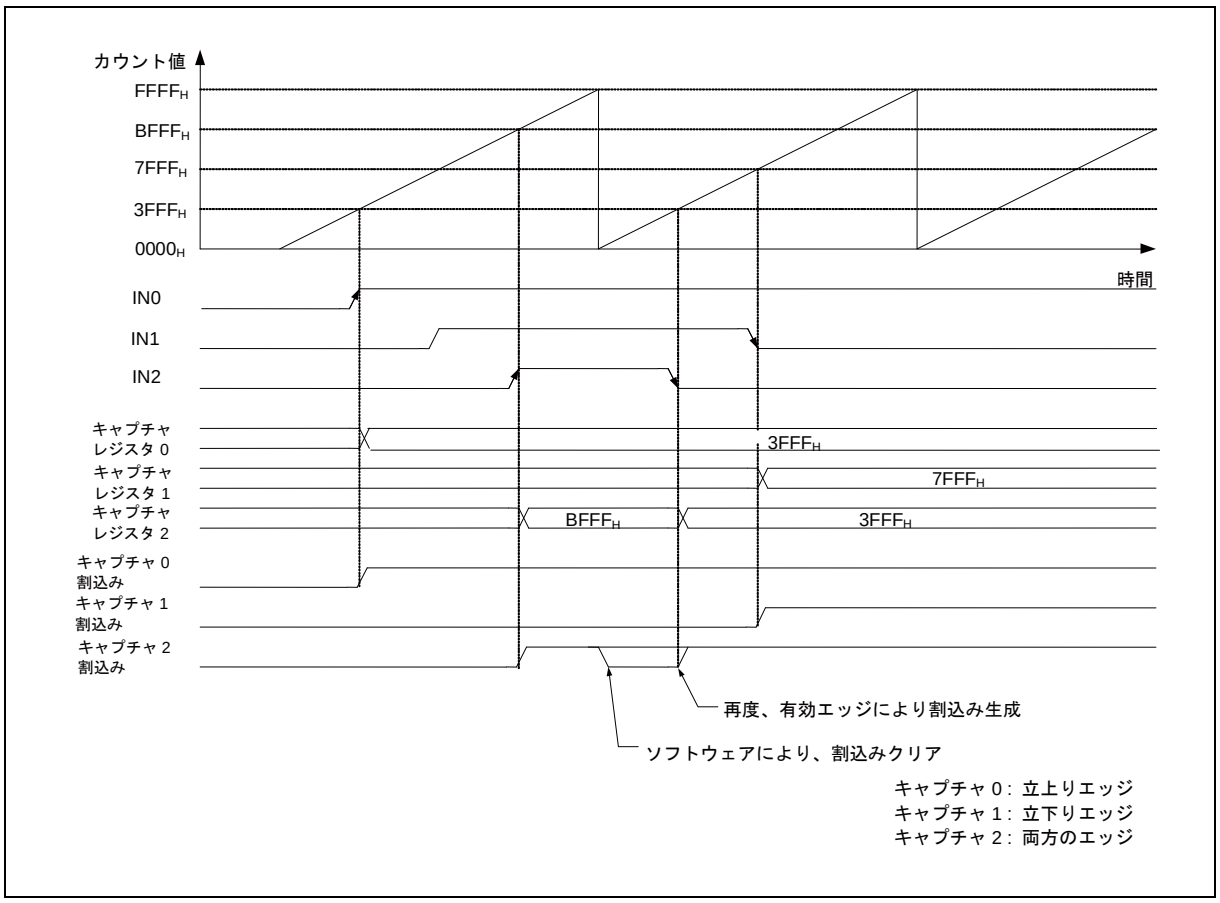
16 ビットインプットキャプチャの動作について示します。

インプットキャプチャは、指定された有効なエッジを検出するために使用します。有効なエッジが検出されると割込みフラグが設定され、16 ビットフリーランタイマの値がキャプチャレジスタへロードされます。

5.2.1. 16 ビットインプットキャプチャの動作

16 ビットインプットキャプチャの動作について示します。

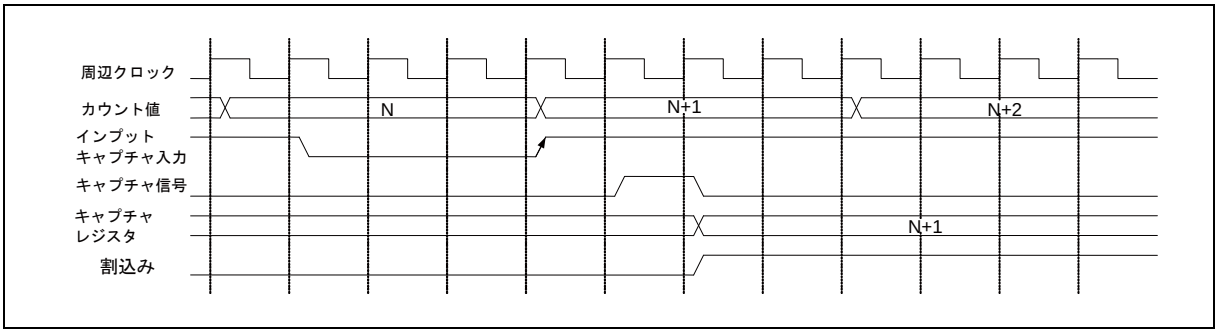
図 5-1 インプットキャプチャタイミング例



5.2.2. 16 ビットインプットキャプチャ入力タイミング

16 ビットインプットキャプチャ入力タイミングについて示します。

図 5-2 入力信号に対する 16 ビットインプットキャプチャタイミング例



5.3. 16 ビットインプットキャプチャの使用上の注意

16 ビットインプットキャプチャの使用上の注意について説明します。

インプットキャプチャ状態制御レジスタ(ICS01)の ICP1/ICP0 がビット設定されてから割込みルーチンが処理されるまでの間にインプットキャプチャ端子(IN)レベルが切り換わると、ICP1, ICP0 の有効エッジ指示ビット(ICS01 レジスタの IEI1, IEI0)は、検出された最新のエッジを示します。

・ch2, 3 においても ch0, 1 と同様の注意が必要になります。

- **インプットキャプチャレジスタ**
  インプットキャプチャレジスタからの読出しは、常に 16 ビットまたは 32 ビットアクセスを使用して行われる必要があります。

- **リードモディファイライト**
  リードモディファイライトを使用して読み出す場合は、インプットキャプチャ状態制御レジスタ(ICS01)の ICP1/ICP0 は"1"で読み出されます。

  ・ch2, 3 においても ch0, 1 と同様の注意が必要になります。

- **割込みの注意**
  インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(ICE1/ICE0)に"1"を設定する前に、必ず割込みフラグ(ICP1/ICP0)をクリアしてください。

Chapter 27: アップダウンカウンタ

アップダウンカウンタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 割込み
6. 動作説明と設定手順例

管理コード : FG20-1v0-91520-11-J

1. 概要

アップダウンカウンタの概要について説明します。

アップダウンカウンタは, 設定によってカウントアップ/ダウンするカウンタです。

16 ビットアップダウンカウンタの下位バイトのみを使用して、8 ビットアップダウンカウンタとして使用することもできます。

8 ビットアップダウンカウンタ時は 00_H～FF_H の範囲で、16 ビットアップダウンカウンタ時は 0000_H～$FFFF_H$ の範囲でカウントできます。

本製品は、16 ビットアップダウンカウンタを 2 チャネル内蔵しています。ただし、8 ビットアップダウンカウンタとして使用できるのは下位バイトのみになるため、8 ビット時も、16 ビット時も使用できるチャネルは合計で 2 チャネルになります。

2. 特長

アップダウンカウンタの特長について説明します。

- カウンタモード: 次の2モードから選択できます。
  - 8ビットアップダウンカウンタ (8ビットモード)
  - 16ビットアップダウンカウンタ (16ビットモード)
- 動作モード: 次の3モード (4種類) から選択できます。
  - **タイマモード**

    カウント用クロックに同期してカウントダウンします。

    カウント用クロックは周辺クロック (PCLK) をプリスケーラで2分周/8分周して生成された内部クロックを使用します。
  - **アップダウンカウントモード**

    2本の外部信号入力端子から入力される信号をカウントアップ/カウントダウンします。カウントするエッジを、立上りエッジ, 立下りエッジ, 両エッジの中から選択できます。
  - **位相差カウントモード**

    2本の外部信号入力端子から入力される信号の位相差をカウントアップ/カウントダウンします。

    位相差カウントモードは、モータなどのエンコーダのカウントに適しています。エンコーダのA相, B相, Z相の出力をそれぞれ入力することにより、回転角度や回転数などを高い精度で容易にカウントできます。

位相差カウントモードには2逓倍モードと4逓倍モードがあり、それぞれカウント方法が異なります。

アップダウンカウンタの動作モードを表 **エラー! 指定したスタイルは使われていません。**-1 に示します。

表 エラー! 指定したスタイルは使われていません。-1 アップダウンカウンタの動作モード

動作モード	カウントタイミング	カウント方向
タイマモード	内部クロック	カウントダウン
アップダウンカウントモード	外部クロック	カウントアップ/カウントダウン
位相差カウントモード (2 逓倍/4 逓倍)	外部信号入力端子からの 入力信号の位相	カウントアップ/カウントダウン

- リロードコンペア機能: 次の3種類から選択できます。
  - **コンペア機能**

    あらかじめ設定した値までカウントすると、カウンタの値をクリアして、カウントを続けます。
  - **リロード機能**

    アンダフローが発生すると、リロード値をロードしてカウントを続けます。
  - **リロードコンペア機能**

    コンペア機能とリロード機能を組み合わせて使用できます。
- カウント方向: 直前のカウント方向 (カウントアップ/カウントダウン) を確認できます。
- 割込み要求: 次の場合に割込み要求を発生できます。
  - カウント方向が反転したとき
  - カウンタの値があらかじめ設定した値と一致したとき
  - オーバフローが発生したとき
  - アンダフロー (リロード) が発生したとき

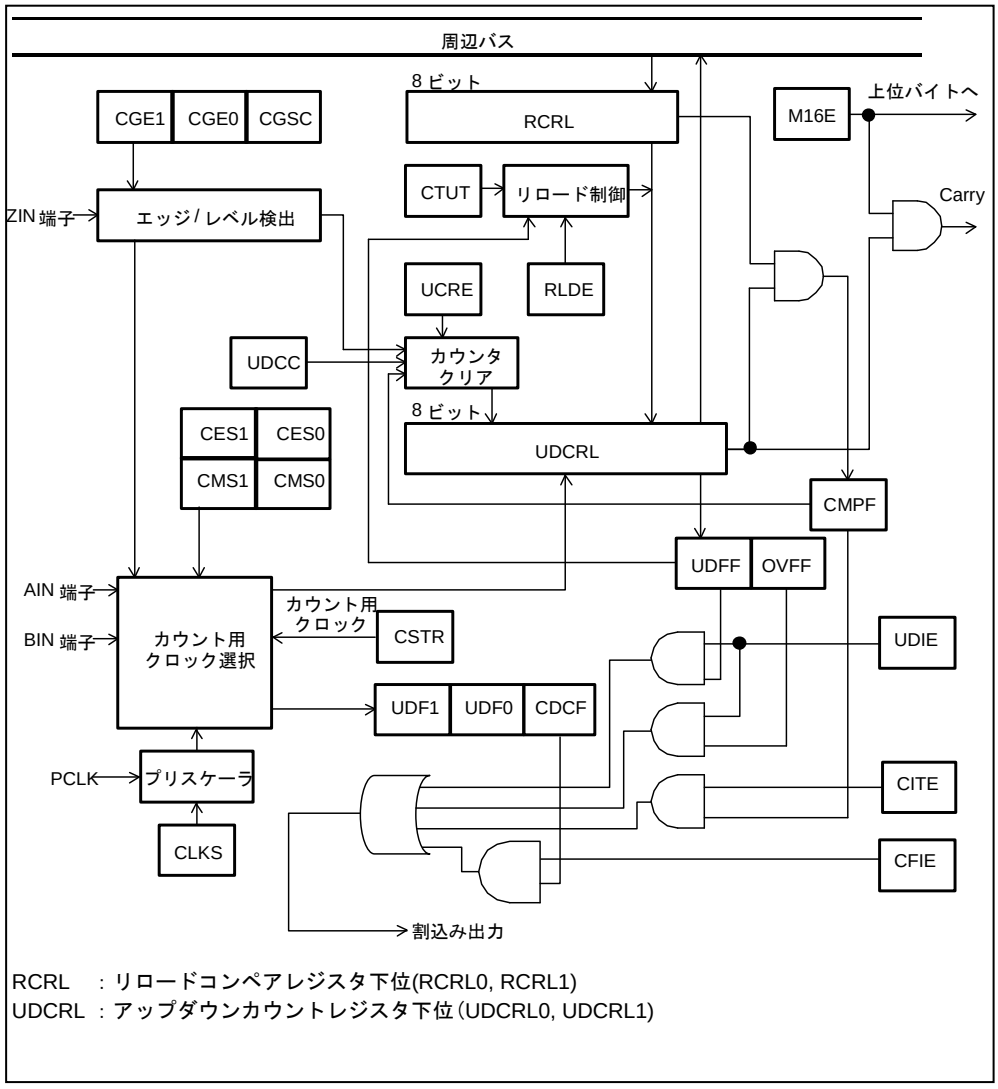
3. 構成

アップダウンカウンタの構成を示します。

■ アップダウンカウンタのブロックダイヤグラム

アップダウンカウンタのブロックダイヤグラムを ch.0 を例にとって図 **エラー! 指定したスタイルは使われていません。**-1 に示します。

図 エラー! 指定したスタイルは使われていません。-1 アップダウンカウンタのブロックダイヤグラム



・ リロードコンペアレジスタ (RCR)

アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。

次のように上位8ビットと下位8ビットに分かれています。

8ビットモードで使用する場合は，下位側を使用します。

・ リロードコンペアレジスタ上位 (RCRH)

・ リロードコンペアレジスタ下位 (RCRL)

・ アップダウンカウントレジスタ (UDCR)

アップダウンカウンタのカウンタとして動作するレジスタです。

次のように上位8ビットと下位8ビットに分かれています。

8ビットモードで使用する場合は、下位側を使用します。

・ アップダウンカウントレジスタ上位 (UDCRH)

・ アップダウンカウントレジスタ下位 (UDCRL)

・ カウンタ制御レジスタ (CCR)

アップダウンカウンタを制御するレジスタです。

・ カウンタ状態レジスタ (CSR)

アップダウンカウンタの状態を確認したり、割込み要求の制御をしたりするレジスタです。

・ カウント用クロック選択回路

アップダウンカウンタのカウント用クロックを選択する回路です。

・ プリスケーラ

アップダウンカウンタをタイマモードで使用するときに、周辺クロック (PCLK) の分周比を選択します。

■ クロック

アップダウンカウンタで使用するクロックを表 **エラー! 指定したスタイルは使われていません。**-2 に示します。

表 エラー! 指定したスタイルは使われていません。-2 アップダウンカウンタで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック(PCLK)を分周して生成
	外部端子からの入力をカウント	AIN 端子, BIN 端子から入力

4. レジスタ

アップダウンカウンタで使用するレジスタの構成と機能について説明します。

■ 端子とチャネルの対応

チャネルと端子の対応を表 **エラー! 指定したスタイルは使われていません。**-3 に示します。

表 エラー! 指定したスタイルは使われていません。-3 チャネルと端子の対応

チャネル	外部信号入力端子								
	MB91F52xB			MB91F52xD			MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL		
	AIN	BIN	ZIN	AIN	BIN	ZIN	AIN	BIN	ZIN
0	AIN0_0	BIN0_0/ BIN0_1	ZIN0_2	AIN0_0/ AIN0_1	BIN0_0/ BIN0_1	ZIN0_2	AIN0_0/ AIN0_1	BIN0_0/ BIN0_1	ZIN0_0/ ZIN0_1/ ZIN0_2
1	AIN1_0/ AIN1_1	BIN1_0	ZIN1_0/ ZIN1_1	AIN1_0/ AIN1_1	BIN1_0/ BIN1_1	ZIN1_0/ ZIN1_1	AIN1_0/ AIN1_1	BIN1_0/ BIN1_1	ZIN1_0/ ZIN1_1

ch.0, ch.1 は、IO リロケーション機能により、使用する外部端子を選択します。

■ レジスタマップ

アップダウンカウンタのレジスタマップを表 **エラー! 指定したスタイルは使われていません。**-4 に示します。

表 エラー! 指定したスタイルは使われていません。-4 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0F70	RCRH0	RCRL0	UDCRH0	UDCRL0	リロードコンペアレジスタ上位 0 リロードコンペアレジスタ下位 0 アップダウンカウントレジスタ上位 0 アップダウンカウントレジスタ下位 0
0x0F74	CCR0		予約	CSR0	カウンタ制御レジスタ 0 カウンタ状態レジスタ 0
0x0F80	RCRH1	RCRL1	UDCRH1	UDCRL1	リロードコンペアレジスタ上位 1 リロードコンペアレジスタ下位 1 アップダウンカウントレジスタ上位 1 アップダウンカウントレジスタ下位 1
0x0F84	CCR1		予約	CSR1	カウンタ制御レジスタ 1

				カウンタ状態レジスタ 1

4.1. リロードコンペアレジスタ (RCR0, RCR1)

リロードコンペアレジスタのビット構成について示します。

アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。
リロード値はカウントダウン時にカウントを開始する値、コンペア値はカウントアップ時にカウントされた値と比較する値 (ここまで数えるという値) です。リロード値とコンペア値は同一です。

■ RCRH0 : アドレス 0F70$_H$ (アクセス: ハーフワード, ワード)

■ RCRH1 : アドレス 0F80$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

■ RCRL0 : アドレス 0F71$_H$ (アクセス: バイト, ハーフワード, ワード)

■ RCRL1 : アドレス 0F81$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

このレジスタは、次のように上位バイトと下位バイトに分かれています。

- リロードコンペアレジスタ上位 (RCRH0, RCRH1)
- リロードコンペアレジスタ下位 (RCRL0, RCRL1)

16 ビットモード時は、両方の値が使用され、8 ビットモード時は、下位バイトの値が使用されます。
このレジスタに書き込んだ値をアップダウンカウントレジスタ (UDCR) に転送することで、アップダウンカウンタは、"0000$_H$" (8 ビット時は"00$_H$") ～このレジスタに設定した値の範囲でカウントを行います。

＜注意事項＞

- カウンタ制御レジスタ (CCR) の CTUT ビットに"1"を書き込むと、このレジスタに設定した値をアップダウンカウントレジスタ (UDCR) に転送できます。ただし、カウンタ制御レジスタ (CCR) の CTUT ビットは、アップダウンカウンタの停止中に書き込んでください。
- カウンタ制御レジスタ(CCR)の M16E ビットで 16 ビットモードを設定した場合 (M16E=1)、このレジスタは必ずハーフワードで書き込んでください。
- カウンタ制御レジスタ (CCR) の M16E ビットで 8 ビットモードを設定した場合 (M16E=0)、必ずリロードコンペアレジスタ下位 (RCRL) にバイトで書き込んでください。

4.2. アップダウンカウントレジスタ (UDCR0, UDCR1)

アップダウンカウントレジスタのビット構成について示します。

アップダウンカウンタのカウンタとして動作するレジスタです。このレジスタを読み出すとカウンタの値を確認できます。

■ UDCRH0: アドレス 0F72$_H$ (アクセス: ハーフワード, ワード)

■ UDCRH1: アドレス 0F82$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ UDCRL0: アドレス 0F73$_H$ (アクセス: バイト, ハーフワード, ワード)

■ UDCRL1: アドレス 0F83$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

このレジスタは, 次のように上位バイトと下位バイトに分かれています。

- アップダウンカウントレジスタ上位 (UDCRH0, UDCRH1)
- アップダウンカウントレジスタ下位 (UDCRL0, UDCRL1)

8ビットモード時は, 上位バイトの値は動作に影響を与えません。

アップダウンカウントレジスタ下位 (UDCRL) の値を読み出してください。

＜注意事項＞

- このレジスタは読出し専用です。このレジスタに値を設定する場合は、次の手順でリロードコンペアレジスタ (RCR) の値をこのレジスタに転送してください。

1. リロードコンペアレジスタ (RCR) に値を書き込む
2. カウンタ状態レジスタ (CSR) の CSTR ビットに"0"を書き込む
3. カウンタ制御レジスタ (CCR) の CTUT ビットに"1"を書き込む

- カウンタ制御レジスタ(CCR)の M16E ビットで 16 ビットモードを設定した場合 (M16E=1)、このレジスタは必ずハーフワードで読み出してください。
- カウンタ制御レジスタ(CCR)の M16E ビットで 8 ビットモードを設定した場合 (M16E=0)、アップダウンカウントレジスタ下位 (UDCRL) の値を読み出してください。

4.3. カウンタ制御レジスタ (CCR0, CCR1)

カウンタ制御レジスタのビット構成について示します。

アップダウンカウンタの動作を制御するレジスタです。

■ CCR0： アドレス 0F74$_H$ (アクセス: バイト, ハーフワード)

■ CCR1： アドレス 0F84$_H$ (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	M16E	CDCF	CFIE	CLKS	CMS1	CMS0	CES1	CES0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	CTUT	UCRE	RLDE	UDCC	CGSC	CGE1	CGE0
初期値	0	0	0	0	1	0	0	0
属性	R0,W0	R0,W	R/W	R/W	R1,W	R/W	R/W	R/W

[bit15] M16E : 16 ビットモード選択ビット

アップダウンカウンタを 8 ビットで使用するか、16 ビットで使用するかを選択します。

書込み値	説明
0	8 ビットモード (1 チャネル) で使用します。
1	16 ビットモード (1 チャネル) で使用します。

[bit14] CDCF : カウント方向転換フラグビット

カウント方向が、カウントダウンからカウントアップ、またはカウントアップからカウントダウンに 1 回以上反転したことを示します。
このビットが"1"のときに CFIE ビットが"1"に設定されていると、カウント方向転換割込み要求が発生します。

CDCF	読出し時	書込み時
0	カウント方向は反転していません。	このビットを"0"にクリアします。
1	カウント方向が 1 回以上反転しました。	無視されます。

＜注意事項＞

- デバイスのリセットが発生した場合、カウント方向はカウントダウンに設定されます。そのため，リセット直後にカウントアップが行われると、このビットが"1"に変わります。
- カウント方向が短期間で連続して変化した場合は、カウント方向が元に戻り、カウンタ状態レジスタ (CSR) の UDF1, UDF0 ビットが変化しない場合があります。

[bit13] CFIE : カウント方向転換割込み許可ビット

カウント方向が反転したとき (CDCF=1) に、カウント方向転換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	カウント方向転換割込み要求の発生を禁止します。
1	カウント方向転換割込み要求の発生を許可します。

[bit12] CLKS : 内部クロック分周選択ビット

タイマモード選択時に、このビットで設定した分周比で分周された周辺クロック (PCLK) をカウント用クロックとして使用します。

書込み値	説明
0	周辺クロック (PCLK) の 2 分周
1	周辺クロック (PCLK) の 8 分周

＜注意事項＞

このビットは、CMS1, CMS0 ビットで動作モードをタイマモードに設定 (CMS1, CMS0=00) した場合のみ有効です。そのほかの動作モードを選択しているときは、このビットの設定は無視されます。

[bit11, bit10] CMS1, CMS0 : **動作モード選択ビット**

アップダウンカウンタの動作モードを次の中から選択します。

- タイマモード
  カウント用クロックに同期してカウントダウンします。
- アップダウンカウントモード
  2 本の外部信号入力端子からの入力信号をカウントアップ/カウントダウンします。
- 位相差カウントモード
  2 本の外部信号入力端子の位相差をカウントアップ/カウントダウンします。位相差カウントモードには 2 逓倍モードと 4 逓倍モードがあり、それぞれカウント方法が異なります。

CMS1	CMS0	動作モード
0	0	タイマモード
0	1	アップダウンカウントモード
1	0	位相差カウントモード (2 逓倍)
1	1	位相差カウントモード (4 逓倍)

[bit9, bit8] CES1, CES0 : **カウント用クロックエッジ選択ビット**

AIN 端子および BIN 端子の検出エッジを選択します。
アップダウンカウントモード選択時に、このビットで選択したエッジが検出されるたびに、カウント動作が行われます。

CES1	CES0	検出エッジ
0	0	エッジ検出禁止
0	1	立下りエッジ
1	0	立上りエッジ
1	1	両エッジ

＜注意事項＞

このビットは、CMS1, CMS0 ビットで動作モードをアップダウンカウントモードに設定 (CMS1, CMS0=01) した場合のみ有効です。そのほかの動作モードを選択しているときは、このビットの設定は無視されます。

[bit7] 予約ビット

書込み時	必ず"0"を書き込んでください。
読出し時	"0"が読み出されます。

[bit6] CTUT : カウンタライトビット

リロードコンペアレジスタ (RCR) に設定した値をアップダウンカウントレジスタ (UDCR) に転送します。

CTUT	読出し時	書込み時
0	"0"が読み出されます。	無視されます。
1		値を転送します。

＜注意事項＞

このビットに"1"を書き込んだ時点で、リロードコンペアレジスタ (RCR) の値が転送されるため、カウンタ状態レジスタ (CSR) の CSTR ビットが"1"のとき (カウンタの動作中) は、このビットを"1"に書き換えないでください。

[bit5] UCRE : カウンタクリア許可ビット

コンペア機能の使用を許可/禁止します。

コンペア機能とは、カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致したときに、カウンタの値を"0000_H"にクリアし、カウントを続ける機能です。

書込み値	説明
0	コンペア機能の使用を禁止します。
1	コンペア機能の使用を許可します。

＜注意事項＞

このビットで制御できるのは、コンペア機能を利用してのクリア動作のみです。

次のクリア動作は、このビットでは制御できません。

- 本デバイスがリセットされたことによるクリア
- ZIN 端子からの有効エッジ入力によるクリア (CGSC ビット=0 のとき)
- UDCC ビットに"0"を書き込むことによるクリア (ソフトウェアによるクリア)

[bit4] RLDE : リロード許可ビット

リロード機能の使用を許可/禁止します。

リロード機能とは、カウントダウン時にカウンタがアンダフローすると、リロードコンペアレジスタ (RCR) に設定した値をカウンタにリロードして、カウントを続ける機能です。

書込み値	説明
0	リロード機能の使用を禁止します。
1	リロード機能の使用を許可します。

[bit3] UDCC : カウンタクリアビット

カウンタの値を"0000_H"にクリアします。

UDCC	読出し時	書込み時
0	"1"が読み出されます。	クリアします。
1		無視されます。

[bit2] CGSC : **カウンタクリア/ゲート選択ビット**

ZIN 端子の機能を次の中から選択します。

- カウンタクリア機能
  ZIN 端子から有効エッジが入力されたときに，カウンタの値を"0000_H"にクリアします。
- ゲート機能
  ZIN 端子から有効レベルが入力されている間だけ，カウンタが動作します。

書込み値	説明
0	カウンタクリア機能
1	ゲート機能

＜注意事項＞

ZIN 端子は、このビットと CGE1，CGE0 ビットの設定を組み合わせることで機能します。必ず、CGE1，CGE0 ビットも設定してください。

[bit1, bit0] CGE1, CGE0 : **エッジ/レベル選択ビット**

ZIN 端子の有効エッジ/有効レベルを選択します。CGSC ビット設定によって、このビットの意味は異なります。

- CGSC ビットでカウンタクリア機能を選択した場合 (CGSC=0)
  有効エッジを選択します。
  このビットで選択したエッジが ZIN 端子で検出されると、カウンタの値が"0000_H"にクリアされます。
- CGSC ビットでゲート機能を選択した場合 (CGSC=1)
  有効レベルを選択します。
  このビットで選択したレベルが ZIN 端子から入力されている間だけ、カウンタが動作します。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時(CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

4.4. カウンタ状態レジスタ (CSR0, CSR1)

カウンタ状態レジスタのビット構成について示します。

アップダウンカウンタの状態の確認と、割込み要求を制御するレジスタです。

■ CSR0 : アドレス $0F77_H$ (アクセス: バイト)

■ CSR1 : アドレス $0F87_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF1	UDF0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R(RM1),W	R(RM1),W	R(RM1),W	R,WX	R,WX

[bit7] CSTR : カウント起動ビット

アップダウンカウンタを起動/停止します。

書込み値	説明
0	カウント動作を停止します。
1	アップダウンカウンタを起動します。

[bit6] CITE : 比較結果一致割込み許可ビット

カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致したとき (CMPF=1) に、比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit5] UDIE : **オーバフロー/アンダフロー割込み許可ビット**

アップダウンカウンタがオーバフロー/アンダフローしたとき(OVFF/UDFF=1) に、オーバフロー/アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	オーバフロー/アンダフロー割込み要求の発生を禁止します。
1	オーバフロー/アンダフロー割込み要求の発生を許可します。

[bit4] CMPF : **比較結果一致検出フラグビット**

カウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致したことを示します。

このビットが"1"のときに CITE ビットが"1"に設定されていると、比較結果一致割込み要求が発生します。

CMPF	読出し時	書込み時
0	値は一致していません。	このビットを"0"にクリアします。
1	値が一致しました。	無視されます。

＜注意事項＞

このビットは, 次の場合に"1"に変わります。

- カウントアップで値が一致したとき
- リロードコンペアレジスタ (RCR) の値をカウンタにリロードしたとき
- アップダウンカウンタを起動したときに, 既に値が一致していたとき

[bit3] OVFF : **オーバフロー検出フラグビット**

アップダウンカウンタがオーバフローしたことを示します。

このビットが"1"のときに UDIE ビットが"1"に設定されていると、オーバフロー割込み要求が発生します。

OVFF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを"0"にクリアします。
1	オーバフローが発生しました。	無視されます。

オーバフローは、カウンタの値が"$FFFF_H$"のときにカウントアップしようとすると発生します。

[bit2] UDFF : アンダフロー検出フラグビット

アップダウンカウンタがアンダフローしたことを示します。

このビットが"1"のときに UDIE ビットが"1"に設定されていると、アンダフロー割込み要求が発生します。

UDFF	読出し時	書込み時
0	アンダフローは発生していません。	このビットを"0"にクリアします。
1	アンダフローが発生しました。	無視されます。

アンダフローは、カウンタの値が"0000_H"のときに、カウントダウンしようとすると発生します。

[bit1, bit0] UDF1, UDF0 : アップダウンフラグビット

直前のカウント方向を示します。

このビットは、アップダウンカウンタがカウントするたびに更新されます。

UDF1	UDF0	説明
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ/カウントダウン同時発生

5. 割込み

アップダウンカウンタの割込みについて示します。

次のいずれかの場合に割込み要求が発生します。

- カウント方向が反転したとき (カウント方向転換割込み要求)
- カウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致したとき (比較結果一致割込み要求)
- オーバフローが発生したとき (オーバフロー割込み要求)
- アンダフローが発生したとき (アンダフロー割込み要求)

アップダウンカウンタの動作モードによって、発生する割込み要求は異なります。

動作モードと割込み要求の対応を表 **エラー! 指定したスタイルは使われていません。**-5 に示します。

表 エラー! 指定したスタイルは使われていません。-5 動作モードと割込み要求の対応

割込み要求	タイマモード	アップダウンカウントモード	位相差カウントモード (2 逓倍/4 逓倍)
カウント方向転換割込み要求	×	○	○
比較結果一致割込み要求	○	○	○
オーバフロー割込み要求	×	○	○
アンダフロー割込み要求	○	○	○

アップダウンカウンタで使用できる割込みについて表 **エラー! 指定したスタイルは使われていません。**-6 に示します。

表 エラー! 指定したスタイルは使われていません。-6 アップダウンカウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
カウント方向転換割込み要求	CCR の CDCF=1	CCR の CFIE=1	CCR の CDCF ビットに"0"を書き込む
比較結果一致割込み要求	CSR の CMPF=1	CSR の CITE=1	CSR の CMPF ビットに"0"を書き込む
オーバフロー割込み要求	CSR の OVFF=1	CSR の UDIE=1	CSR の OVFF ビットに"0"を書き込む
アンダフロー割込み要求	CSR の UDFF=1	CSR の UDIE=1	CSR の UDFF ビットに"0"を書き込む

CCR: カウンタ制御レジスタ
CSR: カウンタ状態レジスタ

＜注意事項＞

・割込み要求が発生すると、割込み要求フラグがクリアされるまで、アップダウンカウンタは動作を停止します。

・カウンタ制御レジスタ (CCR) の CMPF ビットは、カウントアップで値が一致した場合に加え、リロードコンペアレジスタ (RCR) の値がリロードされた場合や、アップダウンカウンタを起動時、既に値が一致していた場合も"1"に変わります。
・カウンタのクリアおよびリロードのタイミングについては、「6. 動作説明と設定手順例」の「■クリアイベント」および「■リロードイベント」を参照してください。
・割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
・ 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
  ・割込み要求の発生を許可する前に割込み要求をクリアする
  ・割込み許可と同時に割込み要求をクリアする
・各割込み要求の割込みベクタ番号については、『付録 B. 割込みベクタ一覧』を参照してください。
・割込みベクタ番号に対応する割込みレベルは、割込み制御レジスタ (ICR00～ICR47) で設定します。割込みレベルの設定については、『割込み制御(割込みコントローラ)』を参照してください。

6. 動作説明と設定手順例

アップダウンカウンタの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

● カウンタモード

アップダウンカウンタは、設定によって 16 ビットアップダウンカウンタとして使用することも、8 ビットアップダウンカウンタとして使用することもできます。

カウンタ制御レジスタ (CCR) の M16E ビットで設定してください。

・ 8 ビットモード (M16E=0)
アップダウンカウントレジスタ下位 (UDCRL) のみを利用します。リロード値およびコンペア値は、リロードコンペアレジスタ下位 (RCRL) のみにバイトで書き込んでください。

・ 16 ビットモード (M16E=1)
アップダウンカウントレジスタ (UDCR) の上位バイトと下位バイトの両方を利用します。リロード値およびコンペア値は、リロードコンペアレジスタ (RCR) にハーフワードで書き込んでください。

● 動作モード

アップダウンカウンタの動作モードは、カウンタ制御レジスタ (CCR) の CMS1, CMS0 ビットで次の 3 モード (4 種類) から選択できます。

・ タイマモード (CMS1, CMS0=00)
あらかじめ設定した値からカウント用クロックに同期してカウントダウンするモードです。
カウント用クロックは、周辺クロック (PCLK) をプリスケーラで 2 分周/8 分周して生成されます。

- アップダウンカウントモード (CMS1, CMS0=01)
  外部信号入力端子から入力される信号をカウントアップ/カウントダウンするモードです。
- 位相差カウントモード (2 逓倍) (CMS1, CMS0=10) /位相差カウントモード (4 逓倍) (CMS1, CMS0=11)
  外部信号入力端子から入力される信号の位相差をカウントアップ/カウントダウンするモードです。
  エンコーダの A 相を AIN 端子, B 相を BIN 端子, Z 相を ZIN 端子から入力することで、回転角度や回転数のカウント, 回転方向の検出などを高精度で行えるため、モータなどのエンコーダのカウントに適しています。

■ 利用できる機能

● リロード/コンペア機能

8/16 ビットアップダウンカウンタは、カウンタ制御レジスタ (CCR) の RLDE ビットと UCRE ビットでリロード機能およびコンペア機能の利用を許可/禁止できます。

- リロード機能
  カウントダウン時にアンダフローが発生すると、リロードコンペアレジスタ (RCR) に設定した値をリロードして、再度カウントダウンする機能です。動作については、「6.1. タイマモード時の動作」の「■カウント動作」を参照してください。
- コンペア機能
  アップダウンカウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致 (比較結果一致) した状態で、さらにカウントアップが行われようとすると、アップダウンカウンタの値を"0000_H"にクリアして、再度カウントアップする機能です。動作については,「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。
  この機能はタイマモードでは利用できません。
- リロードコンペア機能
  リロード機能とコンペア機能を組み合わせて使用する機能です。"0000_H"とリロードコンペアレジスタ (RCR) に設定した値の間でカウントダウン/アップを行うため、任意幅でのカウントが可能です。「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。
  この機能はタイマモードでは利用できません。

リロード機能/コンペア機能の設定方法を表 **エラー! 指定したスタイルは使われていません。**-7 に示します。

表 エラー! 指定したスタイルは使われていません。-7 リロード機能/コンペア機能の設定方法

RLDE	UCRE	説明
0	0	リロード機能/コンペア機能の利用禁止
0	1	リロード機能の利用禁止 コンペア機能の利用許可
1	0	リロード機能の利用許可 コンペア機能の利用禁止
1	1	リロード機能/コンペア機能の利用許可

● ZIN 端子の機能

カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子の機能を次の中から選択できます。

- カウンタクリア機能 (CGSC=0)
  カウント動作中に ZIN 端子から有効エッジが入力されると、カウンタの値を"0000_H"にクリアします。
- ゲート機能 (CGSC=1)
  ZIN 端子から有効レベルが入力されている間だけ、カウンタが動作します。

カウンタクリア機能を選択した場合は有効エッジ、ゲート機能を選択した場合は有効レベルをカウンタ制御レジスタ (CCR) のCGE1, CGE0ビットで選択してください。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時 (CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L"レベル
1	0	立上りエッジ	"H"レベル
1	1	設定禁止	設定禁止

■ クリアイベント

カウンタの値は、次のいずれかの場合に"0000_H"にクリアされます。

- 本デバイスがリセットされた

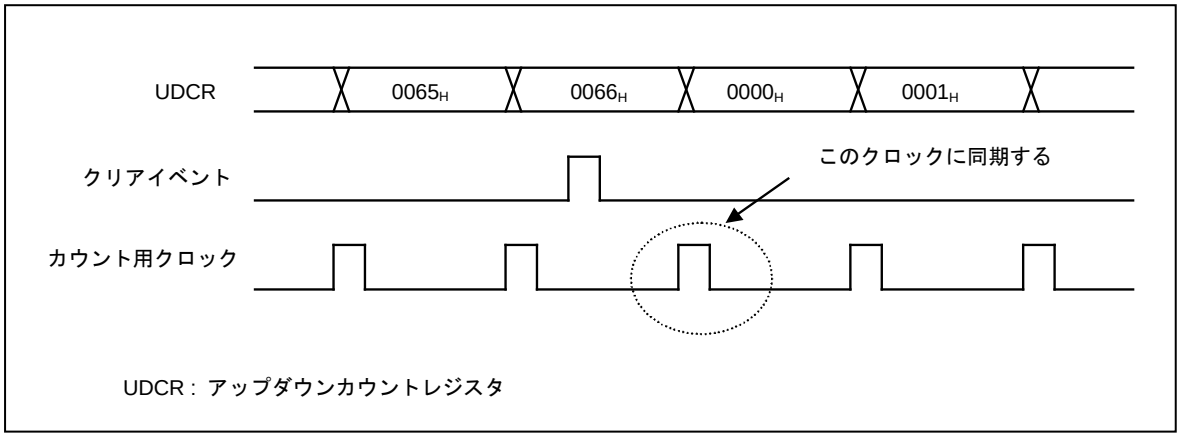
- ZIN 端子から有効エッジが入力された
  (カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子の機能をカウンタクリア機能 (CGSC=0) に設定している場合)
- ソフトウェアによるクリア
  カウンタ制御レジスタ (CCR) の UDCC ビットに"0"が書き込まれた
- コンペア機能によるクリア
  カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致し，さらにカウントアップが行われようとした
  (カウントダウンが行われた場合や、カウンタが停止した場合はクリアされません。)
- オーバフロー発生によるクリア
  カウンタの値が"$FFFF_H$" (8 ビットモード時は"FF_H") になった後のカウントアップ/カウントダウンのタイミング

カウンタの値が"0000_H"にクリアされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。

カウント動作中にクリアイベントが発生した場合カウント用クロックに同期して、値がクリアされます。

クリアイベント発生タイミングを図 **エラー! 指定したスタイルは使われていません。**-2 に示します。

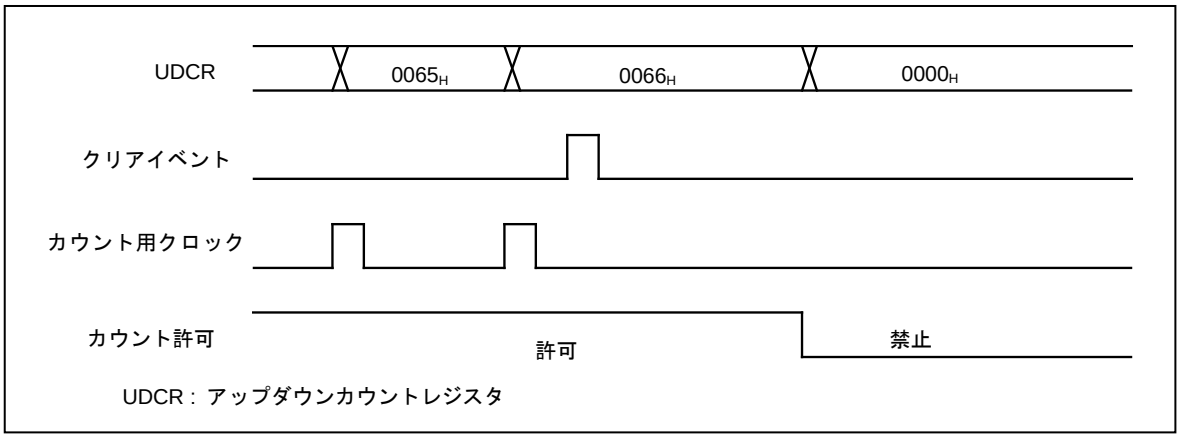
図 エラー! 指定したスタイルは使われていません。-2 クリアイベント発生タイミング



カウント動作中にクリアイベントが発生し、次のカウント用クロックが入力される前にカウント動作を停止した場合 (カウンタ状態レジスタ (CSR) のCSTRビット=0) アップダウンカウンタが停止した時点で、値がクリアされます。

クリアイベント発生タイミングを図 エラー!に示します。

図 **エラー! 指定したスタイルは使われていません。**-3 クリアイベント発生タイミング



■ リロードイベント

アップダウンカウンタの値は、次のいずれかの場合にリロードされます。

- カウンタ制御レジスタ (CCR) の CTUT ビットに"1"を書き込んだ場合
- リロード機能によって値がリロードされた場合

アップダウンカウンタの値がリロードされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。

- カウント動作中にリロードイベントが発生した場合
  カウント用クロックに同期して、値がリロードされます。
- カウント停止中にリロードイベントが発生した場合
  リロードイベントが発生した時点で、値がリロードされます。

＜注意事項＞

- カウント動作中は、カウンタ制御レジスタ (CCR) の CTUT ビットに"1"を書き込まないでください。
- リロードイベントとクリアイベントが同時に発生した場合は、クリアイベントが優先されます。

6.1. タイマモード時の動作

タイマモード時の動作について説明します。

■ 概要

リロードコンペアレジスタ (RCR) に設定した値から、カウントダウンするモードです。周辺クロック (PCLK) をプリスケーラで分周して、カウント用クロックとして使用します。

カウンタがアンダフローしたときに、リロードコンペアレジスタ (RCR) の値をリロードして、再度カウントダウンするリロード機能を使用することもできます。

■ カウント動作

● 通常動作

1. リロードコンペアレジスタ (RCR) にリロード値/コンペア値を設定
2. カウンタ制御レジスタ (CCR) の CTUT ビットに"1"を書き込むと設定した値がアップダウンカウントレジスタ (UDCR) に転送されます。
3. カウンタ状態レジスタ (CSR)の CSTR ビットに"1"を書き込んでアップダウンカウンタの動作を許可するとリロードコンペアレジスタ (RCR) の設定した値からカウントダウンを開始します。

カウンタがアンダフローすると、カウンタ状態レジスタ (CSR) の UDFF ビットが"1"に変わります。このとき、カウンタ状態レジスタの UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

なお、カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「4.3. カウンタ制御レジスタ (CCR0, CCR1)」を参照してください。

＜注意事項＞

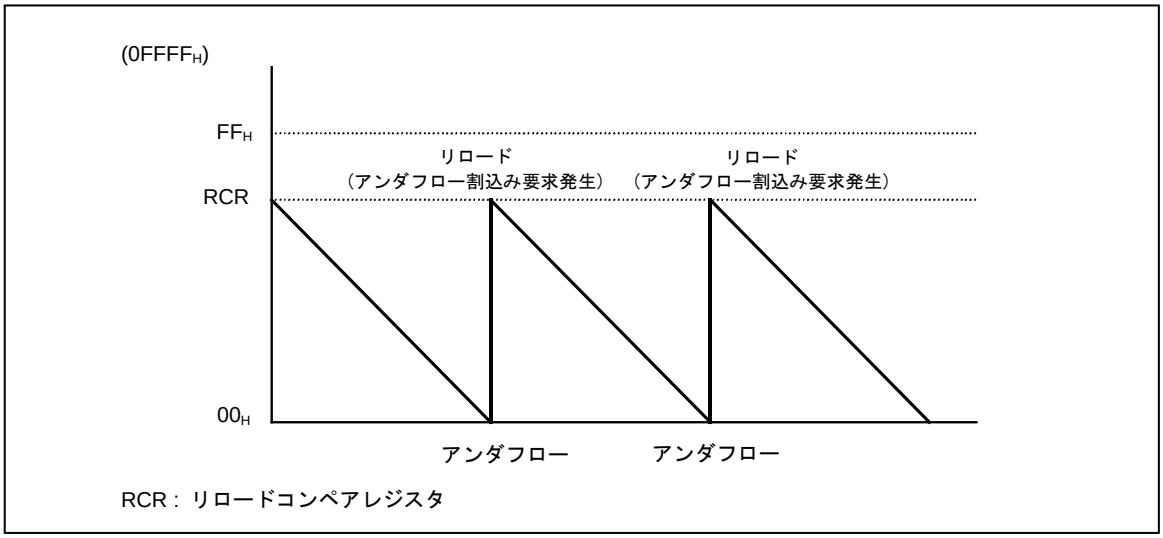
ZIN 端子に必要な最低パルス幅は、 2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

カウントダウン時に,カウンタがアンダフローすると、カウンタ状態レジスタ (CSR) の UDFF ビットが"1"に変わります。アンダフローが発生した次のカウントダウンタイミングで、リロードコンペアレジスタ (RCR) の値がリロードされ､再度カウントダウンを開始します｡このとき､カウンタ状態レジスタ (CSR) の UDIE ビットに"1"が設定されていると、アンダフロー割込み要求が発生します。

リロード機能使用時の動作を図 **エラー! 指定したスタイルは使われていません。**-4 に示します。

図 **エラー! 指定したスタイルは使われていません。**-4 リロード機能使用時の動作



＜注意事項＞

リロードコンペアレジスタ (RCR) の値は、リロード値とコンペア値を兼ねています。そのため、リロードコンペアレジスタ (RCR) の値がリロードされると、カウンタ状態レジスタ (CSR) の CMPF ビットも"1"に変わります。

6.2. アップダウンカウントモード時の動作

アップダウンカウントモード時の動作について説明します。

■ 概要

AIN 端子および BIN 端子から入力される外部信号をカウント用クロックとして、カウントアップ/カウントダウンするモードです。

AIN 端子から外部信号が入力されたときはカウントアップし、BIN 端子から外部信号が入力されたときはカウントダウンします。

外部信号のどのエッジでカウントするかは、カウンタ制御レジスタ (CCR) の CES1, CES0 ビットで次の中から選択します。

- 立下りエッジ (CES1, CES0=01)
- 立上りエッジ (CES1, CES0=10)
- 両エッジ (CES1, CES0=11)

また、アップダウンカウントモード時には、次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN 端子から有効エッジが入力されたときはカウントアップし、BIN 端子から有効エッジが入力されたときはカウントダウンします。

カウントアップからカウントダウン、またはカウントダウンからカウントアップのようにカウント方向が反転すると、カウンタ制御レジスタ (CCR) の CDCF ビットが"1"に変わります。このとき、カウンタ制御レジスタ (CCR) の CFIE ビットに"1"が設定されていると、カウント方向転換割込み要求が発生します。

なお、カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「4.3. カウンタ制御レジスタ (CCR0, CCR1)」を参照してください。

＜注意事項＞

AIN 端子，BIN 端子，ZIN 端子に必要な最低パルス幅は、 2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「6.1. タイマモード時の動作」の「■ カウント動作」を参照してください。

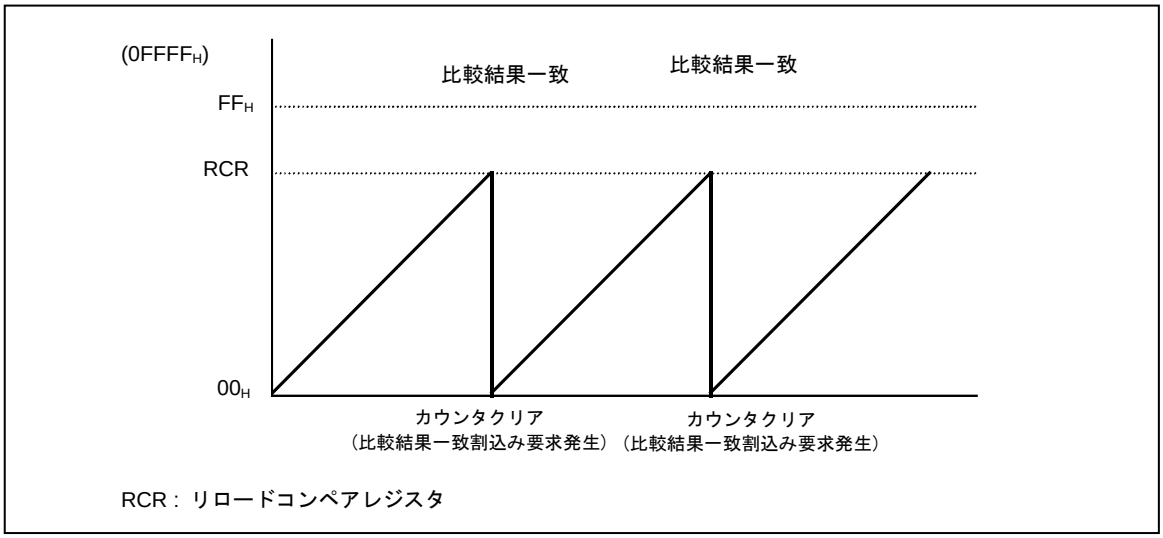
● コンペア機能使用時の動作

アップダウンカウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致するとカウンタ状態レジスタ (CSR) の CMPF ビットが"1"に変わります。このとき、カウンタ状態レジスタ (CSR) の CITE ビットに"1"が設定されていると、比較結果一致割込み要求が発生します。

この状態でさらにカウントアップが行われようとすると、アップダウンカウンタの値を"0000_H"にクリアして、再度カウントアップを開始します。

コンペア機能使用時の動作を図 **エラー! 指定したスタイルは使われていません。**-5 に示します。

図 **エラー! 指定したスタイルは使われていません。**-5 コンペア機能使用時の動作



＜注意事項＞

コンペア機能を使用した場合は，次の条件を満たしたときに，アップダウンカウンタの値が"0000$_H$"にクリアされます。

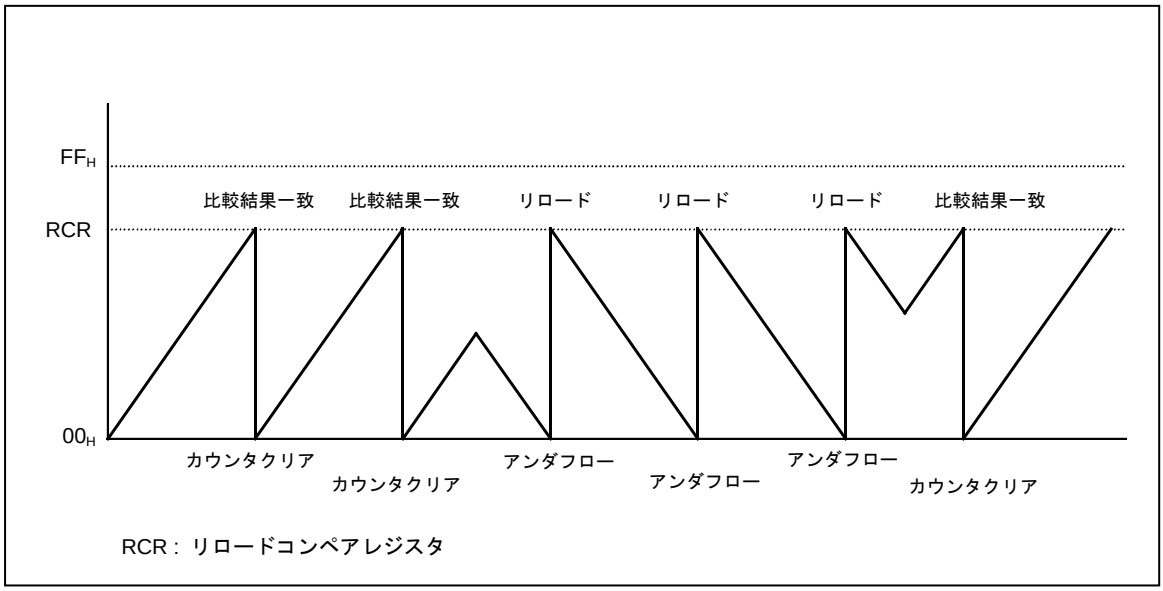
- アップダウンカウンタの値とリロードコンペアレジスタ (RCR) に設定した値が一致 (比較結果一致) し，さらに次のカウントアップが行われた
  ただし，比較結果が一致しても，次の場合はアップダウンカウンタの値はクリアされません。
- 次の動作がカウントダウン
- アップダウンカウンタが停止

● リロードコンペア機能使用時の動作

カウントダウン時はリロード機能を、カウントアップ時はコンペア機能を使用します。

リロードコンペア機能使用時の動作を図 **エラー! 指定したスタイルは使われていません。**-6 に示します。

図 **エラー! 指定したスタイルは使われていません。**-6 リロードコンペア機能使用時の動作



● カウント方向の確認

このモードでは、カウントアップとカウントダウンの両方が行われます。そのため、カウント方向をカウンタ状態レジスタ (CSR) の UDF1, UDF0 ビットで確認できます。カウントが行われるたびに、このビットが書き換えられるため、現在のカウント方向を確認することができます。モータの制御などで回転方向を知りたい場合などに利用すると便利です。

UDF1, UDF0 ビットの示すカウント方向を表 **エラー! 指定したスタイルは使われていません。**-8 に示します。

表 **エラー! 指定したスタイルは使われていません。**-8 UDF1, UDF0 ビットとカウント方向の対応

UDF1	UDF0	カウント方向
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ/カウントダウン同時発生

また、カウント方向が、カウントダウンからカウントアップ、またはカウントアップからカウントダウンに 1 回以上反転すると、カウンタ制御レジスタ (CCR) の CDCF ビットが"1"に変わります。このとき、方向転換割込み要求も発生させることができるため、CDCF ビットと方向転換割込み要求の発生を利用して、カウント方向が反転したかどうかを確認できます。

＜注意事項＞

カウント方向の転換が短期間に連続発生した場合は、カウント方向が元に戻り，カウンタ状態レジスタ (CSR) の UDF1, UDF0 ビットで示す方向が、CDCF ビットが"1"に変わる前と同じ方向になる場合があります。

6.3. 位相差カウントモード (2 逓倍) 時の動作

位相差カウントモード (2 逓倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコーダ出力の A 相と B 相の位相差をカウントするのに適しています。

BIN 端子から立上りエッジ，立下りエッジが検出されたときに、AIN 端子の入力レベルを確認し、BIN 端子と AIN 端子の位相差をカウントアップ/カウントダウンします。A 相が B 相より進んでいる場合はカウントアップし、遅れている場合はカウントダウンします。

カウントアップするかカウントダウンするかは、BIN 端子の検出エッジと AIN 端子の入力レベルによって異なります。

カウント方法を表 **エラー! 指定したスタイルは使われていません。**-9 に示します。

表 エラー! 指定したスタイルは使われていません。-9 カウント方法

BIN端子	AIN端子	カウント方向
立上りエッジ	″H″レベル	カウントアップ
	″L″レベル	カウントダウン
立下りエッジ	″H″レベル	カウントダウン
	″L″レベル	カウントアップ

また、位相差カウントモード (2 逓倍) 時は、次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

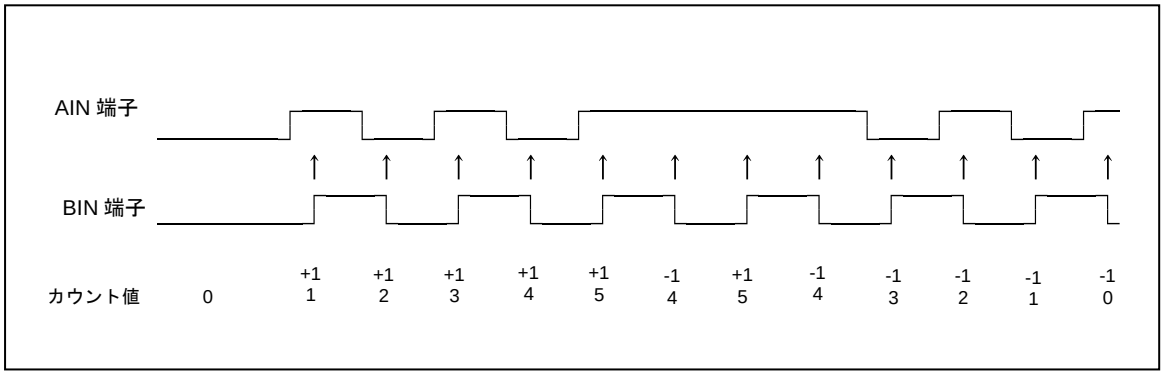
■ カウント動作

● 通常動作

カウンタが動作可能な状態で、BIN 端子から立上りエッジ/立下りエッジが入力されると、AIN 端子の入力レベルを検出し、カウントアップ/カウントダウンします。

位相差カウントモード (2 逓倍) 時の動作を図 **エラー! 指定したスタイルは使われていません。**-7 に示します。

図 エラー! 指定したスタイルは使われていません。-7 位相差カウントモード (2 逓倍) 時の動作



なお、カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。
有効レベルの設定については、「4.3. カウンタ制御レジスタ (CCR0, CCR1)」を参照してください。

＜注意事項＞

AIN 端子，BIN 端子，ZIN 端子に必要な最低パルス幅は、 2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「6.1. タイマモード時の動作」の「■ カウント動作」を参照してください。

● コンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● リロードコンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● カウント方向の確認

アップダウンカウントモード時と同様です。「6.2. アップダウンカウントモード時の動作」の「● カウント方向の確認」を参照してください。

6.4. 位相差カウントモード (4 逓倍) 時の動作

位相差カウントモード (4 逓倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコーダ出力の A 相と B 相の位相差をカウントするのに適しています。

AIN 端子または BIN 端子から立上りエッジ、立下りエッジが検出されたときに、もう一方の端子からの入力レベルを確認し、AIN 端子と BIN 端子の位相差をカウントアップ/カウントダウンします。

カウントアップするかカウントダウンするかは、検出するエッジと入力レベルの組合せによって異なります。

カウント方法を表 **エラー! 指定したスタイルは使われていません。**-10 に示します。

表 エラー! 指定したスタイルは使われていません。-10 カウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向
BIN 端子	立上りエッジ	AIN 端子	"H" レベル	カウントアップ
			"L" レベル	カウントダウン
	立下りエッジ		"H" レベル	カウントダウン
			"L" レベル	カウントアップ
AIN 端子	立上りエッジ	BIN 端子	"H" レベル	カウントダウン
			"L" レベル	カウントアップ
	立下りエッジ		"H" レベル	カウントアップ
			"L" レベル	カウントダウン

また、位相差カウントモード (4 逓倍) 時は、次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

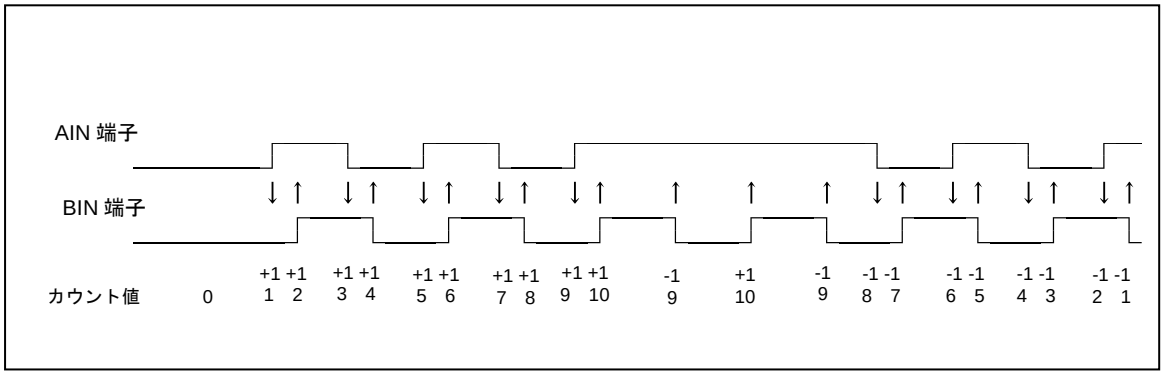
■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN 端子または BIN 端子から立上りエッジ/立下りエッジが入力されると、もう一方の端子の入力レベルを検出し、カウントアップ/カウントダウンします。

位相差カウントモード (4 逓倍) 時の動作を図 **エラー! 指定したスタイルは使われていません。**-8 に示します。

図 エラー! 指定したスタイルは使われていません。-8 位相差カウントモード (4 逓倍) 時の動作



なお、カウンタ制御レジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。
有効レベルの設定については、「4.3. カウンタ制御レジスタ (CCR0, CCR1)」を参照してください。

＜注意事項＞

AIN 端子, BIN 端子, ZIN 端子に必要な最低パルス幅は、2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「6.1. タイマモード時の動作」の「■ カウント動作」を参照してください。

● コンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● リロードコンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「6.2. アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● カウント方向の確認

アップダウンカウントモード時と同様です。「6.2. アップダウンカウントモード時の動作」の「● カウント方向の確認」を参照してください。

Chapter 28: リアルタイムクロック(RTC)

リアルタイムクロック(RTC)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. サンプルプログラム
9. 注意事項

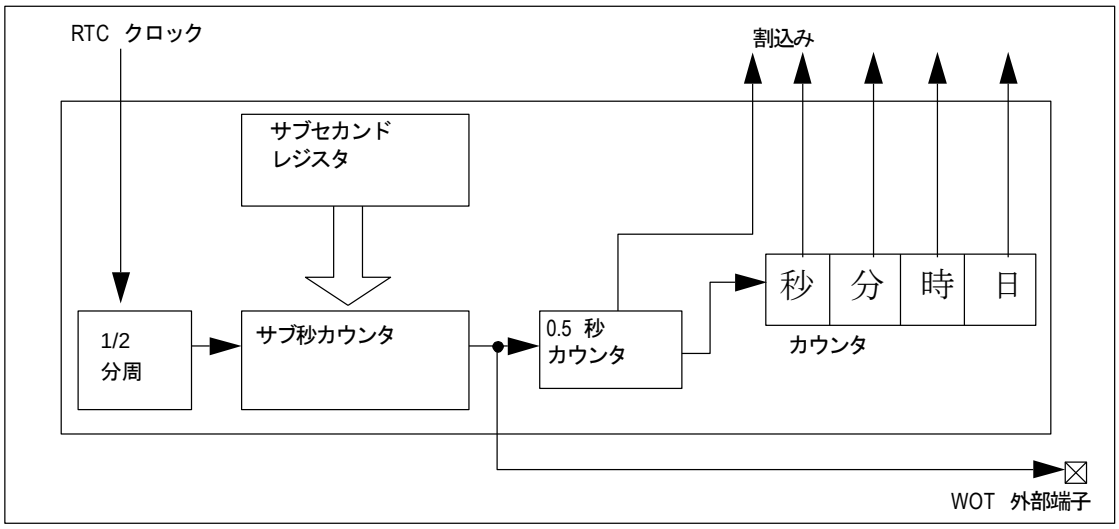
管理コード : FS57-1v0-91520-10-J

1. 概要

リアルタイムクロック(RTC)の概要について説明します。

リアルタイムクロック(ウォッチタイマ)は、タイマ制御レジスタ, サブセカンドレジスタ, 秒/分/時間/日数レジスタ, 1/2 クロック分周器, サブ秒カウンタ(22 ビットダウンカウンタ)および秒/分/時間/日数カウンタで構成されています。リアルタイムクロックの動作はリアルワールドタイマの動作と同じであり、リアルワールドタイマ情報を提供します。

図 1-1 ブロックダイヤグラム(概要)



2. 特長

リアルタイムクロック(RTC)の特長について説明します。

- 機能: 日数時刻 (日/時/分/秒) のカウント(時計モード中も動作を継続します。)
  日数時刻の初期設定、修正が可能です。
- 動作クロック: RTC クロック(RTC クロックのクロックソース選択については『クロック』の章を、ソースとしてサブクロックを選択中の場合の補正については『RTC/WDT1 補正(キャリブレーション)』の章を参照してください。)
- 割込み: 0.5 秒, 1 秒, 1 分, 1 時間, 1 日の 5 つの周期の割込みができます。また、サブセカンド値を変えることで任意の周期(短周期から長周期まで)の割込みを発生させることも可能です。

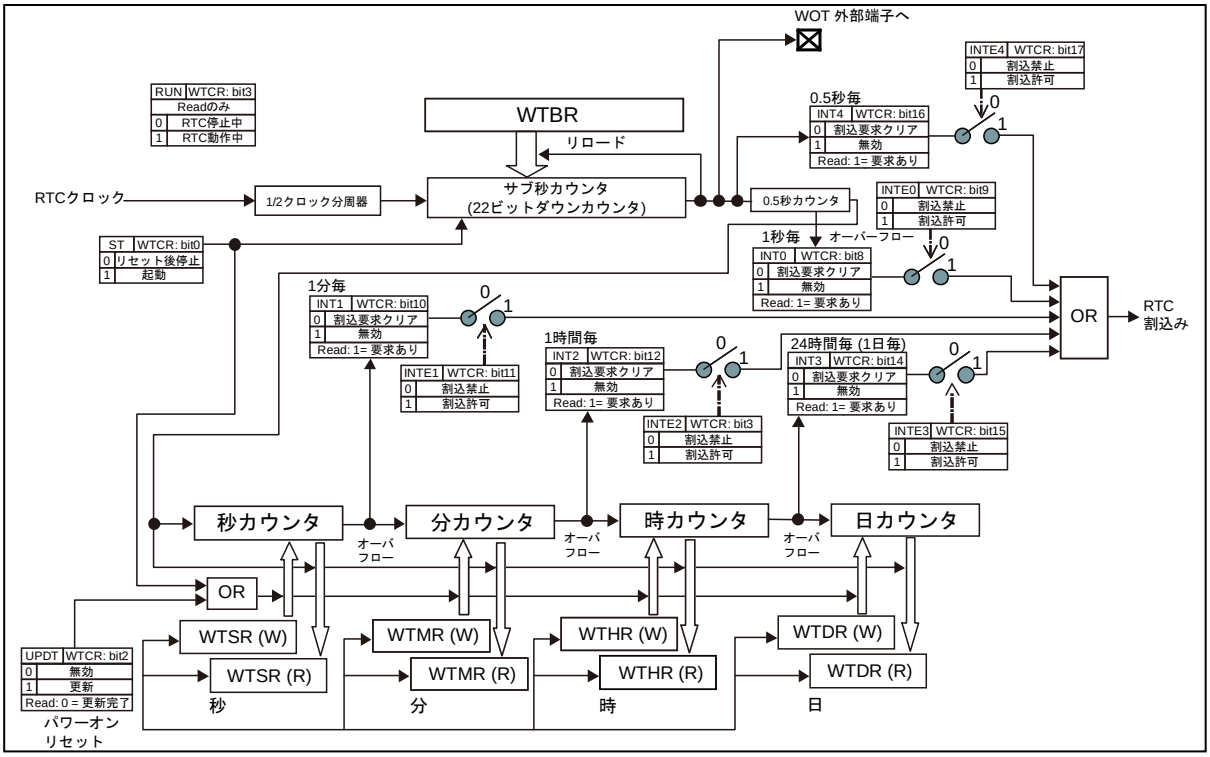
＜注意事項＞

時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。

3. 構成

リアルタイムクロック(RTC)の構成について説明します。

図 3-1 構成図



4. レジスタ

リアルタイムクロック(RTC)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x055C	予約	予約	WTDR		日時分秒レジスタ(日)
0x0560	予約	WTCR			RTC 制御レジスタ
0x0564	予約	WTBR			サブセカンドレジスタ
0x0568	WTHR	WTMR	WTSR	予約	日時分秒レジスタ(時) 日時分秒レジスタ(分) 日時分秒レジスタ(秒)

4.1. RTC 制御レジスタ ：WTCR

RTC 制御レジスタのビット構成について説明します。

リアルタイムクロックモジュールの動作を制御するためのレジスタです。

■ **WTCRH： アドレス 0561_H (アクセス: バイト)**

■ **WTCRM： アドレス 0562_H (アクセス: バイト, ハーフワード)**

■ **WTCRL： アドレス 0563_H (アクセス: バイト, ハーフワード)**

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	−	−	−	−	−	−	INTE4	INT4
初期値	−	−	−	−	−	−	0	0
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R(RM1), W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	INTE3	INT3	INTE2	INT2	INTE1	INT1	INTE0	INT0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R(RM1), W	R/W	R(RM1), W	R/W	R(RM1), W	R/W	R(RM1), W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	RUN	UPDT	予約	ST
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R/W0	R/W0	R/W0	R,WX	R(RM0),W	R/W0	R/W

本レジスタは時計モード(電源遮断)からの復帰リセットを除いたすべてのリセット要因で初期化されます。

[bit23～bit18] - : 未定義

常に"1"が読み出されます。書込みは動作に影響ありません。

[bit17] INTE4 : 0.5 秒間割込み要求許可

INTE4	動作
0	0.5 秒間割込み要求禁止
1	0.5 秒間割込み要求許可

[bit16] INT4 : 0.5 秒間割込み要求フラグ

INT4	状態	
	読出し	書込み
0	0.5 秒間割込み要求なし	フラグクリア
1	0.5 秒間割込み要求あり	動作への影響はありません

サブ秒カウンタ(22 ビットダウンカウンタ)のボロー信号の分周出力が有効になったときにフラグが"1"になります。

[bit15] INTE3 : 1 日割込み要求許可

INTE3	動作
0	1 日(24 時間)割込み要求禁止
1	1 日(24 時間)割込み要求許可

[bit14] INT3 : 1 日割込み要求フラグ

INT3	状態	
	読出し	書込み
0	1 日(24 時間)割込み要求なし	フラグクリア
1	1 日(24 時間)割込み要求あり	動作への影響はありません

時間カウンタのオーバフロー時にフラグが"1"になります。

[bit13] INTE2 : 1 時間割込み要求許可

INTE2	動作
0	1 時間割込み要求禁止
1	1 時間割込み要求許可

[bit12] INT2 : 1 時間割込み要求フラグ

INT2	状態	
	読出し	書込み
0	1 時間割込み要求なし	フラグクリア
1	1 時間割込み要求あり	動作への影響はありません

分カウンタのオーバフロー時にフラグが"1"になります。

[bit11] INTE1 : 1 分間割込み要求許可

INTE1	動作
0	1 分間割込み要求禁止
1	1 分間割込み要求許可

[bit10] INT1 : 1 分間割込み要求フラグ

INT1	動作	
	読出し	書込み
0	1 分間割込み要求なし	フラグクリア
1	1 分間割込み要求あり	動作への影響はありません

秒カウンタのオーバフロー時にフラグが"1"になります。

[bit9] INTE0 : 1 秒間割込み要求許可

INTE0	動作
0	1 秒間割込み要求禁止
1	1 秒間割込み要求許可

[bit8] INT0 : 1 秒間割込み要求フラグ

INT0	状態	
	読出し	書込み
0	1 秒間割込み要求なし	フラグクリア
1	1 秒間割込み要求あり	動作への影響はありません

0.5 秒カウンタのオーバフロー時にフラグが"1"になります。

[bit7～bit4] 予約
必ず"0"を書き込んでください。

[bit3] RUN : 動作状態

RUN	状態
0	リアルタイムクロックモジュールは停止
1	リアルタイムクロックモジュールは動作中

[bit2] UPDT : 更新

UPDT	状態/動作	
	読出し	書込み
0	更新完了	動作への影響はありません
1	更新中	それぞれの時分秒カウンタのカウンタ値を日時分秒レジスタ値に更新

更新ビット(UPDT)に"1"を書き込む前に、日時分秒レジスタに更新する値を設定してください。

日時分秒レジスタの更新は、サブ秒カウンタ(22 ビットダウンカウンタ)のリロード発生時に実行します。

UPDT ビットは、カウンタ値が更新されると、ハードウェアによりクリアされます。ただし、"1"書込みと更新完了が同時に発生した場合、UPDT ビットは"0"にクリアされません。

[bit1] 予約
必ず"0"を書き込んでください。

[bit0] ST : スタート

ST	動作
0	リアルタイムクロックモジュールは停止します。すべてのカウンタがクリアされます。
1	日時分秒レジスタに設定した値を日時分秒カウンタ取り込み、リアルタイムクロックが動作を開始します。

＜注意事項＞

- RTC 停止の状態(ST=0)からスタートビット(ST)への"1"書込み(RTC 動作開始)の際には、スタートビットと同時に更新ビット(UPDT)への"1"書込みを行わないでください。
  (ST=0 状態での Byte 即値による ST, UPDT ビットの同時"1"書込みは禁止です。)
- 更新ビット(UPDT)に"1"を書き込む場合は、RTC 動作中(ST=1)の状態で行ってください。
- 更新ビット(UPDT)が"1"の状態で、スタートビット(ST)に"0"を書き込む(RTC 停止)ことは禁止です。

4.2. サブセカンドレジスタ ：WTBR

サブセカンドレジスタのビット構成について説明します。

サブ秒カウンタ(22 ビットダウンカウンタ)のリロード値を格納するためのレジスタです。

■ WTBRH： アドレス 0565$_H$ (アクセス: バイト)

■ WTBRM： アドレス 0566$_H$ (アクセス: バイト)

■ WTBRL： アドレス 0567$_H$ (アクセス: バイト)

WTBRH

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	—	—	D21	D20	D19	D18	D17	D16
初期値	—	—	X	X	X	X	X	X
属性	R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W

WTBRM

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	X	X	X	X	X	X	X	X
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WTBRL

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	X	X	X	X	X	X	X	X
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

サブセカンドレジスタは、サブ秒カウンタ(22 ビットダウンカウンタ)で使用するリロード値を格納します。

この値は、サブ秒カウンタ(22 ビットダウンカウンタ)が"0"になるとリロードされます。サブセカンドレジスタを修正する場合は、書込み命令中にリロード動作が行われていないことを確認してください。そうしないと、サブ秒カウンタ(22 ビットダウンカウンタ)は、新旧のデータバイトを結合した正しくない値をロードしてしまいます。一般的には、サブセカンドレジスタは、ST ビットが"0"の間に更新してください。サブセカンドレジスタを"0"に設定した場合、サブ秒カウンタ(22 ビットダウンカウンタ)は一切動作しません。

0.5 秒をカウントさせるためのサブ秒レジスタの設定は、以下のとおりです。

表 4-2 WTBR 設定例

RTC クロックの周波数	WTBR 設定値
32kHz	0x001F3F
50kHz	0x0030D3
4MHz	0x0F423F

4.3. 日時分秒レジスタ ：WTDR/WTHR/WTMR/WTSR

日時分秒レジスタのビット構成について説明します。

リアルタイムクロックの時間情報(日/時/分/秒)を表しているレジスタです。

■ **WTDR (日レジスタ) : アドレス $055E_H$ (アクセス: ハーフワード)**

■ **WTHR (時レジスタ) : アドレス 0568_H (アクセス: バイト, ハーフワード)**

■ **WTMR (分レジスタ) : アドレス 0569_H (アクセス: バイト, ハーフワード)**

■ **WTSR (秒レジスタ) : アドレス $056A_H$ (アクセス: バイト)**

WTDR

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	N15	N14	N13	N12	N11	N10	N9	N8
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	N7	N6	N5	N4	N3	N2	N1	N0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

WTHR

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ー	ー	ー	H4	H3	H2	H1	H0
初期値	ー	ー	ー	0	0	0	0	0
属性	R1,WX	R1,WX	R1,WX	R,W	R,W	R,W	R,W	R,W

WTMR

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ー	ー	M5	M4	M3	M2	M1	M0
初期値	ー	ー	0	0	0	0	0	0
属性	R1,WX	R1,WX	R,W	R,W	R,W	R,W	R,W	R,W

WTSR

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ー	ー	S5	S4	S3	S2	S1	S0
初期値	ー	ー	0	0	0	0	0	0
属性	R1,WX	R1,WX	R,W	R,W	R,W	R,W	R,W	R,W

本レジスタはパワーオンリセット要因でのみ初期化されます。

- 秒/分/時/日レジスタは、日時間情報を格納します。秒, 分, 時および日の 2 進表記です。
- レジスタを読み出すと、カウンタ値が読み出せます。書込みデータは、UPDT ビットを"1"に設定した後に、カウンタにロードされます。
- ワードアクセスはできませんので、それぞれのレジスタごとにアクセスしてください。
- 日数レジスタも同様に、ワードアクセスはできません。なお、日数レジスタは、16bit カウンタで日数をカウントしていますので、必ずハーフワードでアクセスしてください。バイトでアクセスした場合、読出し中に桁上りが生じて、読出し値が不適切な値となる可能性がありますので、バイトアクセスおよびワードアクセスは禁止です。
- 時分秒レジスタへの設定は、下記範囲で設定してください。

  時間(WTHR): $0 \sim 17_H$ (0 時間～23 時間)

  分(WTMR): $0 \sim 3B_H$ (0 分～59 分)

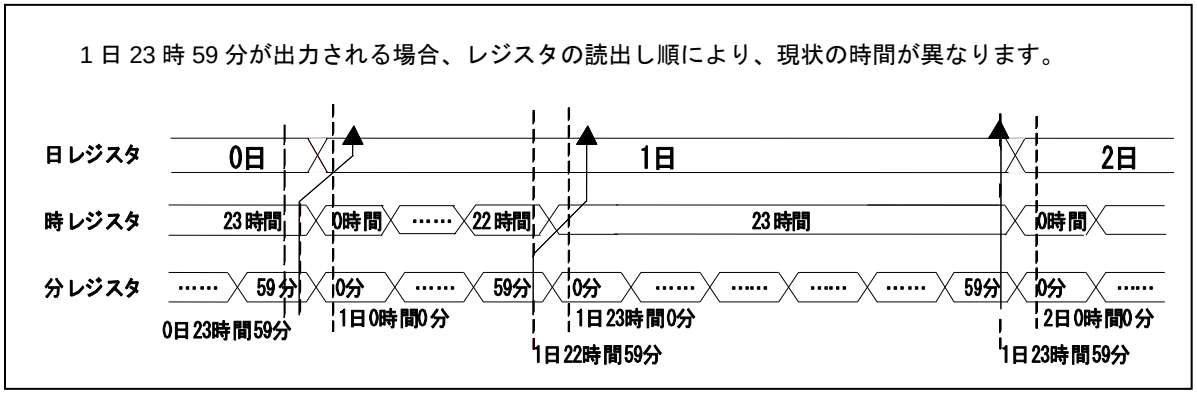
  秒(WTSR): $0 \sim 3B_H$ (0 秒～59 秒)
- 日時分秒レジスタの 4 つのレジスタから出力された値に、矛盾がないことを確認してください。下記例の可能性があります。

  [例]出力値 「1 日, 23 時間, 59 分, 59 秒」, 「0 日, 23 時間, 59 分, 59 秒」,

  「1 日, 0 時間, 0 分, 0 秒」, 「1 日, 22 時間, 59 分, 59 秒」,

  「1 日, 23 時間, 0 分, 0 秒」, 「2 日, 0 時間, 0 分, 0 秒」

図 4-1 日時分秒レジスタ遷移図



・動作クロックがメインクロックの 2 分周の場合(PLL が停止している場合)、時分秒レジスタからの読出し値は誤っている場合があります。これは、読出し動作とカウント動作の同期調整のために起こります。したがって、読出し命令のトリガには、秒割込みを使用することを推奨します。

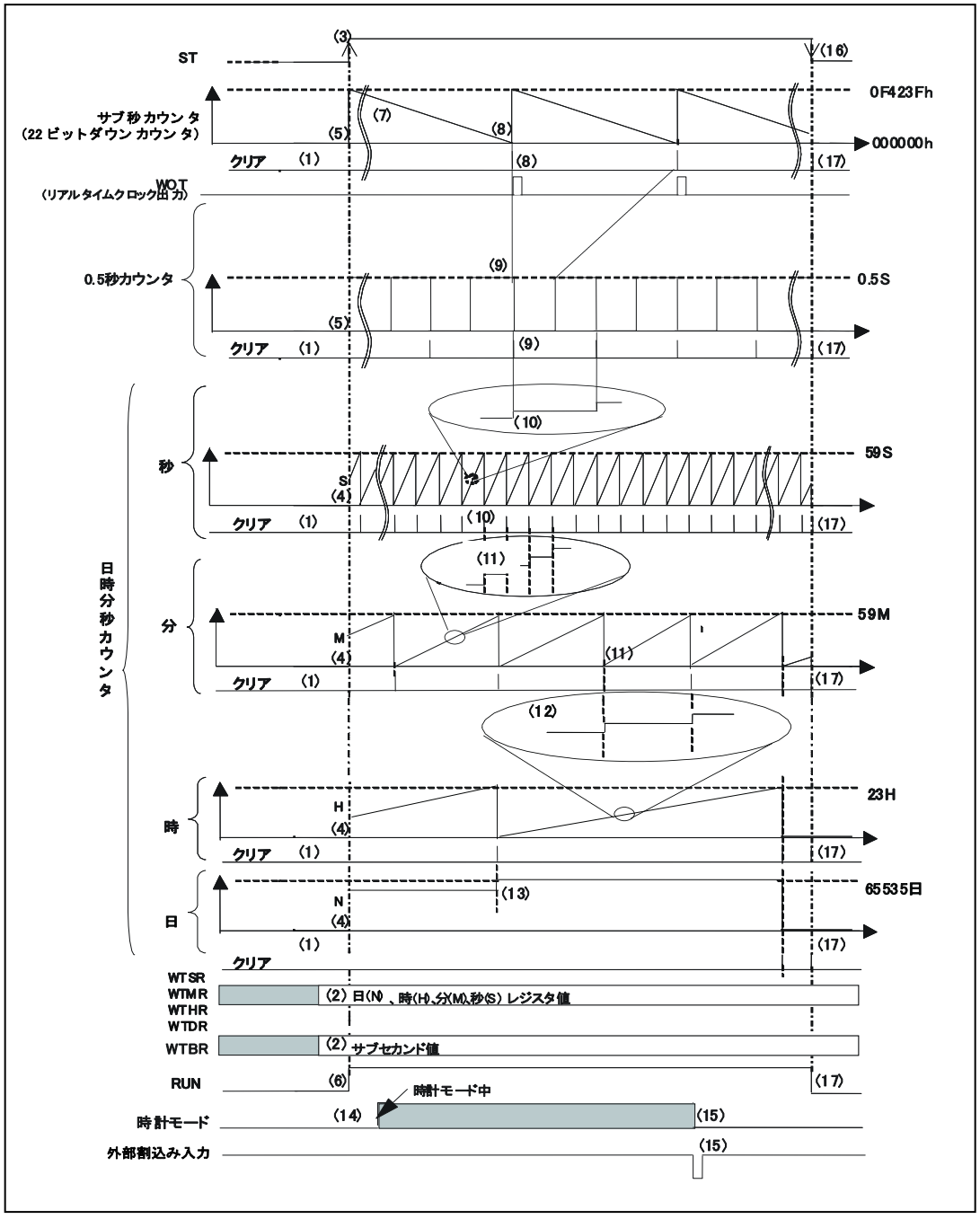
・カウンタが停止した時間を初期値として、再度動作開始する場合には、再起動する前に日時分秒レジスタを読み出し、その値を再度、日時分秒レジスタへ書き込んだ後開始してください。
・本シリーズでは、RTC 検出リセットの機能は搭載しておりませんので、パワーオンリセット発生でのみ、日時分秒レジスタはクリアされます。したがって、マイコン部内部低電圧検出フラグがセットされた場合、日時分秒レジスタをクリアしてください。

5. 動作説明

リアルタイムクロック(RTC)の動作について説明します。

リアルタイムクロックの動作について説明をします。

図 5-1 リアルタイムクロック動作説明



(1) スタートビット(ST="0")により、サブ秒カウンタ(22 ビットダウンカウンタ)、日時分秒タイマがリセット(0)して停止。

(2) ・ソフトウェアで日時分秒の値を 日時分秒レジスタ WTDR, WTHR, WTMR, WTSR に書き込む。
・ソフトウェアでサブセカンドレジスタ WTBRH, WTBRM, WTBRL に値"$0F_H$", "42_H", "$3F_H$"を書き込む。
・割込み要求ビット(INT0, INT1, INT2, INT3,INT4)を初期化、割込み要求許可ビット(INTE0, INTE1, INTE2, INTE3,INTE4) を設定(使用する割込みを許可)する。

(3) スタートビット(ST)を"1"にする。

(4) スタートビット(ST="1")により、日時分秒レジスタ WTDR, WTHR, WTMR, WTSR の値を、日時分秒タイマにロードする。
(5) さらに、サブ秒カウンタ(22 ビットダウンカウンタ)のカウント値が"000000_H"のため、セカンドレジスタ WTBRH, WTBRM, WTBRL の値をサブ秒カウンタ(22 ビットダウンカウンタ)にロードする。
(6) 動作フラグ(RUN)が"1"になる。
(7) サブ秒カウンタ(22 ビットダウンカウンタ)がメインクロックを 2 分周したクロック (4/2MHz) でカウントを始める。
(8) サブ秒カウンタ(22 ビットダウンカウンタ)が"000000_H"になると、サブセカンドレジスタ値"$0F423F_H$"をサブ秒カウンタ(22 ビットダウンカウンタ)にロードする。
また、0.5 秒カウンタの割込み要求が発生する。
さらに、リアルタイムクロック出力許可(WOT 端子出力許可)に設定した場合、WOT 端子にメインクロックの 2 分周幅分の"H"レベルが出力される。
(例:メインクロック 4MHz の場合、500ns 幅の"H"出力)
(9) 0.5 秒カウンタがカウントアップした後、次のカウントアップでクリアされ、日時分秒カウンタの秒カウンタがカウントアップするとともに、秒の割込み要求が発生する。
(10) 日時分秒カウンタの秒カウンタがカウントアップしていき、値が"59"になると次のカウントアップでクリアし、分のカウンタがカウントアップするとともに、このとき分の割込み要求が発生する。
(11) 日時分秒カウンタの分カウンタがカウントアップしていき、値が"59"になると次のカウントアップでクリアし、時のカウンタがカウントアップするとともに、このとき時の割込み要求が発生する。
(12) 日時分秒カウンタの時カウンタがカウントアップしていき、値が"23"になると次のカウントアップでクリアし、日のカウンタがカウントアップするとともに、このとき日割込み要求が発生する。
(13) 日時分秒カウンタの日カウンタがカウントアップしていき、値が"65535"になると次のカウントアップでクリアする。
(14) ソフトウェアで時計モードに遷移させる。
時計モード中でもリアルタイムクロックは動作を継続。
(15) 割込み端子(INTxx)端子より信号を入力し、時計モードから復帰させ、CPU を起動させる。
(16) スタートビット(ST)を"0"にする。
(17) スタートビット ST="0"により、サブ秒カウンタ(22 ビットダウンカウンタ)、日時分秒カウンタがクリア(リセット) して停止。

6. 設定

リアルタイムクロック(RTC)の設定について説明します。

表 6-1 リアルタイムクロックを動かすために必要な設定

設定	設定レジスタ	設定方法
リロード値 (サブセカンドレジスタ) の設定	サブセカンドレジスタ (WTBRH, WTBRM, WTBRL)	7.1 参照
リアルタイムクロックの初期化	RTC 制御レジスタ(WTCR)	7.2 参照
日数,時刻 (日時分秒) の設定	日時分秒レジスタ (WTDR,WTHR, WTMR, WTSR)	7.3 参照
リアルタイムクロックの起動	RTC 制御レジスタ(WTCR)	7.4 参照

表 6-2 時刻を知るための必要設定項目

設定	設定レジスタ	設定方法
日数, 時刻の読出し	日時分秒レジスタ (WTDR,WTHR, WTMR, WTSR)	7.6 参照

表 6-3 リアルタイムクロックを停止させるための必要な設定

設定	設定レジスタ	設定方法
リアルタイムクロックの停止	RTC 制御レジスタ(WTCR)	7.7 参照

表 6-4 リアルタイムクロック割込みを行うために必要な設定

設定	設定レジスタ	設定方法
RTC 割込みベクタ, RTC 割込みレベルの設定	『割込み制御(割込みコントローラ)』の章を参照	7.10 参照
RTC 割込み設定 割込み要求のクリア 割込み要求の許可	RTC 制御レジスタ(WTCR)	7.11 参照

7. Q&A

リアルタイムクロック(RTC)の Q&A について説明します。

7.1. 0.5 秒のカウント周期を設定するには?

7.2. リアルタイムクロックを初期化するには?

7.3. 日数(日), 時刻(時/分/秒)を設定/更新するには?

7.4. リアルタイムクロックのカウントを起動/停止するには?

7.5. リアルタイムクロックが動作しているか確認するには?

7.6. 日数、時刻を知るには?

7.7. リアルタイムクロックを停止させるには?

7.8. リアルタイムクロックを補正するには？

7.9. 割込み関連レジスタは?

7.10. 割込みの種類と選択方法は?

7.11. 割込みを許可するには?

7.1. 0.5 秒のカウント周期を設定するには?

0.5 秒のカウント周期の設定について示します。

リアルタイムクロックを停止させてから、RTC クロック周波数に応じてサブセカンドレジスタ WTBR を表 4-2 WTBR 設定例に示す値に設定することで行います。

7.2. リアルタイムクロックを初期化するには?

リアルタイムクロックの初期化について示します。

スタートビット(WTCR.ST)にて設定してください。

スタートビットを"1"から"0"に書き換えると、時分秒カウンタとサブ秒カウンタ(22 ビットダウンカウンタ)のすべてが、"0"にリセット(初期化)し、カウント動作を停止します。

7.3. 日数(日), 時刻(時/分/秒)を設定/更新するには?

日数(日), 時刻(時/分/秒)の設定/更新について示します。

日時分秒レジスタ WTDR, WTHR, WTMR, WTSR に値を書込み、更新ビット(UPDT)で設定してください。

動作	更新ビット(UPDT)
日時分秒カウンタを更新するには	"1"にする

7.4. リアルタイムクロックのカウントを起動/停止するには?

リアルタイムクロックのカウントの起動/停止について示します。

スタートビット(WTCR.ST)にて設定してください。

動作	スタートビット(ST)
リアルタイムクロックのカウントを停止させるには	"0"にする
リアルタイムクロックのカウントを動作させるには	"1"にする

7.5. リアルタイムクロックが動作しているか確認するには?

リアルタイムクロックの動作の確認について示します。

動作フラグ(WTCR.RUN)にて確認してください。

動作	動作フラグ(RUN)
リアルタイムクロックは停止している	"0"が読める
リアルタイムクロックは動作している	"1"が読める

7.6. 日数、時刻を知るには?

日数、時刻の確認について示します。

日時分秒レジスタ WTDR, WTHR, WTMR, WTSR を読み出すことで分かります。

ただし、ワードアクセスはできませんのでそれぞれのレジスタごとにアクセスする必要があります。時/分のカウントの境目で読み込んだ場合、時刻を見誤る危険性がありますので、複数回読み出して論理的に正しい時間を使用してください。

例:

秒から読み込んだ場合: 1 日 2 時 59 分 59 秒 => 1 日 3 時 59 分 59 秒 => 1 日 3 時 0 分 0 秒

時から読み込んだ場合: 1 日 2 時 59 分 59 秒 => 1 日 2 時 0 分 0 秒 => 1 日 3 時 0 分 0 秒

7.7. リアルタイムクロックを停止させるには?

リアルタイムクロックの停止について示します。

「7.4 リアルタイムクロックのカウントを起動/停止するには?」を参照してください。

7.8. リアルタイムクロックを補正するには?

リアルタイムクロックの補正について示します。

RTC クロックとしてサブクロックが選択されている場合、メインクロック: サブクロックの比率を用いて補正することができます。『RTC/WDT1 補正(キャリブレーション)』の章を参照してください。

7.9. 割込み関連レジスタは?

割込み関連レジスタについて示します。

RTC 割込みベクタ、RTC 割込みレベルの設定

割込みレベル、ベクタの関係は下表のとおりです。

割込みレベル、割込みベクタの詳細については『割込み制御(割込みコントローラ)』の章を参照してください。

割込みベクタ (デフォルト)	割込みレベル設定ビット(ICR[4.0])
#37 ($0FFF68_H$)	割込みレベルレジスタ ICR21 (00455_H)

割込み要求フラグ(INT0, INT1, INT2, INT3, INT4)は自動的にクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください。 (INT0, INT1, INT2, INT3, INT4 ビットに"0"を書き込む)

＜注意事項＞

時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを'31'に設定してください。

7.10. 割込みの種類と選択方法は?

割込みの種類と選択方法について示します。

割込み要因には、以下の 5 つがあります。

割込み要因	割込み要求ビット	割込み要求許可ビット
時刻 (1 秒) カウントのタイミング	INT0	INTE0
時刻 (分) カウントのタイミング	INT1	INTE1
時刻 (時) カウントのタイミング	INT2	INTE2
1 日のカウントのタイミング	INT3	INTE3
時刻(0.5 秒)のカウントのタイミング	INT4	INTE4

5 つの要因の OR で割り込みますので、割込み要求許可ビットで選択してください。

7.11. 割込みを許可するには?

割込みの許可について示します。

割込み要求許可ビット(WTCR.INTE0, WTCR.INTE1, WTCR.INTE2, WTCR.INTE3, WTCR.INTE4)にて行ってください。

動作	設定方法
	割込み要求許可ビット (INTE0, INTE1, INTE2, INTE3, INTE4)
割込みを禁止するには	"0"にする
割込みを許可するには	"1"にする

割込み要求のクリアは、割込み要求ビット (WTCR.INT0, WTCR.INT1, WTCR.INT2, WTCR.INT3, WTCR.INT4) にて行ってください。

動作	設定方法
	割込み要求ビット (INT0, INT1, INT2, INT3, INT4)
割込み要求をクリアするには	"0"を書き込む

8. サンプルプログラム

リアルタイムクロック(RTC)のサンプルプログラムについて説明します。

設定手順例 1

リアルタイムクロックを10 日10 時10 分00 秒からカウント開始し、"H" レベル検出の外部割込み(INT0) を許可して、時計モードに遷移。
外部割込み検出で時計モードから復帰して、リアルタイムクロックの時間を読み出す。

RTC 初期化
RTC 起動、割込みレベル設定
外部割込み設定
時計モードへ遷移
時計モード復帰後、 RTC の読出し

<RTC初期設定>

・RTC

	レジスタ名. ビット名
レジスタの初期化	WTCR.ST
インターバル時間(1 秒)の設定	WTBR
時刻の初期値の設定	WTSR WTMR WTHR WTDR
RTC 割込みの初期設	WTCRM,WTCRL WTCRH

<RTC 起動、割込みレベル設定>

	レジスタ名. ビット名
RTC 起動	WTCR.ST
割込みレベルの設定(RTC)	ICR21
割込みレベル設定 (INT0)	ICR00
I フラグの設定	(CCR)

<RTC 時刻読出し準備(割込み設定)>

	レジスタ名. ビット名
RTC 割込み設定	WTCR .INT0 .INTE0

<RTC 割込み>

	レジスタ名. ビット名
時刻の読出し	WTHR WTMR WTSR WTDR
割込み禁止	WTCR.INTE0

<外部割込み>

	レジスタ名. ビット名
割込み要求フラグのクリア	EIRR.ER0

<割込みベクタ>
ベクタテーブルの設定

<その他>
(注意事項)
事前にクロック関連の設定および__set_il(数値) の設定が必要です。『クロック』および『割込み制御(割込みコントローラ)』の章を参照してください。

プログラム例 1

```
void RTC_sample1(void)
{
        RTC_initial();
        RTC_start();
        EX_INT0_initial();          /* 外部割込み設定のサブルーチン*/
        STOP_Hiz_hold_with_clock(); /* 時計モード遷移のサブルーチン*/
        RTC_read();
}



void RTC_initial(void)
{
        IO_WTCR.bit.ST = 1;                          /* 初期化準備 */
        IO_WTCR.bit.ST = 0;                          /* 停止( レジスタ初期化) */
        IO_WTBR.word = 0x0F423F;                     /* カウント値設定 4MHz/2 × 0x0F423F=0.5 秒 */
        IO_WTSR.byte = 0x00;                         /* 秒設定 */
        IO_WTMR.byte = 0x0A;                         /* 分設定 */
        IO_WTHR.byte = 0x0A;                         /* 時設定 */
        IO_WTDR.hword = 0x000A;                      /* 日設定 */
        IO_WTCRL.hword = IO_WTCRL.hword & 0x0000; /* 割込みフラグクリア、割込み禁止 */
        IO_WTCRH.byte = 0x00                         /* 割込みフラグクリア、割込み禁止 */
}

void RTC_start(void)
{
        IO_WTCR.bit.ST = 1;      /* RTC 起動 */
        IO_ICR[21].bit.ICR = 18; /* 値は任意 */
        IO_ICR[00].bit.ICR = 20; /* 値は任意 */
        __EI();                  /* 割込み許可 */
}

RTC_read(void)
{
        IO_WTCR.bit.INT0 = 0;  /* RTC 秒割込み要求フラグクリア */
        IO_WTCR.bit.INTE0 = 1; /* RTC 秒割込み要求許可 */
}

__interrupt void RTC_read_int(void) /* RTC 割込み */
{
      JIKAN(char) = IO_WTHR.byte & 0x1F; /* 時 */
      FUNN(char) = IO_WTMR.byte & 0x3F;  /* 分 */
      BYOU(char) = IO_WTSR.byte & 0x3F;  /* 秒 */
      HI(char) = IO_WTDR.hword ;         /* 日 */
                                         /* 複数回読出し */
      IO_WTCR.bit.INTE0 = 0;             /* RTC 割込み禁止 */
}

__interrupt void INT0_int() /* 外部割込み */
{
      IO_EIRR0.bit.ER0= 0; /* ER0 秒割込み要求フラグクリア */
}
```

9. 注意事項

リアルタイムクロック(RTC)の注意事項について説明します。

- 割込み要求フラグ(WTCR.INT0, WTCR.INT1, WTCR.INT2, WTCR.INT3, WTCR.INT4)がオーバフローの発生で"1"にセットされるタイミングと"0"を書き込むタイミングが同時の場合、フラグは"1"になります。(フラグのセットが優先)
- サブセカンドレジスタ (WTBRH, WTBRM, WTBRL)の更新途中でリロードが発生した場合、サブ秒カウンタ(22 ビットダウンカウンタ)に意図しない値をリロードする可能性があります。したがって、サブセ

カンドレジスタ WTBR は、スタートビット(WTCR.ST)が"0"の状態で更新してください。

- サブセカンドレジスタ(WTBRH,WTBRM,WTBRL)をすべて"0"に設定すると、サブ秒カウンタ(22 ビットダウンカウンタ)は動作しないため、リアルタイムクロックは動作しません。
- 日時分秒レジスタ(WTDR, WTHR, WTMR, WTSR)の読出し中に桁上りが生じて、読出し値が不適切な値となる可能性があります。このため、日数時刻(日/時/分/秒)の読出しは、割込み(INT0) を用いてください。
- 日時分秒レジスタ(WTDR, WTHR, WTMR, WTSR)は、ワードアクセスはできませんので、それぞれのレジスタごとにアクセスする必要があります。そのため、読込みを時/分のカウントの境目で読み込んだ場合、時刻を見誤る危険性がありますので、複数回読み出して論理的に正しい時間を使用してください。

  例:

  秒から読み込んだ場合: 1 日 23 時 59 分 59 秒 => 2 日 0 時 59 分 59 秒 => 2 日 0 時 0 分 0 秒

  時から読み込んだ場合: 1 日 23 時 59 分 59 秒 => 2 日 23 時 0 分 0 秒 => 2 日 0 時 0 分 0 秒

  日から読み込んだ場合: 1 日 23 時 59 分 59 秒 => 1 日 0 時 0 分 0 秒 => 2 日 0 時 0 分 0 秒

  このような場合には、2 日 0 時と判断してください。

- 日時分秒レジスタは内部リセットでクリアされませんが、日時分秒カウンタは、内部リセットでクリアされます。内部リセット発生後、ST フラグはクリアされ、RTC マクロは停止状態です。なお、日時分秒レジスタには、内部リセット発生前のカウンタ値がセットされています。内部リセット発生時の日時分秒を使用する場合、日時分秒カウンタを読み出した値を、日時分秒レジスタにセットしてください。
- 日数レジスタは、日数を"0 日"~"65535 日"までカウントする機能を搭載しています。
- RTC 制御レジスタ設定時の注意
  - RTC 停止の状態(ST=0)からスタートビット(ST)への"1"書込み(RTC 動作開始)の際には、スタートビットと同時に更新ビット(UPDT)への"1"書込みを行わないでください。
    (ST=0 状態での Byte 即値による ST, UPDT ビットの同時"1"書込みは禁止です。)
  - 更新ビット(UPDT)に"1"を書き込む場合は、RTC 動作中(ST=1)の状態で行ってください。
  - 更新ビット(UPDT)が"1"の状態で、スタートビット(ST)に"0"を書き込む(RTC 停止)ことは禁止です。
- スタンバイ時計モード(電源遮断)からの復帰時には、RTC のレジスタは初期化されません。
- 時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
- [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット, 内部電源低電圧リセットおよびRSTX・NMIX同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、復帰後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。
- [MB91F52xxxD] スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット, 内部電源低電圧リセットおよびRSTXによるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、復帰後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。

Chapter 29: RTC/WDT1 補正(キャリブレーション)

RTC/WDT1 補正(キャリブレーション)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : RTCCAL-1v0-91520-7-J

1. 概要

RTC/WDT1 補正(キャリブレーション)の概要について説明します。

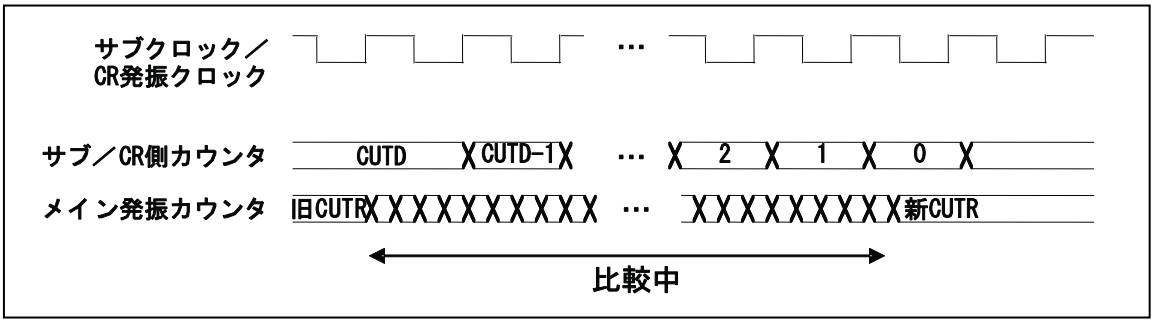
本モジュールを使用して、リアルタイムクロックの補正のための値を計算します。

2. 特長

RTC/WDT1 補正(キャリブレーション)の特長について説明します。

- **RTC クロックソース選択レジスタ**
  メインクロック、またはサブクロックを選択できます。選択方法は『クロック』の章を参照してください。
- **リアルタイムクロック(RTC)補正(サブクロック使用時のみ効果のある機能です。)**
  メインクロック駆動カウンタとサブクロック駆動カウンタを同時動作させ(図 2-1)、それによってサブクロックの周波数をメインクロックの周波数から計算して、RTC のサブセカンドレジスタ値を設定します。
- **WDT1(CR クロック)補正**
  本品種には CR クロック補正機能はありません。
  本モジュール内のレジスタを使用して、CR クロックの誤差を測定することができます。

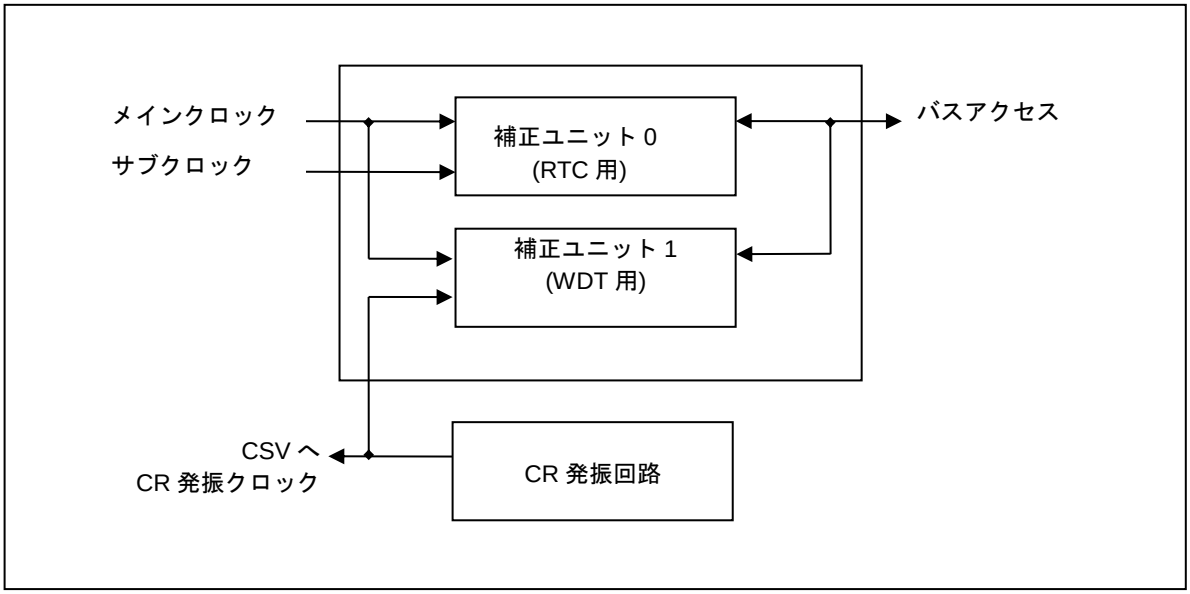
図 2-1 各クロック駆動カウンタ比較



3. 構成

RTC/WDT1 補正(キャリブレーション)の構成について説明します。

図 3-1 ブロック図



4. レジスタ

RTC/WDT1 補正(キャリブレーション)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x4B8	CUCR0		CUTD0		補正ユニット制御レジスタ 0 サブクロックタイマデータレジスタ
0x4BC	CUTR0				メイン発振タイマデータレジスタ 0
0x04C0	予約	予約	予約	予約	予約
0x4C4	CUCR1		CUTD1		補正ユニット制御レジスタ 1 CR 発振タイマデータレジスタ
0x4C8	CUTR1				メイン発振タイマデータレジスタ 1

4.1. 補正ユニット制御レジスタ 0 : CUCR0 (Calibration Unit Control Register 0)

補正ユニット制御レジスタ 0 のビット構成について示します。

RTC 用補正ユニットの補正開始、割込みの設定をします。

■ CUCR0 ：アドレス 04B8$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約		STRT	予約		INT	INTEN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,WX	R0,WX	R,W	R0,WX	R0,WX	R,W	R/W

[bit15～bit8] 予約

必ず"1"が読み出されます。書込みは他の機能に影響しません。

[bit7] 予約

必ず"0"を書き込んでください。

[bit6, bit5, bit3, bit2] : 予約

必ず"0"が読み出されます。書込みは他の機能に影響しません。

[bit4] STRT (calibration STaRT) : 補正開始

メインクロック、サブクロック駆動カウンタを開始させます。比較が完了すると、INT ビットがセットされます。

STRT	機能
"0"書込み	比較を中止します
"1"書込み	比較を開始します

"0"をセットすると、比較を中止します。比較中に"1"書込みを行っても影響はありません。比較が完了すると、本ビットは"0"にクリアされます。

[bit1] INT (calibration INTerrupt) : 割込み
比較が完了すると、INT ビットが"1"にセットされます。INTEN ビットがセットされている場合は、割込みが発生します。本ビットは"0"書込みでクリアされます。

[bit0] INTEN (calibration INTerrupt ENable) : 割込み許可
INT ビットがセットされた際の、割込みの有無を設定します。

INTEN	割込み
0	無効
1	有効

4.2. サブクロックタイマデータレジスタ ：CUTD0 (Calibration Unit Timer Data register 0)

サブクロックタイマデータレジスタのビット構成について示します。

サブクロック駆動カウンタ駆動期間を設定します。

■ CUTD0 ：アドレス 04BA$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDD[15:8]							
初期値	1	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDD[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TDD[15:0] (Timer Data Data field) :タイマデータ
比較期間をサブクロック数で設定します。

4.3. メイン発振タイマリザルトレジスタ 0 : CUTR0 (Calibration Unit Timer Result register 0)

メイン発振タイマリザルトレジスタ 0 のビット構成について示します。

CUTD0 で設定された期間内の、メインクロック駆動カウンタ数を表示します。

■ CUTR0 ：アドレス 04BC$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	TDR[23:16]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDR[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31～bit24] 予約

必ず"0"が読み出されます。書込みは他の機能に影響しません。

[bit23～bit0] TDR[23:0] (Timer Data Register) : タイマデータ

比較期間内でカウントされたカウント数を表示します。比較完了後に読み出してください。比較中の読出し値は不定です。書込みは効果ありません。

4.4. 補正ユニット制御レジスタ 1 : CUCR1 (Calibration Unit Control Register 1)

補正ユニット制御レジスタ 1 のビット構成について示します。

WDT 用補正ユニットの補正開始、割込みの設定をします。

■ CUCR1 ：アドレス 04C4$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約		STRT	予約		INT	INTEN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,WX	R0,WX	R,W	R0,WX	R0,WX	R,W0	R/W

[bit15～bit8] 予約

必ず"1"が読み出されます。書込みは他の機能に影響しません。

[bit7] 予約

必ず"0"を書き込んでください。

[bit6, bit5, bit3, bit2] 予約

必ず"0"が読み出されます。書込みは他の機能に影響しません。

[bit4] STRT (calibration STaRT) : 補正開始

メインクロック、CR クロック駆動カウンタを開始させます。比較が完了すると、INT ビットがセットされます。

STRT	機能
"0"書込み	比較を中止します
"1"書込み	比較を開始します

"0"をセットすると、比較を中止します。比較中に"1"書込みを行っても影響はありません。比較が完了すると、本ビットは"0"にクリアされます。

[bit1] INT (calibration INTerrupt) : 割込み
比較が完了すると、INT ビットが"1"にセットされます。INTEN ビットがセットされている場合は、割込みが発生します。本ビットは"0"書込みでクリアされます。

[bit0] INTEN (calibration INTerrupt Enable) : 割込み許可
INT ビットがセットされた際の、割込みの有無を設定します。

INTEN	割込み
0	無効
1	有効

4.5. CR クロックタイマデータレジスタ ：CUTD1 (Calibration Unit Timer Data register 1)

CR クロックタイマデータレジスタのビット構成について示します。

CR クロック駆動カウンタ駆動期間を設定します。

■ CUTD1 ：アドレス 04C6$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDD[15:8]							
初期値	1	1	0	0	0	0	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDD[7:0]							
初期値	0	1	0	1	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TDD[15:0] (Timer Data Data field) : タイマデータ
比較期間を CR クロック数で設定します。

4.6. メイン発振タイマリザルトレジスタ 1 : CUTR1 (Calibration Unit Timer Result register 1)

メイン発振タイマリザルトレジスタ 1 のビット構成について示します。

CUTD1 で設定された期間内の、メインクロック駆動カウンタ数を表示します。

■ CUTR1 ：アドレス 04C8$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	TDR[23:16]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TDR[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TDR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31～bit24] 予約

必ず"0"が読み出されます。書込みは他の機能に影響しません。

[bit23～bit0] TDR[23:0] (Timer Data Register) : タイマデータ

比較期間内でカウントされたカウント数を表示します。比較完了後に読み出してください。比較中の読出し値は不定です。書込みは無効です。

5. 動作説明

動作について説明します。

5.1. リアルタイムクロック(RTC)補正
5.2. CR クロックの誤差測定
5.3. 注意事項

5.1. リアルタイムクロック(RTC)補正

リアルタイムクロック(RTC)補正について示します。

補正手続きは以下のようになります。
(1) CUTD0 設定
(2) CUCR0.INTEN セット
(3) CUCR0.STRT セット
(4) 割込み待ちループ
(5) 割込み発生
(6) CUTR0 読出し
(7) CUTR0：CUTD0 で、メインクロック周波数：サブクロック周波数の比が
計算できます。
(8) RTC 内サブセカンドレジスタ値を(7)で計算した値を利用して設定します。

5.2. CR クロックの誤差測定

CR クロックの誤差測定について示します。

誤差測定の手続きは以下のようになります。
(1) CUTD1 設定。
(2) CUCR1.INTEN セット
(3) CUCR1.STRT セット
(4) 割込み待ちループ
(5) 割込み発生
(6) CUTR1 読出し
(7) CUTR1：CUTD1 で、メインクロック周波数：CR クロック周波数の比が
計算できます。

5.3. 注意事項

注意事項について示します。

スタンバイモード移行などの要因が入った場合のカウンタ値は無効になります。STRT ビットに"0"書込みを行い停止させてから、もう一度"1"を書き込み、やりなおしてください。

TOSC32/OSC100 > 2 x TOSC4 ＋ 3 x TCLKP を満たす必要があります。

TOSC4 : メインクロック周期
TOSC32 : サブクロック周期
TOSC100 : CR 発振回路発振周期
TCLKP : 周辺クロック発振周期

Chapter 30: 消費電力制御

消費電力制御について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

管理コード : BZPMU-1v0-91520-10-J

1. 概要

消費電力制御の概要について説明します。

本品種は、多彩な低消費電力モードを持ち、状況に応じた消費電力制御を行うことができます。

2. 特長

消費電力制御の特長について説明します。

- **クロック制御**
  - クロック分周
    各動作クロックの分周比を変更し、動作周波数を落とすことができます。『クロック』の章を参照してください。
- **スリープモード**
  - CPU スリープモード
    CPU のみ動作を停止させることができます。
  - バススリープモード
    CPU およびオンチップバスの動作を停止させることができます。
- **スタンバイモード**
  - 時計モード
    特定のクロック発振とタイマ以外のすべての動作を停止させることができます。
  - ストップモード
    すべてのクロック発振と動作を停止させることができます。
- **スタンバイモード(電源遮断)**
  - 時計モード(電源遮断)
    電源を遮断させるとともに、特定のクロック発振とタイマ以外のすべての動作を停止させることができます。
  - ストップモード(電源遮断)
    電源を遮断させるとともに、すべてのクロック発振と動作を停止させることができます。

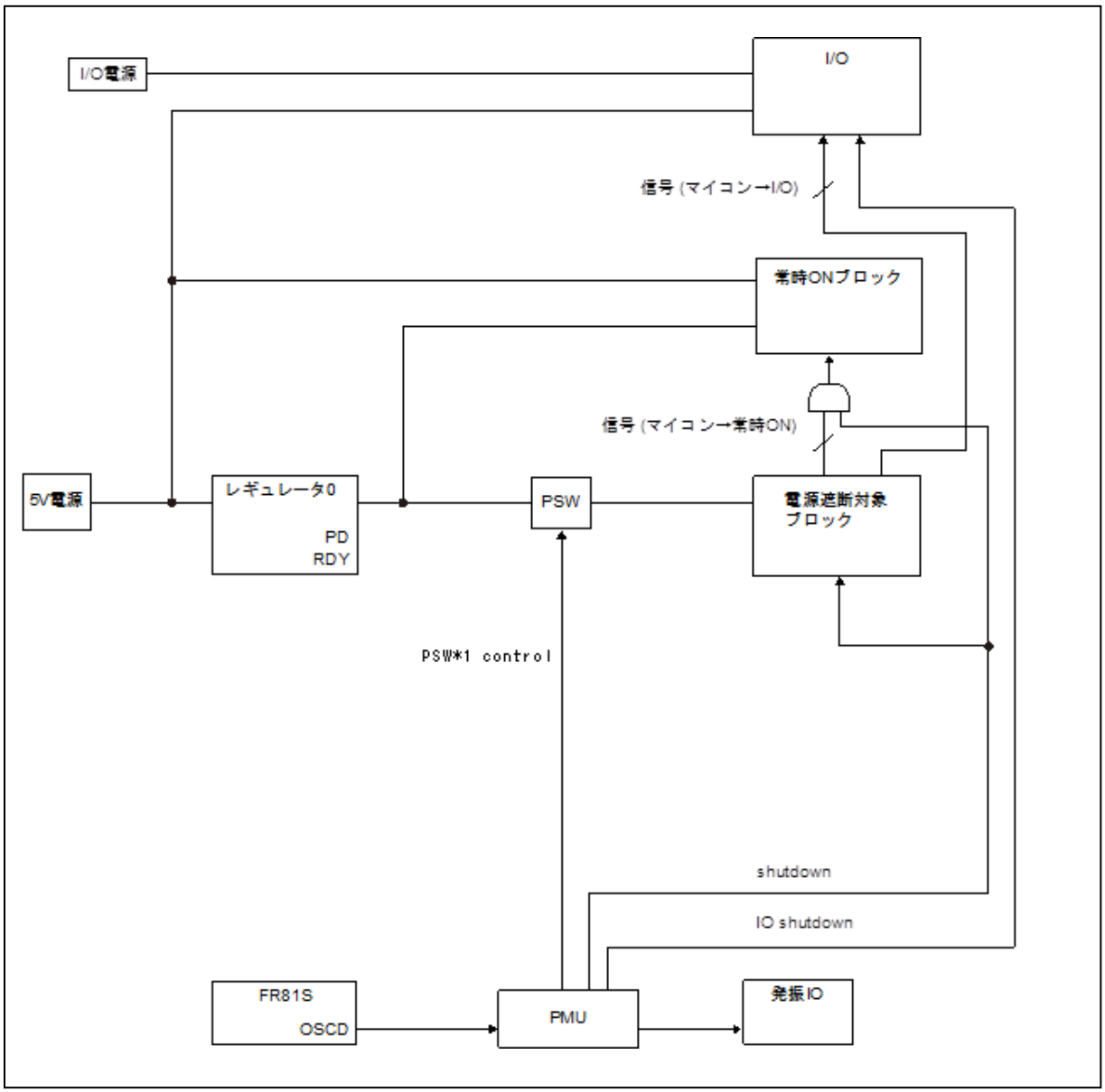
＜注意事項＞

時計モード(電源遮断)を使用される場合は、以下(1)と(2)の両方を満たすように使用してください。
(1) 時計モード(電源遮断)遷移命令の直前で、復帰要因となる割込みの割込みレベルを‘31’にする。
(2) 時計モード(電源遮断)からの復帰要因として NMIX 端子を使用しない。

3. 構成

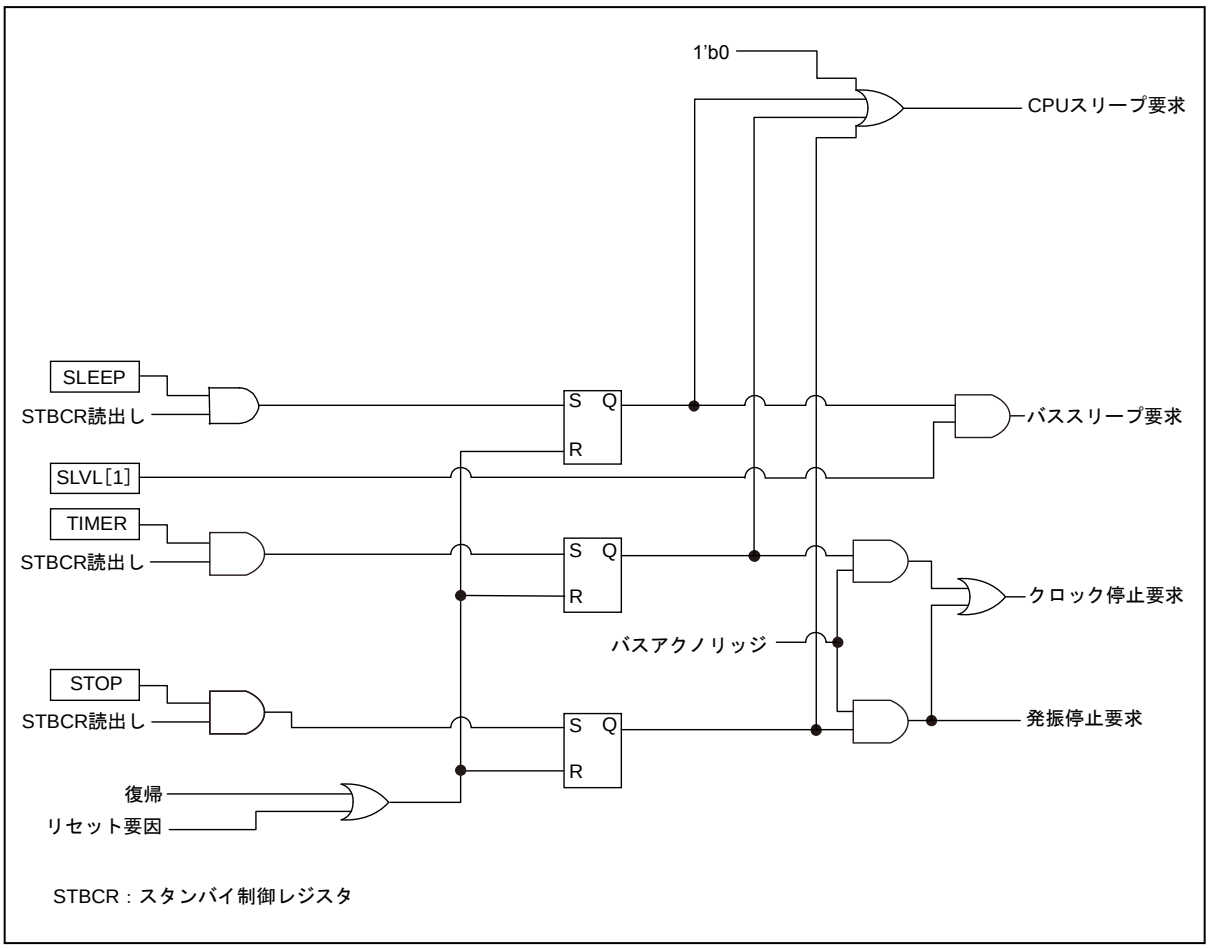
消費電力制御の構成について説明します。

図 3-1 全体制御ブロックダイヤグラム



*1:PSW(Power Switch)

図 3-2 制御ブロックダイヤグラム



4. レジスタ

消費電力制御のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	予約	予約	STBCR	予約	スタンバイ制御レジスタ
0x0590	予約	PMUCTLR	PWRTMCTL	予約	PMU 制御レジスタ PoWeR on TiMing 制御レジスタ
0x0594	PMUINTF0	PMUINTF1	PMUINTF2	予約	PMU 割込みフラグレジスタ 0～2

＜注意事項＞

- 0x0480～0x0481、0x0590 番地には、『リセット』のレジスタが割り当てられているので注意してください。(『リセット』の章を参照してください。)
- 本レジスタ群(STBCR は除きます)は、以下のいずれかの要因が発生したときのみ初期化されます。
  1. パワーオンリセット
  2. 内部低電圧検出
  3. [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] RSTX 外部端子と NMIX 外部端子の同時アサート
     [MB91f52xxxD] RSTX 外部端子のアサート
  4. ハードウェアウォッチドッグタイマリセット
- INIT レベルおよび RST レベルのリセットでは初期化されません(STBCR は除きます)。

4.1. スタンバイ制御レジスタ ：STBCR (STandby mode Control Register)

スタンバイ制御レジスタのビット構成について示します。

各低消費電力モードの設定を行います。

■ STBCR： アドレス 0482$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STOP	TIMER	SLEEP	予約	予約		SLVL[1:0]	
初期値	0	0	0	0	0	0	1	1
属性	R,W	R,W	R,W	R0,W0	R0,W0	R0,W0	R/W	R/W

＜注意事項＞

本レジスタへの DMA による書込みは禁止です。

[bit7] STOP (STOP mode) : **ストップモード許可**

[bit6] TIMER (TIMER mode) : **時計モード許可**

[bit5] SLEEP (SLEEP mode) : **スリープモード許可**

ストップ/時計/スリープの各スタンバイモードへの遷移を許可します。本ビットに下記に示す値を書き込んだ後、STBCR を読み出すことにより各モードへ遷移します。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない(初期値)
0	0	1	STBCR 読出しによりスリープモードへ遷移する
0	1	X	STBCR 読出しにより時計モードへ遷移する
1	X	X	STBCR 読出しによりストップモードへ遷移する

なお、各ビットの読出し値は、書き込んだ値にかかわらず以下のとおりとなります。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない
0	0	1	スリープモードへ遷移する
0	1	0	時計モードへ遷移する
1	0	0	ストップモードへ遷移する

各低消費電力モードからのウェイクアップ要因の発生により初期値へクリアされます。

[bit4] **予約**

常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit3, bit2] **予約**

常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit1, bit0] SLVL[1:0] (Standby LeVeL) : **スタンバイレベル設定**

各スタンバイモード、スリープモードにおける詳細動作を以下のように制御します。

モード	SLVL[1:0]	各動作制御
ストップモード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする

時計モード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする
スリープモード	0x	CPU スリープモード(CPU のみ停止)
	1x	バススリープモード(CPU、オンチップバス停止) *

*: DMA 転送中のみはオンチップバスが動作します。

ハイインピーダンスされる端子については『付録』を参照してください。

4.2. PMU 制御レジスタ ：PMUCTLR (Power Management Unit ConTroL register)

PMU 制御レジスタのビット構成について示します。

PMU を制御するレジスタです。

■ PMUCTLR： アドレス 0591$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SHDE	予約	IOCTMD	IOCT	BRAMSC	予約		
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R0,W0	R0,W0	R0,W0

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7] SHDE (SHut Down Enable)

CPU のモードがスタンバイ(時計/STOP)に遷移した際にシャットダウンモードにするかどうかの設定です。

SHDE	SHDE モード許可
0	スタンバイ遷移時に ShutDown 処理を行わない。
1	スタンバイ遷移時に ShutDown 処理を行う。

[bit6] 予約

常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit5] IOCTMD (I/O Clear Timing MoDe)

スタンバイ(ShutDown)モードからの復帰時に I/O の状態保持するタイミングを選択します。(ハード処理)

IOCTMD	I/O 保持解除要求モード
0	スタンバイ(時計、STOP)モードから復帰するまで、I/O 状態を保持します。
1	IOCT のレジスタをクリアするまで、I/O 状態を保持します。

[bit4] IOCT (I/O Clear Timing)
IOCTMD=1 時に ShutDown からの復帰時に I/O 状態保持を解除します。(ソフト処理)

IOCT	I/O 保持解除要求
0	要求なし
1	要求中

本ビットは、"1"を書込みし、I/O 保持解除要求で I/O 保持解除後、自動的に"0"にクリアされます。
また、I/O 保持中以外の書込みは、無効となります。
本ビットは、"0"書込みは動作に影響を与えません。

[bit3] BRAMSC

BRAMSC	スタンバイモード時 Backup RAM スリープ制御
0	スタンバイモード時に Backup RAM をスリープしない
1	スタンバイモード時に Backup RAM をスリープする

[bit2～bit0] 予約
常に"0"が読み出されます。必ず"0"を書き込んでください。

4.3. Power on Timing 制御レジスタ ：PWRTMCTL (PoWeR on TiMing ConTroL register)

Power on Timing 制御レジスタのビット構成について示します。

パワーオンのタイミングを制御するレジスタです。

■ PWRTMCTL： アドレス 0592$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					PTC		
初期値	0	0	0	0	0	0	1	1
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7～bit3] 予約
常に"0"が読み出されます。必ず"0"を書き込んでください。

[bit2～bit0] PTC (Power on Timing Cycle setting)
PSW の立上げ時間を設定します。

PTC[2:0]	立上げ時間	備考(PMUCLK=32kHz の場合)
000	5×(1/PMUCLK)	150µs
001	11×(1/PMU CLK)	330µs
010	17×(1/PMU CLK)	510µs
011	29×(1/PMU CLK)	870µs
100	設定禁止	-
101	8×(1/PMU CLK)	240µs
110	14×(1/PMU CLK)	420µs
111	23×(1/PMU CLK)	690µs

4.4. PMU 割込みフラグレジスタ 0 : PMUINTF0 (Power Management Unit INTerrupt Flag0 register)

PMU 割込みフラグレジスタ 0 のビット構成について示します。

Shutdown 時に外部入力により割込み要求があったことを示すレジスタです。

■ PMUINTF0 : アドレス 0594$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EIF15	EIF14	EIF13	EIF12	EIF11	EIF10	EIF9	EIF8
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7～bit0] EIF15-8 (External Interrupt Flag15-8)

ShutDown 時に外部入力により割込み要求があった事を示すフラグです。

EIFxx	外部割込み要求
0	要求なし
1	要求あり

xx -> 15～8 の数字が入ります。

本レジスタは、ShutDown 時のみ有効です。

本レジスタは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。

4.5. PMU 割込みフラグレジスタ 1 : PMUINTF1(Power Management Unit INTerrupt Flag1 register)

PMU 割込みフラグレジスタ 1 のビット構成について示します。

Shutdown 時に外部入力により割込み要求があったことを示すレジスタです。

■ PMUINTF1 : アドレス 0595$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EIF7	EIF6	EIF5	EIF4	EIF3	EIF2	EIF1	EIF0
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7～bit0] EIF7-0 (External Interrupt Flag7-0)

ShutDown 時に外部入力により割込み要求があった事を示すフラグです。

EIFxx	外部割込み要求
0	要求なし
1	要求あり

xx -> 7～0 の数字が入ります。

本レジスタは、ShutDown 時のみ有効です。

本レジスタは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。

4.6. PMU 割込みフラグレジスタ 2 : PMUINTF2 (Power Management Unit INTerrupt Flag2 register)

PMU 割込みフラグレジスタ 2 のビット構成について示します。

Shutdown 時に割込み要求があったことを示すレジスタです。

■ PMUINTF2 : アドレス 0596$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RIF	NIF	MTIF	STIF	予約			
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R0,W0	R0,W0	R0,W0	R0,W0

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7] RIF (Rtc Interrupt Flag)

ShutDown 時に RTC より割込み要求があった事を示すフラグです。

RIF	RTC 割込み要求
0	要求なし
1	要求あり

本ビットは、ShutDown 時のみ有効です。

本ビットは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。

[bit6] NIF (Nmi Flag)

ShutDown 時に NMI より割込み要求があった事を示すフラグです。

NIF	NMI 割込み要求
0	要求なし
1	要求あり

本ビットは、ShutDown 時のみ有効です。

本ビットは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。

[bit5] MTIF (Main Timer Interrupt Flag)
ShutDown 時に Main Timer より割込み要求があった事を示すフラグです。

MTIF	メインタイマ割込み要求
0	要求なし
1	要求あり

本ビットは、ShutDown 時のみ有効です。
本ビットは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
メインタイマ割込みフラグはセットされません。

[bit4] STIF (Sub Timer Interrupt Flag)
ShutDown 時に Sub Timer より割込み要求があった事を示すフラグです。

STIF	サブタイマ割込み要求
0	要求なし
1	要求あり

本ビットは、ShutDown 時のみ有効です。
本ビットは、"0"書込みでクリアします。"1"書込みは、動作に影響を与えません。
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
サブタイマ割込みフラグはセットされません。

[bit3～bit0] 予約
常に"0"が読み出されます。必ず"0"を書き込んでください。

5. 動作説明

消費電力制御の動作について説明します。

以下、本品種の消費電力制御機能について説明します。

5.1. クロック制御

5.2. 各低消費電力モードにおけるクロック供給一覧

5.3. スリープモード

5.4. スタンバイモード : 時計モード

5.5. スタンバイモード : 時計モード(電源遮断)

5.6. スタンバイモード:ストップモード

5.7. スタンバイモード:ストップモード(電源遮断)

5.8. マイコン停止状態

5.9. 不正スタンバイモード移行

5.10. 電源遮断・通常スタンバイ制御の制限事項

5.1. クロック制御

クロック制御について示します。

本品種の各動作クロックを調整することで、消費電力と処理能力の最適化を行うことができます。

5.1.1. 分周設定

分周設定について示します。

『クロック』の章を参照してください。

5.1.2. 未使用クロックの停止

未使用クロックの停止について示します。

以下にあげるクロックは、個別に停止させる設定があります。

・外部バスクロック(TCLK) : バススリープ中の供給/停止が選択可能

設定方法は『クロック』の章を参照してください。

5.2. 各低消費電力モードにおけるクロック供給一覧

各低消費電力モードにおけるクロック供給一覧について示します。

表 5-1 各低消費電力モードにおけるクロック供給一覧

クロック	スタンバイ		スリープ	
	ストップ	時計	バス	CPU
CPU クロック(CCLK)	○	○	○	×
CAN プリスケーラクロック	○	○	*1	×
オンチップバスクロック(HCLK)	○	○	○	×
周辺クロック(PCLK)	○	○	×	×
外部バス I/F クロック(TCLK)	○	○	*2	×
PLL クロック(PLLCLK)	○	○	×	×
メインクロック(MCLK)	○	×	×	×
サブクロック(SBCLK)	○	×	×	×
CR 発振	○ *4	○ *4	×*3	×*3

○： 停止します。

×： 停止しません。(メイン・サブ・PLL が各クロック設定レジスタで停止させているときはそれに従います。)

*1: CAN プリスケーラクロックにオンチップバスクロック(HCLK)が選択されている場合に停止します。PLL 出力が選択されている場合は、PLL 出力に従います。それ以外の場合は停止しません。

*2: DIVR1.TSTP ビットで設定します。『クロック』の章を参照してください。

*3: スリープモード中は、CR 発振は停止しませんが、ウォッチドッグタイマ 1(HWWDT)は停止します。

*4: CR 発振をスタンバイ時に停止させるには、あらかじめ設定が必要です。『クロックスーパバイザ』 の章の CSVCR.RCE の記述を参照してください。

5.3. スリープモード

スリープモードについて示します。

スリープモードは、CPU やオンチップバスを停止させ、ペリフェラルのみ動作させるモードです。スリープモードには、停止させる範囲の違いにより、以下のモードがあります。

・CPU スリープモード : CPU のみを停止します。
・バススリープモード : CPU とオンチップバスを停止します。

ウェイクアップ要求が発生するまで、停止状態を継続します。ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰することが可能です。

以下、各モードの動作を説明します。

5.3.1. CPU スリープモード

CPU スリープモードについて示します。

CPU スリープモードは、CPU 動作を停止させるモードです。

本モードでは、DMA コントローラやオンチップバスは動作を継続することが可能ですが、その分バススリープモードより多くの電力を消費します。

5.3.2. バススリープモード

バススリープモッドについて示します。

バススリープモードは、CPU およびオンチップバスを停止させるモードです。本モードでは、CPU クロック(CCLK)およびオンチップバスクロック(HCLK)は停止します。

バススリープモード中に DMA 転送要求を受け付けると、一時的にオンチップバスクロック(HCLK)の供給を再開し、DMA 転送を行います。DMA 転送が終了後、再度オンチップバスクロック(HCLK)を停止します。

本モードでは、CPU スリープモードより消費電力を低減することが可能ですが、DMA 転送要求に対するレスポンスが若干低下します。

5.3.3. スリープモードの設定

スリープモードの設定について示します。

スリープモードを起動する前に、DIVR1 レジスタの bit7:TSTP へ設定する値により、スリープモード中の外部バスクロックを停止するか供給するかを選択します。

・DIVR1 レジスタの bit7:TSTP="0"時、外部バスクロックは停止しません。
・DIVR1 レジスタの bit7:TSTP="1"時、外部バスクロックは停止します。

スリープモードを起動する際、STBCR レジスタの bit1:SLVL1 へ設定する値により、スリープモードのレベルを選択します。

・STBCR レジスタの bit1:SLVL1= "0"時、CPU スリープモードとなります。
・STBCR レジスタの bit1:SLVL1= "1"時、バススリープモードとなります。

5.3.4. スリープモードの起動

スリープモードの起動について示します。

スリープモードは、以下の手順で起動します。

・STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"001"をライトする
・STBCR をリードする

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、スリープモードに入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] スリープモード起動のサンプルプログラム

```
    LDI     #value_of_sleep, R0  ; SLEEP ビット="1", SLVL 設定
    LDI     #_STBCR, R12         ;
    STB     R0, @R12             ; ライト
    LDUB    @R12, R0             ; リード (スリープの起動)
    MOV     R0, R0               ; パイプライン調整のためのダミー処理
    NOP                          ; パイプライン調整のためのダミー処理
```

5.3.5. スリープモードからのウェイクアップ

スリープモードからのウェイクアップについて示します。

スリープモードは、以下の条件により終了します。

・リセット
・対応する ICR レジスタ値が"0x1F"以外の割込み要求の発生
・NMI 要求の発生
・ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、スリープモードを起動した次の命令より、プログラムを続行します。

バススリープモードでは、DMA 転送要求の発生によりオンチップバスクロック(HCLK)を一時的に復帰させ、DMA 転送を行います。DMA 転送の終了後、再度オンチップバスクロック(HCLK)を停止します。

5.3.6. スリープモードの効果

スリープモードの効果について示します。

スリープモードにより、ペリフェラルや外部入力のイベント待ち状態での消費電力を大幅に低減することができます。周辺クロック(PCLK)は動作するため、時計モードやストップモードほどの消費電力低減はできません。反面、ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰することが可能です。

5.4. スタンバイモード : 時計モード

スタンバイモード : 時計モードについて示します。

時計モードは、特定のクロック発振のみを継続し、そのクロックに対応したクロックタイマのみをカウントさせるモードです。クロックソースとしてサブクロック(SBCLK)を選択している場合、サブクロック発振のみ動作し、サブタイマのみカウントを行います。

＜注意事項＞

・スタンバイモードに入るのは、メイン RUN またはサブ RUN 時のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.9 不正スタンバイモード移行」を参照してください。
・フラッシュプログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.4.1. 時計モードの設定

時計モードの設定について示します。

時計モードを起動する前に、STBCR レジスタの bit1:SLVL1 により、時計モード中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL1= "0"時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL1= "1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

5.4.2. 時計モードの起動

時計モードの起動について示します。

時計モードは、以下の手順で起動します。

- PMUCTLR レジスタの bit7:SHDE に"0"をライトします。
- PLL RUN 時の場合、メイン RUN に遷移します。(サブ RUN 時の場合はサブ RUN のままで時計モードに遷移できます。)
- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に"010"をライトします。
- STBCR レジスタをリードします。

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、時計モードに入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] 時計モード起動のサンプルプログラム

```
    LDI     #value_of_timer, R0  ; TIMER ビット="1", SLVL 設定
    LDI     #_STBCR, R12         ;
    STB     R0, @R12             ; ライト
    LDUB    @R12, R0             ; リード(時計モードの起動)
    MOV     R0, R0               ; パイプライン調整のためのダミー処理
    NOP                          ; パイプライン調整のためのダミー処理
```

5.4.3. 時計モードからのウェイクアップ

時計モードからのウェイクアップについて示します。

時計モードは、以下の条件により終了します。

・リセット
・対応する ICR レジスタ値(『割込み制御(割込みコントローラ)』の章を参照してください。)が"0x1F"以外の割込み要求の発生
・NMI 要求の発生
・ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、時計モードを起動した次の命令より、プログラムを続行します。

5.4.4. 時計モードの効果

時計モードの効果について示します。

時計モードにより、外部入力のイベント待ち状態での消費電力を大幅に低減することができます。許可されたクロックの発振は動作するため、ストップモードほどの消費電力低減はできません。反面、クロックタイマを動作させることもでき、またウェイクアップ要求の発生により、ストップモードからの復帰に比べて短時間でプログラム動作へ復帰することが可能です。

＜注意事項＞

止めていないクロックでプログラム動作を続行する場合

5.5. スタンバイモード : 時計モード(電源遮断)

スタンバイモード : 時計モード(電源遮断)について示します。

時計モード(電源遮断)は、マイコン部の電源を遮断した上で特定のクロック発振のみを継続し、そのクロックに対応したクロックタイマのみをカウントさせるモードです。クロックソースとしてサブクロック(SBCLK)を選択している場合、サブクロック発振のみ動作し、サブタイマのみカウントを行います。

＜注意事項＞

- スタンバイモードに入るのは、メイン RUN またはサブ RUN 時のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.9 不正スタンバイモード移行」を参照してください。
- フラッシュプログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.5.1. 時計モード(電源遮断)の設定

時計モード(電源遮断)の設定について示します。

時計モード(電源遮断)を起動する前に、以下の設定/制御を行ってください。

(1) STBCR レジスタの bit1:SLVL1 により、時計モード(電源遮断)中の外部端子の状態を設定します。
- STBCR レジスタの bit1:SLVL1="0"時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL1="1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

(2) 時計モード(電源遮断)遷移命令の直前で、復帰要因となる割込みの割込みレベルを‘31’にする。
(3) 時計モード(電源遮断)からの復帰要因として NMIX 端子を使用しない。

5.5.2. 時計モード(電源遮断)の起動

時計モード(電源遮断)の起動について示します。

時計モード(電源遮断)は、以下の手順で起動します。

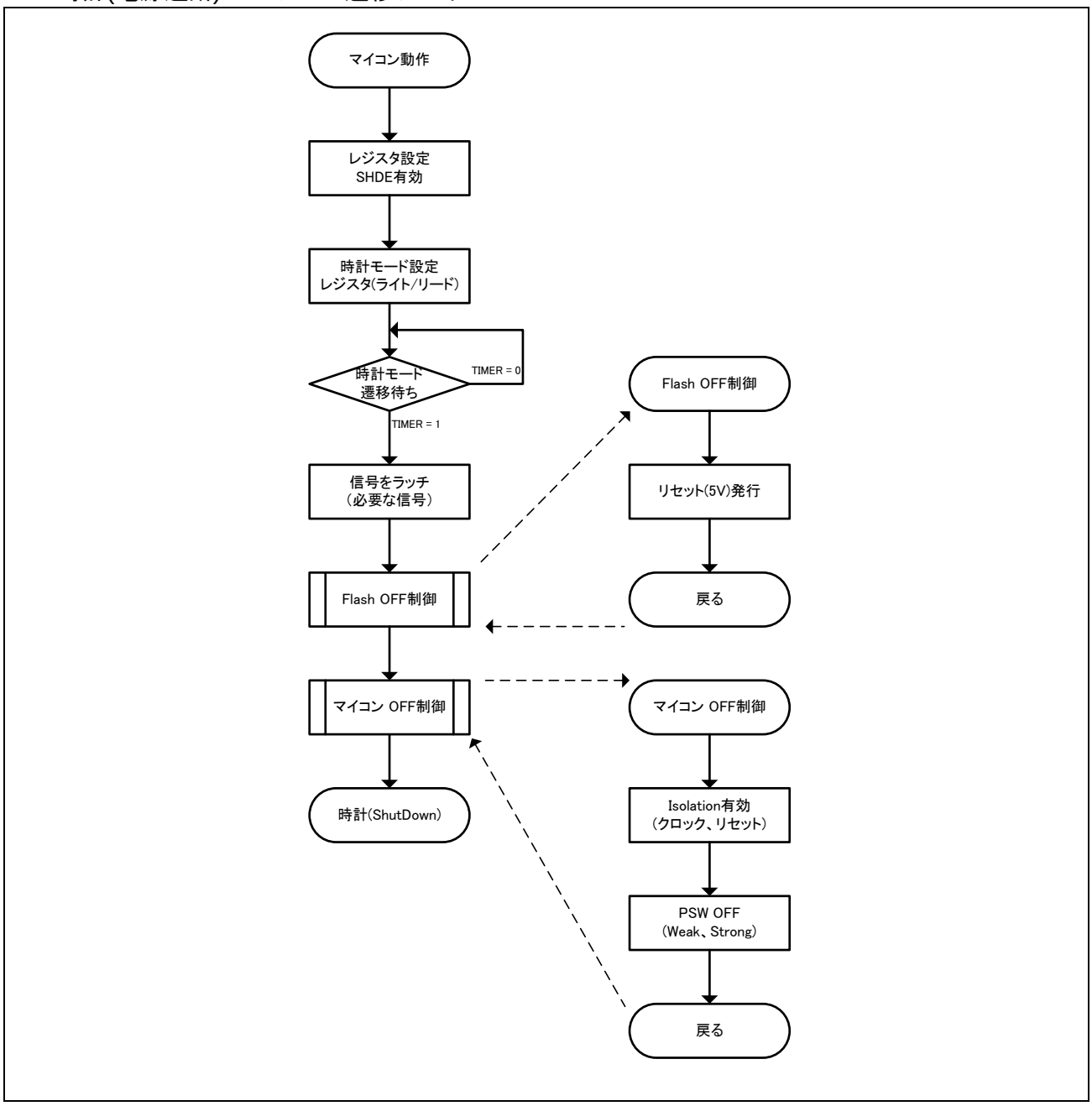
- PMUCTLR レジスタの bit7:SHDE に"1"をライトします。
- PLL RUN 時の場合、メイン RUN に遷移します。(サブ RUN 時の場合はサブ RUN のままで時計モード(電源遮断)に遷移できます。)
- STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"010"をライトします。
- STBCR レジスタをリードします。

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、時計モード(電源遮断)に入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] 時計モード(電源遮断)起動のサンプルプログラム

```
LDI    #value_of_PMU, R0    ; SHDE ビット="1", IOCTMD/IOCT ビット設定
LDI    #_PMUCTLR, R12       ;
STB    R0, @R12             ; ライト
LDI    #value_of_timer, R0  ; TIMER ビット="1", SLVL 設定
LDI    #_STBCR, R12         ;
STB    R0, @R12             ; ライト
LDUB   @R12, R0             ; リード(時計モード(電源遮断)の起動)
MOV    R0, R0               ; パイプライン調整のためのダミー処理
NOP                         ; パイプライン調整のためのダミー処理
```

図 5-1 時計(電源遮断)モードへの遷移シーケンス



5.5.3. 時計モード(電源遮断)からのウェイクアップ

時計モード(電源遮断)からのウェイクアップについて示します。

時計モード(電源遮断)は、以下の条件により終了します。

・リセット
・外部割込み要求の発生
・RTC 割込み要求の発生
・メイン/サブ・タイマ割込み要求の発生

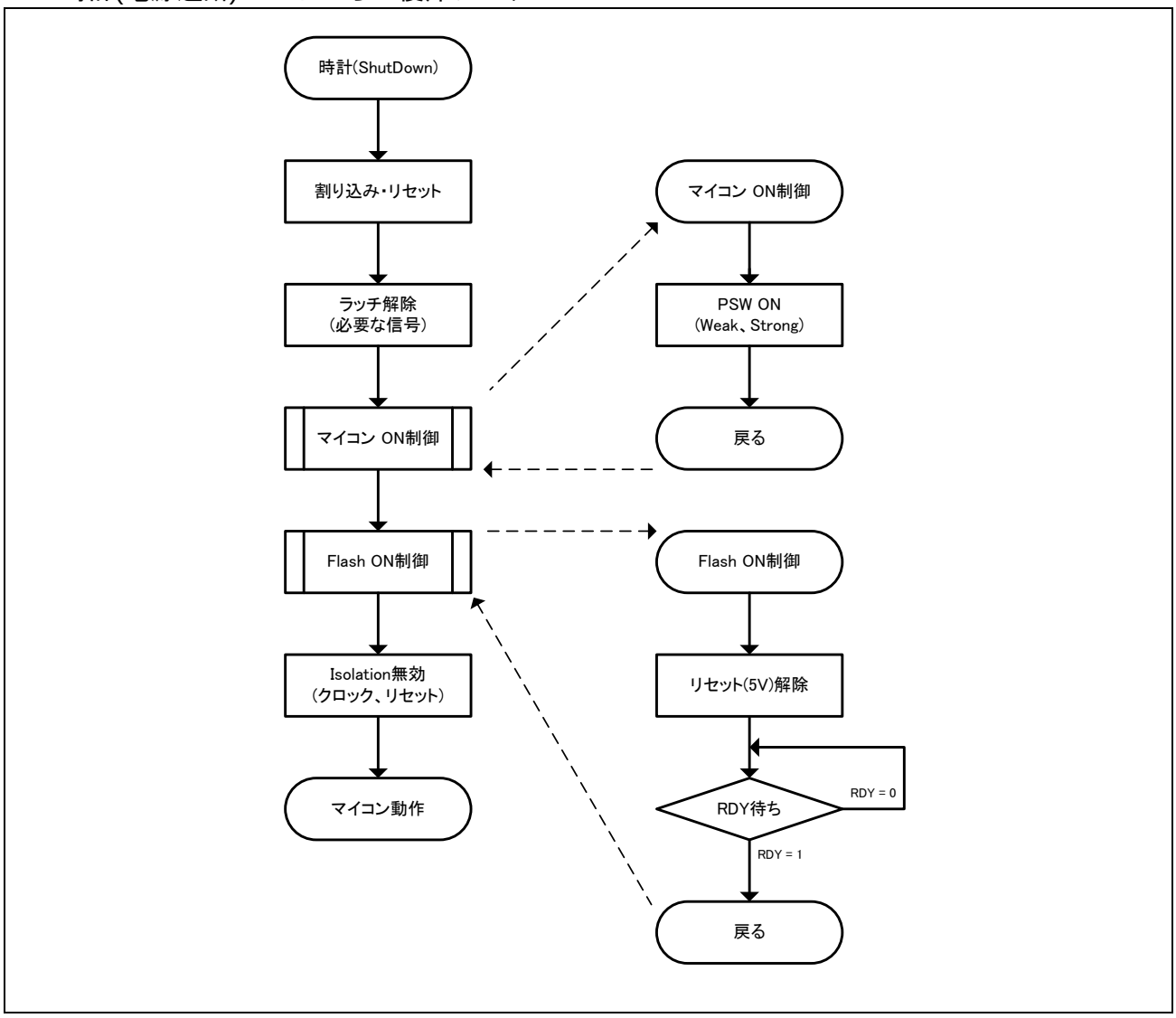
割込み要求によるウェイクアップの場合、CPU および割込みコントローラがこの割込み要求を受け付ける設定である必要はありません。CPU は必ずリセット状態から動作を開始します。

RTC、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されません。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。

[MB91F52xxxD]
また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX によるリセット以外のリセット要因を受け付けません。このとき、RTC、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。

図 5-2 時計(電源遮断)モードからの復帰シーケンス



5.5.4. 時計モード(電源遮断)の効果

時計モード(電源遮断)の効果について示します。

時計モード(電源遮断)により、不要な回路の待機電流を大幅に低減することができます。許可されたクロックの発振は動作するため、ストップモードほどの消費電力低減はできません。反面、クロックタイマを動作させることもでき、またウェイクアップ要求の発生により、クロック発振安定待ちをせずにプログラム動作へ復帰することが可能です。

5.6. スタンバイモード:ストップモード

スタンバイモード:ストップモードについて示します。

ストップモードは、すべてのクロック発振を停止し、本品種の消費電力を最少にするモードです。

＜注意事項＞

- スタンバイモードに入るのは、メイン RUN またはサブ RUN 時のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.9 不正スタンバイモード移行」を参照してください。
- フラッシュプログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.6.1. ストップモードの設定

ストップモードの設定について示します。

ストップモードを起動する前に、STBCR レジスタの bit1:SLVL1 により、ストップモード中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL1="0"時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL1="1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

5.6.2. ストップモードの起動

ストップモードの起動について示します。

ストップモードは、以下の手順で起動します。

・PMUCTLR レジスタの bit7:SHDE に"0"をライトします。
・PLL RUN 時の場合、メイン RUN に遷移します。(サブ RUN 時の場合はサブ RUN のままでストップモードに遷移できます。)
・STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"100"をライトします。
・STBCR レジスタをリードします。

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、ストップモードに入る前に、命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例]ストップモード起動のサンプルプログラム

```
LDI     #value_of_stop, R0    ; STOP ビット="1", SLVL 設定
LDI     #_STBCR, R12          ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード(ストップモードの起動)
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                           ; パイプライン調整のためのダミー処理
```

5.6.3. ストップモードからのウェイクアップ

ストップモードからのウェイクアップについて示します。

ストップモードは、以下の条件により終了します。

・リセット
・対応する ICR レジスタ値(『割込み制御(割込みコントローラ)』の章を参照してください。)が"0x1F"以外の割込み要求の発生
・NMI 要求の発生
・ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、ストップモードを起動した次の命令より、プログラムを続行します。

5.6.4. ストップモードの効果

ストップモードの効果について示します。

ストップモードにより、外部入力のイベント待ち状態での消費電力を最小化することができます。反面、ウェイクアップ要求の発生後、プログラム動作へ復帰するまでには、発振安定待ち時間を必要とします。

5.7. スタンバイモード:ストップモード(電源遮断)

スタンバイモード:ストップモード(電源遮断)について示します。

ストップモード(電源遮断)は、すべてのクロック発振を停止し、本品種の消費電力を最少にするモードです。

＜注意事項＞

- スタンバイモードに入るのは、メイン RUN またはサブ RUN 時のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「5.9 不正スタンバイモード移行」を参照してください。
- フラッシュプログラム/イレース中にスタンバイ状態に遷移することは禁止です。

5.7.1. ストップモード(電源遮断)の設定

ストップモード(電源遮断)の設定について示します。

ストップモード(電源遮断)を起動する前に、以下の設定/制御を行ってください。

(1) STBCR レジスタの bit1:SLVL1 により、ストップモード(電源遮断)中の外部端子の状態を設定します。
- STBCR レジスタの bit1:SLVL1= "0"時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL1= "1"時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。『付録』を参照してください。

5.7.2. ストップモード(電源遮断)の起動

ストップモード(電源遮断)の起動について示します。

ストップモード(電源遮断)は、以下の手順で起動します。

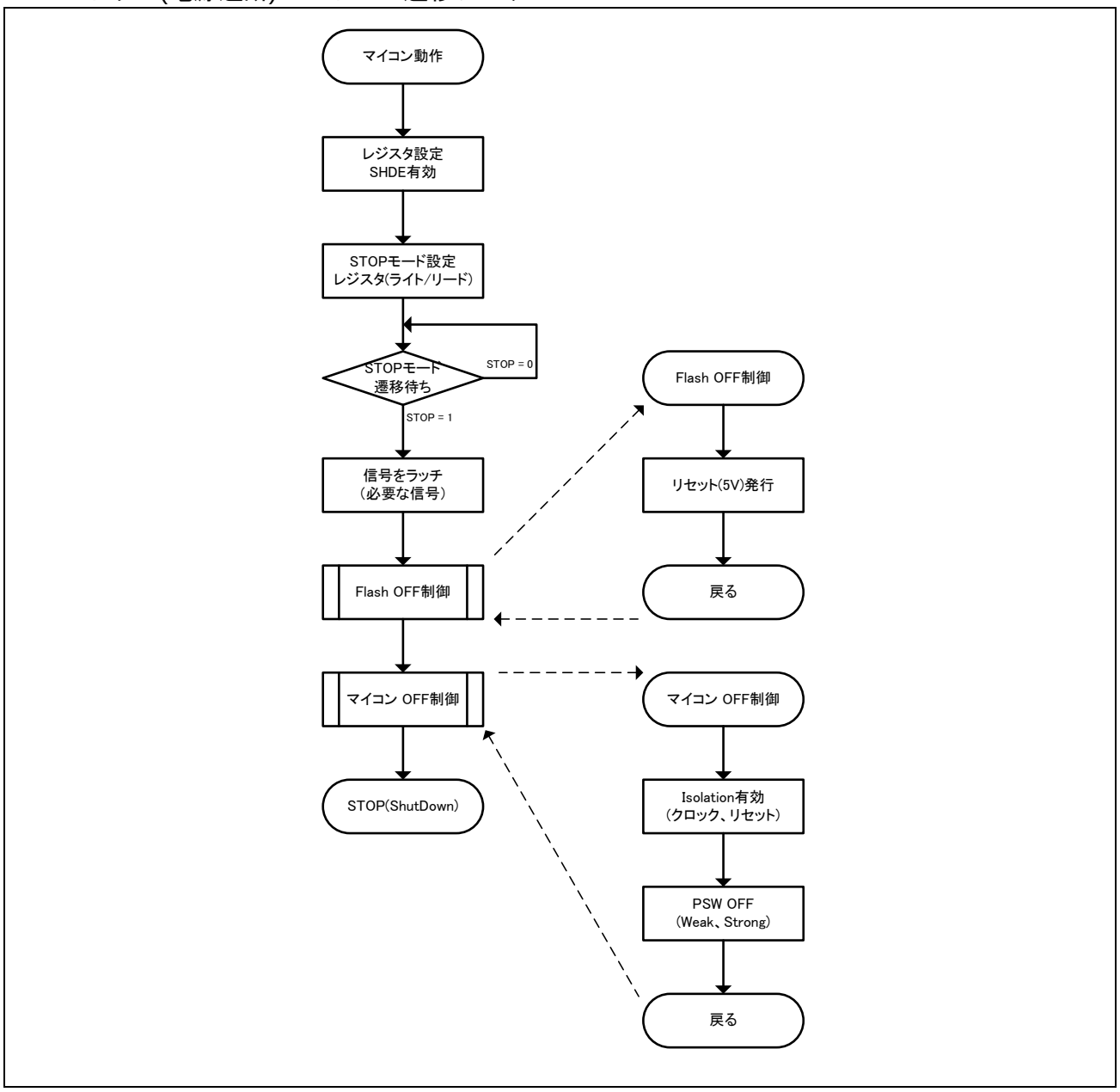
- PMUCTLR レジスタの bit7:SHDE に"1"をライトします。
- PLL RUN 時の場合、メイン RUN に遷移します。(サブ RUN 時の場合は、サブ RUN のままでストップモード(電源遮断)に遷移できます。)
- STBCR レジスタの bit7:STOP,bit6:TIMER,bit5:SLEEP に"100"をライトします。
- STBCR レジスタをリードします。

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、ストップモード(電源遮断)に入る前に、命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例]ストップモード(電源遮断)起動のサンプルプログラム

```
        LDI     #value_of_PMU, R0     ; SHDE ビット="1",IOCTMD/IOCT ビット設定
        LDI     #_PMUCTLR, R12        ;
        STB     R0, @R12              ; ライト
        LDI     #value_of_stop, R0    ; STOP ビット="1",SLVL 設定
        LDI     #_STBCR, R12          ;
        STB     R0, @R12              ; ライト
        LDUB    @R12, R0              ; リード（ストップモード(電源遮断)の起動）
        MOV     R0, R0                ; パイプライン調整のためのダミー処理
        NOP                           ; パイプライン調整のためのダミー処理
```

図 5-3 ストップ(電源遮断)モードへの遷移シーケンス



5.7.3. ストップモード(電源遮断)からのウェイクアップ

ストップモード(電源遮断)からのウェイクアップについて示します。

ストップモード(電源遮断)は、以下の条件により終了します。

・リセット
・外部割込み要求の発生
・NMI 要求の発生

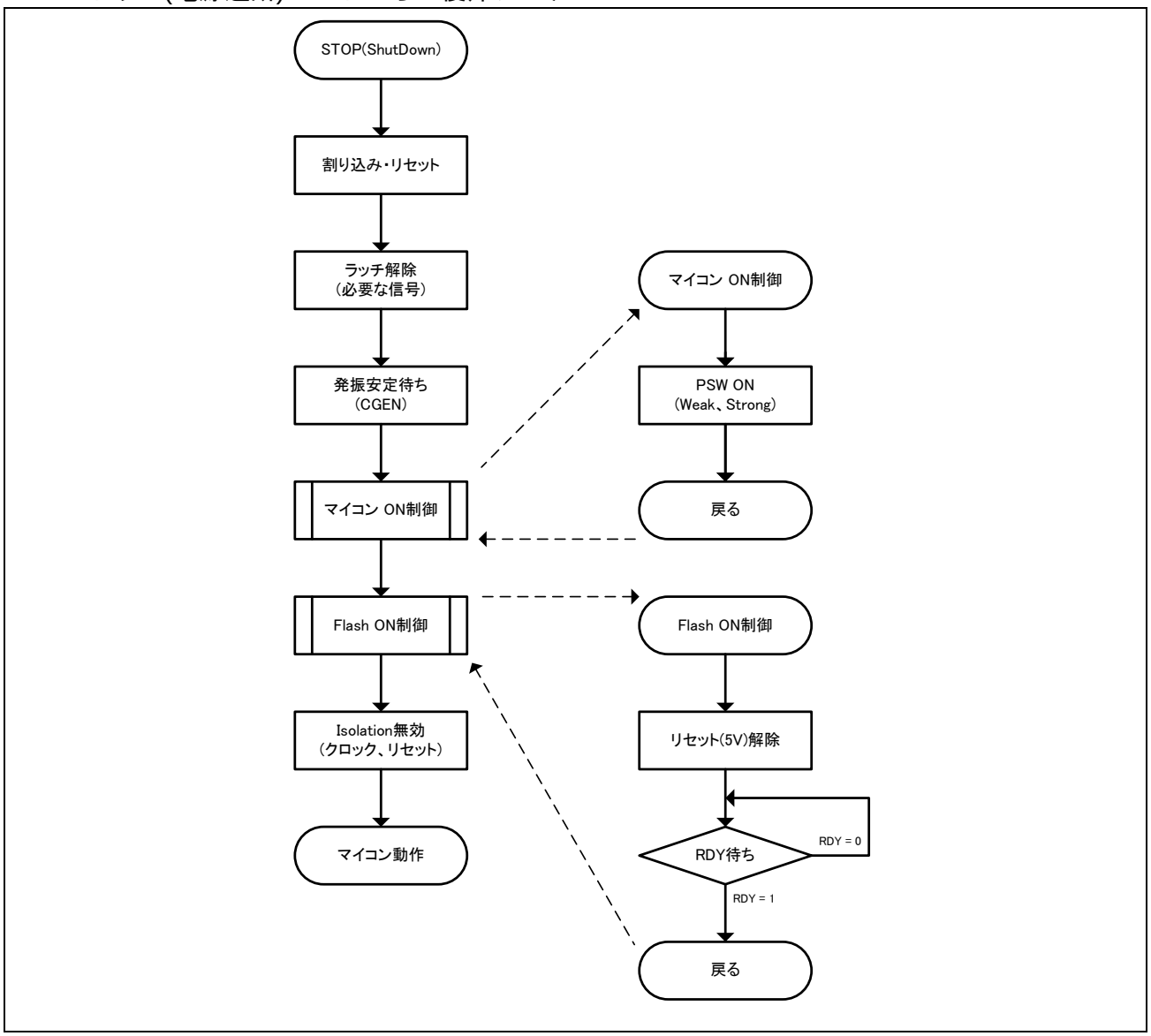
割込み要求によるウェイクアップの場合、CPU および割込みコントローラがこの割込み要求を受け付ける設定である必要はありません。CPU は必ずリセット状態から動作を開始します。

外部割込み入力(IOCTMD=1 時)のレジスタは初期化されません。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。

[MB91F52xxxD]
また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX によるリセット以外のリセット要因を受け付けません。このとき、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。

図 5-4 ストップ(電源遮断)モードからの復帰シーケンス



5.7.4. ストップモード(電源遮断)の効果

ストップモード(電源遮断)の効果について示します。

ストップモード(電源遮断)により、不要な回路の待機電流を最小化することができます。反面、ウェイクアップ要求の発生後、プログラム動作へ復帰するまでは、発振安定待ち時間を必要とします。

5.8. マイコン停止状態

マイコン停止状態について示します。

スタンバイモード(時計モード・時計モード(電源遮断)・ストップモード・ストップモード(電源遮断)移行禁止状態からスタンバイへの移行を制御しようとしたとき、スタンバイ移行が完結しません。

＜スタンバイ移行禁止状態＞

① OCD 接続中

② PLL 動作中

＜マイコン停止状態で行われないスタンバイ制御＞

③ フラッシュメモリ省電力制御

④ 発振停止(ストップモード・ストップモード(電源遮断)のとき)

ただし、PLL 動作中にスタンバイモード移行制御を行ったときには、不正スタンバイモード移行を検出して、発振停止動作を行います。不正スタンバイモード移行については、「5.9 不正スタンバイモード移行」を参照してください。

5.9. 不正スタンバイモード移行

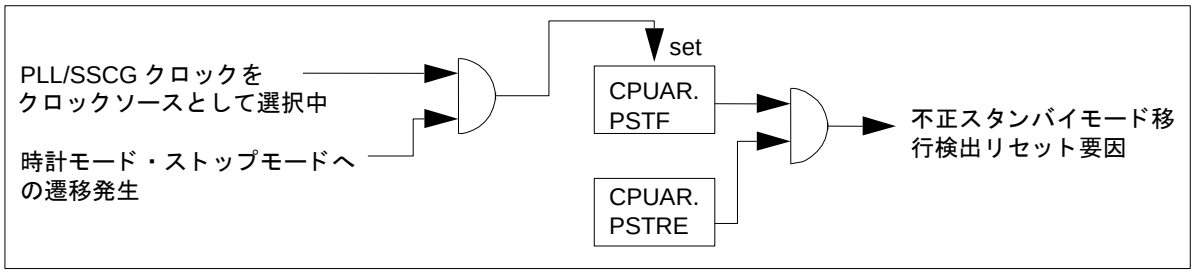
不正スタンバイモード移行について示します。

PLL ラン状態からスタンバイモード(時計モード・時計モード(電源遮断)・ストップモード・ストップモード(電源遮断)への遷移を行うと、スタンバイモードに設定され、PLL 発振安定は解除されます。(不正スタンバイモード移行)

スタンバイモードからの復帰後は CSELR.CKS[1:0]=00 および CMONR.CKM[1:0]=00(メインクロックの 2 分周)になります。

また、スタンバイモード移行と同時に CPUAR レジスタの PSTF フラグがセットされます。CPUAR レジスタの PSTRE ビットがセットされている場合は、不正スタンバイモード移行検出リセット要因によるリセットが発生します。CPUAR レジスタについては『リセット』の章の『CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register)』を参照してください。

図 5-5 不正スタンバイモード移行検出リセット要因の生成図



5.10. 電源遮断・通常スタンバイ制御の制限事項

電源遮断・通常スタンバイ制御の制限事項について示します。

本マイコンでは、以下の条件ではスタンバイ制御を行いません。

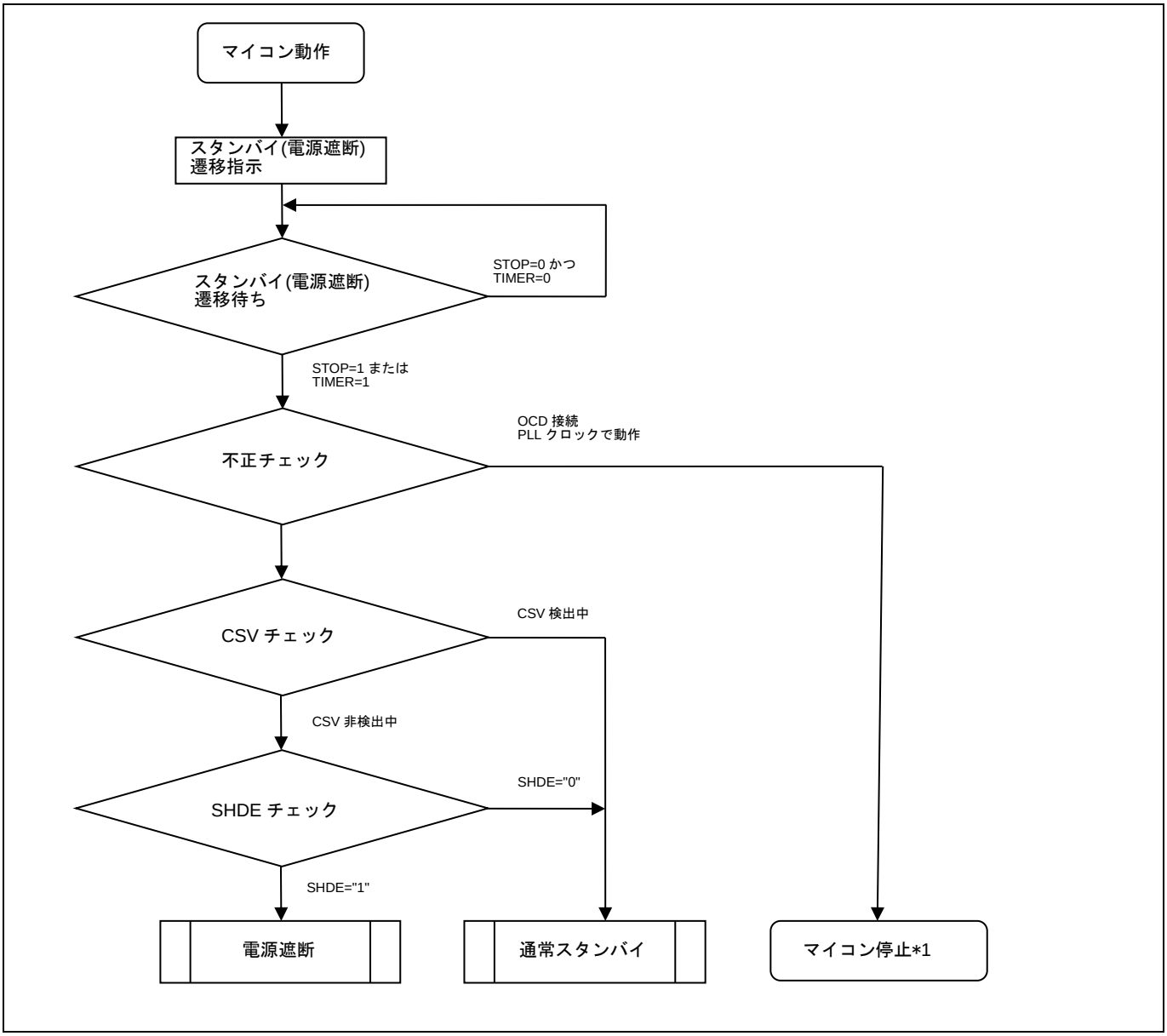
・CPU が PLL で動作している場合
・OCD 動作許可中

以上の状態のときのスタンバイ制御は動作しませんが、CPU はスタンバイ状態となります
(「5.8. マイコン停止状態」を参照してください) 。

・CSV 機能でクロック断検出している場合　*2　*3

以上の状態のときのスタンバイ(電源遮断)遷移指示をした場合は、通常スタンバイ処理となります。

図 5-6 電源遮断・通常スタンバイ制御の制限



*1: 電源遮断と認識せず、CPU はスタンバイモードに遷移する状態

*2: 動作しているクロックソースが断検出している場合です。例えばメインクロック動作中の断検出し、RC クロックで動作中などがあります。メインクロック動作中にサブクロックの断検出している場合は、制限事項にはあたりません。

*3: クロック断検出した後にスタンバイ/シャットダウン遷移指示をした場合は、通常スタンバイ処理となります。また断検出していない状態で、シャットダウン許可を有効にすると CSV の機能が停止しますので、注意が必要です。

スタンバイ(電源遮断)モードでは、チップ内部の大部分のブロックに電源が供給されないため、復帰時に一部のレジスタ以外は保持しません。表 5-2 にスタンバイ(電源遮断)からの復帰時に保持されるレジスタの一覧を示します。

表 5-2 スタンバイモード(電源遮断)からの復帰時に保持されるレジスタ

レジスタグループ	レジスタ・フラグ名称	種別	アドレス	備考
PMU レジスタ	PMUSTR.PMUST	フラグ	0590_H bit7	―
	PMUSTR.PONR_F	フラグ	0590_H bit1	―
	PMUSTR.RSTX_F	フラグ	0590_H bit0	―
	PMUCTLR	レジスタ	0591_H	―
	PWRTMCTL	レジスタ	0592_H	―
	PMUINTF0	レジスタ	0594_H	―
	PMUINTF1	レジスタ	0595_H	―
	PMUINTF2	レジスタ	0596_H	―
リセット要因レジスタ	CPUAR.PMDF	フラグ	$051A_H$ bit2	―
	CPUAR.PSTF	フラグ	$051A_H$ bit1	―
	CPUAR.HWDF	フラグ	$051A_H$ bit0	―
低電圧検出レジスタ (外部低電圧検出)	LVD5R.LVD5R_F	フラグ	0584_H bit0	―
	LVD5F.LVD5F_F	フラグ	0585_H bit0	―
	LVD5F.LVD5F_PD	レジスタ	0585_H bit7	―
	LVD5F.LVD5F_OE	レジスタ	0585_H bit3	―
低電圧検出レジスタ (内部低電圧検出)	LVD.LVD_F	フラグ	0586_H bit0	―
	LVD.LVD_PD	レジスタ	0586_H bit7	―
	LVD.LVD_OE	レジスタ	0586_H bit3	―
CSV レジスタ	CSVCR	レジスタ	$056D_H$	―
外部割込みレジスタ	EIRR0/1	レジスタ	$0550_H/0554_H$	*2
	ENIR0/1	レジスタ	$0551_H/0555_H$	*2
	ELVR0/1	レジスタ	$0552_H/0556_H$	*2
RTC レジスタ	WTDR	レジスタ	$055E_H$-$055F_H$	―
	WTCR	レジスタ	0561_H-0563_H	*1
	WTBR	レジスタ	0565_H-0567_H	―
	WTHR	レジスタ	0568_H	―
	WTMR	レジスタ	0569_H	―
	WTSR	レジスタ	$056A_H$	―

レジスタグループ	レジスタ・フラグ名称	種別	アドレス	備考
クロック選択レジスタ	CSELR.SCEN	フラグ	0510_H bit7	*1
	CMONR.SCRDY	フラグ	0511_H bit7	*1
	CCRTSELR.CST	フラグ	0530_H bit7	*1
	CCRTSELR.CSC	フラグ	0530_H bit0	*1

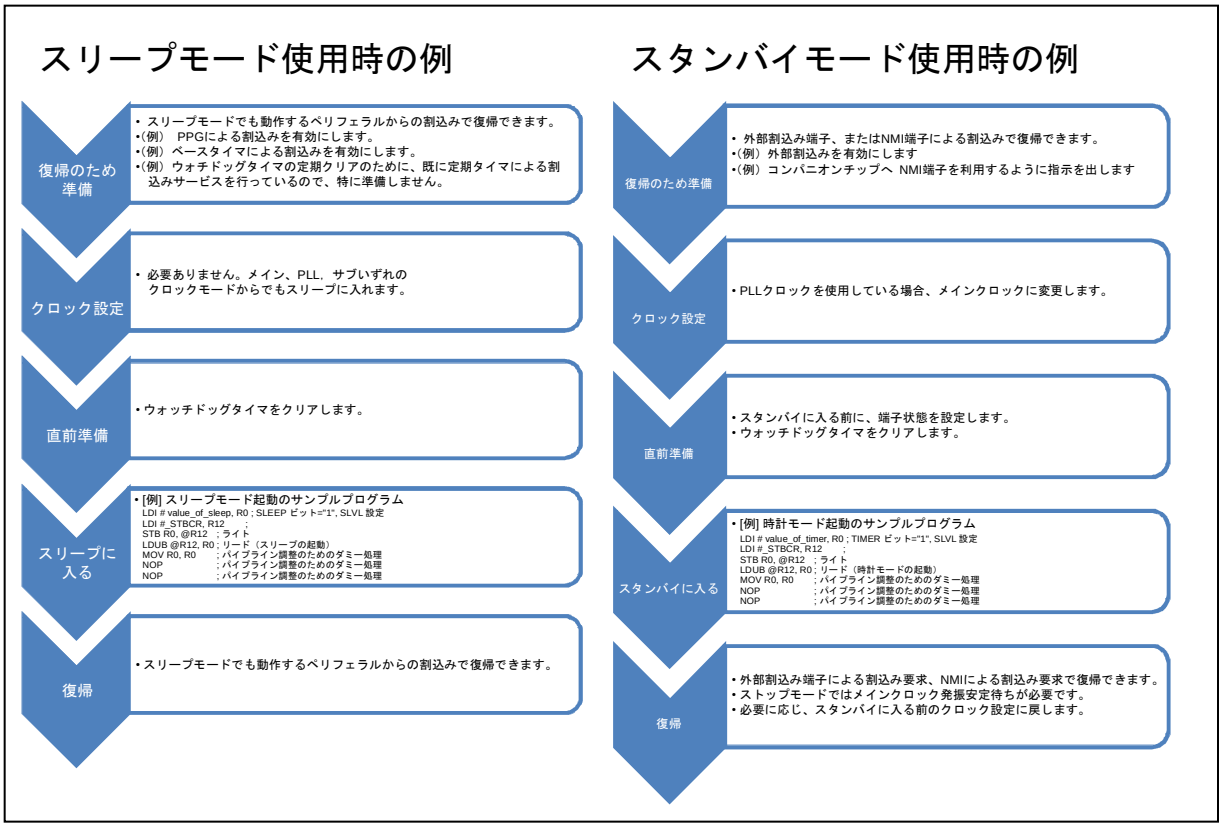
*1: ストップモード(電源遮断)からの復帰時は初期化されます。
*2: PMUCTLR.IOCTMD=0 のときは初期化されます。

6. 使用例

消費電力制御の使用例について説明します。

スリープモード、スタンバイモード起動例です。

図 6-1 スリープモード、スタンバイモード起動例



Chapter 31: 低電圧検出(内部低電圧検出)

内部低電圧検出(内部低電圧検出)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

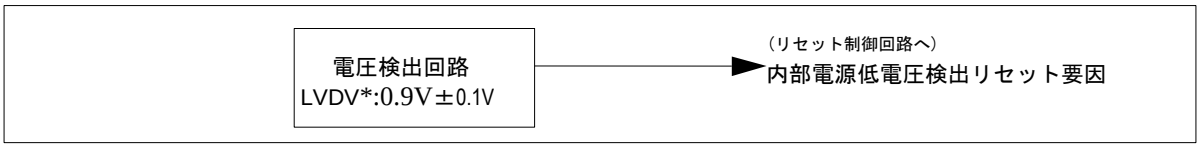
管理コード : BZLVDR_LVDI-2v1-91520-6-J

1. 概要

低電圧検出(内部低電圧検出)の概要について説明します。

内部低電圧検出は、内部電圧を監視し、検出電圧値より内部電圧が下がったことを検出する機能です。低電圧を検出した場合に、検出フラグをセットします。検出フラグをセットすると、低電圧検出リセットによりリセット状態となります。

図 1-1 ブロックダイヤグラム(概要)



*: 内部低電圧検出の検出電圧は、0.9V±0.1V です。
この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。

2. 特長

低電圧検出(内部低電圧検出)の特長について説明します。

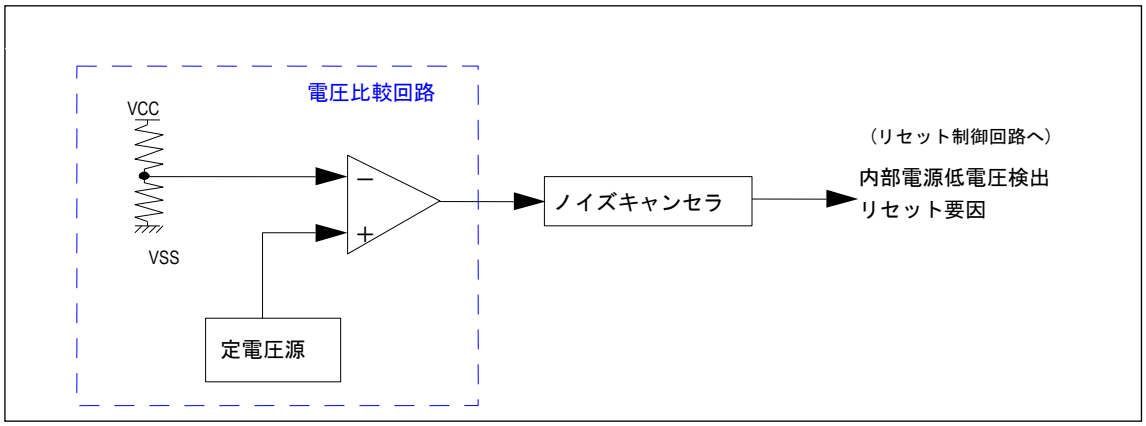
内部低電圧検出回路

形式　　：電圧 LVDV±0.1V 以下の電圧検出による設定初期化リセット発生(LVDV : 0.9V)
個数　　: 1
動作　　：スリープ, ストップ, 時計モード時も動作を続けます。
電圧比較回路：検出電圧との内部電圧を比較して低電圧を検出すると出力を"H"から"L"にします。
電源投入後は、常に動作しています。

3. 構成

低電圧検出(内部低電圧検出)の構成について説明します。

図 3-1 構成図



4. レジスタ

低電圧検出(内部低電圧検出)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R	LVD5F	LVD	予約	内部低電圧検出レジスタ

4.1. 内部低電圧検出レジスタ ：LVD (Low-Voltage Detect internal power fall register)

内部低電圧検出レジスタのビット構成について示します。

内部低電圧検出フラグ(LVD_F) および制御ビットをもつレジスタです。

■ LVD: アドレス 0586$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LVD_PD	LVD_SEL[2:0]			LVD_OE	予約		LVD_F
初期値	0	1	0	0	0	0	0	0
属性	R/W	R/W1	R/W0	R/W0	R/W	R0,WX	R0,WX	R(RM1),W

[bit7] LVD_PD (Low-Voltage Detect fall Power Down)
マイコン部の内部電圧立下り検出をするかしないかの設定です。

LVD_PD	マイコン部内部電圧立下りパワーダウン設定
0	無効(検出を実行)
1	有効(検出を停止)

(注意事項) 本ビットはパワーオンリセットでのみ初期化されます。

＜注意事項＞

本ビットの設定によるパワーダウン有効⇒無効(動作開始)時には、100µs 後に検出許可(OE=0)にしてください。100µs より前に検出許可にした場合、検出フラグがセットされる場合があります。

[bit6～bit4] LVD_SEL[2:0] (Low-Voltage Detect power fall SELect)
内部電圧立下り検出の検出レベルの選択信号です。

LVD_SEL[2:0]	内部電圧立下り検出電圧設定	マイコン動作保証電圧範囲
100 *	0.9V±0.1V	No
上記以外	設定禁止	-

(注意事項) LVD_OE="1"時のみ書換えが可能です。

*: この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。
マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。

[bit3] LVD_OE (Low-Voltage Detect power fall Output Enable)

内部電圧立下り検出の出力許可信号です。

LVD_OE	内部電圧立下り検出出力許可設定
0	許可
1	停止

(注意事項) 本ビットはパワーオンリセットでのみ初期化されます。

[bit2, bit1] 予約

[bit0] LVD_F (Low-Voltage Detect power fall Flag)
内部電圧立下り検出フラグです

LVD_F	内部電圧立下り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

内部電圧の低下が検出されると、LVD_F ビットが"1"にセットされます。
外部リセット入力時のみ初期化されます。

5. 動作説明

内部低電圧検出(内部低電圧検出)の動作について説明します。

5.1. 内部低電圧検出

5.1. 内部低電圧検出

内部低電圧検出について示します。

内部低電圧検出は、内部電圧を監視し、検出電圧値よりも内部電圧が低下したことを検出し、検出フラグをセットします。低電圧を検出してフラグがセットされた場合、設定初期化リセットが発生します。

内部電圧が、検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に発振安定待ち時間をとります。詳細は『リセット』の章を参照してください。

発振安定待ち時間	2^{15}×メインクロック周期

6. 注意事項

内部低電圧検出(内部低電圧検出)の注意事項について説明します。

- **内部低電圧検出の動作**
  内部電圧が低下してマイコン部内部低電圧検出フラグがセットされたとき(LVD:LVD_F="1")は、低電圧検出リセット機能により内部リセットが発生しています。したがって、マイコン部内部低電圧検出レジスタ(LVD)の書込み/読出しはできません。内部低電圧検出回路はスリープ、ストップモード、時計モード動作時においても、動作可能であり、動作している場合には電流を消費します。内部低電圧検出回路はユーザの設定によって動作/停止が可能です。

- **内部低電圧検出フラグ(LVD:LVD_F)の初期値**
  内部低電圧検出フラグは、外部リセット、または内部低電圧検出レジスタ(LVD)の LVD_F ビットへの"0"書込みでクリアされます。

- **発振安定待ち時間**
  内部電圧が検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に発振安定待ち時間をとります。詳細は『リセット』の章を参照してください。

- **検出解除のヒステリシス**
  検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。LVD: 0.9V±0.1V 設定の場合、解除電圧は 1.0V±0.1V となります。

Chapter 32: 低電圧検出(外部低電圧検出)

低電圧検出 (外部低電圧検出)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

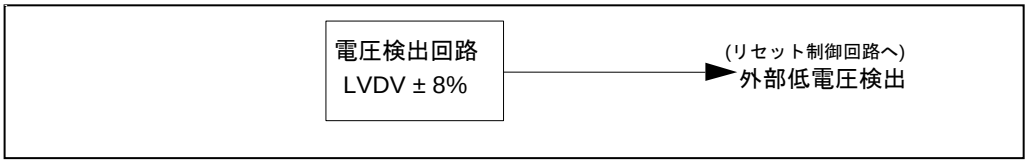
管理コード : BZLVDR_LVDE-2v1-91520-7-J

1. 概要

低電圧検出(外部低電圧検出)の概要について説明します。

外部低電圧検出は、外部電圧を監視し、検出電圧値より電源電圧が下がったことを検出する機能があります。

図 1-1 ブロック図



(注意事項) 立上り LVDV: 2.3V

立下り LVDV: 2.8~4.3V(計 11 通り) 可変*

*: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧(2.576V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定をしないでください。

2. 特長

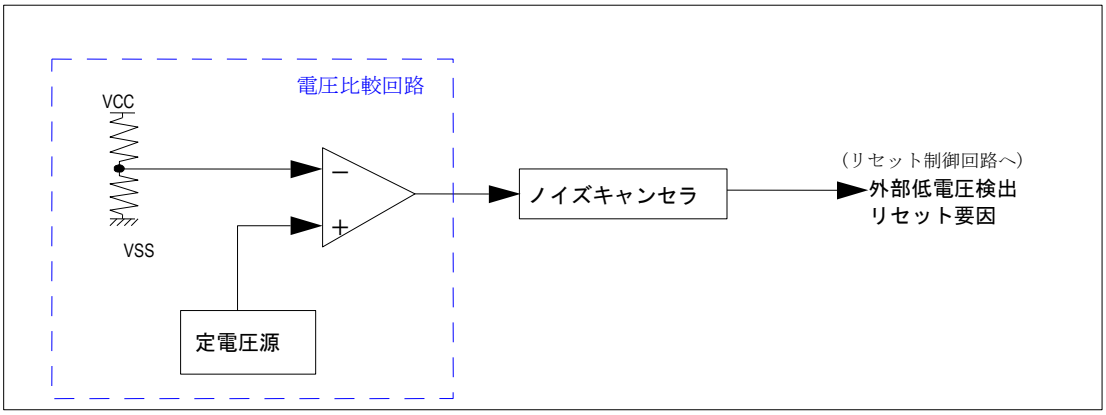
低電圧検出(外部低電圧検出)の特長について説明します。

- 形式 : 電圧 LVDV±8%以下の電圧検出による設定初期化リセット発生
  (立上がり LVDV: 2.3V 固定、立下がり LVDV: 2.8~4.3V 可変)
- 個数 : 1 個
- 動作 : ユーザ設定により、動作/停止を切り換えます。
  内部 RAM 書込み期間は、書込み終了後に低電圧リセットが発生します。
- 電圧比較回路: 検出電圧と電源電圧を比較して低電圧を検出すると出力を"L"にします。
- 低電圧検出時にリセットをかけるか、割込みを発生するかを選択できます。

3. 構成

低電圧検出(外部低電圧検出)の構成について説明します。

図 3-1 構成図



4. レジスタ

低電圧検出(外部低電圧検出)のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R	LVD5F	LVD	予約	外部低電圧検出立上り検出レジスタ 外部低電圧検出立下り検出レジスタ

4.1. 外部低電圧検出立上り検出レジスタ : LVD5R (Low-Voltage Detect external 5v Rise register)

外部低電圧検出立上り検出レジスタ(LVD5R)について説明します。

外部電源電圧立上り検出フラグです。

■ LVD5R: アドレス 0584$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							LVD5R_F
初期値	0	0	0	0	0	0	0	1
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1),W

[bit7～bit1] 予約

[bit0] LVD5R_F (Low-Voltage Detect external 5v Rise Flag) : 外部電圧立上り検出フラグ

外部電圧立上り検出フラグです。

LVD5R_F	外部電圧立上り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

パワーオンリセットが検出されると、LVD5R_F ビットが"1"にセットされます。
外部リセット入力時にクリアされます。

4.2. 外部低電圧検出立下り検出レジスタ : LVD5F (Low-Voltage Detect external 5v Fall register)

外部低電圧検出立下り検出レジスタ(LVD5F)について説明します。

低電圧検出リセットフラグクリアと低電圧検出回路の設定を行うレジスタです。

■ LVD5F: アドレス 0585$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LVD5F_PD	LVD5F_SEL[3: 1]			LVD5F_OE	LVD5F_SEL[0]	LVD5F_RI	LVD5F_F
初期値	1/0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R(RM1),W

(注意事項) bit7 の初期値は、型格によって異なります。

[bit7] LVD5F_PD (Low-Voltage Detect external 5v Fall Power Down) : 外部電圧立下りパワーダウン設定

外部電圧立下り検出をするかしないかの設定です。

LVD5F_PD	外部電圧立下りパワーダウン設定
0	無効(検出を実行) (初期値 ON 型格の初期値)
1	有効(検出を停止) (初期値 OFF 型格の初期値)

(注意事項) 本ビットはパワーオンリセットでのみ初期化されます。

＜注意事項＞

本ビットの設定によるパワーダウン有効⇒無効(動作開始)時には、LVD5F_OE=1 設定してから 100µs 後に検出許可(OE=0)にしてください。100µs より前に検出許可にした場合、検出フラグがセットされる場合があります。
型格により外部低電圧検出の初期状態が異なります。そのため、本ビットの初期値は型格によって異なります。型格の詳細は、『概要』章の『3.品種構成』を参照してください。

[bit6～bit4, bit2] LVD5F_SEL (Low-Voltage Detect external 5v Fall SELect) : 外部立下り検出電圧設定

外部電圧立下り検出の検出レベルの選択信号です。

LVD5F_SEL[3: 0]	外部電圧立下り検出電圧設定	マイコン動作保証電圧範囲
0000 *	2.80V±8%	No
0001	3.00V±8%	Yes
0010	3.20V±8%	
0011	3.60V±8%	

LVD5F_SEL[3: 0]	外部電圧立下り検出電圧設定	マイコン動作保証電圧範囲
0100	3.70V±8%	Yes
0101	3.80V±8%	
0110	3.90V±8%	
0111	4.00V±8%	
1000	4.10V±8%	
1001	4.20V±8%	
1010	4.30V±8%	
上記以外	設定禁止	-

(注意事項) LVD5F_OE="1"時のみ書き換えが可能です。

*:この検出電圧(2.8V±8% = 2.576V～3.024V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定を使用しないでください。

[bit3] LVD5F_OE (Low-Voltage Detect external 5v Fall Output Enable) : **外部電源立下り検出出力許可設定**

外部電圧立下り検出の出力許可信号です。

LVD5F_OE	外部電源立下り検出出力許可設定
0	許可
1	停止

(注意事項) 本ビットはパワーオンリセットでのみ初期化されます。

[bit1] LVD5F_RI (Low-Voltage Detect external 5v Fall Reset Interrupt select)

低電圧検出リセット/割込み選択信号です。

LVD5F_RI	低電圧検出リセット/割込み選択設定
0	リセット
1	割込み

[bit0] LVD5F_F (Low-Voltage Detect external 5v Fall Flag) : **外部立下り検出フラグ**

外部電圧立下り検出フラグです。

LVD5F_F	外部電圧立下り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

外部電圧の低下が検出されると、LVD5F_F ビットが"1"にセットされます。

外部リセット入力時にクリアされます。

5. 動作説明

低電圧検出(外部低電圧検出)の動作について説明します。

外部低電圧検出は、外部電圧を監視し、設定値よりも外部電圧が低下したときに初期化リセット、または割込みを発生します。

低電圧を検出して設定初期化リセットが発生した場合、レジスタの内容は保証できません。低電圧リセット解除後は発振安定待ち時間を取らずに、リセットシーケンスを実行した後にリセットベクタで指定されたアドレスからプログラムが再スタートします。

6. 注意事項

低電圧検出(外部低電圧検出)の注意事項について説明します。

低電圧検出リセット回路使用上の注意

● プログラムでの動作

・低電圧検出リセット回路は、外部低電圧検出立上り検出を除き、設定にしたがって、動作します。外部低電圧検出立上り検出はパワーオンリセットとして使用されます。
・外部低電圧検出立上り検出は常に動作していますので、スリープモード、ストップモード、時計モード動作時においても、電流を消費します。

● ストップモード時の動作

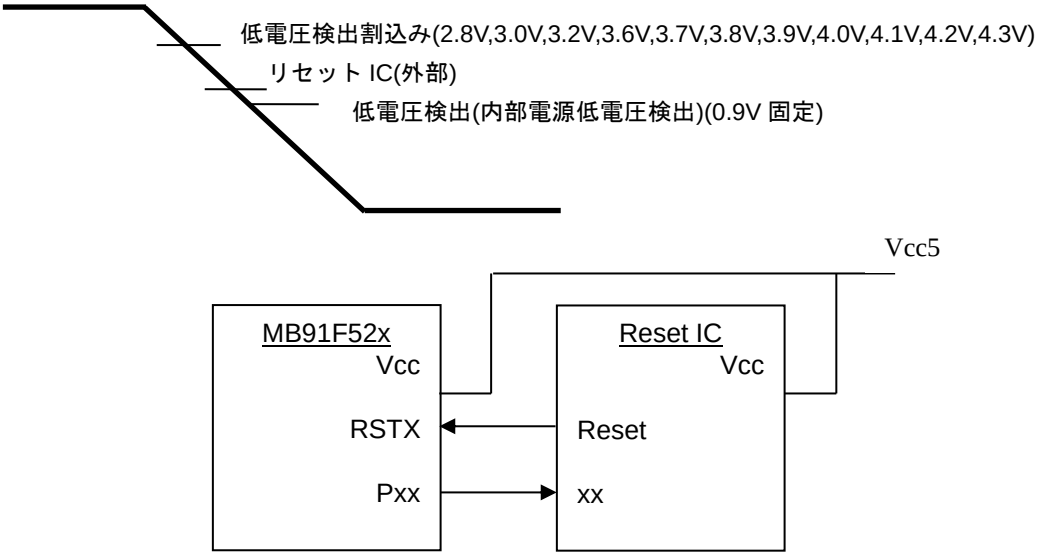
・低電圧検出リセットは、設定によってストップモードでも動作を続けることができます。このとき、ストップモード中に低電圧を検出すると、設定初期化リセットが発生し、ストップモードは解除されます。

● 検出/解除のヒステリシス

・検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。
立下り検出電圧の場合、設定値は検出電圧を示します。
例えば 4.1V±8%設定のとき、解除電圧は 4.2V±8%となります。
立上り検出電圧の場合、設定値は解除電圧を示します。
例えば 2.5V±8%設定のとき、検出電圧は 2.4V±8%となります。

● 低電圧検出時の動作として割込み発生を使用する場合､必ず外部にリセット IC を接続してください。

また、リセット要求信号は、CPU の保証電圧である 2.7V 以上としてください。


低電圧検出割込み(2.8V,3.0V,3.2V,3.6V,3.7V,3.8V,3.9V,4.0V,4.1V,4.2V,4.3V)
リセット IC(外部)
低電圧検出(内部電源低電圧検出)(0.9V 固定)
Vcc5
MB91F52x
Vcc
RSTX
Pxx
Reset IC
Vcc
Reset
xx

Chapter 33: ワイルドレジスタ

ワイルドレジスタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 使用例

管理コード : FR81S10_WR-1v1-91520-4-J

1. 概要

ワイルドレジスタの概要について説明します。

ワイルドレジスタ機能は、アドレスレジスタに設定したパッチ対象アドレスのデータをデータレジスタに設定したデータとの置換えを行います。

2. 特長

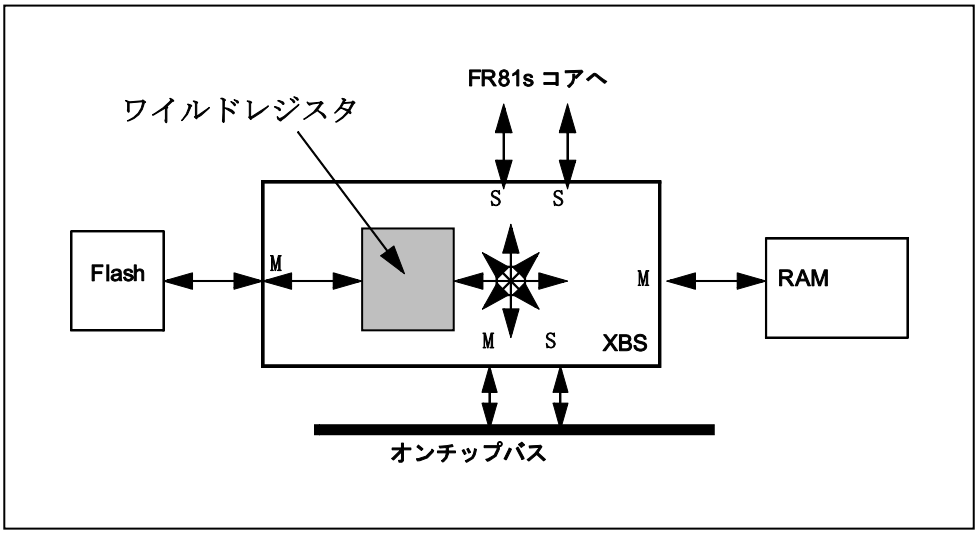
ワイルドレジスタの特長について説明します。

・1 ワードごとに 16 箇所にパッチを当てることができます。
・対象はフラッシュ領域のみです。
・16 ビット 制御レジスタ 1 本
・32 ビットアドレス設定レジスタ 16 本
・32 ビットデータ設定レジスタ 16 本

3. 構成

ワイルドレジスタの構成について説明します。

図 3-1 構成図



＜注意事項＞

本機能は、フラッシュメモリへのアクセスウェイトを1サイクルに設定した場合、使用できません。

4. レジスタ

ワイルドレジスタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0858	予約		WREN		ワイルドレジスタデータイネーブルレジスタ
0x0880	WRAR00				ワイルドレジスタアドレスレジスタ 00
0x0884	WRDR00				ワイルドレジスタデータレジスタ 00
0x0888	WRAR01				ワイルドレジスタアドレスレジスタ 01
0x088C	WRDR01				ワイルドレジスタデータレジスタ 01
0x0890	WRAR02				ワイルドレジスタアドレスレジスタ 02
0x0894	WRDR02				ワイルドレジスタデータレジスタ 02
0x0898	WRAR03				ワイルドレジスタアドレスレジスタ 03
0x089C	WRDR03				ワイルドレジスタデータレジスタ 03
0x08A0	WRAR04				ワイルドレジスタアドレスレジスタ 04
0x08A4	WRDR04				ワイルドレジスタデータレジスタ 04
0x08A8	WRAR05				ワイルドレジスタアドレスレジスタ 05
0x08AC	WRDR05				ワイルドレジスタデータレジスタ 05
0x08B0	WRAR06				ワイルドレジスタアドレスレジスタ 06
0x08B4	WRDR06				ワイルドレジスタデータレジスタ 06
0x08B8	WRAR07				ワイルドレジスタアドレスレジスタ 07
0x08BC	WRDR07				ワイルドレジスタデータレジスタ 07
0x08C0	WRAR08				ワイルドレジスタアドレスレジスタ 08
0x08C4	WRDR08				ワイルドレジスタデータレジスタ 08
0x08C8	WRAR09				ワイルドレジスタアドレスレジスタ 09
0x08CC	WRDR09				ワイルドレジスタデータレジスタ 09
0x08D0	WRAR10				ワイルドレジスタアドレスレジスタ 10
0x08D4	WRDR10				ワイルドレジスタデータレジスタ 10

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x08D8	WRAR11				ワイルドレジスタアドレスレジスタ 11
0x08DC	WRDR11				ワイルドレジスタデータレジスタ 11
0x08E0	WRAR12				ワイルドレジスタアドレスレジスタ 12
0x08E4	WRDR12				ワイルドレジスタデータレジスタ 12
0x08E8	WRAR13				ワイルドレジスタアドレスレジスタ 13
0x08EC	WRDR13				ワイルドレジスタデータレジスタ 13
0x08F0	WRAR14				ワイルドレジスタアドレスレジスタ 14
0x08F4	WRDR14				ワイルドレジスタデータレジスタ 14
0x08F8	WRAR15				ワイルドレジスタアドレスレジスタ 15
0x08FC	WRDR15				ワイルドレジスタデータレジスタ 15

4.1. ワイルドレジスタデータイネーブルレジスタ : WREN (Wild Register ENable register)

ワイルドレジスタデータイネーブルレジスタのビット構成について示します。

チャネルごとに、ワイルドレジスタの機能の有効・無効を設定します。

■ WREN : アドレス 085A$_H$ (アクセス: ハーフワード)

	bit15	bit14	・	・	・	bit2	bit1	bit0
	WREN[15:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit15～bit0] WREN[15:0] (Wild Register ENable) : イネーブルビット

チャネルごとに、ワイルドレジスタ機能の有効・無効を設定します。

WRENn (n=0～15)	機能
0	チャネル n のワイルドレジスタ機能は無効です
1	チャネル n のワイルドレジスタ機能は有効です

4.2. ワイルドレジスタアドレスレジスタ 00～15 : WRAR00-15 (Wild Register Address Register 00-15)

ワイルドレジスタアドレスレジスタ 00～15 のビット構成について示します。

ワイルドレジスタ機能により修正するアドレスを設定するレジスタです。ワイルドレジスタ動作許可中の読出し値は不定です。
レジスタの設定は必ず 32 ビット単位で行ってください。

■ WRAR : アドレス 0880_H ～$08F8_H$ (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約		WRAR[21:16]					
初期値	0	0	X	X	X	X	X	X
属性	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	WRAR[15:8]							
初期値	X	X	X	X	X	X	X	X
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	WRAR[7:2]						予約	
初期値	X	X	X	X	X	X	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,WX	R0,WX

[bit21～bit2] WRAR[21:2] (Wild Register Address Register) : アドレスレジスタ

パッチ対象のアドレスを設定します。対象アドレスは(WRAR & 0x003FFFFC)となります。
ワイルドレジスタ動作許可中の読出し値は不定です。

4.3. ワイルドレジスタデータレジスタ 00～15 : WRDR00-15 (Wild Register Data Register00-15)

ワイルドレジスタデータレジスタ 00～15 のビット構成について示します。

置き換えるデータを設定するレジスタです。ワイルドレジスタアドレスレジスタ(WRAR00 ～WRAR15)で指定したアドレスのメモリ内容を読み出すと、実際のメモリ内容ではなく、このレジスタに設定した値が読み出されます。
ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。
レジスタの設定は必ず 32 ビット単位で行ってください。

■ WRDR : アドレス 0884$_H$ ～08FC$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	WRDR[31:0]							
初期値	X	X	・	・	・	X	X	X
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] WRDR[31:0] (Wild Register Data Register) : データレジスタ
置換え値を設定します。
ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。

5. 動作説明

ワイルドレジスタの動作について説明します。

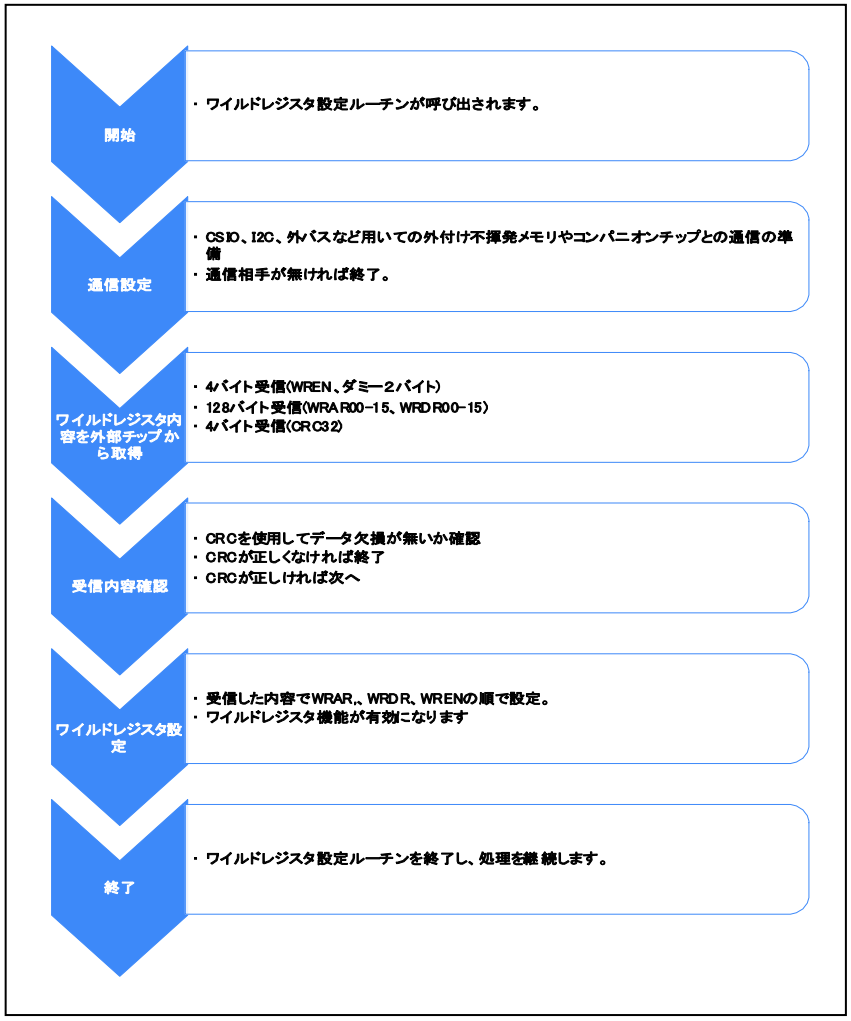
本機能を使用してフラッシュ領域にパッチを当てます。イネーブルレジスタがリセットで初期化されるので、使用する際はリセットごとに本レジスタを設定してください。
設定するアドレスは重ならないように設定してください。アドレスが重なる場合の読出し値は不定です。
データのバイト並びはビッグエンディアンです。
置換対象となる領域は フラッシュ領域のみです。

6. 使用例

ワイルドレジスタの使用例について示します。

本機能の使用例です。この例ではリセット解除後に外付けデバイスから本機能の設定を呼び出します。

図 6-1 使用例



Chapter 34: クロックスーパバイザ

クロックスーパバイザについて説明します。

1. 概要
2. 構成
3. レジスタ
4. 動作説明

管理コード : FJ58-1v1-91520-11-J

1. 概要

クロックスーパバイザの概要について説明します。

クロックになんらかの問題が生じて、意図せず停止した場合、内蔵 CR 発振器にクロックの代行をさせる事ができます。
メイン用のスーパバイザとサブ用のスーパバイザは独立しており、別々に許可、禁止の設定ができます。

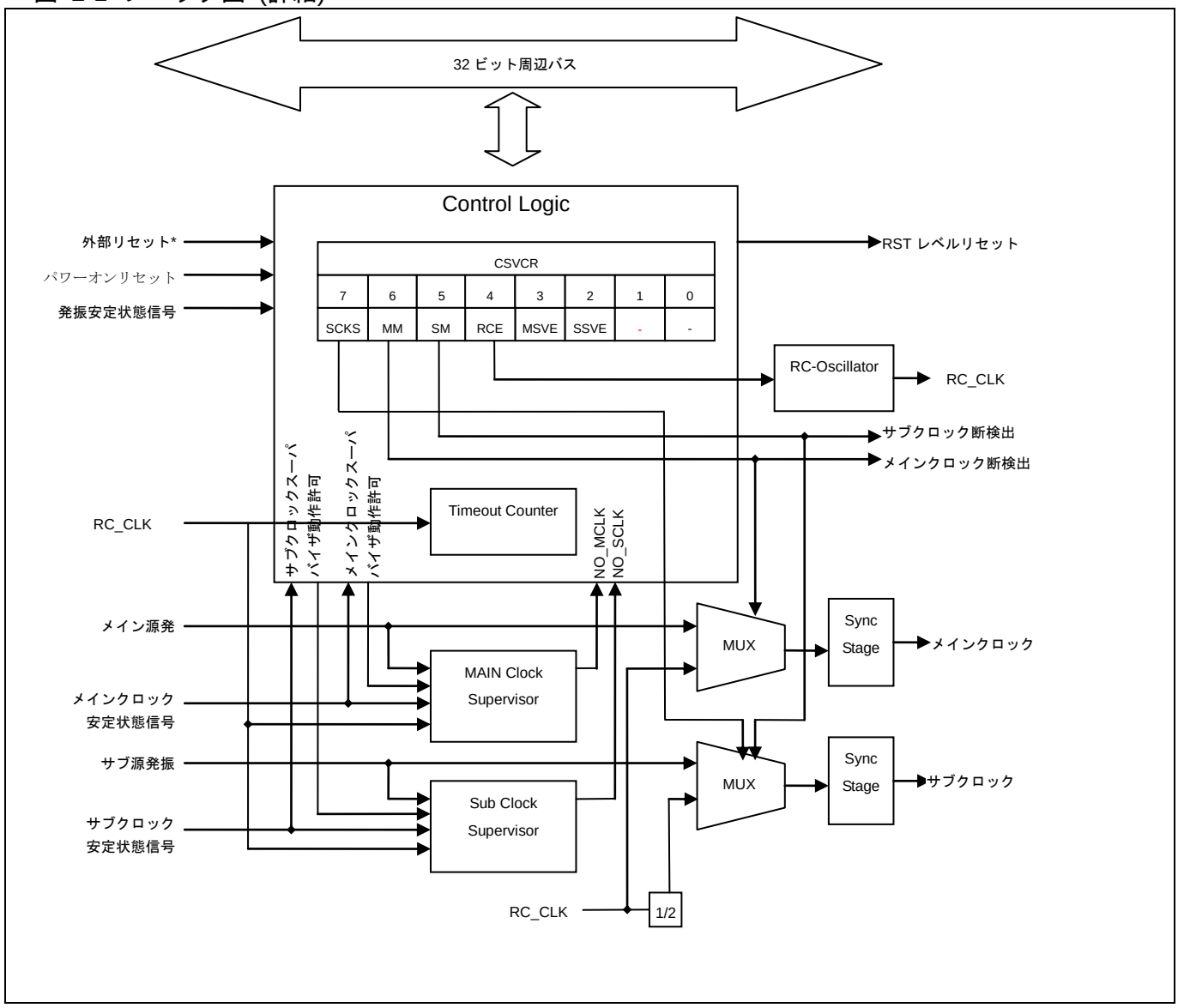
2. 構成

クロックスーパバイザの構成について説明します。

クロックスーパバイザを構成するブロックは、以下のとおりです。

・クロックスーパバイザ
・タイムアウトカウンタ
・制御ロジック
・CR 発振器

図 2-1 ブロック図 (詳細)



*: 外部リセット: RSTX 端子のアサート(NMIX との同時アサートも含みます)。

＜注意事項＞

クロック 2 系統品の場合には、サブクロックスーパバイザが使用できます。

3. レジスタ

クロックスーパバイザのレジスタについて説明します。

表 3-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x056C	予約	CSVCR	予約	予約	クロックスーパバイザ制御レジスタ

3.1. クロックスーパバイザ制御レジスタ ：CSVCR (Clock SuperVisor Control Register)

クロックスーパバイザ制御レジスタのビット構成について示します。

本レジスタは、クロックスーパバイザの動作モードを設定します。
クロックの故障を示すビットが存在します。

■ CSVCR：アドレス 056D$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SCKS	MM	SM	RCE	MSVE	SSVE	予約	予約
初期値	0	0	0	1	1/0	1	0	0
属性	R/W	R,W	R,W	R/W	R/W	R/W	R0/W0	R0/W0

＜注意事項＞

bit3 の初期値は、型格によって異なります。

[bit7] SCKS (Sub ClocK mode Select) : サブクロックモード選択

クロック 1 系統品種でサブクロックモードを使用するには、このビットを"1"に設定してください。CR クロックの 2 分周をクロック源とし 2 系統品と同じサブクロックモードを使用することができます。
ソースクロックにサブクロックを選択中(CSELR:CKS=11)は"0"書込みは無視されます。
クロック 2 系統品種では、このビットを使用することはできません。必ず"0"を書き込んでください。
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
このビットは、電源投入時、もしくは外部リセットと NMIX の同時アサートにより"0"にクリアされます。
ほかの種類のリセットは、このビットに影響を与えません。
[MB91F52xxxD]
このビットは、電源投入時、もしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

SCKS	説明
0	CR クロックをクロック源とするサブクロックモードを使用できない(初期値)
1	CR クロックをクロック源とするサブクロックモードを使用できる

[bit6] MM(Main clock Missing) : **メインクロック停止**

このビットが"1"の場合、メイン発振クロックに問題が生じている事を示します。
このビットが"0"の場合、メインクロックには問題がありません。
メインクロックが復旧していないとき、"0"書込みは無視されます。
このビットは、電源投入時もしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

MM	読出し	書込み
0	メイン発振クロック停止未検出	メインクロックが復旧している時、本ビットをクリア
1	メイン発振クロック停止検出	効果ありません

＜注意事項＞

本ビットが"1"の場合、PLL/SSCG 発振動作は許可しないでください。

[bit5] SM(Sub clock Missing) : **サブクロック停止**

このビットが"1"の場合、サブ発振クロックに問題が生じている事を示します。
このビットが"0"の場合、サブクロックに問題はありません。
サブクロックが復旧していない時、"0"書込みは無視されます。
このビットは、電源投入時もしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。
クロック 1 系統品種でサブクロックモード設定時(SCKS=1,CSELR:SCEN=1)、本ビットは無効です。

SM	読出し	書込み
0	サブ発振クロック停止未検出	サブクロックが復旧している時、本ビットをクリア
1	サブ発振クロック停止検出	効果ありません

[bit4] RCE(RC-oscillator Enable) : **CR 発振許可**

このビットを"1"に設定すると、スタンバイモード時にも CR 発振器の発振が許可されます。
メインクロックスーパバイザまたはサブクロックスーパバイザがまだ許可されている間は、このビットを"0"に設定することは禁止です。
まずスーパバイザを禁止してから、MM ビットおよび SM ビットが"0"であることを確認する必要があります。その後、RCE を"0"に設定してください。
MM ビットまたは SM ビットのいずれかが"1"の場合は、RCE を"0"に設定しないでください。
このビットは、電源投入時もしくは外部リセットにより"1"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。
クロック 1 系統品種でサブクロックモード設定時(SCKS=1,CSELR:SCEN=1)、本ビットは無効です。

RCE	説明
0	STBY モード時の CR 発振禁止
1	STBY モード時の CR 発振許可(初期値)

[bit3] MSVE(Main clock SuperVisor Enable) : **メインクロックスーパバイザ許可**

このビットを"1"に設定すると、メインクロックスーパバイザが許可されます。
このビットは、電源投入時にのみ"1"に初期化されます。
ほかの種類のリセットは、このビットに影響を与えません。

MSVE	説明
0	メインクロックスーパバイザ禁止(初期値 OFF 型格の初期値)
1	メインクロックスーパバイザ許可(初期値 ON 型格の初期値)

＜注意事項＞

型格によりメインクロックスーパバイザの初期状態が異なります。そのため、本ビットの初期値は型格によって異なります。型格の詳細は、『概要』の章の『3.品種構成』を参照してください。

[bit2] SSVE(Sub clock SuperVisor Enable) : **サブクロックスーパバイザ許可**

このビットを"1"に設定すると、サブクロックスーパバイザが許可されます。
このビットは、電源投入時にのみ"1"に初期化されます。
ほかの種類のリセットは、このビットに影響を与えません。
クロック 1 系統品種でサブクロックモード設定時(SCKS=1,CSELR:SCEN=1)、本ビットは無効です。

SSVE	説明
0	サブクロックスーパバイザ禁止
1	サブクロックスーパバイザ許可(初期値)

[bit1] **予約**

必ず"0"を書き込んでください。

[bit0] **予約**

必ず"0"を書き込んでください。

4. 動作説明

クロックスーパバイザの動作について説明します。

CPU がメインクロックで動作中にメインクロックが停止した場合は、クロックが CR 発振器に置き換わった後、直ちにリセットされます。20-80µs の期間、クロックが入力されない場合、停止と判断します。メインクロックが停止したことを示すビットはレジスタに残るので、ソフトウェアで問題が起きた事を判断可能です。

CPU がサブクロックで動作中にサブクロックが停止した場合は、クロックが CR 発振器に置き換わった後、直ちにリセットされます。206-640µs の期間、クロックが入力されない場合、停止と判断します。サブクロックが停止したことを示すビットはレジスタに残るので、ソフトウェアで問題が起きた事を判断可能です。

CPU がメインクロックで動作中にサブクロックが停止した場合は、即時リセットは発生しません。サブクロックモードに移行した場合、CR クロックで動作します。サブクロックが停止したことは、レジスタで判定できます。

意図してメインクロックを停止させた場合、メインクロックスーパバイザは自動的に停止します。意図してサブクロックを停止させた場合、サブクロックスーパバイザは自動的に停止します。

スタンバイモード時の CR 発振を禁止しておくと、スタンバイモード遷移時、CR 発振器は自動的に停止します。スタンバイモードから復帰するときに、CR 発振器は自動的に再起動します。

＜注意事項＞

メインクロック停止検出後、メインクロックが CR 発振器に置き換わって動作しているとき、PLL 発振動作は許可しないでください。

以下にクロックスーパバイザの動作モードについて説明します。

4.1. 初期状態

初期状態について説明します。

初期設定時は、CR 発振器の発振、メインクロックスーパバイザ機能およびサブクロックスーパバイザ機能が許可されています。

■ CR 発振

電源投入時に発振が許可されます。

スタンバイモード時の発振許可ビット(CSVCR.RCE)に"0"を書き込んだ状態で、スタンバイモードに遷移したときのみ停止します。スタンバイモードが解除されると自動的に発振を再開します。

■ メインクロックスーパバイザ

初期値 ON 型格では、メイン発振安定待ち時間経過後に許可されます。
初期値 OFF 型格では、初期状態は不許可です。クロックスーパバイザの再許可を行うことで、許可することが可能です。

メインクロックスーパバイザが許可されている時に、メインクロックが停止した場合、メインクロックは CR 発振クロックで置き換えられます。

このとき、CSVCR レジスタの MM ビットが"1"になり、RST レベルのリセットが発生します。

【補足】
初期値 ON/OFF 型格について、詳細は、『概要」の章の『3. 品種構成』を参照してくだい。
メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

■ サブクロックスーパバイザ

内部 CR 発振器で計られるタイムアウト時間が経過した後に許可されます。

サブクロックスーパバイザが許可されている時に、サブクロックが停止した場合の振舞いは MCU がメインクロックで動作しているかサブクロックで動作しているかによって変わります。

・メインクロックモードの場合
メインクロックモードで動作中にサブクロックが停止した場合、サブクロックはCR発振クロックの2 分周に置き換わります。その後、CSVCR レジスタの SM ビットが"1"に設定されますが、リセットは発生されずメインクロックモードで動作し続けます。
この状態で、サブクロックモードに遷移した場合、CR 発振クロックで動作するサブクロックモードに遷移します。
・サブクロックモードの場合
サブクロックモードで動作中にサブクロックが停止した場合、CR 発振クロックの 2 分周がサブクロックに置き換わります。その後、CSVCR レジスタの SM ビットが"1"に設定されて、RST レベルのリセットが発生します。

4.2. CR 発振器およびクロックスーパバイザ機能の停止

CR 発振器およびクロックスーパバイザ機能の停止について説明します。

■ CR 発振器

CR 発振器は、スタンバイモード時のみ停止させる事ができます。スタンバイモード時の発振許可ビット(CSVCR.RCE)を"0"に設定してから、スタンバイモードに遷移してください。

メインクロックもしくはサブクロックに問題がある時に CR 発振器を停止することは禁止です。クロックに問題があるかないかは、CSVCR レジスタの MM ビットおよび SM ビットで確認できます。

【補足】
クロックに問題がある場合は、既に動作クロックが CR 発振クロックに置き換わっているので、CR 発振を停止すると動作クロックも停止してしまいます。

■ メインクロックスーパバイザ

CSVCR レジスタの MSVE ビットを"0"に設定します。

■ サブクロックスーパバイザ

CSVCR レジスタの SSVE ビットを"0"に設定します。

4.3. クロックスーパバイザ再許可

クロックスーパバイザ再許可について説明します。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能を再許可するには､CSVCR レジスタの MSVE ビットを"1"に設定します。

CR 発振器が停止している状態で、メインクロックスーパバイザ機能を許可することは禁止です。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

■ サブクロックスーパバイザ

サブクロックスーパバイザ機能を再許可するには、CSVCR レジスタの SSVE ビットを"1"に設定します。
CR 発振器が停止している状態で、サブクロックスーパバイザ機能を許可することは禁止です。

4.4. サブクロックモード

サブクロックモードについて説明します。

メインクロックスーパバイザ機能が許可されている状態で、デバイスがサブクロックモードに遷移すると、メインクロックスーパバイザ機能は自動的に停止します。

許可ビット(CSVCR.MSVE)は"0"になりません。

デバイスが、サブクロックモードからメインクロックモードに遷移すると、メインクロックの発振安定待ち時間経過後に、メインクロックスーパバイザ機能は再び許可されます。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインクロックスーパバイザ機能が許可され、メインクロック停止が検知されます。

4.5. ストップモード

ストップモードについて説明します。

■ CR 発振器

ストップモード時の発振許可ビット(CSVCR.RCE)が"0"に設定されている場合、ストップモードに遷移することで発振が停止します。
ストップモード解除後、自動的に再許可されます。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能が許可されている状態で、ストップモードに遷移すると、自動的に停止します。
メインクロックスーパバイザ許可ビット(CSVCR.MSVE)は"0"になりません。
ストップモード解除後、メイン発振安定待ち時間を待って、自動的に再許可されます。

【補足】

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパバイザが許可されません。
その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパバイザ機能が許可され、メインクロック停止が検知されます。

＜注意事項＞

メインクロックスーパバイザ機能が禁止されている状態で、ストップモードに遷移した場合は、ストップモードが解除後も禁止のままです。

■ サブクロックスーパバイザ

サブクロックスーパバイザ機能が許可されている状態で、ストップモードに遷移すると、自動的に停止します。
サブクロックスーパバイザ許可ビット(CSVCR.SSVE)は"0"になりません。
ストップモード解除後、メイン発振安定待ち時間を待って、自動的に再許可されます。

＜注意事項＞

サブクロックスーパバイザ機能が禁止されている状態で、ストップモードに遷移した場合は、ストップモードが解除後も禁止のままです。

4.6. 時計モード

時計モードについて説明します。

■ メインクロックスーパバイザ

メインクロックスーパバイザ機能は時計モードへの遷移に影響を受けません。

メインクロックスーパバイザ機能が許可されていてかつ RTC にメインクロックが接続されている場合は、メインクロックが停止すると CR 発振クロックに切換わり、リセットを発行します。時計モードは解除され、RTC は初期化されます。

メインクロックスーパバイザ機能が禁止されていてかつ RTC にメインクロックが接続されている場合は、メインクロックが停止しても検出をしないため、単に RTC クロックが停止します。

■ サブクロックスーパバイザ

サブクロックスーパバイザ機能は時計モードへの遷移に影響を受けません。

サブクロックスーパバイザ機能が許可されていてかつ RTC にサブクロックが接続されている場合は、サブクロックが停止すると CR 発振クロックに切り換わりますが、リセットは発行されません。

サブクロックスーパバイザ機能が禁止されていてかつ RTC にサブクロックが接続されている場合は、サブクロックが停止しても検出をしないため、単に RTC クロックが停止します。

4.7. クロックスーパバイザによるリセット要因の確認

クロックスーパバイザによるリセット要因の確認について示します。

クロックスーパバイザがクロックの問題を検知してリセットが発生したかどうかを調べる方法は以下のとおりです。
まず、RSTRR レジスタ(『リセット』の章の『4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)』を参照してください)を読み出してリセット要因を確認します。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
RSTRR レジスタの ERST ビットが"1"になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部電源低電圧検出、クロックスーパバイザリセット、もしくは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生したことを示します。

[MB91F52xxxD]
RSTRR レジスタの ERST ビットが"1"になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部電源低電圧検出、クロックスーパバイザリセットのいずれかが発生したことを示します。

この場合に、CSVCR レジスタを読み出して、MM ビットを確認してください。合わせて、RSTRR レジス

タ(『リセット』の章の『4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)』を参照してください)を読み出して、リセット要因を確認してください。

リセット要因は、以下のように確認できます。

表 4-1 リセット要因

MM	SM	リセット要因
1	0	メインクロックスーパバイザリセット
0	1	サブクロックスーパバイザリセット
1	1	メインクロックスーパバイザリセット もしくは サブクロックスーパバイザリセット

【補足】

MM/SM ビットは、電源投入および外部リセット以外ではクリアされませんので、RSTRR レジスタ(『リセット』の章の『4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)』を参照してください)を読み出してほかのリセット要因も合わせて確認する必要があります。

4.8. CR クロックからの切戻り

CR クロックからの切戻りについて示します。

■ メインクロックスーパバイザ

CPU はリセットからの回復後に MM ビットがセットされていたことを検出すると、メインクロックが停止して CR 発振クロックに切り換っていると判断できます。このとき、メインクロックが復旧していることを確認できれば、MM ビットに"0"を書き込むことによって、メインクロックに切り戻すことが可能です。

メインクロックが復旧していない場合、MM ビットへの"0"書込みは何の影響をあたえません。MM ビットは"1"を保持し続けます。

MM ビットに"0"を書き込んだ時にメインクロックが動作していた場合、MM ビットはクリアされ、クロックは同期ステージを経由してメインクロックに切り戻ります。

メインクロックが復旧するまで MM ビットをポーリングすることができます。

```
ldi #_csvcr,r1
clear_CSV_loop:
bandh #0b1001,@r1 ;; Clear MM+SM
btsth #0b0110,@r1 ;; Check: Is one of them 1?
bne clear_CSV_loop
```

＜注意事項＞

メインクロックの切戻しを行う場合、PMUCTLR.SHDE に"0"を設定してください。

■ サブクロックスーパバイザ

CPU は SM ビットがセットされていたことを検出すると、サブクロックが停止して CR 発振クロックに切り換っていると判断できます。このとき、サブクロックが復旧していることを確認できれば、SM ビットに"0"を書き込むことによって、サブクロックに切り戻すことが可能です。

サブクロックが復旧していない場合、SM ビットへの"0"書込みは何の影響をあたえません。SM ビットは"1"を保持し続けます。

SM ビットに"0"を書き込んだ時にサブクロックが動作していた場合、SM ビットはクリアされ、クロックは同期ステージを経由してサブクロックに切り戻ります。

サブクロックが復旧するまで SM ビットをポーリングすることができます(メインクロックスーパバイザと同じ方法が使用できます)。

＜注意事項＞

サブクロックの切戻しを行う場合、PMUCTLR.SHDE に"0"を設定してください。

4.9. SCKS ビット設定によるサブクロックモード

SCKS ビット設定によるサブクロックモードについて示します。

クロック 1 系統の品種で SCKS ビットを"1"に設定している場合、CR クロックの 2 分周(50kHz)をクロック源とするサブクロックモードを使用することができます。

実際にサブクロックモードを選択する手順については『クロック』の章を参照してください。

Chapter 35: レギュレータ制御

レギュレータ制御について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : BZLVDR_REGU-2v1-91520-8-J

1. 概要

レギュレータ制御の概要について説明します。

内部電圧を生成しているレギュレータの動作は、デバイス状態遷移に応じて自動的に変更されます。以下の 2 つのレギュレータモードに自動的に変更されます。

・メインモード(shutdown 時以外)
・スタンバイモード(ストップ(shutdown)・時計モード(shutdown)時)

2. 特長

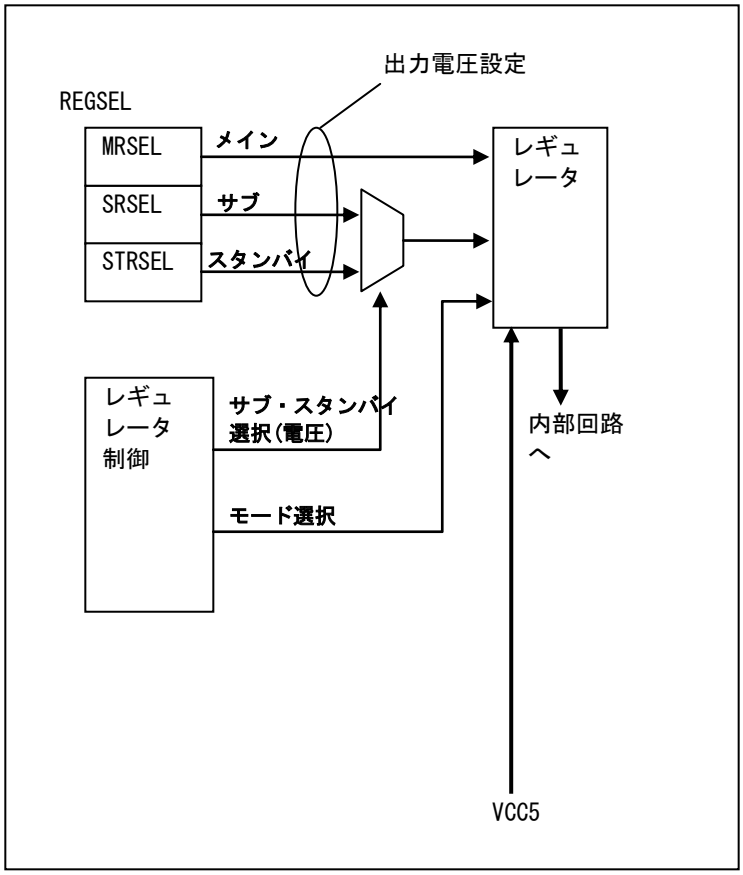
レギュレータ制御の特長について説明します。

デバイス状態遷移に応じて、自動的にレギュレータモードを変更する。

3. 構成

レギュレータ制御の構成について説明します。

図 3-1 レギュレータ制御概略図



＜注意事項＞

サブモードとスタンバイモードの違いは、出力電圧設定のみです。

4. レジスタ

レギュレータ制御のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0580	REGSEL	予約	予約	予約	レギュレータ出力電圧選択レジスタ

4.1. レギュレータ出力電圧選択レジスタ ：REGSEL (REGulator output voltage SELect register)

レギュレータ出力電圧選択レジスタのビット構成について示します。

メイン・サブ・スタンバイの各レギュレータモードの出力電圧レベルを選択するレジスタです。

■ REGSEL: アドレス 0580$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MRSEL[1:0]		SRSEL[1:0]		STRSEL[2:0]			予約
初期値	0	1	1	0	0	1	1	0
属性	R/W0	R/W1	R/W1	R/W0	R/W1	R/W1	R/W0	R0,WX

[bit7, bit6] MRSEL[1:0] (Main Regulator voltage SELect)
メインレギュレータ(レギュレータモード: メインモード)出力電圧レベルを設定します。

MRSEL[1:0]	メインレギュレータ出力電圧
00	予約
01	1.2±0.1V
10	予約
11	予約

[bit5, bit4] SRSEL[1:0] (Sub Regulator voltage SELect)
サブレギュレータ(レギュレータモード: サブモード)出力電圧レベルを設定します。

SRSEL[1:0]	サブレギュレータ出力電圧
00	予約
01	予約
10	1.2±0.1V
11	予約

[bit3～bit1] STRSEL[2:0] (STandby Regulator voltage SELect)

スタンバイレギュレータ(レギュレータモード: スタンバイモード)出力電圧レベルを設定します。

STRSEL[2:0]	スタンバイレギュレータ出力電圧
000	予約
001	予約
010	予約
011	0.9±0.1V
100	予約
101	予約
110	1.2±0.1V
111	予約

＜注意事項＞

本設定値は必ず 1.2V(STRSEL[2:0]=110)にして使用してください。

[bit0] 予約

5. 動作説明

レギュレータ制御の動作について説明します。

スタンバイモードに入る前に、STRSEL[2:0]を"110"に設定してください。リセット直後はこの値に設定されていないので注意してください。

Chapter 36: 外部バスインタフェース

外部バスインタフェースについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FR81S10_EBI-1v1-91520-9-J

1. 概要

外部バスインタフェースの概要について説明します。

外部バスインタフェースの各機能について解説します。

外部バスインタフェースは以下の型格で使用可能です。

MB91F52xK(144pin), MB91F52xL(176pin)

2. 特長

外部バスインタフェースの特長について説明します。

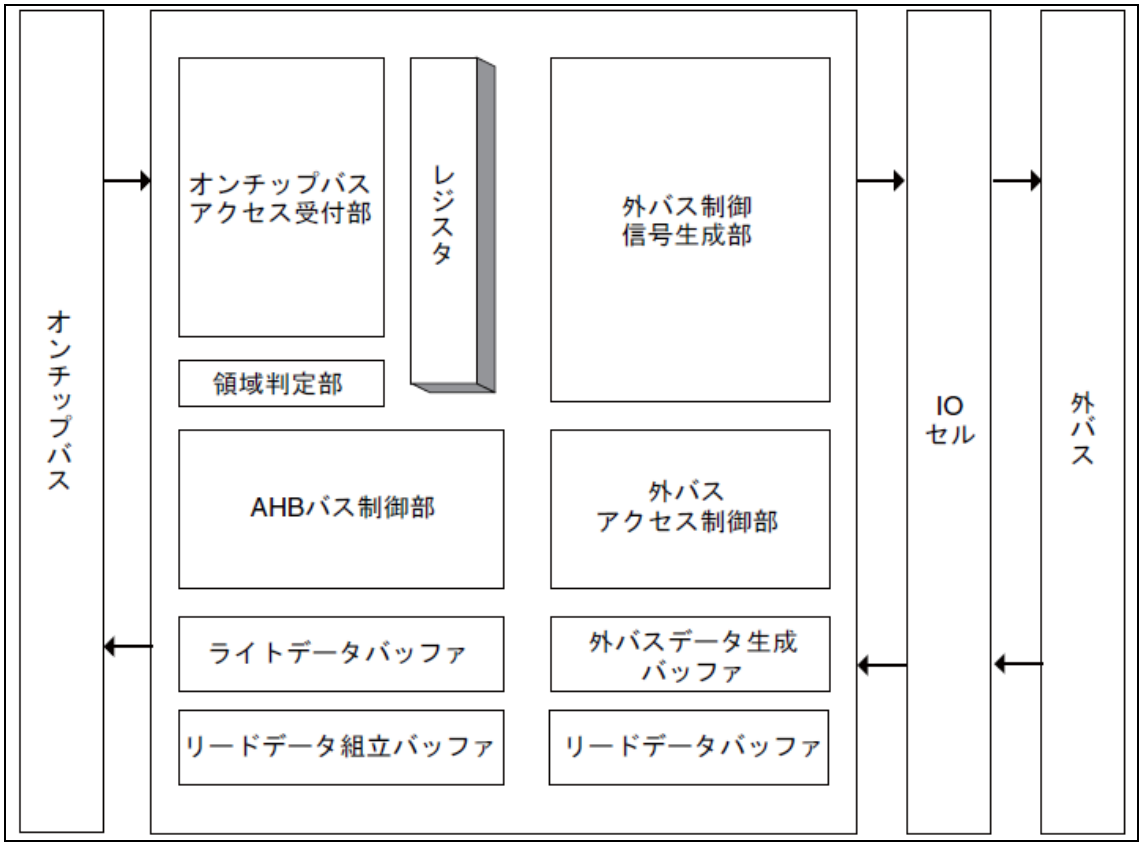
- 最大 22 ビット長 (4M バイト空間) のアドレスを出力。(ACR0～ACR3:ADTY ビットの設定によっては最下位 1 ビットを固定扱いにしてその分上位ビットを 1 ビット拡張して、8M バイト空間に拡張できます。)
- アドレス・データスプリットバス対応
  - 非同期メモリ接続可能。
- アドレス・データマルチプレックスバス対応。
- 独立した 4 個チップセレクト領域 (以下 CS 領域とする) を設定でき、それぞれに対応したチップセレクト出力が可能。
- 各 CS 領域のサイズは 64K バイト～4M バイトの範囲で 16 とおり設定可能。
- 各 CS 領域は外バス領域内の任意の位置に設定可能。
- CS 領域ごとに以下の機能が独立に設定可能。
  - 有効・無効。
  - データバス幅 (8 ビット/16 ビット)
  - 書込み禁止 (読出し専用) 設定
  - バイトオーダ
    - CS0 領域 : ビッグエンディアン
    - CS0 領域以外 : ビッグ/リトルエンディアンサポート
  - アドレスシフト出力モード
- CS 領域ごとにバスタイプが選択可能。
  - アドレス・データスプリットバス
  - アドレス・データマルチプレックスバス
  - タイプ 0(バイトライトストローブ信号出力)
- CS 領域ごとに以下のタイミング設定が可能
  - リード/ライトアクセス共通
    - アドレス -> CS 信号セットアップサイクル数
    - アドレスストローブ信号出力サイクル数
    - 外部レディ入力によるリード/ライトバスサイクルの延長
  - リードアクセス
    - リードアクセス自動ウェイト
    - CS 信号 -> リードストローブ信号セットアップサイクル数
    - リードストローブ信号 -> CS 信号ホールドサイクル数

・リードアクセス -> ライトアクセス間へのアイドルサイクル挿入
・ライトアクセス
・ライトアクセス自動ウェイト
・CS 信号 -> ライトストローブ信号セットアップサイクル数
・ライトストローブ信号 -> CS 信号ホールドサイクル数
・ライトリカバリーサイクル挿入
・アドレス・データマルチプレックスバス
・アドレス出力サイクル数

3. 構成

外部バスインタフェースの構成について説明します。

図 3-1 外部バスインタフェースのブロックダイヤグラム



4. レジスタ

外部バスインタフェースのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0600	ASR0				CS0 領域レジスタ
0x0604	ASR1				CS1 領域レジスタ
0x0608	ASR2				CS2 領域レジスタ
0x060C	ASR3				CS3 領域レジスタ
0x0640	ACR0				CS0 バス設定レジスタ
0x0644	ACR1				CS1 バス設定レジスタ
0x0648	ACR2				CS2 バス設定レジスタ
0x064C	ACR3				CS3 バス設定レジスタ
0x0680	AWR0				CS0 ウェイトレジスタ
0x0684	AWR1				CS1 ウェイトレジスタ
0x0688	AWR2				CS2 ウェイトレジスタ
0x068C	AWR3				CS3 ウェイトレジスタ
0x06C0	予約 (DMAR0)				ch.0 外部 DMA 転送レジスタ (本シリーズではサポートしていません)
0x06C4	予約 (DMAR1)				ch.1 外部 DMA 転送レジスタ (本シリーズではサポートしていません)
0x06C8	予約 (DMAR2)				ch.2 外部 DMA 転送レジスタ (本シリーズではサポートしていません)
0x06CC	予約 (DMAR3)				ch.3 外部 DMA 転送レジスタ (本シリーズではサポートしていません)

4.1. CS 領域設定レジスタ ：ASR0～ASR3 (Area Setting Register 0-3)

CS 領域設定レジスタのビット構成について示します。

CS 領域 CS0-3 の領域の設定を行うレジスタです。1 つの CS 領域に対して 1 つの ASR レジスタを持ちます。CS 領域は重なり合わないように設定してください。このレジスタの設定手順は「5.10. CS 設定フロー」を参照してください。

■ **ASR0： アドレス 0600$_H$ (アクセス:ワード)**

■ **ASR1： アドレス 0604$_H$ (アクセス: ワード)**

■ **ASR2： アドレス 0608$_H$ (アクセス: ワード)**

■ **ASR3： アドレス 060C$_H$ (アクセス: ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	SADR[31:24]							
初期値	*1	*1	*1	*1	*1	*1	*1	*1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	SADR[23:16]							
初期値	*1	*1	*1	*1	*1	*1	*1	*1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	*1	*1	*1	*1	*1	*1	*1	*1
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ASZ[3:0]				予約	WREN	LEDN	CSEN
初期値	*1	*1	*1	*1	*1	*1	*1	*1
属性	R/W	R/W	R/W	R/W	R0,W0	R/W	R/W*2	R/W

*1: [初期値]　ASR0　　0000_0000_0000_0000_0000_0000_1111_0001$_B$
ASR0 以外 XXXX_XXXX_XXXX_XXXX_0000_0000_XXXX_0XX0$_B$

*2:ASR0 では R0,W0

[bit31～bit16] SADR[31:16] (Start ADdRess): CS 領域開始アドレス

CS 領域の開始アドレスを指定します。ASR0 の初期値は"0000_0000_0000_0000"、ASR0 以外の初期値は不定です。開始アドレスは、32 ビットアドレスの上位 16 ビットを設定します。CS 領域はこのレジスタに設定されたアドレスから始まる ASZ[3:0]で設定された範囲の領域となります。CS 領域のバウンダリは、本レジスタの bit7-4:ASZ[3:0]の設定にしたがって決まります。例えば、ASZ[3:0]=0100 とし 1M バイトの CS 領域を設定した場合は、SADR の bit[19:16]は無視され、SADR[31:20]のみが意味を持ちます。

＜注意事項＞

CS 領域に割り当て可能なアドレス範囲は品種により異なります。『付録』を参照してください。

[bit15～bit8] 予約

必ず"0"を書き込んでください。

[bit7～bit4] ASZ[3:0] (Area SiZe): CS 領域サイズ

CS 領域のサイズを以下のとおり設定します。また、その際に実際にアドレスと比較される SADR のビット位置を示します。

ASZ[3:0]	CS 領域のサイズ	実際にアドレスと比較される SADR のビット
0000	64K バイト	SADR[31:16]
0001	128K バイト	SADR[31:17]
0010	256K バイト	SADR[31:18]
0011	512K バイト	SADR[31:19]
0100	1M バイト	SADR[31:20]
0101	2M バイト	SADR[31:21]
0110	4M バイト	SADR[31:22]
0111	8M バイト	SADR[31:23]
1000	16M バイト	SADR[31:24]
1001	32M バイト	SADR[31:25]
1010	64M バイト	SADR[31:26]
1011	128M バイト	SADR[31:27]
1100	256M バイト	SADR[31:28]

ASZ[3:0]	CS 領域のサイズ	実際にアドレスと比較される SADR のビット
1101	512M バイト	SADR[31:29]
1110	1G バイト	SADR[31:30]
1111	2G バイト (初期値)	SADR[31]

[bit3] 予約
必ず"0"を書き込んでください。

[bit2] WREN (Write Enable): ライトイネーブル
CS 領域への書込みの有効・無効を設定します。

WREN	書込み有効・無効
0	書込み無効
1	書込み有効

ASR0 の初期値は"0"、それ以外の ASR の初期値は不定です。

書込み無効の領域に対する書込みが内部バスから発生した場合、そのアクセスは無視され外部アクセスを一切行いません。データ領域など書込みが必要な領域は、WREN を"1"に設定してください。

[bit1] LEDN (Little EnDiaN): リトルエンディアン
LEDN は CS 領域のバイトオーダを設定します。
ASR0 にはこのビットはありません。常に"0"が読み出されます。

LEDN	Endian
0	ビッグエンディアン
1	リトルエンディアン

ASR0 以外の初期値は不定です。

[bit0] CSEN (Chip Select ENable): CS 領域イネーブル
CS 領域の有効・無効を設定します。CSEN に"1"を設定することにより、ASR レジスタ、ACR レジスタ、AWR レジスタの設定に従い、動作を開始します。

CSEN	CS 領域の有効・無効
0	無効
1	有効

ASR0 の初期値は"1"、それ以外の ASR の初期値は"0"です。

4.2. CS バス設定レジスタ ：ACR0～ACR3 (Area Configuration Register 0～3)

CS バス設定レジスタのビット構成について示します。

CS 領域のバス設定を行うレジスタです。1 つの CS 領域に対して 1 つの ACR レジスタを持ちます。このレジスタの設定手順は「5.10. CS 設定フロー」を参照してください。

■ **ACR0： アドレス 0640$_H$ (アクセス: ワード)**

■ **ACR1： アドレス 0644$_H$ (アクセス: ワード)**

■ **ACR2： アドレス 0648$_H$ (アクセス: ワード)**

■ **ACR3： アドレス 064C$_H$ (アクセス: ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DBW[1:0]		予約		ADTY	BSTY	予約	予約
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R0,W0	R0,W0	R/W	R/W	RX,W0	RX,W0

* [初期値] ACR0 0000_0000_0000_0000_0000_0000_0100_0000$_B$
ACR0 以外 0000_0000_0000_0000_0000_0000_XX00_XX0X$_B$

[bit31～bit8] 予約
必ず"0"を書き込んでください。

[bit7, bit6] DBW[1:0] (Data Bus Width): データバス幅
データバス幅を設定します。

DBW[1:0]	データバス幅	使用されるビット位置 D31～D16
00	8bit	D[31:24]
01	16bit	D[31:16]
10	Reserved (32bit)	―
11	Reserved (32bit)	―

本シリーズでは 32 ビットデータバス幅はサポートしていません。
ACR0 の初期値は"01"です。ACR0 以外の初期値は不定です。

[bit5, bit4] 予約
必ず"0"を書き込んでください。

[bit3] ADTY (ADdress output TYpe): アドレスタイプ
アドレス出力タイプを設定します。

ADTY	説明
0	通常出力
1	16 ビット時においてアドレスを 1 ビットシフトして出力します。 詳細は「5.6. アドレス情報」を参照してください。

ACR0 の初期値は"00"、それ以外の ASR の初期値は不定です。

[bit2] BSTY (BuS TYpe): バスタイプ
バスタイプを設定します。

BSTY	説明
0	アドレス・データスプリットバス
1	アドレス・データマルチプレックスバス

ACR0 の初期値は"00"、それ以外の ASR の初期値は不定です。

[bit1, bit0] 予約
必ず"0"を書き込んでください。

4.3. CS ウェイトレジスタ ：AWR0～AWR3 (Area Wait Register 0～3)

CS ウェイトレジスタのビット構成について示します。

CS 領域 CS0～CS3 の、各種ウェイトの設定を行うレジスタです。1 つの CS 領域に対して 1 つの AWR レジスタを持ちます。このレジスタの設定手順は「5.10. CS 設定フロー」を参照してください。

- **AWR0： アドレス 0680$_H$ (アクセス: ワード)**
- **AWR1： アドレス 0684$_H$ (アクセス: ワード)**
- **AWR2： アドレス 0688$_H$ (アクセス: ワード)**
- **AWR3： アドレス 068C$_H$ (アクセス: ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約				RWT[3:0]			
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	WWT[3:0]				RIDL[1:0]		WRCV[1:0]	
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CSRD[1:0]		RDCS[1:0]		CSWR[1:0]		WRCS[1:0]	
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADCY[1:0]		ACS[1:0]		ASCY	予約	RDYE	予約
初期値	*	*	*	*	*	*	*	*
属性	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W	R0,W0

* [初期値] AWR0 0000_1111_0000_0000_1111_0000_0000_0000$_B$
AWR0 以外 0000_XXXX_XXXX_XXXX_XXXX_XXXX_XXXX_X0X0$_B$

[bit31～bit28] 予約
必ず"0"を書き込んでください。

[bit27～bit24] RWT[3:0] (Read access auto WaiT): リードアクセスオートウェイト
RWT[3:0]は、リードアクセスサイクルにおけるデータ取込み時のオートウェイトサイクル数を設定します。

RWT[3:0]	リードアクセスウェイト
0000	0 サイクル
0001	1 サイクル
0010	2 サイクル
0011	3 サイクル
～	～
1110	14 サイクル
1111	15 サイクル(AWR0 初期値)

[bit23～bit20] WWT[3:0] (Write access auto WaiT): ライトアクセスオートウェイト
WWT[3:0]は、ライトアクセスサイクルにおけるオートウェイトサイクル数を設定します。

WWT[3:0]	ライトアクセスウェイト
0000	0 サイクル(AWR0 初期値)
0001	1 サイクル
0010	2 サイクル
0011	3 サイクル
～	～
1110	14 サイクル
1111	15 サイクル

[bit19, bit18] RIDL[1:0] (Read access IDLe cycle): リードアクセスアイドルサイクル
RIDL[1:0]は出力オフタイムが長いデバイスからのリードデータと、それに続くアクセスに関係するデータのデータバス上での衝突を防ぐ目的で設定します。
リードアクセスに連続して下記の何れかに当てはまるアクセスが行なわれる場合、リードアクセス終了後 RIDL に設定されたアイドルサイクルが挿入されます。

- ライトアクセス
- 別の CS 領域へのアクセス
- アドレス・データマルチプレックスバスタイプに設定された CS 領域に対するアクセス

スプリットバスタイプ (ACR:BSTY=0) に設定された同一 CS 領域に対するリードアクセスが連続する場合は、RIDL によるアイドルサイクルの挿入は行われません。アイドルサイクル中はすべての CS 信号をネゲートし、データ端子はハイインピーダンス状態になります。

RIDL[1:0]	リードアクセスアイドルサイクル
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit17, bit16] WRCV[1:0] (Write ReCoVery cycle): ライトリカバリサイクル

WRCV[1:0]はライトリカバリサイクルの設定であり、ライトアクセス後に続けてアクセスする際にその間隔に制限があるデバイスへのアクセスを制御するために設定します。ライトリカバリサイクル中はすべてのチップセレクト信号をネゲートし、ライトストローブ信号WRnX (n=0, 1)もネゲート状態を保ちます。またこの期間内は新たなアクセスは開始されません。

ライトリカバリサイクルを 1 サイクル以上に設定した場合、ライトアクセスの後には必ずライトリカバリサイクルが挿入されます。

WRCV[1:0]	ライトリカバリサイクル
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit15, bit14] CSRD[1:0] (CSnX to RDX setup cycle): CSnX to RDX セットアップサイクル

CSRD[1:0]はリードアクセスのCSnX → RDXセットアップサイクルの設定であり、CSnXアサート後にRDXをアサートするまでの期間を設定します。

アドレス・データマルチプレックスバス (ACR:BSTY=1) 設定時は、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

$$ACS + CSRD \geqq 1 \text{ かつ } ACS + CSWR \geqq 1$$

CSRD[1:0]	CSnX → RDX セットアップ延長サイクル
00	0 サイクル
01	1 サイクル
10	2 サイクル
11	3 サイクル(AWR0 初期値)

[bit13, bit12] RDCS[1:0] (RDX to CSnX hold cycle): RDX to CSnX ホールドサイクル

RDCS[1:0]はリードアクセスの RDX → CSnX ホールドサイクルの設定であり、RDX ネゲート後に CSnX をネゲートするまでの期間を設定します。

RDCS[1:0]	RDX → CSnX ホールド延長サイクル
00	0 サイクル
01	1 サイクル
10	2 サイクル
11	3 サイクル(AWR0 初期値)

[bit11, bit10] CSWR[1:0] (CSnX to WRnX setup cycle): CSnX to WRnX セットアップサイクル

CSWR[1:0]はライトアクセスの CSnX → WRnX セットアップサイクルの設定であり、CSnX アサート後、WRnX をアサートするまでの期間を設定します。

アドレス・データマルチプレックスバス (ACR:BSTY=1) 設定時は、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

ACS + CSRD ≧ 1 かつ ACS + CSWR ≧ 1

CSWR[1:0]	CSnX → WRnX セットアップ延長サイクル
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit9, bit8] WRCS[1:0] (WRnX to CSnX hold cycle): WRnX to CSnX ホールドサイクル

WRCS[1:0]はライトアクセスの WRnX→CSnX ホールドサイクルの設定であり、WRnX ネゲート後に CSnX をネゲートするまでの期間を設定します。

WRCS[1:0]	WRnX → CSnX ホールド延長サイクル
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit7, bit6] ADCY[1:0] (ADdress CYcle): アドレス出力延長サイクル数

ADCY[1:0]はアドレス・データマルチプレックスバスタイプ設定 CS 領域へのアクセスにおける、データバスへのアドレス出力の延長サイクル数を設定します。このビットの設定は、アドレス・データマルチプレックスバスタイプ設定時のみにおいて有効です。

ADCY を 1 以上に設定する場合には、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

ADCY + 1 ≦ ACS + CSRD かつ ADCY + 1 ≦ ACS + CSWR

ADCY[1:0]	アドレス・データマルチプレックス時の アドレス出力延長サイクル数
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit5, bit4] ACS[1:0] (A00～A21 to CSnX delay cycle): A00～A21 to CSnX ディレイサイクル数

ACS[1:0]は A00～A21 および ASX 出力から CSnX 出力の遅延サイクル数を設定します。CSnX のアサートに対してアドレスが一定のセットアップを必要とする場合や、連続して同一チップセレクト領域にアクセスした場合にも CSnX のエッジを必要とする場合に使用します。

ACS[1:0]	A00～A21 → CSnX 遅延サイクル数
00	0 サイクル(AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit3] ASCY (ASX CYcle): ASX 出力延長サイクル数

ASCY は ASX 出力を何サイクル延長するかを設定します。ASX は最小で 1 サイクル出力されます。

ASCY	ASX 出力延長遅延サイクル数
0	0 サイクル(AWR0 初期値)
1	1 サイクル

[bit2] 予約

必ず"0"を書き込んでください。

[bit1] RDYE (RDY Enable): RDY イネーブル

RDYE は RDY 端子による外部からのウェイト挿入機能の有効・無効を設定します。

RDYE	RDY 端子有効
0	RDY 端子によるウェイト挿入無効(AWR0 初期値)
1	RDY 端子によるウェイト挿入有効

[bit0] 予約

必ず"0"を書き込んでください。

4.4. 外部 DMA 転送レジスタ ：DMAR0-3 (DMA transfer Register 0-3)

外部 DMA 転送レジスタのビット構成について示します。

DMA 転送用外部端子の設定を行うレジスタです。本シリーズではサポートしていません。

■ **DMAR0： アドレス 06C0$_H$ (アクセス: ワード)**

■ **DMAR1： アドレス 06C4$_H$ (アクセス: ワード)**

■ **DMAR2： アドレス 06C8$_H$ (アクセス: ワード)**

■ **DMAR3： アドレス 06CC$_H$ (アクセス: ワード)**

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	*	*	*	*	*	*	*	*
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				REQL	ACKMD	ACKL	EOPL
初期値	*	*	*	*	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W0	R/W0	R/W0	R/W0

* [初期値] 0000_0000_0000_0000_0000_0000_0000_0000$_B$

[bit31～bit4] 予約
必ず"0"を書き込んでください。

[bit3] REQL
ライトする場合は"0"を書き込んでください。

[bit2] ACKMD
ライトする場合は"0"を書き込んでください。

[bit1] ACKL
ライトする場合は"0"を書き込んでください。

[bit0] EOPL
ライトする場合は"0"を書き込んでください。

5. 動作説明

外部バスインタフェースの動作について説明します。

5.1. 外部端子表
5.2. 外バス信号プロトコル
5.3. アドレスアライメント
5.4. 分割アクセス
5.5. データアライメント
5.6. アドレス情報
5.7. アイドルサイクル挿入機能
5.8. 外バス出力信号タイミング設定
5.9. RDY 端子アクセスサイクル延長機能
5.10. CS 設定フロー
5.11. 非同期メモリとの接続例
5.12. リトルエンディアンデバイスとの接続例

5.1. 外部端子表

外部端子表について示します。

本シリーズでの外部バスインタフェース用外部端子を示します。

表 5-1 外部端子表

本シリーズでの外部端子	本シリーズでの端子番号						説明
	64pin	80pin	100pin	120pin	144pin	176pin	
SYSCLK	-	-	-	-	35	43	システムクロック出力
ASX	-	-	-	-	5	7	アドレスストローブ出力
CS0X	-	-	-	-	6	8	チップセレクト出力
CS1X	-	-	-	-	7	9	
CS2X	-	-	-	-	38	46	
CS3X	-	-	-	-	39	49	
RDX	-	-	-	-	8	10	リードストローブ出力
WR0X	-	-	-	-	9	11	ライトストローブ出力
WR1X	-	-	-	-	10	12	
RDY	-	-	-	-	41	51	バスレディ入力
D16	-	-	-	-	131	159	データ入出力/ アドレス出力 (アドレスマルチプレックス時)
D17	-	-	-	-	132	160	
D18	-	-	-	-	133	161	
D19	-	-	-	-	134	162	
D20	-	-	-	-	135	163	
D21	-	-	-	-	136	165	
D22	-	-	-	-	137	167	
D23	-	-	-	-	138	168	
D24	-	-	-	-	139	170	
D25	-	-	-	-	140	171	
D26	-	-	-	-	141	172	
D27	-	-	-	-	142	174	
D28	-	-	-	-	143	175	
D29	-	-	-	-	2	2	
D30	-	-	-	-	3	3	データ入出力/ アドレス出力 (アドレスマルチプレックス時)
D31	-	-	-	-	4	5	

本シリーズでの外部端子	本シリーズでの端子番号						説明
	64pin	80pin	100pin	120pin	144pin	176pin	
A00	-	-	-	-	11	14	アドレス出力
A01	-	-	-	-	12	15	
A02	-	-	-	-	13	17	
A03	-	-	-	-	14	18	
A04	-	-	-	-	15	19	
A05	-	-	-	-	16	20	
A06	-	-	-	-	17	21	
A07	-	-	-	-	20	24	
A08	-	-	-	-	21	25	
A09	-	-	-	-	22	26	
A10	-	-	-	-	23	29	
A11	-	-	-	-	24	30	
A12	-	-	-	-	25	31	
A13	-	-	-	-	26	32	
A14	-	-	-	-	27	33	
A15	-	-	-	-	28	34	
A16	-	-	-	-	29	35	
A17	-	-	-	-	30	37	
A18	-	-	-	-	31	39	
A19	-	-	-	-	32	40	
A20	-	-	-	-	33	41	
A21	-	-	-	-	34	42	

5.2. 外バス信号プロトコル

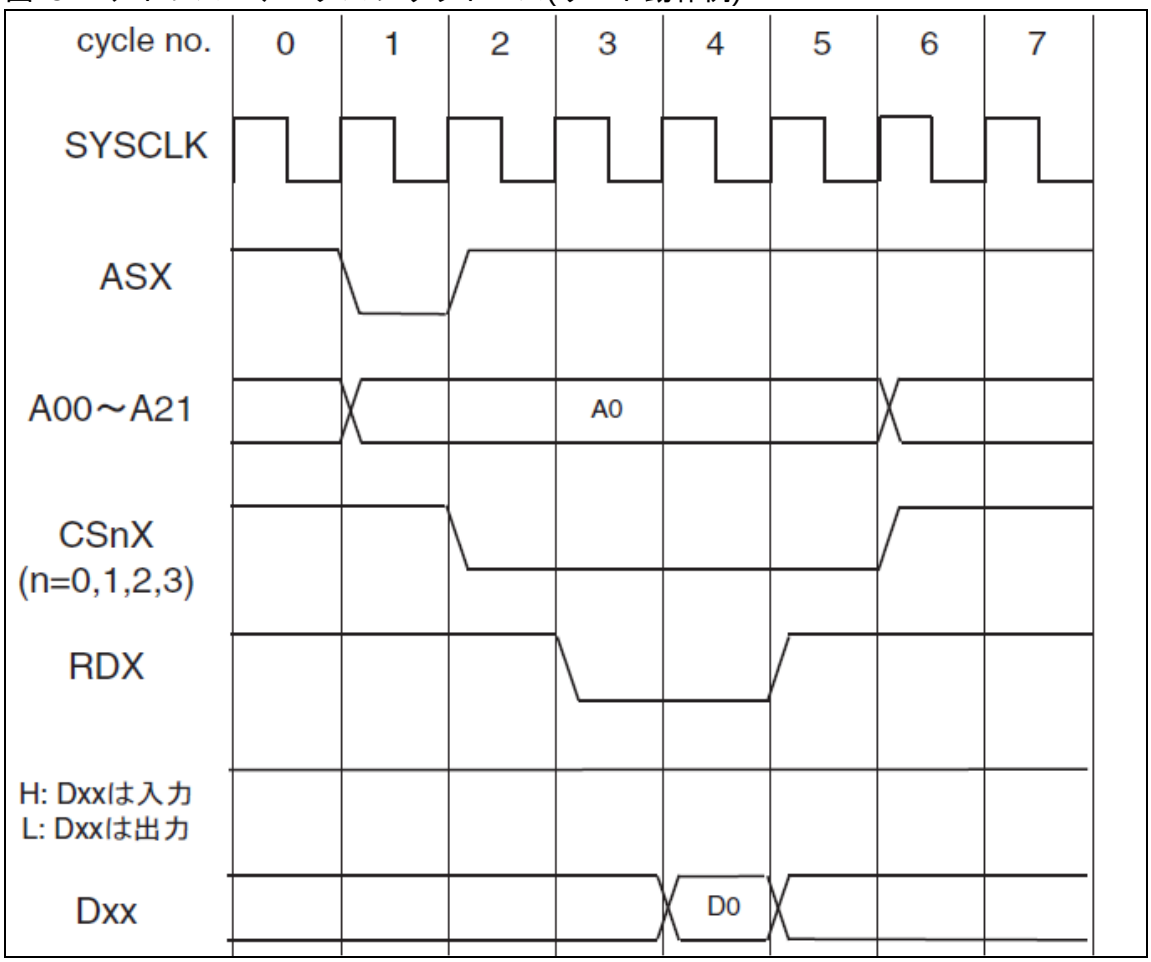
外バス信号プロトコルについて示します。

5.2.1. アドレス・データスプリットバス リードプロトコル

アドレス・データスプリットバス リードプロトコルについて示します。

アドレス・データスプリットバスにおけるリードアクセスのプロトコルを示します。

図 5-1 アドレス・データスプリットバス(リード動作例)



● **動作例説明**

cycle1 : ASX に"L"が 1 サイクル出力され、このサイクルからアクセスが開始されたことを示します。A00～A21 はこのサイクルよりアクセス先のアドレス情報を示します。

cycle2 : アクセス開始時より設定カウント終了後、CSnX (n=0～3)に"L"の出力を開始し、アクセス完了まで継続します。外バス上のデバイスはCSnX="L"の期間内でのみ、アクセスに対して処理を行う必要があります。

cycle3 : CSnX="L"の出力開始から設定カウント終了後 RDX に"L"が出力されます。外バスデバイスは RDX="L"で示されるストローブ期間内に D16～D31 にリードデータを返す必要があります。

cycle4 : RDX="L"の出力開始から設定カウント終了後 RDX の出力を"H"に戻します。本モジュールは RDX="L" 期間内の、最後の SYSCLK の立上りエッジで D16～D31 のデータを内部のバッファに取り込みます。

cycle5 : RDX="H"に戻してから設定カウント終了後 CSnX の出力を"H"に戻し、リードアクセス完了となります。この例ではこのサイクルの終わりで CSnX が"H"に戻りリードアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX
アクセスの開始を示します。また、アドレスストローブとしても機能します。
アクセス開始時から 1 または 2 サイクル期間の"L"パルスを出力します。

A00～A21
アクセス先のアドレス情報を出力します。
アクセス開始時より出力し、アクセス完了まで継続します。

CSnX (n=0～3)
アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が"L"の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L"の出力を開始し、アクセス完了まで継続します。

RDX
リードストローブ期間を示します。CSnX (n=0～3)駆動時より設定カウント終了後、リードアクセス時 "L"を出力します。リードオートウェイトカウント終了後"H"出力に戻します。外バスデバイスは RDX="L"の期間内に D16～D31 に有効なデータを返す必要があります。本モジュールは RDX="L"期間内の最後の SYSCLK の立上りエッジで、D16～D31 データを内部のバッファに取り込みます。

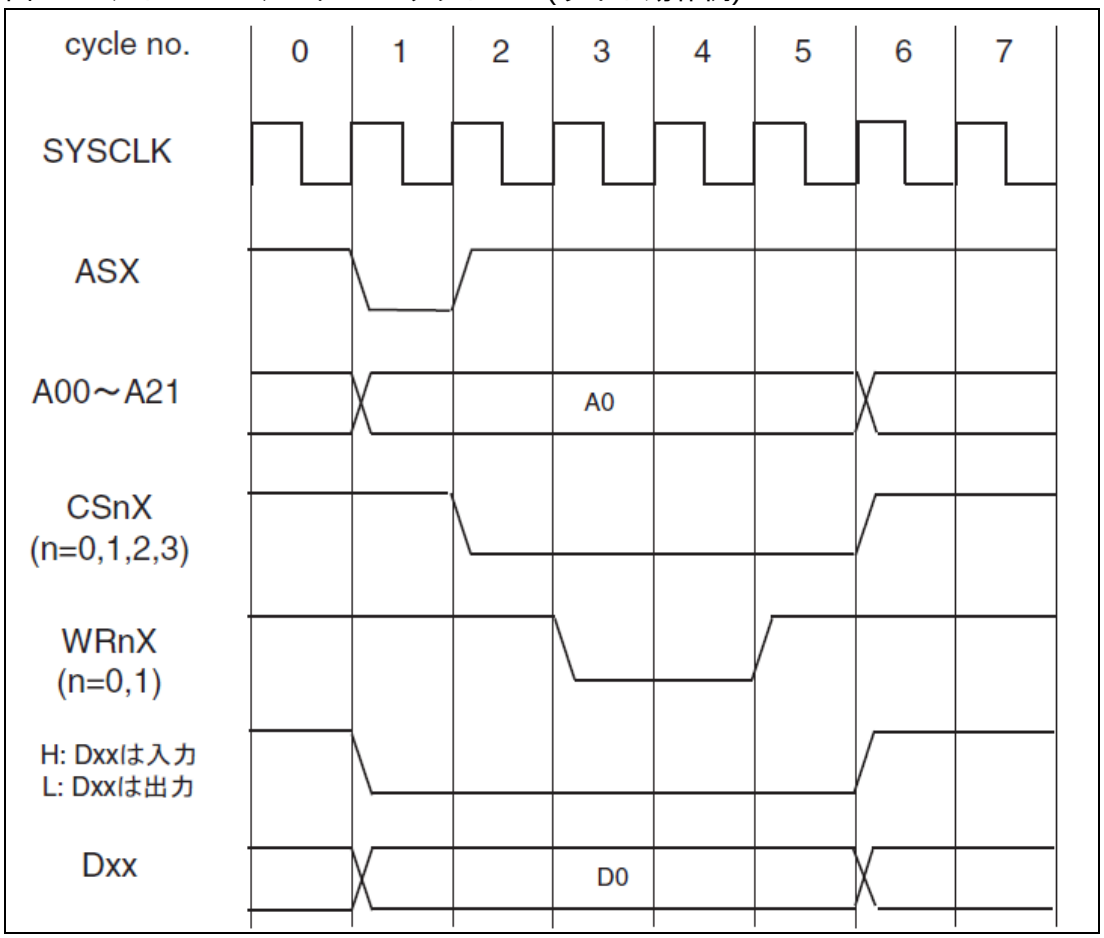
D16～D31
外バスデバイスは RDX="L"の期間内に D16～D31 に有効なデータを返す必要があります。本モジュールは RDX="L"期間内の最後の SYSCLK の立上りエッジで、D16～D31データを内部のバッファに取り込みます。

5.2.2. アドレス・データスプリットバス ライトプロトコル

アドレス・データスプリットバス ライトプロトコルについて示します。

アドレス・データスプリットバスにおけるライトアクセスのプロトコルを示します。

図 5-2 アドレス・データスプリットバス(ライト動作例)



● 動作例説明

cycle1 : ASX に"L"が 1 サイクル出力され、このサイクルからアクセスが開始されたことを示します。A00～A21 はこのサイクルより、アクセス先のアドレス情報を示します

cycle2 : アクセス開始から設定カウント終了後、CSnX (n=0～3)に"L"が出力されます。CSnX はアクセス完了まで"L"の出力を継続します。外バス上のデバイスは CSnX="L"の期間内でのみ、アクセスに対する処理を実行する必要があります。

cycle3 : CSnX に"L"の出力を開始してから設定カウント終了後、WRnX (n=0, 1)に"L"が出力されます。外バスデバイスは WRnX に"L"が出力されているライトストローブ期間内に D16～D31 の値を取り込む必要があります。

cycle4 : WRnX="L"出力開始から設定カウント終了後、WRnX を"H"出力に戻し、ライトストローブ期間を終了します。この例ではライトストローブ期間が 1 サイクル延長されています。このサイクルの終わりで WRnX を"H"出力に戻し、ストローブ期間を終了しています。

cycle5 : WRnX="H"に戻してから設定カウント終了後 CSnX の出力を"H"に戻し、ライトアクセス完了となります。この例ではこのサイクルの終わりで CSnX が"H"に戻りライトアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストローブとしても機能します。
アクセス開始時から 1 または 2 サイクル期間の"L"パルスを出力します。

A00～A21

アクセス先のアドレス情報を出力します。
アクセス開始時より出力し、アクセス完了まで継続します。

CSnX (n=0～3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が"L"の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L"の出力を開始し、アクセス完了まで継続します。

WRnX (n=0, 1)

ライトサイクルストローブ期間を示します。CSnX (n=0～3)駆動時よりカウント終了後、ライトアクセス時には"L "を出力します。ライトオートウェイトカウント終了後"H"出力に戻します。外バスデバイスは WRnX (n=0, 1)="L"の期間に、D16～D31 のデータを取り込む必要があります。

D16～D31

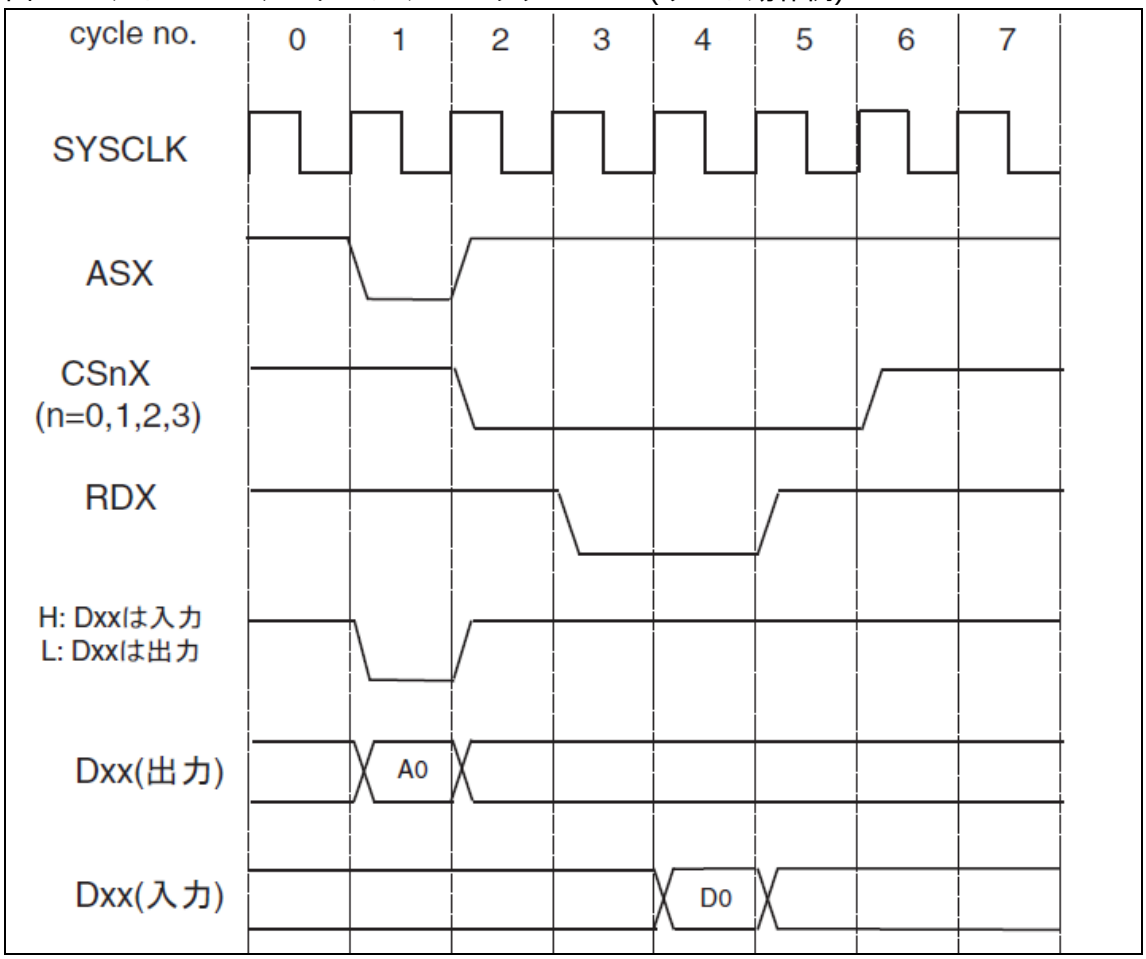
アクセス開始時からライトデータを出力します。アクセス完了まで、ライトデータの出力が継続されます。
外バスデバイスは WRnX="L"の期間内に D16～D31 のデータを取り込む必要があります。

5.2.3. アドレス・データマルチプレックスバス リードプロトコル

アドレス・データマルチプレックスバス リードプロトコルについて示します。

アドレス・データマルチプレックスバスにおけるリードアクセスのプロトコルを示します。

図 5-3 アドレス・データマルチプレックスバス (リード動作例)



● 動作例説明

cycle1 : ASX に"L"が出力され、このサイクルからアクセスが開始されたことを示しています。データバス D16～D31 にはアドレス情報 A0 が出力されます。ASX はこのアドレス情報のストローブ信号として機能します。このアドレス情報は設定カウントサイクル出力します。設定カウント終了後は D16～D31 は入力状態とします。

cycle2 : アクセス開始時より設定カウント終了後、CSnX (n=0～3)に"L"の出力を開始し、アクセス完了まで継続します。外バス上のデバイスはCSnX="L"の期間内でのみ、アクセスに対して処理を行う必要があります。

cycle3 : CSnX="L"の出力開始から設定カウント終了後 RDX に"L"が出力されます。外バスデバイスは RDX="L"で示されるストローブ期間内に D16～D31 にリードデータを返す必要があります。

cycle4 : RDX="L"の出力開始から設定カウント終了後 RDX の出力を"H"に戻します。RDX="L"期間内の、最後の SYSCLK の立上りエッジで D16～D31 のデータを内部のバッファに取り込みます。

cycle5 : RDX="H"に戻してから設定カウント終了後 CSnX (n=0～3)の出力を"H"に戻し、リードアクセス完了となります。この例ではこのサイクルの終わりで CSnX が"H"に戻りリードアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストローブとしても機能します。
アクセス開始時から 1 または 2 サイクル期間の"L"パルスを出力します。

CSnX (n=0～3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が"L"の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L"の出力を開始し、アクセス完了まで継続します。

RDX

リードストローブ期間を示します。CSnX (n=0～3)駆動時より設定カウント終了後、リードアクセス時 "L"を出力します。リードオートウェイトカウント終了後"H"出力に戻します。外バスデバイスは RDX="L"の期間内に D16～D31 に有効なデータを返す必要があります。本モジュールは RDX="L"期間内の最後の SYSCLK の立上りエッジで、D16～D31 のデータを内部のバッファに取り込みます。

D16～D31

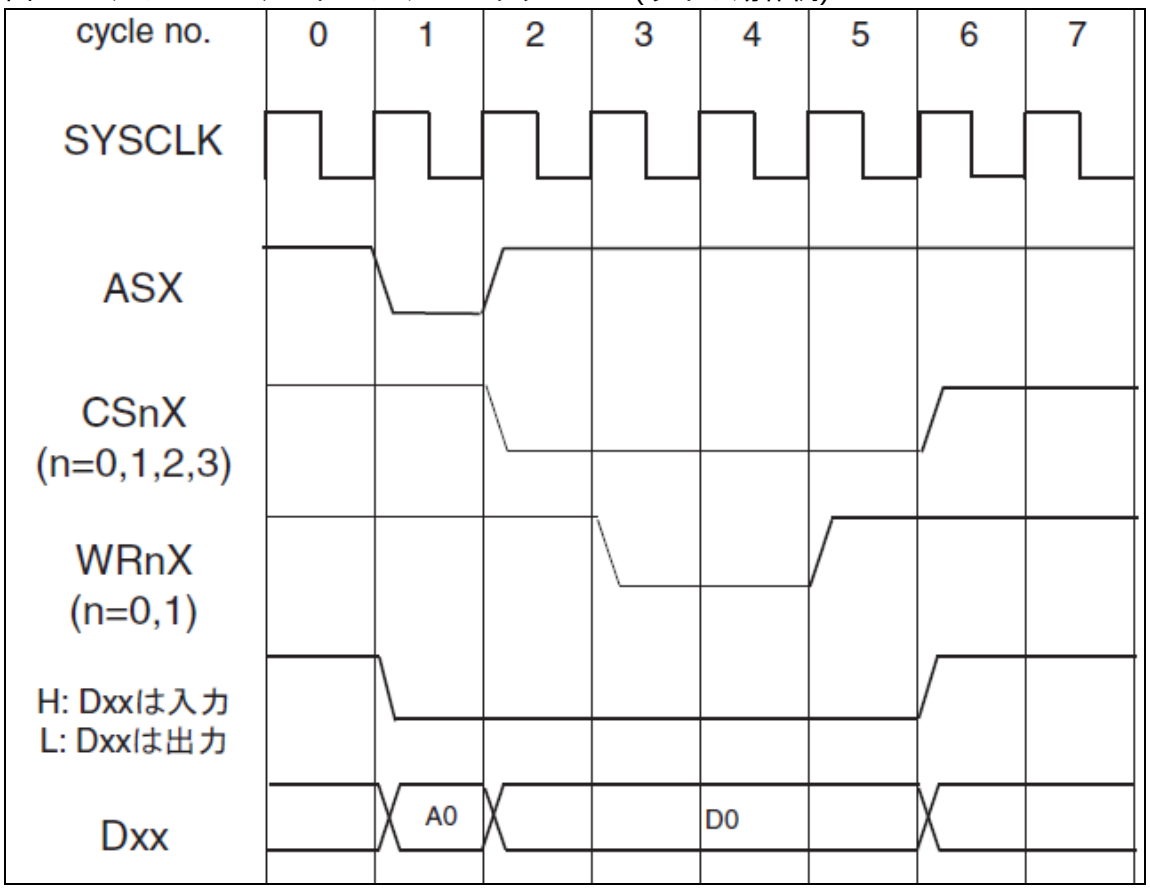
アクセス開始時からアドレス情報を出力します。設定カウント終了後入力状態となり、外バスデバイスからのリードデータを受け付けます。本モジュールは RDX="L"期間内の最後の SYSCLK の立上りエッジで、D16～D31 のデータを内部のバッファに取り込みます。

5.2.4. アドレス・データマルチプレックスバス ライトプロトコル

アドレス・データマルチプレックスバス ライトプロトコルについて示します。

アドレス・データマルチプレックスバスにおけるライトアクセスのプロトコルを示します。

図 5-4 アドレス・データマルチプレックスバス(ライト動作例)



● 動作例説明

cycle1 : アクセス開始サイクルです。アクセス開始を示す ASX に"L"が出力されます。D16～D31 にはアドレス情報が出力されます。ASX はこのアドレス情報のストローブ信号として機能します。このアドレス情報は設定カウントサイクル出力します。

cycle2 : アクセス開始時より設定カウント終了後、CSnX (n=0～3)に"L"の出力を開始し、アクセス完了まで継続します。外バス上のデバイスはCSnX="L"の期間内でのみ、アクセスに対して処理を行う必要があります。

cycle3 : CSnX に"L"の出力を開始してから設定カウント終了後、WRnX (n=0, 1)に"L"が出力されます。外バスデバイスは WRnX="L"で示されるライトストローブ期間内に D16～D31 の値を取り込む必要があります。

cycle4 : WRnX="L"出力開始から設定カウント終了後、WRnX を"H"出力に戻し、ライトストローブ期間を終了します。この例ではライトストローブ期間が 1 サイクル延長されています。このサイクルの終わりで WRnX を"H"出力に戻し、ライトストローブ期間を終了しています。

cycle5 : WRnX="H"に戻してから設定カウント終了後 CSnX の出力を"H"に戻し、ライトアクセス完了となります。この例ではこのサイクルの終わりで CSnX が"H"に戻りライトアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX
アクセスの開始を示します。また、アドレスストローブとしても機能します。
アクセス開始時から 1 または 2 サイクル期間の"L"パルスを出力します。

CSnX (n=0～3)
アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が"L"の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L"の出力を開始し、アクセス完了まで継続します。

WRnX (n=0, 1)
ライトストローブ期間を示します。CSnX 駆動時よりカウント終了後、ライトアクセス時には"L "を出力します。ライトオートウェイトカウント終了後"H"出力に戻します。外バスデバイスは WRnX="L"の期間に、D16～D31 のデータを取り込む必要があります。

D16～D31
アクセス開始時から、アクセス先のアドレス情報を出力します。設定カウント終了後ライトデータの出力を開始し、アクセス完了まで継続します。外バスデバイスはライトストローブ期間内に D16～D31 の値を取り込む必要があります。

5.3. アドレスアライメント

アドレスアライメントについて示します。

外部バスインタフェースは、アクセス先アドレスのミスアラインエラーを検出しません。したがって、ワードアクセス・ハーフワードアクセスの場合には、以下のようになります。

・ワードアクセス
プログラムで指定したアドレスの最下位 2 ビットが"00", "01", "10", "11"であっても、出力するアドレスの下位 2 ビットは"00"となります。

・ハーフワードアクセス
プログラムで指定したアドレスの最下位 2 ビットが"00""01"の場合、出力するアドレスの下位 2 ビットは"00"となり、"10", "11"の場合、出力するアドレスの最下位 2 ビットは"10"となります。

5.4. 分割アクセス

分割アクセスについて示します。

アクセスサイズがバス幅よりも大きい場合には、1 つのアクセスが分割されて実行されます。

表 5-2 分割アクセス回数

バス幅	アクセスサイズ		
	バイト	ハーフワード	ワード
8 ビット	1 回	2 回	4 回
16 ビット	1 回	1 回	2 回

5.5. データアライメント

データアライメントについて示します。

各 CS 領域はビッグエンディアンとリトルエンディアンの両方エンディアンをサポートしています。ただし、CS0 はビッグエンディアンのみのサポートです。データバス幅は、CS 領域ごとに 8 ビット/16 ビットを選択可能です。

以下に、各エンディアン設定・データバス幅設定時の、外部アクセスサイズに対するデータアライメントと対応する制御信号を示します。

表 5-3 ビッグエンディアン・16 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位 2 ビット		A01, A00	D31～D24	D23～D16	WR0 X	WR1 X
バイト	00	―	00	bit7～bit0	―	○	―
	01	―	01	―	bit7～bit0	―	○
	10	―	10	bit7～bit0	―	○	―
	11	―	11	―	bit7～bit0	―	○
ハーフワード	0n	―	00	bit15～bit8	bit7～bit0	○	○
	1n	―	10	bit15～bit8	bit7～bit0	○	○

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位2ビット		A01, A00	D31～D24	D23～D16	WR0X	WR1X
ワード	nn	分割アクセス1回目	00	bit31～bit24	bit23～bit16	○	○
		分割アクセス2回目	10	bit15～bit8	bit7～bit0	○	○

表 5-4 ビッグエンディアン・8ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位2ビット		A01, A00	D31～D24	D23～D16	WR0X	WR1X
バイト	00	－	00	bit7～bit0	－	○	－
	01	－	01	bit7～bit0	－	○	－
	10	－	10	bit7～bit0	－	○	－
	11	－	11	bit7～bit0	－	○	－
ハーフワード	0n	分割アクセス1回目	00	bit15～bit8	－	○	－
		分割アクセス2回目	01	bit7～bit0	－	○	－
	1n	分割アクセス1回目	10	bit15～bit8	－	○	－
		分割アクセス2回目	11	bit7～bit0	－	○	－
ワード	nn	分割アクセス1回目	00	bit31～bit24	－	○	－
		分割アクセス2回目	01	bit23～bit15	－	○	－
		分割アクセス3回目	10	bit15～bit8	－	○	－
		分割アクセス4回目	11	bit7～bit0	－	○	－

表 5-5 リトルエンディアン・16 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位2ビット		A01, A00	D31～D24	D23～D16	WR0X	WR1X
バイト	00	－	00	bit7～bit0	－	○	－
	01	－	01	－	bit7～bit0	－	○
	10	－	10	bit7～bit0	－	○	－
	11	－	11	－	bit7～bit0	－	○
ハーフワード	0n	－	00	bit7～bit0	bit15～bit8	○	○
	1n	－	10	bit7～bit0	bit15～bit8	○	○
ワード	nn	分割アクセス1回目	00	bit7～bit0	bit15～bit8	○	○
		分割アクセス2回目	10	bit23～bit16	bit31～bit24	○	○

表 5-6 リトルエンディアン・8 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位2ビット		A01, A00	D31～D24	D23～D16	WR0X	WR1X
バイト	00	－	00	bit7～bit0	－	○	－
	01	－	01	bit7～bit0	－	○	－
	10	－	10	bit7～bit0	－	○	－
	11	－	11	bit7～bit0	－	○	－

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位2ビット		A01, A00	D31～D24	D23～D16	WR0 X	WR1 X
ハーフワード	0n	分割アクセス1回目	00	bit7～bit0	－	○	－
		分割アクセス2回目	01	bit15～bit8	－	○	－
	1n	分割アクセス1回目	10	bit7～bit0	－	○	－
		分割アクセス2回目	11	bit15～bit8	－	○	－
ワード	nn	分割アクセス1回目	00	bit7～bit0	－	○	－
		分割アクセス2回目	01	bit15～bit8	－	○	－
		分割アクセス3回目	10	bit23～bit16	－	○	－
		分割アクセス4回目	11	bit31～bit24	－	○	－

5.6. アドレス情報

アドレス情報について示します。

5.6.1. アドレス情報と出力端子

アドレス情報と出力端子について示します。

・アドレス・データスプリットバス
22 ビットのアドレス情報を A00～A21 に出力します。

・アドレス・データマルチプレックスバス
アドレス・データマルチプレックスバスでは、アドレス出力サイクル中データバス端子 D16～D31 にアドレス情報を出力します。データバスの幅の設定によって出力可能なアドレスのビット幅が決まります。アドレス・データマルチプレックスバスを選択時においても、アドレス端子 A00～A21 はアドレスを出力します。D16～D31 端子に出力されるアドレス情報の欠けている部分は、アドレス端子 A00～A21 を使用して補完することができます。

5.6.2. アドレスタイプ

アドレスタイプについて示します。

アドレス情報の出力を通常通り出力する通常タイプとビットシフトして出力するシフトタイプから選択できます。ACR:ADTY で設定します。

・ADTY=0
通常出力モードです。アドレス情報をビットシフトせずにそのまま端子に出力します。

・ADTY=1
アドレスシフト出力モードです。アドレスバス情報をビットシフトして端子に出力します。

アドレスタイプ(ACR:ADTY)、バスタイプ(ACR:BSTY)、バス幅と出力アドレス情報、アドレス出力端子の関係は下表のとおりです。

表 5-7 出力アドレスと出力端子

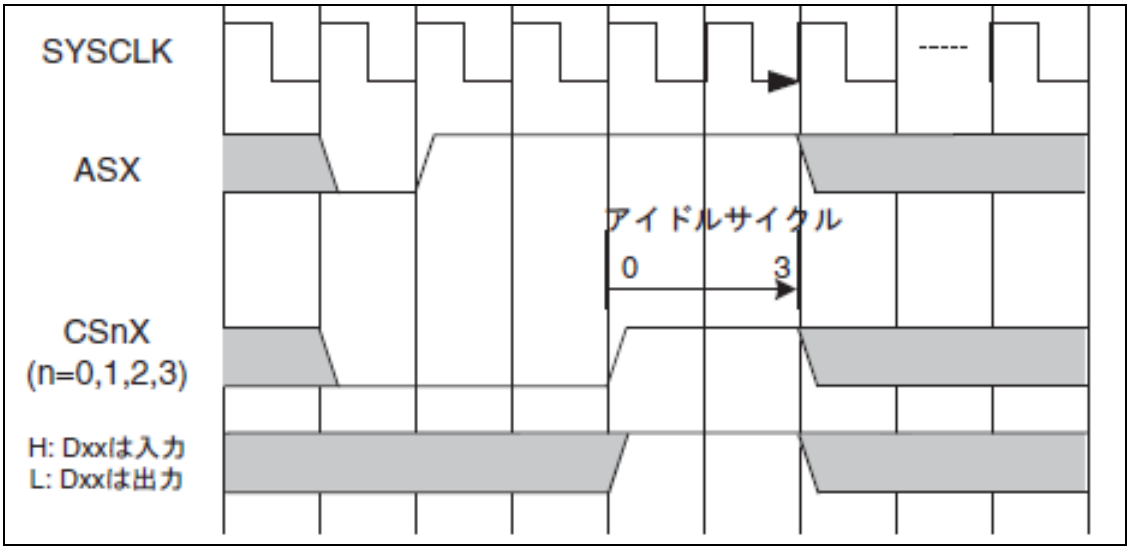
ACR レジスタ		バス幅 [bit]	A21～A00	アドレス出力サイクル時の出力端子 D31～D16	
ADTY	BSTY			D31～D24	D23～D16
0	0	8	アドレス[21:0]	－	－
		16			
0	1	8	アドレス[21:0]	アドレス[7:0]	－
		16	アドレス[21:0]	アドレス[15:8]	アドレス[7:0]
1	0	8	アドレス[21:0]	－	－
		16	アドレス[22:1]		
1	1	8	アドレス[21:0]	アドレス[7:0]	－
		16	アドレス[22:1]	アドレス[16:9]	アドレス[8:1]

5.7. アイドルサイクル挿入機能

アイドルサイクル挿入機能について示します。

アクセスとアクセスの間にアイドルサイクルを挿入することができます。アイドルサイクル中は要求があっても次のアクセスを開始せず、アイドルサイクルカウント終了後開始します。

図 5-5 アイドルサイクル挿入



● リードアクセスアイドルサイクル

リードアクセスに連続して下記の何れかに当てはまるアクセスが行なわれる場合、リードアクセス終了後アイドルサイクルが挿入されます。AWR:RIDL[1:0]で設定します。

・ライトアクセス
・別の CS 領域へのアクセス
・アドレス・データマルチプレックスバスタイプに設定された CS 領域に対するアクセス

＜注意事項＞

RIDL によるアイドルサイクル挿入が行なわれないのは、スプリットバスタイプに設定された同一 CS 領域に対するリードアクセスが連続する場合のみです。

● ライトリカバリサイクル

ライトアクセス終了後アイドルサイクルを挿入します。AWR:WRCV[1:0]で設定します。

5.8. 外バス出力信号タイミング設定

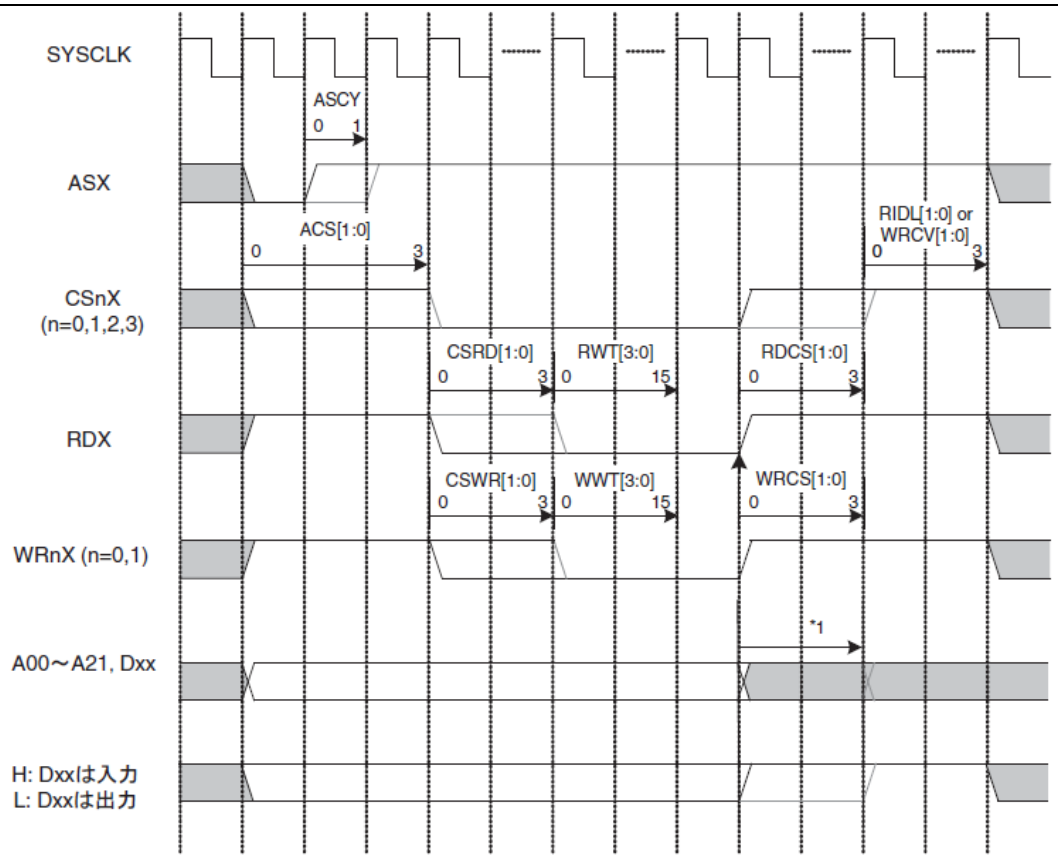
外バス出力信号タイミング設定について示します。

外バス信号の出力タイミングは以下のパラメータによって決定されます。タイミングパラメータはレジスタへの設定値で決まります。

- **アドレス・データスプリットバスタイミングパラメータ**

  アドレス・データスプリットバスで設定可能なタイミングパラメータを示します。

図 5-6 アドレス・データスプリットバスタイミングパラメータ



*1) A00～A21,Dxx は、リードアクセス時は RDCS、ライトアクセス時は WRCS で指定されたサイクル数、有効値の出力を延長します。

表 5-8 アドレス・データスプリットバスタイミングパラメータ

パラメータ名	機能名	説明
ASCY(ASX CYcle)	ASX 出力延長サイクル数	アクセス開始時から、ASX に(ASCY+1)サイクル"L"を出力します。
ACS[1:0] (A00～A21 to CSnX delay cycle)	A00～A21 → CSnX ディレイサイクル数	ASX 出力から ACS カウント終了後、CSnX (n=0～3)に"L"の出力を開始します。
CSRD[1:0] (CSnX to RDX setup cycle)	CSnX → RDX セットアップ サイクル	リードアクセス時、CSnX の"L"出力開始から CSRD カウント終了後 RDX に"L"の出力を開始します。
RWT[3:0] (Read access auto WaiT)	リードアクセスオート ウェイト	リードアクセス時、RDX の"L"出力開始から(RWT+1)カウント終了後、RDX の出力を"H"に戻します。
RDCS[1:0] (RDX to CSnX hold cycle)	RDX → CSnX ホールド サイクル	リードアクセス時、RDX の出力を"H"出力に戻したサイクルから RDCS カウント後、CSnX の出力を"H"に戻します。
CSWR[1:0] (CSnX to WRnX setup cycle)	CSnX → WRnXセットアップサイクル	ライトアクセス時、CSnX の"L"出力開始から CSWR カウント終了後 WRnX に"L"の出力を開始します。
WWT[3:0] (Write access auto WaiT)	ライトアクセスオート ウェイト	ライトアクセス時、(WWT+1)カウント終了後、WRnX(n=0, 1)の出力を"H"に戻します。
WRCS[1:0] (WRnX to CSnX hold cycle)	WRnX → CSnX ホールド サイクル	ライトアクセス時、WRnX の出力を"H"出力に戻したサイクルから WRCS カウント後 CSnX の出力を"H"に戻します。
RIDL[1:0] (Read access IDLe cycle)	リードアクセスアイドル サイクル	リードアクセス終了後は、RIDL カウント終了後、次のアクセスが開始可能となります。
WRCV[1:0] (Write ReCoVery cycle)	ライトリカバリサイクル	ライトアクセス終了後は、WRCV カウント終了後、次のアクセスが開始可能となります。

アクセスサイクル数は次の式で決まります。

・リードアクセスサイクル数

= アドレス&データ出力(1) + ACS(0～3) + CSRD(0～3) + RWT(0～15) +RDCS(0～3)

最小:1 サイクル, 最大:25 サイクル

・ライトアクセスサイクル数

= アドレス&データ出力(1) + ACS(0～3) + CSWR(0～3) + WWT(0～15) +WRCS(0～3)

最小:1 サイクル, 最大 25 サイクル

プロトコルが正しく成立するように、以下の条件が成立している必要があります。

ASCY ≦ ACS + CSRD + RWT + RDCS かつ
ASCY ≦ ACS + CSWR + WWT + WRCS

● アドレス・データマルチプレックスバスタイミングパラメータ

アドレス・データマルチプレックスバスで設定可能なタイミングパラメータを示します。

図 5-7 アドレス・データマルチプレックスバスタイミングパラメータ

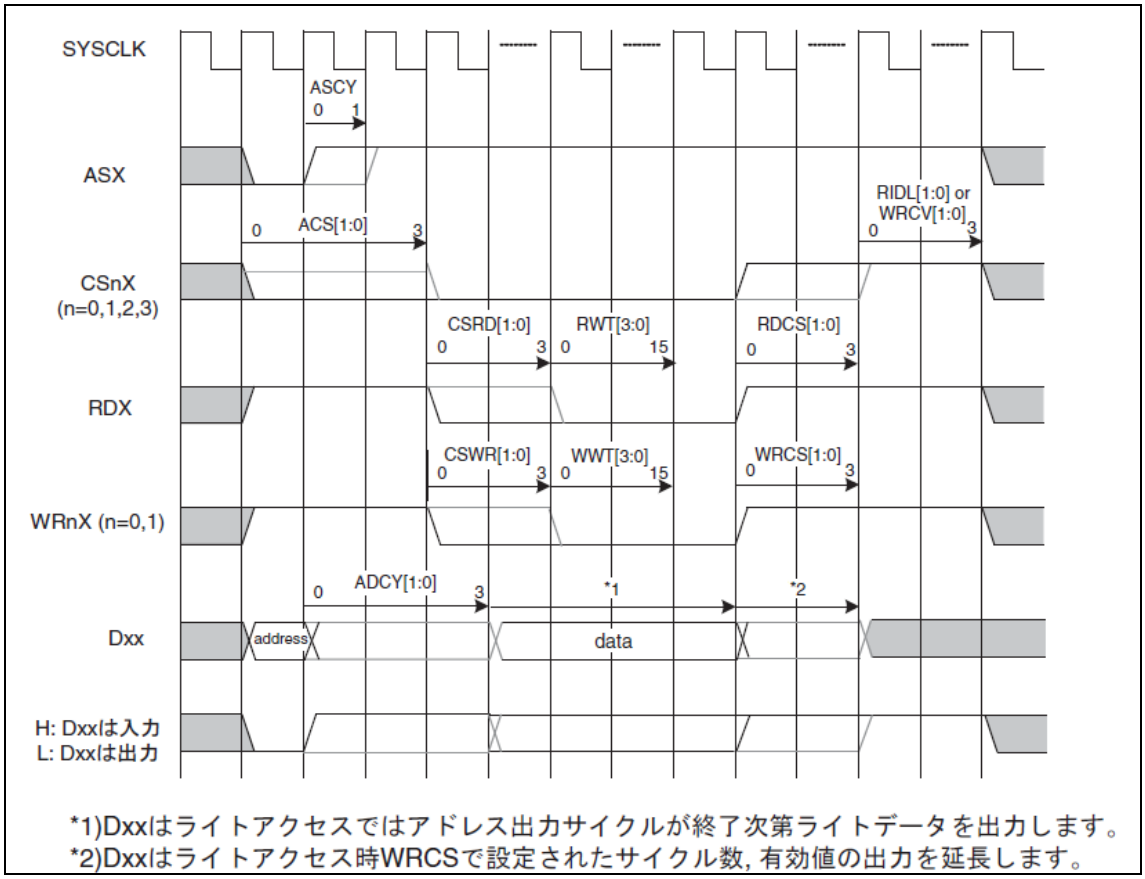


表 5-9 出力アドレスと出力端子

パラメータ名	機能名	説明
ASCY(ASX CYcle)	ASX 出力延長 サイクル数	アクセス開始時から、ASX に(ASCY+1)サイクル"L"を出力します。
ACS[1:0] (A00～A21 to CSnX delay cycle)	A00～A21 → CSnX ディレイサイクル数	ASX 出力から ACS カウント終了後、CSnX(n=0～3)に"L"の出力を開始します。
ADCY[1:0](ADdress CYcle)	アドレス出力 延長サイクル数	ADCY≧ASCY のとき D16～D31 はアクセス開始時から、(ADCY+1)サイクルアドレス情報を出力します。ライト時はカウント終了後ライトデータをアクセス終了まで出力します。 ADCY＜ASCY のとき カウント値が(ADCY+1)から(ASCY+1)に変更になります。それ以外の点に違いはありません。 ADCY のカウントは他のカウンタとは独立に動作します。また他のカウンタの開始条件にも影響を及ぼしません。従いまして、全体のプロトコルとして正しく動作するためにはカウンタ値の設定方法に制限があります。表外の設定禁止条件を参照してください。
CSRD[1:0] (CSnX to RDX setup cycle)	CSnX → RDX セットアップサイクル	リードアクセス時、CSnX の"L"出力開始から CSRD カウント終了後 RDX に"L"の出力を開始します。
RWT[3:0] (Read access auto WaiT)	リードアクセス オートウェイト	リードアクセス時、RDX の"L"出力開始から(RWT+1)カウント終了後、RDX の出力を"H"に戻します。
RDCS[1:0] (RDX to CSnX hold cycle)	RDX → CSnX ホールドサイクル	リードアクセス時、RDX の出力を"H"出力に戻したサイクルから RDCS カウント後、CSnX の出力を"H"に戻します。
CSWR[1:0] (CSnX to WRnX setup cycle)	CSnX → WRnX セットアップサイクル	ライトアクセス時、CSnX の"L"出力開始から CSWR カウント終了後 WRnX(n=0, 1)に"L"の出力を開始します。
WWT[3:0] (Write access auto WaiT)	ライトアクセス オートウェイト	ライトアクセス時、(WWT+1)カウント終了後、WRnX の出力を"H"に戻します。
WRCS[1:0] (WRnX to CSnX hold cycle)	WRnX → CSnX ホールドサイクル	ライトアクセス時、WRnX の出力を"H"出力に戻したサイクルから WRCS カウント後 CSnX の出力を"H"に戻します。
RIDL[1:0] (Read access IDLe cycle)	リードアクセス アイドルサイクル	リードアクセス終了後は、RIDL カウント終了後、次のアクセスが開始可能となります。
WRCV[1:0] (Write ReCoVery cycle)	ライトリカバリ サイクル	ライトアクセス終了後は、WRCV カウント終了後、次のアクセスが開始可能となります。

アクセスサイクル数は次の式で決まります。

・リードアクセスサイクル数
=アドレス出力(1) + ACS(0～3) + CSRD(0～3) + データ出力(1) + RWT(0～15) + RDCS(0～3)
最小:2 サイクル, 最大:26 サイクル

・ライトアクセスサイクル数
= アドレス出力(1) + ACS(0～3) + CSWR(0～3) + データ出力(1) + WWT(0～15) + WRCS(0～3)
最小:2 サイクル, 最大 26 サイクル

プロトコルが正しく成立するように、以下の 4 条件が成立している必要があります。

ADCY + 1 ≦ ACS + CSRD
ADCY + 1 ≦ ACS + CSWR
ASCY + 1 ≦ ACS + CSRD
ASCY + 1 ≦ ACS + CSWR

5.9. RDY 端子アクセスサイクル延長機能

RDY 端子アクセスサイクル延長機能について示します。

RDY 端子に"0"を入力することにより、オートウェイトサイクル終了後もリード、ライトストローブサイクルを延長することができます。

AWR:RDYE に"1"を設定することにより、対応する領域へのアクセスに対して RDY 端子によるこの機能が有効になります。

この機能は対応する領域のオートウェイトサイクルを 2 以上に設定して使用してください。

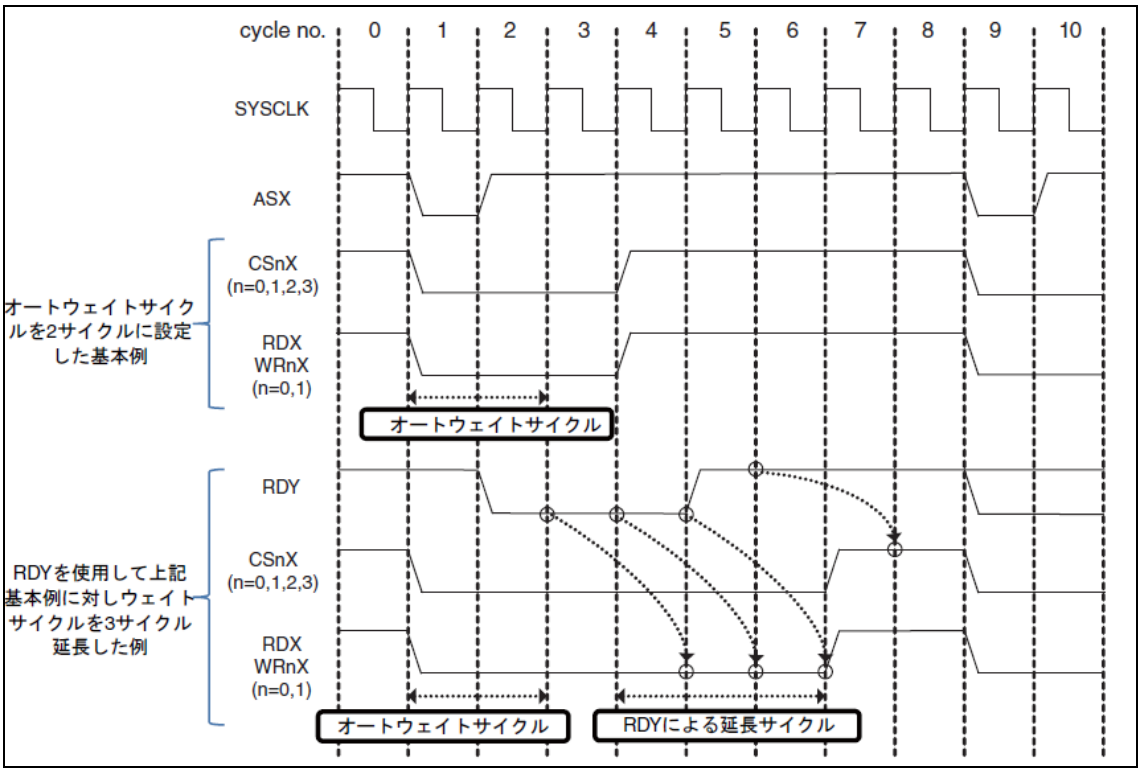
オートウェイトサイクル終了後、RDY に"0"が入力されている期間はリード、ライトストローブサイクルを延長します。その後 RDY に"1"が入力されると、次のサイクルでリード、ライトストローブサイクルを終了します。

RDY 信号の入力仕様

入力する RDY 信号は以下の仕様を守ってください。

・オートウェイトサイクルを延長する時以外は RDY=1 を入力してください。
・ASX="L"と CSnX="L"でオートウェイトサイクル延長対象領域へのアクセスが開始されたことを確認してから RDY=0 の入力を開始してください。
・RDY=0 の入力はオートウェイトサイクルの終了迄に開始してください。オートウェイトサイクル終了後の RDY=0 の入力は禁止です。
・必要な延長サイクルが終了したら RDY=1 を入力してください。

図 5-8 RDY タイミング例



5.10. CS 設定フロー

CS 設定フローについて示します。

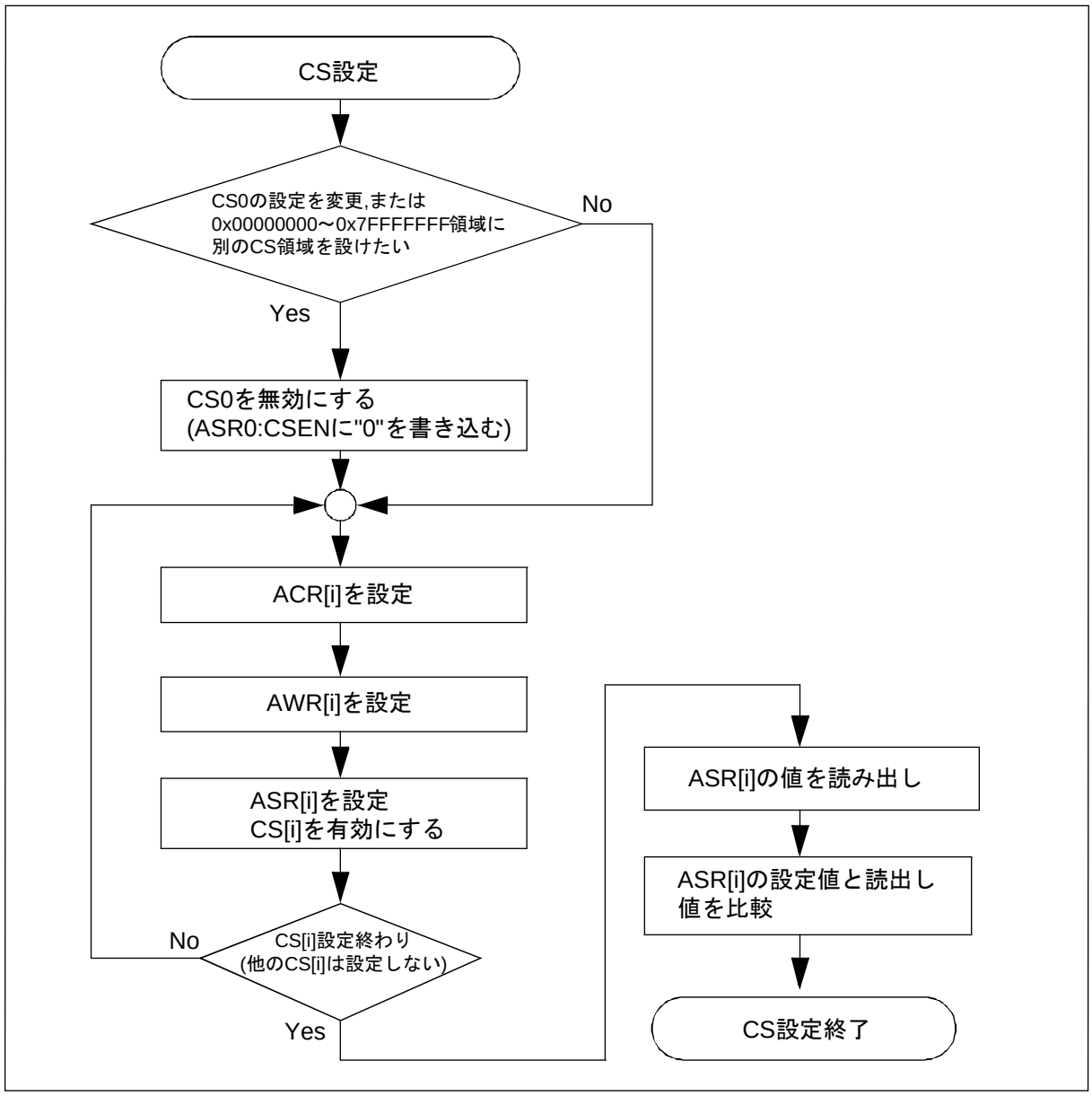
CS の設定方法について説明します。

＜注意事項＞

- CS の設定はリセット後の初期設定の中で行い、その後変更しないでください。
- ROM を搭載する品種では ROM 内に配置する初期設定プログラムで CS 領域の変更および設定を行ってください。
- ROM を搭載しない品種では、リセット後の命令フェッチは CS0 領域から行うため、CS0 領域の変更を伴う場合には、CS 設定プログラムを内蔵 RAM へいったん転送後、内蔵 RAM 内のプログラム領域に分岐を行い CS 領域の設定を行ってください。
- CS 領域へのアクセス中に、関係する CS 領域の設定を変更した場合の動作は保証できません。

以下に CS 設定のフローを示します。

図 5-9 CS 設定フロー



● CS0 無効化

CS0 の変更を行う場合には先ず CS0 を無効にする必要があります。ASR0 に 0x0 をワードで書き込んでください。

● ACR 設定

CS 領域のバス幅、バスタイプなどを設定します。

1. 設定する CS 領域のデータバス幅を 8 ビット、16 ビットから選択します。
2. アドレス出力のタイプを通常出力とシフト出力から選択します。
3. バスタイプをアドレス・データスプリットバス、アドレス・データマルチプレックスバスより選択します。

以上の設定値をワード単位で ACR に書き込みます。

● AWR の設定

外バス信号の出力タイミングを決めるパラメータと RDY 端子機能の有効・無効を設定します。設定値をワードで AWR に書き込みます。

図 5-10 AWR 設定可能なパラメータ

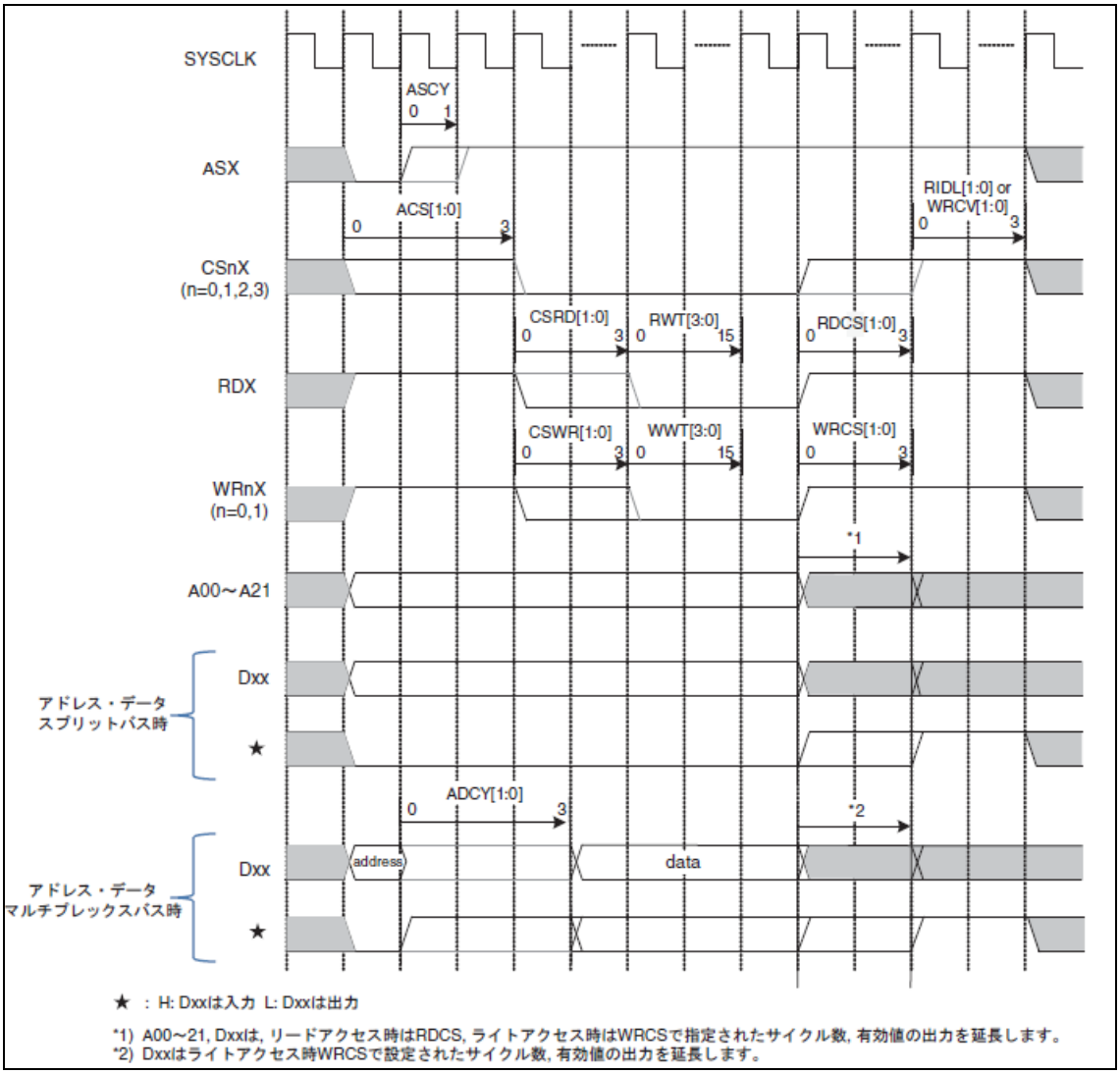


表 5-10 出力アドレスと出力端子

パラメータ名	説明
RWT[3:0]	リードアクセスサイクルにおけるオートウェイトサイクル数を設定します。 リードアクセスサイクルを延長したい場合に設定します。
WWT[3:0]	ライトアクセスサイクルにおけるオートウェイトサイクル数を設定します。 ライトアクセスサイクルを延長したい場合に設定します。
RIDL[1:0]	リードアクセス後のアイドルサイクル数を設定します。 RIDL は出力オフタイムが長いデバイスからのリードデータと、それに続くアクセスに関係するデータのデータバス上での衝突を防ぐ目的で設定します。
WRCV[1:0]	ライトリカバリサイクル数を設定します。 ライトアクセス後に続けてアクセスする際にその間隔に制限があるデバイスへのアクセスを制御するために設定します。
CSRD[1:0]	CSnX (n=0～3)アサート後に RDX をアサートするまでのサイクル数を設定します。 リードアクセス時に RDX のアサートに対する CSnX のアサートのセットアップタイムが必要な場合に設定します。
RDCS[1:0]	RDX ネゲート後に CSnX(n=0～3)をネゲートするまでのサイクル数を設定します。 リードアクセス時に RDX のネゲートから CSnX のネゲートに関してホールドタイムを必要とする場合に設定します。
CSWR[1:0]	CSnX アサート後、WRnX(n=0, 1)をアサートするまでのサイクル数を設定します。 ライトアクセス時に WRnX のアサートに対する CSnX のアサートのセットアップタイムが必要な場合に設定します。
WRCS[1:0]	WRnX ネゲート後に CSnX をネゲートするまでのサイクル数を設定します。 ライトアクセス時に WRnX のネゲートから CSnX のネゲートに関してホールドタイムを必要とする場合に設定します。
ADCY[1:0]	アドレス・データマルチプレックスバス選択時にデータバスへのアドレス出力の延長サイクル数を設定します。ADCY=00 と設定した場合でも、ASCY=1 に設定した場合にはアドレス出力サイクルは 1 サイクル延長されます。アドレス・データスプリットバス選択時には"00"を設定してください。
ACS[1:0]	A00～A21 および ASX 出力から CSnX 出力の遅延サイクル数を設定します。 CSnX のアサートに対してアドレスがセットアップタイムを必要とする場合や、連続して同一チップセレクト領域にアクセスした場合にも CSnX のエッジを必要とする場合に使用します。
ASCY	ASX のアサートの延長サイクル数を設定します。
RDYE	RDY 端子による外部からのウェイト挿入機能の有効・無効を設定します。

● ASR の設定

ASR では以下の設定を行います。

1. CS の領域設定します。
2. 書込み許可・禁止選択します。
3. バイトオーダの選択を行います。
4. CS を有効にします。

以上の設定値をワードで ASR に書き込みます。

CS の領域設定について次に説明します。

1. CS 領域のサイズを決め、「4.1 CS 領域設定レジスタ : ASR0～ASR3 (Area Setting Register 0-3)」から ASZ[3:0]の値を選択します。
2. CS 領域の開始アドレスを設定します。開始アドレスはアドレスの上位ビットを SADR に設定します。ただし開始アドレスは、下表のように領域のサイズ指定によってあらかじめバウンダリが決められています。「4.1 CS 領域設定レジスタ : ASR0～ASR3 (Area Setting Register 0-3)」に従って SADR の有効なビットを設定してください。無効な SADR のビットには"0"を設定してください。

● CS 領域のサイズと ASZ,SADR の設定

CS 領域のサイズ	ASZ[3:0]	有効な SADR のビット
64KB	0000	SADR[31:16]
128KB	0001	SADR[31:17]
256KB	0010	SADR[31:18]
512KB	0011	SADR[31:19]
1MB	0100	SADR[31:20]
2MB	0101	SADR[31:21]
4MB	0110	SADR[31:22]
8MB	0111	SADR[31:23]
16MB	1000	SADR[31:24]
32MB	1001	SADR[31:25]
64MB	1010	SADR[31:26]
128MB	1011	SADR[31:27]
256MB	1100	SADR[31:28]
512MB	1101	SADR[31:29]
1GB	1110	SADR[31:30]
2GB(ASR0 初期値)	1111	SADR[31]

＜注意事項＞

各 CS 領域は重なり合わないように配置してください。CS 領域が重なっている場合の動作は保証いたしません。

SADR と ASZ への設定値と実際に割り当てられる CS の領域との例を以下に示します。

設定例

- **CS0設定**

ASR0 の ASZ[3:0]=0010

ASR0 の SADR[31:16]=0x000C

→ 0x000C0000～0x000FFFFF は CS0 領域になります。

- **CS1設定**

ASR1 の ASZ[3:0]=0000

ASR1 の SADR[31:16]=0x0006

→ 0x00060000～0x0006FFFF は CS1 領域になります。

- **CS2設定**

0x00110000～ 1M バイトの空間を割り当てたい。

1M バイトの空間を設けたいので ASZ[3:0]=0100 を設定します。このときの SADR の有効ビットは[31:20]になります。SADR[19:16]はアドレスとの比較対象になりません。したがって CS2 領域の開始アドレスは 0x00110000 とすることはできず 0x00100000 になります。

ASR2 の ASZ[3:0]=0100

ASR2 の SADR[31:16]=0x0010 を設定

→ 0x00100000～0x001FFFFF は CS2 領域になります。

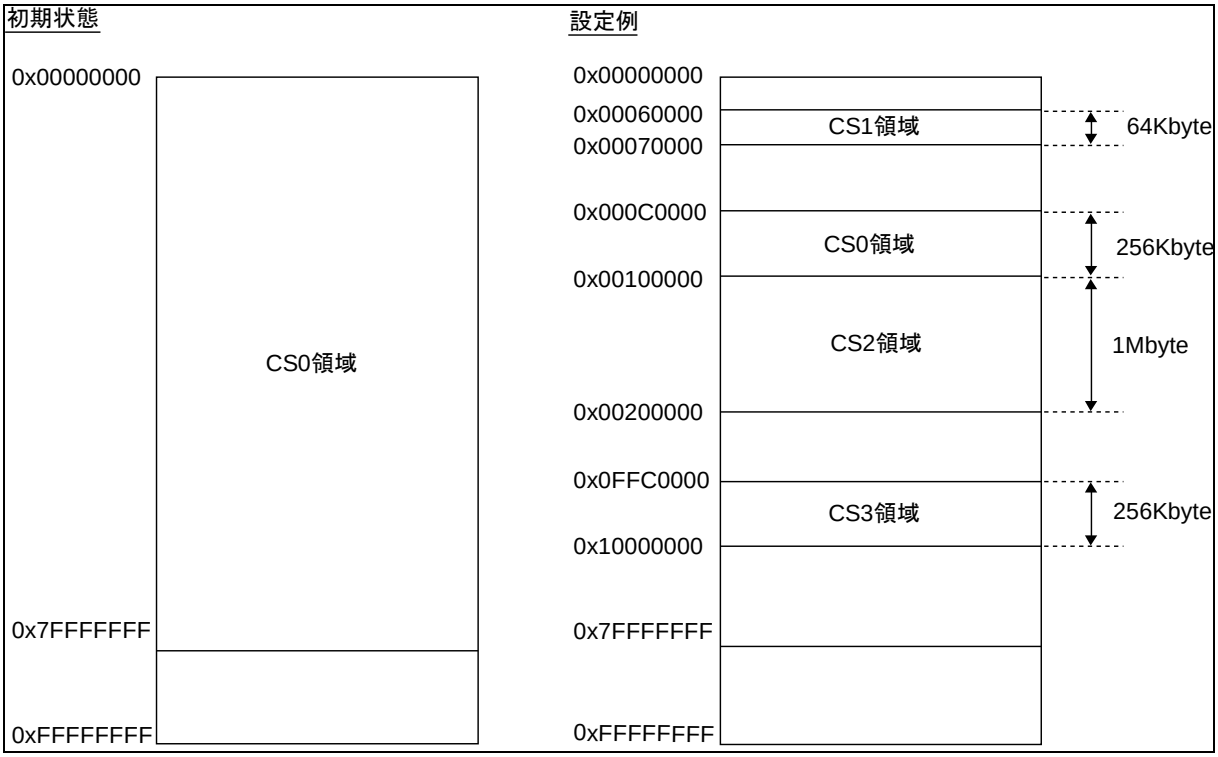
- **CS3設定**

ASR3 レジスタの ASZ[3:0]=0010

ASR3 レジスタの SADR[31:16]=0x0FFC

→ 0x0FFC0000～0x0FFFFFFF は CS3 領域になります。

図 5-11 設定例


初期状態
0x00000000
CS0領域
0x7FFFFFFF
0xFFFFFFFF
設定例
0x00000000
0x00060000
CS1領域
64Kbyte
0x00070000
0x000C0000
CS0領域
256Kbyte
0x00100000
CS2領域
1Mbyte
0x00200000
0x0FFC0000
CS3領域
256Kbyte
0x10000000
0x7FFFFFFF
0xFFFFFFFF

● ASR の読出し、比較

必要な CS に対して ACR, AWR, ASR の設定を行った後、それ以降のアクセスに対して CS の設定が反映される事を保証する目的で、最後に設定した ASR を読み出して設定値との比較を行ってください。

● CS 設定・変更サンプルプログラム

CS 設定のサンプルプログラムとして CS1 を設定する場合を示します。

図 5-12 CS1 設定サンプルプログラム

■ACR1設定例
下表の場合の設定値を示します。

データバス幅	16bit
アドレス出力タイプ	通常
バスタイプ	アドレス・データスプリットバス

上記設定ビット以外のビットは予約になっているので0を設定します。

ACR1設定値 : 0x40

■AWR1設定例
下表の設定値を示します。

RWT	3サイクル
WWT	4サイクル
RIDL	2サイクル
WRCV	3サイクル
CSRD	1サイクル
RDCS	1サイクル
CSWR	2サイクル
WRCS	2サイクル
ADCY	アドレス・データスプリットバス設定
ACS	0サイクル
ASCY	0サイクル
RDYE	無効

上記設定ビット以外のビットは予約になっているので0を設定します。

AWR1設定値 : 0x034b5a00

■ASR1設定例
・CS1領域サイズ : 64Kbyte
・CS1領域アドレス : 0x0040_0000～0x0040_FFFF
・書き込み許可
・ビックエンディアン
・CS1有効

ASR1設定値 : 0x00400005

■プログラム例

```
_disable_CS0
ldi     #_ASR0, r0          //#_ASR0はASR0のアドレス値
ldi     0x0, r1
st      r1, @r0
_set_ACR1
ldi     #_ACR1, r0          //#_ACR1はACR1のアドレス値
ldi     #0x40, r1           //0x40をACR1に設定
st      r1, @r0
_set_AWR1
ldi     #_AWR1, r0          //#_AWR1はAWR1のアドレス値
ldi     #0x034b5a00 r1      //0x034b5a00をAWR1に設定
st      r1, @r0
_set_ASR1
ldi     #_ASR1, r0          //#_ASR1はASR1のアドレス値
ldi     #0x00400005 r1      //0x00400005をASR0に設定
st      r1, @r0
ld      @r0, r2
cmp     r1, r2              //ASR1の設定値を確認
```

5.11. 非同期メモリとの接続例

非同期メモリとの接続例について示します。

外バス端子と非同期メモリとの接続例を示します。

図 5-13 SRAM との接続例 1 (8 ビット SRAM×2)

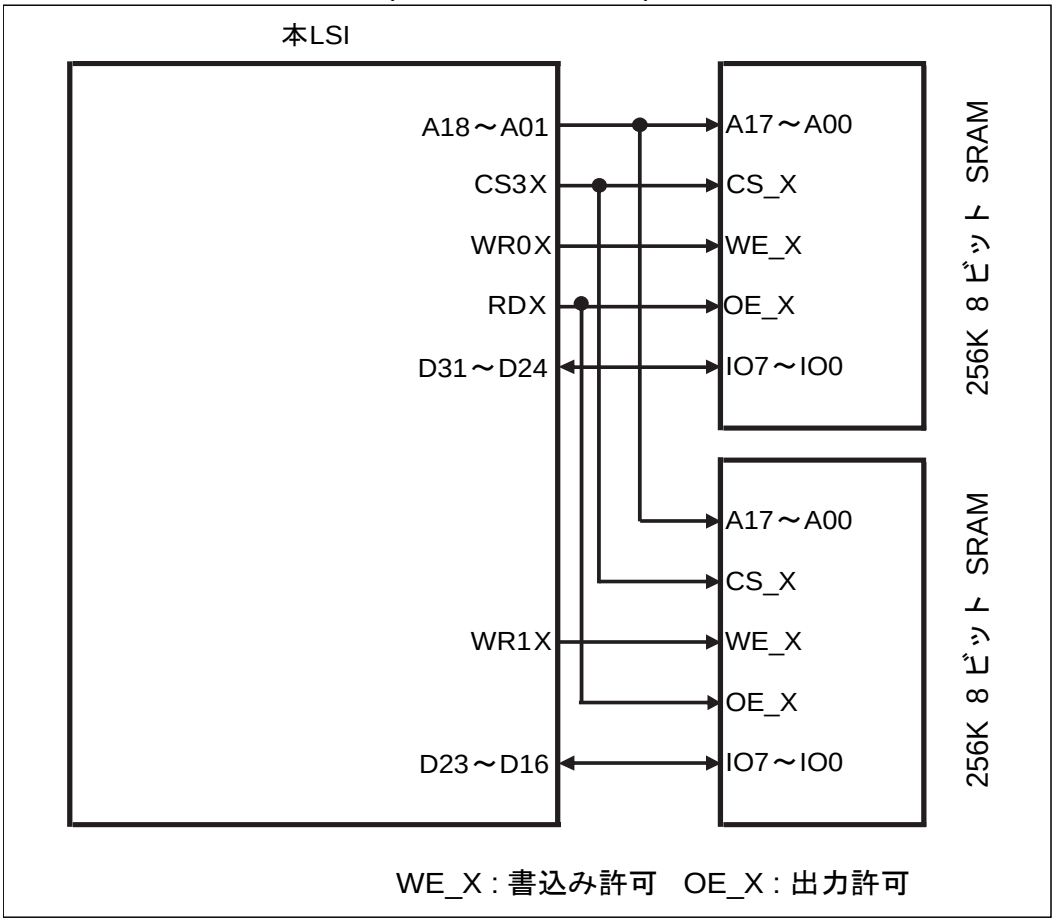
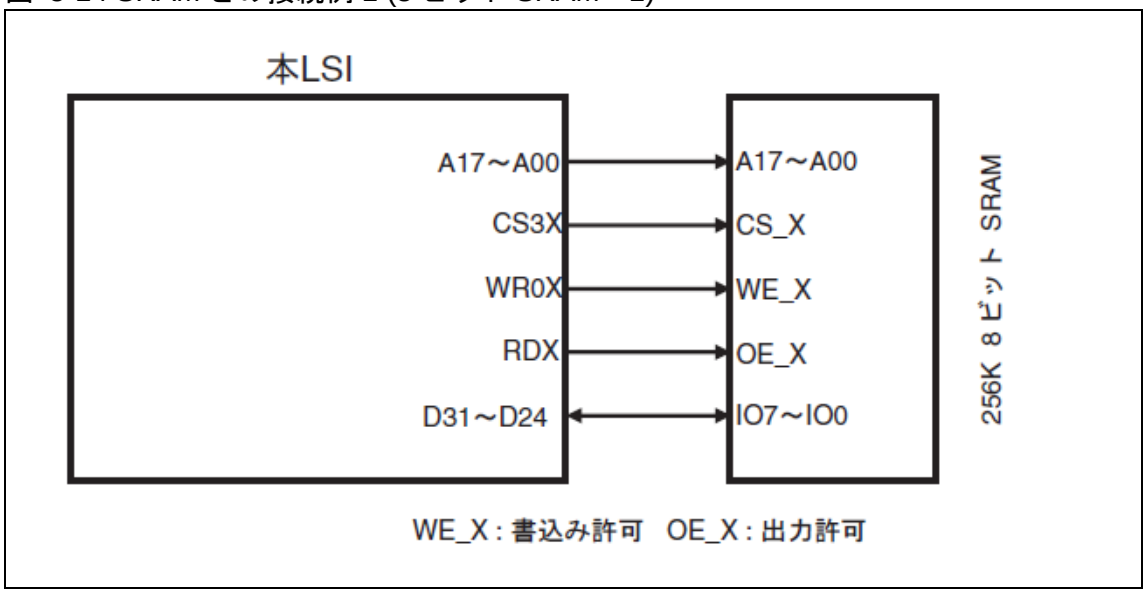


図 5-14 SRAM との接続例 1 (8 ビット SRAM×1)



5.12. リトルエンディアンデバイスとの接続例

リトルエンディアンデバイスとの接続例について示します。

リトルエンディアンデバイスとのデータバス、バイトイネーブル信号の接続方法を示します。

図 5-15 16 ビットバス幅

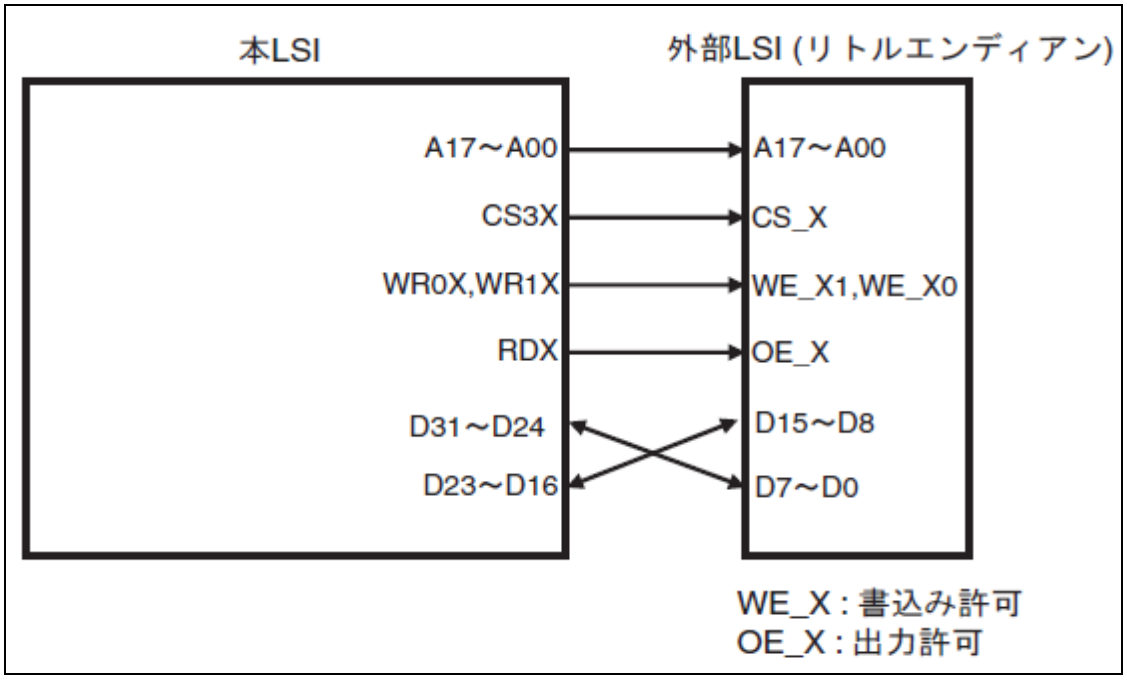
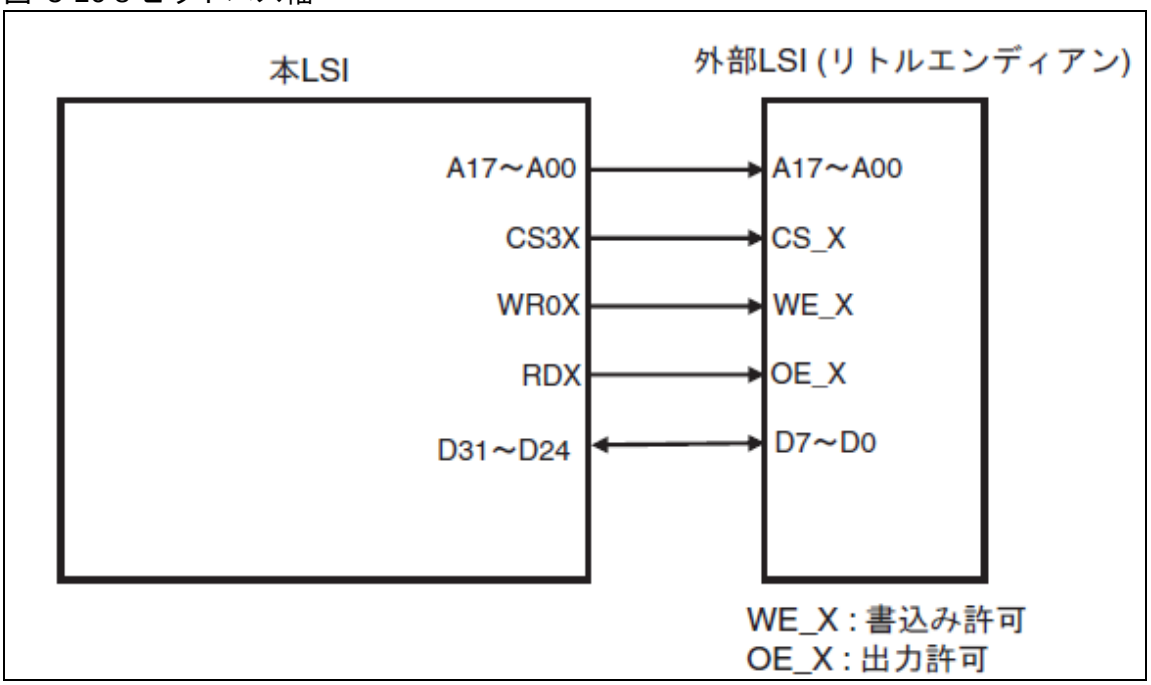


図 5-16 8 ビットバス幅



Chapter 37: バス・パフォーマンス・カウンタ



バス・パフォーマンス・カウンタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FR81S10_BPC-1v1-91520-5-J

1. 概要

バス・パフォーマンス・カウンタの概要について説明します。

本品種は、オンチップバスのパフォーマンスを測定するバス・パフォーマンス・カウンタ(BPC)を搭載しています。BPC は、オンチップバス上のトラフィックの内訳を計測し、バスのパフォーマンス改善の指針となる情報を提供します。BPC では、オンチップバスがアイドル状態でのカウントは行いませんので、時間計測のためにはシステム内のタイマを同時に使用してください。

2. 特長

バス・パフォーマンス・カウンタの特長について説明します。

・カウンタ構成
カウントクロック　：オンチップバス用クロック
カウンタビット長　：32bit × 3 チャネル (BPC-A、BPC-B、BPC-C)
オーバフロー検出　：なし
カウンタ値書換え　：可能

・主要機能
各チャネルにおいて、以下の動作を選択してカウント

- オンチップバス上のリードアクセス回数
- オンチップバス上のライトアクセス回数
- オンチップバス上のウェイトサイクル数

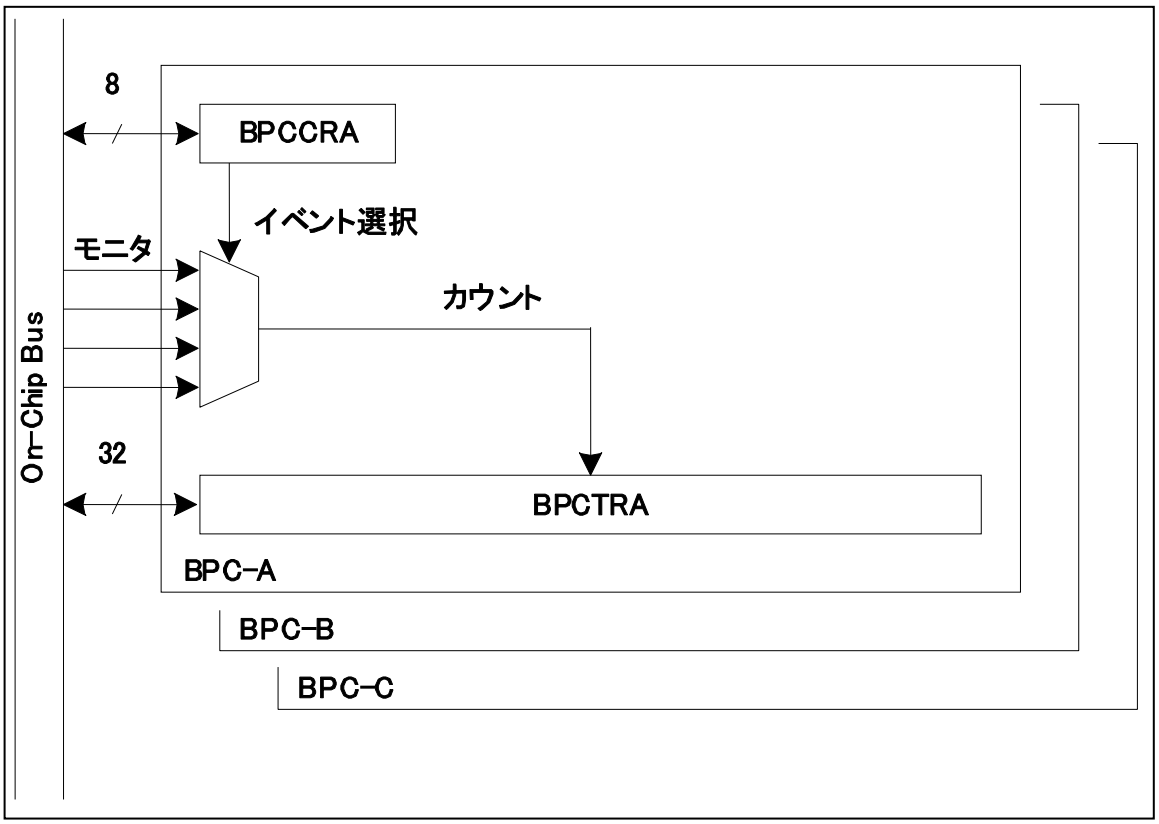
各チャネルにおいて、以下のうちいずれかを選択してカウント

- 特定のバスマスタ(CPU, DMAC, その他, またはすべて)
- 特定のターゲット(ICH, MCH, その他, またはすべて)

3. 構成

バス・パフォーマンス・カウンタの構成について説明します。

図 3-1 ブロック図



4. レジスタ

バス・パフォーマンス・カウンタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0710	BPCCRA	BPCCRB	BPCCRC	予約	BPC-A 制御レジスタ BPC-B 制御レジスタ BPC-C 制御レジスタ
0x0714	BPCTRA				BPC-A カウントレジスタ
0x0718	BPCTRB				BPC-B カウントレジスタ
0x071C	BPCTRC				BPC-C カウントレジスタ

4.1. BPC-A 制御レジスタ ：BPCCRA (Bus Performance Counter Control Register A)

BPC-A 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ A(BPC-A)の測定対象の設定を行います。
バス・パフォーマンス・カウンタには A, B, C の 3 チャネルありそれぞれのカウンタに対して制御レジスタが存在します。制御レジスタの各フィールドは、各チャネル共通です。

■ BPCCRA : アドレス 0710_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1:0]		MST[3:0]				SLV[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] FUNC[1:0] (Function Selection) : 測定イベント選択
BPC で測定するイベントを選択します。

FUNC[1:0]	イベント
00	BPC-A 動作停止(初期値)
01	リードアクセス回数
10	ライトアクセス回数
11	ウェイトサイクル数

[bit5～bit2] MST[3:0] (bus MaSTer select) : **バスマスタ選択**

BPC で測定するイベント対象となるバスマスタを選択します。

MST[3:0]	バスマスタ
0000	すべてのバスマスタ(初期値)
0001	CPU(XBS)
0010	DMAC
0011	Reserved
0100	Reserved
上記以外	Reserved

[bit1, bit0] SLV[1:0] (SLaVe select) : **スレーブ選択**

BPC で測定するイベント対象となるスレーブを選択します。

SLV	スレーブ
00	すべてのスレーブ(初期値)
01	MCH(レジスタ、外バス)
10	ICH(ペリフェラル)
11	MCH/ICH 以外

4.2. BPC-B 制御レジスタ : BPCCRB (Bus Performance Counter Control Register B)

BPC-B 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ B(BPC-B)の測定対象の設定を行います。
各ビットの機能は BPCCRA と等価です。

■ BPCCRB : アドレス 0711_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1:0]		MST[3:0]				SLV[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.3. BPC-C 制御レジスタ ：BPCCRC (Bus Performance Counter Control Register C)

BPC-C 制御レジスタのビット構成について示します。

バス・パフォーマンス・カウンタ C(BPC-C)の測定対象の設定を行います。
各ビットの機能は BPCCRA と等価です。

■ BPCCRC： アドレス 0712$_H$ (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FUNC[1:0]		MST[3:0]				SLV[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.4. BPC-A カウントレジスタ ：BPCTRA (Bus Performance CounTer Register A)

BPC-A カウントレジスタのビット構成について示します。

BPCCRA で設定したイベントをカウントする 32 ビット長のカウントレジスタです。

■ BPCTRA： アドレス 0714$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRA[31:0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

[bit31～bit0] BPCTRA[31:0] (Bus Performance CounTer Register A) : BPC-A カウント
BPCCRA の bit7-6:FUNC に"00"以外を設定すると、対象イベントのカウントを開始します。本レジスタはリードライト可能で、32 ビットアクセスのみ可能です。

カウント開始時にカウンタの初期は行いませんので、新たにカウントを始める場合は初期値の設定を行ってください。またオーバフロー制御は行いませんので、カウンタがオーバフローした場合は"0"に戻ってカウントを継続します。

4.5. BPC-B カウントレジスタ ：BPCTRB (Bus Performance CounTer Register B)

BPC-B カウントレジスタのビット構成について示します。

BPCCRB で設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

■ BPCTRB： アドレス 0718$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRB[31:0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

4.6. BPC-C カウントレジスタ ：BPCTRC (Bus Performance CounTer Register C)

BPC-C カウントレジスタのビット構成について示します。

BPCCRC で設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

■ BPCTRC： アドレス 071C$_H$ (アクセス: ワード)

	bit31	bit30	・	・	・	bit3	bit2	bit1	bit0
	BPCTRC[31:0]								
初期値	0	0	・	・	・	0	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W	R/W

5. 動作説明

動作について説明します。

5.1. 設定

5.2. 起動と停止

5.3. 動作

5.4. 測定と結果処理

5.1. 設定

設定ついて説明します。

BPC の各チャネルを起動する前に、BPCTRA/BPCTRB/BPCTRC へ"0x00000000"を書込み、各カウンタの初期化を行ってください。測定対象を変更する際も、同様に各カウンタの初期化を行ってください。リセット後はカウンタ値が不定となっていますので、動作許可する前に必ずカウンタ値を書き込んでください。

BPC の各チャネルを起動する際に、BPCCRA/BPCCRB/BPCCRC により、各カウンタの測定対象を設定します。

バス・パフォーマンス・カウンタ A(B,C)制御レジスタ (BPCCRA(B,C))の設定により監視するイベントは以下のようになります。下記の表に存在しない組み合わせの場合は、動作を保証しません。また、エミュレータモード時はカウントを行いません。

表 5-1 BPC 設定一覧

FUNC[1:0]	MST[3:0]	SLV[1:0]	対象イベント
01	0000	00	XBS,DMAC からリードアクセス
		01	XBS,DMAC から MCH リード
		10	XBS,DMAC から ICH リード
		11	XBS,DMAC から MCH/ICH 以外のリード
	0001	00	XBS からリードアクセス
		01	XBS から MCH リード
		10	XBS から ICH リード
		11	XBS から MCH/ICH 以外へのリード
	0100	00	DMAC からリードアクセス
		01	DMAC から MCH リード
		10	DMAC から ICH リード
		11	DMAC から MCH/ICH 以外へのリード

FUNC[1:0]	MST[3:0]	SLV[1:0]	対象イベント
10	0000	00	XBS,DMAC からライトアクセス
		01	XBS,DMAC から MCH ライト
		10	XBS,DMAC から ICH ライト
		11	XBS,DMAC から MCH/ICH 以外へのライト
	0001	00	XBS からライトアクセス
		01	XBS から MCH ライト
		10	XBS から ICH ライト
		11	XBS から MCH/ICH 以外へのライト
	0100	00	DMAC からライトアクセス
		01	DMAC から MCH ライト
		10	DMAC から ICH ライト
		11	DMAC から MCH/ICH 以外へのライト
11	0000	00	XBS,DMAC のウェイトアクセス
		01	XBS,DMAC から MCH ウェイト
		10	XBS,DMAC から ICH ウェイト
		11	XBS,DMAC から MCH/ICH 以外のウェイト
	0001	00	XBS からウェイトアクセス
		01	XBS から MCH ウェイト
		10	XBS から ICH ウェイト
		11	XBS から MCH/ICH 以外へのウェイト
	0100	00	DMAC からウェイトアクセス
		01	DMAC から MCH ウェイト
		10	DMAC から ICH ウェイト
		11	DMAC から MCH/ICH 以外へのウェイト

5.2. 起動と停止

起動と停止について説明します。

バス・パフォーマンス・カウンタ A 制御レジスタ(BPCCRA)の FUNC[1:0]フィールドを"00"以外の値に設定することにより、対象イベントのカウントを開始します。ただし、このときバス・パフォーマンス・カウンタ A レジスタ (BPCTRA)は初期化せず、その時点の値からカウント開始します。BPCCRA:FUNC[1:0]を"00"に設定するとバス・パフォーマンス・カウンタ動作を停止します

5.3. 動作

動作について説明します。

制御レジスタの設定により動作許可されると、以降オンチップバスが動作中は各測定対象動作のカウントを続けます。ただし、以下に示す状態ではカウントを一時停止します。

- エミュレータモード中

各種低消費電力制御を設定している場合のカウント動作は次のようになります。

- CPU スリープモード

各種測定対象動作をカウントします。

- バススリープモード
  オンチップバスが動作する DMA 転送時にのみカウントします。それ以外の期間は、測定対象動作が発生しませんので、カウントを行いません。
- スタンバイモード(時計モード/ストップモード)
  測定対象動作が発生しませんので、カウントを行いません。

リセットの発生により、制御レジスタが初期化されます。リセット発生直後は、カウントを行いません。

5.4. 測定と結果処理

測定と結果処理について説明します。

BPC の使用は、ICE 接続時あるいはモニタデバッガ利用時を想定しています。測定の設定および結果の読出しは、ユーザプログラムの実行が中断しているデバッグモードにて行います。

測定例としては、以下のようなものがあります。

- ユーザプログラム上の 2 点間の測定
- 基準時間ベースの測定

以下、これらについて説明します。

● ユーザプログラム上の 2 点間の測定

この測定では、ユーザプログラム上の測定開始ポイントおよび測定終了ポイントを以下のとおりに設定します。

- 測定開始ポイント: ユーザプログラムの実行開始ポイント

- 測定終了ポイント: ユーザプログラムのブレークポイント

測定フローを以下に示します。

1. デバッグモードにて測定の設定およびカウンタの初期化を行う
2. 測定開始ポイントからユーザプログラムを実行開始する
3. 測定終了ポイントにてブレークし、ユーザプログラムを実行終了する
4. デバッグモードへ移行し、測定結果を読み出す

● 基準時間ベースの測定

この測定では、基準時間ごとにデバッグモードに移行して、測定結果の読出しとカウンタの初期化を行います。

基準時間ごとのデバッグモード移行方法としては、次の 2 つが挙げられます。

- ICE 側から基準時間ごとにツールブレークをアサートし、デバッグモードに移行する(ICE 接続時)

- 内蔵タイマのインターバル時間に基準時間を設定し、タイマ割込みルーチンにおける INTE 命令実行でデバッグモードへ移行する

測定フローを以下に示します。

1. デバッグモードにて測定の設定およびカウンタの初期化を行う
2. 測定対象のユーザプログラムを実行開始する
3. 基準時間によるツールブレーク、あるいは、内蔵タイマの割込みルーチンにおける INTE 命令実行
4. デバッグモードへ移行し、測定結果を読み出す
5. 測定カウンタの初期化
6. 以下、2.～5.を繰り返す

測定結果は、Softune Workbench などのデバッガのホストプログラムにて解析します。解析結果は、直感的に理解できるようにグラフ(円グラフ, 棒グラフ, 折れ線グラフなど)にて視覚的に表示され、ユーザのプログラムチューニングに有益な情報を提供します(バス・パフォーマンス・アナライザ機能)。以下は、解析例です。

解析例:

1. バスマスタのアクセス比率
   Ex. CPU アクセス対 DMAC アクセスの比率、全アクセスに占める特定バスマスタアクセスなど
2. 発生イベント比率
   Ex. リードアクセス対ライトアクセスの比率、全サイクルに占めるウェイトサイクル比率など
3. ターゲットの被アクセス比率
   Ex. MCH 対 ICH の比率、全アクセスに占める特定ターゲットへのアクセス比率など
4. 特定バスマスタから特定ターゲットへの特定アクセス比率
   Ex. 全アクセスに占める CPU から MCH へのリードアクセスの比率など
5. 特定ターゲットでのウェイトサイクル発生比率
   Ex. 全ウェイトサイクルに占める MCH アクセス時のウェイトサイクル比率など
6. プログラムの特定 2 点間の各種バス動作解析
   Ex. プログラムの特定 2 点間の全サイクルに占めるリード/ライト/ウェイトサイクル比率など
7. 一定時間ごとの時間推移における各種バス動作解析
   Ex. 全アクセスに占める特定バスマスタの/特定ターゲットへのアクセス比率の時間推移など

Chapter 38: CRC

CRC について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS15-2v1-91520-6-J

1. 概要

CRC の概要について説明します。

本モジュールは、CRC 値を計算します。

CRC(Cyclic Redundancy Check)とは、誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データは正しいと判断します。

2. 特長

CRC の特長について説明します。

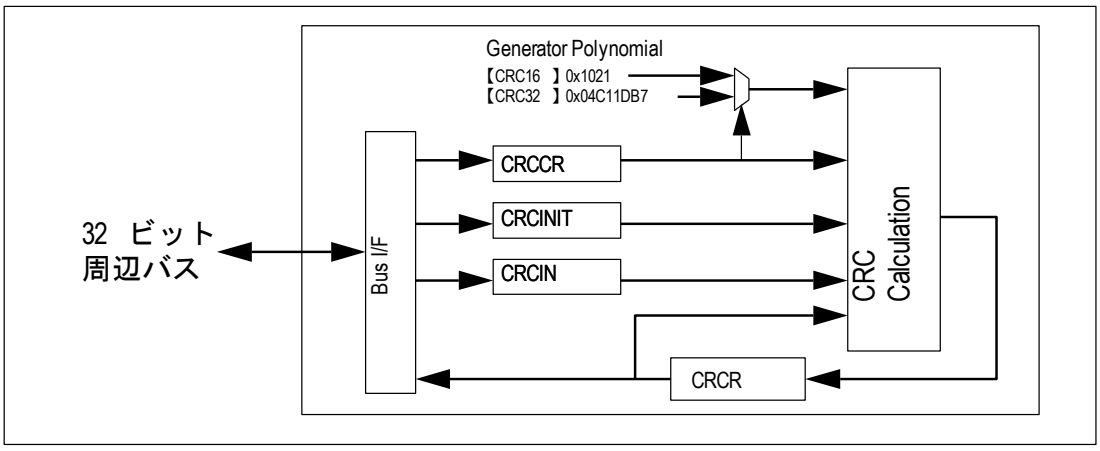
本モジュールでは、CCITT CRC16 と、IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つ用の数値に固定されていますので、他の生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式 : 0x1021
- IEEE-802.3 CRC32 生成多項式 : 0x04C11DB7

3. 構成

CRC の構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

CRC のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1130	予約			CRCCR	CRC 制御レジスタ
0x1134	CRCINIT				CRC 初期値レジスタ
0x1138	CRCIN				Input Data レジスタ
0x113C	CRCR				CRC レジスタ

4.1. CRC 制御レジスタ ：CRCCR (CRC Control Register)

CRC 制御レジスタのビット構成について示します。

CRC 計算の制御を行います。

■ CRCCR： アドレス 1133$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R0,W

[bit7] 予約
必ず"0"を書いてください。

[bit6] FXOR (Final XOR) : Final XOR 制御ビット
CRC 結果を XOR 値と XOR して出力します。XOR 値は ALL .H.で、FXOR=1 時はビット反転となります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。

[bit5] CRCLSF (CRC result LSb First) : CRC 結果ビットオーダ設定ビット
CRC 結果のビットオーダ設定ビットです。バイト内のビット並び替えを行います。"0"のとき MSB First、"1"のとき LSB First になります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。

[bit4] CRCLTE (CRC result LiTtle Endian) : CRC 結果バイトオーダ設定ビット
CRC 結果のバイトオーダ設定ビットです。ワード内のバイトオーダ並び替えを行います。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。CRC レジスタの後段で処理を行いますので、本ビット設定後すぐに CRC 結果読出し値に反映されます。 CRC16 の場合に本ビットを"1"にした場合、

31-16 ビット目に出力となります。

[bit3] LSBFST (LSB FirST) : **ビットオーダ設定ビット**
ビットオーダ設定ビットです。バイト(8bit)の先頭ビットを指定します。"0"のとき MSB First、"1"のとき LSB First になります。LTLEND の設定と組み合わせて、4 通りの処理順を指定可能です。

[bit2] LTLEND (LitTtLe ENDian) : **バイトオーダ設定ビット**
バイトオーダ設定ビットです。書込み幅でのバイト配置順を指定します。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

[bit1] CRC32 (CRC32) : **CRC モード選択ビット**
CRC16 と CRC32 のモード選択ビットです。CRC32=1 のとき、CRC32 の演算モードになります。

[bit0] INIT (INITialize) : **初期化ビット**
初期化ビットです。ソフトウェアにより、本ビットに"1"を書き込むと、初期化が行われます。このビットは値を持たず、読込み時は常に"0"を返します。 初期化では、初期値レジスタの値が、ハードウェアにより CRC レジスタにロードされます。 初期化は、CRC 計算の最初に 1 度実行してください。

4.2. CRC 初期値レジスタ ：CRCINIT (CRC Initial value register)

CRC 初期値レジスタのビット構成について示します。

CRC 計算の初期値を設定します。

■ CRCINIT : アドレス 1134$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	1	1	・	・	・	1	1	1
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] D (Data) : **初期値ビット**
CRC 計算の初期値を記憶します。ソフトウェアは、CRC 計算の初期値を書込みします(リセット後は 0xFFFF_FFFF)。CRC16 のときは、D15-D0 を使用し、D31-D16 は無視します。

4.3. Input Data レジスタ ：CRCIN (CRC INput data register)

Input Data レジスタのビット構成について示します。

CRC 計算の入力データを設定します。

■ CRCIN： アドレス 1138$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	0	0	・	・	・	0	0	0
属性	R/W	R/W	・	・	・	R/W	R/W	R/W

[bit31～bit0] D (Data) : Input Data ビット

CRC 計算の入力データを設定します。ソフトウェアは、CRC 計算の入力データを書込みします。ビット幅は 8, 16, 32 に対応します。混在も可能です。バイト書込み、ハーフワード書込み時の、書込み位置は任意です。取り得るアドレス位置は、バイト書込み: +0, +1, +2, +3、ハーフワード書込み: +0, +2。

4.4. CRC レジスタ ：CRCR (CRC Register)

CRC レジスタのビット構成について示します。

CRC 計算の結果を出力します。

■ CRCR： アドレス 113C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	・	・	・	bit2	bit1	bit0
	D[31:0]							
初期値	1	1	・	・	・	1	1	1
属性	R,WX	R,WX	・	・	・	R,WX	R,WX	R,WX

[bit31～bit0] D (Data) : CRC ビット

CRC 計算の結果を出力します。ソフトウェアが、初期化ビット(CRCCR.INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値が本レジスタにロードされます。ソフトウェアが、CRC 計算の入力データを Input Data レジスタ(CRCIN)に書込みした場合、ハードウェアによって、直ちに CRC 計算結果が本レジスタに設定されます。すべての入力データ書込みが完了したとき、本レジスタは最終的な CRC コードを保持していることになります。 CRC16 の場合は、バイトオーダがビッグエンディアン(CRCLTE=0)のときは D15～D0、リトルエンディアン(CRCLTE=1)のときは D31-D16 の位置に結果が出力されます。

5. 動作説明

CRC について説明します。

5.1. CRC の定義
5.2. リセット動作
5.3. 初期化
5.4. バイトオーダとビットオーダ
5.5. CRC 計算シーケンス
5.6. 使用例

5.1. CRC の定義

CRC の定義について示します。

CCITT CRC16 Standard

生成多項式	0x1021	(CRCCR.CRC32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR.FXOR=0)
ビットオーダ	MSB First	(CRCCR.LSBFST=0)
出力ビットオーダ	MSB First	(CRCCR.CRCLSF=0)

(入出力のバイトオーダは任意に設定可能)

IEEE-802.3 CRC32 Ethernet Standard

生成多項式	0x04C11DB7	(CRCCR.CRC32=1)
初期値	0xFFFF_FFFF	
Final XOR 値	0xFFFF_FFFF	(CRCCR.FXOR=1)
ビットオーダ	LSB First	(CRCCR.LSBFST=1)
出力ビットオーダ	LSB First	(CRCCR.CRCLSF=1)

(入出力のバイトオーダは任意に設定可能)

5.2. リセット動作

リセット動作について示します。

リセット時は、初期値レジスタ(CRCINIT)と、CRC レジスタ(CRCR)を 0xFFFF_FFFF に設定します。その他は"0"クリアです。

5.3. 初期化

初期化について示します。

CRCCR.INIT による初期化では、初期値レジスタの値を CRC レジスタ(CRCR)にロードします。

5.4. バイトオーダとビットオーダ

バイトオーダとビットオーダについて示します。

例を用いて説明します。次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101 01010010 10101011 00000001

バイトオーダをビッグエンディアン(CRCCR.LTLEND=0)とした場合、バイト単位の送信順序は、

10000101 01010010 10101011 00000001
(1 番目)　(2 番目)　(3 番目)　(4 番目)

ビットオーダを LSB First(CRCCR.LSBFST=1)とした場合、ビット単位の送信順序は、

10100001 01001010 11010101 10000000
(先頭)　　(最後)

＜注意事項＞

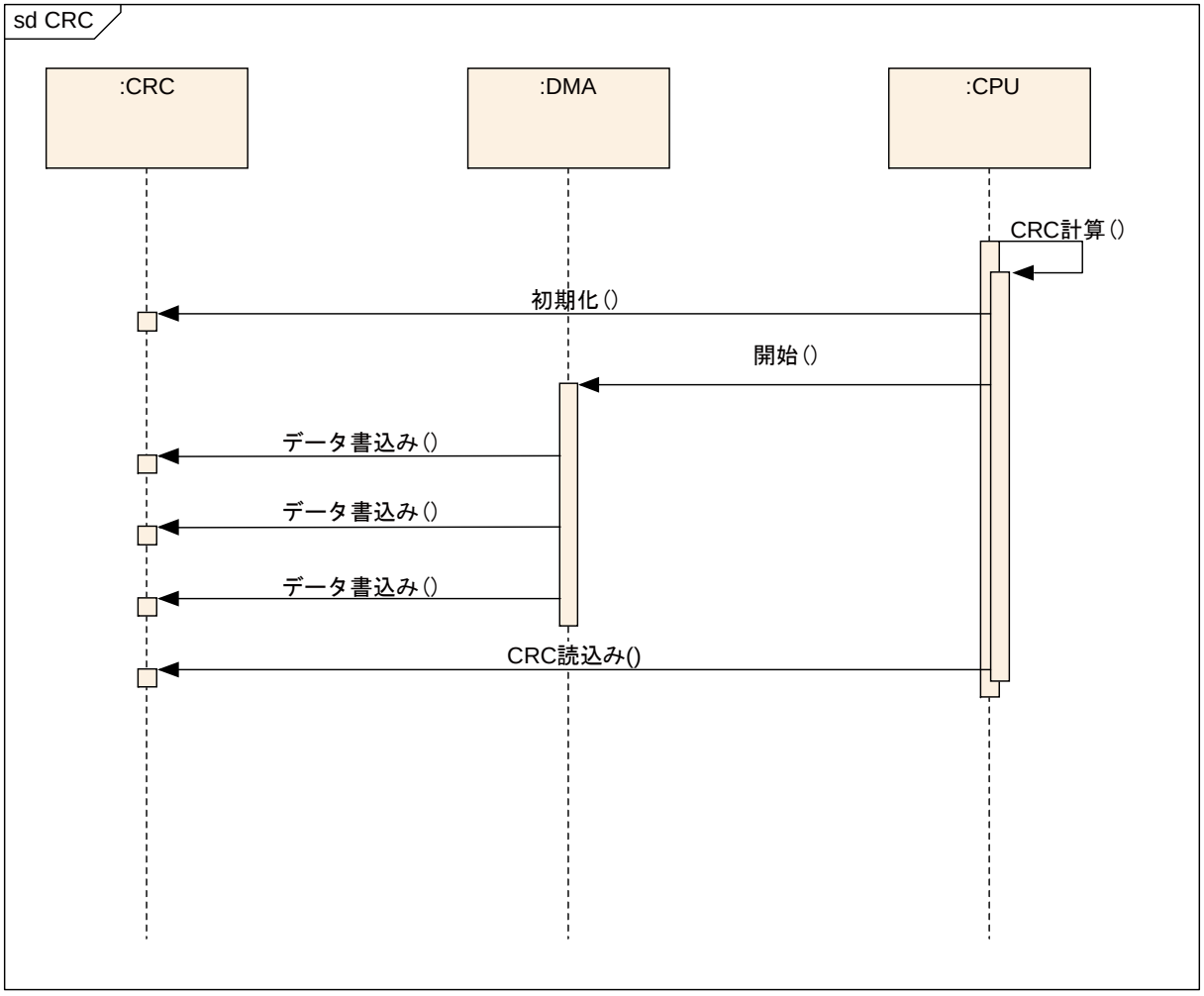
- CRCCR.CRCLTE=1 のとき、CRC 結果は、CRC16,CRC32 ともに 32bit 幅でのバイト並び替えとなります。
- 特に CRC16 のときは bit31-bit16 の位置に出力となりますので注意が必要です。

5.5. CRC 計算シーケンス

CRC 計算シーケンスについて示します。

CRC 計算のシーケンスを次に示します。初期値レジスタ(CRCINIT)の設定、CRC16/32 の選択(CRCCR.CRC32)、バイトオーダ・ビットオーダの設定(CRCCR.LTLEND, CRCCR.LSBFST)は既にされているとします(初期値が ALL "H"で良い場合は、初期値レジスタ(CRCINIT)の設定操作は省略可能です)。

図 5-1 CRC 計算シーケンス



- 初期化は、初期化ビット(CRCCR.INIT)への"1"書込みで行います。CRC レジスタ(CRCR)に初期値レジスタの値がロードされます。
- 入力データ書込みは、Input Data レジスタ(CRCIN)への書込みで行います。書込み操作により、CRC 計算が開始されます。連続書込みに対応します。また、異なる bit 幅書込みをシーケンス中に混在させることが可能です。
- CRC コード取得は、CRC レジスタ(CRCR)の読込みで行います。

5.6. 使用例

使用例について示します。

5.6.1. 使用例 1 CRC16、バイト入力固定
5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在
5.6.3 使用例 3 CRC32、バイトオーダ、ビッグエンディアン
5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン

5.6.1. 使用例 1 CRC16、バイト入力固定

使用例 1 CRC16、バイト入力固定について示します。

図 5-2 使用例 1

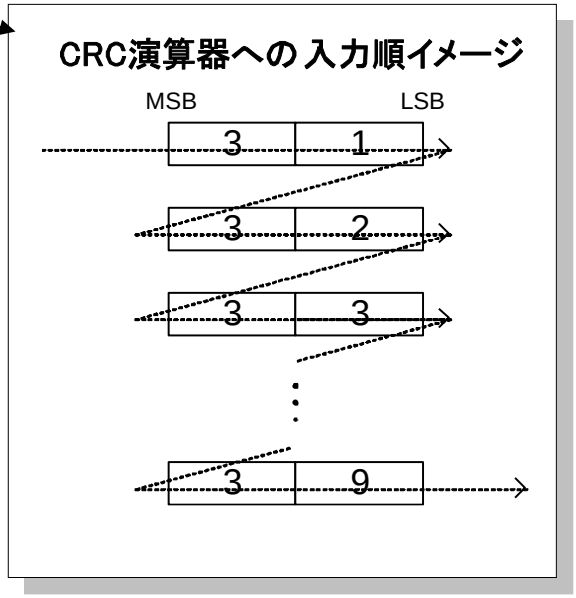
```
//****************************************
// CRC16 (CRC ITU-T)
// polynomial: 0x1021
// initial value: 0xFFFF
// CRCCR.CRC32:  0 // CRC16
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 0 // MSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 0 // CRC MSB First
// CRCCR.FXOR:   0 // CRC Final XOR off
//****************************************
//
// 例 1-1 (byte 単位書込み)
//
// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例１－２ (CRC チェック)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);
B_WRITE (CRCIN, 0x29); // <-- CRC
B_WRITE (CRCIN, 0xB1); // <-- CRC

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

（以下を想定）

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読込み
H_READ　— ハーフワード読込み
W_READ　— ワード読込み

CRCCR　— 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— 入力データレジスタアドレス
CRCR　— カレントCRCレジスタアドレス



- バイト・ハーフワードの書込み位置は任意です。本使用例では+0 の位置に連続して書込みをしています。
- CRC16 で、CRC 結果のバイトオーダがビッグエンディアンの場合は bit15～bit0 の位置に結果が出力となりますので、H_READ8 (ハーフワード読込み)のアドレスは+2 としています。

5.6.2. 使用例 2 CRC16、入力 bit 幅異種混在

使用例 2 CRC16、入力 bit 幅異種混在について示します。

図 5-3 使用例 2

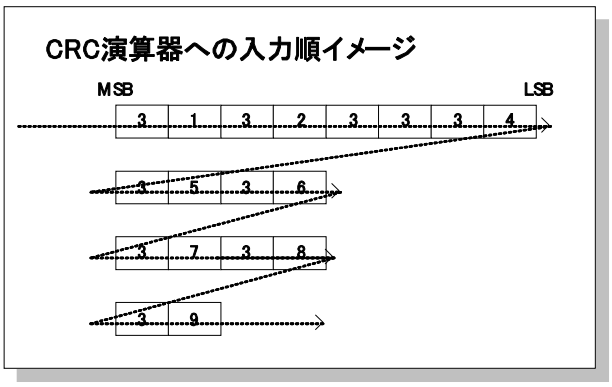
```
//*************************************
// CRC16 (CRC ITU-T)
// polynomial:    0x1021
// initial value: 0xFFFF
// CRCCR.CRC32    0 // CRC16
// CRCCR.LTLEND:  0 // big endian
// CRCCR.LSBFST:  0 // MSB First
// CRCCR.CRCLTE:  0 // CRC big endian
// CRCCR.CRCLSF:  0 // CRC MSB First
// CRCCR.FXOR:    0 // CRC Final XOR off
//*************************************

//
//  例２－１(書込みサイズ混在)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
W_WRITE (CRCIN, 0x31323334);
H_WRITE (CRCIN, 0x3556);
H_WRITE (CRCIN+2, 0x3738);
B_WRITE (CRCIN+3, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例 2-2(CRC チェック)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
W_WRITE (CRCIN, 0x31313334);
W_WRITE (CRCIN, 0x35363738);
H_WRITE (CRCIN, 0x3929);   // <-- CRC(0x29)
B_WRITE (CRCIN, 0xB1);     // <-- CRC(0xB1)

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

（以下を想定）

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読込み
H_READ　— ハーフワード読込み
W_READ　— ワード読込み

CRCCR　— 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— 入力データレジスタアドレス
CRCR　— カレントCRCレジスタアドレス



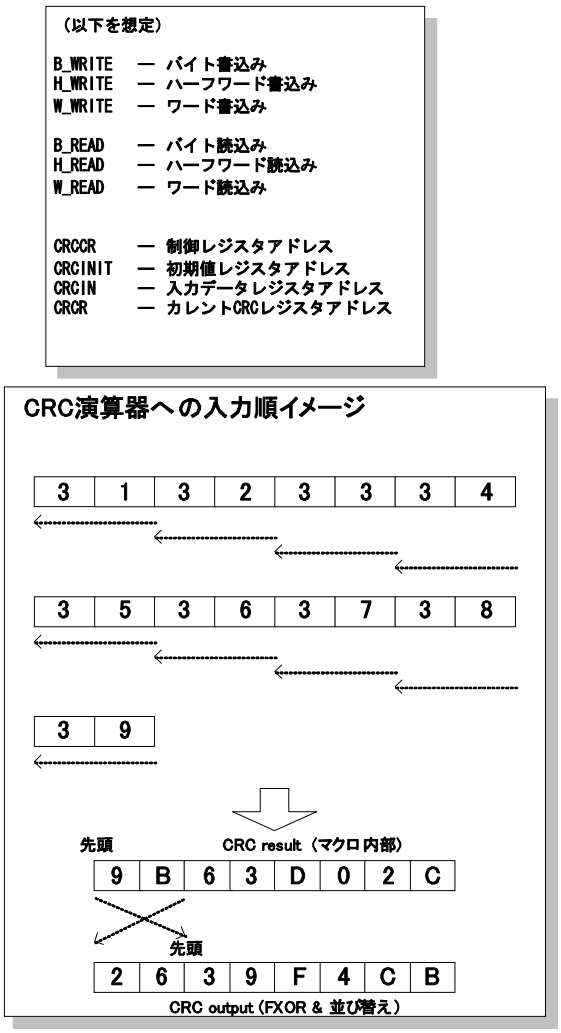
- バイトオーダ、ビットオーダを正しく設定し、CRC 演算器への bit 入力順が同じであれば、書込み幅は任意にできます。
- 例えば、基本をワード書込みとし、最後に 1, 2, 3 バイトの端数が出た場合に、バイト・ハーフワード書込みが混在するケースが考えられます。

5.6.3. 使用例 3 CRC32、バイトオーダ、ビッグエンディアン

使用例 3 CRC32、バイトオーダ、ビッグエンディアンについて示します。

図 5-4 使用例 3

```
//**********************************
// CRC32 (IEEE-802.3)
// polynomial: 0x04C11DB7
// initial value: 0xFFFF_FFFF
// CRCCR.CRC32 1 // CRC32
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 1 // LSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 1 // CRC LSB First
// CRCCR.FXOR: 1 // CRC Final XOR on
//**********************************

//
// 例 3-1(CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x6B);

// data write "123456789"
W_WRITE (CRCIN, 0x31323334);
W_WRITE (CRCIN, 0x35363738);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check CRC result
assert (data == 0x2639F4CB);
 // <- big endian & LSB First
```



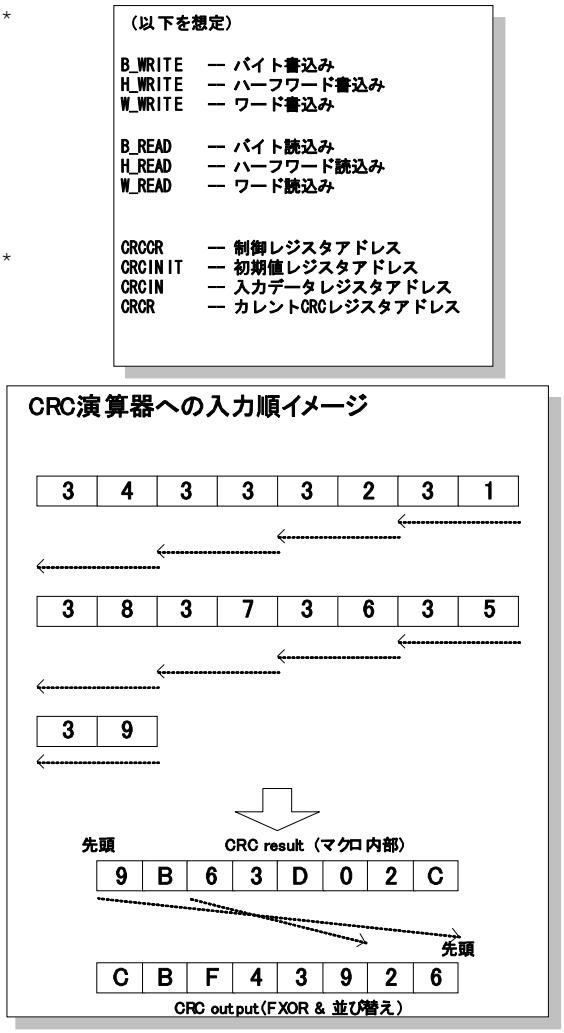
・CRC32(IEEE-802.3)のときは、ビットオーダは LSB First となります。本 CRC 演算器では、バイトオーダはどちらでも対応可能であり、上図はビッグエンディアンの場合を示しています。

5.6.4. 使用例 4 CRC32、バイトオーダ、リトルエンディアン

使用例 4 CRC32、バイトオーダ、リトルエンディアンについて示します。

図 5-5 使用例 4

```
//*************************************
// CRC32 (IEEE-802.3)
// polynomial: 0x04C11DB7
// initial value: 0xFFFF_FFFF
// CRCCR.CRC32 1 // CRC32
// CRCCR.LTLEND: 1 // little endian
// CRCCR.LSBFST: 1 // LSB First
// CRCCR.CRCLTE: 1 // CRC little endian
// CRCCR.CRCLSF: 1 // CRC LSB First
// CRCCR.FXOR: 1 // CRC Final XOR on
//*************************************

//
// 例 4-1 (CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x7F);

// data write "123456789"
W_WRITE (CRCIN, 0x34333231);
W_WRITE (CRCIN, 0x38373635);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check result
assert (data == 0xCBF43926);
 // <- little endian & LSB First
```



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First となります。本 CRC 演算器では、バイトオーダはどちらでも対応可能であり、上図はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は、初期化を 0x3F で行って演算を行うか、データ入力後に、CRCCR.FXOR ビットを"0"(例えば CRCCR=0x3E)にすることで、現在の結果に対してビット反転を解除できます。

Chapter 39: RAMECC 機能

RAMECC 機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS28_ECC-3v1-91520-8-J

1. 概要

RAMECC の概要について説明します。

RAMECC 機能は、RAM にリードまたはライトするデータについて、バイト単位での 1 ビット誤り訂正 2 ビット誤り検出を実施します。

2. 特長

RAMECC の特長について説明します。

■ 対象 RAM

・XBS RAM

MB91F522: 48K バイト
MB91F523: 48K バイト
MB91F524: 64K バイト
MB91F525: 96K バイト
MB91F526: 128K バイト

・BackupRAM

8K バイト

■ RAMECC 機能

RAM にリードまたは、ライトするデータについて、バイト単位で 2 ビットまでの誤り検出を実施します。また、誤り検出が 1 ビットの場合、誤り訂正を実施します。

■ 割込み機能

ダブルビットエラーを感知し RAM ダブルビットエラー割込み信号を発生します。

■ テストモード

ソフトデバッグ用として、擬似エラーを発生します。

3. 構成

RAMECC の構成について説明します。

図 3-1 XBS RAM ECC 機能のブロックダイヤグラム(構成)

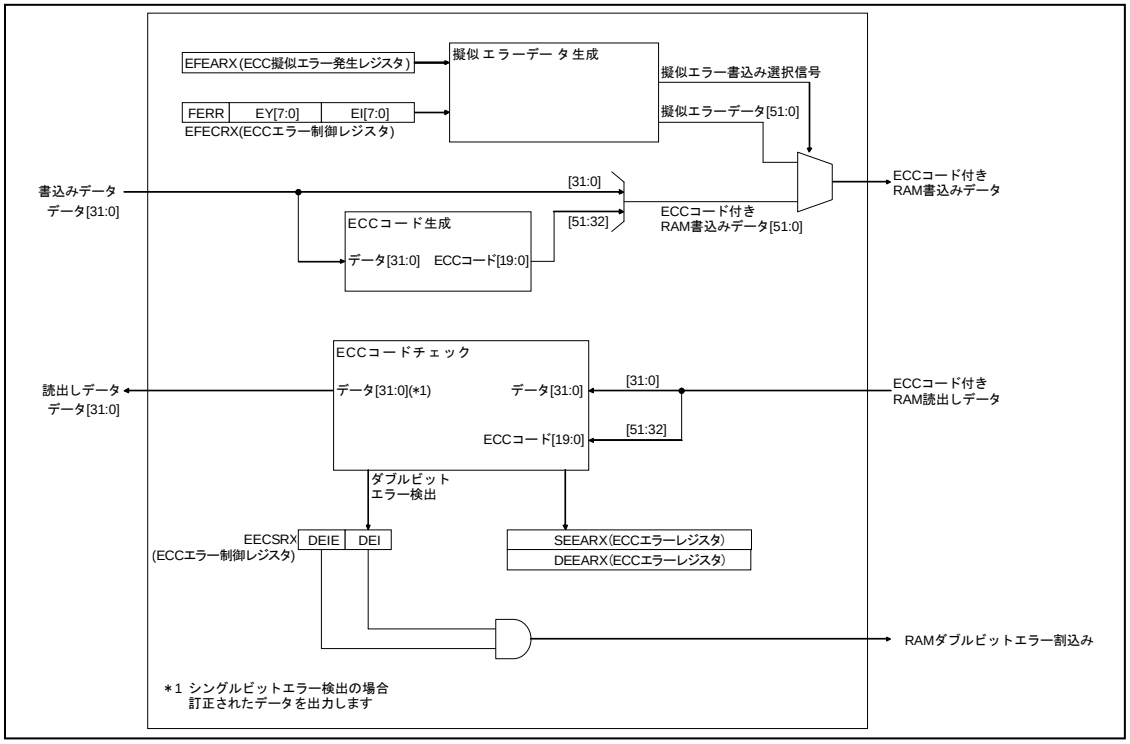
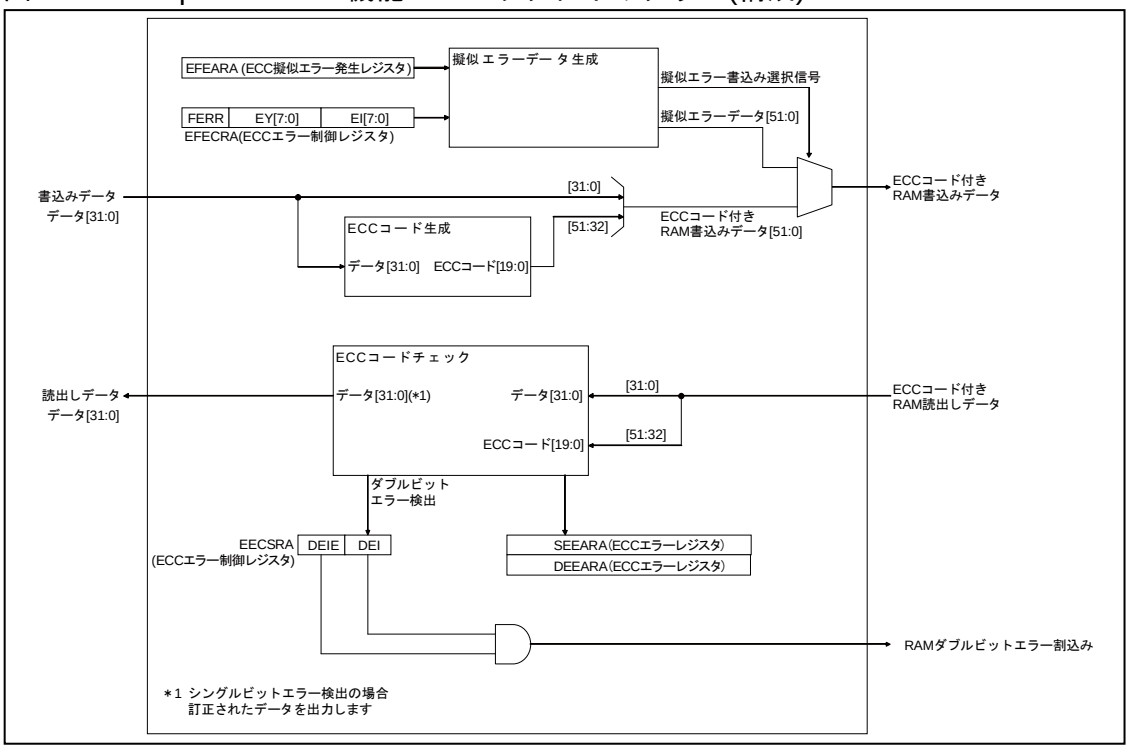


図 3-2 Backup RAM ECC 機能のブロックダイヤグラム(構成)



4. レジスタ

RAMECC のレジスタについて説明します。

表 **4-1** レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x2400	SEEARX		DEEARX		シングルビット ECC エラーアドレスレジスタ XBS RAM ダブルビット ECC エラーアドレスレジスタ XBS RAM
0x2404	EECSRX	予約	EFEARX		ECC エラー制御レジスタ XBS RAM ECC 擬似エラー発生アドレスレジスタ XBS RAM
0x2408	予約	EFECRX			ECC 擬似エラー発生制御レジスタ XBS RAM
0x3000	SEEARA		DEEARA		シングルビット ECC エラーアドレスレジスタ BACKUP-RAM ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM
0x3004	EECSRA	予約	EFEARA		ECC エラー制御レジスタ BACKUP-RAM ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM
0x3008	予約	EFECRA			ECC 擬似エラー発生制御レジスタ BACKUP-RAM

4.1. シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX

シングルビット ECC エラーアドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。

■ SEEARX: アドレス 2400H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] 予約

必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : シングルビットエラー発生アドレスビット

ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。
本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(SEEARX で示されるオフセット+2'b00)

4.2. ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX

ダブルビット ECC エラーアドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

■ DEEARX: アドレス 2402_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] 予約

必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : ダブルビットエラー発生アドレスビット

ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットです。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(DEEARX で示されるオフセット+2'b00)

4.3. ECC エラー制御レジスタ XBS RAM : EECSRX

ECC エラー制御レジスタ XBS RAM のビット構成について示します。

XBS RAMのECC検査時に1ビット誤り訂正または2ビット誤り検出が実施されたかどうかという状態を保持し、また2ビット誤り検出による割込みを許可するかどうかの設定を行います。

■ EECSRX: アドレス 2404_H (アクセス: バイト、ハーフワード、ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				DEIE	DEI	予約	SEI
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W0	R(RM1),W0

[bit7 ～ bit4] 予約

必ず"0"を書込んでください。

[bit3] DEIE : ダブルビットエラー要因の割込み許可ビット

DEIE	機能
0	割込み禁止
1	割込み許可

[bit2] DEI : ダブルビットエラー発生ビット

DEI	読出し	書込み
0	ダブルビットエラーは発生していない	本ビットをクリア
1	ダブルビットエラーが発生した	効果ありません

[bit1] 予約

必ず"0"を書込んでください。

[bit0] SEI : シングルビットエラー発生ビット

SEI	読出し	書込み
0	シングルビットエラーは発生していない	本ビットをクリア
1	シングルビットエラーが発生した	効果ありません

4.4. ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEARX

ECC 擬似エラー発生アドレスレジスタ XBS RAM のビット構成について示します。

XBS RAM の擬似エラーを発生させるアドレスを指定します。

■ EFEARX: アドレス 2406_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約

必ず"0"を書込んでください。

[bit14 ～ bit0] D14 ～ D0 : 擬似エラー発生アドレス設定ビット

XBS RAM の擬似 ECC エラーを発生させるアドレスを設定します。

EFECRX.FERR=1 のとき、本アドレスへのライトアクセスを発生させ、EFECRX の設定にしたがって、書き込むデータに故意にエラーを含ませることで ECC エラーを起こします。

＜注意事項＞

上記アドレスはワード単位のオフセットです。絶対アドレスはベースアドレスに下位 2 ビットを加えて XBS RAM のベース・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(EFEARX で設定するオフセット+2'b00)

4.5. ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX

ECC 擬似エラー発生制御レジスタ XBS RAM のビット構成について示します。

ECC擬似エラー発生制御レジスタ(EFECRX)は、発生させる XBS RAMの擬似エラーの内容を、発生バイト,発生ビットという形で指定します。

■ EFECRX: アドレス 2409_H (アクセス: バイト、ハーフワード、ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							FERR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EY7	EY6	EY5	EY4	EY3	EY2	EY1	EY0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EI7	EI6	EI5	EI4	EI3	EI2	EI1	EI0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit23 ～ bit17] 予約

必ず"0"を書込んでください。

[bit16] FERR : 擬似エラー発生許可ビット

FERR	機能
0	擬似 ECC エラーの発生を禁止
1	擬似 ECC エラーの発生を許可

XBS RAM の擬似 ECC エラーの発生を許可します。

"0"に設定した場合 : 擬似 ECC エラーの発生を禁止します。(通常動作)
なお、ソフトウェアからの"0"ライトは無視されます。

"1"に設定した場合 : 擬似 ECC エラーの発生を許可します。

"1"に設定されると、以下の動作シーケンスを自動的に行います。

1. EFEARX で指定されたアドレスに、EY7-0, EI7-0 の内容にしたがって、故意にエラーを含むデータをライトする
2. 同アドレスをリードし、ECC エラーを検出する
3. このビットを"0"にクリアする

[bit15 ～ bit8] EY7 ～ EY0 : 擬似エラー発生バイト設定ビット

EY7 ～ EY0	RAM 上の対象バイト
EY0	RAM データ[7:0]
EY1	RAM データ[15:8]
EY2	RAM データ[23:16]
EY3	RAM データ[31:24]
EY4	RAM データ[36:32]
EY5	RAM データ[41:37]
EY6	RAM データ[46:42]
EY7	RAM データ[51:47]

XBS RAM の擬似 ECC エラーを発生させる対象のバイト位置を指定します。
例えば、EY2=1 で他は"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[23:16]となり、他のデータではエラーは発生しません。
また、EY2=EY3=1 で他は"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[31:16]となります。

[bit7 ～ bit0] EI7 ～ EI0 : 擬似エラー発生ビット設定ビット

EI7 ～ EI0	Byte 上の対象ビット
EI0	[0]
EI1	[1]
EI2	[2]
EI3	[3]
EI4	[4]
EI5	[5]
EI6	[6]
EI7	[7]

XBS RAM の擬似 ECC エラーを発生させる対象のビット位置を指定します。
例えば、EY2=1, EI4=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[20] となり、シングルビットエラーを訂正することになります。
また、EY2=1, EI4=EI7=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[23], RAM データ[20]となり、ダブルビットエラーを検出することになります。
また、EY2=EY3=1, EI4=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[28], RAM データ[20]となり、それぞれのバイトでシングルビットエラーを訂正することになります。

＜注意事項＞

2408_H は予約ビットです。ハーフワード、ワードアクセス時の動作は以下になります。
読出し時は、必ず"0 "が読み出されます。
書込み時は、必ず"0 "を書き込んでください。

4.6. シングルビット ECC エラーアドレスレジスタ BACKUP-RAM : SEEARA

シングルビット ECC エラーアドレスレジスタ BACKUP-RAM のビット構成について示します。

Backup RAM の ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。

■ SEEARA: アドレス 3000_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15 ～ bit11] 予約
必ず"0"を書込んでください。

[bit10 ～ bit0] D10 ～ D0 : シングルビットエラー発生アドレスビット
ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。
本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビットを加えて Backup RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(SEEARA で示されるオフセット+2'b00)

4.7. ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM : DEEARA

ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM のビット構成について示します。

Backup RAM の ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

■ DEEARA: アドレス 3002_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15 ～ bit11] 予約

必ず"0"を書込んでください。

[bit10 ～ bit0] D10 ～ D0 : ダブルビットエラー発生アドレスビット

ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。
本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることはなく、最初の値が保持されます。

＜注意事項＞

上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて Backup RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(DEEARA で示されるオフセット+2'b00)

4.8. ECC エラー制御レジスタ BACKUP-RAM : EECSRA

ECC エラー制御レジスタ BACKUP-RAM のビット構成について示します。

Backup RAM の ECC 検査時に、1 ビット誤り訂正または 2 ビット誤り検出が実施されたかどうかという状態を保持し、また 2 ビット誤り検出による割込みを許可するかどうかの設定を行います。

■ EECSRA: アドレス 3004_H (アクセス: バイト、ハーフワード、ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				DEIE	DEI	予約	SEI
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W0	R(RM1),W 0

[bit7 ～ bit4] 予約

必ず"0"を書込んでください。

[bit3] DEIE : ダブルビットエラー要因の割込み許可ビット

DEIE	機能
0	割込み禁止
1	割込み許可

[bit2] DEI : ダブルビットエラー発生ビット

DEI	読出し	書込み
0	ダブルビットエラーは発生していない	本ビットをクリア
1	ダブルビットエラーが発生した	効果ありません

[bit1] 予約

必ず"0"を書込んでください。

[bit0] SEI : シングルビットエラー発生ビット

SEI	読出し	書込み
0	シングルビットエラーは発生していない	本ビットをクリア
1	シングルビットエラーが発生した	効果ありません

4.9. ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM : EFEARA

ECC 疑似エラー発生アドレスレジスタ BACKUP-RAM のビット構成について示します。

Backup RAM の擬似エラーを発生させるアドレスを指定します。

■ EFEARA: アドレス 3006_H (アクセス: バイト、ハーフワード、ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit11] 予約

必ず"0"を書込んでください。

[bit10 ～ bit0] D10 ～ D0 : 擬似エラー発生アドレス設定ビット

Backup RAM の擬似 ECC エラーを発生させるアドレスを設定します。

EFECRA.FERR=1 のとき、本アドレスへのライトアクセスを発生させ、EFECRA の設定にしたがって、書き込むデータに故意にエラーを含ませることで ECC エラーを起こします。

＜注意事項＞

上記アドレスはワード単位のオフセットです。絶対アドレスはベースアドレスに下位 2 ビットを加えて Backup RAM のベース・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(EFEARA で設定するオフセット+2'b00)

4.10. ECC 擬似エラー発生制御レジスタ BACKUP-RAM : EFECRA

ECC 疑似エラー発生制御レジスタ BACKUP-RAM のビット構成について示します。

ECC 擬似エラー発生制御レジスタ(EFECRA)は、発生させる Backup RAM の擬似エラーの内容を、発生バイト, 発生ビットという形で指定します。

■ EFECRA: アドレス 3009_H (アクセス: バイト、ハーフワード、ワード)

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							FERR
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EY7	EY6	EY5	EY4	EY3	EY2	EY1	EY0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EI7	EI6	EI5	EI4	EI3	EI2	EI1	EI0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit23 ～ bit17] 予約

必ず"0"を書込んでください。

[bit16] FERR : 擬似エラー発生許可ビット

FERR	機能
0	擬似 ECC エラーの発生を禁止
1	擬似 ECC エラーの発生を許可

Backup RAM の擬似 ECC エラーの発生を許可します。

"0"に設定した場合 : 擬似 ECC エラーの発生を禁止します。(通常動作)
なお、ソフトウェアからの"0"ライトは無視されます。

"1"に設定した場合 : 擬似 ECC エラーの発生を許可します。

"1"に設定されると、以下の動作シーケンスを自動的に行います。

1. EFEARA で指定されたアドレスに、EY7-0, EI7-0 の内容にしたがって、故意にエラーを含むデータをライトする
2. 同アドレスをリードし、ECC エラーを検出する
3. このビットを"0"にクリアする

[bit15 ～ bit8] EY7 ～ EY0 : 擬似エラー発生バイト設定ビット

EY7 ～ EY0	RAM 上の対象バイト
EY0	RAM データ[7:0]
EY1	RAM データ[15:8]
EY2	RAM データ[23:16]
EY3	RAM データ[31:24]
EY4	RAM データ[36:32]
EY5	RAM データ[41:37]
EY6	RAM データ[46:42]
EY7	RAM データ[51:47]

Backup RAM の擬似 ECC エラーを発生させる対象のバイト位置を指定します。
例えば、EY2=1 で他は"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[23:16]となり、他のデータではエラーは発生しません。
また、EY2=EY3=1 で他は"0"の場合、擬似エラーを発生させる対象バイトは、RAM データ[31:16]となります。

[bit7 ～ bit0] EI7 ～ EI0 : 擬似エラー発生ビット設定ビット

EI7 ～ EI0	Byte 上の対象ビット
EI0	[0]
EI1	[1]
EI2	[2]
EI3	[3]
EI4	[4]
EI5	[5]
EI6	[6]
EI7	[7]

Backup RAM の擬似 ECC エラーを発生させる対象のビット位置を指定します。
例えば、EY2=1, EI4=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[20] となり、シングルビットエラーを訂正することになります。
また、EY2=1, EI4=EI7=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[23], RAM データ[20]となり、ダブルビットエラーを検出することになります。
また、EY2=EY3=1, EI4=1 で他は"0"の場合、擬似エラーを発生させる対象ビットは、RAM データ[28], RAM データ[20]となり、それぞれのバイトでシングルビットエラーを訂正することになります。

＜注意事項＞

3008_H は予約ビットです。ハーフワード、ワードアクセス時の動作は以下になります。
読出し時は、必ず"0 "が読み出されます。
書込み時は、必ず"0 "を書き込んでください。

---

5. 動作説明

動作の説明をします。

5.1. RAMECC 機能

5.2. 割込み関連レジスタ

5.3. テストモード

5.4. 注意事項

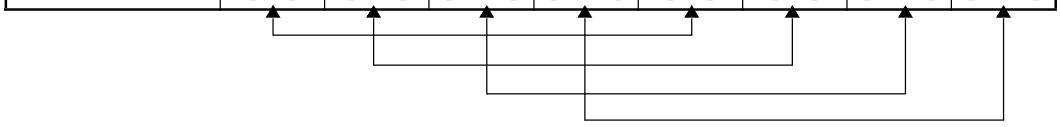
5.1. RAMECC 機能

RAMECC 機能について説明します。

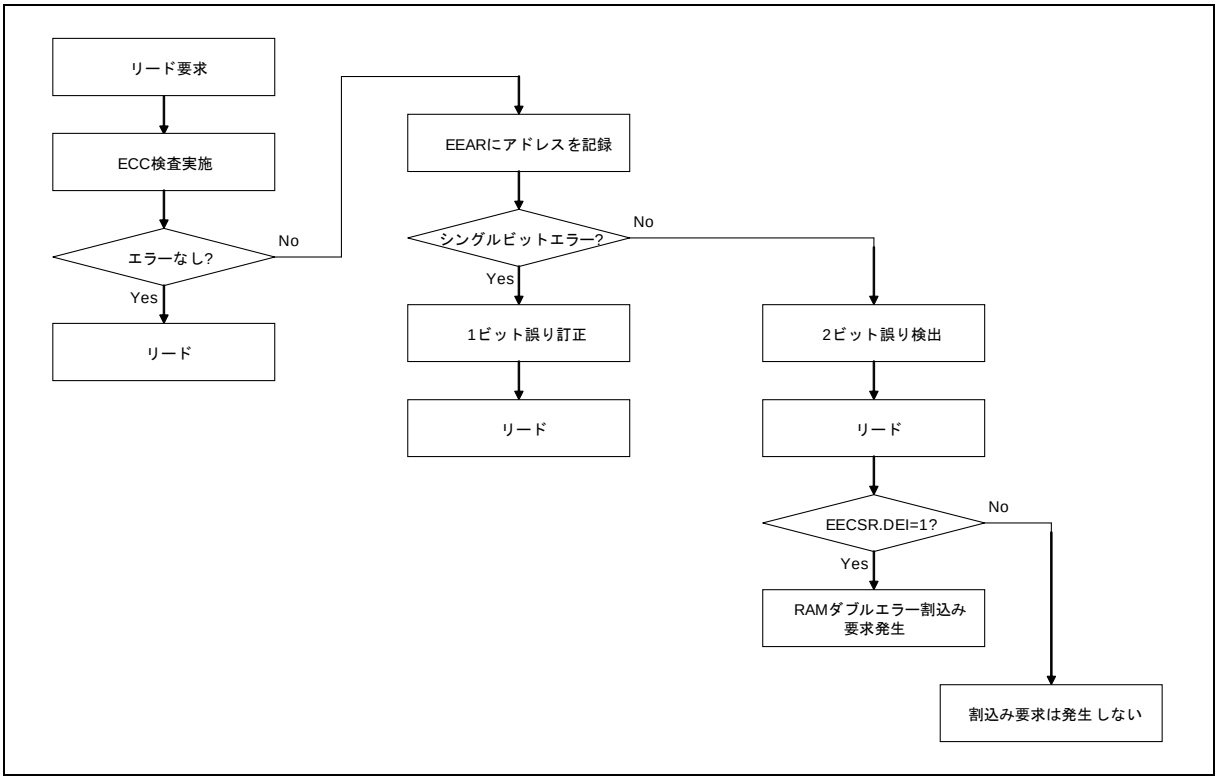
RAMECC 機能は常に動作します(ただし、RAM 診断実施時は停止します)。
エラー検出時、EEAR レジスタにエラー発生アドレスが保持されます。EEAR レジスタにエラー発生アドレスが保持された状態で、さらにエラーが検出された場合、EEAR レジスタは上書きされることなく、最初の値が保持されます。

ECC 符号行列は、バイトごとに冗長 5 ビットを ECC 符号として記録します。

RAM データ [51:0]	[7:0]	[15:8]	[23:16]	[31:24]	[36:32]	[41:37]	[46:42]	[51:47]
データ [31:0]	データ [7:0]	データ [15:8]	データ [23:16]	データ [31:24]	ECC [4:0]	ECC [9:5]	ECC [14:10]	ECC [19:15]



以下に、動作フローチャートを示します。



5.2. 割込み関連レジスタ

割込み関連レジスタについて説明します。

割込みを発生させるには、用途に応じて割込み発生許可ビット(DEIE) に"1"を書込み、RAMECC 割込みベクタの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
DEI (RAM ダブルビットエラー割込み)	#15($000FFFC0_H$)	15(F_H) 固定

割込みレベル, 割込みベクタの詳細については、『割込み制御 (割込みコントローラ)』の章を参照してください。
割込み要求フラグ(DEI)は自動的にはクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください(DEI ビットに"0" を書き込む)。

5.3. テストモード

テストモードについて説明します。

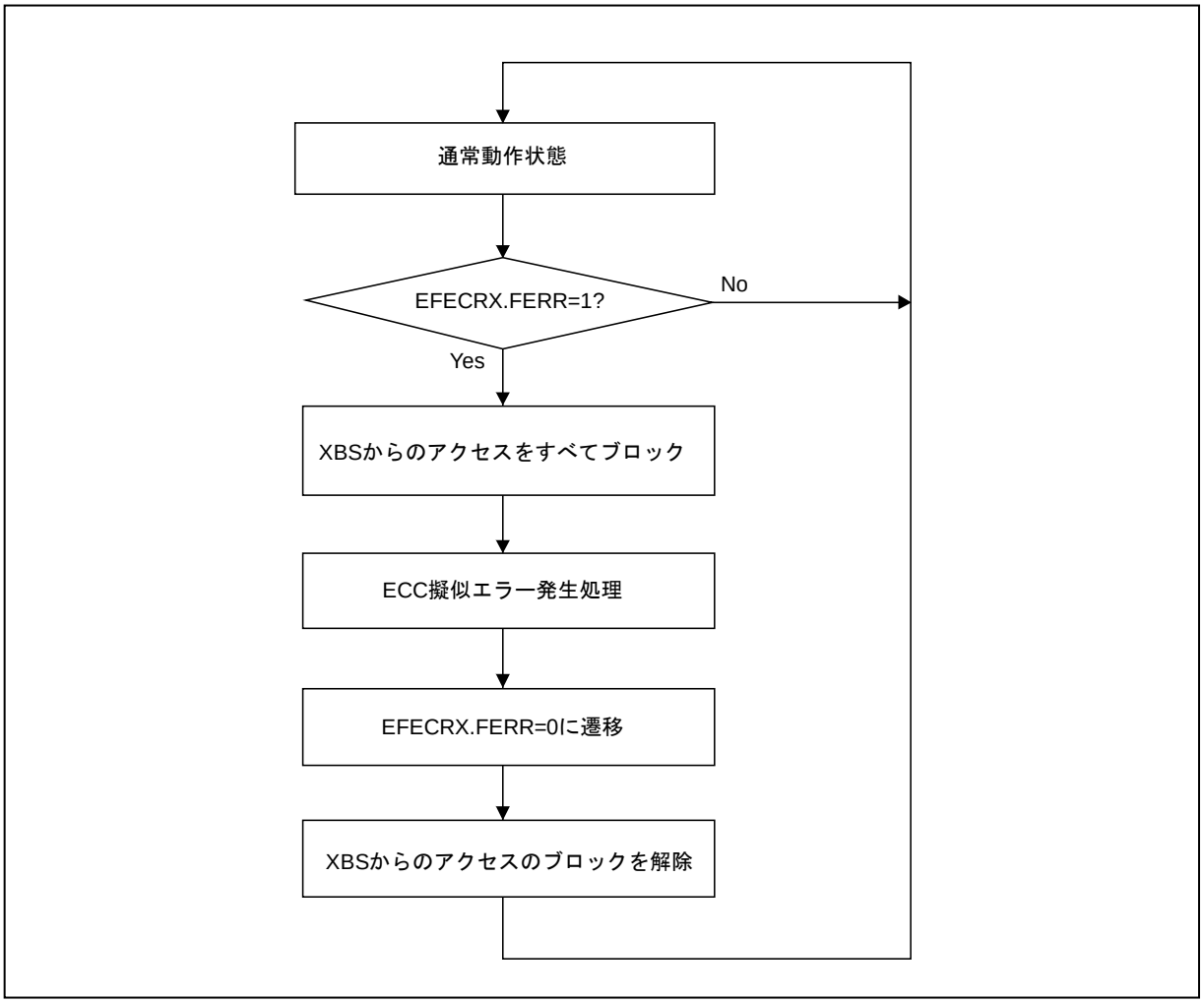
ソフトデバッグ用として、擬似エラーを発生します。
XBS RAM の ECC 擬似エラー発生動作は、以下の手順で発生します。(Backup RAM も同様)

1. ECC 擬似エラー発生アドレスレジスタ(EFEARX) に擬似エラーを発生させるアドレスを指定する。
2. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX)で、バイト，ビットを設定する。
   (ア) EFECRX.EY[7:0]に擬似エラーを発生させるバイト位置を指定する

   (イ) EFECRX.EI[7:0]に擬似エラーを発生させるビット位置を指定する

3. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX)の FERR ビットに"1"を書き込む

EFEARX で指定されたアドレスに、EY[7:0], EI[7:0]の内容に従って、故意にエラーを含むデータをライトします。ライトに引き続きリードを行い、擬似エラーを検出します。
FERR ビットに"1"が書き込まれてからの動作は自動的に行われます。



5.4. 注意事項

注意事項について説明します。

3 ビット以上の故障検出時には、シングルビットエラーを検出し、意図しない補正動作が走る場合があります。

XBS RAM の ECC 擬似エラー発生動作中に XBS RAM にアクセスした場合、アクセスがブロックされます。したがって、ECC 擬似エラー処理完了後に XBS RAM へのアクセスを行ってください。(Backup RAM も同様)

Chapter 40: マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. UART の動作説明
6. CSIO の動作説明
7. LIN インタフェース(v2.1)の動作説明
8. I^2C の動作説明

管理コード : FIP002-2v3-91520-28-J

1. 概要

マルチファンクションシリアルインタフェースの概要について説明します。

本モジュールは、UART(非同期シリアルインタフェース), CSIO(SPI 対応, クロック同期シリアルインタフェース), LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))と I^2C のシリアル通信機能を提供します。

2. 特長

マルチファンクションシリアルインタフェースの特長について説明します。

本品種には最大 12 チャネルのマルチファンクションシリアルインタフェース通信モジュールが搭載されており、それぞれシリアルモードレジスタ(SMR)で、UART/CSIO/LIN インタフェース (v2.1)/I^2C のいずれかを選択して使用します。

また、ch.6, ch.8, ch.9, ch.11 は 5V トレラント入力になっています。

使用可能なチャンネル数は以下になります。

MB91F52xB (64pin) : 8

MB91F52xD (80pin) : 9

MB91F52xF (100pin) : 12

MB91F52xJ (120pin) : 12

MB91F52xK (144pin) : 12

MB91F52xL (176pin) : 12

使用可能な外部信号については表 4-1、表 4-2、表 4-3、表 4-4、表 4-5 を参照してください。

＜注意事項＞

I^2C は ch.3～ch.8, ch.10, ch.11 のリロケーション 0 のみ対応しています。

■ UART

UART(非同期シリアルインタフェース) は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード), マスタ/スレーブ型通信機能(マルチプロセッサモード：マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用の FIFO を搭載しています。

項目	機能
データ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/ 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い, サンプリング値の多数決により受信値を決定します。
転送形式	非同期
ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) ・外部クロック入力をリロードカウンタで調節可能。
データ長	5～9 ビット(ノーマルモード時), 7, 8 ビット(マルチプロセッサモード時)
信号方式	NRZ (Non Return to Zero), 反転 NRZ
スタートビット検出	・スタートビット立下りエッジに同期(NRZ 方式の場合) ・スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
受信エラー検出	・フレーミングエラー ・オーバランエラー ・パリティエラー*
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)
割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*) ・送信割込み (送信データエンプティ, 送信バスアイドル) ・送信 FIFO 割込み (送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり ・状態割込み(シリアルタイマ割込み)
マスタ/ スレーブ型通信機能(マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 ： 対応 受信 ： 対応 状態 ： 対応していません

*: パリティエラーはノーマルモード時のみ。

■ CSIO

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです。(SPI に対応します)また、送信/受信(各 64 バイト)の FIFO を搭載しています。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO (各 64 バイト) (FIFO 使用時)
転送形式	・クロック同期(スタートビット/ストップビットなし) ・マスタ/スレーブ機能 ・SPI に対応 (マスタ/スレーブ両方サポート)
ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成, マスタ動作時) ・外部クロック入力可能(スレーブ動作時)
データ長	5～16, 20, 24, 32 ビットに可変可能
受信エラー検出	オーバランエラー
割込み要求	・受信割込み(受信完了, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル, チップエラー割込み) ・送信 FIFO 割込み(送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり* ・状態割込み(シリアルタイマ割込み)
シリアルチップセレクト	・Ch.0 : シリアルチップセレクト機能なし ・Ch.1,2,3,8,9,10,11 : 1 チャネル制御 (単独制御) ・Ch.4,5,6,7 : 4 チャネル制御 (単独制御、ラウンド制御) ・セットアップ/ホールド/ディセレクト時間を可変に設定可能 ・各チャネルでアクティブレベル選択可能
同期送信機能	・ シリアルタイマに同期し、定期的にデータを自動送信可能
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロック分周値選択可能(1～256 分周)
同期モード	マスタまたはスレーブ機能
端子アクセス	シリアルデータ出力端子を"1"設定可能
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 状態 : 対応していません

*: 送受信データのアクセスサイズが 16 ビットかつ FIFO 未使用の場合、連続転送ができません。 連続転送される場合は、送受信データのアクセス幅を 32 ビットアクセス(SSR:AWC=1)とするか、FIFO をご使用ください。

■ LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1))

● マニュアルモード

LINインタフェース (v2.1)(LIN 通信制御インタフェース (v2.1))は、LINバスに対応するための機能をサポートしています。
また、送信/受信(各 64 バイト)の FIFO を搭載しています。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
転送モード	非同期
ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) ・外部クロック入力をリロードカウンタで調節可能。 ・Sync Field 受信によるボーレート自動調整
データ長	8 ビット
信号方式	NRZ (Non Return to Zero)
スタートビット検出	スタートビット立下りエッジに同期
受信エラー検出	・フレーミングエラー ・オーバランエラー
割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル) ・状態割込み(LIN Break Field 検出, シリアルタイマ割込み) ・ICU への割込み要求(LIN sync Field 検出: LSYN) ・送信 FIFO 割込み(送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)
LIN バスオプション	・LIN プロトコル Revision 2.1 に対応 ・マスタデバイス動作 ・スレーブデバイス動作 ・LIN Break Field 生成(13～ 16 ビット長に可変可能) ・LIN Break デリミタ生成(1～4 ビット長に可変可能) ・LIN Break Field 検出 ・インプットキャプチャに接続している LIN sync Field のスタート/ ストップエッジをインプットキャプチャで検出(『インプットキャプチャ』の章を参照してください。)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 状態 : 対応していません

● アシストモード

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。
LIN 通信におけるヘッダ部の自動送信/自動検出が可能です。また、送信/受信(各 64 バイト)の FIFO を搭載しています。

(注意事項) マスタモードのみサポートします。スレーブモードでは使用できません。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/ 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
転送モード	非同期
ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタから構成) ・外部クロック入力をリロードカウンタで調節可能。 ・Sync Field 受信によるボーレート自動調整
データ長	9 ビット
信号方式	NRZ (Non Return to Zero)
スタートビット検出	スタートビット立下りエッジに同期
受信エラー検出	＜送信側の自己チェックにより検出＞ ・LIN バスエラー ＜送信側の自己チェックおよび受信側で検出＞ ・フレーミングエラー ・オーバランエラー ・LIN ID パリティエラー ・LIN チェックサムエラー ＜自動ボーレート調整禁止の受信側で検出＞ ・LIN Sync Data エラー
割込み要求	・送信割込み (1) データ送信割込み(送信データエンプティ, 送信バスアイドル) (2) 送信 FIFO 割込み(送信 FIFO が割込みしきい値以下のときまたは送信 FIFO がエンプティのとき) ・受信割込み (1) データ受信割込み(受信完了) (2) 受信 FIFO 割込み(受信 FIFO が割込みしきい値以上のとき) (3) 各種エラー割込み(LIN バスエラー, LIN ID パリティエラー, LIN Sync Data エラー, フレーミングエラー, オーバランエラー, LIN チェックサムエラー) ・状態割込み (1) 自動ヘッダ完了割込み (2) Sync Field 検出割込み (3) チェックサム演算完了割込み ・送受信とも DMA 機能あり
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)

項目	機能
LIN バスオプション	・LIN プロトコル Revision 2.1 に対応 ・マスタ/ スレーブデバイスのヘッダの自動送信/ 受信 (1) LIN Break Field 生成(13～20 ビット長に可変可能) (2) LIN Break デリミタ生成(1～4 ビット長に可変可能) (3) Sync Fileld の自動生成および自動データ値(0x55)チェック (4) ID Field パリティ値の自動生成/ チェック (5) チェックサムの自動生成/ チェック(標準/拡張に対応) ・インプットキャプチャに接続している LIN sync Field のスタート/ストップエッジをインプットキャプチャで検出(『インプットキャプチャ』の章を参照してください。)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
LIN 通信テスト機能	・シリアル通信テスト機能 ・擬似障害発生機能(LIN バスエラー, LIN ID パリティエラー, LIN チェックサムエラー, LIN Sync Data エラー, フレーミングエラー)

■ I²C

I²C インタフェース(I²C 通信制御インタフェース) は I²C バスをサポートし、I²C バス上のマスタ/スレーブデバイスとして動作します。また、送信/受信(各 64 バイト)の FIFO を搭載しています。

項目	機能
データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/ 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	シリアルクロック・シリアルデータ入力に対し、バスクロックで 2 クロックまでのノイズを除去します。
転送モード	同期
ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタから構成) ・外部クロック入力をリロードカウンタで調節可能。
データ長	8 ビット
信号方式	NRZ (Non Return to Zero)
割込み要求	・受信割込み ・送信割込み ・状態割込み(INT 割込み, シリアルタイマ割込み) ・ICU への割込み要求 ・送信 FIFO 割込み (送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり

項目	機能
I^2C	・マスタ/ スレーブ送受信機能 ・調停機能 ・クロック同期機能 ・伝送方向検出機能 ・反復スタート条件の発生と検出機能 ・バスエラー検出機能 ・ゼネラルコールアドレッシング機能 ・マスタおよびスレーブとしての 7 ビットアドレッシング ・伝送およびバスエラー時に割込み発生可能 ・10 ビットアドレッシング機能は、プログラムで対応可能
タイマ機能	・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能(1～256 分周)
FIFO オプション	・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 ： 対応 受信 ： 対応していません 状態 ： 対応していません

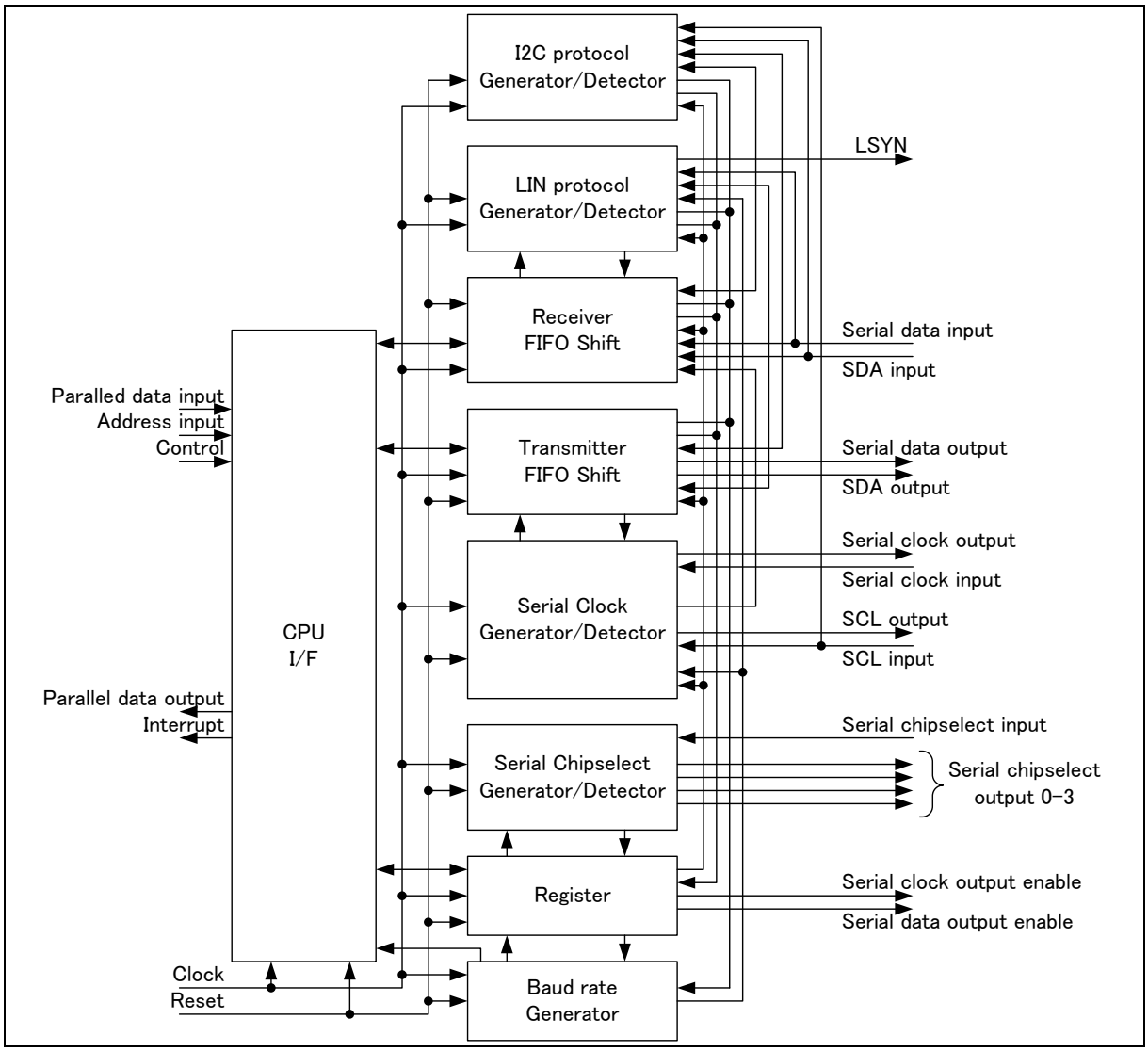
＜注意事項＞

I^2C は ch.3～ch.8, ch.10, ch.11 のみ対応しています。

3. 構成

マルチファンクションシリアルインタフェースの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

マルチファンクションシリアルインタフェースのレジスタについて説明します。

■ ベースアドレス(Base_addr)・外部端子表

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_1	SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	なし	なし	なし	なし	なし	なし	なし
2	0x17A0	なし	なし	なし	なし	なし	なし	なし
3	0x17C8	SCK3_2	SOT3_2	SIN3_1	SCS3_0	なし	なし	なし
4	0x17F0	SCK4_2	SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	なし	SCS42_0	SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	なし	なし	なし	なし
6	0x1840	SCK6_0	SOT6_0	SIN6_0	なし	なし	なし	SCS63_0
7	0x1868	なし	なし	なし	なし	なし	なし	なし
8	0x1890	なし	なし	なし	なし	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	なし	なし	なし	なし
10	0x18E0	SCK10_1	SOT10_1	SIN10_0	SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	なし	なし	なし	なし

* : I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。ch.5, ch.6, ch.11 は I^2C(標準モード対応) として使用できます）

表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	なし	なし	なし	なし	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_2	SOT3_2	SIN3_1	SCS3_0	なし	なし	なし
4	0x17F0	SCK4_1/ SCK4_2	SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0	SCS42_0/ SCS42_1	SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	なし	なし	なし	なし
6	0x1840	SCK6_0	SOT6_0	SIN6_0	なし	SCS61_0	なし	SCS63_0
7	0x1868	なし	なし	なし	なし	なし	なし	なし
8	0x1890	なし	なし	なし	なし	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_1	SOT10_1	SIN10_0	SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	なし	なし	なし	なし

* : I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。ch.5, ch.6, ch.11 は I^2C(標準モード対応) として使用できます）

表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_0/ SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	SCK1_1	SOT1_0	SIN1_0	SCS1_1	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_2	SOT3_2	SIN3_1	SCS3_0	なし	なし	なし
4	0x17F0	SCK4_1/ SCK4_2	SOT4_1/ SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0/ SCS41_1	SCS42_0/ SCS42_1	SCS43_0/ SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	なし	なし	なし	SCS53_0
6	0x1840	SCK6_0	SOT6_0	SIN6_0	SCS60_0	SCS61_0	SCS62_0	SCS63_0
7	0x1868	SCK7_0	SOT7_0	SIN7_0	SCS70_0	SCS71_0	SCS72_0	SCS73_0
8	0x1890	SCK8_0	SOT8_0	SIN8_0	SCS8_0	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_1	SOT10_1	SIN10_0	SCS10_0/ SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	SCS11_0	なし	なし	なし

*: I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。ch.5～ch.8, ch.11 は I^2C(標準モード対応) として使用できます）

表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_0/ SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	SCK1_0/ SCK1_1	SOT1_0	SIN1_0	SCS1_0/ SCS1_1	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_0/ SCK3_1/ SCK3_2	SOT3_0/ SOT3_1/ SOT3_2	SIN3_0/ SIN3_1	SCS3_0/ SCS3_1	なし	なし	なし
4	0x17F0	SCK4_0/ SCK4_1/ SCK4_2	SOT4_0/ SOT4_1/ SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0/ SCS41_1	SCS42_0/ SCS42_1	SCS43_0/ SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	なし	なし	なし	SCS53_0
6	0x1840	SCK6_0	SOT6_0	SIN6_0	SCS60_0	SCS61_0	SCS62_0	SCS63_0
7	0x1868	SCK7_0	SOT7_0	SIN7_0	SCS70_0	SCS71_0	SCS72_0	SCS73_0
8	0x1890	SCK8_0	SOT8_0	SIN8_0	SCS8_0	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_1	SOT10_1	SIN10_0	SCS10_0/ SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	SCS11_0	なし	なし	なし

*: I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。ch.3, ch.4 は I^2C(ファーストモード/標準モード対応)として使用できます。 ch.5～ch.8, ch.11 は I^2C(標準モード対応) として使用できます）

表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_0/ SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	SCK1_0/ SCK1_1	SOT1_0	SIN1_0	SCS1_0/ SCS1_1	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_0/ SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_0/ SCK3_1/ SCK3_2	SOT3_0/ SOT3_1/ SOT3_2	SIN3_0/ SIN3_1	SCS3_0/ SCS3_1	なし	なし	なし
4	0x17F0	SCK4_0/ SCK4_1/ SCK4_2	SOT4_0/ SOT4_1/ SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0/ SCS41_1	SCS42_0/ SCS42_1	SCS43_0/ SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	SCS50_0	SCS51_0	SCS52_0	SCS53_0
6	0x1840	SCK6_0	SOT6_0	SIN6_0	SCS60_0	SCS61_0	SCS62_0	SCS63_0
7	0x1868	SCK7_0	SOT7_0	SIN7_0	SCS70_0	SCS71_0	SCS72_0	SCS73_0
8	0x1890	SCK8_0	SOT8_0	SIN8_0	SCS8_0	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_0/ SCK10_1	SOT10_0/ SOT10_1	SIN10_0	SCS10_0/ SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	SCS11_0	なし	なし	なし

* : I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。ch.3, ch.4 は I^2C(ファーストモード/標準モード対応)として使用できます。 ch.5～ch.8, ch.10, ch.11 は I^2C(標準モード対応) として使用できます）

■ レジスタマップ

表 4-6 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
Base+ 00_H	[UART] SCRn [CSIO] SCRn [LIN] SCRn [I^2C] IBCRn	[共通] SMRn	[UART] SSRn [CSIO] SSRn [LIN] SSRn [I^2C] SSRn	[UART] ESCRn [CSIO] ESCRn [LIN] ESCRn [I^2C] IBSRn	[UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [I^2C] I^2C バス制御レジスタ [共通] シリアルモードレジスタ [UART] シリアル状態レジスタ [CSIO] シリアル状態レジスタ [LIN] シリアル状態レジスタ [I^2C] シリアル状態レジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ [I^2C] I^2C バス状態レジスタ
Base+ 04_H	[UART] 予約 [CSIO] RDR1n/TDR1n [LIN] 予約 [I^2C] 予約		[UART] RDR0n/TDR0n [CSIO] RDR0n/TDR0n [LIN] RDR0n/TDR0n [I^2C] RDR0n/TDR0n		[CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ [I^2C] 送受信データレジスタ
Base+ 08_H	[UART] SACSRn [CSIO] SACSRn [LIN] SACSRn [I^2C] SACSRn		[UART] STMRn [CSIO] STMRn [LIN] STMRn [I^2C] STMRn		[UART] シリアル補助制御状態レジスタ [CSIO] シリアル補助制御状態レジスタ [LIN] シリアル補助制御状態レジスタ [I^2C] シリアル補助制御状態レジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ [I^2C] シリアルタイマレジスタ
Base+ $0C_H$	[UART] STMCRn [CSIO] STMCRn [LIN] STMCRn [I^2C] STMCRn		[UART] 予約 [CSIO] SCSCRn [LIN] SFURn [I^2C] 予約		[UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [I^2C] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
Base+ 10_H	[UART] 予約 [CSIO] SCSTR3n [LIN] LAMSRn [I²C] 予約	[UART] 予約 [CSIO] SCSTR2n [LIN] LAMCRn [I²C] 予約	[UART] 予約 [CSIO] SCSTR1n [LIN] SFLR1n [I²C] 予約	[UART] 予約 [CSIO] SCSTR0n [LIN] SFLR0n [I²C] 予約	[CSIO] シリアルチップセレクトタイミングレジスタ [LIN] LIN アシストモード状態レジスタ [LIN] LIN アシストモード制御レジスタ [LIN] シンクフィールド下限レジスタ
Base+ 14_H	予約	[UART] 予約 [CSIO] SCSFR2n [LIN] 予約 [I²C] 予約	[UART] 予約 [CSIO] SCSFR1n [LIN] 予約 [I²C] 予約	[UART] 予約 [CSIO] SCSFR0n [LIN] 予約 [I²C] 予約	[CSIO] シリアルチップセレクトフォーマットレジスタ
Base+ 18_H	[UART] 予約 [CSIO] TBYTE3n [LIN] LAMESRn [I²C] 予約	[UART] 予約 [CSIO] TBYTE2n [LIN] LAMERTn [I²C] 予約	[UART] 予約 [CSIO] TBYTE1n [LIN] LAMIERn [I²C] 予約	[UART] 予約 [CSIO] TBYTE0n [LIN] LAMTIDn/ LAMRIDn [I²C] 予約	[CSIO] 転送バイトレジスタ [LIN] LIN アシストモードエラー状態レジスタ [LIN] LIN アシストモード障害試験レジスタ [LIN] LIN アシストモード割込み許可レジスタ [LIN] LIN アシストモード送信/ 受信 ID レジスタ
Base+ $1C_H$	[UART] BGRn [CSIO] BGRn [LIN] BGRn [I²C] BGRn		[UART] 予約 [CSIO] 予約 [LIN] 予約 [I²C] ISMKn	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I²C] ISBAn	[UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ [I²C] ボーレートジェネレータレジスタ [I²C] 7 ビットスレーブアドレスマスクレジスタ [I²C] 7 ビットスレーブアドレスレジスタ
Base+ 20_H	[共通] FCR1n	[共通] FCR0n	[共通] FBYTEn		[共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
Base+ 24_H	[共通] FTICRn		予約		[共通] 送信 FIFO 割込み制御レジスタ(FTICR)

4.1. 共通レジスタ

共通レジスタについて示します。

4.1.1. シリアルモードレジスタ ：SMR (Serial Mode Register)

シリアルモードレジスタのビット構成について示します。

シリアル通信方式(UART または I^2C)を選択します。bit3～bit0 は UART か CSIO か I^2C かにより機能が変わります。

■ SMRn(n=0～11): アドレス Base_addr+01_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MD[2:0]			予約	SBL/ SCINV/ RIE	BDS/TIE	SCKE/ (予約)	SOE/ (予約)
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/ W0	R/W	R/W (R/W0)	R/W (R/W0)	R/W (R/W0)

[bit7～bit5] MD2～MD0 (MoDe) : 動作モード

通信方式を設定します。

"000_B" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001_B" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010_B" : 動作モード 2(CSIO モード)に設定されます。
"011_B" : 動作モード 3(LIN 通信モード)に設定されます。
"100_B" : 動作モード 4(I^2C モード)に設定されます。

＜注意事項＞

- 上記設定以外は禁止です。
- 動作モード設定後、各レジスタを設定してください。
- [UART] [CSIO] [LIN] 動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、動作モードを切り換えてください。
- [I^2C] 動作モードを切り換える場合は、I^2C 禁止(ISMK:EN=0)後、動作モードを切り換えてください。

[bit4] 予約

本ビットには必ず"0"を設定してください。

[bit3] SBL/SCINV/RIE (Stop Bit Length / Serial Clock Inversion / Receive Interrupt Enable) :ストップビット長選択ビット・シリアルクロック反転ビット・受信割込み許可ビット

[UART] [LIN]

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL= 0, ESCR.ESBL= 0 に設定した場合 ： ストップビットは 1 ビットに設定されます。
SBL= 1, ESCR.ESBL= 0 に設定した場合 ： ストップビットは 2 ビットに設定されます。
SBL= 0, ESCR.ESBL= 1 に設定した場合 ： ストップビットは 3 ビットに設定されます。
SBL= 1, ESCR.ESBL= 1 に設定した場合 ： ストップビットは 4 ビットに設定されます。

＜注意事項＞

- 受信時は、常にストップビットの 1 ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE= 0)のときに設定してください。

[CSIO]
シリアルクロックフォーマットを反転するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

"0"に設定した場合 ：
- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ, SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ, SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合 ：
- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ, SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ, SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

＜注意事項＞

- 本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。
- 本ビットは、シリアルクロック出力禁止(SCKE=0)のときに設定してください。
- SCINV ビット設定後に，受信許可(SCR:RXE=1)に設定してください。
- 本ビットは下記の何れかで使用されます。
  - チップセレクト端子禁止(SCSCR:CSEN3-0="0000"b)のとき
  - スレーブモード(SCR:MS=1)のとき
  - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
  - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子0 がアクティブのとき

[I^2C]
- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合、またはエラーフラグビット(SSR:ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

＜注意事項＞

DMA モードが禁止時(SSR:DMA=0)に I²C バス制御レジスタ(IBCR)の INT ビットを使用してデータを受信する場合、本ビットは"0"にしてください。

[bit2] BDS/TIE (Bit Direction Select / Transmit Interrupt Enable) : **転送方向選択ビット・送信割込み許可ビット**

[LIN]

LIN では本ビットに常に 0 を書いてください。

[UART] [CSIO]

・転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

・マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます

＜注意事項＞

- 本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。
- [CSIO] 本ビットは下記のいずれかで使用されます。
  - ・チップセレクト端子禁止(SCSCR:CSEN3-0="0000"b)のとき
  - ・スレーブモード(SCR:MS=1)のとき
  - ・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
  - ・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき

[I²C]

・CPU への送信割込み要求出力を許可/禁止するビットです。

・TIEビットとSSR:TDREビットが"1"の場合、送信割込み要求を出力します。

＜注意事項＞

DMA モードが禁止時(SSR:DMA=0)に I²C バス制御レジスタ(IBCR)の INT ビットを使用してデータを送信する場合、本ビットは"0"にしてください。

[bit1] SCKE (Serial ClocK Enable) : **シリアルクロック出力許可ビット**

[CSIO]

シリアルクロックの入出力ポートを制御するビットです。

"0"に設定した場合 : SCK 端子はシリアルクロック入力端子になります。

"1"に設定した場合 : シリアルクロック出力端子となり、送信動作中にクロックを出力します。

＜注意事項＞

- SCK 端子をシリアルクロック入力(SCKE=0)として使用する場合は、汎用入出力ポートを入力ポートに設定してください。
- SCINV ビット設定後にシリアルクロック出力許可(SCKE=1)に設定してください。
- SCK 端子をシリアルクロック出力として使用する場合、ペリフェラル出力端子(EPFR にて設定)として設定してください。設定方法は『I/O ポート』の章を参照してください。

[UART] [LIN] [I^2C]
予約ビットです。本ビットには必ず"0"を設定してください。

[bit0] SOE (Serial Output Enable) : **シリアルデータ出力許可ビット**
[UART] [CSIO] [LIN]
シリアルデータの出力を許可/ 禁止するビットです。
"0"に設定した場合 : シリアルデータの出力は停止します。
"1"に設定した場合 : シリアルデータ出力端子(SOT)となります。

＜注意事項＞

SOT 端子はペリフェラル出力端子(EPFR にて設定)として設定してください。設定方法は『I/O ポート』の章を参照してください。

[I^2C]
予約ビットです。本ビットには必ず"0"を設定してください。

4.1.2. FIFO 制御レジスタ 1 : FCR1 (FIFO Control Register 1)

FIFO 制御レジスタ 1 のビット構成について示します。

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FCR1n(n=0～11): アドレス Base addr+20_H(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL
初期値	0	0	0	0	0	1	0	0
属性	R/W0	R/W0	R/W0	R/W	R/W	R(RM1),W	R/W	R/W

[bit7～ bit5] 予約
本ビットには必ず"0"を設定してください。

[bit4] FLSTE (Flag for data LoST detection Enable) : **再送データロスト検出許可ビット**
FIFO 再送データロストフラグ(FLST)検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

＜注意事項＞

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit3] FRIIE (Flag for Receive FIFO IdlE detection Enable) : **受信 FIFO アイドル検出許可ビット**

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 ： 受信アイドル状態検出禁止
"1"に設定した場合 ： 受信アイドル状態検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit2] FDRQ (transmit FIFO Data ReQuest) : **送信 FIFO データ要求ビット**

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件
- 送信 FIFO 割込み制御未使用時
  - FBYTE(送信用)=0　(送信 FIFO がエンプティ)
  - 送信 FIFO のリセット
- 送信 FIFO 割込み制御使用時
  - FTICR 設定値≧ FTICR 読出し値(送信 FIFO の格納データ数が割込みトリガレベル以下)
  - 送信 FIFO のリセット

FDRQ リセット条件
- 本ビットへの"0"書込み。
- 送信 FIFO がフルになった場合。

＜注意事項＞

- 送信 FIFO 許可のときに"0"書込みは有効です。
- FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
- 本ビットが"0"のときに FSEL ビットの変更は禁止です。
- 本ビットに"1"を設定した場合動作に影響を与えません。
- リードモディファイライト系命令時、"1"が読み出されます。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。
- [LIN]設定値以下のとき、"0"書込みは禁止です。

[bit1] FTIE (Flag for Transmit Interrupt Enable) : **送信 FIFO 割込み許可ビット**

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定すると FDRQ ビットが"1"のときに割込みが発生

します。

[bit0] FSEL (FIFO SELect) : FIFO 選択ビット
送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

＜注意事項＞

- 本ビットは、FIFO リセット(FCL2, FCL1=1)ではクリアされません。
- 本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。
- FDRQ="0" のときに本ビットの変更は禁止です。

4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register 0)

FIFO 制御レジスタ 0 のビット構成について示します。

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/ 禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

■ FCR0n(n=0～11): アドレス Base addr+21$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R,WX	R/W	R0,W	R0,W	R0,W	R/W	R/W

[bit7] 予約
必ず"0"を書き込んでください。

[bit6] FLST (FIFO data LoST) : FIFO 再送データロストフラグビット
送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件
・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存 したリードポインタが一致している時に FIFO へ書き込んだ(上書きした)場合

FLST リセット条件
・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに"1"が設定

された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

[bit5] FLD (FIFO pointer reLoaD bit) : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。再送設定が完了した場合、本ビットは"0"になります。

＜注意事項＞

- 本ビットが"1"にセットされている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
- [UART] [CSIO] [LIN] SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- [I^2C] SMR:TIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SMR:TIE ビットを"1"にしてください。

[bit4] FSET (FIFO pointer SET) : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。通信前にリードポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能となります。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 影響しません。

＜注意事項＞

送信バイト数(FBYTE)が"0"を示している時に本ビットを"1"に設定してください。

[bit3] FCL2 (FIFO Clear 2) : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定すると、FIFO2 の内部状態を初期化します。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタの他のビットは保持されます。

＜注意事項＞

- 送受信を禁止してから、FIFO2 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE2 レジスタの有効データ数は"0"になります。

[bit2] FCL1 (FIFO Clear 1) : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定すると、FIFO1 の内部状態を初期化します。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタの他のビットは保持されます。

＜注意事項＞

- 送受信を禁止してから、FIFO1 リセットを実行してください。

- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE1 レジスタの有効データ数は"0"になります。

[bit1] FE2 (FIFO Enable 2) : FIFO2 動作許可ビット

FIFO2 の動作を許可/ 禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- [UART] [CSIO] FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"を設定してください。
- [LIN] FIFO2 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。

＜注意事項＞

[I^2C]

- IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。
- 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。
- 受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR:RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。
- 送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。

[bit0] FE1 (FIFO Enable 1) : FIFO1 動作許可ビット

FIFO1 の動作を許可/ 禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FSEL ビットによって受信 FIFO として選択された場合, 受信エラーが発生すると本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- [UART] [CSIO] FIFO1 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO1 にデー

タが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- [CSIO] 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF="0")のときに本ビットに"1"を設定してください。
- [LIN] FIFO1 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。

＜注意事項＞

[I^2C]

- IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。
- 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。
- 受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR:RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。
- 送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。

4.1.4. FIFO バイトレジスタ ：FBYTE (FIFO BYTE Register)

FIFO バイトレジスタのビット構成について示します。

本レジスタはリード時とライト時で機能が異なります。
リード時は、FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。
ライト時は、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FBYTEn(n=0～11): アドレス Base addr+22_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FBYTE2[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FBYTE1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit8] FBYTE2 (FIFO Byte 2) : FIFO2 データ数表示ビット

[bit7～bit0] FBYTE1 (FIFO Byte 1) : FIFO1 データ数表示ビット

FBYTE レジスタは、FIFO に書込みまたは受信した有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下のようになります。

FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE の転送数の初期値は 08_H です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致すると割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合，受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ，再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- [CSIO] マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。その後、SCR:TXE ビットが"1"のとき設定データ分のシリアルクロックが出力され、設定値分データを受信することができます。SCR:TIE ビット, SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が"1"になった後に"1"に設定してください。
- [CSIO] TDR に送信データを 1 回書き込むと、送信 FIFO の FBYTE が＋1 されます。なお、SSR:AWC=0 でデータ長が 20, 24, 32 ビットのとき、1 回分の送信データを書き込むのに TDR に 2 回に分けて送信データを書き込む必要があります。このとき、送信 FIFO の FBYTE は+2 されます。
- [CSIO] RDR から受信データを 1 回読み出すと，受信 FIFO の FBYTE が - 1 されます。なお，SSR:AWC=0 でデータ長が 20，24，32 ビットのとき、1 回分の受信データを読み出すのに RDR から 2 回に分けて受信データを読み出す必要があります。このとき、受信 FIFO の FBYTE は-2 されます。
- [I^2C] マスタ動作で、データを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。設定データ分の SCL のクロックが出力され、その後、IBCR:INT ビットが"1"になります。SMR:TIE ビットに"1"を設定したい場合には FCR1:FDRQ が"1"になった後に"1"に設定してください。

＜注意事項＞

- [UART] [LIN] 送信 FIFO の FBYTE レジスタには"8'h00"を設定してください。
- [UART] [LIN] 受信を禁止してから変更してください。
- [CSIO] [I^2C] マスタ動作で，データを受信する時以外、送信 FIFO の FBYTE レジスタには"8'h00"を設定してください。
- [CSIO] マスタ動作でデータを受信する時の送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが"0"のときに行ってください。
- [CSIO] マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には，送信 FIFO を禁止にしてから送受信を禁止にしてください。
- [CSIO] 受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。

- [LIN]FIFO 選択ビット(FCR1:FSEL)設定後、FIFO バイトレジスタ(FBYTE)を設定してください。
- [LIN]FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)を同時に設定することはできません。
- [LIN]送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- [LIN]受信時の FIFO データ数表示は、受信 FIFO に受信され読出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。
- [I^2C] マスタ動作でデータを受信中にI^2Cインタフェースを禁止(ISMK:EN=0)にする場合には、送受信 FIFO を禁止にしてから禁止してください。
- [I^2C] マスタ動作でデータを受信する時の送信データ数の設定は送信 FIFO がエンプティで SMR:TIE ビットが"0"のときに行ってください。
- [I^2C] 下記の条件のいずれかのときに変更してください。
  - I^2C インタフェースを禁止(ISMK:EN=0)のとき
  - SSR:DMA=0 でマスタ受信の場合、IBCR:INT=1 のとき
  - SSR:DMA=1 でマスタ受信の場合、SSR:TBI=1 のとき
- [I^2C] マスタ動作でデータを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定するときに送信データレジスタ(TDR)にダミーデータを書込まないでください。
- [共通] 受信 FIFO の FBYTE には"1"以上のデータを設定してください。
- [共通] 本レジスタはリードモディファイライト系命令を使用できません。
- [共通] FIFO 容量を超える設定は禁止です。

4.1.5. 送信 FIFO 割込み制御レジスタ : FTICR

送信 FIFO 割込み制御レジスタのビット構成について示します。

送信 FIFO 割込み制御レジスタ (FTICR)は、FIFO の送信有効データ数による割込みの設定を行います。

■ FTICRn(n=0～11): アドレス Base addr+24$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FTICR2[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FTICR1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] FTICR2 : FIFO2 データ数表示ビット

[bit7～bit0] FTICR1 : FIFO1 データ数表示ビット

FTICR レジスタは、送信 FIFO の送信有効データ数(残量)による割込みトリガレベルを設定します。FCR1:FSEL ビットによる設定を以下に示します。

FSEL	送信 FIFO 選択	送信 FIFO 割込み制御レジスタ
0	FIFO1	FTICR1
1	FIFO2	FTICR2

- FTICR レジスタの割込みを発生させる有効なデータ数の初期値は 0x00 です。
- 送信 FIFO の FTICR に送信割込みを発生させるデータ数を設定します。この設定されたデータ数と送信 FIFO の有効データ数(FBYTE)の表示が一致、または小さくなった場合、割込みフラグ(FDRQ)が"1"に設定されます。
- 送信 FIFO の有効なデータ数を表示します。

FTICR2, FTICR1 : FIFIO2 データ数表示ビット、FIFO1 データ数表示ビット

ライト	割込みを発生させる有効なデータ数を設定
リード	有効なデータ数を読出し

＜注意事項＞

- FIFO の容量を超える設定は禁止です。
- 設定値の読出しはできません。
- 本レジスタはリードモディファイライト系命令を使用できません。

4.2. UART 時レジスタ

UART 時のレジスタについて示します。

4.2.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタについて示します。

シリアル制御レジスタ(SCR)は、送受信の許可/ 禁止, 送受信割込みの許可/禁止, 送信バスアイドル割込みの許可/禁止, UART リセットをすることができます。

■ SCRn(n=0～11): アドレス Base addr+00$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	予約	予約	RIE	TIE	TBIE	RXE	TXE
初期値	0	-	-	0	0	0	0	0
属性	R0,W	RX,WX	RX,WX	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL: プログラマブルクリアビット	UART の内部状態を初期化するビットです。 "1"を設定した場合: ・UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。 ・すべての送受信割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI, TINT)は初期化(0000110b)されます。 "0"を設定した場合:影響ありません。 リード時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。 ・プログラマブルクリアを実行(SSR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません。
bit6, bit5	予約	リードした場合 ： 値は不定です。 ライトした場合 ： 動作に影響しません。
bit4	RIE : 受信割込み許可ビット	・CPU への受信割込み要求出力を許可/禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合、または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。

ビット名		機能
bit3	TIE : 送信割込み許可ビット	・CPU への送信割込み要求出力を許可/禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み許可ビット	・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。
bit1	RXE : 受信動作許可ビット	UART の受信動作を許可/禁止します。 ・"0"に設定した場合 ： 受信動作が禁止されます。 ・"1"に設定した場合 ： 受信動作が許可されます。 (注意事項) ・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません。 (反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上りエッジが入力されるまで受信動作を開始しません) ・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。
bit0	TXE : 送信動作許可ビット	UART の送信動作を許可/禁止します。 ・"0"に設定した場合 ： 送信動作が禁止されます。 ・"1"に設定した場合 ： 送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.2.2. シリアル状態レジスタ ：SSR (Serial Status Register)

シリアル状態レジスタのビット構成について示します。

シリアル状態レジスタ(SSR)は、送受信の状態の確認, 受信エラーフラグの確認また, 受信エラーフラグをクリアします。

■ SSRn(n=0～11): アドレス Base addr+02$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約	PE	FRE	ORE	RDRF	TDRE	TBI
初期値	0	-	0	0	0	0	1	1
属性	R0,W	RX,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグ クリアビット	シリアル状態レジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 リードした場合、常に"0"が読み出されます。
bit6	予約	リードした場合 ： 値は不定です。 ライトした場合 ： 動作に影響しません。
bit5	PE : パリティエラー フラグビット (動作モード 0 のみ機能)	"0"リード： パリティエラーなし "1"リード： パリティエラーあり ・ESCR:PEN=1 で受信時にパリティエラーが発生すると"1"にセットされ、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

ビット名		機能
bit4	FRE : フレーミングエラーフラグビット	"0"リード：フレーミングエラーなし "1"リード：フレーミングエラーあり ・受信時にフレーミングエラーが発生すると"1"にセットされ、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・FRE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。
bit3	ORE : オーバラン エラーフラグビット	"0"リード：オーバランエラーなし "1"リード：オーバランエラーあり ・受信時にオーバランが発生すると"1"にセットされ、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。
bit2	RDRF : 受信データ フルフラグビット	"0"リード：受信データレジスタ RDR がエンプティ "1"リード：受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDR に受信データがロードされると、"1"にセットされ、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"にセットされます。 ・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。 ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1" ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残ってる 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。 ・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

ビット名		機能
bit1	TDRE : 送信データエンプティフラグビット	"0"リード : 送信データレジスタ TDR にデータが存在する "1"リード : 送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TDRE ビットは"1"になります。 ・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit0	TBI : 送信バスアイドルフラグビット	"0"リード : 送信中 "1"リード : 送信動作なし ・UART が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"になります。 ・送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"になります。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TBI ビットは"1"になります。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

4.2.3. 拡張通信制御レジスタ : ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, パリティビットの許可/禁止, パリティビットの選択, シリアルデータフォーマットの反転, ストップビット長の選択の設定ができます。

■ ESCRn(n=0～11): アドレス Base addr+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ESBL	INV	PEN	P	L[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R/ W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	予約ビット	本ビットには必ず"0"を設定してください。
bit6	ESBL : 拡張ストップビット長選択ビット	ストップビット(送信データのフレームエンドマーク)のビット長を設定します。 SBL= 0, ESCR:ESBL= 0 に設定した場合 : ストップビットは 1 ビットに設定されます。 SBL= 1, ESCR:ESBL= 0 に設定した場合 : ストップビットは 2 ビットに設定されます。 SBL= 0, ESCR:ESBL= 1 に設定した場合 : ストップビットは 3 ビットに設定されます。 SBL= 1, ESCR:ESBL= 1 に設定した場合 : ストップビットは 4 ビットに設定されます。 (注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。 ・本ビットは送信が禁止(TXE=0)のときに設定してください。
bit5	INV : 反転シリアルデータフォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。 ・"0"に設定した場合 :NRZ フォーマットに設定されます。 ・"1"に設定した場合 : 反転 NRZ フォーマットに設定されます。
bit4	PEN : パリティ許可ビット (動作モード 0 のみ機能)	パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。 ・"0"に設定した場合 : パリティビットは付加されません。 ・"1"に設定した場合 : パリティビットは付加されます。 (注意事項) 動作モード 1 のときは、本ビットは内部で"0"に固定されます。
bit3	P : パリティ選択ビット (動作モード 0 のみ機能)	パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"か偶数パリティ"0"のいずれかに設定します。 ・"0"に設定した場合 : 偶数パリティに設定されます。 ・"1"に設定した場合 : 奇数パリティに設定されます。
bit2, bit1, bit0	L2, L1, L0 : データ長選択ビット	送受信データのデータ長を指定します。 ・"000_B"に設定した場合 : データ長は、8 ビットに設定されます。 ・"001_B"に設定した場合 : データ長は、5 ビットに設定されます。 ・"010_B"に設定した場合 : データ長は、6 ビットに設定されます。 ・"011_B"に設定した場合 : データ長は、7 ビットに設定されます。 ・"100_B"に設定した場合 : データ長は、9 ビットに設定されます。 (注意事項) ・上記以外の設定は禁止です。 ・動作モード 1 では、データ長は、7, 8 ビットに設定してください。 そのほかの設定は禁止です。

4.2.4. 送信データレジスタ・受信データレジスタ ：RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し、書込みアドレスとなります。

リード

■ RDR0n(n=0～11): アドレス Base addr+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							D8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

・シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて､受信データレジスタ(RDR)に格納されます。
・データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"にセットされます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
・受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは

無効となります。
・動作モード1 (マルチプロセッサモード)では､7 ビット, 8 ビット長の動作となり､受信した AD ビットは、D8 ビットに格納されます。
・9 ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

＜注意事項＞

・ 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"にセットされます。
・ 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。
・ 受信 FIFO 使用時に、受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

ライト

■ TDR0n(n=0 ～ 11): アドレス Base addr+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-							D8
初期値	-	-	-	-	-	-	-	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

・送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR) に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
・データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

・送信データエンプティフラグ(SSR:TDRE)は送信データが送信データレジスタ(TDR)に書き込まれると、"0"クリアされます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開

始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"にセットされます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送および動作モード 1 の場合 TDR への書込みは 16 ビットアクセスで行います。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで, 受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.2.5. シリアル補助制御状態レジスタ ：SACSR

シリアル補助制御状態レジスタについて示します。

シリアル補助制御状態レジスタ(SACSR)は、シリアルテスト動作の制御，タイマ割込みの許可/ 禁止，同期送信の許可/ 禁止，シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

■ SACSRn(n=0 ～ 11): アドレス Base addr+08$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	予約						TINT
初期値	0	0	0	0	0	0	0	0
属性	R/W	RX,W0	RX, W0	RX, W0	RX, W0	RX, W0	RX, W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	RX,W0	RX,W0	R/W	R/W	R/W	R/W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。

シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)のときのみ変更可能です。

[bit14～bit9] 予約

本ビットには必ず "0" を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると，シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。
本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、状態割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : タイマ割込み許可ビット

CPU へのタイマ割込みの許可/ 禁止するビットです。
本ビットが"1"でタイマ割込みフラグ(TINT) が"1"の場合、状態割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6, bit5] : **予約**
本ビットには必ず "0" を設定してください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**
シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ: バスクロック

＜注意事項＞
- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : **シリアルタイマ許可ビット**
シリアルタイマの動作許可または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

4.2.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=0～11): アドレス Base addr+0A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは"0"に初期化されます。

4.2.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～11): アドレス Base addr+0C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を"1"にします。

下記の動作が行われる間隔は (STMCR: TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。
・SACSR:TINT が"1"に設定される。

＜注意事項＞

- 本レジスタに(0000) H を設定した場合、シリアルタイマレジスタは"0"のままです。
- 本レジスタに"0000"H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000"b に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、本レジスタは変更可能です。

4.2.8. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ BGRn(n=0～11): アドレス Base addr+1C$_H$ (アクセス ： ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EXT	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] EXT (EXTernal clock) : 外部クロック選択ビット

ボーレート生成用内部リロードカウンタに、内部クロックソースを使用するか、外部クロック ソースを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT= 1 に設定した場合、外部クロックを選択します。

[bit14～bit0] BGR14～BGR0 (Baud rate GeneratoR) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"の方がバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- BGR へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ(BGR)に"0"を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

4.3. CSIO 時レジスタ

CSIO 時のレジスタについて説明します。

4.3.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタのビット構成について示します。

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止，送信アイドル割込みの許可/ 禁止，送受信動作の許可/禁止の設定を行います。また、SPI に接続するための設定, CSIO をリセットすることが可能です。

■ **SCRn(n=0～11): アドレス Base addr+00$_H$ (アクセス: バイト，ハーフワード， ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R,W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL : プログラマブルクリアビット	CSIO の内部状態を初期化するビットです。 "1"を設定した場合: ・CSIO を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは､BGR レジスタの設定値をリロードし、再スタートします。 ・すべての送受信および状態割込み要因(SSR:TDRE, TBI, RDRF, ORE, TINT, CSE)は初期化されます。 ・全シリアルチップセレクト端子がインアクティブになります。 "0"を設定した場合 ：動作に影響を及ぼしません。 リード時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。 ・プログラマブルクリアを実行(SCR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません。

ビット名		機能
bit6	MS : マスタ/スレーブ機能選択ビット	マスタまたはスレーブモードを選択します。 "0"に設定した場合 : マスタモードに設定されます。 "1"に設定した場合 : スレーブモードに設定されます。 (注意事項) ・スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。 ・本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。 ・MS ビット設定後に、受信許可(RXE=1)に設定してください。
bit5	SPI : SPI 対応ビット	本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。 "0"に設定した場合 : ノーマル同期通信を行います。 "1"に設定した場合 : SPI に対応します。 (注意事項) ・本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。 ・本ビットは下記のいずれかで使用されます。 ・チップセレクト端子禁止(SCSCR:CSEN3-0="0000"$_B$) ・スレーブモード(SCR:MS=1)のとき ・チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき ・チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき
bit4	RIE : 受信割込み許可ビット	・"0" に設定した場合: 受信割込みが禁止されます。 ・"1" に設定した場合: 受信割込みが許可されます。 ・CPU への受信割込み要求出力を許可/禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合またはエラーフラグビット(ORE)のいずれかが"1"の場合、受信割込み要求を出力します。
bit3	TIE : 送信割込み許可ビット	・"0" に設定した場合: 送信割込みが禁止されます ・"1" に設定した場合: 送信割込みが許可されます。 ・CPU への送信割込み要求出力を許可/禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み許可ビット	・"0" に設定した場合: 送信バスアイドル割込みが禁止されます ・"1" に設定した場合: 送信バスアイドル割込みが許可されます。 ・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

ビット名		機能
bit1	RXE : 受信動作許可ビット	CSIO の受信動作を許可/禁止します。 ・"0"に設定した場合 ： データフレーム受信動作が禁止されます。 ・"1"に設定した場合 ： データフレーム受信動作が許可されます。 (注意事項) ・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・MS ビットおよび SMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。
bit0	TXE : 送信動作許可ビット	CSIO の送信動作を許可/禁止します。 ・"0"に設定した場合 ： データフレーム送信動作が禁止されます。 ・"1"に設定した場合 ： データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.3.2. シリアル状態レジスタ ：SSR (Serial Status Register)

シリアル状態レジスタのビット構成について示します。

シリアル状態レジスタ(SSR)は、送受信の状態の確認, 受信エラーフラグの確認, また, 受信エラーフラグをクリアします。

■ SSRn(n=0～11): アドレス Base addr+02$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約		AWC	ORE	RDRF	TDRE	TBI
初期値	0	0	0	0	0	0	1	1
属性	R0,W	R0,W0	R/W0	R/W	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグ クリアビット	シリアル状態レジスタ(SSR)の ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 リードした場合、常に"0"が読み出されます。
bit6, bit5	予約ビット	本ビットには必ず"0"を設定してください。

ビット名		機能
bit4	AWC : アクセス幅制御ビット	送信データレジスタ(TDR)と受信データレジスタ(RDR)へのアクセス時に、16 または 32 ビットアクセスを行うかを選択するビットです。 ・"0"に設定した場合 :16 ビットアクセス ・"1"に設定した場合 :32 ビットアクセス (注意事項) 本ビットは送受信禁止(SCR:TXE=RXE=0)で TDR と RDR が空(SSR:TDRE=1, SSR:RDRF=0)のときのみ変更可能です。 ・送信 FIFO 未使用時に DMA 転送を行う場合、本ビットに"1"を設定してください。 ・データ長が 20, 24, 32 ビットの場合は、本ビットに"1"を設定してください。 ・送信 FIFO 許可(FCR0. FE2, FE1=0)時、スレーブモードで SPI モードを使用する場合では、本ビットを″1″に設定してください。
bit3	ORE : オーバラン エラーフラグビット	"0"リード : オーバランエラーなし "1"リード : オーバランエラーあり ・受信時にオーバランが発生すると"1"にセットされ、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。
bit2	RDRF : 受信データ フルフラグビット	"0"リード : 受信データレジスタ RDR がエンプティ "1"リード : 受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDR に受信データがロードされると、"1"にセットされ、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"にセットされます。 ・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。 ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1" ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。 ・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

ビット名		機能
bit1	TDRE : 送信データエンプティフラグビット	"0"リード： 送信データレジスタ TDR にデータが存在する "1"リード： 送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TDRE ビットは"1"になります。 ・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit0	TBI : 送信バスアイドルフラグビット	"0"リード：送信中 "1"リード：送信動作なし ・CSIO が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へデータを書き込んだ場合に本ビットは"0"になります。 ・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"になります。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットすると TDRE ビットは"1"になります。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。 (注意事項) 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクトエラー(CSE=1)が発生した場合に本ビットは"1"になります。

4.3.3. 拡張通信制御レジスタ ：ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定，シリアル出力を"H"固定の設定ができます。

外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては以下の表を参照してください。

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

■ ESCRn(n=0 ～ 11): アドレス Base addr+03_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SOP	L[3]	CSFE	WT[1:0]		L[2:0]		
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	SOP : シリアル出力端子セットビット	・シリアル出力端子を"H"にセットするビットです。本ビットに"1"を書き込んだ時に SOT 端子を"H"にしますが、その後、本ビットに"0"を書き込む必要はありません。 ・リードした場合、常に"0"が読み出されます。 (注意事項) シリアルデータ送信中に、本ビットの設定はしないでください。

ビット名		機能
bit5	CSFE: シリアルチップセレクトフォーマット許可ビット	シリアルチップセレクト端子ごとのフォーマット設定を許可または禁止します。 ・"0"に設定した場合 ： すべてのシリアルチップセレクト端子で同一のデータフォーマットおよびクロックフォーマットを設定 ・"1"に設定した場合 ： シリアルチップセレクト端子ごとにデータフォーマットおよびクロックフォーマットを設定 本ビットに"1"が設定されている時、シリアルチップセレクト端子ごとに以下の設定を行います。 ・シリアルチップセレクトのインアクティブレベル ・シリアルクロックのマークレベル ・SPI 転送/ノーマル転送の選択 ・シリアルデータの転送方向 ・シリアルデータのデータ長 (注意事項) ・本ビットの設定は以下のいずれかの場合、無効です。 ・チップセレクト端子禁止(SCSCR:CSEN3-0="0000"$_B$)のとき ・スレーブモード(SCR:MS=1)のとき ・本ビットに"1"を設定する場合、以下の設定をしてください。 ・受信 FIFO 許可 ・ホールドディレイを 2 以上に設定（SCSTR1 レジスタの CSHD7-0 ビットを 2 以上に設定） ・複数のスレーブデバイスと通信を行う場合、各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定 ・シリアルチップセレクトごとに 9 ビット以下、10 ビット以上を設定することは禁止 （禁止例） シリアルチップセレクト 0 = 9 ビット シリアルチップセレクト 1 = 10 ビット （可能例） シリアルチップセレクト 0 = 16 ビット シリアルチップセレクト 1 = 10 ビット
bit4, bit3	WT1,WT0 : データ送受信ウェイト選択ビット	マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。 スレーブ時は"00"の動作になります。 ・"00"に設定した場合 ： 連続的に SCK が出力されます。 ・"01"に設定した場合 : 1 ビット時間ウェイト後、SCK が出力されます。 ・"10"に設定した場合 : 2 ビット時間ウェイト後、SCK が出力されます。 ・"11"に設定した場合 : 3 ビット時間ウェイト後、SCK が出力されます。 (注意事項) 以下のすべての条件が揃う状態で使用する場合、WT1,WT0 は"00"に設定してください。 ・チップセレクトを使用 ・SPI モード(SCR:SPI=1)を使用 ・TBYTE レジスタに"01"$_H$を設定 ・SCSCR レジスタの SCAM ビットに"1"を設定

ビット名		機能
bit6, bit2 ～ bit0	L3, L2, L1, L0 : データ長選択ビット	送受信データのデータ長を指定します。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。 ・"0000_B"に設定した場合 ： データ長は、8 ビットに設定されます。 ・"0001_B"に設定した場合 ： データ長は、5 ビットに設定されます。 ・"0010_B"に設定した場合 ： データ長は、6 ビットに設定されます。 ・"0011_B"に設定した場合 ： データ長は、7 ビットに設定されます。 ・"0100_B"に設定した場合 ： データ長は、9 ビットに設定されます。 ・"0101_B"に設定した場合 ： データ長は、10 ビットに設定されます。 ・"0110_B"に設定した場合 ： データ長は、11 ビットに設定されます。 ・"0111_B"に設定した場合 ： データ長は、12 ビットに設定されます。 ・"1000_B"に設定した場合 ： データ長は、13 ビットに設定されます。 ・"1001_B"に設定した場合 ： データ長は、14 ビットに設定されます。 ・"1010_B"に設定した場合 ： データ長は、15 ビットに設定されます。 ・"1011_B"に設定した場合 ： データ長は、16 ビットに設定されます。 ・"1100_B"に設定した場合 ： データ長は、20 ビットに設定されます。 ・"1101_B"に設定した場合 ： データ長は、24 ビットに設定されます。 ・"1110_B"に設定した場合 ： データ長は、32 ビットに設定されます。 (注意事項) ・ 上記設定以外は禁止です。 ・ 本ビットは下記のいずれかで使用されます。 　・ チップセレクト端子禁止(SCSCR:CSEN3-0="0000_B")のとき 　・ スレーブモード(SCR:MS=1)のとき 　・ チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき 　・ チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき

4.3.4. 送信データレジスタ・受信データレジスタ ：RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

リード

■ RDR1n-0n(n=0～11): アドレス Base addr+04$_H$ (アクセス: ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	D31	D30	D29	D28	D27	D26	D25	D24
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	D23	D22	D21	D20	D19	D18	D17	D16
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

・シリアル入力端子(SIN端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて､受信データレジスタ(RDR)に格納されます。

データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは"0"となります。

例 ：データ長が 8 ビットで"45"$_H$を受信した場合　D7-D0="45"$_H$，D31-D8=0

・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"にセットされます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
・受信データレジスタ(RDR)は､受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:ORE が"1")した場合，受信データレジスタ(RDR)のデータは無効となります。
・RDR の読出しを行う場合、以下のようにアクセスしてください。
  ・ SSR:AWC=0 の場合、RDR の下位 16 ビットに対して 16 ビットアクセス
  ・ SSR:AWC=1 の場合、32 ビットアクセス
・SSR:AWC=1 はすべてのデータ長で読出し回数は 1 回です。
・SSR:AWC=0 でデータ長が 5～16 ビットの場合、読出し回数は 1 回です。

＜注意事項＞

・ 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・ 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。
・ 受信 FIFO 使用時に､受信エラーが発生(SSR:ORE が"1")した場合､受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。
・ SSR:AWC=0 のとき、D31-D16 の読出し値は不定です。

ライト

■ TDR1n-0n(n=0～11): アドレス Base addr+04$_H$ (アクセス: ハーフワード，ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	D31	D30	D29	D28	D27	D26	D25	D24
初期値	0	0	0	0	0	0	0	0
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	D23	D22	D21	D20	D19	D18	D17	D16
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	D15	D14	D13	D12	D11	D10	D9	D8
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用の 32 ビットデータバッファレジスタです。

・送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
・データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは"無効"となります。
・

例 ：データ長が 8 ビットで"45"$_H$を送信する場合　D7-D0="45"$_H$，D31-D8 は無効。

・送信データエンプティフラグ(SSR:TDRE)は､送信データが送信データレジスタ(TDR)に書き込まれると、"0"クリアされます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
・送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
・送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。
・TDR への書込みを行う場合、以下のようにアクセスしてください。
  ・ SSR:AWC=0 の場合、TDR の下記 16 ビットに対して 16 ビットアクセス
  ・ SSR:AWC=1 の場合、32 ビットアクセス
・SSR:AWC=1 はすべてのデータ長で書込み回数は 1 回です。
・SSR:AWC=0 でデータ長が 5～ 16 ビットの場合、書込み回数は 1 回です。

■送信データレジスタ(TDR) と送信データエンプティフラグの関係

16 ビットアクセス(SSR:AWC=0)の場合、TDR レジスタは 16 ビット境界になり、1 回の書込みで 16 ビットずつ、送信データが格納されます。また、TDR レジスタに 32 ビットの送信データがある場合、送信データエンプティフラグ(SSR:TDRE)は"0"になります。

32 ビットアクセス(SSR:AWC=1)の場合、TDR レジスタは 32 ビット境界になり、1 回の書込みで 32 ビットずつ、送信データが格納されます。

表 8-7 送信データレジスタ(TDR)と送信データエンプティフラグの関係

データアクセス幅	データ長	TDR レジスタ格納データ数	TBI フラグ	TDRE フラグ	送信
16 ビットアクセス (SSR:AWC=0)	5-16 ビット	0 ビット	1	1	送信不可
		16 ビット	0		送信可能
		32 ビット		0	
32 ビットアクセス (SSR:AWC=1)	全データ長	0 ビット	1	1	送信不可
		32 ビット	0	0	送信可能

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.3.5. シリアル補助制御状態レジスタ ：SACSR

シリアル補助制御状態レジスタのビット構成について示します。

シリアル補助制御状態レジスタ(SACSR)は、シリアルテスト動作の制御，タイマ割込みの許可/ 禁止，同期送信の許可/禁止，シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては以下の表を参照してください。

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

■ SACSRn(n=0～11): アドレス Base addr+08_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	予約	TBEEN	CSEIE	CSE	予約		TINT
初期値	0	0	0	0	0	0	0	0
属性	R,W	R0,W0	R/W	R/W	R(RM1) , W	RX,W0	RX,W0	R(RM1) , W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	TSYNE	予約	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R,W	RX,W0	R,W	R,W	R,W	R,W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。

シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=0、SCR:RXE=0)のときのみ変更可能です。
- 本ビットはスレーブモード(SCR:MS=1)時に"0"に設定してください。

[bit14] 予約ビット

リードした場合 ： 読出し値は"0"です。
ライトした場合 ： 常に"0"を書き込んでください。

[bit13] TBEEN : 転送バイトエラー許可ビット

マスタモード時(SCR:MS="0")に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していない時に 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE="1")場合、シリアルチップセレクトエラーの発生の有無を選択します。

・チップセレクト使用時
・シリアルタイマの同期送信使用時

TBEEN	転送バイトエラー許可ビット
0	マスタモード(SCR:MS=0)時のチップセレクトエラーの発生を禁止
1	マスタモード(SCR:MS=0)時のチップセレクトエラーの発生を許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。

[bit12] CSEIE : チップセレクトエラー割込み許可ビット

チップセレクトエラー割込み要求出力を許可/禁止するビットです。
CSEIE ビットとチップセレクトエラーフラグビット(CSE)が"1"の場合、送信割込み要求を出力します。

CSEIE	チップセレクトエラー割込み許可ビット
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE : チップセレクトエラーフラグビット

転送バイトエラー許可(TBEEN=1)でマスタモード時(SCR:MS=0)に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していないときに1フレーム送信が完了した時点で送信　データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、本ビットは"1"に設定されます。

・チップセレクト使用時
・シリアルタイマによる同期送信使用時

スレーブモード(SCR:MS="1") 時、送信動作中(SSR:TBI=0)にシリアルチップセレクト端子がインアクティブになった場合、本ビットは"1"に設定されます。

本ビットが"1"でチップセレクトエラー割込み許可ビット(CSEIE)が"1"のとき、送信割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

CSE	チップセレクトエラーフラグビット
0	チップセレクトエラーなし
1	チップセレクトエラーあり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- スレーブモード(SCR:MS=1)でシリアルチップセレクト未使用(SCSCR:CSEN0=0)時、本ビットは"1"にセットされません。
- チップセレクトエラー発生(CSE=1)時、送信を禁止(SCR:TXE=0)に設定後、本ビットに"0"を書き込んでください。送信を再開させる場合、本ビットに"0"を書き込み後、送信許可(SCR:TXE=1)および送信データバッファ(TDR)へ送信データの書込みを行ってください。
- スレーブ送信時にシリアルチップセレクト入力に 1 バスクロック以上のノイズが発生した場合、本ビットが"1"に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。

[bit10, bit9]　予約ビット

本ビットには必ず"0"を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、状態割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- 同期送信許可ビット(TSYNE)が"1"のとき、本ビットは"1"にセットされません。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。
本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、状態割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE : **同期送信許可ビット**

同期送信を許可または禁止を選択します。
本ビットが"1"の場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、送信が起動されます。

TSYNE	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE) が"0"のときのみ変更可能です。
- 同期送信許可時(TSYNE="1")で送信が禁止(SCR:TXE="0")時、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR) が一致しても送信は起動されません。
- スレーブモード(SCR:MS="1")時、本ビットは内部で"0"に固定されます。

[bit5] **予約ビット**

本ビットには必ず "0"を設定してください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ: バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : **シリアルタイマ許可ビット**

シリアルタイマの動作許可，または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

＜注意事項＞

シリアルタイマによる同期送信を行う場合、本ビットは下記の条件のいずれかのときに変更してください。

- 送信禁止(SCR:TXE="0")時
- 送信バスアイドル(SSR:TBI="1")時

4.3.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ (STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=0～11):アドレス Base addr+0A$_H$ (アクセス ： バイト ，ハーフワード ，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : **タイマデータビット**

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは "0"に初期化されます。

4.3.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～11):アドレス Base addr+0C$_H$ (アクセス ： バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

[bit15～bit0] TC15-0 : **コンペアビット**

シリアルタイマの比較値を設定します。本ビットはシリアルタマレジスタ(STMR)と比較され、シリアルタイマレジスタ (STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、同期送信禁止 (SACSR: TSYNE="0")の場合はタイマ割込みフラグ(SACSR:TINT)を"1"にし、同期送信許可 (SACSR: TSYNE="1")の場合は送信を起動します。

下記の動作が行われる間隔は(STMCR: TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。
- SACSR:TINT が"1"に設定される
- シリアルタイマに同期した送信で送信起動が行われる

＜注意事項＞

- 本レジスタに(0000) H を設定した場合、シリアルタイマレジスタは "0"のままです。
- 同期送信禁止(SACSR:TSYNE="0")で本レジスタに"0000"H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000"b に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、レジスタは変更可能です。

4.3.8. シリアルチップセレクト制御状態レジスタ ：SCSCR

シリアルチップセレクト制御状態レジスタのビット構成について示します。

シリアルチップセレクト制御状態レジスタ (SCSCR)は、シリアルチップセレクトの開始端子および終了端子の選択，シリアルチップセレクトの出力端子の表示，シリアルチップセレクトのアクティブレベルの保持，シリアルチップセレクトの反転，シリアルチップセレクト端子の出力許可 /禁止の設定を行います。

外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては以下の表を参照してください。

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

■ SCSCRn(n=0～11):アドレス Base addr+0E$_H$ (アクセス ： バイト ，ハーフワード ，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R,WX	R,WX	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15, bit14] SST1-0 :シリアルチップセレクト開始ビット

シリアルチップセレクトが開始する端子を選択します。送信禁止(SCR:TXE="0")から送信許可(SCR:TXE="1")にした場合、本ビットで設定したシリアルチップセレクト端子からアクティブになります。

SST1	SST0	開始端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST1, SST0)とシリアルチップセレクト終了ビット(SED1, SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- シリアルチップセレクト許可(CSEN="1")されているシリアルチップセレクト端子のみアクティブになります。

[bit13, bit12] SED1-0 : **シリアルチップセレクト終了ビット**

シリアルチップセレクトが終了する端子を選択します。

本ビットで設定したシリアルチップセレクト端子までアクティブになると、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SST1, SST0)で指定した端子になります。

SED1	SED0	終了端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST1, SST0)とシリアルチップセレクト終了ビット (SED1, SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子の みアクティブになります。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- シリアルチップセレクト許可(CSEN="1")されているシリアルチップセレクト端子のみアクティブになります。

[bit11, bit10] SCD1-0 : **シリアルチップセレクト表示ビット**

シリアルチップセレクト端子がアクティブになっている端子を表示します。

SCD1	SCD0	表示端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。
- 本ビットはスレーブモード(SCR:MS="1"), ソフトウェアリセット(SCR:UPCL="1")または送信禁止(SCR:TXE="0")時は"00b"になります。

[bit9] SCAM : **シリアルチップセレクトアクティブ保持ビット**

シリアルチップセレクト端子のアクティブ状態の保持または非保持を選択します。本ビットが"1"にセットされている場合、シリアルチップセレクト端子がアクティブになった後に送信動作を終了(SSR:TBI="1")してもシリアルチップセレクト端子はインアクティブになりません。シリアルチップセレクト端子がアクティブで本ビットが "1"のときに本ビットに"0"に設定した場合、送信終了後にシリアルチップセレクト端子はインアクティブになります。

SCAM	シリアルチップセレクトアクティブ保持ビット
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

＜注意事項＞

- 送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL="1")の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- シリアルチップエラー発生(SACSR:CSE=1)時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- 以下のすべての条件が揃う状態で使用する場合、本ビットには"0"を設定してください。
  - マスタモード(SCR:MS=0)を使用
  - チップセレクトを使用
  - SPI モード(SCR:SPI=1)を使用
  - TBYTE レジスタに"01"$_H$を設定
  - ESCR レジスタの WT1, WT0 ビットに"00"以外の値を設定

[bit8～bit6] CDIV2-0 : シリアルチップセレクトタイミング動作クロック分周ビット

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

CDIV2	CDIV1	CDIV0	シリアルチップセレクトタイミング動作クロック						
			分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs

ϕ : バスクロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1") 時、本ビットの設定は無効です。
- 上記の設定以外は禁止です。

[bit5] CSLVL : シリアルチップセレクトレベル設定ビット

シリアルチップセレクト端子のインアクティブ時のレベルを"H"または"L"に選択します。

本ビットはチップセレクト端子 0 の通信で使用されます。

CSLVL	シリアルチップセレクトレベル設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- 本ビットの設定は下記のいずれかで使用します。
  - スレーブモード(SCR:MS="1")時
  - チップセレクトのデータフォーマット禁止(ESCR:CSFE="0")時
  - チップセレクトのデータフォーマット許可(ESCR:CSFE="1")、シリアルチップセレクト端子0がアクティブのとき

[bit4～bit1] CSEN3-0 : シリアルチップセレクト許可ビット

各シリアルチップセレクト端子の許可または禁止を選択します。

CSEN3 ビットが SCS3 端子、CSEN2 ビットが SCS2 端子、CSEN1 ビットが SCS1 端子、CSEN0 ビットが SCS0 端子に対応します。

スレーブモード(SCR:MS="1")の場合、CSEN0 ビットのみでシリアルチップ端子の許可，または禁止を設定します。

CSEN	シリアルチップセレクト許可ビット
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0") 時のみ変更可能です。
- マスタモード(SCR:MS="0")時、CSEN3-0 を"0000b"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
- スレーブモード(SCR:MS="1")時、CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。

[bit0] CSOE : シリアルチップセレクト出力許可ビット

シリアルチップセレクト端子の出力を許可または禁止に設定します。

CSOE	シリアルチップセレクト出力許可ビット
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットは"0"に設定してください。

4.3.9. シリアルチップセレクトタイミングレジスタ ：SCSTR3-0

シリアルチップセレクトタイミングレジスタのビット構成について示します。

シリアルチップセレクトタイミングレジスタ(SCSTR3-0)は、シリアルチップセレクトのセットアップディレイ時間，シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては以下の表を参照してください。

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

＜注意事項＞

マスタモード(SCR:MS=0)でノーマルモード(SCR:SPI=0)の場合、以下のいずれかの条件をみたすようにセットアップディレイ時間(CSSU7-0)、あるいはホールドディレイ時間(CSHD7-0)を設定してください。

ボーレート/2[ns] ＜ ホールドディレイ[ns] ＋ 3 × バスクロック [ns]
ホールドディレイ ＋ セットアップディレイ ＜ ボーレート － 2 × バスクロック[ns]

■ SCSTR1n-0n(n=0～11): アドレス Base addr+12$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] CSSU7-0 : シリアルチップセレクトセットアップディレイビット

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。本ビットに"00"$_H$を設定した場合，シリアルクロックが出力されるタイミングとシリアルチップセレクト端子がアクティブになるタイミングは同時になります。

CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	セットアップディレイ時間
0	0	0	0	0	0	0	0	セットアップディレイ時間なし
0	0	0	0	0	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	0	0	0	1	0	2× シリアルチップセレクト タイミング動作クロック
・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
1	1	1	1	1	1	1	0	254× シリアルチップセレクト タイミング動作クロック
1	1	1	1	1	1	1	1	255× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- 本ビットを"00"$_H$に設定した場合、シリアルチップセレクト端子がアクティブになるタイミングとシリアルクロックが最初にエッジを出力するタイミングが一致します。

[bit7～bit0] CSHD7-0 : **シリアルチップセレクトホールドディレイビット**

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。本ビットを"00"$_H$に設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時になります。

CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0	ホールドディレイ時間
0	0	0	0	0	0	0	0	ホールドディレイ時間なし
0	0	0	0	0	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	0	0	0	1	0	2× シリアルチップセレクト タイミング動作クロック
・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
1	1	1	1	1	1	1	0	254× シリアルチップセレクト

								タイミング動作クロック
1	1	1	1	1	1	1	1	255× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- 本ビットを"00"$_H$に設定した場合、シリアルチップセレクト端子がアクティブになるタイミングとシリアルクロックが最初にエッジを出力するタイミングが一致します。

■ SCSTR3n-2n(n=0～11): アドレス Base addr+10$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] CSDS15-0 : シリアルチップディセレクトビット

シリアルチップセレクト端子がインアクティブになってから､次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

CSDS15	CSDS14	CSDS13	･･･	CSDS2	CSDS1	CSDS0	ディセレクト最小時間
0	0	0	･･･	0	0	0	ディセレクト最小時間なし (5 バスクロック時間)
0	0	0	･･･	0	0	1	1× シリアルチップセレクト タイミング動作クロック
0	0	0	･･･	0	1	0	2× シリアルチップセレクト タイミング動作クロック
･ ･	･ ･	･ ･	･･･	･ ･	･ ･	･ ･	･ ･

1	1	1	･･･	1	1	0	65534× シリアルチップセレクト タイミング動作クロック
1	1	1	･･･	1	1	1	65535× シリアルチップセレクト タイミング動作クロック

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小５バスクロック時間以上かかります。

4.3.10. シリアルチップセレクトフォーマットレジスタ ：SCSFR2-0

シリアルチップセレクトフォーマットレジスタのビット構成について示します。

シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択，シリアルクロックの反転，SPI に接続するための設定，シリアルデータ出力のデータ方向およびデータ長の設定を行います。

外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては以下の表を参照してください。

表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

■ SCSFR1n-0n(n=0～11): アドレス Base addr+16$_H$ (アクセス: バイト，ハーフ ワード，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CS2 CSLVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0
初期値	1	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
初期値	1	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] CS2CSLVL : チップセレクト 2 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 2 のインアクティブ時のレベルを選択します。

CS2CSLVL	シリアルチップセレクト端子 2 シリアルチップセレクト設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit14] CS2SCINV : チップセレクト 2 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 2 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:
- シリアルクロック出力のマークレベルを"H" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:
- シリアルクロック出力のマークレベルを"L" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

CS2SCINV	シリアルチップセレクト端子 2 シリアルクロック反転ビット
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。

・ チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit13] CS2SPI : チップセレクト 2 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 2 がアクティブ時に SPI に対応した通信をさせるためのビットです。

・"0"に設定した場合 : ノーマル同期通信を行います。

・"1"に設定した場合 : SPI に対応します。

CS2SPI	シリアルチップセレクト端子 2 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

＜注意事項＞

・ 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。

・ スレーブモード(SCR:MS="1")時，本ビットの設定は無効です。

・ チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき，本ビットの設定は無効です。

[bit12] CS2BDS : チップセレクト 2 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 2 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS="0")最上位ビット側から先に転送するか(MSB ファースト, BDS="1")を選択するビットです。

CS2BDS	シリアルチップセレクト端子 2 転送方向選択ビット
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

・ 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。

・ スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。

・ チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit11～bit8] CS2 L3, L2, L1, L0 : シリアルチップセレクト端子 2 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に送受信データのデータ長を指定します。

CS2L3	CS2L2	CS2L1	CS2L0	シリアルチップセレクト端子 2 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

＜注意事項＞

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit7] CS1CSLVL : **チップセレクト 1 のシリアルチップセレクトレベル設定ビット**

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 のインアクティブ時のレベルを選択します。

CS1CSLVL	シリアルチップセレクト端子 1 シリアルチップセレクト設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit6] CS1SCINV : **チップセレクト 1 のシリアルクロック反転ビット**

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合:

- シリアルクロック出力のマークレベルを"H" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合:

- シリアルクロック出力のマークレベルを"L" にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

CS1SCINV	シリアルチップセレクト端子 1 シリアルクロック反転ビット
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0" のとき、本ビットの設定は無効です。

[bit5] CS1SPI : チップセレクト 1 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 がアクティブ時に SPI に対応した通信をさせるためのビットです。

・"0"に設定した場合 : ノーマル同期通信を行います。
・"1"に設定した場合 : SPI に対応します。

CS1SPI	シリアルチップセレクト端子 1 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit4] CS1BDS : チップセレクト 1 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 1 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS="0")最上位ビット側から先に転送するか(MSB ファースト, BDS="1")を選択するビットです。

CS1BDS	シリアルチップセレクト端子 1 転送方向選択ビット
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit3～bit0] CS1 L3, L2, L1, L0 : チップセレクト 1 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 1 がアクティブ時に送受信データのデータ長を指定します。

CS1L3	CS1L2	CS1L1	CS1L0	シリアルチップセレクト端子 1 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

＜注意事項＞

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

■ SCSFR2n(n=0～11): アドレス Base addr+15$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CS3 CSLVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
初期値	1	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] CS3CSLVL : チップセレクト 3 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 3 のインアクティブ時のレベルを選択します。

CS3CSLVL	シリアルチップセレクト端子 3 シリアルチップセレクト設定ビット
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit6] CS3SCINV : チップセレクト 3 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 3 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ，SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では，シリアルクロックの立下りエッジ，SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

CS3SCINV	シリアルチップセレクト端子 3 シリアルクロック反転ビット
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit5] CS3SPI : **チップセレクト 3 の SPI 対応ビット**

チップセレクトのデータフォーマット許可(ESCR:CSFE="1")のとき、シリアルチップセレクト端子 3 がアクティブ時に SPI に対応した通信をさせるためのビットです。

・"0"に設定した場合 : ノーマル同期通信を行います。
・"1"に設定した場合 : SPI に対応します。

CS3SPI	シリアルチップセレクト端子 3 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0") 時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit4] CS3BDS : **チップセレクト 3 の転送方向選択ビット**

チップセレクトのデータフォーマット許可(ESCR:CSFE="1") のとき、シリアルチップセレクト端子 3 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト,BDS="0") 最上位ビット側から先に転送するか(MSB ファースト, BDS="1") を選択するビットです。

CS3BDS	シリアルチップセレクト端子 3 転送方向選択ビット
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

[bit3～bit0] CS3 L3, L2, L1, L0 : **チップセレクト 3 のデータ長選択ビット**

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 3 がアクティブ時に送受信データのデータ長を指定します。

CS3L3	CS3L2	CS3L1	CS3L0	シリアルチップセレクト端子 3 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長

CS3L3	CS3L2	CS3L1	CS3L0	シリアルチップセレクト端子 3 データ長選択ビット
1	1	1	0	32 ビット長

＜注意事項＞

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。
- スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE="0")のとき、本ビットの設定は無効です。

4.3.11. 転送バイトレジスタ ：TBYTE3-0

転送バイトレジスタのビット構成について示します。

転送バイト(TBYTE)は、各シリアルチップセレクト端子のアクティブ時の転送データ数を示します。

■ TBYTE3n-0n(n=0～11): アドレス Base addr+18$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TBYTE3[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TBYTE2[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TBYTE1[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TBYTE0[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8, bit7～bit0] TBYTE : **転送データ数表示ビット**

転送バイトレジスタは、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了するとシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 0 (SCS0)は TBYTE0, シリアルチップセレクト端子 1 (SCS1)は TBYTE1, シリアルチップセレクト端子 2 (SCS2)は TBYTE2, シリアルチップセレクト端子 3 (SCS3)は TBYTE3 に対応します。

下記のいずれかを満たす場合、転送バイトレジスタ 0 (TBYTE0) は同期送信に使用されます。同期送信により送信動作が開始すると TBYTE0 に設定した値のデータ数を転送します。

・シリアルチップセレクト禁止(SCSCR:CSEN3-0="0000"b)のとき
送信動作中(SSR:TBI=0)に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
ライト	TBYTE への書込み
リード	TBYTE の設定値

＜注意事項＞

- 本ビットに"00"$_H$設定した場合、転送回数は 8 回です。
- マスタ動作(SCR:MS="0")でチップセレクト使用時に同期送信を行う場合、転送回数は以下のようになります。
  - チップセレクト端子 0 がアクティブの場合、TBYTE0 の設定数
  - チップセレクト端子 1 がアクティブの場合、TBYTE1 の設定数
  - チップセレクト端子 2 がアクティブの場合、TBYTE2 の設定数
  - チップセレクト端子 3 がアクティブの場合、TBYTE3 の設定数
- 以下のすべての条件が揃う状態で使用する場合、TBYTE レジスタに"01"$_H$以外を設定してください。
  - マスタモード(SCR:MS=0)を使用
  - チップセレクトを使用
  - SPI モード(SCR:SPI=1)を使用
  - SCSCR レジスタの SCAM ビットに"1"を設定
  - ESCR レジスタの WT1, WT0 ビットに"00"以外の値を設定

4.3.12. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。

■ BGRn(n=0～11): アドレス Base addr+1C$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	RX,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義
書込みは動作に影響ありません。

[bit14～bit0] BGR (Baud rate GeneratoR) : ボーレートジェネレータビット
・カウントするリロード値の書込み、設定値の読出しが可能です。
・リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SCINV ビットの設定によって以下のようになります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
  - SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
  - SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合，カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。
- 受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR にボーレートを設定してください。

4.4. LIN 時レジスタ

LIN 時レジスタについて説明します。

4.4.1. シリアル制御レジスタ ：SCR (Serial Control Register)

シリアル制御レジスタのビット構成について示します。

シリアル制御レジスタ(SCR) は、送受信割込みの許可/ 禁止, 送信アイドル割込みの許可/ 禁止, 送受信動作の許可/禁止の設定を行います。また、LIN break Field 生成, LIN インタフェース(v2.1)リセットの設定があります。

■ **SCRn(n=0～11): アドレス Base addr+00_H (アクセス: バイト, ハーフワード, ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	UPCL : プログラマブルクリアビット	LIN インタフェース(v2.1)の内部状態を初期化するビットです。 "1"を設定した場合: ・LINインタフェース(v2.1)を直接リセット(ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ・ボーレートジェネレータは、BGR レジスタの設定値をリロードし、再スタートします。 ・すべての送受信および状態割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD, TINT, SFD)は初期化されます。 ・ボーレート設定フラグ(SACSR:BST)は初期化されます。 "0"を設定した場合 ： 影響ありません。 リード時は、常に"0"が読み出されます。 (注意事項) ・割込み禁止に設定した後に、プログラマブルクリアを実行してください。 ・FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。 ・プログラマブルクリアにより送信/受信 FIFO はクリアされません。 ・プログラマブルクリアを実行(SSR:UPCL=1)してもシリアルタイマレジスタ(STMR)の値はクリアされません

ビット名		機能
bit6	MS : マスタ/スレーブ選択ビット	マスタ/スレーブを選択します。 "0"を設定した場合 : マスタモードに設定されます。 "1"を設定した場合 : スレーブモードに設定されます。
bit5	LBR : LIN Break Field 設定ビット(マスタ時のみ機能します)	・LIN マニュアルモード動作(LAMCR: LAMEN ="0")の場合、本ビットに"1"を設定した場合、ESCR:LBL1/0 ビットおよび ESCR:DEL1/0 で設定された長さの LIN break Field と LIN Break デリミタを生成します。 ・LIN アシストモード動作(LAMCR: LAMEN ="1")の場合、本ビットに"1"を設定した場合、ESCR:LBL2/1/0 ビットおよび ESCR:DEL1/0 で設定された長さの LIN Break Field と LIN Break デリミタを生成した後、Sync Field および ID Field を送信します。 ライトした場合: "0"をライト : 影響しません。 "1"をライト : LINマニュアルモード動作(LAMCR: LAMEN ="0")の場合、LIN Break Field を生成します。 LINアシストモード動作(LAMCR: LAMEN ="1")の場合、LIN Break Field を生成し、Sync Field および ID Field を送信します。 リードした場合 : 常に"0"が読み出されます。 (注意事項) ・マスタ動作(MS="0")のみ機能します。 ヘッダ送信中およびレスポンス送信中に LIN Break Field 設定を行う場合は、送受信データの初期化を行ってください。「7.5.2 アシストモード」の「アシストモード処理中の LIN Break Field 再送信」を参照してください。
bit4	RIE: 受信割込み許可ビット	・CPU への受信割込み要求出力を許可/ 禁止するビットです。 ・RIE ビットと受信データフラグビット(SSR:RDRF) が"1"の場合、または、エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合、受信割込み要求を出力します。
bit3	TIE : 送信割込み許可ビット	・CPU への送信割込み要求出力を許可/ 禁止するビットです。 ・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
bit2	TBIE : 送信バスアイドル割込み 許可ビット	・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

ビット名		機能
bit1	RXE : 受信動作許可ビット	LIN インタフェース(v2.1)の受信動作を許可/ 禁止します。 ・"0"に設定した場合 ：データフレーム受信動作が禁止されます。 ・"1"に設定した場合 ：データフレーム受信動作が許可されます。 (注意事項) ・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。 ・マスタ動作時、LIN break Field 送信中、受信動作が許可(RXE=1)状態でもデータは受信しません。 ・マニュアルモード(LAMCR:LAMEN=0)時、受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・アシストモード(LAMCR:LAMEN=1)時、ヘッダの送受信期間およびレスポンス送信期間は受信禁止設定(RXE=0)してください。 ・アシストモード(LAMCR:LAMEN=1)時のヘッダ受信中に受信動作を禁止(RXE=0)としても、ヘッダ受信動作は停止しません。停止させたい場合は、受信禁止設定(RXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。 ・アシストモード(LAMCR:LAMEN=1)時のレスポンス受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。 ・LIN Break Field 受信時、受信許可(RXE=1)設定されている場合、フレーミングエラー検出(SSR:FRE=1)します。
bit0	TXE : 送信動作許可ビット	LIN インタフェース(v2.1)の送信動作を許可/ 禁止します。 ・"0"に設定した場合 ：データフレーム送信動作が禁止されます。 ・"1"に設定した場合 ：データフレーム送信動作が許可されます。 (注意事項) ・マニュアルモード(LAMCR:LAMEN=0)時、送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します ・アシストモード(LAMCR:LAMEN=1)時のヘッダ送信中に送信動作を禁止(TXE=0)としても、ヘッダ送信動作は停止しません。停止させたい場合は、送信禁止設定(TXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。 ・アシストモード(LAMCR:LAMEN=1)時のレスポンス送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

4.4.2. シリアル状態レジスタ ：SSR (Serial Status Register)

シリアル状態レジスタのビット構成について示します。

シリアル状態レジスタ(SSR)は､送受信状態の確認, 受信エラーフラグの確認, LIN break Fieldの検出また, 受信エラーフラグのクリアを行います。

■ SSRn(n=0～11): アドレス Base addr+02$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	予約	LBD	FRE	ORE	RDRF	TDRE	TBI
初期値	0	0	0	0	0	0	1	1
属性	R0,W	R0,W0	R(RM1),W	R,WX	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグクリアビット	シリアル状態レジスタ(SSR)の FRE, ORE フラグをクリアするビットです。 ・"1"書込みで、エラーフラグがクリアされます。 ・"0"書込みは、影響しません。 リードした場合、常に"0"が読み出されます。
bit6	予約	リードした場合 ： 常に"0"が読み出されます。 ライトした場合 ： 常に"0"を書いてください。
bit5	LBD : LIN break Field 検出フラグビット	LIN break Field 検出を示すビットです。 シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"にセットされます。このとき、LIN break Field 割込み許可ビット(LBIE)が"1"にセットされていると、状態割込みを発生します。 (リードした場合) "1"の場合 : LIN break Field が検出されています。 "0"の場合 : LIN break Field が検出されていません。 (ライトした場合) "0"をライトした場合 : LBD ビットをクリアします。 "1"をライトした場合 ： 影響しません。 (注意事項) ・リードモディファイライト系命令時、"1"が読み出されます。
bit4	FRE :	"0"リード ： フレーミングエラーなし

ビット名		機能
	フレーミングエラーフラグビット	"1"リード：フレーミングエラーあり ・受信時にフレーミングエラーが発生すると"1"にセットされ、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。 (注意事項) ・ LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。 アシストモード(LAMCR:LAMEN)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
bit3	ORE : オーバランエラーフラグビット	"0"リード：オーバランエラーなし "1"リード：オーバランエラーあり ・受信時にオーバランが発生すると"1"に設定されます。シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。 ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。
bit2	RDRF : 受信データフルフラグビット	"0"リード：受信データレジスタ RDR がエンプティ "1"リード：受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・RDR に受信データがロードされると、"1"に設定されます。 受信データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"にセットされます。 ・受信 FIFO 使用時は，受信 FIFO がエンプティになると"0"にクリアされます。 (注意事項) ・ アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)の場合、受信 ID Field 値が受信データレジスタ(RDR)にロードされると受信データフルフラグビットがセット(RDRF=1)されます。また、同時に LIN 自動ヘッダ完了フラグもセット(LAMSR:LAHC=1)されます。
bit1	TDRE :	"0"リード：送信データレジスタ TDR にデータが存在する

ビット名		機能
	送信データエンプティフラグビット	"1"リード：送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。 ・TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。 ・シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"になります。 ・ 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit0	TBI : 送信バスアイドルフラグビット	"0"リード：送信中 "1"リード：送信動作なし ・LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。 ・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。 ・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます ・ マニュアルモード(LAMCR:LAMEN=0)の場合 ・LIN Break Field が設定(SMR:LBR=1)された場合に本ビットは"0"設定されます。 ・LIN Break Field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・ アシストモード(LAMCR:LAMEN=1)の場合 ・マスタ(SCR:MS=0)のヘッダ送信中本ビットは"0"に設定されます。 ・ヘッダ送信(ID Field送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・レスポンス送信中本ビットは"0"に設定されます。 ・レスポンス送信(チェックサム送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。 ・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

4.4.3. 拡張通信制御レジスタ ：ESCR (Extended Serial Control Register)

拡張通信制御レジスタのビット構成について示します。

拡張通信制御レジスタ(ESCR)は、LIN break Field 割込みの許可/ 禁止, LIN break Field の検出, LIN break Field 長, Break デリミタ長の設定, ストップビット長の選択を行います。

■ ESCRn(n=0～11): アドレス Base addr+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	ESBL	LBL2	LBIE	LBL[1:0]		DEL[1:0]	
初期値	-	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名		機能
bit7	予約	読出し値は"0"です。 常に"0"を書き込んでください。
bit6	ESBL : 拡張ストップビット長選択ビット	ストップビット(送信データのフレームエンドマーク)のビット長を設定します。 SBL="0", ESCR:ESBL="0"に設定した場合 ： ストップビットは1ビットに設定されます。 SBL="1", ESCR:ESBL="0"に設定した場合 ： ストップビットは2ビットに設定されます。 SBL="0", ESCR:ESBL="1"に設定した場合 ： ストップビットは3ビットに設定されます。 SBL="1", ESCR:ESBL="1"に設定した場合 ： ストップビットは4ビットに設定されます。 (注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。 ・本ビットは送信が禁止(TXE=0)のときに設定してください。 ・アシストモード(LAMCR:LAMEN=1)の場合、LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。
bit4	LBIE : LIN break Field 検出割込み許可ビット	LIN break Field 検出割込みを許可/禁止するビットです。 LIN break Field検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みを発生します。 ・"0"に設定した場合 : LIN break Field 検出割込み禁止 ・"1"に設定した場合 : LIN break Field 検出割込み許可

ビット名		機能
bit5,bit3, bit2	LBL[2:0] : LIN break Field 長選択ビット (マスタ動作のみ機能)	"000" : 13 ビット長 "001" : 14 ビット長 "010" : 15 ビット長 "011" : 16 ビット長 "100" : 17 ビット長 "101" : 18 ビット長 "110" : 19 ビット長 "111" : 20 ビット長 ・本ビットは、LIN break Field の生成時間を何ビット分とするかを設定します。 ・シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN break Field 送信)する前に、本ビットを設定してください。 ・スレーブ動作時、LIN break Field 検出タイミングは、本ビットの設定値によらず、常に 11 ビット目で検出します。 (注意事項) ・本機能は、マスタ動作(SMR:MS="0")のみ機能します。 ・LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。 ・マニュアルモード(LAMCR:LAMEN=0)の場合、13 ビット長から 16 ビット長までしか動作しません。そのため、LBL2 に常に"0"を設定してください。
bit1, bit0	DEL[1:0] : LIN Break デリミタ長選択ビット (マスタ動作のみ機能)	"00" : 1 ビット長 "01" : 2 ビット長 "10" : 3 ビット長 "11" : 4 ビット長 ・これらのビットは、LIN Break デリミタ長を何ビット分とするかを設定します。 ・シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN break Field 送信)する前に、本ビットを設定してください。 (注意事項) ・本機能は、マスタ動作(SMR:MS="0")のみ機能します。

4.4.4. 送信データレジスタ・受信データレジスタ :RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

リード

■ RDR1n-0n(n=0～11): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子(SIN端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて､受信データレジスタ(RDR)に格納されます。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"にセットされます。受信割込みが許可されている場合は(SSR:RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効となります。

＜注意事項＞

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。
- アシストモード(LAMCR:LAMEN=1)時は以下の動作になります。
  - スレーブ動作において、ID Field の受信に LIN アシストモード受信 ID レジスタを使用する設定(LAMCR:LIDEN=1)のとき、ID Field を受信した場合、受信 ID 値は受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
  - スレーブ動作において､ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)のとき、ID Field を受信した場合、受信 ID 値が受信データレジスタ(RDR)に格納されます。ただし、受信データフルビット(SSR:RDRF)はセットされません。このとき、LIN 自動ヘッダ完了フラグのセッ

ト(LAMSR:LAHC=1)により ID 値を確認してください。
・Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
・送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

・受信エラー(SSR:FRE,ORE, LAMESR:LCSER,LSFER,LBSER,LPTER)が発生した場合、アシストモードの 送受信処理は停止します。このとき、レスポンス受信処理は、受信許可設定(SCR:RXE=1)にかかわらず受信データレジスタへの受信データの格納動作は停止します。

・ 受信 FIFO 使用時は、以下の動作になります。
・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"にセットされます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。
・受信 FIFO 使用時に、受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

ライト

■ TDR1n-0n(n=0～11): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	−	−	−	−	−	−	−	−
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

・送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
・送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
・送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで，受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「7.1.5　送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

4.4.5. シリアル補助制御状態レジスタ ：SACSR

シリアル補助制御状態レジスタのビット構成について示します。

シリアル補助制御状態レジスタ(SACSR)は、シリアルテスト動作の制御，タイマ割込みの許可/ 禁止，同期送信の許可/ 禁止，シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/ 禁止の設定ができます。

■ SACSRn(n=0～11): アドレス Base addr+08$_H$ (アクセス: バイト，ハーフワード，ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	STST	BST	SFD	SFDE	AUTE	予約		TINT
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,WX	R(RM1),W	R/W	R,W	RX,W0	RX,W0	R(RM1),W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W0	R,W0	R,W	R,W	R,W	R,W	R/W

[bit15] STST : シリアルテストビット

シリアルテストモードの許可または禁止を選択します。

シリアルテストモード許可時，マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。

シリアルテストモード許可時、端子 SOT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

＜注意事項＞

本ビットは送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

[bit14] BST : ボーレート設定フラグ

Sync Field 受信による自動ボーレート調整が行われたことを示します。
Sync Field で LIN バスの 5 回目の立下りを検出した場合、本ビットは更新されます。

BST	ボーレート設定フラグ	
	ライト	リード
0	影響なし	自動ボーレート調整なし
1		自動ボーレート調整あり

＜注意事項＞

- 自動ボーレート調整禁止(AUTE=0)のとき、本ビットは"0"に固定されます。
- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- シンクフィールド検出フラグ(SACSR:SFD)が"1"のときのみ、本ビットは有効です。
- 本ビットへの書込みは無効です。

[bit13] SFD : シンクフィールド検出フラグ

Sync Field を検出したことを示します。
本ビットは Sync Field で LIN バスの 5 回目の立下りを検出すると"1"になります。
本ビットが"1"でシンクフィールド検出割込み許可ビット(SFDE) が"1"のとき、状態割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。

SFD	シンクフィールド検出フラグ	
	ライト	リード
0	クリア	Sync Field を検出なし
1	影響なし	Sync Field を検出あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- 本ビットへの"1"書込みは無効です。
- マスタモード(SCR:MS="0")およびスレーブモード(SCR:MS="1")共に本ビットは有効です。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit12] SFDE : シンクフィールド検出割込み許可ビット

CPU へのシンクフィールド割込みの許可/ 禁止するビットです。

本ビットが"1"でシンクフィールド検出フラグ(SFD)が"1"の場合、状態割込み要求を出力します。

SFDE	シンクフィールド検出割込み許可ビット
0	シンクフィールド検出による割込み禁止
1	シンクフィールド検出による割込み許可

[bit11] AUTE : 自動ボーレート調整ビット

自動ボーレート調整を許可/ 禁止するビットです。

AUTE	自動ボーレート調整ビット
0	自動ボーレート調整を禁止
1	自動ボーレート調整を許可

＜注意事項＞

- マスタモード(SCR:MS="0")時、本ビットは内部で"0"に固定されます。
- 本ビットが"1"のとき、タイマ動作クロック分周ビット(TDIV3-0)は"3_H"(8 分周)に設定されます。
- シリアルタイマ許可ビット(TMRE)が"0"のときのみ本ビットは"0"から"1"に変更可能です。

[bit10, bit9] 予約ビット

本ビットには必ず "0"を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき状態割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

TINT	説明	
	ライト	リード
0	クリア	タイマ割込み要求なし
1	影響なし	タイマ割込み要求あり

＜注意事項＞

- ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。
- リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、状態割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6, bit5] **予約ビット**

本ビットには必ず "0"を設定してください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ : バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット (TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット
シリアルタイマの動作許可または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

4.4.6. シリアルタイマレジスタ ：STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=0～11): アドレス Base addr+0A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : タイマデータビット
シリアルタイマのタイマ値を示します。
タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは"0"に初期化されます。

4.4.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=0～11): アドレス Base addr+0C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TC15-0： コンペアビット

本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を"1"にします。

＜注意事項＞

- 本レジスタに(0000) H を設定した場合、シリアルタイマレジスタは"0"のままです。
- 同期送信禁止(SACSR:TSYNE="0")で本レジスタに"0000"H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000"b に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、本レジスタは変更可能です。
- 下記の条件をすべて満たす場合、ボーレート調整を行う前にシリアルタイマレジスタ(STMR)が(0000) H にリセットされてしまう可能性があります。そのため、自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき本ビットはシンクフィールド上限ビット(SFUR)で設定した値より大きな値を設定してください。
  - ・自動ボーレート調整ビット(SACSR:AUTE) が"1"のとき
  - ・本ビットがシンクフィールド上限ビット(SFUR)で設定した値以下の場合

4.4.8. シンクフィールド上限レジスタ ：SFUR

シンクフィールド上限レジスタのビット構成について示します。

シンクフィールド上限レジスタ(SFUR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の上限値を設定します。

■ SFURn(n=0～11): アドレス Base addr+0E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	TU14	TU13	TU12	TU11	TU0	TU9	TU8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TU7	TU6	TU5	TU4	TU3	TU2	TU1	TU0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義

読出し値は"0"です。書込みは動作に影響ありません。

[bit14～bit0] TU14-0： 上限ビット

自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の上限値を設定します。
自動ボーレート調整ビット(SACSR:AUTE)が"1"でスレーブモード(SCR:MS="1")のとき Sync Field 受信後のシリアルタイマレジスタ(STMR)値が本ビット以下でシンクフィールド下限レジスタ(SFLR)以上だと、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)値が設定されます。

＜注意事項＞

自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき変更可能です。

4.4.9. シンクフィールド下限レジスタ ：SFLR

シンクフィールド下限レジスタのビット構成について示します。

シンクフィールド下限レジスタ(SFLR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の下限値を設定します。

■ SFLR1n-0n(n=0～11): アドレス Base addr+12$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	TL14	TL13	TL12	TL11	TL0	TL9	TL8
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TL7	TL6	TL5	TL4	TL3	TL2	TL1	TL0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義

読出し値は"0"です。書込みは動作に影響ありません。

[bit14～bit0] TL14-0 : 下限ビット

自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の下限値を設定します。

自動ボーレート調整ビット(SACSR:AUTE) が"1"でスレーブモード(SCR:MS="1")のとき Sync Field 受信後のシリアルタイマレジスタ(STMR)値がシンクフィールド上限レジスタ(SFUR)以下で本ビット以上だと、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)値が設定されます。

＜注意事項＞

自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき変更可能です。

4.4.10. ボーレートジェネレータレジスタ ：BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ BGRn(n=0～11): アドレス Base addr+1C$_H$ (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EXT	BGR[14:8]						
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] EXT (EXTernal clock) : **外部クロック選択ビット**

ボーレート生成用内部リロードカウンタに、 内部クロックソースを使用するか、外部クロックソースを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT= 1 に設定した場合、外部クロックを選択します。

[bit14～bit0] BGR (Baud rate GeneratoR) : **ボーレートジェネレータビット**

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後，プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅の方がバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ(BGR)に"0"を書込み、プログラマブルクリア(UPCL)実行後，外部クロック(EXT=1)に設定してください。

4.4.11. LIN アシストモード状態レジスタ: LAMSR

LIN アシストモード状態レジスタのビット構成について示します。

LIN アシストモード状態レジスタ(LAMSR)は、自動ヘッダ送受信状態の確認, 受信エラーフラグの確認を行います。

■ LAMSRn(n=0～11): アドレス Base addr + 10_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LER	SER	RDRF	TDRE	TBI	LCSC	予約	LAHC
初期値	0	0	0	1	1	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,W	R0,W0	R,W

[bit7] LER : LIN 代表エラーフラグビット

以下のエラーが発生した場合、"1"に設定されます。エラーフラグビットの設定条件およびクリア条件は、LIN アシストモードエラー状態レジスタ(LAMESR)の各ビット説明を参照してください。

- LIN バスエラーフラグビット(LBSER)
- LIN Sync Data エラーフラグビット(LSFER)
- LIN ID パリティエラーフラグビット(LPTER)
- LIN チェックサムエラーフラグビット(LCSER)

LER	LIN 代表エラーフラグ
0	エラーなし
1	エラーあり

＜注意事項＞

マニュアルモード(LAMCR:LAMEN=0)の場合、本ビットの読出し値は常に"0"です。

[bit6] SER : シリアルインタフェース代表エラーフラグビット

以下のエラーが発生した場合、"1"に設定されます。エラーフラグビットの設定条件およびクリア条件は、シリアル状態レジスタ(SSR)の各ビット説明を参照してください。

- フレーミングエラーフラグビット(FRE)
- オーバランエラーフラグビット(ORE)

SER	シリアルインタフェース代表エラーフラグ
0	エラーなし
1	エラーあり

[bit5] RDRF : 受信データフルフラグビット

シリアル状態レジスタ(SSR)の受信データフルフラグビット(RDRF)と同じです。ビット説明は、シリアル状態レジスタ(SSR)を参照してください。

[bit4] TDRE : 送信データエンプティフラグビット

シリアル状態レジスタ(SSR)の送信データエンプティフラグビット(TDRE)と同じです。ビット説明は、シリアル状態レジスタ(SSR)を参照してください。

[bit3] TBI : 送信バスアイドルフラグビット

シリアル状態レジスタ(SSR)の送信バスアイドルフラグビット(TBI)と同じです。ビット説明は、シリアル状態レジスタ(SSR)を参照してください。

[bit2] LCSC : LIN チェックサム演算完了フラグビット

LIN チェックサム演算の完了を示すフラグです。
アシストモード(LAMCR:LAMEN="1")の受信動作時に、設定されたデータ設定長(LAMCR:LDL3-0)分のデータとチェックサムを受信すると、チェックサム演算が完了し"1"に設定されます。
LINチェックサム演算完了フラグビット(LCSC)とチェックサム演算完了割込み許可ビット(LCSCIE)が"1"の場合、状態割込み要求を出力します。

・リードした場合
"1"の場合 : チェックサム演算完了が検出されています。
"0"の場合 : チェックサム演算完了が検出されていません。

・ライトした場合
"0"をライトした場合 : LCSC ビットをクリアします。
"1"をライトした場合 : 影響しません。

LCSC	チェックサム演算完了フラグ	
	書込み	読出し
0	LCSC フラグクリア	チェックサム演算中 もしくは チェックサム演算開始待ち
1	影響なし	チェックサム演算完了

＜注意事項＞

リードモディファイライト命令時、"1"が読み出されます。
マニュアルモード(LAMCR:LAMEN="0")の場合、本ビットの読出し値は常に"0"です。

[bit1] 予約

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit0] LAHC : LIN 自動ヘッダ完了フラグビット

- LIN 自動ヘッダの状態を示すフラグです。
- アシストモード(LAMCR:LAMEN=1)時に、LIN ヘッダを受信すると"1"に設定されます。
- LIN 自動ヘッダ完了フラグビット(LAHC)と LIN 自動ヘッダ完了割込み許可ビット(LAHCIE)が"1"の場合、状態割込み要求を出力します。
- 本ビットに"1"が設定された後に LIN 自動ヘッダ受信 ID レジスタ(LAMRID)の読出しを行うと"0"に設定されます。
- リードした場合
  "1"の場合 : LIN 自動ヘッダ完了が検出されています。
  "0"の場合 : LIN 自動ヘッダ完了が検出されていません。
- ライトした場合
  "0"をライトした場合 : LAHC ビットをクリアします。
  "1"をライトした場合 : 影響しません。

LAHC	LIN 自動ヘッダ完了フラグ	
	ライト	リード
0	LAHC フラグクリア	LIN 自動ヘッダ受信中 もしくは、受信待ち
1	影響なし	LIN 自動ヘッダ受信完了

＜注意事項＞

リードモディファイライト命令時、"1"が読み出されます。
マニュアルモード(LAMCR:LAMEN=0)の場合、本ビットの読出し値は常に"0"です。

4.4.12. LIN アシストモード制御レジスタ ：LAMCR

LIN アシストモード制御レジスタのビット構成について示します。

LIN アシストモード制御レジスタ(LAMCR)は､LIN 自動ヘッダ処理の許可, LIN ID レジスタの使用許可, LIN チェックサムタイプの選択, LIN アシストモード時に TDR のクリアおよび LIN データ長の設定を行います。

■ LAMCRn(n=0～11): アドレス Base addr + 11_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LDL3	LDL2	LDL1	LDL0	LTDRCL	LCSTYP	LIDEN	LAMEN
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0,W	R/W	R/W	R/W

[bit7～bit4] LDL3, LDL2, LDL1, LDL0: LIN データ長設定ビット

LIN のレスポンスデータ長 0~8 バイトを設定します。
設定値は、データ長の値を設定してください。
送信動作の場合、本データ長分のデータ送信後チェックサムを生成し送信します。
受信動作の場合、本データ長分のデータ受信後の次の受信データに対しチェックサムのチェックを行います。

LDL3	LDL2	LDL1	LDL0	LIN データ長設定ビット
0	0	0	0	0 バイト長
0	0	0	1	1 バイト長
0	0	1	0	2 バイト長
0	0	1	1	3 バイト長
0	1	0	0	4 バイト長
0	1	0	1	5 バイト長
0	1	1	0	6 バイト長
0	1	1	1	7 バイト長
1	0	0	0	8 バイト長

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本設定は、レスポンス部の送受信前に設定してください。
- LDL3~0 設定は"1001"~"1111"を設定しないでください。
- レスポンス送信するノードにおいて、LIN データ長を 0 バイト長(LDL3-0="0000")設定した場合、チェックサムを送信するために、TDR レジスタにダミー書込み(書込み値は don’tcare)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - ・標準チェックサム設定(LCSTYP=0)時、チェックサム値は 0xFF となります。
  - ・拡張チェックサム設定(LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

[bit3] LTDRCL: 送信データレジスタクリアビット

送信データレジスタ(TDR)のクリアを行うビットです。
"1"に設定した場合：送信データレジスタをリセットします。
"0"に設定した場合：動作に影響ありません。
リード時は常に"0"が読み出されます。

LTDRCL	送信データレジスタクリアビット	
	書込み	読出し
0	影響なし	常に"0"をリード
1	送信データレジスタ(TDR)クリア	

＜注意事項＞

- 送信データレジスタクリアにより送信 FIFO はリセットされません。
- 送信 FIFO を使用している場合、送信 FIFO をクリア(FCR0:FCL1 or FCR0:FCL2)後に送信データレジスタクリアを実行してください。
- 送信 FIFO を使用していない場合または送信 FIFO が空の場合で、送信データレジスタ(TDR)にデータが入っているときに送信データレジスタクリアを実施(LTDRCL=1)すると、送信データエンプティフラグビットがセット(SSR:TDRE=1 および LAMSR:TDRE=1)されます。

[bit2] LCSTYP: LIN チェックサムタイプ選択ビット

LIN のチェックサムタイプを選択します。

LCSTYP	LIN チェックサムタイプ選択ビット
0	標準チェックサム
1	拡張チェックサム

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- マスタの場合は LIN Break field 生成(LBR="1")前に設定してください。
- スレーブの場合は本ビットは"0"に固定してください。

[bit1] LIDEN: LIN ID レジスタ使用許可ビット

LIN アシストモード送信/ 受信 ID レジスタ(LAMTID/LAMRID)の使用許可を設定します。

・マスタ(SCR:MS=0) の場合
"0"に設定した場合 : LIN ID Field の送信に送信データレジスタ(TDR)が使用されます。
"1"に設定した場合 : LIN ID Field の送信に LIN アシストモード送信 ID レジスタ(LAMTID)が使用されます。

・スレーブ(SCR:MS=1) の場合
"0"に設定した場合 : LIN ID Field の受信に受信データレジスタ(RDR)が使用されます。
"1"に設定した場合 : LIN ID Field の受信に LIN アシストモード受信 ID レジスタ(LAMRID)が使用されます。

LIDEN	LIN ID レジスタ使用許可ビット	
	マスタ	スレーブ
0	送信データレジスタ(TDR)を使用	受信データレジスタ(RDR)を使用
1	LIN アシストモード送信 ID レジスタ(LAMTID)を使用	LIN アシストモード受信 ID レジスタ(LAMRID)を使用

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本設定は、ヘッダ部の送受信前に設定してください。
- 受信 FIFO 使用時に、本設定を"1"(LAMRID 使用)にした場合、受信した ID は受信 FIFO に格納されません。

[bit0] LAMEN: LIN アシストモード処理許可ビット

LIN アシストモード処理の許可設定をします。

LAMEN	LIN アシストモード許可ビット
0	マニュアルモード
1	アシストモード

＜注意事項＞

- マニュアルモード時、LIN の送受信禁止(SCR: RXE ="0", SCR:TXE=0)のときに本ビットを変更してください。
- アシストモード時、本ビットは強制停止による設定変更以外 LIN 動作途中で変更しないでください。
- 本ビットを変更した場合は、ソフトウェアリセット(SCR:UPCL=1)を行ってください

4.4.13. LIN アシストモード割込み許可レジスタ ：LAMIER

LIN アシストモード割込み許可レジスタのビット構成について示します。

LIN アシストモード割込み許可レジスタ(LAMIER)は、LIN 自動ヘッダ完了割込みの許可/禁止, LIN チェックサム演算完了割込み許可/禁止, LIN バスエラー割込みの許可/禁止, LIN ID パリティエラー割込みの許可/禁止, LIN Sync Data エラー割込み許可/禁止および LIN チェックサムエラー割込みの許可/禁止の設定を行います。

■ LAMIERn(n=0～11): アドレス Base addr + $1A_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	LCSERIE	LPTERIE	LSFERIE	LBSERIE	LCSCIE	予約	LAHCIE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

[bit7] 予約

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit6] LCSERIE : LIN チェックサムエラー割込み許可ビット

CPU への LIN チェックサムエラー割込み要求出力を許可/禁止するビットです。

LCSERIE ビットと LAMESR: LCSER ビットが"1"の場合、受信割込み要求を出力します。

LCSERIE	LIN チェックサムエラー割込み許可ビット
0	LIN チェックサムエラー割込み禁止
1	LIN チェックサムエラー割込み許可

[bit5] LPTERIE : LIN ID パリティエラー割込み許可ビット

CPU への LIN ID パリティエラー割込み要求出力を許可/禁止するビットです。

LPTERIE ビットと LAMESR: LPTER ビットが"1"の場合、受信割込み要求を出力します。

LPTERIE	LIN ID パリティエラー割込み許可ビット
0	LIN ID パリティエラー割込み禁止
1	LIN ID パリティエラー割込み許可

[bit4] LSFERIE : LIN Sync Data エラー割込み許可ビット

CPU への LIN Sync Data エラー割込み要求出力を許可/禁止するビットです。

LSFERIE ビットと LAHESR:LSFER ビットが"1"の場合、受信割込み要求を出力します。

LSFERIE	LIN Sync Data エラー割込み許可ビット
0	LIN Sync Data エラー割込み禁止
1	LIN Sync Data エラー割込み許可

[bit3] LBSERIE : LIN バスエラー割込み許可ビット

CPU への LIN バスエラー割込み要求出力を許可/禁止するビットです。
LBSERIE ビットと LAMESR: LBSER ビットが"1"の場合、受信割込み要求を出力します。

LBSERIE	LIN バスエラー割込み許可ビット
0	LIN バスエラー割込み禁止
1	LIN バスエラー割込み許可

[bit2] LCSCIE : LIN チェックサム演算完了割込み許可ビット

CPU への LIN チェックサム演算完了割込み要求出力を許可/禁止するビットです。
LCSCIE ビットと LAMSR: LCSC ビットが"1"の場合、状態割込み要求を出力します。

LCSCIE	LIN チェックサム演算完了割込み許可ビット
0	LIN チェックサム演算完了割込み禁止
1	LIN チェックサム演算完了割込み許可

[bit1] 予約

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit0] LAHCIE: LIN 自動ヘッダ完了割込み許可ビット

CPU への LIN 自動ヘッダ完了割込み要求出力を許可/禁止するビットです。
LAHCIE ビットと LAMSR: LAHC ビットが"1"の場合、状態割込み要求を出力します。

LAHCIE	LIN 自動ヘッダ完了割込み許可ビット
0	LIN 自動ヘッダ送信完了割込み禁止
1	LIN 自動ヘッダ送信完了割込み許可

4.4.14. LIN アシストモード送信/受信 ID レジスタ ：LAMTID / LAMRID

LIN アシストモード送信/受信 ID レジスタのビット構成について示します。

LIN アシストモード送信/受信 ID レジスタ(LAMTID/LAMRID)は、受信 LIN ID パリティ表示および送信 LIN ID 設定、受信 ID 表示を行います。

■ LIN アシストモード送信 ID レジスタ(LAMTID)

LAMTIDn(n=0～11): アドレス Base addr + $1B_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	LID5	LID4	LID3	LID2	LID1	LID0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit7, bit6] 予約

予約ビットです。常に"0"を書き込んでください。

[bit5～bit0] LID5~LID0 : LIN ID 設定ビット

(ライトした場合)

アシストモードのマスタ設定時、LIN ID レジスタ使用許可ビット(LIDEN)が使用許可の場合、送信 LIN ID 値を設定します。

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN ="1")のみ機能します。
- 本設定は、LIN Break 起動前(SCR:LBR="1")に設定してください。

■ LIN アシストモード受信 ID レジスタ(LAMRID)

LAMRIDn(n=0～11): アドレス Base addr + $1B_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	P1	P0	LID5	LID4	LID3	LID2	LID1	LID0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7, bit6] P1, P0 : LIN ID パリティ表示ビット
(リードした場合)
アシストモード時、受信した LIN ID のパリティ値を表示します。

[bit5～bit0] LID5~LID0 : LIN ID 設定ビット
(リードした場合)
アシストモード時、受信した LIN ID 値を表示します。

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR:LAMEN ="1")のみ機能します。

4.4.15. LIN アシストモードエラー状態レジスタ ：LAMESR

LIN アシストモードエラー状態レジスタのビット構成について示します。

LIN アシストモードエラー状態レジスタ(LAMESR)は、LIN チェックサムエラー, LIN ID パリティエラーおよび LIN バスエラーのフラグの確認を行います。

■ LAMESRn(n=0～11): アドレス Base addr + 18_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	LCSER	LPTER	LSFER	LBSER	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,W	R,W	R,W	R,W	R0,W0	R0,W0	R0,W0

[bit7] 予約
予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit6] LCSER : LIN チェックサムエラーフラグビット
LIN チェックサムエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LCSER ビットと LCSERIE ビットが"1"の場合、受信割込み要求を出力します。

LCSER	LIN チェックサムエラーフラグビット	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

[bit5] LPTER : LIN ID パリティエラーフラグビット

LIN ID パリティエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LPTER ビットと LPTERIE ビットが"1"の場合、受信割込み要求を出力します。
本フラグがセットされた場合、受信 ID データは無効です。

LPTER	LIN ID パリティエラーフラグビット	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

[bit4] LSFER : LIN Sync Data エラーフラグビット

LIN Sync Data エラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LSFER ビットと LSFERIE ビットが"1"の場合、受信割込み要求を出力します。

LSFER	LIN Sync Data エラーフラグビット	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- 本機能は､スレーブモード(SCR:MS=1)の自動ボーレート調整禁止(SACSR:AUTE="0")時のみ検出します。
- 自動ボーレート調整禁止(SACSR:AUTE="0")でフレーミングエラーを検出した場合でも、Sync Field 値(0x55)照合結果は表示されますが、このときの照合結果は保証されません。

[bit3] LBSER: LIN バスエラーフラグビット

LIN バスエラーが発生した場合、"1"に設定されます。
本エラーフラグビットのクリアは、"0"書込みを行ってください。
LBSER ビットと LBSERIE ビットが"1"の場合、受信割込み要求を出力します。
ID Field とデータフィールドで本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。

LBSER	LIN バスエラーフラグビット	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
- リードモディファイライト命令時、"1"が読み出されます。
- フレーミングエラーを検出した場合でも、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。
- ID Field でバスエラーを検出した場合、LIN ID パリティエラーも検出されます。
- チェックサムでバスエラーを検出した場合、LIN チェックサムエラーも検出されます。

[bit2～bit0] 予約

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

4.4.16. LIN アシストモード障害試験レジスタ ：LAMERT

LIN アシストモード障害試験レジスタのビット構成について示します。

LIN アシストモード障害試験レジスタ(LAMERT)は、キーコード制御ビットと擬似障害設定ビットの設定により、フレーミングエラー, LIN バスエラー, LIN Sync Field エラー, LIN ID パリティエラーおよび LIN チェックサムエラーの擬似障害設定を行います。

■ LAMERTn(n=0～11): アドレス Base addr + 19_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約	LCSERT	LPTERT	LSFERT	LBSERT	FRET
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7, bit6] KEY1,KEY0 : キーコード制御ビット

以下の疑似障害設定を有効にするキーコードレジスタです。

・フレーミングエラー疑似障害設定ビット(FRET)
・LIN バスエラー疑似障害設定ビット(LBSERT)
・LIN Sync Field エラー疑似障害設定ビット(LSFERT)
・LIN ID パリティエラー疑似障害設定ビット(LPTERT)
・LIN チェックサムエラー疑似障害設定ビット(LCSERT)

疑似障害設定を行う場合は、以下の手順で書込みを行ってください。

1. KEY1-0="00"+疑似障害設定値を書込み
2. KEY1-0="01"+疑似障害設定値(前回と同じ値)を書込み
3. KEY1-0="10"+疑似障害設定値(前回と同じ値)を書込み
4. KEY1-0="11"+疑似障害設定値(前回と同じ値)を書込み
5. 4 回目の書込み時、疑似障害設定値が有効になります。

本設定手順に従わない場合(書込み手順の途中で、ほかのレジスタに書込みや読出しを行う場合、書込み値が正しくない場合、および書込み手順の途中で本レジスタに読出しを行う場合)、書込みは無効となります。

疑似障害設定を解除する場合も、設定と同様の手順により行ってください。
読出し値は、"0"が読み出されます。

＜注意事項＞

アシストモードで以下のエラーが発生した場合、アシストモードが停止しますので、設定に注意してください。
・LIN バスエラー
・LIN フレーミングエラー
・LIN Sync Data エラー
・LIN ID パリティエラー

・LIN チェックサムエラー

[bit5] 予約
予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit4] LCSERT : LIN チェックサムエラー疑似障害設定ビット
LIN チェックサムエラーの発生を制御するビットです。
アシストモード時、チェックサムのスタートビット前に本ビットの設定が"1"(エラー発生あり)のとき、チェックサムを反転出力します。反転されたチェックサムを受信した場合、LIN チェックサムエラーが発生し、フラグビット(LAMESR: LCSER)に"1"が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LCSERT	LIN チェックサムエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
フレーミングエラーと LIN チェックサムエラーの疑似障害設定後、レスポンス送信を処理した場合、データフィールドでフレーミングエラーが検出され、チェックサムの自動送信が停止します。このため、LIN チェックサムエラーは検出されません。

[bit3] LPTERT : LIN ID パリティエラー疑似障害設定ビット
LIN ID パリティエラーの発生を制御するビットです。
アシストモード時、ID Field のスタートビット前に本ビットの設定が"1"(エラー発生あり)のとき、ID パリティの全ビットを反転出力します。反転された ID パリティの ID Field を受信した場合、LIN ID パリティエラーが発生し、フラグビット(LAMESR: LPTER)に"1" が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LPTERT	LIN ID パリティエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
フレーミングエラーと LIN ID パリティエラーの疑似障害設定後、自動ヘッダ送信が行われた場合、Sync Field でフレーミングエラーが検出され、自動送信が停止します。このため、LIN ID パリティエラーは検出されません。

LIN バスエラーと LIN ID パリティエラーの疑似障害設定時、LIN バスエラーが優先され LIN ID パリティエラーは検出されません。

[bit2] LSFERT : LIN Sync Data エラー疑似障害設定ビット

LIN Sync Data エラーの発生を制御するビットです。
アシストモードのマスタ設定(SCR:MS="0")およびSync Fieldのスタートビット前に本ビットの設定が"1"(エラー発生あり)の場合、LIN Sync Field の全ビットを反転して出力します。
本ビットは、設定解除(="0")されるまで疑似障害機能は有効となり、Sync Field の送信は反転し続けます。

LSFERT	LIN Sync Data エラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

- 本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
- 本ビットをセット(LSFERT="1")する場合は、LIN バスエラー疑似障害設定ビットも一緒にセット(LBSERT="1")してください。マスタは LIN バスエラーの検出によって LIN Sync Data エラー疑似障害の送信完了が分かります。

[bit1] LBSERT : LIN バスエラー疑似障害設定ビット

LIN バスエラーの発生を制御するビットです。
アシストモードのマスタ設定時、送信した各 Field (Sync Field, ID Field, データ, チェックサム)のストップビット前に本ビットの設定が"1"(エラー発生あり)のとき、LIN バスエラーが発生し、フラグビット(LAMESR:LBSER)に"1"が設定されます。
アシストモードのスレーブ設定時、レスポンス送信した各 Field(データ, チェックサム)のストップビット前に本ビットの設定が"1"(エラー発生あり)のとき、LIN バスエラーが発生し、フラグビット(LAMESR:LBSER)に"1"が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

LBSERT	LIN バスエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR: LAMEN ="1")のみ機能します。
LIN Break Field の LIN バスエラー疑似障害設定はできません。
LIN バスエラーと LIN チェックサムエラーもしくは LIN ID パリティエラーを同時に疑似障害設定した場

合、LIN バスエラーのみが検出されます。LIN チェックサムエラーおよび LIN ID パリティエラーは検出されません。
LIN送信起動設定(SCR:LBR="1")前にLINバスエラーとLIN Sync Dataエラーもしくはフレーミングエラーを同時に疑似障害設定した場合、LIN バスエラーと LIN Sync Data エラーもしくはフレーミングエラーを同時に検出します。
LIN バスエラーを検出するとアシストモードによる送受信処理は停止します。

[bit0] FRET : フレーミングエラー疑似障害設定ビット

LIN フレーミングエラーの発生を制御するビットです。
アシストモード時、各 Field(Sync Field, ID Field, データ, チェックサム)のストップビットの前に本ビットの設定が"1"(エラー発生あり)のとき、ストップビットを反転して出力します。反転したストップビットを受信した場合、フレーミングエラーが発生し、フラグビット(SSR:FRE)に"1" が設定されます。
本ビットは、設定解除(="0")されるまで、疑似障害機能は有効となりエラーを発生させます。

FRET	フレーミングエラー疑似障害設定ビット
0	エラー発生なし
1	エラー発生あり

＜注意事項＞

本機能は、LIN アシストモード動作(LAMCR:LAMEN="1")のみ機能します。
フレーミングエラーと LIN ID パリティエラーの疑似障害設定後、自動ヘッダ送信を実行した場合、Sync Field でフレーミングエラーが検出され、自動送信が停止します。このため LIN ID パリティエラーは検出されません。
フレーミングエラーと LIN チェックサムエラーの疑似障害設定後、レスポンス送信を処理した場合、データフィールドでフレーミングエラーが検出されチェックサムの自動送信が停止します。このため、LIN チェックサムエラーは検出されません。

4.5. I²C 時レジスタ

I²C 時のレジスタについて示します。

4.5.1. I²C バス制御レジスタ ：IBCR (I²C Bus Control Register)

I²C バス制御レジスタのビット構成について示します。

I²C バス制御レジスタ(IBCR)は、マスタ/スレーブモード選択, 反復スタート条件の発生, アクノリッジ許可, 割込み許可を設定し、割込みフラグを表示します。

■ IBCRn(n=3～8,10,11): アドレス Base addr+00H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R/W	R/W	R/W	R/W	R,WX	R(RM1),W

ビット名		機能
bit7	MSS : マスタ/スレーブ選択ビット	・本ビットに"1"を設定すると I²C バスがアイドル状態(ISMK:EN="1", IBSR: BB="0")のときマスタモードとなります。 ・IBSR レジスタの BB ビットが"1"のときこのビットに"1"を設定すると IBSR:BB ビットが"0"になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは"0"になり、IBSR レジスタの AL ビットが"1"になります。 ・マスタ動作中(MSS="1", ACT="1")で割込みフラグ(INT)が"1"のとき本ビットに"0"を書き込むとストップ条件が発生します。 MSS ビットは以下の条件でクリアされます。 (1) I²C インタフェースの動作禁止(ISMK:EN ビット="0") (2) アービトレーションロスト発生時 (3) バスエラー検出(BER ビット="1") (4) INT="1"のとき MSS ビットへの"0"書込み (5) DMA モードが許可(SSR:DMA="1")で SSR:TBI="1"のとき MSS ビットへの"0"書込み MSS ビットと ACT ビットの関係を以下に示します。 MSS=0, ACT=0 アイドル MSS=0, ACT=1 スレーブアドレス一致または予約アドレスに対し ACK 応答 *1 し、スレーブ動作中(スレーブモード) MSS=1, ACT=0 マスタ動作待機中 MSS=1, ACT=1 マスタ動作中(マスタモード) *1: ACK 応答: アクノリッジ区間に I²C バスの SDA が"L"であることを指します。 (注意事項) ・DMA モードが禁止(SSR:DMA="0")で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。 ・DMA モードが許可(SSR:DMA=1)で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"または SSR:TBI ビットが"1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。 ・ マスタ動作中、MSS ビットに"0"を書いても ACT ビットが"1" の間、"1"が読み出されます。

ビット名		機能
bit7	MSS : マスタ/スレーブ選択ビット	・スレーブ動作中に MSS ビットに"1"を書いた場合、本ビットは"0"になり、IBSR レジスタの AL ビットが"1"に設定されます。スレーブ動作終了後にマスタモードを行いたい場合、下記の手順で行ってください。 1.ストップ条件検出(IBCR:SPC=1)により、スレーブ動作終了を確認してください。 2.スレーブアドレスおよび、送信データ(送信 FIFO 使用時のみ)を書き込んでください。 3.本ビットに"1"を書き込んでください。
bit6	ACT/SCC : 動作フラグ/反復スタート条件発生ビット	このビットは、リードとライトで意味が異なります。 リード : ACT ビット ライト : SCC ビット ACT ビットはマスタモードまたは, スレーブモードとして動作していることを示します。 ACT ビットのセット条件 : (1) スタート条件を I^2C バスに出力したとき(マスタモード) (2) スレーブアドレスとマスタから送信されたアドレスが一致した(スレーブモード) (3) 予約アドレスを検出し、それに対しアクノリッジ応答したとき(MSS="0"のときスレーブモードとなる) ACT ビットのリセット条件: < マスタモード> (1) ストップ条件検出 (2) アービトレーションロスト検出 (3) バスエラー検出 (4) I^2C インタフェースの禁止(ISMK:EN ビット="0") < スレーブモード> (1) (反復)スタート条件検出 (2) ストップ条件検出 (3) 予約アドレス検出状態(IBSR:RSA="1")でアクノリッジ応答しなかったとき (4) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") (5) バスエラーの発生(BER ビット="1") マスタモード時、このビットに"1"を書き込むと反復スタートを実行します。"0"書込みは無効です。 (注意事項) ・SCC ビットへの"1"書込みは、マスタモードの割込み中(MSS="1", ACT="1", INT="1")に行ってください。ACT ビットが"1"のときに SCC ビットに"1"を書き込むと INT ビットは"0"にクリアされます。 ・スレーブモード(MSS="0", ACT = "1")時、本ビットに"1"を書くことは禁止です。 ・SCC ビットに"1", MSS ビットに"0"を書いた場合には、MSS ビットが優先されます。 ・リードモディファイライト系命令のリードは SCC ビットが読み出されます。 ・以下の両方の条件を満たした場合, INT ビットに"1"がセットされ,I^2C バスがウェイト**(SCL="L")されます。反復スタート条件を発生させるためには、再度 SCC ビ**ットに"1"を書込み、INT ビットをクリアする必要があります。 ・8 ビット目のマスタモード割込み時(MSS="1", ACT="1", INT="1", WSEL="1")に SCC ビットへ"1"を書き込んだ時 ・9 ビット目に NACK を受信したとき ・DMA モードが許可(SSR:DMA="1")で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。 1. IBCR:INT ビットに"1"を書き込んでください。 2. IBCR:INT ビットが"1"に設定されていることを確認してください。 3. TDR にスレーブアドレスを書き込んでください。 4. 本ビットに"1" を設定してください。

ビット名		機能
bit5	ACKE : データバイト アクノリッジ 許可ビット	・本ビットに"1"を設定するとアクノリッジタイミングで"L"を出力します。 ・本ビットは以下のいずれかの条件のときに変更してください。 ・DMA モードが禁止(SSR:DMA="0"), ACT="1"で INT ビットが"1"のとき ・DMA モードが許可(SSR:DMA="1"), ACT="1"で SSR:TBI ビットが"1"のとき ・DMA モードが許可(SSR:DMA="1"), ACT="1"でスレーブ受信時に SSR:RDRF が"1"のとき ・ACT="0"のとき 本ビットは以下の条件では無効となります。 (1) 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成) (2) データ送信時(IBSR:RSA="0", IBSR:TRX="1", IBSR:FBT="0") (3) 受信 FIFO 許可でスレーブ受信時(FCR0:FE="1", MSS="0", ACT="1"), 常に ACK 応答します。 (4) 受信 FIFO 許可,WSEL が"0", マスタ受信時(FCR0:FE="1", MSS="1", ACT="1", WSEL="0"), SSR:TDRE ビットが"0"のとき ACK 応答し, SSR:TDRE ビットが"1"のとき NACK 応答します。 (5) 受信 FIFO 許可, WSEL="0", 予約アドレス検出してスレーブ送信時(IBSR: RSA="1", IBSR:TRX="1", IBSR:FBT="1")、常に ACK 応答します。NACK 応答させる場合、予約アドレス検出後の割込み時、受信 FIFO を禁止にし、ACKE="0"にしてください。 (6) 受信 FIFO 許可,WSEL が"1", マスタ受信で送信データレジスタにデータがある時(FCR0:FE="1", MSS="1", ACT="1", WSEL="1", SSR:TDRE="0") "0"の場合 : アクノリッジ禁止 "1"の場合 : アクノリッジ許可
bit4	WSEL : ウェイト選択 ビット	・DMA モードが禁止(SSR:DMA=0)時、本ビットはアクノリッジ前か後のどちらに割込み(INT="1")を発生させ、I^2C バスをウェイトさせるか選択します。 ・DMA モードが許可(SSR:DMA=1)時、本ビットはアクノリッジ前か後のどちらに割込み(INT="1", 送信時は SSR:TBI="1", 受信時は SSR:RDRF="1")を発生させ、I^2C バスをウェイトさせるか選択します ・WSEL ビットは以下の条件では無効になります。 (1) 第一バイト*1 に対する割込み発生時(INT=1) (2) 予約アドレス検出時(IBSR:FBT="1", IBSR:RSA="1") (3) FIFO 使用時のデータ転送途中での NACK 応答*2 検出時(FCR0:FE="1", IBSR:RACK="1", ACT="1") (4) 受信 FIFO 使用時、受信 FIFO が FULL になったとき *1: 第一バイト:(反復)スタート条件後のデータを指します。 *2: NACK 応答: アクノリッジ期間 I^2C バスの SDA が"H"であることを示します。 "0"の場合 : アクノリッジ後ウェイト(9 ビット) "1"の場合 : データ送受信完了後ウェイト(8 ビット)
bit3	CNDE : 条件検出割込み 許可ビット	マスタモードまたはスレーブモード時(ACT="1"), ストップ条件または反復スタート条件が検出された場合、割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが"1"で本ビットが"1" のときに割込みが発生します。 "0"の場合 : 反復スタートまたはストップ条件割込み禁止 "1"の場合 : 反復スタートまたはストップ条件割込み許可
bit2	INTE : 割込み許可 ビット	マスタモードまたはスレーブモード時、データ送受信およびバスエラーに対する割込み(INT="1")を許可するビットです。 "0"の場合 : 割込み禁止 "1"の場合 : 割込み許可

ビット名		機能
bit1	BER : バスエラー フラグビット	本ビットは I^2C バス上でエラーを検出したことを示します。 BER ビットのセット条件 : (1) 第一バイト*1 転送中にスタート条件またはストップ条件を検出 (2) 第二バイト以降、データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出 BER ビットのリセット条件: (1) BER="1"のときに INT ビットへの"0"書込みした場合 (2) I^2C インタフェースの動作禁止(ISMK:EN="0")の場合 *1: 第一バイト:(反復)スタート条件後のデータを示します。 "0"の場合 : エラーなし "1"の場合 : エラー検出 (注意事項) 割込みフラグ(INT ビット)が"1"になったときにこのビットを確認し、"1"になっていると正常に送受信ができていませんので再送などの処理を行ってください。

ビット名		機能
bit0	INT : 割込み フラグビット	本ビットはマスタモードまたはスレーブモード時、データ送受信の 8 ビットまたは 9 ビット(ACK)後，またはバスエラー時にこのフラグを"1"に設定します。バスエラー時以外は、INT ビットが"1"になると SCL を"L"にし、INT ビットが"0"になると SCL の"L"の状態を解除します。 INT ビットのセット条件: ＜8 ビット目＞ <DMA モードに関係ない場合> (1) 第一バイトで予約アドレス検出した場合 (2) WSEL が"1"，第二バイト以降でアービトレーションロストを検出した場合 <DMA モードが禁止の場合(SSR:DMA="0")> (1) DMA モードが禁止時(SSR:DMA="0"), WSEL が"1"，マスタ動作中，第二バイト以降で SSR:TDRE ビットが"1"の場合 (2) DMA モードが禁止時(SSR:DMA="0"), WSEL が"1"，スレーブ動作中，受信 FIFO 禁止，第二バイト以降で SSR:TDRE ビットが"1"の場合 (3) DMA モードが禁止時(SSR:DMA="0"), WSEL が"1"，スレーブ送信中，第二バイト以降で SSR:TDRE ビットが"1"の場合 (4) DMA モードが禁止時(SSR:DMA="0"), WSEL が"1"，受信 FIFO 禁止でスレーブ受信の場合 <DMA モードが許可の場合(SSR:DMA="1")> (1) DMA モードが許可時(SSR:DMA="1"), WSEL が"1"，マスタ動作中，第二バイト以降で SSR:TBI ビットが"1"のときに INT ビットに"1"を書き込んだ場合 ＜9 ビット目＞ <DMA モードに関係ない場合> (1) 第一バイトでアービトレーションロストを検出した場合 (2) ストップ条件出力設定(マスタ動作中の MSS ビットへの"0"書込み)時以外に NACK を受信した場合 (3) WSEL="0"設定時、第二バイト以降でアービトレーションロストを検出した場合 (4) 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX="0")で受信 FIFO 許可時に受信 FIFO にデータがある場合 <DMA モードが禁止の場合(SSR:DMA="0")> (1) DMA モードが禁止時(SSR:DMA="0")，第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向(IBSR:TRX="1") で SSR:TDRE ビットが"1" の場合 (2) DMA モードが禁止時(SSR:DMA="0")，第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX="0")で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合 (3) DMA モードが禁止時(SSR:DMA="0"), WSEL="0"設定時，マスタモード動作中に第二バイト以降で SSR:TDRE ビットが"1" の場合 (4) DMA モードが禁止時(SSR:DMA="0"), WSEL="0"設定時，スレーブ送信中に第二バイト以降で SSR:TDRE ビットが"1"の場合

ビット名		機能
bit0	INT : 割込み フラグビット	(5) DMA モードが禁止時(SSR:DMA="0"), WSEL="0"設定時, 受信 FIFO 禁止でスレーブ受信の場合。ただし,予約アドレスを検出した第一バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。 (6) DMA モードが禁止時(SSR:DMA="0"), 受信 FIFO 許可, スレーブ受信のときに受信 FIFO が Full になった場合 <DMA モードが許可の場合(SSR:DMA="1")> (1) DMA モードが許可時(SSR:DMA="1"), 第一バイトで予約アドレスを検出せずにスレーブモードの送信方向(IBSR:TRX="1")で SSR:TDRE ビットが"1"の場合 (2) DMA モードが許可時(SSR:DMA="1"), 第一バイトで予約アドレスを検出せずにスレーブモードの受信方向(IBSR:TRX="0")で受信 FIFO 禁止時に SSR:TDRE ビットが"1" の場合 (3) DMA モードが許可時(SSR:DMA="1"), WSEL="0"設定時, マスタモード動作中に第二バイト以降で SSR:TBI ビットが"1"のときに INT ビットに"1"を書き込んだ場合 ＜その他＞ (1) バスエラー検出 INT ビットのリセット条件: (1) INT ビットへの"0"書込み (2) INT ビットが"1", ACT ビットが"1"のときに MSS ビットへの"0"書込み (3) INT ビットが"1", ACT ビットが"1"のときに SCC ビットへの"1"書込み DMA モードが禁止時(SSR:DMA="0"), INT ビットへの"1"書込みは無効です。 (注意事項) ・DMA モードが許可時(SSR:DMA="1"), マスタモード動作中に第二バイト以降で SSR:TBI ビットが"1"のときに INT ビットに"1"を書き込んだ場合、状態割込み(SIRQ="1")は発生しません。 ・DMA モードが許可(SSR:DMA="1")で SSR:TBI ビットが"1"で IBCR:INT ビットが"0" のときに反復スタート条件を発行する場合は、下記の手順を行ってください。 1. IBCR:INT ビットに"1"を書き込んでください。 2. IBCR:INT ビットが"1"に設定されていることを確認してください。 3. TDR にスレーブアドレスを書き込んでください。 4. IBCR:SCC ビットに"1"を設定してください。 ・INT フラグが"1"に設定されている場合に、INT フラグに"0"をライトすると I^2C バスのウェイトを解除します。 ・ISMK:EN ビットを"0"にした場合､受信タイミングによっては SSR:RDRF ビットと INT ビットが"1"になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。 ・リードモディファイライト系命令のリードは"1"が読み出されます。 ・受信 FIFO 許可時、マスタ受信動作で受信 FIFO が Full になっても INT ビットには"1"がセットされません。 ・スタート条件発行時(IBCR:MSS=1)、本ビットに"1"を書込んでください。

4.5.2. シリアル状態レジスタ ：SSR (Serial Status Register)

シリアル状態レジスタのビット構成について示します。

シリアル状態レジスタ(SSR) は、送受信状態の確認を行います。

■ SSRn(n=3～8,10,11): アドレス Base addr+02$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI
初期値	0	0	0	0	0	0	1	1
属性	R0,W	R0,W	R/W	R/W	R,WX	R,WX	R,WX	R,WX

ビット名		機能
bit7	REC : 受信エラーフラグクリアビット	シリアル状態レジスタ(SSR)の ORE ビットをクリアするビットです。 ・"1"書込みで、ORE ビットがクリアされます。 ・"0"書込みは、影響しません。 リードした場合、常に"0"が読み出されます。
bit6	TSET : 送信バッファエンプティフラグセットビット	シリアル状態レジスタ(SSR)の TDRE ビットをセットするビットです。 ・"1"書込みで、TDRE ビットおよび DMA モードが許可(DMA="1")のとき TBI ビットがセットされます。 ・"0"書込みは、影響しません。 リードした場合、常に"0"が読み出されます。 (注意事項) IBCR:INT ビットが"1"のときに本ビットに"1"を書き込んでください。
bit5	DMA : DMA モード許可ビット	DMA モードを禁止/ 許可するビットです。 ・本ビットを"1"に設定した場合、DMA 転送に対応した割込み条件になります。 ・本ビットを"0"に設定した場合、DMA 転送を行わない場合の割込み条件です。 詳細は表 8-1 I^{2}C インタフェースの割込み制御ビットと割込み要因を参照してください。 "0"の場合 : DMA モードを禁止 "1"の場合 : DMA モードを許可 (注意事項) ISMK:EN ビット="0"のときのみ本ビットを変更できます。
bit4	TBIE : 送信バスアイドル割込み許可ビット (DMA モードが許可のみ有効)	・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。 ・DMA モードが許可(DMA="1")で TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。 ・DMA モードが禁止(DMA="0")のとき、本ビットは"0"となり、書込みを行っても、その書込みは無視され、"0"の状態を保持します。 "0"の場合 : 送信バスアイドル割込み禁止 "1"の場合 : 送信バスアイドル割込み許可

ビット名		機能
bit3	ORE : オーバラン エラーフラグ ビット	"0"リード : オーバランエラーなし "1"リード : オーバランエラーあり ・受信時にオーバランが発生すると"1"に設定され、シリアル状態レジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。 ・ORE ビットと SMR:RIE ビットが"1"の場合、受信割込み要求を出力します。 ・本フラグがセットされた場合、受信データレジスタ(RDR)は無効です。 ・受信 FIFO 使用時、本フラグがセットされた場合には受信データは受信 FIFO に格納されません。
bit2	RDRF : 受信データフ ルフラグビット	"0"リード : 受信データレジスタ RDR がエンプティ "1"リード : 受信データレジスタ RDR にデータが存在する ・受信データレジスタ(RDR)の状態を示すフラグです。 ・SMR:RIE ビットと受信データフラグビット(RDRF)が"1"の場合、受信割込み要求を出力します。 ・RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。 ・データの 8 ビット目の SCL 立下りタイミングでセットされます。 ・NACK 応答*[1] でもセットされます。 ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"にセットされます。 ・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。 ・下記条件をすべて満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。 ・受信 FIFO アイドル検出許可ビット(FCR:FRIIE) が"1" ・受信 FIFO に存在するデータ数が転送数に達しない ・IBCR:BER ビットが"0" 8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。 *1: NACK 応答 : アクノリッジ期間 I^2C バスの SDA が"1"であることを指します。 (注意事項) 以下の条件をすべて満たす場合、ACK 送信後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。 ・受信 FIFO 未使用時 ・DMA モード許可(IBCR:DMA="1")時 ・第二バイト以降で受信動作中(IBSR:TRX="0"), RDRF ビットが"1"のとき ・IBCR:WSEL="0" 以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。 ・受信 FIFO 未使用時 ・DMA モード許可(IBCR:DMA="1")時 ・第二バイト以降で受信動作中(IBSR:TRX="0"), RDRF ビットが"1"のとき ・IBCR:WSEL="1" 受信 FIFO 使用時に DMA モード許可(DMA="1")で受信の場合、受信 FIFO がフルになると SCL を"L"にし、RDR より 1 回でもデータを読み出すと SCL が"L"の状態を解除します。

ビット名		機能
bit1	TDRE : 送信データ エンプティ フラグビット	"0"リード : 送信データレジスタ TDR にデータが存在する "1"リード : 送信データレジスタがエンプティ ・送信データレジスタ(TDR)の状態を示すフラグです。 ・SMR:TIE ビットと TDRE ビットが"1"の場合、送信割込み要求を出力します。 ・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"となり TDR に有効なデータが存在していないことを示します。 ・シリアル状態レジスタ(SSR)の TSET ビットに"1"を書き込むとセットされます。アービトレーションロスト, バスエラーなどを検出した場合､TDRE ビットを"1"にセットしたいときに使用します。
bit0	TBI : 送信バス アイドル フラグビット (DMA モード許可のみ有効)	"0"リード : 送信中 "1"リード : 送信動作なし 本ビットは DMA モード許可時(DMA="1")に I^2C が送信動作をしていないことを示すビットです｡DMA モード許可(DMA="1")で第二バイト以降に TBI ビットが"1" になると、SCL を"L"にし、TBI ビットが"0"になると SCL の"L"状態を解除します。 TBI ビットのセット条件 <8 ビット目> 1. WSEL が"1", マスタ動作中、第二バイト以降で SSR:TDRE ビットが"1"の場合 2. WSEL が"1", スレーブ送信中、第二バイト以降で SSR:TDRE ビットが"1"の場合 <9 ビット目> 1. マスタ動作中､第一バイトで予約アドレスを検出せずに SSR:TDRE ビットが"1"の場合 2. WSEL が"0", マスタ動作中、第二バイト以降で SSR:TDRE ビットが"1"の場合 3. WSEL が"0", スレーブ送信中、第二バイト以降で SSR:TDRE ビットが"1"の場合 <その他> 送信バッファエンプティフラグセットビット(TSET)が"1"に設定されている場合 TBI ビットのリセット条件 送信データレジスタ(TDR)へ送信データを書き込んだ場合 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE="1")されていると送信割込み要求を出力します。 ・DMA モードが禁止(DMA="0")時に、本ビットは不定となります。

4.5.3. I²C バス状態レジスタ ：IBSR (I²C Bus Status Register)

I²C バス状態レジスタのビット構成について示します。

I²C バス状態レジスタ(IBSR)は、反復スタート, アクノリッジ, データ方向, アービトレーションロスト, ストップ条件, I²C バス状態, バスエラーを検出したことを示します。

■ IBSRn(n=3～8,10,11): アドレス Base addr+03H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R(RM1),W	R(RM1),W	R,WX

ビット名		機能
bit7	FBT : ファーストバイトビット	"0"リード ： ファーストバイト以外 "1"リード ： ファーストバイト送受信中 第一バイトを示すビットです。 FBT ビットのセット条件 ： (1) (反復)スタート条件を検出した場合 FBT ビットのクリア条件 ： (1) 2 バイト目の送受信 (2) ストップ条件検出 (3) I²C インタフェースの動作禁止(ISMK:EN ビット="0") (4) バスエラー検出(IBCR:BER ビット="1")
bit6	RACK : アクノリッジフラグビット	"0"リード : "L"受信 "1"リード : "H"受信 第一バイト, マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。 RACK ビットの更新条件 (1) ファーストバイト時のアクノリッジ (2) マスタモードまたはスレーブモード時のデータのアクノリッジ RACK ビットのクリア条件(RACK ビット="0") (1) (反復)スタート条件検出 (2) I²C インタフェースの動作禁止(ISMK:EN ビット="0") (3) バスエラー検出(IBCR:BER ビット="1")

ビット名		機能
bit5	RSA : 予約アドレス検出ビット	"0"リード : 予約アドレス未検出 "1"リード : 予約アドレス検出 本ビットは予約アドレスを検出したことを示すビットです。 RSA ビットのセット条件(RSA="1") (1) 第一バイト目が(0000xxxx) または(1111xxxx)。"x"は"0"または"1"を示します。 RSA ビットのリセット条件(RSA="0") (1) (反復)スタート条件検出 (2) ストップ条件検出 (3) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") (4) バスエラー検出(IBCR:BER ビット="1") 第一バイトでRSAビットが"1"になるとその第一バイトの8ビット目のSCLの立下りで、FIFO 許可, 禁止に関係なく割込みフラグ(IBCR:INT)を"1"にして SCL を"L"にします。このとき受信データを読み出し、スレーブとして動作させる場合にはIBCR:ACKEを"1"に設定し、割込みフラグ(IBCR:INT)を"0"にクリアします。その後、TRX ビットが"0"であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合にはIBCR:ACKEビットを"0"にします。それ以降、データを受信しません。 (注意事項) ・データ転送中に IBCR:ACKE を"0"にした場合には、ストップ条件または反復スタート条件を検出するまでIBCRACKEを"1"にすることは禁止です。 ・予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信FIFOが許可になっているとACK応答しますので受信FIFOを禁止にし、IBCR:ACKE="0"にしてください。
bit4	TRX : データ方向ビット	"0"リード : 受信方向 "1"リード : 送信方向 本ビットはデータの方向を示すビットです。 TRX ビットのセット条件 : (1) マスタモードで(反復)スタート条件を送信 (2) スレーブモードで第一バイトの 8 ビット目が"1"の場合(スレーブとして送信方向) TRX ビットのリセット条件 : (1) アービトレーションロスト発生(AL="1") (2) スレーブモードでファーストバイトの 8 ビット目が"0"の場合(スレーブとして受信方向) (3) マスタモードでファーストバイトの 8 ビット目が"1"の場合(マスタとして受信方向) (4) ストップ条件検出 (5) マスタモード以外で(反復)スタート条件検出 (6) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") (7) バスエラー検出(IBCR:BER ビット="1")

ビット名		機能
bit3	AL : アービトレーションロストビット	"0"リード : アービトレーションロスト発生なし "1"リード : アービトレーションロスト発生 本ビットはアービトレーションロストを示します。 AL ビットのセット条件 : (1) マスタモード時出力しているデータと受信したデータが異なる場合 (2) IBCR:MSS ビットに"1"を設定したが、スレーブとして動作している場合 (3) マスタモード時､第二バイト目以降のデータの1ビット目で反復スタート条件を検出した場合 (4) マスタモード時、第二バイト目以降のデータの 1 ビット目でストップ条件を検出した場合 (5) マスタモード時、反復スタート条件を発生させようとして発生できない場合 (6) マスタモード時、ストップ条件を発生させようとして発生できない場合 AL ビットのリセット条件: (1) IBCR:MSS ビットへの"1"書込み (2) IBCR:INT ビットへの"0"書込み (3) AL ビット="1", SPC ビット="1"のときに SPC ビットへの"0"書込み (4) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") (5) バスエラー検出(IBCR:BER ビット="1")
bit2	RSC : 反復スタート条件確認ビット	"0"リード : 反復スタート条件未検出 "1"リード : 反復スタート条件検出 マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。 RSC ビットのセット条件: (1) スレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合 RSC ビットのリセット条件 : (1) RSC ビットへの"0"書込み (2) IBCR:MSS ビットへの"1"書込み (3) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") 本ビットへの"1" 書込みは無効となります。 (注意事項) ・予約アドレス検出によってスレーブモードとして受信動作中､アクノリッジ応答しなかった場合､スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに"1"はセットされません。 ・リードモディファイライト系命令のリードは"1"が読み出されます。

ビット名		機能
bit1	SPC : ストップ条件 確認ビット	"0"リード : ストップ条件未検出 "1"リード : (マスタ)ストップ条件検出またはストップ条件出力時のアービトレーションロスト発生 "1"リード : (スレーブ)ストップ条件検出 マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。 SPC ビットのセット条件 : (1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合 (2) マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合 SPC ビットのリセット条件 : (1) 本ビットへの"0"書込み (2) IBCR:MSS ビットへの"1"書込み (3) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") 本ビットへの"1"書込みは無効です。 (注意事項) ・予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに"1"はセットされません。 ・リードモディファイライト系命令のリードは"1"が読み出されます。
bit0	BB : バス状態 ビット	"0"リード : バスアイドル状態 "1"リード : バス送受信状態 本ビットはバスの状態を示します。 BB ビットのセット条件: (1) I^2C バスの SDA または SCL で"L"を検出した場合 BB ビットのリセット条件: (1) ストップ条件を検出した場合 (2) I^2C インタフェースの動作禁止(ISMK:EN ビット="0") (3) バスエラー検出(IBCR:IBER ビット="1")

4.5.4. 送信データレジスタ・受信データレジスタ ：RDR/TDR (Receive Data Register / Transmit Data Register)

送信データレジスタ・受信データレジスタのビット構成について示します。

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

リード

■ RDR1n-0n(n=3～8,10,11): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン(SDA 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 第一バイト*[1] を受信した場合、最下位ビット(RDR:D0)がデータ方向ビットとなります。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。
- 受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。

*1: 第一バイト:(反復)スタート条件後のデータを指します

＜注意事項＞

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。

ライト

■ TDR1n-0n(n=3～8,10,11): アドレス Base addr+06$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	—							
初期値	—	—	—	—	—	—	—	—
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	1	1	1	1	1	1	1	1
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ(TDR)の値の MSB ファーストでシリアルデータライン(SDA 端子)に出力します。
- 第一バイトを送信する場合、最下位ビット(TDR:D0)がデータ方向ビットになります。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書み込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信用シフトレジスタへ転送されると、"1"に設定されます。
- 送信 FIFO 禁止時、データエンプティフラグ(SSR:TDRE)が"0"のときは送信データレジスタ(TDR)に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ(SSR:TDRE)が"0"であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

＜注意事項＞

送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。

4.5.5. シリアル補助制御状態レジスタ ：SACSR

シリアル補助制御状態レジスタのビット構成について示します。

シリアル補助制御状態レジスタ(SACSR)は、タイマ割込みの許可/ 禁止, シリアルタイマの動作クロックの分周値, およびシリアルタイマの許可/禁止の設定ができます。

■ SACSRn(n=3～8,10,11): アドレス Base addr+08$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							TINT
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	RX,W0	R0,W0	R0,W0	R0,W0	RX,W0	RX,W0	R(RM1),W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TINTE	-	予約	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,WX	RX,W0	R,W	R,W	R,W	R,W	R/W

[bit15～bit9] 予約ビット

本ビットには必ず "0"を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき状態割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

＜注意事項＞

リードモディファイライト系命令のリードは"1"が読み出されます。

[bit7] TINTE : **タイマ割込み許可ビット**

CPU へのタイマ割込みの許可/ 禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、状態割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] **未定義**

読出し値は"0"です。書込みは動作に影響ありません。

[bit5] **予約ビット**

本ビットには必ず "0"を設定してください。

[bit4～bit1] TDIV3-0 : **タイマ動作クロック分周ビット**

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ : バスクロック

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット
シリアルタイマの動作許可または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

4.5.6. シリアルタイマレジスタ : STMR

シリアルタイマレジスタのビット構成について示します。

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

■ STMRn(n=3～8,10,11): アドレス Base addr+0A$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15～bit0] TM15-0 : タイマデータビット
シリアルタイマのタイマ値を示します。
タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに"1"が加算されます。

＜注意事項＞

タイマ動作開始時、本ビットは"0"に初期化されます。

4.5.7. シリアルタイマ比較レジスタ ：STMCR

シリアルタイマ比較レジスタのビット構成について示します。

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

■ STMCRn(n=3～8,10,11): アドレス Base addr+0C$_H$ (アクセス: バイト, ハーフ ワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit0] TC15-0： コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを"0"にします。

そのときタイマ割込みフラグ(SACSR:TINT)を"1"にします。

下記の動作が行われる間隔は(STMCR：TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。

・SACSR:TINT が"1"に設定される

＜注意事項＞

- 本レジスタに(0000) H を設定した場合、シリアルタイマレジスタは"0"のままです。
- 本レジスタに"0000"H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を"0000"b に設定した場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイマ禁止(SACSR:TMRE="0")のときのみ、本レジスタは変更可能です。

4.5.8. 7 ビットスレーブアドレスマスクレジスタ ：ISMK

7 ビットスレーブアドレスマスクレジスタのビット構成について示します。

7 ビットスレーブアドレスマスクレジスタ(ISMK)は、スレーブアドレスの各ビットの比較をするかを設定するレジスタです。

■ ISMKn(n=3～8,10,11): アドレス Base addr+1E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0
初期値	0	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] EN : I^{2}C インタフェース動作許可ビット

I^{2}C インタフェースの動作を許可/ 禁止するビットです。
"0"に設定した場合 : I^{2}C インタフェースは動作禁止状態になります。
"1"に設定した場合 : I^{2}C インタフェースが動作可能となります。

EN	I^{2}C-UART 動作許可ビット
0	禁止
1	許可

＜注意事項＞

- IBSR レジスタの BER ビットが"1"に設定されても、本ビットは"0"にクリアされません。
- 本ビットが"0"のときにボーレートジェネレータを設定してください。
- 本ビットが"0"のときに 7 ビットスレーブアドレスおよび 7 ビットスレーブマスクレジスタを設定してください。
- I^{2}C インタフェースが禁止される(EN="0")と送受信は直ちに禁止されます。
- IBCR:MSS ビットに"0"を書き込んでストップコンディションを発生させた後に I^{2}C インタフェースの動作を禁止する場合は、ストップコンディションの発生を確認した後、動作を禁止(EN="0")してください。
- 送信中に EN ビットを"0"にすると I^{2}C バスの SDA/SCL にパルスが発生することがあります。

[bit6～bit0] SM6-0 : スレーブアドレスマスクビット

7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。
"0"に設定したビット : 一致したものとして処理する
"1"に設定したビット : 比較する

SM6-0	7 ビットスレーブアドレスマスクビット
0	ビット比較しない
1	ビット比較する

＜注意事項＞

EN ビットが"0"のときに本レジスタを設定してください。

4.5.9. 7 ビットスレーブアドレスレジスタ ：ISBA

7 ビットスレーブアドレスレジスタのビット構成について示します。

7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレスを設定するレジスタです。

■ ISBAn(n=3～8,10,11): アドレス Base addr+1F$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの検出許可ビットです。

"0"に設定した場合 ： スレーブアドレスを検出しません。

"1"に設定した場合 ：ISBA, ISMK の設定と受信した第一バイトと比較を行います。

SAEN	スレーブアドレス許可ビット
0	禁止
1	許可

[bit6～bit0] SA6-0 : 7 ビットスレーブアドレス

・7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレス検出許可(SAEN="1")されていれば、(反復)スタート条件検出後に受信した7ビットのデータが本レジスタと比較し､全ビットが一致すればスレーブモードとして動作し、ACK を出力します。そのとき受信したスレーブアドレスは本レジスタに設定されます。(SAEN="0"であれば、ACK を出力しません)

・ISMK レジスタに"0"を設定したアドレスビットは比較対象外となります。

SA	スレーブアドレス設定ビット
6～0	7 ビットスレーブアドレス

＜注意事項＞

- 予約アドレスの設定は禁止です。
- 本レジスタは ISMK レジスタの EN ビットが"0"のときに設定してください。

4.5.10. ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタのビット構成について示します。

ボーレートジェネレータレジスタ(BGR)は、シリアルクロックの分周比を設定します。

■ BGRn(n=3～8,10,11): アドレス Base addr+1C$_H$(アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	-	BGR[14:8]						
初期値	-	0	0	0	0	0	0	0
属性	RX,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BGR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 未定義

書込みは動作に影響ありません。

[bit14～bit0] BGR (Baud rate GeneratoR) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。
- マスタモード, スレーブモードに関係なく、ボーレートを設定してください。
- 動作モード 4(I^2C モード)では周辺クロック(PCLK)は 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

5. UART の動作説明

UART の動作について説明します。

5.1. UART の割込み

5.2. UART の動作

5.3. 設定手順とプログラムフロー

5.1. UART の割込み

UART の割込みについて示します。

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

・受信データが受信データレジスタ(RDR)にセットされた場合または受信エラーが発生した場合。
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求。

5.1.1. UART の割込み一覧

UART の割込み一覧について示します。

UART の割込み制御ビットと割込み要因は表 5-1 のようになっています。

表 5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	○	○	送信 FIFO の格納データが FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
状態	TINT	SACSR	○	○	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

5.1.2. 受信割込み発生とフラグセットのタイミング

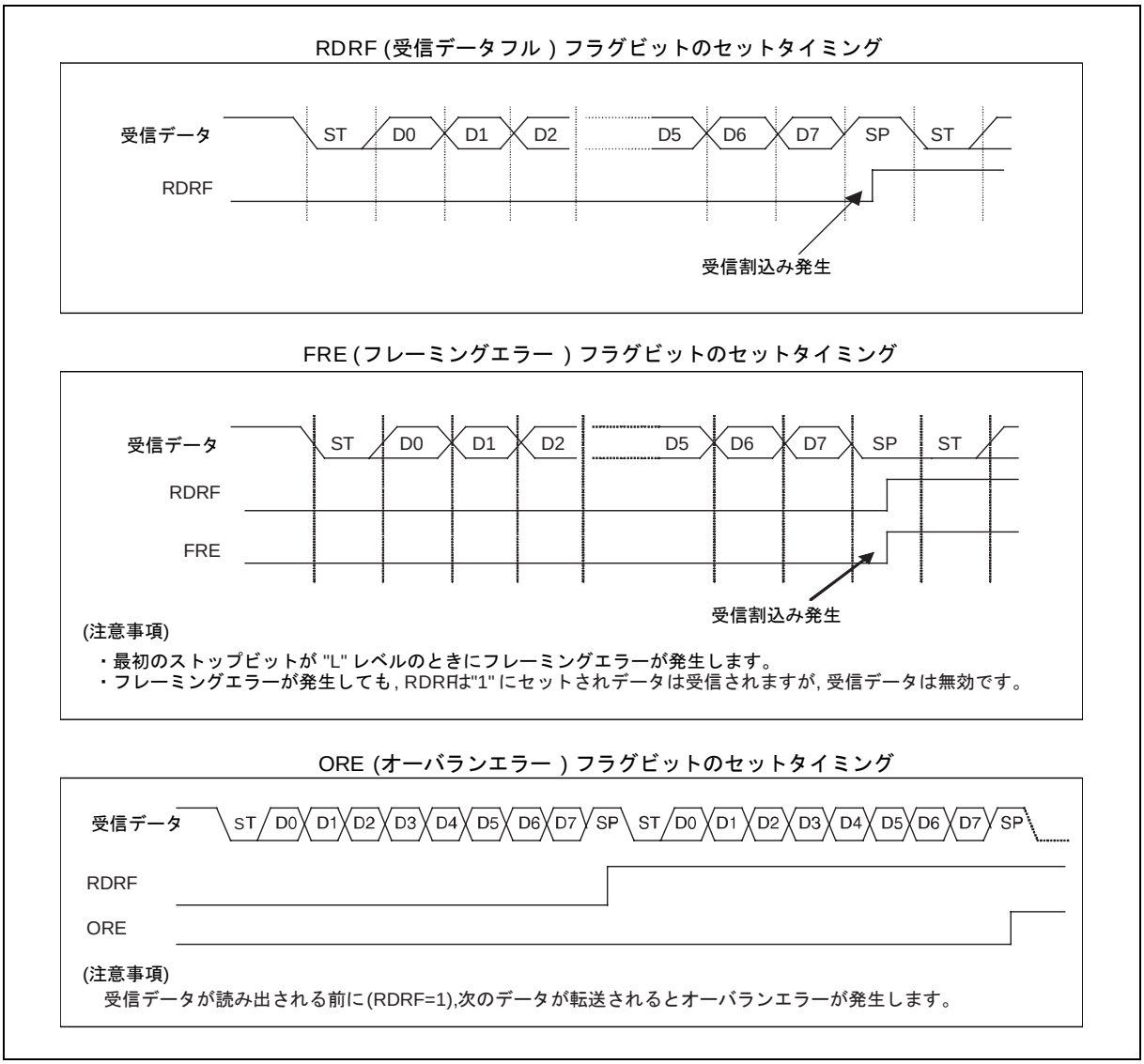
受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:PE, ORE, FRE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

図 5-1 各フラグビットのセットのタイミング



＜注意事項＞

受信時､ストップビットのサンプリングポイントと同時または1～2バスクロック前に下記を検出すると、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。

・シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
・シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

5.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

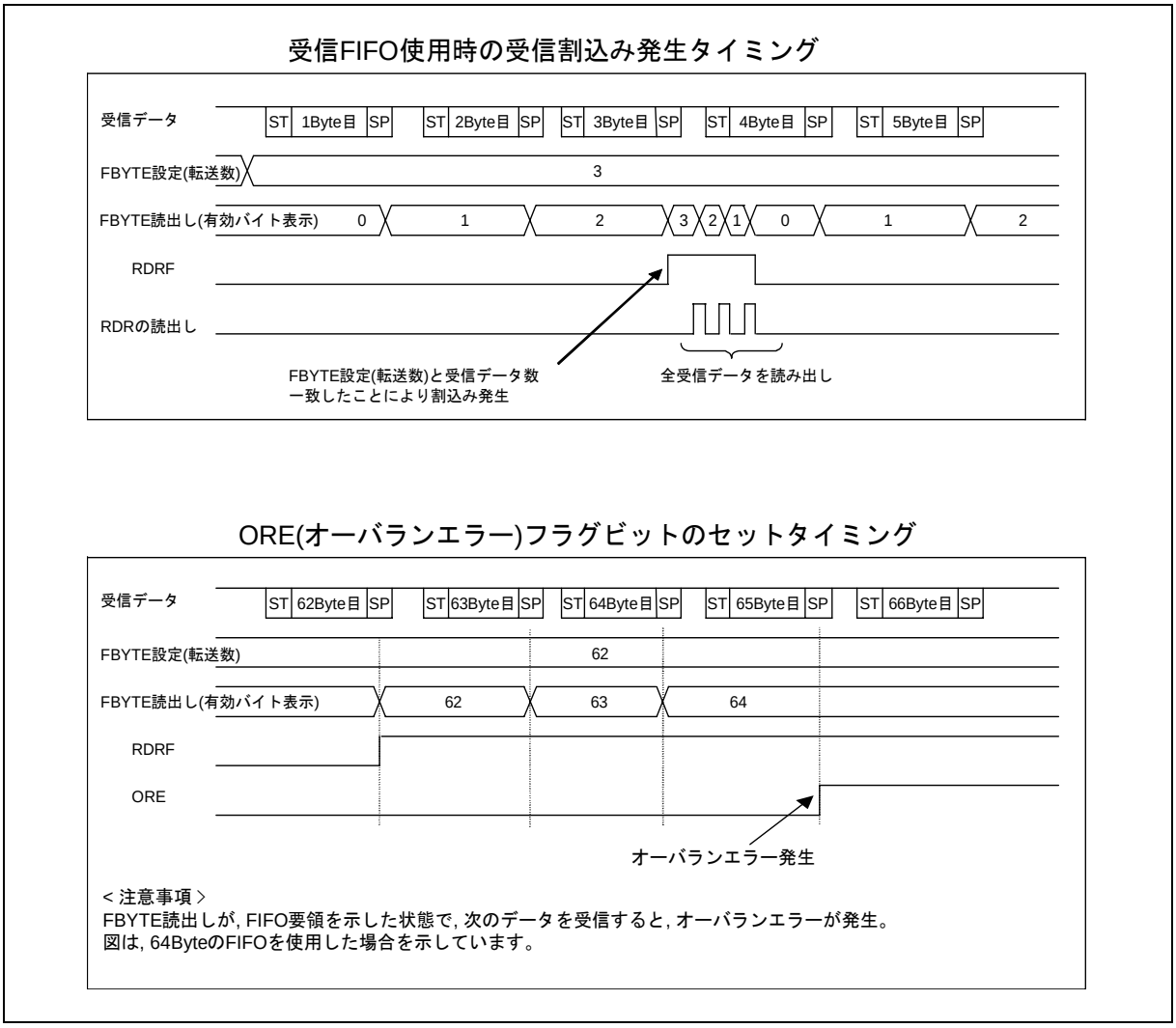
受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信するとシリアル状態レジスタの受信　データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバランエ　ラー(SSR:ORE=1)が発生します。

図 5-2 FIFO 使用時のタイミング



5.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

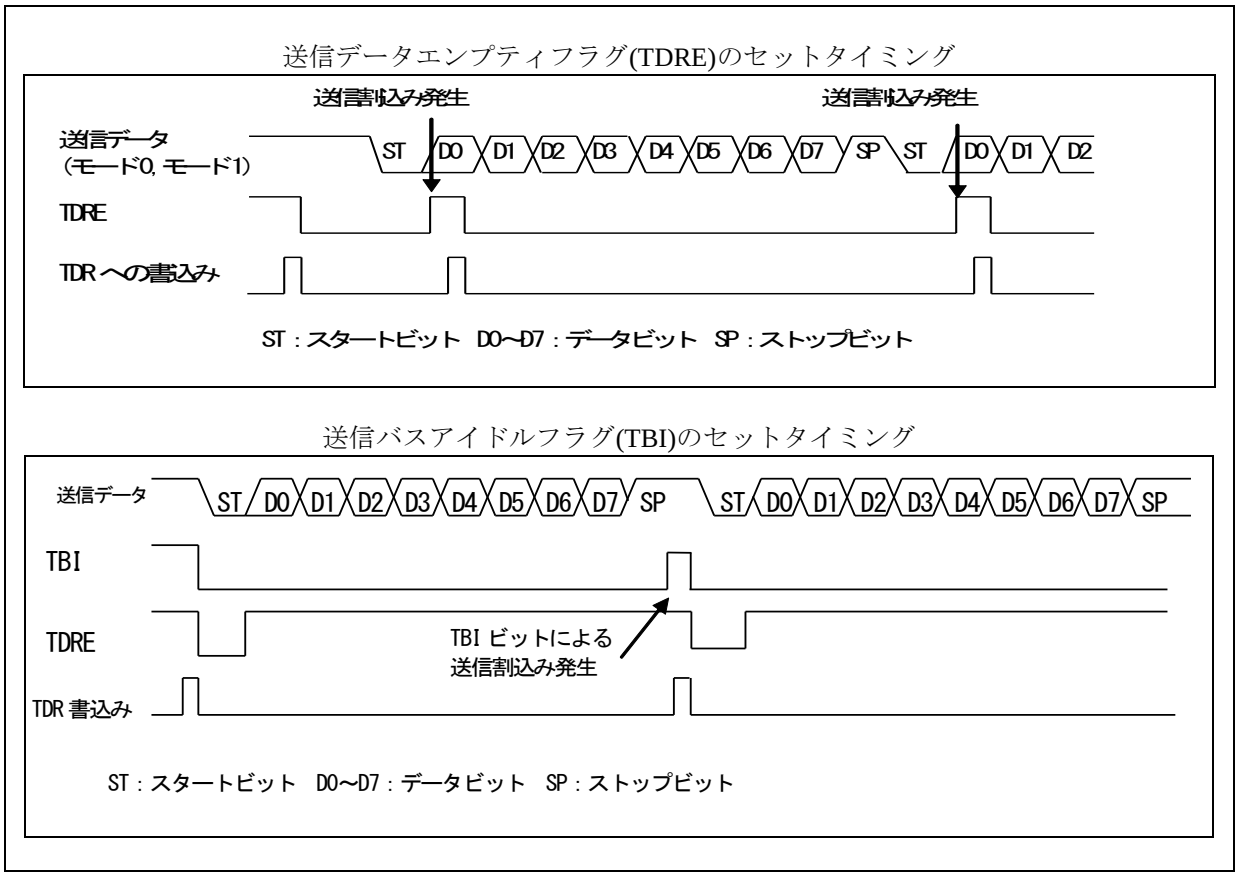
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない時(SSR:TBI=1)に発生します。

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

送信データレジスタが空(TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"にセットされます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。

送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 5-3 送信割込みフラグのタイミング



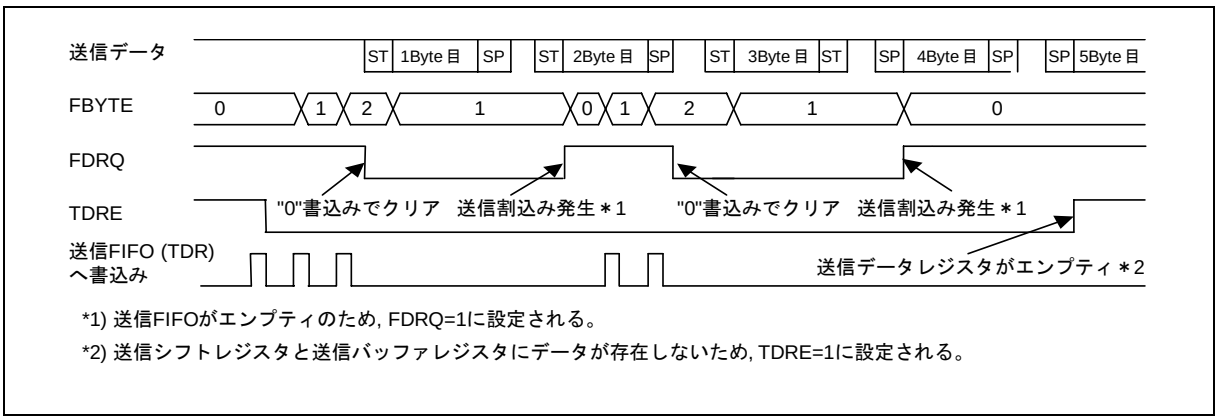
5.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。
送信 FIFO 使用時の割込み発生は、FTICR レジスタの設定値によって決定されます。

- 送信 FIFO に格納されているデータ数が、FTICR レジスタの設定数以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
- このとき、FIFO 送信割込み許可(FCR1:FTIE="1")されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)、または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことで確認できます。
- FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 5-4 送信 FIFO 使用時の送信割込み発生タイミング



*1) 送信FIFOがエンプティのため, FDRQ=1に設定される。

*2) 送信シフトレジスタと送信バッファレジスタにデータが存在しないため, TDRE=1に設定される。

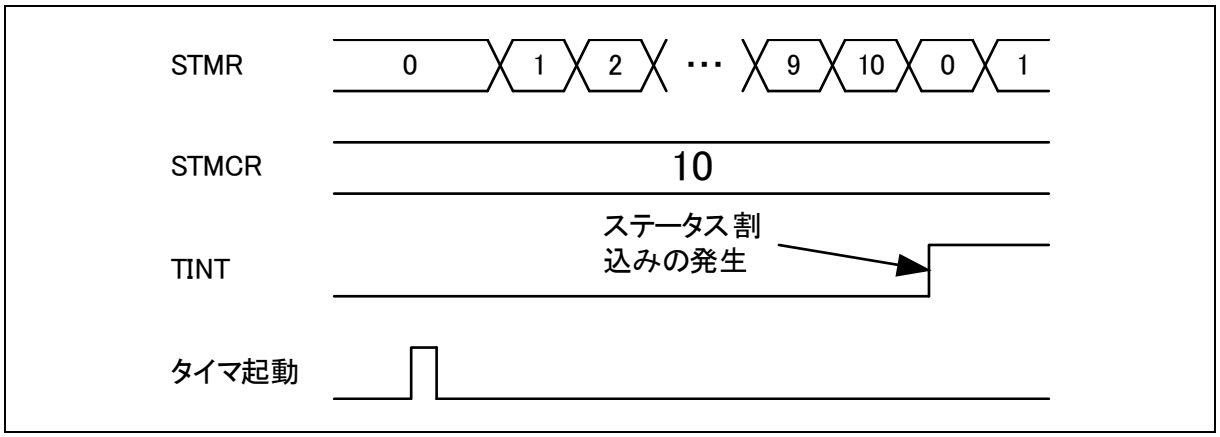
5.1.6. タイマ割込み発生とフラグセットのタイミング

タイマ割込み発生とフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
  このとき、タイマ割込み許可(SACSR:TINTE="1")されていると状態割込みが発生します。

図 5-5 タイマ割込み発生タイミング



5.2. UART の動作

UART の動作について説明します。

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

5.2.1. 送受信データフォーマット

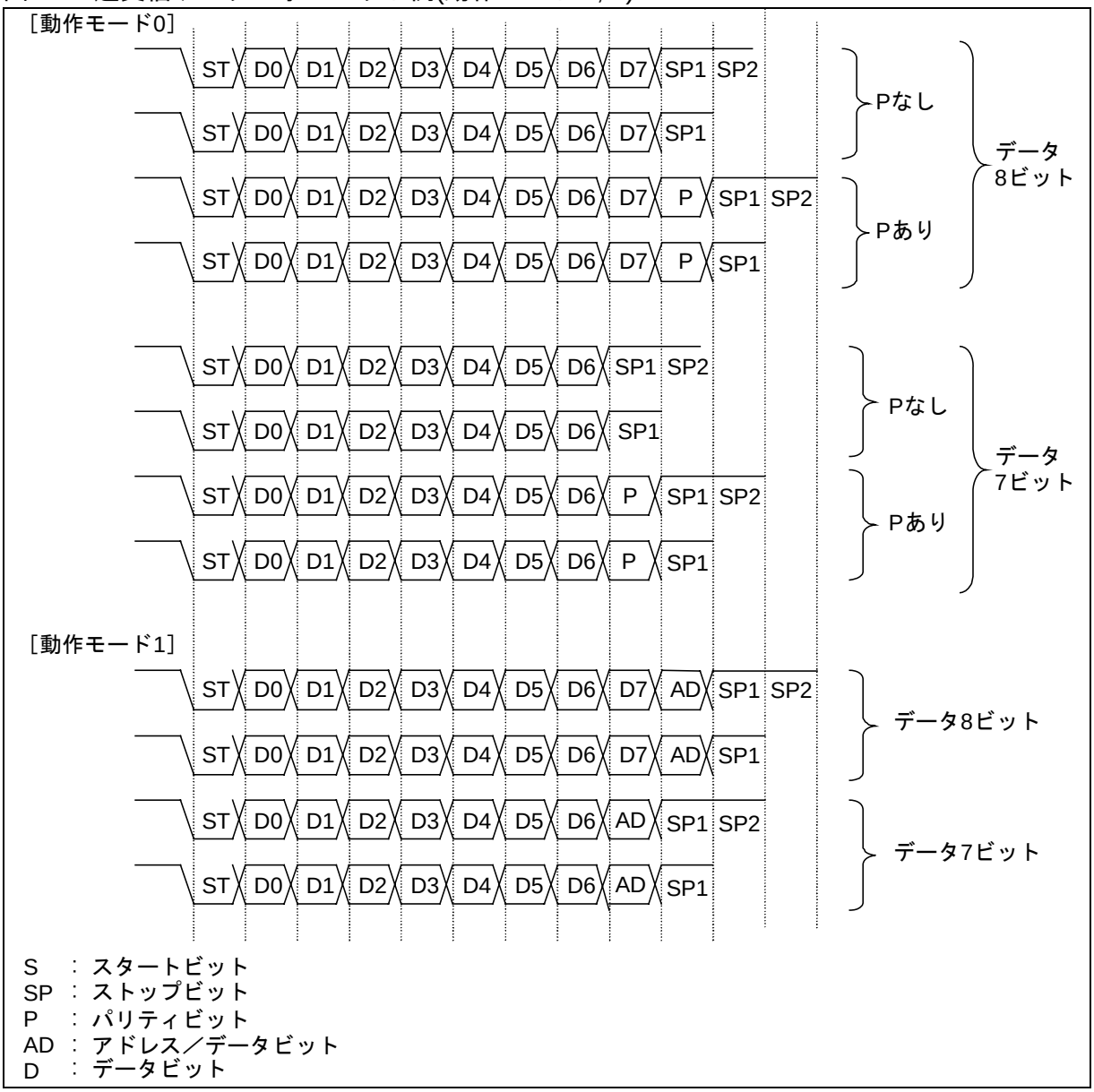
送受信データフォーマットについて示します。

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビッ

トの間に置かれます。
・動作モード 0(通常モード)では, パリティは、あり/なしの選択ができます。
・動作モード 1(マルチプロセッサモード)では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 5-6 に示します。

図 5-6 送受信データフォーマット例(動作モード 0, 1)



＜注意事項＞

- 図は、データ長 7, 8 ビットに設定した場合を示しています。(データ長は、動作モード 0 の場合、5～9 ビットまで設定できます。)
- シリアルモードレジスタ(SMR)の BDS ビットを"1"(MSB ファースト)に設定した場合、ビットは D7, D6, D5,・・・, D1, D0(P)の順で処理されます。
- データ長が、X ビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位 X ビットが有効になります。

5.2.2. 送信動作

送信動作について示します。

- シリアル状態レジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"であれば、送信データレジスタ(TDR)に送信データを書き込めます。(送信 FIFO が許可されている場合には TDRE= "0"でも送信データを書くことは可能)
- 送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"になります。
- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定すると、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込みが許可(SCR:TIE="1")されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込めます。

＜注意事項＞

- 送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、 FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。

5.2.3. 受信動作

受信動作について示します。

- 受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
- スタートビットを検出すると、拡張通信制御レジスタ(ESCR:PEN, P, L2, L1, L0), およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットにしたがって 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下り(ESCR:INV="0"の場合)または立上り(ESCR:INV="1"の場合)を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。
- 1 フレームの受信が完了すると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE="1")されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアル状態レジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には, エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信すると受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
- 下記条件を両方満たす場合において､受信アイドル状態がボーレートクロックで8クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

受信FIFOが許可されている場合､シリアル状態レジスタ(SSR)のエラーフラグが"1"に設定されると受信FIFOにはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません。(ただし、オーバランエラーの場合、RDRF フラグは"1"に設定されます。) 受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアル状態レジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。

- 受信FIFOが許可されている場合､受信FIFOにデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

＜注意事項＞

- 受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が"1"にセットされ、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効となります。
- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時､ストップビットのサンプリングポイントと同時または1～2バスクロック前に下記を検出すると、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。
  - シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
  - シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

5.2.4. クロック選択

クロック選択について示します。

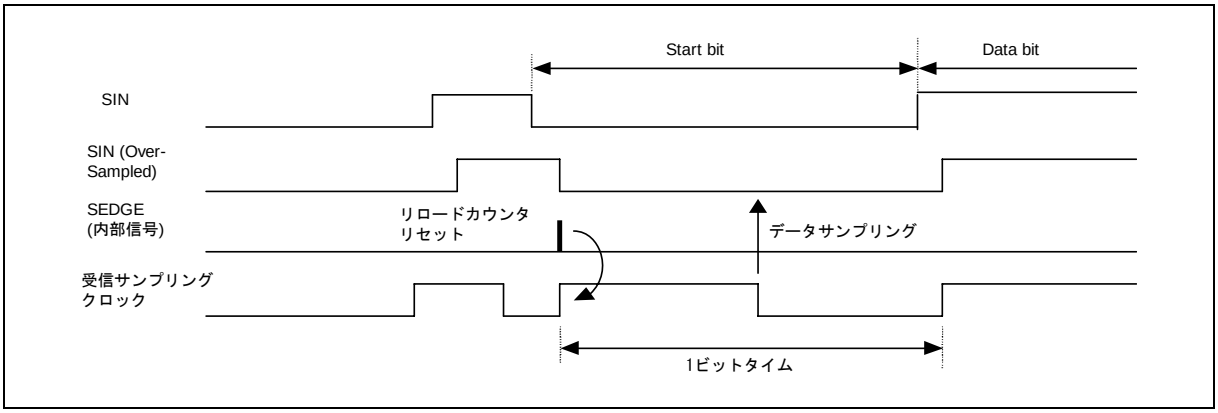
- 内部クロックまたは外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR:EXT="1"に設定します。この場合、外部クロックが、ボーレートジェネレータで分周されます。

5.2.5. スタートビット検出

スタートビット検出について示します。

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。
  このため受信動作許可(SCR:RXE="1")しても、SIN 信号の立下りエッジが入力されないと、受信動作を開始しません。
- スタートビットの立下りエッジを検出すると､ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中心でサンプリングします。

図 5-7 スタートビット検出



5.2.6. ストップビット

ストップビットについて示します。

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット(SSR:RDRF)は、最初のストップビットを検出すると"1"に設定されます。

5.2.7. エラー検出

エラー検出について示します。

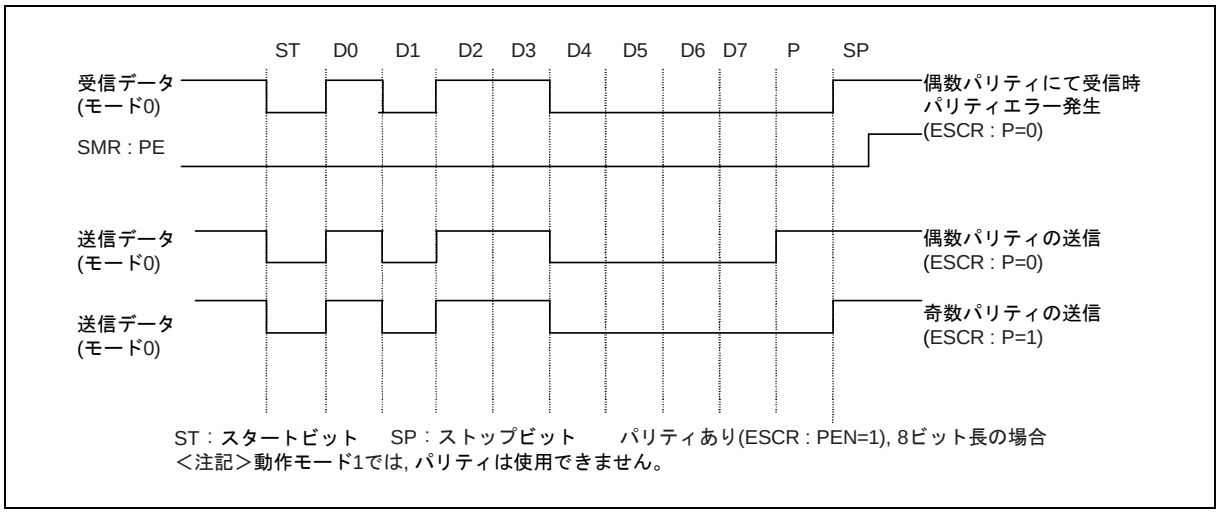
- 動作モード 0 では、パリティエラー, オーバランエラー, フレームエラーが検出できます。
- 動作モード 1 では、オーバランエラー, フレームエラーが検出できます。パリティエラーは検出できません。

5.2.8. パリティビット

パリティビットについて示します。

- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット(ESCR: PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
- 動作モード 1 では、パリティを使用できません。

図 5-8 パリティ有効時の動作

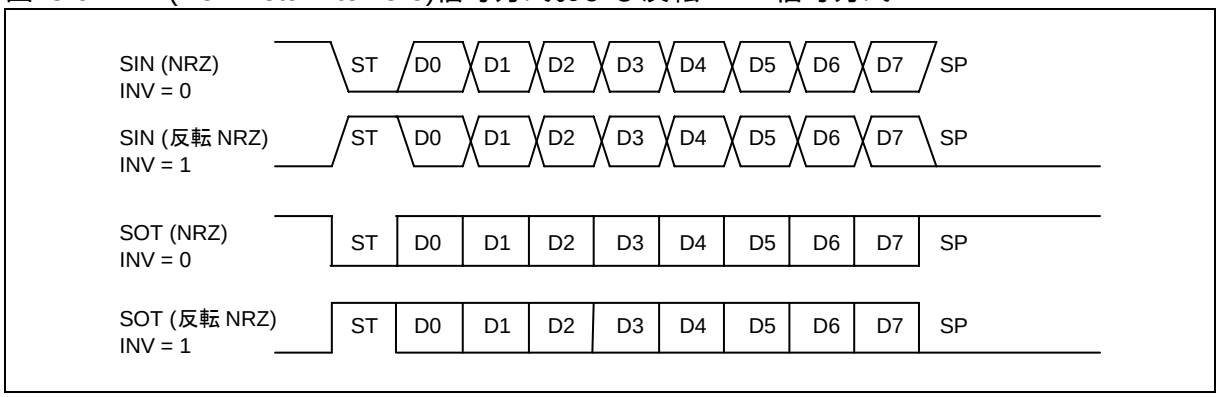


5.2.9. データ信号方式

データ信号方式について示します。

- 拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。

図 5-9 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



5.2.10. シリアルタイマの動作

シリアルタイマの動作について示します。

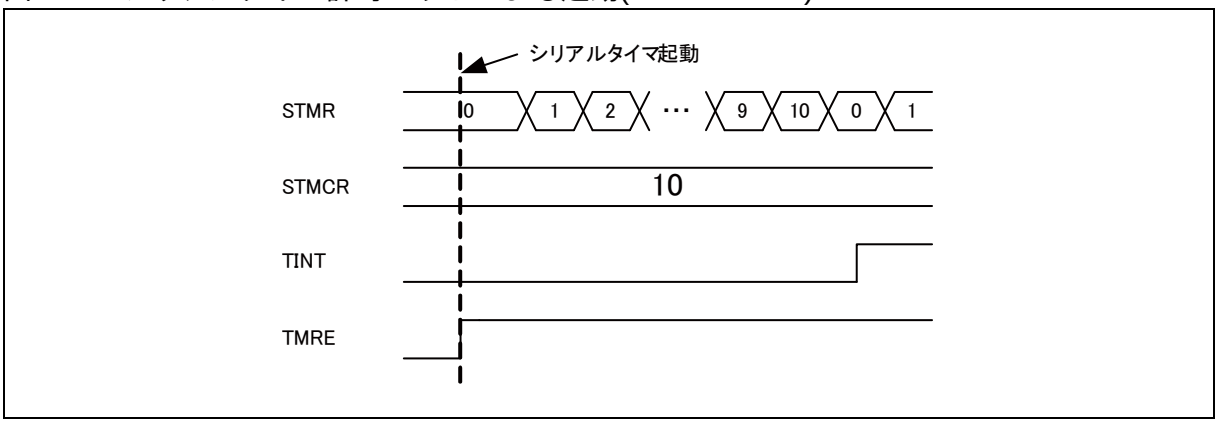
シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するには、シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットしてください。

・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 5-10 シリアルタイマ許可ビットによる起動(STMCR="10")



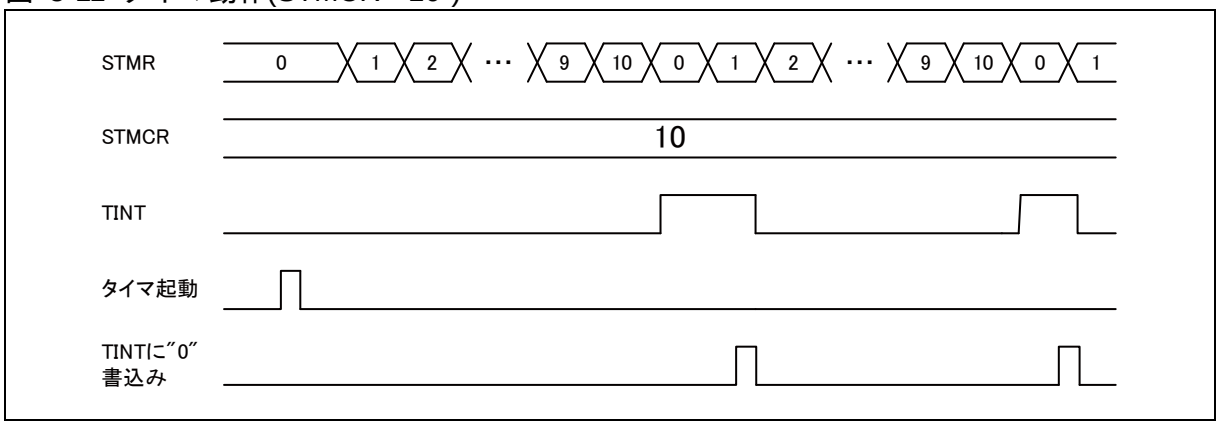
● シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。

● タイマ動作

シリアルタイマはタイマとして動作します。
シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 5-11 タイマ動作(STMCR="10")



＜注意事項＞

タイマ比較レジスタ(STMCR)に"0000"$_H$を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000"bに設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

5.2.11. テストモード

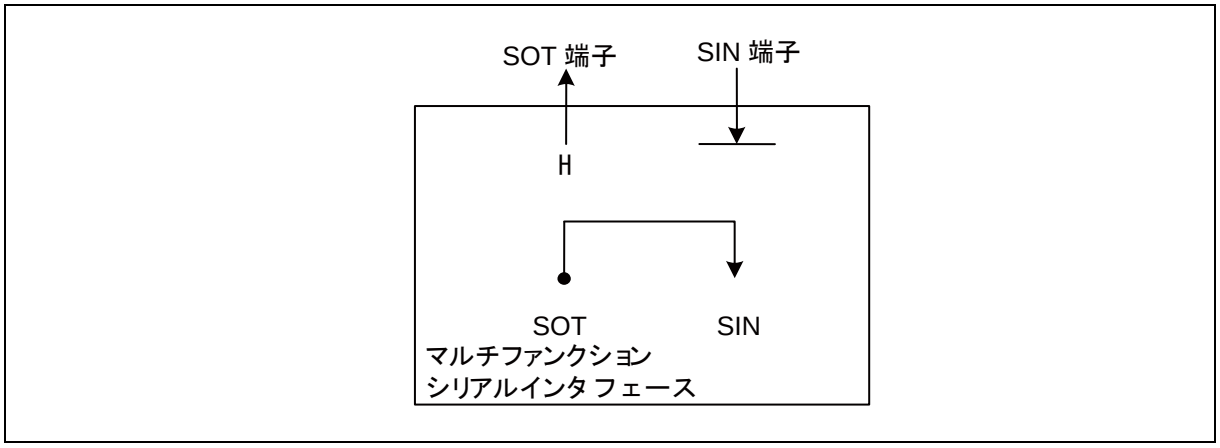
テストモードについて説明します。

テストモードの動作について説明します。

● シリアルテストモード

シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部でSOTとSINが接続され、SOTから送信されるデータをそのままSINより受信することができます。
シリアルテストモード許可時(SACSR:STST="1")、端子SOTは"H"固定となり、端子SINに入力されたデータは無視されます。

図 5-12 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

5.2.12. UART ボーレート選択・設定

UART ボーレート選択・設定について示します。

UART の送受信ボーレートジェネレータは、次のいずれかを選択できます。

- **専用ボーレートジェネレータ(リロードカウンタ) で内部クロックを分周して得られるボーレート**

  2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
  リロードカウンタは、設定された値で内部クロックを分周します。
  クロックソースの設定は、内部クロックを選択(BGR:EXT=0)してください。

- **専用ボーレートジェネレータ(リロードカウンタ) で外部クロックを分周して得られるボーレート**

  リロードカウンタのクロックソースに外部クロックを使用します。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

  リロードカウンタは、設定された値で外部クロックを分周します。

  クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR:EXT=1)してください。

  本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

＜注意事項＞

- 外部クロックの設定(EXT=1)は、リロードカウンタが停止した状態(BGR=15’h00)で行ってください。
- 外部クロックに設定(EXT=1)した場合、外部クロックの"H"幅, "L"幅は 2 バスクロック以上必要です。

■ ボーレートの計算

2つの15ビットリロードカウンタは、ボーレートジェネレータレジスタ(BGR)で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値

∨ = ϕ / b − 1

∨ : リロード値

b : ボーレート

ϕ : バスクロック周波数, 外部クロック周波数

(2) 計算例

バスクロック16MHz, 内部クロック使用, ボーレート19200 bpsに設定する場合のリロード値は次のようになります。

リロード値:

∨ = (16 × 1,000,000) / 19200 − 1 = 832

よって、ボーレートは

b = (16 × 1,000,000) / (832+1) = 19208 bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差(%) = (計算値 - 目標値) / 目標値 × 100

(例) バスクロック20MHz, 目標ボーレート153600 bps に設定する場合

リロード値= (20 × 1,000,000) / 153600 − 1 = 129

ボーレート(計算値) = (20 × 1,000,000) / (129+1) = 153846 bps

誤差(%) = (153846 − 153600) / 153600 × 100 = 0.16(%)

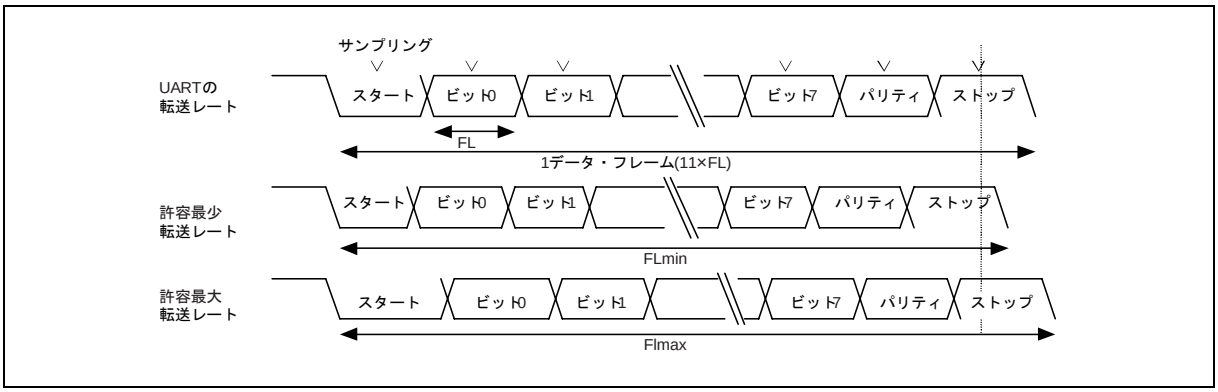
＜注意事項＞

- リロード値を"0"に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 受信時のボーレートの許容誤差範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。
受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 5-13 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット) までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、次のようになります。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は次のようになります。

FLmin = (11bit × (V+1) − (V+1) / 2 +2) / ϕ = (21V+25) / 2ϕ (s)
V : リロード値　ϕ : バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は次のようになります。

BGmax = 11/FLmin = 22ϕ / (21V+25) (bps)
V : リロード値　ϕ : バスクロック

許容最大転送レート(FLmax)データを受信する場合、11 ビット目の受信データを始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は次のようになります。

10/11 × FLmax = (11bit × (V+1) − (V+1) / 2) / ϕ
FLmax = (21/20 × 11 × (V+1) / 2) / ϕ (s)
V: リロード値　ϕ : バスクロック

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(FLmax)は次のようになります。

FLmax = (21/20 × 11 × (V+1) − 2) / ϕ = (231V+191) / 20ϕ (s)
V : リロード値　ϕ : バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は次のようになります。

BGmin = 11 / FLmax = 220ϕ / (231V+191) (bps)
V : リロード値　ϕ : バスクロック

前述の最小/最大ボーレート値の算出式から、UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 5-2 許容ボーレート誤差

リロード値	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0%
10	2.98%	-3.24%
50	4.37%	-4.44%
100	4.56%	-4.60%
200	4.66%	-4.68%
32767	4.76%	-4.76%

＜注意事項＞

受信の精度は、1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高くなります。

■ 各内部クロック(周辺クロック(PCLK))・ボーレートに対するリロード値と誤差

表 5-3 各内部クロック (周辺クロック(PCLK)) ・ボーレートに対するリロード値と誤差

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	86	0.22	138	0.88	173	0.22	207	-0.16	277	0.08

ボーレート(bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	＜0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	＜0.01	959	＜0.01	1535	＜0.01	1919	＜0.01	2303	＜0.01	3071	＜0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	＜0.01	1388	＜0.01	2221	＜0.01	2777	＜0.01	3332	＜0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	＜0.01	4166	＜0.01	4999	0	6666	＜0.01
2400	3332	＜0.01	4166	＜0.01	6666	＜0.01	8332	＜0.01	9999	0	13332	＜-0.01
1200	6666	＜0.01	8334	0.02	13332	＜0.01	16666	＜0.01	19999	0	26666	＜0.01
600	13332	＜0.01	16666	＜0.01	26666	＜0.01	-	-	-	-	-	-
300	26666	＜0.01	-	-	-	-	-	-	-	-	-	-

・Value : BGR レジスタの設定値(10 進)
・ERR : ボーレート誤差(%)

■ 外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

＜注意事項＞

外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定になります。

● リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

● カウントの開始

ボーレートジェネレータレジスタ(BGR)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

● 再スタート

リロードカウンタは下記の条件で再スタートします。

・送信/ 受信リロードカウンタ共通
  ・ プログラマブルリセットリセット(SCR:UPCL ビット)
・受信リロードカウンタ
  ・ 非同期モードでのスタートビット立下りエッジ検出

5.3. 設定手順とプログラムフロー

設定手順とプログラムフローについて示します。

5.3.1. 動作モード 0 (1 : 1 接続)

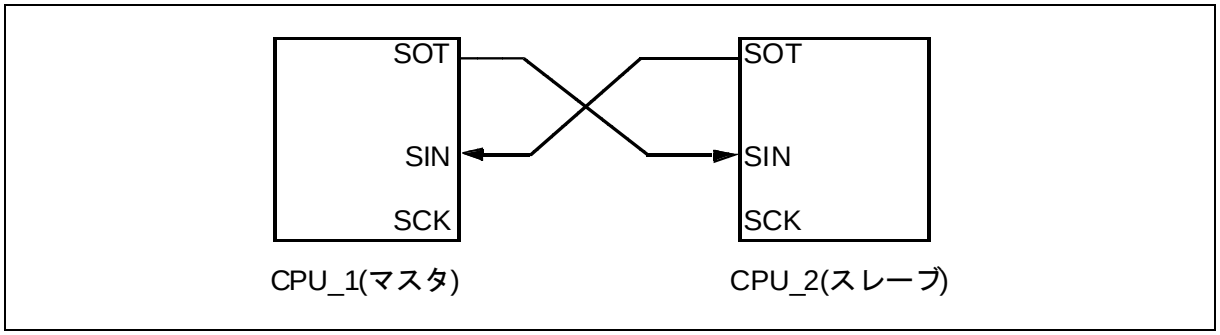
動作モード 0 (1 : 1 接続)について示します。

動作モード 0 では, 非同期シリアル双方向通信をすることができます。

■ CPU 間接続

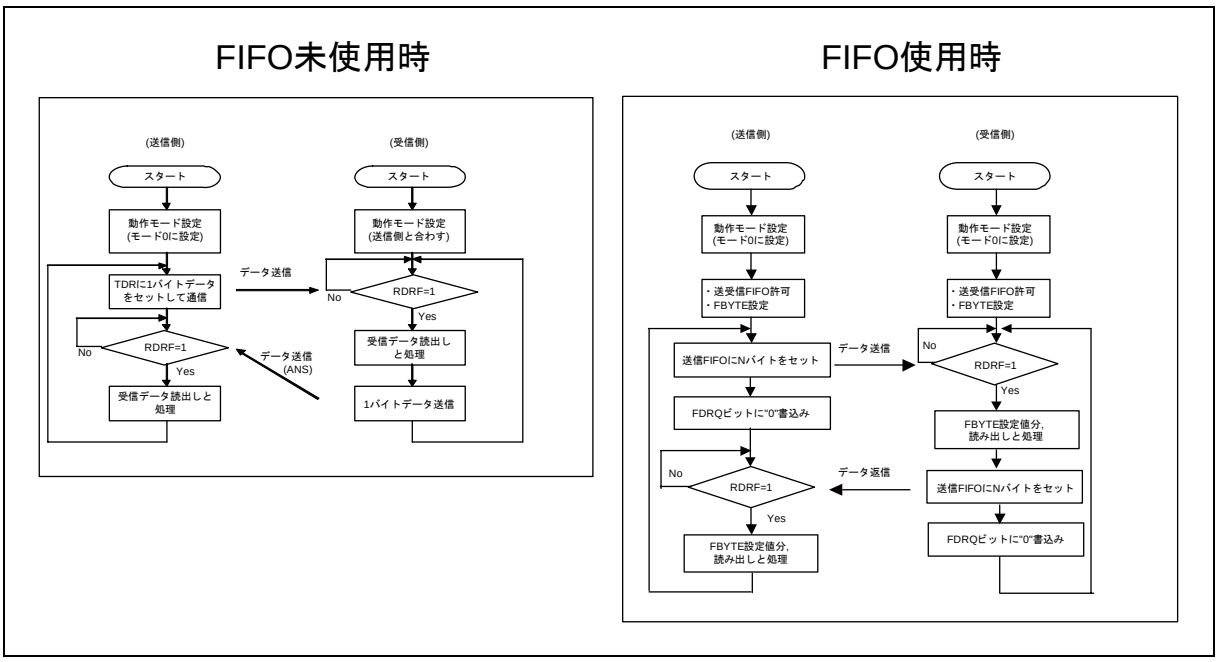
動作モード 0(通常モード)では、双方向通信を選択します。図 5-14 に示すように 2 つの CPU を相互に接続します。

図 5-14 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

図 5-15 双方向通信設定例



5.3.2. 動作モード 1(1 : n 接続)

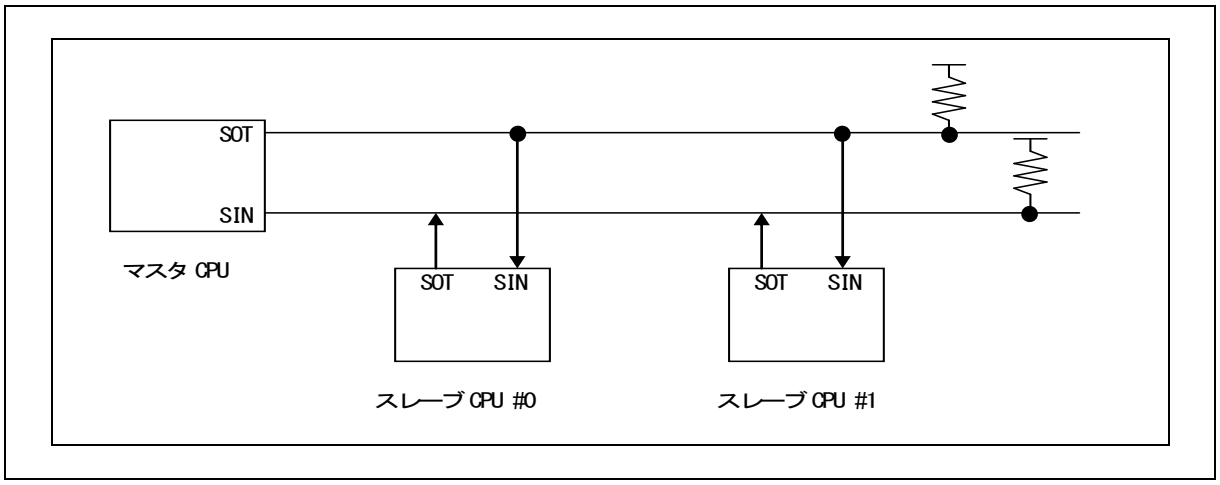
動作モード 1(1 : n 接続)について示します。

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 5-16 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 5-4 に示すように動作モードとデータ転送方式を選択してください。

表 5-4 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = "1" + 7 または 8 ビットアドレス	なし	1 ビットまたは 2 ビット	LSB または, MSB ファースト
データ送受信			AD = "0" + 7 または 8 ビットデータ			

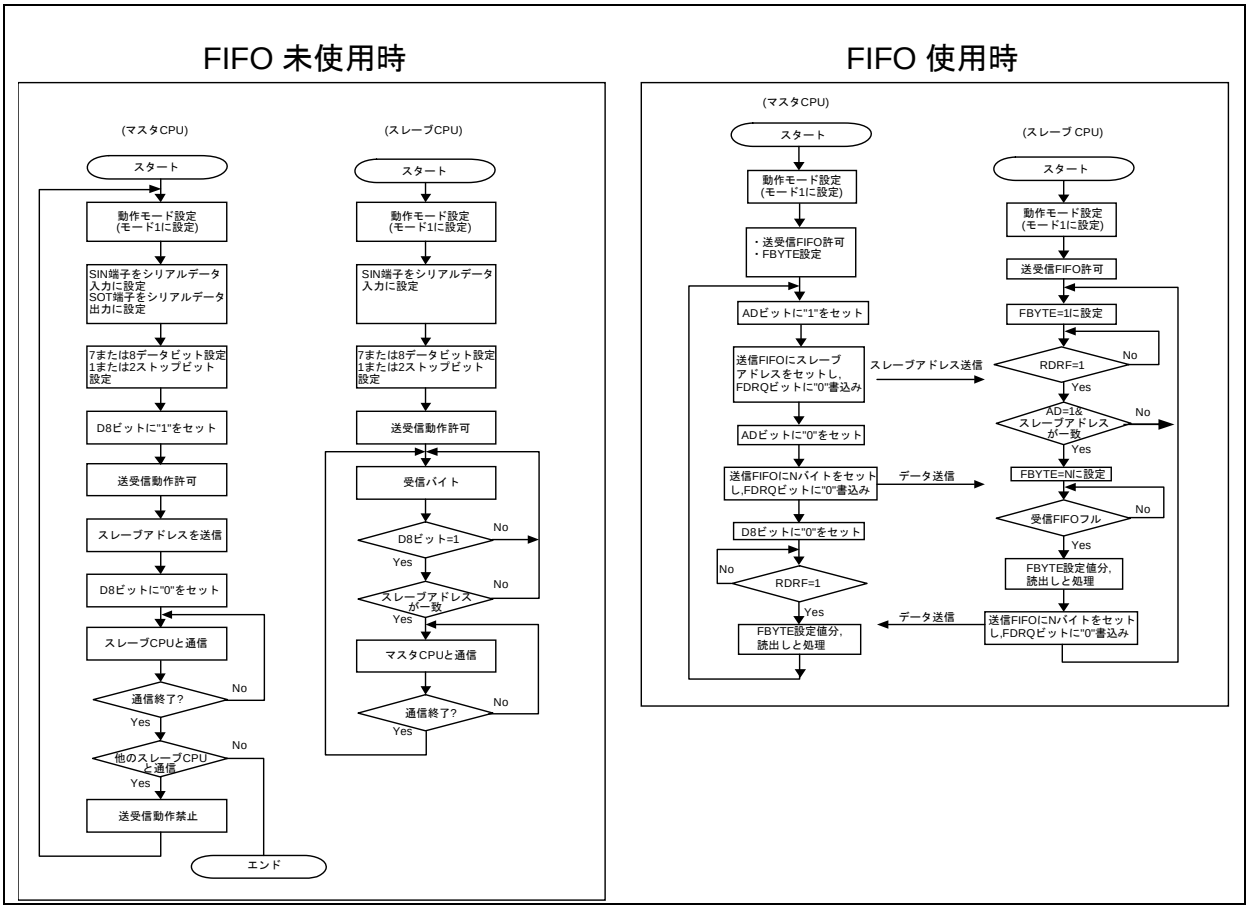
＜注意事項＞

動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。

■ 通信手順

通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを"1"としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信(通常データ)をします。図 5-17 に、マスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

図 5-17 マスタ/スレーブ型通信フローチャートの例



6. CSIO の動作説明

CSIO の動作について説明します。

6.1. CSIO の割込み

6.2. CSIO の動作

6.3. 設定手順とプログラムフロー

6.1. CSIO の割込み

CSIO の割込みについて示します。

CSIO(クロック同期シリアルインタフェース)の割込みには、受信割込みと送信割込みがあり、次に示す要因で割込み要求を発生させることができます。

・受信データが受信データレジスタ(RDR)にセットされた場合、または受信エラーが発生した場合。
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求。
・シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致
・チップセレクトエラー発生

6.1.1. CSIO の割込み一覧

CSIO の割込み一覧について示します。

表 6-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR: RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバラン エラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信レジスタが エンプティ	SCR:TIE	送信データ(TDR)への書込みまたは 送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*[1]
	TBI	SSR	送信動作なし	SCR: TBIE	送信データ(TDR)への書込みまたは 送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*[1]
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下または エンプティ	FCR1: FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
	CSE	SACSR	スレーブモード (SCR:MS="1")時、送信動作中にシリアルチップセレクト端子がインアクティブ マスタモード (SCR:MS=0) 時、送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない (SSR:TDRE=1)	SACSR: SCEIE	シリアルチップセレクトフラグビット (SACSR:CSE)への"0"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
状態	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR: TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

6.1.2. 受信割込み発生とフラグセットのタイミング

受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:ORE)があります。

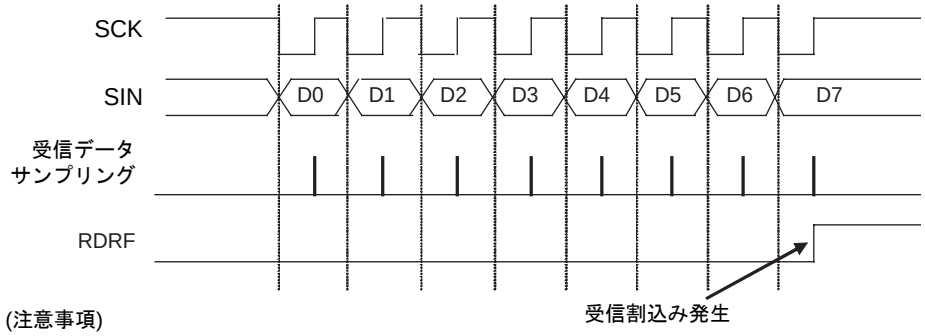
最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:ORE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE="1")されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

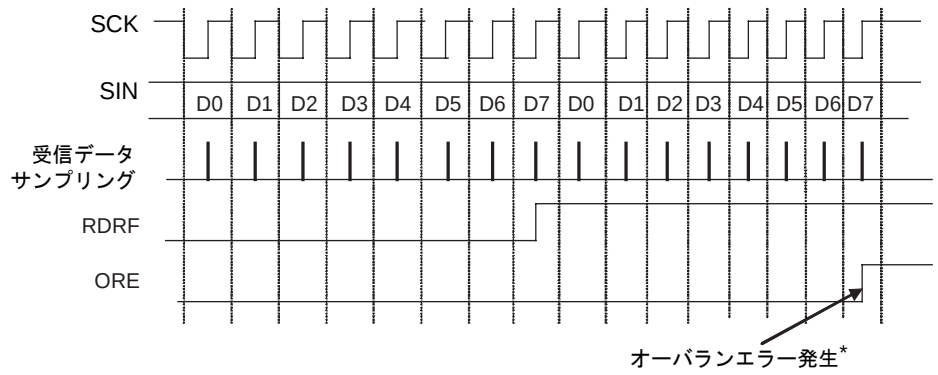
図 6-1 フラグセットのタイミング

受信動作とフラグセットのタイミング



(注意事項)
図は, 以下の条件でのタイミングを表しています。
SCR : MS=1, SPI=0
ESCR : L3～L0=0000B
SMR:SCINV=0, BDS=0,SCKE=0,SOE=0

ORE(オーバランエラー)フラグセットタイミング



*: 受信データが読み出される前に(RDRF=1), 次のデータが転送されるとオーバランエラーが発生します。

(注意事項)
図は, 以下の条件でのタイミングを表しています。
SCR : MS=1, SPI=0
ESCR : L3～L0=0000B
SMR:SCINV=0, BDS=0,SCKE=0,SOE=0

6.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

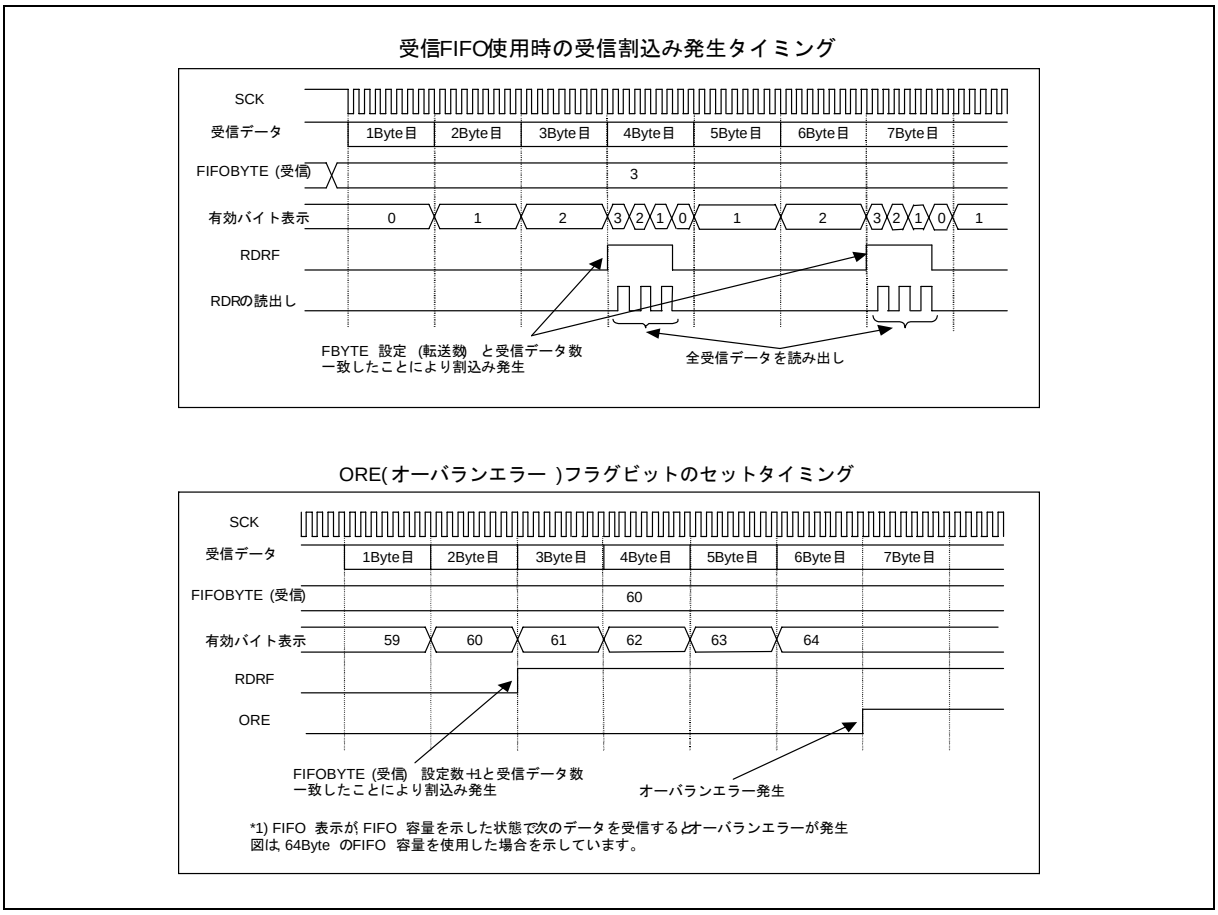
受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信するとシリアル状態レジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方満たす場合において､受信アイドル状態がボーレートクロックで8クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ，再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバランエラー(SSR:ORE="1")が発生します。

図 6-2 割込み発生・フラグセットのタイミング



6.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE="1")送信が開始された場合と、送信動作をしていない時(SSR:TBI="1")に発生します。

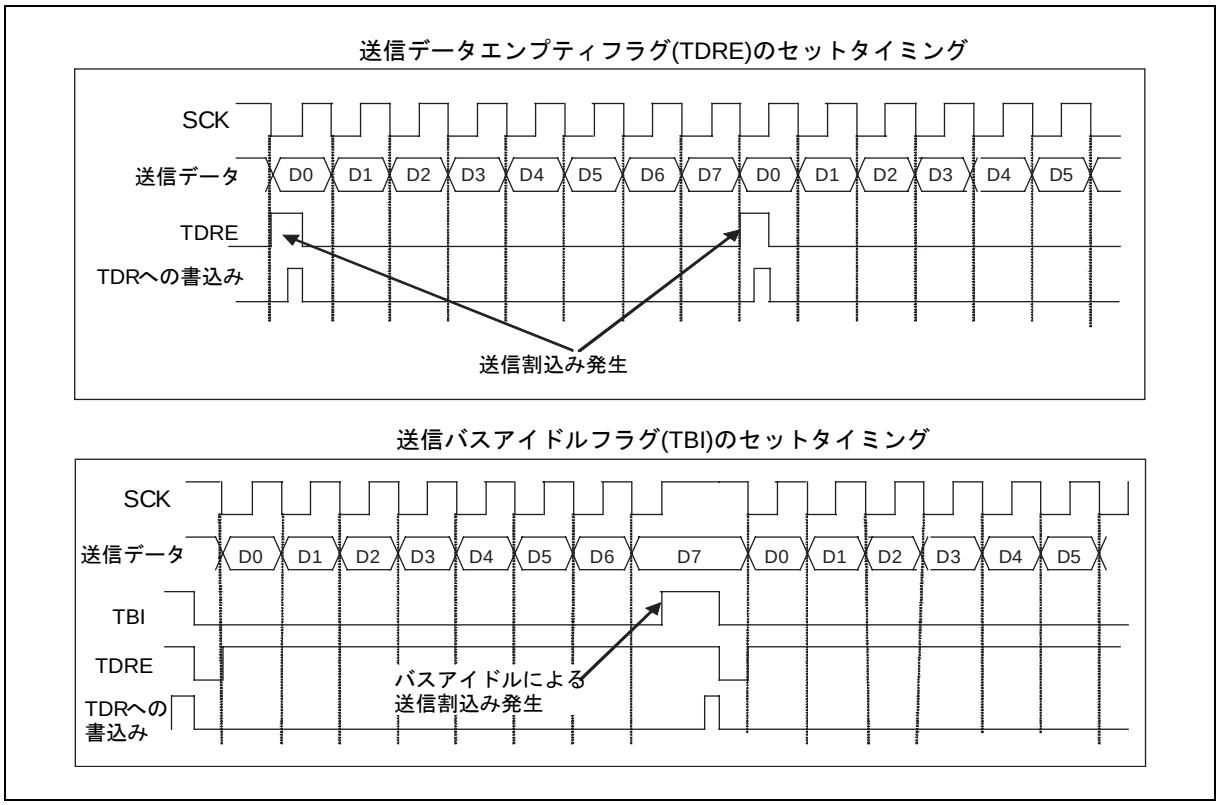
- **送信データエンプティフラグ(TDRE) のセットタイミング**

  送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE="1")になります。そのとき、送信割込みが許可(SCR:TIE="1")されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

- **送信バスアイドルフラグ(TBI) のセットタイミング**

  送信データレジスタがエンプティ(TDRE="1")で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE="1")されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットすると SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 6-3 フラグセットのタイミング



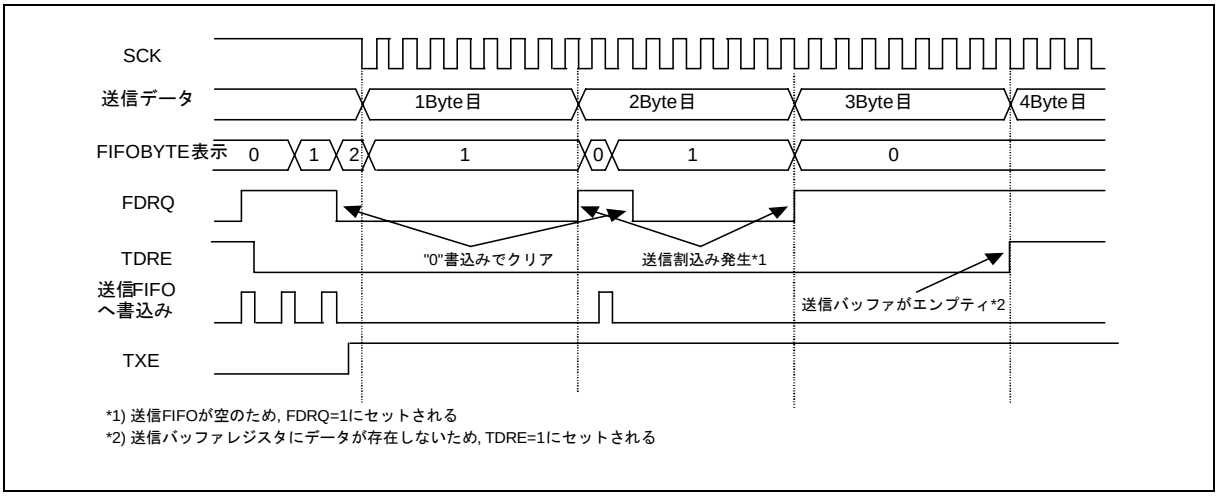
6.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"にセットされます。このとき、FIFO 送信割込み許可(FCR1: FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE)または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことで確認できます。
  FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 6-4 割込み発生タイミング



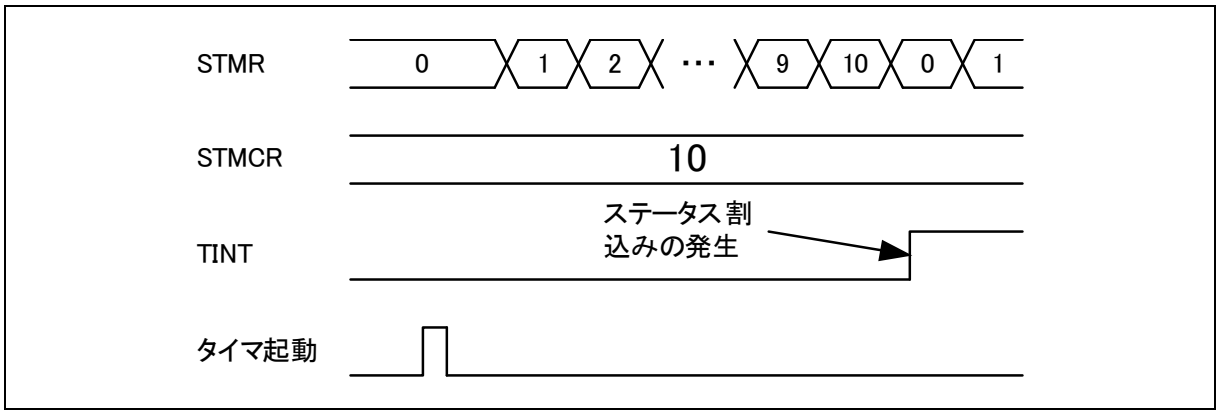
6.1.6. タイマ割込みとフラグセットのタイミング

タイマ割込みとフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
  このとき、タイマ割込み許可(SACSR:TINTE="1")されていると状態割込みが発生します。

図 6-5 タイマ割込み発生タイミング



6.1.7. チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラー発生とフラグセットのタイミングについて示します。

チップセレクトエラーは、マスタモード(SCR:MS="0")時に、TBYTE の設定値より少ないフレーム数しか送信していない場合、1 フレーム送信後に送信データレジスタ(TDR)に有効なデータがない(SSR:TDRE="1")場合に発生します。また、スレーブモード(SCR:MS=1)の送信動作中にシリアルチップセレクト端子がインアクティブになるとチップセレクトエラーは発生します。

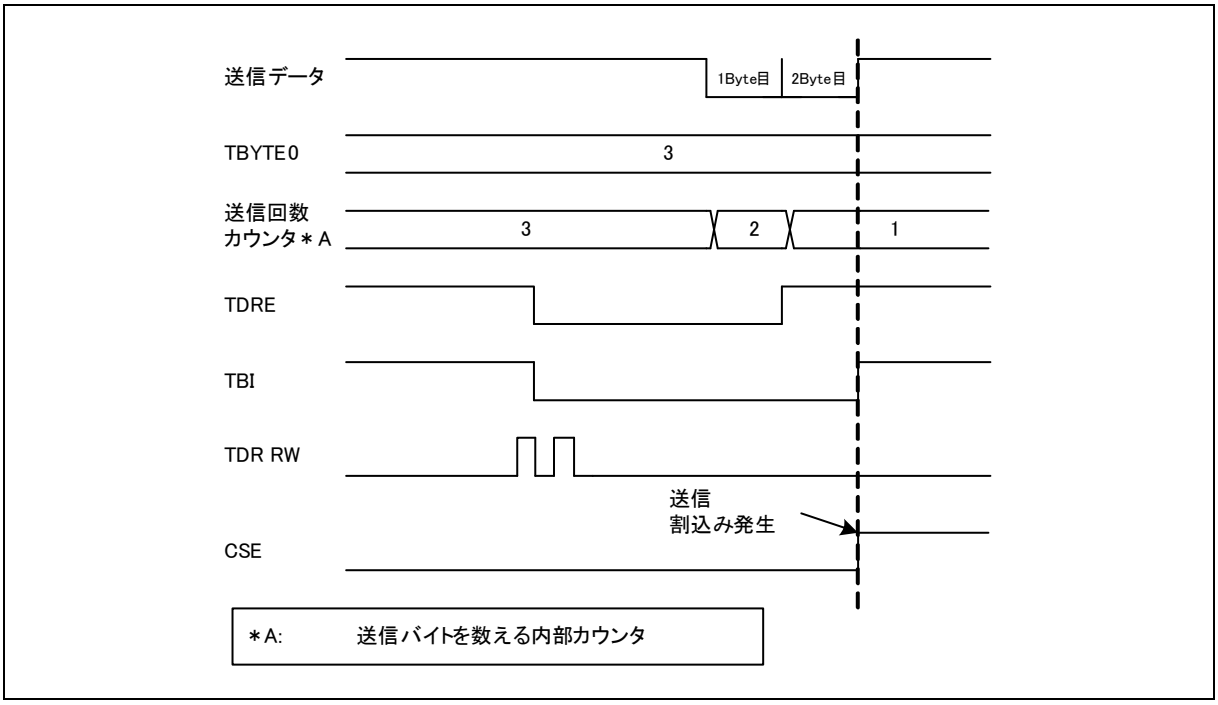
- **マスタモード(SCR:MS="0")**

  チップセレクトエラーは、転送バイトエラー許可(TBEEN="1")で以下のいずれかのとき TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE="1")場合、発生します。

  ・チップセレクト使用時
  ・シリアルタイマによる同期送信使用時

  このとき、チップセレクトエラー割込み許可(SACSR:CSEIE="1")されていると送信割込みが発生します。

図 6-6 チップセレクトエラー発生タイミング



＜注意事項＞

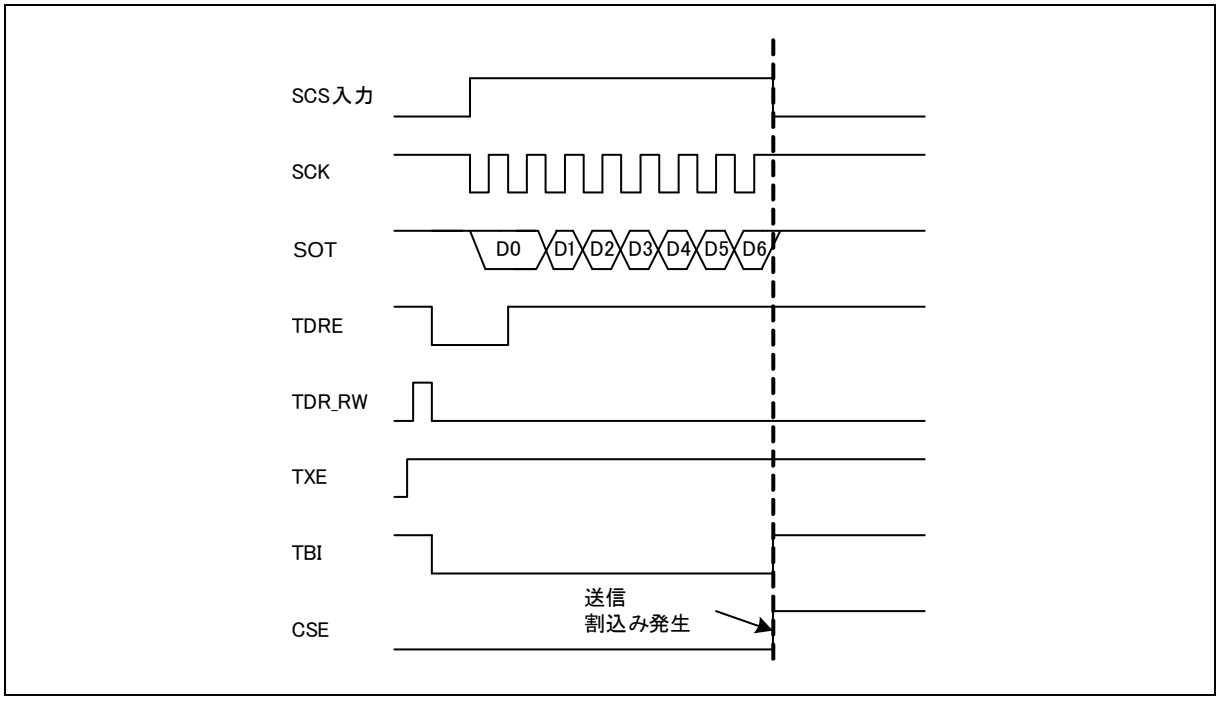
- シリアルチップセレクト使用時、チップセレクトエラー発生後からホールドディレイ時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定され、同時にシリアルチップセレクト端子はインアクティブになります。また、ホールドディレイ時間中に送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始せず、ホールドディレイ時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。
- チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。
- シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。

● スレーブモード(SCR:MS="1")

チップセレクトエラーは、送信動作中(SSR:TBI="0")にシリアルチップセレクト端子がインアクティブになると発生します。

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE="1")されていると送信割込みが発生します。

図 6-7 チップセレクトエラー発生タイミング



6.2. CSIO の動作

CSIO の動作について示します。

6.2.1. ノーマル転送(I)

ノーマル転送(I)について説明します。

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送(I)に必要なレジスタの設定値を以下に示します。

SCR:SPI=0*[1], SMR:MD2=0, MD1=1, MD0=0, SCINV=0*[1]
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

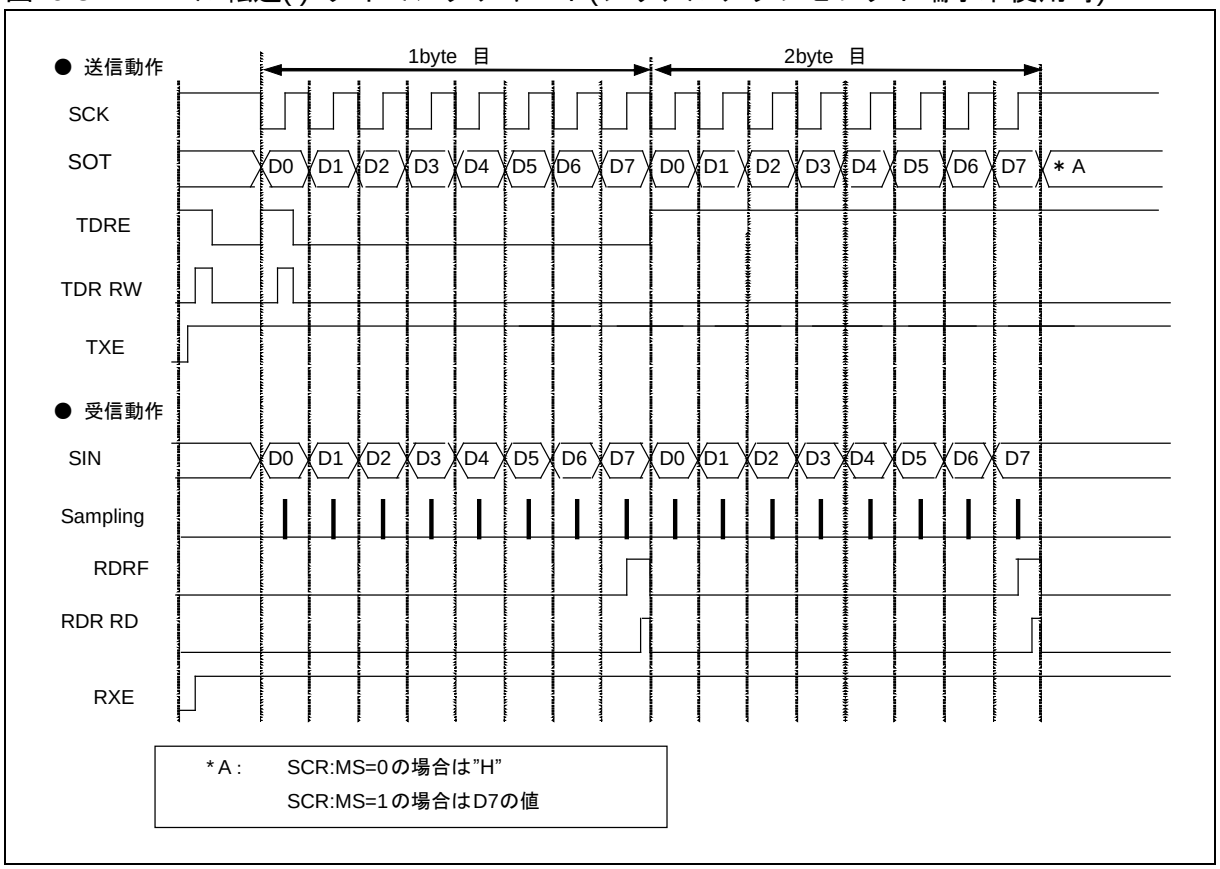
*1: 条件により設定するビットが異なります。表 6-2 を参照してください。

＜注意事項＞

上記ビット以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-8 ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0="0000"bに設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1")および受信動作禁止(SCR:RXE="0")にした後、TDR に送信データを書き込むと、SSR:TDRE="0"となります。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" となります。このため、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0"), 送信動作許可(SCR:TXE="1")および受信動作許可(SCR:RXE="1")に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF="1"となります。このとき、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。
- 送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

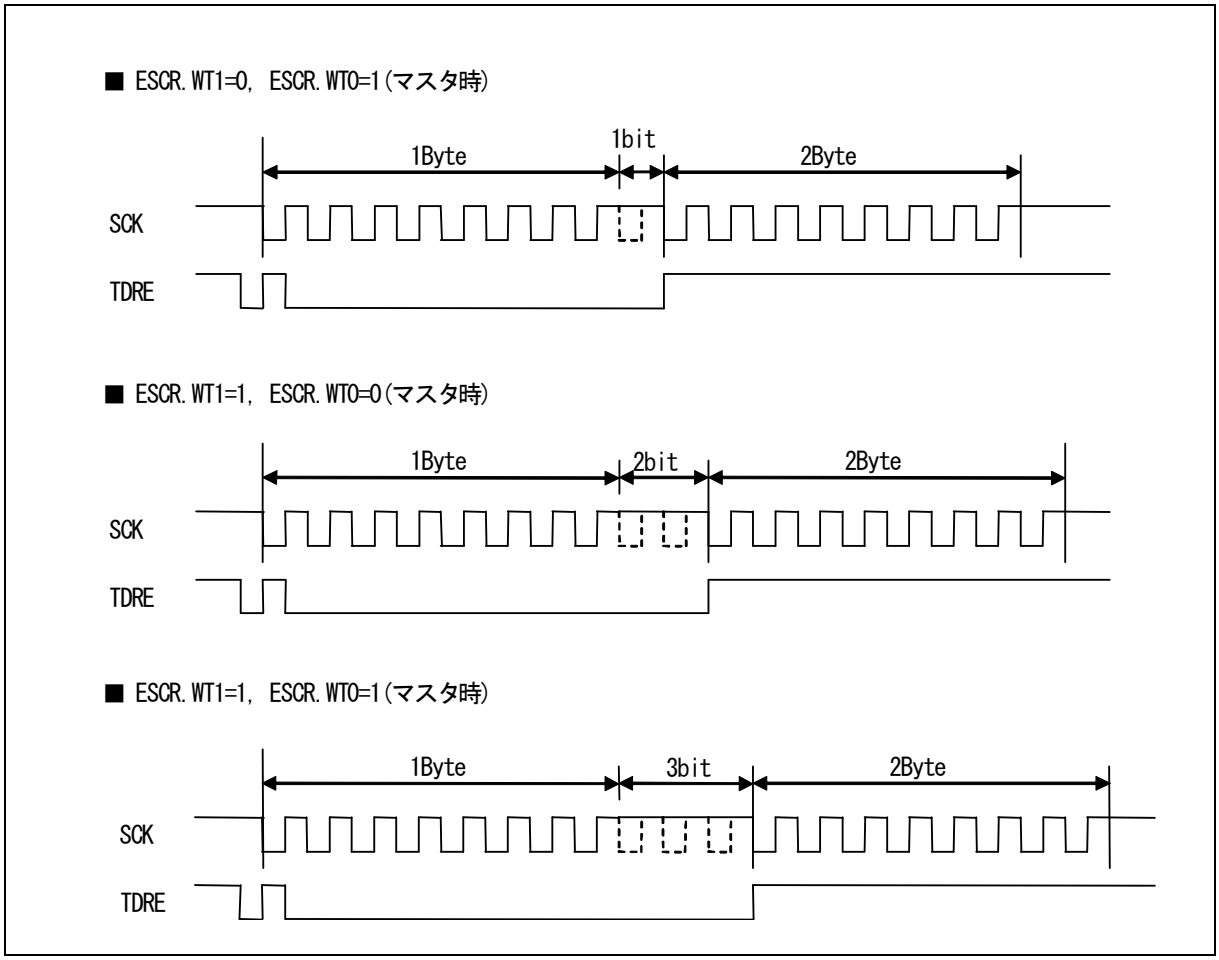
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にしてください。

② TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合，Frame 間にウェイトが挿入されます。



[2] スレーブ動作(SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。このため、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

②最初の1ビット目の送信データが出力されると、SSR:TDRE="1"となります。送信割込み許可(SCR:TIE="1")されていると、送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")にすると、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

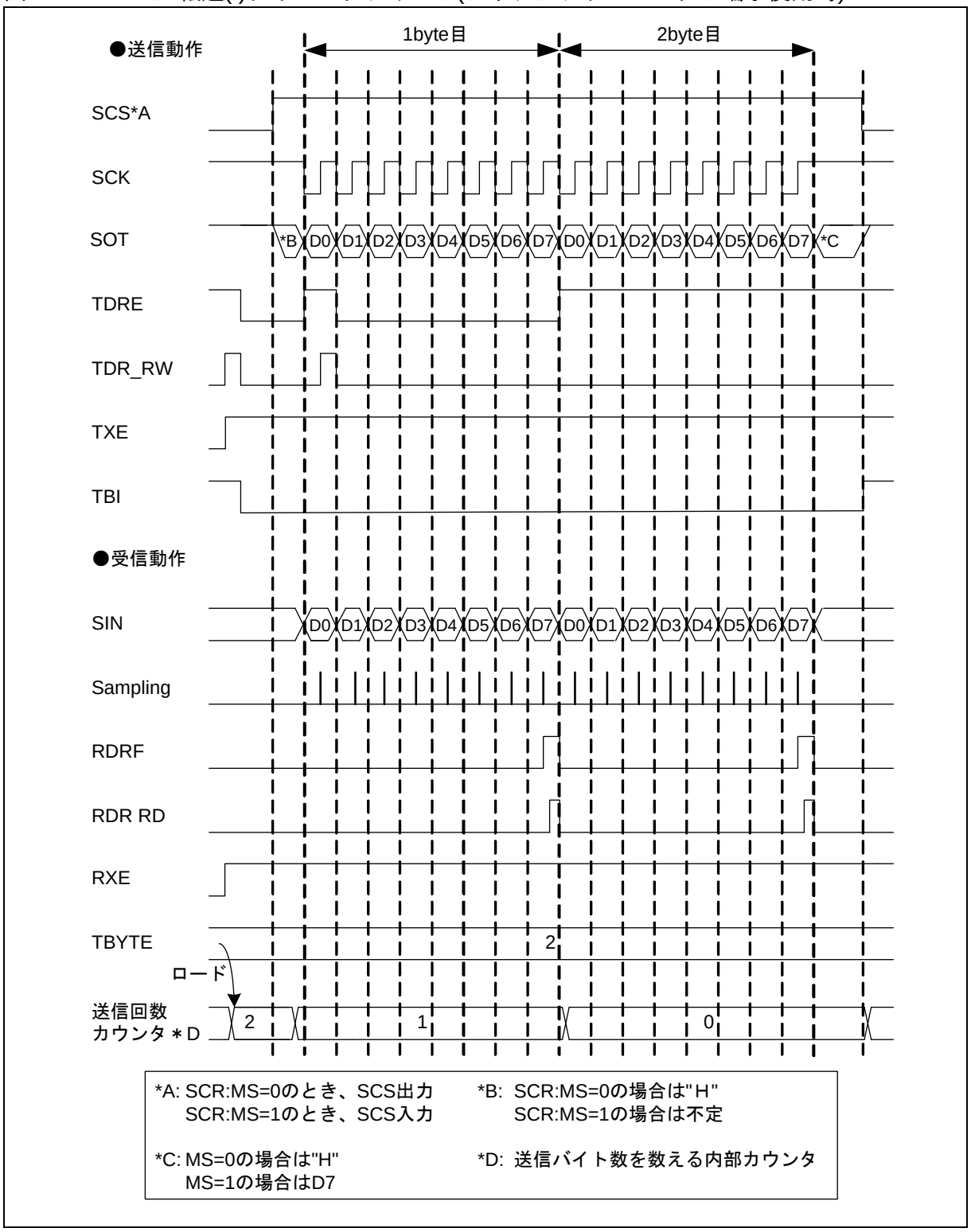
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1")、送受信動作許可(SCR:TXE, RXE="1")にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0" となりシリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の1ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ ノーマル転送(I)タイミングチャート(シリアルチップセレクト端子使用時)

図 6-9 ノーマル転送(I)タイミングチャート(シリアルチップセレクト端子使用時)



[1] マスタ動作(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

*: nには使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1"), 受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作を開始します。
送信動作が開始するとシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR: TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③TBYTE で設定している回数のデータ送信終了後、送信動作が終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS) はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0"), 送信動作許可(SCR:TXE="1"), 受信動作許可(SCR:RXE="1")にし、TDR にダミーデータを書き込むとリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。
受信動作が開始するとシリアルクロック出力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1") が保持されている場合、シリアルチップセレクト端子(SCS) はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。
- 送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、リアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。送受信動作が開始すると、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。

③送受信動作中は受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

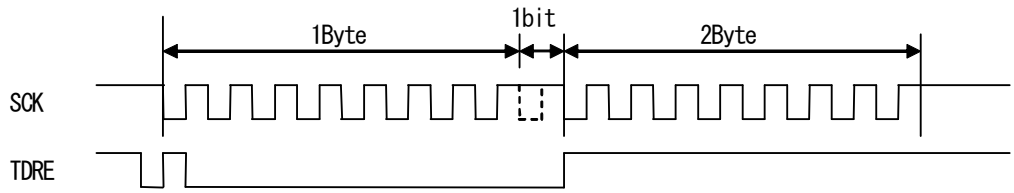
④TBYTE で設定している回数のデータ送受信終了後、送受信動作が終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

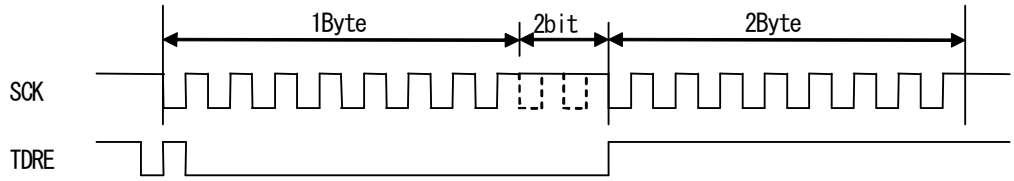
● 連続データ送信または受信ウェイト動作

① 続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

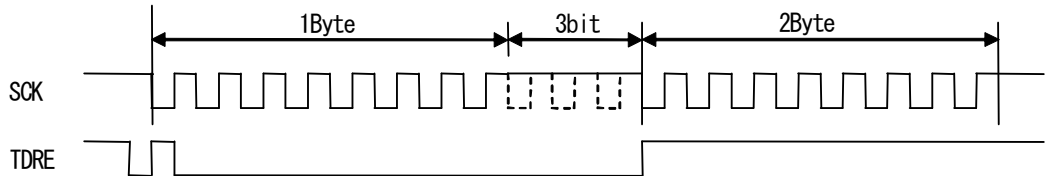
■ ESCR.WT1=0, ESCR.WT0=1(マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0(マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1(マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR: TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと、SSR:TDRE="0"となります。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり, 送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③送受信動作中に受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作を終了し、シリアル出力端子(SOT)が"H"になります。

6.2.2. ノーマル転送(II)

ノーマル転送(II)について説明します。

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送(II)に必要なレジスタの設定値を以下に示します。

SCR:SPI*[1]=0，SMR:MD2=0，MD1=1，MD0=0，SCINV*[1]=1
マスタ動作時 : SCR:MS=0，SMR:SCKE=1
スレーブ動作時 : SCR:MS=1，SMR:SCKE=0

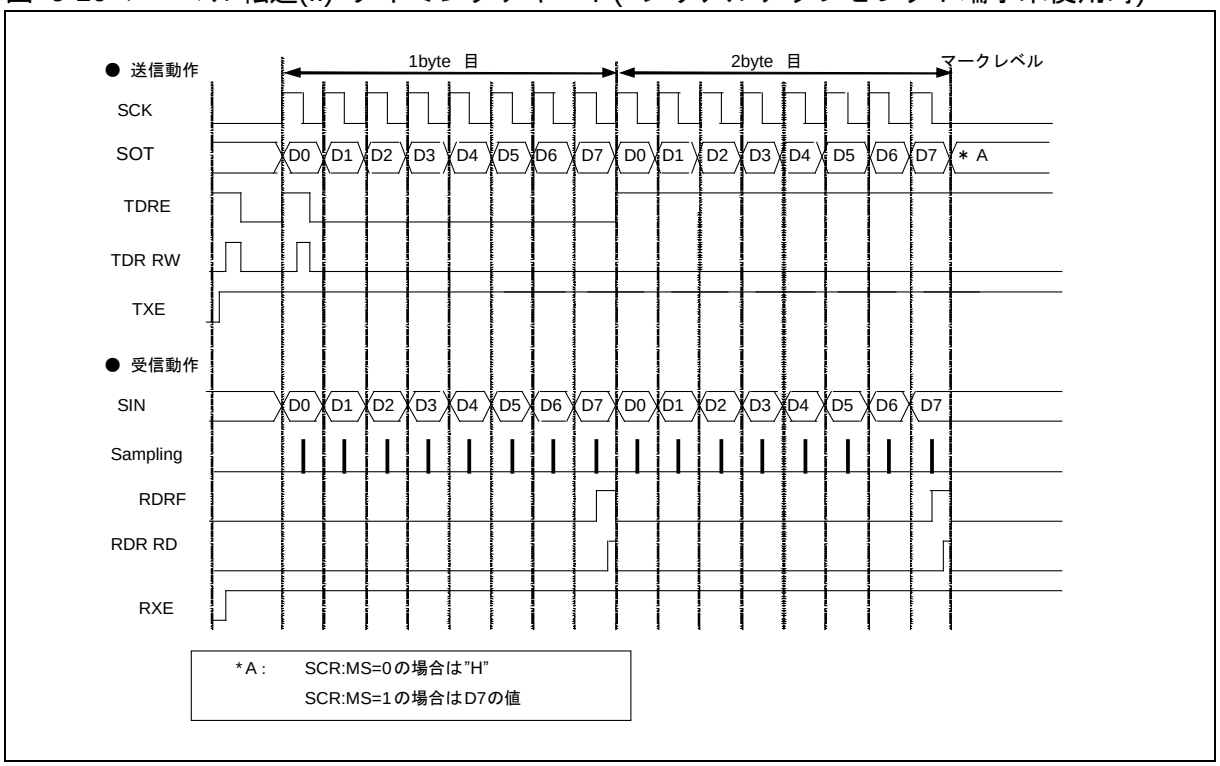
*[1]: 条件により設定するビットが異なります。表 6-2 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送(II) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-10 ノーマル転送(II) タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")、送信動作許可(SCR:TXE="1")および受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。これにより、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となります。このため、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")、送信動作許可(SCR:TXE="1")および受信動作許可(SCR:RXE="1")に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。このとき、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

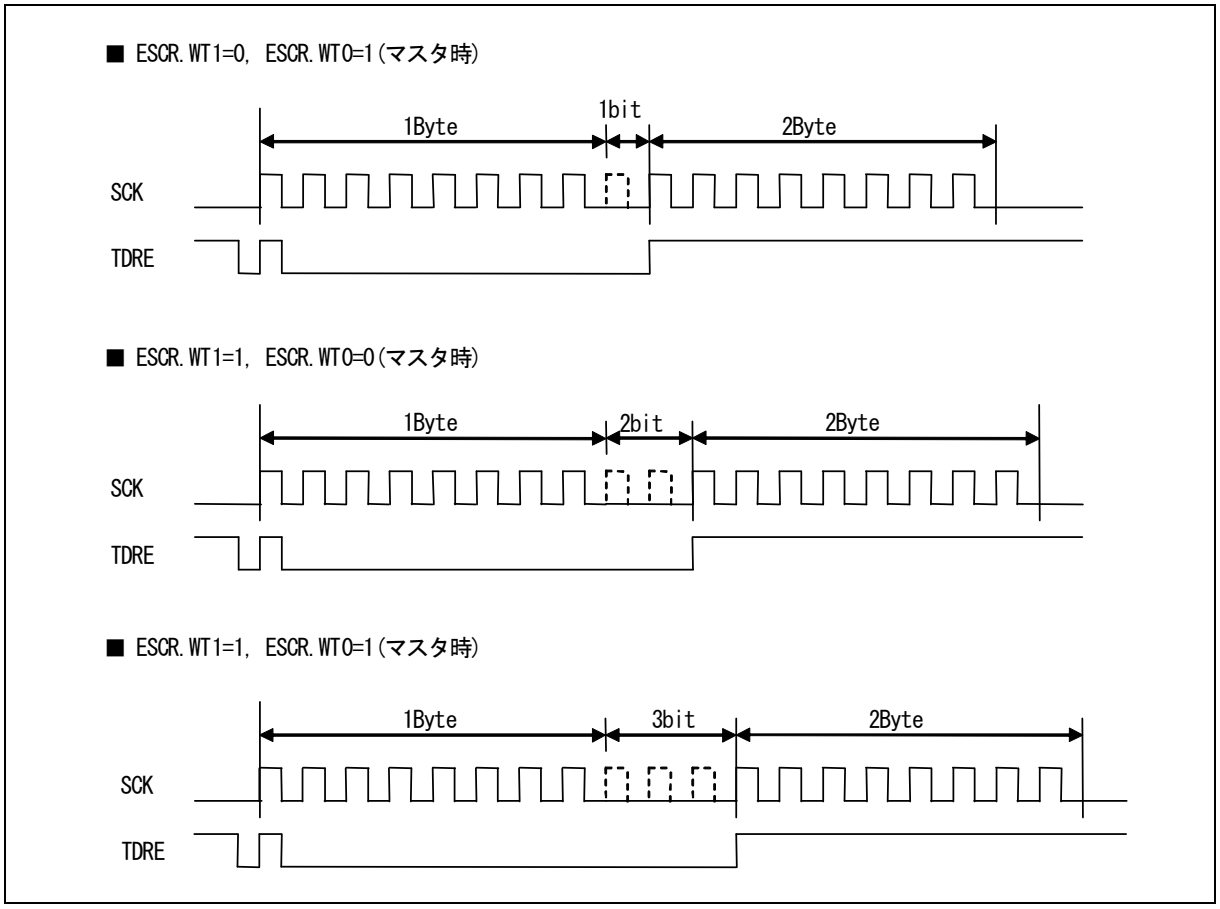
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"),送受信動作許可(SCR:TXE, RXE="1")にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)出力の立上りエッジに同期して､送信データを出力します｡最初の 1 ビット目の送信データが出力されると SSR:　TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします｡受信データの最後のビットを受信すると SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します｡このとき､受信データ(RDR)を読み出すことができます｡受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。このため、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。

②最初の1ビット目の送信データが出力されると、SSR:TDRE="1"となります。送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")にすると、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となります。受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR) を読み出すと、SSR:RDRF は"0" にクリアされます。

● 送受信動作

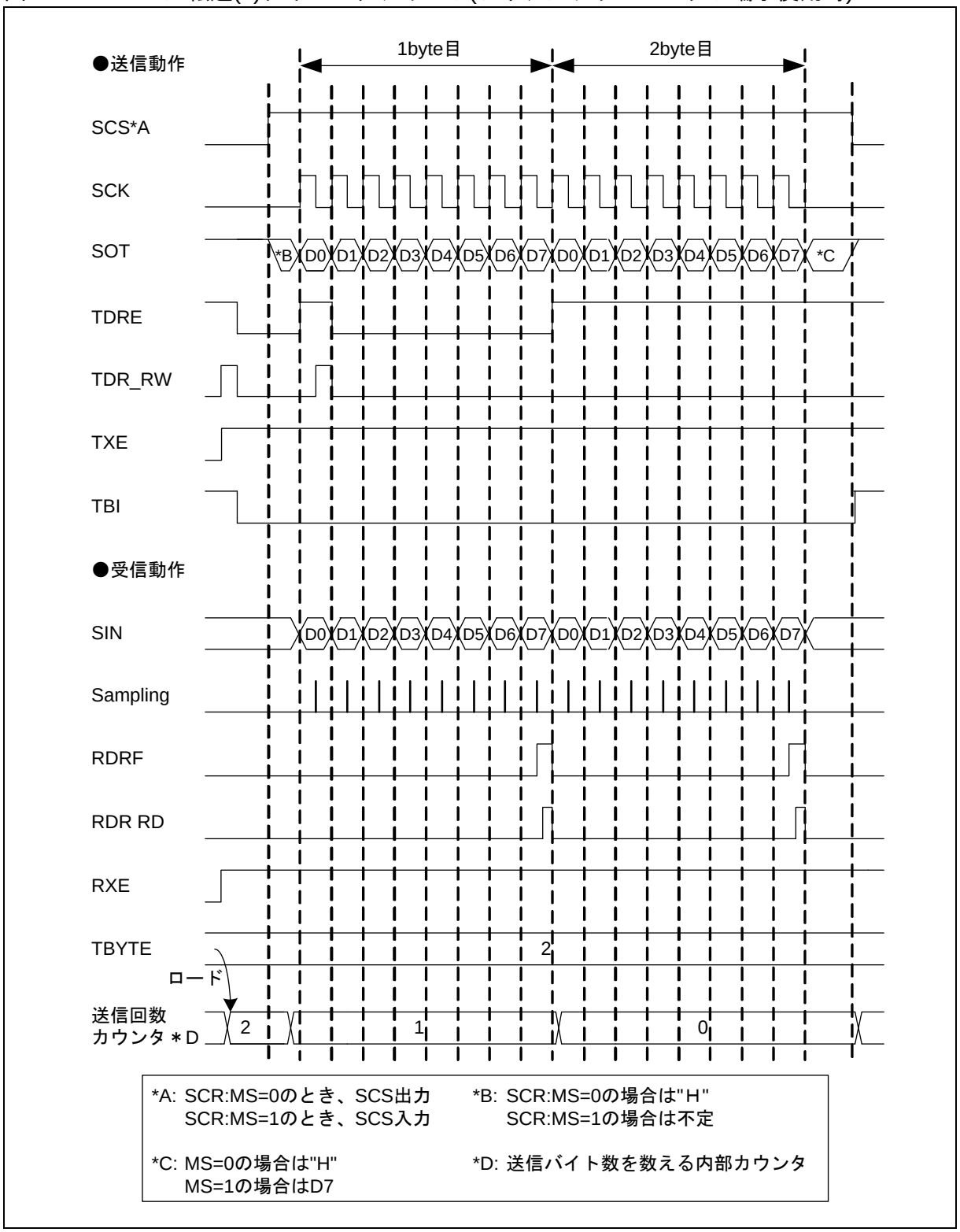
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1"), 送受信動作許可(SCR:TXE, RXE="1") にしてください。

②TDR に送信データを書き込むと、SSR:TDRE="0"となりシリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ ノーマル転送(II)タイミングチャート(シリアルチップセレクト端子使用時)

図 6-11 ノーマル転送(II)タイミングチャート(シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

* : n には使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1"), 送信動作許可(SCR:TXE="1"), 受信動作禁止(SCR:RXE="0")にし、TDR に送信データを書き込むと、SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作を開始します。
送信動作が開始するとシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり, 送信割込み許可(SCR: TIE="1")されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。

③TBYTE で設定している回数のデータ送信終了後, 送信動作を終了します。

④送信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")、送信動作許可(SCR:TXE="1")、受信動作許可(SCR:RXE="1")にし、TDR にダミーデータを書き込むとリアルチップセレクト端子(SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。
受信動作が開始するとシリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④TBYTE で設定している回数のデータ受信終了後、受信動作が終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1")、送受信動作許可(SCR:TXE, RXE="1")にします。

②TDR に送信データを書き込むと SSR:TDRE="0"になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、リアルチップセレクト端子のセットアップ時間経過後，送受信動作を開始します。送受信動作が開始すると、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。

③送受信動作中は受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

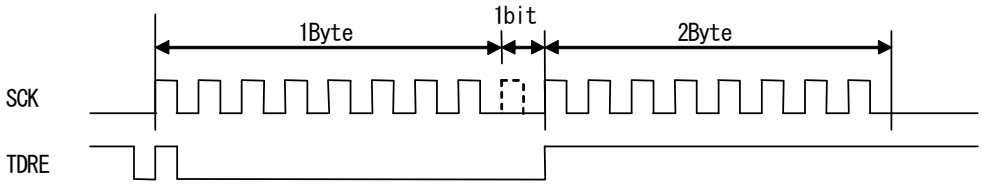
④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM="1")が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

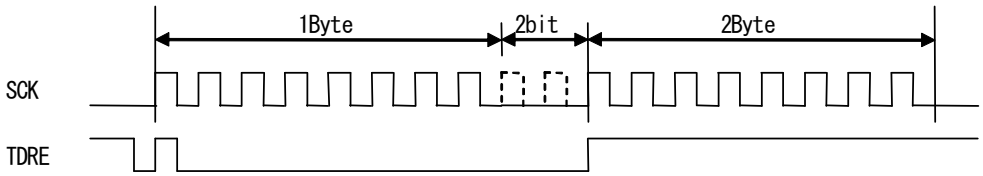
● 連続データ送信または受信ウェイト動作

① 続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。

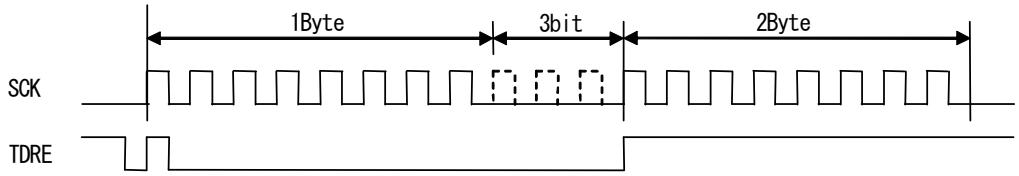
■ ESCR.WT1=0, ESCR.WTO=1(マスタ時)



■ ESCR.WT1=1, ESCR.WTO=0(マスタ時)



■ ESCR.WT1=1, ESCR.WTO=1(マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE="1")および送信動作許可(SCR:TXE="1")にし、TDR に送信データを書き込むと、SSR:TDRE="0"となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。

③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE="0")および受信動作許可(SCR:RXE="1")でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE="1")、送受信動作許可(SCR:TXE, RXE="1")にします。

② TDR に送信データを書き込むと、SSR:TDRE="0"となります。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1"となり、送信割込み許可(SCR:TIE="1")されていると送信割込み要求を出力します。
このとき、2 バイト目の送信データを書き込むことができます。

③送受信動作中に受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1"となり、受信割込み許可(SCR:RIE="1")されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作し、シリアル出力端子(SOT)が"H"になります。

6.2.3. SPI 転送(I)

SPI 転送(I)について説明します。

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～9 ビット

■ レジスタ設定

SPI 転送(I)に必要なレジスタの設定値を以下に示します。

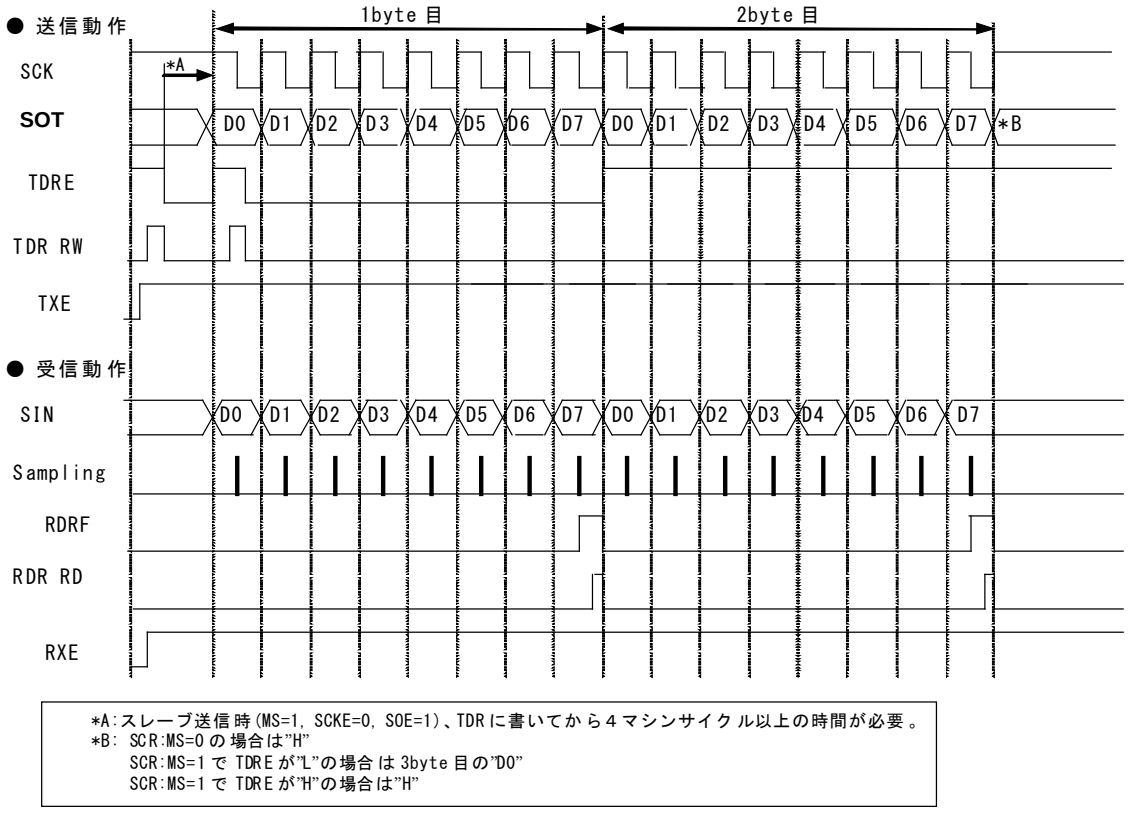
SCR:SPI*[1]=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*[1]=0
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0
*[1]: 条件により設定するビットが異なります。表 6-2 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-12 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0="0000"bに設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。これにより、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となります。
このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック(SCK)出力の立下りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF=1 となります。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

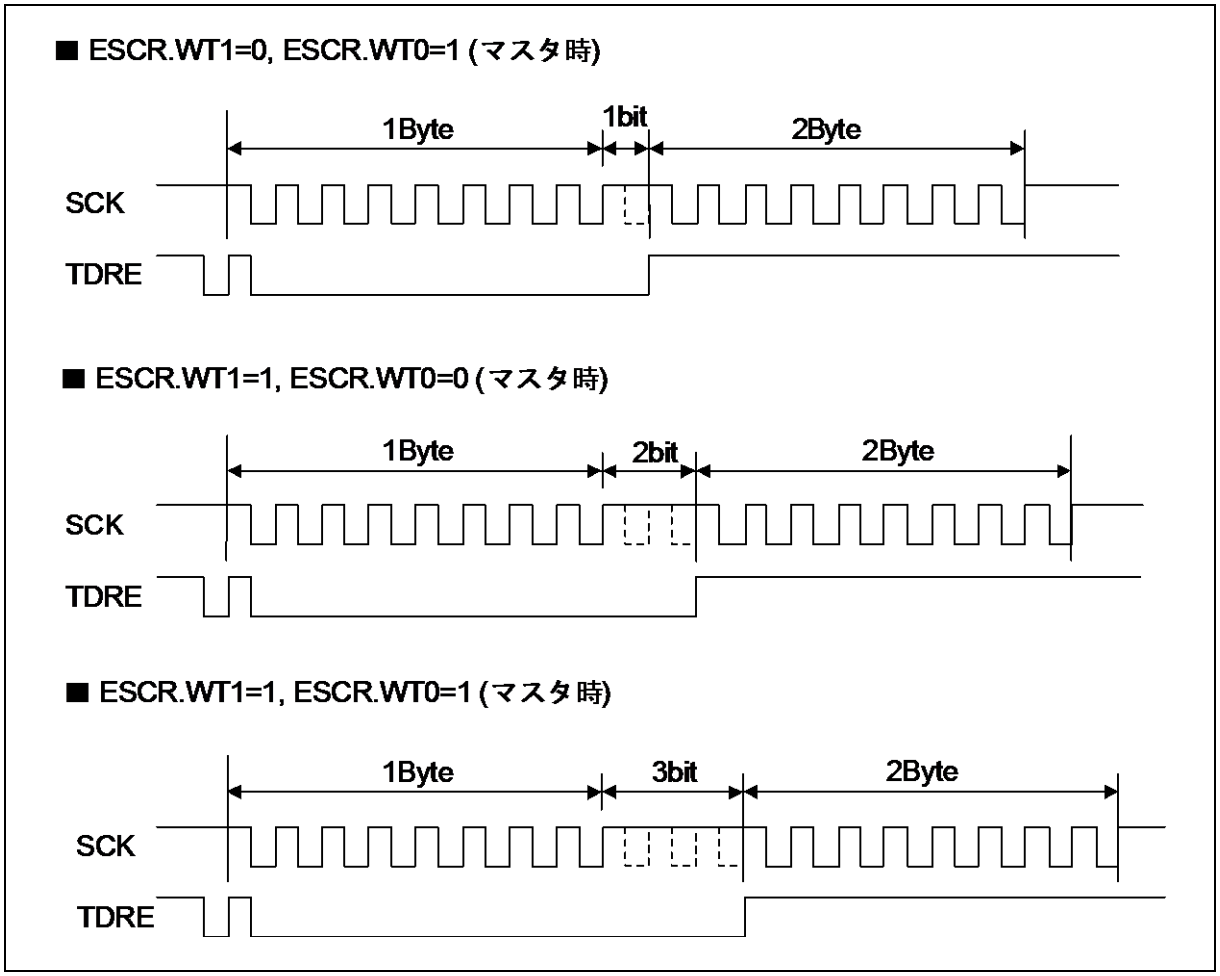
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

②TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE=1 となります。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベ

ルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にすると、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

②TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

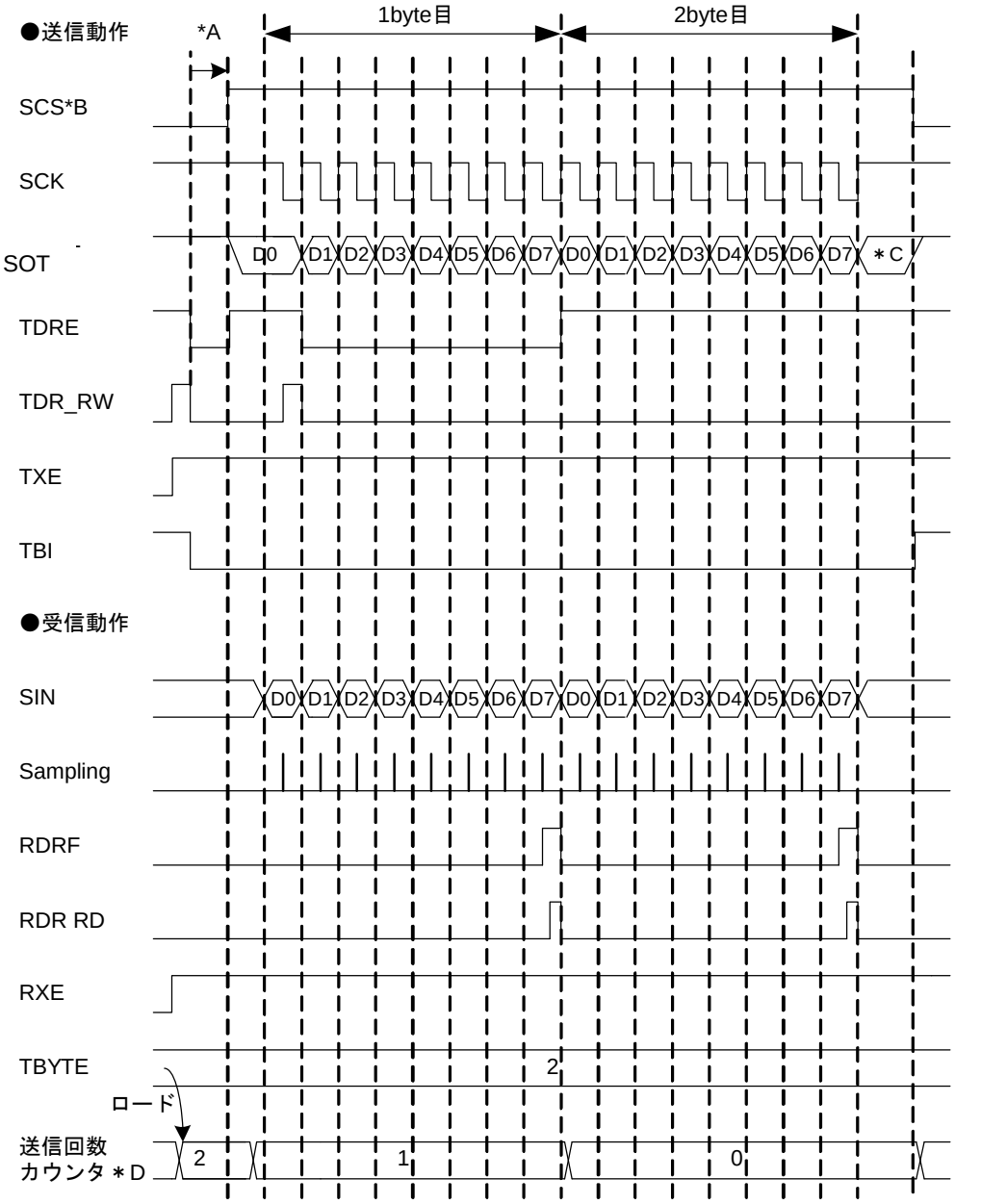
①シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1) にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。

② 信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK) の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書込みと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)

図 6-13 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)



*A: スレーブ送信時（MS=1、SCKE=0、SOE=1）、TDRに書いてから4マシンサイクロ以上の時間が必要
*B: MS=0のとき、SCS出力　MS=1のとき、SCS入力
*C: SCR:MS=0の場合は"D7"
SCR:MS=1でTDREが"L"の場合は3byte目の"D0"
SCR:MS=1でTDREが"H"の場合は"D7"
*D: 送信バイトを数える内部カウンタ

[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

*: n には使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作が開始します。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後、送信動作が終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDRにダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック(SCK)出力の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと, SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で, SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

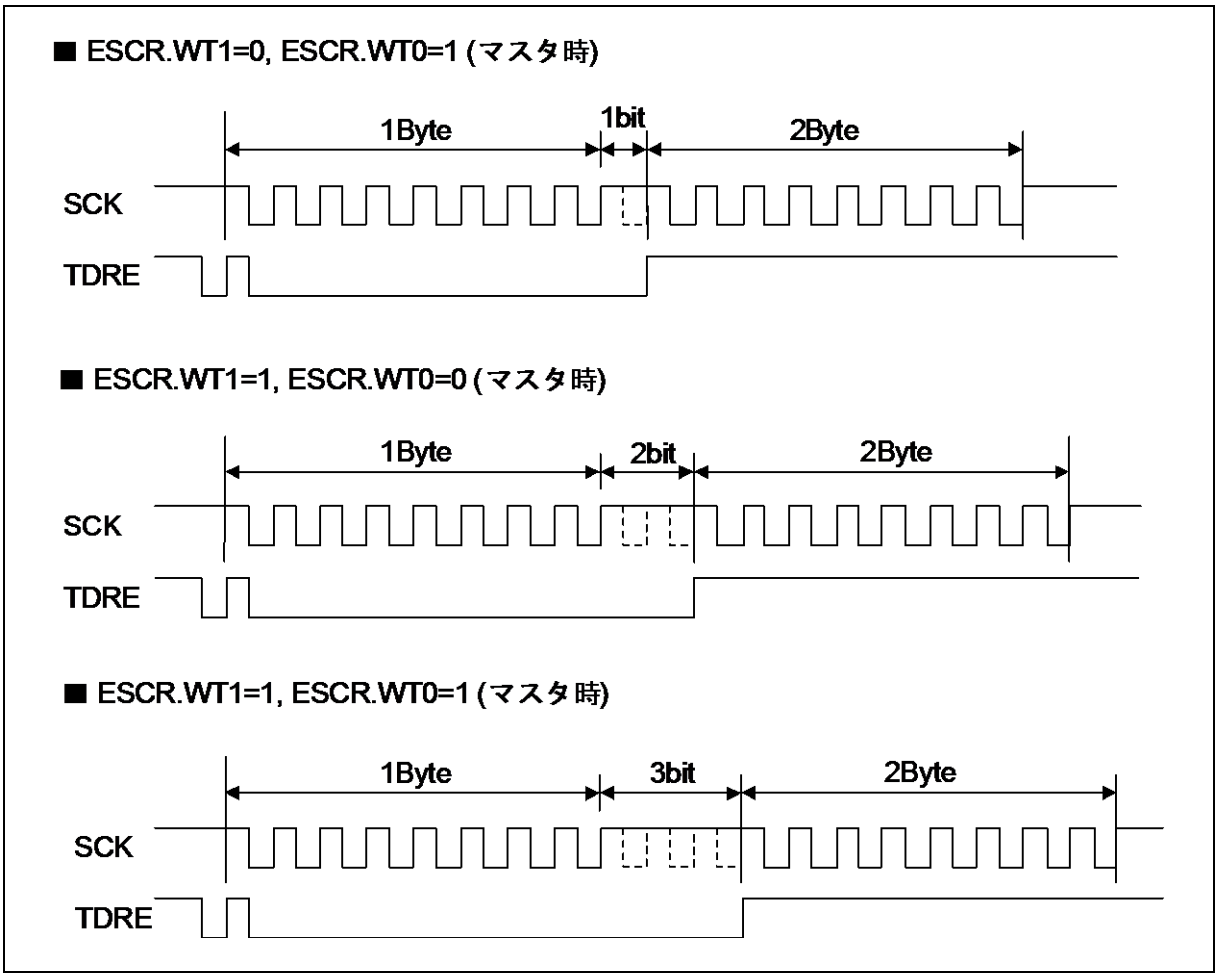
③受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。

③送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行っ

てください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと, SSR:TDRE=0 となります。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が終了し、シリアル出力端子(SOT)が"H"になります。

6.2.4. SPI 転送(II)

SPI 転送(II)について説明します。

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16，20，24，32 ビット

■ レジスタ設定

SPI 転送(II)に必要なレジスタの設定値を以下に示します。

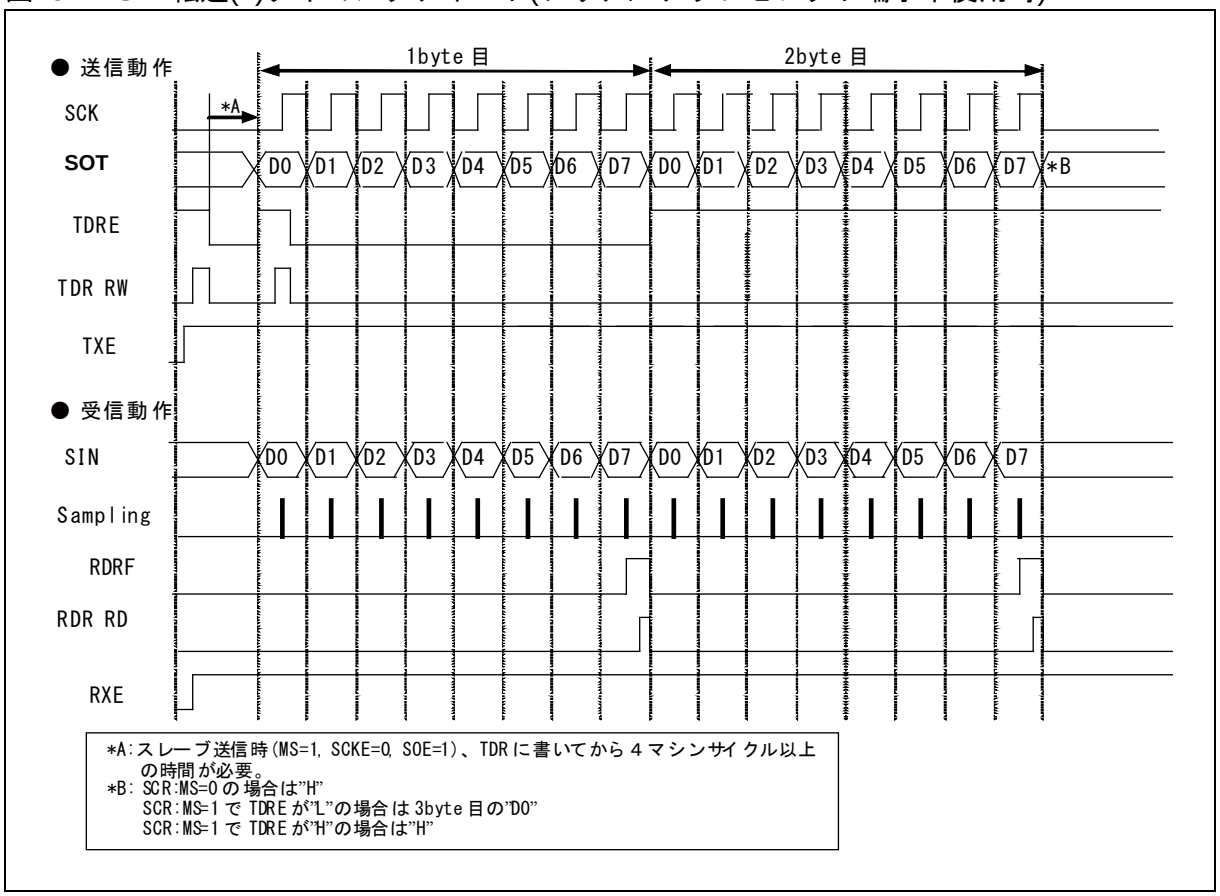
SCR:SPI*[1]=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*[1]=1
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0
*[1]: 条件により設定するビットが異なります。表 6-2 を参照してください。

＜注意事項＞

上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送(II)タイミングチャート(シリアルチップセレクト端子未使用時)

図 6-14 SPI 転送(II)タイミングチャート(シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。

②最初のシリアルクロック(SCK)出力の立上りエッジの半サイクル前で, SSR:TDRE=1 となります。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。

②最後のビットを受信すると、SSR:RDRF=1 となります。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

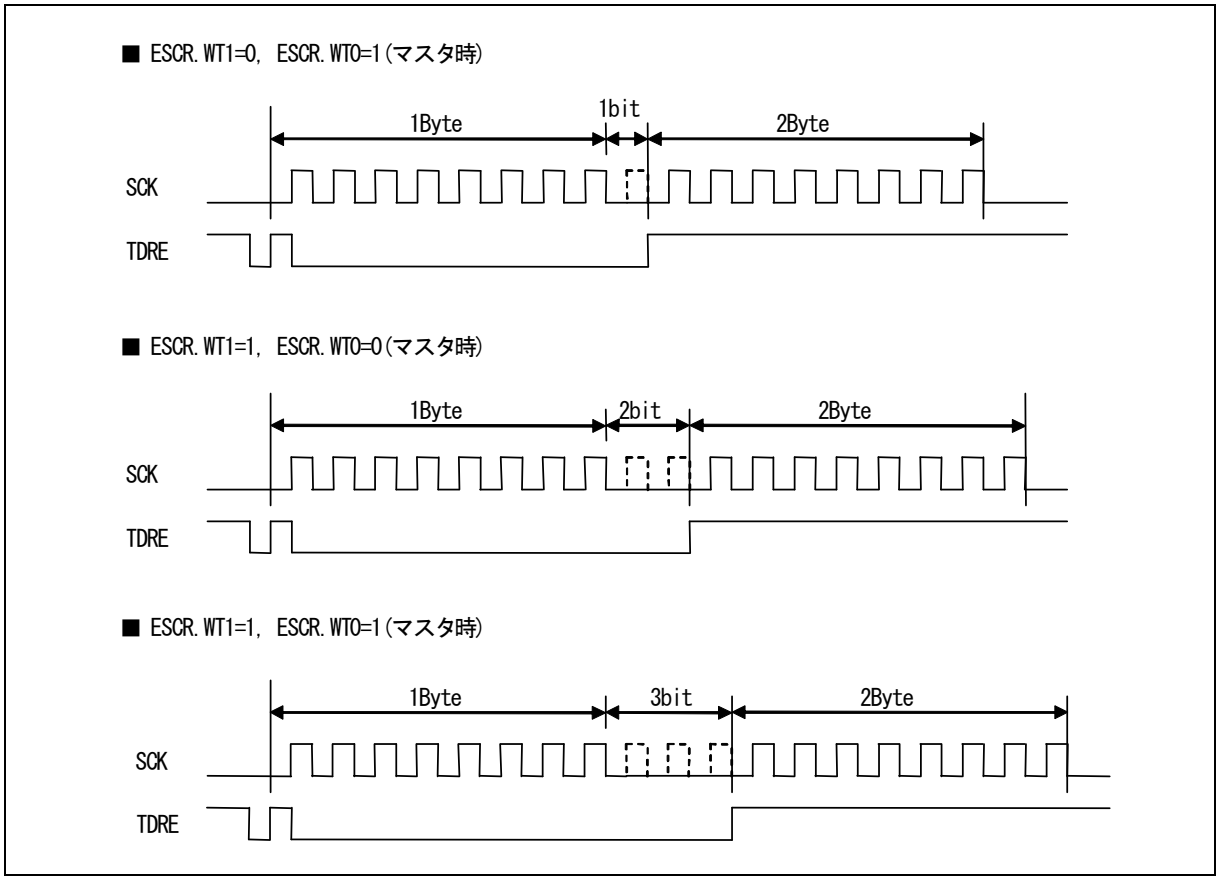
①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

② TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE=1 となります。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にすると、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となります。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。

② TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

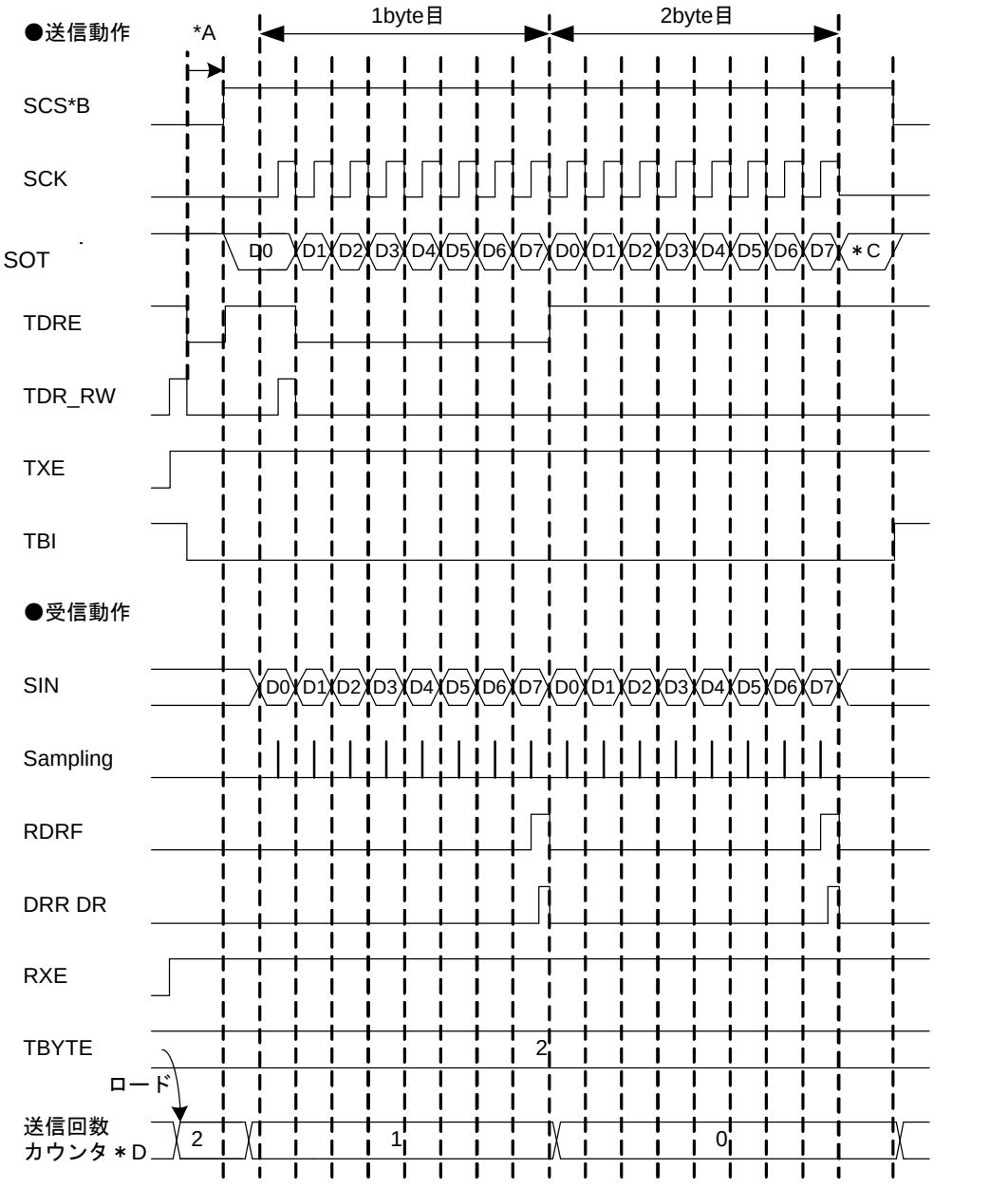
①シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。

③ 信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書込みと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送(II) タイミングチャート(シリアルチップセレクト端子使用時)

図 6-15 SPI 転送(II) タイミングチャート(シリアルチップセレクト端子使用時)



*A: スレーブ送信時（MS=1、SCKE=0、SOE=1）、TDRに書いてから4マシンサイクロ以上の時間が必要
*B: MS=0のとき、SCS出力　MS=1のとき、SCS入力
*C: SCR:MS=0の場合は"D7"
SCR:MS=1でTDREが"L"の場合は3byte目の"D0"
SCR:MS=1でTDREが"H"の場合は"D7"
*D: 送信バイトを数える内部カウンタ

[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1に設定します)

*: nには使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送信動作が開始します。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

②最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後, 送信動作を終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDRにダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、受信動作を開始します。受信動作が開始するとシリアルクロック(SCK)出力の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後、受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと、SSR:TDRE=0 となります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

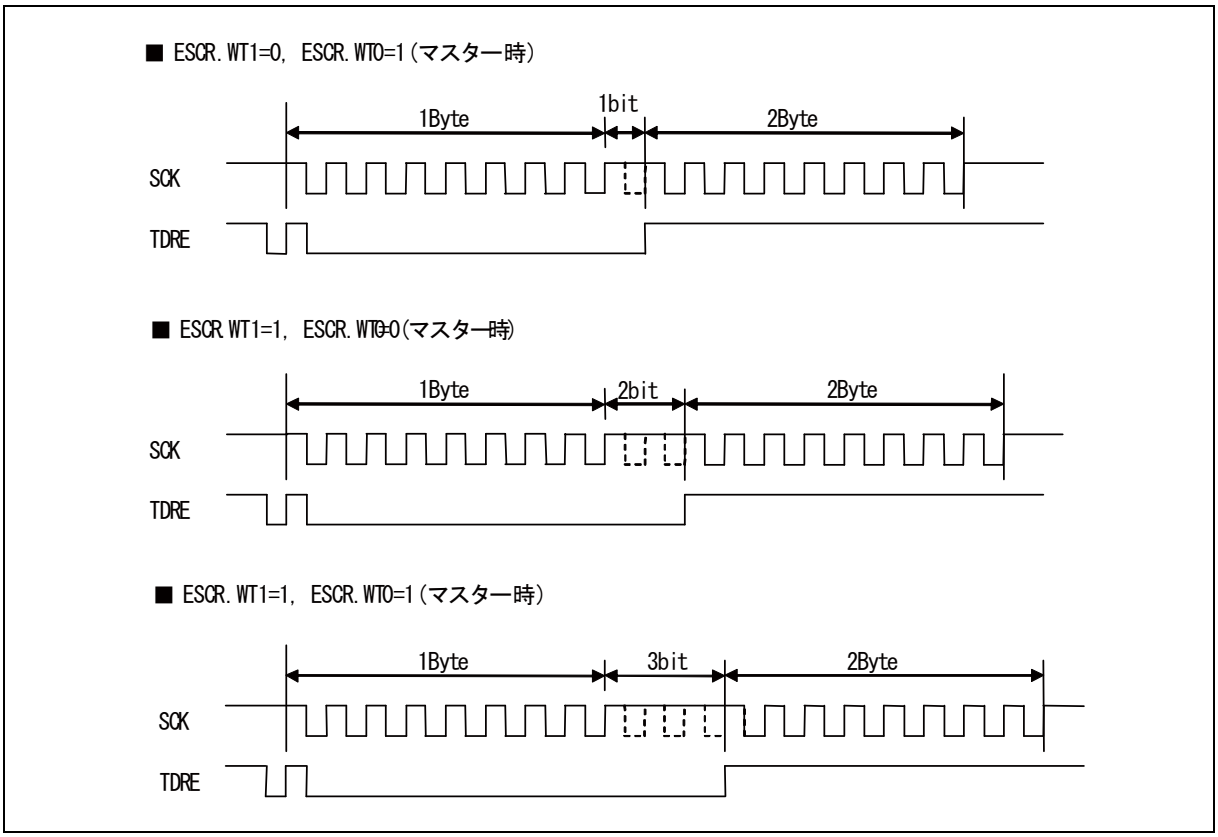
③受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。

⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合は、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

①連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0に設定します)

● 送信動作

①シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 となります。

②シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

③送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信すると, SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出すことができます。

③受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。

② TDR に送信データを書き込むと、SSR:TDRE=0 となります。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が終了し、シリアル出力端子(SOT)が"H"になります。

6.2.5. シリアルタイマの動作

シリアルタイマの動作について示します。

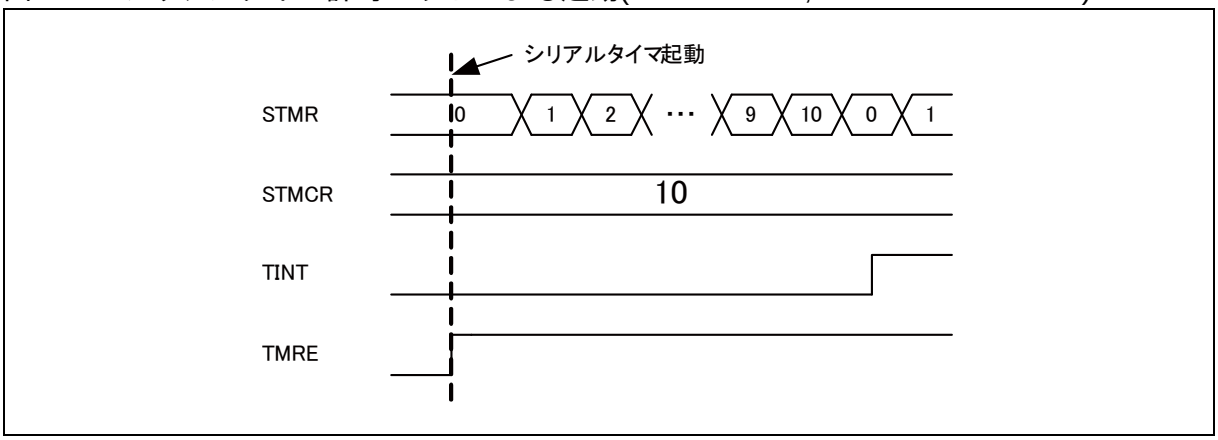
シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するには、シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットしてください。

・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 6-16 シリアルタイマ許可ビットによる起動(STMCR="10", SACSR:TSYNE="0")



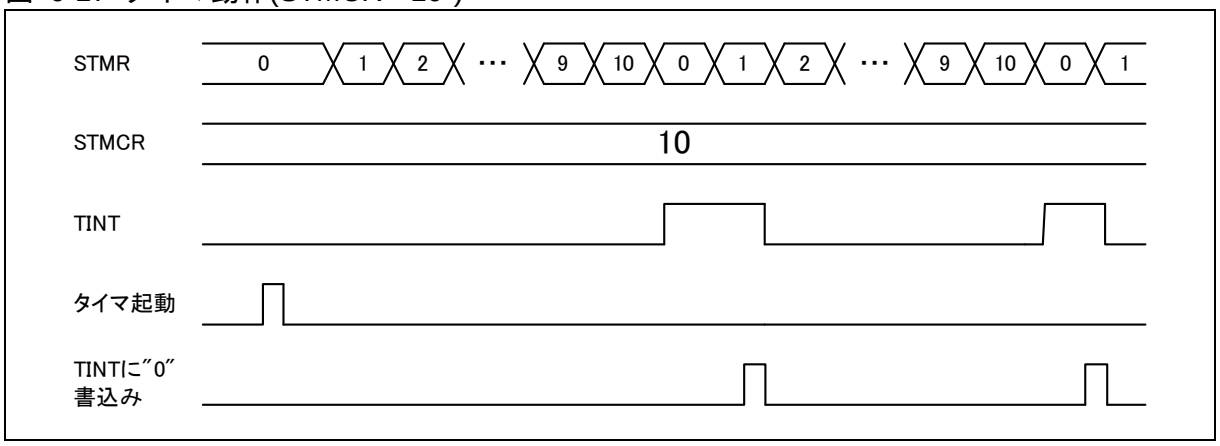
● シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。

● タイマ動作

同期送信許可ビット(SAGSR:TSYNE)が"0"のときに、シリアルタイマはタイマとして動作します。
シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 6-17 タイマ動作(STMCR="10")



＜注意事項＞

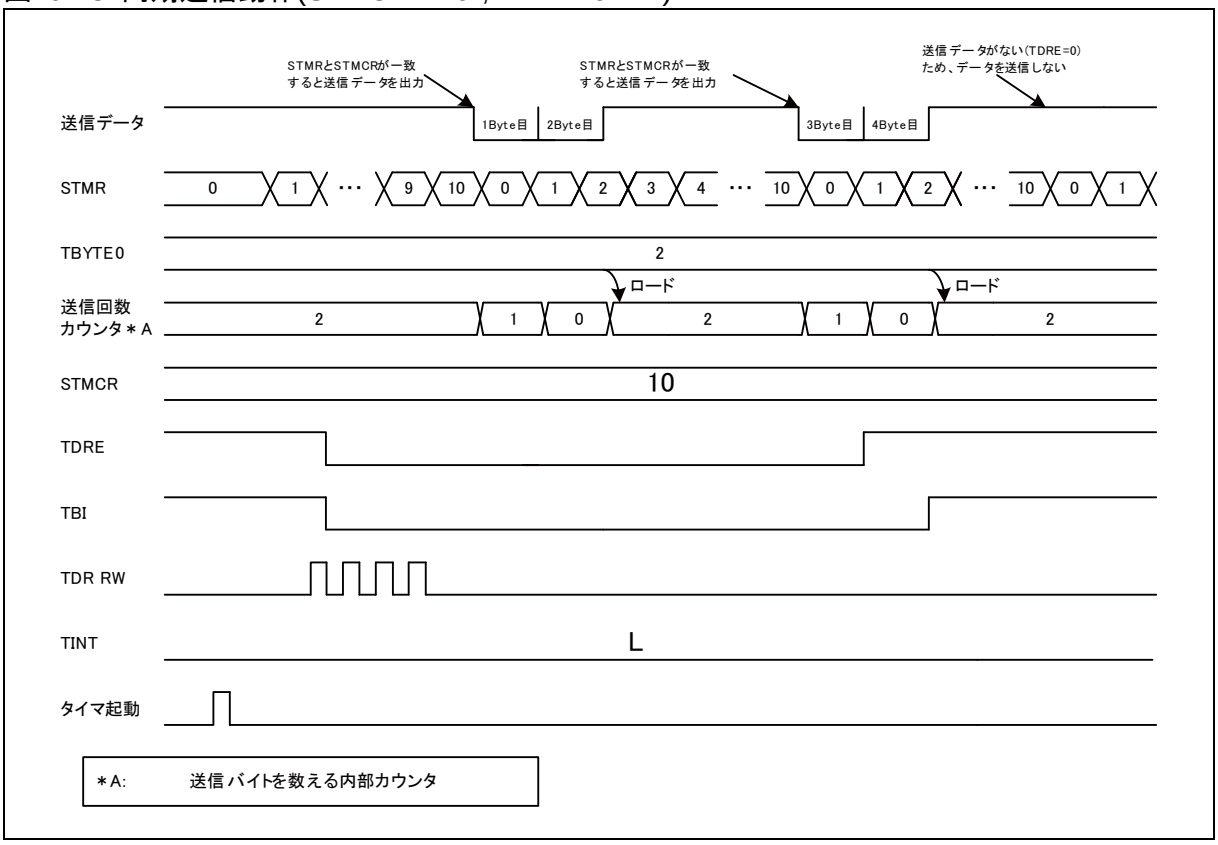
同期送信禁止(SACSR:TSYNE="0")でタイマ比較レジスタ(STMCR)に (0000) H を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000"b に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

● 同期送信動作

同期送信許可ビット(SAGSR:TSYNE)が"1"のときに、シリアルタイマは同期送信に利用されます。
同期送信は以下のように動作します。

1. 送信データレジスタにデータがある(SSR:TDRE="0")場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、送信動作が開始し、シリアルタイマレジスタ(STMR)は"0"にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了すると、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

図 6-18 同期送信動作(STMCR="10", TBYTE0="2")



同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致して時に下記の条件の場合，送信は起動されません。

・送信禁止(SCR:TXE="0")時
・スレーブモード(SCR:MS="1")時
・チップセレクトエラー(SACSR:CSE="1")発生時
・送信データレジスタに有効なデータがない(SSR:TDRE="1")場合

ただし､送信データレジスタに有効なデータがない(SSR:TDRE=1)場合に同期送信許可(SACSR: TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。
TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE="0")場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。
ただし、同期送信許可(SACSR:TSYNE="1")で下記の条件のときにシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

・送信動作中(SSR : TBI="0")の場合

同期受信動作を行う場合、シリアルデータ出力禁止(SMR:SOE="0"), 送信動作許可(SCR:TXE="1"), 受信動作許可(SCR:RXE="1")にし、受信回数分だけ TDR にダミーデータを書き込んでください。

＜注意事項＞

- TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE="1")場合、以下の動作を行います。
  - 転送バイトエラー許可(TBEEN="1")の場合、チップセレクトエラー(SACSR:CSE="1")が発生します。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
  - 転送バイトエラー禁止(TBEEN="0")の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

6.2.6. シリアルチップセレクトの動作

シリアルチップセレクトの動作について示します。

シリアルチップセレクト動作について示します。

● マスタモードの動作(SCR:MS="0")

マスタモード(SCR:MS=0) 時、シリアルチップセレクト端子は以下のように動作します。

①シリアルチップセレクト動作許可(SCSCR:CSENn="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。

②シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。

③ TBYTE で設定した回数のデータ送受信動作後、送受信動作を終了します。

④送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子はインアクティブになります。

図 6-19 シリアルチップセレクト動作(マスタ送信(MS="0"), 通常転送(SPI="0"), SCINV="0")

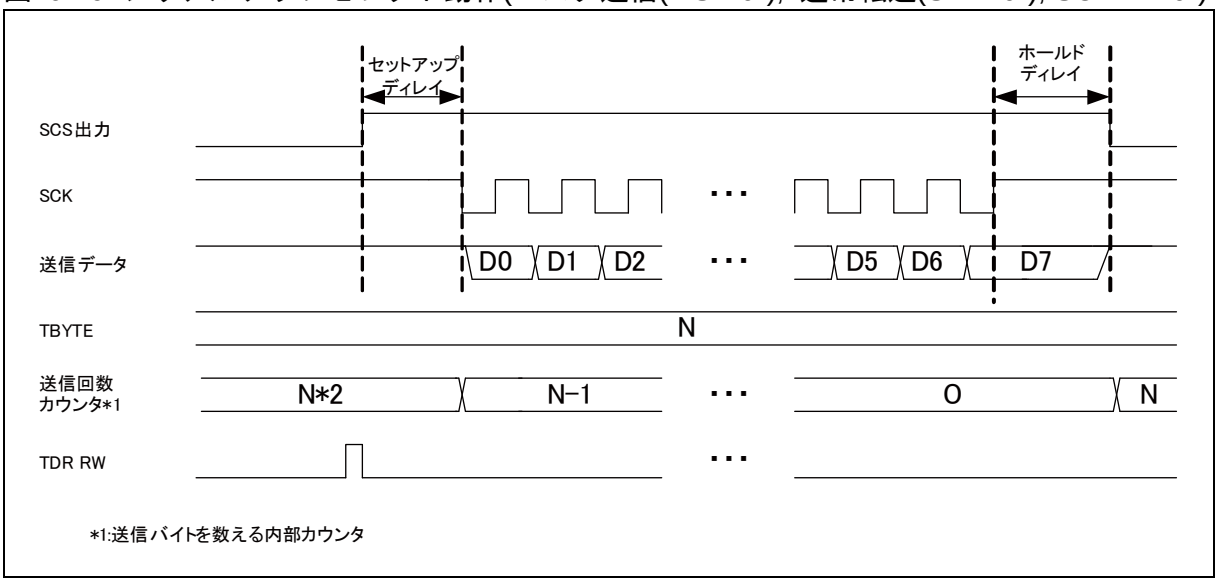
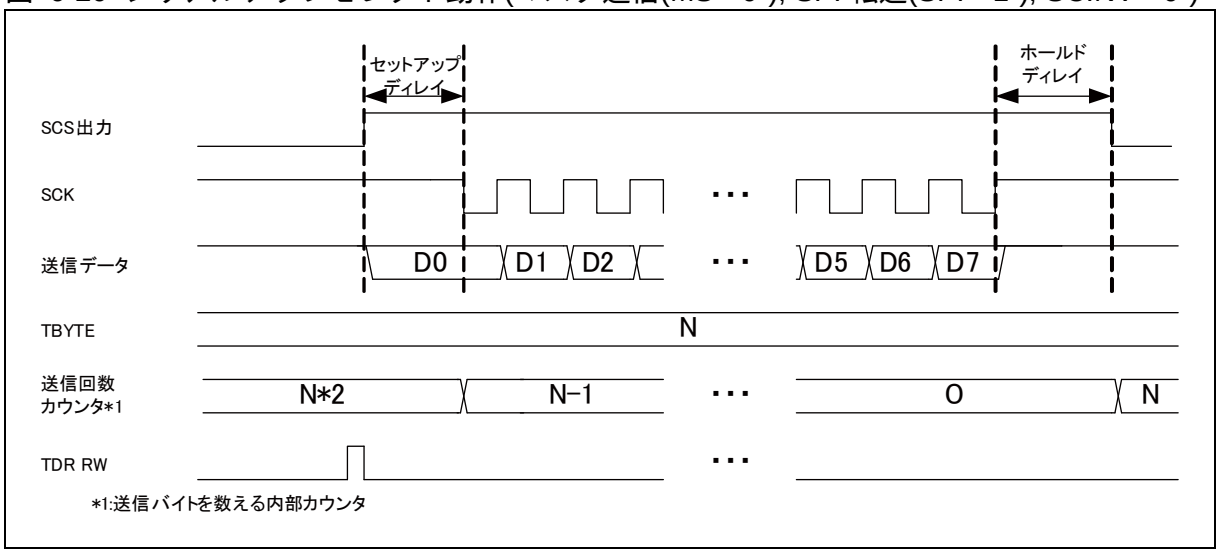


図 6-20 シリアルチップセレクト動作(マスタ送信(MS="0"), SPI 転送(SPI="1"), SCINV="0")



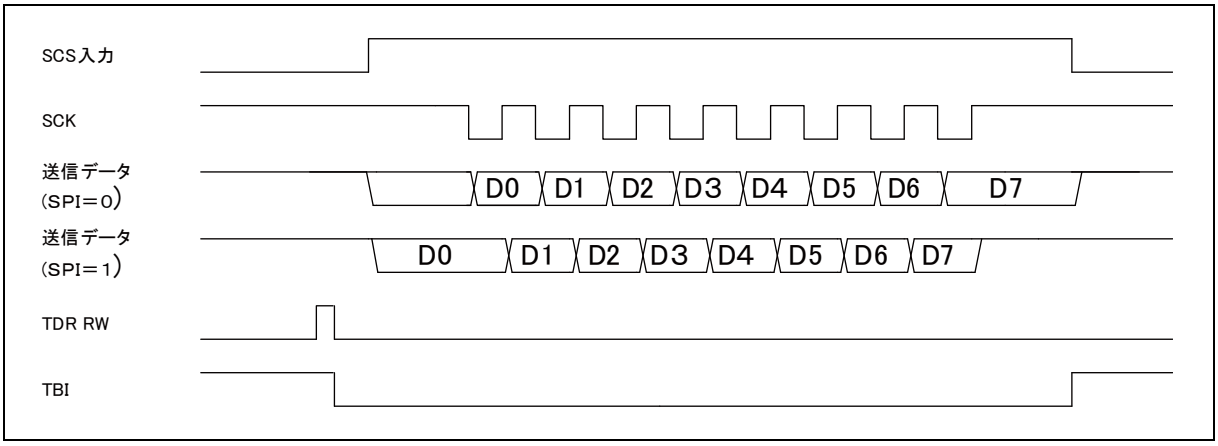
＜注意事項＞

- シリアルチップセレクト端子がアクティブ時に送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL=1)にした場合、シリアルチップセレクト端子はインアクティブになります。
- シリアルチップセレクト端子のホールドディレイ時間に送信データを書き込んだ場合，シリアルチップセレクト端子はインアクティブにならず、次の送信データを送信します。
- シリアルチップセレクト端子のアクティブ状態を保持していない(SCSCR:SCAM=0)場合、シリアルチップセレクト端子がインアクティブになると送信バスアイドル(SSR:TBI=1)になります。
- マスタモード時(SCR:MS=0)時、SCSCR:CSEN3-0 を"0000b"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
- TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。
  - ・転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラー(SACSR:CSE=1)が発生してからホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
  - ・転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。このとき、シリアルチップセレクト端子はアクティブです。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

● スレーブモードの動作(SCR:MS="1")

シリアルチップセレクト端子 0(SCS0)が許可(SCSCR:CSEN0="1")でシリアルチップセレクト端子入力がアクティブになると、シリアルクロック(SCK)に同期して、送信動作または受信動作を行います。その後、シリアルチップセレクト端子入力がインアクティブになると、送信動作または受信動作を終了します。

図 6-21 スレーブモード時のシリアルチップセレクト動作(スレーブ送信, SCINV="0")



＜注意事項＞

- シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。
- 受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力がインアクティブになると、受信中のデータは消去されます。
- 送信動作中にシリアルチップセレクト入力がインアクティブになると、送信中のデータは消去され、チップセレクトエラーが発生(SACSR:CSE)します。
- シリアルチップセレクト端子入力がインアクティブになると送信バスアイドル(SSR: TBI=1)になります。
- スレーブモード(SCR:MS=1)時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。

● シリアルチップセレクトのタイミング調整

マスタモード(SCR:MS=0)でシリアルチップセレクト動作許可(SCSCR:CSENn="1")の場合、シリアルチップセレクトタイミングレジスタ(SCSTR3-0)を調整することでセットアップディレイ，ホールドディレイおよびディセレクト時間を調節することができます。

・セットアップディレイ時間
シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間です。
セットアップディレイ時間の規定は図 6-22 と図 6-23 を参照してください。
チップセレクトセットアップディレイビット(SCSTR0:CSSU7-0)で調整できます。

・ホールドディレイ時間
シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでの時間です。ホールドディレイ時間の規定は図 6-22 と図 6-23 を参照してください。
チップセレクトホールドディレイビット(SCSTR1:CSHD7-0)で調整できます。

・ディセレクト時間
シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ(TDR)に書き込んでも、ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は図 6-22 と図 6-23 を参照してください。

図 6-22 タイミング調整(通常転送(SPI="0"), SCINV="0")

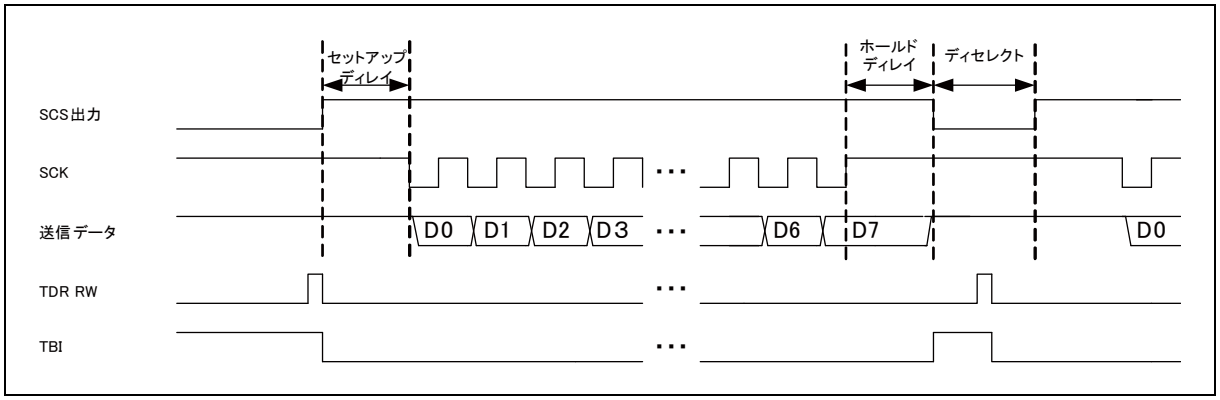
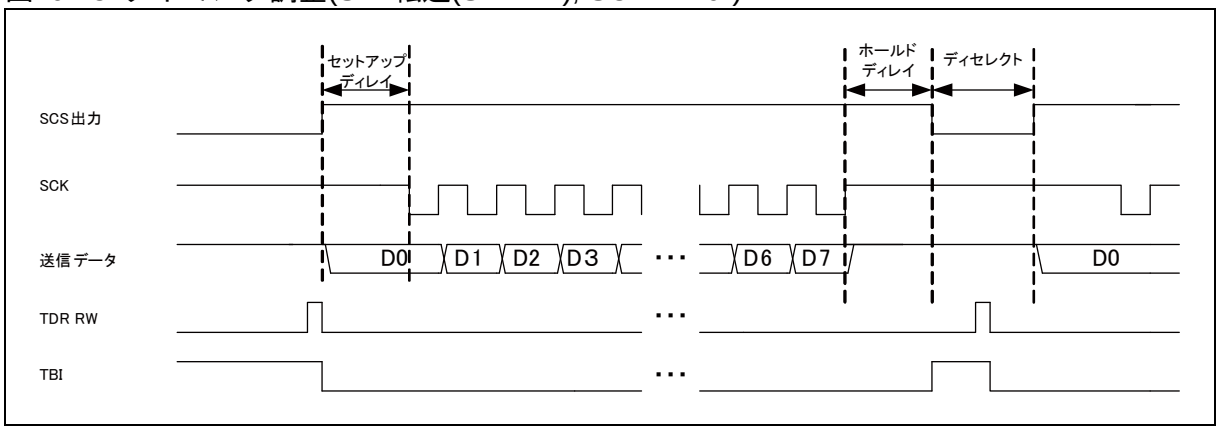


図 6-23 タイミング調整(SPI 転送(SPI="1"), SCINV="0")



＜注意事項＞

通常転送(SPI=0)でホールドディレイ時間なし(SCSTR1:CSHD7-0="00"$_H$)のとき、最終ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR1:CSHD7-0の値を増やすことで、調節してください。

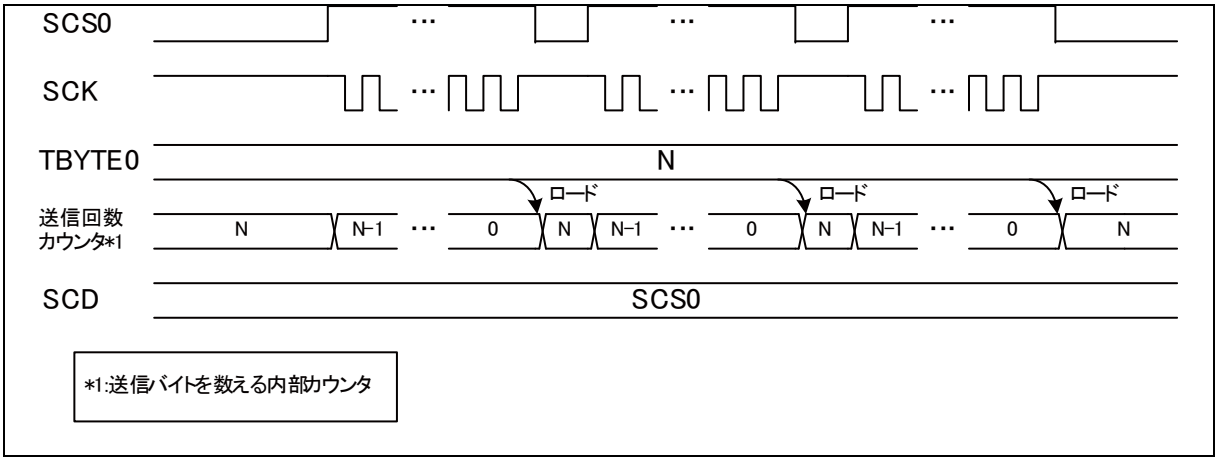
● チップセレクト端子の単独動作(マスタモード(SCR:MS="0")時のみ有効)

シリアルチップセレクト開始ビット(SCSCR:SST1-0)とシリアルチップセレクト終了ビット(SCSCR:SED1-0)が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。

シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE で設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=0)の場合の動作は「シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。

図 6-24 チップセレクトの単独動作(SST1-0="0", SED1-0="0", CSEN0="1", SCAM="0")



＜注意事項＞

単独動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間，ホールド時間，ディセレクト時間)は有効です。

● チップセレクト端子のラウンド動作(マスタモード(SCR:MS=0) 時のみ有効)

①シリアルチップセレクト出力許可(SCSCR:CSOE="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。

②シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後，前にアクティブになったシリアルチップセレクト端子番号に＋1 したシリアルチップセレクト端子がアクティブになります。

ただし、次にアクティブになるシリアルチップセレクト端子が禁止(SCSCR:CSENn=0)されていた場合、そのシリアルチップセレクト端子のアクティブにならず、スキップされます。

③アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット(SCSCR:SED1-0)で指定したシリアルチップセレクト端子が一致している場合、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子になります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=0)の場合の動作は「シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。
図 6-25はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3 (SED1-0=3)の場合のタイミングチャートです。

図 6-25 チップセレクトのラウンド動作
(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0)

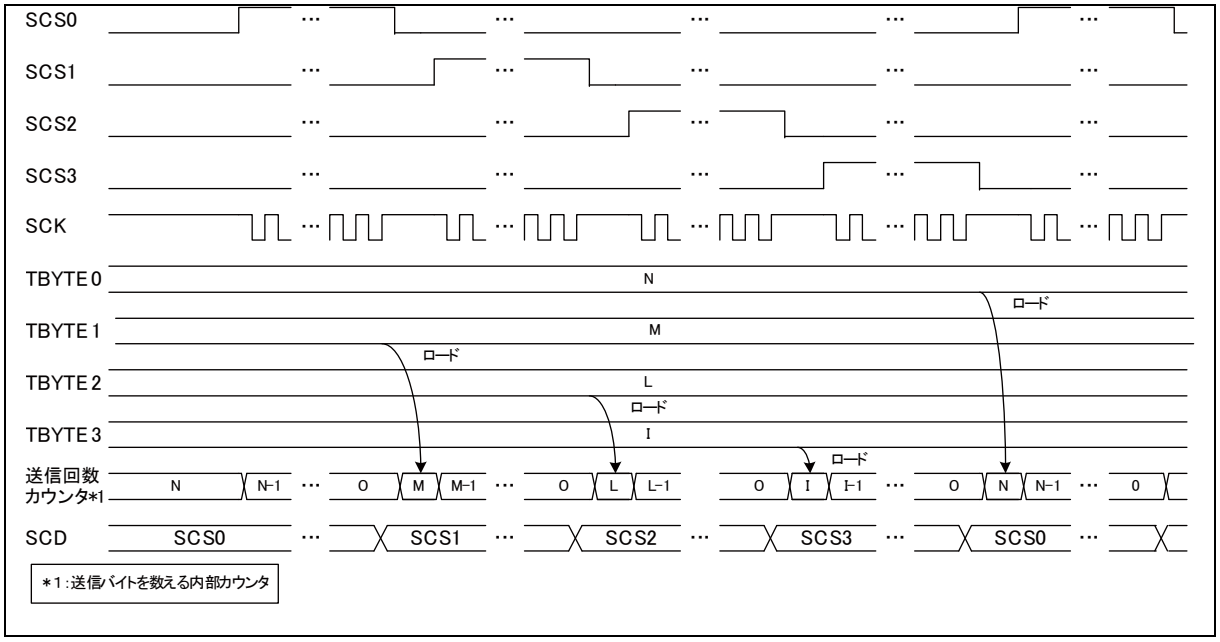


図 6-26 はシリアルチップセレクト端子の開始端子が SCS1(SST1-0=1) で終了端子が SCS2(SED1-0=2)の場合のタイミングチャートです。

図 6-26 チップセレクトのラウンド動作
(SST1-0=1, SED1-0=2 CSEN3=0, CSEN2=1, CSEN1=1, CSEN0=0, SCAM=0)

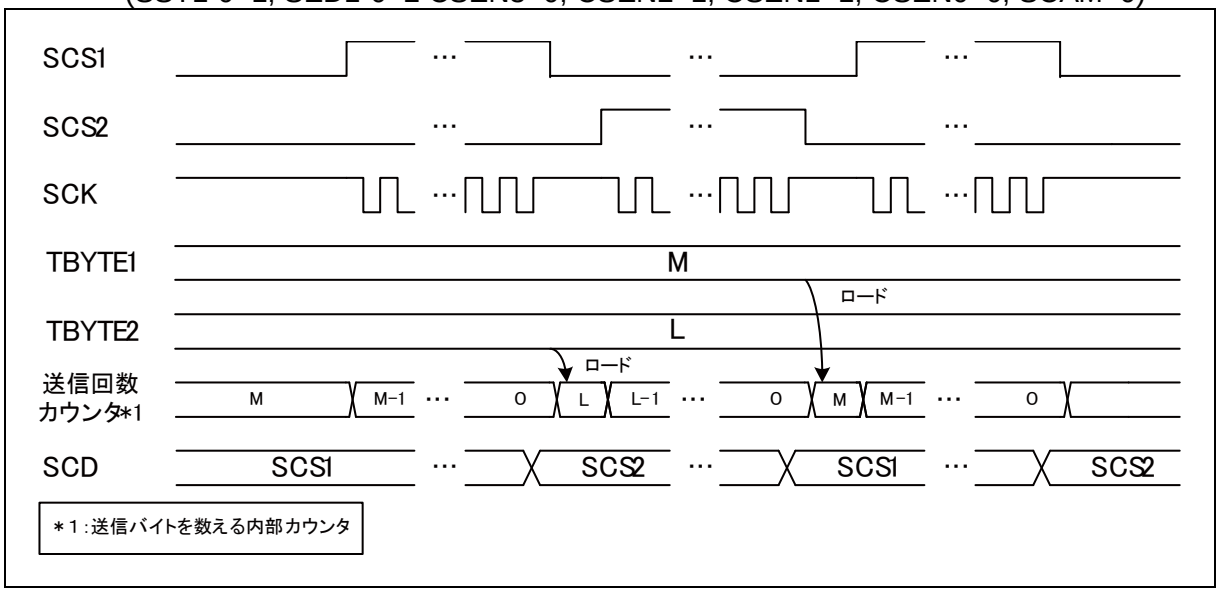
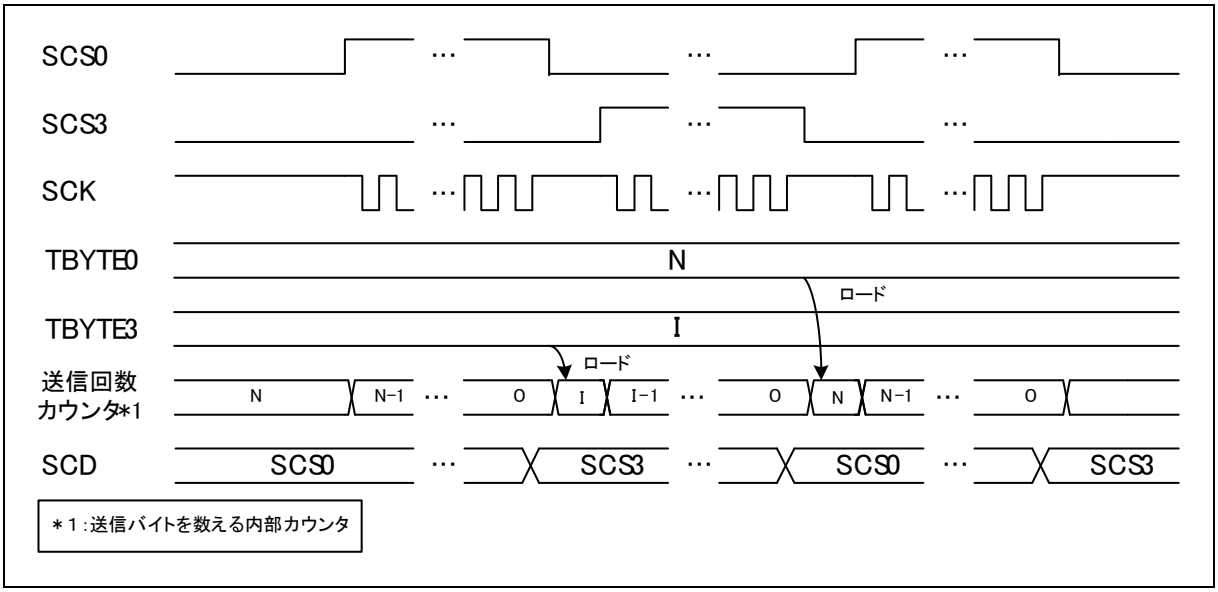


図 6-27 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3 (SED1-0=3)で、チップセレクト端子 1 および 2 が禁止(CSEN1-2="00"b)の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 および 2 を飛ばして、端子 3 がアクティブになります。

図 6-27 チップセレクトのラウンド動作
(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=1, SCAM=0)



＜注意事項＞

- 送信動作禁止(SCR:TXE=0)から送信動作許可(SCR:TXE=1)に変更した場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。
- シリアルチップセレクトアクティブレベル保持(SCSCR:SCAM=1)中の場合は、送信バスアイドル(SCR:TBI=1)に送信データを書き込んでも次のシリアルチップ端子には遷移されません。
- ラウンド動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間,ホールド時間, ディセレクト時間)は有効です。
- ソフトウェアリセット(SCR:UPCL=1)後、シリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。

● シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード (SCR:MS=0) 時のみ有効)

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)を"1"に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。
TBYTEの設定数の送信回数ごとにシリアルチップセレクトアクティブ保持ビットの値を確認します。TBYTEの設定数の回数の送受信終了後、下記のように動作します。

- シリアルチップセレクトアクティブ保持ビットが"0"であれば、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブにします。
- シリアルチップセレクトアクティブ保持ビットが"1"でシリアルタイマ同期送信使用時の場合、シリアルチップセレクト端子をアクティブ状態に保持します。その後、シリアルタイマ値(STMR)とシリアルタイマ比較値(STMCR)が一致すると、再度送信動作が再開されます。送信動作再開後、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

送信動作再開後、TBYTEの設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

- シリアルチップセレクトアクティブ保持ビットが"1"でシリアルタイマ同期送信の場合、シリアルチップセレクト端子をアクティブ状態に保持します。そのとき、送信データレジスタ(TDR)に送信データが存在(SSR:TDRE=0)する場合、送信動作は継続され、次に TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持されます。

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)に"0"を書き込んだ場合、以下のように動作します。

- TBYTE に設定した回数のデータ送受信を終了してホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)利用時にシリアルチップセレクト端子のインアクティブになる条件は下記です。

- TBYTE の数の送信後に、SCSCR:SCAM=0 の場合
- チップセレクトエラー発生時(SACSR:CSE=1)
- 送信禁止(SCR:TXE=0)にした場合
- ソフトウェアリセットを行った(SCR:UPCL=1)場合

＜注意事項＞

転送バイトエラー許可(SACSR:TBEEN=1)時に TBYTE に設定した回数のデータ送受信を終了していな場合に送信データレジスタ(TDR)が空(SSR:TDRE=1)の場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになりチップセレクトエラー(SACSR:CSE=1)を発生します。

● シリアルチップセレクト端子のフォーマット設定

各シリアルチップセレクト端子のチップセレクトのアクティブレベル，シリアルクロックのマークレベル, SPI モードの許可・禁止，シリアルデータ出力のデータ方向およびデータ長は表 6-2 に示すビットで設定できます。

表 6-2 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトのアクティブレベル	シリアルクロックの反転	SPI 設定	データ方向	データ長
チップセレクトフォーマット許可(SCR:CSFE="1")でマスタモード(SCR:MS="0")	シリアルチップセレクト端子 0 出力	SCSCR0: CSLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	シリアルチップセレクト端子 1 出力	SCSFR0: CS1CSLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
	シリアルチップセレクト端子 2 出力	SCSFR1: CS2CSLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3-0
	シリアルチップセレクト端子 3 出力	SCSFR2: CS3CSLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3-0
チップセレクトフォーマット禁止(SCR:CSFE="0")		SCSCR0: SCLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
スレーブモード(MS="1")						
チップセレクト未使用時(CSEN3-0="0000"$_B$)						

6.2.7. テストモード

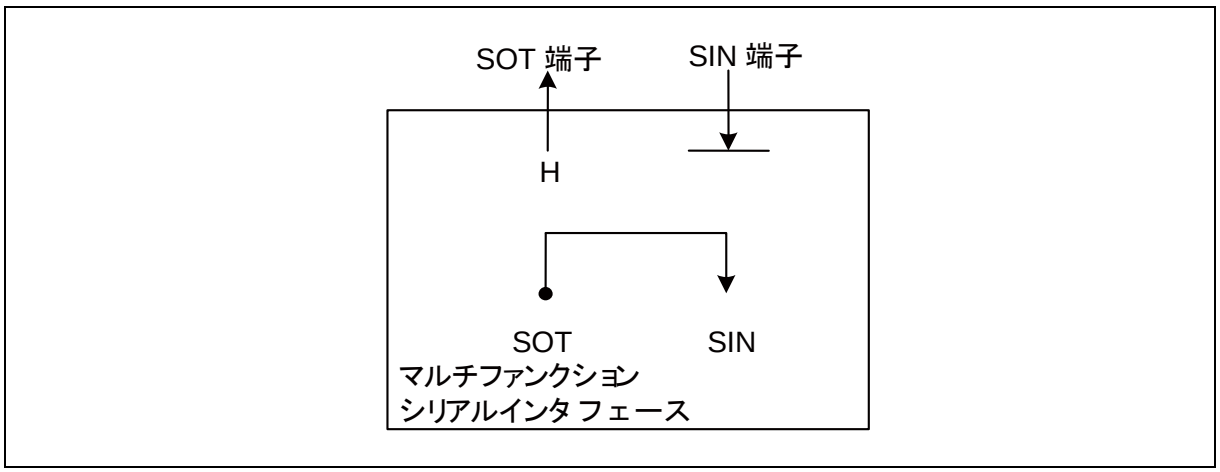
テストモードについて示します。

テストモードの動作について説明します。

- **シリアルテストモード**

  シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部でSOTと SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。
  シリアルテストモード許可時(SACSR:STST="1")、端子 SOT は"H" 固定となり、端子 SIN に入力されたデータは無視されます。

図 6-28 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

6.2.8. ボーレートの生成

ボーレートの生成について示します。

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1] マスタ動作時

- 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。
- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

[2] スレーブ動作時

- スレーブ動作時(SCR:MS="1")は、専用ボーレートジェネレータは機能しません。(クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

＜注意事項＞

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ ボーレートの計算

2つの15ビットリロードカウンタは，ボーレートジェネレータレジスタ(BGR)で設定します。ボーレートの計算式を以下に示します。

(1) リロード値

$\vee = \phi : b - 1$

$\vee$: リロード値　ϕ : バスクロック周波数　b : ボーレート

(2) 計算例

バスクロック 16MHz，内部クロック使用，ボーレート 19200bps に設定する場合のリロード値は次のようになります。

リロード値:

$\vee = (16 \times 1{,}000{,}000) / 19200 - 1 = 832$

よって，ボーレートは

$B = (16 \times 1{,}000{,}000) / (832+1) = 19208$ bps

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

誤差(%) = (計算値 − 目標値) / 目標値 × 100

(例) バスクロック20MHz, 目標ボーレート153600 bpsに設定する場合

リロード値= (20 × 1,000,000) / 153600 − 1 = 129

ボーレート(計算値) = (20 × 1,000,000) / (129+1) = 153846 bps

誤差(%) = (153846 − 153600) / 153600 × 100 = 0.16(%)

＜注意事項＞

- リロード値を"0"に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SCINV ビットの設定によって以下のようになります。奇数の場合, シリアルクロックの"H"幅と"L"幅は同じになります。
  SMR:SCINV="0"のときシリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
  SMR:SCINV="1"のときシリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。

■ 各バスクロック周波数に対するリロード値とボーレート

表 6-3 各バスクロック周波数に対するリロード値とボーレート

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	87	0.22	138	0.08	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	<0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

・Value : BGR レジスタの設定値
・ERR : ボーレート誤差(%)

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信/ 受信リロードカウンタ共通

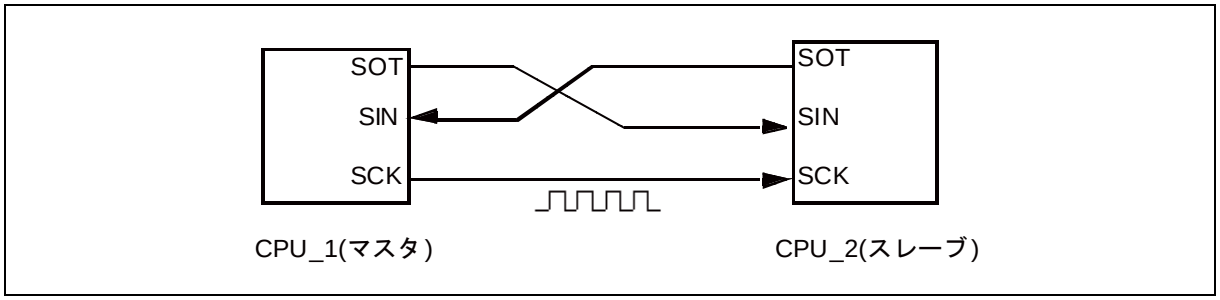
・プログラマブルリセット(SCR:UPCL ビット)

6.3. 設定手順とプログラムフロー

設定手順とプログラムフローについて示します。

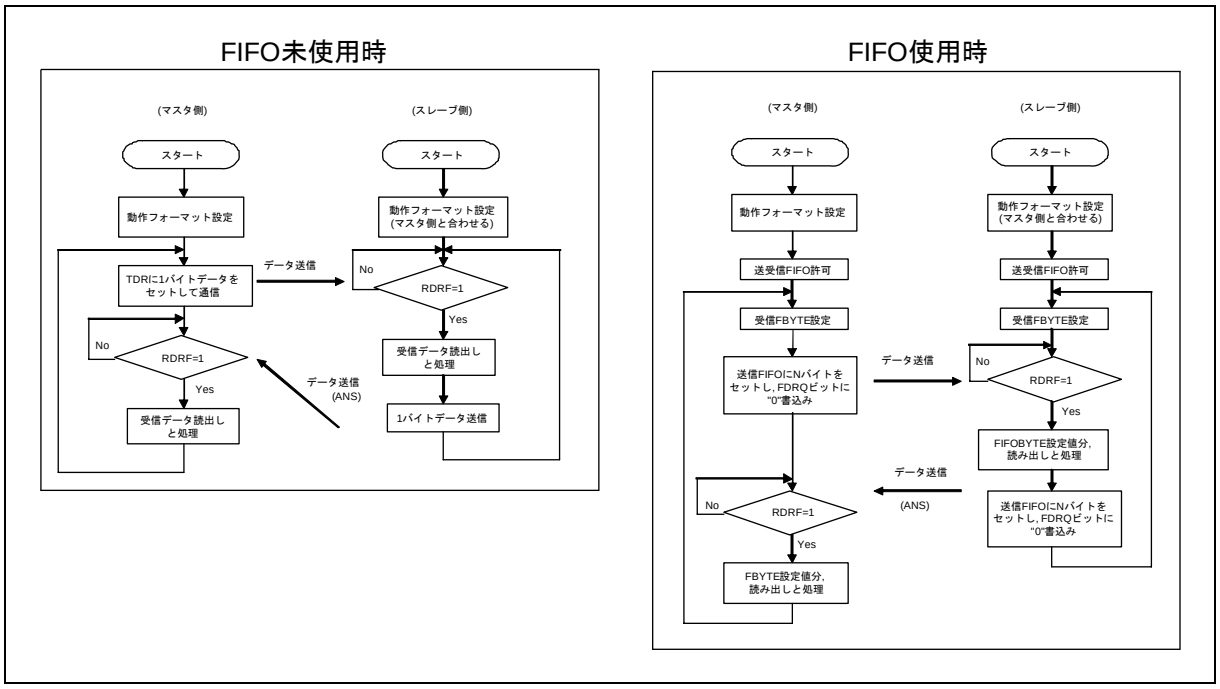
■ CPU 間接続

図 6-29 CSIO チップ間接続例



■ フローチャート

図 6-30 フローチャート例



7. LIN インタフェース(v2.1)の動作説明

LIN インタフェース(v2.1)の動作について説明します。

LIN 通信機能には、LIN ヘッダ部を割込み機能を用いて送信/受信するマニュアルモードと、LIN ヘッダ部を自動で送信/受信するアシストモードの 2 つのモードがあります。アシストモードは、LIN プロトコル Revision1.X と LIN プロトコル Revision2.X のマスタノードと LIN プロトコル Revision1.X のスレーブノードに対応しています。LIN プロトコル Revision2.X のスレーブノードに対応する場合は、マニュアルモードを使用してください。

7.1. LIN インタフェース(v2.1)マニュアルモードの割込み

7.2. LIN インタフェース(v2.1)アシストモードの割込み

7.3. シリアルタイマの動作

7.4. テストモード

7.5. LIN インタフェース(v2.1)の動作

7.6. 設定手順とプログラムフロー

7.1. LIN インタフェース(v2.1)マニュアルモードの割込み

LIN インタフェース(v2.1)マニュアルモードの割込みについて示します。

LIN インタフェース(v2.1)には、受信割込みと送信割込みがあります。マニュアルモードでは、次に示す要因で割込み要求を発生させることができます。

・受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求。
・LIN Break Field 検出

7.1.1. LINインタフェース(v2.1)の割込み一覧(マニュアルモード)

LIN インタフェース(v2.1)の割込み一覧(マニュアルモード)について示します。

マニュアルモードにおける LIN の割込み制御ビットと割込み要因は表 7-1 のようになっています。

表 7-1 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因(マニュアルモード)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み, LIN break field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFOに有効なデータが存在している時に送信 FIFO動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO送信データ要求ビット(FCR1:FDRQ)への"0"書込み，または送信 FIFO がフル
ステータス	LBD	SSR	LIN break field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
	SFD	SACSR	Sync Field 検出	SACSR: SFDE	シンクフィールド検出フラグ(SACSR:SFD)への"0"書込み
	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR: TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
インプットキャプチャ	ICP	ICS	LIN Sync Field の 1 回目の立下りエッジ	ICS : ICE0	ICP をディセーブル
	ICP	ICS	LIN Sync Field の 5 回目の立下りエッジ		

*1 : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

7.1.2. 受信割込み発生とフラグセットのタイミング

受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては､受信完了(SSR:RDRF), 受信エラーの発生(SSR:ORE, FRE)およびLIN break Field 検出があります。

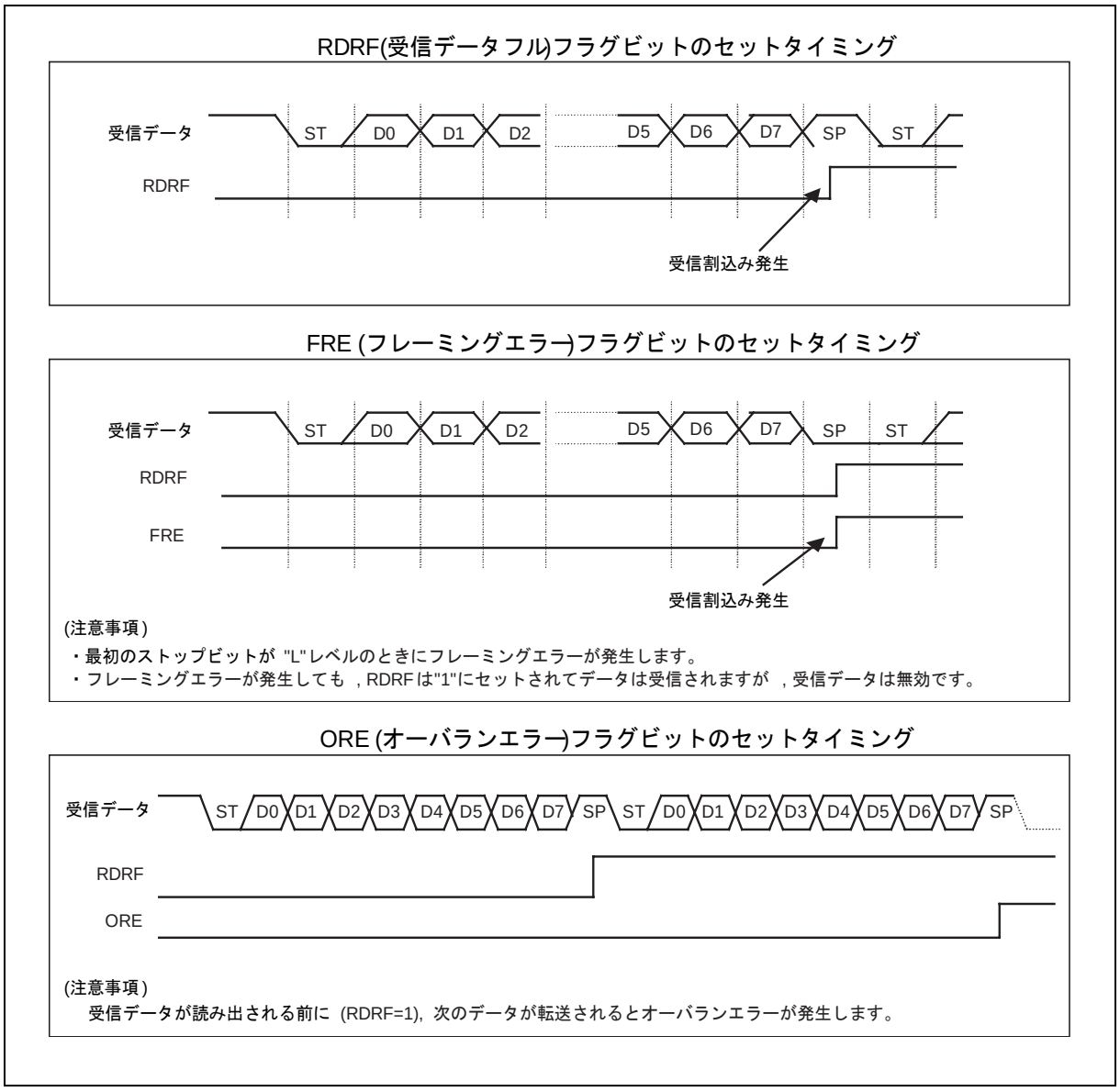
■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF="1")または受信エラーが発生(SSR:ORE, FRE="1")すると各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE="1")されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります。

図 7-1 各フラグビットのセットのタイミング



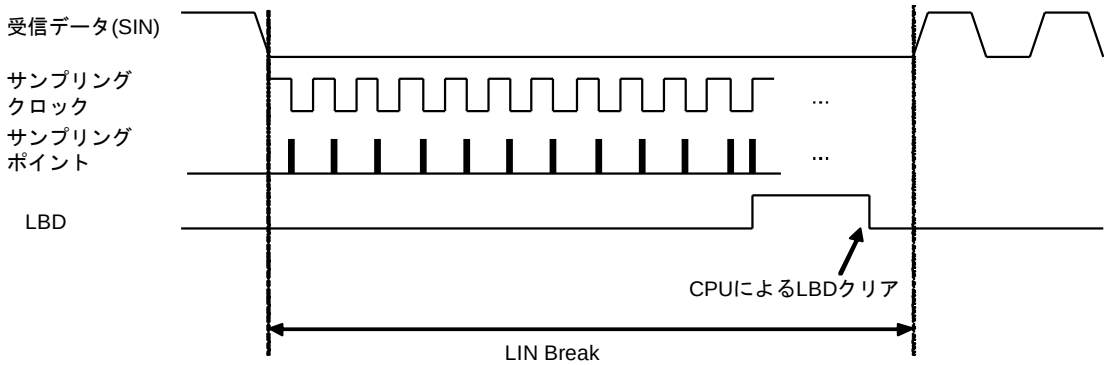
＜注意事項＞

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。

■ LIN break Field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"にセットされます。このとき、LIN break Field 割込みが許可(ESCR:LBIE=1)されていると受信割込みを発生します。

図 7-2 LIN Break Field フラグ(LBD)のセットタイミング



受信データをサンプリングクロックの立下りで11ビット"L"を検出後, サンプリングクロックの立上がりでLIN Break を検出する。LIN Break 検出時にLBD は"1"にセットされる。

7.1.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

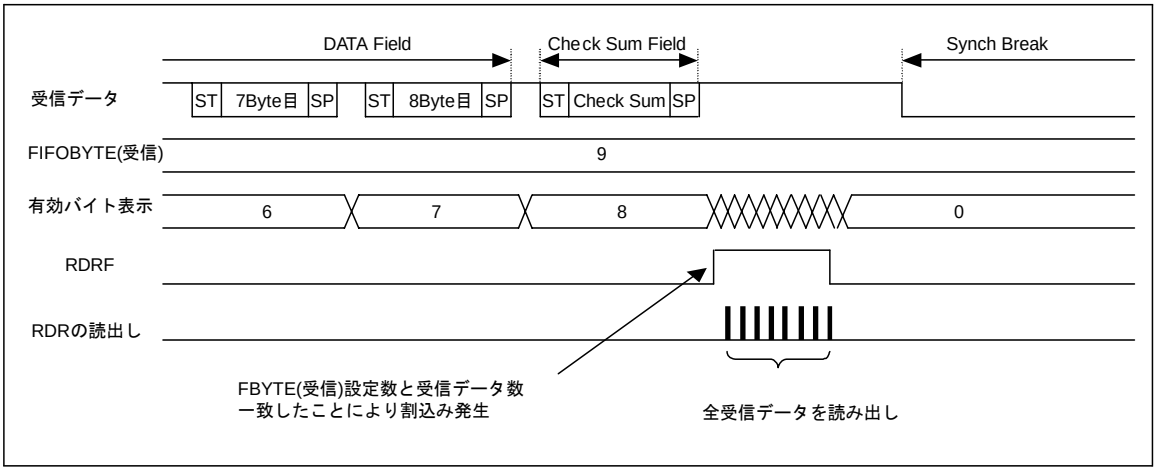
- FBYTE レジスタの転送数設定分のデータを受信するとシリアル状態レジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

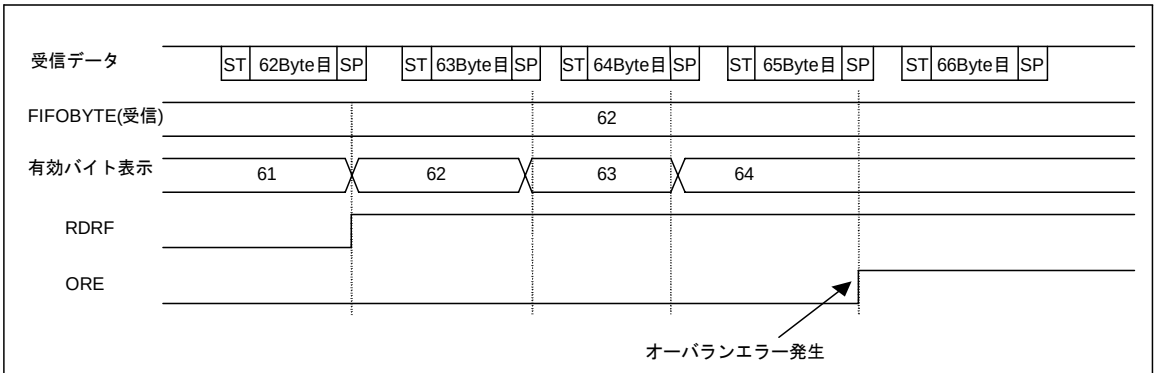
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信するとオーバランエラー(SSR:ORE="1")が発生します。

図 7-3 割込み発生タイミング

受信 FIFO 使用時の受信割込み発生タイミング



ORE (オーバランエラー)フラグビットのセットタイミング



*1) FBYTE表示が, FIFO容量を示した状態で, 次のデータを受信すると, オーバランエラーが発生
図は, 64ByteのFIFO容量を使用した場合を示しています。

7.1.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない時(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

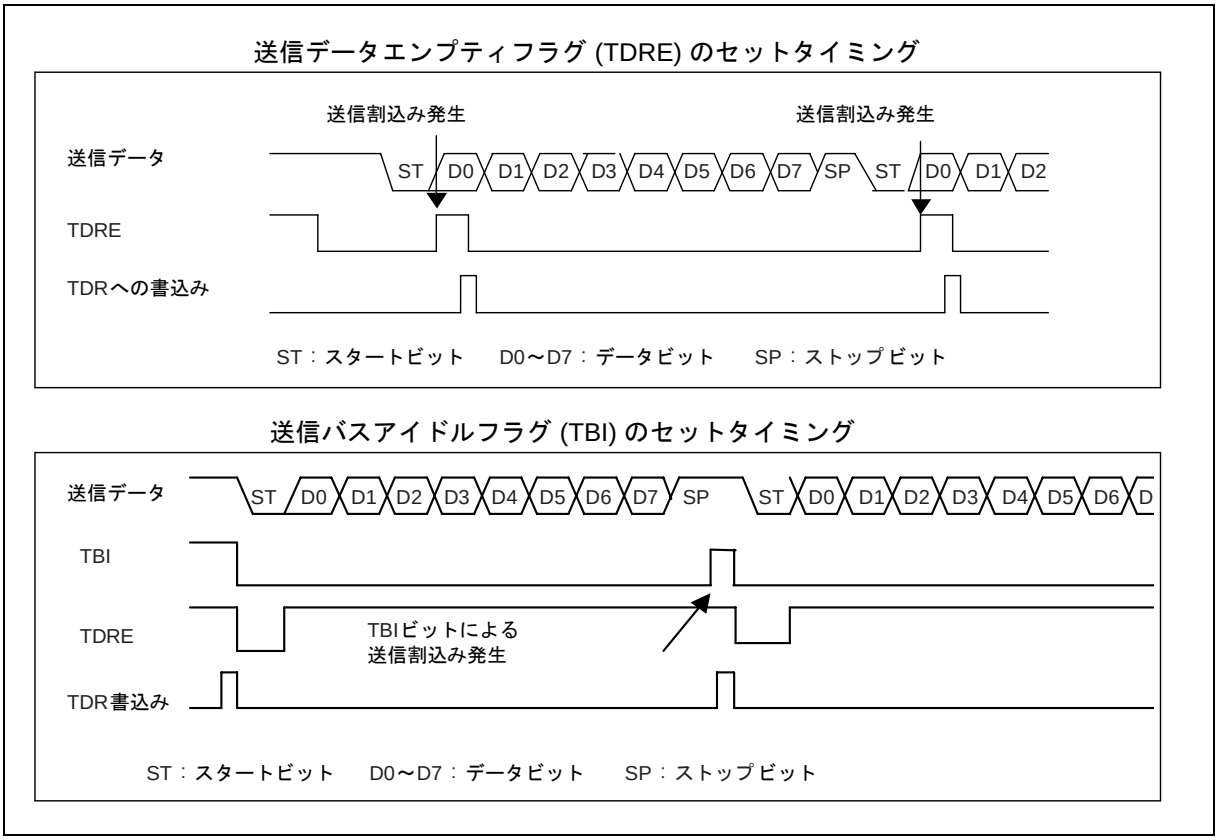
● 送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE="1")になります。そのとき、送信割込みが許可(SCR:TIE="1")されていると、送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ(TDR)へのデータ書込みにより"0"にクリアされます。

● 送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(TDRE="1")で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE="1")されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 7-4 TDRE, TBI のセットタイミング



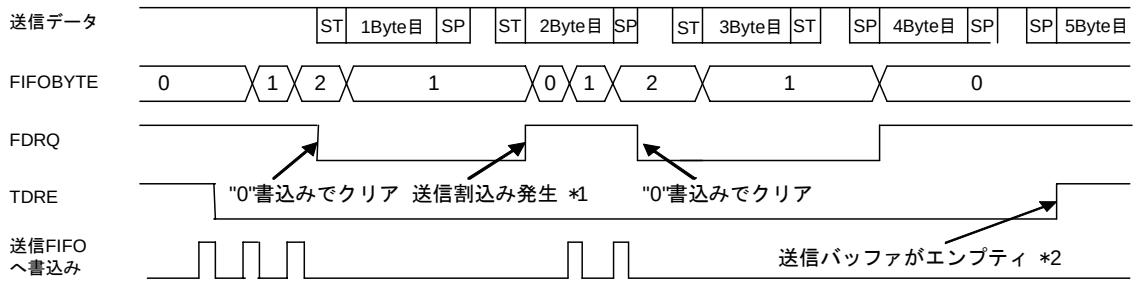
7.1.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE="1")されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"になります。
- 送信 FIFO のデータの存在の確認は, FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことでも確認可能です。
  FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 7-5 送信 FIFO 使用時の送信割込み発生タイミング



*1) 送信FIFOがエンプティのため, FDRQ=1にセットされる。
*2) 送信FIFOと送信データレジスタにデータが存在していないため, TDRE=1にセットされる。

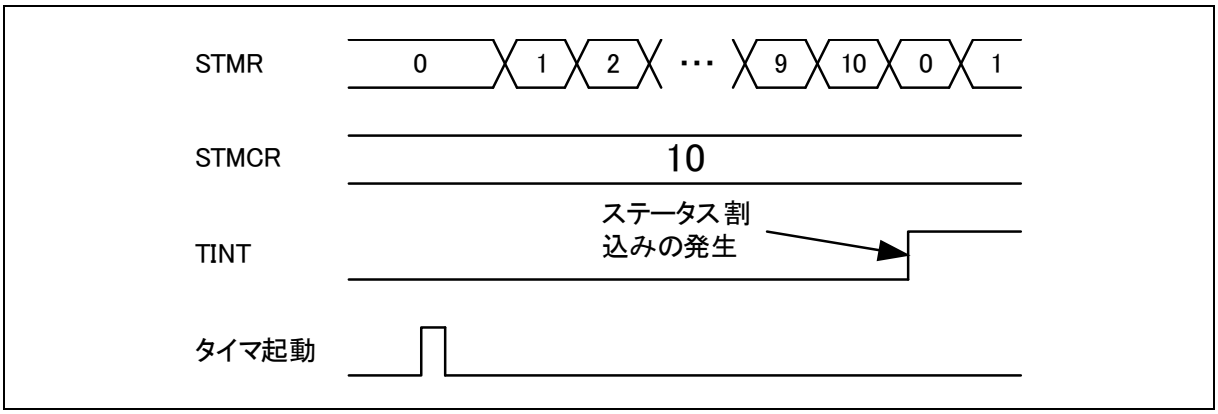
7.1.6. タイマ割込みとフラグセットのタイミング

タイマ割込みとフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

・シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
このとき、タイマ割込み許可(SACSR:TINTE="1")されていると状態割込みが発生します。

図 7-6 タイマ割込み発生タイミング



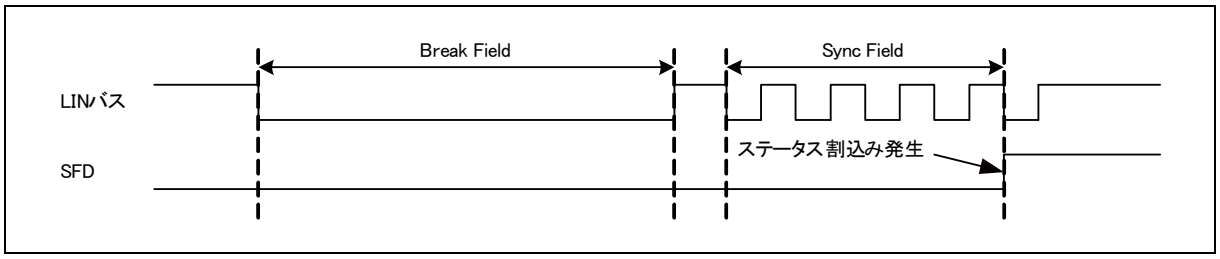
7.1.7. シンクフィールド検出割込み発生とフラグセットのタイミング

シンクフィールド検出割込み発生とフラグセットのタイミングについて示します。

シンクフィールド検出割込みは、Sync Field の検出を完了すると発生します。

・自動ボーレート調整許可(SACSR:AUTE="1")で Sync Field で LIN バスの 5 回目の立下りを検出するとシンクフィールド検出フラグ(SACSR:SFD)は"1"に設定されます。
このとき、シンクフィールド割込み許可(SACSR:SFDE="1")されていると状態割込みが発生します。

図 7-7 シンクフィールド検出割込み発生タイミング



7.2. LIN インタフェース(v2.1)アシストモードの割込み

LIN インタフェース(v2.1)アシストモードの割込みについて示します。

LIN インタフェース(v2.1)には、受信割込みと送信割込みおよび状態割込みがあります。アシストモードでは、次に示す要因で割込み要求を発生させることができます。

・受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求。
・LIN Break Field 検出
・LIN Sync Field 検出
・シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMR)が一致
・LIN 自動ヘッダ完了またはチェックサム演算完了を検出

7.2.1. LIN インタフェース(v2.1)の割込み一覧(アシストモード)

LIN インタフェース(v2.1)の割込み一覧(アシストモード)について示します。

アシストモードにおける、LIN の割込み制御ビットと割込み要因は表 7-2 のようになっています。

表 7-2 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因(アシストモード)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
	LBSER	LAMSER	LIN バスエラーの検出	LAMIER:LASERIE	LAMESR:LBSER への"0"書込み
	LPFER	LAMESR	LIN Sync Data エラーの検出	LAMIER:LSFERIE	LAMESR: LSFER への"0"書込み
	LPTER	LAMESR	LIN IDパリティエラーの検出	LAMIER:LPTERIE	LAMESR: LPTER への"0"書込み
	LCSER	LAMESR	LIN チェックサムエラーの検出	LAMIER:LCSERIE	LAMESR:LCSER への"0"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信FIFO動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み, Lin break Field設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信FIFOに有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込み，または送信 FIFO がフル
状態(アシストモード)	LBD	SSR	LIN Break Field 検出	ESCR:LBIE	SSR:LBD ビットへの"0" 書込み
	SFD	SACSR	Sync Field 検出	SACSR:SFDE	シンクフィールド検出フラグ(SACSR:SFD) への"0" 書込み
	TINIT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み
	LAHC	LAMSR	自動ヘッダ完了	LAMIER:LAHCIE	LAMSR:LAHC への"0"書込み
	LCSC	LAMSR	チェックサム演算完了	LAMIER:LCSCIE	LAMSR:CSC への"0"書込み
インプットキャプチャ	ICP	ICS	LIN Sync Field の 1 回目の立下りエッジ	ICS : ICE0	ICP をディセーブル
	ICP	ICS	LIN Sync Field の 5 回目の立下りエッジ		

*1 : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

7.2.2. アシストモードにおける受信割込み発生とフラグセットのタイミング

アシストモードにおける受信割込み発生とフラグセットのタイミングについて示します。

受信時の割込みとしては、受信完了(SSR:RDRF), 受信エラーの発生(SSR:ORE, FRE, LAMESR: LBSER, LSFER, LPTER, LCSER)があります。

■ 受信割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)の場合、以下の各フィールドの最初のストップビットが検出されることにより、受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)、フラグがセットされます。受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。

- スレーブ設定(SCR:MS=1) かつ ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)の場合の ID Field
- レスポンスの Data Field

受信データフルフラグビット(SSR:RDRF) のセットタイミングについては、マニュアルモードの、「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

＜注意事項＞

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効となります
- ID Field の受信に LIN アシストモード受信 ID レジスタを使用(LAMCR:LIDEN=1)している場合、ID Field を受信した場合に受信 ID 値は受信データレジスタ(RDR)に格納されず、受信データフルフラグビット(SSR:RDRF)はセットされません。
- Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
- 送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

■ フレーミングエラー割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)では、Sync Field、ID Field、データ、チェックサムの受信においてストップビットで"L"レベルが検出された場合、フレーミングエラーが検出し、フレーミングエラーがセット(SSR:FRE=1)されます。受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。
また、フレーミングエラーが検出されると、アシストモードによるヘッダおよびレスポンスの送受信処理は停止します。
フレーミングエラーフラグがセットされている(SSR:FRE=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1=0 or FCR0:FE2=0)されます。
フレーミングエラーフラグビット(SSR:FRE)のセットタイミングについては、マニュアルモードにおける「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

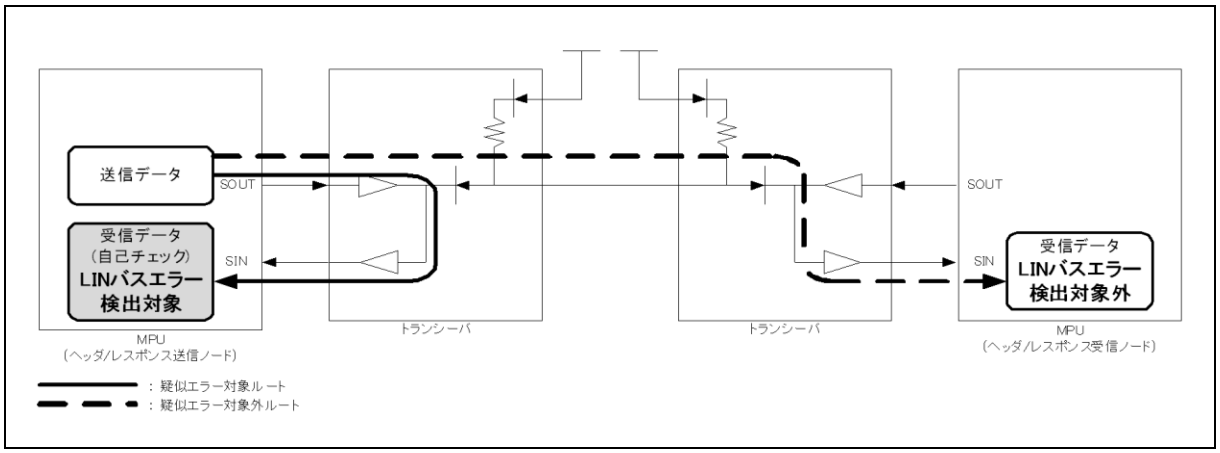
■ オーバランエラー割込み発生とフラグセットのタイミング

受信データが読み出される前に(RDRF=1)、次のデータの受信が検出された場合、オーバランエラーが検出されます。受信が完了したとき(SSR:RDRF=1)、オーバランエラーフラグがセット(SSR:ORE=1)されます。
受信割込みが許可(SSR:RIE=1)されている場合、受信割込みが発生します。
また、オーバランエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の受信処理は停止します。
オーバランエラーフラグがセットされている(SSR:ORE=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1=0 or FCR0:FE2=0)されます。
オーバランエラーフラグビット(SSR:ORE)のセットタイミングについては、マニュアルモードにおける「7.1.2 受信割込み発生とフラグセットのタイミング」と同様です。図 7-1 を参照してください。

■ LIN バスエラー検出割込み発生とフラグセットのタイミング

LIN バスエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、ヘッダ/レスポンスを送信する側の自己チェックにより行います。ヘッダ/レスポンスを受信する側では LIN バスエラー検出は行えません。
LIN バスエラー検出対象を図 7-8 に示します。

図 7-8 LIN バスエラー検出対象



LIN バスエラーの検出範囲は、LIN Break と、Sync Field/ID Field/Data Field/Check Sum Field のスタートビットおよびバイトデータです。ストップビットは LIN バスエラーの検出範囲外です。ストップビットが"L" レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。
また、LIN バスエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の送信処理は停止します。
ID Field 送信完了時に LIN バスエラーが発生した場合でも、LIN 自動ヘッダ完了フラグ(LAMSR: LAHC=1)はセットされます。

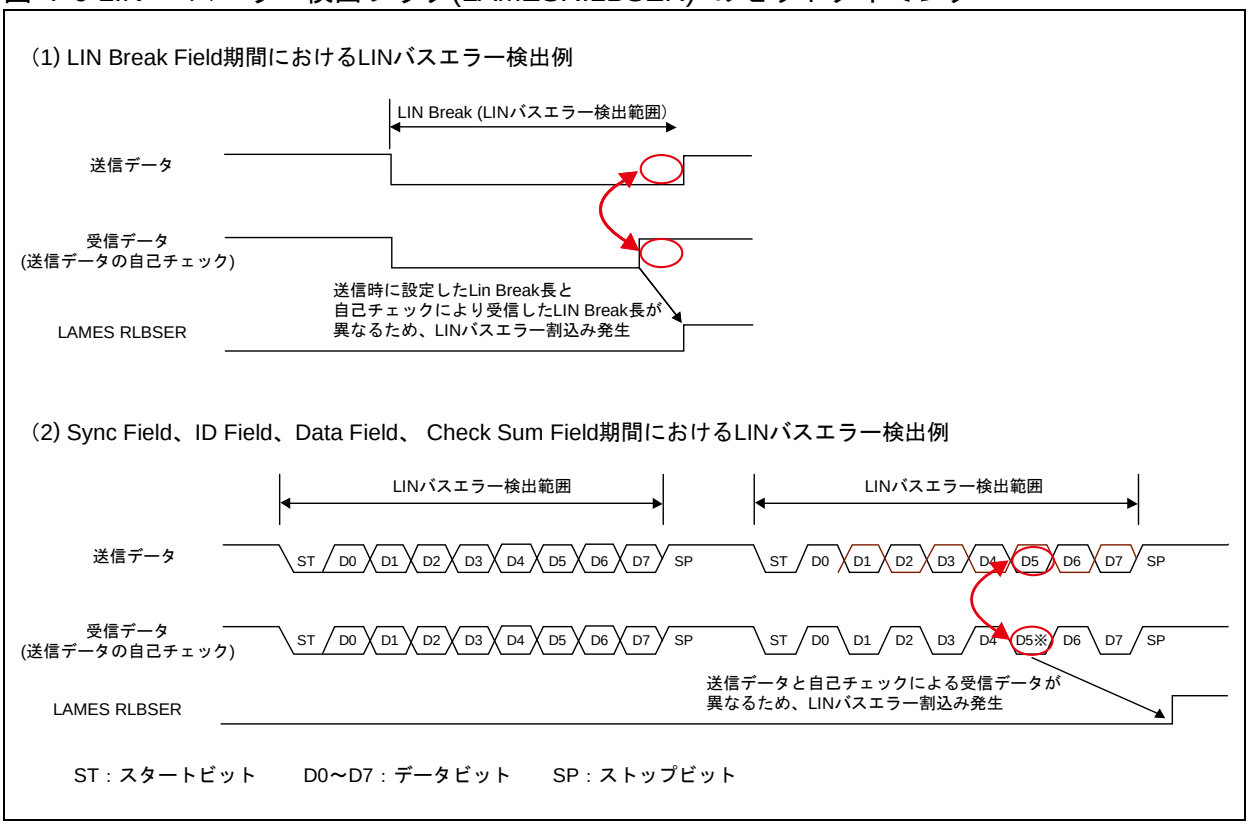
● マスタ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

マスタ側(SCR:MS=0)では、ヘッダ/レスポンス送信時に LIN バスエラー検出を行います。
送信 LIN Break 長と受信 LIN Break 長もしくは送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSER=1)されます。割込みを許可(LAMIER:LBSERIE=1)に設定している場合、受信割込みが発生します。

● スレーブ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

スレーブ側(SCR:MS=1)では、レスポンス送信時に LIN バスエラー検出を行います。
送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSER=1)されます。割込みを許可(LAMIER:LBSERIE=1)に設定している場合、受信割込みが発生します。

図 7-9 LIN バスエラー検出フラグ(LAMESR:LBSER) のセットタイミング



■ LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

LIN Sync Data エラー検出は、アシストモード(LAMCR:LAMEN=1)に設定したスレーブノード(SCR:MS=1)で自動ボーレート調整禁止(SACSR:AUTE=0)時に行います。

LIN Sync Data エラーの検出範囲は、Sync Field 期間のスタートビットおよびバイトデータです。ストップビットは LIN Sync Data エラーの検出対象外です。ストップビットが L レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。

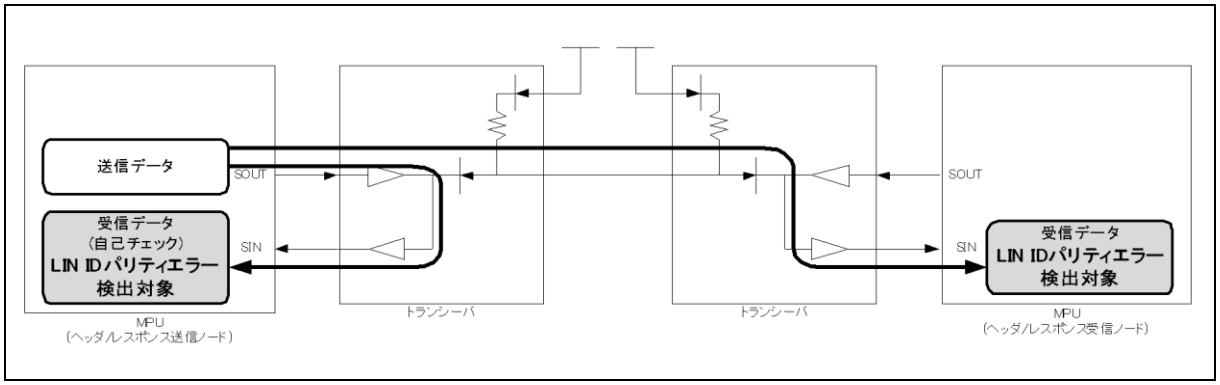
● ボーレート自動調整禁止時における、LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

自動ボーレート調整禁止(SACSR:AUTE=0)に設定したスレーブノード(SCR:MS=1)では、Sync Field のデータ値のチェックを行い、0x55 以外の値を検出した場合、LIN Sync Data エラーを検出しフラグがセット(LAMESR:LSFER=1)されます。そのとき割込みを許可(LAMIER:LSFERIE=1)に設定している場合、受信割込みが発生します。

■ LIN ID パリティエラー検出フラグ割込み発生とフラグセットのタイミング

LIN ID パリティエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、ID Field を送信するマスタの自己チェック、および ID Field を受信するスレーブで行います。
LIN ID パリティエラー検出対象を図 7-10 に示します。

図 7-10 LIN ID パリティエラー検出対象



LIN ID パリティエラーの検出範囲は、ID データとパリティのバイトデータです。スタートビットとストップビットは LIN ID パリティエラー検出範囲外です。ストップビットで"L"レベルが検出された場合、フレーミングエラー(SSR:FRE=1)となります。

LIN アシストモード(LAMCR:LAMEN=1)は、自動ヘッダ送信中に LIN ID パリティエラーが発生した場合、自動ヘッダ送信完了フラグはセット(LAMSR:LAHC=1)されます。
自動ヘッダ受信中、LIN IDパリティエラーが発生した場合、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。

LIN ID パリティエラーを検出した場合、アシストモードによるレスポンスの送受信処理は停止します。
LIN ID パリティエラーフラグがセットされている(LAMESR:LPTER=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1 or FCR0:FE2=0)されます。

＜注意事項＞

ID Field でフレーミングエラーを検出した場合でも、ID パリティ演算結果は表示されますが、このときの演算結果は保証されません。

● マスタにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

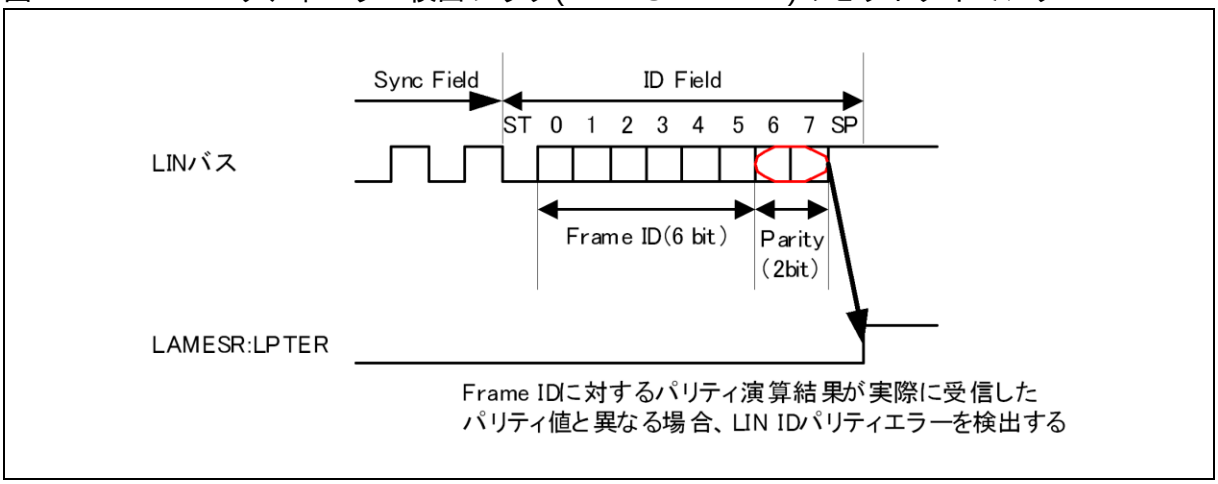
アシストモード(LAMCR:LAMEN=1)に設定したマスタ(SCR:MS=0)では、ID Field 送信時に LIN ID パリティエラー検出を行います。マスタは、送信データレジスタ(TDR)または LIN アシストモード送信 ID レジスタ(LAMTID)で設定した 6 ビットの Frame ID に対してパリティ演算を行い、ID Field を自動生成して送信します。

自己チェックによって ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。
そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、割込みが発生します。

● スレーブにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)に設定したスレーブ(SCR:MS=1)では、ID Field受信時にLIN IDパリティエラー検出を行います。ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。
そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、受信割込みが発生します。

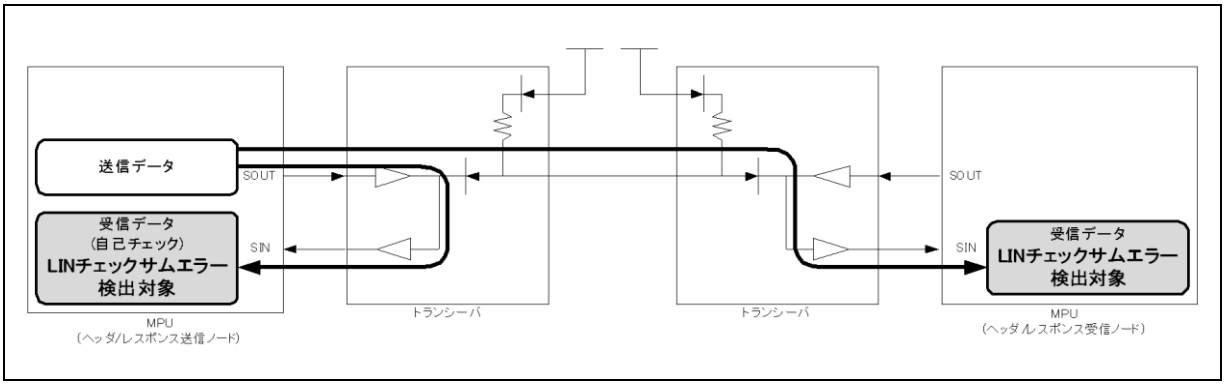
図 7-11 LIN ID パリティエラー検出フラグ(LAMESR:LPTER)のセットタイミング



■ LIN チェックサムエラー検出フラグ割込み発生とフラグセットのタイミング

LIN チェックサムエラー検出は、アシストモード(LAMCR:LAMEN=1)に設定した、チェックサムを送信する側の自己チェック、およびチェックサムを受信する側で行います。
LIN チェックサムエラー検出対象を図 7-12 に示します。

図 7-12 LIN チェックサムエラー検出対象



自動送信するチェックサムの演算方法は、標準(対象：データ)/ 拡張(対象：ID Field+ データ) から選択が可能です。
チェックサム送信完了時に LIN チェックサムエラーが発生した場合でも、データの送信を停止しません。

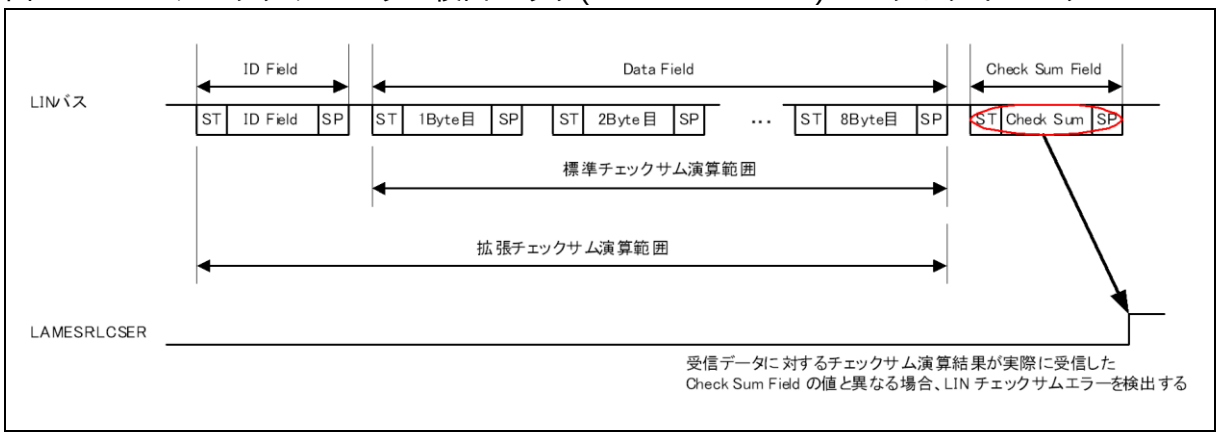
● 標準チェックサム演算設定における、LIN チェックサムエラー検出割込み発生とフラグセットのタイミング

標準チェックサム演算設定時(LAMCR:LCSTYP=0)、レスポンス(データ, チェックサム)を送信する側は設定した LIN データ長(LAMCR:LDL)分の送信データでチェックサム演算を行い、最終データの送信後に自動的に送信します。
レスポンス(データ, チェックサム)受信する側は、設定した LIN データ長(LAMCR:LDL)分の受信データでチェックサム演算を行い、受信したチェックサムと演算結果の値が異なる場合、LIN チェックサムエラーを検出しフラグがセット(LAMESR:LCSER=1)されます。
そのとき、割込みを許可(LAMIER:LCSCIE =1)に設定している場合、受信割込みが発生します。

● 拡張チェックサム演算設定における、LIN チェックサムエラー検出割込み発生とフラグセットのタイミング

拡張チェックサム演算設定時(LAMCR:LCSTYP=1)、レスポンス(データ, チェックサム)を送信する側は ID Field の値と設定した LIN データ長(LAMCR:LDL)分の送信データでチェックサム演算を行い、最終データの送信後にチェックサムを自動的に送信します。
レスポンス(データ, チェックサム)受信する側は、設定した LIN データ長(LAMCR:LDL)分の受信データでチェックサム演算を行い、受信したチェックサムと演算結果の値が異なる場合、LIN チェックサムエラーを検出しフラグがセット(LAMESR:LCSER=1)されます。
そのとき、割込みを許可(LAMIER:LCSCIE =1) に設定している場合、受信割込みが発生します。

図 7-13 LIN チェックサムエラー検出フラグ(LAMESR:LCSER)のセットタイミング



＜注意事項＞

標準/拡張チェックサム演算結果に関係なく、ヘッダ部およびレスポンス部のデータでエラー(LIN バスエラー, LIN ID エラー, LIN Sync Data エラー, フレーミングエラー)を検出した場合、アシストモードによる処理が停止しチェックサム演算は実行しません。

7.2.3. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.3 受信 FIFO 使用時の割込み発生とフラグセットのタイミング」と同様です。

7.2.4. 送信割込み発生とフラグセットのタイミング

送信割込み発生とフラグセットのタイミングについて示します。

送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送されて(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ(TDRE)のセットタイミング

マニュアルモードにおける「7.1.4 送信割込み発生とフラグセットのタイミング」と同様です。

● 送信バスアイドルフラグ(TBI)のセットタイミング

以下のいずれかの送信動作をしていない時､送信バスアイドルフラグビット(SSR:TBI)は"1"に設定されます。このとき送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。

・送信データがエンプティ(TDRE=1)で送信処理をしていない
・アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において、ヘッダ送信処理を行っていない
・アシストモード(LAMCR:LAMEN=1)において、レスポンス送信処理を行っていない。

また、以下により送信バスアイドルフラグビット(SSR:TBI)および送信割込み要求はクリアされます。

・送信データレジスタ(TDR)に送信データを書込み
・アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において､ヘッダ送信処理(LIN Break Field, Sync Field, ID Field) 中
・アシストモード(LAMCR:LAMEN=1)において、レスポンス送信処理(データ, チェックサム)中

7.2.5. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」と同様です。

7.2.6. タイマ割込み発生とフラグセットのタイミング

タイマ割込み発生とフラグセットのタイミングについて示します。

マニュアルモードにおける「7.1.6 タイマ割込みとフラグセットのタイミング」と同様です。

7.2.7. アシストモードにおける状態割込み発生とフラグセットのタイミング

アシストモードにおける状態割込み発生とフラグセットのタイミングについて示します。

アシストモードにおける状態割込みは、LIN Break Field 検出時(SSR:LBD)、シンクフィールド検出時(SACSR:SFD)、自動ヘッダ完了時(LAMSR:LAHC)、チェックサム演算完了時(LAMSR: LCSC)に発生します。

■ LIN Break Field 検出フラグのセットタイミング

シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break Field 割込みが許可(ESCR:LBIE=1)されていると状態割込みを発生します。

＜注意事項＞

LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
アシストモード(LAMCR:LAMEN=1)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。

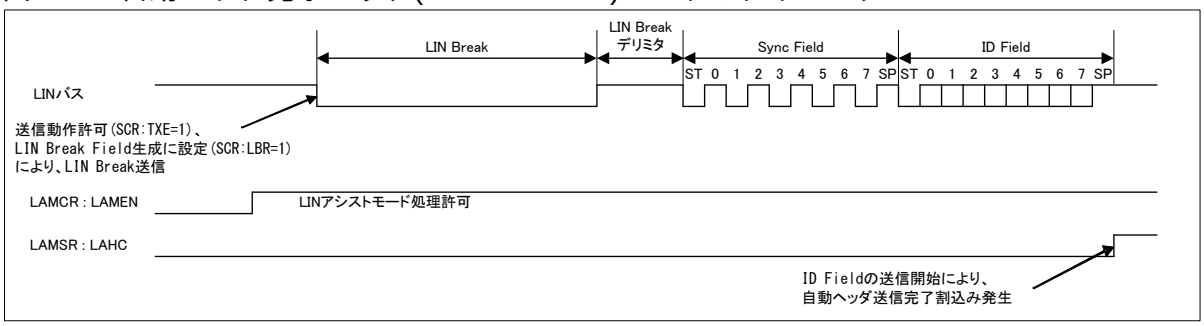
■ シンクフィールド検出割込みとフラグセットのタイミング

マニュアルモードにおける「7.1.7 シンクフィールド検出割込み発生とフラグセットのタイミング」と同様です。

■ 送信時の自動ヘッダ完了割込みとフラグセットのタイミング

LIN アシストモード(LAMCR:LAMEN=1)に設定したマスタでは、LIN Break～ID Field までのヘッダ送信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:LAHCIE =1)されている場合、状態割込みが発生します。
LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

図 7-14 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング

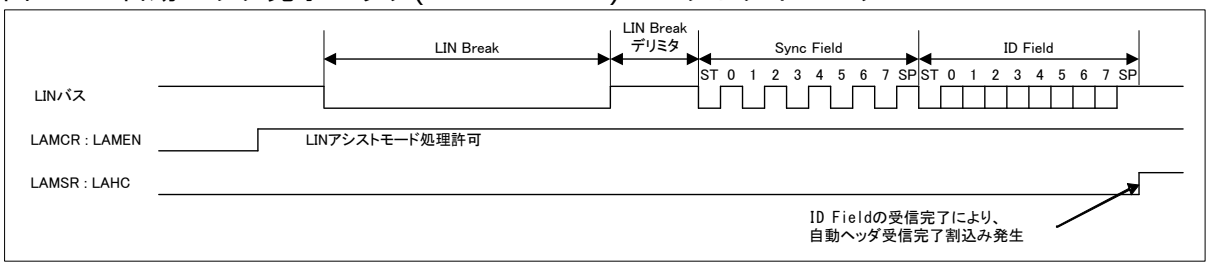


■ 受信時の自動ヘッダ完了割込みとフラグセットのタイミング

LIN アシストモード(LAMCR:LAMEN=1)に設定したスレーブは、LIN Break～ID Field までのヘッダ受信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:　LAHCIE =1)されている場合、状態割込みが発生します。

LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

図 7-15 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング



■ LIN チェックサム検出完了フラグ割込み発生とフラグセットのタイミング

チェックサム検出は、アシストモード(LAMCR:LAMEN=1)に設定した場合、チェックサムを送信する側の自己チェック、およびチェックサムを受信する側で行います。設定されたデータ設定長(LAMCR:LDL3-0)分のデータとチェックサムを受信すると、チェックサム演算が完了し、フラグがセット(LAMSR:LCSC=1)されます。割込みが許可(LAMIER:LCSCIE=1)されている場合、状態割込みが発生します。

チェックサムの受信が完了した場合、受信チェックサム値は RDR レジスタに格納されず SSR:RDRF は"1"にセットされません。FIFO 使用時は受信 FIFO に格納されません。

＜注意事項＞

データ設定長(LAMCR:LDL3-0)分の最終データでフレーミングエラーを検出した場合、チェックサムでフレーミングエラーを検出した場合、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

7.3. シリアルタイマの動作

シリアルタイマの動作について示します。

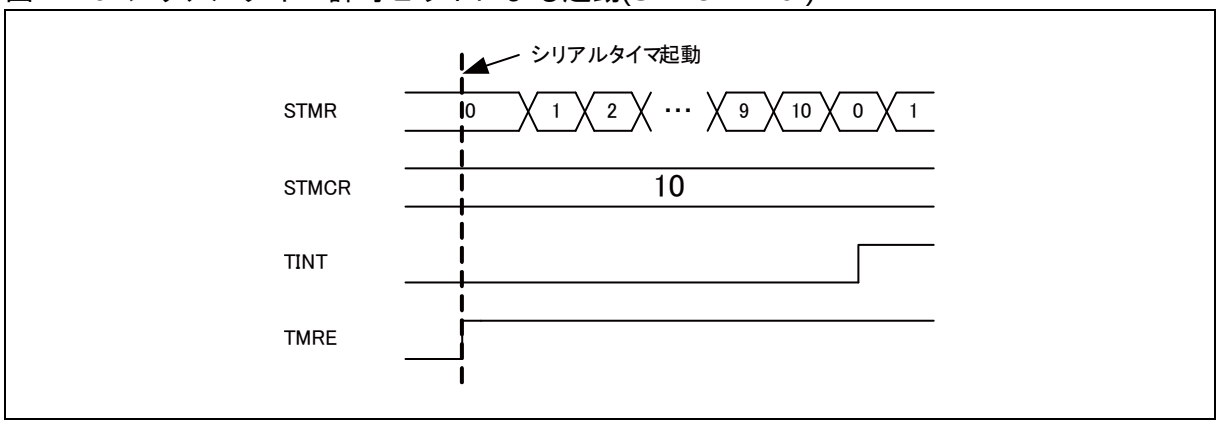
シリアルタイマは、タイマ機能が利用できます。

● シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットする方法，Sync Field により起動させる方法の 2 種類あります。

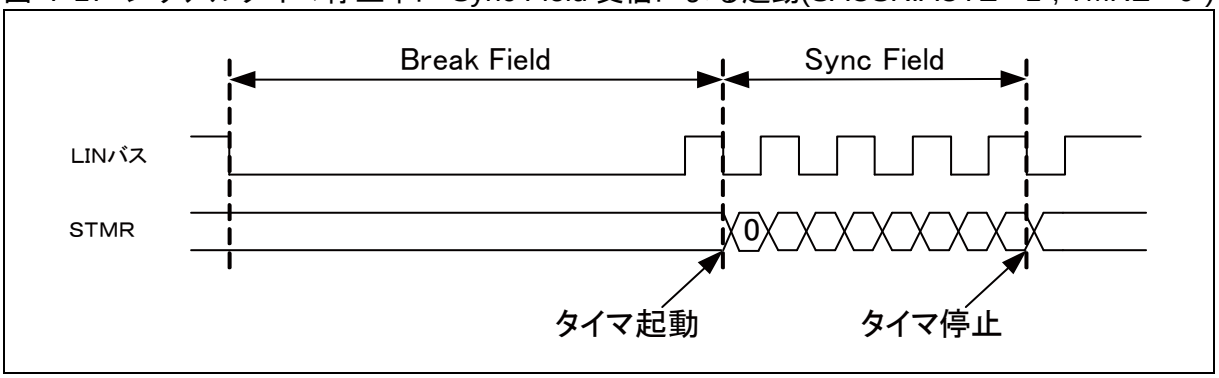
・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 7-16 シリアルタイマ許可ビットによる起動(STMCR="10")



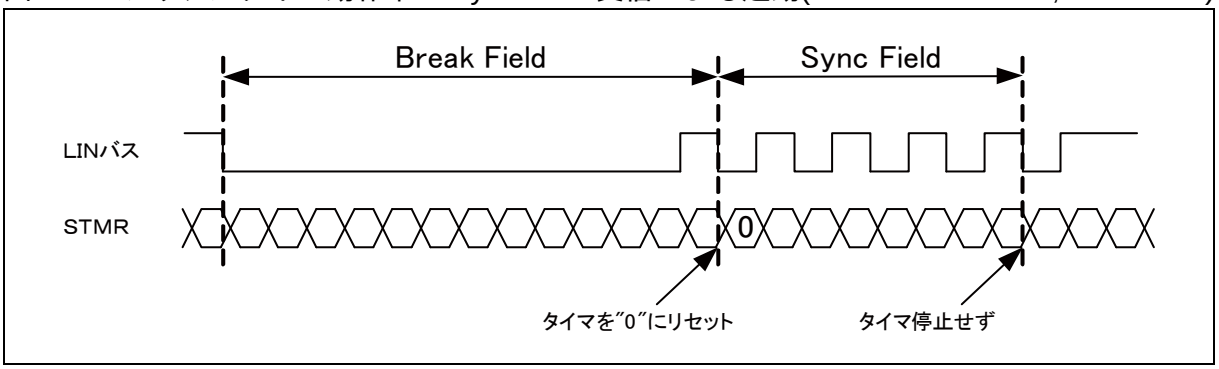
・Sync Field 受信による起動
シリアルタイマ停止中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントします。

図 7-17 シリアルタイマ停止中に Sync Field 受信による起動(SACSR:AUTE="1", TMRE="0")



シリアルタイマ動作中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマレジスタ(STMR)が"0"からカウントします。

図 7-18 シリアルタイマ動作中に Sync Field 受信による起動(SACSR:AUTE="1", TMRE="1")



● シリアルタイマの停止方法

以下の条件のときに停止します。

- 自動ボーレート調整ビット(AUTE)が"0"のとき、シリアルタイマ許可ビット(SACSR:TMRE)を"0"にリセットするとシリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"1"のとき、Sync Field受信中以外でシリアルタイマ許可ビット(SACSR:TMRE)を"0"にリセットするとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"0"のとき、Sync Field の 5 回目の立下りエッジを LIN インタフェース(v2.1)が検出すると、シリアルタイマは停止し、シリアルタイマレジスタ(STMR)の値は保持されます。

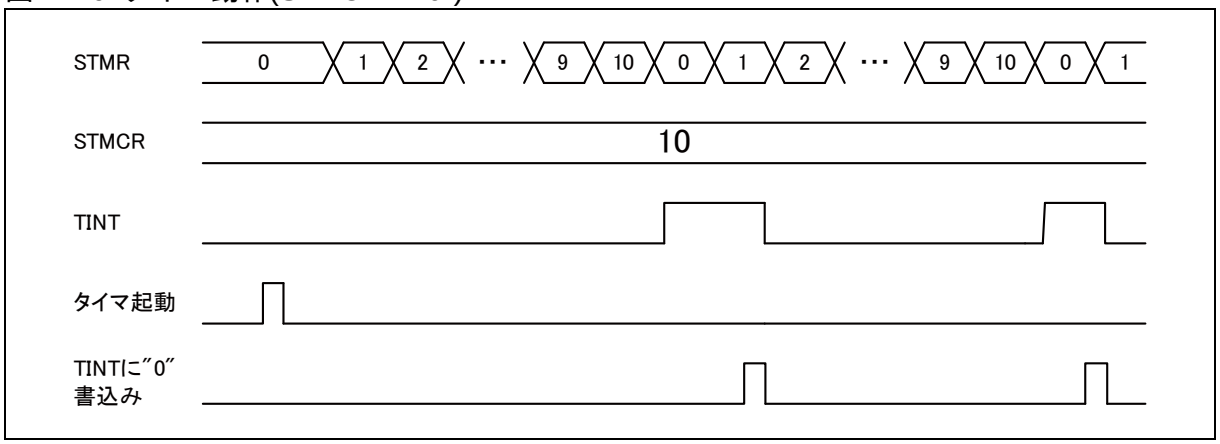
＜注意事項＞

自動ボーレート調整ビット(AUTE)が"1"でシリアルタイマ許可ビット(SACSR:TMRE)を"1"のとき、Sync Field の 5 回目の立下りエッジを LIN インタフェース(v2.1)が検出してもシリアルタイマは停止せず、動作を継続します。

● タイマ動作

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 7-19 タイマ動作(STMCR="10")



＜注意事項＞

- タイマ比較レジスタ(STMCR)に(0000) H を設定した場合、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000"b に設定されている場合、タイマ割込みフラグ (SACSR:TINT)は"1"に固定されます。
- 自動ボーレート調整ビット(SACSR:AUTE)を"1"にセットされている場合、Sync Field を受信するとシリアルタイマレジスタ(STMR)は"0"にリセットされます。

7.4. テストモード

テストモードについて示します。

テストモードの動作について説明します。

7.4.1. マニュアルモード

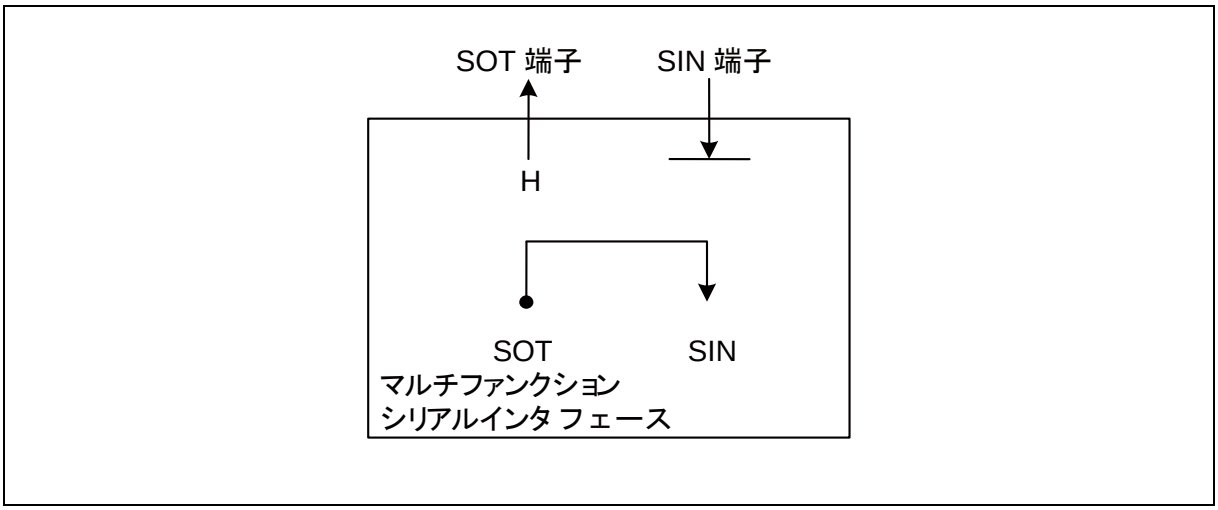
マニュアルモードについて示します。

■ シリアルテストモード

シリアルテストモード許可時(SACSR:STST="1")、マルチファンクションシリアルインタフェース内部でSOTと SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。

シリアルテストモード許可時(SACSR:STST="1")、端子 SOT は"H"固定となり，端子 SIN に入力されたデータは無視されます。

図 7-20 シリアルテストモード



＜注意事項＞

シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE="0")のときのみ変更可能です。

7.4.2. アシストモード

アシストモードについて示します。

■ シリアルテストモード

マニュアルモードにおけるシリアルテストモードと同様です。
ただし、LIN アシストモード(LAMCR:LAMEN=1)では、マスタノード(SCR:MS=0)のみシリアルテストを実行できます。シリアルテストの結果確認は、送受信フラグおよび状態フラグにより行います。送受信フラグおよび状態フラグに関しては、表 7-2 を参照してください。

■ 擬似エラーテストモード

アシストモード(LAMCR:LAMEN=1)では、LIN バスエラー、LIN ID パリティエラー、LIN チェックサムエラー、フレーミングエラーを疑似的に発生させることが可能です。これらのエラーは、複数同時に発生させることができます。

また、シリアルテストモードの併用により以下の自己診断が可能となります。

・疑似 LIN バスエラーテストモード
・疑似 LIN ID パリティエラーテストモード
・疑似 LIN チェックサムエラーテストモード
・疑似フレーミングエラーテストモード

● 擬似エラーテストモードの起動方法

疑似エラーテストモードを起動するには、キーコード制御ビット(LAMERT:KEY1, KEY0)に下記の手順で書込みを行い、疑似障害設定を有効にする必要があります。

・KEY1-0="00"+ 疑似障害設定値を書込み
・KEY1-0="01"+ 疑似障害設定値(前回と同じ値)を書込み
・KEY1-0="10"+ 疑似障害設定値(前回と同じ値)を書込み
・KEY1-0="11"+ 疑似障害設定値(前回と同じ値)を書込み
・4 回目の書込み時、疑似障害設定値が有効になります。

本設定手順に従わない場合(書込み手順の途中でほかのレジスタに書込みや読出しを行う場合、書込み値が正しくない場合、および書込み手順の途中で本レジスタに読出しを行う場合)、書込みは無効となります。

疑似障害設定を解除する場合も、設定と同様の手順により行ってください。

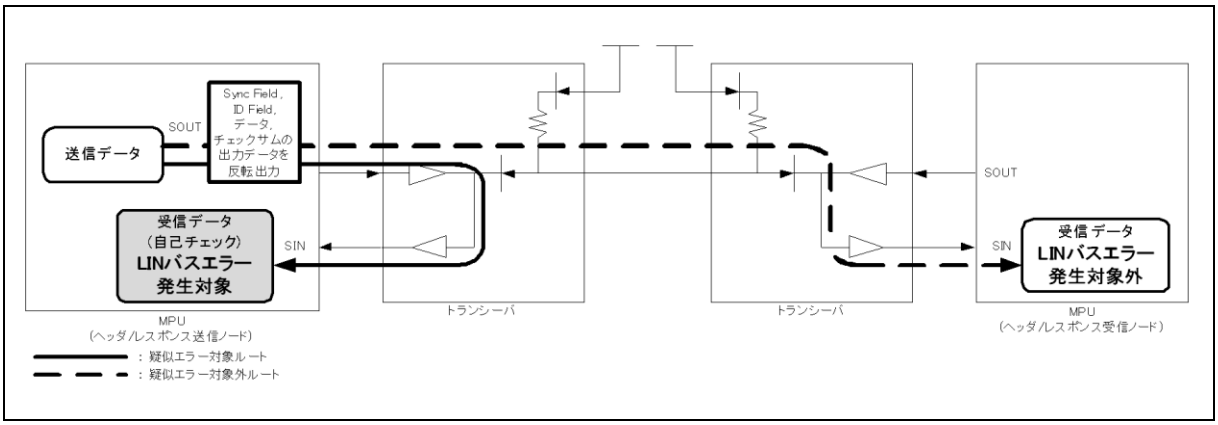
＜注意事項＞

アシストモードで以下のエラーが発生した場合、アシストモードが停止しますので、設定に注意してください。
・LIN バスエラー
・LIN ID パリティエラー
・フレーミングエラー

● 擬似 LIN バスエラーテストモードの概要

疑似 LIN バスエラーテストは、データを送信するマスタ/スレーブの自己チェックにより実施します。データを受信するマスタ/スレーブでは、疑似 LIN バスエラーを検出することができません。

図 7-21 疑似 LIN バスエラーテストモードの概要



疑似 LIN バスエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN バスエラー疑似障害設定ビットをセット(LAMERT:LBSERT=1)してください。
疑似 LIN バスエラーテストモードの起動は、以下の動作を行います。

・マスタ
Sync Field, ID Field, データ, チェックサムを送信します。
LIN バスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され、自己チェック時に、LIN バスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

・スレーブ
データ, チェックサムを送信します。
LIN バスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され自己チェック時に、LIN バスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

疑似 LIN バスエラーテストモード設定が解除(LAMESR:LBSER=0)されるまで、LIN バスエラーを発生させます。

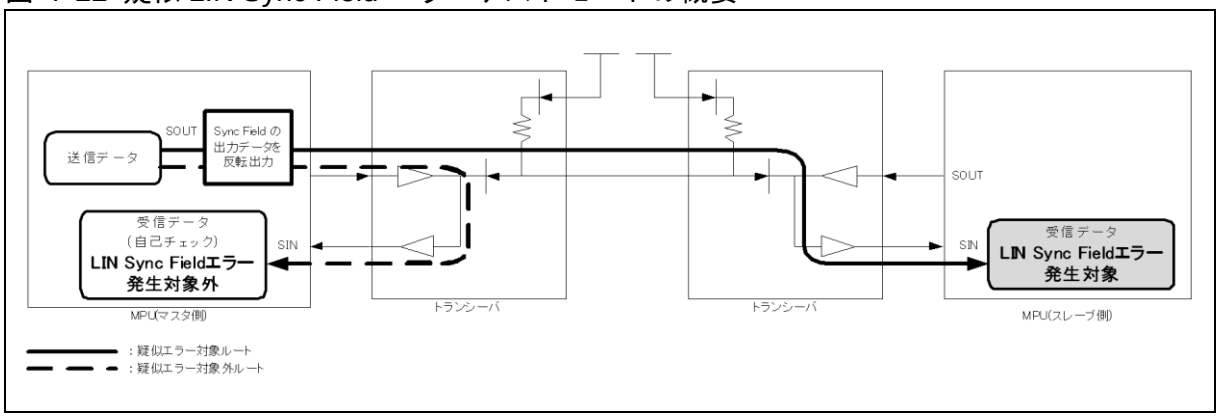
＜注意事項＞

LIN バスエラー検出(LAMESR:LBSER=0)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。

● 擬似 LIN Sync Data エラーテストモードの概要

疑似LIN Sync Dataエラーテストは、Sync Field値(0x55)をチェックするスレーブで実施することができます。
Sync Field を送信するマスタでは、疑似 LIN Sync Field エラーを検出することができません。

図 7-22 疑似 LIN Sync Field エラーテストモードの概要



疑似 LIN Sync Data エラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN Sync Data エラー疑似障害設定ビットを有効(LAMERT:LSFERT=1)に設定する必要があります。
Sync Fieldのスタートビット前に疑似LIN Sync Dataエラー疑似障害設定(LAMERT:LSFERT=1)されたマスタが、Sync Field 送信時に値(0x55)をすべて反転出力します。
疑似 LIN Sync Data エラーテストモード設定が解除(LAMESR:LSFERT=0)されるまで、本動作を続けて行います。

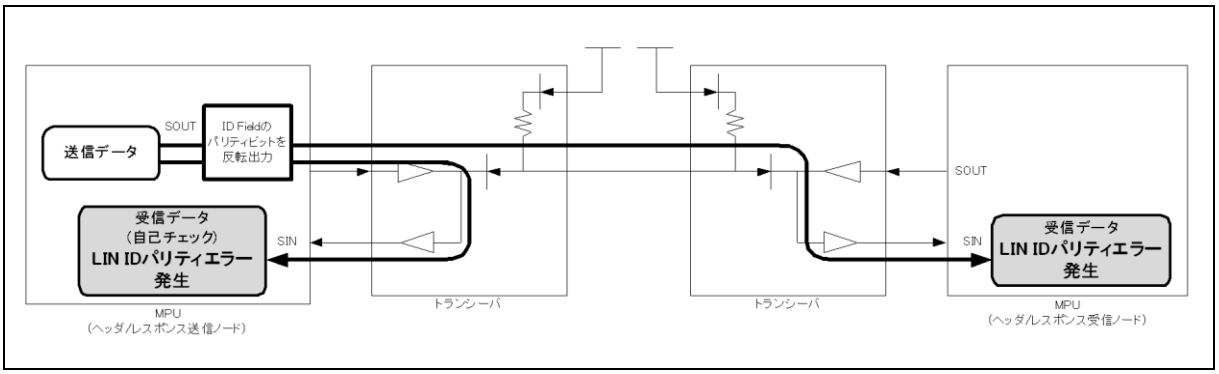
＜注意事項＞

LIN Sync Data エラーの検出は、アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)において検出します。
LIN Sync Data エラー検出(LAMESR:LBSER=1)により、アシストモードのヘッダ受信およびレスポンスの送受信処理は停止します。

● 擬似 LIN ID パリティエラーテストモードの概要

疑似 LIN ID パリティエラーテストは、ID Field を送信するマスタの自己チェックおよび ID Field を受信するスレーブで実施することができます。

図 7-23 疑似 LIN ID パリティエラーテストモードの概要



疑似 LIN ID パリティエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN ID パリティエラー疑似障害設定ビットを有効(LAMERT:LPTERT=1)に設定する必要があります。
ID Field のスタートビット前に疑似 LIN ID パリティエラー障害設定(LAMERT:LPTERT=1)されたマスタは、ID Field 送信時に ID Field 内のパリティ値(2bit)をすべて反転出力します。
ID Field の受信時に、LIN ID パリティエラーが発生し、フラグビット(LAMESR:LPTER)に"1"がセットされます。
疑似 LIN ID パリティエラーテストモード設定が解除(LAMESR:LPTERT=0)されるまで、LIN ID パリティエラーを発生させます。

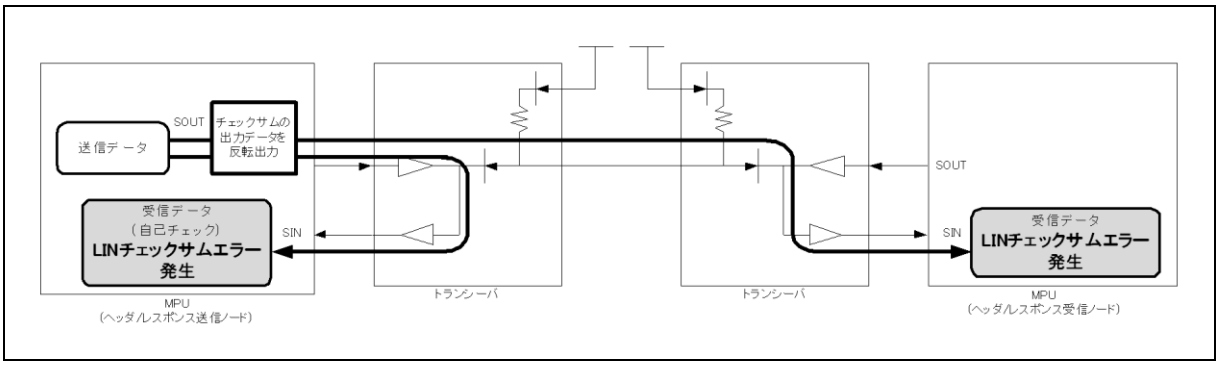
＜注意事項＞

LIN ID パリティエラー検出(LAMESR:LPTER=1)により、アシストモードのレスポンスの送受信処理は停止します。

● 擬似 LIN チェックサムエラーテストモードの概要

疑似 LIN チェックサムエラーテストは、レスポンスを送信する側の自己チェックおよびレスポンスを受信する側で実施することができます。

図 7-24 疑似 LIN チェックサムエラーテストモードの概要



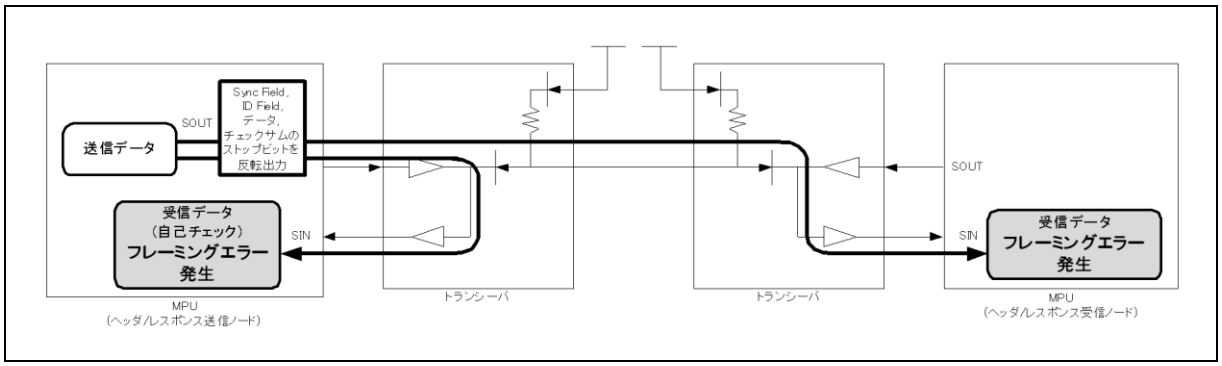
疑似 LIN チェックサムエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、LIN チェックサムエラー疑似障害設定ビットを有効(LAMERT:LCSERT=1)に設定する必要があります。
チェックサムのスタートビット前に疑似 LIN チェックサムエラー疑似障害設定(LAMERT: LCSERT=1)され

たノードは、チェックサム送信時に値をすべて反転出力します。
チェックサムの受信時に、LIN チェックサムエラーが発生し、フラグビット(LAMESR:LCSER)に"1" がセットされます。
疑似 LIN チェックサムエラーテストモード設定が解除(LAMESR:LCSERT=0)されるまで、LIN チェックサムエラーを発生させます。

● 擬似フレーミングエラーテストモードの概要

疑似フレーミングエラーテストは、データを送信する側の自己チェックおよびデータを受信する側で実施することができます。

図 7-25 疑似フレーミングエラーテストモードの概要



疑似フレーミングエラーテストモードを起動するには、疑似エラーテストモードの起動方法で、フレーミングエラー疑似障害設定ビットを有効(LAMERT:FRET=1) に設定する必要があります。
疑似フレーミングエラーテストモードの起動は、以下の動作を行います。

・マスタ
各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、Sync Field, ID Field, データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。
受信時に、フレーミングエラーが発生し、フラグビット(LAMESR: FRE)に"1"が設定されます。

・スレーブ
各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。
受信時に、フレーミングエラーが発生し、フラグビット(LAMESR: FRE)に"1"が設定されます。
疑似フレーミングエラーテストモード設定が解除(LAMESR:FRET=0)されるまで、フレーミングエラーを発生させます。

＜注意事項＞

フレーミングエラー検出(LAMESR:FRE=1)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。

7.5. LIN インタフェース(v2.1)の動作

LIN インタフェース(v2.1)の動作について示します。

LIN インタフェース(v2.1)は、マスタ/ スレーブ双方向 LIN 通信で動作します。

7.5.1. マニュアルモード

マニュアルモードについて示します。

■ マスタ動作

● マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定します。

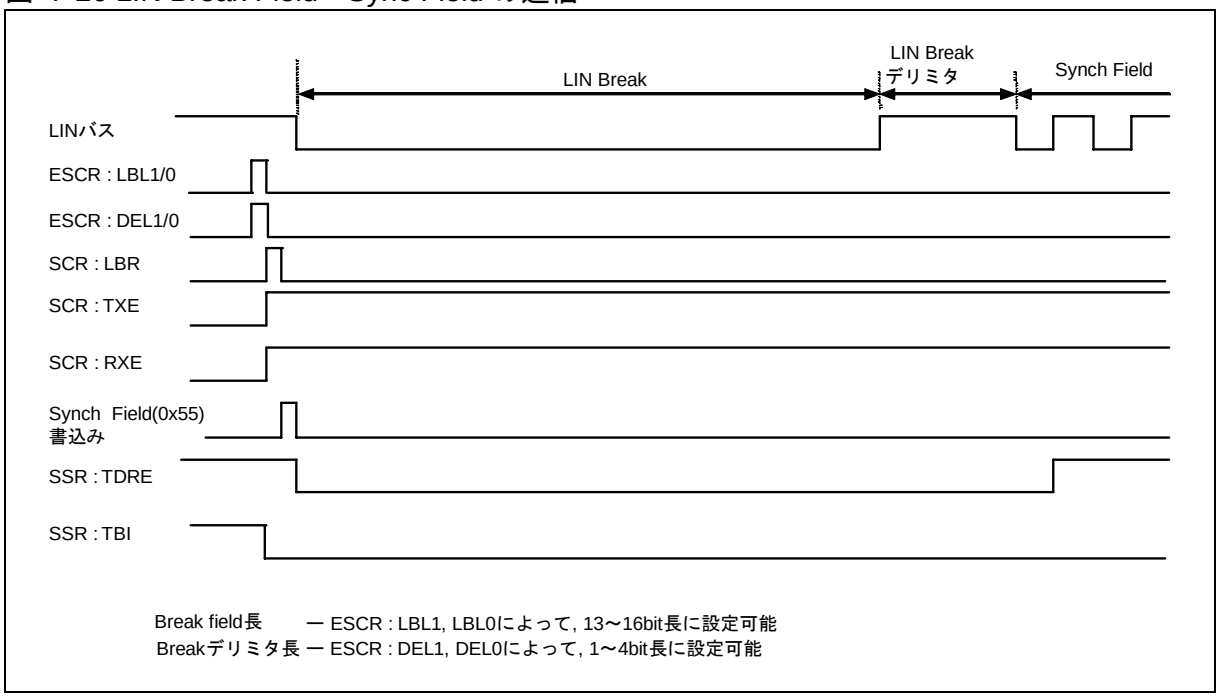
● LIN Break Field 送信～Sync Field 送信

- LIN Break Field 長の選択(ESCR:LBL1, LBL0)および Break Field デリミタ長の選択(ESCR:DEL1, DEL0)ができます。
- 送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定すると LIN Break Field が送信されます。
- Sync Field は、送信データレジスタ(TDR)に 0x55 を書き込むことで送信されます。

＜注意事項＞

- SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に 0x55 を設定してください。
- SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても LIN Break Field 部分は受信動作を行いません。

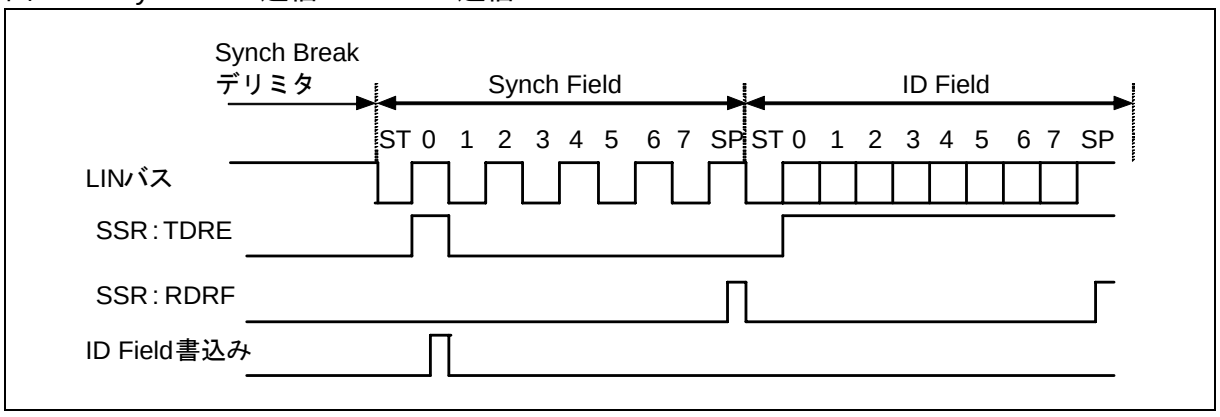
図 7-26 LIN Break Field～Sync Field の送信



● Sync Field 送信～ID Field 送信

- Sync Field(0x55)の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。
  このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
- 送信割込みが発生したら、ID Field を送信データレジスタ(TDR)に書き込むことができます。
- 受信割込みが発生したら、送信データと受信したデータを比較し、エラーが発生していないことを確認します。
- ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。

図 7-27 Sync Field 送信～ID Field 送信

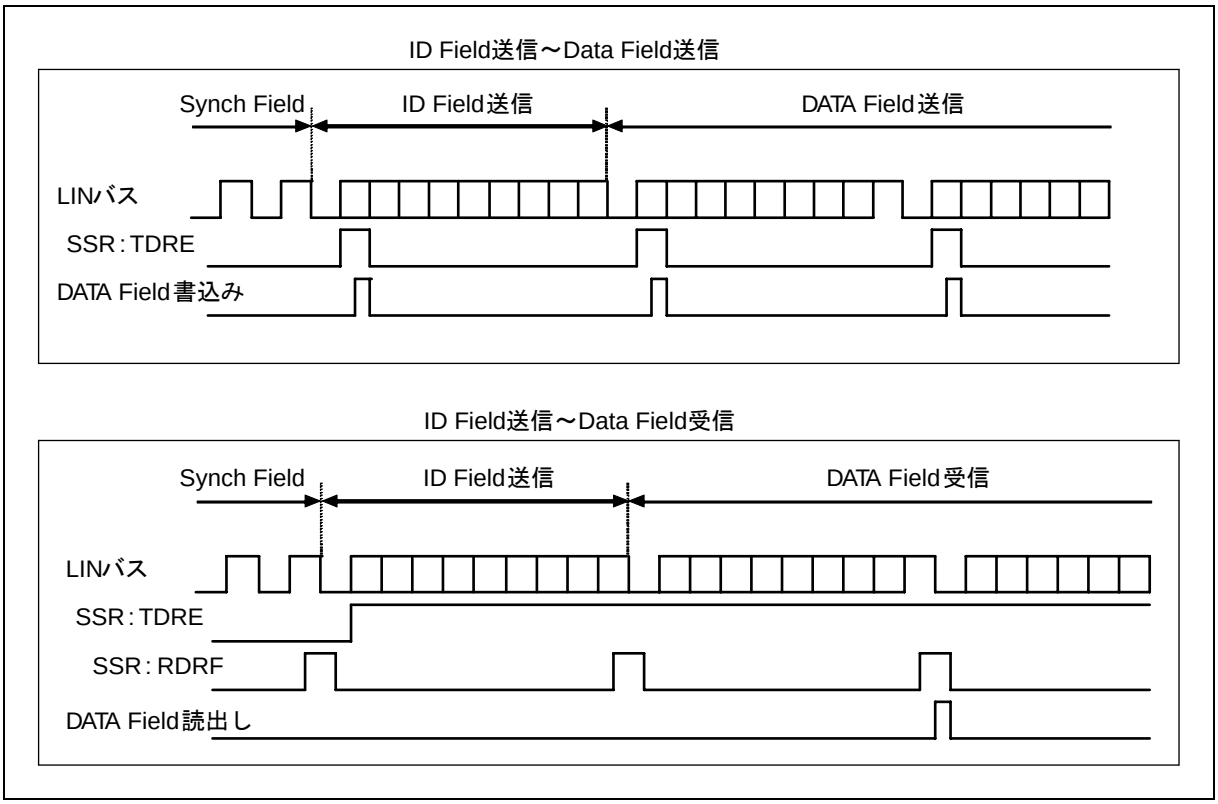


● ID Field 送信～DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

- DATA Field を送信する場合
- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 にセットされます。このとき、DATA Field の書込みが可能です。
- DATA Field を受信する場合
- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されますが、送信データを書き込まないでください。
- また、送信割込み禁止(SCR:TIE=0)にしてください。
- DATA Field を受信すると、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR: RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。

図 7-28 ID Field 送信～DATA Field 送受信



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。

・受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

● マスタ動作タイミングチャート(FIFO 未使用時)

図 7-29 LIN バスタイミング (DATA Field 送信時: FIFO 未使用時)

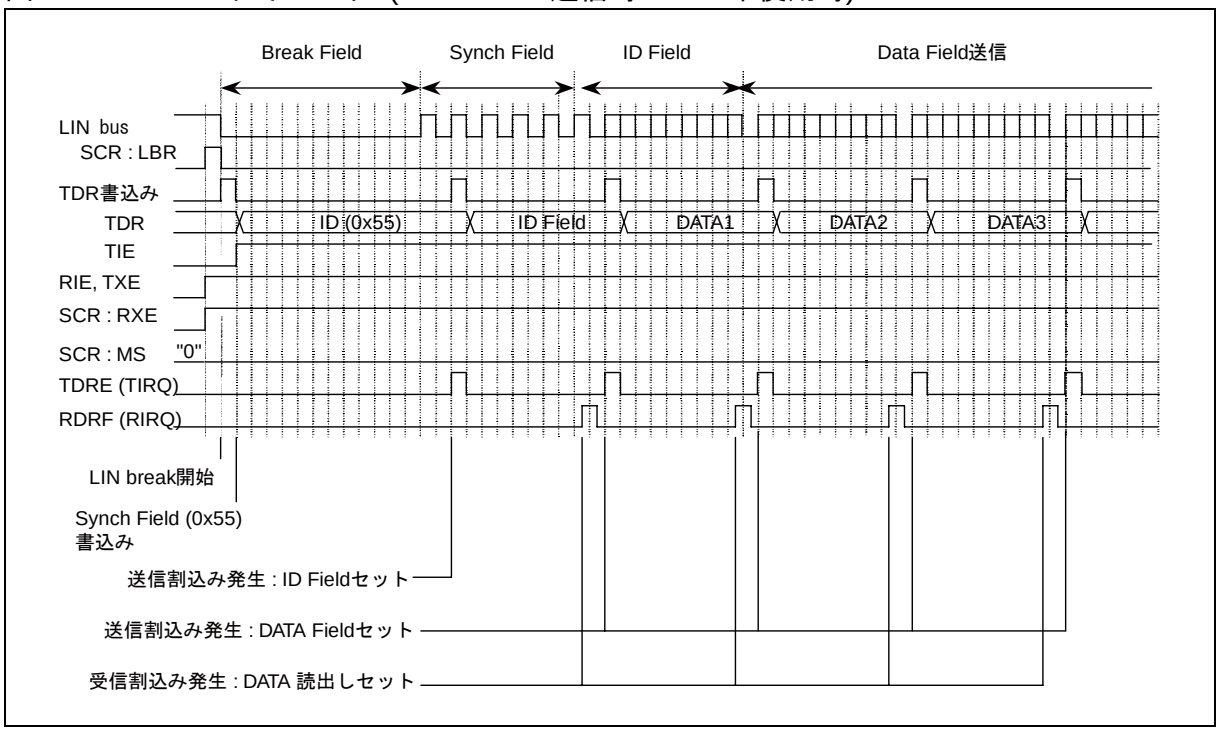
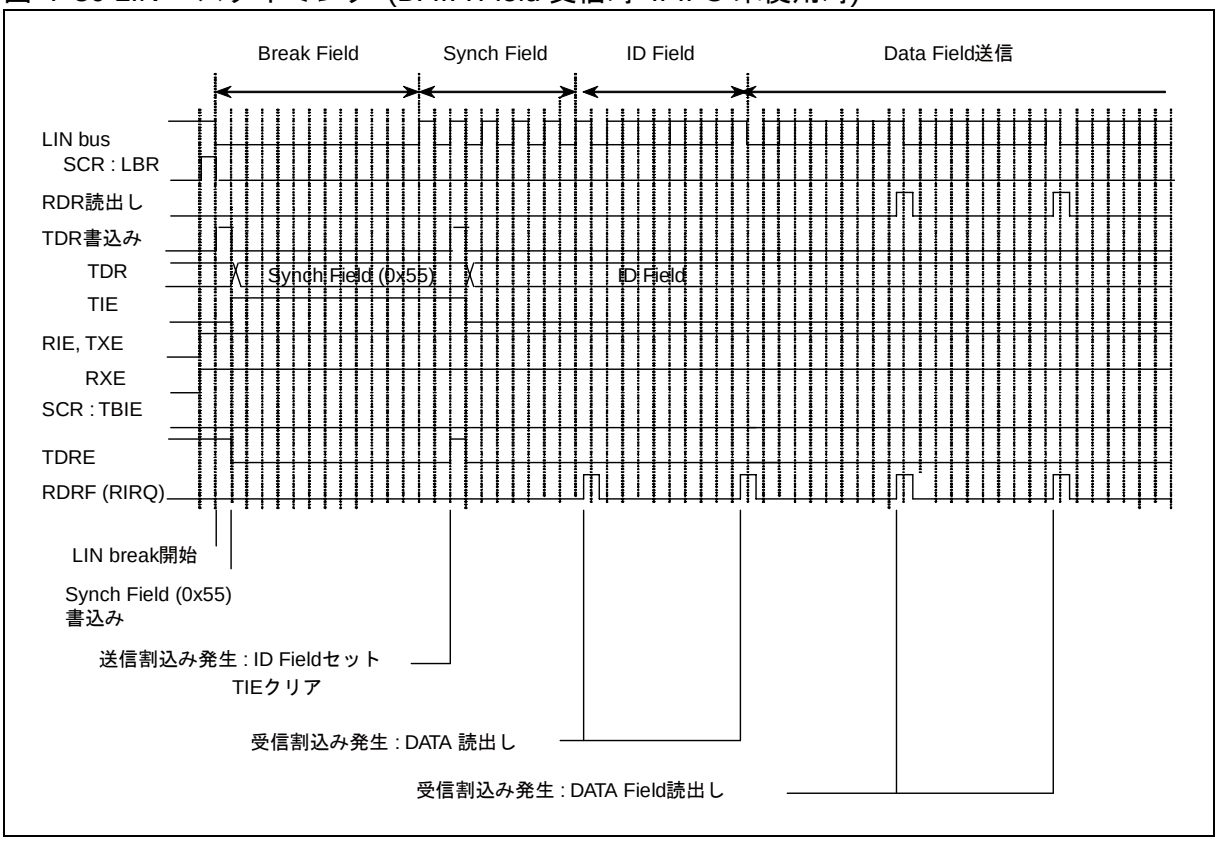


図 7-30 LIN バスタイミング (DATA Field 受信時 :FIFO 未使用時)



● マスタデバイス動作タイミングチャート(FIFO 使用時)

図 7-31 LIN バスタイミング (DATA Field 送信時 : FIFO 使用時)

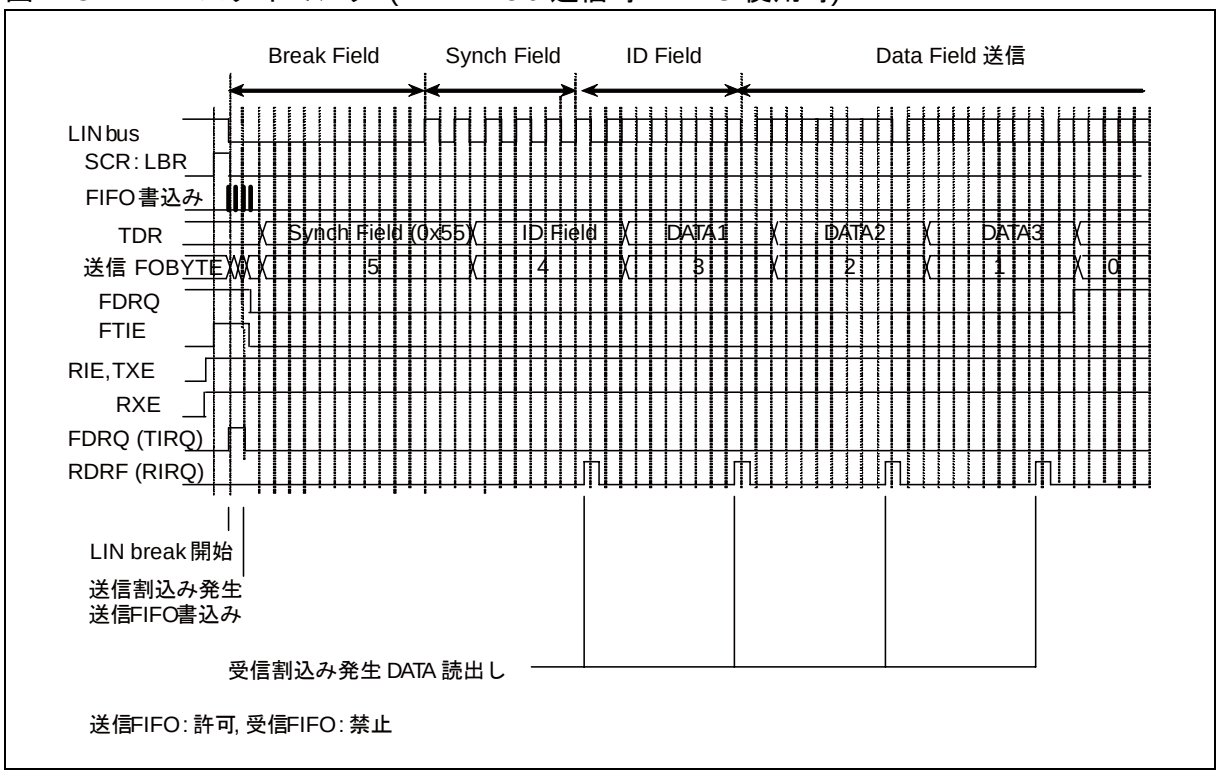
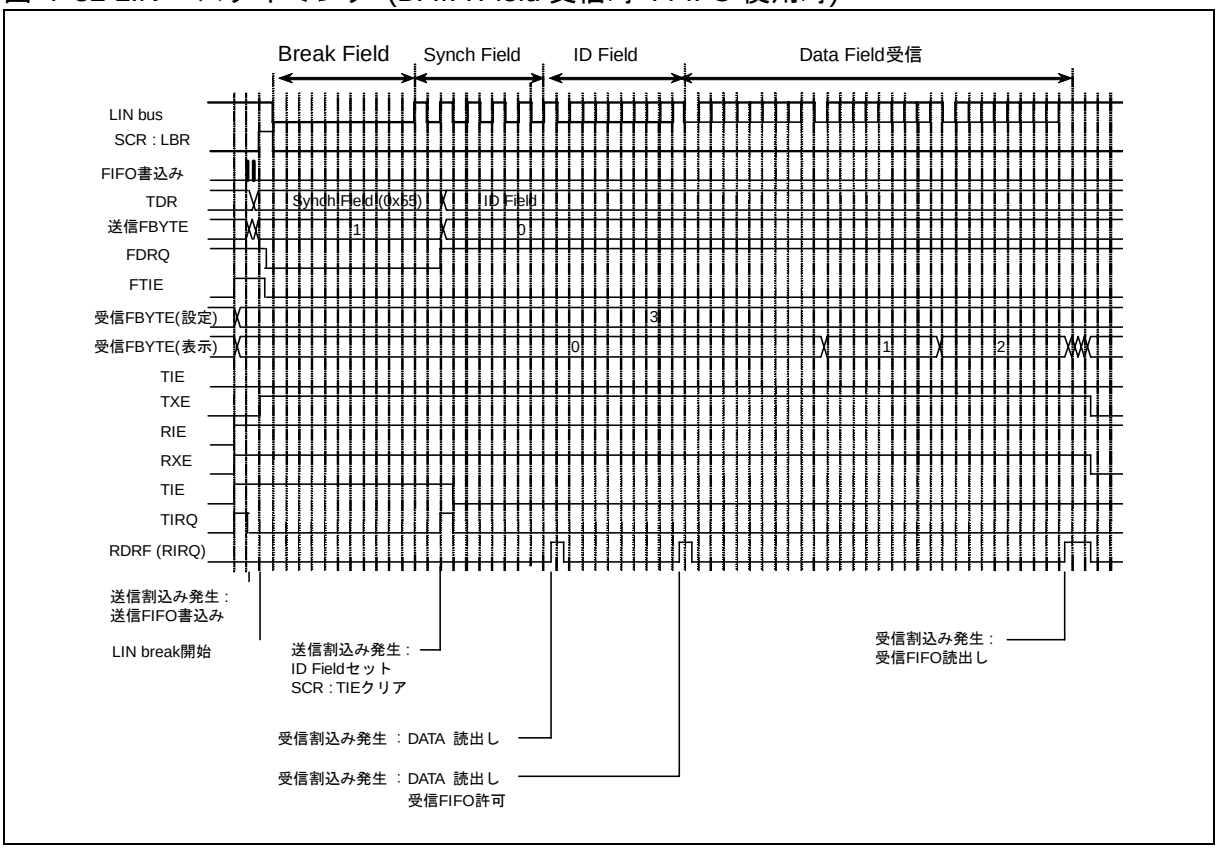


図 7-32 LIN バスタイミング (DATA Field 受信時 : FIFO 使用時)



■ スレーブ動作

● スレーブ動作の選択

スレーブデバイスとして動作させるためには、SCR:MS ビットを"1"に設定します。

● LIN Break Field 受信～Sync Field 受信

LIN Break Field受信～ Sync Field受信で自動ボーレート調整が実施されたことを確認する方法を示します。

・BGR と STMR を比較する方法

これらの方法を使用した処理は以下のとおりです。

1. BGR と STMR を比較する方法

①自動ボーレート調整を有効(SACSR:AUTE=1)に設定します。

② LIN Break Field が入力されると 11 ビット目で LIN Break Field 検出(SSR:LBD=1)されます。
このとき、ESCR : LBIE ビットが"1"にセットされていると状態割込みを発生します。LIN Break Field 検出(SSR:LBD=1)後、シリアルタイマを禁止(SACSR:TMRE=0)に設定します。

③ Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジ

スタ(STMR)を"0"に初期化します。

④ Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACSR: SFD)を"1"にセットします。このとき、下記を確認して自動ボーレート調整の有無を確認します。

- 自動ボーレート調整が行われた場合は、Sync Field を検出(SACSR:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が等しくなります。
- 自動ボーレート調整が行われていない場合は、Sync Field を検出(SACSR:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が異なります。

図 7-33 LIN Break Field 受信～Sync Field 受信 (STMR が SFUR 以下 SFLR 以上の場合)

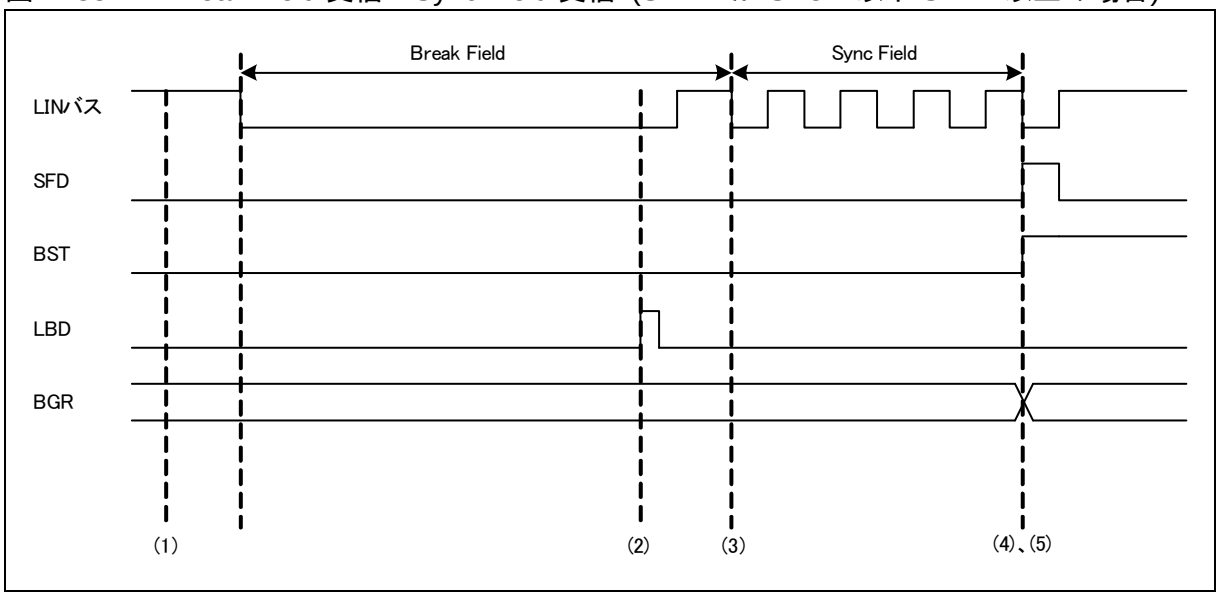
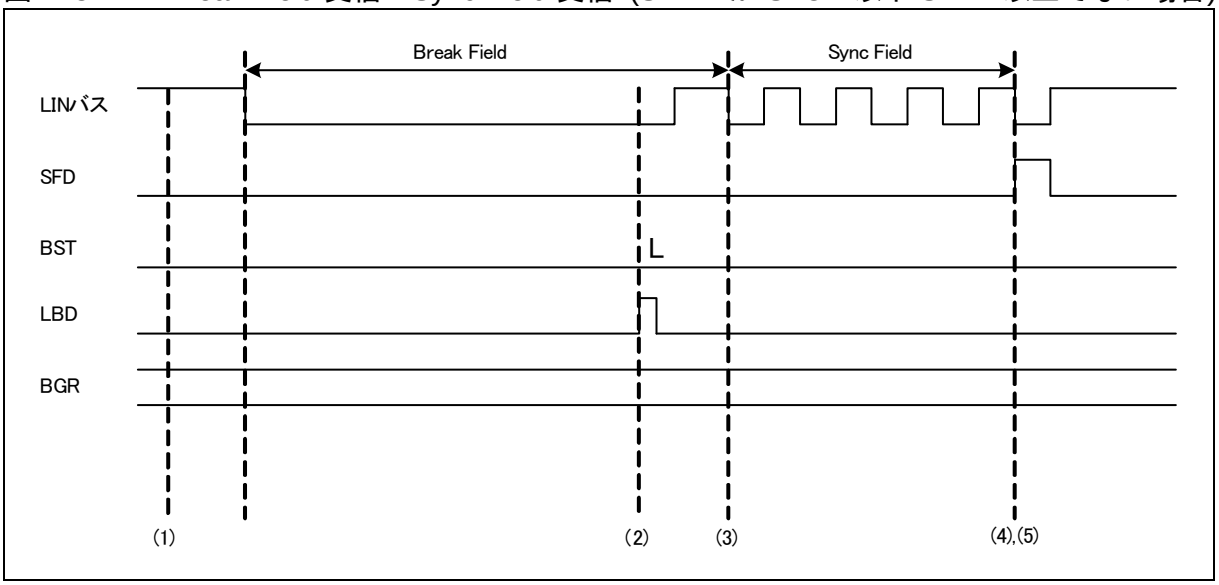


図 7-34 LIN Break Field 受信～Sync Field 受信 (STMR が SFUR 以下 SFLR 以上でない場合)



＜注意事項＞

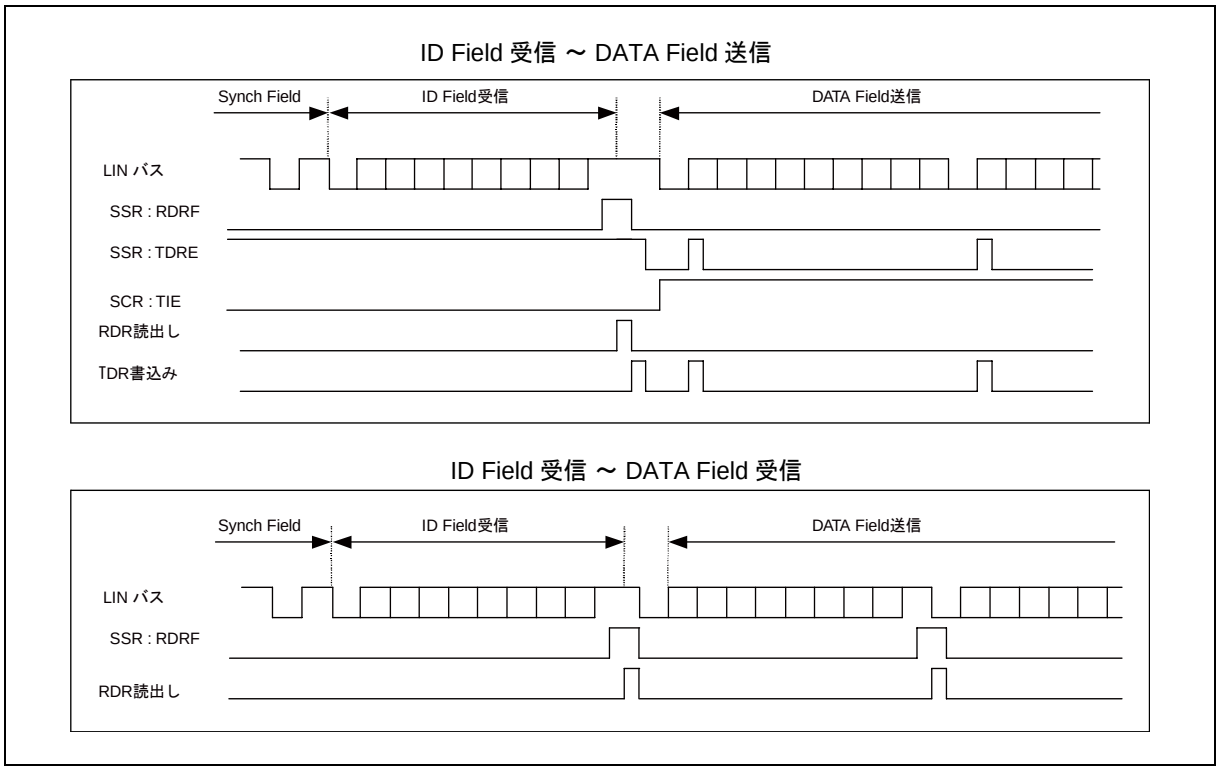
Break Field および Sync Field 時は、受信禁止(SCR:RXE=0)に設定してください。

● ID Field 受信～DATA Field 送受信

ID Field を受信した後、マスタデバイスへ DATA Field を送信するか、受信するかを選択します。

- DATA Field を送信する場合
  - ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておきます。
- DATA Field を受信する場合
  - DATA Field 受信ごとに、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SCR: RDRF=1)されていると受信割込みが発生します。
  - スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合になります。

図 7-35 ID Field 受信～DATA Field 送受信



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

● スレーブ動作タイミングチャート

図 7-36 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時, AUTE=1)

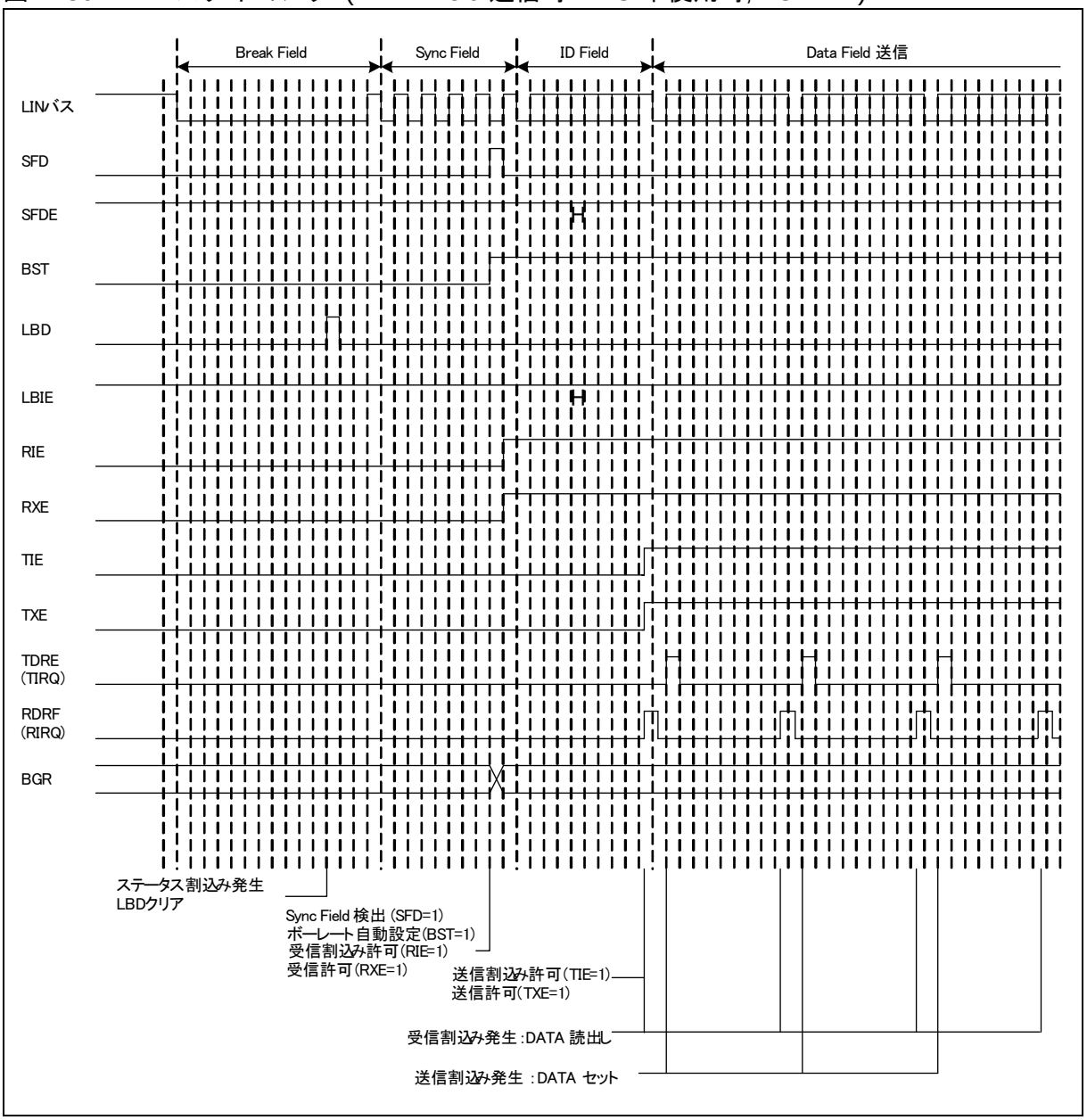
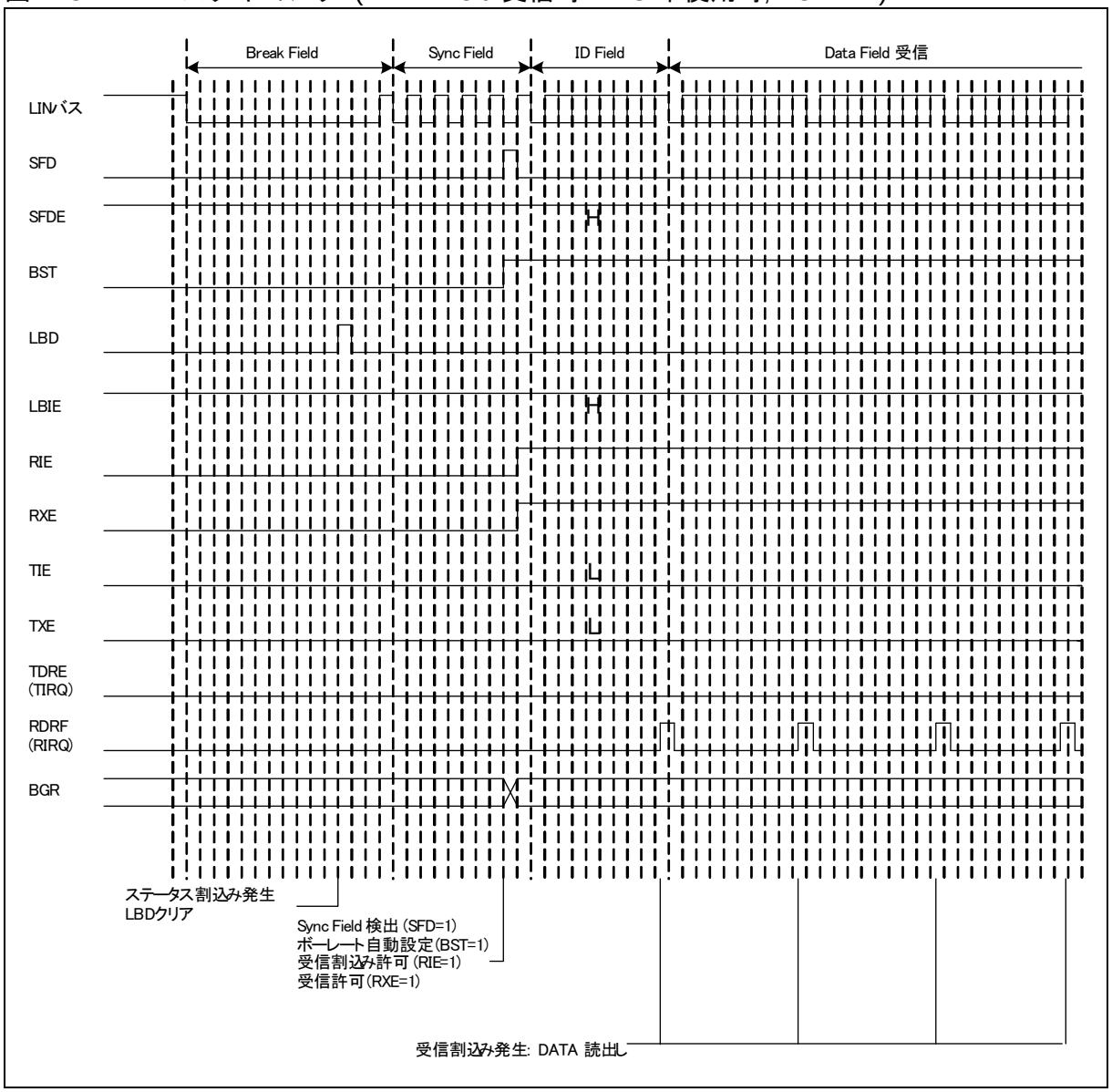


図 7-37 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時, AUTE=1)



● **FIFO 使用時**

図 7-38 LIN バスタイミング (DATA Field 送信時:FIFO 使用時, AUTE=1)

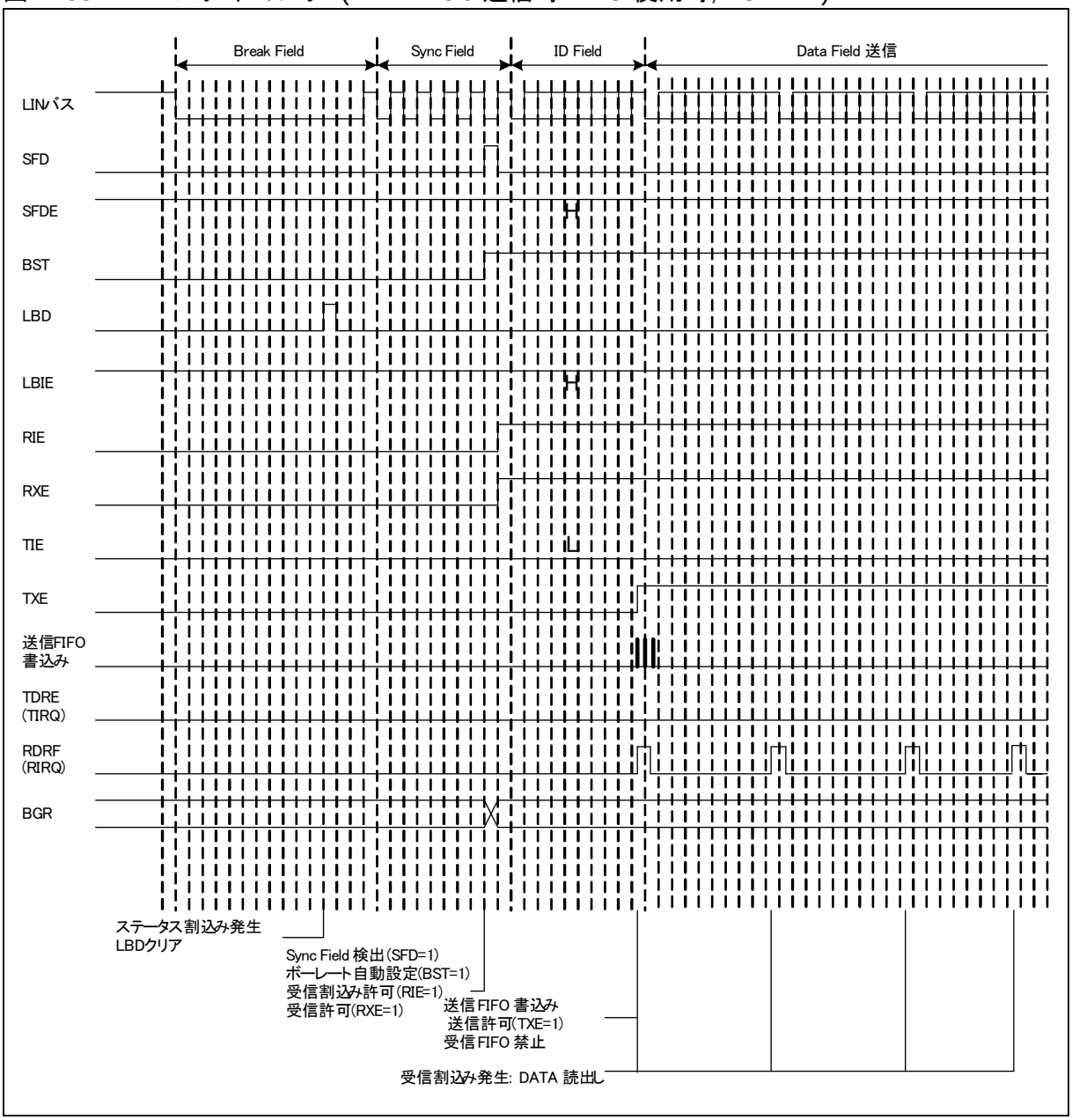
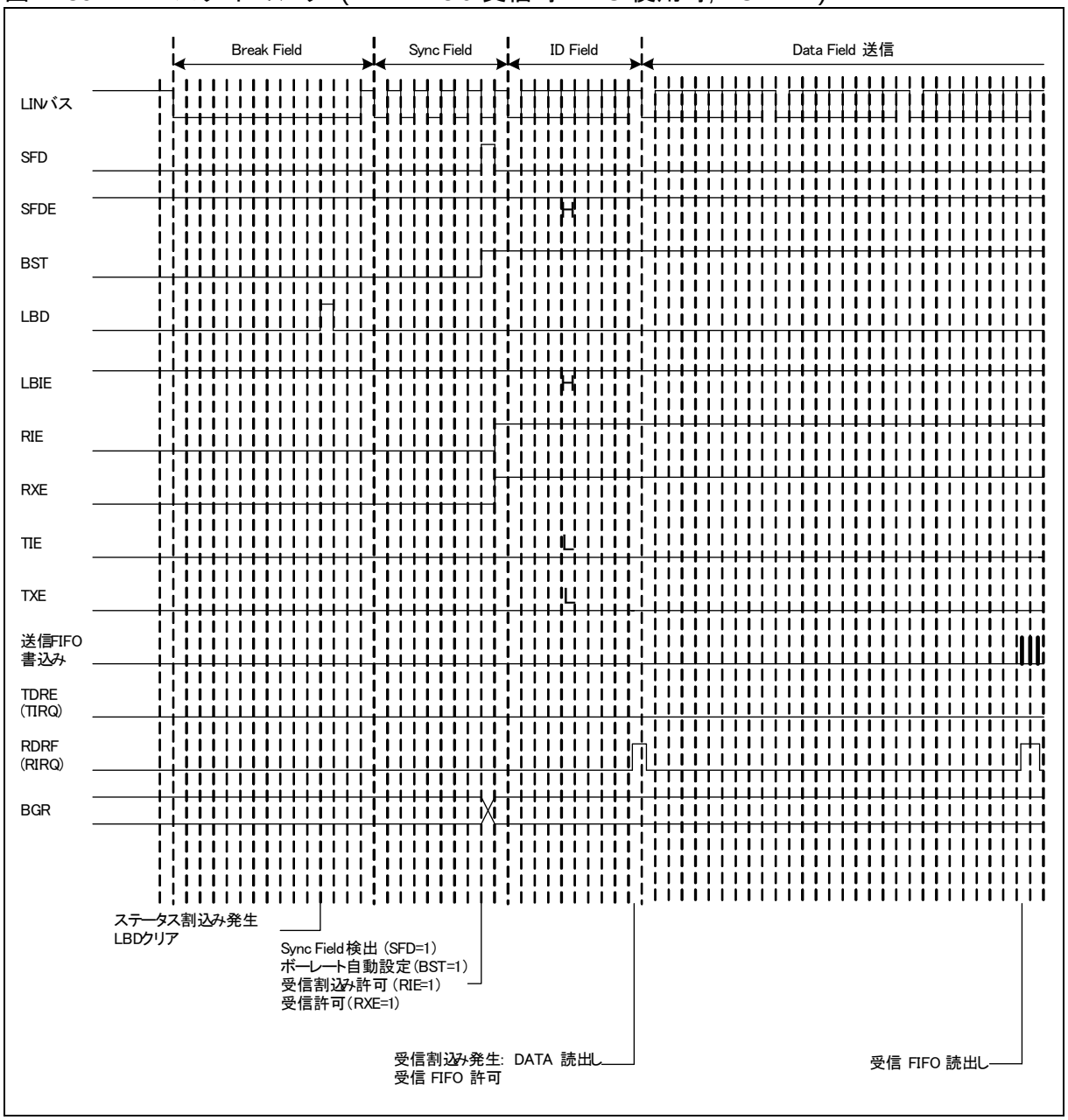


図 7-39 LIN バスタイミング (DATA Field 受信時:FIFO 使用時, AUTE=1)



7.5.2. アシストモード

アシストモードについて示します。

アシストモードは、LIN ヘッダの自動送受信および、以下の生成・チェックを行います。

・ID Field のパリティ生成・チェック
・チェックサムの生成・チェック

■ マスタ動作

● 自動ヘッダ送信設定

アシストモードにて自動ヘッダ送信を行うには､初期設定後に SCR:LBR ビット(LIN Break Field 設定ビット)を"1"に設定してください。"1"に設定することにより、LIN Break Field～Sync Field～ID Field までを自動で送信します。以下に送信設定を示します。

・マスタとして動作させるために、SCR:MS ビット(マスタ/スレーブ機能選択ビット)を"0"に設定してください。
・LAMCR:LAMEN ビット(LIN アシストモード処理許可ビット)を"1"に設定してください。
・LIN アシストモード開始前に ID Field 値を設定してください。
・LIN アシストモード送信 ID レジスタ(LAMTID)を使用する場合､LAMCR:LIDEN ビット(LIN ID レジスタイネーブルビット)を"1"に設定してください。
・データ送信レジスタ(TDR)を使用する場合は、LAMCR:LIDEN ビットを"0"に設定してください。
・LAMCR:LIDEN ビットを"1"に設定した場合、ID Field データを LAMTID(LIN アシストモード送信 ID レジスタ)に設定してください。
・LIN Break Field 長の選択(ESCR:LBL2,LBL1, LBL0)および､LIN Break Field デリミタ長の選択(ESCR:DEL1, DEL0)を設定してください。
・ストップビット長の選択(SMR:SBL と ESCR:ESBL)を設定してください。
・マスタ側で送信した LIN Break Field はマスタ側でも検出されます。検出されると､SSR:LBD ビットが"1"にセットされます。このとき、ESCR:LBIE が"1"に設定されていると状態割込みが発生します。LIN アシストモードの場合は、ESCR:LBIE を"0"に設定し割込みを禁止設定にしてください。
・マスタ側で送信した Sync Field 値はマスタ側でも検出されます。検出されると SACSR:SFD ビットが"1"にセットされます。このとき、SACSR:SFDE ビットが"1"に設定されていると割込みが発生します。LIN アシストモードの場合、SACSR:SFDE を"0"に設定し割込みを禁止してください。
・送信動作許可ビット(SCR:TXE)を"1"(送信許可)に設定してください。

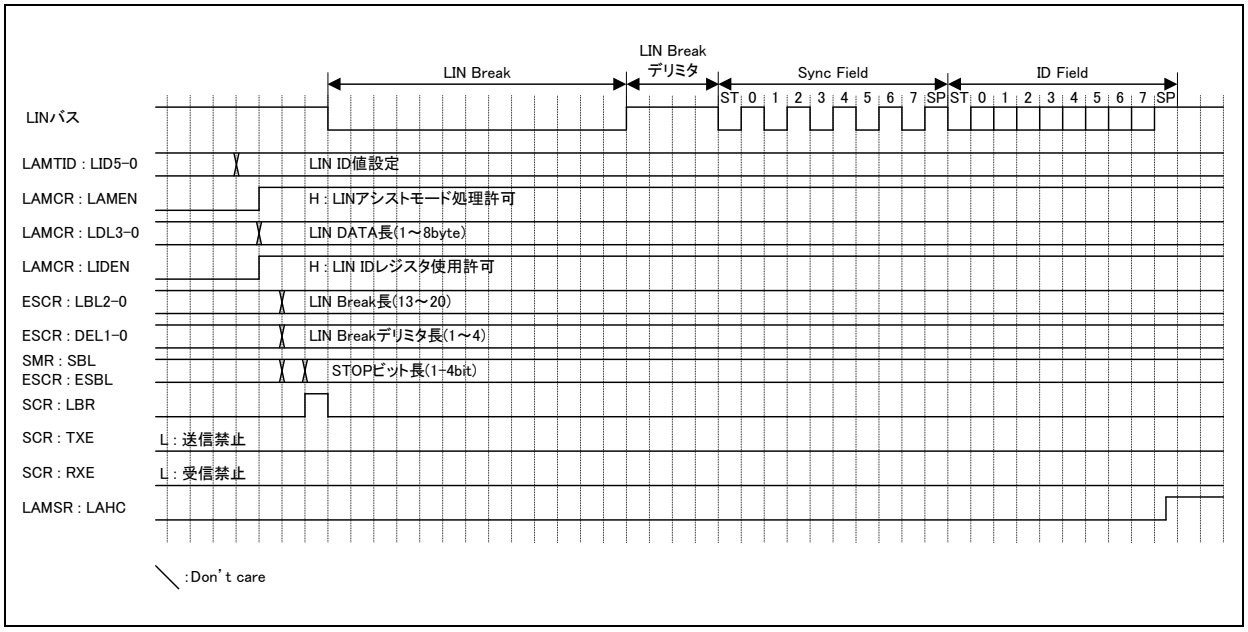
● LIN Break Field～ID Field の送信

・LIN Break Field 設定ビット(SCR:LBR)を"1" (LIN Break Field 生成)に設定してください。
・ESCR:LBL2～LBL0 で設定した LIN Break Field が送信されます。
・LIN アシストモード送信 ID レジスタ(LAMTID)を使用しない場合､ID Field データをデータ送信レジスタ(TDR)に書き込んでください。
・マスタ側ではマスタが送信した LIN Break Field を受信し、バスエラーをチェックします。
・LIN Break Field 送信後、ESCR:DEL1, DEL0 で設定された LIN Break Field デリミタを送信します。
・LIN Break Field デリミタ送信後、Sync Field(0x55 固定値)を送信します。
・マスタ側ではマスタが送信した Sync Field を受信し、バスエラーをチェックします。
・Sync Field 送信後、設定された ID Field 値を送信します。ID FIeld 値は、LAMCR:LIDEN ビットが"0" の場合は TDR に設定されている値を、LAMCR:LIDEN ビットが"1"の場合は LAMTID に設定されている値

を送信します。
- LIN アシストモードは、ID Field のパリティ演算を自動で行います。
- ID Field の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
- 送信割込み(TDRE)が発生したら、送信データを送信データレジスタ(TDR)に書き込むことができます。
- ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。ID Field 内の LIN パリティは自動で計算されます。
- ID Field の送信が完了すると LIN 自動ヘッダ送信完了フラグがセット(LAMSR:LAHC="1")されます。このとき、LIN 自動ヘッダ送信完了割込み許可ビットを許可(LAMIER:LAHCIE="1")されている場合、割込みが発生します
- 以下のエラーが発生した場合、送信は停止します。
  - LIN バスエラー
  - LIN ID パリティエラー
  - フレーミングエラー

＜注意事項＞
- LIN アシストモード起動後に SCR:TXE を"0"に設定した場合、自動ヘッダ送信が停止します。
- LIN アシストモード起動後に自動ヘッダ送信設定は変更しないでください。

図 7-40 LIN Break Field～ID Field の送信



● アシストモード処理中の LIN Break Field 再送信

送信禁止設定(SCR:TXE=0)および送信バスアイドル状態(SSR:TBI=1)のときのみ LIN Break Field 設定(SCR:TBR=1)できます。よって、送信禁止設定(SCR:TXE=0)および送信バスアイドル状態(SSR:TBI=1)以外の場合、以下の手順で初期化してから LIN Break Field 設定(SCR:LBR=1)する必要があります。

・まず、送信禁止設定(SCR:TXE=0)および受信禁止設定(SCR:RXE=0)します。
・再送信前の送信データを破棄します。
  ・ 送信 FIFO を使用している場合は、送信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、送信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  ・ 次に送信データレジスタクリアを実行(LAMCR:LTDRCL=1)し、送信バスアイドル状態にします。
・再送信前の受信データを破棄します。
  ・ 受信 FIFO を使用している場合は、受信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、受信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  ・ 次に受信データレジスタをクリアするために RDR レジスタを読出します。

・上記処理後、LIN アシストモード送信 ID レジスタ(LAMTID)を使用する場合は、ID Field データを LAMTID(LIN アシストモード送信 ID レジスタ)に設定します。
  ・ 以降の処理は、前項「● LIN Break Field～ID Field の送信」と同等です。

● DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Fieldを送信する場合)

・LIN アシストモード送信レジスタ(LAMTID)を使用しない場合、ID Field の 1 ビット目が送信されると、SSR:TDRE="1"に設定されます。このとき、DATA Field の書込みが可能です。
・LIN アシストモード送信レジスタ(LAMTID)を使用する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、DATA Field の書込みが可能です。
・LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、レスポンス送信開始までに、送信許可設定(SCR:TXE=1)します。
・LIN アシストモードは、チェックサムの演算を自動で行います。チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)にて演算方法の選択ができます。
・チェックサムの送信が完了すると、送信バスアイドルフラグ(SSR:TBI)をセットします。このとき、送信バスアイドル割込み許可ビットがセット(SCR:TBIE="1")されている場合割込みが発生します。
・レスポンス送信完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)します。

＜注意事項＞

・ アシストモード動作時のレスポンス送信データ(Data Field, チェックサム)は、RDR レジスタに格納できません。
・ FIFO を使用する場合は、LIN Break Field 設定ビット(SCR:LBR)を"1"(LIN Break Field 生成ビット) に設定した後に、FIFO にデータを書き込んでください。
・ レスポンス送信において、LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定した場合は、チェックサムを自動演算し送信するために、TDR レジスタにダミー書込み(書込み値は don't care)してください。このときの TDR 設定値はチェックサムに影響しません。
・ LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000") 設定したときのチェックサム値は以下となります。
  ・標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  ・拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転となります。

図 7-41 ID Field 送信～DATA Field 送信(ID レジスタを使用する場合、FIFO 未使用)

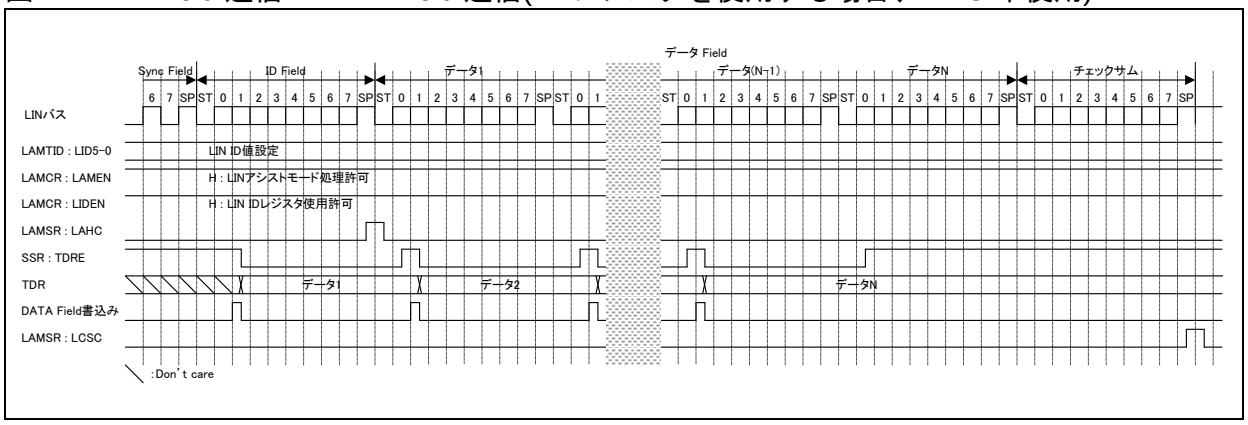
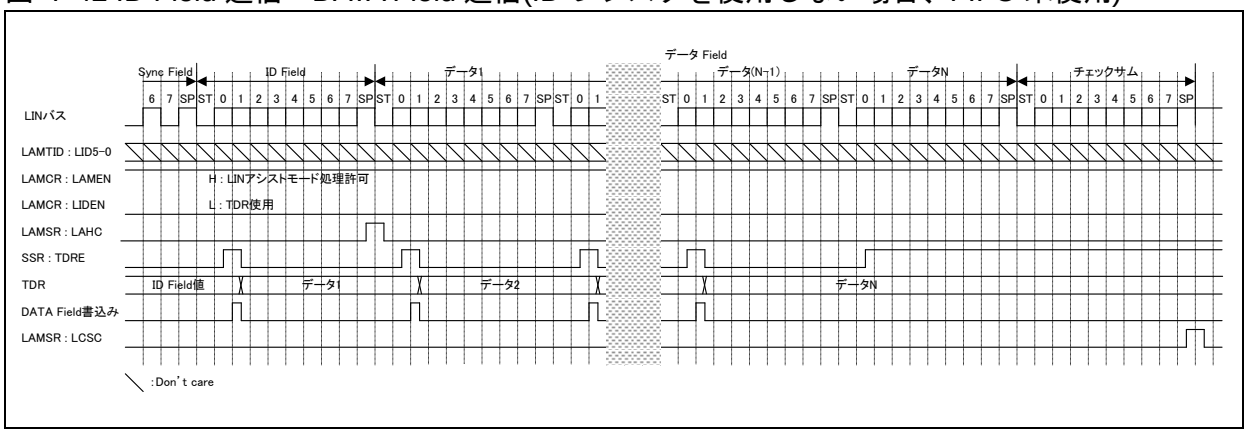


図 7-42 ID Field 送信～DATA Field 送信(ID レジスタを使用しない場合、FIFO 未使用)



(DATA Field を受信する場合)

- LIN アシストモード送信レジスタ(LAMTID)を使用しない場合、ID Field の 1 ビット目が送信されると、SSR:TDRE="1"に設定されますが、データを書き込まないでください。
  また、送信割込み禁止(SCR:TIE="0") にしてください。
- LIN アシストモード送信レジスタ(LAMTID)を使用する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、DATA Field への書込みが可能ですが、データを書き込まないでください。
- LIN Break Field 検出(SSR:LBD=1)からレスポンス受信開始までに、受信許可設定(SCR:RXE=1)してください。
- DATA Field を受信した場合、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE="1")されていると受信割込みが発生します。
- チェックサムの受信が完了すると LIN チェックサム演算完了フラグがセット(LAMSR: LCSC="1")されます。このとき、チャックサム演算完了割込み許可ビットを許可(LAMIER: LCSCIE="1")されている場合、割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 7-43 ID Field 送信～DATA Field 受信(ID レジスタを使用する場合、FIFO 未使用)

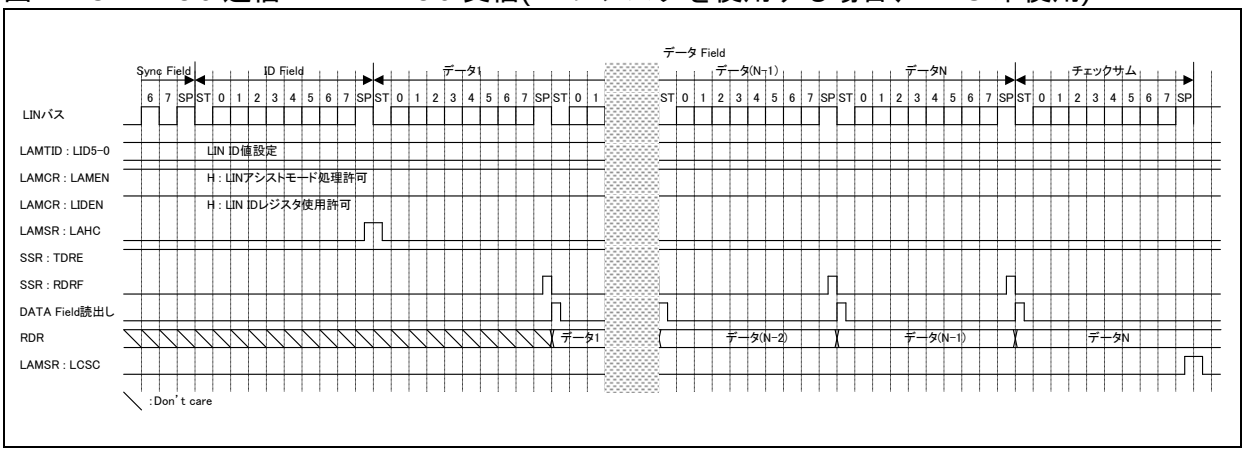
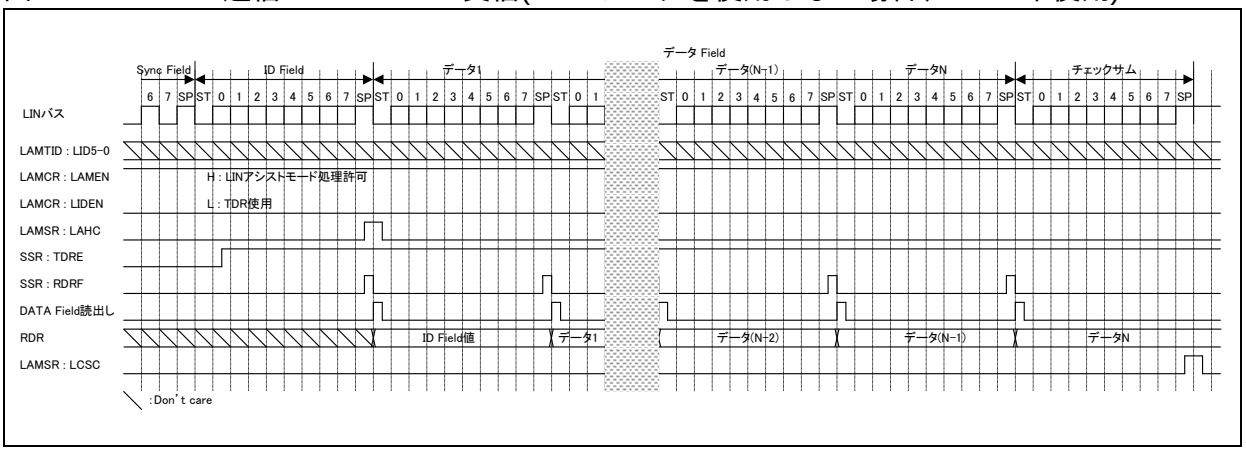


図 7-44 ID Field 送信～DATA Field 受信(ID レジスタを使用しない場合、FIFO 未使用)



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵しています。しかしノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
- アシストモード動作時のレスポンス受信のチェックサム値は、RDR レジスタに格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

● マスタ動作タイムチャート(FIFO 未使用時)

図 7-45 LIN バスタイミング(ID レジスタ使用,DATA Field 送信,FIFO 未使用)

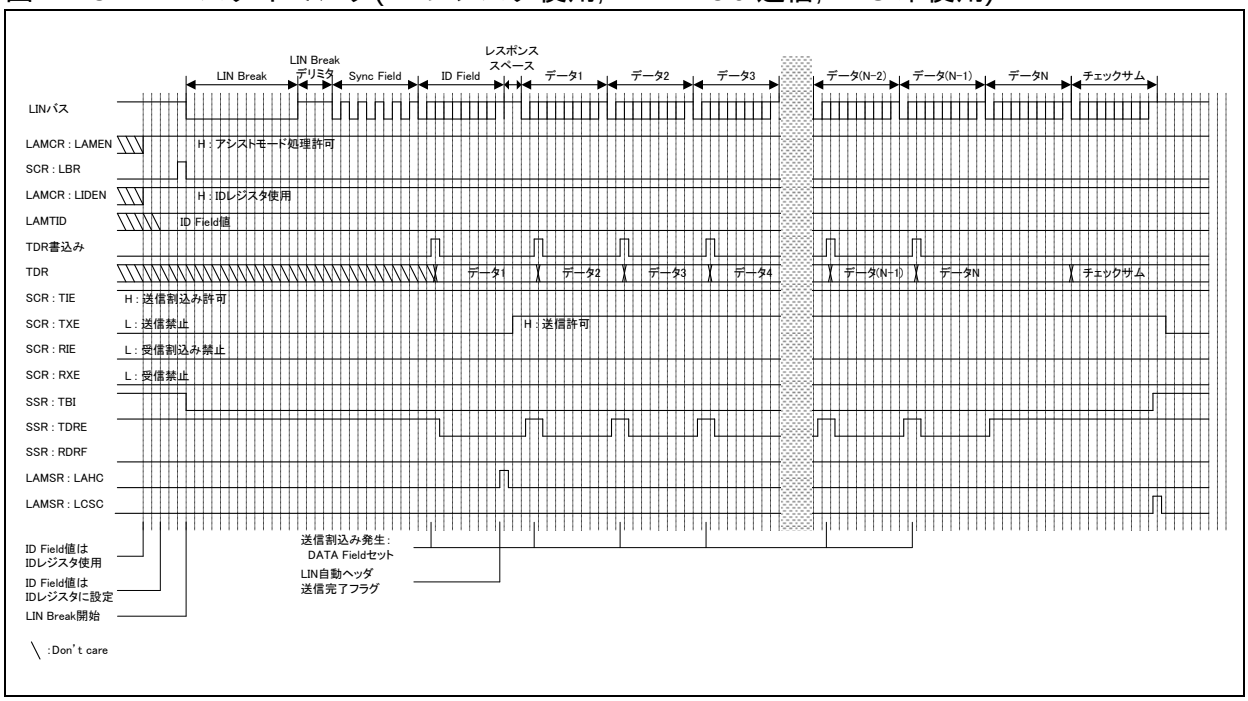


図 7-46 LIN バスタイミング(ID レジスタ未使用,DATA Field 送信,FIFO 未使用)

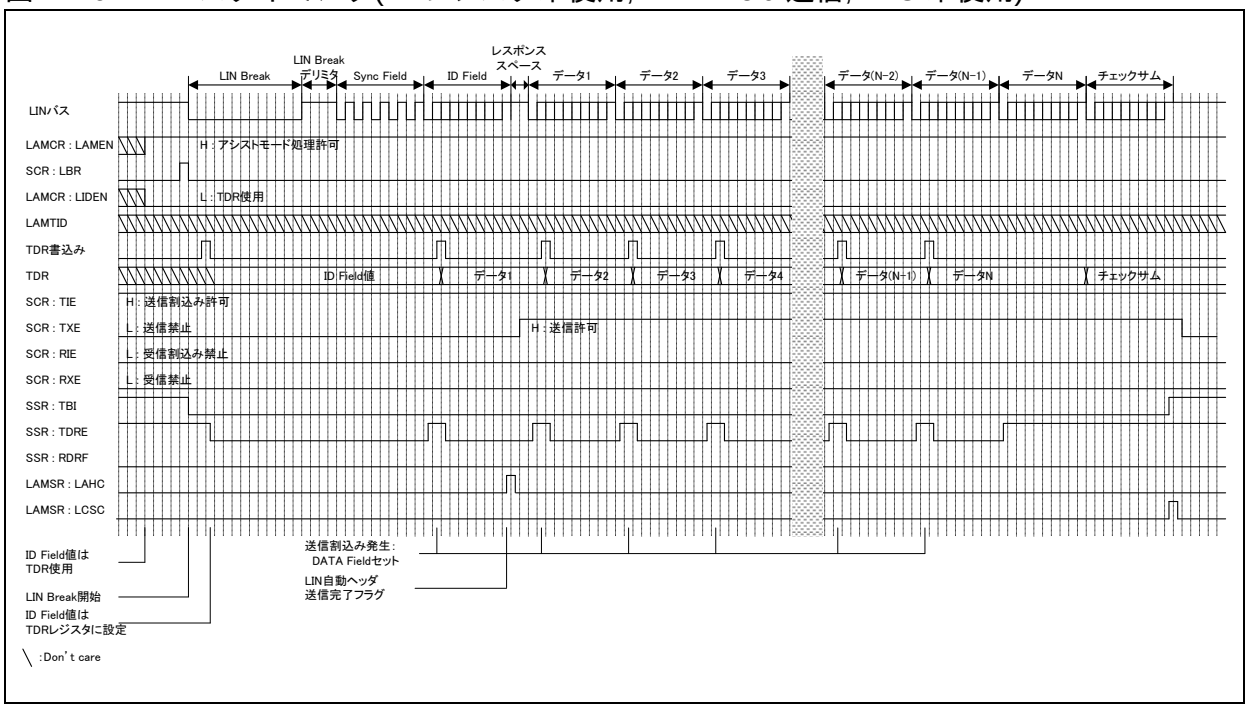


図 7-47 LIN バスタイミング(ID レジスタ使用,DATA Field 受信,FIFO 未使用)

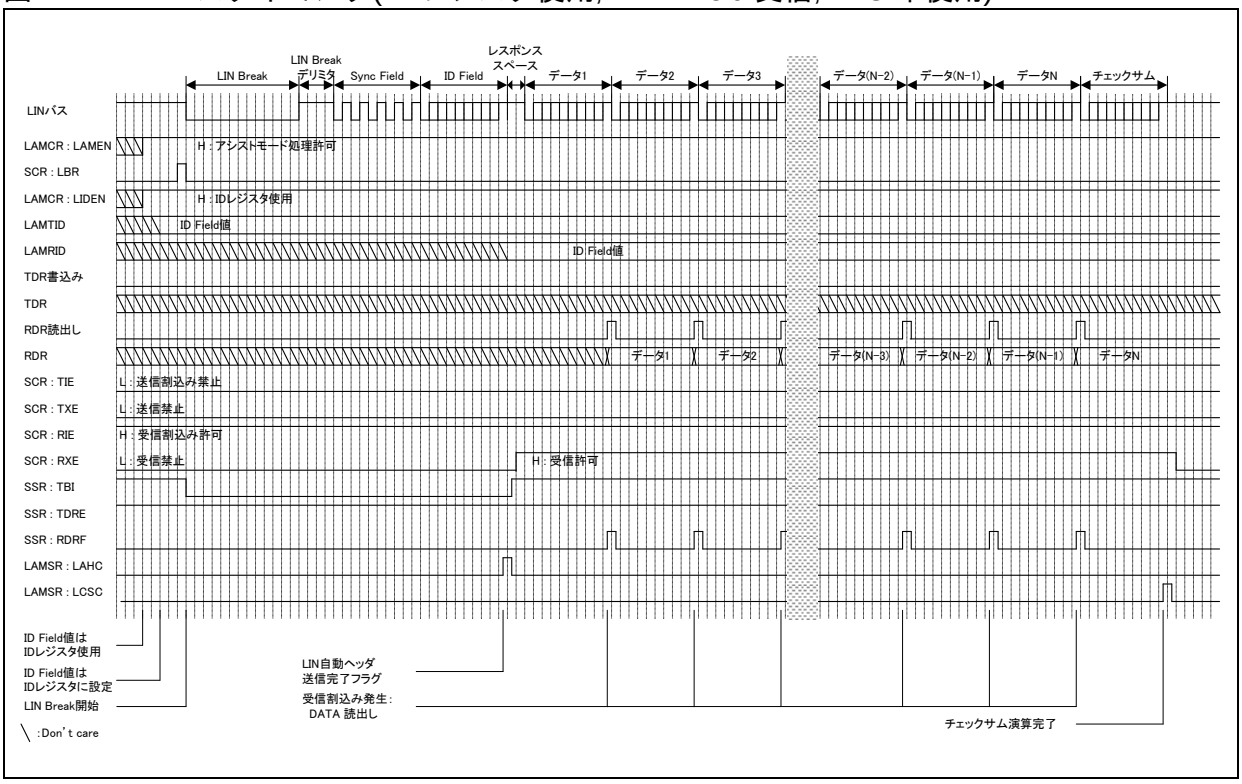


図 7-48 LIN バスタイミング(ID レジスタ未使用,DATA Field 受信,FIFO 未使用)

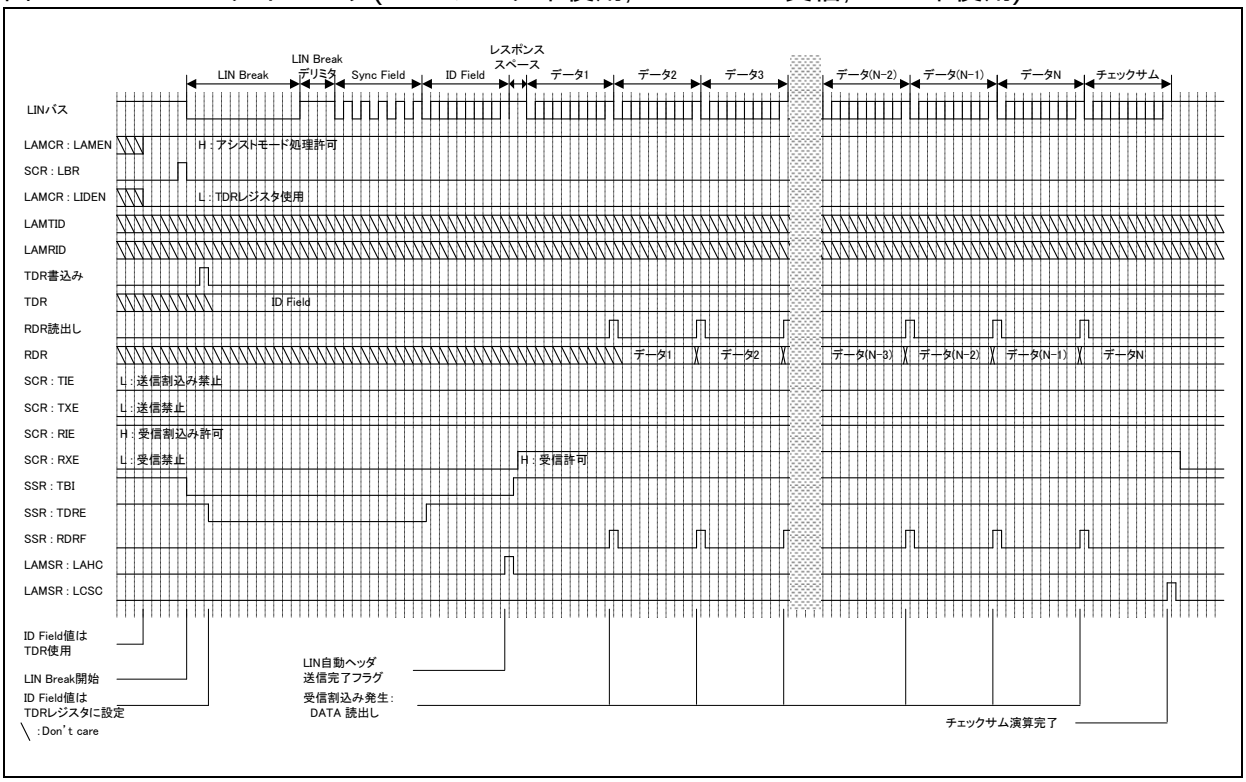


図 7-49 LIN バスタイミング(ID レジスタ使用,DATA Field 送信,FIFO 使用)

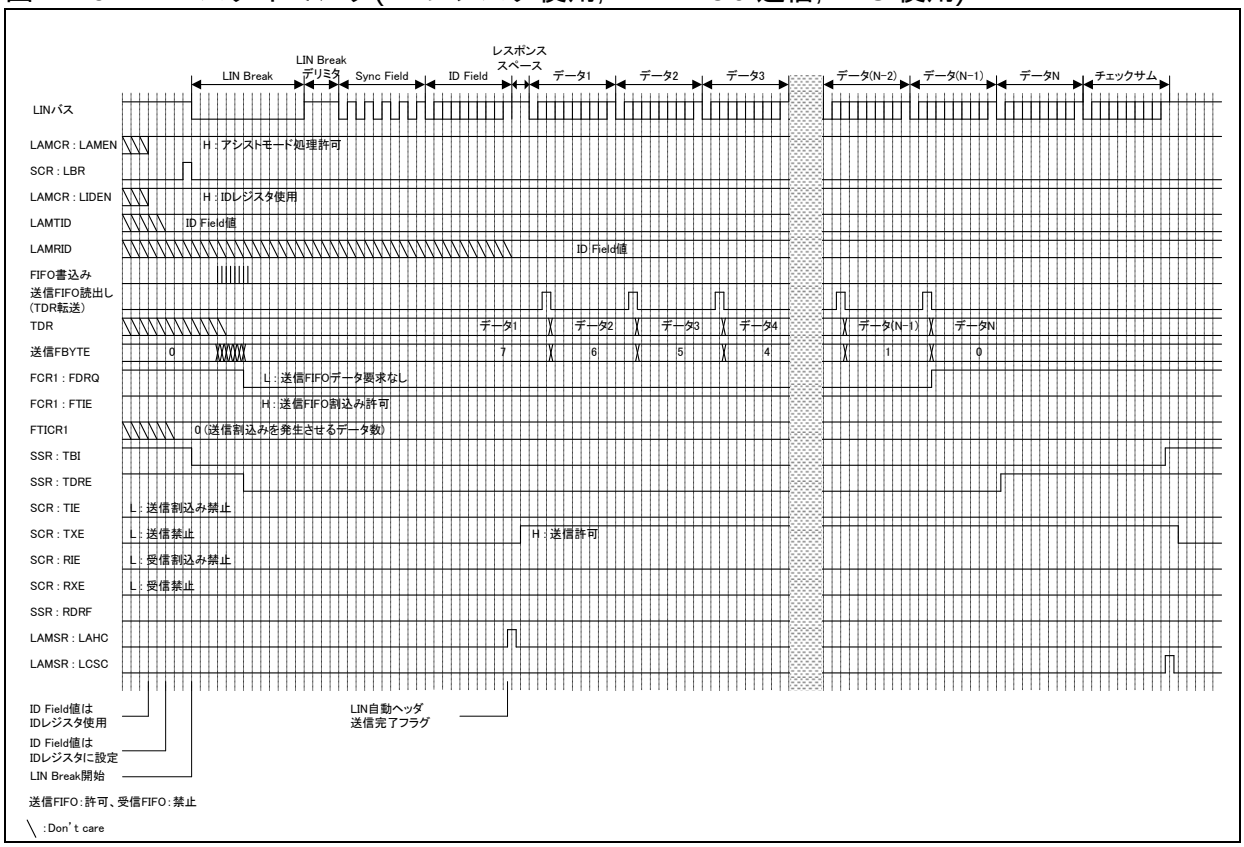


図 7-50 LIN バスタイミング(ID レジスタ未使用,DATA Field 送信,FIFO 使用)

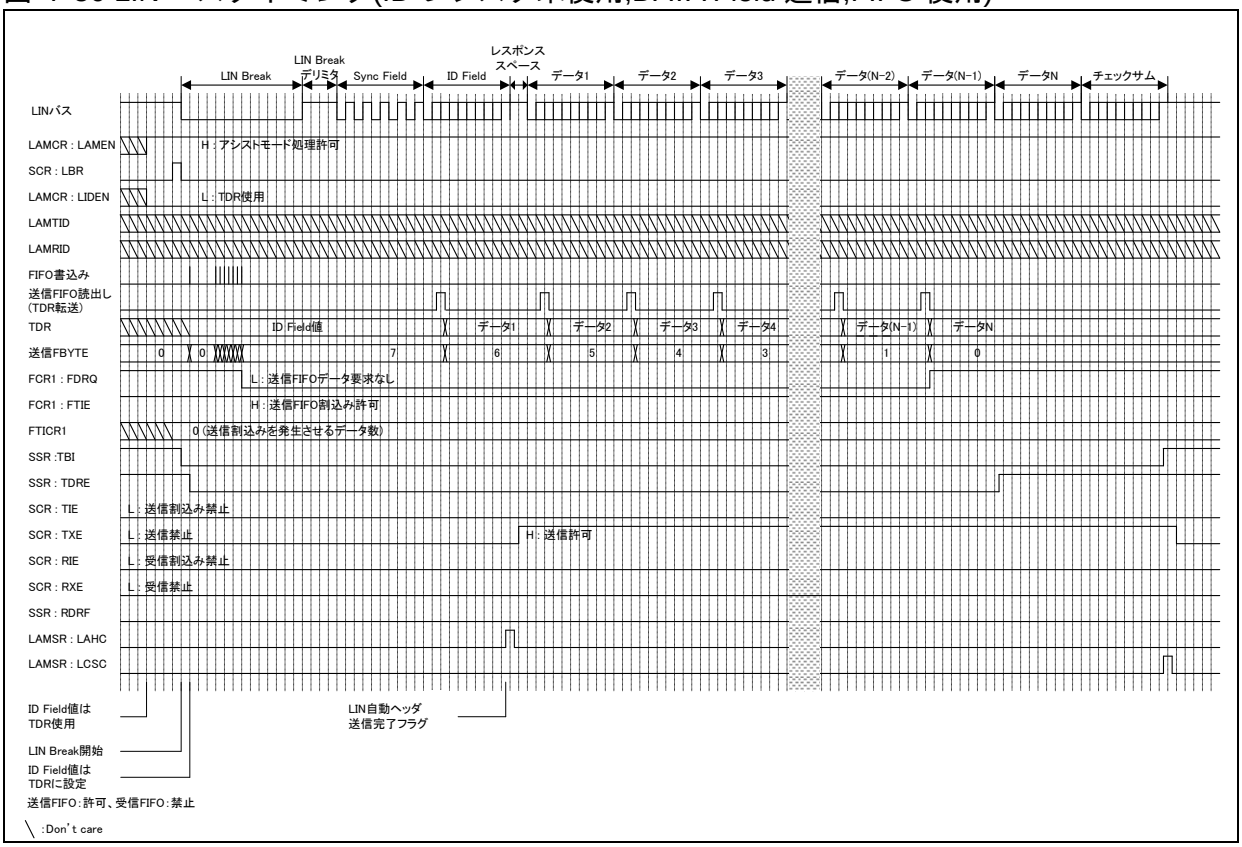


図 7-51 LIN バスタイミング(ID レジスタ使用,DATA Field 受信,FIFO 使用)

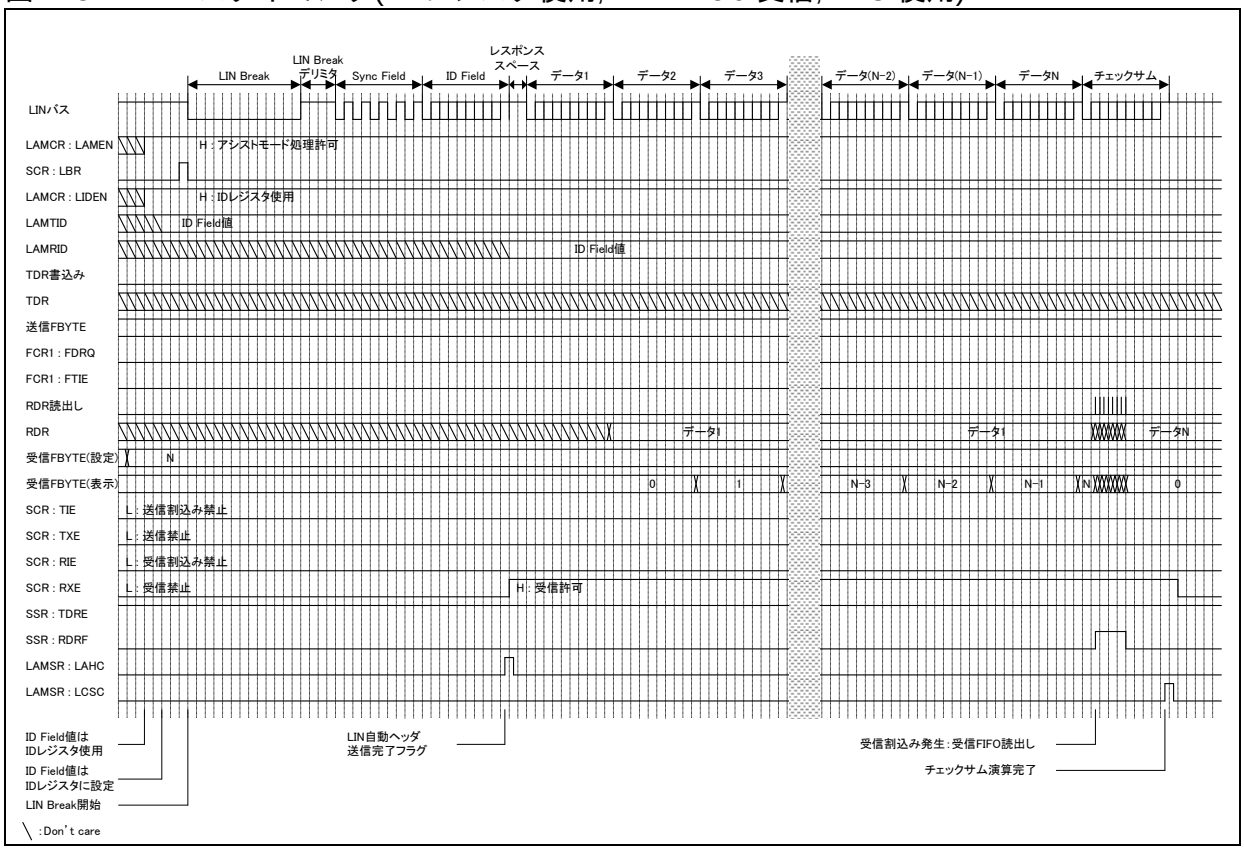
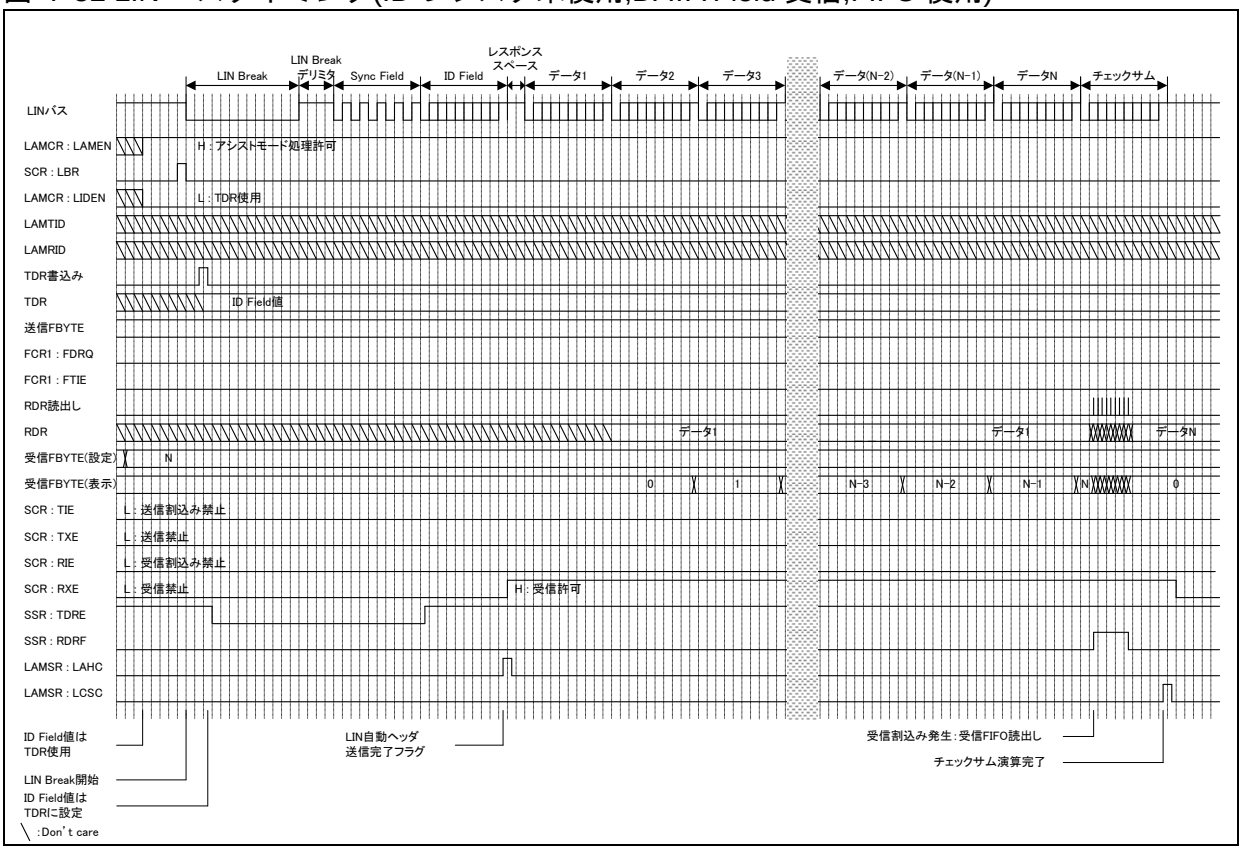


図 7-52 LIN バスタイミング(ID レジスタ未使用,DATA Field 受信,FIFO 使用)



■ スレーブ動作

● 自動ヘッダ受信設定

アシストモードにて自動ヘッダ受信を行うためには、以下の設定を行ってください。

・スレーブとして動作させるために、SCR:MS ビットを"1"に設定してください。
・LIN アシストモードとして動作させるためには、LAMCR:LAMEN ビットを"1"に設定してください。
・ID Field 値は、LAMRID(LIN アシストモード受信 ID レジスタ)または RDR(受信データレジスタ)に書き込まれます。ID Field の値を LAMRID に書き込む場合は、LAMCR:LIDEN ビットを"1"に設定してください。RDR に書き込む場合は、LAMCR:LIDEN ビットを"0"に設定してください。
・ボーレート調整を自動で行う場合は、SACSR:AUTE ビットを"1"に設定してください。
・受信許可ビット(SCR:RXE)を"1"(受信許可)に設定してください。

● LIN Break Field 受信～ID Field 受信

1. LIN Break Field が入力されると 11 ビット目で LIN Break Field が検出(SSR:LBD=1)されます。このとき、ESCR:LBIE ビットが"1"に設定されていると割込みを発生します。LIN アシストモードでは、ESCR:LBIE ビットを"0"に設定し、状態割込みを禁止にしてください。

以下の動作は、自動ボーレート調整を行う場合の動作です。

2. Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジスタ(STMR)を"0"に初期化します。
3. Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACSR: SFD)を"1"にセットします。このとき、SACSR:SFDE ビットが"1"に設定されていると状態割込みを発生します。LIN アシストモードでは、ESCR:SFDE ビットを"0"に設定し、状態割込みを禁止にしてください。
4. Sync Field の 5 番目の立下りエッジの検出時、シリアルタイマレジスタ(STMR)の値によって以下のように動作します。

・シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)以上でシンクフィールド上限レジスタ(SFUR)以下の場合、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)の値が設定され、ボーレート設定フラグ(SACSR:BST)が"1"にセットされます。
・シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)未満か、シンクフィールド上限レジスタ(SFUR)を超えた場合、ボーレートジェネレータレジスタ(BGR)は変更されず、ボーレート設定フラグ(SACSR:BST)が"0"にリセットされます。

図 7-53 LIN Break Field～ID Field の受信(STMR が SFUR 以下,SFLR 以上の場合)

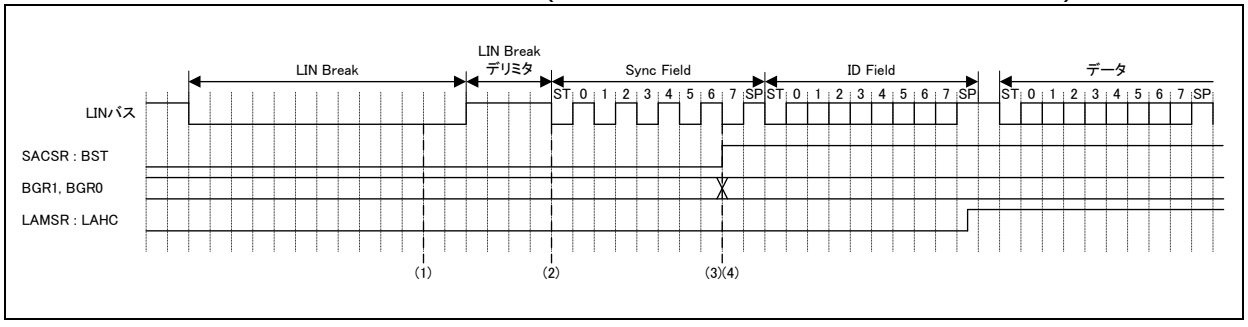
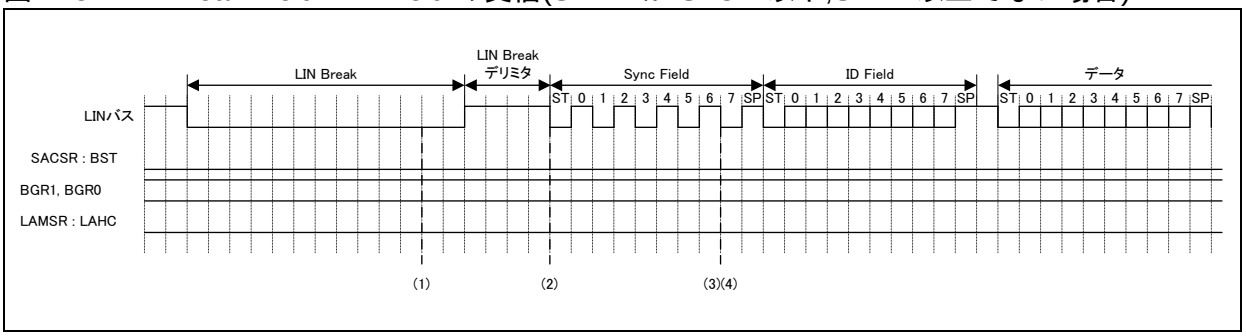


図 7-54 LIN Break Field～ID Field の受信(STMR が SFUR 以下,SFLR 以上でない場合)



5. LIN アシストモードでの自動ヘッダ受信が終了すると LAMSR:LAHC ビットが"1"に設定されます。ID Field で LIN パリティエラーが発生した場合も LAMSR:LAHC ビットが"1"になりますので、LAMSR:LAHC ビットが"1"にセットされた場合は、エラーが検出されていないことを確認してください。
6. ID Field を正常に受信した場合、LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。

図 7-55 LIN Break Field～ID Field の受信(パリティエラーが発生した場合)

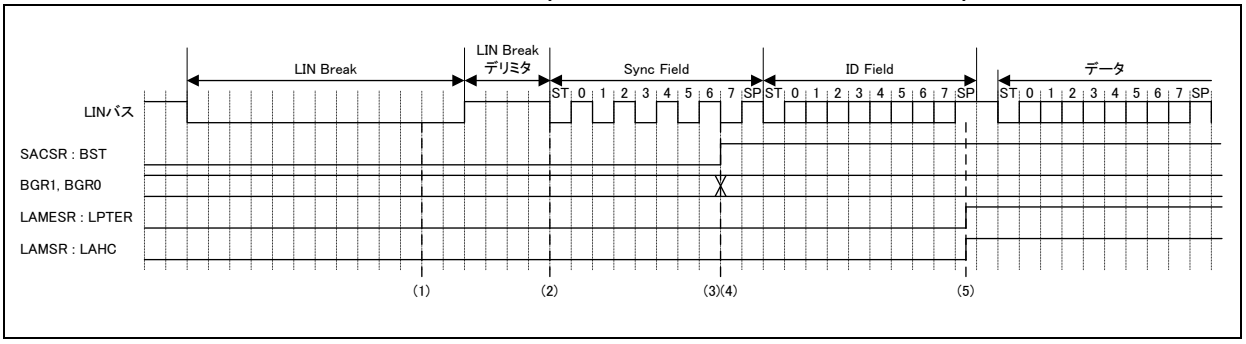
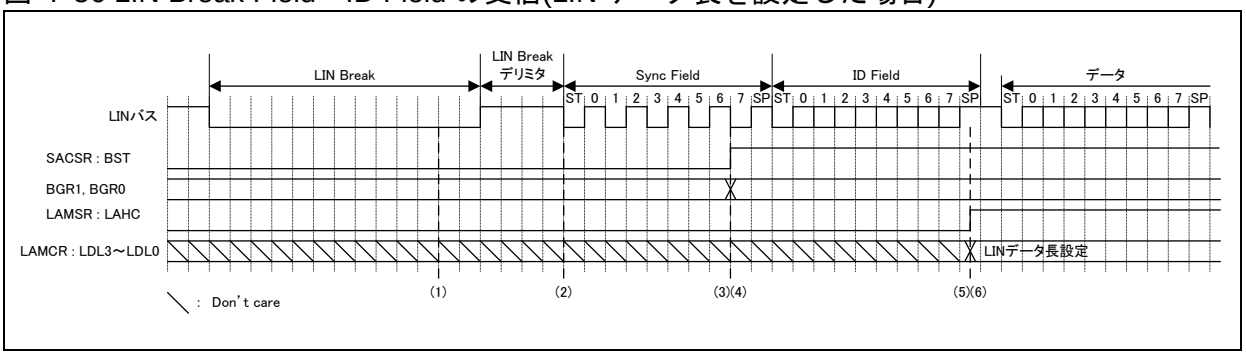


図 7-56 LIN Break Field～ID Field の受信(LIN データ長を設定した場合)



•

＜注意事項＞

- アシストモードのマスタのヘッダ受信期間中は、受信許可ビット(SCR:RXE)および送信許可ビット(SCR:TXE)の設定は無視されます。
- ただし、LIN Break Field を受信する際に、受信許可設定(SCR:RXE=1)されていると、LIN Break を検出する前にストップビットが"L"レベルと認識しフレーミングエラーを検出しますので、ヘッダ送信時は受信禁止設定(SCR:RXE=0)としてください。
- アシストモード動作時の Sync Field 値は、RDR レジスタに格納できません。

● ID Field 受信～DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

- ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき送信割込み許可(SCR:TIE=1)にしてください。
- 受信した ID Field の値から LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。
- LIN データ長設定ビット(LAMCR:LDL2 ～LDL0)を基にチェックサム演算を行い、最終データ送信後にチェックサムを自動で送信します。
- チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)にて演算方法の選択ができます。
- チェックサムの演算が完了すると、チェックサム演算完了フラグ(LAMCR:LCSC)をセットします。このとき、チェックサム演算完了割込み許可ビットがセット(LAMIER:LCSCIE=1)されている場合、状態割込みが発生します。
- レスポンス送信完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)します。

＜注意事項＞

- アシストモード動作時のレスポンス送信データ(Data Field, チェックサム)は、RDR レジスタに格納できません。
- レスポンス送信において、LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定した場合、チェックサムを自動演算し送信するために、TDR レジスタにダミー書込み(書込み値は don’t care)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

図 7-57 ID Field 受信～DATA Field の送信(ID レジスタを使用する場合)

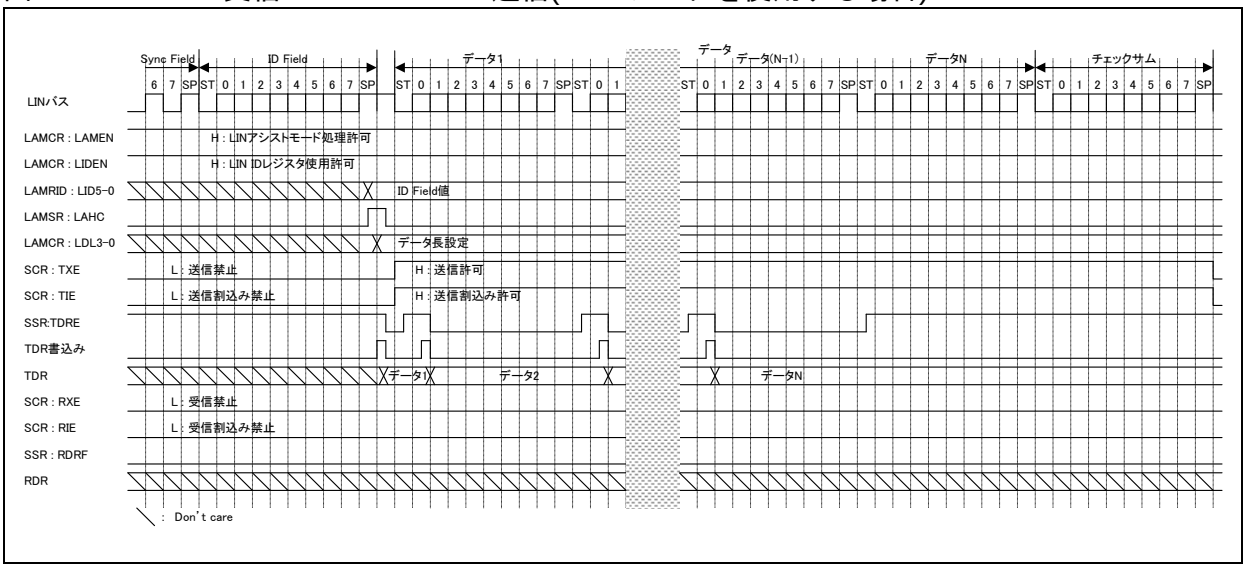
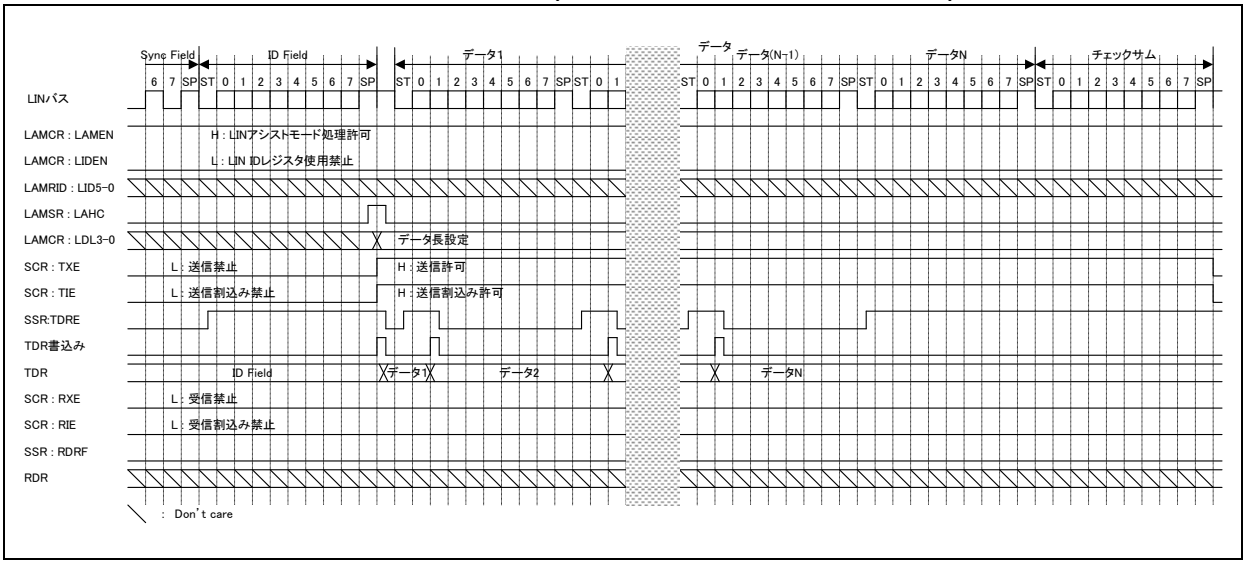


図 7-58 ID Field 受信～DATA Field の送信(ID レジスタを使用しない場合)



(DATA Field を受信する場合)

- 受信した ID Field の値から LIN データ長設定ビット(LAMCR:LDL2～LDL0)を設定してください。
- 受信許可設定(SCR:RXE=1)してください。
- DATA Field 受信ごとに、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SCR:　RDIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
- LIN データ長設定ビット(LAMCR:LDL3～LDL0)を基にチェックサム演算を行い、受信したチェックサムの正常性を自動で確認します。チェックサムの演算結果、LIN チェックサムエラーフラグビット(LAMESR:LCSER)で確認できます。LCSER が"1"の場合、チェックサムエラーが検出されてます。このとき､LIN チェックサムエラー割込み許可ビット(LAMIER:LCSERIE)が"1" の場合､割込みが発生します。
- チェックサム演算が完了した場合､チェックサム演算完了フラグビット(LAMSR:LCSC)が"1"になります。このとき、LIN チェックサム演算完了割込み許可ビット(LAMIER:LCSCIE)が"1"の場合、割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)します。

図 7-59 ID Field 受信～DATA Field の受信(ID レジスタを使用する場合)

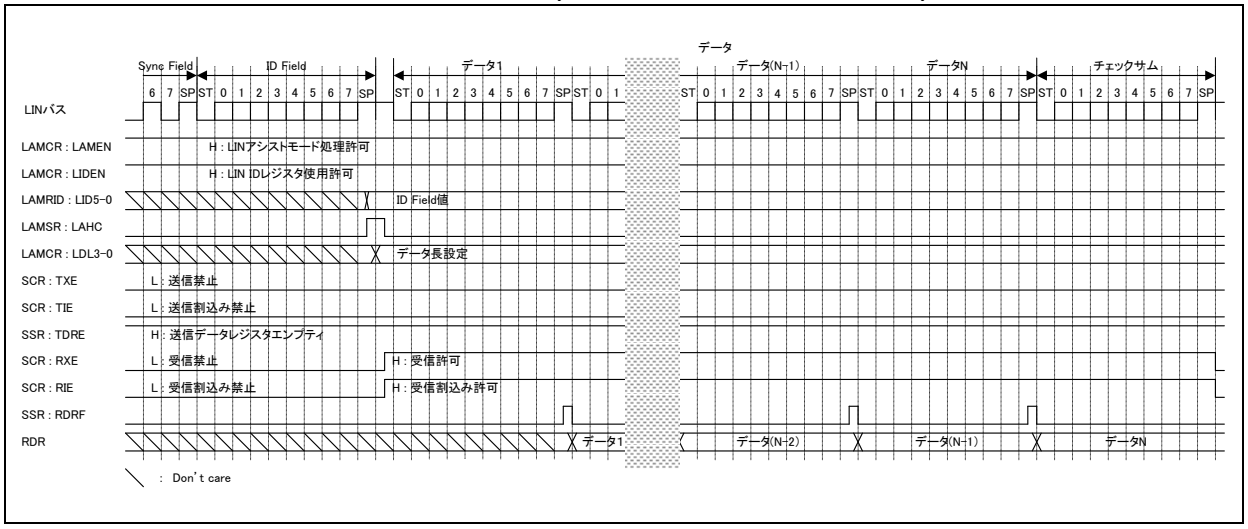
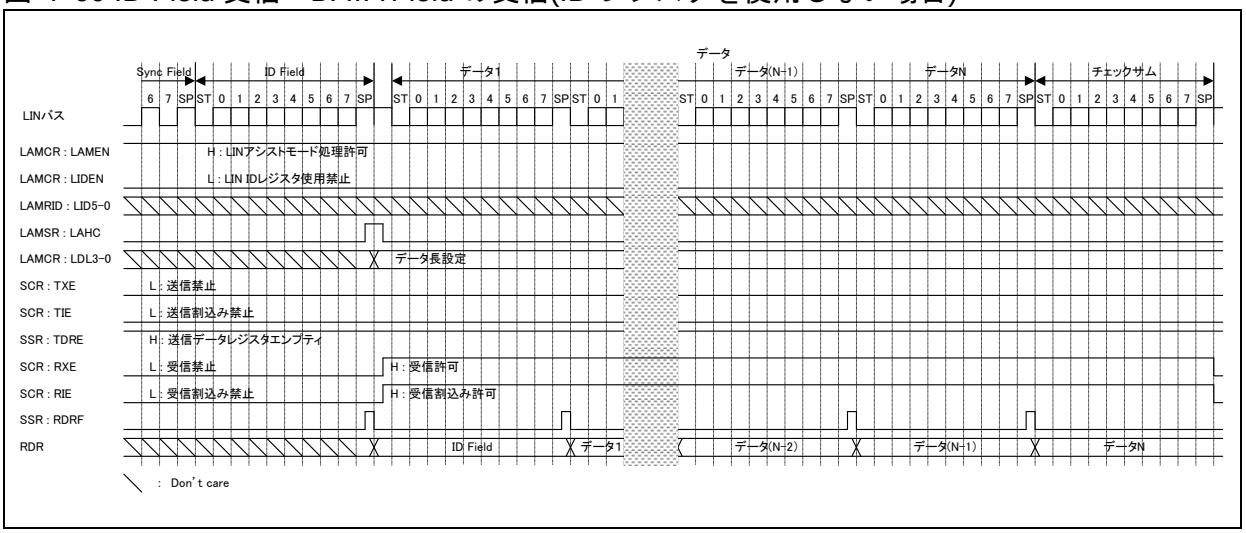


図 7-60 ID Field 受信～DATA Field の受信(ID レジスタを使用しない場合)



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵しています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど) ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
- アシストモード動作時のレスポンス受信のチェックサム値は、RDR レジスタに格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3-0="0000")設定したときのチェックサム値は以下となります。
  - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF となります。
  - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値となります。

● アシストモード処理中の LIN Break Field 受信

アシストモード処理中(SSR:RDRF=1 or SCR:TXE=1 or SSR:TBI=0)の場合、再送された LIN Break Field の LIN フレームのために、LIN Break Field 検出(SSR:LBD=1)後以下の手順が必要になります。

- まず、受信禁止設定(SCR:RXE=0)および送信禁止設定(SCR:TXE=0)します。
- 再受信前の受信データを破棄します。
  - 受信 FIFO を使用している場合は、受信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、受信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  - 次に受信データレジスタをクリアするために RDR レジスタを読出します。
- 再受信前の送信データを破棄します。
  - 送信 FIFO を使用している場合は、送信 FIFO 動作禁止(FCR0:FE1=0 FCR0:FE2=0)した後、送信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
  - 次に送信データレジスタクリアを実行(LAMCR:LTDRCL=1)し、送信バスアイドル状態にします。
- LIN アシストモードでの自動ヘッダ受信が終了すると LAMSR:LAHC ビットが"1"に設定されます。また、

ID FieldでLINパリティエラーおよびフレーミングエラーが検出されていないことを確認してください。
・ID Field を正常に受信した場合、LIN データ長設定ビット(LAMCR:LDL3-0)を設定してください。
・以降処理は、前項「● ID Field 受信～DATA Field 送受信」と同等です。

＜注意事項＞

- LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
- アシストモード(LAMCR:LAMEN)において LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。

● スレーブ動作タイミングチャート

図 7-61 LIN バスタイミング
(DATA Field 送信時:FIFO 未使用時、AUTE=1、ID レジスタ使用)

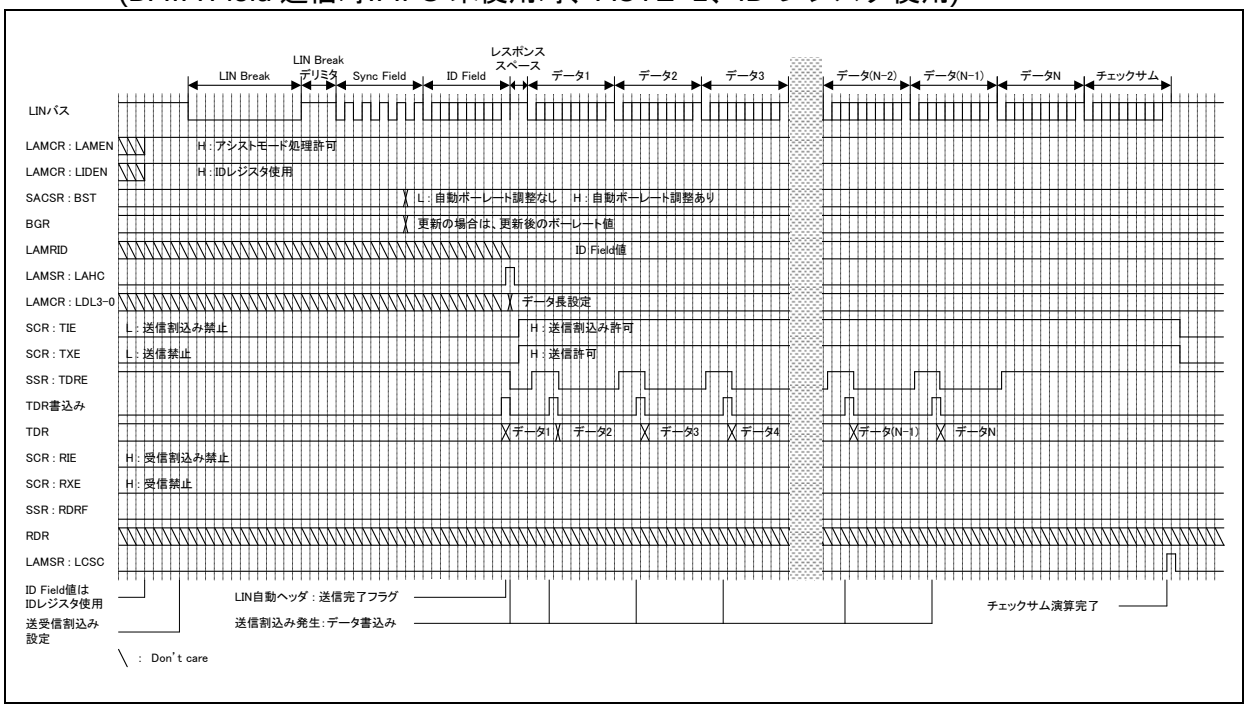


図 7-62 LIN バスタイミング
(DATA Field 送信時:FIFO 未使用時、AUTE=1、ID レジスタ未使用)

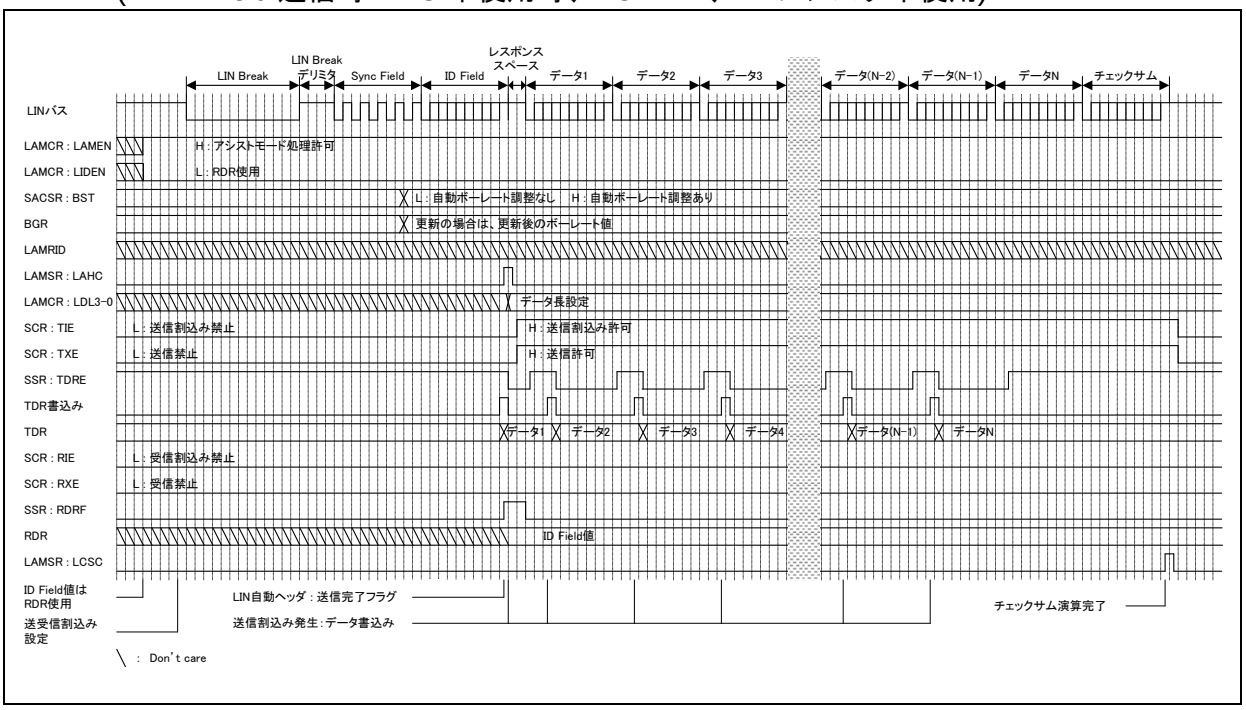


図 7-63 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時、AUTE=1、ID レジスタ使用)

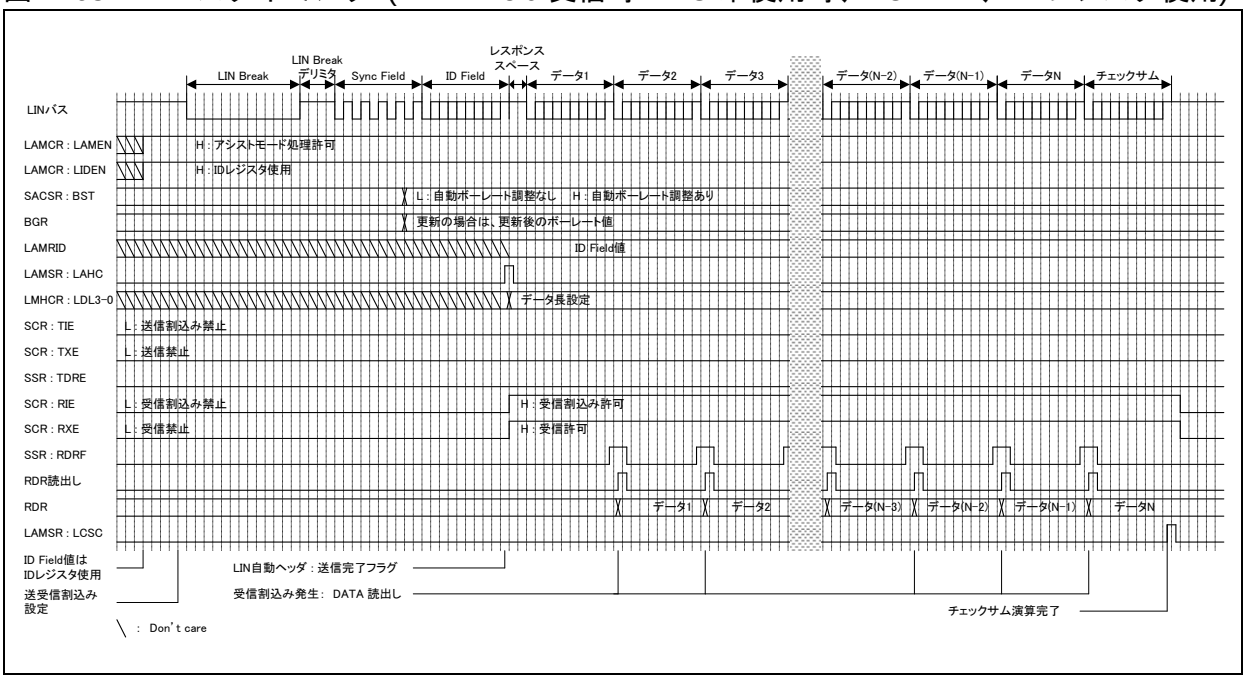


図 7-64 LIN バスタイミング
(DATA Field 受信時:FIFO 未使用時、AUTE=1、ID レジスタ未使用)

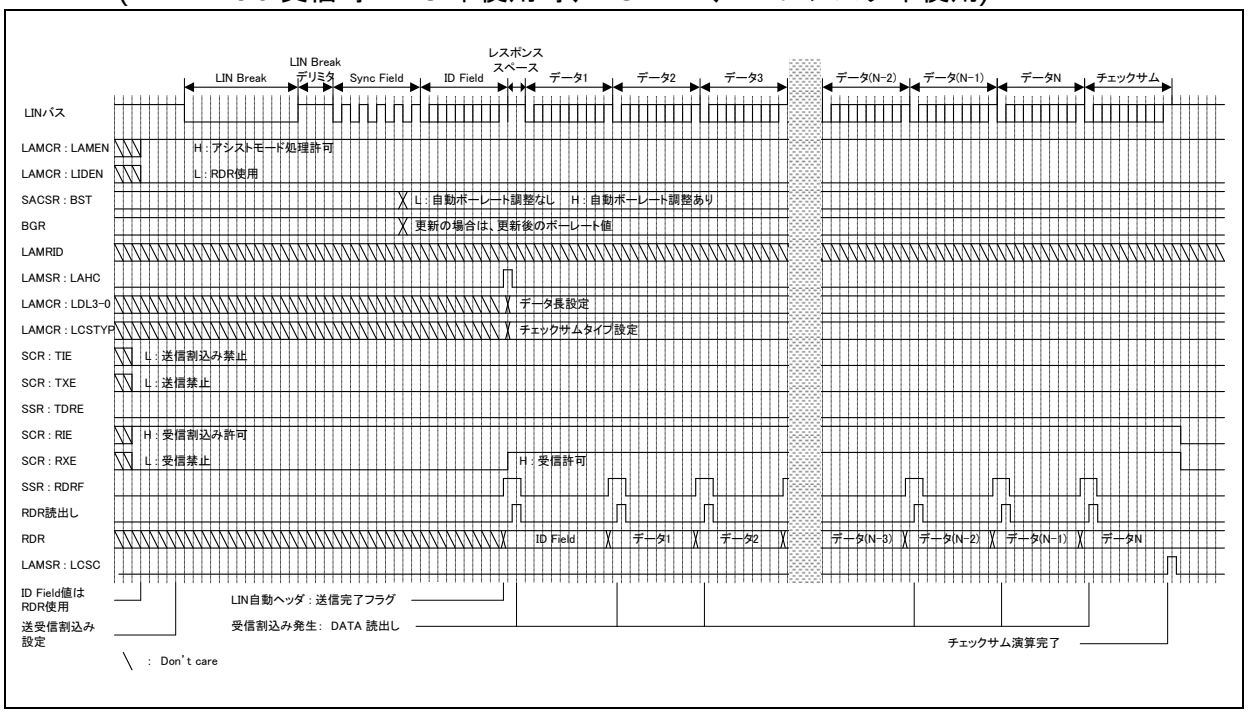


図 7-65 LIN バスタイミング (DATA Field 送信時:FIFO 使用時、AUTE=1、ID レジスタ使用)

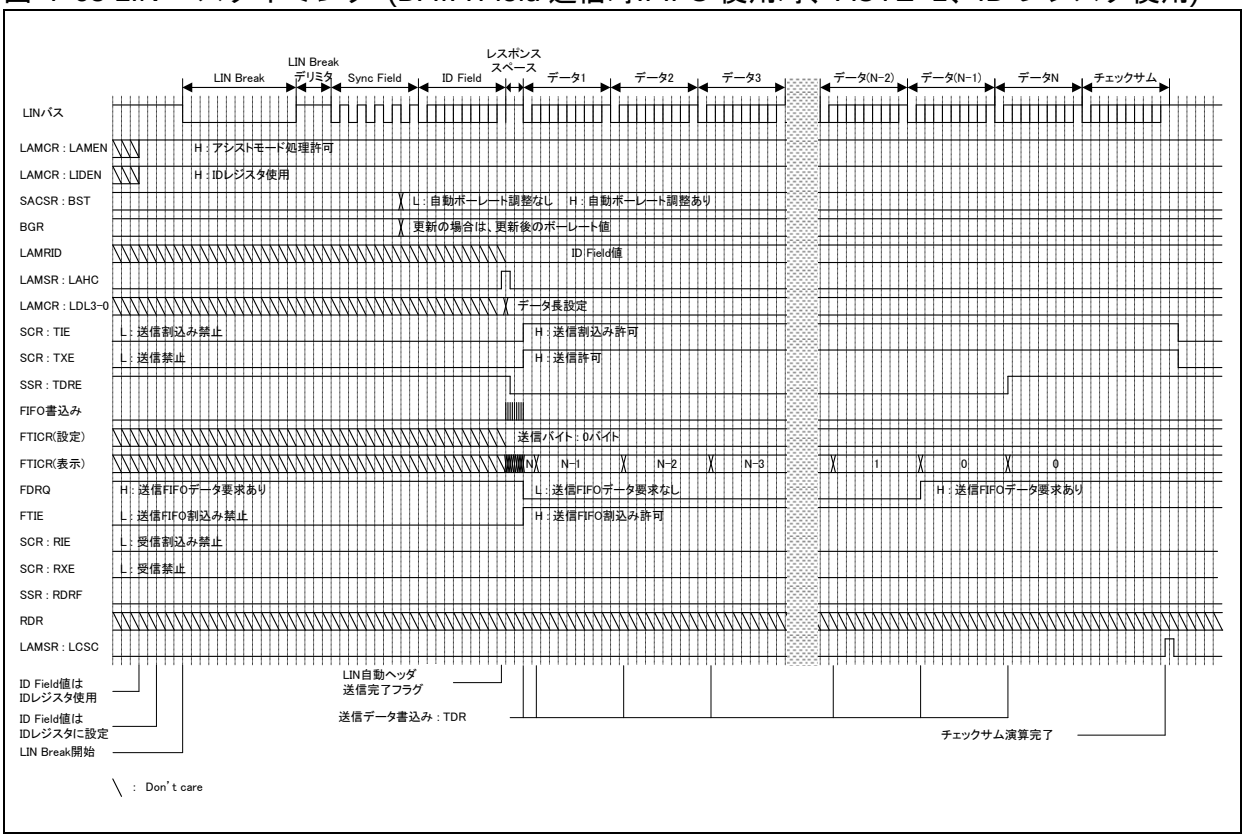


図 7-66 LIN バスタイミング (DATA Field 送信時:FIFO 使用時、AUTE=1、ID レジスタ未使用)

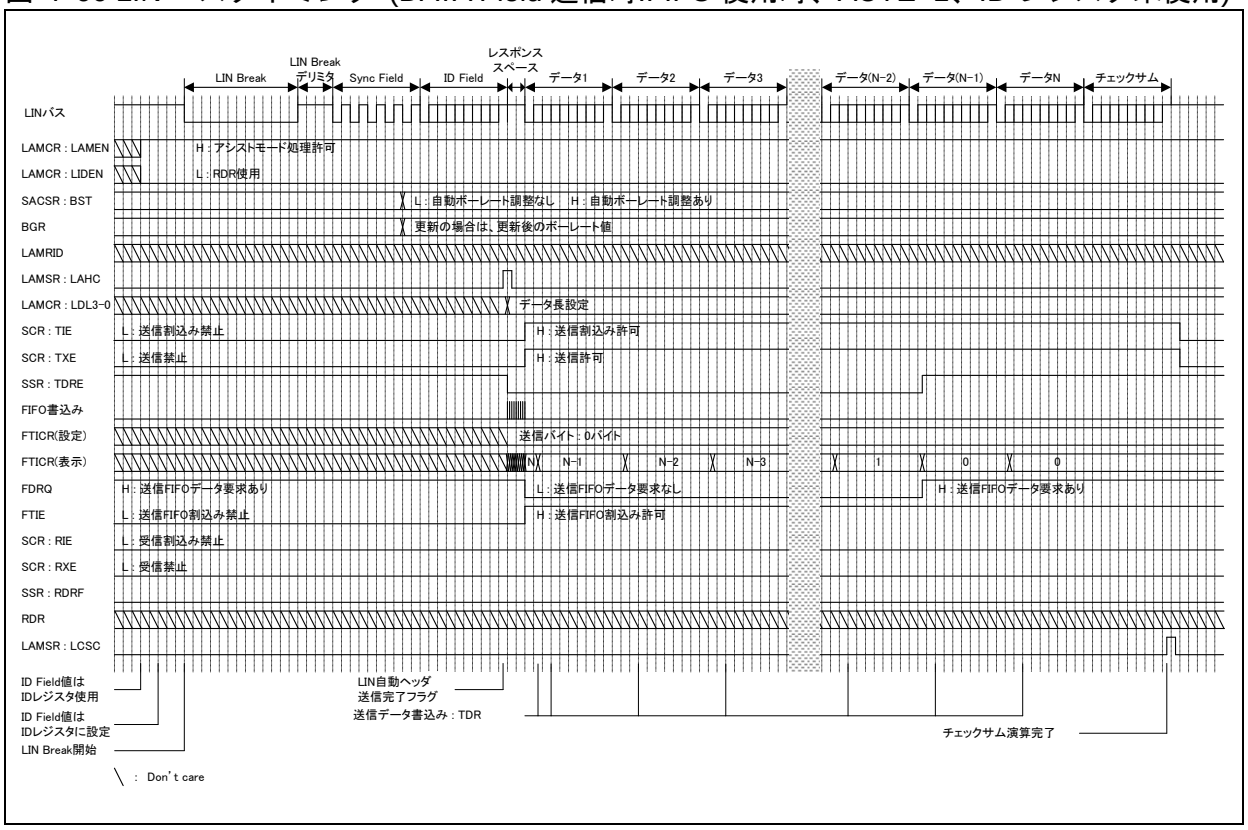


図 7-67 LIN バスタイミング (DATA Field 受信時:FIFO 使用時、AUTE=1、ID レジスタ使用)

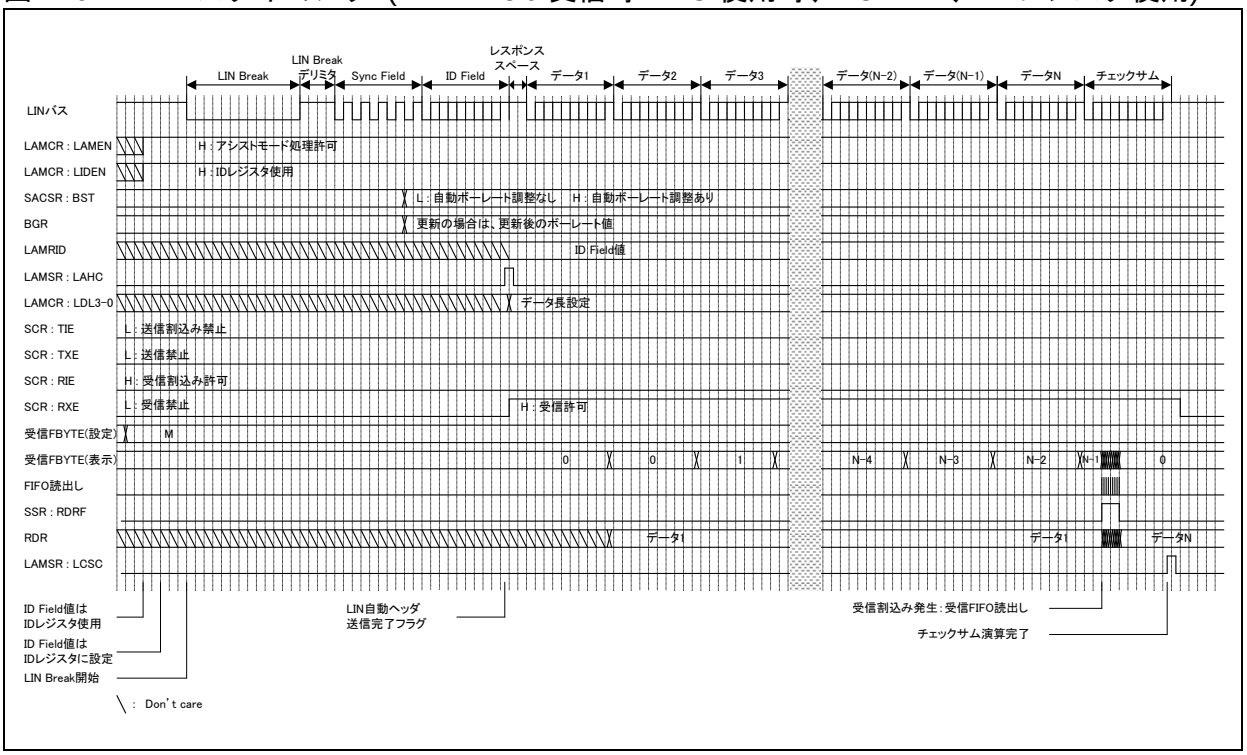
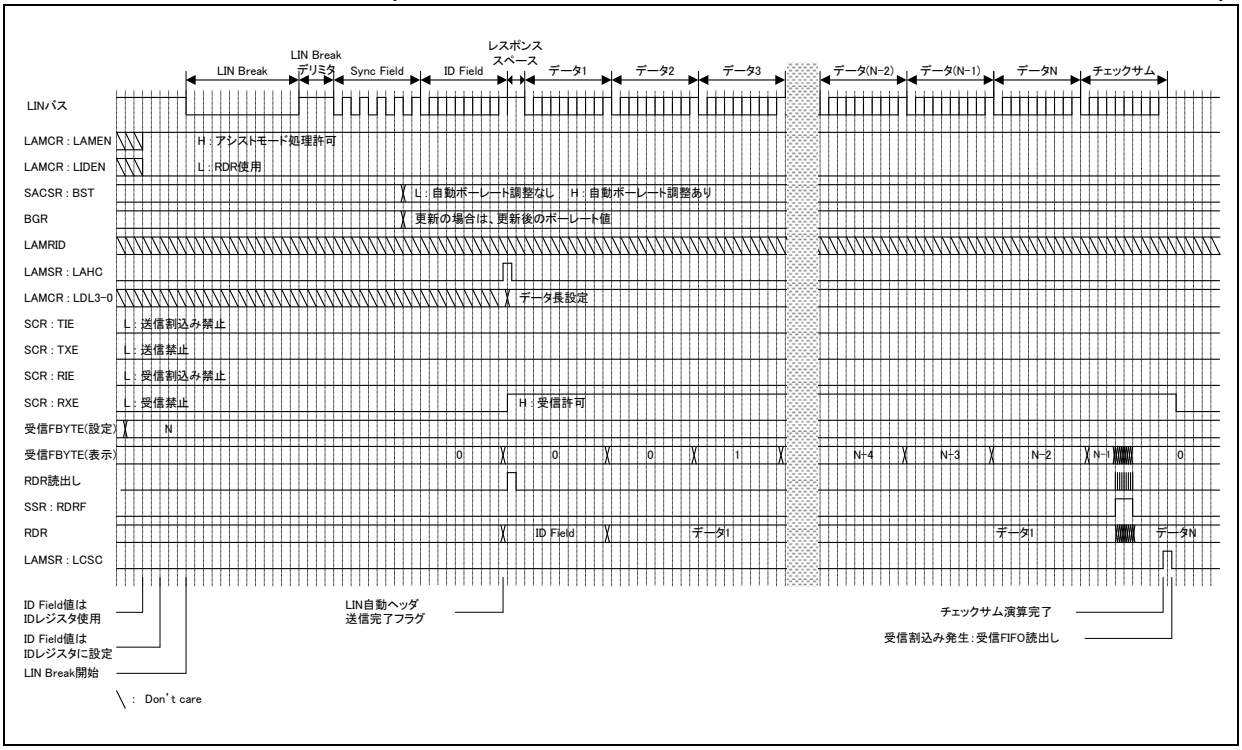


図 7-68 LIN バスタイミング (DATA Field 受信時:FIFO 使用時、AUTE=1、ID レジスタ未使用)



7.5.3. LIN ボーレート選択・設定

LIN ボーレート選択・設定について示します。

LIN では、

・専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート
・専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート
を使用できます。設定方法は UART 時(モード 0/1)と同一です。「5.2.12 UART ボーレート選択・設定」を参照してください。

7.6. 設定手順とプログラムフロー

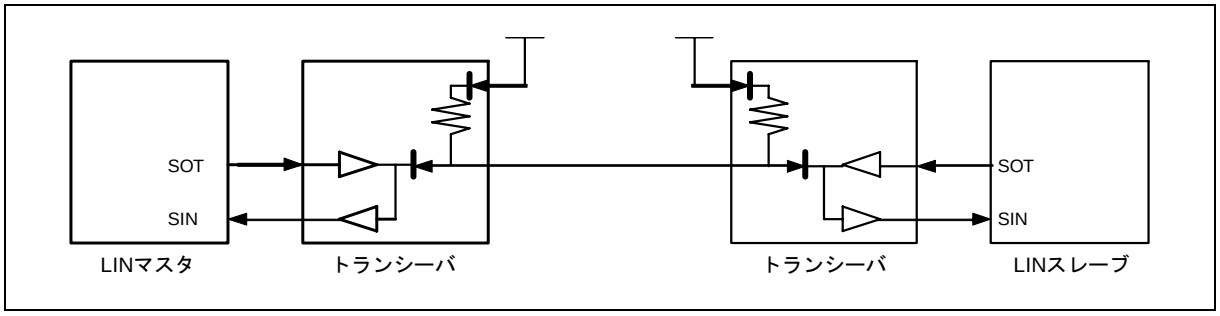
設定手順とプログラムフローについて示します。

動作モード 3(LIN 通信モード)では、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

■ CPU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを次に示します。マルチファンクションシリアルインタフェースは、LIN マスタまたは、LIN スレーブとして動作することができます。

図 7-69 LIN バスシステムの通信例



7.6.1. マニュアルモード

マニュアルモードについて示します。

マニュアルモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

■ フローチャート例

● マスタ動作

図 7-70 LIN 通信マスタモードフローチャート例(FIFO 未使用)

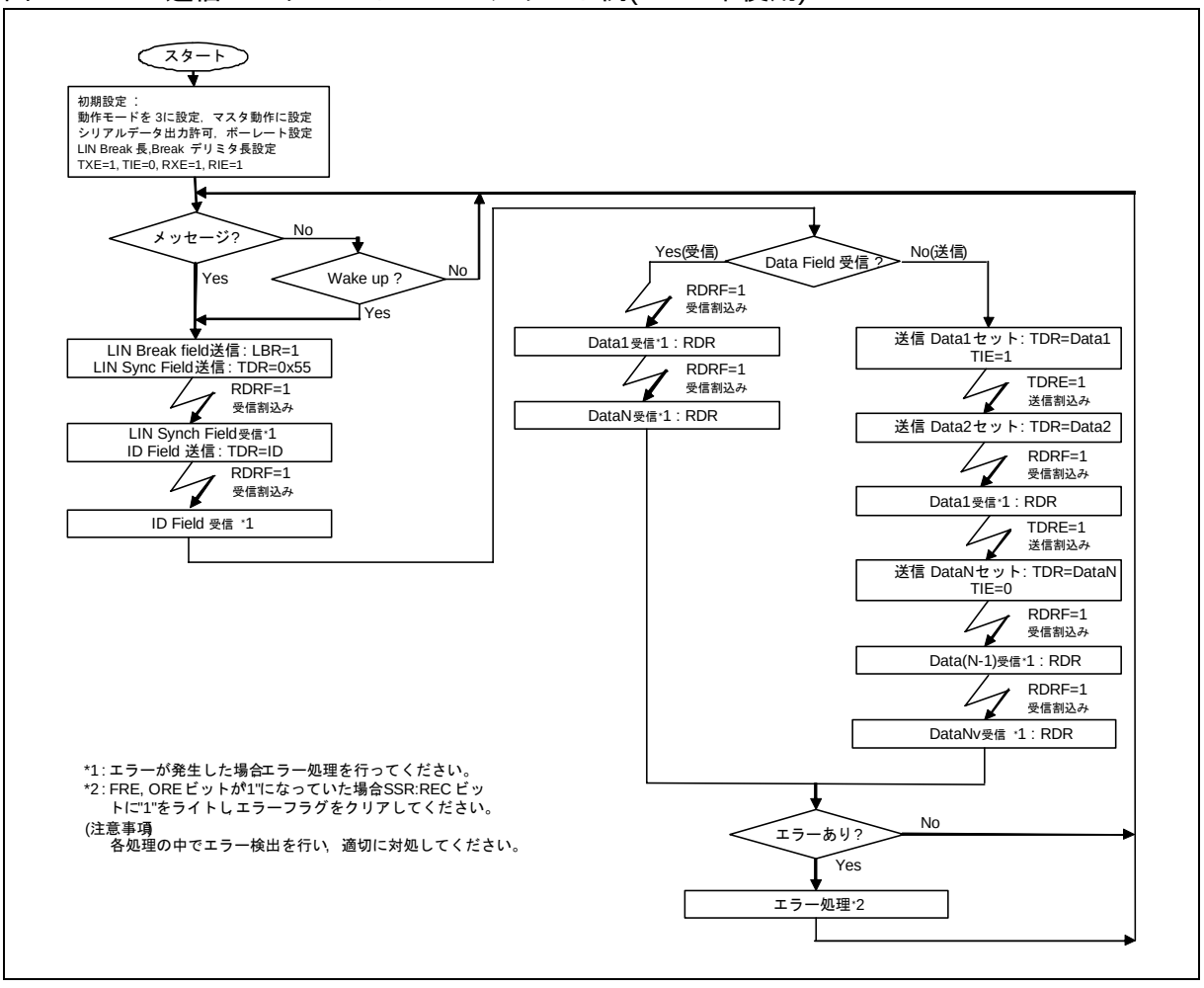
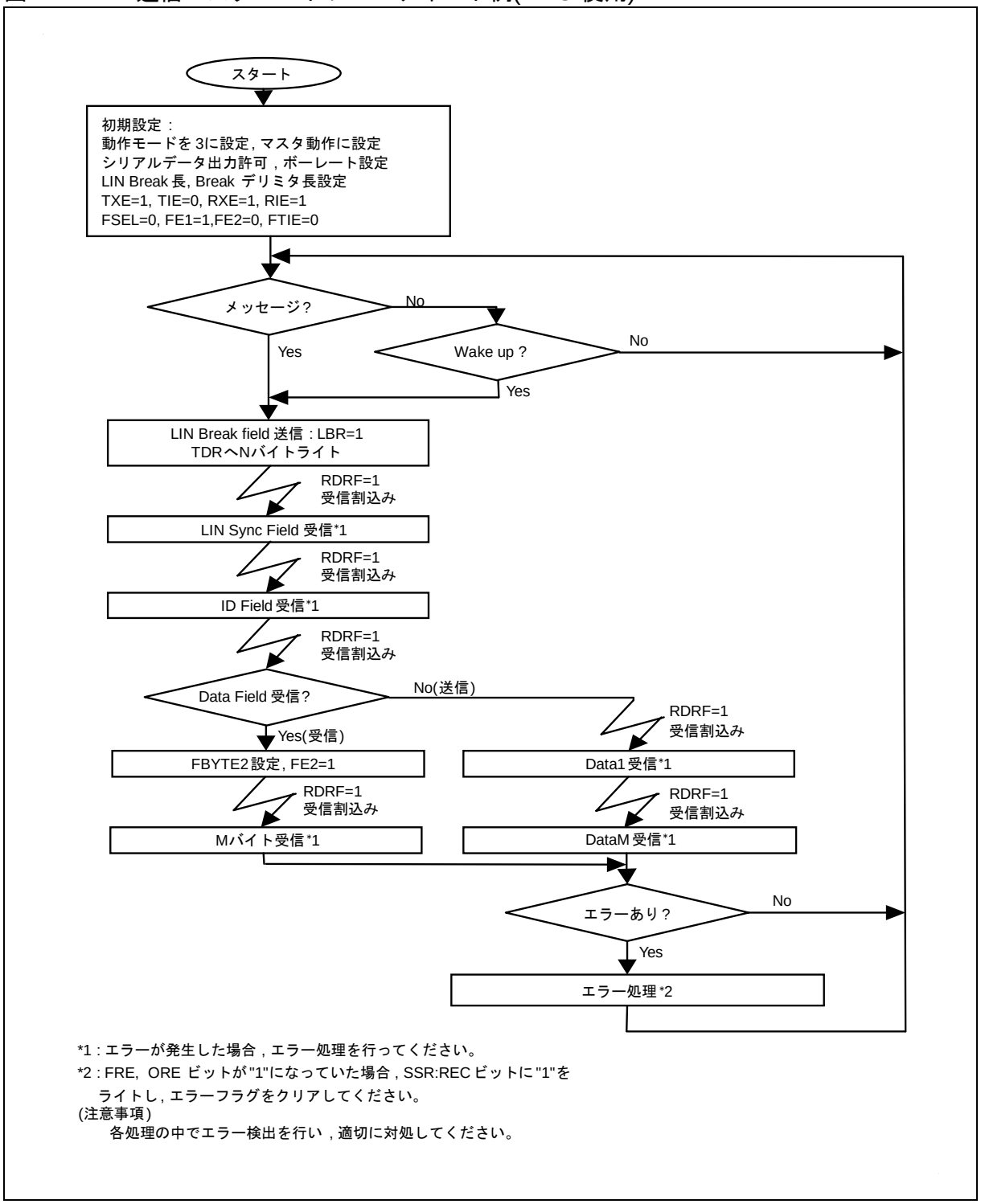


図 7-71 LIN 通信マスタモードフローチャート例(FIFO 使用)



*1 : エラーが発生した場合, エラー処理を行ってください。
*2 : FRE, ORE ビットが"1"になっていた場合, SSR:REC ビットに"1"を
ライトし, エラーフラグをクリアしてください。
(注意事項)
各処理の中でエラー検出を行い, 適切に対処してください。

● スレーブ動作

図 7-72 LIN 通信スレーブモードフローチャート例
(FIFO 未使用，自動ボーレート調整許可(SACSR:AUTE=1))

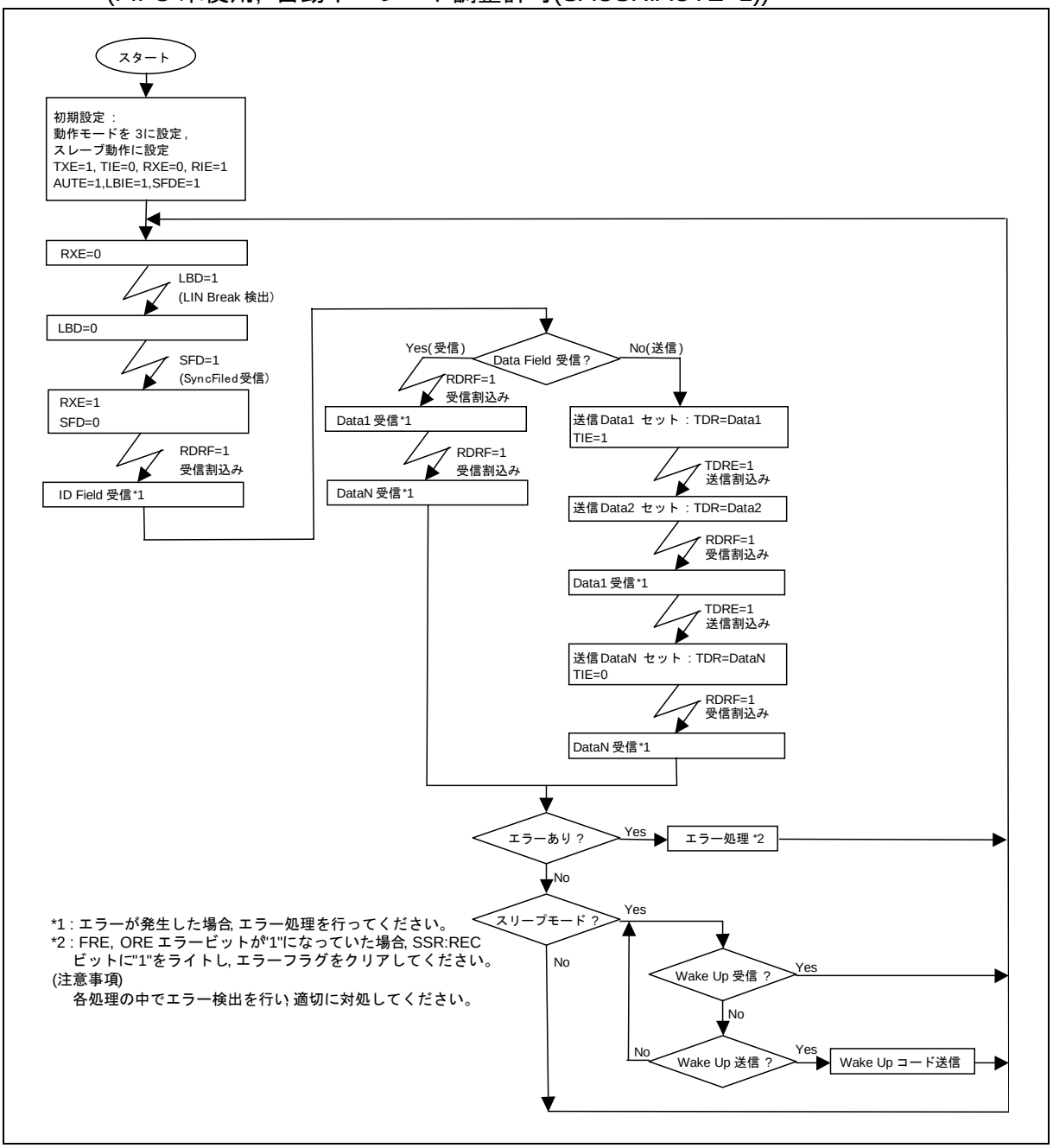
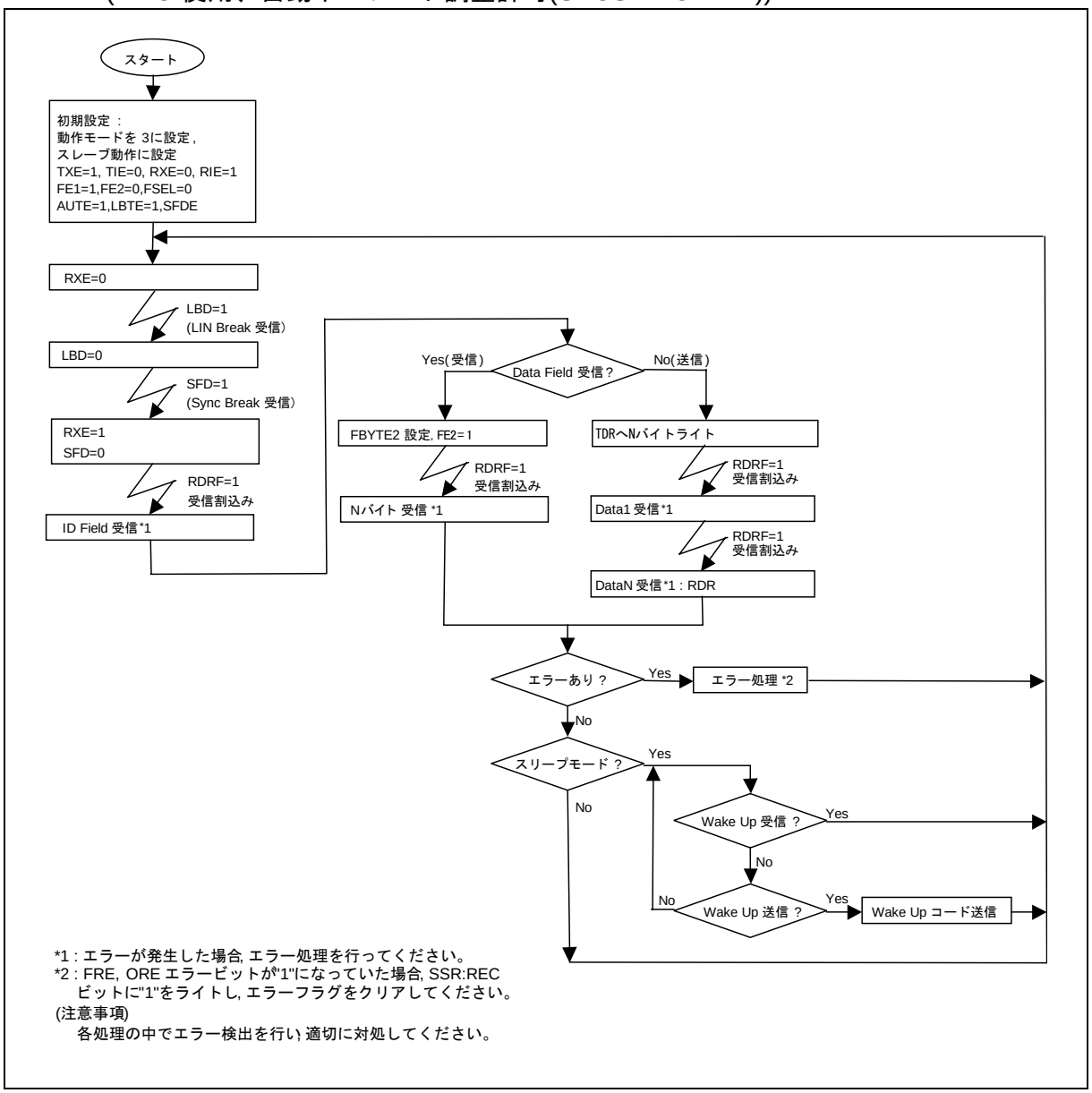


図 7-73 LIN 通信スレーブモードフローチャート例
(FIFO 使用、自動ボーレート調整許可(SACSR:AUTE=1))



7.6.2. アシストモード

アシストモードについて示します。

アシストモードモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

■ フローチャート例

● マスタ動作

図 7-74 LIN 通信マスタモードフローチャート例 (アシストモード/FIFO 未使用)

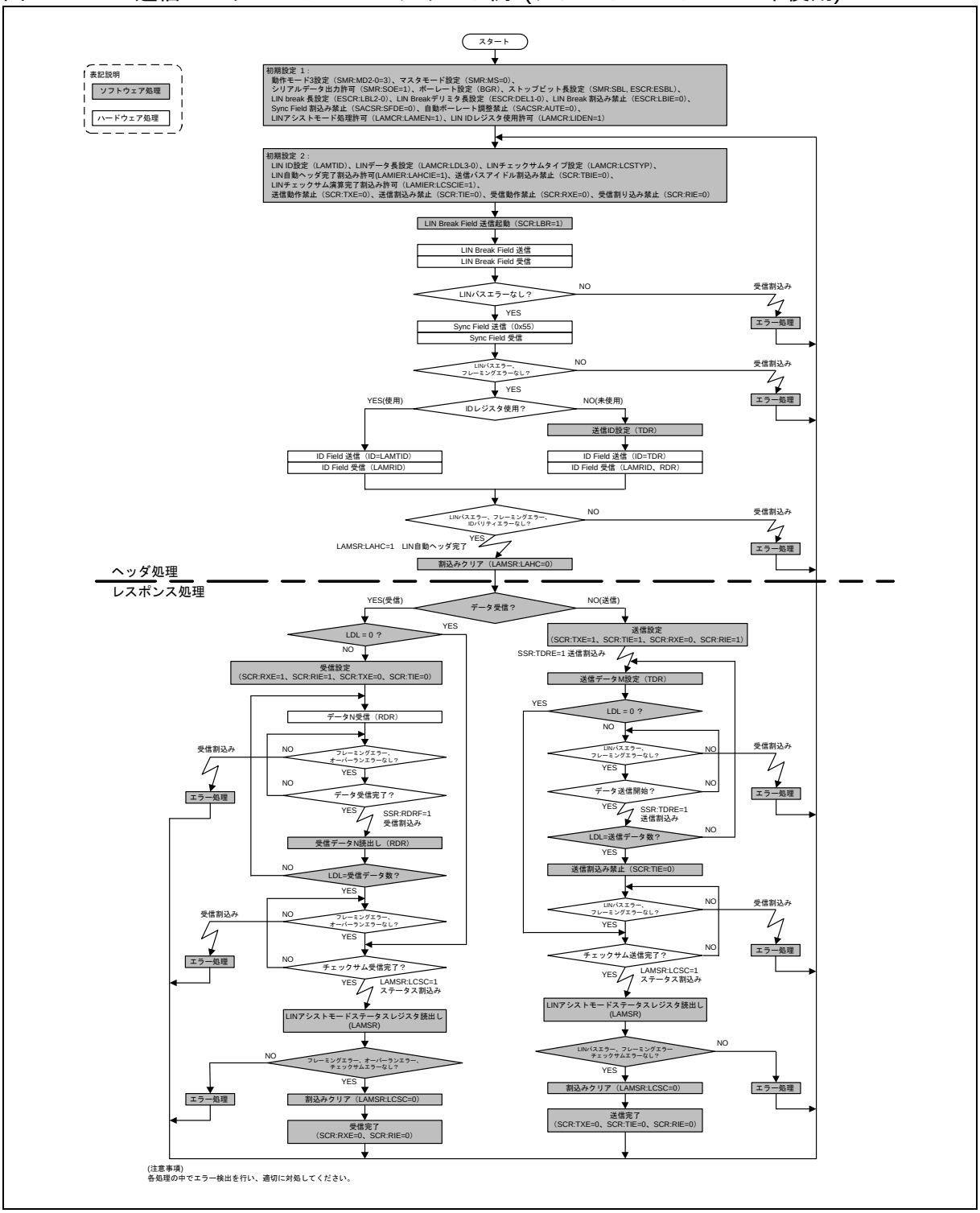
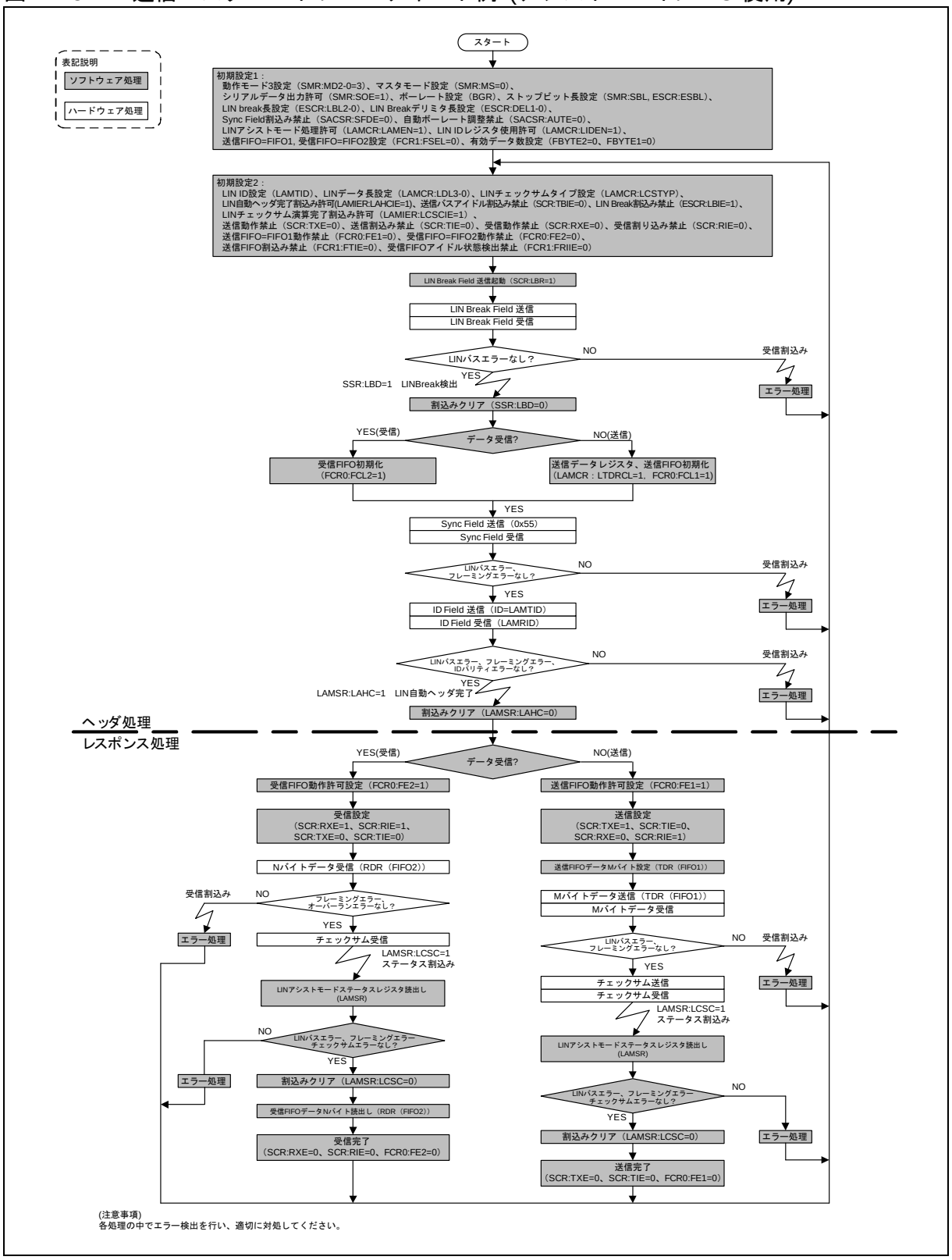


図 7-75 LIN 通信マスタモードフローチャート例 (アシストモード/FIFO 使用)



● スレーブ動作

図 7-76 LIN 通信スレーブモードフローチャート例 (アシストモード/FIFO 未使用)

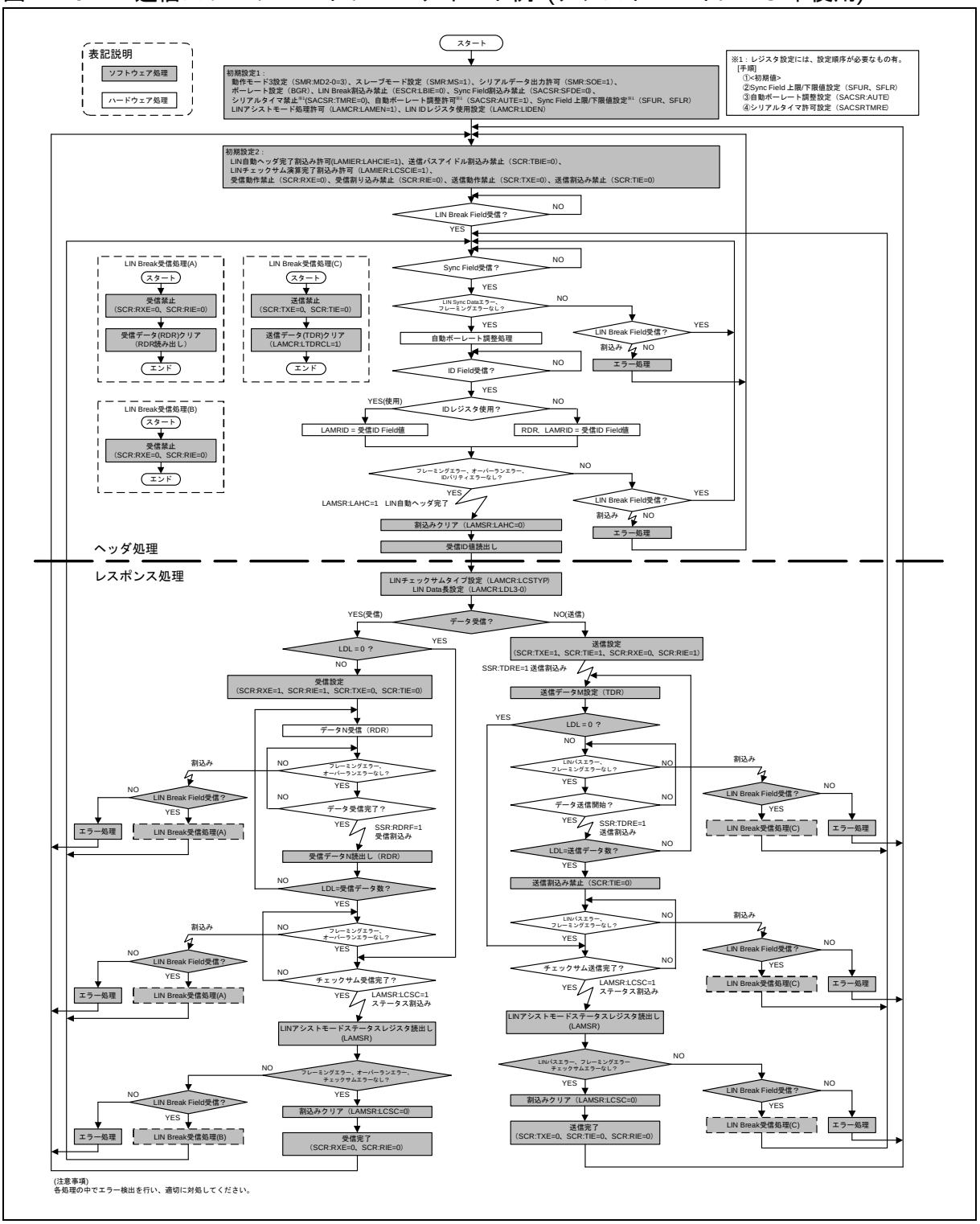
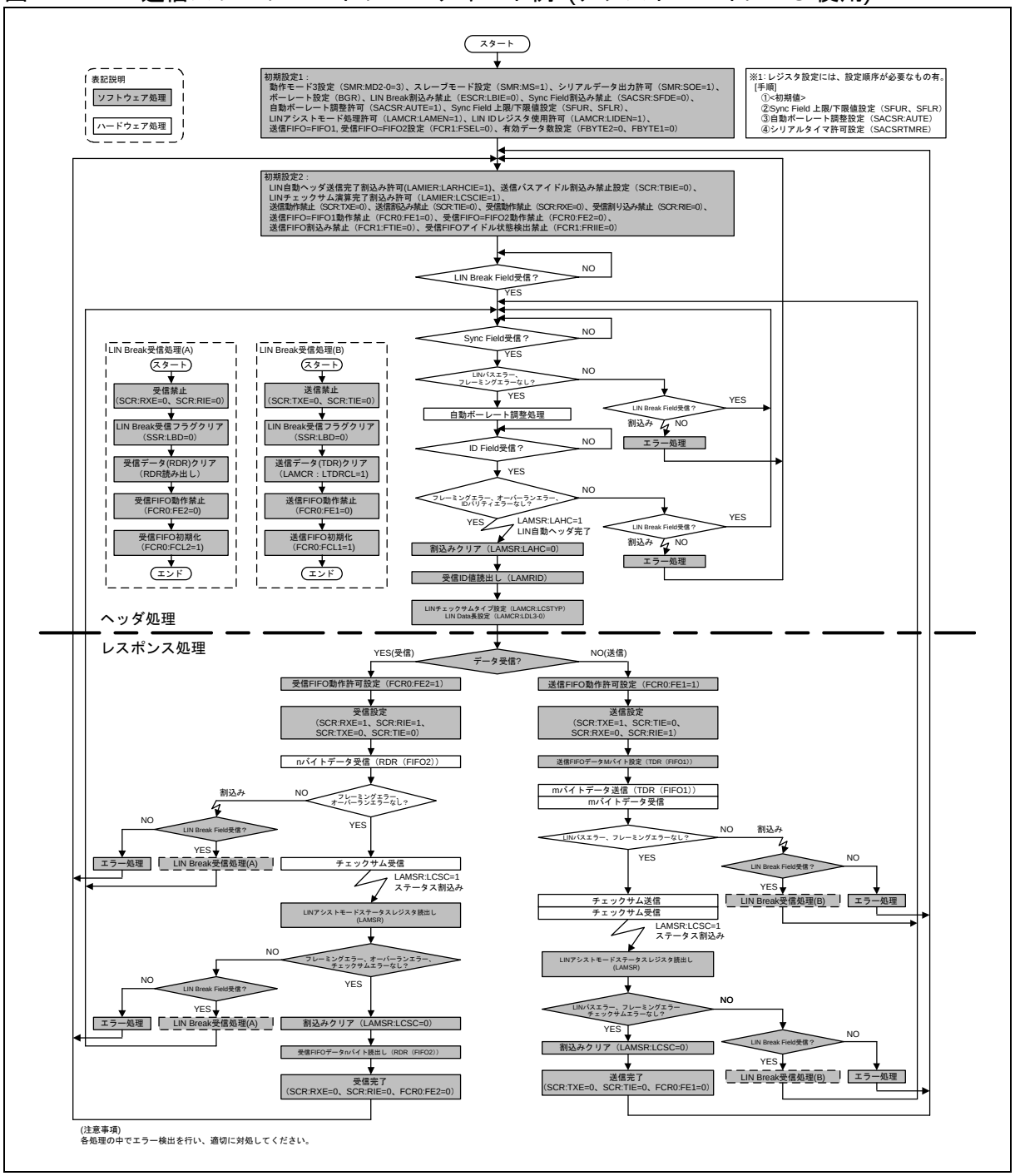


図 7-77 LIN 通信スレーブモードフローチャート例 (アシストモード/FIFO 使用)



8. I²C の動作説明

I²C の動作について説明します。

8.1. I²C の割込み

8.2. I²C インタフェース通信の動作

8.3. I²C マスタモード

8.4. I²C スレーブモード

8.5. I²C のフローチャート例

8.1. I²C の割込み

I²C の割込みについて示します。

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させることができます。

・第一バイト送受信後/ データ送受信後
・ストップ条件
・反復スタート条件
・FIFO 送信データ要求
・FIFO 受信データ完了

8.1.1. I²C インタフェースの割込み一覧

I²C インタフェースの割込み一覧について示します。

I²C インタフェースの割込み制御ビットと割込み要因は次のようになっています。

表 8-1 I²C インタフェースの割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
状態	INT	IBCR	第一バイト送受信後 *1	IBCR:INTE	割込みフラグビット(IBCR:INT)への"0"書込み
			データ送受信後 *1		
			バスエラー検出		
			アービトレーションロスト検出		
			予約アドレス検出		
			NACK 受信		
			スレーブ受信動作時の受信 FIFO フル		受信 FIFO がエンプティになるまで受信データ読出し後、INT への"0"書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	SPC への"0"書込み
	RSC		反復スタート検出		RSC への"0"書込み
	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み
受信	RDRF	SSR	予約アドレス受信	SMR:RIE	受信データ(RDR)の読出し
			データ受信後		
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FBIIE="1"で受信アイドル検出		
	ORE	SSR	オーバランエラー		受信エラーフラグビット(SSR:REC)への"1"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
送信	TDRE	SSR	送信レジスタがエンプティ 送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み	SMR:TIE	送信データ(TDR)への書込み, または送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *2
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの"0"書込み,または送信 FIFO がフル
	TBI (SSR: DMA=1)	SSR	送信動作なし 送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*3

*1: 正常なデータを送受信でき TDRE が"0"の場合、割込みは発生しません。これは DMA 転送をサポートするためです。
データ送受信時に IBCR:INT フラグを発生させたい場合には IBCR:INT フラグがセットされるタイミングより前に SSR:TDRE ビットが"1"である必要があります。
*2: SSR:TDRE ビットが"0"になってから SMR:TIE ビットを"1"にしてください。
*3: SSR:TBI ビットが"0"になってから SSR:TBIE ビットを"1"にしてください。

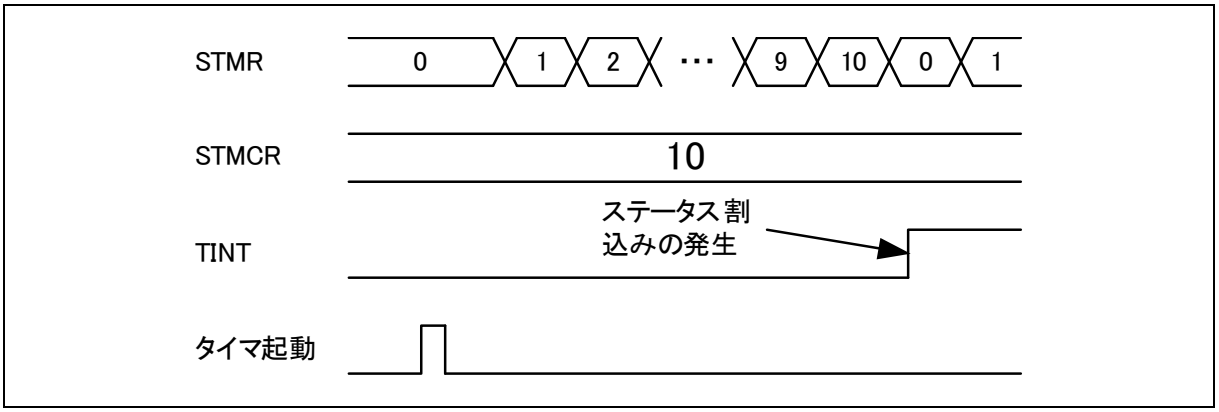
8.1.2. タイマ割込みとフラグセットのタイミング

タイマ割込みとフラグセットのタイミングについて示します。

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致すると発生します。

・シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ(SACSR:TINT)が"1"に設定されます。
このとき、タイマ割込み許可(SACSR:TINTE="1")されていると状態割込みが発生します。

図 8-1 タイマ割込み発生タイミング



8.2. I²C インタフェース通信の動作

I²C インタフェース通信の動作について示します。

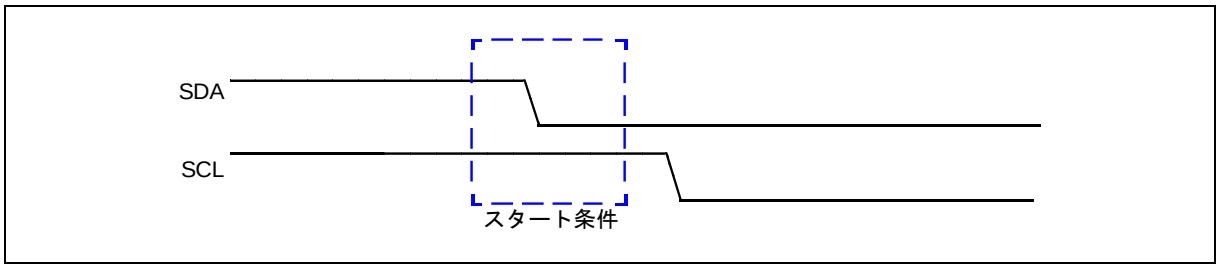
I²Cインタフェースは､2本の双方向バスライン，シリアルデータライン(SDA)およびシリアルクロックライン(SCL)を使用して通信を行います。

8.2.1. I²C バススタート条件

I²C バススタート条件について示します。

I²C バスの起動条件を以下に示します。

図 8-2 スタート条件

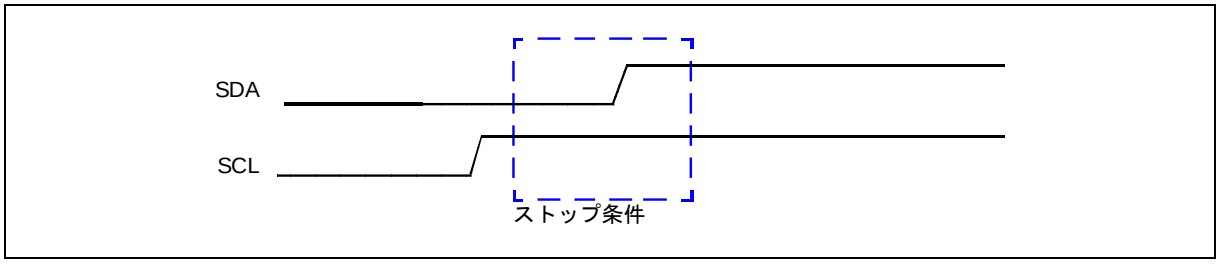


8.2.2. I²C バスストップ条件

I²C バスストップ条件について示します。

I²C バスのストップ条件を以下に示します。

図 8-3 ストップ条件

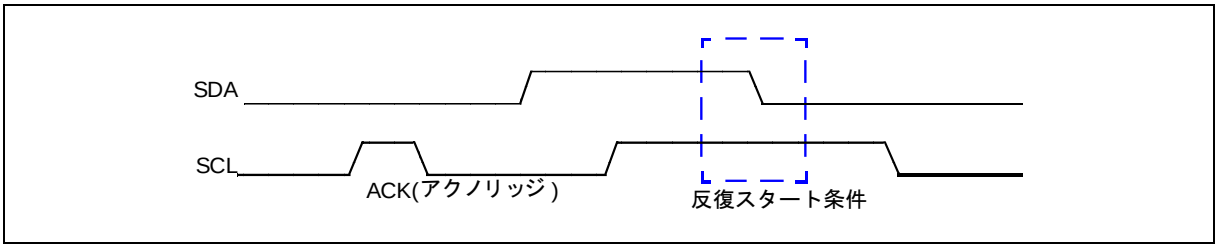


8.2.3. I²C バス反復スタート条件

I²C バス反復スタート条件について示します。

I²C バスの反復スタート条件を以下に示します。

図 8-4 反復スタート条件



8.2.4. I²C バスエラー

I²C バスエラーについて示します。

I²Cバス上でデータの送受信中にストップ条件, (反復)スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で IBCR:BER ビットを"1"にします。

- 第一バイト転送中に(反復)スタート条件またはストップ条件を検出
- データの 2～9 (アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ(IBCR:INT)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが"1"の場合エラー処理を行ってください。IBCR:BER ビットは IBCR:INT ビットに"0"を書くことによってクリアされます。

バスエラーによって IBCR:INT ビットは"1"に設定されますが、I²C バスの SCL を"L"にしてウェイト状態にはしません。

8.2.5. シリアルタイマの動作

シリアルタイマの動作についてします。

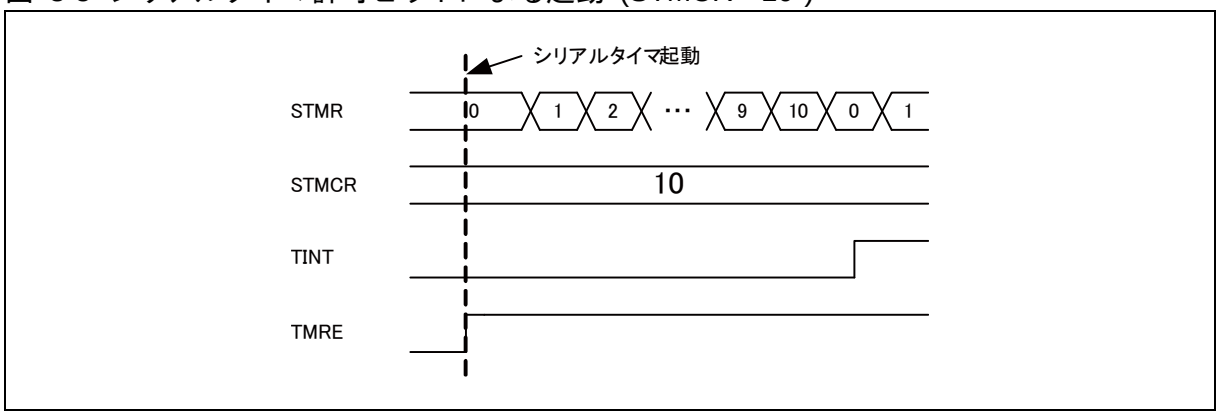
シリアルタイマは、タイマ機能に利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するには、シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットしてください。

・シリアルタイマ許可ビット(SACSR:TMRE)による起動
シリアルタイマ許可ビット(SACSR:TMRE)を"1"に設定するとシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が"0"からカウントを開始します。

図 8-5 シリアルタイマ許可ビットによる起動 (STMCR="10")



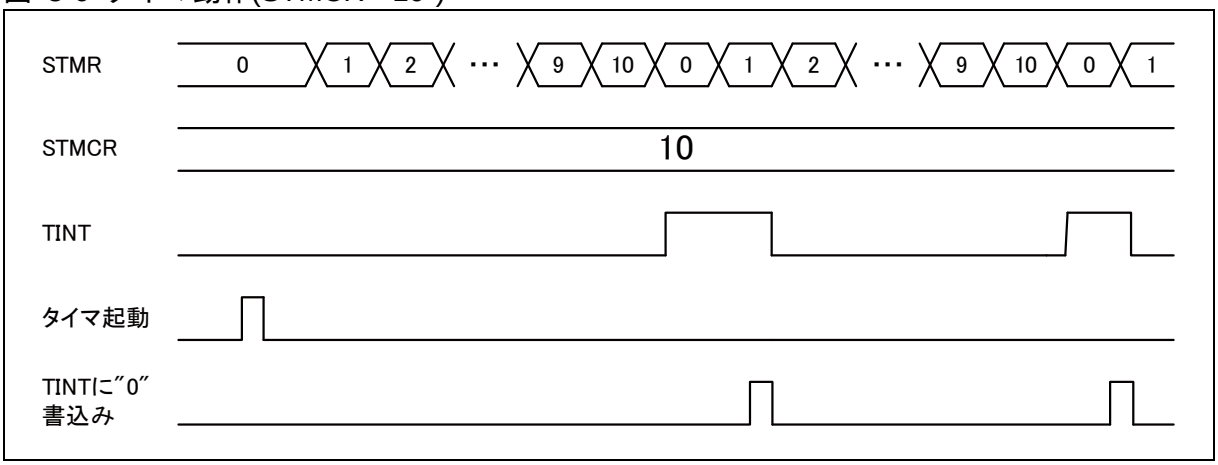
● シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。

● タイマ動作

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致すると、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は"0"にリセットされます。

図 8-6 タイマ動作(STMCR="10")



8.2.6. ボーレート生成

ボーレート生成について示します。

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

● 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ(BGR)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2つの15ビットリロードカウンタは，ボーレートジェネレータレジスタ(BGR)で設定します。ボーレートの計算式を以下に示します。

(1) リロード値

$\vee = \phi / b - 1$

$\vee$: リロード値　　b : ボーレート　ϕ : バスクロック周波数，外部クロック周波数

ただし、I^2CバスのSCLの立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例

バスクロック16MHz，ボーレート400kbpsに設定する場合のリロード値は、次のようになります。

リロード値:

$\vee = (16 \times 1{,}000{,}000) / 400{,}000 - 1 = 39$

よって、ボーレートは

b = (16 × 1,000,000) / (38+2) = 400kbps

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR)への書込みは、16 ビットアクセスで行ってください。
- ISMK:EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4(I^2C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を"0"に設定するとリロードカウンタは停止します。

■ 各ボーレート・各内部クロックに対するリロード値

表 8-2 各ボーレート・各内部クロックに対するリロード値

Baud rate [bps]	内部クロック(周辺クロック(PCLK))					
	8MHz	10MHz	16MHz	20MHz	24MHz	32MHz
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I^2C バスの SCL 立上りが 0s の場合です。I^2C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ(BGR) より読み出すことができます。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

8.3. I²C マスタモード

I²C マスタモードについて示します。

マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態(SCL="H", SDA="H")のとき、IBCR レジスタの MSS ビットに"1"を設定するとマスタモードになり、IBCR レジスタの ACT ビットが"1"になります。

8.3.1. スタート条件生成

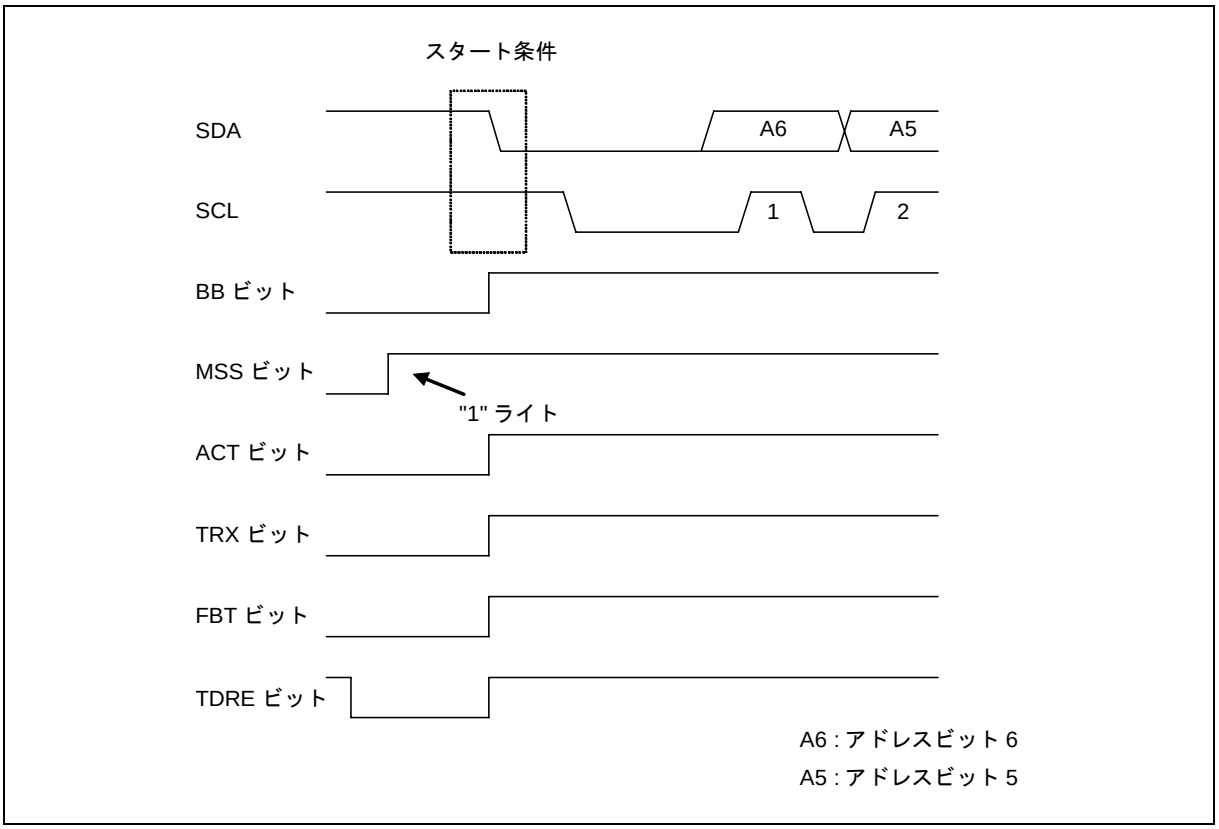
スタート条件生成について示します。

以下の条件でスタート条件が出力されます。

- SDA="H", SCL="H", EN="1", BB="0"のとき, MSS ビットへ"1"書込み

I²C バスへスタート条件を出力すると IBCR:ACT ビットに"1"をセットします。その後、スタート条件を受信すると IBSR:BB ビットが"1"に設定され、I²C バスは通信中であることを示します(図 8-7 を参照してください)。

図 8-7 スタート条件出力および各ビットの関係



＜注意事項＞

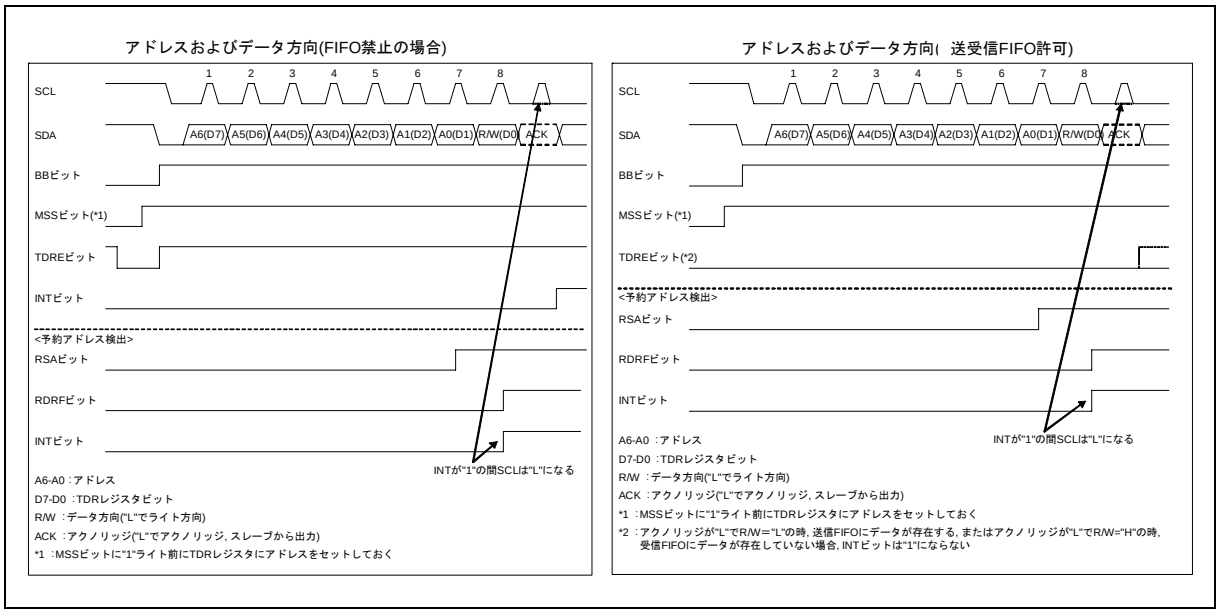
動作モード4(I^2Cモード)ではバスクロックは8MHz以上で使用し、400kbpsを超えるボーレートジェネレータの設定は禁止です。

8.3.2. スレーブアドレス出力

スレーブアドレス出力について示します。

スタート条件を出力すると TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初に書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット(R/W)として使用され、データ方向ビット(R/W)が"0"のとき、データはライト方向(マスタ→ スレーブ)を示します。TDR レジスタへのアドレス設定は、IBCR:MSS="1"または IBCR:SCC="1"を書く前に行ってください。

図 8-8 アドレスおよびデータ方向



8.3.3. 第一バイト送信によるアクノリッジ受信

第一バイト送信によるアクノリッジ受信について示します。

データ方向ビット(R/W)を出力すると I^2C インタフェースは、スレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では、以下の動作になります。

表 8-3 DMA モード禁止時のアクノリッジ受信後の動作(IBSR:RSA ビット="0", SSR:DMA ビット="0")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
許可	許可	-	データなし	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト SSR:TDRE ビットが"0"であれば IBCR:INT ビットは"0"のままでウェイトなし	

表 8-4 DMA モード許可時のアクノリッジ受信後の動作(IBSR:RSA ビット="0", SSR:DMA ビット="1")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
許可	禁止	-	-	0	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
許可	許可	-	データなし	0	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば SSR:TBI ビットは"0"のままでウェイトなし	

■ DMA モード禁止時(SSR:DMA=0)

● FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後, SSR:TDRE ビットが"1"であれば割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。ウェイトは割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"であれば ACK を受信すれば割込みフラグを"1"に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが"1"の場合、予約アドレス受信後(アクノリッジ前)、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信データを設定し、割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

● FIFO 許可

- IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をする必要があります。
- スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
- スレーブからデータを受信する場合(データ方向ビット="1")、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う

・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK であれば割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK あれば、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
・受信したアクノリッジはIBSR:RACKビットに格納されます。ウェイト中にIBSR:RACKビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

■ DMA モード許可時(SSR:DMA=1)

● FIFO 禁止(送信 FIFO，受信 FIFO 両方とも禁止)

・IBSR:RSA ビットが"0"の場合，アクノリッジ受信後, SSR:TDRE ビットが"1"であれば送信バスアイドルフラグ(SSR:TBI)を"1"に設定し, SCL を"L"に保持してウェイトします。ウェイトは TDR レジスタに送信するデータを書くと送信バスアイドルフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"であればACKを受信すれば送信バスアイドルフラグ(SSR:TBI)を"1"に設定せずにSCLにクロックを発生します。
・IBSR:RSA ビットが"1"の場合，予約アドレス受信後(アクノリッジ前)，割込みフラグ(IBCR:INT)を"1"に設定し, SCL を"L"に保持してウェイトします。RDR レジスタ読出し後, IBCR:ACKE ビット，送信データを設定し，割込みフラグに"0"を書くと割込みフラグが"0" になってウェイトを解除します。
・受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し, NACK であれば, IBCR:MSS ビットに"0" または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき, IBCR:INT ビットは自動的に"0" にクリアされます。

● FIFO 許可

・IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をする必要があります。
・スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
・スレーブからデータを受信する場合(データ方向ビット="1")､FIFOバイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK であれば割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK であれば、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
・受信したアクノリッジはIBSR:RACKビットに格納されます。ウェイト中にIBSR:RACKビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

図 8-9 アクノリッジ (FIFO 禁止, IBSR:RSA= 0, ACK 応答の場合)

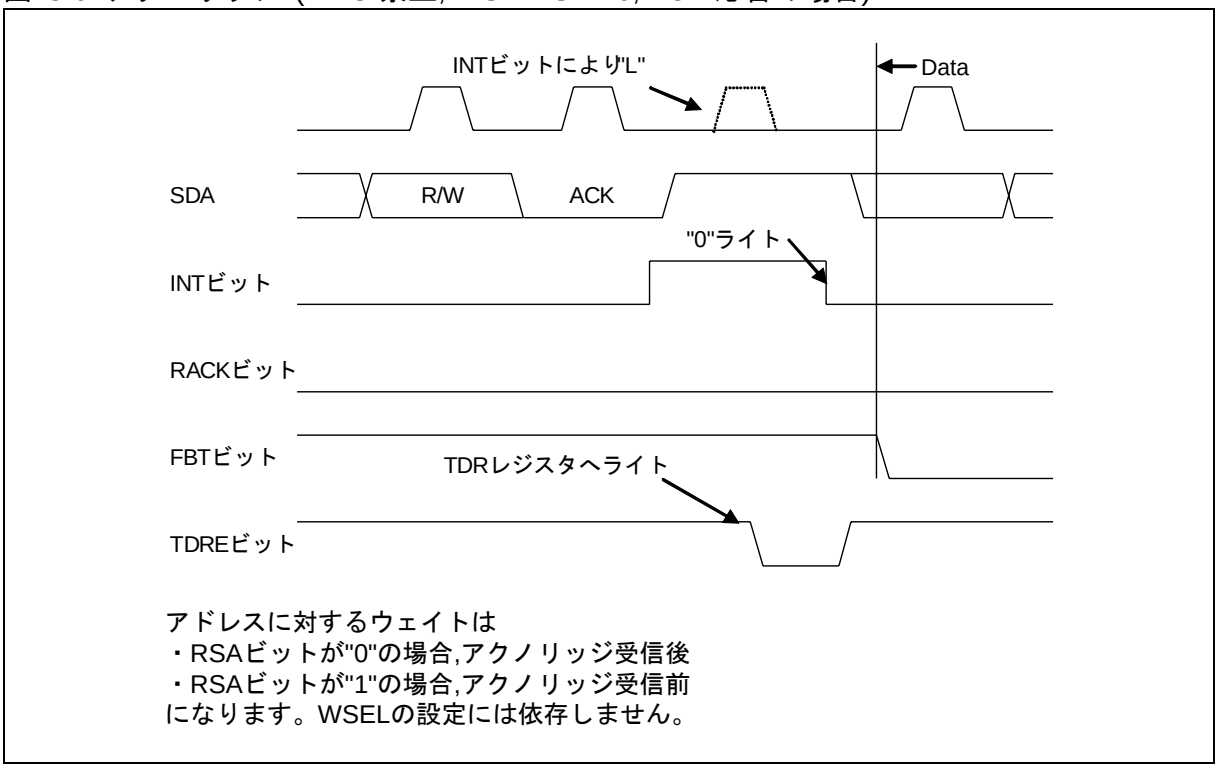


図 8-10 アクノリッジ (FIFO 禁止, IBSR:RSA= 0, NACK 応答の場合)

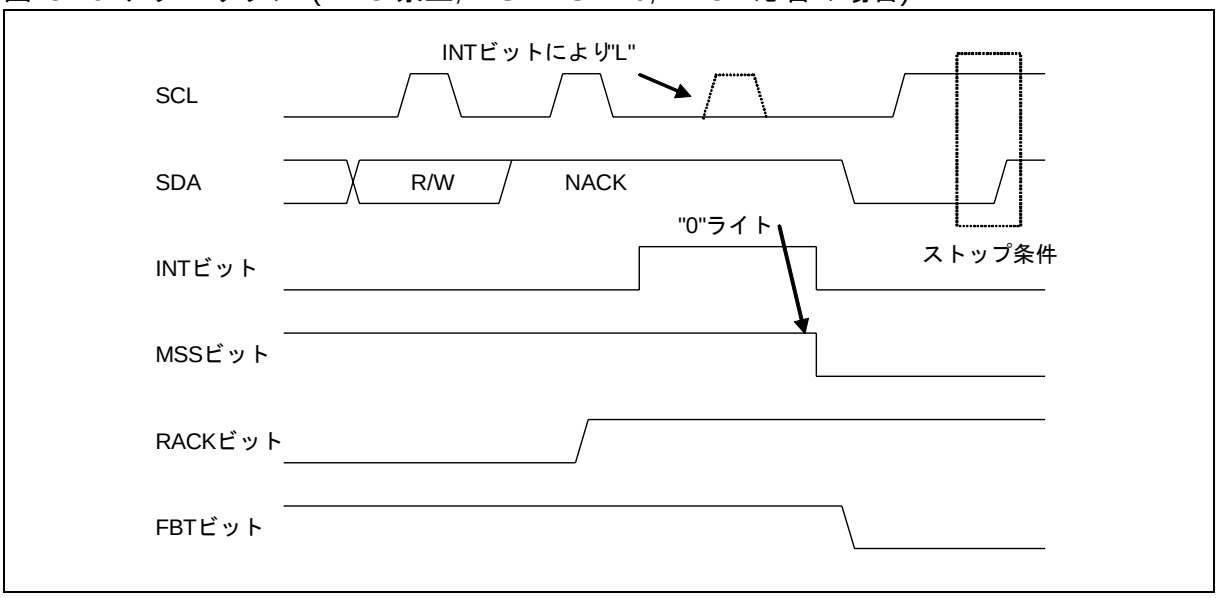


図 8-11 アクノリッジ (FIFO 禁止, IBSR:RSA= 1, ACK 応答の場合)

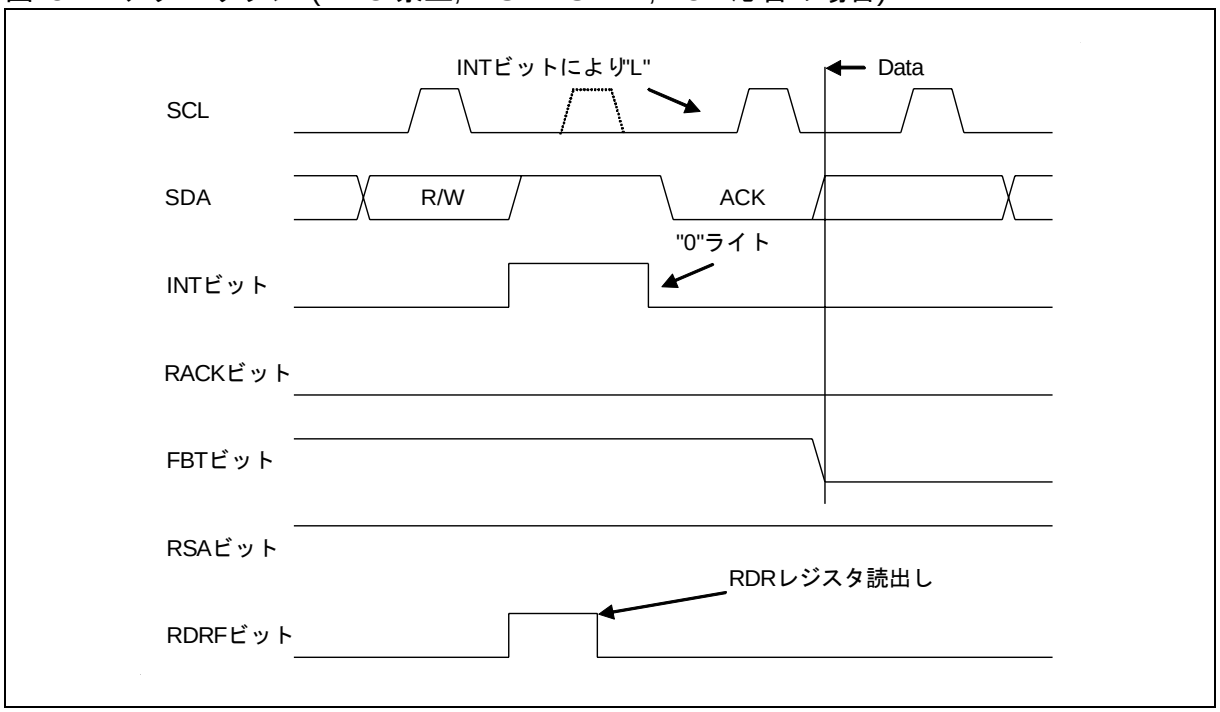


図 8-12 アクノリッジ (FIFO 禁止, IBSR:RSA= 1, NACK 応答の場合)

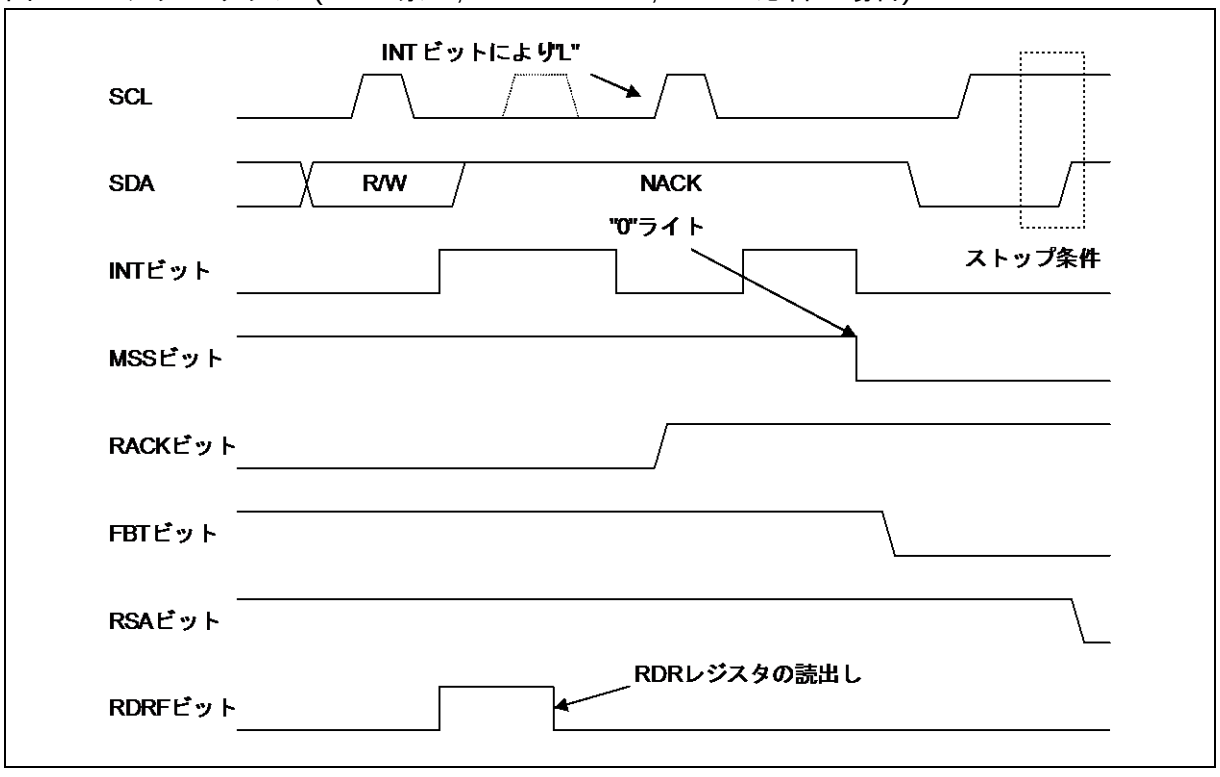
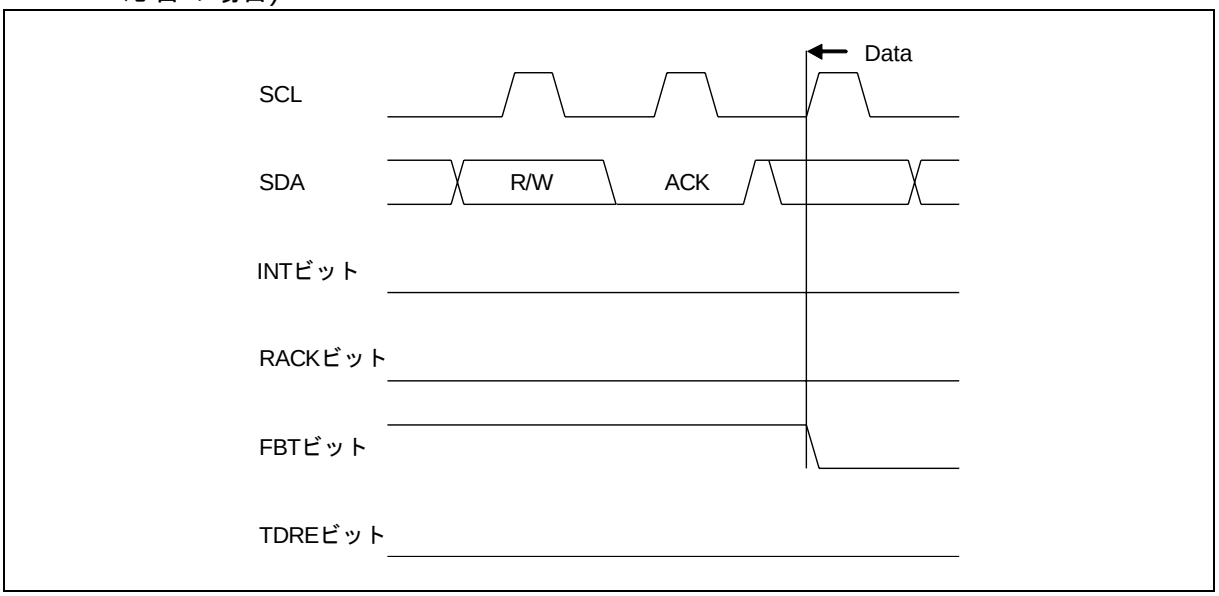


図 8-13 アクノリッジ (FIFO 許可，送信 FIFO データあり，受信 FIFO データなし, IBSR:RSA=0, ACK 応答の場合)



8.3.4. マスタによるデータ送信

マスタによるデータ送信について示します。

データ方向ビット(R/W)が"0"の場合、データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。IBCR:WSEL ビットの設定によってウェイトの発生する場所が以下のようになります。

表 8-5 DMA モード禁止時(SSR:DMA="0")のマスタデータ送信時の IBCR:WSEL ビット

WSEL	動作
0	<FIFO 未使用時> 第二バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でアクノリッジ後、割込みフラグ(IBCR:INT)を"1", SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)時にアクノリッジ後割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第二バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後、割込みフラグ(IBCR:INT)を"1", SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)時にデータ送信後、割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。

表 8-6 DMA モード許可時(SSR:DMA="1")のマスタデータ送信時の IBCR:WSEL ビット

WSEL	動作
0	<FIFO 未使用時> 第二バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後，送信バスアイドルフラグ(SSR:TBI)を"1", SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)時にアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第二バイト以降, SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを送信後，送信バスアイドルフラグ(SSR:TBI)を"1", SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)時にマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。

ただし、以下の場合、IBCR:WSEL の設定に依存せずにアクノリッジ後に割込みフラグ(IBCR:INT) をセットします。

・ストップ条件設定(IBCR:MSS=0, ACT=1)時以外に NACK を受信した場合

スレーブへデータを送信する場合の手順の一例を以下に示します。

■ DMA モード禁止時(SSR:DMA="0")のスレーブへのデータ送信

(1) 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"になります。

③ TDR レジスタに送信するデータを書きます。

④ IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。

⑤ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで③～⑤を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。

⑥ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

① Slave Address(データ方向ビットも含む), 送信データを TDR レジスタに書きます。

② IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。

③ 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを"1"にして I^2C バスをウェイトします。

④ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

(2) 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

① Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後, 割込みフラグ(IBCR:INT)が"1"になります。

③ RDR レジスタを読出し, 予約アドレスを確認します。*[1]

④ TDR レジスタに送信するデータを書きます。

⑤ IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。

⑥ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後, IBCR:WSEL=1 の場合 1 バイト送信直

後割込みフラグを"1"にして I²C バスをウェイトします。所定のデータ数を送信するまで④～⑥を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。

⑦ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

① Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"になります。

③ RDR レジスタを読出し、予約アドレスを確認します。*1

④ TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書きます。

⑤ 送信中に NACK 受信した場合, その直後に割込みフラグ(IBCR:INT)を"1"にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを"1"にして I²C バスをウェイトします。

⑥ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1: 下記のいずれかの条件を満たす場合、IBCR:ACKE ビットを"1", IBCR:WSEL ビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。

・マルチマスタで予約アドレスがゼネラルコールの場合
・アービトレーションロストが発生してスレーブとして動作する可能性がある場合

■ DMA モード許可時(SSR:DMA="1")のスレーブへのデータ送信

(1) 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が"1"になります。

③ TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。

④ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後, IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。

⑤ TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。

⑥ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後, IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで⑤～⑥を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。

⑦ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

① Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書きます。

② IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。

③ 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。

④ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

(2) 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

① Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"になります。

③ RDR レジスタを読出し、予約アドレスを確認します。*1

④ TDR レジスタに送信するデータを書きます。

⑤ IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。

⑥ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直

後割込みフラグを"1"にして I²C バスをウェイトします。

⑦ TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。

⑧ 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I²C バスをウェイトします。所定のデータ数を送信するまで⑦～⑧を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。

⑨ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し，ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

① Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"になります。

③ RDR レジスタを読出し、予約アドレスを確認します。*1

④ TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書きます。

⑤ 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT) を"1"にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I²C バスをウェイトします。

⑥ IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

*1: 下記の何れかの条件を満たす場合、IBCR:ACKE ビットを"1", IBCR:WSEL ビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。

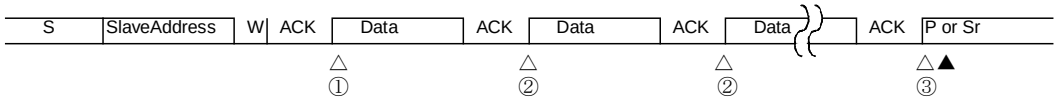
・マルチマスタで予約アドレスがゼネラルコールの場合
・アービトレーションロストが発生してスレーブとして動作する可能性がある場合

*2: DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。

＜注意事項＞

- 7ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に7ビットスレーブアドレスを指定することは禁止です。
- 送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"のときに変更してください。
- IBCR:WSEL ビットを変更した場合、次のデータの割込みフラグ(IBCR:INT)および DMA モードが許可時(SSR:DMA=1)での送信バスアイドルフラグ(SSR:TBI)の発生条件に使用されます。
- データ送信中で SSR:TDRE が"1" のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出すると下記のように動作します。
  - ・DMA モードが禁止時(SSR:DMA=0)、割込みフラグ(IBCR:INT)は"1"にならずにその書き込まれたデータが送信されます。
  - ・DMA モード許可時(SSR:DMA=1)、送信バスアイドルフラグ(SSR:TBI)は"1"にならずにその書き込まれたデータが送信されます。
- データ受信中に SSR:TDRE が"1"のときに TDR レジスタへ送信データを書き込み ACK 応答した場合、下記のように動作します。
  - ・DMA モード禁止時(SSR:DMA=0), 割込みフラグ(IBCR:INT)は"1"にならずに SSR:RDRF のみ"1" になります(受信 FIFO 許可の場合, FBYTE レジスタの設定分受信した場合)。
  - ・DMA モード許可時(SSR:DMA=1), 送信バスアイドルフラグ(SSR:TBI)は"1"にならずに SSR:RDRF のみ"1"になります(受信 FIFO 許可の場合, FBYTE レジスタの設定分受信した場合)。

図 8-14 FIFO 禁止によるマスタ送信の割込み 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



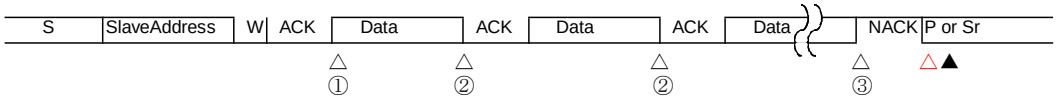
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データ書込み後 , INT="0" 書込み
② 1 バイト送信 + アクノリッジ受信により , 割込み発生
- TDR レジスタに送信データ書込み後 , INT="0" 書込み
③ 1 バイト送信 + アクノリッジ受信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-15 FIFO 禁止によるマスタ送信の割込み 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
② 1 バイト送信により , 割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
③ 1 バイト送信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-16 FIFO 禁止によるマスタ送信の割込み 3
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



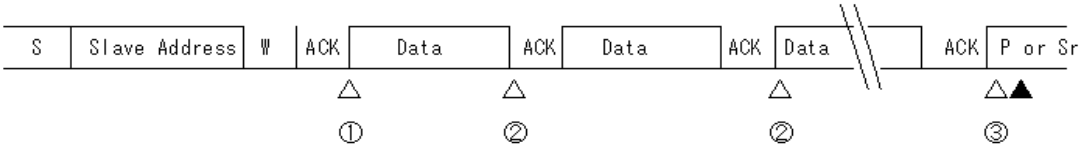
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
② 1 バイト送信により , 割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
③ 1 バイト送信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-17 FIFO 禁止によるマスタ送信の割込み 4
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



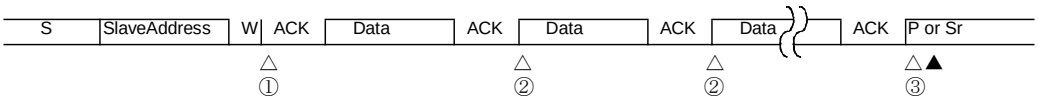
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
② 1 バイト送信により , 割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
③ NACK 応答により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-18 FIFO 禁止によるマスタ送信の割込み 5
(SSR:DMA="0", IBCR:WSEL="1"->"0",IBSR:RSA="0", ACK 応答)



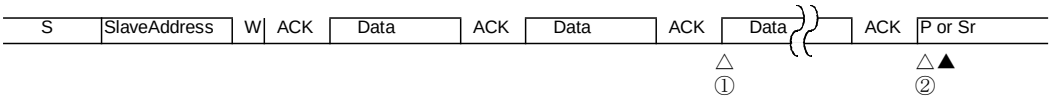
S ：スタート条件
W ：データ方向ビット(ライト方向)
P ：ストップ条件
Sr：反復スタート条件
△：INTE=“1”による割込み
▲：CNDE=“1”による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
－ TDR レジスタに送信データを書込み後、INT=“0”書込み
② 1バイト送信により、割込み発生
－ TDR レジスタに送信データを書込み後、WSEL="0",INT=“0”書込み
③ 1バイト送信により、割込み発生
－ MSS=“0”又は MSS=“1”, SCC=“1”を設定
*) 割込みフラグ(INT)発生時、TDRE ビットは“1”

図 8-19 FIFO 禁止によるマスタ送信の割込み 6
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



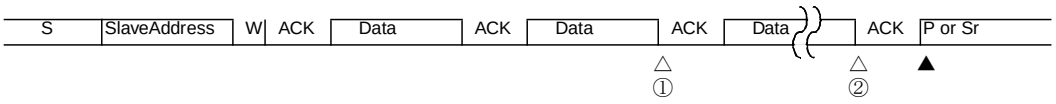
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス (予約アドレス) 送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
② 1 バイト送信 + アクノリッジ受信により , 割込み発生
- TDR レジスタに送信データを書込み後 , INT="0" 書込み
③ 1 バイト送信 + アクノリッジ受信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-20 FIFO 許可によるマスタ送信の割込み 7
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



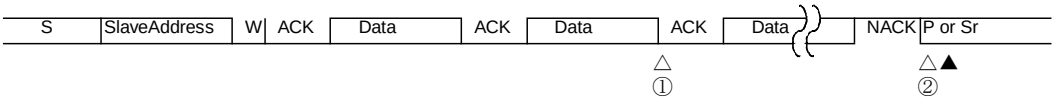
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① 送信 FIFO がエンプティにより割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② 最終バイト送信 (送信 FIFO がエンプティ) + アクノリッジ受信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

図 8-21 FIFO 許可によるマスタ送信の割込み 8
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



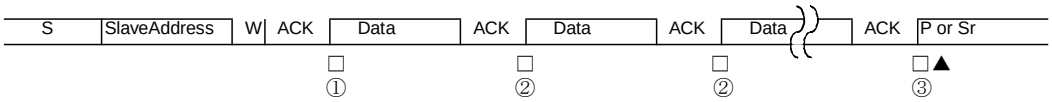
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① 送信 FIFO がエンプティにより , 割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② 最終バイト送信 (送信 FIFO がエンプティ) により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

図 8-22 FIFO 許可によるマスタ送信の割込み 9
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



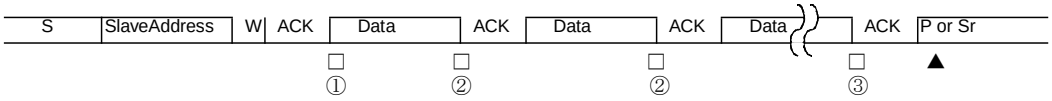
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① 送信 FIFO がエンプティにより , 割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② NACK 応答により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

図 8-23 FIFO 禁止によるマスタ送信の割込み 10
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



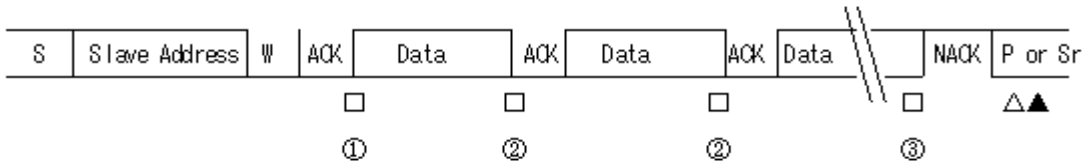
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データ書込み
② 1 バイト送信 + アクノリッジ受信により , 割込み発生
- TDR レジスタに送信データ書込み
③ 1 バイト送信 + アクノリッジ受信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-24 FIFO 禁止によるマスタ送信の割込み 11
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



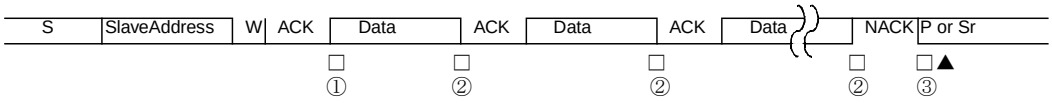
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み
② 1 バイト送信により , 割込み発生
- TDR レジスタに送信データを書込み
③ 1 バイト送信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-25 FIFO 禁止によるマスタ送信の割込み 12
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



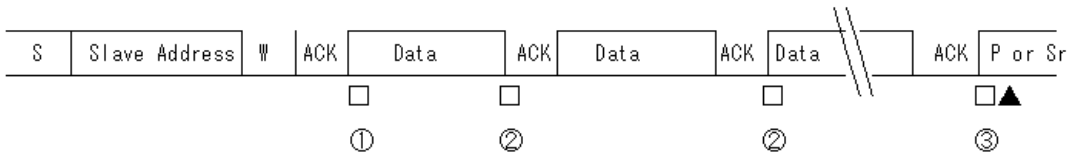
S ：スタート条件
W ：データ方向ビット（ライト方向）
P ：ストップ条件
Sr：反復スタート条件
△：INTE=“1”による割込み
▲：CNDE=“1”による割込み
□：TBIE=”1”による割込み
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　－ TDR レジスタに送信データを書込み
② 1バイト送信により、割込み発生
　－ TDR レジスタに送信データを書込み
③ 1バイト送信により、割込み発生
　－ MSS=“0”又はMSS=“1”，SCC=“1”を設定
*) 割込みフラグ（INT、TBI)発生時、TDRE ビットは“1”

図 8-26 FIFO 禁止によるマスタ送信の割込み 13
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
　- TDR レジスタに送信データを書込み後 , INT="0" 書込み
② 1 バイト送信により , 割込み発生
　- TDR レジスタに送信データを書込み後 , INT="0" 書込み
③ NACK 応答により , 割込み発生
　- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-27 FIFO 禁止によるマスタ送信の割込み 14
(SSR:DMA="1", IBCR:WSEL="1"->"0",IBSR:RSA="0", ACK 応答)



S ：スタート条件

W ：データ方向ビット(ライト方向)

P ：ストップ条件

Sr：反復スタート条件

▲：CNDE=“1”による割込み

□：TBIE=”1”による割込み

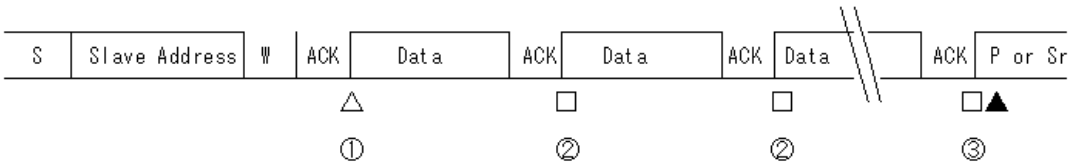
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み

② 1バイト送信により、割込み発生
- WSEL="0"書込み後、TDR レジスタに送信データを書込み

③ 1バイト送信により、割込み発生
- MSS=“0”又は MSS=“1”, SCC=“1”を設定

*) 割込みフラグ(TBIE)発生時、TDRE ビットは“1”

図 8-28 FIFO 禁止によるマスタ送信の割込み 15
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



S：スタート条件

W：データ方向ビット（ライト方向）

P：ストップ条件

Sr：反復スタート条件

△：INTE=“1”による割込み

▲：CNDE=“1”による割込み

□：TBIE=”1”による割込み

① スレーブアドレス（予約アドレス）送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　－ TDR レジスタに送信データを書込み後、INT=“0”書込み

② 1バイト送信＋アクノリッジ受信により、割込み発生
　－ TDR レジスタに送信データを書込み

③ 1バイト送信＋アクノリッジ受信により、割込み発生
　－ MSS=“0”又は MSS=“1”，SCC=“1”を設定

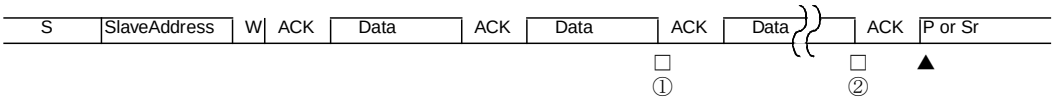
*）割込みフラグ（INT、TBI）発生時、TDRE ビットは“1”

図 8-29 FIFO 許可によるマスタ送信の割込み 16
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



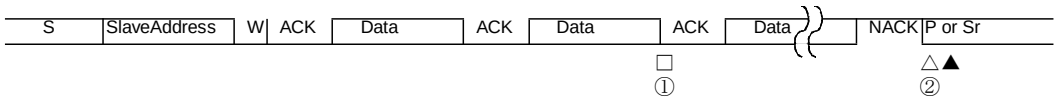
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① 送信 FIFO がエンプティにより割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② 最終バイト送信 (送信 FIFO がエンプティ) + アクノリッジ受信により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

図 8-30 FIFO 許可によるマスタ送信の割込み 17
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① 送信 FIFO がエンプティにより , 割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② 最終バイト送信 (送信 FIFO がエンプティ) により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

図 8-31 FIFO 許可によるマスタ送信の割込み 18
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① 送信 FIFO がエンプティにより , 割込み発生
- 送信 FIFO に送信データを書込み後 , INT="0" 書込み
② NACK 応答により , 割込み発生
- MSS="0" または MSS="1", SCC="1" を設定

8.3.5. マスタによるデータ受信

マスタによるデータ受信について示します。

■ DMA モード禁止の場合(SSR:DMA="0")

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。
FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが"1"であれば 1 バイト受信ごとにウェイトを発生(IBCR:INT="1", SSR: RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、 IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが"0"であれば, IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず(IBCR:INT="0")に次のデータを受信し、NACK 応答であればウェイトが発生します(IBCR:INT="1")。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると SSR:RDRF ビットが"1"に設定されます。割込みフラグは SSR:TDRE ビットが"1"のときに"1"に設定され、I^2C バスをウェイトします。このとき、アクノリッジは下記のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK であれば NACK 応答します。
- IBCR:WSEL="1"の場合、最終バイト受信後に割込みフラグを"1"に設定され、ウェイトが発生します。そのウェイト中に IBCR:ACKE ビットを設定し、割込みフラグを"0"にクリアした後,IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 8-7 マスタデータ受信時の WSEL ビット

WSEL	動作
0	第二バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、割込みフラグ(IBCR:INT)を"1", SCL を"L"にしてウェイト状態にします。
1	第二バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(IBCR:INT)を"1", SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合
  ① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

  ② Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"になります。

  ③ IBCR:WSEL ビット更新と共に割込みフラグビット(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。

  ④ 1 バイト受信後 IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直

後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を受信するまで③～④を繰り返します。

⑤ 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送受信 FIFO が許可されている場合

① FBYTE レジスタに受信数を設定します。

② Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。

③ IBCR:MSS ビットに"1"を書きます。

④ SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信すると SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。

⑤ SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後, IBCR:WSEL="1"の場合 1 バイト受信直後割込みフラグを"1"にして I^2C バスをウェイトします。

⑥ IBCR:WSEL="1"の場合、IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

■ DMA モード許可の場合(SSR:DMA="1")

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。
FIFO 禁止の場合、マスタは以下のように動作します。

・SSR:TDRE ビットが"1"であれば 1 バイト受信ごとにウェイトを発生(SSR:TBI="1", SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
・SSR:TDRE ビットが"0"の場合、1 バイト受信ごとにウェイトを発生(SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると SSR:RDRF ビットがセットされます。送信バスアイドルフラグ(SSR:TBI)は SSR:TDRE ビットが"1"のときに設定し、I^2C バスをウェイトします。このとき、アクノリッジは下記のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

・IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK であれば NACK 応答します。
・IBCR:WSEL="1"の場合、最終バイト受信後ウェイト(SSR:TBI="1")が発生しますのでそのウェイト中に IBCR:ACKE ビットを設定し、送信バスアイドルフラグ(SSR:TBI)をクリア後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 8-8 マスタデータ受信時の WSEL ビット

WSEL	動作
0	第二バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1", SCL を"L"にしてウェイト状態にします。 第二バイト以降、受信 FIFO 未使用時にアクノリッジ後に受信データフルフラグ(SSR:RDRF)が"1"セットされている場合、SCL を"L"にしてウェイト状態にします。
1	第二バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(SSR:TBI)を"1", SCL を"L"にしてウェイト状態にします。 第二バイト以降、受信 FIFO 未使用時に受信データフルフラグ(SSR:RDRF)が"1"に設定されるとデータ受信後、SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

・受信 FIFO が禁止されている場合

① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。

② Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が"1"になります。

③ TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。

④ 1 バイト受信後、下記の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I^2C バスをウェイトします。

- IBCR:WSEL="0"の場合アクノリッジ送信後
- IBCR:WSEL="1"の場合 1 バイト受信直後

⑤ IBCR:WSEL ビット更新し、RDR レジスタを読み出し、ダミーのデータを TDR レジスタに書きます。

⑥ 1 バイト受信後、下記の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I^2C バスをウェイトします。

- IBCR:WSEL="0"の場合アクノリッジ送信後
- IBCR:WSEL="1"の場合 1 バイト受信直後

所定のデータ数を受信するまで⑤～⑥を繰り返します。

⑦ 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC*1 ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送受信 FIFO が許可されている場合

① FBYTE レジスタに受信数を設定します。

② Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。

③ IBCR:WSEL="0"の場合は ACKE ビットの設定で NACK にし、IBCR:MSS ビットに"1"を書きます。

④ SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信すると SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。

⑤ SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後割込みフラグを"1"にして I^2C

バスをウェイトします。IBCR:WSEL="1"の場合1バイト受信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。

⑥ IBCR:WSEL="1"の場合, IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC*[1] ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1: DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込んでください。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに"1"を設定してください。

*2: IBCR:WSEL の設定に関係なく 1 バイト受信直後に受信データフルフラグ(SSR:RDRF)は"1"に設定されます。第二バイト以降で受信データフルフラグ(SSR:RDRF)が"1"に設定されている時、IBCR:WSEL="0"の場合アクノリッジ送信後, IBCR:WSEL=1 の場合 1 バイト受信直後に I^2C バスをウェイトします。

＜注意事項＞

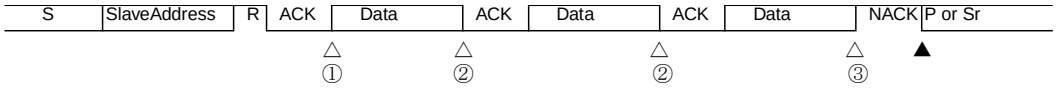
- 7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
- SSR:TDRE が"0"のとき、オーバランエラーが発生しても IBCR:ACKE ビットの設定にしたがってアクノリッジを出力し、次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"または DMA モードが許可時(SSR:DMA=1)は送信バスアイドルフラグ(SSR:TBI="1")が"1"のときに変更してください。
- DMA モードが禁止(SSR:DMA=0)でマスタ受信時、TDR レジスタにダミーデータを書き込み, 割込みフラグ(IBCR:INT)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、割込みフラグ(IBCR:INT)は"0"のままで次のデータを受信します。
- DMA モードが許可(SSR:DMA=1)でマスタ受信時、TDR レジスタにダミーデータを書き込み、送信バスアイドルフラグ(SSR:TBI)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、送信バスアイドルフラグ(SSR:TBI)は"0"のままで次のデータを受信します。
- 受信 FIFO が許可、IBCR:WSEL="0"のときにデータを受信する場合、最終ビット受信後 SSR:RDRF ビットが"1"となり、ACK 送信後割込みフラグ(IBCR:INT)が"1"となります。

図 8-32 FIFO 禁止によるマスタ受信の割込み 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



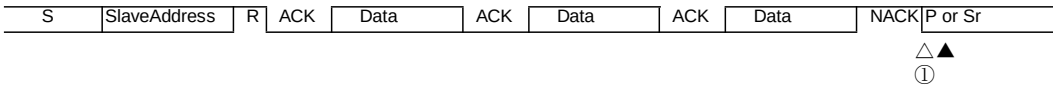
S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- INT="0" 書込みにより割込みが "0" にクリア
② 1 バイト受信 + アクノリッジ送信により割込み発生
- 受信データを読出し後 , INT="0" 書込み
③ 1 バイト受信 + アクノリッジ送信により割込み発生
- 受信データを読出し後 , ACKE="0" に設定し , INT="0" 書込み
④ 1 バイト受信 + アクノリッジ送信したことにより割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-33 FIFO 禁止によるマスタ受信の割込み 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



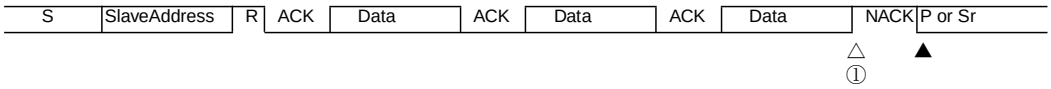
S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- INT="0" 書込みにより割込みが "0" にクリア
② 1 バイト受信により割込み発生
- 受信データを読出し後 , INT="0" 書込み
③ 1 バイト受信により割込み発生
- 受信データを読出し後 , ACKE="0" に設定し , MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-34 FIFO 許可によるマスタ受信の割込み 3
(SSR:DMA="0", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① TDRE="1" により割込み発生
- 受信 FIFO から全データを読出し後 , MSS="0" または MSS="1", SCC="1" を設定

図 8-35 FIFO 許可によるマスタ受信の割込み 4
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



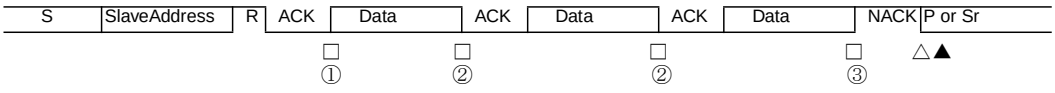
S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① TDRE="1" により割込み発生
- 受信 FIFO から全データを読出し後 , ACKE="0", MSS="0" または MSS="1", SCC="1" を設定

図 8-36 FIFO 禁止によるマスタ受信の割込み 5
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



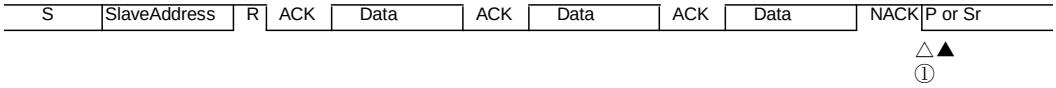
S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタにダミーのデータ書込み
② 1 バイト受信 + アクノリッジ送信により割込み発生
- 受信データを読出し後 , TDR レジスタにダミーのデータ書込み
③ 1 バイト受信 + アクノリッジ送信により割込み発生
- 受信データを読出し後 , ACKE="0" に設定し , TDR レジスタにダミーのデータ書込み
④ 1 バイト受信 + アクノリッジ送信したことにより割込み発生
- MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT) 発生時 , TDRE ビットは "1"

図 8-37 FIFO 禁止によるマスタ受信の割込み 6
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



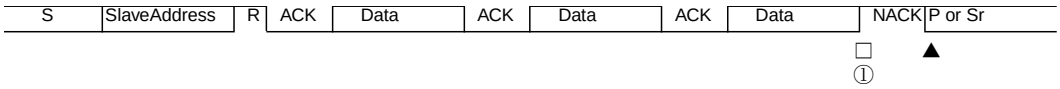
S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生
- TDR レジスタにダミーのデータ書込み
② 1 バイト受信により割込み発生
- 受信データを読出し後 , TDR レジスタにダミーのデータ書込み
③ 1 バイト受信により割込み発生
- 受信データを読出し後 , ACKE="0" に設定し , MSS="0" または MSS="1", SCC="1" を設定
*) 割込みフラグ (INT, TBI) 発生時 , TDRE ビットは "1"

図 8-38 FIFO 許可によるマスタ受信の割込み 7
(SSR:DMA="1", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① TDRE="1" により割込み発生
- 受信 FIFO から全データを読出し後 , MSS="0" または MSS="1", SCC="1" を設定

図 8-39 FIFO 許可によるマスタ受信の割込み 8
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



S: スタート条件
R: データ方向ビット (リード方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
□ :TBIE="1" による割込み
① TDRE="1" により割込み発生
- 受信 FIFO から全データを読出し後 , ACKE="0", MSS="0" または MSS="1", SCC="1" を設定

8.3.6. アービトレーションロスト

アービトレーションロストについて示します。

マスタがほかのマスタからのデータとデータが衝突し、送信したデータと異なるデータを受信した場合、アービトレーションロストと判断し IBCR:MSS ビットを"0", IBCR:AL ビットを"1"にしてスレーブモードとして動作可能となります。

IBCR:AL ビットは、以下の条件で"0"にクリアすることができます。

・IBCR:MSS ビットへの"1"書込み
・IBCR:INT ビットへの"0"書込み
・IBCR:AL ビット= 1, IBCR:SPC ビット= 1 のときに IBCR:SPC ビットへの"0"書込み
・I^2C インタフェースの動作禁止(ISMK:EN ビット= "0")

アービトレーションロストが発生すると IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にし、I^2C バスの SCL を"L"にします。

8.3.7. マスタモードのウェイト

マスタモードのウェイトについて示します。

下記条件を両方とも満たす場合において、IBSR:BB ビットが"1"の間、マスタモードをウェイトし、IBSR:BB ビットが"0"になってからスタート条件を送信します。

・IBSR:BB ビットが"1"のときに IBCR:MSS ビットに"1"を設定した場合
・スレーブモードとして動作していない場合

マスタモードがウェイト中かどうかは IBCR:MSS ビットと IBCR:ACT ビットで判断できます(IBCR:MSS="1", IBCR:ACT="0"であればウェイト状態)。IBCR:MSS ビットに"1"を設定後、スレーブモードとして動作する場合、IBSR:AL ビットを"1", IBCR:MSS ビットを"0", IBCR:ACT ビットを"1"にします。

8.3.8. DMA モードが許可時(SSR:DMA="1")の反復スタート条件発行

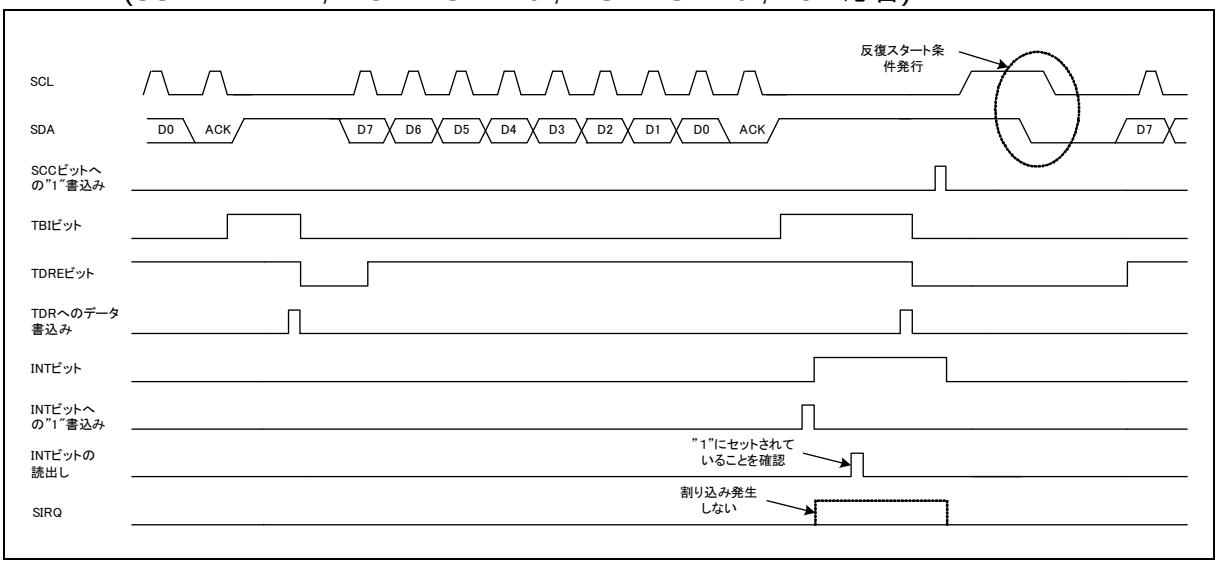
DMA モードが許可時(SSR:DMA="1")の反復スタート条件発行について示します。

送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、TDR レジスタにスレーブアドレスを書き込んだ場合、送信動作を開始してしまい、反復スタート条件を発行できません。

そのため送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、反復スタート条件を発行する場合は下記の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込みます。このとき、SIRQ 割込みは発生しません。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書込んでください。
4. 反復スタートを発行(IBCR:SCC="1")してください。

図 8-40 DMA モードが許可時の反復スタート条件発行
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



8.4. I²C スレーブモード

I²C スレーブモードについて示します。

スレーブモードは(反復)スタート条件を検出し、ISBA レジスタと ISMK レジスタとの組み合わせと受信したアドレスが一致すると ACK 応答し、スレーブモードとして動作します。

＜注意事項＞

EIBCR:BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2 ～ bit9 (アクノリッジビット) の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1)し、受信を中断するため、次のデータ受信ができません。

この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。

8.4.1. スレーブアドレス一致検出

スレーブアドレス一致検出について示します。

(反復)スタート条件を検出すると次のデータの 7 ビットがアドレスとして受信します。ISMK レジスタで"1"がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し、一致した場合 ACK を出力します。

表 8-9 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
				1		
禁止	許可	-	データなし	0	IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
				1		
許可	許可	-	データなし	0	IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし	

・予約アドレス検出
第一バイト目で予約アドレス("0000xxxx"または"1111xxxx")と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後, IBCR:INT ビットを"1"にして I^2C バスをウェイトします。
このとき受信データを読み出した後、下記のように設定してください。

・スレーブとして動作させたい場合、IBCR:ACKE を"1"に設定してデータ方向ビット(IBSR:TRX)を確認し、送信方向であれば送信データを TDR に書き込み, IBCR:INT ビットをクリアします。その後、スレーブとして動作します。
・スレーブとして動作させない場合、IBCR:ACKE を"0"にし、IBCR:INT ビットをクリアします。
アクノリッジ出力後スレーブとして動作を行いません。

8.4.2. データ方向ビット

データ方向ビットについて示します。

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが"0"のときマスタからの送信を示し、スレーブとしてはデータを受信します。

8.4.3. スレーブによる受信

スレーブによる受信について示します。

スレーブアドレスが一致しデータ方向ビットが"0"のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下のようになります。

■ DMA モード禁止の場合(SSR:DMA="0")

・受信 FIFO が禁止されている場合
① ACK 送信後, 割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し,IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します。(表 8-2 を参照してください)

② 1バイトのデータを受信後, IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。

③ RDR レジスタから受信したデータを読み出し, IBCR:ACKE ビットを設定後割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します。

④ ストップ条件または反復スタート条件を検出するまで②～③を繰り返します。

・受信 FIFO が許可されている場合
① NACK の検出または 受信 FIFO がフルになると割込みフラグ(IBCR:INT)は"1"になり, I^2C バスをウェイトします。ストップ条件, 反復スタート条件を検出した場合, IBSR:SPC ビット, IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I^2C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると SSR:RDRF ビットを "1"にします。そのとき, SMR:RIE ビットが"1"になっていると受信割込みが発生します。

② 割込みフラグ(IBCR:INT)が"1"になった場合, RDR レジスタから受信したデータを読み出し,すべてのデータを読み出し後割込みフラグに"0"を書いて I^2C バスのウェイトを解除します。

ストップ条件または反復スタート条件を検出した場合, 受信したデータを RDR レジスタからすべて読み出し, IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

■ DMA モード許可の場合(SSR:DMA="1")

・受信 FIFO が禁止されている場合

① ACK 送信後, 割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し,IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します。(表 8-2 を参照してください)

② 1 バイトのデータを受信後, 1 バイト受信直後に受信データフルフラグ(SSR:RDRF)を"1"に設定します。受信データフルフラグ(SSR:RDRF)が"1"に設定されている時, IBCR:WSEL="0"の場合アクノリッジ送信後, IBCR:WSEL=1 の場合 1 バイト受信直後に I^2C バスをウェイトします。

③ IBCR:ACKE ビットを設定後 RDR レジスタから受信したデータを読出しにより受信データフルフラグ(SSR:RDRF)を"0"にクリアして I^2C バスのウェイトを解除します。

④ ストップ条件または反復スタート条件を検出するまで②～③を繰り返します。

・受信 FIFO が許可されている場合

① NACK の検出により割込みフラグ(IBCR:INT)は"1"になり I^2C バスをウェイトします。受信 FIFO がフルになると, I^2Cバスをウェイトします。ストップ条件, 反復スタート条件を検出した場合, IBSR:SPC ビット, IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I^2C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると SSR:RDRF ビットを"1"にします。そのとき, SMR:RIE ビットが"1"になっていると受信割込みが発生します。

② 割込みフラグ(IBCR:INT)が"1"になった場合, RDR レジスタから受信したデータを読み出し,すべてのデータを読み出し後割込みフラグに"0"を書いて I^2C バスのウェイトを解除します。

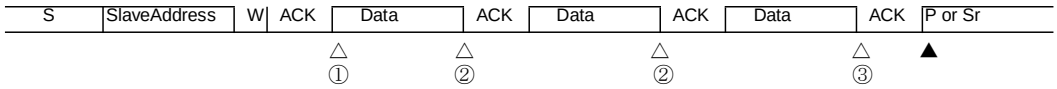
受信 FIFO がフルになった場合, RDR レジスタから 1 回でも受信したデータを読み出せば I^2C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合, 受信したデータを RDR レジスタからすべて読み出し, IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

図 8-41 FIFO 禁止によるスレーブ受信の割込み 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



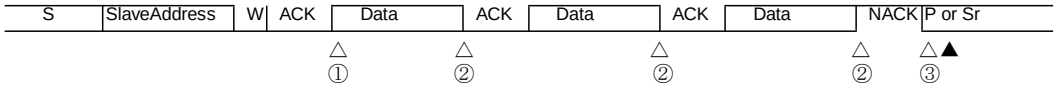
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信 + ACK 応答により割込み発生
- 受信データを受信バッファから読出し後 , INT="0" 書込み
③ 1 バイト受信 + NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0" 書込み

図 8-42 FIFO 禁止によるスレーブ受信の割込み 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後 , INT="0" 書込み
③ 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後 , INT="0" 書込み

図 8-43 FIFO 禁止によるスレーブ受信の割込み 3
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



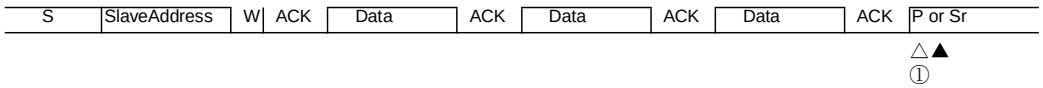
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後 , INT="0" 書込み
③ NACK 応答により割込み発生
- INT="0" 書込み

図 8-44 FIFO 許可によるスレーブ受信の割込み 4
(SSR:DMA="0" IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

図 8-45 FIFO 許可によるスレーブ受信の割込み 5
(SSR:DMA="0" IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① 受信 FIFO が Full になったことにより割込み発生
- 受信 FIFO から全データを読出し , INT="0" 書込み

図 8-46 FIFO 禁止によるスレーブ受信の割込み 6
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



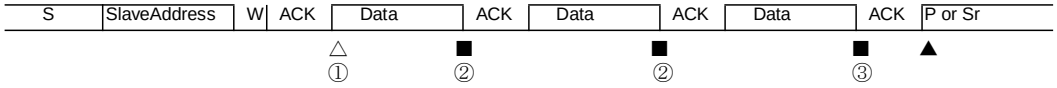
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
① 予約アドレス ("0000xxxx" または "1111xxxx") が一致したので割込み発生
- 受信データを読出し , ACKE="1", INT="0" 書込み
② 1 バイト受信 + アクノリッジ出力により割込み発生
- INT="0" 書込み
③ 1 バイト受信 + アクノリッジ出力により割込み発生
- INT="0" 書込みにより割込み

図 8-47 FIFO 禁止によるスレーブ受信の割込み 7
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



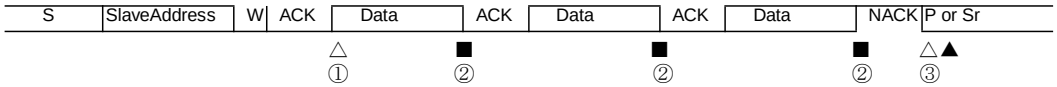
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
■ :RIE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信により割込み発生 (I^2C バスはウェイトしない)
- 受信データを受信バッファから読出し
③ ACK 応答により I^2C バスウェイト
- 受信データを受信バッファから読出し
④ 1 バイト受信 + NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0" 書込み

図 8-48 FIFO 禁止によるスレーブ受信の割込み 8
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



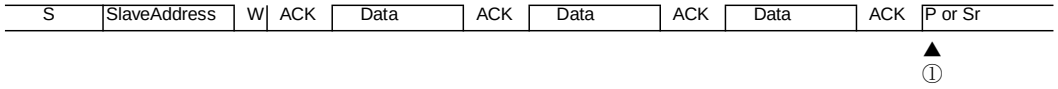
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
■ :RIE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し
③ 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後

図 8-49 FIFO 禁止によるスレーブ受信の割込み 9
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



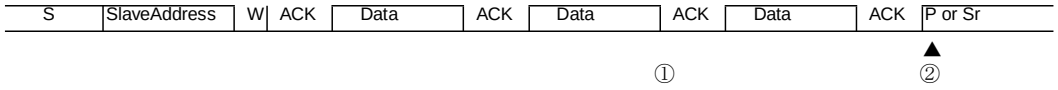
S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
■ :RIE="1" による割込み
① スレーブアドレスが一致したので ACK 出力し , 割込み発生
- ACKE="1", INT="0" 書込み
② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し
③ NACK 応答により割込み発生
- INT="0" 書込み

図 8-50 FIFO 許可によるスレーブ受信の割込み 10
(SSR:DMA="1" IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

図 8-51 FIFO 許可によるスレーブ受信の割込み 11
(SSR:DMA="1" IBSR:RSA="0")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
▲ :CNDE="1" による割込み
① 受信 FIFO が Full になったことにより I2C バスウェイト
- 受信 FIFO から 1 回でもデータを読み出せばウェイト解除
② ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データを読出し

図 8-52 FIFO 許可によるスレーブ受信の割込み 12
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



S: スタート条件
W: データ方向ビット (ライト方向)
P: ストップ条件
Sr: 反復スタート条件
△ :INTE="1" による割込み
▲ :CNDE="1" による割込み
■ :RIE="1" による割込み
① 予約アドレス ("0000xxxx" または "1111xxxx") が一致したので割込み発生
- 受信データを読出し , ACKE="1", INT="0" 書込み
② 1 バイト受信 + アクノリッジ出力により割込み発生
- 受信データ読出し
③ 1 バイト受信 + アクノリッジ出力により割込み発生
- 受信データ読出し

8.4.4. スレーブによる送信

スレーブによる送信について示します。

スレーブアドレスが一致しデータ方向ビットが"1"のとき、スレーブによる送信を示します。FIFO 禁止の場合、IBCR:WSEL の設定により、1 バイト送信後またはアクノリッジ応答後に割込みフラグ(IBCR:INT)を"1"にし、ウェイトを発生します。(表 8-9 スレーブアドレスに対するアクノリッジ出力直後の動作を参照してください)。

マスタから出力されたアクノリッジは IBCR:RACK ビットにより確認することができます。マスタから NACK 応答は、マスタが正しく受信できなかったか、データ受信の終了を示します。
IBCR:WSEL= 1 のときに NACK を検出した場合割込みが発生しウェイトします。

8.5. I²C のフローチャート例

I²C のフローチャート例について示します。

図 8-53 DMA モードが禁止時(SSR:DMA="0")の I²C フローチャート例(FIFO 未使用時)1/3

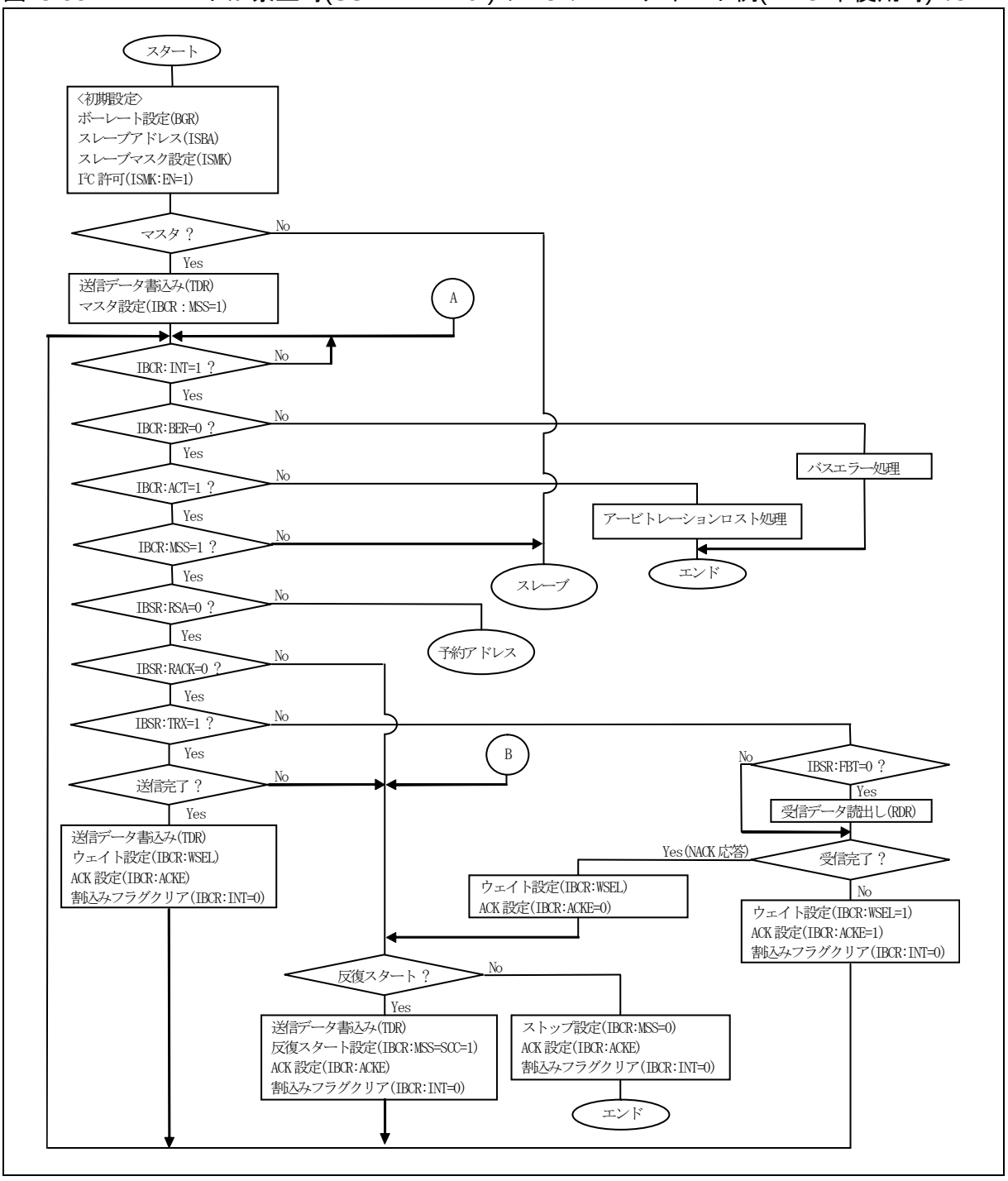


図 8-54 DMA モードが禁止時(SSR:DMA="0")の I²C フローチャート例(FIFO 未使用時)2/3

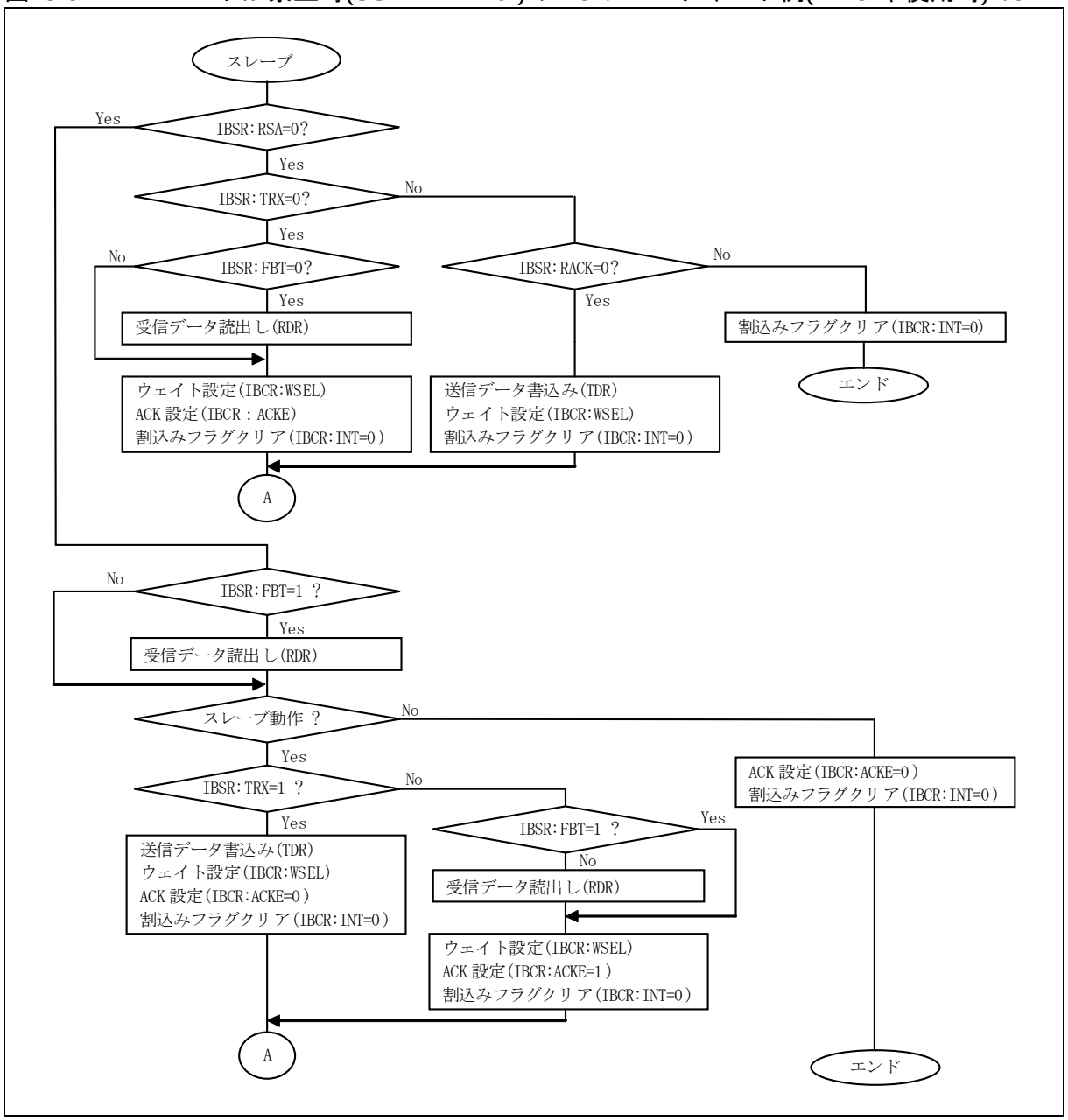


図 8-55 DMA モードが禁止時(SSR:DMA="0")の I^2C フローチャート例(FIFO 未使用時)3/3

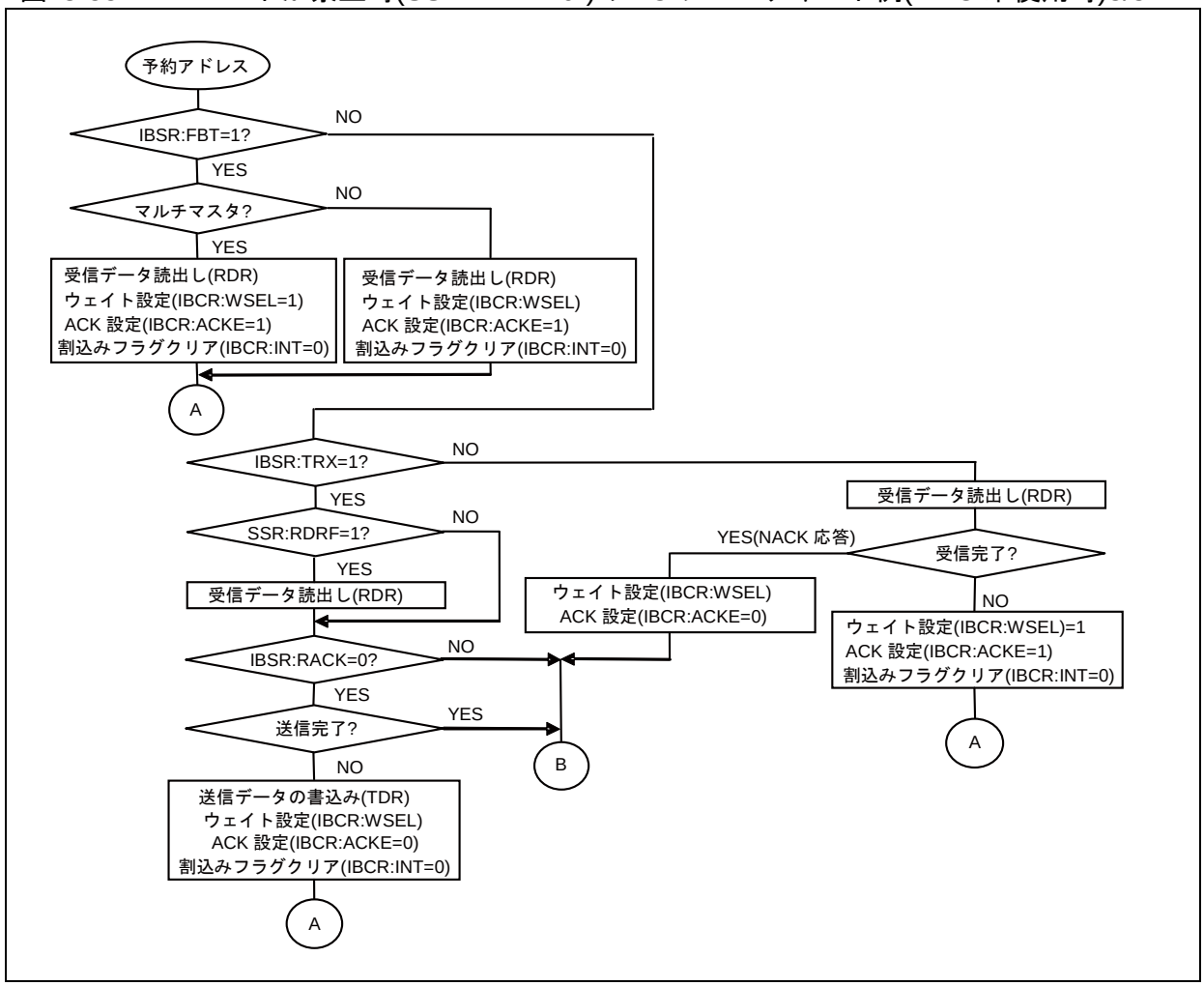


図 8-56 DMA モードが許可時(SSR:DMA="1")の I²C フローチャート例(FIFO 未使用時)1/4

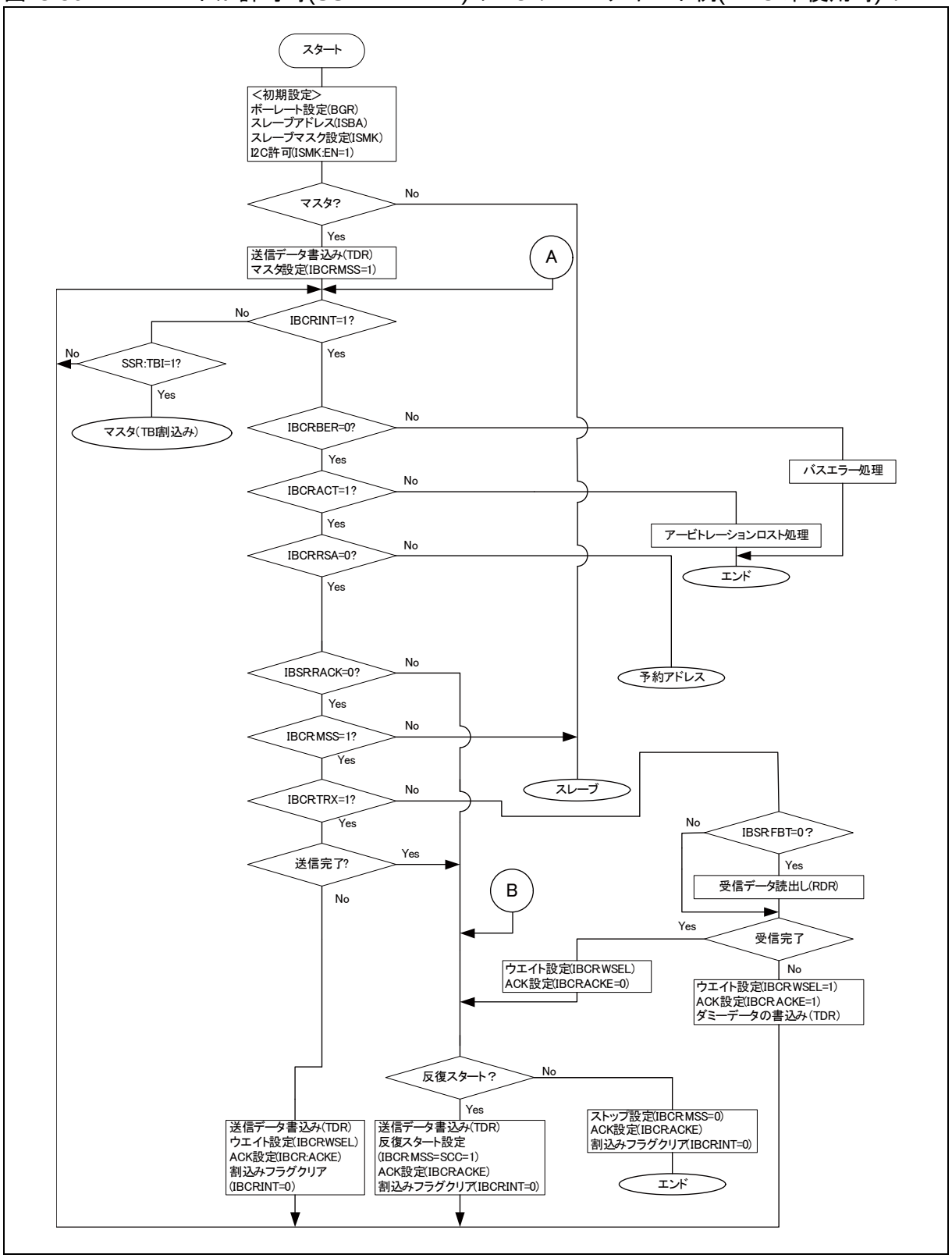


図 8-57 DMA モードが許可時(SSR:DMA="1")の I^2C フローチャート例(FIFO 未使用時)2/4

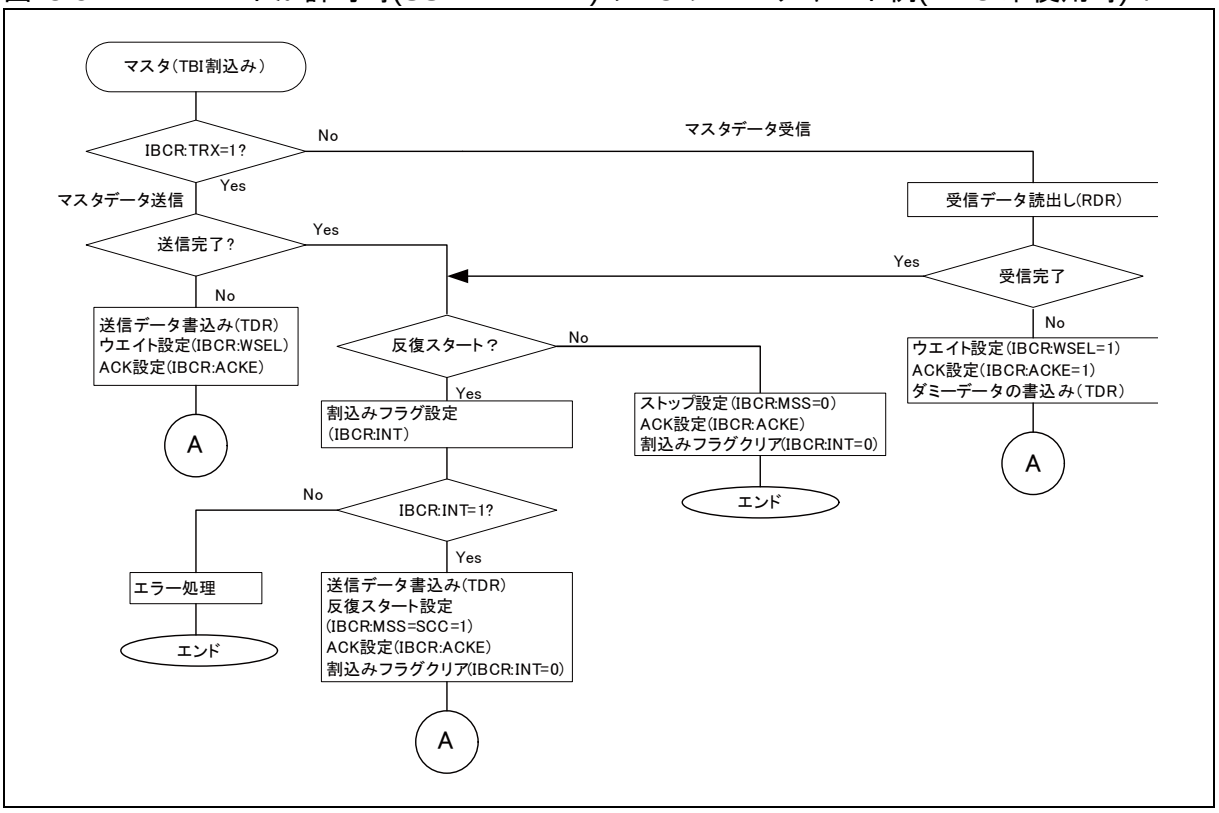


図 8-58 DMA モードが許可時(SSR:DMA="1")の I²C フローチャート例(FIFO 未使用時)3/4

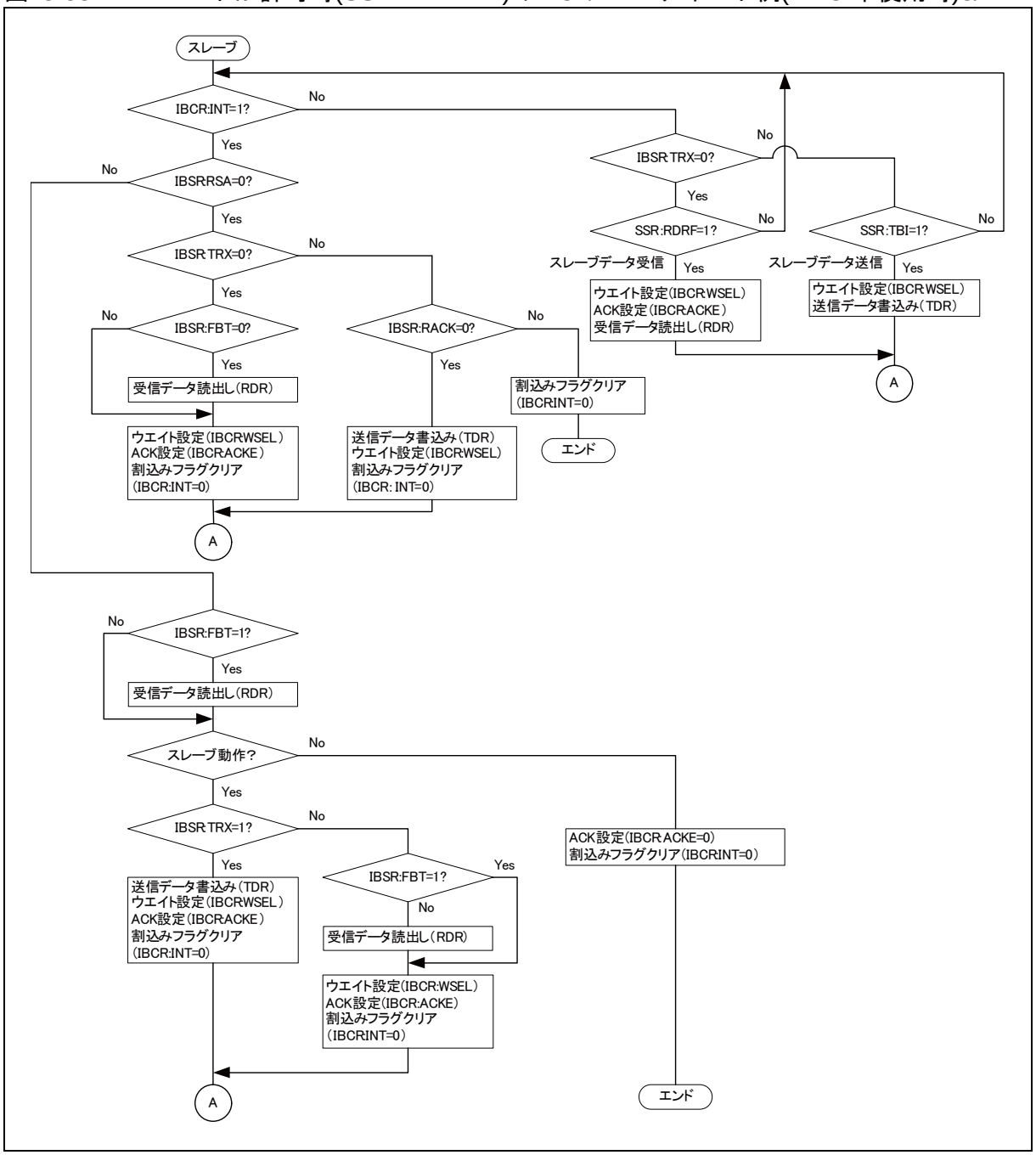
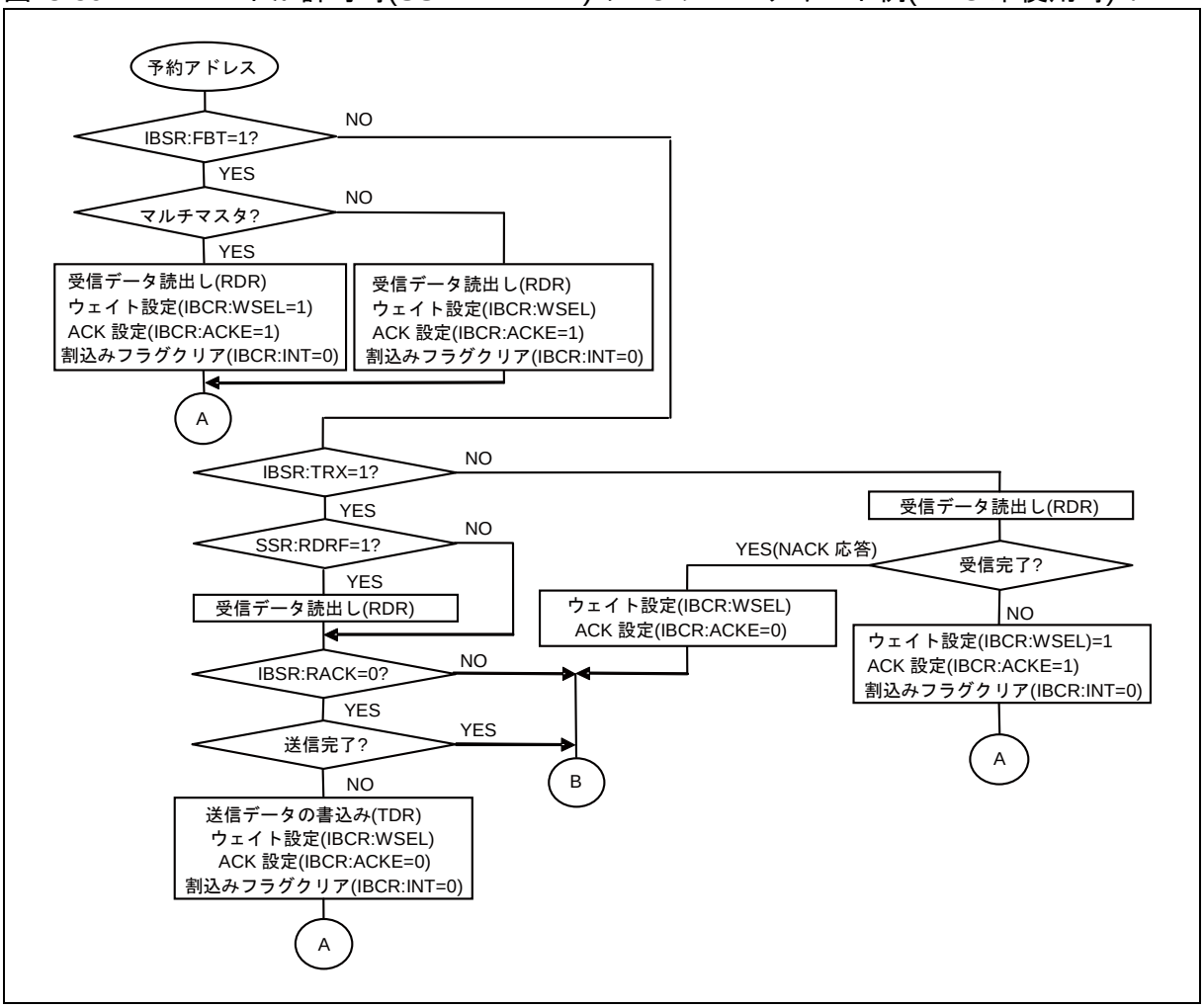


図 8-59 DMA モードが許可時(SSR:DMA="1")の I²C フローチャート例(FIFO 未使用時)4/4



＜注意事項＞

フローは I²C モードによる動作設定概略を示すフローです。アプリケーションにあわせて、エラー処理などを考慮した処理をする必要があります。

Chapter 41: CAN

CAN について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 制限事項

管理コード : FC43-2v3-91520-13-J

1. 概要

CAN の概要について説明します。

本品種は、CAN を 3 チャネル搭載しています。

ch.0(128 メッセージバッファ), ch.1, ch.2(64 メッセージバッファ)搭載

CAN は、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しており、自動車や FA などの工業分野に広く使用されています。

2. 特長

CAN の特長について説明します。

本品種の CAN には以下の特長があります。

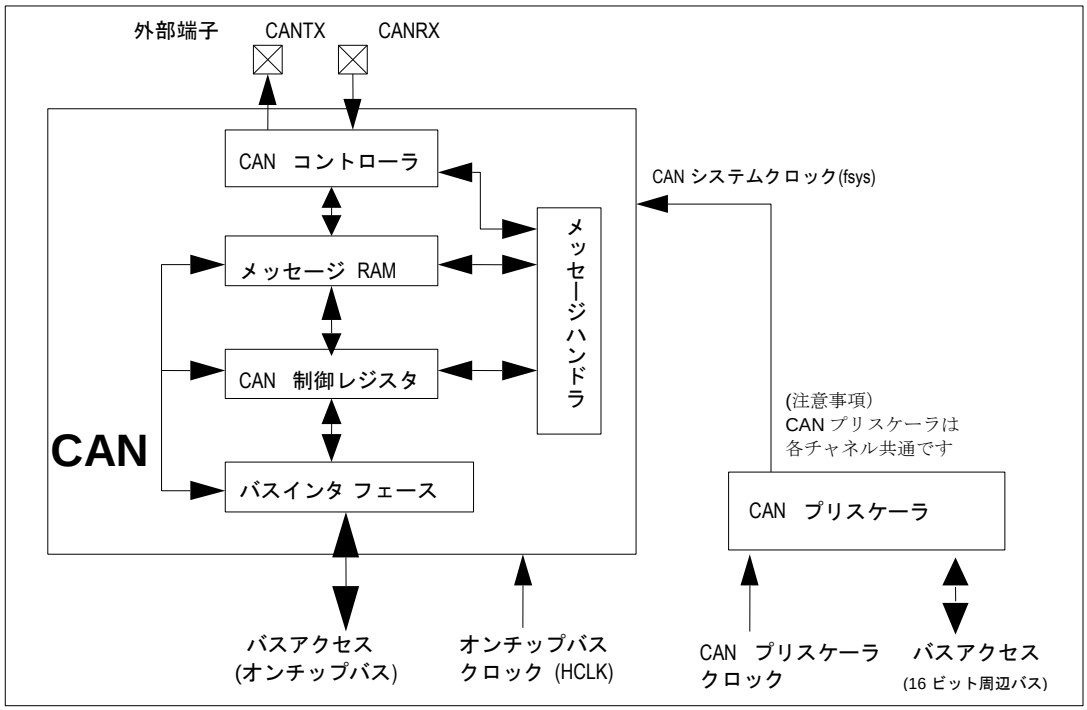
- CAN プロトコル ver2.0A/B をサポート
- 1MBit/s までのビットレートをサポート
- メッセージオブジェクトごとの識別マスク
- プログラマブル FIFO モードをサポート
- マスク可能な割込み
- 自己テスト動作用プログラマブルループバックモードをサポート
- インタフェースレジスタを使用してメッセージバッファへのリード・ライト
- 64/128 メッセージバッファをサポート。チャネルにより異なりますので、『概要』の章を参照してください。

3. 構成

CAN の構成について説明します。

以下に CAN のブロックダイヤグラムを示します。

図 3-1 CAN ブロックダイヤグラム(1 チャネル分)



CAN コントローラ

CAN プロトコルと送受信メッセージ転送のためのシリアル/パラレル変換用のシリアルレジスタを制御します。

メッセージ RAM

メッセージオブジェクトを格納します。

メッセージハンドラ

メッセージ RAM と CAN コントローラを制御します。

CPU インタフェース

FR 内部バスのインタフェースを制御します。

CAN プリスケーラ

CAN システムクロック(fsys)を生成します。

4. レジスタ

CAN のレジスタについて説明します。

4.1. 概要
4.2. 全体制御レジスタ
4.3. メッセージインタフェースレジスタ
4.4. メッセージオブジェクト
4.5. メッセージハンドラレジスタ

4.1. 概要

レジスタの概要について示します。

CAN には、以下のレジスタがあります。

・CAN 制御レジスタ(CTRLR)
・CAN 状態レジスタ(STATR)
・CAN エラーカウンタ(ERRCNT)
・CAN ビットタイミングレジスタ(BTR)
・CAN 割込みレジスタ(INTR)
・CAN テストレジスタ(TESTR)
・CAN プリスケーラ拡張レジスタ(BRPER)
・IFx コマンド要求レジスタ(IFxCREQ)
・IFx コマンドマスクレジスタ(IFxCMSK)
・IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)
・IFx アービトレーション 1, 2(IFxARB1, IFxARB2)
・IFx メッセージ制御レジスタ(IFxMCTR)(IFxMCTR)
・IFx データレジスタ A1, A2, B1, B2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)
・CAN 送信要求レジスタ 1, 2, 3, 4 (TREQR1,TREQR2,TREQR3,TREQR4)
・CAN New Data レジスタ 1, 2, 3, 4 (NEWDT1,NEWDT2,NEWDT3,NEWDT4)
・CAN 割込みペンディングレジスタ 1, 2, 3, 4 (INTPND1,INTPND2,INTPND3, INTPND4)
・CAN メッセージ有効レジスタ 1, 2, 3, 4 (MSGVAL1,MSGVAL2,MSGVAL3,MSGVAL4)

CAN レジスタは、256 バイト(64 ワード)のアドレス空間が割り当てられ、バイトもしくはワードのアクセスが可能です。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。

4.1.1. ベースアドレス(Base-addr)・外部端子・バッファサイズ一覧

ベースアドレス(Base-addr)・外部端子・バッファサイズ一覧について示します。

チャネル	ベースアドレス	外部端子名				バッファサイズ
		MB91F52xB, MB91F52xD		MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL		
		CANTX	CANRX	CANTX	CANRX	
0	0x2000	TX0_1	RX0(128)	TX0(128)/ TX0_1	RX0(128)	128 メッセージバッファ
1	0x2100	TX1(64)	RX1_1	TX1(64)	RX1(64)/ RX1_1	64 メッセージバッファ
2	0x2200	TX2(64)	RX2(64)	TX2(64)	RX2(64)	64 メッセージバッファ

4.1.2. 全体制御レジスター覧

全体制御レジスター覧について示します。

表 4-1 全体制御レジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 00_H	CAN 制御レジスタ (CTRLR)		CAN 状態レジスタ (STATR)		STAR: BOff, EWarn,EPass=Read Only RxOk,TxOk,LEC=Read/Write
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	予約ビット	CTRLR 参照	予約ビット	STATR 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	
Base-addr + 04_H	CAN エラーカウンタ (ERRCNT)		CAN ビットタイミングレジスタ(BTR)		ERRCNT: Read Only BTR: Init(CTLR)=CCE(CTRLR)="1"時 Write 可能.
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	RP, REC[6: 0]	TEC[7: 0]	TSeg2[2: 0], TSeg1[3: 0]	SJW[1: 0], BRP[5: 0]	
	Reset: 00_H	Reset: 00_H	Reset: 23_H	Reset: 01_H	
Base-addr + 08_H	CAN 割込みレジスタ (INTR)		CAN テストレジスタ (TESTR)		INTR: Read Only TESTR: Test(CTRLR)="1"時、Write 可能. "Rx"は CAN_RX 端子のレベル値.を示す.
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	IntId[15: 8]	IntId[7: 0]	予約ビット	TESTR 参照	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H & 0br0000000	
Base-addr + $0C_H$	CAN プリスケーラ拡張レジスタ (BRPER)		予約ビット		BRPER: CCE(CTLR)="1"時 Write 可能.
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	予約ビット	BRPE[3: 0]	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

4.1.3. メッセージインタフェースレジスター覧

メッセージインタフェースレジスター覧について示します。

表 4-2 メッセージインタフェースレジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 10_H	IF1 コマンド要求レジスタ (IF1CREQ)		IF1 コマンドマスクレジスタ (IF1CMSK)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Busy	Mess. No. [5: 0]	予約ビット	IF1CMSK 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	
Base-addr + 14_H	IF1 マスクレジスタ 2 (IF1MSK2)		IF1 マスクレジスタ 1 (IF1MSK1)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MXtd. MDir, Msk[28: 24]	Msk[23: 16]	Msk[15: 8]	Msk[7: 0]	
	Reset: FF_H	Reset: FF_H	Reset: FF_H	Reset: FF_H	
Base-addr + 18_H	IF1 アービトレーションレジスタ 2 (IF1ARB2)		IF1 アービトレーションレジスタ 1 (IF1ARB1)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MsgVal, Xtd, Dir,ID[28: 24]	ID[23: 16]	ID[15: 8]	ID[7: 0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $1C_H$	IF1 メッセージ制御レジスタ (IF1MCTR)		予約ビット		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	IF1MCTR 参照	IF1MCTR 参照	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 20_H	IF1 データ A レジスタ 1 (IF1DTA1)		IF1 データ A レジスタ 2 (IF1DTA2)		バイト配列順序: Big Endian
	bit[7: 0]	bit[15: 8]	bit[7: 0]	bit[15: 8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 24_H	IF1 データ B レジスタ 1 (IF1DTB1)		IF1 データ B レジスタ 2 (IF1DTB2)		バイト配列順序: Big Endian
	bit[7: 0]	bit[15: 8]	bit[7: 0]	bit[15: 8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 30_H	IF1 データ A レジスタ 2 (IF1DTA2)		IF1 データ A レジスタ 1 (IF1DTA1)		バイト配列順序: Little Endian
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 34_H	IF1 データ B レジスタ 2 (IF1DTB2)		IF1 データ B レジスタ 1 (IF1DTB1)		バイト配列順序: Little Endian
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 40_H	IF2 コマンド要求レジスタ (IF2CREQ)		IF2 コマンドマスクレジスタ (IF2CMSK)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Busy	Mess. No. [5: 0]	予約ビット	IF2CMSK 参照	
	Reset: 00_H	Reset: 01_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 44_H	IF2 マスクレジスタ 2 (IF2MSK2)		IF2 マスクレジスタ 1 (IF2MSK1)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MXtd. MDir, Msk[28: 24]	Msk[23: 16]	Msk[15: 8]	Msk[7: 0]	
	Reset: FF_H	Reset: FF_H	Reset: FF_H	Reset: FF_H	
Base-addr + 48_H	IF2 アービトレーションレジスタ 2 (IF2ARB2)		IF2 アービトレーションレジスタ 1 (IF2ARB1)		–
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MsgVal, Xtd, Dir,ID[28: 24]	ID[23: 16]	ID[15: 8]	ID[7: 0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $4C_H$	IF2 メッセージ制御レジスタ (IF2MCTR)		予約ビット		–
	bit[15: 8]	bit[7: 0]	bit[7: 0]	bit[15: 8]	
	IF2MCTR 参照	IF2MCTR 参照	-	-	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 50_H	IF2 データ A レジスタ 1 (IF2DTA1)		IF2 データ A レジスタ 2 (IF2DTA2)		バイト配列順序: Big Endian
	bit[7: 0]	bit[15: 8]	bit[7: 0]	bit[15: 8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 54_H	IF2 データ B レジスタ 1 (IF2DTB1)		IF2 データ B レジスタ 2 (IF2DTB2)		バイト配列順序: Big Endian
	bit[7: 0]	bit[15: 8]	bit[7: 0]	bit[15: 8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 60_H	IF2 データ A レジスタ 2 (IF2DTA2)		IF2 データ A レジスタ 1 (IF2DTA1)		バイト配列順序: Little Endian
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 64_H	IF2 データ B レジスタ 2 (IF2DTB2)		IF2 データ B レジスタ 1 (IF2DTB1)		バイト配列順序: Little Endian
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

4.1.4. メッセージハンドラレジスター覧

メッセージハンドラレジスター覧について示します。

表 4-3 メッセージハンドラレジスター覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 80_H	CAN 送信要求レジスタ 2 (TREQR2)		CAN 送信要求レジスタ 1 (TREQR1)		INTR1,2: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	TxRqst[32: 25]	TxRqst[24: 17]	TxRqst[16: 9]	TxRqst[8: 1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 84_H	CAN 送信要求レジスタ 4 (TREQR4)		CAN 送信要求レジスタ 3 (TREQR3)		INTR3,4: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	TxRqst[64: 57]	TxRqst[56: 49]	TxRqst[48: 41]	TxRqst[40: 33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 88_H Base-addr + $8C_H$	128 メッセージバッファをサポートするための予約領域 (CAN 送信要求レジスタ (TREQR1～TREQR4)を参照してください)。 TREQ5～TREQ8 : 128 メッセージバッファサポートの場合				–
Base-addr + 90_H	CAN New Data レジスタ 2 (NEWDT2)		CAN New Data レジスタ 1 (NEWDT1)		NEWDT1,2: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	NewDat[32: 25]	NewDat[24: 17]	NewData[16: 9]	NewData[8: 1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 94_H	CAN New Data レジスタ 4 (NEWDT4)		CAN New Data レジスタ 3 (NEWDT3)		NEWDT3,4: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	NewDat[64: 57]	NewDat[56: 49]	NewData[48: 41]	NewData[40: 33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + 98_H Base-addr + $9C_H$	128 メッセージバッファをサポートするための予約領域 (CAN データ更新レジスタ (NEWDT1～ NEWDT4)を参照してください)。 NEWDT5～NEWDT8 : 128 メッセージバッファサポートの場合				–
Base-addr + $A0_H$	CAN 割込みペンディングレジスタ 2 (INTPND2)		CAN 割込みペンディングレジスタ 1 (INTPND1)		INTPND1,2 : Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	IntPnd[32: 25]	IntPnd[24: 17]	IntPnd[16: 9]	IntPnd[8: 1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $A4_H$	CAN 割込みペンディングレジスタ 4(INTPND4)		CAN 割込みペンディングレジスタ 3(INTPND3)		INTPND3,4 : Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	IntPnd[64: 57]	IntPnd[56: 49]	IntPnd[48: 41]	IntPnd[40: 33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + $A8_H$ Base-addr + AC_H	128 メッセージバッファをサポートするための予約領域 (CAN 割込みペンディングレジスタ(INTPND1～INTPND4)を参照してください)。 INTPND5～INTPND8 : 128 メッセージバッファサポートの場合				−
Base-addr + $B0_H$	CAN メッセージ有効レジスタ 2 (MSGVAL2)		CAN メッセージ有効レジスタ 1 (MSGVAL1)		MSGVAL1, 2: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MsgVal[32: 25]	MsgVal[24: 17]	MsgVal[16: 9]	MsgVal[8: 1]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $B4_H$	CAN メッセージ有効レジスタ 4 (MSGVAL4)		CAN メッセージ有効レジスタ 3 (MSGVAL3)		MSGVAL3, 4: Read Only
	bit[15: 8]	bit[7: 0]	bit[15: 8]	bit[7: 0]	
	MsgVal[64: 57]	MsgVal[56: 49]	MsgVal[48: 41]	MsgVal[40: 33]	
	Reset: 00_H	Reset: 00_H	Reset: 00_H	Reset: 00_H	
Base-addr + $B8_H$ Base-addr + BC_H	128 メッセージバッファをサポートするための予約領域 (CAN メッセージ有効レジスタ (MSGVAL1～MSGVAL4)を参照してください)。 MSGVAL5～MSGVAL8 : 128 メッセージバッファサポートの場合				−

4.2. 全体制御レジスタ

全体制御レジスタについて示します。

全体制御レジスタは、CAN プロトコル制御および動作モードを制御し、状態情報を提供します。

- CAN 制御レジスタ(CTRLR)
- CAN 状態レジスタ(STATR)
- CAN エラーカウンタ(ERRCNT)
- CAN ビットタイミングレジスタ(BTR)
- CAN 割込みレジスタ(INTR)
- CAN テストレジスタ(TESTR)
- CAN プリスケーラ拡張レジスタ(BRPER)

4.2.1. CAN 制御レジスタ : CTRLR

CAN 制御レジスタのビット構成について示します。

CAN コントローラの動作モードを制御します。

■ CAN 制御レジスタ(上位バイト): アドレス Base+00$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ CAN 制御レジスタ(下位バイト): アドレス Base+01$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Test	CCE	DAR	予約	EIE	SIE	IE	Init
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] : テストモード許可ビット

Test	機能
0	通常動作 [初期値]
1	テストモード

＜注意事項＞

Test ビットに"1"を設定する場合、INIT ビットが"1"のときに設定してください。

[bit6] : ビットタイミングレジスタ書込み許可ビット

CCE	機能
0	CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)への書込みを禁止します [初期値]
1	CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)への書込みを許可します。Init ビットが"1"のときに有効です。

[bit5] : 自動再送禁止ビット

CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに"0"を設定します。CAN を Time Triggered CAN 環境で動作させるためには、DAR ビットに"1"を設定する必要があります。

DAR	機能
0	調停負けまたはエラー検出時のメッセージの自動再送を許可します [初期値]
1	自動再送を禁止します

＜注意事項＞

DAR ビットに"1"を設定した場合は、メッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト 」を参照してください)の TxRqst ビットと NewDat ビットの値は以下のようになります。

- フレーム送信を開始したとき、メッセージオブジェクトの TxRqst ビットが"0"にクリアされますが、NewDat ビットは 1"にセットされたままです。
- フレーム送信が正常終了すると NewDat ビットは"0"にクリアされます。送信が調停負けもしくはエラー検出すると、NewDat ビットは"1"にセットされたままです。送信を再開するためには、TxRqst ビットに"1"を設定してください。
- フレーム送出中(TxRqst=1)に CAN 制御レジスタ(CTRLR)の DAR ビットを"0"から"1"に変更すると送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、INIT ビットが"1"のときに変更してください。

DAR ビットに"1"を設定して、複数のメッセージバッファによる送信を行った場合、以下の動作になります。

- CAN がフレーム送信開始前および送信中に * 他の* メッセージバッファの TxRqst に"1"が設定された場合(複数のメッセージバッファの TxRqst に"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TxRqst が"0"にリセットされ、その中で優先順位の高いメッセージバッファのデータが送信されます。
- フレーム送信が正常終了すると送信されたメッセージバッファの NewDat が"0"にリセットされ、そのときメッセージバッファの TxIE が"1"であれば、メッセージオブジェクトの IntPnd は"1"にセットされます。
- ほかのメッセージバッファはフレーム送信開始時、TxRqst が"0"にリセットされたためにフレーム送信は行われません。NewDat または IntPnd によって送信されたメッセージバッファを確認後、送信したいメッセージバッファに対し、再度 TxRqst と NewDat に"1"をセットする必要があります。

[bit4] 予約ビット

常に"0"が読み出せます。書込みは"0"を設定してください。

[bit3] : エラー割込みコード許可ビット

EIE	機能
0	CAN 状態レジスタ(STATR)の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ(INTR)への割込みコードの設定を禁止します。[初期値]
1	CAN 状態レジスタ(STATR)の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ(INTR)への状態割込みコードの設定を許可します。

[bit2] : 状態割込みコード許可ビット

SIE	機能
0	CAN 状態レジスタ(STATR)の TxOk,RxOk または LEC ビットの変化により、CAN 割込みレジスタ(INTR)への割込みコードの設定を禁止します。 [初期値]
1	CAN 状態レジスタ(STATR)の TxOk,RxOk または LEC ビットの変化により、CAN 割込みレジスタ(INTR)への状態割込みコードの設定を許可します。CPU からの書込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタ(INTR)には設定されません。

[bit1] : 割込み許可ビット

IE	機能
0	割込みの発生を禁止します。 [初期値]
1	割込みの発生を許可します。

[bit0] : 初期化ビット

Init	機能
0	CAN コントローラの初期化解除後に動作します。
1	CAN コントローラを初期化し、動作を停止します。 [初期値]

＜注意事項＞

- バスオフリカバリシーケンスは、Init ビットの設定/解除によって短縮はできません。デバイスがバスオフになると、CAN コントローラ自身が Init ビットを"1"にセットし、すべてのバス動作を停止します。バスオフ状態から Init ビットを"0"にクリアすると、バスアイドルが連続的に 129 回(11 ビットのレセッシブを 1 回とする)発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後、エラーカウンタをリセットします。
- バスオフリカバリシーケンス中に INIT ビットに"1"を設定し、再度 INIT ビットに"0"を設定した場合、バスオフリカバリシーケンスを最初から実施します(11 ビットのレセッシブを 1 回として 129 回再度実施)。
- CAN ビットタイミングレジスタ(BTR)を設定する場合は、Init および CCE ビットに"1"を設定してください。
- 送受信途中で INIT ビットに"1"を設定した場合、即送受信を中止します。

・送信中、Init ビットに"1"を設定する場合、送信完了後に Init ビットを"1"に設定してください。もし、送信中、Init ビットに"1"を設定した場合、送信要求ビット(TxRqst)が"1"に設定されているメッセージバッファに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、Init ビットに"0"を設定してください。その後、CAN の 2 ビット時間経過後に送信要求の設定(TxRqst ビットに"1"を設定)を行ってください。
・低消費電力モード(停止モード、クロックモード)へ遷移する前、および供給クロックを変更する前に Init ビットに"1"を書込んで CAN コントローラを初期化状態にしなければなりません。
・次のレジスタにより、CAN インタフェースに供給するクロックの分周比を変更する場合は、Init ビットに"1"を設定し、CAN コントローラを停止した状態で行ってください。
  . CAN ビットタイミングレジスタ(BTR)
  . CAN プリスケーラ拡張レジスタ(BRPER)
  . CAN プリスケーラレジスタ(CANPRE)

4.2.2. CAN 状態レジスタ : STATR

CAN 状態レジスタのビット構成について示します。

CAN 状態および CAN バス状態を表示します。

■ CAN 状態レジスタ(上位バイト): アドレス Base+02$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ CAN 状態レジスタ(下位バイト): アドレス Base+03$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	BOff	EWarn	EPass	RxOk	TxOk	LEC[2: 0]		
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,W	R,W	R,WX	R,WX	R,WX

[bit15～bit8] 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] : バスオフビット

BOff	機能
0	CAN コントローラはバスオフ状態でないことを示します。 [初期値]
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] : ワーニングビット

EWarn	機能
0	送信と受信カウンタが共に 96 未満であることを示します [初期値]
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] : エラーパッシブビット

EPass	機能
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。 [初期値]
1	受信カウンタは RP ビット="1"、送信カウンタが 128 以上(エラーパッシブ状態)であることを示します。

[bit4] : メッセージ正常受信ビット

RxOk	機能
0	CAN バス上で正常なメッセージ通信が行われていない またはバスアイドル状態であることを示します。 [初期値]
1	CAN バス上で正常なメッセージ通信が行われたことを示します。

[bit3] : メッセージ正常送信ビット

TxOk	機能
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。 [初期値]
1	正常なメッセージ送信が行われたことを示します。

＜注意事項＞

RxOk および TxOk ビットは、"0"書込みでのみクリアされます。

[bit2～bit0] : ラストエラーコードビット

LEC ビットは CAN バス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送(受信/送信)完了すると"0"にクリアされます。未検出コード"111_B"は、コード更新をチェックするために使用することができます。

LEC[2: 0]	状態	機能
000	正常	正常に送信または受信されたことを示します。[初期値]
001	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します
010	Form エラー	受信されたフレームの固定フォーマット部が間違って検出したことを示します。
011	Ack エラー	送信メッセージに対し、ほかのノードからアクノリッジされなかったことを示します。
100	Bit1 エラー	調停フィールドを除くメッセージの送信データにおいて、レセッシブを送信したにも関らずドミナントを検出したことを示します。
101	Bit0 エラー	メッセージの送信データにおいて、ドミナントを送信したにも関らずレセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとにセットされます．このビットを読み出すことによりバスリカバリシーケンスを監視できます。
110	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
111	未検出	LEC ビットに"111_B"を設定した後、LEC 値が"111_B"を読み出した場合、その期間は送受信しなかったことを示します。(バスアイドル状態)

＜注意事項＞

- 状態割込みコード(8000_H)は、EIE ビットが"1"のときに BOff または EWarn ビットが変化した場合、もしくは SIE ビットが"1"のときに RxOk、TxOk または LEC ビットが変化した場合、CAN 割込みレジスタ(INTR)に設定されます。
- RxOk、TxOk ビットはフラグの値がプログラムによる書込みによって更新されますので、CAN コントローラによってセットされた RxOk、TxOk ビットの値が変更されてしまいます。もし RxOk、TxOk ビットを使用する場合には、RxOk または TxOk ビットが"1"にセットされてから、(45×BT)時間以内にクリアしてください。BT は 1 ビットタイムを示します。
- SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN 状態レジスタ(STATR)に書き込まないでください。
- EPass ビットの変化、RxOk、TxOk および LEC ビットへの書込み動作では CAN 割込みレジスタ(INTR)のエラーコード割込みのセットは行われません。
- BOff ビットが"1"になった場合、EPass ビット、EWarn ビットは"1"の状態になっています。また、EPass ビットが"1"になった場合、EWarn ビットは"1"の状態になっています。
- CAN 状態レジスタ(STATR)を読み出すことにより、CAN 割込みレジスタ(INTR)の状態割込み(8000_H)はクリアされます。

4.2.3. CAN エラーカウンタ ： ERRCNT

CAN エラーカウンタのビット構成について示します。

受信エラーパッシブ表示および受信エラーカウンタ、送信エラーカウンタを示します。

■ CAN エラーカウンタレジスタ(上位バイト): アドレス Base+04$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RP	REC [6: 0]						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN エラーカウンタレジスタ(下位バイト): アドレス Base+05$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TEC [7: 0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] : 受信エラーパッシブ表示

RP	機能
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。 [初期値]
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14～bit8] : 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0～127 です。
受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例)

RP=0, REC[6: 0]=127, 受信エラーで+8 される場合、その結果は、RP=1, REC[6: 0]=127
RP=0, REC[6: 0]=126, 受信エラーで+8 される場合、その結果は、RP=1, REC[6: 0]=126
RP=0, REC[6: 0]=119, 受信エラーで+8 される場合、その結果は、RP=0, REC[6: 0]=127
RP=1, REC[6: 0]=126, 正常受信された場合、その結果は、RP=0, REC[6: 0]=125

[bit7～bit0] : 送信エラーカウンタ
送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0～255 です。
送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの Init ビットに"1"を設定し、送信エラーカウンタは更新されません。

例)
Init=0, TEC[7: 0]=255, 送信エラーで+8 される場合、その結果は、Init=1, TEC[7: 0]=255
Init=0, TEC[7: 0]=254, 送信エラーで+8 される場合、その結果は、Init=1, TEC[7: 0]=254
Init=0, TEC[7: 0]=247, 送信エラーで+8 される場合、その結果は、Init=0, TEC[7: 0]=255

4.2.4. CAN ビットタイミングレジスタ : BTR

CAN ビットタイミングレジスタのビット構成について示します。

プリスケーラおよびビットタイミングを設定します。

■ CAN ビットタイミングレジスタ(上位バイト): アドレス Base+06$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	TSeg2			TSeg1			
初期値	0	0	1	0	0	0	1	1
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ CAN ビットタイミングレジスタ(下位バイト): アドレス Base+07$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SJW		BRP					
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] : 予約ビット
常に"0"が読み出されます。書込みは"0"を設定してください。

[bit14～bit12] : タイムセグメント 2 設定ビット
有効設定値は 0～7 です。TSeg2+1 ビットの値がタイムセグメント 2 になります。
タイムセグメント 2 は、CAN 仕様のフェーズバッファセグメント(PHASE_SEG2)に相当します。

[bit11～bit8] : タイムセグメント 1 設定ビット
有効設定値は 1～15 です。0 の設定は禁止です。TSeg1+1 ビットの値がタイムセグメント 1 になります。
タイムセグメント 1 は、CAN 仕様のプロパゲーションセグメント(PROP_SEG)＋フェーズバッファセグメント 1(PHASE_SEG1)に相当します。

[bit7, bit6] : 再同期化ジャンプ幅設定ビット
有効設定値は 0～3 です。SJW+1 ビットの値が再同期ジャンプ幅となります。

[bit5～bit0] : ボーレートプリスケーラ設定ビット
有効設定値は 0～63 です。BRP+1 ビットの値がボーレートプリスケーラになります。

システムクロック(fsys)を分周して、CAN コントローラの基本単位時間(tq)を決定します。

＜注意事項＞

CAN 制御レジスタ(CTRLR)の CCE ビットと Init ビットが"1"にセットされているときに、CAN ビットタイミングレジスタ(BTR)および CAN プリスケーラ拡張レジスタ(BRPER)を設定してください。

4.2.5. CAN 割込みレジスタ : INTR

CAN 割込みレジスタのビット構成について示します。

メッセージ割込みコードおよび状態割込みコードを表示します。

■ CAN 割込みレジスタ(上位バイト): アドレス Base+08$_H$(アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntId 15-8							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みレジスタ(下位バイト): アドレス Base+09$_H$(アクセス: ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntId 7-0							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

複数の割込みコードが保留中である場合、CAN 割込みレジスタ(INTR)は優先度の高い割込みコードを示します。割込みコードが CAN 割込みレジスタ(INTR)にセットされていても優先度の高い割込みコードが発生した場合には、CAN 割込みレジスタ(INTR)は優先度の高い割込みコードに更新されます。
優先度の高い割込みコードは、状態割込みコード(8000_H)、メッセージ割込み(0001_H, 0002_H, 0003_H, ……, 0040_H) の順になります。(64msgb の場合。128msgb も同様)
IntId ビットが 0000_H 以外で、CAN 制御レジスタ(CTRLR)の IE ビットが"1"にセットされると、CPU への割込み信号がアクティブになります。IntId ビットの値が 0000_H になる(割込み要因がリセットされる)もしくは CAN 制御レジスタ(CTRLR)の IE ビットが"0"にリセットされると、割込み信号はインアクティブになります。
対象となるメッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の IntPnd ビットを"0"にクリアすることでメッセージ割込みコードはクリアされます。
状態割込みコードは CAN 状態レジスタ(STATR)を読み出すことでクリアされます。

IntId	機能
0000_H	割込みなし
(64msgb の場合) 0001_H - 0040_H (128msgb の場合) 0001_H - 0080_H	割込み要因はメッセージオブジェクトの番号を示します (メッセージ割込みコード)
(64msgb の場合) 0041_H - $7FFF_H$ (128msgb の場合) 0081_H - $7FFF_H$	未使用
8000_H	CAN 状態レジスタ(STATR)の変化による割込みを示します (状態割込みコード)
8001_H - $FFFF_H$	未使用

4.2.6. CAN テストレジスタ : TESTR

CAN テストレジスタのビット構成について示します。

テストモードの設定および RX 端子のモニタを行います。動作については、「5.7 テストモード」を参照してください。

■ CAN テストレジスタ(上位バイト): アドレス Base+$0A_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ CAN テストレジスタ(下位バイト): アドレス Base+$0B_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Rx	Tx1	Tx0	LBack	Silent	Basic	予約	予約
初期値	r	0	0	0	0	0	0	0
属性	R,WX	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0

(注意事項) Rx の初期値(r)は、CAN バス上のレベルが表示されます。

[bit15～bit8] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7] Rx : Rx 端子モニタビット

Rx	機能
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6, bit5] Tx1,Tx0 : TX 端子制御ビット

Tx1,Tx0	機能
00	通常動作 [初期値]
01	サンプリングポイントが Tx 端子に出力されます。
10	TX 端子にドミナントを出力します。
11	TX 端子にレセッシブを出力します。

[bit4] LBack : ループバックモード

LBack	機能
0	ループバックモードを禁止します。 [初期値]
1	ループバックモードを許可します。

[bit3] Silent : サイレントモード

Silent	機能
0	サイレントモードを禁止します。 [初期値]
1	サイレントモードを許可します。

[bit2] Basic : ベーシックモード

Basic	機能
0	ベーシックモードを禁止します。 [初期値]
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして、IF2 レジスタは受信メッセージとして使用されます。

[bit1, bit0]: 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Test ビットを"1"にセットした後、レジスタへ書き込んでください。テストモードが有効となるのは、CAN 制御レジスタ(CTRLR)の Test ビットが"1"のときです。途中で CAN 制御レジスタ(CTRLR)の Test ビットを"0"にするとテストモードから通常モードになります。
- Tx ビットを"00"以外に設定した場合、メッセージを送信することができません。

4.2.7. CAN プリスケーラ拡張レジスタ ： BRPER

CAN プリスケーラ拡張レジスタのビット構成について示します。

CAN ビットタイミングで設定したプリスケーラと組み合わせることにより、CAN コントローラで使用するプリスケーラを拡張します。

■ CAN プリスケーラ拡張レジスタ(上位バイト): アドレス Base+0C$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ CAN プリスケーラ拡張レジスタ(下位バイト): アドレス Base+0D$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	BRPE			
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit15～bit4] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit3～bit0]BRPE : ボーレートプリスケーラ拡張ビット

CAN ビットタイミングレジスタ(BTR)の BRP ビットと BRPE ビットを組み合わせることにより、1023 までボーレートプリスケーラを拡張できます。

{BRPE(MSB: 4 ビット), BRP(LSB: 6 ビット)}＋1 の値が CAN コントローラのプリスケーラとなります。

4.3. メッセージインタフェースレジスタ

メッセージインタフェースレジスタについて示します。

CPUからメッセージRAMへのアクセスを制御するために、2組のメッセージインタフェースレジスタを提供します。

メッセージ RAM への CPU アクセスを制御するために使用される 2 組のメッセージインタフェースレジスタがあります。この 2 組のレジスタは、転送された(する)データ(メッセージオブジェクト)をバッファすることで、メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避します。メッセージオブジェクト(メッセージオブジェクトについては、「4.4 メッセージオブジェクト」を参照してください)は、メッセージインタフェースレジスタとメッセージ RAM 間を一度に転送します。

テストベーシックモードを除き、2 組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1 のメッセージインタフェースレジスタをメッセージ RAM への書込み動作中に、IF2 のメッセージインタフェースレジスタをメッセージ RAM からの読出しに使用することも可能です。表 4-4 に 2 組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ(コマンド要求、コマンドマスクレジスタ)と、このコマンドレジスタによって制御されるメッセージバッファレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

表 4-4 IF1,IF2 メッセージインタフェースレジスタ

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
Base + 10_H	IF1 コマンド要求	Base + 40_H	IF2 コマンド要求
Base + 12_H	IF1 コマンドマスク	Base + 42_H	IF2 コマンドマスク
Base + 14_H	IF1 マスク 2	Base + 44_H	IF2 マスク 2
Base + 16_H	IF1 マスク 1	Base + 46_H	IF2 マスク 1
Base + 18_H	IF1 アービトレーション 2	Base + 48_H	IF2 アービトレーション 2
Base + $1A_H$	IF1 アービトレーション 1	Base + $4A_H$	IF2 アービトレーション 1
Base + $1C_H$	IF1 メッセージ制御	Base + $4C_H$	IF2 メッセージ制御
Base + 20_H	IF1 データ A1	Base + 50_H	IF2 データ A1
Base + 22_H	IF1 データ A2	Base + 52_H	IF2 データ A2
Base + 24_H	IF1 データ B1	Base + 54_H	IF2 データ B1
Base + 26_H	IF1 データ B2	Base + 56_H	IF2 データ B2

4.3.1. IFx コマンド要求レジスタ ： IFxCREQ

IFx コマンド要求レジスタのビット構成について示します。

メッセージ RAM のメッセージ番号の選択と、メッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

■ IFx コマンド要求レジスタ(上位バイト): アドレス Base+10$_H$ & Base+40$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ IFx コマンド要求レジスタ(下位バイト): アドレス Base+11$_H$ & Base+41$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Message Number							
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IFx コマンド要求レジスタ(IFxCREQ)へメッセージ番号を書き込むと、すぐにメッセージ RAM とメッセージバッファレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)とのメッセージ転送が開始されます。この書込み動作で BUSY ビットが"1"にセットされ、転送処理中であることを示します。その転送が終了すると、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが"0"になるまで(コマンド要求レジスタ書込み後、Clock で 3～6 サイクル期間)、CPU をウェイトさせます。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに"1"をセットすることによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを"1"にセットすることにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15]BUSY : ビジーフラグビット

(1) テストベーシックモード以外

BUSY	機能
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。 [初期値]
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。

(2) テストベーシックモード

IF1 コマンド要求レジスタ

BUSY	機能
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

IF2 コマンド要求レジスタ

BUSY	機能
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14～bit8] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7～bit0] Message Number: メッセージ番号 (64 message buffer CAN 用)

Message Number	機能
00_H	設定禁止です。設定した場合、40_H として解釈され、40_H が読み出されます。
01_H - 40_H	処理を行うメッセージ番号を設定します。
41_H - FF_H	設定禁止です。設定した場合、01_H-$3F_H$ として解釈され、解釈された値が読み出されます。

[bit7～bit0] Message Number: メッセージ番号 (128 message buffer CAN 用)

Message Number	機能
00_H	設定禁止です。設定した場合、80_H として解釈され、80_H が読み出されます。
01_H - 80_H	処理を行うメッセージ番号を設定します。
81_H - FF_H	設定禁止です。設定した場合、01_H-$7F_H$ として解釈され、解釈された値が読み出されます。

＜注意事項＞

BUSY ビットは、リード/ライトが可能です。テストのベーシックモード時以外は、このビットに何を書いても動作に影響しません(ベーシックモードについては、「5.7 テストモード」を参照してください)。

4.3.2. IFx コマンドマスクレジスタ ： IFxCMSK

IFx コマンドマスクレジスタのビット構成について示します。

メッセージインタフェースレジスタとメッセージ RAM 間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードでレジスタは無効となります。

■ IFx コマンドマスクレジスタ(上位バイト): アドレス Base+12$_H$ & Base+42$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	予約	予約	予約	予約	予約	予約	予約
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

■ IFx コマンドマスクレジスタ(下位バイト): アドレス Base+13$_H$ & Base+43$_H$(アクセス: バイト, ハーフーワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	WR/RD	Mask	Arb	Control	CIP	TxRqst/NewDat	Data A	Data B
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15～bit8] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit7]WR/RD : ライト/リード制御ビット

WR/RD	機能
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタ(IFxCREQ)への書込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP,TxRqst/NewDat, Data A, Data B ビットの設定に依存します。 [初期値]

WR/RD	機能
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書込みは IFx コマンド要求レジスタ(IFxCREQ)への書込みによって実行されます。メッセージ RAM への書込みデータは、Mask, Arb, Control, CIP,TxRqst/NewDat, Data A, Data B ビットの設定に依存します。

＜注意事項＞

リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。

IFx コマンドマスクレジスタ(IFxCMSK)の bit6-0 は、転送方向(WR/RD ビット)の設定により違った意味になります。

(1) 転送方向がライトの場合(WR/RD="1")

[bit6] Mask : **マスクデータ更新ビット**

Mask	機能
0	メッセージオブジェクト*1 のマスクデータ(ID マスク + MDir + MXtd)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のマスクデータ(ID マスク + MDir + MXtd)を更新することを示します。

[bit5] Arb : **アービトレーションデータ更新ビット**

Arb	機能
0	メッセージオブジェクト*1 のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新することを示します。

[bit4] Control : **制御データ更新ビット**

Control	機能
0	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ (IFxMCTR)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ (IFxMCTR)を更新することを示します。

[bit3] CIP : **割込みクリアビット**

"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/ NewDat : **メッセージ送信要求ビット**

TxRqst/ NewDat	機能
0	メッセージオブジェクト*1 および CAN 送信要求レジスタ(TREQR)の TxRqst ビットを変更しないことを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 送信要求レジスタ(TREQR)の TxRqst ビットに"1"を設定(送信要求)することを示します。

[bit1] Data A : **データ 0-3 更新ビット**

Data A	機能
0	メッセージオブジェクト*1 のデータ 0-3 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 0-3 を更新することを示します。

[bit0] Data B : **データ 4-7 更新ビット**

Data B	機能
0	メッセージオブジェクト*1 のデータ 4-7 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 4-7 を更新することを示します。

*1: 「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat ビットが"1"に設定されると、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst ビットの設定は無効となります。
- テストのベーシックモードでレジスタは無効となります。

(2)転送方向がリードの場合(WR/RD="0")

[bit6] Mask : **マスクデータ更新ビット**

Mask	機能
0	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)へデータ(ID マスク + MDir + MXtd)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)へデータ(ID マスク + MDir + MXtd)を転送することを示します。

[bit5] Arb : **アービトレーションデータ更新ビット**

Arb	機能
0	メッセージオブジェクト*1 から IFx アービトレーション 1,2(IFxARB1, IFxARB2)へデータ(ID+ Dir + Xtd + MsgVal)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx アービトレーション 1,2(IFxARB1, IFxARB2)へデータ(ID+ Dir + Xtd + MsgVal)を転送することを示します。

[bit4] Control : **制御データ更新ビット**

Control	機能
0	メッセージオブジェクト*1 から IFx メッセージ制御レジスタ(IFxMCTR)へデータを転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx メッセージ制御レジスタ(IFxMCTR)へデータを転送することを示します。

[bit3] CIP : 割込みクリアビット

CIP	機能
0	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットを"0"にクリアすることを示します。

[bit2] TxRqst/ NewDat : データ更新ビット

TxRqst/ NewDat	機能
0	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを"0"にクリアすることを示します。

[bit1] Data A : データ 0-3 更新ビット

Data A	機能
0	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを更新することを示します。

[bit0] Data B : データ 4-7 更新ビット

Data B	機能
0	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを更新することを示します。

*1: 「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- メッセージオブジェクトへの読出しアクセスにより、IntPnd および NewDat ビットは"0"にリセットすることが可能です。ただし、IFx メッセージ制御レジスタ(IFxMCTR)の IntPnd および NewDat ビットには、読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。
- テストのベーシックモードでは無効となります。

4.3.3. IFx マスクレジスタ 1,2 : IFxMSK1, IFxMSK2

IFx マスクレジスタ 1,2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクトマスクデータをライト/リードするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効となります。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFx マスクレジスタ 2(上位バイト): アドレス Base+14$_H$ & Base+44$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MXtd	MDir	予約	Msk 28-24				
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R1,W1	R/W	R/W	R/W	R/W	R/W

■ IFx マスクレジスタ 2(下位バイト): アドレス Base+15$_H$ & Base+45$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Msk 23-16							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx マスクレジスタ 1(上位バイト): アドレス Base+16$_H$ & Base+46$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	Msk 15-8							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx マスクレジスタ 1(下位バイト): アドレス Base+17$_H$ & Base+47$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	Msk 7-0							
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット説明については「4.4 メッセージオブジェクト」を参照してください。

予約ビット(IFx マスクレジスタ 2 の bit13)は"1"が読み出され、書込み時は"1"を書き込んでください。

4.3.4. IFx アービトレーションレジスタ 1,2： IFxARB1, IFxARB2

IFx アービトレーションレジスタ 1,2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクトアービトレーションデータをライト/リードするために用いられます。また、テストのベーシックモードでは無効となります。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFx アービトレーションレジスタ 2(上位バイト): アドレス Base+18$_H$ & Base+48$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal	Xtd	Dir	ID 28-24				
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 2(下位バイト): アドレス Base+19$_H$ & Base+49$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ID 23-16							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 1(上位バイト): アドレス Base+1A$_H$ & Base+4A$_H$(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ID 15-8							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx アービトレーションレジスタ 1(下位バイト): アドレス Base+1B$_H$ & Base+4B$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ID 7-0							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット説明については「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

送信途中でメッセージオブジェクトの MsgVal ビットを"0"にクリアした場合、送信が完了した時点で CAN 状態レジスタ(STATR)の TxOk ビットは"1"になりますが、メッセージオブジェクトおよび CAN 送信要求レジスタ(TREQR)の TxRqst ビットは"0"にクリアされませんのでメッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

4.3.5. IFx メッセージ制御レジスタ : IFxMCTR

IFx メッセージ制御レジスタのビット構成について示します。

メッセージ RAM のメッセージオブジェクト制御データをライト/リードするために用いられます。また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効となります。IF2 メッセージ制御レジスタの NewDat と MsgLst は通常の動作を行い、DLC ビットは受信したメッセージの DLC を表示します。その他の制御ビットは無効("0")として動作します。
各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ IFx メッセージ制御レジスタ(上位バイト): アドレス Base+1CH & Base+4CH(アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ IFx メッセージ制御レジスタ(下位バイト): アドレス Base+1D$_H$ & Base+4D$_H$(アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EoB	予約	予約	予約	DLC 3-0			
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

ビット説明については「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

TxRqst、NewDat および IntPnd ビットは、IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD ビットの設定によって以下のような動作になります。

・転送方向がライトの場合(IFx コマンドマスクレジスタ(IFxCMSK): WR/RD="1")

・IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat が"0"に設定されている場合のみ、TxRqst ビットが有効となります。
・転送方向がリードの場合(IFx コマンドマスクレジスタ(IFxCMSK): WR/RD="0")
・IFx コマンドマスクレジスタ(IFxCMSK)の CIP ビットを"1"、IFx コマンド要求レジスタ(IFxCREQ)への書込みによりメッセージオブジェクトおよび CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットをリセットした場合、レジスタにはリセットされる前の IntPnd ビットが格納されます。
・IFx コマンドマスクレジスタ(IFxCMSK)の TxRqst/NewDat ビットを"1"、IFx コマンド要求レジスタ(IFxCREQ)への書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NewDat ビットをリセットした場合、レジスタにはリセットする前の NewDat ビットが格納されます。

4.3.6. IFx データレジスタ A1,A2,B1,B2 : IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2

IFx データレジスタ A1,A2,B1,B2 のビット構成について示します。

メッセージ RAM のメッセージオブジェクト送受信データをライト/リードするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

	addr+0	addr+1	addr+2	addr+3
IFx Message Data A1 (addresses 20_H & 50_H)	Data(0)	Data(1)	−	−
IFx Message Data A2 (addresses 22_H & 52_H)	−	−	Data(2)	Data(3)
IFx Message Data B1 (addresses 24_H & 54_H)	Data(4)	Data(5)	−	−
IFx Message Data B2 (addresses 26_H & 56_H)	−	−	Data(6)	Data(7)
IFx Message Data A2 (addresses 30_H & 60_H)	Data(3)	Data(2)	−	−
IFx Message Data A1 (addresses 32_H & 62_H)	−	−	Data(1)	Data(0)
IFx Message Data B2 (addresses 34_H & 64_H)	Data(7)	Data(6)	−	−
IFx Message Data B1 (addresses 36_H & 66_H)	−	−	Data(5)	Data(4)

■ IFx データレジスタ:

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	bit7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
	Data							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信メッセージデータの設定

設定したデータは、MSB(bit7,15)より開始して Data(0), Data(1), …, Data(7)の順で送信されます。

受信メッセージデータ

受信メッセージデータは、MSB(bit7,15)より開始して Data(0), Data(1), …, Data(7)の順で格納されます。

＜注意事項＞

- 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書き込まれます。
- メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

4.4. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージ RAM には、64(チャネルによっては 128)のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。
メッセージオブジェクトの構成と機能を説明します。

4.4.1. メッセージオブジェクトの構成

メッセージオブジェクトの構成について示します。

以下にメッセージオブジェクトの構成を示します。

表 4-5 メッセージオブジェクトの構成

UMask	Msk28-0	MXtd	MDir	EoB	NewDat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID28-0	Xtd	Dir	DLC3-0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

＜注意事項＞

メッセージオブジェクトは、CAN 制御レジスタ(CTRLR)の Init ビット、ハードウェアリセットでは初期化されません。ハードウェアリセットの場合、ハードウェアリセット解除後、CPU によってメッセージ RAM を初期化するかメッセージ RAM の MsgVal を"0"にしてください。

4.4.2. メッセージオブジェクトの機能

メッセージオブジェクトの機能について示します。

ID28-0、Xtd、Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk28-0、MXtd、MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームもしくはリモートフレームの ID, IDE,RTR, DLC および DATA は、メッセージオブジェクトの ID28-ID0, Xtd, Dir, DLC3-DLC0, Data7-Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd が"1"の場合、29 ビット ID(拡張フレーム)を、Xtd が"0"の場合は、11 ビット ID(標準フレーム)を受信することになります。

受信したデータフレームもしくはリモートフレームが 1 つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます (詳細は、「5.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください)。

MsgVal: 有効メッセージビット

MsgVal	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能となります。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Init ビットを"0"にリセットする前と、ID28-0、Xtd、Dir、DLC3-0 を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず初期化してください。
- 送信中に MsgVal ビットを"0"にすると、送信が完了した時点で CAN 状態レジスタ(STATR)の TxOk ビットは"1"になりますが、メッセージオブジェクトおよび CAN 送信要求レジスタ(TREQR)の TxRqst ビットは"0"にクリアされませんのでメッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

UMask: 受容マスク許可ビット

UMask	機能
0	Msk28-0、MXtd、MDir を使用しません。
1	Msk28-0、MXtd、MDir を使用します。

＜注意事項＞

- CAN 制御レジスタ(CTRLR)の Init ビットが"1"のとき、あるいは MsgVal ビットが"0"のときに UMask ビットを変更してください。
- Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask ビットの設定により動作が異なります。
  - UMask ビットが"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC

はメッセージオブジェクトに格納し、NewDat ビットは"1"にセットされ、データは変更しません。(データフレームのように取り扱います)
・UMask ビットが"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

ID28-0: メッセージ ID

	機能
ID28 - ID0	29 ビット ID(拡張フレーム)を指示します。
ID28 - ID18	11 ビット ID(標準フレーム)を指示します。

Msk28-0: ID マスク

Msk	機能
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

Xtd: 拡張 ID 許可ビット

Xtd	機能
0	メッセージオブジェクトは 11 ビット ID(標準フレーム)が使用されます。
1	メッセージオブジェクトは 29 ビット ID(拡張フレーム)が使用されます。

MXtd: 拡張 ID マスクビット

MXtd	機能
0	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行います。

＜注意事項＞

11 ビット ID(標準フレーム)がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID28～ID18 へ書き込まれます。ID マスクは、Msk28～Msk18 が使用されます。

Dir: メッセージ方向ビット

Dir	機能
0	受信方向を示します。 TxRqst が"1"にセットされると、リモートフレームの送信を行い、TxRqst が"0"のときは、受容フィルタを通過したデータフレームを受信します
1	送信方向を示します。 TxRqst が"1"にセットされると、データフレームを送信し、TxRqst が"0"で RmtEn が"1"にセットされている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst を"1"にセットします。

MDir: メッセージ方向マスクビット

MDir	機能
0	受容フィルタでメッセージ方向ビット(Dir)をマスクします。
1	受容フィルタでメッセージ方向ビット(Dir)をマスクしません。

＜注意事項＞

MDir ビットは常に"1"を設定してください。

EoB: エンドオブバッファビット(詳細は、「5.4. FIFO バッファ機能」を参照してください)

EoB	機能
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

＜注意事項＞

- EoB ビットは、2～128 メッセージ(ch.0), 2～64 メッセージ(ch.1, ch.2)の FIFO バッファを構成するために使用します。
- 単一メッセージオブジェクト(FIFO を使用しない場合)は、必ず EoB ビットに"1"を設定してください。

NewDat: データ更新ビット

NewDat	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

MsgLst: メッセージロスト

MsgLst	機能
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

＜注意事項＞

MsgLst ビットは Dir ビットが"0"のとき(受信方向)のみ有効です。

RxIE: 受信割込みフラグイネーブルビット

RxIE	機能
0	フレーム受信成功後、IntPnd は変更されません。
1	フレーム受信成功後、IntPnd が"1"にセットされます。

TxIE: 送信割込みフラグイネーブルビット

TxIE	機能
0	フレーム送信成功後、IntPnd は変更されません。
1	フレーム送信成功後、IntPnd が"1"にセットされます。

IntPnd: 割込みペンディングビット

IntPnd	機能
0	割込み要因がありません。
1	割込み要因があります。 他に優先度の高い割込みがない場合は、CAN 割込みレジスタ(INTR)の IntId ビットはこのメッセージオブジェクトを示します。

RmtEn: リモートイネーブル

RmtEn	機能
0	リモートフレームの受信で、TxRqst は変更されません。
1	Dir ビットが"1"でリモートフレームを受信すると、TxRqst が"1"にセットされます。

＜注意事項＞

Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります。

- UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"にセットされ、データは変更しません。(データフレームのように取り扱います)

・UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

TxRqst: 送信要求ビット

TxRqst	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

DLC3-0: データ長コード

DLC3-0	機能
0-8	データフレーム長は 0～8 バイトです。
9-15	設定禁止です。 設定された場合は、8 バイト長となります。

＜注意事項＞

データフレームを受信すると DLC ビットには、受信した DLC が格納されます。

Data 0-7: データ 0-7

	機能
Data 0	CAN データフレームの最初のデータバイト
Data 1	CAN データフレームの 2 番目のデータバイト
Data 2	CAN データフレームの 3 番目のデータバイト
Data 3	CAN データフレームの 4 番目のデータバイト
Data 4	CAN データフレームの 5 番目のデータバイト
Data 5	CAN データフレームの 6 番目のデータバイト
Data 6	CAN データフレームの 7 番目のデータバイト
Data 7	CAN データフレームの 8 番目のデータバイト

＜注意事項＞

・CAN バスへのシリアル出力は、MSB(bit7 もしくは bit15)より出力します。
・受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定が書き込まれます。
・メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

4.5. メッセージハンドラレジスタ

メッセージハンドラレジスタについて示します。

メッセージハンドラレジスタは、すべて読出し専用です。メッセージオブジェクトの TxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、状態を表示します。

・CAN 送信要求レジスタ 1～4 (TREQR1～TREQR4)
・CAN データ更新レジスタ 1～4 (NEWDT1～NEWDT4)
・CAN 割込みペンディングレジスタ 1～4 (INTPND1～INTPND4)
・CAN メッセージ有効レジスタ 1～4 (MSGVAL1～MSGVAL4)

4.5.1. CAN 送信要求レジスタ : TREQR1～TREQR4

CAN 送信要求レジスタのビット構成について示します。

全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックすることができます。

■ CAN 送信要求レジスタ 4(上位バイト): アドレス Base + 84_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 64-57							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 4(下位バイト): アドレス Base + 85_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 56-49							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 3(上位バイト): アドレス Base + 86_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 48-41							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 3(下位バイト): アドレス Base + 87_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 40-33							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 2(上位バイト): アドレス Base + 80_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 32-25							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 2(下位バイト): アドレス Base + 81_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 24-17							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 1(上位バイト): アドレス Base + 82_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TxRqst 16-9							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 送信要求レジスタ 1(下位バイト): アドレス Base + 83$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TxRqst 8-1							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

TxRqst64-1: 送信要求ビット

TxRqst64-1	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

TxRqst ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"1"を設定し、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst にセットできます。

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"0",Control に"1"を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst にセットできます。

Dir ビットが"1", RmtEn ビットが"1"に設定し、受容フィルタを通過したリモートフレームの受信によりセットされます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", TxRqst に"0", Control に"1"を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の TxRqst に"0"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの TxRqst をリセットできます。

フレームの送信が正常終了すると、リセットされます。

Dir が"1", RmtEN が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりリセットされます。

128 メッセージバッファを搭載する CAN マクロにおける送信要求ビットの確認については以下の表を参照してください。

表 4-6 128 メッセージバッファを搭載する CAN マクロにおける送信要求ビット

		addr + 0	addr + 1	addr + 2	addr + 3
TREQR 6 & 5	TxRqst 96-65 (address 88H)	TxRqst96-89	TxRqst88-81	TxRqst80-73	TxRqst72-65
TREQR 8 & 7	TxRqst 128-97 (address 8CH)	TxRqst128-121	TxRqst120-113	TxRqst112-105	TxRqst104-97

＜注意事項＞

優先順位が最下位のメッセージバッファを送信に使用している場合、TxRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージバッファに対して送信要求が発行される
- INIT ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合、送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しないか、送信中止後、上記のいずれかのイベントを発生させた後、再度 TxRqst に"1"を設定してください。

- TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

4.5.2. CAN データ更新レジスタ : NEWDT1～NEWDT4

CAN データ更新レジスタのビット構成について示します。

全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックすることができます。

■ CAN データ更新レジスタ 4(上位バイト): アドレス Base + 94_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 64-57							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 4(下位バイト): アドレス Base + 95_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat 56-49							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 3(上位バイト): アドレス Base + 96_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 48-41							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 3(下位バイト): アドレス Base + 97_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat 40-33							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 2(上位バイト): アドレス Base + 90_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 32-25							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 2(下位バイト): アドレス Base + 91_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat24-17							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 1(上位バイト): アドレス Base + 92_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	NewDat 16-9							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN データ更新レジスタ 1(下位バイト): アドレス Base + 93_H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	NewDat8-1							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

NewDat64-1: データ更新ビット

NewDat 64-1	機能
0	有効なデータがないことを示します
1	有効なデータがあることを示します

NewDat ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1", Control に"1" を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の NewDat に"1"を設定して、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトにセットできます。

受容フィルタを通過したデータフレームの受信によりセットされます。

Dir が"1", RmtEN が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりセットされます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"0", NewDat に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの NewDat をリセットできます。

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"1"、Control に"1" を設定し、IFx メッセージ制御レジスタ(IFxMCTR)の NewDat を"0"に設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの NewDat をリセットできます。

送信用シフトレジスタ(内部レジスタ)へデータを転送終了後、リセットされます。

128 メッセージバッファを搭載する CAN マクロにおけるデータ更新ビットの確認については以下の表を参照してください。

表 4-7 128 メッセージバッファを搭載する CAN マクロにおけるデータ更新ビット

		addr + 0	addr + 1	addr + 2	addr + 3
NEWDT 6 & 5	NewDat 96-65 (address 98H)	NewDat96-89	NewDat88-81	NewDat80-73	NewDat72-65
NEWDT 8 & 7	NewDat 128-97 (address 9CH)	NewDat128-121	NewDat120-113	NewDat112-105	NewDat104-97

4.5.3. CAN 割込みペンディングレジスタ : INTPND1～INTPND4

CAN 割込みペンディングレジスタのビット構成について示します。

全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより、どのメッセージオブジェクトが割込みペンディング中であるかチェックすることができます。

■ CAN 割込みペンディングレジスタ 4(上位バイト): アドレス Base + $A4_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 64-57							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 4(下位バイト): アドレス Base + $A5_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 56-49							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 3(上位バイト): アドレス Base + $A6_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 48-41							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 3(下位バイト): アドレス Base + $A7_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 40-33							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 2(上位バイト): アドレス Base + $A0_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 32-25							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 2(下位バイト): アドレス Base + $A1_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 24-17							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 1(上位バイト): アドレス Base + $A2_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	IntPnd 16-9							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN 割込みペンディングレジスタ 1(下位バイト): アドレス Base + $A3_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IntPnd 8-1							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

IntPnd64-1: 割込みペンディングビット

IntPnd 64-1	機能
0	割込み要因がありません
1	割込み要因があります

IntPnd ビットのセット/リセット条件を以下に示します。

セット条件

TxIE が"1"にセットされている場合、フレームの正常送信完了によりセットされます。

RxIE が"1"にセットされている場合、受容フィルタを通過したフレームの正常受信完了によりセットされます。

IFx コマンドマスクレジスタの WR/RD に"1", Control に"1", IFx メッセージ制御レジスタの IntPnd に"1"を設定して、IFx コマンド要求レジスタの書込みにより、特定オブジェクトの IntPnd をセットできます。

リセット条件

IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD に"0", CIP に"1"を設定した場合、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの IntPnd をリセットできます。IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"を設定し、IFx メセージ制御レジスタの IntPnd を"0"に設定した場合、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd をリセットできます。

128 メッセージバッファを搭載する CAN マクロにおける割込みベンディングビットの確認については以下の表を参照してください。

表 4-8 128 メッセージバッファを搭載する CAN マクロにおける割込みベンディングビット

		addr + 0	addr + 1	addr + 2	addr + 3
INTPND 6 & 5	IntPnd 96-65 (address A8H)	IntPnd96-89	IntPnd88-81	IntPnd80-73	IntPnd72-65
INTPND 8 & 7	IntPnd 128-97 (address ACH)	IntPnd128-121	IntPnd120-113	IntPnd112-105	IntPnd104-97

4.5.4. CAN メッセージ有効レジスタ : MSGVAL1～MSGVAL4

CAN メッセージ有効レジスタのビット構成について示します。

全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより、どのメッセージオブジェクトが有効であるかチェックすることができます。

■ CAN メッセージ有効レジスタ 4(上位バイト): アドレス Base + $B4_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 64-57							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 4(下位バイト): アドレス Base + $B5_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 56-49							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 3(上位バイト): アドレス Base + $B6_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 48-41							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 3(下位バイト): アドレス Base + $B7_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 40-33							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 2(上位バイト): アドレス Base + $B0_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 32-25							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 2(下位バイト): アドレス Base + $B1_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 24-17							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 1(上位バイト): アドレス Base + $B2_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	MsgVal 16-9							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

■ CAN メッセージ有効レジスタ 1(下位バイト): アドレス Base + $B3_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MsgVal 8-1							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

MsgVal64-1: メッセージ有効ビット

MsgVal 64-1	機能
0	メッセージオブジェクトは無効です メッセージの送受信は行いません
1	メッセージオブジェクトは有効です メッセージの送受信が可能となります

MsgVal ビットのセット/リセット条件を以下に示します。

セット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"を設定し、IFx アービトレーションレジスタ 2 の MsgVal ビットに"1"を設定し、IFx コマンド要求レジスタ(IFxCREQ)への書込みにより特定オブジェクトの MsgVal ビットをセットできます。

リセット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"を設定し、IFx アービトレーションレジスタ 2 の MsgVal ビットに"0"を設定し、IFx コマンド要求レジスタ(IFxCREQ)の書込みにより特定オブジェクトの MsgVal ビットをクリアできます。

128 メッセージバッファを搭載する CAN マクロにおけるメッセージ有効ビットの確認については以下の表を参照してください。

表 4-9 128 メッセージバッファを搭載する CAN マクロにおけるメッセージ有効ビット

		addr + 0	addr + 1	addr + 2	addr + 3
MSGVAL 6 & 5	MsgVal 96-65 (address B8H)	MsgVal96-89	MsgVal88-81	MsgVal80-73	MsgVal72-65
MSGVAL 8 & 7	MsgVal 128-97 (address BCH)	MsgVal128-121	MsgVal120-113	MsgVal112-105	MsgVal104-97

5. 動作説明

CAN の動作について説明します。

CAN には以下の機能があります。

・メッセージオブジェクト
・メッセージ送信動作
・メッセージ受信動作
・FIFO バッファ機能
・割込み機能
・ビットタイミング
・テストモード
・ソフトウェア初期化
・CAN ウェイクアップ機能

5.1. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

5.1.1. メッセージオブジェクト

メッセージオブジェクトについて示します。

メッセージ RAM のメッセージオブジェクト設定(MsgVal、NewDat、IntPnd、TxRqst ビットを除く)は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトを CPU で初期化するか、MsgVal ビットを無効(MsgVal="0")に設定してください。また、CAN ビットタイミングレジスタ(BTR)と CAN プリスケーラ拡張レジスタ(BRPER)の設定は CAN 制御レジスタ(CTRLR)の Init ビットが"1"、CCE ビットが"1"のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ(IFx マスクレジスタ、IFx アービトレーションレジスタ、IFx メッセージ制御レジスタ(IFxMCTR)、IFx データレジスタ(IFxDTx))に設定した後、IFx コマンド要求レジスタ(IFxCREQ)へのメッセージ番号の書込みにより、そのインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタ(CTRLR)の Init ビットが"0"にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送され、CAN バスへの送信が行われます。

CPU は、メッセージインタフェースレジスタ経由で受信メッセージの読出しおよび、送信メッセージの更新を行います。また、CAN 制御レジスタ(CTRLR)および、IFx メッセージ制御レジスタ(IFxMCTR)(メッセージオブジェクト)の設定に応じて、CPU への割込みが行われます。

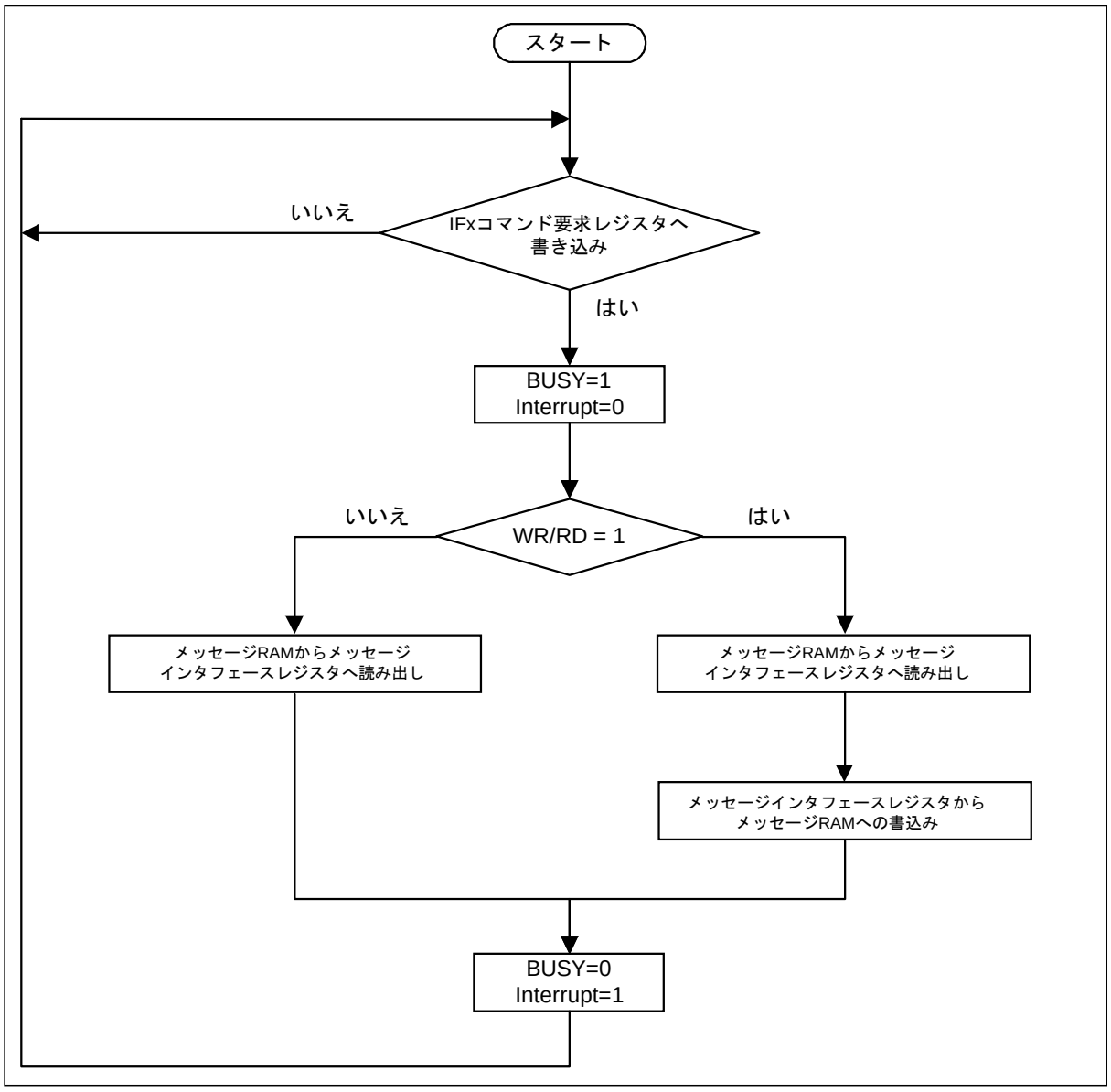
5.1.2. メッセージ RAM とのデータ送受信

メッセージ RAM とのデータ送受信について示します。

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始すると、IFx コマンド要求レジスタ(IFxCREQ)の BUSY ビットを"1"にセットします。転送完了後、BUSY ビットは"0"にクリアされます(図 5-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送を参照してください)。

IFx コマンドマスクレジスタ(IFxCMSK)は、1 つのメッセージオブジェクトの全データ転送か、データの部分転送を行うかを設定します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書込みは不可能となっており、常に 1 つのメッセージオブジェクトの全データをメッセージ RAM へ書き込みます。したがって、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

図 5-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



5.2. メッセージ送信動作

メッセージ送信動作について示します。

送信メッセージオブジェクトの設定方法および送信動作について説明します。

5.2.1. メッセージ送信

メッセージ送信について示します。

メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送がない場合、CAN メッセージ有効レジスタ(MSGVAL)の MsgVal ビットと CAN 送信要求レジスタ(TREQR)の TxRqst ビットを評価します。送信要求を保留している中で、最高優先度の有効であるメッセージオブジェクトが、送信用のシフトレジスタへ転送が行われます。そのときメッセージオブジェクトの NewDat ビットは"0"にクリアされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない(NewDat="0")場合は、TxRqst ビットは"0"にリセットされます。TxIE が"1"にセットされている場合は、送信成功後に IntPnd ビットが"1"にセットされます。CAN コントローラが CAN バス上で調停に負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

5.2.2. 送信優先度

送信優先度について示します。

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 128(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、2 つ以上の送信要求が保留されていると、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

＜注意事項＞

- 優先順位が最下位のメッセージバッファを送信に使用している場合、TXRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。
  - CAN バス上に有効なメッセージが流れる
  - 他のメッセージバッファに対して送信要求が発行される
  - INIT ビットによって CAN が初期化される

  システム上、もし送信を中止する状況が発生する場合、送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しないか、送信中止後、上記のいずれかのイベントを発生させた後、再度 TxRqst に"1"を設定してください。

・TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

5.2.3. 送信メッセージオブジェクトの設定

送信メッセージオブジェクトの設定について示します。

以下に送信オブジェクトの初期化方法を示します。

表 5-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ(ID28-0 と Xtd ビット)は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

TxIE ビットに"1"をセットすると、メッセージオブジェクトの送信成功後に IntPnd ビットが"1"にセットされます。

RmtEn ビットに"1"をセットすると、一致するリモートフレームを受信後、TxRqst ビットに"1"をセットし、データフレームを自動的に送信します。

データレジスタ(DLC3-0、Data0-7)の設定は、アプリケーションで与えられます。

Umask="1"のとき、IFx マスクレジスタ(Msk28-0、UMask、MXtd、MDir ビット)は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可(TxRqst ビットに"1"をセット)するために使用されます。詳細は、「5.3 メッセージ受信動作」のリモートフレームを参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットをマスク許可に設定することは禁止です。

5.2.4. 送信メッセージオブジェクトの更新

送信メッセージオブジェクトの更新について示します。

CPU は、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で、更新することができます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタ(IFxDTx)の 4 バイト単位(IFx データレジスタ A(IFxDTAx), IFx データレジスタ B(IFxDTBx)単位)でデータ書込みが行われます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新する時は、まず IFx コマンドマスクレジスタ(IFxCMSK)へ 0087_H の書込みを行います。そして、IFx コマンド要求レジスタ(IFxCREQ)へメッセージ番号の書込みにより、送信メッセージオブジェクトのデータ更新(8 バイトデータ)と TxRqst ビットへの"1"書込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に"1"に設定された場合、送信を開始すると NewDat ビットは"0"にリセットされます。

＜注意事項＞

- データを更新する場合は、IFx データレジスタ A(IFxDTAx)もしくは IFx データレジスタ B(IFxDTBx)の 4 バイト単位で行ってください。
- TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので、TxRqst ビットが"0"のときにそれらを変更してください。

5.3. メッセージ受信動作

メッセージ受信動作について示します。

受信メッセージオブジェクトの設定方法および受信動作について説明します。

5.3.1. 受信メッセージの受容フィルタ

受信メッセージの受容フィルタについて示します。

メッセージのアービトレーション/制御フィールド(ID＋IDE＋RTR＋DLC)が CAN コントローラ受信用シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンを開始します。

このとき、メッセージ RAM のメッセージオブジェクトから調停フィールドとマスクデータ(MsgVal、UMask、NewDat、EoB を含む)がロードされ、メッセージオブジェクトとシフトレジスタの調停フィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタの調停フィールドが一致検出されるまで" または "メッセージ RAM の最終ワードに到達するまで" 繰り返し実行します。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ(データフレームまたはリモートフレーム) により、CAN コントローラは処理を行います。

5.3.2. 受信優先度

受信優先度について示します。

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 64(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、受容フィルタで 2 つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

5.3.3. データフレーム受信

データフレーム受信について示します。

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送し格納します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスクレジスタがマスク設定されている場合でも実行されます。(ID とデータバイトを保持するために格納されます)。

NewDat ビットは、新たなデータが受信されると"1"にセットされます。CPU がメッセージオブジェクトを読出したときには、NewDat ビットを"0"にリセットしてください。メッセージ受信時に、既に NewDat ビットが"1"にセットされている場合は、その前のデータが失われたことになり、MsgLst ビットが"1"にセットされます。

RxIE ビットが"1"にセットされている場合、メッセージバッファを受信すると CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットに"1"をセットします。そのとき、そのメッセージオブジェクトの TxRqst ビットは"0"にクリアされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

5.3.4. リモートフレーム

リモートフレームについて示します。

リモートフレーム受信時の動作は、下記の 3 つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1)Dir="1"(送信方向)、RmtEn="1"、UMask="1"または"0"

一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ"1"にセットされ、リモートフレームに対するデータフレームの自動返信(送信)を行います。(TxRqst ビット以外のメッセージオブジェクトは変更されません)。

2)Dir="1"(送信方向)、RmtEn="0"、UMask="0"

受信したリモートフレームがメッセージオブジェクトと一致しても受信しないでリモートフレームを無効にします。(このメッセージオブジェクトの TxRqst ビットは変更されません)。

3)Dir="1"(送信方向)、RmtEn="0"、UMask="1"

受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは"0"にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドと制御フィールド(ID + IDE + RTR + DLC)は、メッセージ RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが"1"にセットされます。メッセージオブジェクトのデータフィールドは変更されません。

5.3.5. 受信メッセージオブジェクトの設定

受信メッセージオブジェクトの設定について示します。

以下に受信メッセージオブジェクトの初期化方法を示します。

表 5-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ(ID28-0、Xtd ビット)は、アプリケーションによって与えられ、受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。また、標準フレームが受信されると、ID17～ID0 は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

RxIE ビットが"1"にセットされた場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"にセットされます。

データ長コード(DLC3-0)は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納する時、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書込まれます。

Umask="1"のとき、IFx マスクレジスタ(Msk28-0、UMask、MXtd、MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は、「5.3. メッセージ受信動作」のデータフレーム受信を参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットのマスク設定は禁止です。

5.3.6. 受信メッセージの処理

受信メッセージの処理について示します。

CPU は、メッセージインタフェースレジスタを介して、受信メッセージをいつでも読み出すことが可能です。

通常、IFx コマンドマスクレジスタ(IFxCMSK)に"$007F_H$"を書き込みます。次にメッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタ(IFxCREQ)に書き込みます。この手順によって、指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき、IFx コマンドマスクレジスタ(IFxCMSK)の設定により、メッセージオブジェクトの NewDat ビットと IntPnd ビットを"0"にクリアすることが可能です。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、メッセージを受信するか判断します。

NewDat ビットは、メッセージオブジェクトが最後に読み出されてから、新しいメッセージが受信されたかを示します。

MsgLst ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に、受容フィルタにより一致するデータフレームが受信された場合には、TxRqst ビットは自動的に"0"にクリアされます。

5.4. FIFO バッファ機能

FIFO バッファ機能について示します。

受信メッセージ処理におけるメッセージオブジェクトの FIFO バッファの構成および動作について説明します。

5.4.1. FIFO バッファの構成

FIFO バッファの構成について示します。

FIFO バッファの受信メッセージオブジェクトの構成は、EoB ビットを除いて、受信メッセージオブジェクトの構成と同じです(「5.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください)。

FIFO バッファは、2 つ以上の受信メッセージオブジェクトを連結して使用します。この FIFO バッファへ受信メッセージを格納するためには、受信メッセージオブジェクトの ID とマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファの最初の受信メッセージオブジェクトは、優先順位の高いメッセージ番号の小さい番号となります。FIFO バッファの最後の受信メッセージオブジェクトは、EoB ビットに"1"をセットし、FIFO バッファブロックの終わりを示す必要があります。(FIFO バッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は、EoB ビットに"0"を設定してください)。

＜注意事項＞

- FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は必ず同じ設定にしてください。
- FIFO バッファを使用しない場合は、必ず EoB ビットに"1"を設定してください。

5.4.2. FIFO バッファによるメッセージ受信

FIFO バッファによるメッセージ受信について示します。

受信メッセージが、FIFO バッファの ID と一致した場合は、最小メッセージ番号の FIFO バッファの受信メッセージオブジェクトへ格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが"1"にセットされます。EoB ビットが"0"の受信メッセージオブジェクトへ NewDat ビットをセットすると、CAN コントローラによる FIFO バッファ書込みは、最後の受信メッセージオブジェクト(EoB ビット="1")に到達するまで、受信メッセージオブジェクトは保護され、書込みが行われません。

最終 FIFO バッファまで有効なデータが格納された状態で受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われないと次に受信されたメッセージが最終メッセージオブジェクトへ書込まれ、メッセージは上書きされてしまいます。

5.4.3. FIFO バッファからの読出し

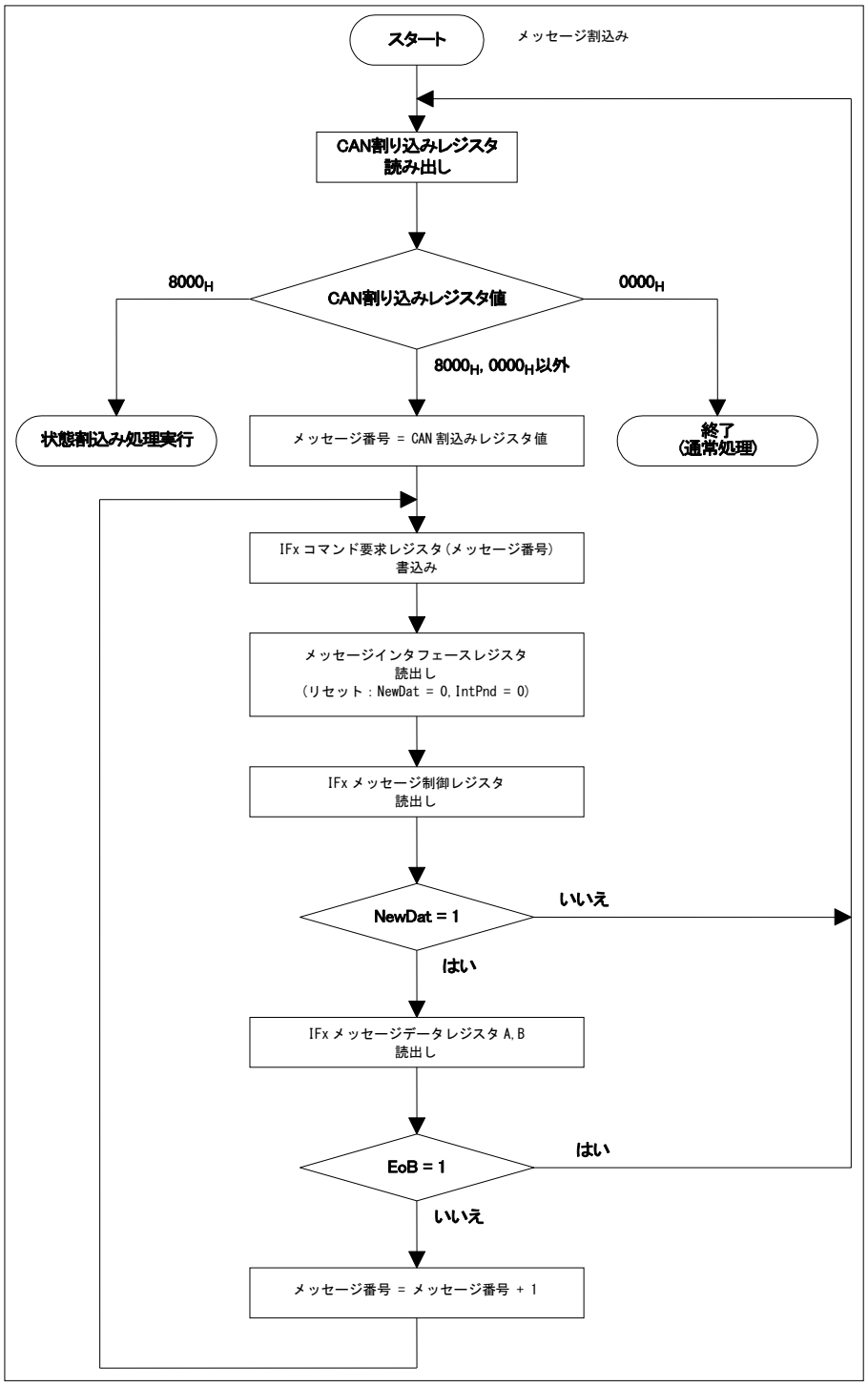
FIFO バッファからの読出しについて示します。

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタ(IFxCREQ)へ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出すことができます。このとき、IFx コマンドマスクレジスタ(IFxCMSK)の WR/RD を"0"(リード)および、TxRqst/NewDat=1、IntPnd=1 に設定し、NewDat ビットと IntPnd ビットを"0"にリセットしてください。

FIFO バッファの機能を保証するために、FIFO バッファの受信メッセージオブジェクトは、必ず最小のメッセージ番号から読み出してください。

以下に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

図 5-2 FIFO バッファの CPU 処理



5.5. 割込み機能

割込み機能について示します。

状態割込み(IntId=8000_H)およびメッセージ割込み(IntId=メッセージ番号)による割込み処理について説明します。
複数の割込みが保留中である場合、CAN 割込みレジスタ(INTR)は、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込みコードが表示されます。CPU がクリアするまで割込みコードは保持されます。
状態割込み(IntId ビットの 8000_H)は、最高優先度となります。
メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。状態割込みは、CAN 状態レジスタ(STATR)の読出しでクリアされます。

CAN 割込みペンディングレジスタ(INTPND)の IntPnd ビットは、割込みの有無を示します。保留中の割込みがない時は、IntPnd ビットは"0"を示します。

CAN 制御レジスタ(CTRLR)の IE ビットおよび、IFx メッセージ制御レジスタ(IFxMCTR)の TxIE ビット,RxIE ビットに"1"をセットしている状態で、IntPnd ビットが"1"になると CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタ(INTPND)が"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタ(CTRLR)の IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタ(INTR)の 8000_H は、CAN コントローラによって CAN 状態レジスタ(STATR)が更新されたことを示し、この割込みが最高優先度となります。CAN 状態レジスタ(STATR)の更新による割込みは、CAN 制御レジスタ(CTRLR)の EIE ビットと SIE ビットにより CAN 割込みレジスタ(INTR)への設定許可または禁止の制御ができます。また、CPU への割込み信号の制御は、CAN 制御レジスタ(CTRLR)の IE ビットで行うことができます。

CAN 状態レジスタ(STATR)の RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新(リセット)することができますが、その書込みにより割込みのセットまたはリセットを行うことはできません。
CAN 割込みレジスタ(INTR)の 8000_H、0000_H 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。
CAN 割込みレジスタ(INTR)は、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタ(INTR)または CAN 割込みペンディングレジスタ(INTPND)で確認することができます。(「4.5. メッセージハンドラレジスタ」を参照してください)。メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能であり、CAN 割込みレジスタ(INTR)で示されているメッセージ割込みをクリアすると次に優先度の高い割込みが CAN 割込みレジスタ(INTR)にセットされ、次の割込み処理を待つことになります。割込みがない場合には、CAN 割込みレジスタ(INTR)は 0000_H を示します。

＜注意事項＞

- 状態割込み(IntId=8000_H)は、CAN 状態レジスタ(STATR)の読出しアクセスにより割込みクリアされます。
- CAN 状態レジスタ(STATR)の書込みアクセスによる、状態割込み(IntId=8000_H)は発生しません。

5.6. ビットタイミング・CAN システムクロック(fsys)生成

ビットタイミング・CAN システムクロック(fsys)生成について示します。

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器(通常は水晶発振器)を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期(fosc)が異なっていても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲(df)内である限りは、CAN ノードはビットストリームへ再同期化することで異なるビットレートを補償できます。

CAN 仕様に応じて、ビットタイムは 4 つの区分に分けられ(図 5-4 ビットタイミングを参照してください)。、同期化部(Sync_Seg)、伝送時間部(Prop_Seg)、フェイズバッファ部 1(Phase_Seg1)、フェイズバッファ部 2(Phase_Seg2)で構成されます。それぞれの区分は、プログラマブルな時間量(表 5-3 CAN ビットタイムのパラメータを参照してください)。から成ります。ビットタイムの基本単位時間(tq)は、CAN コントローラのシステムクロック fsys とボーレートプリスケーラ(BRP)で定義されます。

tq = BRP / fsys

CAN システムクロック fsys は、以下の図により生成されます。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングとなります。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェイズバッファ部の Phase_Seg1、Phase_Seg2 は、サンプリングポイントを指定します。再同期化ジャンプ幅(SJW)は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義します。

図 5-3 CAN システムクロック(fsys)生成図

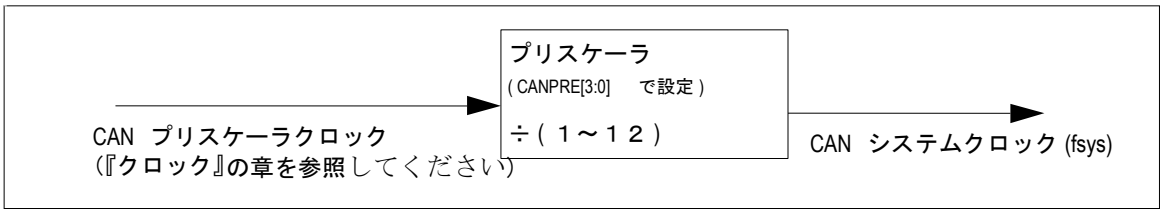


図 5-4 ビットタイミング

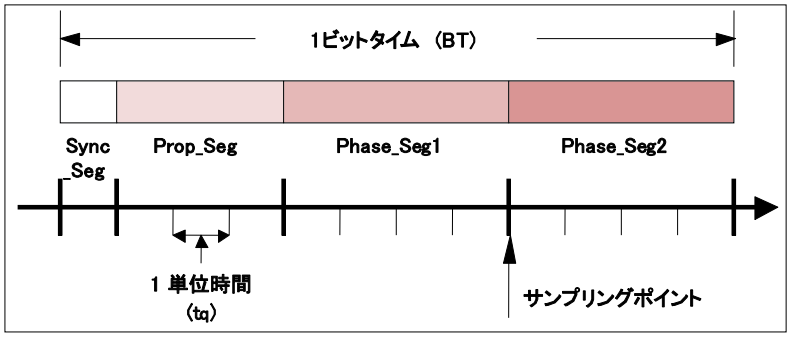


表 5-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1-32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長　システムクロックへの同期化
Prop_Seg	[1-8] tq	物理遅延時間の補償
Phase_Seg1	[1-8] tq	サンプルポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性あります
Phase_Seg2	[1-8] tq	サンプルポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性あります
SJW	[1-4] tq	再同期化ジャンプ幅 どちらかのフェイズバッファ部より長くなることはない

次に CAN コントローラにおけるビットタイミングを示します。

図 5-5 CAN コントローラにおけるビットタイミング

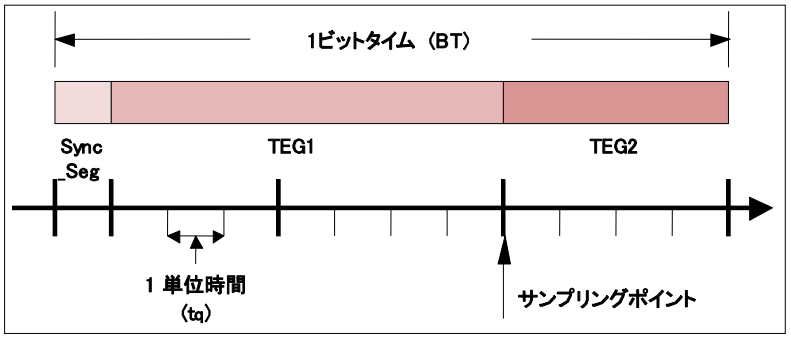


表 5-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0-1023]	時間量の長さ tq の定義 ビットタイミングレジスタおよびプレスケーラ拡張レジスタにより最大 1024 までプリスケーラを拡張できます
Sync_Seg	1 tq	システムクロックへの同期化 固定長
TSEG1	[1-15] tq	サンプリングポイント前のタイムセグメントです Prop_Seg と Phase_Seg1 に相当します ビットタイミングレジスタにより制御可能です

パラメータ	レンジ	機能
TSEG2	[0-7] tq	サンプリングポイント後のタイムセグメントです Phase_Seg2 に相当します ビットタイミングレジスタにより制御可能です
SJW	[0-3] tq	再同期化ジャンプ幅です ビットタイミングレジスタにより制御可能です

各パラメータの関係を以下に示します。
Tq = ([BRPE,BRP]+1) / fsys
BT = SYNC_SEG + TEG1 + TEG2
= (1 + (TSEG1 + 1) + (TSEG2 + 1)) ×tq
= (3 + TSEG1 + TSEG2) × tq

5.7. テストモード

テストモードについて示します。

テストモードの設定方法および動作について説明します。

5.7.1. テストモード設定

テストモード設定について示します。

CAN 制御レジスタ(CTRLR)の Test ビットに"1"をセットすることでテストモードになります。テストモードに設定すると、CAN テストレジスタ(TESTR)のビット Tx1、Tx0、LBack、Silent、Basic ビットが有効となります。

CAN 制御レジスタ(CTRLR)の Test ビットを"0"にリセットすることにより、すべてのテストレジスタ機能を無効にします。

5.7.2. サイレントモード

サイレントモードについて示します。

CANテストレジスタ(TESTR)のSilentビットを"1"にセットすることにより、CANコントローラをサイレントモードに設定できます。

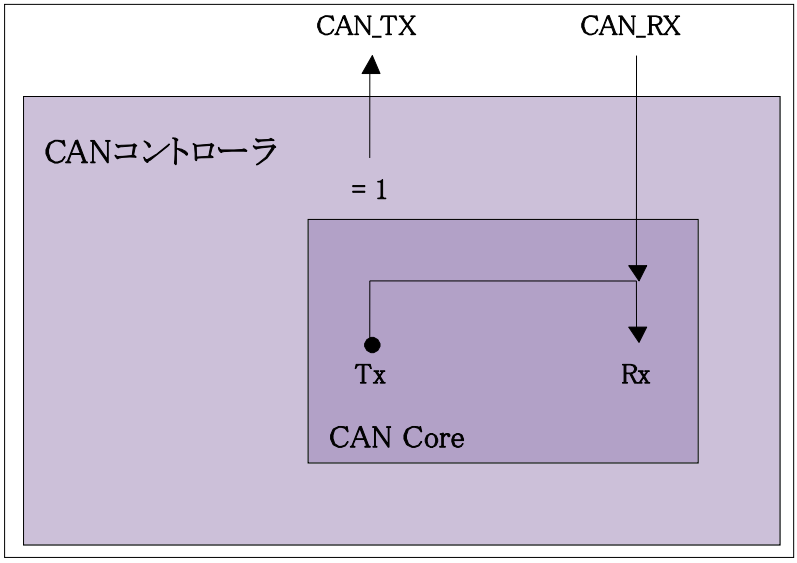
サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CANバス上にはレセッシブのみ出力し、メッセージおよびACKの送信を行いません。

CANコントローラがドミナントビット(ACKビット、オーバロードフラグ、アクティブエラーフラグ)の送信を要求された場合、CANコントローラ内部の折り返し回路でRX側に送信されます。この動作では、CANバス上においてレセッシブ状態であっても、受信側ではCANコントローラ内部で折り返し送信されたドミナントビットを受信することになります。

サイレントモードでは、ドミナントビット(ACKビット、エラーフラグ)送信による影響がない状態で、CANバス上のトラフィック解析ができます。

以下にサイレントモードでの信号CAN_TXとCAN_RXのCANコントローラへの接続を示します。

図 5-6 サイレントモードでのCANコントローラ



5.7.3. ループバックモード

ループバックモードについて示します。

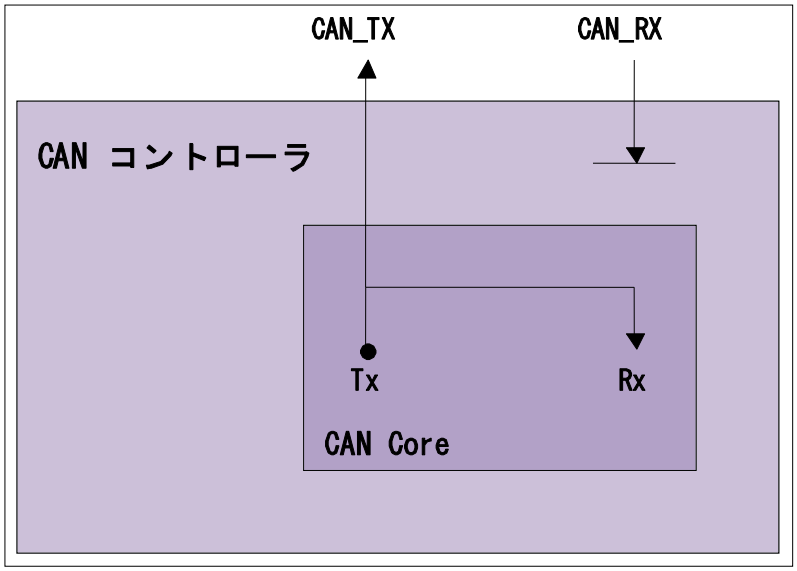
CAN テストレジスタ(TESTR)の LBack ビットを"1"にセットすることにより、CAN コントローラをループバックモードに設定できます。

ループバックモードは、自己診断機能に使用できます。

ループバックモードでは、CAN コントローラ内部で TX 側と RX 側が接続され、CAN コントローラが送信したメッセージを、RX 側で受信したメッセージとして扱い、受容フィルタを通過したメッセージは、受信バッファに格納します。

以下にループバックモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 5-7 ループバックモードの CAN コントローラ



＜注意事項＞

外部信号から独立するため、データ/リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーを発生しますが、テストモードではアクノリッジエラーを発生しないようにしています。

5.7.4. サイレントモードとループバックモードの結合

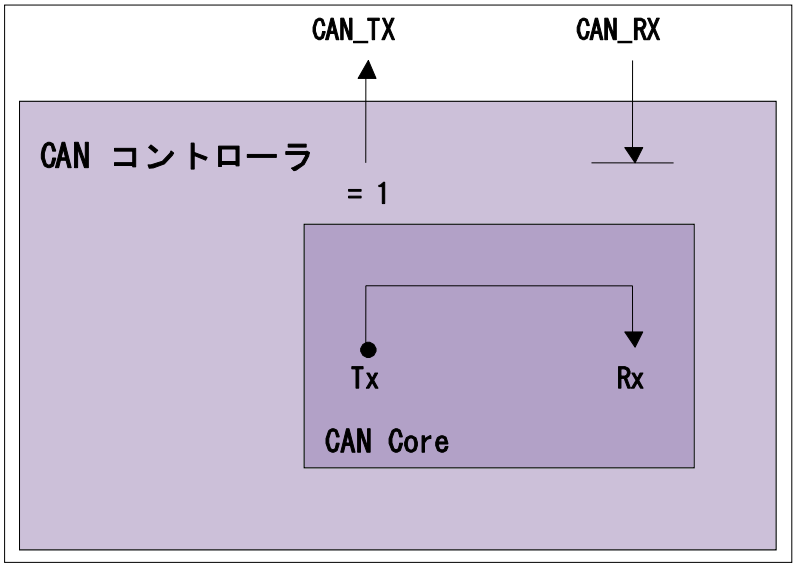
サイレントモードとループバックモードの結合について示します。

CAN テストレジスタ(TESTR)の LBack ビットと Silent ビットを同時に"1"にセットすることにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、CAN コントローラがループバックモードでテストしたときに、CAN_TX 端子にはレセッシブの固定出力、CAN_RX 端子からの入力は無効となりますので、CAN システムの動作に影響がないことを意味しています。

以下にサイレントモードとループバックモードの結合したときの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 5-8 サイレントモードとループバックモードの結合された CAN コントローラ



5.7.5. ベーシックモード

ベーシックモードについて示します。

CAN テストレジスタ(TESTR)の Basic ビットを"1"にセットすることにより、CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは、CAN コントローラは、メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは、送信制御用として使用されます。

メッセージ送信を行う場合、まず、IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に、IF1 コマンド要求レジスタの BUSY ビットに"1"をセットすることで送信要求します。BUSY ビットが"1"にセットされている間、IF1 メッセージインタフェースレジスタをロックしている、または送信が保留されていることを示します。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになるとすぐに、IF1 メッセージインタフェースレジスタの内容を、送信用シフトレジスタへロードし、送信を開始します。正常に送信完了すると、BUSY ビットが"0"にリセットされ、ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに、IF1 コマンド要求レジスタの BUSY ビットを"0"にリセットすることでいつでも中断できます。また、送信中に BUSY ビットを"0"にリセットすると、調停負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは、受信制御用として使用されます。

メッセージの受信は、受容フィルタを使用せずにすべて受信します。IF2 コマンド要求レジスタの BUSY ビットを"1"にセットすることにより、受信したメッセージの内容を読み出すことが可能となります。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

- 受信したメッセージ(受信用のシフトレジスタの内容)を受容フィルタなしで、IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合、CAN コントローラが NewDat ビットを"1"にセットします。また、NewDat ビットが"1"のときに、さらに新しいメッセージを受信した場合は、CAN コントローラが MsgLst を"1"にセットします。

＜注意事項＞

- ベーシックモードでは、制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタ(IFxCMSK)の制御モード設定は無効となります。
- コマンド要求レジスタのメッセージ番号は無効です。
- IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し、DLC3-0 は受信された DLC を示し、ほかの制御ビットは"0"として読み出されます。

5.7.6. 端子 CAN_TX のソフトフェア制御

端子 CAN_TX のソフトフェア制御について示します。

CAN 送信端子である CAN_TX は、4 つの出力機能あります。

・シリアルデータ出力(通常出力)
・CAN コントローラのビットタイミングをモニタするための、CAN サンプリングポイント信号出力
・ドミナント固定出力
・レセッシブ固定出力
ドミナントおよびレセッシブの固定出力は、CAN 受信端子の CAN_RX モニタ機能と共に、CAN バスの物理層のチェックに使用することができます。

CAN_TX 端子の出力モードは、CAN テストレジスタ(TESTR)の Tx1 と Tx0 ビットにより制御可能です。

＜注意事項＞

CAN メッセージ送信もしくはループバックモード、サイレントモード、ベーシックモードを使用する際は、CAN_TX をシリアルデータ出力に設定する必要があります。

5.8. ソフトウェア初期化

ソフトウェア初期化について示します。

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。
・ハードウェアリセット
・CAN 制御レジスタ(CTRLR)の Init ビットの設定
・バスオフ状態への遷移

ハードウェアによるリセットは、メッセージ RAM(MsgVal、NewDat、IntPnd、TxRqst ビットを除く)以外すべて初期化されます。メッセージ RAM はハードウェアによるリセット後、CPU によって初期化するかメッセージ RAM の MsgVal を"0"にしてください。また、ビットタイミングレジスタを設定する場合には、CAN 制御レジスタ(CTRLR)の Init ビットを"0"にクリアする前に設定してください。

CAN 制御レジスタ(CTRLR)の Init ビットは、以下の条件で"1"にセットされます。
・CPU からの"1"書込み
・ハードウェアリセット
・バスオフ

Init ビットが"1"にセットされると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の CAN_TX 端子はレセッシブ出力となります。(CAN_TX テストモードは除く)

Init ビットに"1"をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタ(CTRLR)の Init ビットと CCE ビットが"1"にセットされると、ボーレート制御用のビットタイミングレジスタとプリスケーラ拡張レジスタへの設定が可能となります。

Init ビットを"0"にリセットすることによりソフトウェア初期化を終了します。また、Init ビットを"0"にすることは、CPU からのアクセスでしか実行できません。

Init ビットが"0"にリセットされてから、連続した 11 ビットのレセッシブの発生(＝バスアイドル)を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク、ID、XTD、EoB、RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。

5.9. CAN ウェイクアップ機能

CAN ウェイクアップ機能について示します。

CAN の RX 端子と外部割込み端子を接続することによって、CAN の受信動作でウェイクアップすることができます

■ CAN ウェイクアップ機能で使用する端子について

RX0 端子と INT0 端子, RX1 端子と INT1 端子, または RX2 端子と INT7 端子は共有しているので、ウェイクアップ機能を使用することができます。

表 5-5 に CAN ウェイクアップ機能と RX 端子および INT 端子の関係を示します。

表 5-5 CAN ウェイクアップ機能の端子

	RX 端子	割込み機能
CAN0	RX0(128)	INT0_0
CAN1	RX1(64)	INT1_0
	RX1_1	INT1_1
CAN2	RX2(64)	INT7_0

■ CAN ウェイクアップ機能について

CAN の受信データによりスリープモードまたはスタンバイモードから復帰することができます。

＜注意事項＞

ウェイクアップ機能を使用する場合は、スリープモードまたはスタンバイモードに移行する前に外部割込みの設定を行っておく必要があります

6. 制限事項

CAN の制限事項について説明します。

6.1 INIT ビット

6.1. INIT ビット

INIT ビットについて示します。

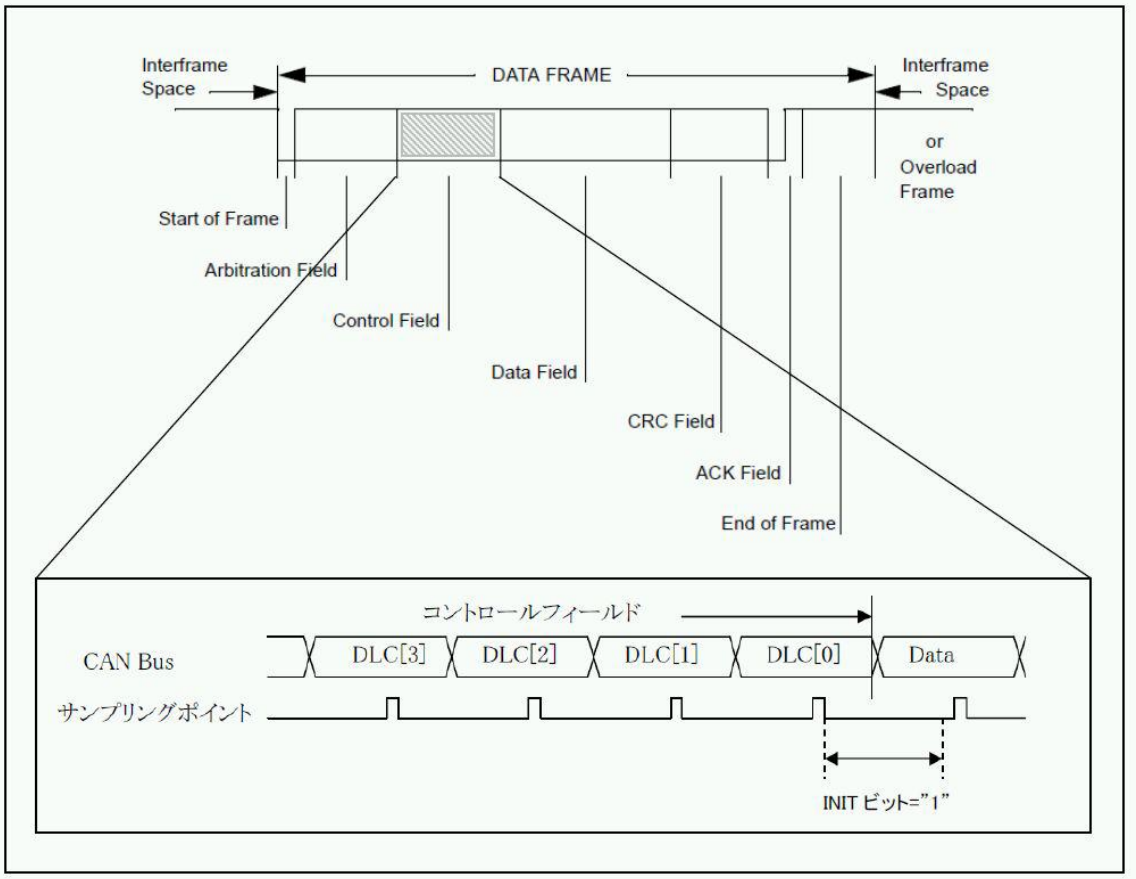
6.1.1 制限事項

6.1.2 回避方法

6.1.1. 制限事項

制限事項について説明します。

制御フィールドの最終ビットを送信中に CAN 制御レジスタ(CTRLR)の INIT ビット="1"を設定(図 6-1)すると、INIT ビットをクリアした後、最初に送信されるフレームのデータフィールドが 1 ビット分左へシフトされたものとなります。
なお、それ以降のメッセージは正しく送信されます。
また、データ長がゼロのリモートフレームとデータフレームは、本タイミングで INIT ビットを設定しても影響を受けません。



6.1.2. 回避方法

回避方法について説明します。

以下のいずれかの方法で、本制限を回避してください。

1. CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定する場合
   送信完了後すぐに CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定してください。

2. 送信中に CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定し、その後 INIT ビットに"0"を設定し送信したい場合まずは、INIT ビットに"1"を設定し、送信要求ビット(TxRqst)が"1"に設定されているメッセージバッファに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、INIT ビットに"0"を設定してください。その後、CAN の 2 ビット時間経過後、送信したメッセージバッファの送信要求ビット(TxRqst)に"1"を設定してください。

Chapter 42: CAN プリスケーラ

CAN プリスケーラについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ

管理コード : BZCANPRE-1v1-91520-5-J

1. 概要

CAN プリスケーラの概要について説明します。

本モジュールは、各クロックソースから CAN マクロへ供給するクロック(fsys)の生成を行います。図 3-1 は、CAN と CAN インタフェースおよび、CAN クロックプリスケーラとクロックソースセレクタ回路を示しています。

2. 特長

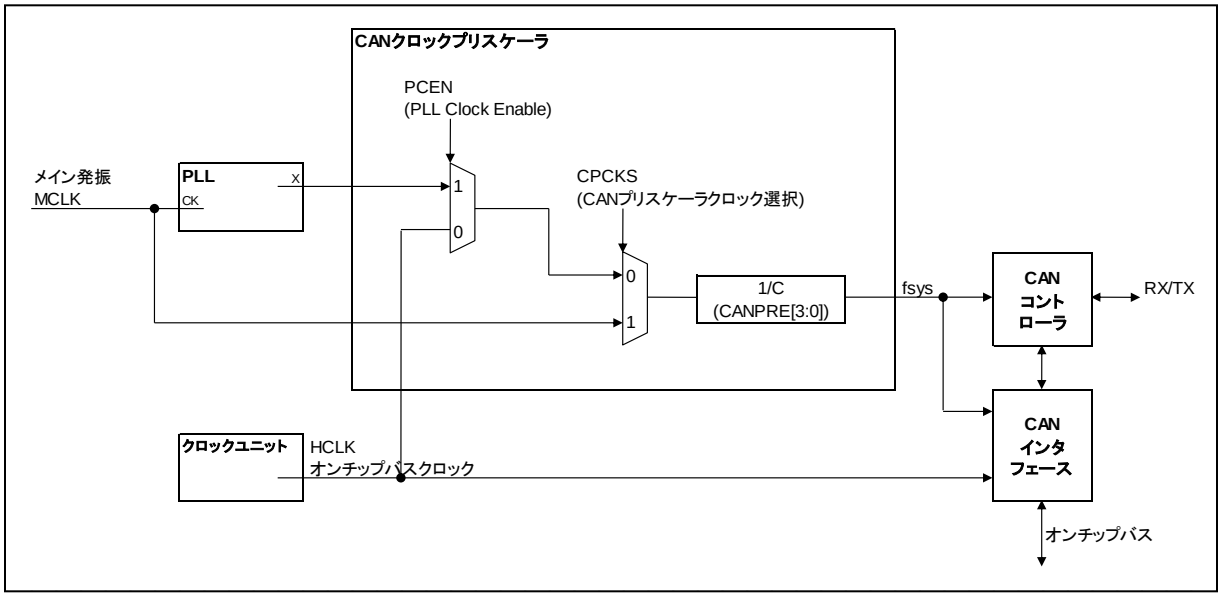
CAN プリスケーラの概要について説明します。

- CAN クロックプリスケーラのソースクロックとして、PLL クロック/HCLK またはメイン発振から選択可能です。
- PLL クロック/HCLK は、PLL 発振許可(PCEN)により切り替わります。
- CAN システムクロック(fsys)周期を変更可能な C 分周カウンタ(C=1～12)を搭載しています。

3. 構成

CAN プリスケーラの構成について説明します。

図 3-1 CAN クロックプリスケーラ ブロックダイヤグラム



4. レジスタ

CAN プリスケーラのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04A4	CANPRE	予約	予約	予約	CAN クロックプリスケーラ制御レジスタ

4.1. CAN プリスケーラレジスタ ：CANPRE

CAN プリスケーラレジスタのビット構成について示します。

CAN システムクロック(fsys)生成プリスケーラを設定するものです。詳細は『CAN』の章の『5.6 ビットタイミング・CAN システムクロック(fsys)生成』を参照してください。

このレジスタの値を変更する場合は、CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"1"にセットし、すべてのバス動作を停止してください

■ CAN プリスケーラレジスタ: アドレス 04A4$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約		CPCKS	CANPRE3	CANPRE2	CANPRE1	CANPRE0
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit7] 予約ビット

必ず"0"を書き込んでください。

[bit6, bit5] 予約ビット

常に"0"が読み出されます。書込みは"0"を設定してください。

[bit4] CAN プリスケーラクロック選択

CPCKS	CAN プリスケーラソースクロック
0	PLL クロック/HCLK(オンチップバスクロック)
1	メイン発振(MCLK)

[bit3～bit0] CAN プリスケーラ設定ビット

CANPRE [3:0]	機能	入力 CAN プリスケーラ クロック 80MHz 時	入力 CAN プリスケーラ クロック 64MHz 時	入力 CAN プリスケーラ クロック 48MHz 時
0000	CAN システムクロックとして 1/1 周期が選択されます。 (初期値: CANPRE[3:0]=0000)	80MHz	64MHz	48MHz
0001	CAN システムクロックとして 1/2 周期が選択されます。	40MHz	32MHz	24MHz
001x	CAN システムクロックとして 1/4 周期が選択されます。	20MHz	16MHz	12MHz
01xx	CAN システムクロックとして 1/8 周期が選択されます。	10MHz	8MHz	6MHz
1000	CAN システムクロックとして 2/3 周期が選択されます。 クロックの Duty は 67% となります。	53.3MHz	42.7MHz	32MHz
1001	CAN システムクロックとして 1/3 周期が選択されます。	26.7MHz	21.4MHz	16MHz
1010	CAN システムクロックとして 1/6 周期が選択されます。	13.3MHz	10.7MHz	8MHz
1011	CAN システムクロックとして 1/12 周期が選択されます。	6.7MHz	5.4MHz	4MHz
110x	CAN システムクロックとして 1/5 周期が選択されます。	16.0MHz	12.8MHz	9.6MHz
111x	CAN システムクロックとして 1/10 周期が選択されます。	8.0MHz	6.4MHz	4.8MHz

＜注意事項＞

- CAN プリスケーラ設定ビットの変更は、CAN 制御レジスタ(CTRLR)の初期化ビットを"1"にセットし、すべてのバス動作を停止させた後に行ってください。
- レジスタの設定により CAN インタフェースに供給するクロックは 16MHz 以下としてください。

Chapter 43: D/A コンバータ

D/A コンバータについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード : FW11-1v0-91520-7-J

1. 概要

D/A コンバータの概要について説明します。

D/A コンバータは、デジタル信号をアナログ信号に変換する周辺機能です。本製品は 8 ビット D/A コンバータを 2 チャネル内蔵しています。
MB91F52xB(64pin), MB91F52xD(80pin)は ch.0 のみ使用可能です。

2. 特長

D/A コンバータの特長について説明します。

- **パワーダウン機能**
  D/A コンバータからの出力が禁止されているときに、電力を落とすパワーダウン機能を内蔵しています。
- **キーコード機能**
  誤書込み保護機能です。キーコードレジスタ(KEYCDR)に所定の方法で書き込まないと、対象のレジスタへの書込みは無効となります。なお、対象となるレジスタへのワードアクセスはできません。

  キーコード機能の詳細については『I/O ポート』の章を参照してください。

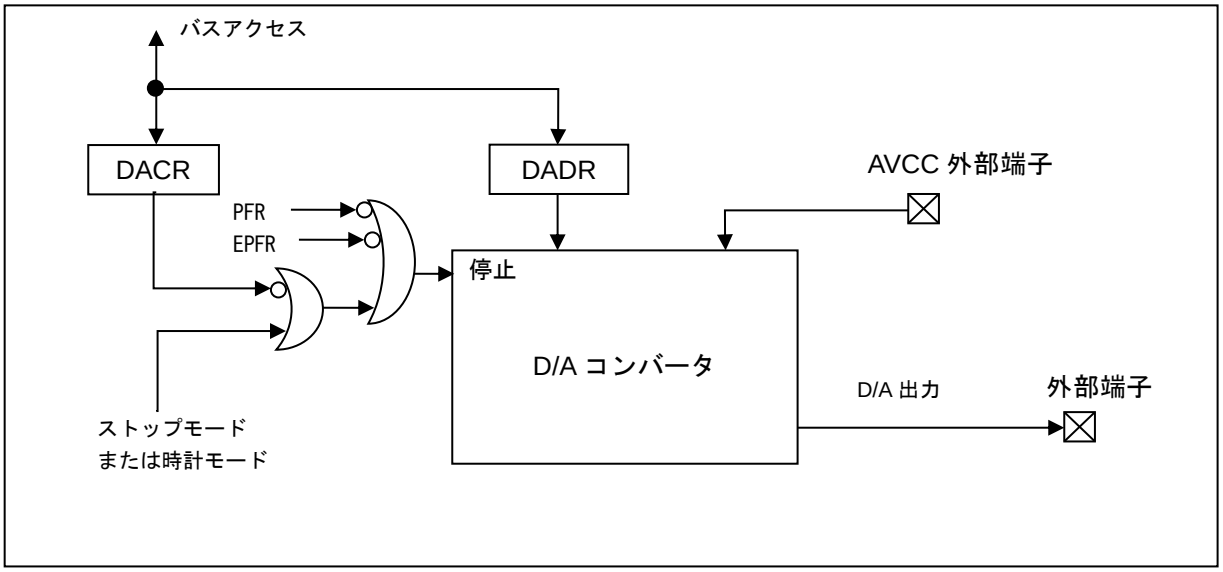
  以下にキーコード対象レジスタを示します。

  ・D/A コントロールレジスタ

3. 構成

D/A コンバータの構成について説明します。

図 3-1 ブロックダイヤグラム



4. レジスタ

D/A コンバータのレジスタについて説明します。

■ ベースアドレス(Base_addr)・外部端子表

チャネル	ベースアドレス	外部端子	
		MB91F52xB, MB91F52xD	MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL
0	0x023C	DAO0	DAO0
1	0x023E	なし	DAO1

■ レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x023C	DACR0	DADR0	DACR1	DADR1	D/A コントロールレジスタ 0 D/A データレジスタ 0 D/A コントロールレジスタ 1 D/A データレジスタ 1

4.1. D/A コントロールレジスタ ：DACR (D/A Control Register)

D/A コントロールレジスタのビット構成について示します。

DAO 端子からの出力を許可するレジスタです。
DACR はキーコード対象レジスタです。

■ DACR アドレス Base_addr (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DAE
初期値	-	-	-	-	-	-	-	0
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R/W

[bit0] DAE (D/A Enable) : D/A 出力許可ビット
0: 出力禁止
1: 出力許可

＜注意事項＞

ポート機能として D/A コンバータを選択している時に､本ビットを"0"に設定すると PFR/EPFR の設定に関わらず、ポート機能としての D/A コンバータは無効になります。
また、ストップモードや時計モードに入ると、D/A コンバータの端子機能は、強制的に無効になります。

『I/O ポート』の『 5.2. EPFR 設定の優先度について 』に書かれている通り、D/A コンバータの出力機能は最優先です。
そのため、D/A コンバータ機能が無効になった時に、A/D, PPG, OCU, SG などの D/A コンバータ以外の機能が有効になっていると、それらの機能が有効になるので注意してください。PFR/EPFR/ADCH で、D/A コンバータ以外の周辺機能が選択されていない場合は、
汎用ポート機能となりますので PDR/DDR にて端子状態を選択する事が可能です。

4.2. D/A データレジスタ ：DADR (D/A DATA Register)

D/A データレジスタのビット構成について示します。

DAO 端子からの出力電圧を設定するレジスタです。このレジスタに格納された値を元に D/A コンバータからの出力電圧が算出されます。

■ DADR :アドレス Base_addr + 01_H (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DA[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit0] DA[7:0] (DA) : D/A 出力値

DA[7:0]	出力電圧
00000000	0 ÷ 256 × AVCC
00000001	1 ÷ 256 × AVCC
00000010	2 ÷ 256 × AVCC
～	～
11111101	253 ÷ 256 × AVCC
11111110	254 ÷ 256 × AVCC
11111111	255 ÷ 256 × AVCC

AVCC : AVCC 外部端子からの入力電圧

＜注意事項＞

このレジスタはリセットしても初期化されません。

5. 動作説明

D/A コンバータの動作について説明します。

D/A コンバータは、D/A データレジスタ(DADR)に書き込まれた値を元に出力電圧を算出し、DAO 端子からアナログ電圧を出力します。

D/A データレジスタ(DADR)の DA7～DA0 ビットに値を書き込み、D/A コントロールレジスタ(DACR0)の DAE ビットに"1"を書き込むと、D/A コンバータからアナログ信号が出力されます。

ポート機能として D/A コンバータを選択している時に、D/A コントロールレジスタ(DACR)の DAE ビットを"0"に設定すると PFR/EPFR の設定に関わらず、ポート機能としての D/A コンバータは無効になります。また、ストップモードや時計モードに入ると、D/A コンバータの端子機能は、強制的に無効になります。
『I/O ポート』の『 5.2. EPFR 設定の優先度について 』に書かれている通り、D/A コンバータの出力機能は最優先です。
そのため、D/A コンバータ機能が無効になった時に、A/D, PPG, OCU, SG など D/A コンバータ以外の機能が有効になっていると、それらの機能が有効になるので注意してください。
PFR/EPFR/ADCH で、D/A コンバータ以外の周辺機能が選択されていない場合は、汎用ポート機能となりますので PDR/DDR にて端子状態を選択する事が可能です。

D/A コンバータの変換結果の外部端子への出力は、D/A コントロールレジスタ(DACR)の DAE ビットの他に、PFR レジスタと EPFR レジスタにより端子を D/A 出力に設定する必要があります。

6. 注意事項

D/A コンバータの注意事項について説明します。

D/A 出力値は、PDDR レジスタでは読み出せません。
DACR はキーコード対象レジスタです。
キーコード対象レジスタへの書込みには、キーコードレジスタ(KEYCDR)に以下の設定が必要です。

- KEY1+KEY0+アクセスサイズ(SIZE)+アクセスアドレス(RADR[12:0])を、キーコードレジスタにハーフワードで設定する。
- (KEY1, KEY0)を(0,0),(0,1),(1,0),(1,1)の順で連続的に書き込む。(KEY1, KEY0)に 4 回書くときのアドレスとアクセスサイズは、4 回とも同じ値を設定する。

キーコード機能の詳細については『I/O ポート』の章の『5.8 キーコードレジスタ機能の設定』を参照してください。

Chapter 44: 12 ビット A/D コンバータ

12 ビット A/D コンバータについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード : FIP004FS24-2v2-91520-24-J

1. 概要

12 ビット A/D コンバータの概要について説明します。

12 ビット A/D コンバータには、RC 逐次比較変換方式でアナログ入力電圧を 12 ビットのデジタル値に変換する機能があります。A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

2. 特長

12 ビット A/D コンバータの特長について説明します。

2.1. A/D 起動コンペアの機能

2.2. A/D 起動調停の機能

2.3. 12 ビット A/D コンバータ制御の機能

2.1. A/D 起動コンペアの機能

A/D 起動コンペアの機能について説明します。

■ アナログ入力制御

・2 ユニットの A/D コンバータで、最大 48 チャネルのアナログ入力の許可/ 禁止を選択することが可能です。

■ 起動チャネル

・A/D 起動要求制御および A/D 変換データ格納を起動チャネル単位で行います。
・A/D 起動チャネルは、12 ビット A/D コンバータの各ユニットと対応しています。対応は以下のとおりです。

表 2-1 各ユニットごとのチャネル割振り

	ユニット 0	ユニット 1
MB91F52xB	ch.0,ch.1,ch.7,ch.10,ch.11,ch.14～ch.17, ch.22,ch.27,ch.28,ch.31	ch.32,ch.34,ch.35,ch.37,ch.38, ch.40～ch.47
MB91F52xD	ch.0,ch.1,ch.7,ch.10,ch.11,ch.12, ch.14～ch.17,ch.19 ch.22,ch.26,ch.27,ch.28,ch.31	ch.32～ch.47

	ユニット 0	ユニット 1
MB91F52xF	ch.0,ch.1,ch.7,ch.9～ch.19,ch.22, ch.23,ch.26～ch.29,ch.31	ch.32～ch.47
MB91F52xJ	ch.0,ch.1,ch.7,ch.9,ch.10～ch.31	ch.32～ch.47
MB91F52xK	ch.0～ch.31	ch.32～ch.47
MB91F52xL	ch.0～ch.31	ch.32～ch.47

- 各起動チャネルは、次のレジスタで構成されます。
  - コンペアバッファレジスタ/コンペアレジスタ
  - A/D 起動トリガ制御状態レジスタ
  - A/D データレジスタ
  - A/D 起動トリガ拡張制御レジスタ
  - レンジ比較制御状態レジスタ
  - レンジ比較閾値超過フラグレジスタ
  - レンジ比較フラグレジスタ
  - 起動チャネル変化回数設定レジスタ
  - 起動チャネル変換回数完了フラグレジスタ

■ A/D 起動要求

- 各起動チャネルは、ソフトウェア, 外部トリガ(立下り), リロードタイマ(立ち上がり), コンペア一致および PPG のいずれかで A/D 起動要求を行います。なお、起動チャネル内では、A/D 変換(起動要求)中の再起動はできません。
- ソフトウェア起動, 外部トリガ, リロードタイマおよび PPG 起動は、任意の起動チャネルを選択可能です。
- コンペア一致起動は、16 ビットフリーランタイマ値と各起動チャネルのコンペアレジスタが一致したときに、A/D 起動要求を行います。なお、使用するフリーランタイマ値はフリーランタイマ選択レジスタで選択され、各起動チャネルにそれぞれ入力されます。選択はフリーランタイマ選択レジスタ: FRS2 ～ FRS7 にて設定することができます。詳細は『16 ビットフリーランタイマ』の章の『フリーランタイマ選択レジスタ: FRS』を参照してください。
- コンペア一致起動では、16 ビットフリーランタイマのアップカウント時のみ、またはダウンカウント時のみ、またはアップ/ ダウンカウントの双方時のいずれかで、フリーランタイマ値とコンペアレジスタが一致したときに A/D 起動要求を行います。
- 起動要求は、起動チャネルごとにシングルモードまたはリピートモードのいずれかが設定可能です。
- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。

■ A/D 変換データ

- A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャネルごとにあります。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラー状態ビットが存在し、これらの値より

A/D 変換データの状態を知ることができます。

■ A/D 変換回数を指定したスキャン変換

- 起動チャネルごとに A/D 変換回数を指定したスキャン変換ができます。
- A/D 変換回数を指定したスキャン変換は、12 ビット A/D コンバータのユニットあたりに 1 種類の設定ができます。
- A/D 変換回数の指定は、1 回～ 4 回を選択できます。
- A/D 変換回数を指定したスキャン変換は、連続スキャン変換モードと休止スキャン変換モードの選択ができます。
- 連続スキャン変換モードは、指定された起動チャネルが順次起動されます。スキャン変換の最終起動チャネルの変換を終了すると、スキャン変換の最初から反復実行します。
- 休止スキャン変換モードは、指定された起動チャネルが順次起動されます。スキャン変換の最終起動チャネルの変換を終了すると停止します。次の起動要因が入力されると、スキャン変換を最初から実行します。ただし、スキャン変換途中の起動要因入力は無視されます。

■ レンジ比較機能

- 起動チャネルごとに、レンジ比較できます。
- 上下限閾値の設定を最大 4 種類設定できます。各起動チャネルは、4 種類の上下限閾値設定の中から 1 つの組み合わせを選択し、レンジ比較を実行します。
- レンジ比較は、上下限閾値の範囲内、もしくは範囲外確認の選択ができます。
- レンジ比較結果は、連続検出機能によりノイズ除去ができます。連続検出機能は、レンジ比較結果の連続検出により、レンジ比較フラグをセットします。
- 連続検出回数は、1 回～ 7 回を選択できます。
- レンジ比較結果の連続検出回数の状態が確認できます。
- レンジ比較の範囲外確認の場合、上限閾値超過もしくは下限閾値未満の検出状態が確認できます。

■ 割込み要求

- 各起動チャネルは、A/D 変換終了時に、割込み要求を発生できます。

■ データ保護機能

- 各 A/D データレジスタは、データ保護機能を設定できます。なお、保護機能はコンペア一致起動以外の要因のときに働きます。
- データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを保護条件に含めるか選択ができます。
- A/D 起動要求中または変換中は、A/D 起動要求中ビットにより通知されます。また、現在の A/D 起動要求または変換を強制終了したい場合は、A/D 起動要求中ビットに"0"を書き込むことにより可能です。

2.2. A/D 起動調停の機能

A/D 起動調停の機能について説明します。

- A/D 起動調停は、12 ビット A/D コンバータユニットごとにあります。各 A/D 起動チャネルの A/D 起動調停 0, 1 への割当ては「表 2-1 各ユニットごとのチャネル割振り」を参照してください。
- A/D 起動調停は、調停回路、A/D 起動トリガ生成、およびアナログチャネル番号選択で構成されます。
- A/D 起動コンペアからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号、およびアナログチャネル番号を生成します。
- 起動トリガは､各 A/D 起動コンペアからの起動要求から 1 つを選択して生成します｡A/D 起動調停では、各 A/D 起動コンペアの起動要求が競合した場合、優先制御を行います。優先順位は､「起動チャネルの若い番号」(チャネル番号による優先制御)、および「コンペア一致 ＞ 外部トリガ/リロードタイマ/PPG 起動による起動要求 ＞ ソフトウェア起動」(起動要因による優先制御)となります。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。
  なお、起動要因による優先制御は、A/D 変換中も行われます。その際、現在の変換は中断され、優先度の高い起動要因が処理されます。中断した起動要因は、優先度の高い変換終了後に再度調停されチャネル番号および起動要因による優先度の高いものがなければ、処理が再起動されます。
  - A/D 変換停止中に優先度が同じ起動要因が発生した場合:
    起動チャネルの若い番号のものから処理します。
  - A/D 変換停止中に優先度が異なる起動要因が発生した場合:
    優先度の高い起動要因から処理します。
  - A/D 変換中に優先度の高い起動要因が発生した場合:
    現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停され、中断した起動要因を再起動します。
  - A/D 変換中に優先度の低い起動要因が発生した場合:
    現在の変換終了後に再度調停され、優先度の低い起動要因を処理します。
  - A/D 変換中に優先度が同じ起動要因が発生した場合:
    現在の変換終了後に再度調停され、優先度が同じ起動要因を処理します。
- 変換キャンセル信号は、変換中の起動要因が非アクティブになり、ほかの起動要因もアクティブでないときに、現在の変換処理を強制終了するために生成します。
- アナログチャネル番号は、起動要求調停結果の起動チャネルから入力される起動要求アナログ番号が選択されます。

2.3. 12 ビット A/D コンバータ制御の機能

12 ビット A/D コンバータ制御の機能について説明します。

・12 ビット A/D コンバータ 0, 1 があり、アナログ入力端子がそれぞれに割り振られています。各入力端子とユニットの対応は「表 2-1 各ユニットごとのチャネル割振り」を参照してください。

アナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換する機能があり、次の特長があります。

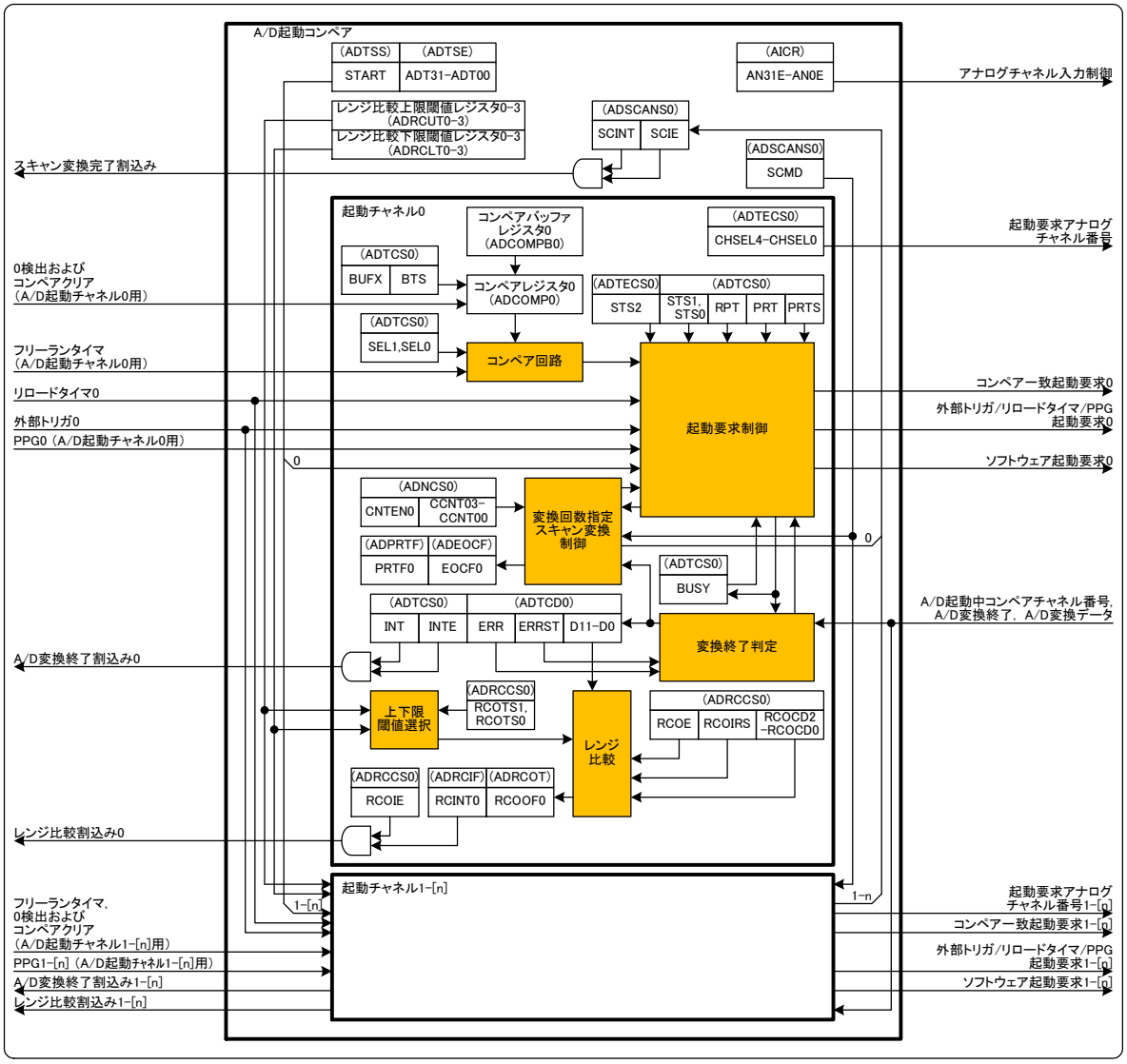
・変換時間は、最小 1.4µs (サンプリング時間を含む)です。
・変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
・アナログ入力端子はプログラムで選択できます。(A/D 起動コンペア部にて設定します。)
・起動信号はパルス信号で入力されます。
・A/D 変換は、1 回の起動要因の入力で 1 回の変換を行います。
・A/D 変換中に、再度、起動信号が入力された場合は、再起動を行います。 (再起動機能)
・A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の処理を停止/初期化します。 (強制停止機能)
・サンプリング時間の設定は、全チャネル共通のサンプリング時間設定と、チャネルごとのサンプリング時間設定の選択ができます。

3. 構成

12 ビット A/D コンバータの構成について説明します。

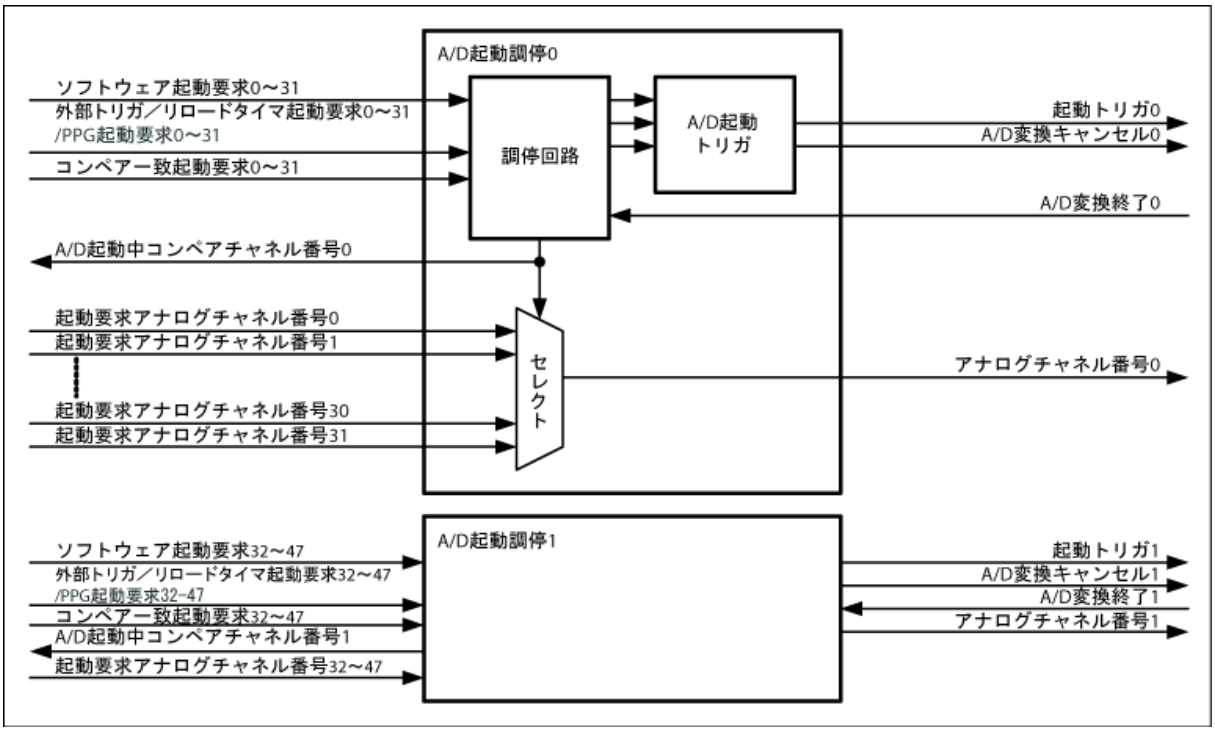
■ A/D 起動コンペアの構成

図 3-1 A/D 起動コンペアの構成(n=31 A/D コンバータ ユニット 0)



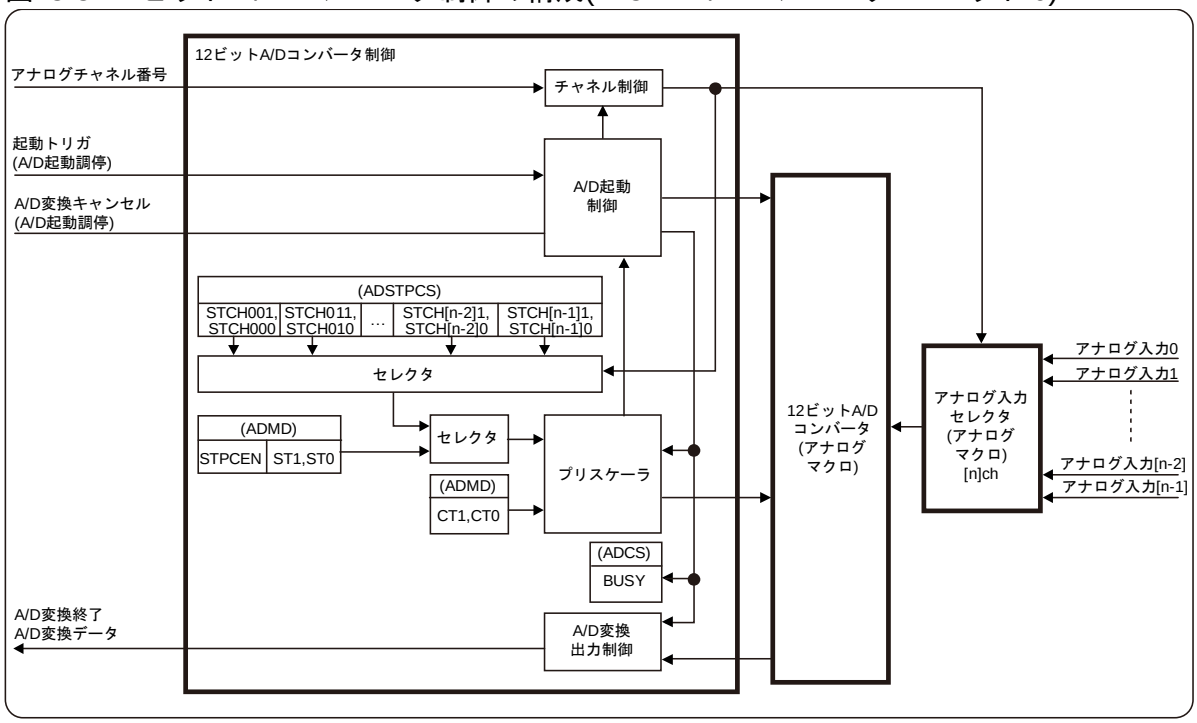
■ A/D 起動調停の構成

図 3-2 A/D 起動調停の構成



■ 12 ビット A/D コンバータ制御の構成

図 3-3 12 ビット A/D コンバータ制御の構成(n=32　A/D コンバータ ユニット 0)



4. レジスタ

12 ビット A/D コンバータのレジスタについて説明します。

■ アナログ入力制御のレジスター覧

表 4-1 アナログ入力制御のレジスター覧

アドレス	+0	+1	+2	+3
0x04AC	アナログ入力制御レジスタ上位(ADERH0) (キーコード対象レジスタ)		アナログ入力制御レジスタ下位(ADERL0) (キーコード対象レジスタ)	
0x04B0	予約		アナログ入力制御レジスタ下位(ADERL1) (キーコード対象レジスタ)	

■ A/D 起動コンペアのレジスター覧

表 4-2　A/D 起動コンペアのレジスター覧

アドレス	+0	+1	+2	+3
0x1304	A/D ソフトウェア起動レジスタ 0 (ADTSS0)	予約	予約	予約
0x1308	A/D ソフトウェア起動チャネル選択レジスタ 0 (ADTSE0)			
0x130C	コンペアバッファレジスタ 0(ADCOMPB0) コンペアレジスタ 0(ADCOMP0)		コンペアバッファレジスタ 1(ADCOMPB1) コンペアレジスタ 1(ADCOMP1)	
0x1310	コンペアバッファレジスタ 2(ADCOMPB2) コンペアレジスタ 2(ADCOMP2)		コンペアバッファレジスタ 3(ADCOMPB3) コンペアレジスタ 3(ADCOMP3)	
0x1314	コンペアバッファレジスタ 4(ADCOMPB4) コンペアレジスタ 4(ADCOMP4)		コンペアバッファレジスタ 5(ADCOMPB5) コンペアレジスタ 5(ADCOMP5)	
0x1318	コンペアバッファレジスタ 6(ADCOMPB6) コンペアレジスタ 6(ADCOMP6)		コンペアバッファレジスタ 7(ADCOMPB7) コンペアレジスタ 7(ADCOMP7)	
0x131C	コンペアバッファレジスタ 8(ADCOMPB8) コンペアレジスタ 8(ADCOMP8)		コンペアバッファレジスタ 9(ADCOMPB9) コンペアレジスタ 9(ADCOMP9)	
0x1320	コンペアバッファレジスタ 10(ADCOMPB10) コンペアレジスタ 10(ADCOMP10)		コンペアバッファレジスタ 11(ADCOMPB11) コンペアレジスタ 11(ADCOMP11)	
0x1324	コンペアバッファレジスタ 12(ADCOMPB12) コンペアレジスタ 12(ADCOMP12)		コンペアバッファレジスタ 13(ADCOMPB13) コンペアレジスタ 13(ADCOMP13)	
0x1328	コンペアバッファレジスタ 14(ADCOMPB14) コンペアレジスタ 14(ADCOMP14)		コンペアバッファレジスタ 15(ADCOMPB15) コンペアレジスタ 15(ADCOMP15)	
0x132C	コンペアバッファレジスタ 16(ADCOMPB16) コンペアレジスタ 16(ADCOMP16)		コンペアバッファレジスタ 17(ADCOMPB17) コンペアレジスタ 17(ADCOMP17)	
0x1330	コンペアバッファレジスタ 18(ADCOMPB18) コンペアレジスタ 18(ADCOMP18)		コンペアバッファレジスタ 19(ADCOMPB19) コンペアレジスタ 19(ADCOMP19)	
0x1334	コンペアバッファレジスタ 20(ADCOMPB20) コンペアレジスタ 20(ADCOMP20)		コンペアバッファレジスタ 21(ADCOMPB21) コンペアレジスタ 21(ADCOMP21)	
0x1338	コンペアバッファレジスタ 22(ADCOMPB22) コンペアレジスタ 22(ADCOMP22)		コンペアバッファレジスタ 23(ADCOMPB23) コンペアレジスタ 23(ADCOMP23)	
0x133C	コンペアバッファレジスタ 24(ADCOMPB24) コンペアレジスタ 24(ADCOMP24)		コンペアバッファレジスタ 25(ADCOMPB25) コンペアレジスタ 25(ADCOMP25)	
$0x1340_H$	コンペアバッファレジスタ 26(ADCOMPB26) コンペアレジスタ 26(ADCOMP26)		コンペアバッファレジスタ 27(ADCOMPB27) コンペアレジスタ 27(ADCOMP27)	

アドレス	+0	+1	+2	+3
0x1344	コンペアバッファレジスタ 28(ADCOMPB28) コンペアレジスタ 28(ADCOMP28)		コンペアバッファレジスタ 29(ADCOMPB29) コンペアレジスタ 29(ADCOMP29)	
0x1348	コンペアバッファレジスタ 30(ADCOMPB30) コンペアレジスタ 30(ADCOMP30)		コンペアバッファレジスタ 31(ADCOMPB31) コンペアレジスタ 31(ADCOMP31)	
0x134C	A/D 起動トリガ制御状態レジスタ 0 (ADTCS0)		A/D 起動トリガ制御状態レジスタ 1 (ADTCS1)	
0x1350	A/D 起動トリガ制御状態レジスタ 2 (ADTCS2)		A/D 起動トリガ制御状態レジスタ 3 (ADTCS3)	
0x1354	A/D 起動トリガ制御状態レジスタ 4 (ADTCS4)		A/D 起動トリガ制御状態レジスタ 5 (ADTCS5)	
0x1358	A/D 起動トリガ制御状態レジスタ 6 (ADTCS6)		A/D 起動トリガ制御状態レジスタ 7 (ADTCS7)	
0x135C	A/D 起動トリガ制御状態レジスタ 8 (ADTCS8)		A/D 起動トリガ制御状態レジスタ 9 (ADTCS9)	
0x1360	A/D 起動トリガ制御状態レジスタ 10 (ADTCS10)		A/D 起動トリガ制御状態レジスタ 11 (ADTCS11)	
0x1364	A/D 起動トリガ制御状態レジスタ 12 (ADTCS12)		A/D 起動トリガ制御状態レジスタ 13 (ADTCS13)	
0x1368	A/D 起動トリガ制御状態レジスタ 14 (ADTCS14)		A/D 起動トリガ制御状態レジスタ 15 (ADTCS15)	
0x136C	A/D 起動トリガ制御状態レジスタ 16 (ADTCS16)		A/D 起動トリガ制御状態レジスタ 17 (ADTCS17)	
0x1370	A/D 起動トリガ制御状態レジスタ 18 (ADTCS18)		A/D 起動トリガ制御状態レジスタ 19 (ADTCS19)	
0x1374	A/D 起動トリガ制御状態レジスタ 20 (ADTCS20)		A/D 起動トリガ制御状態レジスタ 21 (ADTCS21)	
0x1378	A/D 起動トリガ制御状態レジスタ 22 (ADTCS22)		A/D 起動トリガ制御状態レジスタ 23 (ADTCS23)	
0x137C	A/D 起動トリガ制御状態レジスタ 24 (ADTCS24)		A/D 起動トリガ制御状態レジスタ 25 (ADTCS25)	
0x1380	A/D 起動トリガ制御状態レジスタ 26 (ADTCS26)		A/D 起動トリガ制御状態レジスタ 27 (ADTCS27)	
0x1384	A/D 起動トリガ制御状態レジスタ 28 (ADTCS28)		A/D 起動トリガ制御状態レジスタ 29 (ADTCS29)	

アドレス	+0	+1	+2	+3
0x1388	A/D 起動トリガ制御状態レジスタ 30 (ADTCS30)		A/D 起動トリガ制御状態レジスタ 31 (ADTCS31)	
0x138C	A/D データレジスタ 0(ADTCD0)		A/D データレジスタ 1(ADTCD1)	
0x1390	A/D データレジスタ 2(ADTCD2)		A/D データレジスタ 3(ADTCD3)	
0x1394	A/D データレジスタ 4(ADTCD4)		A/D データレジスタ 5(ADTCD5)	
0x1398	A/D データレジスタ 6(ADTCD6)		A/D データレジスタ 7(ADTCD7)	
0x139C	A/D データレジスタ 8(ADTCD8)		A/D データレジスタ 9(ADTCD9)	
0x13A0	A/D データレジスタ 10(ADTCD10)		A/D データレジスタ 11(ADTCD11)	
0x13A4	A/D データレジスタ 12(ADTCD12)		A/D データレジスタ 13(ADTCD13)	
0x13A8	A/D データレジスタ 14(ADTCD14)		A/D データレジスタ 15(ADTCD15)	
0x13AC	A/D データレジスタ 16(ADTCD16)		A/D データレジスタ 17(ADTCD17)	
0x13B0	A/D データレジスタ 18(ADTCD18)		A/D データレジスタ 19(ADTCD19)	
0x13B4	A/D データレジスタ 20(ADTCD20)		A/D データレジスタ 21(ADTCD21)	
0x13B8	A/D データレジスタ 22(ADTCD22)		A/D データレジスタ 23(ADTCD23)	
0x13BC	A/D データレジスタ 24(ADTCD24)		A/D データレジスタ 25(ADTCD25)	
0x13C0	A/D データレジスタ 26(ADTCD26)		A/D データレジスタ 27(ADTCD27)	
0x13C4	A/D データレジスタ 28(ADTCD28)		A/D データレジスタ 29(ADTCD29)	
0x13C8	A/D データレジスタ 30(ADTCD30)		A/D データレジスタ 31(ADTCD31)	
0x13CC	A/D 起動トリガ拡張制御レジスタ 0 (ADTECS0)		A/D 起動トリガ拡張制御レジスタ 1 (ADTECS1)	
0x13D0	A/D 起動トリガ拡張制御レジスタ 2 (ADTECS2)		A/D 起動トリガ拡張制御レジスタ 3 (ADTECS3)	
0x13D4	A/D 起動トリガ拡張制御レジスタ 4 (ADTECS4)		A/D 起動トリガ拡張制御レジスタ 5 (ADTECS5)	
0x13D8	A/D 起動トリガ拡張制御レジスタ 6 (ADTECS6)		A/D 起動トリガ拡張制御レジスタ 7 (ADTECS7)	
0x13DC	A/D 起動トリガ拡張制御レジスタ 8 (ADTECS8)		A/D 起動トリガ拡張制御レジスタ 9 (ADTECS9)	
0x13E0	A/D 起動トリガ拡張制御レジスタ 10 (ADTECS10)		A/D 起動トリガ拡張制御レジスタ 11 (ADTECS11)	

アドレス	+0	+1	+2	+3
0x13E4	A/D 起動トリガ拡張制御レジスタ 12 (ADTECS12)		A/D 起動トリガ拡張制御レジスタ 13 (ADTECS13)	
0x13E8	A/D 起動トリガ拡張制御レジスタ 14 (ADTECS14)		A/D 起動トリガ拡張制御レジスタ 15 (ADTECS15)	
0x13EC	A/D 起動トリガ拡張制御レジスタ 16 (ADTECS16)		A/D 起動トリガ拡張制御レジスタ 17 (ADTECS17)	
0x13F0	A/D 起動トリガ拡張制御レジスタ 18 (ADTECS18)		A/D 起動トリガ拡張制御レジスタ 19 (ADTECS19)	
0x13F4	A/D 起動トリガ拡張制御レジスタ 20 (ADTECS20)		A/D 起動トリガ拡張制御レジスタ 21 (ADTECS21)	
0x13F8	A/D 起動トリガ拡張制御レジスタ 22 (ADTECS22)		A/D 起動トリガ拡張制御レジスタ 23 (ADTECS23)	
0x13FC	A/D 起動トリガ拡張制御レジスタ 24 (ADTECS24)		A/D 起動トリガ拡張制御レジスタ 25 (ADTECS25)	
0x1400	A/D 起動トリガ拡張制御レジスタ 26 (ADTECS26)		A/D 起動トリガ拡張制御レジスタ 27 (ADTECS27)	
0x1404	A/D 起動トリガ拡張制御レジスタ 28 (ADTECS28)		A/D 起動トリガ拡張制御レジスタ 29 (ADTECS29)	
0x1408	A/D 起動トリガ拡張制御レジスタ 30 (ADTECS30)		A/D 起動トリガ拡張制御レジスタ 31 (ADTECS31)	
0x140C	上限閾値設定レジスタ 0 (ADRCUT0)		下限閾値設定レジスタ 0 (ADRCLT0)	
0x1410	上限閾値設定レジスタ 1 (ADRCUT1)		下限閾値設定レジスタ 1 (ADRCLT1)	
0x1414	上限閾値設定レジスタ 2 (ADRCUT2)		下限閾値設定レジスタ 2 (ADRCLT2)	
0x1418	上限閾値設定レジスタ 3 (ADRCUT3)		下限閾値設定レジスタ 3 (ADRCLT3)	
0x141C	レンジ比較制御状態レジスタ 0 (ADRCCS0)	レンジ比較制御状態レジスタ 1 (ADRCCS1)	レンジ比較制御状態レジスタ 2 (ADRCCS2)	レンジ比較制御状態レジスタ 3 (ADRCCS3)
0x1420	レンジ比較制御状態レジスタ 4 (ADRCCS4)	レンジ比較制御状態レジスタ 5 (ADRCCS5)	レンジ比較制御状態レジスタ 6 (ADRCCS6)	レンジ比較制御状態レジスタ 7 (ADRCCS7)

アドレス	+0	+1	+2	+3
0x1424	レンジ比較制御 状態レジスタ 8 (ADRCCS8)	レンジ比較制御 状態レジスタ 9 (ADRCCS9)	レンジ比較制御 状態レジスタ 10 (ADRCCS10)	レンジ比較制御 状態レジスタ 11 (ADRCCS11)
0x1428	レンジ比較制御 状態レジスタ 12 (ADRCCS12)	レンジ比較制御 状態レジスタ 13 (ADRCCS13)	レンジ比較制御 状態レジスタ 14 (ADRCCS14)	レンジ比較制御 状態レジスタ 15 (ADRCCS15)
0x142C	レンジ比較制御 状態レジスタ 16 (ADRCCS16)	レンジ比較制御 状態レジスタ 17 (ADRCCS17)	レンジ比較制御 状態レジスタ 18 (ADRCCS18)	レンジ比較制御 状態レジスタ 19 (ADRCCS19)
0x1430	レンジ比較制御 状態レジスタ 20 (ADRCCS20)	レンジ比較制御 状態レジスタ 21 (ADRCCS21)	レンジ比較制御 状態レジスタ 22 (ADRCCS22)	レンジ比較制御 状態レジスタ 23 (ADRCCS23)
0x1434	レンジ比較制御 状態レジスタ 24 (ADRCCS24)	レンジ比較制御 状態レジスタ 25 (ADRCCS25)	レンジ比較制御 状態レジスタ 26 (ADRCCS26)	レンジ比較制御 状態レジスタ 27 (ADRCCS27)
0x1438	レンジ比較制御 状態レジスタ 28 (ADRCCS28)	レンジ比較制御 状態レジスタ 29 (ADRCCS29)	レンジ比較制御 状態レジスタ 30 (ADRCCS30)	レンジ比較制御 状態レジスタ 31 (ADRCCS31)
0x143C	レンジ比較閾値超過フラグレジスタ 0 (ADRCOT0)			
0x1440	レンジ比較フラグレジスタ 0 (ADRCIF0)			
0x1444	スキャン変換制御 状態レジスタ 0 (ADSCANS0)	予約	予約	予約
0x1448	起動チャネル変換回数 設定レジスタ 0 (ADNCS0)	起動チャネル変換回数 設定レジスタ 1 (ADNCS1)	起動チャネル変換回数 設定レジスタ 2 (ADNCS2)	起動チャネル変換回数 設定レジスタ 3 (ADNCS3)
0x144C	起動チャネル変換回数 設定レジスタ 4 (ADNCS4)	起動チャネル変換回数 設定レジスタ 5 (ADNCS5)	起動チャネル変換回数 設定レジスタ 6 (ADNCS6)	起動チャネル変換回数 設定レジスタ 7 (ADNCS7)
0x1450	起動チャネル変換回数 設定レジスタ 8 (ADNCS8)	起動チャネル変換回数 設定レジスタ 9 (ADNCS9)	起動チャネル変換回数 設定レジスタ 10 (ADNCS10)	起動チャネル変換回数 設定レジスタ 11 (ADNCS11)
0x1454	起動チャネル変換回数 設定レジスタ 12 (ADNCS12)	起動チャネル変換回数 設定レジスタ 13 (ADNCS13)	起動チャネル変換回数 設定レジスタ 14 (ADNCS14)	起動チャネル変換回数 設定レジスタ 15 (ADNCS15)

アドレス	+0	+1	+2	+3
0x1458	データ保護状態フラグレジスタ 0(ADPRTF0)			
0x145C	起動チャネル変換完了フラグレジスタ 0(ADEOCF0)			
0x1470	A/D ソフトウェア起動レジスタ 1 (ADTSS1)	予約	予約	予約
0x1474	A/D ソフトウェア起動チャネル選択レジスタ 1(ADTSE1)			
0x1478	コンペアバッファレジスタ 32(ADCOMPB32) コンペアレジスタ 32(ADCOMP32)		コンペアバッファレジスタ 33(ADCOMPB33) コンペアレジスタ 33(ADCOMP33)	
0x147C	コンペアバッファレジスタ 34(ADCOMPB34) コンペアレジスタ 34(ADCOMP34)		コンペアバッファレジスタ 35(ADCOMPB35) コンペアレジスタ 35(ADCOMP35)	
0x1480	コンペアバッファレジスタ 36(ADCOMPB36) コンペアレジスタ 36(ADCOMP36)		コンペアバッファレジスタ 37(ADCOMPB37) コンペアレジスタ 37(ADCOMP37)	
0x1484	コンペアバッファレジスタ 38(ADCOMPB38) コンペアレジスタ 38(ADCOMP38)		コンペアバッファレジスタ 39(ADCOMPB39) コンペアレジスタ 39(ADCOMP39)	
0x1488	コンペアバッファレジスタ 40(ADCOMPB40) コンペアレジスタ 40(ADCOMP40)		コンペアバッファレジスタ 41(ADCOMPB41) コンペアレジスタ 41(ADCOMP41)	
0x148C	コンペアバッファレジスタ 42(ADCOMPB42) コンペアレジスタ 42(ADCOMP42)		コンペアバッファレジスタ 43(ADCOMPB43) コンペアレジスタ 43(ADCOMP43)	
0x1490	コンペアバッファレジスタ 44(ADCOMPB44) コンペアレジスタ 44(ADCOMP44)		コンペアバッファレジスタ 45(ADCOMPB45) コンペアレジスタ 45(ADCOMP45)	
0x1494	コンペアバッファレジスタ 46(ADCOMPB46) コンペアレジスタ 46(ADCOMP46)		コンペアバッファレジスタ 47(ADCOMPB47) コンペアレジスタ 47(ADCOMP47)	
0x1498 | 0x14B4	予約		予約	
0x14B8	A/D 起動トリガ制御状態レジスタ 32 (ADTCS32)		A/D 起動トリガ制御状態レジスタ 33 (ADTCS33)	
0x14BC	A/D 起動トリガ制御状態レジスタ 34 (ADTCS34)		A/D 起動トリガ制御状態レジスタ 35 (ADTCS35)	
0x14C0	A/D 起動トリガ制御状態レジスタ 36 (ADTCS36)		A/D 起動トリガ制御状態レジスタ 37 (ADTCS37)	
0x14C4	A/D 起動トリガ制御状態レジスタ 38 (ADTCS38)		A/D 起動トリガ制御状態レジスタ 39 (ADTCS39)	
0x14C8	A/D 起動トリガ制御状態レジスタ 40 (ADTCS40)		A/D 起動トリガ制御状態レジスタ 41 (ADTCS41)	

アドレス	+0	+1	+2	+3
0x14CC	A/D 起動トリガ制御状態レジスタ 42 (ADTCS42)		A/D 起動トリガ制御状態レジスタ 43 (ADTCS43)	
0x14D0	A/D 起動トリガ制御状態レジスタ 44 (ADTCS44)		A/D 起動トリガ制御状態レジスタ 45 (ADTCS45)	
0x14D4	A/D 起動トリガ制御状態レジスタ 46 (ADTCS46)		A/D 起動トリガ制御状態レジスタ 47 (ADTCS47)	
0x14D8 ｜ 0x14F4	予約		予約	
0x14F8	A/D データレジスタ 32(ADTCD32)		A/D データレジスタ 33(ADTCD33)	
0x14FC	A/D データレジスタ 34(ADTCD34)		A/D データレジスタ 35(ADTCD35)	
0x1500	A/D データレジスタ 36(ADTCD36)		A/D データレジスタ 37(ADTCD37)	
0x1504	A/D データレジスタ 38(ADTCD38)		A/D データレジスタ 39(ADTCD39)	
0x1508	A/D データレジスタ 40(ADTCD40)		A/D データレジスタ 41(ADTCD41)	
0x150C	A/D データレジスタ 42(ADTCD42)		A/D データレジスタ 43(ADTCD43)	
0x1510	A/D データレジスタ 44(ADTCD44)		A/D データレジスタ 45(ADTCD45)	
0x1514	A/D データレジスタ 46(ADTCD46)		A/D データレジスタ 47(ADTCD47)	
0x1518 ｜ 0x1534	予約		予約	
0x1538	A/D 起動トリガ拡張制御レジスタ 32 (ADTECS32)		A/D 起動トリガ拡張制御レジスタ 33 (ADTECS33)	
0x153C	A/D 起動トリガ拡張制御レジスタ 34 (ADTECS34)		A/D 起動トリガ拡張制御レジスタ 35 (ADTECS35)	
0x1540	A/D 起動トリガ拡張制御レジスタ 36 (ADTECS36)		A/D 起動トリガ拡張制御レジスタ 37 (ADTECS37)	
0x1544	A/D 起動トリガ拡張制御レジスタ 38 (ADTECS38)		A/D 起動トリガ拡張制御レジスタ 39 (ADTECS39)	
0x1548	A/D 起動トリガ拡張制御レジスタ 40 (ADTECS40)		A/D 起動トリガ拡張制御レジスタ 41 (ADTECS41)	
0x154C	A/D 起動トリガ拡張制御レジスタ 42 (ADTECS42)		A/D 起動トリガ拡張制御レジスタ 43 (ADTECS43)	

アドレス	+0	+1	+2	+3
0x1550	A/D 起動トリガ拡張制御レジスタ 44 (ADTECS44)		A/D 起動トリガ拡張制御レジスタ 45 (ADTECS45)	
0x1554	A/D 起動トリガ拡張制御レジスタ 46 (ADTECS46)		A/D 起動トリガ拡張制御レジスタ 47 (ADTECS47)	
0x1558 - 0x1574	予約		予約	
0x1578	上限閾値設定レジスタ 4 (ADRCUT4)		下限閾値設定レジスタ 4 (ADRCLT4)	
0x157C	上限閾値設定レジスタ 5 (ADRCUT5)		下限閾値設定レジスタ 5 (ADRCLT5)	
0x1580	上限閾値設定レジスタ 6 (ADRCUT6)		下限閾値設定レジスタ 6 (ADRCLT6)	
0x1584	上限閾値設定レジスタ 7 (ADRCUT7)		下限閾値設定レジスタ 7 (ADRCLT7)	
0x1588	レンジ比較制御状態レジスタ 32 (ADRCCS32)	レンジ比較制御状態レジスタ 33 (ADRCCS33)	レンジ比較制御状態レジスタ 34 (ADRCCS34)	レンジ比較制御状態レジスタ 35 (ADRCCS35)
0x158C	レンジ比較制御状態レジスタ 36 (ADRCCS36)	レンジ比較制御状態レジスタ 37 (ADRCCS37)	レンジ比較制御状態レジスタ 38 (ADRCCS38)	レンジ比較制御状態レジスタ 39 (ADRCCS39)
0x1590	レンジ比較制御状態レジスタ 40 (ADRCCS40)	レンジ比較制御状態レジスタ 41 (ADRCCS41)	レンジ比較制御状態レジスタ 42 (ADRCCS42)	レンジ比較制御状態レジスタ 43 (ADRCCS43)
0x1594	レンジ比較制御状態レジスタ 44 (ADRCCS44)	レンジ比較制御状態レジスタ 45 (ADRCCS45)	レンジ比較制御状態レジスタ 46 (ADRCCS46)	レンジ比較制御状態レジスタ 47 (ADRCCS47)
0x1598 - 0x15A4	予約		予約	
0x15A8	レンジ比較閾値超過フラグレジスタ 1(ADRCOT1)			
0x15AC	レンジ比較フラグレジスタ 1(ADRCIF1)			
0x15B0	スキャン変換制御状態レジスタ 1 (ADSCANS1)	予約	予約	予約

アドレス	+0	+1	+2	+3
0x15B4	起動チャネル変換回数設定レジスタ 16 (ADNCS16)	起動チャネル変換回数設定レジスタ 17 (ADNCS17)	起動チャネル変換回数設定レジスタ 18 (ADNCS18)	起動チャネル変換回数設定レジスタ 19 (ADNCS19)
0x15B8	起動チャネル変換回数設定レジスタ 20 (ADNCS20)	起動チャネル変換回数設定レジスタ 21 (ADNCS21)	起動チャネル変換回数設定レジスタ 22 (ADNCS22)	起動チャネル変換回数設定レジスタ 23 (ADNCS23)
0x15BC	予約	予約	予約	予約
0x15C0	予約	予約	予約	予約
0x15C4	データ保護状態フラグレジスタ 1(ADPRTF1)			
0x15C8	起動チャネル変換完了フラグレジスタ 1(ADEOCF1)			

■ 12 ビット A/D コンバータ制御のレジスター覧

表 4-3 12 ビット A/D コンバータ制御のレジスター覧

アドレス	+0	+1	+2	+3
0x1460	A/D 制御状態レジスタ 0 (ADCS0)		A/D チャネル状態レジスタ 0 (ADCH0)	A/D モード設定レジスタ 0 (ADMD0)
0x1464	A/D チャネルごとのサンプリング時間設定レジスタ 0 (ADSTPCS0)	A/D チャネルごとのサンプリング時間設定レジスタ 1 (ADSTPCS1)	A/D チャネルごとのサンプリング時間設定レジスタ 2 (ADSTPCS2)	A/D チャネルごとのサンプリング時間設定レジスタ 3 (ADSTPCS3)
0x1468	A/D チャネルごとのサンプリング時間設定レジスタ 4 (ADSTPCS4)	A/D チャネルごとのサンプリング時間設定レジスタ 5 (ADSTPCS5)	A/D チャネルごとのサンプリング時間設定レジスタ 6 (ADSTPCS6)	A/D チャネルごとのサンプリング時間設定レジスタ 7 (ADSTPCS7)
0x15CC	A/D 制御状態レジスタ 1 (ADCS1)		A/D チャネル状態レジスタ 1 (ADCH1)	A/D モード設定レジスタ 1 (ADMD1)
0x15D0	A/D チャネルごとのサンプリング時間設定レジスタ 8 (ADSTPCS8)	A/D チャネルごとのサンプリング時間設定レジスタ 9 (ADSTPCS9)	A/D チャネルごとのサンプリング時間設定レジスタ 10 (ADSTPCS10)	A/D チャネルごとのサンプリング時間設定レジスタ 11 (ADSTPCS11)

4.1. アナログ入力制御のレジスタ

アナログ入力制御のレジスタについて説明します。

アナログ入力制御には、アナログ入力制御レジスタがあります。

4.1.1. アナログ入力制御レジスタ ：ADER

アナログ入力制御レジスタのビット構成について示します。

アナログ入力制御レジスタ(ADERH0, ADERL0, ADERL1) は、アナログ入力を制御するレジスタです。

■ ADERH0: アドレス 04ACH (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADE31	ADE30	ADE29	ADE28	ADE27	ADE26	ADE25	ADE24
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADE23	ADE22	ADE21	ADE20	ADE19	ADE18	ADE17	ADE16
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ ADERL0: アドレス 04AEH (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADE15	ADE14	ADE13	ADE12	ADE11	ADE10	ADE09	ADE08
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADE07	ADE06	ADE05	ADE04	ADE03	ADE02	ADE01	ADE00
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] ADE31 ～ ADE0 : アナログ入力許可ビット

ADE31～ADE0	機能
0	アナログ入力禁止
1	アナログ入力許可

・アナログ入力端子を制御します。
・このビットが"0"の場合、アナログ入力は禁止されます。
・このビットが"1"の場合、アナログ入力は許可されます。

＜注意事項＞

本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。
設定方法は『I/O ポート』の章の『キーコードレジスタ: KEYCDR 』、『キーコードレジスタ機能の設定』を参照してください。また、本レジスタへのワードアクセスは禁止です。

AD コンバータの機能を持つ端子については、『I/O ポート』の章の『5.6. A/D コンバータ機能のある端子の注意事項』を参照してください。

■ ADERL1: アドレス 04B2H (アクセス: バイト, ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADE47	ADE46	ADE45	ADE44	ADE43	ADE42	ADE41	ADE40
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADE39	ADE38	ADE37	ADE36	ADE35	ADE34	ADE33	ADE32
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit0] ADE47 ～ ADE32 : アナログ入力許可ビット

ADE47～ADE32	機能
0	アナログ入力禁止
1	アナログ入力許可

・アナログ入力端子を制御します。
・このビットが"0"の場合、アナログ入力は禁止されます。
・このビットが"1"の場合、アナログ入力は許可されます。

＜注意事項＞

本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。
設定方法は『I/O ポート』の章の『キーコードレジスタ: KEYCDR 』、『キーコードレジスタ機能の設定』を参照してください。また、本レジスタへのワードアクセスは禁止です。

AD コンバータの機能を持つ端子については、『I/O ポート』の章の『5.6. A/D コンバータ機能のある端子の注意事項』を参照してください。

4.2. A/D 起動コンペアのレジスタ

A/D 起動コンペアのレジスタについて説明します。

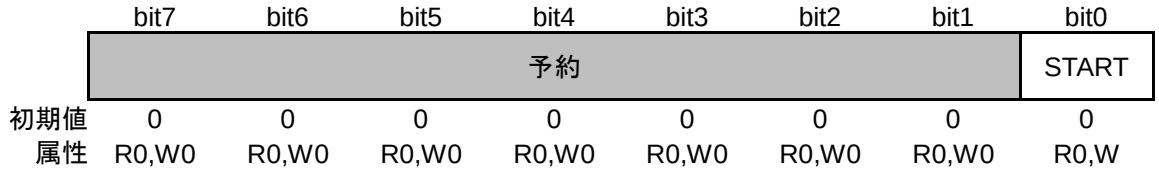
4.2.1. A/D ソフトウェア起動レジスタ ：ADTSS0, ADTSS1

A/D ソフトウェア起動レジスタのビット構成について示します。

A/D ソフトウェア起動レジスタ(ADTSS)は、12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。なお、起動するチャネルは、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)で設定される起動チャネルに対してです。

■ **ADTSS0: アドレス 1304H (アクセス: バイト, ハーフワード, ワード)**

■ **ADTSS1: アドレス 1470H (アクセス: バイト, ハーフワード, ワード)**



[bit7 ～ bit1] 予約
必ず"0"を書き込んでください。

[bit0] START : A/D 変換起動ビット(ソフトウェア)

START	機能
0	A/D 変換機能を起動しない
1	A/D 変換機能を起動する

・A/D 変換動作をソフトウェアで起動するビットです。
・このビットに"1"を書き込むと A/D 変換が起動します。なお、起動するチャネルは、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)で設定される起動チャネルに対してです。
・このビットによる変換の再起動はかかりません。

4.2.2. A/D ソフトウェア起動チャネル選択レジスタ ：ADTSE0, ADTSE1

A/D ソフトウェア起動チャネル選択レジスタのビット構成について示します。

A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)は、A/D 起動要求を行う起動チャネルを選択するレジスタです。

■ ADTSE0: アドレス 1308H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ADT31	ADT30	ADT29	ADT28	ADT27	ADT26	ADT25	ADT24
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ADT23	ADT22	ADT21	ADT20	ADT19	ADT18	ADT17	ADT16
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADT15	ADT14	ADT13	ADT12	ADT11	ADT10	ADT09	ADT08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADT07	ADT06	ADT05	ADT04	ADT03	ADT02	ADT01	ADT00
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit0] ADT31 ～ ADT00 : ソフトウェア起動チャネル選択ビット

ADT31～ADT00	機能
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

・起動チャネルのソフトウェア起動を制御します。
・このビットが"0"の場合、ソフトウェア起動は禁止されます。
・このビットが"1"の場合、ソフトウェア起動は許可されます。

■ ADTSE1: アドレス 1474H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	-							
初期値	1	1	1	1	1	1	1	1
属性	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADT47	ADT46	ADT45	ADT44	ADT43	ADT42	ADT41	ADT40
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADT39	ADT38	ADT37	ADT36	ADT35	ADT34	ADT33	ADT32
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit31 ～ bit16] 未定義

常に"1"が読み出されます。書込みは動作に影響ありません。

[bit15 ～ bit0] ADT47 ～ ADT32 : ソフトウェア起動チャネル選択ビット

ADT47～ADT32	機能
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

・起動チャネルのソフトウェア起動を制御します。
・このビットが"0"の場合、ソフトウェア起動は禁止されます。
・このビットが"1"の場合、ソフトウェア起動は許可されます。

4.2.3. コンペアバッファレジスタ ：ADCOMPB0 ～ ADCOMPB47/コンペアレジスタ ：ADCOMP0 ～ ADCOMP47

コンペアバッファレジスタ/コンペアレジスタのビット構成について示します。

コンペアバッファレジスタ(ADCOMPB)は、コンペアレジスタ(ADCOMP)用の 16 ビットバッファレジスタです。
コンペアレジスタ(ADCOMP)は、フリーランタイマの値と一致したときに A/D コンバータを起動させます。
ADCOMPB レジスタと ADCOMP レジスタは、両方とも同じアドレスに存在しています。

■ ADCOMPB0 ～ ADCOMPB31: アドレス 130CH~ 134AH(アクセス: ハーフワード, ワード)

■ ADCOMPB32 ～ ADCOMPB47: アドレス 1478H~ 1496H(アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
初期値	0	0	0	0	0	0	0	0
属性	W	W	W	W	W	W	W	W

[bit15 ～ bit0] CMP15 ～ CMP00 : コンペア値バッファビット

CMP15～CMP00	機能
	コンペア値バッファ

- コンペアバッファレジスタは、A/D 起動コンペアレジスタ(ADCOMP)用バッファレジスタです。
  バッファ機能が無効時(A/D 起動トリガ制御状態レジスタ(ADTCS)の BUFX=1)、またはフリーランタイマが停止するとコンペアバッファ値は直ちにコンペアレジスタに転送されます。
- バッファ機能が有効時(A/D 起動トリガ制御状態レジスタ(ADTCS)の BUFX=0)、コンペアバッファ値は、16 ビットフリーランタイマのコンペアクリアレジスタと一致したときもしくは"0"検出時にコンペアレジスタへ転送されます。

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。

■ ADCOMP0 ～ ADCOMP31: アドレス 130CH~ 134AH (アクセス: ハーフワード, ワード)

■ ADCOMP32 ～ ADCOMP47: アドレス 1478H~ 1496H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

[bit15 ～ bit0] CMP15 ～ CMP00 : コンペア値ビット

CMP15～CMP00	機能
	コンペア値

- コンペア値の更新はコンペアバッファレジスタを介して行います。
- コンペアレジスタは、16 ビットフリーランタイマのカウント値と比較するためのコンペア値を格納するレジスタで、フリーランタイマとコンペア値が一致したときに A/D を起動させることができます。
- コンペアレジスタに格納されたコンペア値は、すぐに比較動作されます。
- A/D 起動トリガ制御状態レジスタ(ADTCS)の SEL1, SEL0=11_B のとき、コンペア一致動作を行いません。

＜注意事項＞

コンペアレジスタへの読出しは、ワードもしくはハーフワードで行ってください。
リードモディファイライト系命令でのアクセスは行わないでください。

4.2.4. A/D 起動トリガ制御状態レジスタ ：ADTCS0 ～ ADTCS47

A/D 起動トリガ制御状態レジスタのビット構成について示します。

A/D 起動トリガ制御状態レジスタ(ADTCS)は、A/D 起動要求確認、割込み要求の許可/ 禁止、割込み要求の状態の確認、起動要因選択、変換モード選択、保護機能制御、コンペア動作に使用するコンペア値の選択、コンペア値のバッファ制御、およびアナログ入力チャネルの選択に使用します。

■ **ADTCS0 ～ ADTCS31: アドレス 134CH~ 138AH(アクセス: バイト, ハーフワード, ワード)**

■ **ADTCS32 ～ ADTCS47: アドレス 14B8H~ 14D6H(アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	INT	INTE	STS1	STS0	RPT	PRT	PRTS
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SEL1	SEL0	BUFX	BTS	予約			
初期値	0	0	1	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R0/W0	R0/W0	R0/W0	R0/W0

[bit15] BUSY : A/D 起動要求中ビット

BUSY	機能	
	読出し時	書込み時
0	A/D 起動未要求	A/D 起動要求強制停止
1	A/D 起動要求中または変換中	変化なし, ほかへの影響なし

・A/D 起動要求または変換の動作表示ビットです。
・読出し時、このビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば A/D 変換要求中または変換中であることを示します。
・書込み時、このビットへの"0"の書込みによって A/D 起動要求または変換を強制停止します。
"1"の書込みでは、変化せずほかへの影響はありません。

＜注意事項＞

リードモディファイライト(RMW)命令のリード時には、"1"が読み出されます。

[bit14] INT : 割込み要求フラグビット

INT	機能	
	読出し時	書込み時
0	A/D 変換未終了	ビットクリア
1	A/D 変換終了	変化なし、ほかへの影響なし

・A/D 変換によって A/D データレジスタ(ADTCD)にデータがセットされると、このビットは"1"にセットされます。
・このビットと割込み要求許可ビット(ADTCS:INTE)が"1"のときに割込み要求を発生します。
・書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
・このビットは A/D 変換終了割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、"1" が読み出されます。
ソフトウェアクリア(INT="0"書込み)または割込みクリア信号("H")によるクリアと、ハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit13] INTE : 割込み要求許可ビット

INTE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

・CPU への割込み出力の許可/ 禁止をするビットです。
・このビットと割込み要求フラグビット(ADTCS:INT)が"1"のときに割込み要求を発生します。

[bit12, bit11] STS1, STS0 : A/D 起動要因選択ビット

ADTECSn: STS2	STS1	STS0	機能
0	0	0	ソフトウェア起動
0	0	1	外部端子トリガ起動(立下りエッジ)
0	1	0	リロードタイマ起動(立上りエッジ)
0	1	1	コンペア一致起動
1	0	0	PPG 起動 (立上りエッジ)
1	0	1	設定禁止
1	1	0	

ADTECSn: STS2	STS1	STS0	機能
1	1	1	

・STS1,STS0 ビットは、A/D 起動トリガ拡張制御レジスタ(ADTECS)の bit8(STS2)との組合せで、A/D 変換の起動要因の選択を行います。

＜注意事項＞

・A/D 起動要因選択ビットは書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY=1)でないときに行ってください。
・A/D 起動要求を行わない場合は、ADTECS.STS2 を含む本ビットをソフトウェア起動("000_B")と設定し、ADTSE の該当ビット(起動チャネル)をソフトウェア起動禁止(ADT ビット=0)としてください。
・A/D 起動要因選択ビットを設定する場合、必ず 16 ビットフリーランタイマが停止していることを確認してください。

[bit10] RPT : リピート変換選択ビット

RPT	機能
0	シングル変換
1	リピート変換

・A/D 変換のモードを設定します。
・"0"に設定した場合、シングル変換モードになります。1 回の起動要因で 1 回の A/D 変換要求を行います。A/D 変換を 1 回行います。
・"1"に設定した場合、リピート変換モードになります。1 回の起動要因で A/D 変換要求を継続します。A/D 変換はシングル変換モードに設定されるまで繰り返し行われます。

[bit9] PRT : A/D データレジスタ保護有効ビット

PRT	機能
0	保護無効
1	保護有効

・"1"に設定した場合、A/D データレジスタへの上書きを保護します。なお、保護機能はコンペア一致起動(STS1, STS0=11)以外の要因のときに働きます。
・A/D データレジスタに変換データが格納された後、A/D データレジスタ保護解除選択ビット(PRTS)で設定される要因が発生するまで次の起動要求をマスクして、A/D データレジスタへの上書きを保護します。

＜注意事項＞

A/D データレジスタ保護有効ビットは、A/D 変換を動作させる前に設定してください。A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護有効ビットを変更しないでください。

[bit8] PRTS : A/D データレジスタ保護解除選択ビット

PRTS	機能
0	データ読出しおよび割込みフラグクリア
1	データ読出し

・A/D データレジスタ保護機能有効時(PRT=1) に、起動要求のマスク解除条件を選択します。
・"0"に設定した場合、A/D データレジスタ(ADTCD)の読出しと割込み要求フラグビット(INT)のクリアが保護解除条件(順不同)となります。
・"1"に設定した場合、A/D データレジスタ(ADTCD)の読出しが保護解除条件となります。

＜注意事項＞

A/D データレジスタ保護解除選択ビットは、A/D 変換を動作させる前に設定してください。
A/D 変換要求中または A/D データレジスタが保護されている状態で、A/D データレジスタ保護解除選択ビットを変更しないでください。

[bit7, bit6] SEL1, SEL0 : カウント方向選択ビット

SEL1	SEL0	機能
0	0	アップダウンカウント双方時
0	1	アップカウント時のみ
1	0	ダウンカウント時のみ
1	1	コンペア禁止

・"00_B"を設定した場合、フリーランタイマがアップカウント/ダウンカウント中のいずれでも、コンペア一致動作を行います。
・"01_B"を設定した場合、フリーランタイマがアップカウント中にのみコンペア一致動作を行います。
・"10_B"を設定した場合、フリーランタイマがダウンカウント中にのみコンペア一致動作を行います。
・"11_B"を設定した場合、コンペア動作を行いません。
・選択しているフリーランタイマが停止中は、コンペア動作を行いません。

＜注意事項＞

16 ビットフリーランタイマがアップカウントモードのとき、"10"に設定することを禁止します。

[bit5] BUFX : コンペアレジスタバッファ機能制御ビット

BUFX	機能
0	有効
1	無効

・"1"を設定した場合、バッファ機能は無効となります。
・"0"を設定した場合、バッファ機能は有効となります。

[bit4] BTS : コンペアレジスタバッファ転送制御ビット

BTS	機能
0	0 検出時
1	コンペアクリア時

・コンペアレジスタのバッファ機能有効(ADTCS.BUFX="0")時の転送条件を設定します。
・コンペアレジスタのバッファ機能有効(ADTCS.BUFX="0")時、BTS 設定が有効です。
・"0"を設定した場合、フリーランタイマの 0 検出時にコンペアバッファレジスタの値がコンペアレジスタに転送されます。
・"1"を設定した場合、フリーランタイマのコンペアクリアレジスタに一致したときにコンペアバッファレジスタ値がコンペアレジスタに転送されます。

＜注意事項＞

コンペアレジスタバッファ転送制御ビットを設定する場合、必ず 16 ビットフリーランタイマが停止していることを確認してください。

[bit3 ～ bit0] 予約

必ず"0"を書き込んでください。

4.2.5. A/D データレジスタ ：ADTCD0 ～ ADTCD47

A/D データレジスタのビット構成について示します。

A/D データレジスタ(ADTCD)は、A/D 変換結果を格納するレジスタです。

■ **ADTCD0 ～ ADTCD31: アドレス 138CH~13CAH (アクセス: バイト, ハーフワード, ワード)**

■ **ADTCD32 ～ ADTCD47: アドレス 14F8H~1516H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ERR	ERRST	予約		D11	D10	D9	D8
初期値	1	0	0	0	0	0	0	0
属性	R, WX	R,WX	R0,W0	R0,W0	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit15] ERR： 変換データエラーフラグビット

ERR	機能
0	変換データは正常です。
1	変換データは正常ではありません。

・A/D 変換データにエラーがあったことを示すビットでエラーの内容は本ビットが"1"のとき、ERRST ビットの値で知ることができます。
・本ビットは読み出すと"1"にセットされます。
・新しい変換結果が本レジスタに書き込まれると"0"にクリアされます。
・なお、A/D データレジスタ保護機能が有効(ADTCS.PRT=1)かつコンペア一致起動(ADTECS STS2="0", ADTCS.STS1, STS0=11)以外の要因のときは、"0"が読み出されます。

[bit14] ERRST： 変換データエラー状態ビット(ERR=1 時のみ)

ERRST	機能
0	変換データは古い結果です。
1	変換データは新しいデータに上書きされたものです。

・ERR ビット=1 のとき、A/D 変換データのエラー内容を示すフラグです。
・ERR ビット=1 かつ本ビット=0 とき、CPU 読出しによる変換結果が古いことを示します。

・ERR ビット=1 かつ本ビット=1 のとき、CPU 読出しによる変換結果は、CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きより旧変換データが失われたことを示します。
・CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きより旧変換データが失われていた場合、"1"にセットされます。
・本ビットは読み出すと"0"にクリアされます。
・なお､A/D データレジスタ保護機能が有効(ADTCS.PRT=1)かつコンペア一致起動(ADTECS STS2="0", ADTCS.STS1, STS0=11)以外の要因のときは、"0"が読み出されます。

[bit13, bit12] 予約
必ず"0"を書き込んでください。

[bit11 ～ bit0] D11 ～ D0 : A/D データビット

D11～D0	機能
	変換データ

・A/D 変換の結果が格納され、レジスタは 1 回の変換終了ごとに書き換えられます。
・通常は、最終変換値が格納されます。

＜注意事項＞

本レジスタには書込み動作を行わないでください。

4.2.6. A/D 起動トリガ拡張制御レジスタ ：ADTECS0 ～ 47

A/D 起動トリガ拡張制御レジスタのビット構成について示します。

A/D 起動トリガ拡張制御レジスタ(ADTECS)は、起動要因選択およびアナログ入力チャネルの選択を行います。

■ ADTECS0 ～ 31: アドレス 13CCH~140AH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							STS2
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit9] 予約
必ず"0"を書き込んでください。

[bit8] STS2 : A/D 起動要因選択ビット
A/D 起動トリガ制御状態レジスタ(ADTCS)の bit12, bit11(STS1, STS0)との組合せで、A/D 変換の起動要因の選択を行います。詳細は「4.2.4. A/D 起動トリガ制御状態レジスタ : ADTCS0 ～ ADTCS47」を参照してください。

＜注意事項＞

- A/D 起動要因選択ビットは書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY=1)でないときに行なってください。
- A/D 起動要求を行わない場合は、ADTCS.STS1,ADTCS.STS0 を含む本ビットをソフトウェア起動("000_B")と設定し、ADTSE の該当ビット(起動チャネル)をソフトウェア起動禁止(ADT ビット=0)としてください。
- A/D 起動要因選択ビットを設定する場合、必ず 16 ビットフリーランタイマが停止していることを確認してください。

[bit7 ～ bit5] 予約
必ず"0"を書き込んでください。

[bit4 ～ bit0] CHSEL4 ～ CHSEL0 : アナログチャネル選択ビット

CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0	説明
0	0	0	0	0	チャネル 0
0	0	0	0	1	チャネル 1
:					:
0	0	1	1	0	チャネル 6
0	0	1	1	1	チャネル 7
0	1	0	0	0	チャネル 8
:					:
0	1	1	1	0	チャネル 14
0	1	1	1	1	チャネル 15
1	0	0	0	0	チャネル 16
:					:
1	1	1	1	0	チャネル 30
1	1	1	1	1	チャネル 31

指定した値のアナログチャネルを選択します。

A/D 変換供給中に、アナログチャネル選択ビットを変更しないでください

■ ADTECS32 ～ 47: アドレス 1538H~1556H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							STS2
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	予約	CHSEL3	CHSEL2	CHSEL1	CHSEL0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit15 ～ bit9] 予約

必ず"0"を書き込んでください。

[bit8] STS2 : A/D 起動要因選択ビット

A/D 起動トリガ制御状態レジスタ(ADTCS)の bit12, bit11(STS1, STS0)との組合せで、A/D 変換の起動要因の選択を行います。詳細は「4.2.4. A/D 起動トリガ制御状態レジスタ : ADTCS0 ～ ADTCS47」を参照してください。

＜注意事項＞

- A/D 起動要因選択ビットは書換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY=1)でないときに行なってください。
- A/D 起動要求を行わない場合は、ADTCS.STS1,ADTCS.STS0 を含む本ビットをソフトウェア起動("000_B")と設定し、ADTSE の該当ビット(起動チャネル)をソフトウェア起動禁止(ADT ビット=0)としてください。
- A/D 起動要因選択ビットを設定する場合、必ず 16 ビットフリーランタイマが停止していることを確認してください。

[bit7 ～ bit4] 予約

必ず"0"を書き込んでください。

[bit3 ～ bit0] CHSEL3 ～ CHSEL0 : アナログチャネル選択ビット

CHSEL3	CHSEL2	CHSEL1	CHSEL0	説明
0	0	0	0	チャネル 32
0	0	0	1	チャネル 33
0	1	1	0	チャネル 34

CHSEL3	CHSEL2	CHSEL1	CHSEL0	説明
:				:
1	1	1	0	チャネル 46
1	1	1	1	チャネル 47

4.2.7. 上限閾値設定レジスタ : ADRCUT0 ～ 7

上限閾値設定レジスタのビット構成について示します。

上限閾値設定レジスタ(ADRCUT)は、レンジ比較で使用する上限閾値を設定します。また、上限閾値は 4 種類の設定ができます。

- **ADRCUT0: アドレス 140CH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT1: アドレス 1410H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT2: アドレス 1414H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT3: アドレス 1418H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT4: アドレス 1578H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT5: アドレス 157CH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT6: アドレス 1580H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCUT7: アドレス 1584H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				C11	C10	C9	C8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	C7	C6	C5	C4	C3	C2	C1	C0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit12] 予約
必ず"0"を書き込んでください。

[bit11 ～ bit0] C11 ～ C0 : 上限閾値ビット

C11～C0	機能
	上限閾値。

・レンジ比較で使用する上限閾値を設定します。

＜注意事項＞

A/D 変換要求中に上限閾値ビットを変更しないでください。

4.2.8. 下限閾値設定レジスタ ：ADRCLT0 ～ 7

下限閾値設定レジスタのビット構成について示します。

下限閾値設定レジスタ(ADRCLT)は、レンジ比較で使用する下限閾値を設定します。また、下限閾値は 4 種類の設定ができます。

- **ADRCLT0: アドレス 140EH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT1: アドレス 1412H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT2: アドレス 1416H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT3: アドレス 141AH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT4: アドレス 157AH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT5: アドレス 157EH (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT6: アドレス 1582H (アクセス: バイト, ハーフワード, ワード)**
- **ADRCLT7: アドレス 1586H (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約				C11	C10	C9	C8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	C7	C6	C5	C4	C3	C2	C1	C0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit12] 予約

必ず"0"を書き込んでください。

[bit11 ～ bit0] C11 ～ C0 : 上限閾値ビット

C11～C0	機能
	下限閾値

・ レンジ比較で使用する下限閾値を設定します。

＜注意事項＞

A/D 変換要求中に下限閾値ビットを変更しないでください。

4.2.9. レンジ比較制御状態レジスタ ：ADRCCS0 ～ 47

レンジ比較制御状態レジスタのビット構成について示します。

レンジ比較制御状態レジスタ(ADRCCS)は、連続検出回数指示および状態確認，範囲内/ 範囲外確認選択，レンジ比較割込み要求の許可/ 禁止，レンジ比較実行許可/ 禁止および上下限閾値の選択を行います。

■ **ADRCCS0 ～ ADRCCS31: アドレス 141CH~143BH (アクセス: バイト，ハーフワード，ワード)**

■ **ADRCCS32 ～ ADRCCS47: アドレス 1588H~1597H (アクセス: バイト，ハーフワード，ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RCOCD2	RCOCD1	RCOCD0	RCOIRS	RCOIE	RCOE	RCOTS1	RCOTS0
初期値	0	0	0	0	0	0	0	0
属性	R,W	R,W	R,W	R/W	R/W	R/W	R/W	R/W

[bit7 ～ bit5] RCOCD2 ～ RCOCD0 : 連続検出回数指定・状態表示ビット

RCOCD2～RCOCD0	説明	
	RMW 系命令以外の読出し時	RMW 系命令の読出し時または書込み時
"000_B"	連続検出状態: 0 回	設定禁止
"001_B"	連続検出状態: 1 回	連続検出 1 回指定
"010_B"	連続検出状態: 2 回	連続検出 2 回指定
"011_B"	連続検出状態: 3 回	連続検出 3 回指定
"100_B"	連続検出状態: 4 回	連続検出 4 回指定
"101_B"	連続検出状態: 5 回	連続検出 5 回指定

RCOCD2～RCOCD0	説明	
	RMW 系命令以外の読出し時	RMW 系命令の読出し時または書込み時
"110_B"	連続検出状態: 6 回	連続検出 6 回指定
"111_B"	連続検出状態: 7 回	連続検出 7 回指定

・レンジ比較結果の連続検出回数指定および連続検出回数の状態表示をするビットです。
・レンジ比較結果が連続回数指定値に到達すると、対応する起動チャネルのレンジ比較割込み要因フラグビットに"1" を設定します。また、連続検出状態は連続回数指定値で停止します。
・リードモディファイライト(RMW)系命令以外のリード時には、連続検出状態が読み出されます。
・リードモディファイライト(RMW)系命令のリード時には、ライト時の値(連続回数指示値)が読み出されます。

＜注意事項＞

・連続検出回数指定・状態表示ビットに"000_B"を設定しないでください。
・A/D 返還要求中に連続検出指定回数・状態指示ビットを変更しないでください。
・レンジ比較実行許可中(ADRCCS.RCOE="1")に連続検出回数指定・状態表示ビットを変更しないでください。

[bit4] RCOIRS : **範囲内・範囲外確認選択ビット**

RCOIRS	説明
0	範囲外を確認
1	範囲内を確認

・A/D データビットが、上下限閾値選択ビットにより選択した上限閾値ビットと下限閾値ビットに対して、範囲内または範囲外のレンジ比較条件を選択します。
・範囲外確認時(RCOIRS="0") のレンジ比較条件は以下です。
A/D データビット(ADTCD.D11 ～ D0) ＞上限閾値ビット(ADRCUT.C11 ～ C0)
または
A/D データビット(ADTCD.D11 ～ D0) ＜下限閾値ビット(ADRCLT.C11 ～ C0)
・範囲内確認時(RCOIRS="1") のレンジ比較条件は以下です。
A/D データビット(ADTCD.D11 ～ D0) ≦上限閾値ビット(ADRCUT.C11 ～ C0)
または
A/D データビット(ADTCD.D11 ～ D0) ≧下限閾値ビット(ADRCLT.C11 ～ C0)
・範囲外確認のレンジ比較検出時、閾値超過フラグビットにより上限閾値超過もしくは下限閾値未満の確認ができます。

＜注意事項＞

A/D 変換要求中に範囲内・範囲外確認選択ビットを変更しないでください。

[bit3] RCOIE : レンジ比較割込み要求許可ビット

RCOIE	説明
0	レンジ比較割込み禁止
1	レンジ比較割込み許可

対応する起動チャネルのレンジ比較割込み要因フラグビットが"1"にセット状態であり、かつ本ビットがレンジ比較割込み要求許可に設定されている場合、割込み要求が発生します。

[bit2] RCOE : レンジ比較実行許可ビット

RCOE	説明
0	レンジ比較実行禁止
1	レンジ比較実行許可

- レンジ比較実行の許可/ 禁止を選択します。
- レンジ比較実行許可ビットが"0"のとき、レンジ比較実行は禁止されます。また、連続検出回数状態は"000_B"に初期化されます。
- レンジ比較実行許可ビットが"1"のとき、レンジ比較実行は許可されます。

[bit1,bit0] RCOTS1, RCOTS0 : 上下限閾値選択ビット

- ADRCCS0 ～ ADRCCS31(A/D コンバータ Unit 0)

RCOTS1	RCOTS0	説明
0	0	上限閾値設定レジスタ 0/下限閾値設定レジスタ 0 を選択
0	1	上限閾値設定レジスタ 1/下限閾値設定レジスタ 1 を選択
1	0	上限閾値設定レジスタ 2/下限閾値設定レジスタ 2 を選択
1	1	上限閾値設定レジスタ 3/下限閾値設定レジスタ 3 を選択

- ADRCCS32 ～ ADRCCS47(A/D コンバータ Unit 1)

RCOTS1	RCOTS0	説明
0	0	上限閾値設定レジスタ 4/下限閾値設定レジスタ 4 を選択
0	1	上限閾値設定レジスタ 5/下限閾値設定レジスタ 5 を選択
1	0	上限閾値設定レジスタ 6/下限閾値設定レジスタ 6 を選択
1	1	上限閾値設定レジスタ 7/下限閾値設定レジスタ 7 を選択

- 4 種類の上限閾値設定レジスタ 0 ～ 3/4 ～ 7、および下限レジスタ設定 0 ～ 3/4 ～ 7 から 1 つの組合せを選択します。

＜注意事項＞

A/D 変換要求中に上下限閾値選択ビットを変更しないでください。

4.2.10. レンジ比較閾値超過フラグレジスタ ：ADRCOT0, ADRCOT1

レンジ比較閾値超過フラグレジスタのビット構成について示します。

レンジ比較閾値超過フラグレジスタ(ADRCOT)は、範囲外確認設定においてレンジ比較した結果、上限閾値または下限閾値未満を表示します。

■ ADRCOT0: アドレス 143CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	RCOOF31	RCOOF30	RCOOF29	RCOOF28	RCOOF27	RCOOF26	RCOOF25	RCOOF24
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	RCOOF23	RCOOF22	RCOOF21	RCOOF20	RCOOF19	RCOOF18	RCOOF17	RCOOF16
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RCOOF15	RCOOF14	RCOOF13	RCOOF12	RCOOF11	RCOOF10	RCOOF9	RCOOF8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RCOOF7	RCOOF6	RCOOF5	RCOOF4	RCOOF3	RCOOF2	RCOOF1	RCOOF0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit0] RCOOF31 ～ RCOOF0 : 変換データエラーフラグビット

RCOOF[n]	機能
0	下限閾値未満 (A/D データ＜下限閾値ビット)
1	上限閾値超過 (A/D データ＞上限閾値ビット)

(n=0 ～ 31)

・範囲外確認時、レンジ比較結果が上限閾値設定レジスタより大きい、もしくは下限閾値設定レジスタより小さい状態を表示します。
・範囲外確認時、レンジ比較結果が範囲内の場合、閾値超過フラグビットは前値保持となります。
・対応する起動チャネルのレンジ比較割込み要因フラグビットが"1"にセットされている場合、範囲外確認でレンジ比較結果が範囲外であることを検出しても、閾値超過フラグビットは更新されず、前値保持となります。
・範囲内確認時、閾値超過フラグビットは意味を持ちません。前値保持となります。

■ ADRCOT1: アドレス 15A8H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RCOOF47	RCOOF46	RCOOF45	RCOOF44	RCOOF43	RCOOF42	RCOOF41	RCOOF40
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RCOOF39	RCOOF38	RCOOF37	RCOOF36	RCOOF35	RCOOF34	RCOOF33	RCOOF32
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit16] 予約
必ず"0"を書き込んでください。

[bit15 ～ bit0] RCOOF47 ～ RCOOF32 : 変換データエラーフラグビット

RCOOF[n]	機能
0	下限閾値未満 (A/D データ＜下限閾値ビット)
1	上限閾値超過 (A/D データ＞上限閾値ビット)

(n=32 ～ 47)

・範囲外確認時、レンジ比較結果が上限閾値設定レジスタより大きい、もしくは下限閾値設定レジスタより小さい状態を表示します。
・範囲外確認時、レンジ比較結果が範囲内の場合、閾値超過フラグビットは前値保持となります。
・対応する起動チャネルのレンジ比較割込み要因フラグビットが"1"にセットされている場合、範囲外確認

でレンジ比較結果が範囲外であることを検出しても、閾値超過フラグビットは更新されず、前値保持となります。
・範囲内確認時、閾値超過フラグビットは意味を持ちません。前値保持となります。

4.2.11. レンジ比較フラグレジスタ ：ADRCIF0, ADRCIF1

レンジ比較フラグレジスタのビット構成について示します。

レンジ比較フラグレジスタ(ADRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。

■ ADRCIF0: アドレス 1440H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	RCINT31	RCINT30	RCINT29	RCINT28	RCINT27	RCINT26	RCINT25	RCINT24
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	RCINT23	RCINT22	RCINT21	RCINT20	RCINT19	RCINT18	RCINT17	RCINT16
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RCINT15	RCINT14	RCINT13	RCINT12	RCINT11	RCINT10	RCINT9	RCINT8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RCINT7	RCINT6	RCINT5	RCINT4	RCINT3	RCINT2	RCINT1	RCINT0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit0] RCINT31 ～ RCINT0 : 変換データエラーフラグビット

RCINT[n]	説明	
	読出し時	書込み時
0	レンジ比較割込み要因クリア状態	ビットクリア
1	レンジ比較結果の連続検出による割込み要因発生状態	変化なし、ほかへの影響なし

(n=0 ～ 31)

・対応する起動チャネルのレンジ比較結果の連続検出で、RCINT ビットは"1"にセットされます。
・対応する起動チャネルの RCINT ビットとレンジ比較割込み要求許可が"1"のとき、レンジ比較割込み要求が発生します。

＜注意事項＞

・リードモディファイライト(RMW)系命令のリード時には"1"が読み出されます。
・ソフトウェアクリア(RCINT="0"書込み)とハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

■ ADRCIF1: アドレス 15ACH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	RCINT47	RCINT46	RCINT45	RCINT44	RCINT43	RCINT42	RCINT41	RCINT40
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	RCINT39	RCINT38	RCINT37	RCINT36	RCINT35	RCINT34	RCINT33	RCINT32
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit16] 予約
必ず"0"を書き込んでください。

[bit15 ～ bit0] RCINT47 ～ RCINT32 : 変換データエラーフラグビット

RCINT[n]	説明	
	読出し時	書込み時
0	レンジ比較割込み要因クリア状態	ビットクリア
1	レンジ比較結果の連続検出による	変化なし、ほかへの影響なし

	割込み要因発生状態	

(n=32 ～ 47)

・対応する起動チャネルのレンジ比較結果の連続検出で、RCINT ビットは"1"にセットされます。
・対応する起動チャネルの RCINT ビットとレンジ比較割込み要求許可が"1"のとき、レンジ比較割込み要求が発生します。

＜注意事項＞

・リードモディファイライト(RMW)系命令のリード時には"1"が読み出されます。
・ソフトウェアクリア(RCINT="0"書込み)とハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

4.2.12. スキャン変換制御状態レジスタ ：ADSCANS0, ADSCANS1

スキャン変換制御状態レジスタのビット構成について示します。

スキャン変換制御状態レジスタ(ADSCANS)は、変換回数指定時の連続・休止スキャンモード選択，スキャン変換完了割込み要求の許可/ 禁止，スキャン変換完了割込み要求状態表示を行います。

■ ADSCANS0: アドレス 1444H (アクセス: バイト，ハーフワード，ワード)

■ ADSCANS1: アドレス 15B0H (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SCINT	SCIE	SCMD	予約				
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R/W	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit7] SCINT : スキャン変換完了割込み要因フラグビット

SCINT	説明	
	読出し時	書込み時
0	チャネルごとの変換回数指定時のスキャン変換完了割込み要因クリア状態	ビットクリア
1	チャネルごとの変換回数指定時のスキャン変換完了による割込み要因発生状態	変化なし、ほかへの影響なし

・チャネルごとの変換回数指定時のスキャン変換完了により、SCINT ビットは"1"がセットされます。
・SCINT ビットとスキャン変換完了割込み要求許可が"1"のとき、変換回数指定時のスキャン変換完了割込

み要求が発生します。

＜注意事項＞

- リードモディファイライト(RMW)系命令のリード時には"1"が読み出されます。
- ソフトウェアクリア(SCINT="0"書込み)とハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit6] SCIE : **スキャン変換完了割込み要求許可ビット**

SCIE	説明
0	スキャン変換完了割込み禁止
1	スキャン変換完了割込み許可

スキャン変換完了割込み要因フラグビットが"1"にセット状態、かつスキャン変換完了割込み要求許可ビットが"1"にセット状態の場合、割込み要求が発生します。

[bit5] SCMD : **連続・休止スキャン変換モード選択ビット**

SCMD	説明
0	連続スキャン変換モード
1	休止スキャン変換モード

チャネルごとの変換回数指定時のスキャン変換モードを選択します。

[bit4 ～ bit0] **予約**

必ず"0"を書き込んでください。

4.2.13. 起動チャネル変換回数設定レジスタ ：ADNCS0 ～ 23

起動チャネル変換回数設定レジスタのビット構成について示します。

起動チャネル変換回数設定レジスタ(ADNCS)は、起動チャネルごとに変換回数指定スキャン変換実行許可/禁止選択，変換回数の指定を行います。

■ **ADNCSm(m=0 ～ 15): アドレス 1448H~1457H (アクセス: バイト，ハーフワード，ワード)**

■ **ADNCSm(m=16 ～ 23): アドレス 15B4H~15BBH (アクセス: バイト，ハーフワード，ワード)**

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CNTEN (m*2+1)	予約	CCNT (m*2+1)1	CCNT (m*2+1)0	CNTEN (m*2)	予約	CCNT (m*2)1	CCNT (m*2)0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W

[bit7, bit3] CNTEN : 変換回数指定スキャン変換実行許可ビット

CNTEN[n]	説明
0	変換回数指定スキャン変換実行禁止
1	変換回数指定スキャン変換実行許可

(n=0 ～ 47)

・起動チャネルごとに変換回数指定スキャン変換実行の許可/ 禁止を設定できます。
・チャネルごとの変換回数指定によるスキャン変換は、12 ビット A/D コンバータのユニット単位で 1 つのスキャン変換グループのみ制御できます。

[bit6, bit2] 予約

必ず"0"を書き込んでください。

[bit5, bit4, bit1, bit0] CCNT : 変換回数指定ビット

CCNT[n]1	CCNT[n]0	説明
0	0	変換回数 1 回指示
0	1	変換回数 2 回指示
1	0	変換回数 3 回指示
1	1	変換回数 4 回指示

(n=0 ～ 47)

・起動チャネルの変換回数指定スキャン変換実行許可時、スキャン変換回数を制御します。

＜注意事項＞

対応する起動チャネルが A/D 変換要求中に、変換回数指定ビットを変更しないでください。

4.2.14. データ保護状態フラグレジスタ ：ADPRTF0, ADPRTF1

データ保護状態フラグレジスタのビット構成について示します。

データ保護状態フラグレジスタ(ADPRTF)は、起動チャネルごとの A/D データレジスタの保護状態を表示します。

■ ADPRTF0: アドレス 1458H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	PRTF31	PRTF30	PRTF29	PRTF28	PRTF27	PRTF26	PRTF25	PRTF24
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	PRTF23	PRTF22	PRTF21	PRTF20	PRTF19	PRTF18	PRTF17	PRTF16
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PRTF15	PRTF14	PRTF13	PRTF12	PRTF11	PRTF10	PRTF9	PRTF8
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PRTF7	PRTF6	PRTF5	PRTF4	PRTF3	PRTF2	PRTF1	PRTF0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit0] PRTF31 ～ PRTF0 : データ保護状態フラグビット

PRTF	説明
0	データ保護状態ではありません
1	データ保護状態です

・起動チャネルごとの A/D データレジスタに対するデータ保護状態を表示します。
・書込み動作は、データ保護状態に対し影響しません。

■ ADPRTF1: アドレス 15C4H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	PRTF47	PRTF46	PRTF45	PRTF44	PRTF43	PRTF42	PRTF41	PRTF40
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PRTF39	PRTF38	PRTF37	PRTF36	PRTF35	PRTF34	PRTF33	PRTF32
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit16] 予約

必ず"0"を書き込んでください。

[bit15 ～ bit0] PRTF47 ～ PRTF32 : データ保護状態フラグビット

PRTF	説明
0	データ保護状態ではありません
1	データ保護状態です

・起動チャネルごとの A/D データレジスタに対するデータ保護状態を表示します。
・書込み動作は、データ保護状態に対し影響しません。

4.2.15. 起動チャネル変換完了フラグレジスタ ：ADEOCF0, ADEOCF1

起動チャネル変換完了フラグレジスタのビット構成について示します。

起動チャネル変換完了フラグレジスタ(ADEOCF)は、変換回数指定スキャン変換時の起動チャネルごとの変換回数完了状態を表示します。

■ ADEOCF0: アドレス 145CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	EOCF31	EOCF30	EOCF29	EOCF28	EOCF27	EOCF26	EOCF25	EOCF24
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	EOCF23	EOCF22	EOCF21	EOCF20	EOCF19	EOCF18	EOCF17	EOCF16
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EOCF15	EOCF14	EOCF13	EOCF12	EOCF11	EOCF10	EOCF9	EOCF8
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EOCF7	EOCF6	EOCF5	EOCF4	EOCF3	EOCF2	EOCF1	EOCF0
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit0] EOCF31 ～ EOCF0 : 変換回数完了フラグビット

EOCF	説明
0	変換回数指定の回数分未完了
1	変換回数指定の回数分完了

- 対応する起動チャネルの変換回数指定スキャン変換実行許可(ADNCS.CNTEN[n]="1")時、変換回数完了フラグビット(EOCF)の表示は有効です。
- 指定した回数(ADNCS.CCNT1,CCNT0)のスキャン変換の実行完了の状態を表示します。
- EOCF="0"時は、指定回数のスキャン変換をまだ完了していません。
- EOCF="1"時は、指定回数のスキャン変換を完了しました。
- A/D 起動未要求(ADTCS.BUSY="0")時、もしくはスキャン変換が最初から再開されたときに、変換回数完

了フラグビット(EOCF)は"0"にクリアされます。
・書込み動作は、データ保護状態に対し影響しません。

＜注意事項＞

・対応する起動チャネルの変換回数指定スキャン変換実行禁止(ADNCS.CNTEN[n]="0")時、変換回数完了フラグビット(EOCF[n])の読出しデータは意味を持ちません。
・連続スキャン変換モード(ADSCANS.SCMD="0")時、スキャン変換の最終チャネルに設定された変換回数完了フラグビット(EOCF)は、スキャン変換終了後すぐに最初から再開されるため、"1"にセットされてもすぐに"0"にクリアされます。

■ ADEOCF1: アドレス 15C8H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	EOCF47	EOCF46	EOCF45	EOCF44	EOCF43	EOCF42	EOCF41	EOCF40
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	EOCF39	EOCF38	EOCF37	EOCF36	EOCF35	EOCF34	EOCF33	EOCF32
初期値	1	1	1	1	1	1	1	1
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit16] 予約
必ず"0"を書き込んでください。

[bit15 ～ bit0] EOCF47 ～ EOCF32 : 変換回数完了フラグビット

EOCF	説明
0	変換回数指定の回数分未完了
1	変換回数指定の回数分完了

- 対応する起動チャネルの変換回数指定スキャン変換実行許可(ADNCS.CNTEN[n]="1")時、変換回数完了フラグビット(EOCF)の表示は有効です。
- 指定した回数(ADNCS.CCNT1,CCNT0)のスキャン変換の実行完了の状態を表示します。
- EOCF="0"時は、指定回数のスキャン変換をまだ完了していません。
- EOCF="1"時は、指定回数のスキャン変換を完了しました。
- A/D 起動未要求(ADTCS.BUSY="0")時、もしくはスキャン変換が最初から再開されたときに、変換回数完了フラグビット(EOCF)は"0"にクリアされます。
- 書込み動作は、データ保護状態に対し影響しません。

＜注意事項＞

- 対応する起動チャネルの変換回数指定スキャン変換実行禁止(ADNCS.CNTEN[n]="0")時、変換回数完了フラグビット(EOCF[n])の読出しデータは意味を持ちません。
- 連続スキャン変換モード(ADSCANS.SCMD="0")時、スキャン変換の最終チャネルに設定された変換回数完了フラグビット(EOCF)は、スキャン変換終了後すぐに最初から再開されるため、"1"にセットされてもすぐに"0"にクリアされます。

4.3. 12 ビット A/D コンバータ制御のレジスタ

12 ビット A/D コンバータ制御のレジスタについて説明します。

12 ビット A/D コンバータ制御には、A/D 制御状態レジスタ, A/D チャネル状態レジスタ, A/D モード設定レジスタおよび A/D チャネルごとのサンプリングレジスタがあります。

4.3.1. A/D 制御状態レジスタ ：ADCS0, ADCS1

A/D 制御状態レジスタのビット構成について示します。

A/D 制御状態レジスタ(ADCS)は、変換確認をする機能があります。

■ **ADCS0: アドレス 1460H (アクセス: バイト, ハーフワード, ワード)**

■ **ADCS1: アドレス 15CCH (アクセス: バイト, ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	予約						
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit15] BUSY : A/D 変換中ビット

BUSY	機能
0	A/D 変換停止中
1	A/D 変換動作中

・A/D コンバータの動作表示ビットです。
・読出し時、このビットが"0"であれば A/D 変換停止中であることを示し、"1"あれば A/D 変換動作中であることを示します。
・書込みは、変化せずほかへの影響はありません。

[bit14 ～ bit0] 予約

必ず"0"を書き込んでください。

4.3.2. A/D チャネル状態レジスタ ：ADCH

A/D チャネル状態レジスタのビット構成について示します。

A/D チャネル状態レジスタ(ADCH)は、A/D 変換中に、変換中のアナログチャネル番号が読めます。

■ ADCH0: アドレス 1462H (アクセス: バイト, ハーフワード, ワード)

■ ADCH1: アドレス 15CEH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			CH4	CH3	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX

[bit7 ～ bit5] 予約

必ず"0"を書き込んでください。

[bit4 ～ bit0] CH4 ～ CH0 : アナログチャネルビット

CH4	CH3	CH2	CH1	CH0	機能	
					ADCH0	ADCH1
0	0	0	0	0	ch.0	ch.32
0	0	0	0	1	ch.1	ch.33
:					:	:
0	0	1	1	0	ch.6	ch.38
0	0	1	1	1	ch.7	ch.39
0	1	0	0	0	ch.8	ch.40
:					:	:
0	1	1	1	0	ch.14	ch.46
0	1	1	1	1	ch.15	ch.47
1	0	0	0	0	ch.16	設定禁止
1	0	0	0	1	ch.17	
:					:	
1	1	1	1	0	ch.30	
1	1	1	1	1	ch.31	

・A/D 変換中に、変換中のアナログチャネル番号の確認を行うことができるビットです。

4.3.3. A/D モード設定レジスタ ：ADMD

A/D モード設定レジスタのビット構成について示します。

A/D モード設定レジスタ(ADMD)は、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

■ ADMD0: アドレス 1463H (アクセス: バイト, ハーフワード, ワード)

■ ADMD1: アドレス 15CFH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STPCEN	予約			CT1	CT0	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7] STPCEN : チャネルごとのサンプリング時間設定許可ビット

STPCEN	説明
0	全チャネル共通のサンプリング時間設定
1	チャネルごとのサンプリング時間設定

- A/D 変換時のサンプリング時間設定を、チャネルごとの設定を行うか、もしくは共通の設定で行うか選択するビットです。
- STPCEN="0"の場合、全チャネル共通のサンプリング時間になります。サンプリング時間の設定は、サンプリング時間設定ビットで行います。
- STPCEN="1"の場合、チャネルごとにサンプリング時間を設定できます。チャネルごとのサンプリング時間の設定は、A/D チャネルごとのサンプリング時間設定ビットで行います。

[bit6 ～ bit4] 予約

必ず"0"を書き込んでください。

[bit3, bit2] CT1, CT0 : コンペア時間設定ビット

CT1	CT0	機能
0	0	28 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	42 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	56 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	112 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

・A/D 変換時のコンペア時間を選択するビットです。
・アナログ入力が取り込まれた(サンプリング時間経過)後、このビットに設定された時間後に変換結果のデータが確定します。

設定例

周辺クロック(MHz)	CT1	CT0	コンペア期間(ns)
40	0	0	700
32	0	0	875
24	0	0	1166.7
16	0	0	1750

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

[bit1, bit0] ST1, ST0 : **サンプリング時間設定ビット**

ST1	ST0	機能
0	0	12 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	18 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	24 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	48 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

・A/D 変換時のサンプリング時間を選択するビットです。
・A/D が起動されると、このビットに設定された時間、アナログ入力が取り込まれます。

設定例(使用条件: AVcc=2.7V~5.5V)

周辺クロック(MHz)	ST1	ST0	サンプリング期間(ns)
40	1	1	1200
32	1	1	1500
24	1	0	1000
16	0	1	1125

設定例(使用条件: AVcc=4.5V~5.5V)

周辺クロック(MHz)	ST1	ST0	サンプリング期間(ns)
40	1	1	1200
32	1	0	750
24	0	1	750
16	0	0	750

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

4.3.4. A/D チャネルごとのサンプリング時間設定レジスタ : ADSTPCS

A/D チャネルごとのサンプリング時間設定レジスタのビット構成について示します。

A/D チャネルごとのサンプリング時間設定レジスタ(ADSTPCS)は、A/D 変換のサンプリング時間をチャネルごとに設定します。

■ ADSTPCSm(m=0 ～ 7): アドレス 1464H ~ 146BH (アクセス: バイト, ハーフワード, ワード)

■ ADSTPCSm(m=8 ～ 11): アドレス 15D0H ~ 15D3H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	STCH (m*4+3)1	STCH (m*4+3)0	STCH (m*4+2)1	STCH (m*4+2)0	STCH (m*4+1)1	STCH (m*4+1)0	STCH (m*4)1	STCH (m*4)0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7 ～ 0] STCHn1, STCHn0(n=0 ～ 47) : サンプリング時間設定ビット

STCHn1	STCHn0	説明
0	0	12 周辺クロックサイクル (A/D クロック出力: 周辺クロック/2)
0	1	18 周辺クロックサイクル (A/D クロック出力: 周辺クロック/3)
1	0	24 周辺クロックサイクル (A/D クロック出力: 周辺クロック/4)
1	1	48 周辺クロックサイクル (A/D クロック出力: 周辺クロック/8)

・A/D 変換時のサンプリング時間をチャネルごとに選択するビットです。
・チャネルごとのサンプリング時間設定許可ビット(ADMD.STPCEN)が"1"の場合に、チャネルごとのサンプリング時間設定(STCHn1,STCHn0)が有効になります。
・設定チャネルとアナログチャネルの対応は以下になります。

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

表 4-4 チャネルごとのサンプリング時間設定とアナログチャネル対応(A/D コンバータユニット 0)

チャネルごとのサンプリング時間設定ビット	アナログチャネル番号
	ADSTPCS0～31
STCH001, STCH000	チャネル 0
STCH011, STCH010	チャネル 1
:	:
STCH061, STCH060	チャネル 6
STCH071, STCH070	チャネル 7
STCH081, STCH080	チャネル 8
:	:
STCH141, STCH140	チャネル 14
STCH151, STCH150	チャネル 15
:	:

チャネルごとの サンプリング時間設定ビット	アナログチャネル番号
	ADSTPCS0～31
STCH300, STCH300	チャネル 30
STCH311, STCH310	チャネル 31

表 4-5 チャネルごとのサンプリング時間設定とアナログチャネル対応(A/D コンバータユニット 1)

チャネルごとの サンプリング時間設定ビット	アナログチャネル番号
	ADSTPCS32～47
STCH321, STCH320	チャネル 32
STCH331, STCH330	チャネル 33
:	:
STCH461, STCH460	チャネル 46
STCH471, STCH470	チャネル 47

5. 動作説明

動作について説明します。

5.1. A/D 起動コンペアの割込み

5.2. A/D 起動コンペアの動作

5.3. A/D 起動調停の動作

5.4. 12 ビット A/D コンバータの動作

5.1. A/D 起動コンペアの割込み

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

5.1.1. A/D 変換終了割込み

A/D 変換終了割込みについて説明します。

表 5-1 A/D 変換終了割込みによる割込み制御ビットと割込み要因

	A/D 変換終了割込み
割込み要求フラグビット	A/D 起動トリガ制御状態レジスタ(ADTCS)の INT:bit14
割込み要求許可ビット	A/D 起動トリガ制御状態レジスタ(ADTCS)の INTE:bit13
割込み要因	A/D 変換結果の A/D データレジスタへの書込み

A/D コンバータを起動したコンペアチャネルの A/D 変換終了時に A/D 変換終了割込み要求を発生できます。また、A/D 変換終了割込みは、起動チャネル単位で制御できます。
A/D 変換結果が A/D データレジスタ(ADTCD)にセットされると、A/D 起動トリガ制御状態レジスタ(ADTCS)の INT ビットが"1"にセットされます。このとき、割込み要求が許可(ADTCS の INTE=1)されていると割込みコントローラに割込み要求を出力します。

5.1.2. 変換回数指定によるスキャン変換完了割込み

変換回数指定によるスキャン変換完了割込みについて説明します。

表 5-2 変換回数指定によるスキャン変換完了による割込み制御ビットと割込み要因

	変換回数指定によるスキャン変換完了割込み
割込み要求フラグビット	スキャン変換制御状態レジスタ(ADSCANS)の SCINT:bit7
割込み要求許可ビット	スキャン変換制御状態レジスタ(ADSCANS)の SCIE:bit6
割込み要因	変換回数指定のスキャン変換における 最終起動チャネルの指定回数の A/D 変換完了後

A/D 起動コンペアは、変換回数指定によるスキャン変換を実行した際に、最終起動チャネルの指定回数の A/D 変換完了時に割込み要求を発生できます。また、変換回数指定によるスキャン変換完了割込みは、12 ビット A/D コンバータのユニット単位で制御されます。
変換回数指定によるスキャン変換の最終起動チャネルの指定回数の A/D 変換が完了すると、スキャン変換完了割込み要因フラグビット(ADSCANS.SCINT)が"1"にセットされます。このとき、スキャン変換完了割込

み要求許可ビットが許可(ADSCANS.SCIE="1")されていると割込みコントローラに割込み要求を出力します。また、変換回数指定によるスキャン変換の制御は、変換回数指定スキャン変換実行許可ビット(ADNCS.CNTEN)と変換回数指定ビット(ADNCS.CCNT1,CCNT0)により行います。

5.1.3. レンジ比較割込み

レンジ比較割込みについて説明します。

表 5-3 レンジ比較割込みによる割込み制御ビットと割込み要因

	レンジ比較割込み
割込み要求フラグビット	レンジ比較フラグレジスタ(ADRCIF)の RCINT[n]:bit[n]
割込み要求許可ビット	レンジ比較制御状態レジスタ(ADRCCS[n])の RCOIE:bit3
割込み要因	レンジ比較実行による連続検出機能判定後

(n= 該当する起動チャネル)

A/D 起動コンペアは、レンジ比較実行許可されている時、A/D データレジスタ(ADTCD)に格納された変換結果をレンジ比較の上限閾値設定レジスタ 0 ～ 7(ADRCUT0 ～ 7)/ 下限閾値設定レジスタ 0～7(ADRCLT0 ～ 7)の内 1 つの組合せとレンジ比較します。レンジ比較した結果の連続性を確認できた場合、レンジ比較割込み要求を発生できます。また、レンジ比較割込みは、起動チャネル単位で制御できます。レンジ比較実行許可(ADRCCS.RCOE="1")時、A/D 変換結果が A/D データレジスタ(ADTCD)にセットされると、レンジ比較が実行されます。レンジ比較実行は、範囲内・範囲外確認選択ビット(ADRCCS.RCOIRS)によりレンジ比較条件を選択できます。

・範囲外確認(ADRCCS.RCOIRS="0")を選択した場合のレンジ比較条件
　下限閾値設定レジスタ＞ A/D 変換結果
　　または
　上限閾値設定レジスタ＜ A/D 変換結果
・範囲内確認(ADRCCS.RCOIRS="1")を選択した場合のレンジ比較条件
　下限閾値設定レジスタ≦ A/D 変換結果
　　かつ
　上限閾値設定レジスタ≧ A/D 変換結果

レンジ比較条件を連続検出すると、レンジ比較割込み要因フラグビット(ADRCIF.RCINT)が"1"にセットされます。このとき、レンジ比較割込み要求許可ビットが許可(ADRCCS.RCOIE="1")されていると割込みコントローラに割込み要求を出力します。レンジ比較割込み要求が出力するタイミングは、A/D 変換終了割込みより周辺クロックで 2 サイクル遅れます。また、連続検出回数は、連続検出回数指定ビット(ADRCCS.RCOCD2 ～ RCOCD0)で 1 回～ 7 回を選択できます。

5.2. A/D 起動コンペアの動作

A/D 起動コンペアの動作について説明します。

ソフトウェア, 外部トリガ, リロードタイマ, コンペア一致(16 ビットフリーランタイマの値が指示値となったとき), PPG のいずれかで、A/D 起動要求を行うことができます。

5.2.1. A/D 起動

A/D 起動について説明します。

2 ユニットある A/D コンバータのいずれかに起動要求を行います。起動要求は最大 48 チャネルあるアナログチャネルごとに生成可能です。
ソフトウェア、外部トリガ(立下り)、リロードタイマ(立上り)、コンペア一致(フリーランタイマとコンペアレジスタ値が一致したとき)、PPG のいずれかで、A/D 起動調停に対して起動要求信号を生成します。A/D 起動要求信号は、起動チャネルごとに「ソフトウェア起動要求」、「外部トリガ/ リロードタイマ/PPG 起動要求」、「コンペア一致起動要求」の 3 つがあり、いずれかがアクティブとなります。
該当チャネルの A/D 変換終了で起動要求がクリアされ、A/D データレジスタに変換データが格納されます。その際、割込みを発生可能です。
なお、起動チャネル内では、起動要求中に起動要因を受信しても起動要求の再起動は行いません。

- 起動チャネルは、2 ユニットある A/D コンバータに割り振られています。ユニットごとの割振りについては下表のとおりになります。

表 5-4 ユニットごとの起動チャネル対応

	ユニット 0	ユニット 1
MB91F52xB	ch.0,ch.1,ch.7,ch.10,ch.11,ch.14～ch.17, ch.22,ch.27,ch.28,ch.31	ch.32,ch.34,ch.35,ch.37,ch.38, ch.40～ch.47
MB91F52xD	ch.0,ch.1,ch.7,ch.10～ch.12,c ch.14～ch.17, ch.22,ch.26,ch.27,ch.28,ch.31	ch.32～ch.47
MB91F52xF	ch.0,ch.1,ch.7,ch.9～ch.19,ch.22, ch.23,ch.26～ch.29,ch.31	ch.32～ch.47
MB91F52xJ	ch.0,ch.1,ch.7,ch.9,ch.10～ch.31	ch.32～ch.47
MB91F52xK	ch.0～ch.31	ch.32～ch.47
MB91F52xL	ch.0～ch.31	ch.32～ch.47

5.2.2. A/D 起動許可

A/D 起動許可について説明します。

A/D 起動要因は、A/D 起動トリガ制御要因選択ビット(ADTECS.STS2, ADTCS.STS1, STS0)で選択します。ソフトウェア、外部トリガ、リロードタイマ、コンペア一致、PPG のいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して起動要求信号を発生します。
A/D 起動を行わない起動チャネルに対しては、ソフトウェア起動を選択(ADTECS.STS2="0", ADTCS.STS1, STS0="00_B")し、さらに A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当チャネルをソフトウェア起動禁止にすることにより、A/D 起動要求を禁止することができます。

5.2.3. フリーランタイマ入力

フリーランタイマ入力について説明します。

コンペア一致に使用するフリーランタイマ入力は、起動チャネルごとに独立して入力されます。
複数の起動チャネルで同じフリーランタイマを使用したい場合は、フリーランタイマセレクタで設定します。

5.2.4. アナログチャネル選択

アナログチャネル選択について説明します。

A/D 起動トリガ拡張制御レジスタ(ADTECS)の CHSEL ビットにより、A/D 変換するアナログチャネルを選択可能です。

5.2.5. ソフトウェア起動

ソフトウェア起動について説明します。

A/D 起動トリガ制御要因選択ビットをソフトウェア起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="00_B")
A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)にて、ソフト起動したいチャネルを起動許可設定します。ここで設定した複数のチャネルに対して、同時に起動要求が発生可能です。
そして、A/D ソフトウェア起動レジスタ(ADTSS)の START ビットに"1"を書き込むことにより、ソフトウェア起動要求信号がセットされます。

5.2.6. 外部トリガ起動

外部トリガ起動について説明します。

A/D 起動トリガ制御要因選択ビットを外部トリガ起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="01_B")
外部トリガは、12 ビット A/D コンバータユニットごとに 1 つずつ入力され、外部トリガ 0 は起動チャネル 0 ～ 31 に、外部トリガ 1 は起動チャネル 32 ～ 47 に対応しています。本シリーズの A/D コンバータユニットごとの起動チャネルの対応については、「表 5-4 ユニットごとの起動チャネル対応」を参照してください。
外部トリガの立下りを検出すると、外部トリガ/ リロードタイマ/PPG の起動要求信号がセットされます。

5.2.7. リロードタイマ起動

リロードタイマ起動について説明します。

A/D 起動トリガ制御要因選択ビットをリロードタイマ起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="10_B")
リロードタイマは、12 ビット A/D コンバータユニットごとに 1 つずつ入力され、リロードタイマ 0 は起動チャネル 0 ～ 31 に、リロードタイマ 1 は起動チャネル 32 ～ 47 に対応しています。本シリーズの A/D コンバータユニットごとの起動チャネルの対応については、「表 5-4 ユニットごとの起動チャネル対応」を参照してください。
リロードタイマの立上りを検出すると、外部トリガ/リロードタイマ/PPG の起動要求信号がセットされます。

5.2.8. コンペア一致起動

コンペア一致起動について説明します。

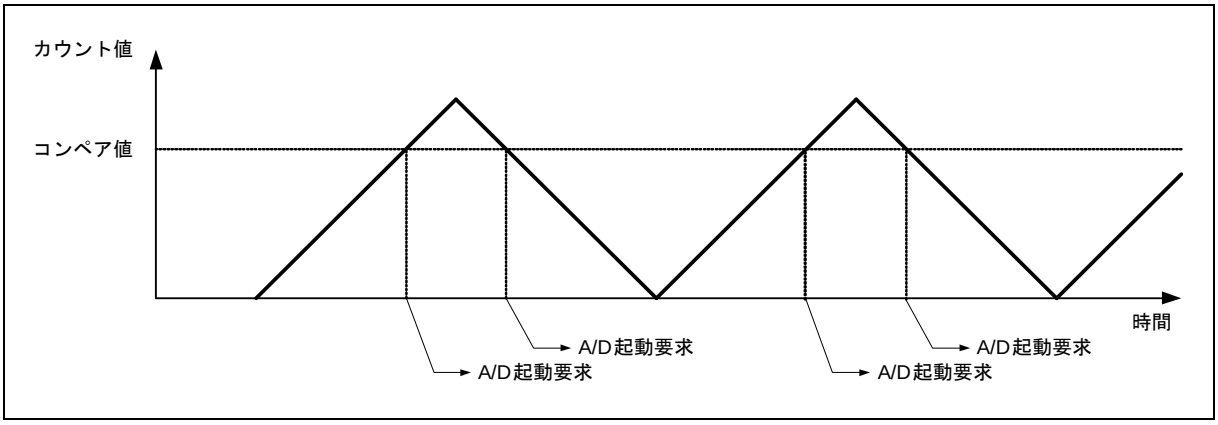
A/D 起動トリガ制御要因選択ビットをコンペア一致起動に設定します。(ADTECS.STS2="0", ADTCS.STS1, STS0="11_B")
起動チャネルごとにコンペアレジスタを持ち、16 ビットフリーランタイマとコンペアレジスタ値が一致したときに、コンペア一致起動要求をセットします。
コンペアレジスタには、起動したいタイマ値を設定します。フリーランタイマの"0"検出時と同タイミングで A/D 起動要求を行いたい場合は"0000_H"を設定してください。また、フリーランタイマのコンペアクリア一致時と同タイミングで A/D 起動を行いたい場合は、フリーランタイマのコンペアクリア値と同値を設定してください。

■ コンペア一致起動モード時の動作モード

A/D コンペア起動モード時の動作モードは、A/D 起動トリガ制御状態レジスタ(ADTCS)の SEL1, SEL0 ビットにより設定できます。
SEL1, SEL0 は、コンペアレジスタ値と 16 ビットフリーランタイマとの比較を、アップ/ダウンカウント双方時、アップカウント時のみ、ダウンカウント時のみのいずれかに行うかを設定可能です。
また、SEL1, SEL0 を"11_B"にセットすると、フリーランタイマとコンペアレジスタ値が一致しても、A/D 起動調停に対して起動要求信号を発生しません。

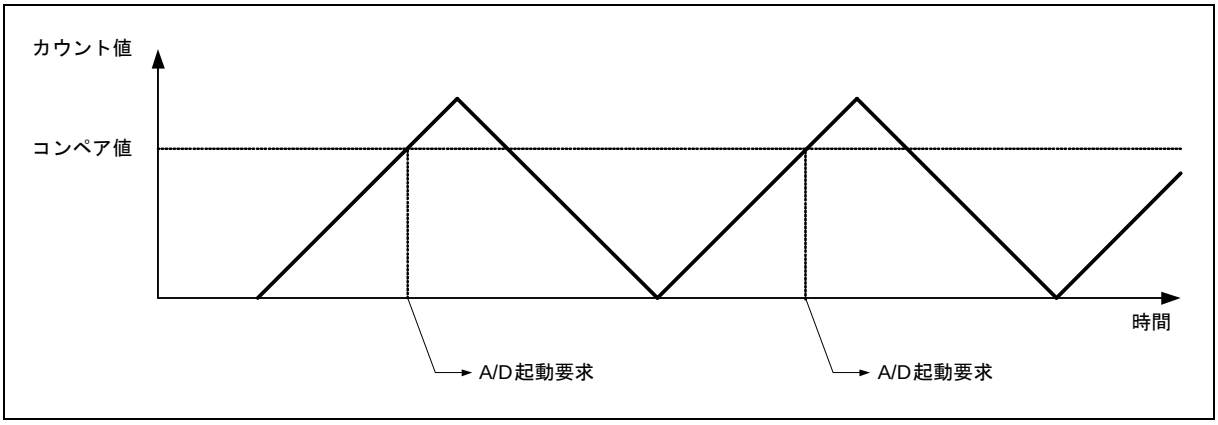
● SEL1, SEL0=00B:コンペアー致時起動

図 5-1 SEL1, SEL0=00_B: アップ/ダウンカウント双方時コンペアー致時起動



● SEL1, SEL0=01B: アップカウント時のみコンペアー致時起動

図 5-2 SEL1, SEL0=01_B: アップカウント時のみコンペアー致時起動



● SEL1, SEL0=10B: ダウンカウント時のみコンペアー致時起動

図 5-3 SEL1, SEL0=10_B: ダウンカウント時のみコンペアー致時起動

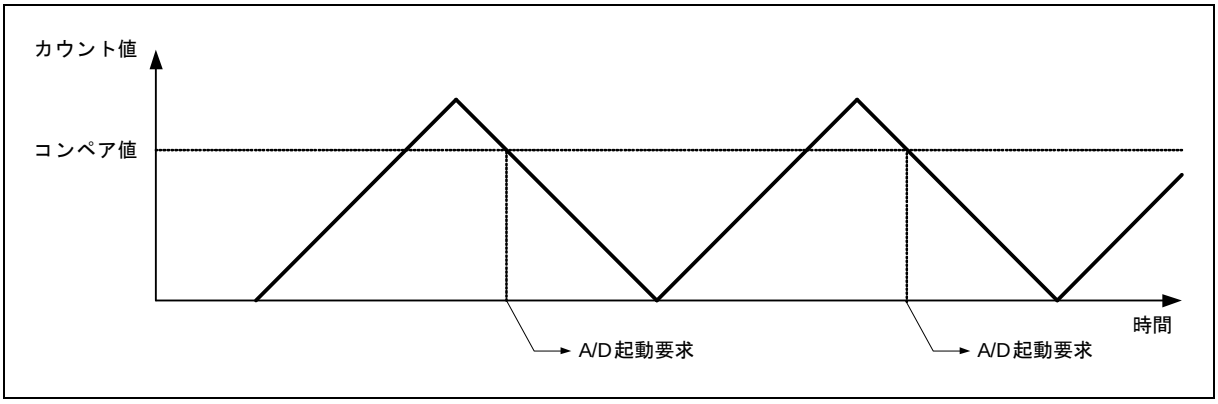
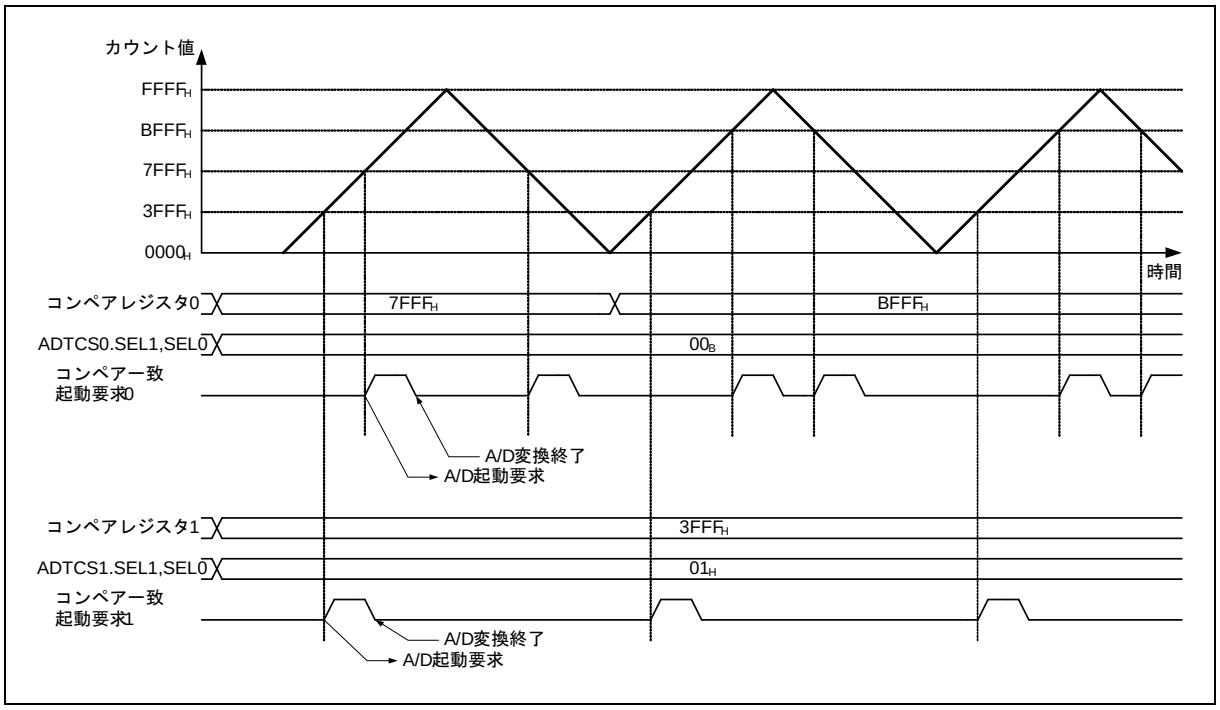


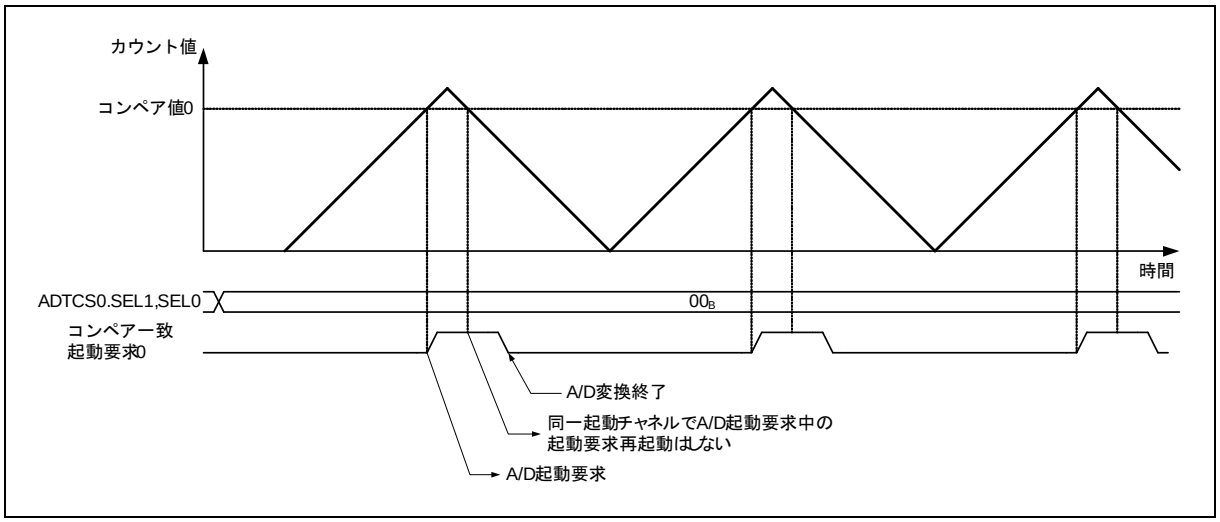
図 5-4 起動チャネル 0: アップ/ダウンカウント時、起動チャネル 1: アップカウント時に A/D 起動



■ コンペアー致起動のコンペア値の設定について

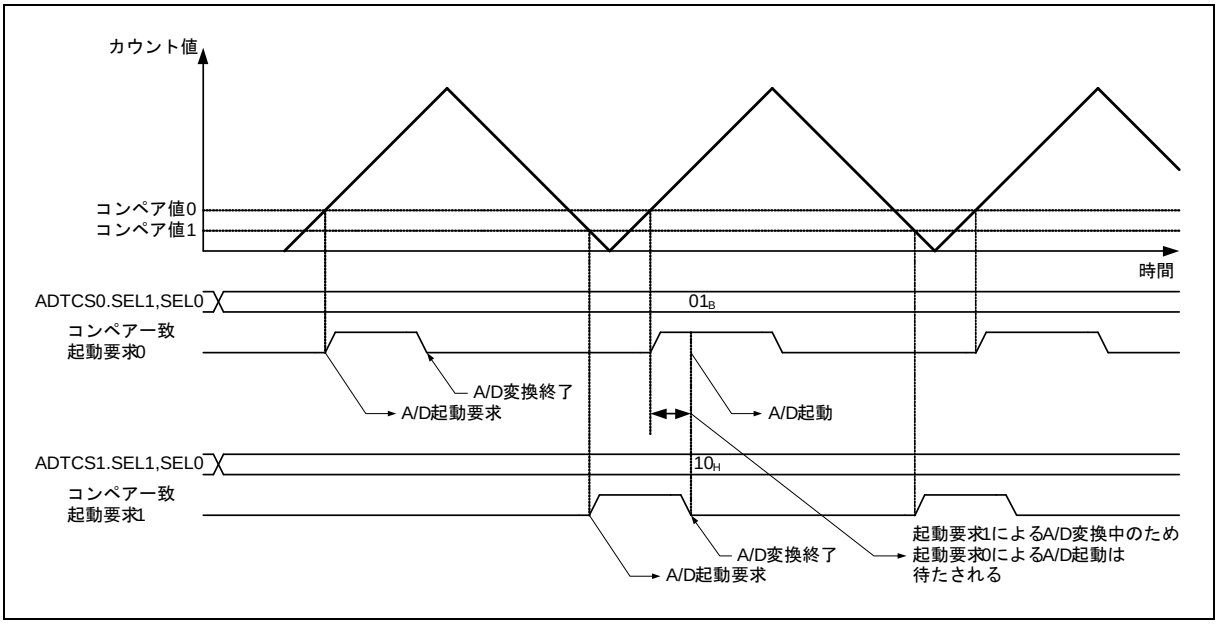
コンペアー致起動を行う同一起動チャネル内で、コンペアー致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生したコンペアー致は無視されます。

図 5-5 同一起動チャネルでコンペアー致の発生間隔が A/D の変換時間よりも短い場合



また、同一 A/D コンバータを起動する起動チャネル間において、コンペアー致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生した起動要求による A/D 変換開始は待たされます。意図したタイミングで A/D 変換が開始されず、遅れて A/D 変換が開始します。

図 5-6 起動チャネル間でコンペアー致の発生間隔が A/D の変換時間よりも短い場合



■ コンペアー致起動のコンペアレジスタバッファ機能

A/D 起動トリガ制御状態レジスタ(ADTCS)の BUFX ビットに"0"を書き込むとコンペアレジスタのバッファ機能が有効になります。

バッファするタイミングは、ADTCS レジスタの BTS ビットにより選択可能で、BTS="1"のときにはコンペアクリア時、BTS="0"のときには"0"検出時に、コンペアバッファレジスタに書き込まれた値がコンペアレジスタに転送されます。

表 5-5 コンペアバッファレジスタからコンペアレジスタへの転送条件

BUFX	BTS	コンペアバッファレジスタ(ADCOMPB)から コンペアレジスタ(ADCOMP)への転送条件
0	0	16 ビットフリーランタイマの"0"検出時 もしくは、 16 ビットフリーランタイマ停止中
0	1	16 ビットフリーランタイマのコンペアクリア時 もしくは、 16 ビットフリーランタイマ停止中
1	X	バッファ機能未使用 (直ちに転送)

図 5-7 コンペアレジスタ 0: バッファ機能有効、コンペアレジスタ 1: バッファ機能無効

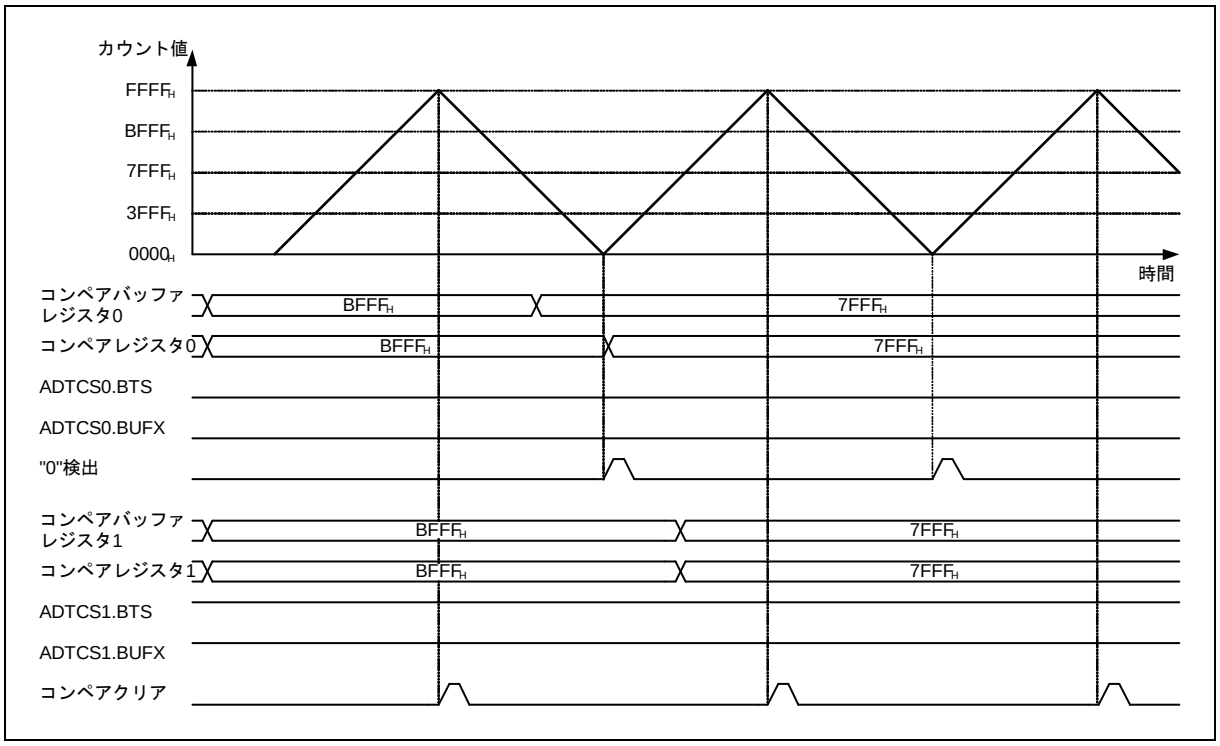


図 5-8 16 ビットフリーランタイマアップカウント時、コンペア一致時のコンペアレジスタデータ転送タイミング

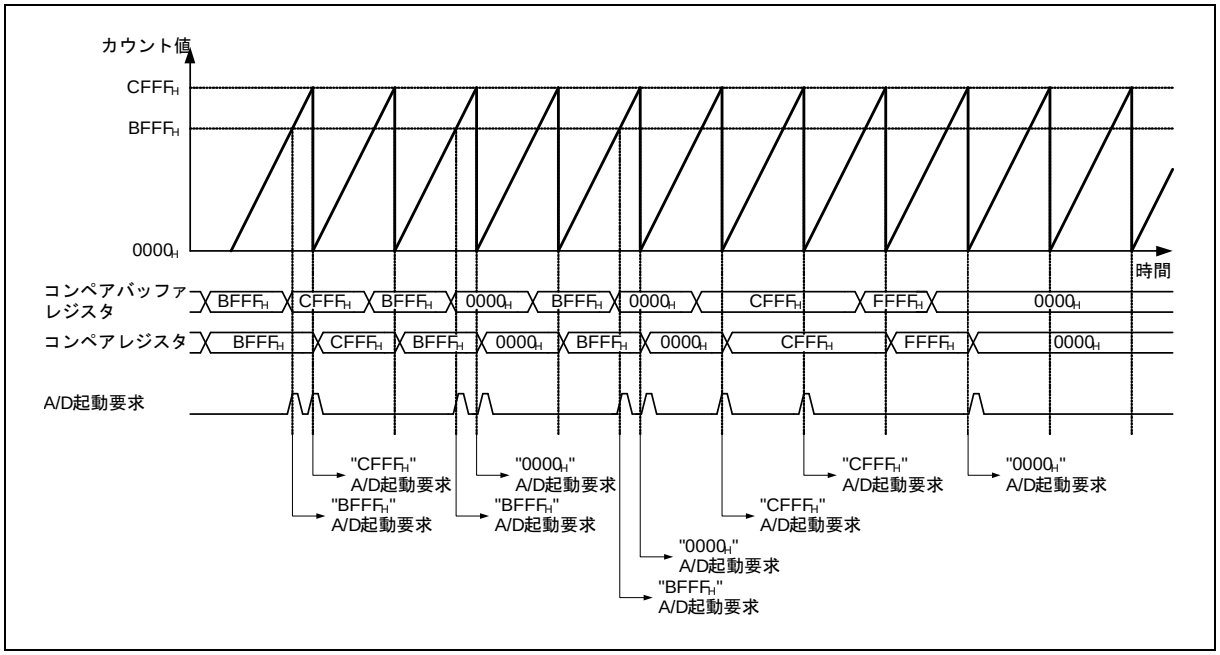


図 5-9 16 ビットフリーランタイマアップカウント時、"0"検出時のコンペアレジスタデータ転送タイミング

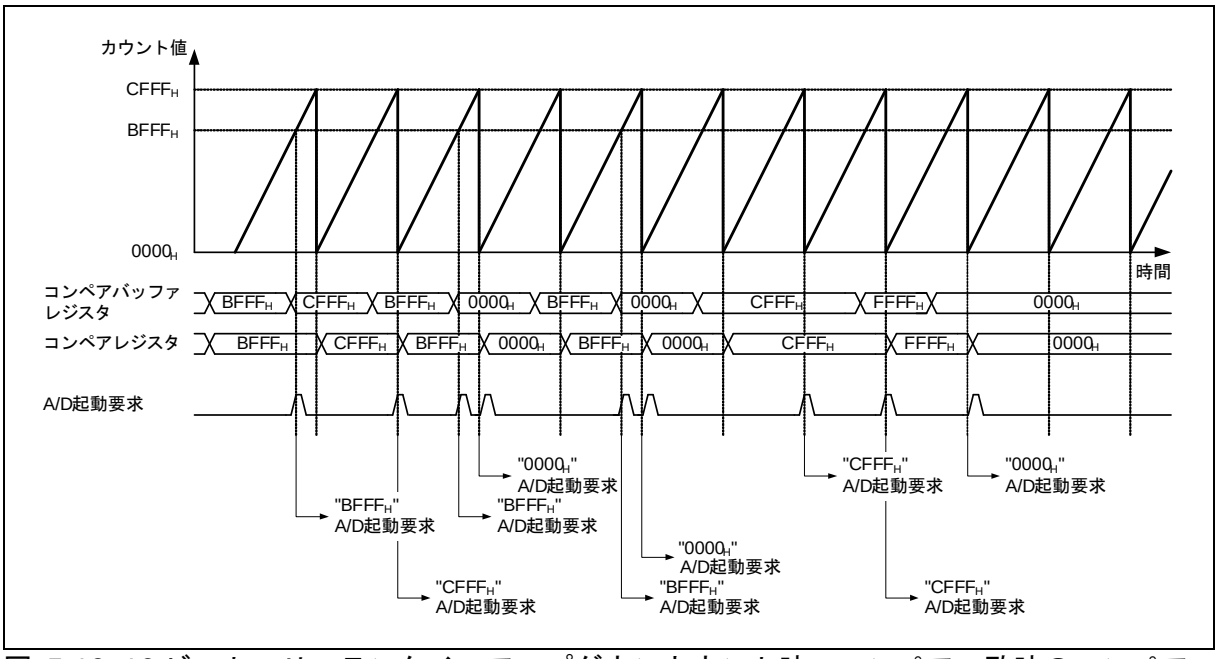


図 5-10 16 ビットフリーランタイマアップダウンカウント時、コンペアー致時のコンペアレジスタデータ転送タイミング

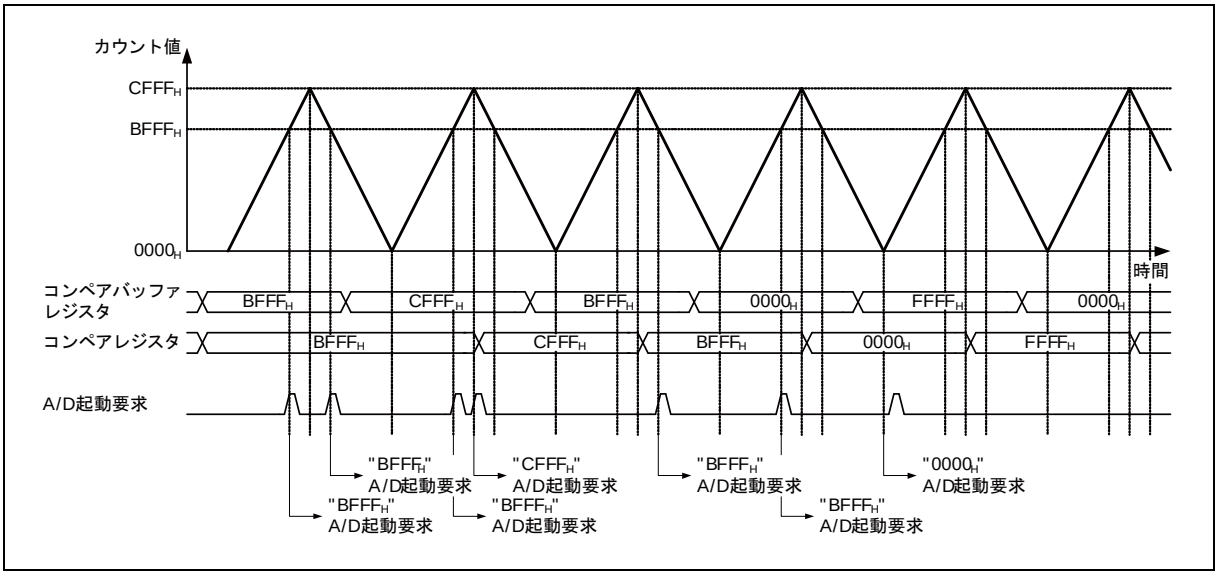
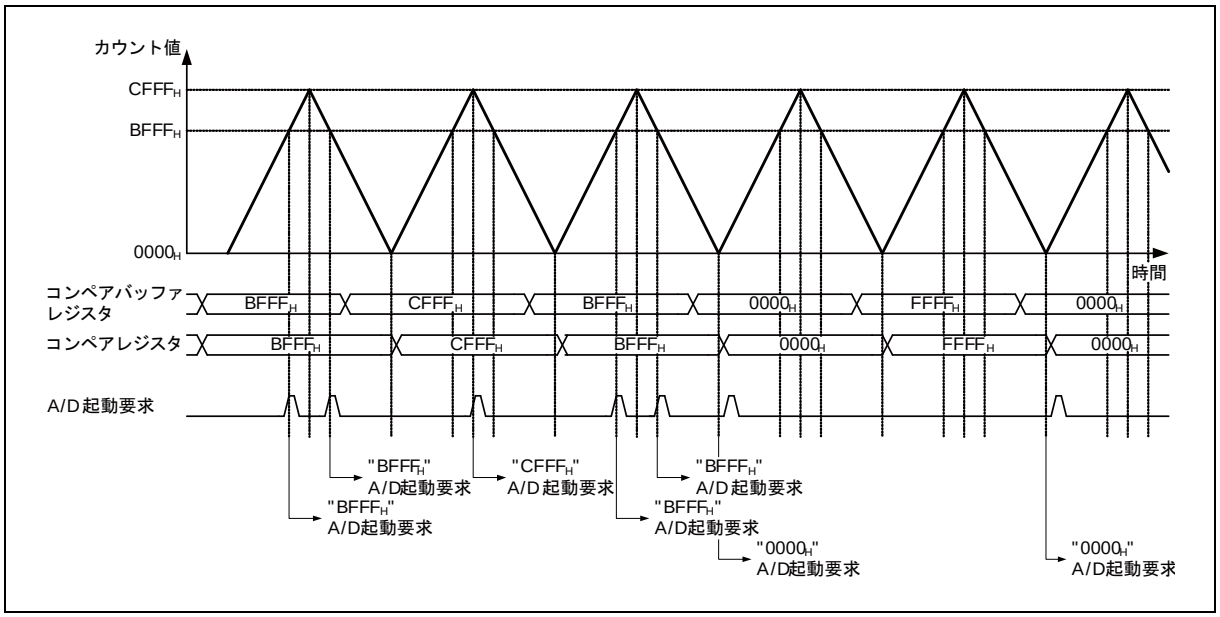


図 5-11 16 ビットフリーランタイマアップダウンカウント時、"0"検出時のコンペアレジスタデータ転送タイミング



5.2.9. PPG 起動

PPG 起動について説明します。

A/D 起動トリガ制御要因選択ビットを PPG 起動に設定します。(ADTECS.STS2="1", ADTCS.STS1,STS0="00B")
PPG 起動は、起動チャネルごとに独立して入力されます。
PPG の立上りを検出すると、外部トリガ/ リロードタイマ/PPG の起動要求信号がセットされます。

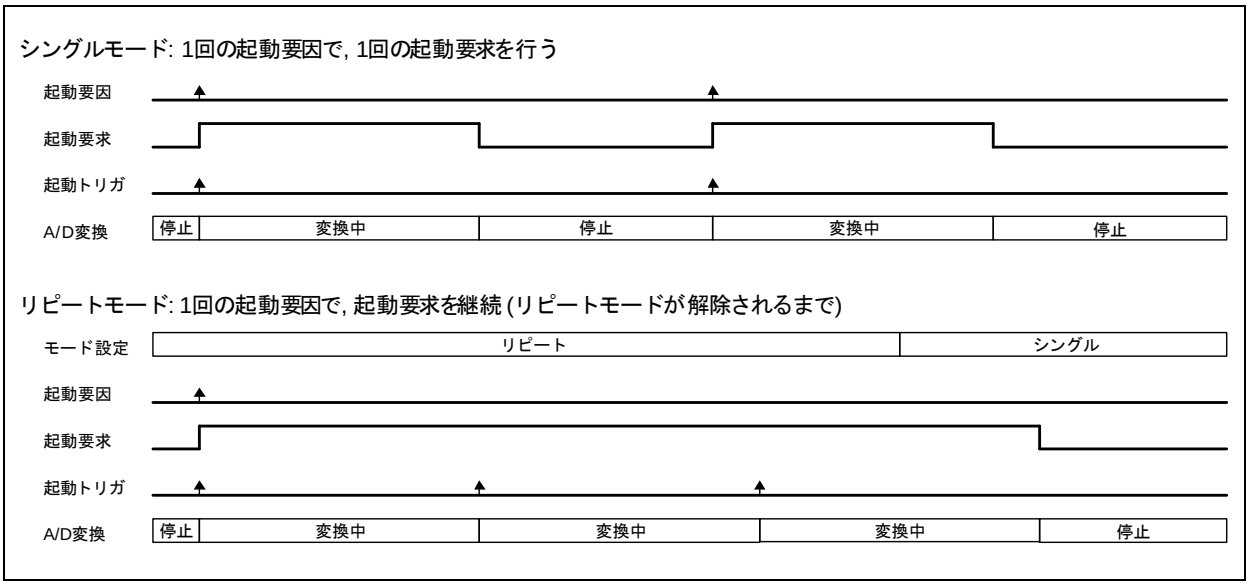
5.2.10. 起動要求モード

起動要求モードについて説明します。

起動チャネルごとに起動要求モードを設定可能です。起動モードはシングルモードとリピートモードの 2 つです。A/D 起動トリガ制御状態レジスタ(ADTCS)の RPT ビットで設定します。

- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。

図 5-12 起動要求モード



5.2.11. A/D 変換データ

A/D 変換データについて説明します。

A/D 変換結果データは、起動チャネルごとに A/D データビット(ADTCD.D11 ～ D0)に格納されます。
また、データ保護機能無効(ADTCS.PRT="0")時、変換データエラーフラグビット(ADTCD.ERR)および変換データエラー状態ビット(ADTCD.ERRST)により、A/D データビット(ADTCD.D11～ D0)に格納されている A/D 変換データの状態を確認できます。
データ保護機能有効(ADTCS.PRT="1")時、変換データエラーフラグビット(ADTCD.ERR)は"0"、変換データエラー状態ビット(ADTCD.ERRST) は"0"に固定されます。

表 5-6 A/D 変換データの状態確認(データ保護機能無効時)

ADTCD:ERR	ADTCD:ERRST	A/D 変換データ状態
0	0	最新データ(読出し未)
0	1	－(意味を持ちません)
1	0	古いデータ(読出し済) (注意事項)初期値
1	1	最新データ/上書き発生(読出し未) (注意事項)データ破棄あり

5.2.12. 保護機能

保護機能について説明します。

各 A/D データレジスタは、データ保護機能を設定可能です。保護機能は、A/D 起動トリガ制御状態レジスタ(ADTCS)の PRT ビットで設定します。なお、保護機能はコンペア一致起動以外の要因のときに働きます。

保護機能の有効時、A/D データレジスタに変換結果が格納されるとデータ保護状態になります。データ保護状態の解除条件は、ADTCS レジスタの PRTS ビットで選択できます。

- PRTS ビットが"0"の場合、A/D データレジスタのデータ読出しと割込みフラグクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。
- PRTS ビットが"1"の場合、A/D データレジスタのデータ読出しがされるまで、起動要求がマスクされます。
- データ保護状態中は、次の起動要因が発生しても起動要求信号をマスク(非アクティブ)することで、未読出しの A/D データレジスタのデータが次の A/D 変換データで上書きされることを保護します。

5.2.13. スキャン変換モードについて

スキャン変換モードについて説明します。

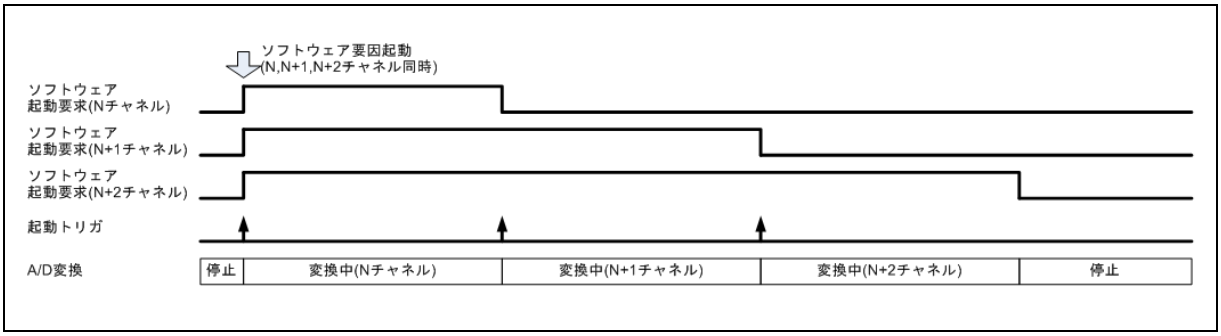
スキャン変換は、起動チャネルの小さい起動チャネル番号より順次 A/D 変換を行う動作です。また、スキャン変換は、12 ビット A/D コンバータのユニット当りに 1 種類の設定ができます。
スキャン変換は、以下の動作ができます。

・シングルスキャン変換
・連続スキャン変換
・チャネルごとの変換回数指定時の連続スキャン変換
・チャネルごとの変換回数指定時の休止スキャン変換

■ シングルスキャン変換

シングルスキャン変換は、スキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをシングルモード(ADTCS.RPT="0")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。
スキャン変換の順序は、後段の A/D 起動調停により A/D 起動された起動チャネルの小さい起動チャネル番号から順次 A/D 変換を行います。最終起動チャネルの A/D 変換が終了するとスキャン変換を停止します。

図 5-13 シングルスキャン変換



■ 連続スキャン変換

連続スキャン変換は、スキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをリピートモード(ADTCS.RPT="1")、かつデータ保護機能有効(ADTCS.PRT="1")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。
同じ A/D コンバータに対応する起動チャネル間で、リピートモードが複数設定される場合、後段の A/D 起動調停では、優先順位にしたがって、ある 1 つのチャネルのみを処理することになります。
その場合は、それらの起動チャネルは保護機能を有効にして使用してください

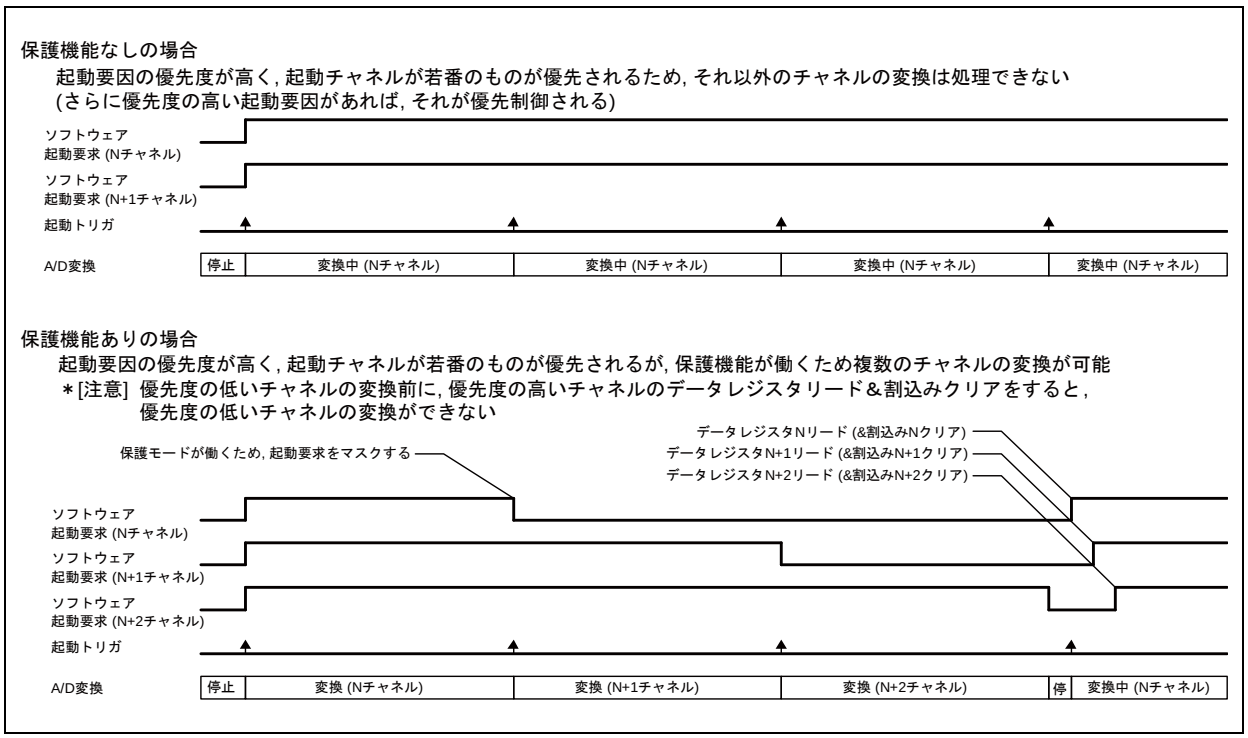
・データ保護機能無効(ADTCS.PRT="0")の場合
A/D 起動調停では、起動要因の優先度が高く、起動チャネルが小さい起動チャネル番号のものが優先されます。リピートモード設定(ADTCS.RPT="1")した場合、起動要求を継続して出力します。このため、優先度が劣る起動チャネルの変換は実行されません。
・データ保護機能有効(ADTCS.PRT="1")の場合
A/D 起動調停では、起動要因の優先度が高く、起動チャネルが小さい起動チャネル番号のものが優先さ

れます。リピートモード設定(ADTCS.RPT="1")した場合、起動要求を継続して出力します。しかし、A/D データレジスタ(ADTCD)に A/D 変換結果を格納するとデータ保護状態となり、起動要求をマスクします。これにより、次の起動チャネルの変換が実行できます。

＜注意事項＞

データ保護機能有効(ADTCS.PRT="1")でリピートモード(ADTCS.RPT="1")を複数設定する場合、優先度の低い起動チャネルの変換前に、優先度が高い起動チャネルのデータ保護状態を解除すると、優先度の低い起動チャネルの変換は実行されません。

図 5-14 連続スキャン変換



■ チャネルごとの変換回数指定時の連続スキャン変換

チャネルごとの変換回数指定時の連続スキャン変換は、連続スキャン変換モードを設定(ADSCANS.SCMD="0")し、かつスキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをリピートモード(ADTCS.RPT="1")、変換回数指定スキャン変換実行許可(ADNCS.CNTEN="1")、かつ変換回数指定(ADNCS.CCNT1,CCNT0="回数")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

チャネルごとの変換回数指定時の連続スキャン変換は、スキャン変換対象の起動チャネルの小さい起動チャネル番号から変換回数指定(ADNCS.CCNT1,CCNT0)の A/D 変換を行い、完了すると次の起動チャネルの A/D 変換に移行します。また、変換回数指定の A/D 変換が完了した起動チャネルは、変換回数完了フラグビット(ADEOCF.EOCF)で確認できます。

そして、最終起動チャネルの変換回数指定の A/D 変換が完了するとスキャン変換完了割込み要因フラグ(ADSCANS.SCINT)を"1" にセットし、自動的にスキャン変換を最初から反復実行します。また、各起動チ

ャネルの変換回数完了フラグビット(ADEOCF.EOCF)は、スキャン変換を最初から反復実行するとき、自動的に"0"にクリアされます。
変換回数指定(ADNCS.CCNT1,CCNT0)は、起動チャネルごとに 1 回～ 4 回を選択できます。
データ保護機能は、無効・有効を起動チャネルごとに選択できます。また、データ保護機能有効(ADTCS.PRT="1")時は、データ保護状態を起動チャネルごとにデータ保護状態フラグビット(ADPRTF.PRTF)で確認できます。

・データ保護機能無効(ADTCS.PRT="0")の場合
・A/D 変換は、隙間なく連続実行します。A/D 変換データは、データ保護されず、起動チャネルにおいて最後に A/D 変換したデータが格納されています。

・データ保護機能有効(ADTCS.PRT="1")の場合
A/D 変換データは、データ保護されます。よって、同一起動チャネルにおける A/D 変換は、データ保護期間中は A/D 変換を停止します。ただし、異なる起動チャネルにスキャン変換が移行した場合は、A/D データレジスタ(ADTCD)も異なるため A/D 変換が隙間なく連続実行します。

＜注意事項＞

- 連続スキャン変換の場合、スキャン変換対象の最後の起動チャネルの変換回数完了フラグ(ADEOCF.EOCF)は、"1"にセットされますが、すぐに自動的に"0"クリアされます。
- 連続スキャン変換の最終チャネルより大きい起動チャネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャネルより大きい起動チャネルは、連続スキャン変換の最終チャネルが完了した後、後段の A/D 起動調停により 1 回評価されます。
- データ保護機能は、コンペア一致起動(ADTECS.STS2="0", ADTCS.STS1,STS0="11_B")以外の要因のときに働きます。
- データ保護機能有効(ADTCS.PRT="1")の場合、次のスキャン変換が反復実行する前に、データ保護状態を解除してください。データ保護状態の起動チャネルは A/D 変換を実行しません。

図 5-15 チャネルごとの変換回数指定時の連続スキャン変換(データ保護機能無効の場合)

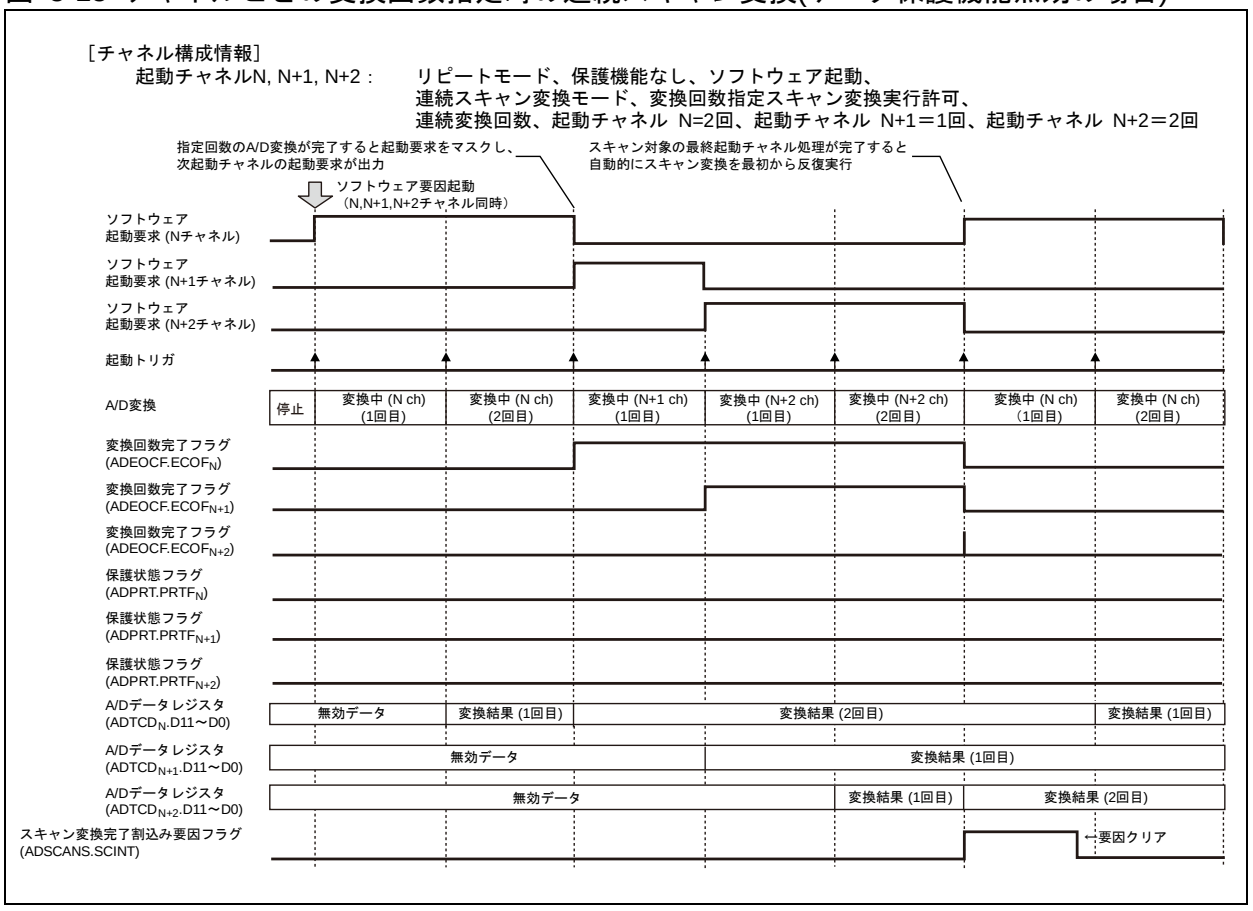
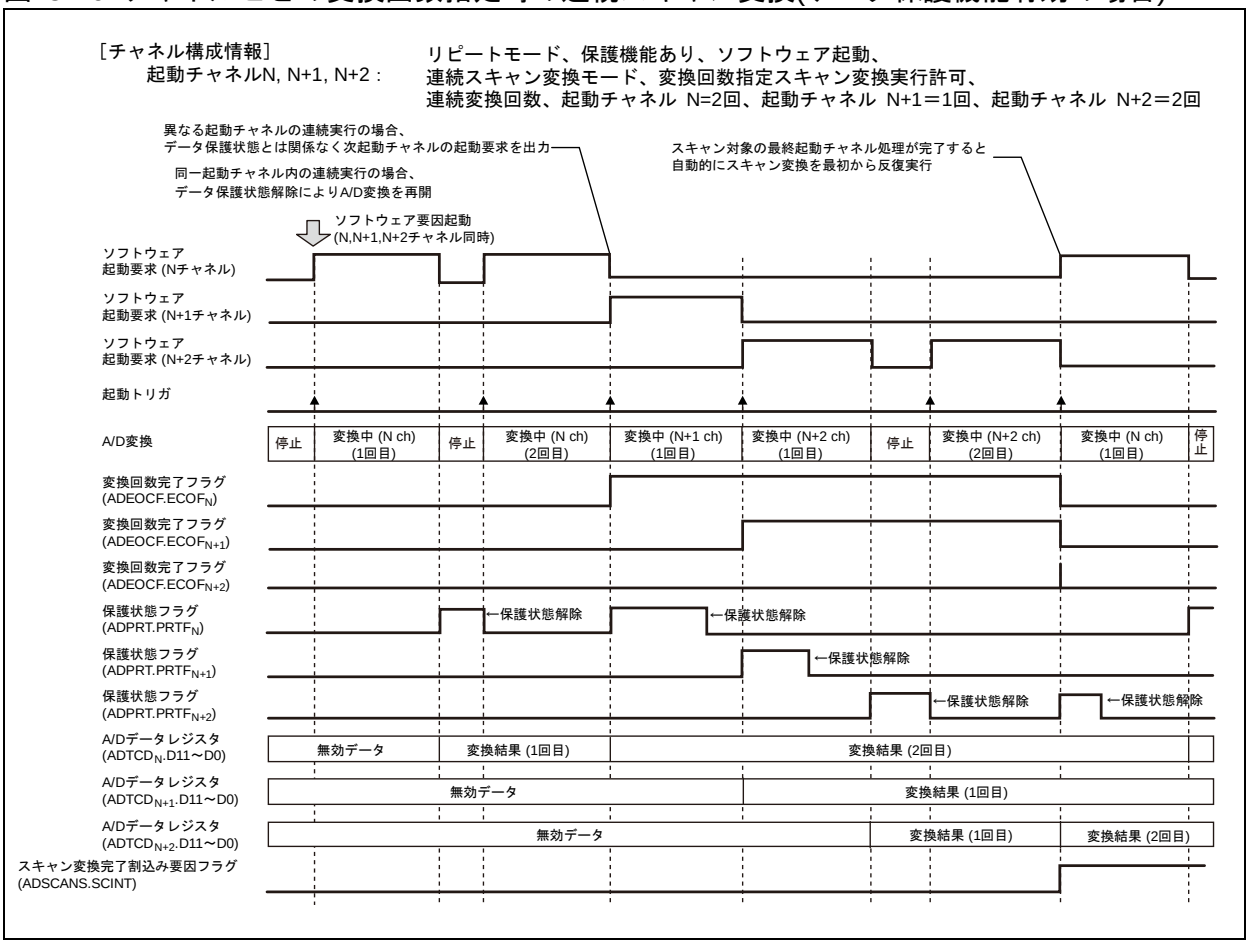


図 5-16 チャネルごとの変換回数指定時の連続スキャン変換(データ保護機能有効の場合)



■ チャネルごとの変換回数指定時の休止スキャン変換

チャネルごとの変換回数指定時の休止スキャン変換は、休止スキャン変換モードを設定(ADSCANS.SCMD="1")し、かつスキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをリピートモード(ADTCS.RPT="1")、変換回数指定スキャン変換実行許可(ADNCS.CNTEN="1")、かつ変換回数指定(ADNCS.CCNT1,CCNT0="回数") 設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

チャネルごとの変換回数指定時の休止スキャン変換は、スキャン変換対象の起動チャネルの小さい起動チャネル番号から変換回数指定(ADNCS.CCNT1,CCNT0)の A/D 変換を行い、完了すると次の起動チャネルの A/D 変換に移行します。また、変換回数指定の A/D 変換が完了した起動チャネルは、変換回数完了フラグビット(ADEOCF.EOCF)で確認できます。

そして、最終起動チャネルの変換回数指定の A/D 変換が完了するとスキャン変換完了割込み要因フラグ(ADSCANS.SCINT)を"1" にセットし、スキャン変換は休止状態になります。スキャン変換の再開(休止状態から復帰)は、スキャン変換対象のどれか 1 つでも A/D 起動要因が発生すると行われます。また、各起動チャネルの変換回数完了フラグビット(ADEOCF.EOCF)は、スキャン変換の再開(休止状態から復帰)により自動的に"0" にクリアされます。

変換回数指定(ADNCS.CCNT1,CCNT0)は、起動チャネルごとに 1 回～ 4 回を選択できます。

データ保護機能は、無効・有効を起動チャネルごとに選択できます。また、データ保護機能有効

(ADTCS.PRT="1")時は、データ保護状態を起動チャネルごとにデータ保護状態フラグビット(ADPRTF.PRTF)で確認できます。

・データ保護機能無効(ADTCS.PRT="0")の場合
スキャン変換が休止状態以外の A/D 変換は、隙間なく連続実行します。A/D 変換データは、データ保護されず、起動チャネルにおいて最後に A/D 変換したデータが格納されています。

・データ保護機能有効(ADTCS.PRT="1")の場合
A/D 変換データは、データ保護されます。よって、同一起動チャネルにおける A/D 変換は、データ保護期間中は A/D 変換を停止します。ただし、異なる起動チャネルにスキャン変換が移行した場合は、A/D データレジスタ(ADTCD)も異なるため A/D 変換が隙間なく連続実行します。

＜注意事項＞

- 休止スキャン変換の最終チャネルより大きい起動チャネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャネルより大きい起動チャネルは、休止期間中のみ A/D 変換の実行ができます。
- データ保護機能は、コンペア一致起動(ADTECS.STS2="0", ADTCS.STS1,STS0="11_B")以外の要因のときに働きます。
- データ保護機能有効(ADTCS.PRT="1")の場合、次のスキャン変換が開始される前に、データ保護状態を解除してください。データ保護状態の起動チャネルは A/D 変換を実行しません。

図 5-17 チャネルごとの変換回数指定時の休止スキャン変換(データ保護機能無効の場合)

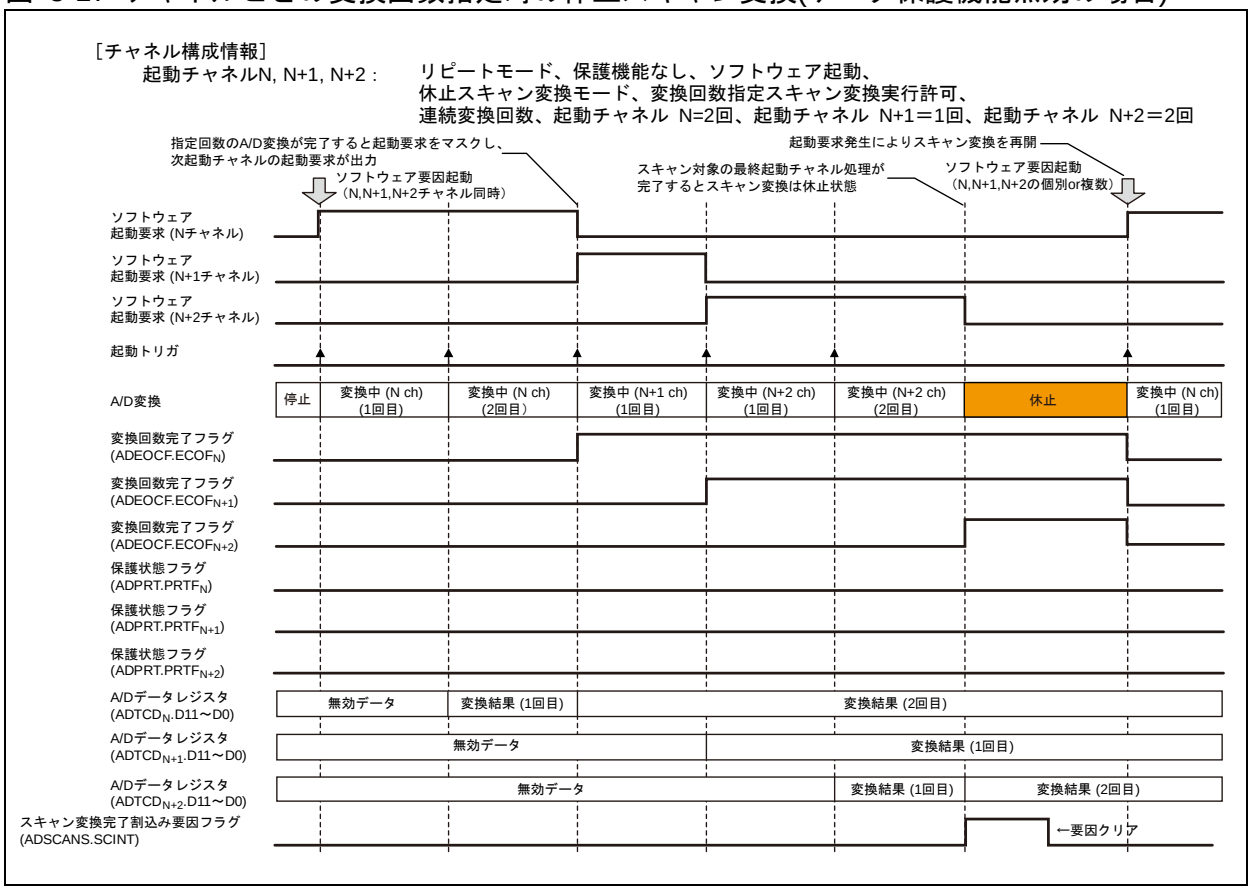
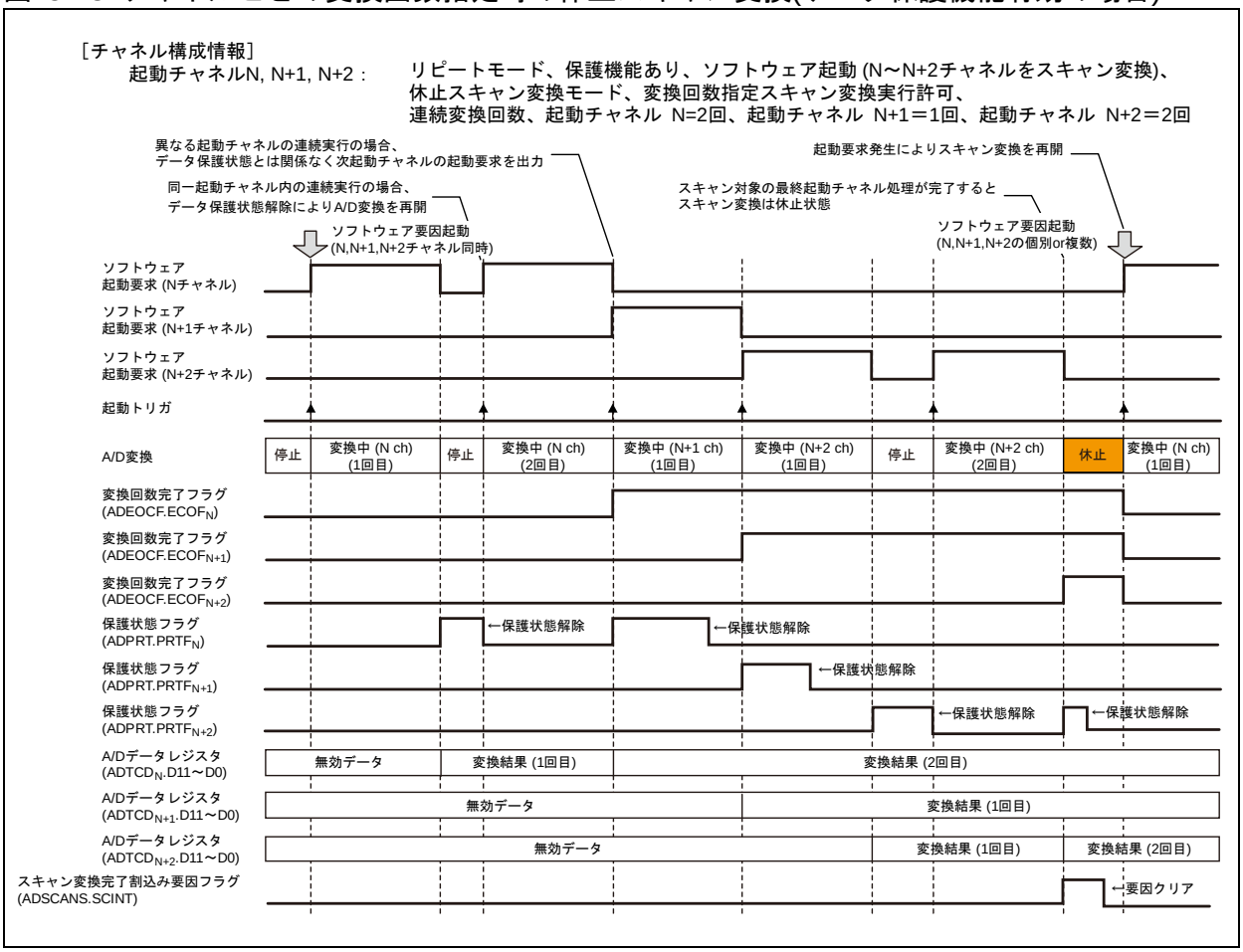


図 5-18 チャネルごとの変換回数指定時の休止スキャン変換(データ保護機能有効の場合)



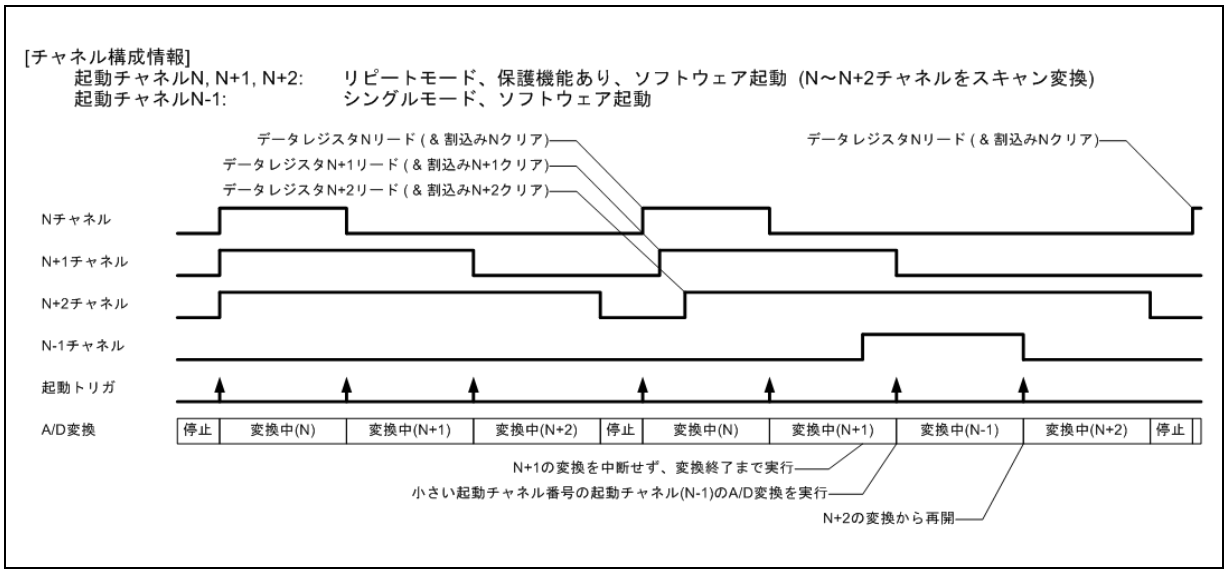
5.2.14. スキャン変換中の他起動チャネルの高優先起動要求動作について

スキャン変換中の他起動チャネルの高優先起動要求動作について説明します。

同じ A/D コンバータのユニットに対応する起動チャネル間でスキャン変換をする場合起動要因および起動チャネル情報により起動チャネルが優先制御されます。なお、優先制御は、後段の A/D 起動調停で行われます。

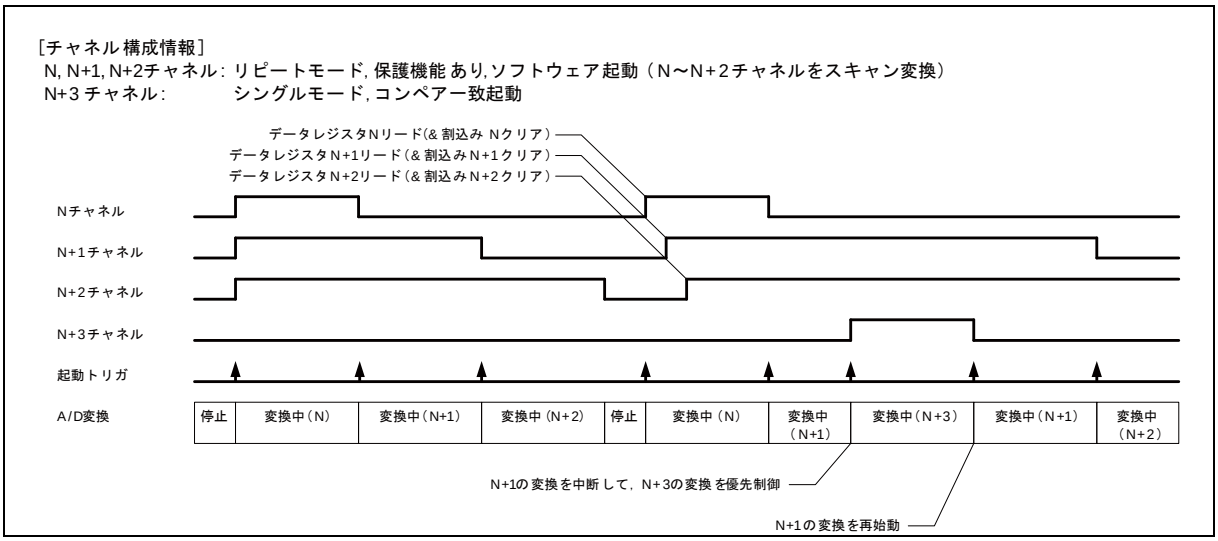
同一起動要因かつスキャン変換を行う起動チャネルよりも小さい起動チャネル番号の起動チャネルから発生した場合には、実行中の A/D 変換終了後にスキャン変換を一時停止して、小さい起動チャネル番号からの起動チャネルの A/D 変換終了後に、一時停止したスキャン変換を再開します。

図 5-19 連続スキャン変換時、小さい起動チャネル番号からの同一起動要因要求の場合



スキャン変換を行う起動チャネルよりも優先度の高い起動要因が他の起動チャネルから発生した場合には、スキャン変換を中断して、高優先の A/D 変換終了後に、中断したスキャン変換の起動チャネルから A/D 変換を再始動することになります。

図 5-20 連続スキャン変換時、他起動チャネルからの最優先起動要因要求の動作



5.2.15. 起動要求の強制終了

起動要求の強制終了について説明します。

A/D 起動要求中または変換中は、A/D 起動トリガ制御状態レジスタの A/D 起動要求中ビット (ADTCS0-47.BUSY)により通知できます。
また、現在の A/D 起動要求または変換を強制終了したい場合には、本ビットに"0"を書き込みます。

5.2.16. レンジ比較機能

レンジ比較機能について説明します。

■ レンジ比較上下限閾値設定

上限閾値設定レジスタ(ADRCUT)および下限閾値設定レジスタ(ADRCLT)は、ユニットごとに 4 種類の設定ができます。4 種類の上下限閾値設定レジスタの組合せから、起動チャネルごとの上下限閾値選択ビット(ADRCCS.RCOTS1,RCOTS0)により 1 つを選択します。

表 5-7 レンジ比較上下限閾値選択

上下限閾値選択ビット (ADRCCS:RCOTS1,RCOTS0)	選択結果	
	A/D コンバータ ユニット 0	A/D コンバータ ユニット 1
"00_B"	上限閾値設定レジスタ 0(ADRCUT0)/ 下限閾値設定レジスタ 0(ADRCLT0)	上限閾値設定レジスタ 4(ADRCUT4)/ 下限閾値設定レジスタ 4(ADRCLT4)
"01_B"	上限閾値設定レジスタ 1(ADRCUT1)/ 下限閾値設定レジスタ 1(ADRCLT1)	上限閾値設定レジスタ 5(ADRCUT5)/ 下限閾値設定レジスタ 5(ADRCLT5)
"10_B"	上限閾値設定レジスタ 2(ADRCUT2)/ 下限閾値設定レジスタ 2(ADRCLT2)	上限閾値設定レジスタ 6(ADRCUT6)/ 下限閾値設定レジスタ 6(ADRCLT6)
"11_B"	上限閾値設定レジスタ 3(ADRCUT3)/ 下限閾値設定レジスタ 3(ADRCLT3)	上限閾値設定レジスタ 7(ADRCUT7)/ 下限閾値設定レジスタ 7(ADRCLT7)

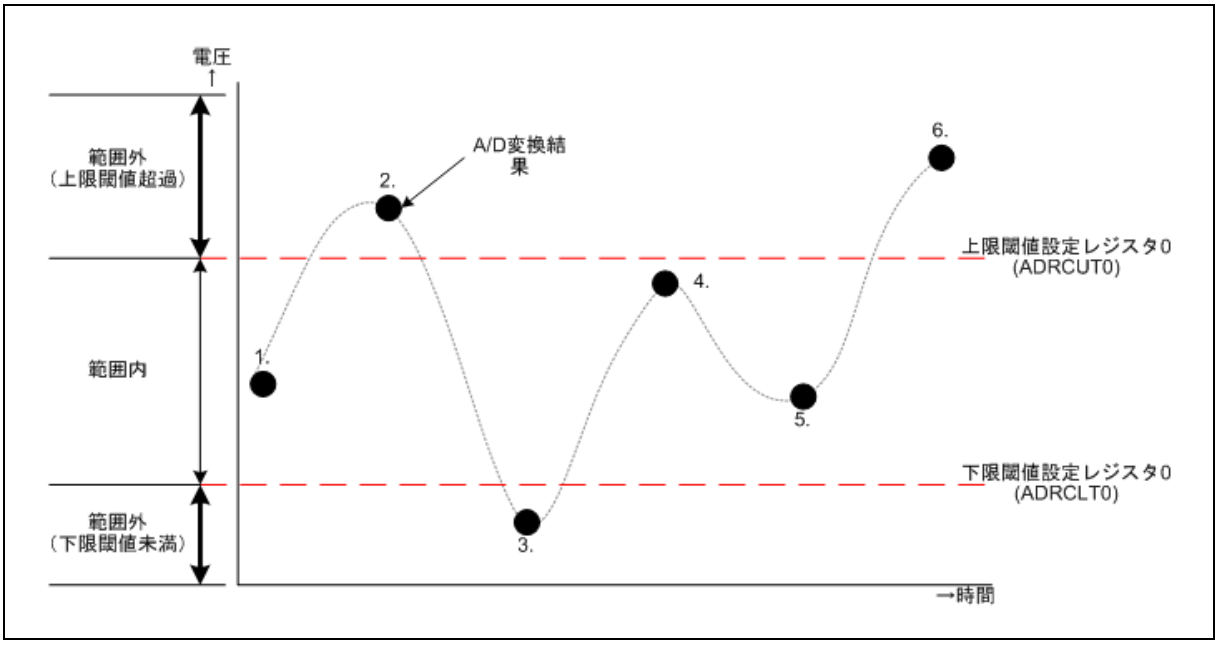
■ レンジ比較動作

レンジ比較は、レンジ比較許可設定(ADRCCS.RCOE="1")時、A/D 変換が終了し A/D データビット(ADTCD.D11 ～ D0)に格納されると実行します。
レンジ比較は、レンジ比較上下限閾値選択ビット(ADRCCS.RCOTS1,RCOTS0)により選択した上下限閾値設定レジスタ(ADRCUT/ADRCLT)と A/D データビット(ADTCD.D11 ～ D0)を比較します。
レンジ比較結果は、連続検出機能に入力されます。

表 5-8 レンジ比較上下限閾値選択

レンジ比較結果	範囲外確認 (ADRCCS: RCOIRS="0")	範囲内確認 (ADRCCS: RCOIRS="1")
範囲外 (上限閾値超過) A/D データビット＞上限閾値設定レジスタ	検出	未検出
範囲内 A/D データビット≦上限閾値設定レジスタ かつ A/D データビット≧下限閾値設定レジスタ	未検出	検出
範囲外(下限閾値未満) A/D データビット＜下限閾値設定レジスタ	検出	未検出

図 5-21 レンジ比較条件



■ レンジ比較結果の連続検出機能

連続検出機能は、レンジ比較結果の連続検出を行い、ノイズなどを除去します。
レンジ比較結果の検出状態をレンジ比較連続検出回数指定設定(ADRCCS.RCOCD2 ～ RCOCD0)により設定した回数を連続検出したとき、レンジ比較割込み要因フラグビット(ADRCIF.RCINT)に"1"を設定します。
連続検出中に 1 度でもレンジ比較結果で未検出となった場合、連続検出測定は 0 回にクリアされ測定をやり直します。

表 5-9 連続検出機能動作条件

連続検出測定動作	・起動チャネルごとに制御します。 ・レンジ比較実行許可設定(ADRCCS:RCOE="1")時は常に動作します。
連続検出回数	・連続検出回数指定(ADRCCS:RCOCD2～RCOCD0)により、1 回～7 回を選択できます。 ・連続検出回数状態表示(ADRCCS:RCOCD2～RCOCD0)により、検出回数の状態を確認できます。
クリア条件	・レンジ比較実行禁止設定(ADRCCS:RCOE="0")時 ・レンジ比較結果で未検出時
インクリメント条件	・レンジ比較結果で検出時 ただし、連続検出回数指定(ADRCCS:RCOCD2～RCOCD0)に到達した場合、連続検出回数指定値で停止します。

＜注意事項＞

- 範囲外確認時、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0 回にクリアせず連続検出を継続します。
- レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中に、レンジ比較実行禁止設定のあと許可設定(ADRCCS.RCOE="0" → "1")にしてください。
- 連続検出によるレンジ比較割込み要因フラグ(ADRCIF.RCINT)の"1"セットは、A/D 変換終了割込みによる割込み制御ビットのフラグセット(ADTCS.INT="1")から周辺クロックで 2 クロック後に行われます。

■ レンジ比較超過フラグ制御

レンジ比較の範囲外確認(ADRCCS.RCOIRS="0")の場合、上限閾値超過または下限閾値未満の表示は、起動チャネルごとにレンジ比較閾値超過フラグビット(ADRCOT.RCOOF[n])で確認できます。

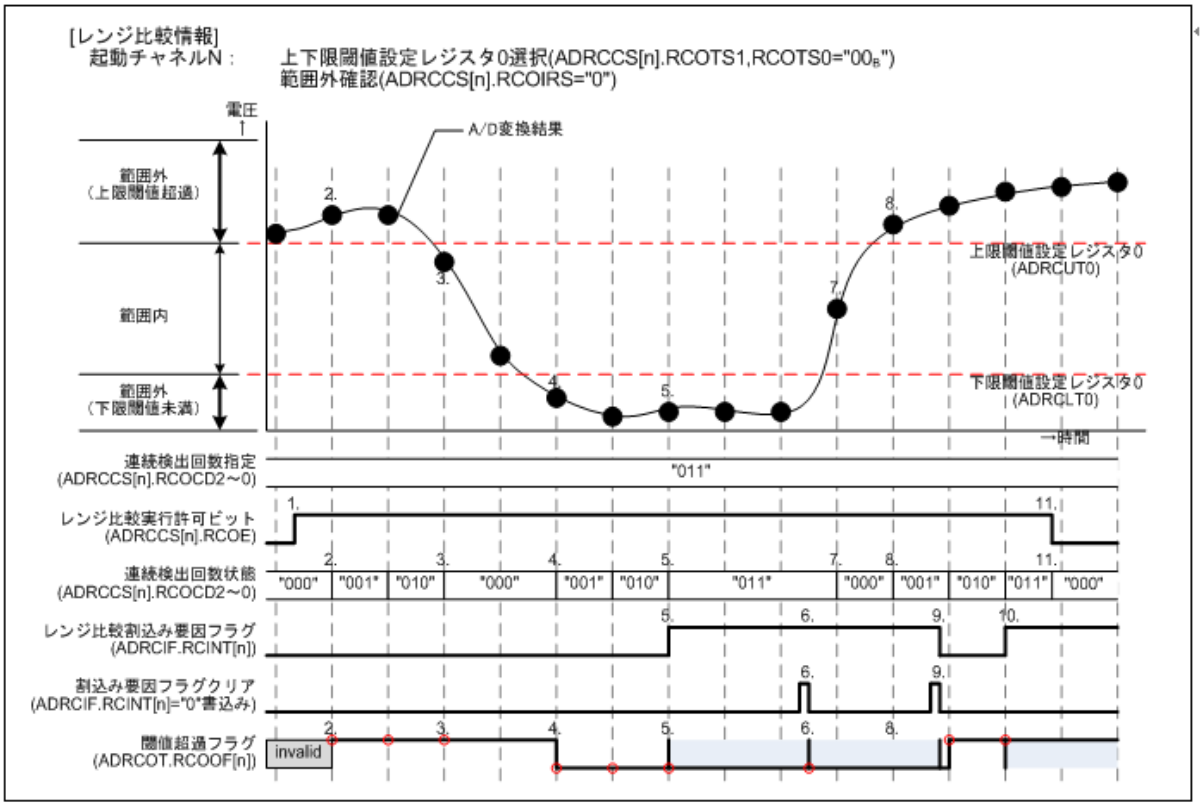
表 5-10 レンジ比較上下限閾値選択

レンジ比較結果	レンジ比較閾値超過フラグビット (ADRCOT:RCOOF)	
	範囲外確認 (ADRCCS: RCOIRS="0")	範囲内確認 (ADRCCS: RCOIRS="1")
範囲外 (上限閾値超過) A/D データビット＞上限閾値設定レジスタ	"1"	前値保持
範囲内 A/D データビット≦上限閾値設定レジスタ かつ A/D データビット≧下限閾値設定レジスタ	前値保持	前値保持
範囲外(下限閾値未満) A/D データビット＜下限閾値設定レジスタ	"0"	前値保持

また、レンジ比較閾値超過フラグビット(ADRCOT.RCOOF)は、レンジ比較割込み要因フラグ(ADRCIF.RCINT)が"1"にセットされている間は、レンジ比較閾値超過フラグビット(ADRCOT.RCOOF)にセットされている内容を保持します。

■ レンジ比較動作例

図 5-22 レンジ比較動作例



1. レンジ比較実行禁止設定(ADRCCS[n].RCOE="0")時、連続検出回数状態(ADRCCS[n].RCOCD2～ RCOCD0)を"000_B"に初期化します。
   レンジ比較実行許可設定(ADRCCS[n].RCOE="1")によりレンジ比較動作開始します。
2. レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCCS[n].RCOCD2 ～ RCOCD0)をインクリメント実施します。
   また、閾値超過フラグは上限閾値超過(ADRCOT.RCOOF[n]="1")を通知します。
3. 連続検出回数指定値(ADRCCS[n]. RCOCD2 ～ RCOCD0="011_B")前にレンジ比較結果が範囲内を検出したため、連続検出回数状態を初期化(ADRCCS[n].RCOCD2 ～ RCOCD0="000_B")します。
   また、閾値超過フラグ(ADRCOT.RCOOF[n])は前値を保持します。
4. レンジ比較結果が下限閾値未満により、連続回数検出状態(ADRCCS[n].RCOCD2 ～ RCOCD0)をインクリメント実施します。
   また、閾値超過フラグは下限閾値未満(ADRCOT.RCOOF[n]="0")を通知します。
5. レンジ比較結果が連続的に連続検出回数指定値(ADRCCS[n]. RCOCD2 ～ RCOCD0="011_B")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF.RCINT[n]) は"1" にセットされます。
   また、閾値超過フラグ(ADRCOT.RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF.RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIF.RCINT[n]="0")されるまで保持します。
6. レンジ比較割込み要因フラグクリア(ADRCIF.RCINT[n]="0")と連続検出状態が競合した場合、連続検出状態によるセット動作が優先されます。レンジ比較割込み要因フラグはセット(ADRCIF.RCINT[n]="1")状態、閾値超過フラグ(ADRCOT.RCOOF[n])は、閾値超過状態を再セットします。

7. レンジ比較結果が範囲内のとき、レンジ比較割込み要因フラグセット(ADRCIF.RCINT[n]="1")状態でも、連続検出回数状態は初期化(ADRCCS[n].RCOCD2 ～ RCOCD0="000_B")されます。
8. レンジ比較割込み要因フラグセット(ADRCIF.RCINT[n]="1")状態でも、レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCCS[n].RCOCD2 ～ RCOCD0)をインクリメント実施します。
   ただし、レンジ比較割込み要因フラグセット(ADRCIF.RCINT[n]="1")状態のため、閾値超過フラグ(ADRCOT.RCOOF[n])は前値を保持します。
9. レンジ比較割込み要因フラグクリア(ADRCIF.RCINT[n]="0")により、レンジ比較割込み要因フラグはクリア(ADRCIF.RCINT[n]="0")されます。
   また、閾値超過フラグ(ADRCOT.RCOOF[n])の保持状態も解除されます。
10. レンジ比較結果が連続的に連続検出回数指定値(ADRCCS[n]. RCOCD2 ～ RCOCD0="011_B")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF.RCINT[n])は"1"にセットされます。
    また、閾値超過フラグ(ADRCOT.RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF.RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIF.RCINT[n]="0")されるまで保持します。
11. レンジ比較実行禁止設定(ADRCCS[n].RCOE="0")時、連続検出回数状態(ADRCCS[n].RCOCD2～ RCOCD0)を"000_B"に初期化します。
    また、レンジ比較割込み要因フラグ(ADRCIF.RCINT[n])および閾値超過フラグ(ADRCOT.RCOOF[n])は、レンジ比較実行禁止設定(ADRCCS[n].RCOE="0")によりクリアされません。

5.3. A/D 起動調停の動作

A/D 起動調停の動作について説明します。

A/D 起動コンペアからの A/D 起動要求の調停を行い、A/D 起動トリガを生成します。また A/D 変換するアナログチャネルを決定します。

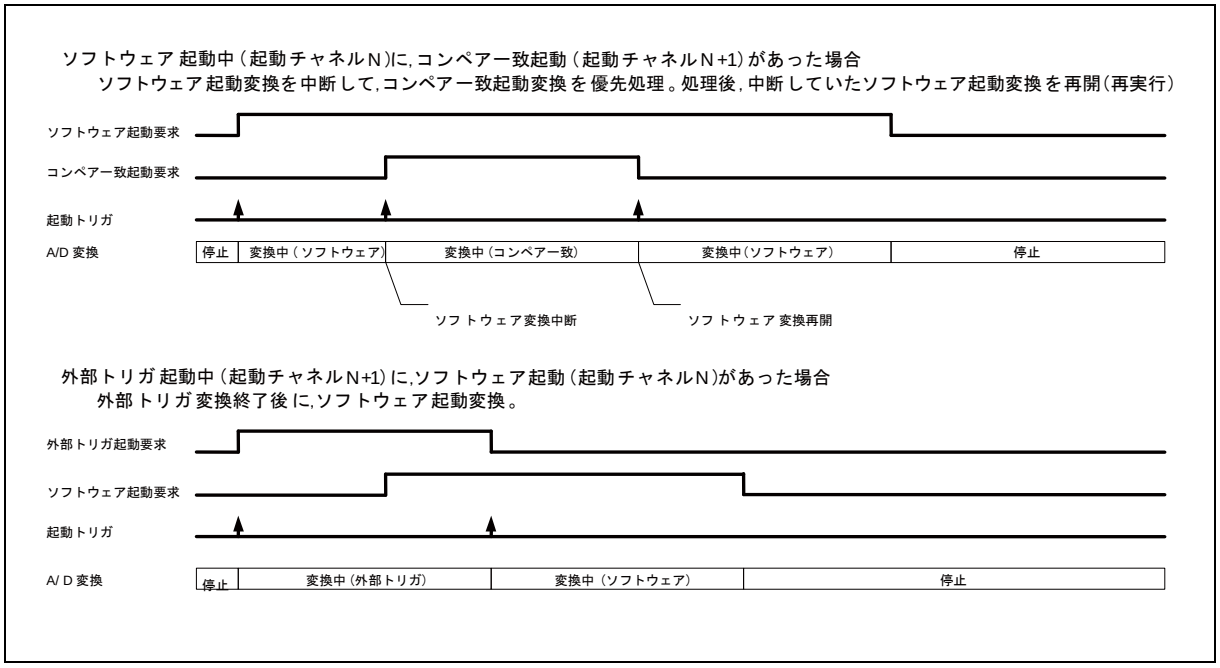
5.3.1. A/D 起動トリガ調停

A/D 起動トリガ調停について説明します。

A/D 起動コンペアのチャネルごとの起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動コンペアの各チャネルからそれぞれソフトウェア起動要求, 外部トリガ/リロードタイマ起動要求/PPG 起動, コンペア一致起動要求の 3 つが入力されて、A/D 起動トリガ信号が生成されます。起動要求が競合した場合、コンペアチャネル番号の小さいものが優先されます。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。
起動調停の起動要因による優先順位は、「コンペア一致起動要求＞外部トリガ/ リロードタイマ起動要求/PPG 起動要求＞ソフトウェア起動要求」です。なお、同じ優先度の起動要因の場合、若い起動チャネル番号のものが優先されます。

- A/D 変換停止中に優先度が同じ起動要因が発生した場合:
  起動チャネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合:
  優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合:
  現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停をして、中断した起動要因を再処理します。
- A/D 変換中に優先度の低い起動要因が発生した場合:
  現在の変換終了後に再度調停をして、優先度の低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合:
  現在の変換終了後に再度調停をして、優先度が同じ起動要因を処理します。

図 5-23 起動調停



5.3.2. アナログチャネル選択

アナログチャネル選択について説明します。

A/D 起動コンペアからは A/D 起動要求と共に A/D 変換を行うアナログチャネル番号が入力されます。
A/D 起動調停では、選択された A/D 起動コンペアチャネルの起動要求アナログチャネル番号を選択します。

5.3.3. A/D 変換キャンセル機能

A/D 変換キャンセル機能について説明します。

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。なお、要求元の起動要求が非アクティブになったときに他起動チャネルの起動要因がアクティブであれば、A/D 変換キャンセル信号は生成せず、アクティブな起動要因による A/D 起動トリガの生成を行います。

5.4. 12 ビット A/D コンバータの動作

12 ビット A/D コンバータの動作について説明します。

12 ビット A/D コンバータ制御は、A/D 変換を制御します。

5.4.1. 動作タイミング

動作タイミングについて示します。

図 5-24 12 ビット A/D コンバータの動作タイミング



① 設定された起動要因により A/D 変換を開始。
② ①の起動要求を受けてサンプリング動作を開始。

③ ADMD.ST[1:0]で設定されたサンプリング時間経過後にコンペア動作開始。
④ ADMD.CT[1:0]で設定されたコンペア時間経過後に変換終了信号が立ち上がり、変換を完了。
⑤ A/D 変換データを出力。
⑥ 新しい変換データを A/D データレジスタ(ADTCD)に格納。

5.4.2. 起動要因について

起動要因について示します。

A/D 変換の起動要因にはソフトウェア起動, 外部トリガ起動, リロードタイマ起動, コンペア一致起動, PPG 起動があります。ADTECS.STS2, ADTCS.STS[1:0]により選択されます。
A/D 起動要求を行わない場合は、これらのビットをソフトウェア起動("000_B")に設定し、ADTSE の該当ビットをソフトウェア起動禁止(ADTSE.ADT = 0)としてください。

5.4.3. A/D 変換について

A/D 変換について示します。

A/D 変換は、1 回の起動トリガの入力で 1 回の変換を行います。

5.4.4. 再起動について

再起動について示します。

A/D 変換中に、起動トリガ信号入力があった場合、現在の変換を停止/ 初期化して、A/D 変換を再起動します。
そのため、A/D 変換の再起動は、通常起動(A/D 変換停止中の A/D 変換開始)に比べて数クロック(12 ビット A/D コンバータのクロック) 遅れて開始されます。

5.4.5. A/D 変換キャンセルについて

A/D 変換キャンセルについて示します。

A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の変換を停止/初期化します。

5.4.6. アナログチャネル選択制御

アナログチャネル選択制御について示します。

起動トリガのほかに、変換を行うアナログチャネル情報が入力されます。
起動トリガのアクティブ時のアナログチャネル情報を保持し、アナログチャネル選択に使用します。

5.4.7. A/D 変換時間について

A/D 変換時間について示します。

A/D 変換時間は、サンプリング時間とコンペア時間を合わせた時間になります。

■ サンプリング時間

サンプリング時間は、チャネルごとのサンプリング時間設定許可ビット(ADMD.STPCEN)により、チャネルごともしくは共通の設定で行うか選択できます。

- ADMD.STPCEN="0"の場合、全チャネル共通のサンプリング時間になります。サンプリング時間の設定は、サンプリング時間設定ビット(ADMD.ST1,ST0)で行います。
- ADMD.STPCEN="1"の場合、チャネルごとにサンプリング時間を設定できます。チャネルごとのサンプリング時間の設定は、チャネルごとのサンプリング時間設定ビット(ADSTPCS.STCHn1, STCHn0: n=00 ～ 47)で行います。

表 5-11 周辺クロック周波数に対するサンプリング時間

ST1, STCHn1	ST0, STCHn0	機能	サンプリング時間(周辺クロック周波数)			
			(40MHz)	(32MHz)	(24MHz)	(16MHz)
0	0	12 周辺クロックサイクル	300ns	375ns	500ns	750ns
0	1	18 周辺クロックサイクル	450ns	562.5ns	750ns	1125ns
1	0	24 周辺クロックサイクル	600ns	750ns	1000ns	1500ns
1	1	48 周辺クロックサイクル	1200ns	1500ns	2000ns	3000ns

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

サンプリング時間は 700ns(4.5V~5.5V)/1000ns(2.7V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 47)ビットを設定してください。700ns/1000ns 未満では正常なアナログ変換値が得られない場合があります。

■ コンペア時間

・コンペア時間は、コンペア時間設定ビット(ADMD.CT1,CT0)に設定します。

表 5-12 周辺クロック周波数に対するコンペア時間

CT1	CT0	機能	コンペア時間(周辺クロック周波数)			
			(40MHz)	(32MHz)	(24MHz)	(16MHz)
0	0	28 周辺クロックサイクル	700ns	875ns	1166.7ns	1750ns
0	1	42 周辺クロックサイクル	1050ns	1312.5ns	1750ns	2625ns
1	0	56 周辺クロックサイクル	1400ns	1750ns	2333.4ns	3500ns
1	1	112 周辺クロックサイクル	2800ns	3500ns	4666.7ns	7000ns

＜注意事項＞

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 未満では正常なアナログ変換値が得られない場合があります。

5.4.8. A/D 変換終了、A/D データ取り込み

A/D 変換終了, A/D データ取り込みについて示します。

A/D 変換が再起動やキャンセルが行われずに正常終了(既定のサイクル数が経過)した場合、受信した変換データを取り込んで出力します。その際、A/D 変換終了信号を生成します。

5.4.9. パワーダウン

パワーダウンについて示します。

スタンバイモードのときに、パワーダウンとなります。

＜注意事項＞

スタンバイモードに移行する前に A/D 変換は停止させてください。

6. 注意事項

注意事項について説明します。

■ A/D 起動コンペアの使用上の注意

● 選択設定について

必ずフリーランタイマの停止中に選択設定を行ってください。

● A/D データレジスタ保護設定について

PRT ビットおよび PRTS ビットの設定は、A/D 変換を動作させる前に設定してください。A/D 変換中および A/D データレジスタが保護されている状態で、本ビットの設定を変更しないでください。
A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後に、PRTS ビットに設定した保護解除の動作を行うか、もしくは、PRT ビットにより保護機能を無効としてください。
仮に、A/D データレジスタが保護されている状態で、PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、PRTS ビットの変更後に、PRTS ビットに設定した保護解除の動作(A/D データレジスタの読出しや、割込み要求フラグビットへの"0"書込みによるクリア動作)を行ってください。例えば、PRT=1 かつ PRTS=1 の状態で A/D データレジスタが保護されている状態で、割込み要求フラグビットのクリアを行ってから PRTS=0 とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、割込み要求フラグビットへの"0"書込みによるクリア動作が必要となります。

● コンペアー致起動について

コンペアレジスタ(ADCOMP)に 0x0000 およびフリーランタイマのコンペアクリアレジスタの設定値と同じ値を設定した場合、A/D 起動トリガ制御レジスタ(ADTCS)のカウント方向選択ビット(SEL0/1 ビット)の設定でのカウント方向がアップであるかダウンであるかに関係なく、コンペア一致時に A/D 起動要求信号が発生します。

● A/D 起動トリガ制御状態レジスタのカウント方向選択ビットの設定について

フリーランタイマがアップカウントモードのとき、A/D 起動トリガ制御状態レジスタ(ADTCS)のカウント方向選択ビット(SEL0/1 ビット)の設定を(SEL1, SEL0)=(1,0)(ダウンカウント時のみ)にすることを禁止します。

● レンジ比較について

レンジ比較の実行タイミングは、A/D 変換終了時に A/D 変換結果が A/D データレジスタ(ADTCD)にセットされた後に行います。よって、A/D 変換終了割込み要求を発生から周辺クロックで 2 サイクル遅れてレンジ比較結果が RCOCD2 ～ RCOCD0 ビット, RCOOF ビット, RCINT ビットに反映され、またレンジ比較割込み要求が発生します。
レンジ比較の範囲外確認の場合、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0 回にクリアせず連続検出を継続します。
レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中に、レンジ比較実行禁止設定のあと許可設定(ADRCCS.RCOE="0" → "1")にしてください。

● チャネルごとの変換回数指定を使用しない連続スキャン変換について

同じ A/D コンバータのユニットに対応する起動チャネル間で、リピートモードが複数設定される場合、後段の A/D 起動調停では、優先順位にしたがって、ある 1 つのチャネルのみを処理することになります。よって、リピートモードが複数の起動チャネルで設定される場合は、それらの起動チャネルはデータ保護機能を有効にして使用してください。

同じ A/D コンバータのユニットに対応する起動チャネル間で、リピートモードが複数設定される場合、優先度の低い起動チャネルの変換前に、優先度が高い起動チャネルのデータ保護状態を解除すると、優先度の低い起動チャネルの変換は実行されません。よって、連続スキャン変換の最終起動チャネル実行前にデータ保護状態を解除すると、低優先の起動チャネルが実行されずスキャン変換を正常に実行されません。

● チャネルごとの変換回数指定時の連続スキャン変換について

変換回数指定スキャン変換実行許可した起動チャネルは、リピート変換モードにしてください。
チャネルごとの変換回数指定時の連続スキャン変換モード時、スキャン変換の最終チャネルに設定された EOCF ビットは、スキャン変換終了後すぐに最初から再開されるため、"1"にセットされてもすぐに"0"にクリアされます。
チャネルごとの変換回数指定時の連続スキャン変換モード時、連続スキャン変換の最終チャネルより大きい起動チャネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャネルより大きい起動チャネルは、連続スキャン変換の最終チャネルが完了した後、後段の A/D 起動調停により 1 回評価されます。
チャネルごとの変換回数指定時の休止スキャン変換モード時、休止スキャン変換の最終チャネルより大きい起動チャネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャネルより大きい起動チャネルは、休止期間中のみ A/D 変換の実行ができます。
データ保護機能有効の場合において、データ保護状態の解除タイミングは制約がありません。ただし、スキャン変換する起動チャネルがデータ保護状態の場合、データ保護状態が解除されるまでスキャン変換は停止します。

● サンプリング時間・コンペア時間の設定について

サンプリング時間は 700ns(4.5V~5.5V)/1000ns(2.7V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 47)ビットを設定してください。700ns/1000ns 未満では正常なアナログ変換値が得られない場合があります。
コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 未満では正常なアナログ変換値が得られない場合があります。

● ADMD レジスタおよび ADSTPCS の設定について

A/D モード設定レジスタ(ADMD)およびサンプリング時間設定レジスタ(ADSTPCS)のビットの書換えは、必ず A/D 変換動作前の、A/D 変換動作が停止している状態で行ってください。

Chapter 45: フラッシュメモリ

フラッシュメモリについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FZ5C8-1v9-91520-18-J

1. 概要

フラッシュメモリの概要について説明します。

本製品に内蔵されているフラッシュメモリの容量は最大 1088K バイト(1024K+64K バイト)です。ECC(Error Correction Code)が付加されています。

2. 特長

フラッシュメモリの特長について説明します。

使用可能容量:
MB91F522 : 256K+64K バイト (大セクタ部 128K×2 + 小セクタ部 16K×4)
MB91F523 : 384K+64K バイト (大セクタ部 128K×3 + 小セクタ部 16K×4)
MB91F524 : 512K+64K バイト (大セクタ部 128K×4 + 小セクタ部 16K×4)
MB91F525 : 768K+64K バイト (大セクタ部 128K×6 + 小セクタ部 16K×4)
MB91F526 : 1024K+64K バイト (大セクタ部 128K×8 + 小セクタ部 16K×4)

本品種は ECC 符号格納のため、上記に加え 4 バイトにつき 6 ビットのフラッシュメモリが搭載されています。

(注意事項)
大容量セクタは 64KB、小容量セクタは 8KB で構成されますが、連続する領域を使用する場合には、2 つのセクタが交互に現れるので、大容量セクタ 128KB、小容量セクタ 16KB 単位となります。

・高速動作:
ワード (32 ビット) 単位での読出しが 80MHz・1 サイクルで可能
・外部からの書込み:
ROM ライタにより可能
・動作モード:
① CPU-ROM モード
(CPU/DMA がフラッシュメモリにアクセス。読出しのみ)
② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し・書込み・消去)
③ フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)
・CPU による読出し/ 書込み/ 消去 (自動アルゴリズム *) が可能
・ROM ライタによる読出し/ 書込み/ 消去 (自動アルゴリズム *) が可能
・セキュリティ機能
・ 第三者によるフラッシュメモリ内容読出し阻止のため、セキュリティ ON 時に、外部からの命令フェッチ後の動作や、チップ消去以外の書込み・消去を抑止
・ オンチップデバッガ(OCD)使用により、パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。
・ECC(Error Correction Code)機能
・1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。

(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。
また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。

- チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態(FFFF)のデータを正しく読み出す必要がある場合は、かならず"FFFF"を書き込んでから読み出してください。

*: 自動アルゴリズム=Embedded Algorithm ™

3. 構成

フラッシュメモリの構成について説明します。

3.1. ブロックダイヤグラム

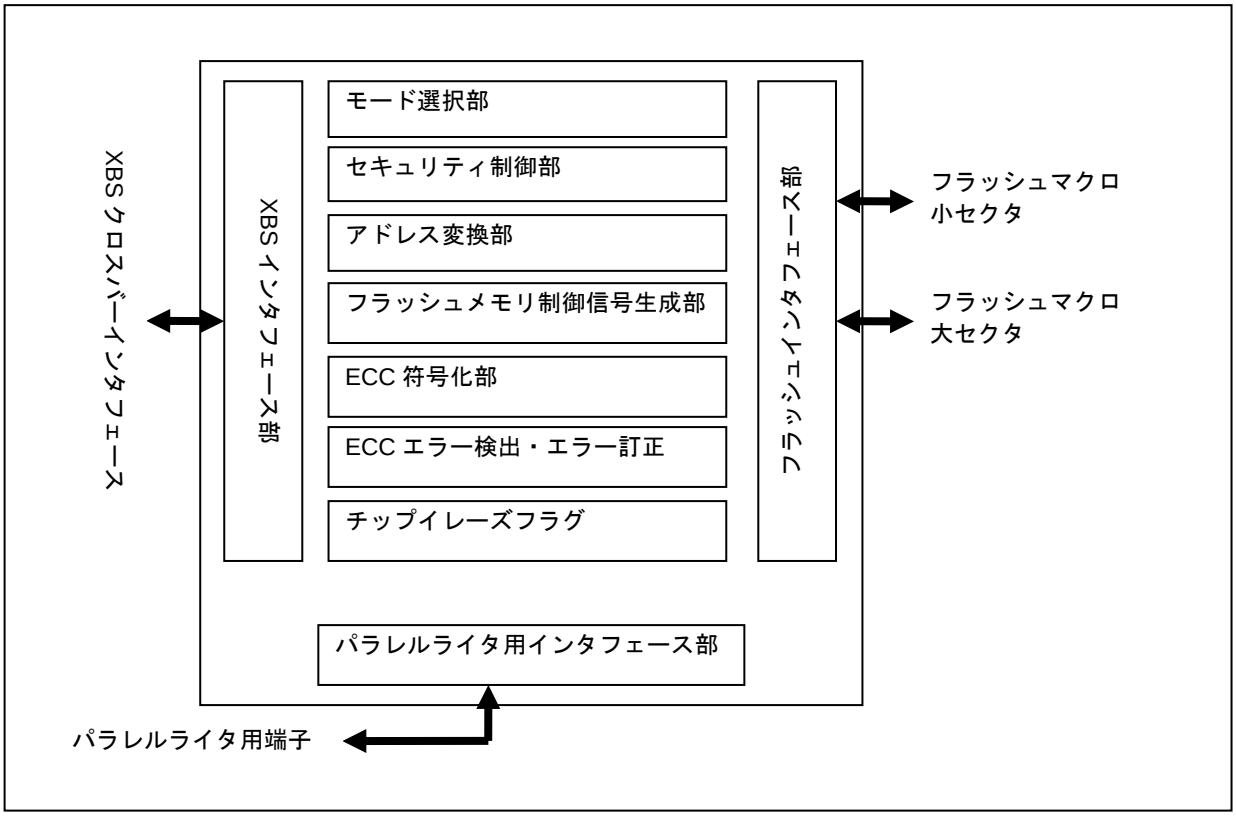
3.2. セクタ構成図

3.3. セクタ番号・フラッシュマクロ番号対応表

3.1. ブロックダイヤグラム

フラッシュメモリのブロックダイヤグラムについて説明します。

図 3-1 ブロックダイヤグラム



3.2. セクタ構成図

フラッシュメモリのセクタ構成図について説明します。

図 3-2 セクタ構成図 (MB91F522)

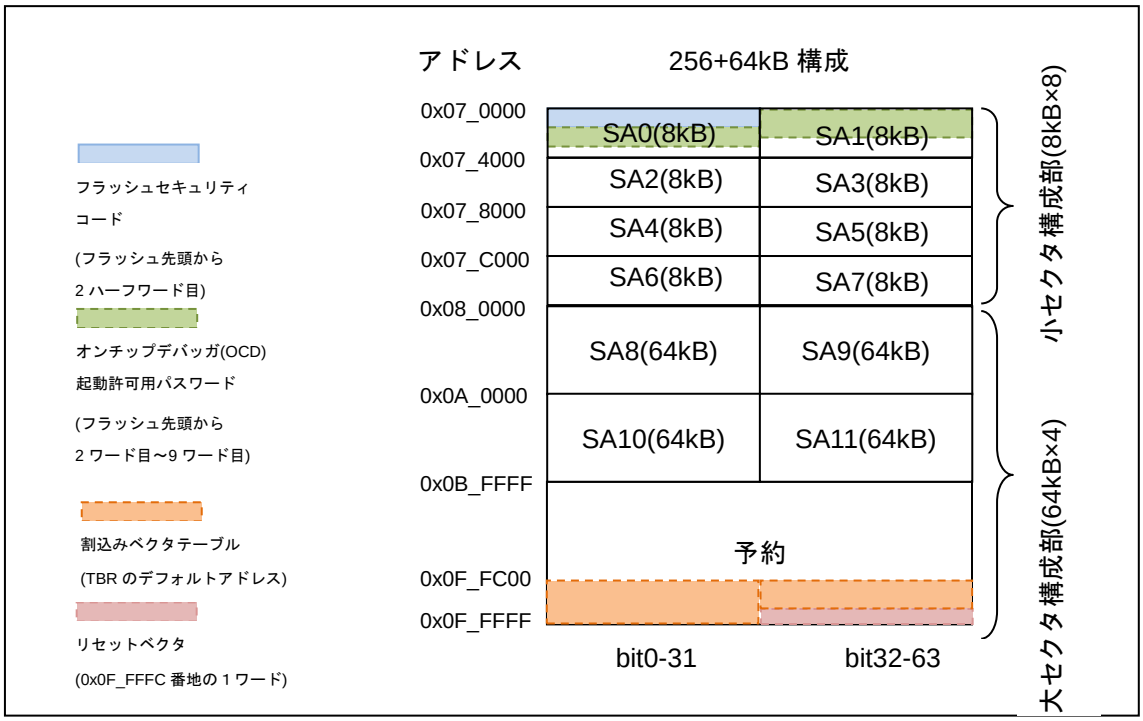


図 3-3 セクタ構成図 (MB91F523)

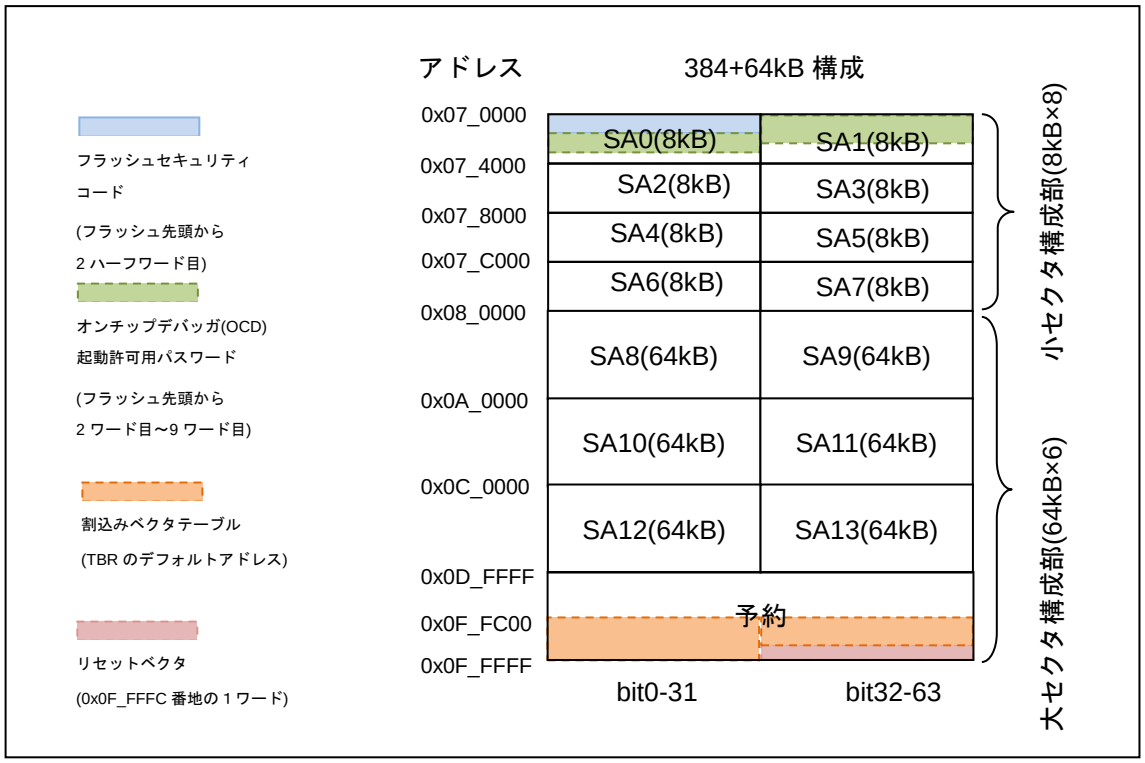


図 3-4 セクタ構成図 (MB91F524)

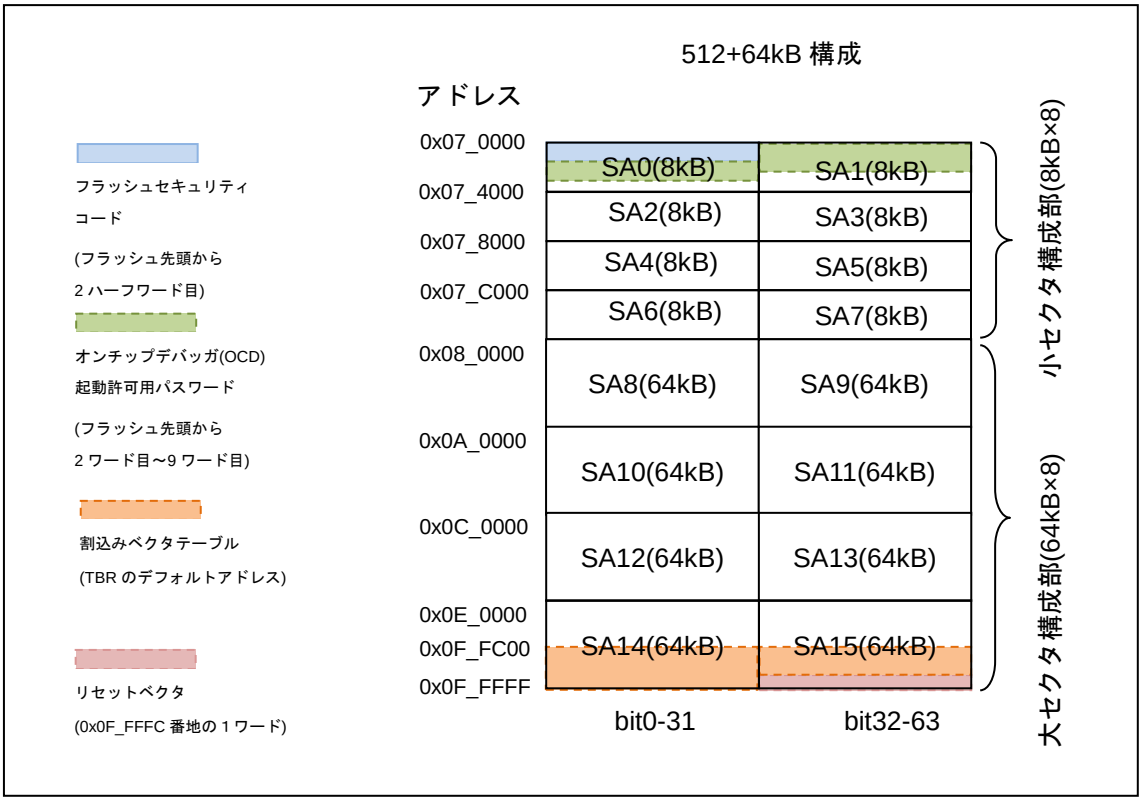


図 3-5 セクタ構成図 (MB91F525)

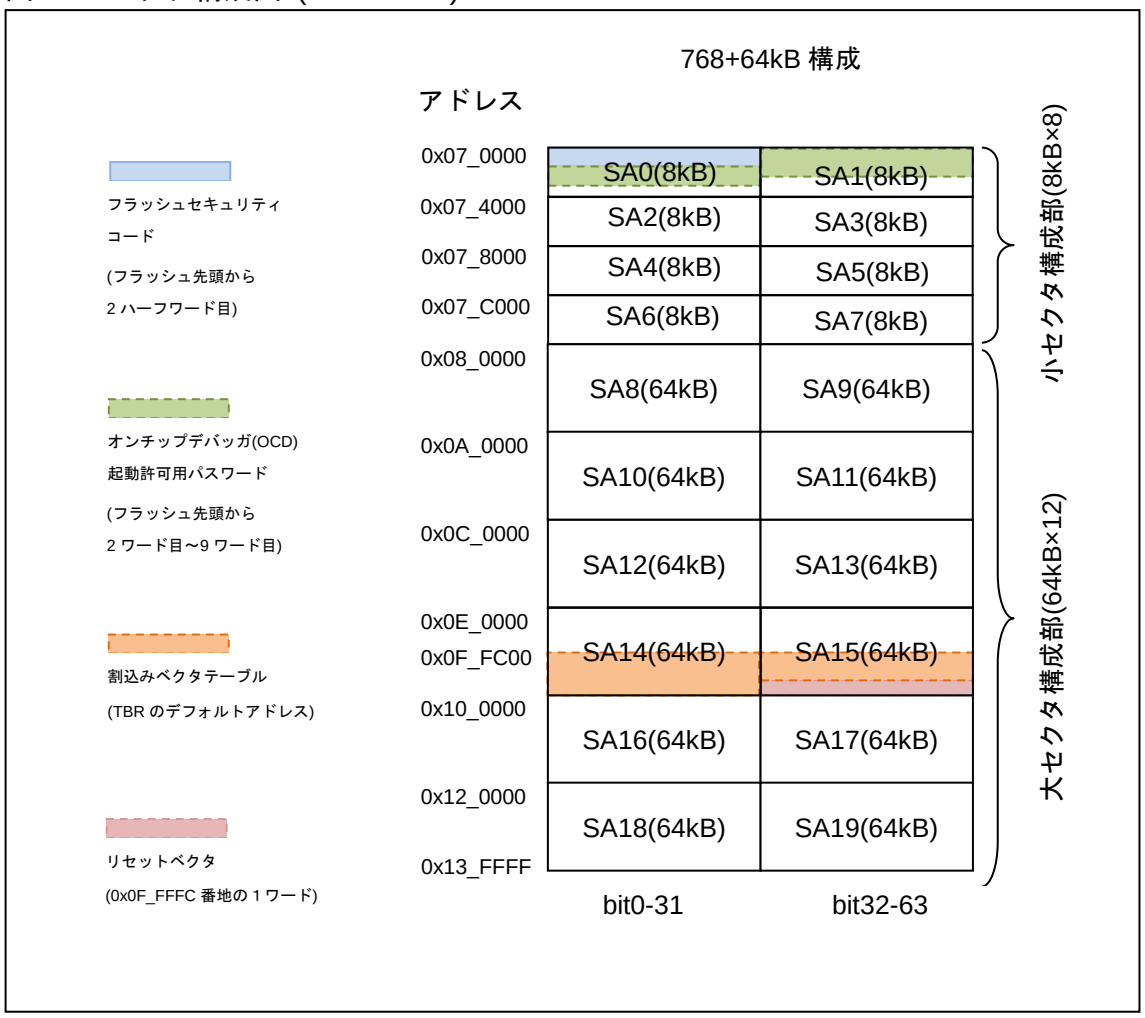


図 3-6 セクタ構成図 (MB91F526)



＜注意事項＞

FixedVector 機能により、リセットベクタは 0x0F_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス+0x0024 番地が返されます。詳細は『FixedVector 機能』の章を参照してください。オンチップデバッガ(OCD)起動許可用パスワード設定については、『オンチップデバッガ(OCD)』の章を参照してください。オンチップデバッガ(OCD)のセキュリティ機能を使用しない場合は、この領域には何も書き込まず、フラッシュ消去直後の初期状態(全 bit=1)のままとしてください。

3.3. セクタ番号・フラッシュマクロ番号対応表

セクタ番号・フラッシュマクロ番号対応表について示します。

表 3-1 セクタ番号表 MB91F522(256+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～0x07_0003) デバッガ(OCD)起動許可用パスワード領域 (0x07_0008 ～0x07_000B, 0x07_0010 ～0x07_0013, 0x07_0018 ～0x07_001B, 0x07_0020 ～0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x07_0004 ～0x07_0007, 0x07_000C ～0x07_000F, 0x07_0014 ～0x07_0017, 0x07_001C ～0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32bit)	8KB	-
SA3	0x07_4004 ～ 0x07_7FFF (上位 32bit)	8KB	-
SA4	0x07_8000 ～ 0x07_BFFB (下位 32bit)	8KB	-
SA5	0x07_8004 ～ 0x07_BFFF (上位 32bit)	8KB	-
SA6	0x07_C000 ～ 0x07_FFFB (下位 32bit)	8KB	-
SA7	0x07_C004 ～ 0x07_FFFF (上位 32bit)	8KB	-
SA8	0x08_0000 ～ 0x09_FFFB (下位 32bit)	64KB	-
SA9	0x08_0004 ～ 0x09_FFFF (上位 32bit)	64KB	-
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32bit)	64KB	-
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32bit)	64KB	-

セクタ番号	アドレス	セクタサイズ	備考
-	0x0C_0000 ～ 0x0F_FFFF	-	予約 割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)

表 3-2 セクタ番号表 MB91F523(384+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～0x07_0003) デバッガ(OCD)起動許可用パスワード領域 (0x07_0008 ～0x07_000B, 0x07_0010 ～0x07_0013, 0x07_0018 ～0x07_001B, 0x07_0020 ～0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x07_0004 ～0x07_0007, 0x07_000C ～0x07_000F, 0x07_0014 ～0x07_0017, 0x07_001C ～0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32bit)	8KB	-
SA3	0x07_4004 ～ 0x07_7FFF (上位 32bit)	8KB	-
SA4	0x07_8000 ～ 0x07_BFFB (下位 32bit)	8KB	-
SA5	0x07_8004 ～ 0x07_BFFF (上位 32bit)	8KB	-
SA6	0x07_C000 ～ 0x07_FFFB (下位 32bit)	8KB	-
SA7	0x07_C004 ～ 0x07_FFFF (上位 32bit)	8KB	-
SA8	0x08_0000 ～ 0x09_FFFB (下位 32bit)	64KB	-
SA9	0x08_0004 ～ 0x09_FFFF (上位 32bit)	64KB	-
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32bit)	64KB	-

セクタ番号	アドレス	セクタサイズ	備考
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32bit)	64KB	-
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32bit)	64KB	-
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32bit)	64KB	-
-	0x0E_0000 ～ 0x0F_FFFF	-	予約 割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)

表 3-3 セクタ番号表 MB91F524(512+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～0x07_0003) デバッガ(OCD)起動許可用パスワード領域 (0x07_0008 ～0x07_000B, 0x07_0010 ～0x07_0013, 0x07_0018 ～0x07_001B, 0x07_0020 ～0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x07_0004 ～0x07_0007, 0x07_000C ～0x07_000F, 0x07_0014 ～0x07_0017, 0x07_001C ～0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32bit)	8KB	-
SA3	0x07_4004 ～ 0x07_7FFF (上位 32bit)	8KB	-
SA4	0x07_8000 ～ 0x07_BFFB (下位 32bit)	8KB	-
SA5	0x07_8004 ～ 0x07_BFFF (上位 32bit)	8KB	-
SA6	0x07_C000 ～ 0x07_FFFB (下位 32bit)	8KB	-
SA7	0x07_C004 ～ 0x07_FFFF (上位 32bit)	8KB	-

セクタ番号	アドレス	セクタサイズ	備考
SA8	0x08_0000 ～ 0x09_FFFB (下位 32bit)	64KB	-
SA9	0x08_0004 ～ 0x09_FFFF (上位 32bit)	64KB	-
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32bit)	64KB	-
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32bit)	64KB	-
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32bit)	64KB	-
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32bit)	64KB	-
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32bit)	64KB	-
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32bit)	64KB	割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)

表 3-4 セクタ番号表 MB91F525(768+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～0x07_0003) デバッガ(OCD)起動許可用パスワード領域 (0x07_0008 ～0x07_000B, 0x07_0010 ～0x07_0013, 0x07_0018 ～0x07_001B, 0x07_0020 ～0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x07_0004 ～0x07_0007, 0x07_000C ～0x07_000F, 0x07_0014 ～0x07_0017, 0x07_001C ～0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32bit)	8KB	-
SA3	0x07_4004 ～ 0x07_7FFF (上位 32bit)	8KB	-
SA4	0x07_8000 ～ 0x07_BFFB (下位 32bit)	8KB	-

セクタ番号	アドレス	セクタサイズ	備考
SA5	0x07_8004 ～ 0x07_BFFF (上位 32bit)	8KB	-
SA6	0x07_C000 ～ 0x07_FFFB (下位 32bit)	8KB	-
SA7	0x07_C004 ～ 0x07_FFFF (上位 32bit)	8KB	-
SA8	0x08_0000 ～ 0x09_FFFB (下位 32bit)	64KB	-
SA9	0x08_0004 ～ 0x09_FFFF (上位 32bit)	64KB	-
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32bit)	64KB	-
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32bit)	64KB	-
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32bit)	64KB	-
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32bit)	64KB	-
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32bit)	64KB	-
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32bit)	64KB	割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)
SA16	0x10_0000 ～ 0x11_FFFB (下位 32bit)	64KB	-
SA17	0x10_0004 ～ 0x11_FFFF (上位 32bit)	64KB	-
SA18	0x12_0000 ～ 0x13_FFFB (下位 32bit)	64KB	-
SA19	0x12_0004 ～ 0x13_FFFF (上位 32bit)	64KB	-

表 3-5 セクタ番号表 MB91F526(1024+64KB 品種)

セクタ番号	アドレス	セクタサイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32bit)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～0x07_0003) デバッガ(OCD)起動許可用パスワード領域 (0x07_0008 ～0x07_000B, 0x07_0010 ～0x07_0013, 0x07_0018 ～0x07_001B, 0x07_0020 ～0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32bit)	8KB	デバッガ(OCD)起動許可用パスワード領域 (0x07_0004 ～0x07_0007, 0x07_000C ～0x07_000F, 0x07_0014 ～0x07_0017, 0x07_001C ～0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32bit)	8KB	-
SA3	0x07_4004 ～ 0x07_7FFF (上位 32bit)	8KB	-
SA4	0x07_8000 ～ 0x07_BFFB (下位 32bit)	8KB	-
SA5	0x07_8004 ～ 0x07_BFFF (上位 32bit)	8KB	-
SA6	0x07_C000 ～ 0x07_FFFB (下位 32bit)	8KB	-
SA7	0x07_C004 ～ 0x07_FFFF (上位 32bit)	8KB	-
SA8	0x08_0000 ～ 0x09_FFFB (下位 32bit)	64KB	-
SA9	0x08_0004 ～ 0x09_FFFF (上位 32bit)	64KB	-
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32bit)	64KB	-
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32bit)	64KB	-
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32bit)	64KB	-
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32bit)	64KB	-
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32bit)	64KB	-

セクタ番号	アドレス	セクタサイズ	備考
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32bit)	64KB	割込みベクタテーブル位置(TBR デフォルト) (0x0F_FC00～0x0F_FFFB) リセットベクタ位置 (0x0F_FFFC～0x0F_FFFF)
SA16	0x10_0000 ～ 0x11_FFFB (下位 32bit)	64KB	-
SA17	0x10_0004 ～ 0x11_FFFF (上位 32bit)	64KB	-
SA18	0x12_0000 ～ 0x13_FFFB (下位 32bit)	64KB	-
SA19	0x12_0004 ～ 0x13_FFFF (上位 32bit)	64KB	-
SA20	0x14_0000 ～ 0x15_FFFB (下位 32bit)	64KB	-
SA21	0x14_0004 ～ 0x15_FFFF (上位 32bit)	64KB	-
SA22	0x16_0000 ～ 0x17_FFFB (下位 32bit)	64KB	-
SA23	0x16_0004 ～ 0x17_FFFF (上位 32bit)	64KB	-

4. レジスタ

フラッシュメモリのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0840	FCTLR		予約	FSTR	フラッシュ制御レジスタ フラッシュ状態スレジスタ
0x2308	FLIFCTLR	予約	FLIFFER1	FLIFFER2	フラッシュインタフェース制御レジスタ フラッシュインタフェースフィーチャー拡張レジスタ 1 フラッシュインタフェースフィーチャー拡張レジスタ 2

4.1. フラッシュ制御レジスタ: FCTLR (Flash ConTroL Register)

フラッシュ制御レジスタのビット構成について示します。

フラッシュへのアクセス制御を設定します。

■ FCTLR: アドレス 0840$_H$ (アクセス: ハーフワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	FWE	予約		FSZ[1:0]		FAW[1:0]	
初期値	1	0	-	-	1	0	0	0
属性	R1,WX	R/W	RX,W0	RX,W0	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FDSBL	予約		RDYF	予約			
初期値	0	-	-	0	-	-	-	-
属性	R/W	RX,W0	RX,W0	R/W	RX,W0	RX,W0	RX,W0	RX,W0

[bit15] 予約

予約ビットです。このビットは常に"1"が読み出されます。書込みは動作に影響しません。

[bit14] FWE (Flash Write Enable) : フラッシュ書込み許可

フラッシュへの書込み許可ビットです。このビットをセットして、CPU プログラミングモードに設定します。書込みが許可されたかどうかは FSTR: FRDY ビットで確認してください。

本ビットを設定した場合、フラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	フラッシュ書込み不許可(初期値)
1	フラッシュ書込み許可

＜注意事項＞

フラッシュに書込みを行う場合、フラッシュからの命令フェッチは禁止です。

[bit13, bit12] 予約

予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

[bit11, bit10] FSZ[1: 0] (Flash write access SiZe) : **フラッシュ書込みアクセスサイズ設定**

CPU モード時のフラッシュライトアクセスサイズを指定します。必ず設定したビット幅で書き込んでください。読出しアクセスサイズは、本ビットの影響を受けません。読出し時フラッシュマクロに対しては常に 32bit Read を行います。FAW ビットにより wait サイクルを挿入した場合は、64bit 読出しアクセスとなります。

FSZ[1:0]	説明
00	8 ビット
01/10/11	16 ビット

[bit9, bit8] FAW[1: 0] (FLASH Access Wait) : **フラッシュアクセス・ウェイト設定**

CPU モード時のフラッシュアクセスに対するウェイト・サイクルを設定します。フラッシュメモリの読出し時間は 12.5 ns なので､80MHz を超える動作周波数でフラッシュメモリにアクセスすることは禁止です。80MHz を超える動作周波数でのアクセス時は、FAW=1(1wait)に設定してください。

FAW により wait サイクルを挿入する際は、クロックを高速にする前に、本ビットを設定してください。また、wait サイクルを削除する際は、クロックを低速にしてから、本ビットを設定してください。

FAW[1:0]	説明
00	0 サイクル (初期値)
01	1 サイクル
10/11	設定禁止

＜注意事項＞

本ビットにより、1wait サイクルを設定した場合、ワイルドレジスタ機能が使用できません。ワイルドレジスタ機能を使用する場合は、コアの動作速度を 80MHz 以下とし、FAW ビットの設定値を 2’b00(0cycle)としてください。

[bit7] FDSBL (Flash DiSaBLe) : **フラッシュ Disable 指示**

フラッシュをアクセス禁止状態(読出し・書込み共に)に設定します。

FDSBL	説明
0	フラッシュアクセス許可(初期値)
1	フラッシュアクセス禁止

[bit6, bit5] **予約**

予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

[bit4] RDYF (ReaDY Flag) : **分岐アクセス時の RDY ネゲート指示**

分岐アクセス時のウェイト・サイクル挿入を指示します。本ビットが"1"に設定されると、分岐アクセス時は、ウェイト・サイクルが挿入されます。これは、分岐した際の処理サイクルを合わせるためです。本ビットが"0"の場合は、分岐アクセス発生時、FLASH I/F の内部状態により、ウェイト・サイクルの制御が行われます。分岐アクセス受付け時に、サイクルタイムを保証する必要がない場合、ウェイト・サイクルは挿入しません。サイクルタイムを保証する必要がある場合は、ウェイト・サイクルを挿入します。

RDYF	説明
0	FLASH I/F の状態に依る(初期値)
1	ウェイト・サイクル挿入

[bit3～bit0] 予約

予約ビットです。読出し値は不定です。書込み時は"0"を書き込んでください。

4.2. フラッシュ状態レジスタ ：FSTR (Flash STatus Register)

フラッシュ状態レジスタのビット構成について示します。

フラッシュの状態を表示します。

■ FSTR: アドレス 0843_H (アクセス: バイト)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					FECCERR	FHANG	FRDY
初期値	-	-	-	-	-	0	0	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R,W	R,WX	R,WX

[bit7～bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] FECCERR (Flash ECC Error coRRectiON) : **データ読出し ECC 訂正発生**

CPU 命令読出し以外でのフラッシュメモリ読出しの際に ECC エラー訂正が発生した場合、本ビットがセットされます。"0"書込みで本ビットをクリアします。

FECCERR	読出し	書込み
0	データ読出し時の ECC による訂正は発生していません(初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。
CPU 命令読出しの際に ECC エラー訂正が発生しても、本ビットはセットされません。
ECC エラーと"0"書込みが同時に発生した場合は"0"書込みが優先されます。

[bit1] FHANG (Flash HANG) : **フラッシュ HANG 状態**

フラッシュメモリの HANG 状態を示します。

FHANG	説明
0	通常状態
1	HANGUP 状態

タイミング超過(ハードウェアシーケンスフラグの「[bit5]: TLOV: (タイミングリミット超過フラグビット)」参照してください)した場合 HANG 状態になります。このビットが"1"になった場合はリセットコマンド(「5.3.1 コマンドシーケンス」参照してください)を発行してください。
自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

[bit0] FRDY (Flash ReaDY) : **フラッシュ書込み許可**

自動アルゴリズムでフラッシュメモリの書込み/ 消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

FRDY	説明
0	動作中(書込み/ 消去不可、ステータス読出し可能)
1	動作完了(書込み/ 消去可能、読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

4.3. フラッシュインタフェース制御レジスタ :FLIFCTLR (Flash I/F Control Register)

フラッシュインタフェース制御レジスタのビット構成について示します。

Flash I/F の制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

■ FLIFCTLR: アドレス 2308$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			DFWDSBL	予約		ECCDSBL1	ECCDSBL0
初期値	-	-	-	0	-	0	0	0
属性	RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W

[bit7～bit5] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) : **データフェッチ・ウェイトサイクル無効**

本ビットを"1"に設定した場合、ウェイト設定時のデータ・フェッチ時に挿入されるウェイト・サイクルを無効にします。ただし、サイクルタイム保証のためのウェイト・サイクルは無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効(初期値)
1	ウェイト・サイクル無効

＜注意事項＞

本ビットを"1"から"0"に変更する場合、かならず FCTLR.FAW="00"に設定してから行ってください。

[bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] 予約

予約ビットです。必ず"0"を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) : ECC 機能無効 1

CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) : ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

4.4. フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1(Flash I/F Feature ExtensiONRegister 1)

フラッシュインタフェースフィーチャー拡張レジスタ 1 のビット構成について示します。

予備レジスタです。本レジスタに書き込む場合は 0xFF を書き込んでください。

■ FLIFFER1: アドレス 230A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1

[bit7～bit0] 予約

予約ビットです。0xFF を書き込んでください。

4.5. フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2(Flash I/F Feature ExtensiONRegister 2)

フラッシュインタフェースフィーチャー拡張レジスタ 2 のビット構成について示します。

予備レジスタです。本レジスタに書き込む場合は 0xFF を書き込んでください。

■ FLIFFER2: アドレス 230B$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	1	1	1	1	1	1	1	1
属性	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1

[bit7～bit0] 予約

予約ビットです。0xFF を書き込んでください。

5. 動作説明

フラッシュメモリの動作について説明します。

フラッシュ領域へのアクセス方法について説明します。

5.1. アクセスモード設定

5.2. CPU によるフラッシュメモリ書込み

5.3. 自動アルゴリズム

5.4. リセットコマンド

5.5. 書込みコマンド

5.6. チップ消去コマンド

5.7. セクタ消去コマンド

5.8. セクタ消去一時停止コマンド

5.9. セキュリティ機能

5.10. フラッシュメモリの使用上の注意

5.1. アクセスモード設定

アクセスモードの設定について示します。

本品種のフラッシュメモリには以下の 3 モードがあります。本項にて①②の設定方法を説明します。③については、ご使用の ROM ライタの説明書を参照してください。

① CPU-ROM モード
(CPU がフラッシュメモリにアクセス。読出しのみ、バイト/ハーフワード/ワードアクセス)

② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し/書込み、ハーフワードアクセスのみ)

③ フラッシュメモリモード
(外部からフラッシュメモリにアクセス可能)

5.1.1. CPU-ROM モードへの設定

CPU-ROM モードへの設定について示します。

フラッシュ制御レジスタ(FCTLR)の FWE ビットが"0"のときは、CPU-ROM モードです。CPU-ROM モードでは、フラッシュ状態レジスタ(FSTR)の FRDY ビットが"1"のとき、フラッシュメモリからの読出しが可能になります。CPU-ROM モードでは、フラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

5.1.2. CPU プログラミングモードへの設定

CPU プログラミングモードへの設定について示します。

フラッシュ制御レジスタ(FCTLR)の FWE ビットが"1"のときは、CPU プログラミングモードです。CPU プログラミングモードでは、フラッシュ状態レジスタ(FSTR)の FRDY ビットが"1"のとき、フラッシュメモリからの読出しおよび書込みが可能になります。

5.2. CPU によるフラッシュメモリ書込み

CPU によるフラッシュメモリ書込みについて示します。

CPU プログラミングモードに設定した後、自動アルゴリズムを利用して消去・書込みを行います。
本品種では 1 ワードごとの ECC(Error Correction Code)が付加されますので、1 ワードごとの書込みを行ってください。
以下の手順で 1 ハーフワードを 2 連続に、1 ワードごとに書込みを行ってください。この手順に従わない場合、ECC 計算されずにフラッシュメモリに書き込まれてしまうため、書いた値を正しく読み出せません。

① フラッシュアクセスサイズ設定を 16 ビットに設定します(FCTLR.FSZ[1: 0]=01)。
② 書込みコマンドを発行します。書込みアドレス= PA　書込みデータ= PD[31: 16]　書込みコマンドについては「5.5 書込みコマンド」を参照してください。
③ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。ハードウェアシーケンスフラグ読出しについては「5.3.2　自動アルゴリズム実行状態」を参照してください。
④ 書込みコマンドを発行します。書込みアドレス= PA+2　書込みデータ= PD[15: 0]　この際、ハードウェアが自動で②の PD[31: 16]とあわせて ECC 符号の計算を行い、ECC 符号の書込みも自動で同時に行われます。
⑤ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。
⑥ 書込みデータがまだある場合は②に戻ります。すべて書込み完了した場合は⑦へ進みます。
⑦ CPU-ROM モードに設定します。
⑧ 書込みした値を読み出して、正しい値を読めるか確認してください。また、正しい値が読めた場合でも FSTR: FECCERR ビットを確認して ECC 訂正がされていないか確認してください。
ECC 訂正が発生していた場合はフラッシュメモリ消去からやり直してください。

PA : 書込み対象アドレス(ワードアラインド)
PD[31: 0] : 書込みデータ
PD[31: 16] : 書込みデータ上位 16 ビット分
PD[15: 0] : 書込みデータ下位 16 ビット分

5.3. 自動アルゴリズム

自動アルゴリズムについて示します。

CPU プログラミングモードを利用する場合、フラッシュメモリへの書込み/消去は自動アルゴリズムを起動して行います。本項にて自動アルゴリズムについて説明します。

5.3.1. コマンドシーケンス

コマンドシーケンスについて示します。

フラッシュメモリへ 1 回～ 6 回連続でハーフワード(16 ビット)のデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを以下に示します。

表 5-1 コマンドシーケンス

コマンド	書込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]	アドレス [11: 0]	データ [7: 0]
リセット	1	任意	$F0_H$	-	-	-	-	-	-	-	-	-	-
読出し	1	RA	RD	-	-	-	-	-	-	-	-	-	-
書込み	4	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	$A0_H$	PA	PD	-	-	-	-
チップ消去	6	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	80_H	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	10_H
セクタ消去	6	$x554_H$	AA_H	$yAA8_H$	55_H	$x554_H$	80_H	$x554_H$	AA_H	$yAA8_H$	55_H	SA	30_H
セクタ消去一時停止	1	任意	$B0_H$	-	-	-	-	-	-	-	-	-	-
セクタ消去再開	1	任意	30_H	-	-	-	-	-	-	-	-	-	-

* 表中のデータ表記は下位 8 ビット分のみを表記しています。上位 8 ビットは任意です。コマンドはハーフワードまたはバイトで書き込んでください。
* 表中のアドレス表記は下位 16 ビット分のみです。上位 16 ビット分は、対象となるフラッシュマクロのアドレス範囲のうちの任意のアドレスを指定してください。

x: 1,3,5,7,9,B,D,F
y: 0,2,4,6,8,A,C,E
PA: 書込みアドレス (ハーフワードアラインド)
PD: 書込みデータ (16 ビットで書き込んでください。)

SA: セクタアドレス (消去対象となるセクタのアドレス範囲の内の任意のアドレスを指定してください。)
RA: 読出しアドレス
RD: 読出しデータ (読出し幅は任意です。)

＜注意事項＞

- 誤ったアドレス値やデータ値をライトした場合や、誤ったシーケンスでライトした場合、それまでライトしたコマンドはクリアされます。
- コマンドアドレス、セクタ消去コマンド発行時に入力するセクタアドレス(SA)の最下位 2 ビット分は以下のようにしてください。
  ハーフワード・アクセス時: 2’b00
  バイト・アクセス時: 2’b01 または 2’b11
  例 1: バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b01 に変更)とする場合、yAA8H → yAA9H、x554H → x555H、SA → {SA[31: 2], 2'b01}
  (SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
  例 2 : バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b11 に変更)とする場合、yAA8H → yAABH、x554H → x557H、SA → {SA[31: 2], 2'b11}
  (SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

■ リセットコマンド

リセットコマンドを対象フラッシュメモリに送ると、それまでに入力した表 5-1 に示す各コマンドをキャンセルし、再び 1 回目からコマンドを入力し直せます。
ただし、各コマンドを最後まで入力し自動アルゴリズムが起動した場合、本リセットコマンドでは自動アルゴリズムを中止することはできません。
自動アルゴリズムの実行がタイミングリミットを超過した場合は、リセットコマンドを発行することでフラッシュメモリがリセット状態へ復帰します。

■ 読出しコマンド

読出しコマンドを対象セクタに送ると、フラッシュメモリを読出しできます。読出しコマンドを発行した場合、フラッシュメモリは他のコマンドが発行されるまで読出し状態を保ちます。

■ プログラム(書込み)コマンド

書込みコマンドを対象セクタに 4 回連続して送ると、自動アルゴリズムを起動してフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でもセクタの境界を越えても行えます。
CPU プログラミングモードでは、ハーフワード/バイトで書込みが行えます。4 回目の書込みが終了した後自動アルゴリズムが起動し、フラッシュメモリへの自動書込みが開始されます。
自動書込みアルゴリズムコマンドシーケンス実行後は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.5 書込みコマンド」を参照してください。

＜注意事項＞

- ハーフワードで書き込む場合、4 回目の書込みコマンド(書込みデータサイクル)を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
- 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。

・セキュリティ ON 時においては、フラッシュの書込みには制限があります。詳細は「5.9.4. セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリの全セクタを一括で消去できます。6 回目の書込みが終了した後自動アルゴリズムが起動し、チップ消去動作が開始されます。
自動消去アルゴリズムが起動した場合、すべてのチップ消去をする前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.6 チップ消去コマンド」を参照してください。

■ セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリのセクタを消去できます。6 回目の書込み終了から 40µs 経過 (タイムアウト期間)した場合、自動アルゴリズムが起動し、セクタ消去動作が開始されます。
複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30H)を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。
自動消去アルゴリズムが起動した場合、セクタ消去する前に、フラッシュメモリが消去するセクタのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。

また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.7 セクタ消去コマンド」を参照してください。

＜注意事項＞

セキュリティ ON 時においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去実行中またはコマンドタイムアウト中にセクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態(セクタイレーズサスペンド状態)に移行できます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。
コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常にライトされると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して直ちにセクタ消去動作を再開します。

実際の動作については、「5.8 セクタ消去一時停止コマンド」を参照してください。

＜注意事項＞

セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7µs+2cyc 要します。
読出し可能状態になったかどうかは、フラッシュ状態レジスタ(FSTR)の FRDY ビットまたはハードウェアシーケンスフラグの TOGG1 で確認できます。

5.3.2. 自動アルゴリズム実行状態

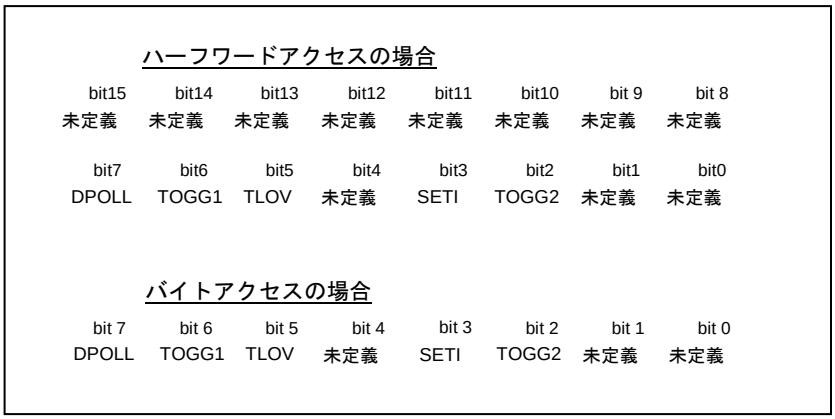
自動アルゴリズム実行状態について示します。

フラッシュメモリでは、書込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをフラッシュ状態レジスタ(FSTR)の FRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

● ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。フラッシュ状態レジスタ(FSTR)の FRDY ビットが"0"のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を次に示します。

図 5-1 ハードウェアシーケンスフラグのビット構成



＜注意事項＞

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を次に示します。

表 5-2 フラグとフラッシュメモリ状態の対応

状態		DPOLL	TOGG1	TLOV	SETI	TOGG2
実行中	書込み中	反転データ (*1)	トグル	0	0	-
	セクタ/チップ消去中	0	トグル	0	1	-
タイムリミット超過	書込みコマンド	反転データ (*1)	トグル	1	0	-
	セクタ/チップ消去コマンド	0	トグル	1	1	-
セクタ消去一時停止	消去対象セクタ	-	-	-	-	トグル

*1 読み出される値については、「● ビット説明」を参照してください。

● ビット説明

[bit15 ～ bit8] 未定義ビット

[bit7] DPOLL : (データポーリングフラグビット)

書込み/消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。
読み出される値は動作状態によって異なります。

(1) 書込み時

書込み中:	最後に書き込まれたデータの bit7 の値と逆の値(反転データ)が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

(2) セクタ消去時

セクタ消去実行中:	消去中のセクタから"0"が読み出されます。
セクタ消去後:	必ず"1"が読み出されます。

(3) チップ消去時

チップ消去実行中:	必ず"0"が読み出されます。
チップ消去後:	必ず"1"が読み出されます。

(4) セクタ消去一時停止時

一時停止状態 (未完了):	セクタ消去一時停止セクタから"0"が読み出されます。
セクタ消去動作完了:	セクタ消去一時停止セクタから"1"が読み出されます。

＜注意事項＞

自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、データを読み出してください。

[bit6] TOGG1： (トグルフラグ 1 ビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● 書込み/ セクタ消去/ チップ消去時

書込み/ セクタ消去/ チップ消去中:	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み/ セクタ消去/ チップ消去終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV： (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間(内部パルスの回数)を超過したかどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● 書込み/ セクタ消去/ チップ消去時

次の値が読み出されます。

"0"	規定時間内
"1"	規定時間を越えている

このビットが"1"のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示している場合、書込みや消去に失敗したことになります。
例えば、フラッシュメモリでは"0" が書き込まれているデータを"1"に書き換えることができないため、"0"が書き込まれているアドレスに"1"を書き込もうとした場合、フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは"1"と"0"が交互に読み出され続けます。この状態のまま規定時間を超えたときに、このビットが"1"に変わります。
このビットが"1"になった場合はリセットコマンドを発行してください。

＜注意事項＞

このビットが"1" の場合は、フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] 未定義ビット

[bit3] SETI : (セクタ消去タイマフラグビット)
セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40µs のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

- **セクタ消去時**

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

"0"	セクタ消去ウェイト期間中(次のセクタ消去コード(0x30)を受け付けられます。)
"1"	セクタ消去ウェイト期間を超過している(このときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示している場合、フラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード(0x30)以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2] TOGG2 : (トグルフラグ 2 ビット)
セクタイレーズサスペンド状態において、消去対象でないセクタに対しては読出し(リード)を行うことができますが、消去対象セクタに対してはリードができません。本フラグは、セクタ消去一時停止中でリードアドレスが消去対象セクタの場合、出力データがトグルして、消去対象セクタであることを示します。

消去対象セクタへの読出し	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
消去対象でないセクタへの読出し	指定したアドレスのデータを読み出します。

[bit1, bit0]: 未定義ビット

5.4. リセットコマンド

リセットコマンドについて示します。

リセットコマンドを対象フラッシュメモリに送ると、フラッシュメモリをリセット状態にできます。この状態はフラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了した場合、フラッシュメモリは常にリセット状態に戻ります。
電源投入時はリセットコマンドを発行する必要はありません。
また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

5.5. 書込みコマンド

書込みコマンドについて示します。

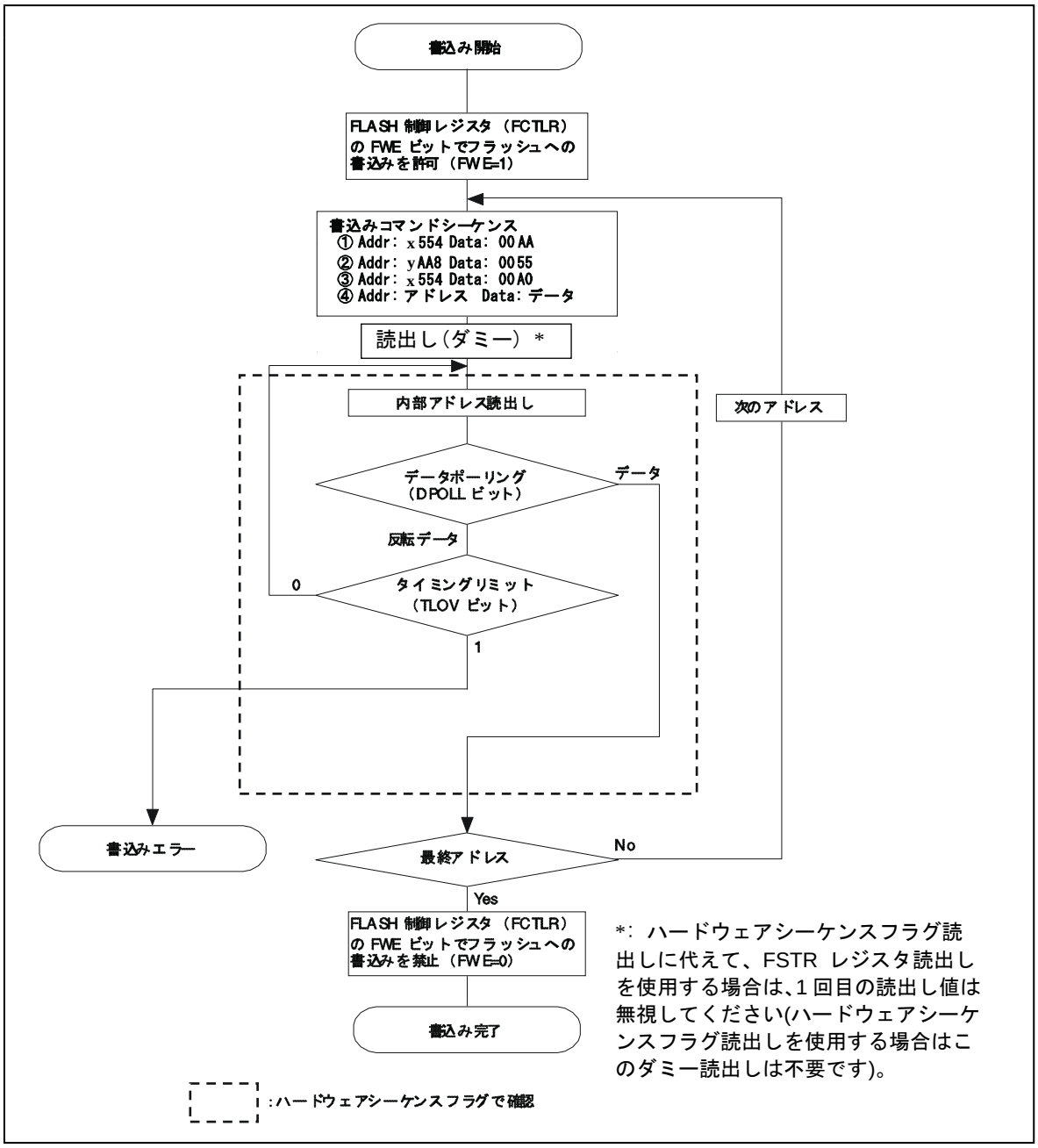
次の順番で書込みを行います。

① 書込みコマンドを対象セクタに連続して送る
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。

② 書込みを行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が書き込んだ値と一致している場合、フラッシュメモリへの書込みが終了したことになります。
書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値(反転データ)が読み出されます。

フラッシュメモリへの書込み動作例を次に示します。

図 5-2 書込み手順例


書込み開始
FLASH 制御レジスタ（FCTLR）の FWE ビットでフラッシュへの書込みを許可（FWE=1）
書込みコマンドシーケンス
① Addr: x554 Data: 00AA
② Addr: yAA8 Data: 0055
③ Addr: x554 Data: 00A0
④ Addr: アドレス Data: データ
読出し（ダミー）*
内部アドレス読出し
次のアドレス
データポーリング（DPOLL ビット）
データ
反転データ
0
タイミングリミット（TLOV ビット）
1
書込みエラー
最終アドレス
No
Yes
FLASH 制御レジスタ（FCTLR）の FWE ビットでフラッシュへの書込みを禁止（FWE=0）
書込み完了
:ハードウェアシーケンスフラグで確認
*: ハードウェアシーケンスフラグ読出しに代えて、FSTR レジスタ読出しを使用する場合は、1 回目の読出し値は無視してください(ハードウェアシーケンスフラグ読出しを使用する場合はこのダミー読出しは不要です)。

＜注意事項＞

- 書込みが終了した後、フラッシュメモリは読出しモードに戻るため、書込みアドレスを受け付けなくなります。
- 書込みコマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認してください。
- ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが"1"に変わると同時に、トグル動作を停止します。そのため、TLOV ビットが"1"の場合でも、TOGG1 ビットを再度確認してください。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- 一度、"0"が書き込まれたデータを"1"に戻すことはできません。"0"を"1"に書き換えると、以下のいずれかになります。
  - ✧ データポーリングアルゴリズムにより素子が不良と判定される
  - ✧ 書込み規定時間を超え、ハードウェアシーケンスフラグビットの TLOV ビットが"1"に変わる
  - ✧ "1"が書き込まれたように見える

  ただし、"1"が書き込まれたように見えた場合でも、実際のデータは"0"のままのため、読出し/リセットモードでデータを読み出すと"0"が読み出されます。データを"1"に戻したい場合は、チップ消去かセクタ消去を行ってください。
- 書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行ってください。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。

5.6. チップ消去コマンド

チップ消去コマンドについて示します。

チップ消去コマンドにて、フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。
チップ消去コマンドを対象フラッシュに連続して送ると、自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。
次の順番でチップ消去を行います。

① チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動され、フラッシュメモリへデータが書き込まれます。

② 消去対象フラッシュマクロの任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 × 全セクタ数＋チップ書込み時間(プリプログラム)」となります。
チップ消去動作が終了した後、フラッシュメモリは読出し/リセットモードに戻ります。

＜注意事項＞

- 自動消去アルゴリズムが起動した場合、すべてのチップ消去をする前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
- セキュリティ ON 時においては、フラッシュの消去には手順に制限があります。詳細は「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

5.7. セクタ消去コマンド

セクタ消去コマンドについて示します。

フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。
次の順番でセクタ消去を行います。

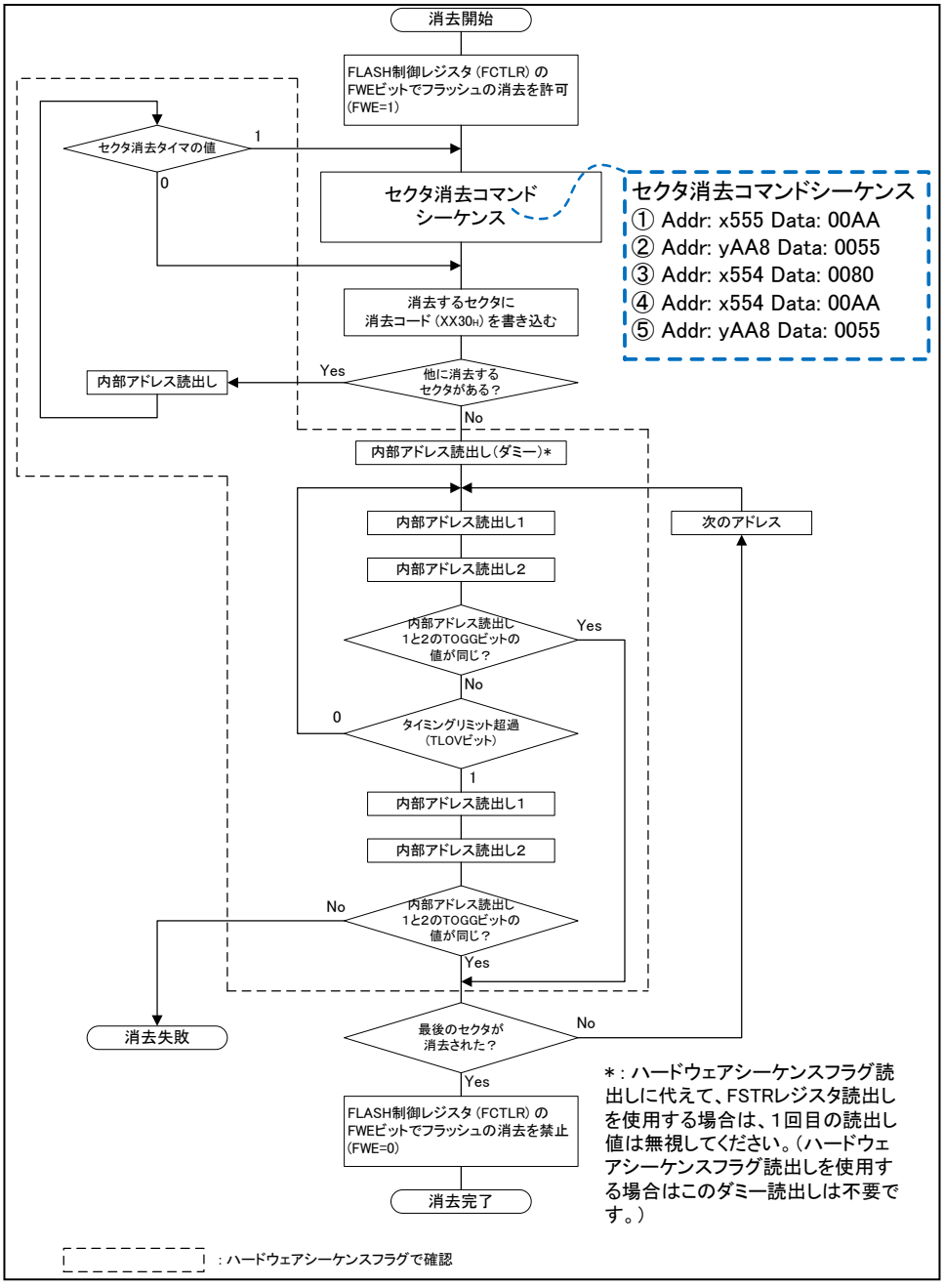
① セクタ消去コマンドを対象セクタに連続して送る
40µs 経過(タイムアウト期間)した場合、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30_H)を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

② 任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL

ビット)が"1"だと、セクタ消去が終了したことになります。また、TOGG1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を次に示します。

図 5-3 セクタ消去手順例



＜注意事項＞

- セクタ消去に必要な時間は「(セクタ消去時間＋セクタ書込み時間 (プリプログラム)) ×セクタ数」となります。
- セクタ消去動作が終了した場合、フラッシュメモリは読出し/リセットモードに戻ります。
- セクタ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが"1"の場合でも再度確認してください。
- ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも、TOGG1 ビットを再度確認してください。
- コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
- 自動消去アルゴリズムが起動した場合、セクタ消去する前に、フラッシュメモリが消去するセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。

5.8. セクタ消去一時停止コマンド

セクタ消去一時停止コマンドについて示します。

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去を一時停止させるには、対象フラッシュマクロの任意のアドレスにセクタ消去一時停止コマンドを送ります。

セクタ消去が停止したあとは、対象フラッシュマクロからの読出し動作が許可されます。このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されます。

セクタ消去一時停止状態に入ると、以下の状態になります。

・セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
・フラッシュ状態レジスタの FRDY が"1"になる。
これらを利用して、セクタ消去一時停止状態に入ったことを確認可能です。

＜注意事項＞

- セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs+2cyc 要します。
- セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2: TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。

セクタ消去一時停止状態から、中断していた消去動作を再開するには、表 5-1 のセクタ消去再開コマンドを送ります。

セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。

セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

5.9. セキュリティ機能

セキュリティ機能について示します。

本フラッシュメモリには、セキュリティ機能が搭載されています。

セキュリティ機能が OFF のときは制限なくフラッシュメモリを使用できますが、セキュリティ機能が ON のときは、外部バスからの命令フェッチ後の動作や、チップ消去以外の書込み・消去が抑止されます。制限内容については「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

リセット解除時におけるフラッシュセキュリティ ON/OFF 判別について示します。

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の 2 バイトを読み出します。その値が 0x0001 の場合はセキュリティ ON になり、その後のフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

5.9.2. フラッシュセキュリティ設定方法

フラッシュセキュリティ設定方法について示します。

フラッシュセキュリティコード領域(図 3-2 ～図 3-6 を参照してください)に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。

5.9.3. フラッシュセキュリティ解除方法

フラッシュセキュリティ解除方法について示します。

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

① ワークフラッシュを消去します。
② フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合はプログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は、手順①からやり直してください。

＜注意事項＞

ユーザモード(内部フラッシュ起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施してください。

5.9.4. セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時のフラッシュアクセス制限について示します。

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ・外バス	通常状態(後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態)では、セキュリティ情報領域(フラッシュメモリの先頭 9 ワード)に対する書込みはキャンセルされます。また、セクタ 0,1 に対するセクタイレーズコマンドも無視されます。 オンチップバス領域に対して命令フェッチが行われるとフラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。 リセットで通常状態に復帰します。

動作モード	アクセス制限
上記以外 (ライタ等)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

また、セキュリティ ON 時には、セキュリティ情報格納領域(フラッシュメモリの先頭 9 ワード)へのデータ読出し行った場合は

- データアクセスエラーとなり、不正命令例外またはデータアクセスエラー割込みが発生します (「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」および『CPU』の章の『10.3.1. MPU 制御レジスタ(MPUCR)』を参照してください)。
- 読出し値として 0xFFFFFFFF が返されます。

ただし、OCD ツール接続時の、OCDU からのアクセスまたはデバッグステート時の読出しの場合はこの制限はありません。

5.10. フラッシュメモリの使用上の注意

フラッシュメモリの使用上の注意について示します。

- 書込み中に本デバイスがリセットされた場合は，書き込んでいるデータは保証されません。
- フラッシュ制御レジスタ(FCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)したきは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- フラッシュ制御レジスタ(FCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行ってください。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。
- 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ(OCD)のパスワードによる認証が完了することによって、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出せます。第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。
- フラッシュプログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。
- 本フラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

Chapter 46: ワークフラッシュメモリ

ワークフラッシュメモリについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FZ5C0-1v9-91520-19-J

1. 概要

ワークフラッシュメモリの概要について説明します。

本製品に内蔵されているフラッシュメモリの容量は 64K バイトです。ECC(Error Correction Code)が付加されています。

2. 特長

ワークフラッシュメモリの特長について説明します。

・使用可能容量:
MB91F52x :64K バイト(8 K バイト×8 セクタ)
本品種は ECC 符号格納のため、上記に加え 4 バイトにつき 6 ビットのフラッシュメモリが搭載されています。
・高速動作:ワード(32 ビット)単位での読出しが 80MHz・2 サイクルで可能。
・外部からの書込み:
ROM ライタにより可能
・動作モード:
① CPU-ROM モード
(CPU/DMA がフラッシュメモリにアクセス。読出しのみ)
データアクセスのみが可能です。インストラクションフェッチはできません。
② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し・書込み・消去)
③ フラッシュメモリモード
(外部からフラッシュメモリにアクセス可能)
・セキュリティ機能
・ 第三者によるフラッシュメモリ内容読出し阻止のため、セキュリティ ON 時に、外部からの命令フェッチ後の動作や、チップ消去以外の書込み・消去を抑止
・ オンチップデバッガ(OCD)使用により、パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。

・ ECC(Error Correction Code)機能
・1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。
(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。
また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
・チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。
イレーズ状態(FFFF)のデータをエラー検知されないように読み出す必要がある場合は、"FFFF"を書き込んでから読み出してください。

*: 自動アルゴリズム=Embedded Algorithm ™

3. 構成

ワークフラッシュメモリの構成について説明します。

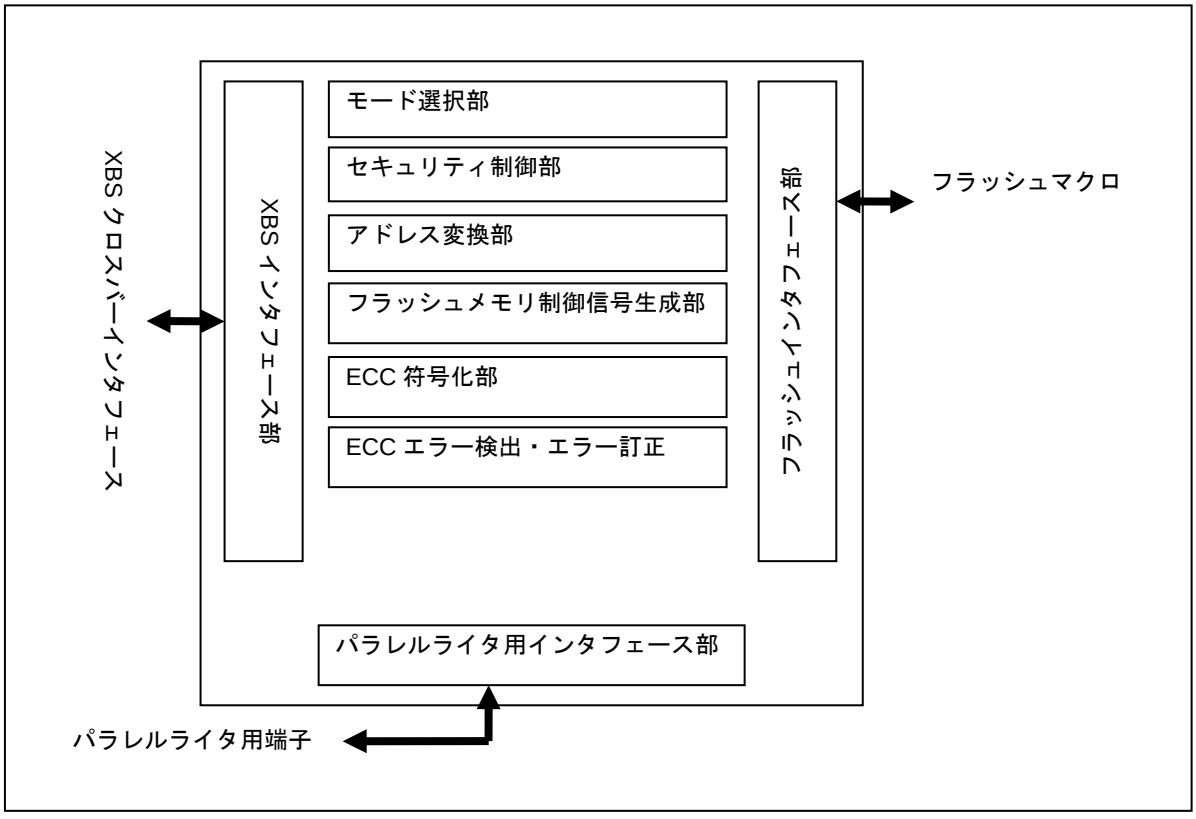
3.1. ブロックダイヤグラム

3.2. セクタ構成図

3.1. ブロックダイヤグラム

ワークフラッシュメモリのブロックダイヤグラムについて示します。

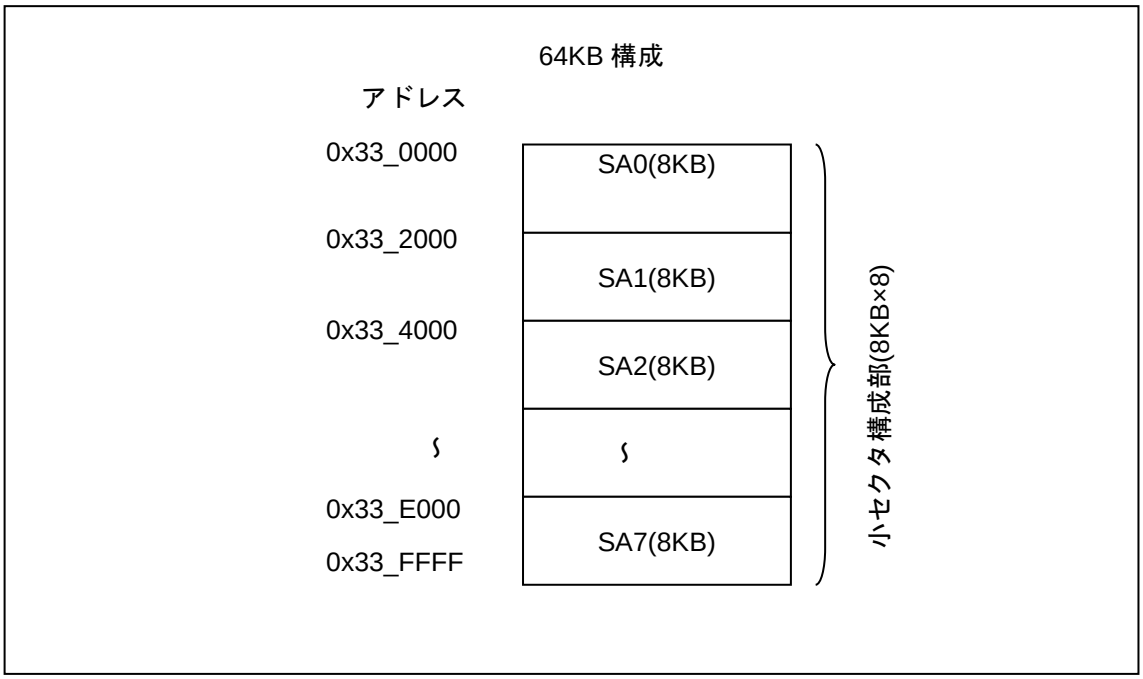
図 3-1 ブロックダイヤグラム (64KB 品種)



3.2. セクタ構成図

ワークフラッシュメモリのセクタ構成図について示します。

図 3-2 セクタ構成図



4. レジスタ

ワークフラッシュメモリのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x2300	DFCTLR		予約	DFSTR	ワークフラッシュ制御レジスタ ワークフラッシュ状態スレジスタ
0x2308	FLIFCTLR	予約	予約	予約	フラッシュインタフェース制御レジスタ

4.1. ワークフラッシュ制御レジスタ ：DFCTLR (WorkFlash ConTroL Register)

ワークフラッシュ制御レジスタのビット構成について示します。

ワークフラッシュへのアクセス制御を設定します。

■ DFCTLR: アドレス 2300H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	FWE	予約					
初期値	-	0	-	-	-	-	-	-
属性	RX,WX	R/W	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	-	-	-	-	-	-	-	-
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX

[bit15] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit14] FWE (Flash Write Enable) : フラッシュ書込み許可

CPU モード時にワークフラッシュへの書込みを許可する制御ビットです。

本ビットを設定した場合、ワークフラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	フラッシュ書込み不許可(初期値)
1	フラッシュ書込み許可

[bit13～bit0] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

4.2. ワークフラッシュ状態レジスタ ：DFSTR (WorkFlash STatus Register)

ワークフラッシュ状態レジスタのビット構成について示します。

ワークフラッシュの状態を表示します。

■ DFSTR: アドレス 2303$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					DFECCERR	DFHANG	DFRDY
初期値	-	-	-	-	-	0	0	1
属性	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R/W	R,WX	R,WX

[bit7～bit3] 予約

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] DFECCERR (WorkFlash ECC Error coRRection) : データ読出し ECC 訂正発生

CPU モードにおけるワークフラッシュへのデータリード時に ECC エラーが発生したことを示します。このビットは"0"書込みでクリアされます。ECC エラーと"0"書込みが同時に発生した場合は"0"書込みが優先されます。

DFECCERR	読出し	書込み
0	データ読出し時の ECC による訂正は発生していません(初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。

[bit1] DFHANG (WorkFlash HANG) : ワークフラッシュ HANG 状態

ワークフラッシュメモリの HANG 状態を示します。タイミング超過(ハードウェアシーケンスフラグの「[bit5]:TLOV:(タイミングリミット超過フラグビット)」を参照してください)した場合 HANG 状態になります。このビットが"1"になった場合はリセットコマンド(「5.3.1　コマンドシーケンス」を参照してください)を発行してください。

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

DFHANG	説明
0	通常状態
1	HANGUP 状態

[bit0] DFRDY (WorkFlash ReaDY) : **ワークフラッシュ書込み許可**

自動アルゴリズムでフラッシュメモリの書込み/消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

DFRDY	説明
0	動作中(書込み/ 消去不可、状態読出し可能)
1	動作完了(書込み/ 消去可能、読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

4.3. フラッシュインタフェース制御レジスタ ：FLIFCTLR (Flash I/F Control Register)

フラッシュインタフェース制御レジスタのビット構成について示します。

Flash I/F を制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

■ FLIFCTLR: アドレス 2308$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			DFWDSBL	予約		ECCDSBL1	ECCDSBL0
初期値	-	-	-	0	-	0	0	0
属性	RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W

[bit7～bit5] **予約**

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) : **データフェッチ・ウェイトサイクル無効**

本ビットを"1"に設定した場合、ウェイト設定時のデータフェッチ時に挿入されるウェイトサイクルを無効にします。ただし、サイクルタイム保証のためのウェイト・サイクルは無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効(初期値)
1	ウェイト・サイクル無効

＜注意事項＞

本ビットを"1"から"0"に変更する場合、かならず FCTLR.FAW="00"に設定してから行ってください。

[bit3] **予約**

予約ビットです。読出し値は不定です。書込みは動作に影響しません。

[bit2] **予約**

予約ビットです。必ず"0"を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) : ECC 機能無効 1

CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) : ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効/無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効(初期値)
1	ECC 機能無効

5. 動作説明

ワークフラッシュメモリの動作について説明します。

フラッシュ領域へのアクセス方法について説明します。

5.1. アクセスモード設定

5.2. CPU によるフラッシュメモリ書込み

5.3. 自動アルゴリズム

5.4. リセットコマンド

5.5. 書込みコマンド

5.6. チップ消去コマンド

5.7. セクタ消去コマンド

5.8. セクタ消去一時停止コマンド

5.9. セキュリティ機能

5.10. ワークフラッシュメモリの使用上の注意

5.1. アクセスモード設定

アクセスモードの設定について示します。

本品種のフラッシュメモリには以下の 3 モードがあります。本項にて①②の設定方法を説明します。③については、ご使用の ROM ライタの説明書を参照してください。

① CPU-ROM モード
(CPU がフラッシュメモリにアクセス。読出しのみ、バイト/ハーフワード/ワードアクセス)

② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し/書込み、ハーフワードアクセスのみ)

③ フラッシュメモリモード
(外部からフラッシュメモリにアクセス可能)

5.1.1. CPU-ROM モードへの設定

CPU-ROM モードへの設定について示します。

ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットが"0"のときは、CPU-ROM モードです。CPU-ROM モードでは、ワークフラッシュ状態レジスタ(DFSTR)の DFRDY ビットが"1"のとき、フラッシュメモリからの読出しが可能になります。CPU-ROM モードでは、フラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

5.1.2. CPU プログラミングモードへの設定

CPU プログラミングモードへの設定について示します。

ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットが"1"のときは、CPU プログラミングモードです。CPU プログラミングモードでは、ワークフラッシュ状態レジスタ(DFSTR)の DFRDY ビットが"1"のとき、フラッシュメモリからの読出しおよび書込みが可能になります。

5.2. CPU によるフラッシュメモリ書込み

CPU によるフラッシュメモリ書込みについて示します。

CPU プログラミングモードに設定した後、自動アルゴリズムを利用して消去・書込みを行います。
本品種では 1 ワードごとの ECC(Error Correction Code)が付加されますので、1 ワードごとの書込みを行ってください。
以下の手順で 1 ハーフワードを 2 連続に、1 ワードごとに書込みを行ってください。この手順に従わない場合、ECC 計算されずにフラッシュメモリに書き込まれてしまうため、書いた値を正しく読み出せません。

① フラッシュアクセスサイズ設定を 16 ビットに設定します(FCTLR.FSZ[1:0]=01)。
FCTLR は、『フラッシュメモリ』の章を参照してください。
② 書込みコマンドを発行します。書込みアドレス=PA 書込みデータ=PD[31:16]書込みコマンドについては「5.5 書込みコマンド」を参照してください。
③ 書込みが終了するまで、ハードウェアシーケンスフラグを読出します。ハードウェアシーケンスフラグ読出しについては「5.3.2 自動アルゴリズム実行状態」を参照してください。
④ 書込みコマンドを発行します。書込みアドレス=PA+2 書込みデータ=PD[15:0]この際、ハードウェアが自動で②の PD[31:16]とあわせて ECC 符号の計算を行い、ECC 符号の書込みも自動で同時に行われます。
⑤ 書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。
⑥ 書込みデータがまだある場合は②に戻ります。すべて書込み完了した場合は⑦へ進みます。
⑦ CPU-ROM モードに設定します。
⑧ 書込みした値を読み出して、正しい値を読めるか確認してください。また、正しい値が読めた場合でも DFSTR.DFECCERR ビットを確認して ECC 訂正がされていないか確認してください。
ECC 訂正が発生していた場合はフラッシュメモリ消去からやり直してください。

PA : 書込み対象アドレス(ワードアラインド)
PD[31:0] : 書込みデータ
PD[31:16] : 書込みデータ上位 16 ビット分
PD[15:0] : 書込みデータ下位 16 ビット分

5.3. 自動アルゴリズム

自動アルゴリズムについて示します。

CPU プログラミングモードを利用する場合、フラッシュメモリへの書込み/消去は自動アルゴリズムを起動して行います。本項にて自動アルゴリズムについて説明します。

5.3.1. コマンドシーケンス

コマンドシーケンスについて示します。

フラッシュメモリへ1回～6回連続でハーフワード(16ビット)のデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを以下に示します。

表 5-1 コマンドシーケンス

コマンド	書込み回数	1回目		2回目		3回目		4回目		5回目		6回目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	任意	$F0_H$	-	-	-	-	-	-	-	-	-	-
読出し	1	RA	RD	-	-	-	-	-	-	-	-	-	-
書込み	4	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	$A0_H$	PA	PD	-	-	-	-
チップ消去	6	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	80_H	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	10_H
セクタ消去	6	$AA8_H$	AA_H	554_H	55_H	$AA8_H$	80_H	$AA8_H$	AA_H	554_H	55_H	SA	30_H
セクタ消去一時停止	1	任意	$B0_H$	-	-	-	-	-	-	-	-	-	-
セクタ消去再開	1	任意	30_H	-	-	-	-	-	-	-	-	-	-

* 表中のデータ表記は下位8ビット分のみを表記しています。上位8ビットは任意です。コマンドはハーフワードまたはバイトで書き込んでください。
* 表中のアドレス表記は下位12ビット分のみです。上位20ビット分は、対象となるフラッシュマクロのアドレス範囲のうちの任意のアドレスを指定してください。
PA: 書込みアドレス(ハーフワードアラインド)
PD: 書込みデータ(16ビットで書き込んでください。)
SA: セクタアドレス(消去対象となるセクタのアドレス範囲の内の任意のアドレスを指定してください。)
RA: 読出しアドレス
RD: 読出しデータ(読出し幅は任意です。)

＜注意事項＞

- 誤ったアドレス値やデータ値をライトした場合や、誤ったシーケンスでライトした場合、それまでライトしたコマンドはクリアされます。
- コマンドアドレス、セクタ消去コマンド発行時に入力するセクタアドレス(SA)の最下位 2 ビット分は以下のようにしてください。
  ハーフワード・アクセス時:2’b00
  バイト・アクセス時:2’b01 または 2’b11
  例 1:バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b01 に変更)とする場合、yAA8H → yAA9H、x554H → x555H、SA → {SA[31:2], 2'b01}
  (SA:セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
  例 2 : バイトアクセス時、コマンドアドレス=(標準コマンドアドレスの最下位 2 ビットを 2'b11 に変更)とする場合、yAA8H → yAABH、x554H → x557H、SA → {SA[31:2], 2'b11}
  (SA:セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

■ リセットコマンド

リセットコマンドを対象フラッシュメモリに送ると、それまでに入力した表 5-1 コマンドシーケンスに示す各コマンド入力をキャンセルし、再び 1 回目からコマンド入力し直せます。
ただし、各コマンドを最後まで入力し自動アルゴリズムが起動した場合、本リセットコマンドでは自動アルゴリズムを中止することはできません。
自動アルゴリズムの実行がタイミングリミットを超過した場合のみ、リセットコマンドを発行することでフラッシュメモリがリセット状態へ復帰します。

■ 読出しコマンド

読出しコマンドを対象セクタに送るとフラッシュメモリを読出しできます。読出しコマンドを発行することによって、フラッシュメモリは他のコマンドが発行されるまで読出し状態を保ちます。

■ プログラム(書込み)コマンド

書込みコマンドを対象セクタに 4 回連続して送ると、自動アルゴリズムを起動してフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でも、セクタの境界を越えても行えます。
CPU プログラミングモードでは、ハーフワードで書込みを行います。4 回目の書込みが終了した後自動アルゴリズムが起動し、フラッシュメモリへの自動書込みが開始されます。
自動書込みアルゴリズムコマンドシーケンス実行後は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.5 書込みコマンド」を参照してください。

＜注意事項＞

- ハーフワードで書き込む場合､4 回目の書込みコマンド(書込みデータサイクル)を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
- 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- セキュリティ ON においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリの全セクタを一括で消去できます。6 回目の書込みが終了した後自動アルゴリズムが起動し、チップ消去動作が開始されます。
自動消去アルゴリズムが起動した場合、すべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、チップ消去前にフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.6 チップ消去コマンド」を参照してください。

■ セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送ると、フラッシュメモリのセクタを消去できます。6 回目の書込み終了から 40µs 経過(タイムアウト期間)した場合、自動アルゴリズムが起動し、セクタ消去動作が開始されます。
複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30H)を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。
自動消去アルゴリズムが起動した場合、セクタ消去する前に、フラッシュメモリが消去するセクタのセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は，外部からフラッシュメモリを制御する必要はありません。
実際の動作については、「5.7 セクタ消去コマンド」を参照してください。

＜注意事項＞

セキュリティ ON 時においては、フラッシュの書込みには制限があります。詳細は「5.9.4 セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去実行中またはコマンドタイムアウト中にセクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態(セクタイレーズサスペンド状態)に移行できます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。
コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常にライトされると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して直ちにセクタ消去動作を再開します。
実際の動作については、「5.8 セクタ消去一時停止コマンド」を参照してください。

＜注意事項＞

セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7µs+2cyc 要します。
読出し可能状態になったかどうかは、ワークフラッシュ状態レジスタ(DFSTR)の DFRDY ビットまたはハードウェアシーケンスフラグの TOGG1 で確認できます。

5.3.2. 自動アルゴリズム実行状態

自動アルゴリズム実行状態について示します。

フラッシュメモリでは、書込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをワークフラッシュ状態レジスタ(DFSTR)の DFRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

● ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。ワークフラッシュ状態レジスタ(DFSTR)の DFRDY ビットが"0"のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を次に示します。

図 5-1 ハードウェアシーケンスフラグのビット構成

ハーフワードアクセスの場合

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義

バイトアクセスの場合

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義

＜注意事項＞

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を次に示します。

表 5-2 フラグとフラッシュメモリ状態の対応

状態		DPOLL	TOGG1	TLOV	SETI	TOGG2
実行中	書込み中	反転データ (*1)	トグル	0	0	-
	セクタ/チップ消去中	0	トグル	0	1	-
タイムリミット超過	書込みコマンド	反転データ (*1)	トグル	1	0	-
	セクタ/チップ消去コマンド	0	トグル	1	1	-
セクタ消去一時停止	消去対象セクタ	-	-	-	-	トグル

*1：読み出される値については、「● ビット説明」を参照してください。

● ビット説明

[bit15～bit8]:未定義ビット

[bit7] DPOLL : (データポーリングフラグビット)

書込み/消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。
読み出される値は動作状態によって異なります。

(1) 書込み時

書込み中:	最後に書き込まれたデータの bit7 の値と逆の値(反転データ)が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

(2) セクタ消去時

セクタ消去実行中:	消去中のセクタから"0"が読み出されます。
セクタ消去後:	必ず"1"が読み出されます。

(3) チップ消去時

チップ消去実行中:	必ず"0"が読み出されます。
チップ消去後:	必ず"1"が読み出されます。

(4) セクタ消去一時停止時

一時停止状態(未完了):	セクタ消去一時停止セクタから、"0"が読み出されます。
セクタ消去動作完了:	セクタ消去一時停止セクタから、"1"が読み出されます。

＜注意事項＞

自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、データを読み出してください。

[bit6] TOGG1 : (トグルフラグ 1 ビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

● 書込み/セクタ消去/チップ消去時

書込み/ セクタ消去/ チップ消去中:	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み/ セクタ消去/ チップ消去終了後:	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV : (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間(内部パルスの回数)を超過したかどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

● 書込み/セクタ消去/チップ消去時

次の値が読み出されます。

"0"	規定時間内
"1"	規定時間を超えている

このビットが"1"のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示している場合、書込みや消去に失敗したことになります。
例えば、フラッシュメモリでは"0"が書き込まれているデータを"1"に書き換えることができないため、"0"が書き込まれているアドレスに"1"を書き込もうとした場合、フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは"1"と"0"が交互に読み出され続けます。この状態のまま規定時間を超えたときに、このビットが"1"に変わります。
このビットが"1"になった場合はリセットコマンドを発行してください。

＜注意事項＞

このビットが"1"の場合は、フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] :未定義ビット

[bit3] SETI : (セクタ消去タイマフラグビット)
セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40µs のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。
読み出される値は動作状態によって異なります。

- **セクタ消去時**

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

"0"	セクタ消去ウェイト期間中(次のセクタ消去コード(0x30)を受け付けられます。)
"1"	セクタ消去ウェイト期間を超過している(このときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示している場合、フラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード(0x30)以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2] TOGG2 : (トグルフラグ 2 ビット)
セクタイレーズサスペンド状態において、消去対象でないセクタに対しては読出し(リード)を行うことができますが、消去対象セクタに対してはリードができません。本フラグは、セクタ消去一時停止中でリードアドレスが消去対象セクタの場合、出力データがトグルして、消去対象セクタであることを示します。

消去対象セクタへの 読出し	連続でこのビットを読み出すと、"1"と"0"が交互に読み出されます(トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
消去対象でないセクタへの 読出し	指定したアドレスのデータを読出します。

[bit1, bit0]:未定義ビット

5.4. リセットコマンド

リセットコマンドについて示します。

リセットコマンドを対象フラッシュに送ると、フラッシュメモリをリセット状態にできます。この状態はフラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了した場合、フラッシュメモリは常にリセット状態に戻ります。
電源投入時はリセットコマンドを発行する必要はありません。
また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

5.5. 書込みコマンド

書込みコマンドについて示します。

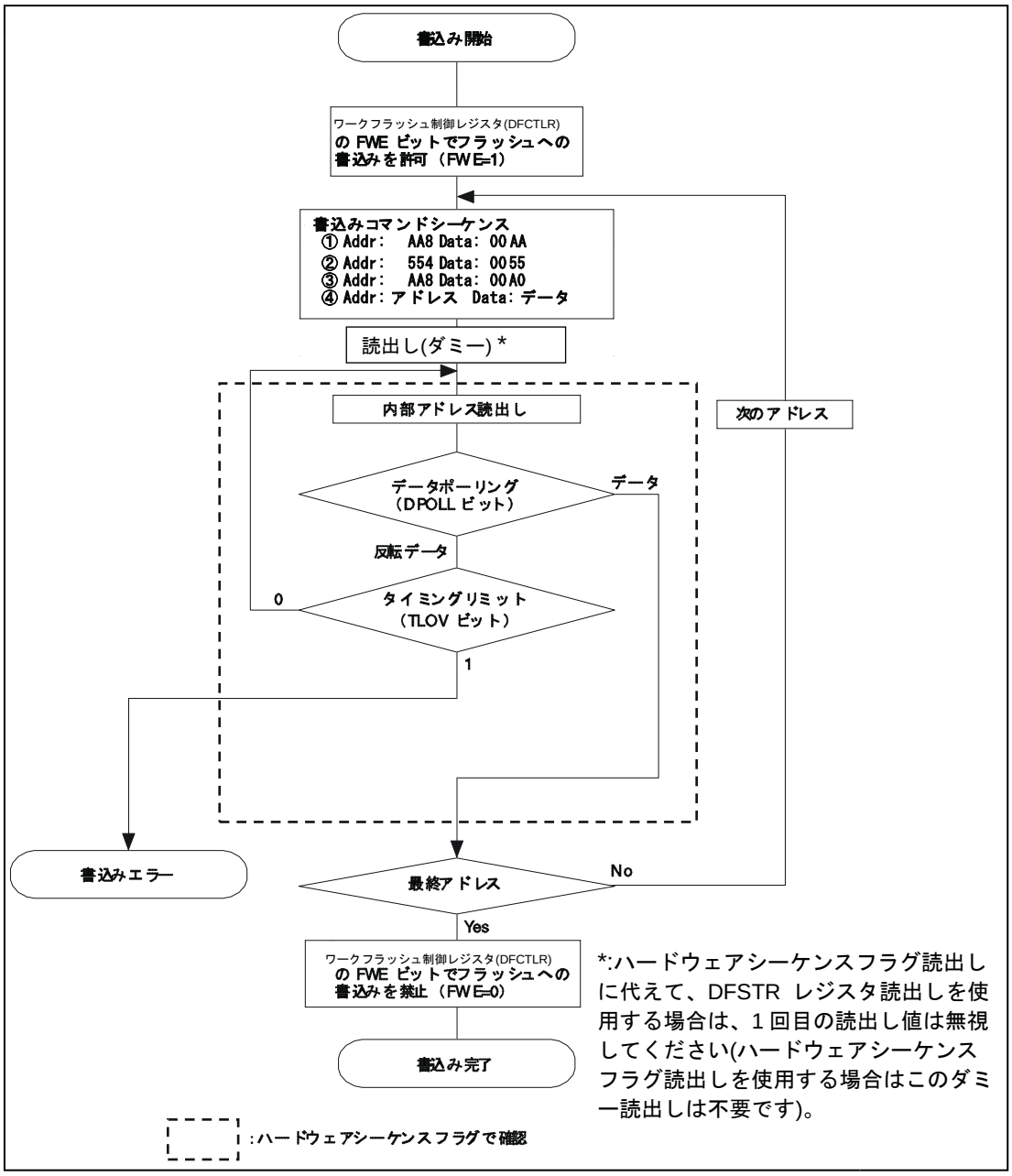
次の順番で書込みを行います。

① 書込みコマンドを対象セクタに連続して送る
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。

② 書込みを行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が書き込んだ値と一致している場合、フラッシュメモリへの書込みが終了したことになります。
書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値(反転データ)が読み出されます。

フラッシュメモリへの書込み動作例を次に示します。

図 5-2 書込み手順例



*:ハードウェアシーケンスフラグ読出しに代えて、DFSTR レジスタ読出しを使用する場合は、1 回目の読出し値は無視してください(ハードウェアシーケンスフラグ読出しを使用する場合はこのダミー読出しは不要です)。

＜注意事項＞

- 書込みが終了した場合、フラッシュメモリは読出しモードに戻るため、書込みアドレスを受け付けなくなります。
- 書込みコマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認してください。
- ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも TOGG1 ビットを再度確認してください。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- 一度、"0"が書き込まれたデータを"1"に戻すことはできません。"0"を"1"に書き換えると、以下のいずれかになります。
  - ✧ データポーリングアルゴリズムにより素子が不良と判定される
  - ✧ 書込み規定時間を超え、ハードウェアシーケンスフラグビットの TLOV ビットが"1"に変わる
  - ✧ "1"が書き込まれたように見える

  ただし、"1"が書き込まれたように見えた場合でも、実際のデータは"0"のままのため、読出し/リセットモードでデータを読み出すと"0"が読み出されます。データを"1"に戻したい場合は、チップ消去かセクタ消去を行ってください。
- 書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行ってください。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。

5.6. チップ消去コマンド

チップ消去コマンドについて示します。

チップ消去コマンドにて、フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。

チップ消去コマンドを対象フラッシュメモリに連続して送ると自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。

次の順番でチップ消去を行います。

① チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動され、フラッシュメモリへデータが書き込まれます。

② 消去対象フラッシュマクロの任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間×全セクタ数＋チップ書込み時間(プリプログラム)」となります。チップ消去動作が終了した場合、フラッシュメモリは読出し/リセットモードに戻ります。

＜注意事項＞

- 自動消去アルゴリズムが起動した場合すべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに"0"を書き込んで、マージンを検証(プリプログラム)するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
- セキュリティ ON 時においては、フラッシュの消去には手順に制限があります。詳細は「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

5.7. セクタ消去コマンド

セクタ消去コマンドについて示します。

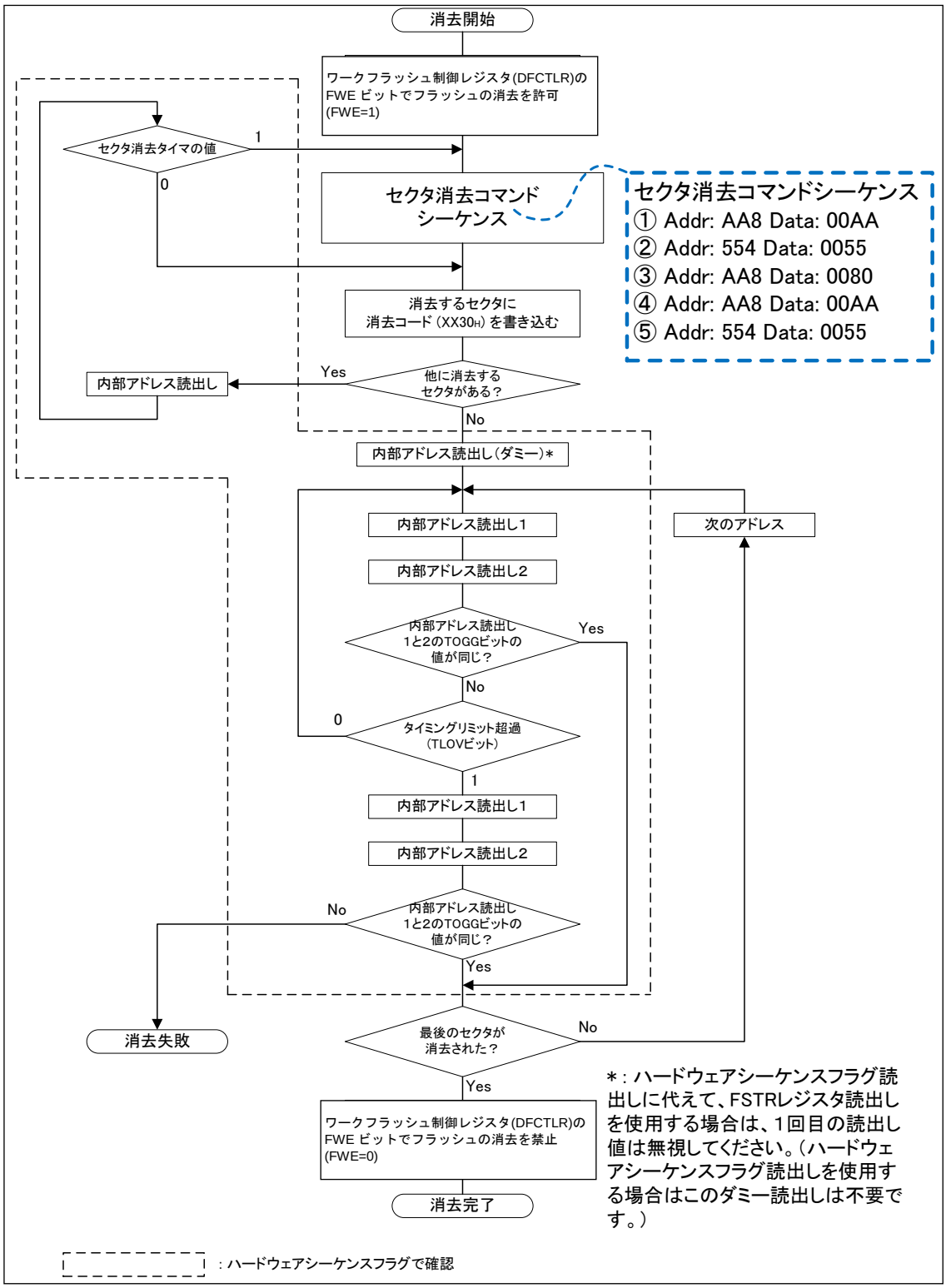
フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。
次の順番でセクタ消去を行います。

① セクタ消去コマンドを対象セクタに連続して送る
40µs 経過(タイムアウト期間)した場合、自動アルゴリズムが起動しセクタ消去動作が開始されます。
複数のセクタを消去したい場合は、40µs(タイムアウト期間)以内に消去するセクタのアドレスに消去コード(30H)を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

② 任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7(DPOLL ビット)が"1"だと、セクタ消去が終了したことになります。また、TOGG1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を次に示します。

図 5-3 セクタ消去手順例



＜注意事項＞

- セクタ消去に必要な時間は「(セクタ消去時間＋セクタ書込み時間(プリプログラム))×セクタ数」となります。
- セクタ消去動作が終了した場合、フラッシュメモリは読出し/リセットモードに戻ります。
- セクタ消去コマンドについては、「5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので、TLOV ビットが"1"の場合でも再度確認してください。
- ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが"1"に変わると同時にトグル動作を停止します。そのため、TLOV ビットが"1"の場合でも TOGG1 ビットを再度確認してください。
- コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
- 自動消去アルゴリズムが起動した場合、セクタ消去する前に、フラッシュメモリが消去するセルに"0"を書き込んでマージンを検証(プリプログラム)するため、セクタ消去前にフラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。

5.8. セクタ消去一時停止コマンド

セクタ消去一時停止コマンドについて示します。

セクタ消去実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。
セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。
セクタ消去を一時停止させるには、対象フラッシュマクロの任意のアドレスにセクタ消去一時停止コマンドを送ります。
セクタ消去が停止したあとは、対象フラッシュマクロからの読出し動作が許可されます。このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されます。
セクタ消去一時停止状態に入ると、以下の状態になります。

- セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
- ワークフラッシュ状態レジスタの DFRDY が"1"になる。

これらを利用して、セクタ消去一時停止状態に入ったことを確認可能です。

＜注意事項＞

- セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs+2cyc 要します。
- セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2:TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。
セクタ消去一時停止状態から、中断していた消去動作を再開するには、表 5-1 コマンドシーケンスのセクタ消去再開コマンドを送ります。
セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。
セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。
消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

5.9. セキュリティ機能

セキュリティ機能について示します。

本フラッシュメモリには、セキュリティ機能が搭載されています。

セキュリティ機能が OFF のときは制限なくフラッシュメモリを使用できますが、セキュリティ機能が ON のときは、外部バスからの命令フェッチ後の動作や、チップ消去以外の書込み・消去が抑止されます。制限内容については「5.9.4　セキュリティ ON 時のフラッシュアクセス制限」を参照してください。

5.9.1. リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

リセット解除時におけるフラッシュセキュリティ ON/OFF 判別について示します。

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の 2 バイトを読出します。その値が 0x0001 の場合は、セキュリティ ON になり、その後のフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

5.9.2. フラッシュセキュリティ設定方法

フラッシュセキュリティ設定方法について示します。

フラッシュセキュリティコード領域(『フラッシュメモリ』章の『図 3-2 セクタ構成図』を参照してください) に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。

5.9.3. フラッシュセキュリティ解除方法

フラッシュセキュリティ解除方法について示します。

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

① ワークフラッシュを消去します。
② フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合はプログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は①からやり直してください。

＜注意事項＞

ユーザモード(内部フラッシュ起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。 フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施してください。

5.9.4. セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時のフラッシュアクセス制限について示します。

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ・外バス	通常状態(後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態)では、フラッシュメモリに対するアクセス制限はありません。 オンチップバス領域に対して命令フェッチが行われると、フラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。 リセットで通常状態に復帰します。
上記以外 (ライタなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「5.9.3 フラッシュセキュリティ解除方法」を参照してください。

5.10. ワークフラッシュメモリの使用上の注意

ワークフラッシュメモリの使用上の注意について示します。

- 書込み中に本デバイスがリセットされた場合は，書き込んでいるデータは保証されません。
- ワークフラッシュ制御レジスタ(DFCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)したときは、ワークフラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- ワークフラッシュ 制御レジスタ(DFCTLR)の FWE ビットで CPU プログラミングモードを設定(FWE=1)し、ワークフラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行ってください。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。
- 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ(OCD)のパスワードによる認証が完了することによって､セキュリティ ON 時の場合でも OCD を使用して外部からワークフラッシュメモリの内容を読み出せます｡第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。
- フラッシュプログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。
- 本ワークフラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

Chapter 47: オンチップデバッガ(OCD)

オンチップデバッガ(OCD)について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：FR81S10_OCD-1v1-91520-7-J

1. 概要

オンチップデバッガ(OCD)の概要について説明します。

本品種でのオンチップデバッガ(OCD)の概要ならびに仕様制限を説明します。

OCDU は、FR81 においてオンチップデバッグ機能を提供するためのデバイス内蔵デバッグサポートユニットです。OCDU は、デバッガの基本機能(CPU 実行/ブレーク制御, CPU レジスタ/メモリ/IO のアクセス), 小規模デバッグ支援機能(イベント, 実行時間測定, トレースなど), セキュリティ機能を搭載します。

2. 特長

オンチップデバッガ(OCD)の特長について説明します。

- **一線式デバッグツール I/F**
  - 初期通信タイプ: マンチェスタ符号
  - MDI ウェイクアップ・スタンバイ機能
  - オートネゴシェーションモード機能
  - ツール側でのクロックキャリブレーション不要
- **デバッグセキュリティ機能**
- **デバッグモード制御機能**
- **実行制御機能**
  - 各種状態表示機能(チップ状態, CPU 状態など)
  - デバッグコマンド実行制御機能
  - 小規模デバッグメインメモリ(8 バイト=4 命令)
  - CPU レジスタ退避レジスタ(PC/PS)
  - PC モニタ機能
  - リセット機能
    - チップリセット(INIT)
    - CPU リセット(RST)
- **セミホスティング機能**
- **ブレーク機能**
  - ステップ実行ブレーク
  - イベントトリガブレーク
  - 強制ブレーク
  - ガーデッドアクセスブレーク
  - トレース終了ブレーク
  - 実行開始アドレス直後の割込み受付け制御
- **デバッグ DMA 機能(DDMA 機能)**
  - 各種転送モードのサポート(アドレスモード, Verify モード, DEBUG I/F のバースト転送)

● イベント機能

- コードイベント: 8
- 条件付コードイベント: 2
- データイベント: 8
- 割込みイベント: 2
- ユーザイベント: 2
- イベントシーケンサ: 2 レベル＋リセット

● 実行時間測定タイマ機能

- Go-Break 間測定
- トリガ間測定(単発測定/累積測定, 累積測定時の Min/Max 値測定)

● トレース機能

- 特殊ステートトレース
- 分岐トレース
- データトレース
- トレースディレイ
- トレースフレーム数: 512

3. 構成

オンチップデバッガ(OCD)の構成について説明します。

図 3-1 OCDU のブロックダイヤグラム

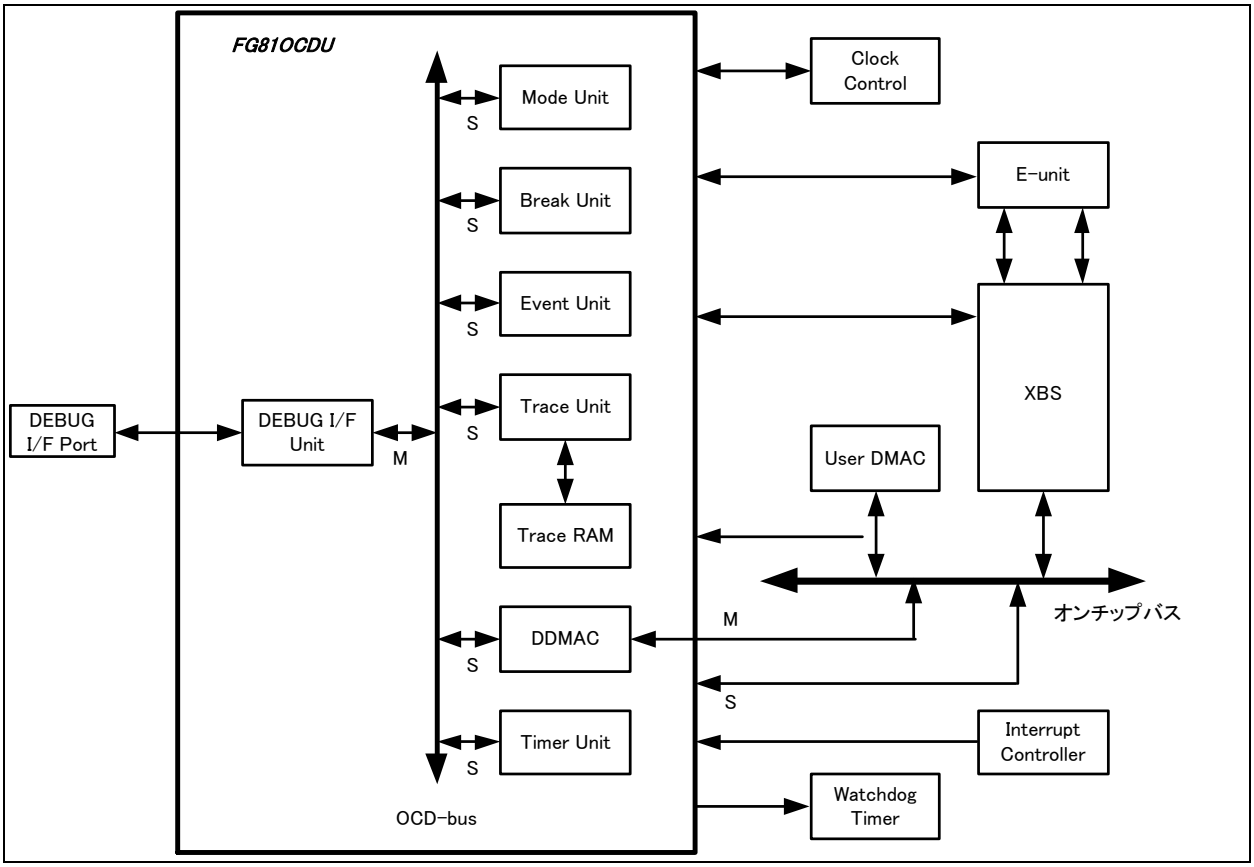
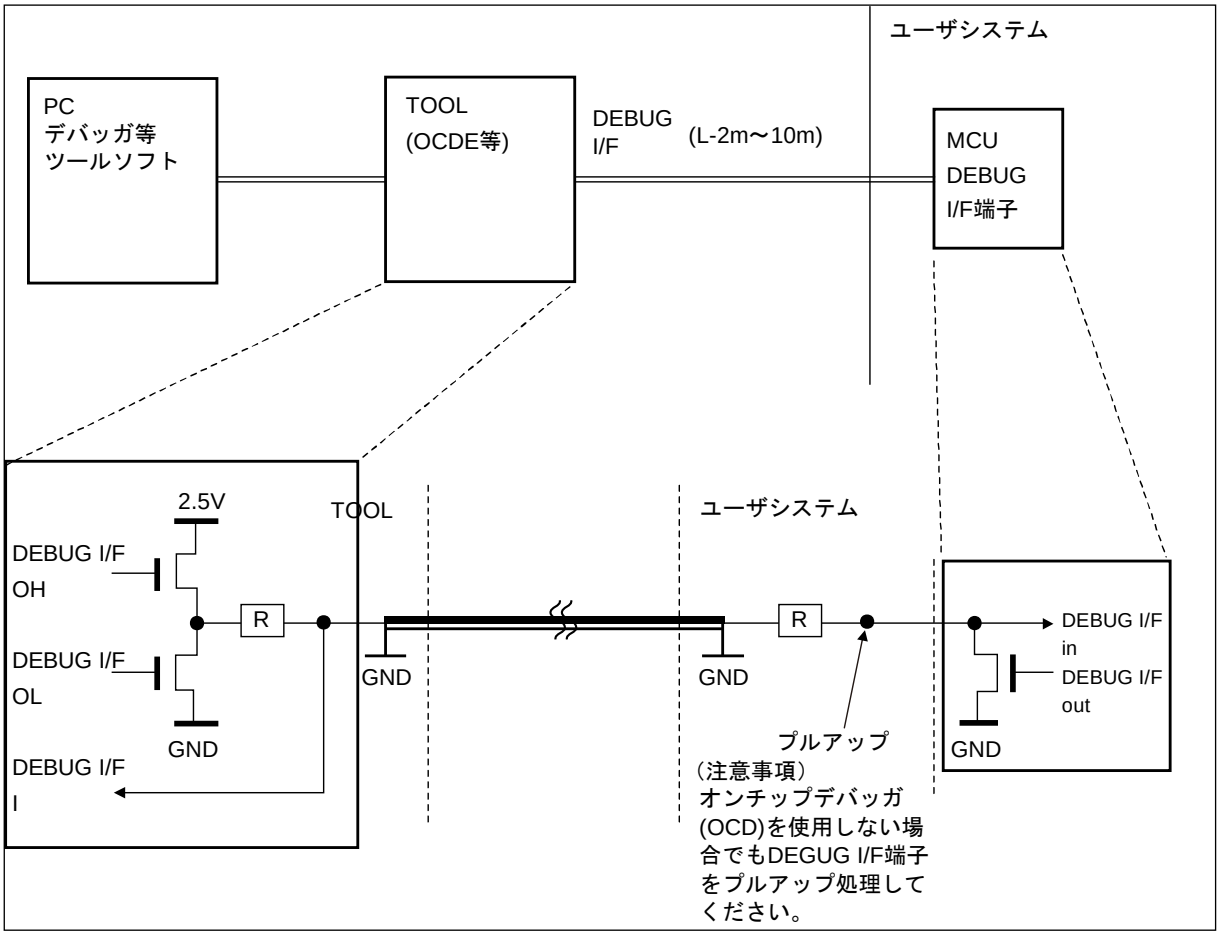


図 3-2 OCD 接続図


ユーザシステム
PC
デバッガ等
ツールソフト
TOOL
(OCDE等)
DEBUG
I/F
(L-2m～10m)
MCU
DEBUG
I/F端子
2.5V
TOOL
ユーザシステム
DEBUG I/F
OH
R
DEBUG I/F
OL
GND
DEBUG I/F
I
GND
GND
R
プルアップ
DEBUG I/F
in
DEBUG I/F
out
GND
（注意事項）
オンチップデバッガ
(OCD)を使用しない場
合でもDEGUG I/F端子
をプルアップ処理して
ください。

3.1. DEBUG I/F 用クロック

DEBUG I/F 用クロックについて示します。

DEBUG I/F 用クロックのクロック接続構成については、『クロック』の章を参照してください。

3.1.1. DEBUG I/F 用メインクロック(M_MCLK)

DEBUG I/F 用メインクロック(M_MCLK)について示します。

OCD ツール接続時、DEBUG I/F 用メインクロック(M_MCLK)にはメインクロック(MCLK)が供給されます。
OCD ツール未接続時、DEBUG I/F 用メインクロック(M_MCLK)は停止します。

3.1.2. DEBUG I/F 用 PLL クロック(M_PCLK)

DEBUG I/F 用 PLL クロック(M_PCLK)について示します。

OCD ツール接続時で高速 UART モードおよび位相変調 UART モード選択時、DEBUG I/F 用 PLL クロック(M_PCLK)には PLL クロック(PLLCLK)が供給されます。
OCD ツール未接続時、DEBUG I/F 用 PLL クロック(M_PCLK)は停止します。

4. レジスタ

オンチップデバッガ(OCD)のレジスタについて説明します。

4.1. DBG レジスタ

4.2. ユーザ IO レジスタ

4.1. DBG レジスタ

DBG レジスタについて示します。

表 4-1 レジスタマップ(DBG レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0xFF00	DSUCR		予約		DSU 制御レジスタ

4.1.1. DSU 制御レジスタ: DSUCR

DSU 制御レジスタのビット構成について示します。

フリーランモードにおいて、DSU の制御を行うレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ DSUCR: アドレス $FF00_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							DSU
初期値	X	X	X	X	X	X	X	0
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R,W

4.2. ユーザ IO レジスタ

ユーザ IO レジスタについて示します。

表 4-2 レジスタマップ(ユーザ IO レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0BF0	HSCFR				高速通信周波数レジスタ
0x0BF8	予約		MBR		メッセージバッファ
0x0BFC	予約		UER		ユーザイベントレジスタ

4.2.1. ユーザイベントレジスタ ：UER

ユーザイベントレジスタのビット構成について示します。

ユーザイベントの検出を行うレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ UER: アドレス $0BFE_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							UEVT
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W

4.2.2. 高速通信周波数レジスタ ：HSCFR

高速通信周波数レジスタのビット構成について示します。

使用する PLL クロックの周波数情報を設定するレジスタです。
詳細は弊社サポート担当にお問い合わせください。

■ HSCFR: アドレス $0BF0_H$ (アクセス: バイト,ハーフワード,ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							
初期値	X	X	X	X	X	X	X	X
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約						FREQ[17:16]	
初期値	X	X	X	X	X	X	0	0
属性	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	FREQ[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	FREQ[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

4.2.3. メッセージバッファ ：MBR

メッセージバッファのビット構成について示します。

セミホスティング用メッセージの書込みと要求制御を行うためのレジスタです。

■ MBR: アドレス $0BFA_H$ (アクセス: バイト,ハーフワード,ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	BUSY	DMAREQ	予約					
初期値	0	0	X	X	X	X	X	X
属性	R,WX	R,W1	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	MB[7:0]							
初期値	X	X	X	X	X	X	X	X
属性	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W

[bit15] BUSY (Message Buffer Busy) : メッセージバッファビジー

メッセージバッファのビジー検出を行うビットです。MBR.MB[7:0]ビットへの書込みにより"1 "になり、ツール側からのメッセージ読出しにより"0 "になります。本ビットは読出し専用で、書込みは動作に影響ありません

BUSY	メッセージバッファビジー状態
0	非ビジー状態(初期値)
1	ビジー状態

[bit14] DMAREQ (DDMAMessage Handling Request) : DDMA メッセージ処理要求

DDMA を使ったメッセージ処理方法を要求するビットです。本ビットは、"1"書込みのみ有効で、"0"書込みは動作に影響ありません。

DMAREQ	DDMA メッセージ処理
0	要求しない(初期値)
1	要求する

[bit7～bit0] MB[7:0] (Message Buffer) : メッセージバッファ

1 バイトのメッセージデータを書き込むためのビットです。本ビットは書込み専用です。読出し値は不定です。

5. 動作説明

オンチップデバッガ(OCD)の動作について説明します。

5.1. OCDU 動作モード
5.2. DEBUG I/F 概要
5.3. 本品種の OCD ツール接続時での仕様制限
5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報

5.1. OCDU 動作モード

OCDU 動作モードについて示します。

5.1.1. 動作モードについて

動作モードについて示します。

OCDU の動作モードにはエミュレータモードとフリーランモードがあります。

- **エミュレータモード(デバッグ走行状態)**
  エミュレータモードには、デバッグ命令を実行するためのデバッグステートとユーザプログラムを実行するためのユーザステートがある。デバッグステートで RETI 命令が実行されるとユーザステートへ遷移し、ユーザステートでブレークされるとデバッグステートへ遷移する。
- **フリーランモード(通常走行状態)**
  ユーザプログラムのみが走行するモード。

5.1.2. 動作モード状態遷移

動作モード状態遷移について示します。

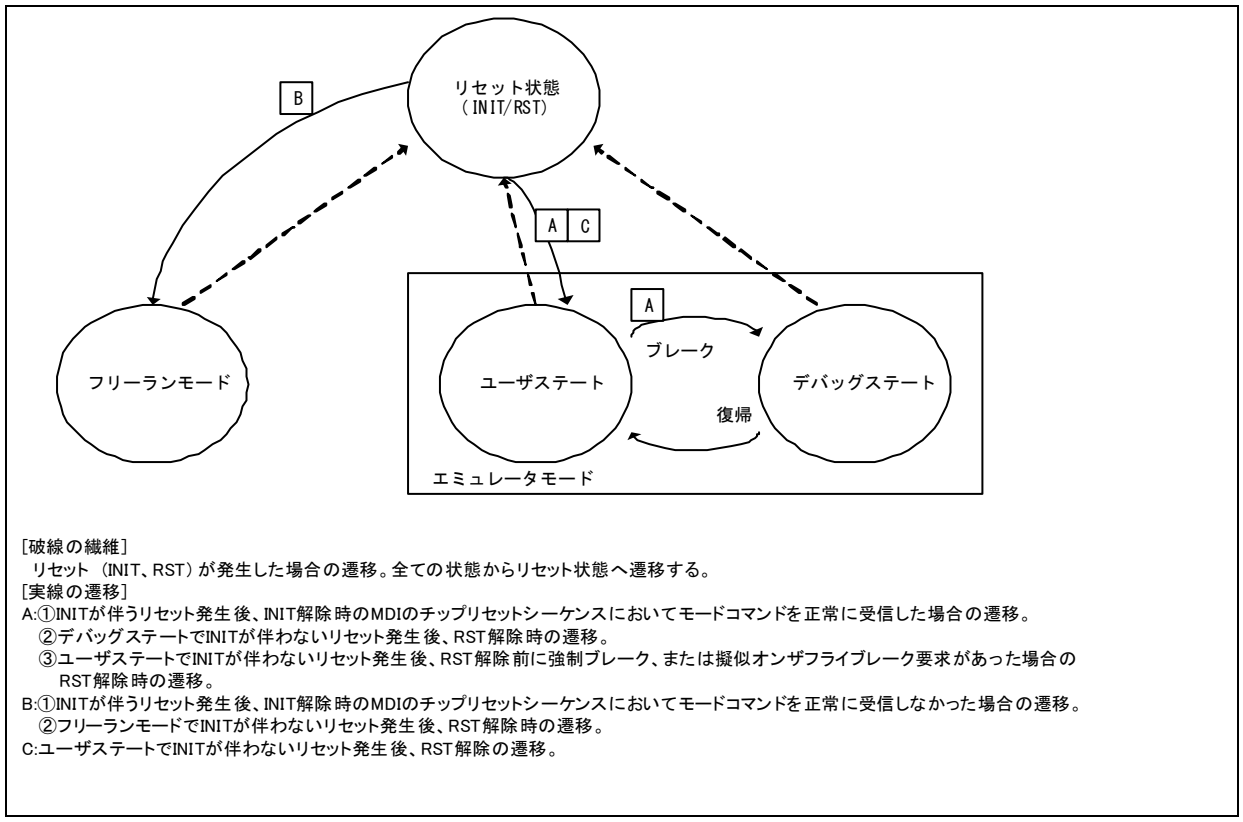
INIT 解除時(INIT を伴う RST 含む)は、チップリセットシーケンスにおける DEBUG I/F からのモードコマンドにしたがって、エミュレータモードのデバッグステートか、フリーランモードに遷移します。

RST 解除時(INIT は伴わない)は、RST 発生前の動作モードに遷移します。ただし、ユーザステートで RST が発生した後、強制ブレーク要求があった場合は、RST 解除時にエミュレータモードのデバッグステートへ遷移します。

リセット状態からデバッグステートへ遷移する際、まずユーザステートへ遷移します。この際、OCDU がブレーク要求をすることで、リセット状態 → ユーザステート → (ブレーク) → デバッグステートへと遷移します。

各遷移条件を以下に示します。

図 5-1 OCDU 動作モード遷移図



［破線の繊維］
リセット（INIT、RST）が発生した場合の遷移。全ての状態からリセット状態へ遷移する。
［実線の遷移］
A:①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信した場合の遷移。
②デバッグステートでINITが伴わないリセット発生後、RST解除時の遷移。
③ユーザステートでINITが伴わないリセット発生後、RST解除前に強制ブレーク、または擬似オンザフライブレーク要求があった場合のRST解除時の遷移。
B:①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信しなかった場合の遷移。
②フリーランモードでINITが伴わないリセット発生後、RST解除時の遷移。
C:ユーザステートでINITが伴わないリセット発生後、RST解除の遷移。

5.2. DEBUG I/F 概要

DEBUG I/F の概要について説明します。

DEBUG I/F はシングルワイヤのデバッグインタフェースであり、MCU とツールを 1 線(+GND)で接続します。MCU は 1 端子をデバッグインタフェース用に使用します。

DEBUG I/F は、双方向端子であり、通信と特殊シーケンスの機能を有します。

通信はシリアル伝送方式(UART)で、通信のボーレートは通常 UART モードでは MCU のメイン源発振クロックをベースとした分周クロックであり、高速 UART モードおよび位相変調 UART(マンチェスタエンコード UART)では PLL クロックをベースとした分周クロックとします。

特殊シーケンスには、チップリセットシーケンスとストールがあります。チップリセットシーケンスでは MCU が INIT 発生を通知する機能と、INIT 解除後に起動するデバッグモードを検出する機能があります。ストール機能には、ツールからの通信ストール要求と強制ブレーク要求、MCU からの通信エラー通知があ

ります。

以下に主な DEBUG I/F の機能を示します。

・チップリセットシーケンス機能(INIT 通知, モードコマンド)
・UART 機能(通常 UART, 高速 UART, 位相変調 UART)
・ストール要求(通信ストール要求, 強制ブレーク要求, 通信エラー通知)
・オートネゴシェーション機能(通信形式通知)

DEBUG I/F の双方向端子は、Nch オープンドレイン出力により実現され、DEBUG I/F 端子はユーザシステム上でプルアップされます。ツール接続時は、ツールによりプルアップされます。

ツールの接続は「図 3-2 OCD 接続図」を参照してください。

5.2.1. チップリセットシーケンス

チップリセットシーケンスについて説明します。

INIT が発生した場合、OCDU は DEBUG I/F の仕様にしたがい、チップリセットシーケンスを実行します。チップリセットシーケンスを実行する基準クロックは、通常 UART のサンプリングクロック(メイン源発振クロックの 8 分周クロック)です。

チップリセットシーケンスは、以下の 5 つのフェーズで構成されます。

・開始フェーズ
・INIT フェーズ
・アイドルフェーズ
・モードエントリフェーズ
・終了フェーズ

● 開始フェーズ

発生した INIT が解除された時点から通常 UART のサンプリングクロック 32 サイクル間は、開始フェーズです。OCDU は、このフェーズで特別な動作を行いません。

● INIT 通知フェーズ

開始フェーズが終了してから通常 UART のサンプリングクロック 568 サイクル間は、INIT 通知フェーズです。OCDU は、このフェーズにいる間、DEBUG I/F に 280 サイクルの"L"を 2 回出力(間に 8 サイクルのアイドルを挿入)し、INIT の発生をツールに通知します。

● アイドルフェーズ

INIT 通知フェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、レベルセンスフェーズです。OCDU は、このフェーズで特別な動作を行いません。

● モードエントリフェーズ

アイドルフェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、モードエントリフェーズです。OCDU は、このフェーズからツールからのモードコマンドの受信を開始します。

このフェーズでモードコマンドの受信開始を検出(UART 受信でスタートビットを検出)した場合、OCDU はエミュレータモード(デバッグステート)で起動します。その後、正常なモードコマンド(受信エラーなし、かつ、モードコード一致)を受信することにより、これ以降 OCDU は後述するレジスタアクセスコマンドの受付が可能になります。正常なモードコマンド(受信エラーまたはモードコード不一致)を受信しなかった場合、OCDU は INIT 要求を発生させ、INIT 解除後に再度チップリセットシーケンスを実行します。

このフェーズでモードコマンドの受信開始を検出(UART 受信でスタートビットを検出)しなかった場合、OCDU はフリーランモードで起動します。

モードエントリフェーズ開始直後にモードコマンドを受信させる場合、UART 受信サンプリングクロックで 1 サイクル幅以上 DEBUG I/F に"H"が入力されるのを待って、モードコマンドを受信させてください。これが満足されない場合、モードコマンド受信のスタートビットを正常検出できず、正しくモードエントリできない可能性があります。

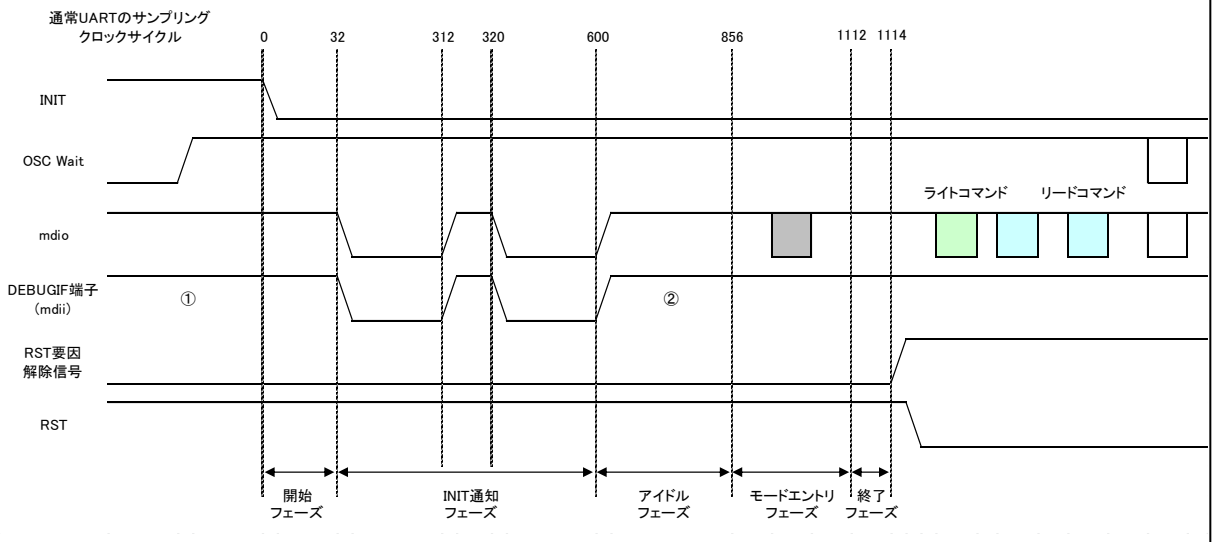
● 終了フェーズ

モードエントリフェーズ終了から通常 UART のサンプリングクロック 2 サイクル間は、終了フェーズです。OCDU はこのフェーズで特別な動作を行いません。OCDU は終了フェーズが終わった時点で 『リセット』の章の『5.4.3 リセット(RST)』記載のリセット発行シーケンスを実行します。RST 要因を解除します。

チップリセットシーケンスの通常 UART のサンプリングクロックのサイクル数とフェーズの関係は次のようになります。

チップリセットシーケンスのフェーズ	開始フェーズ	INIT 通知フェーズ	アイドルフェーズ	モードエントリフェーズ	終了フェーズ
INIT 解除からの通常 UART のサンプリングクロックサイクル	1 - 32	33 - 600	601 - 856	857 - 1112	1112 - 1114

以下に、チップリセットシーケンスの様子を示します。



OSC Wait ：メイン源発振クロックの発振安定。INIT は、発振安定確認後に解除される。

② ：ツールのプルアップにより、DEBUGIF は H レベルとなる。

② : DEBUGIF はユーザシステム上のプルアップのレベルとなる。

5.2.2. セキュリティ機能

セキュリティ機能について説明します。

OCDU にはセキュリティ機能を搭載しています。OCDU は、CPU のメモリ空間にあるデバッグセキュリティ領域に記憶されるセキュリティ情報の設定により、セキュリティ機能を有効にできます。セキュリティ機能を有効にすることにより、セキュリティロック状態となります。これを解除するために、セキュリティ情報で設定したパスワードを指定長回数、OCD 専用のレジスタに書き込むことで、セキュリティをアンロックできます。

■ セキュリティ情報

デバッグセキュリティ領域は､搭載するフラッシュの先頭アドレス+4 から+33 の 30 バイトに配置されます。OCDU はセキュリティシーケンスで、この領域を参照します。

デバッグセキュリティ領域には、以下のセキュリティ情報があります。

● セキュリティパスワード長(PW 長)

デバッグセキュリティ領域の先頭アドレスにある 16bit 長データであり、下位 4bit が有効な PW 長です。上位 12bit は動作に影響がありません。PW 長が 0x0 または 0xF の場合、セキュリティは無効です。PW 長が 0x1～0xE(1～14)の場合、セキュリティは有効です。

● **セキュリティパスワード(PW)**

デバッグセキュリティ領域にある 16bit 長のデータで、1～14 個あります。PW 長アドレスの次のアドレスから順に、PW1、PW2、･･･PW14 と配置されます(下図を参照してください)。セキュリティが有効(PW 長: 1～14)の場合、PW 長の値が有効な PW を示します。

(例えば、PW 長が 8 の場合、PW1～PW8 が有効、PW9～PW14 が無効。)

アドレス	15 … 0
ROM/フラッシュ 先頭アドレス +4	PW 長
ROM/フラッシュ 先頭アドレス +6	PW1
ROM/フラッシュ 先頭アドレス +8	PW2
･･･	･･･
ROM/フラッシュ 先頭アドレス +32	PW14

＜注意事項＞

オンチップデバッガ(OCD)のセキュリティ機能を使用しない場合は、この領域には何も書き込まず、フラッシュ消去直後の初期状態(全 bit=1)のままとしてください。

5.3. 本品種の OCD ツール接続時での仕様制限

OCD ツール接続時での仕様制限について示します。

OCD ツール接続時には、次の制限が発生します。

5.3.1. クロック設定

クロック設定について説明します。

- OCD ツール接続時には、メインクロックは発振停止しません。ただし OCD ツール未接続時と同様に CSELR.MCEN への書込みならびに CMONR.MCRDY への読出しが可能です。
- OCD 高速 UART ならびに位相変調 UART 通信時には PLL は発振停止しません。ただし OCD ツール未接続時と同様に、CSELR.PCEN への書込みならびに CMONR.PCRDY への読出しが可能です。また、PLL は継続して発振しているため、次の PLL 設定レジスタの変更は有効になりません。ただし OCD ツール未接続時と同様に、書込みならびに読出しが可能です。
  - PLLCR.ODS
  - PLLCR.PMS
  - PLLCR.PDS
  - CCPSDIVR.PODS
  - CCPLLFBR.IDIV

5.3.2. スタンバイモード

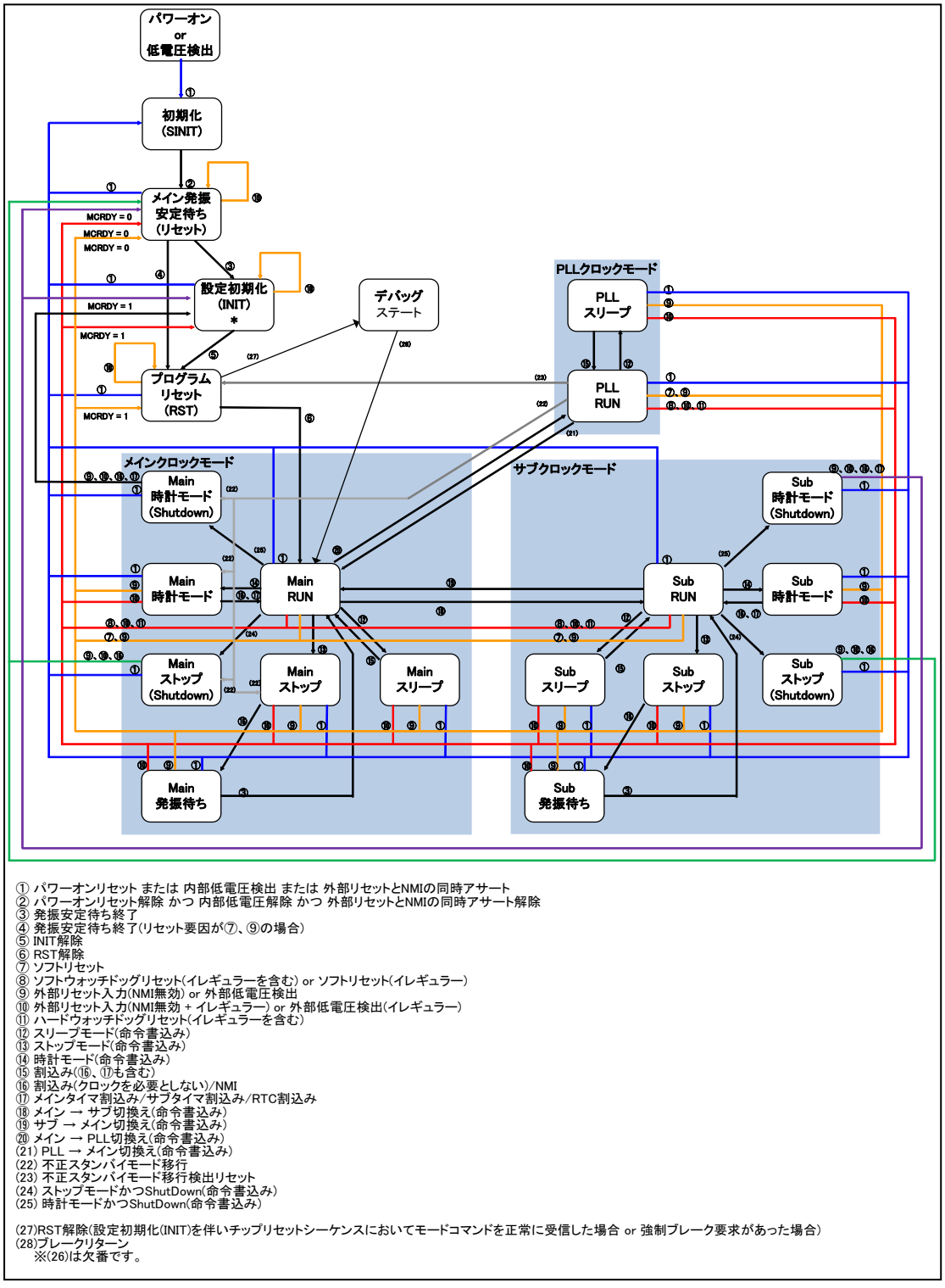
スタンバイモードについて説明します。

- 時計モードに移行しても、OCD 高速 UART ならびに位相変調 UART 通信許可時は PLL は発振停止しません。
- ストップモードに移行しても、メインクロックは発振停止しません。OCD 高速 UART ならびに位相変調 UART 通信許可時には PLL は発振停止しません。サブクロック発振時は、サブクロックは停止せずに発振継続します。
- 上記制限による、OCD ツール未接続時と動作の違いのある機能を示します。
  - PLL 停止時(CSELR.PCEN=0)または OCD 高速 UART ならびに位相変調 UART 通信許可時は CAN は時計モード・ストップモード時でも動作継続します(CPU による処理のない範囲での動作です)。
  - リアルタイムクロックはストップモード時でも動作継続します。
  - RTC/WDT1 補正(キャリブレーション)のカウンタ動作はストップモード時でも継続します。
- 次の機能は、上記制限を受けずに OCD ツール未接続時と同様の動作になります。
  - メインタイマ、サブタイマはストップモード時はクリアされる構造になっているため、ストップモード時は動作しません。
- PLL クロック発振継続のため、時計モード時の消費電力は OCD ツール未接続時と比べて大きくなります。
- PLL クロック、メインクロック、サブクロック発振継続のため、ストップモード時の消費電力は OCD ツール未接続時と比べて大きくなります。

5.3.3. クロック・リセット状態遷移

クロック・リセット状態遷移について説明します。

図 5-2 デバイス状態



① パワーオンリセット または 内部低電圧検出 または 外部リセットとNMIの同時アサート
② パワーオンリセット解除 かつ 内部低電圧解除 かつ 外部リセットとNMIの同時アサート解除
③ 発振安定待ち終了
④ 発振安定待ち終了(リセット要因が⑦、⑨の場合)
⑤ INIT解除
⑥ RST解除
⑦ ソフトリセット
⑧ ソフトウォッチドッグリセット(イレギュラーを含む) or ソフトリセット(イレギュラー)
⑨ 外部リセット入力(NMI無効) or 外部低電圧検出
⑩ 外部リセット入力(NMI無効 + イレギュラー) or 外部低電圧検出(イレギュラー)
⑪ ハードウォッチドッグリセット(イレギュラーを含む)
⑫ スリープモード(命令書込み)
⑬ ストップモード(命令書込み)
⑭ 時計モード(命令書込み)
⑮ 割込み(⑯、⑰も含む)
⑯ 割込み(クロックを必要としない)/NMI
⑰ メインタイマ割込み/サブタイマ割込み/RTC割込み
⑱ メイン → サブ切換え(命令書込み)
⑲ サブ → メイン切換え(命令書込み)
⑳ メイン → PLL切換え(命令書込み)
(21) PLL → メイン切換え(命令書込み)
(22) 不正スタンバイモード移行
(23) 不正スタンバイモード移行検出リセット
(24) ストップモードかつShutDown(命令書込み)
(25) 時計モードかつShutDown(命令書込み)

(27)RST解除(設定初期化(INIT)を伴いチップリセットシーケンスにおいてモードコマンドを正常に受信した場合 or 強制ブレーク要求があった場合)
(28)ブレークリターン
※(26)は欠番です。

*:時計モード(Shutdown)からの復帰時とストップモード(Shutdown)からの復帰時には、リセットされないレジスタがあります。詳細は、『消費電力制御』の章『電源遮断・通常スタンバイ制御の制限事項』を参照してください。

5.3.4. 仕様制限まとめ

仕様制限のまとめについて示します。

1) 通信モード*[1]：通常 UART

＜注意事項＞

シャットダウンスタンバイモードのデバッグを行う場合、OCD ツール未接続で行ってください。OCD ツールを接続して、本品種のデバッグを開始する場合、MDI ウェイクアップ機能により、OCDU の動作許可を行い開始できます。しかし、本品種がストップモード(電源遮断)、時計モード(電源遮断)中は、OCDU への電源供給が遮断されているため、動作許可を受け付けることができず、デバッグを開始できません。スタンバイモード(電源遮断)以外のときにデバッグは開始してください。

リセット要因	OCDツール未接続時との差		備考
	初期化範囲	処理時間	
パワーオンリセット	なし	あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力 (イレギュラー)			
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力			降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力(+NMIX端子入力) [MB91F52xxxD] RSTX端子入力			リセット解除後エミュレータモード(デバッグステート)へ遷移
ウォッチドッグリセット0 (イレギュラー)			
ウォッチドッグリセット0			
ウォッチドッグリセット1 (イレギュラー)			
ウォッチドッグリセット1			
外部電源低電圧検出リセット (イレギュラー)			
外部電源低電圧検出リセット			降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ
不正スタンバイモード移行検出リセット (イレギュラー)			リセット解除後エミュレータモード(デバッグステート)へ遷移
不正スタンバイモード移行検出リセット		なし	
低電圧検出(内部電源低電圧検出)リセ		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
フラッシュセキュリティ違反リセット (イレギュラー)			
フラッシュセキュリティ違反リセット		なし	
ソフトウェアリセット (イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
ソフトウェアリセット		なし	

割込み要因	OCDツール未接続時との処理時間差	備考
すべての割込み	あり	降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ

リセット関連以外のデバイス状態	OCDツール未接続時との動作差異	備考
Main RUN/Main スリープモード	なし	
PLL RUN/PLL スリープモード		
Sub RUN/Sub スリープモード		
Main/Sub ストップモード	あり	降圧回路固定 メイン発振継続 サブ発振継続 動作継続(リアルタイムクロック、RTC/WDT1補正カウンタ動作)
Main/Sub 時計モード		降圧回路固定 メイン発振継続　(注意事項)Sub時計モード

*1:通信モード設定に関してはSOFTUNE Workbench操作マニュアルを参照してください
*2:降圧回路安定待ち時間　約6uS

2) 通信モード*1：高速 UART/位相変調 UART

リセット要因	OCDツール未接続時との差		備考
	初期化範囲	処理時間	
パワーオンリセット	なし	あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力 (イレギュラー)			
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力			降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ
[MB91F52xxxB/MB91F52xxxC /MB91F52xxxE] RSTX端子入力(+NMIX端子入力) [MB91F52xxxD] RSTX端子入力			リセット解除後エミュレータモード(デバッグステート)へ遷移
ウォッチドッグリセット0 (イレギュラー)			
ウォッチドッグリセット0			
ウォッチドッグリセット1 (イレギュラー)			
ウォッチドッグリセット1			
外部電源低電圧検出リセット (イレギュラー)			
外部電源低電圧検出リセット			降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ
不正スタンバイモード移行検出リセット (イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
不正スタンバイモード移行検出リセット		なし	
低電圧検出(内部電源低電圧検出)リセット		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
フラッシュセキュリティ違反リセット (イレギュラー)			
フラッシュセキュリティ違反リセット		なし	
ソフトウェアリセット (イレギュラー)		あり	リセット解除後エミュレータモード(デバッグステート)へ遷移
ソフトウェアリセット		なし	

割込み要因	OCDツール未接続時との処理時間差	備考
すべての割込み	あり	降圧回路切替え安定待ち時間*2なし (注意事項)Main/Subストップモード、Main/Sub時計モードからの復帰のみ

リセット関連以外のデバイス状態	OCDツール未接続時との動作差異	備考
Main RUN/Main スリープモード	あり	PLL発振継続
PLL RUN/PLL スリープモード	なし	
Sub RUN/Sub スリープモード	あり	メイン発振継続 PLL発振継続
Main/Sub ストップモード		降圧回路固定 メイン発振継続 サブ発振継続 PLL発振継続(不正スタンバイモード移行検出無効) 動作継続(CAN、リアルタイムクロック、RTC/WDT1補正カウンタ動作)
Main/Sub 時計モード		降圧回路固定 メイン発振継続　(注意事項) Sub時計モード 動作継続(CAN)

*1: 通信モード設定に関してはSOFTUNE Workbench操作マニュアルを参照してください
*2: 降圧回路安定待ち時間　約6uS

5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報

OCD-DSU ID コードおよび実装タイプ情報について示します。

表 5-1 本品種の OCD-DSU ID コード

ID 名称	bit 幅	対応 ID レジスタ名称	OCD 空間でのアドレス	値	備考
メーカ ID	16	E_IDMCR	0x000	0x0400	
CPU ファミリ ID	16	E_IDFCR	0x001	0x0200	FR81E/FR81S
DSU タイプ ID	8	E_IDVCR	0x003	0x0X	−
DSU バージョン ID	4	E_IDVCR	0x003	0x1	−
デバイス ID	16	E_IDDCR	0x002	0x0030	MB91F52xBW/Y/J/L
				0x0031	MB91F52xBS/U/H/K
				0x0032	MB91F52xDW/Y/J/L
				0x0033	MB91F52xDS/U/H/K
				0x0034	MB91F52xFW/Y/J/L
				0x0035	MB91F52xFS/U/H/K
				0x0036	MB91F52xJW/Y/J/L
				0x0037	MB91F52xJS/U/H/K
				0x0038	MB91F52xKW/Y/J/L
				0x0039	MB91F52xKS/U/H/K
				0x003a	MB91F52xLW/Y/J/L
				0x003b	MB91F52xLS/U/H/K
デバイス バージョン ID	4	E_IDVCR	0x003	0x2 0x3 0x40x5	Revision : B Revision : C Revision : D Revision : E

表 5-2 本品種の実装タイプ情報

品種名	コード イベント数	データ イベント数	データ イベント (大小比較)	シーケンサ イベント	トレース
MB91F526 MB91F525 MB91F524 MB91F523 MB91F522	8	8	○	○	512 フレーム

Chapter 48: 波形ジェネレータ

波形ジェネレータについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 注意事項

管理コード : FS20-1v1-91520-9-J

1. 概要

波形ジェネレータの概要について説明します。

波形ジェネレータは PPG と併せて使用すると、6 個の別々の波形を 16 ビットフリーランタイマから出力することができ、また、入力パルス幅と外部クロックサイクルを測定することができます。

2. 特長

波形ジェネレータの特長について説明します。

■ 波形ジェネレータの機能

- 波形ジェネレータは、3 つの 16 ビットデッドタイマレジスタ, 3 つのタイマ状態制御レジスタ, 16 ビットデッドタイマリロード割込みレジスタ, 16 ビットデッドタイママイナス制御レジスタ, 1 つの 16 ビット波形制御レジスタ, PPG 出力制御レジスタから構成されています。
- 波形ジェネレータは、リアルタイム出力, 16 ビット PPG 波形出力, ノンオーバラップ 3 相波形出力(インバータ制御用)および DC チョッパ波形出力を生成することができます。
- 16 ビットデッドタイマのデッドタイムに基づいて、ノンオーバラップ波形出力を生成することができます(デッドタイムタイマ機能)。
- 2 チャネルモード時にリアルタイムアウトプットを動作させることにより、ノンオーバラップ波形出力を生成することができます(デッドタイムタイマ機能)。
- リアルタイムアウトプットコンペア一致を検出すると、GATE 信号が生成され、この信号により PPG タイマの動作が開始または停止します(GATE 機能)。
- リアルタイムアウトプットコンペア一致が検出されると、16 ビットデッドタイマがアクティブになり、PPG 動作の制御用 GATE 信号を生成することによって、PPG タイマを容易に開始または停止させることができます(GATE 機能)。

■ DTTI の機能

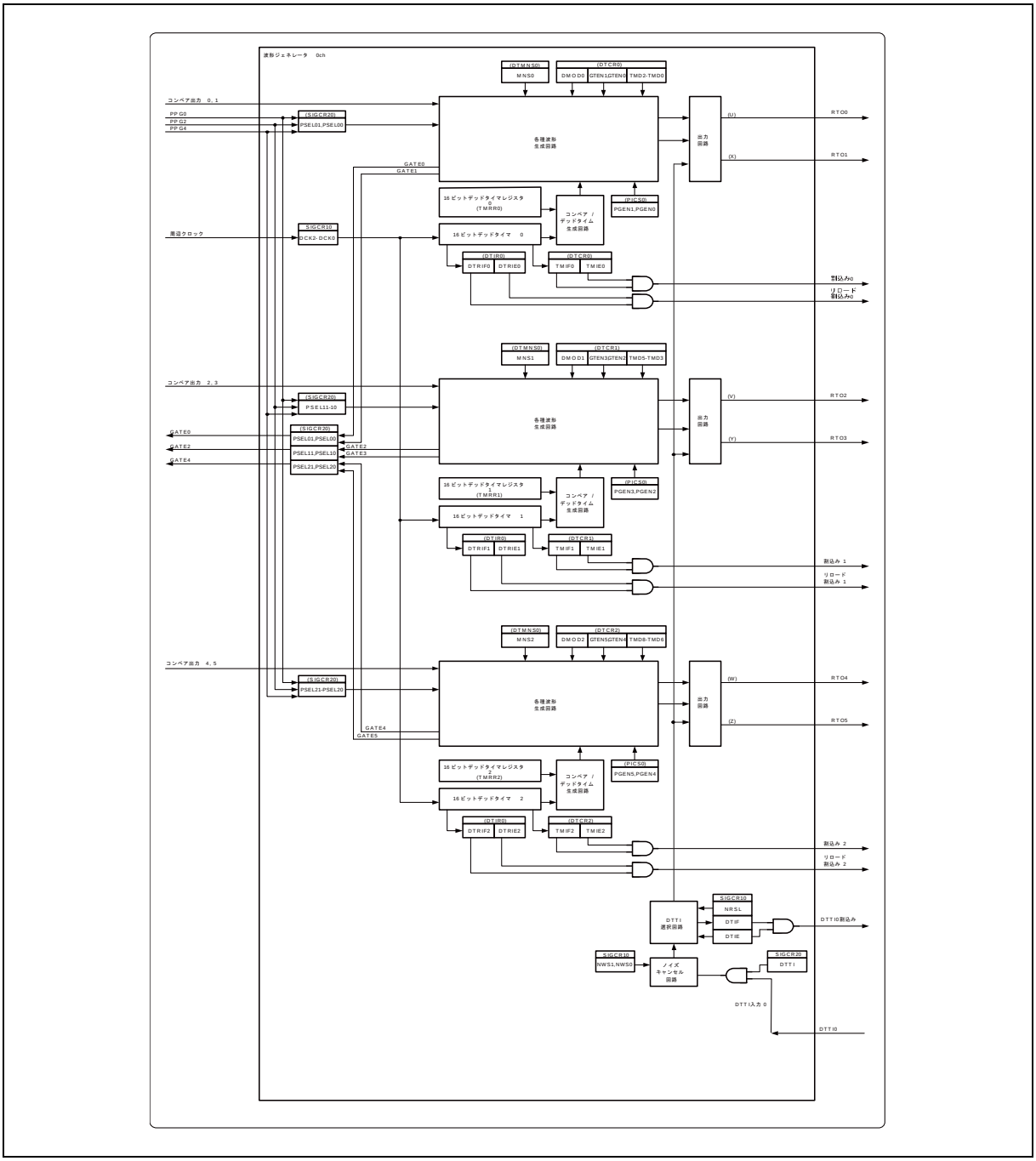
- DTTI 端子を使用することによって、波形ジェネレータ出力を強制的に停止することができます。
- DTTI レジスタにより、波形ジェネレータ出力を強制的に停止することも可能です。
- 波形ジェネレータ出力を強制的に禁止することができ、拡張ポート機能レジスタ(EPFR)の設定にかかわらず、汎用ポートとして機能させることができます。

3. 構成

波形ジェネレータの構成について説明します。

■ 波形ジェネレータの構成

図 3-1 波形ジェネレータの構成



4. レジスタ

波形ジェネレータのレジスタについて説明します。

■ 外部端子表

表 4-1 外部端子表

チャネル	外部端子			
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ, MB91F52xK, MB91F52xL
DTTI	DTTI_0/ DTTI_1	DTTI_0/ DTTI_1	DTTI_0/ DTTI_1	DTTI_0/ DTTI_1/ DTTI_2
0	RTO0_1	RTO0_1	RTO0_1	RTO0_0/ RTO0_1
1	RTO1_1	RTO1_1	RTO1_1	RTO1_0/ RTO1_1
2	RTO2_1	RTO2_0/ RTO2_1	RTO2_0/ RTO2_1	RTO2_0/ RTO2_1
3	RTO3_0/ RTO3_1	RTO3_0/ RTO3_1	RTO3_0/ RTO3_1	RTO3_0/ RTO3_1
4	RTO4_0/ RTO4_1	RTO4_0/ RTO4_1	RTO4_0/ RTO4_1	RTO4_0/ RTO4_1
5	RTO5_1	RTO5_1	RTO5_0/ RTO5_1	RTO5_0/ RTO5_1

■ 波形ジェネレータのレジスター覧

表 4-2 波形ジェネレータのレジスター覧

アドレス	+0	+1	+2	+3
0x12A0	16 ビットデッドタイマレジスタ 0 (TMRR0)		16 ビットデッドタイマレジスタ 1 (TMRR1)	
0x12A4	16 ビットデッドタイマレジスタ 2 (TMRR2)		予約	予約
0x12A8	16 ビットデッドタイマ状態制御レジスタ 0 (DTSCR0)	16 ビットデッドタイマ状態制御レジスタ 1 (DTSCR1)	16 ビットデッドタイマ状態制御レジスタ 2 (DTSCR2)	予約
0x12AC	予約	16 ビットデッドタイマリロード割込みレジスタ 0 (DTIR0)	予約	16 ビットデッドタイママイナス制御レジスタ 0 (DTMNS0)
0x12B0	予約	波形制御レジスタ 10 (SIGCR10)	予約	波形制御レジスタ 20 (SIGCR20)

アドレス	+0	+1	+2	+3
0x12B4	PPG 出力制御 レジスタ 0 (PICS0)	-	-	-

4.1. 波形ジェネレータのレジスタ

波形ジェネレータのレジスタについて説明します。

波形ジェネレータには、16 ビットデッドタイマレジスタ, 16 ビットデッドタイマ状態制御レジスタ,16 ビットデッドタイマリロード割込みレジスタ, 16 ビットデッドタイママイナス制御レジスタ, 波形制御レジスタ, PPG 出力制御レジスタがあります。

4.1.1. 16 ビットデッドタイマレジスタ: TMRR

16 ビットデッドタイマレジスタのビット構成について示します。

16 ビットデッドタイマレジスタ(TMRR)は、16 ビットデッドタイマのリロード値を保持します。

■ **TMRR0: アドレス 12A0H (アクセス: ハーフワード, ワード)**

■ **TMRR1: アドレス 12A2H (アクセス: ハーフワード, ワード)**

■ **TMRR2: アドレス 12A4H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	TR15	TR14	TR13	TR12	TR11	TR10	TR09	TR08
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TR07	TR06	TR05	TR04	TR03	TR02	TR01	TR00
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15 ～ bit0】TR15 ～ TR00: 16 ビットデッドタイマリロード値ビット

TR15～TR00	機能
	16 ビットデッドタイマリロード値

・16 ビットデッドタイマのリロード値を格納するために使用します。

・本レジスタ値は、16 ビットデッドタイマが動作を開始するとリロードされます。
・タイマ動作中にこれらのレジスタに値が再書込みされると、この新しい値は次回のタイマ開始/動作時に有効になります。
・デッドタイムタイマモード時は、これらのレジスタはノンオーバラップ時間を設定するために使用します。
ノンオーバラップ時間 = (設定値) × 選択されたクロック

・タイマモード時は、これらのレジスタは PPG タイマ動作の GATE 時間を設定するために使用します。
GATE 時間 = (設定値) × 選択されたクロック

＜注意事項＞

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。

＜注意事項＞

本レジスタに"0000_H"を設定しないでください。

4.1.2. 16 ビットデッドタイマ状態制御レジスタ: DTSCR

16 ビットデッドタイマ状態制御レジスタのビット構成について示します。

16 ビットデッドタイマ状態制御レジスタ(DTSCR)は、波形ジェネレータの動作モード, 割込み要求許可, 割込み要求フラグ, GATE 信号許可および出力レベル極性を制御するために使用します。

■ DTSCR0: アドレス 12A8H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMOD0	GTEN1	GTEN0	TMIF0	TMIE0	TMD2	TMD1	TMD0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W

【bit7】DMOD0: 出力極性制御ビット

DMOD0	機能
0	通常極性出力
1	反転極性出力

・このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
・このビットを設定すると、U/V/W の出力極性は反転します。

＜注意事項＞

このビットは、デッドタイムタイマモードが選択されていない場合(TMD2:bit26=0)は意味がありません。

【bit6】GTEN1：GATE 信号制御ビット 1

GTEN1	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- "0"に設定した場合、GATE 信号は出力されません。
- "1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL01-00 で選択されます。

【bit5】GTEN0：GATE 信号制御ビット 0

GTEN0	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- "0"に設定した場合、GATE 信号は出力されません。
- "1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL01, PSEL00 で選択されます。

【bit4】TMIF0: 割込み要求フラグビット

TMIF0	機能	
	読出し時	書込み時
0	カウンタのアンダフローが 検出されない	このビットはクリアされる
1	カウンタのアンダフローが 検出される	このビットは影響を受けない

- このビットは、16 ビットデッドタイマの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイマでアンダフローが発生すると"1"が設定されます。

・このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
・このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
このビットは、TMD2 ～ TMD0:bit26 ～ bit24 が"000_B"または"001_B"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")とハードウェアセット(16 ビットデッドタイマ 0 でアンダフローが発生する)が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit3】TMIE0: 割込み要求許可ビット，ソフトウェアトリガビット

TMIE0	機能
0	16 ビットデッドタイマでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイマでアンダフローが発生されると割込みを生成する。

・このビットは、16 ビットデッドタイマのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
・TMD2 ～ TMD0:bit26 ～ bit24 が"000_B"または"001_B"の場合、このビットは 16 ビットデッドタイマのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更すると、16 ビットデッドタイマのトリガとなり、値がリロードされ、ダウンカウントが開始します。
・このビットが"1"であり、割込み要求フラグビット(TMIF0:bit28)が"1"の場合、割込み要求が CPU へ送られます。

＜注意事項＞

16 ビットデッドタイマを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

【bit2 ～ bit0】TMD2 ～ TMD0: 動作モードビット

TMD2	TMD1	TMD0	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合、OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が"H"の間に PPG パルスを出力する

TMD2	TMD1	TMD0	機能
0	1	0	各 OUT 信号の立上りエッジがトリガとなり、16 ビットデッドタイマが起動する。 PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力する。 PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD2 ～ TMD0:bit26 ～ bit24 が"000_B"の場合、アウトプットコンペアのコンペア出力 0 と 1 の信号は、RTO0 と RTO1 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD2 ～ TMD0:bit26 ～ bit24 が"001_B"の場合、アウトプットコンペアのコンペア出力 0 と 1 の信号は、PPG 出力が禁止(PPG 出力制御レジスタ(PICS0)の PGEN0:bit26=0, PGEN1:bit27=0)になると、RTO0 と RTO1 のそれぞれから出力されます。PPG 出力が許可(PPG 出力制御レジスタ(PICS0) の PGEN0:bit26=1, PGEN1:bit27=1)になると、アウトプットコンペアのコンペア出力 0 と 1 の信号が"H"の間に PPG パルスが、RTO0 と RTO1 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD2 ～ TMD0:bit26 ～ bit24 が"010_B"の場合、各 OUT 信号の立ち上がりエッジがトリガとなり、16 ビットデッドタイマが起動します。PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力します。PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD2 ～ TMD0:bit26 ～ bit24 が"100_B"の場合、OUT 信号でノンオーバラップ信号を生成します。(デッドタイムタイマモード)

＜注意事項＞

デッドタイムタイマモードで波形ジェネレータを動作させるには, 必ずアウトプットコンペアのコンペア出力 1 に対して 2 チャネルモード(コンペア制御レジスタ(OCS01 の CMOD: bit28=1)を選択してください。

■ DTSCR1: アドレス 12A9H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMOD1	GTEN3	GTEN2	TMIF1	TMIE1	TMD5	TMD4	TMD3
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W

【bit7】DMOD1: 出力極性制御ビット

DMOD1	機能
0	通常極性出力
1	反転極性出力

・このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
・このビットを設定すると、U/V/W の出力極性は反転します。

＜注意事項＞

このビットは、デッドタイムタイマモードが選択されていない場合(TMD5:bit18=0)は意味がありません。

【bit6】GTEN3: GATE 信号制御ビット 3

GTEN3	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

・このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
・"0"に設定した場合、GATE 信号は出力されません。
・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL11, PSEL10 で選択されます。

【bit5】GTEN2: GATE 信号制御ビット 2

GTEN2	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

・このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
・"0"に設定した場合、GATE 信号は出力されません。
・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL11, PSEL10 で選択されます。

【bit4】TMIF1: 割込み要求フラグビット

TMIF1	機能	
	読出し時	書込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出される	このビットは影響を受けない

・このビットは、16 ビットデッドタイマの割込み要求フラグとして使用します。
・このビットは、16 ビットデッドタイマでアンダフローが発生すると"1"が設定されます。
・このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
・このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
このビットは、TMD5 ～ TMD3:bit18 ～ bit16 が"000_B"または"001_B"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセット(16 ビットデッドタイマ 1 でアンダフローが発生する)が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit3】TMIE1: 割込み要求許可ビット，ソフトウェアトリガビット

TMIE1	機能
0	16 ビットデッドタイマでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイマでアンダフローが発生されると割込みを生成する。

・このビットは、16 ビットデッドタイマのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
・TMD5 ～ TMD3:bit18 ～ bit16 が"000_B"または"001_B"の場合、このビットは 16 ビットデッドタイマのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更すると、16 ビットデッドタイマのトリガとなり，値がリロードされ、ダウンカウントが開始します。
・このビットが"1"であり、割込み要求フラグビット(TMIF1:bit20) が"1"の場合、割込み要求が CPU へ送られます。

＜注意事項＞

16 ビットデッドタイマを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

【bit2 ～ bit0】TMD5 ～ TMD3：動作モードビット

TMD5	TMD4	TMD3	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合、OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が"H"の間に PPG パルスを出力する
0	1	0	各 OUT 信号の立上りエッジがトリガとなり、16 ビットデッドタイマが起動する。 PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力する。 PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD5 ～ TMD3:bit18 ～ bit16 が"000_B"の場合、アウトプットコンペアのコンペア出力 2 と 3 の信号は, RTO2 と RTO3 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD5 ～ TMD3:bit18 ～ bit16 が"001_B"の場合、アウトプットコンペアのコンペア出力 2 と 3 の信号は、PPG 出力が禁止(PPG 出力制御レジスタ(PICS0)の PGEN2:bit28=0, PGEN3:bit29=0)になると、RTO2 と RTO3 のそれぞれから出力されます。PPG 出力が許可(PPG 出力制御レジスタ(PICS0)の PGEN2:bit28=1, PGEN3:bit29=1) になると、アウトプットコンペアのコンペア出力 2 と 3 の信号が"H"の間に PPG パルスが、RTO2 と RTO3 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD5 ～ TMD3:bit18 ～ bit16 が"010_B"の場合、各 OUT 信号の立ち上がりエッジがトリガとなり、16 ビットデッドタイマが起動します。PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力します。PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD5 ～ TMD3:bit18 ～ bit16 が"100_B"の場合、OUT 信号でノンオーバラップ信号を生成します。(デッドタイムタイマモード)

＜注意事項＞

デッドタイムタイマモードで波形ジェネレータを動作させるには、必ずアウトプットコンペアのコンペア出力 3 に対して 2 チャネルモード(コンペア制御レジスタ(OCS23)の CMOD:　bit28=1)を選択してください。

■ DTSCR2: アドレス 12AAH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DMOD2	GTEN5	GTEN4	TMIF2	TMIE2	TMD8	TMD7	TMD6
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R(RM1), W	R/W	R/W	R/W	R/W

[bit7] DMOD2 : 出力極性制御ビット

DMOD2	機能
0	通常極性出力
1	反転極性出力

・このビットは、デッドタイムタイマモードにおいて U/VW の出力を設定するために使用します。
・このビットを設定すると、U/VW の出力極性は反転します。

＜注意事項＞

このビットは、デッドタイムタイマモードが選択されていない場合(TMD8:bit10=0)は意味がありません。

【bit6】GTEN5: GATE 信号制御ビット 5

GTEN5	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される(同期モード)

・このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
・"0"に設定した場合、GATE 信号は出力されません。
・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL21, PSEL20 で選択されます。

【bit5】GTEN4: GATE 信号制御ビット 4

GTEN4	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される(同期モード)

・このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
・"0"に設定した場合、GATE 信号は出力されません。
・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL21, PSEL20 で選択されます。

【bit4】TMIF2: 割込み要求フラグビット

TMIF2	機能	
	読出し時	書込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出される	このビットは影響を受けない

・このビットは、16 ビットデッドタイマの割込み要求フラグとして使用します。
・このビットは、16 ビットデッドタイマでアンダフローが発生すると"1"が設定されます。
・このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
・このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
このビットは、TMD8 ～ TMD6:bit10 ～ bit8 が"000_B"または"001_B"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセット(16 ビットデッドタイマ 2 でアンダフローが発生する)が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit3】TMIE2: 割込み要求許可ビット，ソフトウェアトリガビット

TMIE2	機能
0	16 ビットデッドタイマでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイマでアンダフローが発生されると割込みを生成する。

・このビットは、16 ビットデッドタイマのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
・TMD8 ～ TMD6:bit10 ～ bit8 が"000_B"または"001_B"の場合、このビットは 16 ビットデッドタイマのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更すると、16 ビットデッドタイマのトリガとなり、値がリロードされ、ダウンカウントが開始します。
・このビットが"1"であり，割込み要求フラグビット(TMIF2:bit12) が"1"の場合、割込み要求が CPU へ送られます。

＜注意事項＞

16 ビットデッドタイマを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

【bit2 ～ bit0】TMD8 ～ TMD6: 動作モードビット

TMD8	TMD7	TMD6	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合、OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が"H"の間に PPG パルスを出力する
0	1	0	各 OUT 信号の立上りエッジがトリガとなり、16 ビットデッドタイマが起動する。 PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力する。 PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD8 ～ TMD6:bit10 ～ bit8 が"000_B"の場合、アウトプットコンペアのコンペア出力 4 と 5 の信号は、RTO4 と RTO5 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD8 ～ TMD6:bit10 ～ bit8 が"001_B"の場合、アウトプットコンペアのコンペア出力 4 と 5 の信号は、PPG 出力が禁止(PPG 出力制御レジスタ(PICS0)の PGEN4:bit30=0, PGEN5:bit31=0) になると、RTO4 と RTO5 のそれぞれから出力されます。PPG 出力が許可(PPG 出力制御レジスタ(PICS0)の PGEN4:bit30=1, PGEN5:bit31=1)になると、アウトプットコンペアのコンペア出力 4 と 5 の信号が"H"の間に PPG パルスが、RTO4 と RTO5 のそれぞれから出力されます。また、16 ビットデッドタイマはリロードタイマとしても使用することができます。
- TMD8 ～ TMD6:bit10 ～ bit8 が"010_B"の場合、各 OUT 信号の立ち上がりエッジがトリガとなり、16 ビットデッドタイマが起動します。PPG 出力禁止の場合、16 ビットデッドタイマが停止するまで"H"を出力します。PPG 出力許可の場合、16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD8 ～ TMD6:bit10 ～ bit8 が"100_B"の場合、OUT 信号でノンオーバラップ信号を生成します。(デッドタイムタイマモード)

＜注意事項＞

デッドタイムタイマモードで波形ジェネレータを動作させるには、必ずアウトプットコンペアのコンペア出力 5 に対して 2 チャネルモード(コンペア制御レジスタ(OCS45)の CMOD: bit28=1)を選択してください。

4.1.3. 16 ビットデッドタイマリロード割込みレジスタ ：DTIR

16 ビットデッドタイマリロード割込みレジスタのビット構成について示します。

16 ビットデッドタイマリロード割込みレジスタ(DTIR)は、タイマがアンダフローする前にリロードされるときの割込み要求, および割込み要求許可を制御するために使用します。

■ DTIR0: アドレス 12ADH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DTRIF2	DTRIE2	DTRIF1	DTRIE1	DTRIF0	DTRIE0	予約	
初期値	0	0	0	0	0	0	0	0
属性	R(RM1),W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	R0,W0	R0,W0

【bit7】DTRIF2: 16 ビットデッドタイマ 2 リロード割込みフラグビット

DTRIF2	機能	
	読出し時	書込み時
0	デッドタイマのリロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが検出される	このビットは影響を受けない

- 16 ビットデッドタイマ 2 において、タイマがアンダフローする前にリロードされると、このビットは"1"にセットされます。
- このビットと割込み要求許可ビット(DTIR:DTRIE2)が"1"のときに割込み要求を発生します。
- 書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
- このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit6】DTRIE2: 16 ビットデッドタイマ 2 リロード割込み許可ビット

DTRIE2	機能
0	16 ビットデッドタイマでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイマでリロードが発生されると割込みを生成する。

・CPU への割込み出力の許可/禁止をするビットです。
・このビットと割込み要求フラグビット(DTIR:DTRIF2)が"1"のときに割込み要求を発生します。

【bit5】DTRIF1:　16 ビットデッドタイマ 1 リロード割込みフラグビット

DTRIF1	機能	
	読出し時	書込み時
0	デッドタイマのリロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが検出される	このビットは影響を受けない

・16 ビットデッドタイマ 1 において、タイマがアンダフローする前にリロードされると、このビットは"1"にセットされます。
・このビットと割込み要求許可ビット(DTIR:DTRIE1)が"1"のときに割込み要求を発生します。
・書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
・このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit4】DTRIE1: 16 ビットデッドタイマ 1 リロード割込み許可ビット

DTRIE1	機能
0	16 ビットデッドタイマでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイマでリロードが発生されると割込みを生成する。

・CPU への割込み出力の許可/ 禁止をするビットです。
・このビットと割込み要求フラグビット(DTIR:DTRIF1)が"1"のときに割込み要求を発生します。

【bit3】DTRIF0: 16 ビットデッドタイマ 0 リロード割込みフラグビット

DTRIF0	機能	
	読出し時	書込み時
0	デッドタイマの リロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが 検出される	このビットは影響を受けない

・16 ビットデッドタイマ 0 において、タイマがアンダフローする前にリロードされると、このビットは"1"にセットされます。
・このビットと割込み要求許可ビット(DTIR:DTRIE0)が"1"のときに割込み要求を発生します。
・書込み時は、"0"でこのビットがクリアされ、"1"では変化せずほかへの影響はありません。
・このビットはデッドタイマ割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令のリード時には、必ず"1"が読み出されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit2】DTRIE0: 16 ビットデッドタイマ 0 リロード割込み許可ビット

DTRIE0	機能
0	16 ビットデッドタイマでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイマでリロードが発生されると割込みを生成する。

・CPU への割込み出力の許可/ 禁止をするビットです。
・このビットと割込み要求フラグビット(DTIR:DTRIF0)が"1"のときに割込み要求を発生します。

【bit1, bit0】予約
必ず"0"を書き込んでください。

4.1.4. 16 ビットデッドタイママイナス制御レジスタ: DTMNS

16 ビットデッドタイママイナス制御レジスタのビット構成について示します。

16 ビットデッドタイママイナス制御レジスタ(DTMNS)は、デッドタイム機能のマイナス制御を設定します。本レジスタはキー許可ビット(KEY1, KEY0)を持っており、デッドタイム機能選択ビット(MNS2 ～MNS0)の設定には注意が必要です。
MNS2 ～MNS0 ビットに設定する際は、KEY1, KEY0=00 と MNS2 ～ MNS0="設定したい値" → KEY1,KEY0=01 と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY1, KEY0=10 と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY1, KEY0=11 と MNS2 ～ MNS0="設定したい値(前回と同じ値)"と連続して書き込みます。MNS2 ～ MNS0 は 4 回目の書込み時(KEY1, KEY0=11 の書込み時)に値が反映されます。このフローに従わない場合は(書込みフローの途中で他のレジスタに書込みや読出しを行う場合、書込み値が正しくないとき、および書込みフローの途中で本レジスタに読出しを行う場合) 本レジスタへの書込みは無効となります。

■ DTMNS0: アドレス 12AFH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約			MNS2	MNS1	MNS0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0, W0	R0, W0	R0, W0	R,W	R.W	R,W

【bit7, bit6】KEY1, KEY0: キー許可ビット

KEY1, KEY0	機能
	キーコード

- MNS2 ～ MNS0 の設定に使用するキーコードレジスタです。
- MNS2 ～MNS0 ビットに設定する際は、KEY1, KEY0=00 と MNS2～MNS0="設定したい値" → KEY1,KEY0=01 と MNS2 ～ MNS0="設定したい値(前回と同じ値)" → KEY1, KEY0=10 と MNS2 ～ MNS0="設定したい値(前回と同じ値)" → KEY1, KEY0=11 と MNS2 ～ MNS0="設定したい値(前回と同じ値)"と連続して書き込みます。MNS2 ～ MNS0 は 4 回目の書込み時(KEY1,KEY0=11 の書込み時)に値が反映されます。
- このフローに従わない場合は(書込みフローの途中で他のレジスタに書込みや読出しを行う場合、書込み値が正しくないとき、および書込みフローの途中で本レジスタに読出しを行う場合)本レジスタへの書込みは無効となります。
- 読出し時、"0"が読み出されます。

【bit5 ～ bit3】予約
必ず"0"を書き込んでください。

【bit2】MNS2：デッドタイム機能選択ビット(RTO4 と RTO5)

MNS2	機能
0	デッドタイマ機能のマイナス制御を行いません。
1	デッドタイマ機能のマイナス制御を行います。

・RTO4 と RTO5 のデッドタイマ機能の制御を選択します。
・"0"に設定した場合:
デッドタイマ機能のマイナス制御を行いません。
・"1"に設定した場合:
デッドタイマ機能のマイナス制御を行います。
・設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。
・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。

【bit1】MNS1：デッドタイム機能選択ビット(RTO2 と RTO3)

MNS1	機能
0	デッドタイマ機能のマイナス制御を行いません。
1	デッドタイマ機能のマイナス制御を行います。

・RTO2 と RTO3 のデッドタイマ機能の制御を選択します。
・"0"に設定した場合:
デッドタイマ機能のマイナス制御を行いません。
・"1"に設定した場合:
デッドタイマ機能のマイナス制御を行います。
・設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。
・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。

【bit0】MNS0：デッドタイム機能選択ビット(RTO0 と RTO1)

MNS0	機能
0	デッドタイマ機能のマイナス制御を行いません。
1	デッドタイマ機能のマイナス制御を行います。

・RTO0 と RTO1 のデッドタイマ機能の制御を選択します。
・"0"に設定した場合:
デッドタイマ機能のマイナス制御を行いません。
・"1"に設定した場合:
デッドタイマ機能のマイナス制御を行います。
・設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。
・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。

4.1.5. 波形制御レジスタ 1/2：SIGCR1, SIGCR2

波形制御レジスタ 1/2 のビット構成について示します。

波形制御レジスタ 1/2(SIGCR1, SIGCR2)は、動作クロック周波数，ノイズキャンセル機能有効, DTTI 入力有効および DTTI 割込みを制御するために使用します。

■ SIGCR10: アドレス 12B1H (アクセス: バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DTIE	DTIF	NRSL	DCK2	DCK1	DCK0	NWS1	NWS0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R(RM1), W	R/W	R/W	R/W	R/W	R/W	R/W

【bit7】DTIE： DTTI 入力有効ビット

DTIE	機能
0	DTTI 入力を無効にする
1	DTTI 入力を有効にする

・このビットは、RTO0 ～ RTO5 端子の出力レベル制御用 DTTI 信号を有効にするために使用します。

【bit6】DTIF: DTTI 割込みフラグビット

DTIF	機能	
	読出し時	書込み時
0	割込み要求なし	このビットはクリアされる
1	割込み要求あり	このビットは影響を受けない

・このビットは、DTTI の割込みフラグです。
・DTTI 入力が有効になり(DTIE:bit23=1)、DTTI の"L"レベルが検出されると、このビットが設定され、割込み要求が発生します。
・このビットに"0"を設定した場合 ： このビットはクリアされます。
・このビットに"1"を設定した場合 ： このビットは影響を受けません。
・このビットは DTTI 割込みクリア信号が"H"のときクリアされます。

＜注意事項＞

リードモディファイライト(RMW)系命令時には、必ず"1"が読み出されます。
ノイズキャンセル機能が有効になった場合 (NRSL:bit21=1)にノイズパルスが発生すると、このビッ

トには"1"が設定されます。
ソフトウェアクリア("0"書込み)または割込みクリア信号("H")によるクリアとハードウェアセット(DTTIの"L"レベル検出) が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

【bit5】NRSL：ノイズキャンセル機能有効ビット

NRSL	機能
0	DTTI 入力のノイズキャンセル回路が無効
1	DTTI 入力のノイズキャンセル回路が有効

・このビットは、ノイズキャンセル機能を有効にするために使用します。
・ノイズキャンセル回路は、カウンタでオーバフローが発生するまで"L"レベルが保持されると、DTTI 入力信号を受け取ります。カウンタは、"L"レベル入力で操作される N ビットカウンタです。
N は、NWS1, NWS0:bit17, bit16 の設定に基づいて 2, 3, 4 または 5 のいずれかの値になります。

＜注意事項＞

ノイズパルス幅をキャンセルするには、約 2n 周辺クロックが必要になります。
ノイズキャンセル回路を選択すると、周辺クロックが停止するモード(停止モードなど)時は、入力が無効になります。

【bit4 ～ bit2】DCK2 ～ DCK0：動作クロック選択ビット

DCK2	DCK1	DCK0	機能
0	0	0	ϕ
0	0	1	ϕ/2
0	1	0	ϕ/4
0	1	1	ϕ/8
1	0	0	ϕ/16
1	0	1	ϕ/32
1	1	0	ϕ/64
1	1	1	禁止

ϕ: 周辺クロック

・これらのビットは、16 ビットデッドタイマの動作クロックを選択するために使用します。

【bit1, bit0】NWS1, NWS0：DTTI ノイズ幅選択ビット

NWS1	NWS0	機能
0	0	4 周辺クロックサイクルノイズをキャンセル
0	1	8 周辺クロックサイクルノイズをキャンセル
1	0	16 周辺クロックサイクルノイズをキャンセル
1	1	32 周辺クロックサイクルノイズをキャンセル

・これらのビットは、除去する DTTI 端子ノイズパルス幅を選択するために使用します。

■ SIGCR20: アドレス 12B3H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PSEL21	PSEL20	PSEL11	PSEL10	PSEL01	PSEL00	予約	DTTI
初期値	0	0	0	0	0	0	0	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W

【bit7, bit6】PSEL21, PSEL20：PPG 入力チャネル選択ビット(RTO4, RTO5)

PSEL21	PSEL20	機能
0	0	PPG0
0	1	PPG2
1	0	PPG4
1	1	設定禁止(動作を保証しません)

・このビットは、RTO4, RTO5 用の PPG 入力を選択するために使用します。
・また、PPG への GATE 出力先の選択にも使用します。
・"11_B"は設定禁止です。

【bit5, bit4】PSEL11, PSEL10：PPG 入力チャネル選択ビット(RTO2, RTO3)

PSEL11	PSEL10	機能
0	0	PPG0
0	1	PPG2
1	0	PPG4
1	1	設定禁止(動作を保証しません)

・このビットは、RTO2, RTO3 用の PPG 入力を選択するために使用します。
・また、PPG への GATE 出力先の選択にも使用します。
・"11_B"は設定禁止です。

【bit3, bit2】PSEL01, PSEL00：PPG 入力チャネル選択ビット(RTO0, RTO1)

PSEL01	PSEL00	機能
0	0	PPG0
0	1	PPG2
1	0	PPG4
1	1	設定禁止(動作を保証しません)

・このビットは、 RTO0, RTO1 用の PPG 入力を選択するために使用します。
・また、PPG への GATE 出力先の選択にも使用します。
・"11_B"は設定禁止です。

【bit1】予約
必ず"0"を書き込んでください。

【bit0】DTTI：ソフト DTTI 設定ビット

DTTI	機能
0	DTTI セット
1	DTTI クリア

・"0"を書き込むと、DTTI のセットとなります。
・"1"を書き込むとクリアされます。

＜注意事項＞

外部入力 DTTI と OR をとっているため、DTTI は外部入力レベルによります。

4.1.6. PPG 出力制御レジスタ: PICS

PPG 出力制御レジスタのビット構成について示します。

PPG出力制御レジスタ(PICS)は、PPG出力を制御するために使用します。

■ PICS0: アドレス 12B4H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	PGEN5	PGEN4	PGEN3	PGEN2	PGEN1	PGEN0	予約	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W0	R/W0	R/W0

【bit31】PGEN5: PPG 出力許可ビット

PGEN5	機能
0	RTO5 への PPG 出力を禁止する
1	RTO5 への PPG 出力を許可する

・このビットは、RTO5 への PPG 出力を選択するために使用します。

【bit30】PGEN4: PPG 出力許可ビット

PGEN4	機能
0	RTO4 への PPG 出力を禁止する
1	RTO4 への PPG 出力を許可する

・このビットは、RTO4 への PPG 出力を選択するために使用します。

【bit29】 PGEN3：PPG 出力許可ビット

PGEN3	機能
0	RTO3 への PPG 出力を禁止する
1	RTO3 への PPG 出力を許可する

・このビットは、RTO3 への PPG 出力を選択するために使用します。

【bit28】PGEN2：PPG 出力許可ビット

PGEN2	機能
0	RTO2 への PPG 出力を禁止する
1	RTO2 への PPG 出力を許可する

・このビットは、RTO2 への PPG 出力を選択するために使用します。

【bit27】PGEN1：PPG 出力許可ビット

PGEN1	機能
0	RTO1 への PPG 出力を禁止する
1	RTO1 への PPG 出力を許可する

・このビットは、RTO1 への PPG 出力を選択するために使用します。

【bit26】PGEN0：PPG 出力許可ビット

PGEN0	機能
0	RTO0 への PPG 出力を禁止する
1	RTO0 への PPG 出力を許可する

・このビットは、RTO0 への PPG 出力を選択するために使用します。

【bit25 ～ bit0】予約

必ず"0"を書き込んでください。

5. 動作説明

動作について説明します。

5.1. 波形ジェネレータの割込み

5.2. 波形ジェネレータの動作

5.1. 波形ジェネレータの割込み

波形ジェネレータの割込みについて説明します。

波形ジェネレータの割込み制御ビットと割込み要因を表 5-1, 表 5-2 に示します。

表 5-1 波形ジェネレータの割込み制御ビットと割込み要因#1-1

	16 ビットデッドタイマ 0	16 ビットデッドタイマ 1	16 ビットデッドタイマ 2
割込み要求フラグビット	16 ビットデッドタイマ状態制御レジスタ 0 (DTSCR0)の TMIF0:bit28	16 ビットデッドタイマ状態制御レジスタ 1 (DTSCR1)の TMIF1:bit20	16 ビットデッドタイマ状態制御レジスタ 2 (DTSCR2)の TMIF2:bit12
割込み要求許可ビット	16 ビットデッドタイマ状態制御レジスタ 0 (DTSCR0)の TMIE0:bit27	16 ビットデッドタイマ状態制御レジスタ 1 (DTSCR1)の TMIE1:bit19	16 ビットデッドタイマ状態制御レジスタ 2 (DTSCR2)の TMIE2:bit11
割込み要因	16 ビットデッドタイマ 0 のアンダフロー	16 ビットデッドタイマ 1 のアンダフロー	16 ビットデッドタイマ 2 のアンダフロー

表 5-2 波形ジェネレータの割込み制御ビットと割込み要因#1-2

	DTTI0
割込み要求フラグビット	波形制御レジスタ 10(SIGCR10)の DTIF:bit22
割込み要求許可ビット	-
割込み要因	DTTI0 で"L"レベルが検出される

波形ジェネレータでは、16 ビットデッドタイマのアンダフローが発生し、かつ DTSCR レジスタの TMD2-TMD0/TMD5-TMD3/TMD8-TMD6 (bit26 ～ bit24/bit18 ～ bit16/bit10 ～ bit8)が"000_B"または"001_B"のとき、16 ビットデッドタイマ状態制御レジスタ(DTSCR)の TMIF0/TMIF1/TMIF2 (bit28/bit20/bit12)には"1"が設定されます。この状態において割込み要求が許可(DTSCR レジスタの TMIE0/TMIE1/TMIE2(bit27/bit19/bit11)=1) になると、割込み要求は割込みコントローラへ出力されます。

表 5-3 波形ジェネレータの割込み制御ビットと割込み要因#2-1

	16 ビットデッドタイマ 0/3	16 ビットデッドタイマ 1/4	16 ビットデッドタイマ 2/5
割込み要求フラグビット	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIF0	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIF1	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIF2
割込み要求許可ビット	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIE0	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIE1	16 ビットデッドタイマ リロード割込みレジスタ 0/1 (DTIR0/1)の DTRIE2
割込み要因	16 ビットデッドタイマ 0/3 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイマ 1/4 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイマ 2/5 動作中のアンダフロー 発生前にリロードが発生

16 ビットデッドタイマ動作中に、タイマのアンダフローが発生する前にリロードが発生した場合、割込み要求フラグビットがセットされます。対応する割込み要求許可ビットが許可のとき、割込み要求は割込みコントローラへ出力されます。

5.2. 波形ジェネレータの動作

波形ジェネレータの動作について説明します。

波形ジェネレータは、リアルタイム出力(RTO0 ～ RTO5), 16 ビット PPG タイマ 0/2/4, 16 ビットデッドタイマ 0/1/ 2 を使用して様々な波形(デッドタイムを含む)を生成することができます。

RTO0 ～ RTO5とGATEの出力状態

表 5-4 RTO/GATE 出力状態とビット設定

TMD2	TMD1	TMD0	GTEN	PGEN	RTO	GATE
0	0	0	X	X	コンペア出力 OUT (16 ビットアウトプットコンペア出力)	常に"0"
0	0	1	0/1	0	コンペア出力 OUT (16 ビットアウトプットコンペア出力)	(OUT かつ GTEN)[*3]
			0	1	OUT が"H"の期間に PPG0/PPG2/PPG4 のパルスを出力[*1]	常に"0"
			1	1	OUT が"H"の期間に GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	OUT

TMD2	TMD1	TMD0	GTEN	PGEN	RTO	GATE
0	1	0	0/1	0	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで"H"を出力	GTEN かつタイマ動作期間中は"H"を出力*4
			0	1	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで PPG0/PPG2/PPG4 のパルスを出力*1	常に"0"
			1	1	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで、GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	タイマ動作期間中は"H"を出力*4
1	0	0	X	X	OUT でノンオーバラップ信号を生成*2	常に"0"
1	1	1	0	X	設定禁止	-
			1	X	設定禁止	-
その他					常に"0"	常に"0"

*1: あらかじめ使用するチャネルを PPG0/PPG2/PPG4 のうちから選択し、PPG を起動しておく必要があります。
*2: ノンオーバラップ信号を生成するには、必ず OUT1, OUT3, OUT5 に対して 2 チャネルモード(コンペア制御レジスタ(OCS1, OCS3, OCS5)の CMOD=1)を選択してください。
*3: GTEN ビットに"1"を設定した OUT から GATE 信号が生成されます。
*4: GTEN ビットに"1"を設定した OUT によって起動されるタイマの動作期間中に、GATE 信号が生成されます。複数の GATE ビットに"1"を設定した場合、GATE 信号は各々のタイマ動作期間中の信号を OR した信号となります。

■ 各端子とビットの設定について

RTO/GATE 出力状態とビット設定における、各端子については以下に記す対応表のようになる。

表 5-5 各端子とビット設定の対応表

GATE 信号制御ビット	PPG 出力許可ビット	リアルタイム出力	コンペア出力	16 ビットデッドタイマ	ノンオーバラップ信号
GTEN0	PGEN0	RTO0	OUT0	16 ビットデッドタイマ 0	OUT1
GTEN1	PGEN1	RTO1	OUT1	16 ビットデッドタイマ 0	OUT1
GTEN2	PGEN2	RTO2	OUT2	16 ビットデッドタイマ 1	OUT3
GTEN3	PGEN3	RTO3	OUT3	16 ビットデッドタイマ 1	OUT3
GTEN4	PGEN4	RTO4	OUT4	16 ビットデッドタイマ 2	OUT5
GTEN5	PGEN5	RTO5	OUT5	16 ビットデッドタイマ 2	OUT5

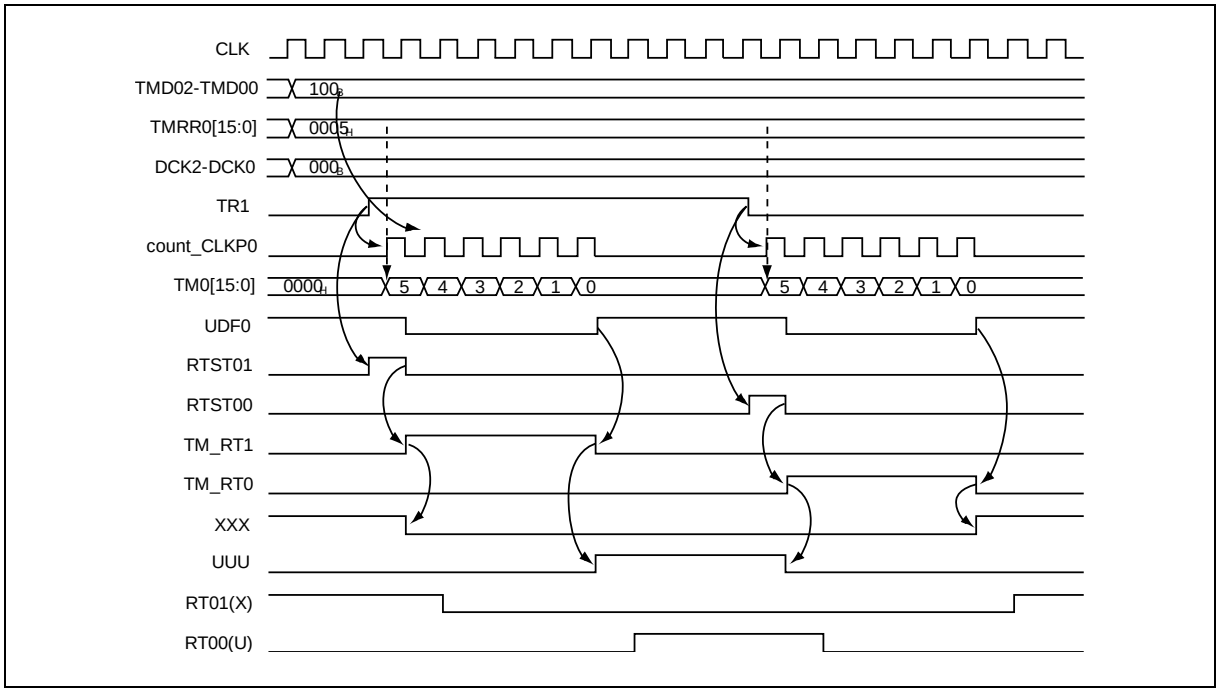
＜注意事項＞

RTO0, RTO1は、16ビットデッドタイマ状態制御レジスタ(DTSCR0)のTMD2 ～ TMD0により、RTO2, RTO3 は DTSCR1 レジスタの TMD5～TMD3 により、RTO4, RTO5 は DTSCR2 レジスタの TMD8 ～ TMD6 により制御されます。

■ 動作タイミング

波形ジェネレータのデッドタイマ動作タイミング

図 5-1 波形ジェネレータのデッドタイマ動作タイミング



PPG出力制御

RTO0 ～ RTO5 端子への PPG 出力は、PPG 出力制御レジスタ(PICS)の PGEN5 ～ PGEN0 で許可にすることができます。

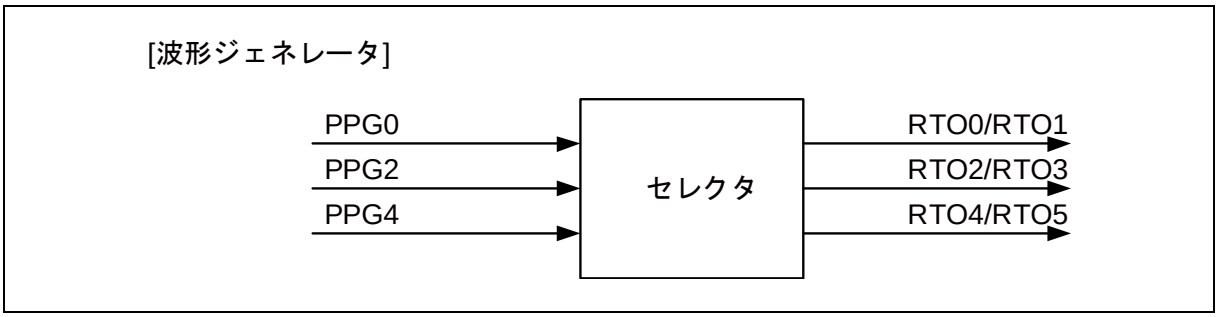
ゲートトリガされたPPG出力

波形ジェネレータではリアルタイム出力 RTO0 ～ RTO5 により、GATE 信号を生成することができます。1 つの 16 ビットデッドタイマ 0, 1, 2 で 2 つのリアルタイム出力(RTO0/RTO2/RTO4, RTO1/RTO3/RTO5)が操作され、6 つの別々のゲート信号が生成されます。これら 6 つのゲート信号は論理和がとられて GATE 信号を生成し、PPG カウントのトリガとなります。

また、PGEN0 ～ PGEN5 信号を使用すると、PPG のみを使用することで RTO0 ～ RTO5 端子に 6 つの異なる波形を出力することができます。

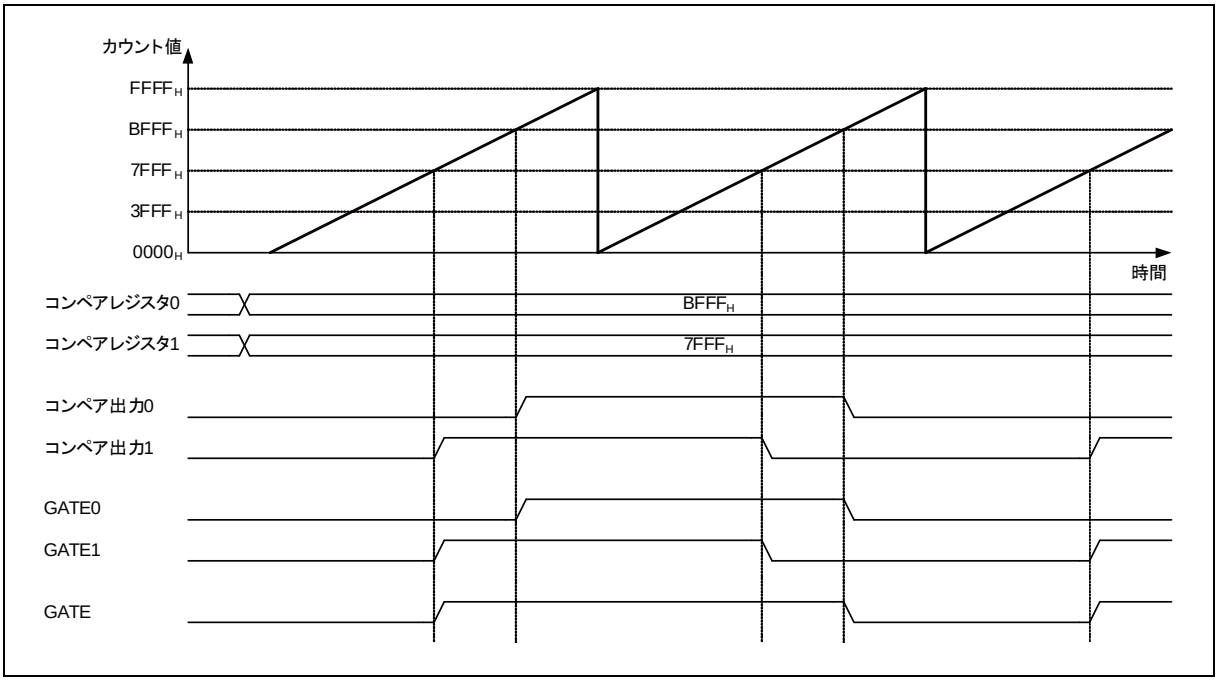
＜注意事項＞

一例として波形ジェネレータ 0 を例にしています。波形ジェネレータ 1 の場合、選択可能な PPG チャネルは以下の図に示したとおりです。



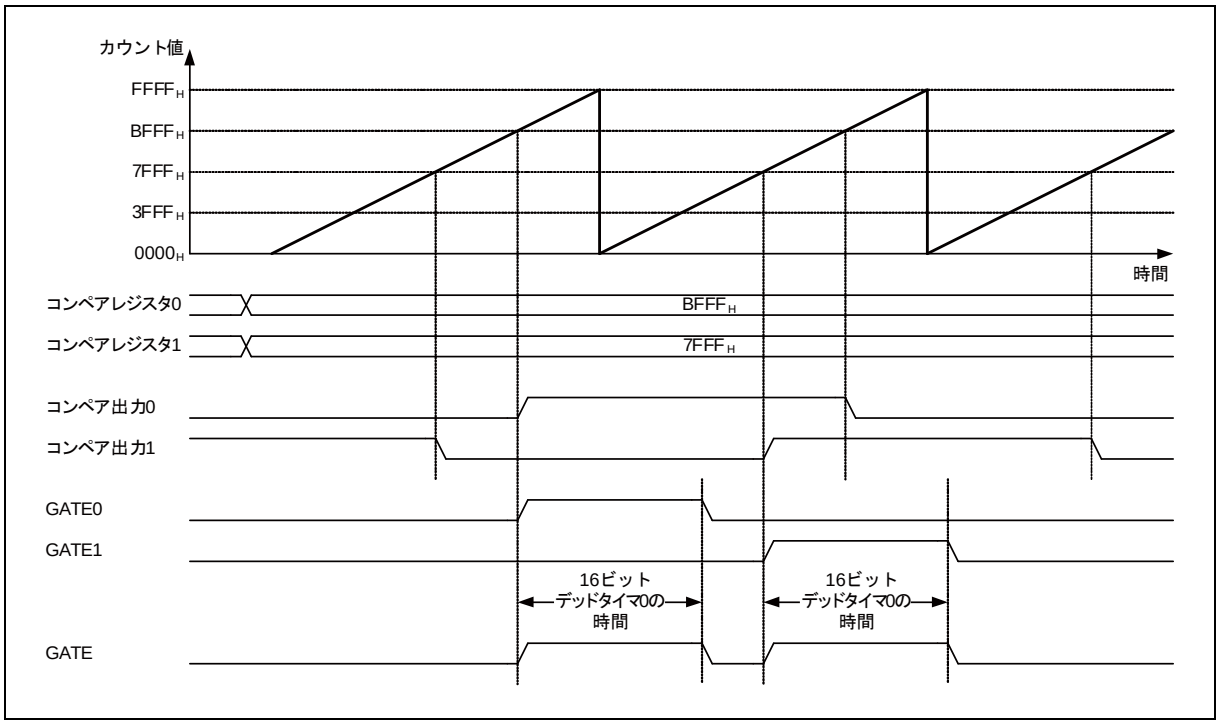
- **GATE がアクティブであり，各 OUT が"H"であるとき(16 ビットデッドタイマ状態制御 (DTSCR0, DTSCR1, DTSCR2)の TMD8 ～ TMD0 が"001B")の GATE 信号生成**

図 5-2 OUT が"H"のときの GATE 信号の生成



- **GTEN がアクティブ(DTSCR0, DTSCR1, DTSCR2 レジスタの TMD8～TMD0=010B)であるときの OUT 立ち上がりエッジから 16 ビットデッドタイマ 0, 1, 2 アンダフローまでにおける GATE 信号の生成**

図 5-3 OUT 立上りエッジから 16 ビットデッドタイマアンダフローまでにおける GATE 信号の生成



＜注意事項＞

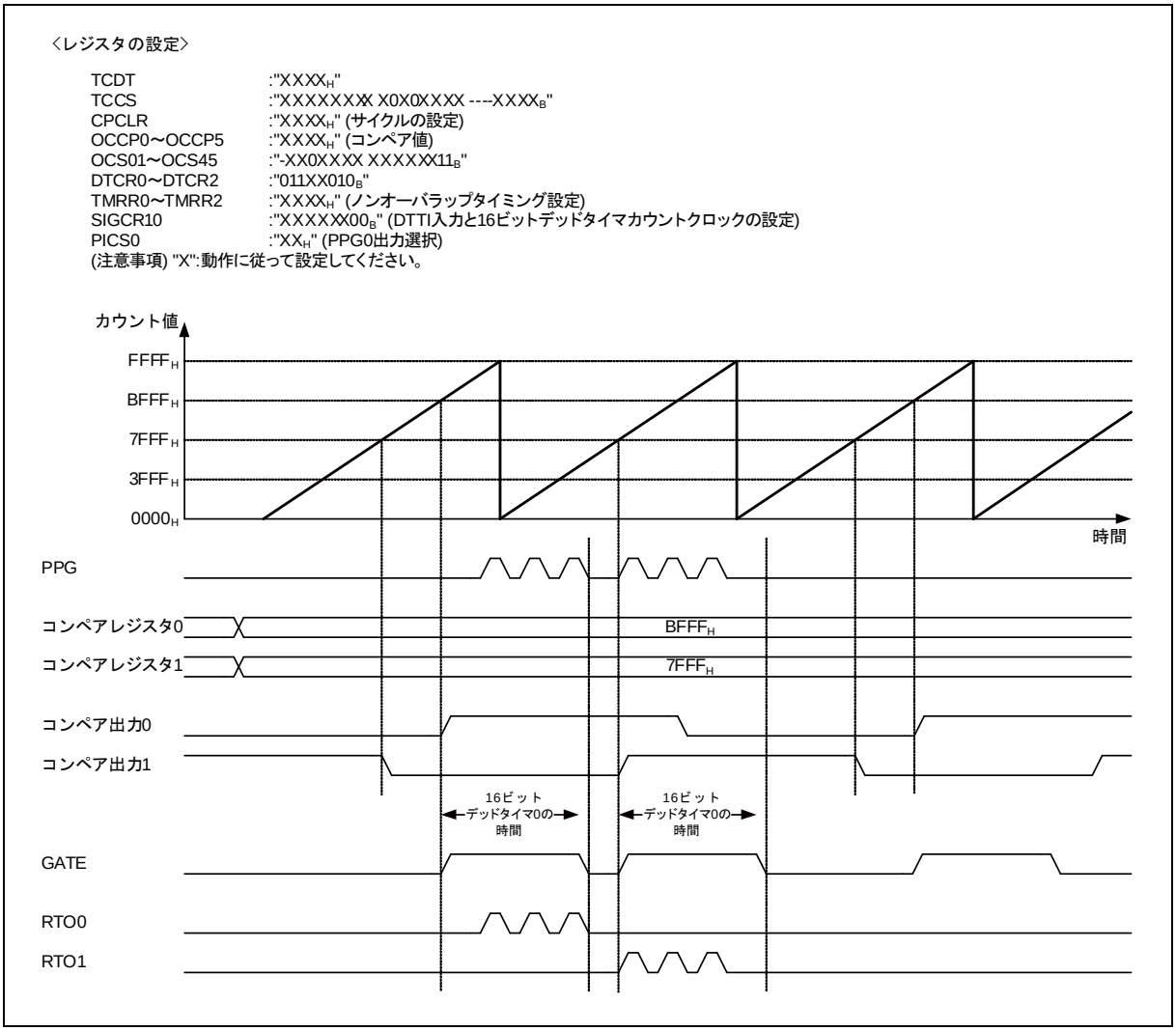
各 16 ビットデッドタイマは、2 つの OUT に対して使用されます。すなわち、16 ビットデッドタイマ 0 は OUT0 と OUT1 に対して使用され、16 ビットデッドタイマ 1 は OUT2 と OUT3 に対して使用され、16 ビットデッドタイマ 2 は OUT4 と OUT5 に対して使用されます。
したがって、OUT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

タイマモードの動作

OUT0 ～ OUT5端子の立ち上がりエッジが検出されると、16ビットデッドタイマに値がリロードされて、16ビットデッドタイマがダウンカウントを開始します。PPGタイマは、16ビットデッドタイマでアンダフローが発生するまでRTO0 ～ RTO5端子へ出力し続けます。

- **OUT立ち上がりエッジから16ビットデッドタイマアンダフローまでにおけるPPG出力パルス生成(DTSCR0, DTSCR1, DTSCR2 レジスタのTMD8 ～ TMD0=010B)**

図 5-4 TMD2～TMD0 が"010_B"のときに生成される波形



＜注意事項＞

各 16 ビットデッドタイマは、2 つの OUT に対して使用されます。すなわち、16 ビットデッドタイマ 0 は OUT0 と OUT1 に対して使用され、16 ビットデッドタイマ 1 は OUT2 と OUT3 に対して使用され、16 ビットデッドタイマ 2 は OUT4 と OUT5 に対して使用されます。
したがって、OUT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

デッドタイムタイマモード時の動作

デッドタイムジェネレータは、コンペア出力(OUT1, OUT3, OUT5)を入力し、外部端子(RTO0 ～RTO5)へノンオーバラップ信号(反転信号)を出力します。

- **通常極性の OUT1, OUT3, OUT5 によるノンオーバラップ信号生成(16 ビットデッドタイマ制御レジスタ(DTSCR0, DTSCR1, DTSCR2)の TMD8 ～ TMD0=100B)**

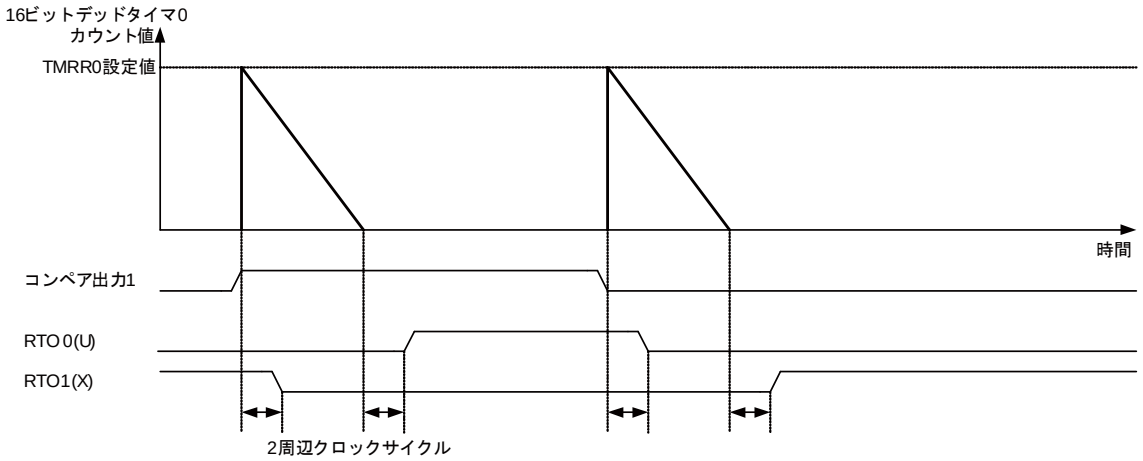
  DTSCR0, DTSCR1, DTSCR2 レジスタの DMOD2 ～ DMOD0 が"0"(通常極性)であるノンオーバラップ信号を選択すると、16 ビットデッドタイマレジスタ(TMRR0 ～TMRR2)に設定されているノンオーバラップ時間に相当する遅延が適用されます。この遅延は OUT1, OUT3, OUT5 端子の立ち上がりエッジまたは立下りエッジで適用されます。
  設定されているノンオーバラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイマは、その次の RT エッジでデッドタイマが起動されてから再度起動するまでの時間分の値からダウンカウントを再開します。
  再起動されたデッドタイマのダウンカウントが終了する前に、もう一度デッドタイマが起動される場合は、TMRR0 ～ TMRR2 レジスタ値からダウンカウントを再開します。

図 5-5 通常極性のコンペア出力によるノンオーバラップ信号生成

〈レジスタの設定〉

TCDT	:"XXXX$_H$"
TCCS	:"X-XXXXXX X0X0XXXX ----XXXX$_B$"
CPCLR	:"XXXX$_H$" (サイクルの設定)
OCCP0～OCCP5	:"XXXX$_H$" (コンペア値)
OCS01～OCS45	:"-XX1XXXX XXXXXX11$_B$"
DTCR0～DTCR2	:"0XXX100$_B$"
TMRR0～TMRR2	:"XXXX$_H$" (ノンオーバラップタイミング設定)
DTMNS0	:"XX---000$_B$"
SIGCR10	:"XXXXXX00$_B$" (DTTI入力と16ビットデッドタイマカウントクロックの設定)

(注意事項) "X":動作に従って設定してください。



端子名	出力信号
RTO0(U)	遅延された信号がコンペア出力1の立上りエッジで適用される
RTO2(V)	遅延された信号がコンペア出力3の立上りエッジで適用される
RTO4(W)	遅延された信号がコンペア出力5の立上りエッジで適用される
RTO1(X)	遅延された反転信号がコンペア出力1の立下りエッジで適用される
RTO3(Y)	遅延された反転信号がコンペア出力3の立下りエッジで適用される
RTO5(Z)	遅延された反転信号がコンペア出力5の立下りエッジで適用される

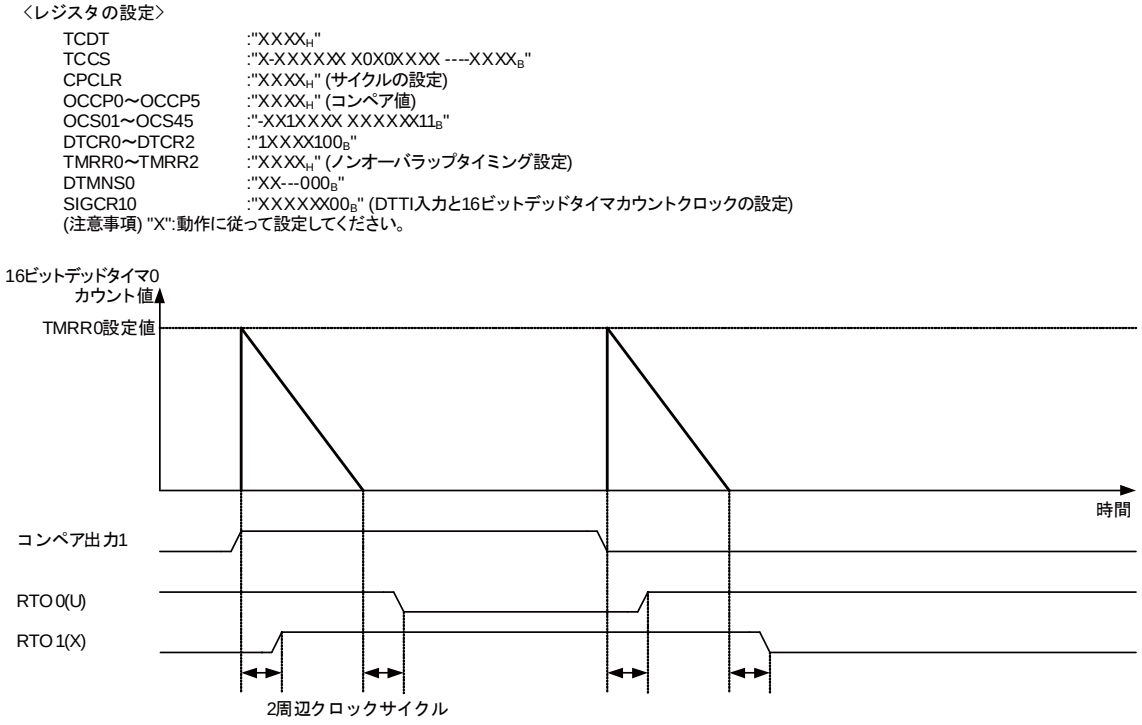
- **反転極性の OUT1, OUT3, OUT5 によるマイナス制御のノンオーバラップ信号生成(16 ビットデッドタイマ制御レジスタ(DTSCR0, DTSCR1, DTSCR2) の TMD8 ～ TMD0=100B)**

  DTSCR0, DTSCR1, DTSCR2 レジスタの DMOD2 ～ DMOD0 が"1"(反転極性)であるノンオーバラップ信号を選択すると、16 ビットデッドタイマレジスタ(TMRR0 ～ TMRR2)に設定されているノンオーバラップ時間に相当する遅延が適用されます。この遅延は、OUT1, OUT3, OUT5 の立ち上がりエッジまたは立下りエッジで適用されます。

  設定されているノンオーバラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイマはその次の RT エッジでデッドタイマが起動されてから再度起動するまでの時間分の値からダウンカウントを再開します。

  再起動されたデッドタイマのダウンカウントが終了する前に、もう一度デッドタイマが起動される場合は、TMRR0 ～ TMRR2 レジスタ値からダウンカウントを再開します。

図 5-6 反転極性のコンペア出力によるノンオーバラップ信号生成



端子名	出力信号
RTO0(U)	遅延された反転信号がコンペア出力1の立上りエッジで適用される
RTO2(V)	遅延された反転信号がコンペア出力3の立上りエッジで適用される
RTO4(W)	遅延された反転信号がコンペア出力5の立上りエッジで適用される
RTO1(X)	遅延された信号がコンペア出力1の立下りエッジで適用される
RTO3(Y)	遅延された信号がコンペア出力3の立下りエッジで適用される
RTO5(Z)	遅延された信号がコンペア出力5の立下りエッジで適用される

デッドタイムタイマモード時の動作（マイナス制御）

16 ビットデッドタイママイナス制御レジスタ(DTMNS)により、ノンオーバラップ時間をマイナス制御(DTMNS レジスタの MNSx ビット=1)することができます。

- **通常極性の OUT1, OUT3, OUT5 によるマイナス制御のノンオーバラップ信号生成(16 ビットデッドタイマ制御レジスタ(DTSCR0, DTSCR1, DTSCR2)の TMD8 ～ TMD0=100B)**

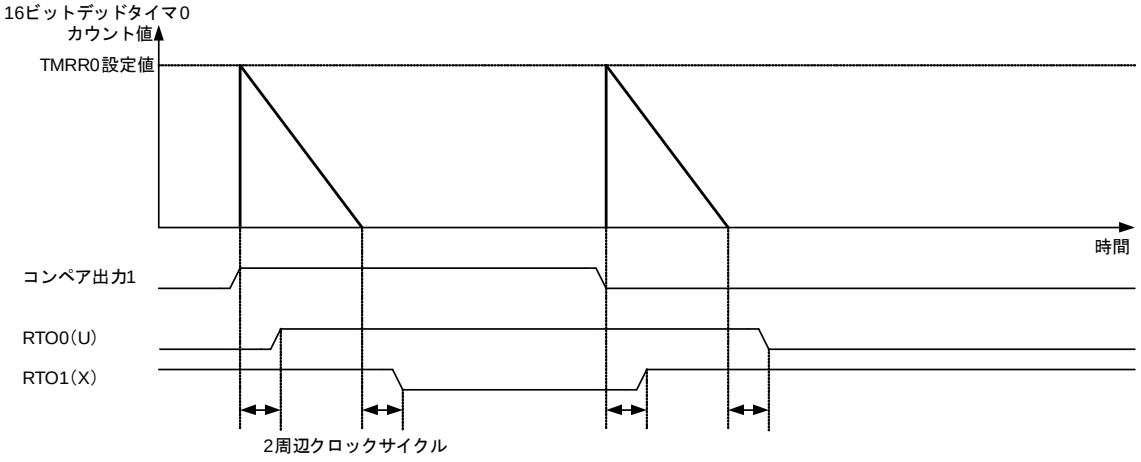
  信号生成は、マイナス制御をしない反転極性のノンオーバラップ信号の U/V/W と X/Y/Z の出力を X/Y/Z と U/V/W と出力することにより行います。

図 5-7　通常極性の DTMNS レジスタの MNSx ビット=1 (マイナス設定)による ノンオーバラップ信号生成

〈レジスタの設定〉

TCDT	: "XXXX$_H$"
TCCS	: "X-XXXXXXX0X0XXXX−−−XXXX$_B$"
CPCLR	: "XXXX$_H$" (サイクルの設定)
OCCP0～OCCP5	: "XXXX$_H$" (コンペア値)
OCS01～OCS45	: "-XX1XXXX XXXXXX11$_B$"
DTCR0～DTCR2	: "1XXXX100$_B$"
TMRR0～TMRR2	: "XXXX$_H$" (ノンオーバラップタイミング設定)
DTMNS0	: "XX---111$_B$"
SIGCR10	: "XXXXXX00$_B$" (DTTI入力と16ビットデッドタイマカウントクロックの設定)

(注意事項 "X": 動作に従って設定してください。



端子名	出力信号
RTO0(U)	遅延された信号がコンペア出力1の立下りエッジで適用される
RTO2(V)	遅延された信号がコンペア出力3の立下りエッジで適用される
RTO4(W)	遅延された信号がコンペア出力5の立下りエッジで適用される
RTO1(X)	遅延された反転信号がコンペア出力1の立上りエッジで適用される
RTO3(Y)	遅延された反転信号がコンペア出力3の立上りエッジで適用される
RTO5(Z)	遅延された反転信号がコンペア出力5の立上りエッジで適用される

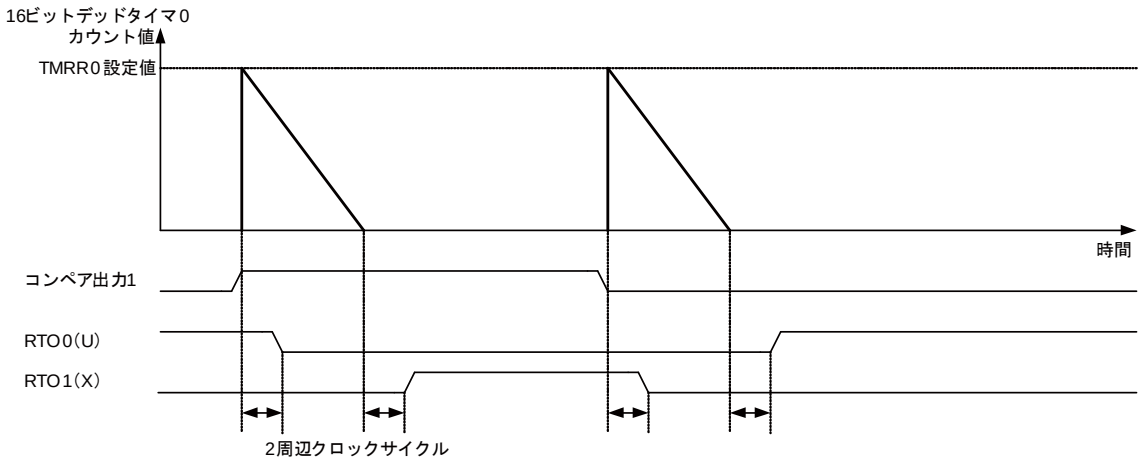
- **反転極性の OUT1, OUT3, OUT5 によるノンオーバラップ信号生成(16 ビットデッドタイマ制御レジスタ(DTSCR0, DTSCR1, DTSCR2)の TMD8 ～ TMD0=100B)**
  信号生成は、マイナス制御をしない通常極性のノンオーバラップ信号の U/V/W と X/Y/Z の出力を X/Y/Z と U/V/W と出力することにより行います。

図 5-8　反転極性の DTMNS レジスタの MNS ビット=1 (マイナス設定)による ノンオーバラップ信号生成

〈レジスタの設定〉

TCDT	: "XXXX$_H$"
TCCS	: "X-XXXXXXX0X0XXXX −−−XXXX$_B$"
CPCLR	: "XXXX$_H$"(サイクルの設定)
OCCP0～OCCP5	: "XXXX$_H$"(コンペア値)
OCS01～OCS45	: "-XX1XXXX XXXXXX11$_B$"
DTCR0～DTCR2	: "0XXXX100$_B$"
TMRR0～TMRR2	: "XXXX$_H$"(ノンオーバラップタイミング設定)
DTMNS0	: "XX---111$_B$"
SIGCR10	: "XXXXXX00$_B$"(DTTI入力と16ビットデッドタイマカウントクロックの設定)

(注意事項) "X": 動作に従って設定してください。



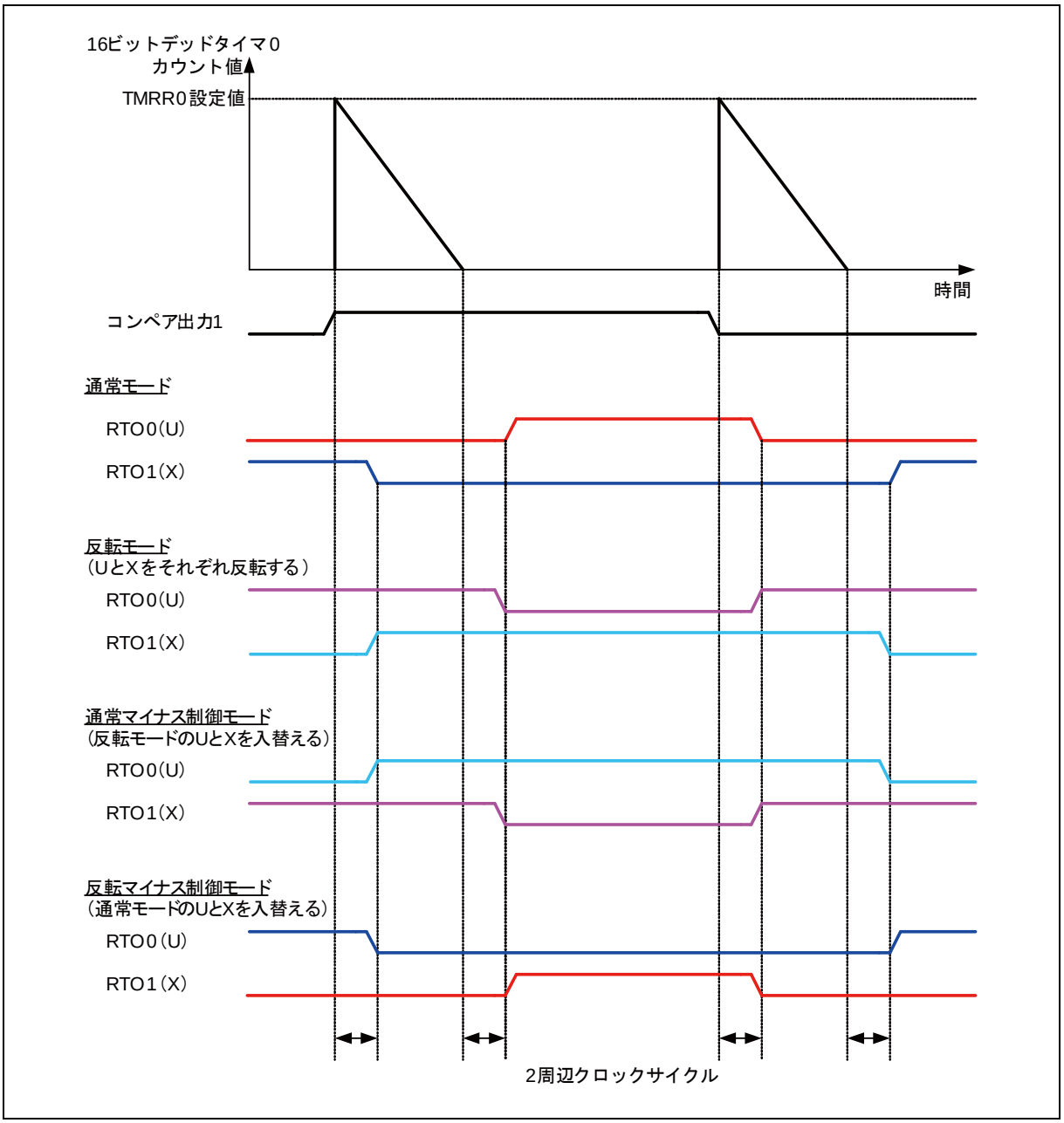
端子名	出力信号
RTO0(U)	遅延された反転信号がコンペア出力1の立下りエッジで適用される
RTO2(V)	遅延された反転信号がコンペア出力3の立下りエッジで適用される
RTO4(W)	遅延された反転信号がコンペア出力5の立下りエッジで適用される
RTO1(X)	遅延された信号がコンペア出力1の立上りエッジで適用される
RTO3(Y)	遅延された信号がコンペア出力3の立上りエッジで適用される
RTO5(Z)	遅延された信号がコンペア出力5の立上りエッジで適用される

デッドタイムタイマモード時の動作 (使用上の注意)

■ 信号生成

基本は、通常モードです。
反転モードは、通常モードの U と X をそれぞれ反転して出力します。
通常マイナス制御モードは、通常モードの U と X をそれぞれ反転して、さらに U と X を入れ替えて出力します。
反転マイナス制御モードは、通常モードの U と X を入れ替えて出力します。

図 5-9 デッドタイムタイマモード時の信号生成



- **コンペア出力の"H"区間が大きく(または小さく), デッドタイマのアンダフローが発生する前にリロードされる場合(デッドタイマのリロードが 1 回の場合)**

  通常モードおよび反転マイナス制御モードの場合、X(または U)が"L"固定で出力されます。
  通常マイナス制御モードおよび反転モードでは、U(または X)が"H"固定で出力されます。さらにデッドタイマがダウンカウント中は U と X が両方とも"H"で出力されます。その区間はデッドタイマが起動されてから再起動するまでの時間(コンペア出力変化時間)の 2 倍の時間となります。
  なお、デッドタイマ動作中にタイマのアンダフローが発生する前にリロードされる場合は、16 ビットデッドタイマリロード割込みレジスタ(DTIR)の割込み要求フラグビットがセットされ、割込みが許可されている場合、割込みが通知されます。

図 5-10 コンペア出力の"H"区間が大きく、デッドタイマのアンダフローが発生する前にリロードされる場合

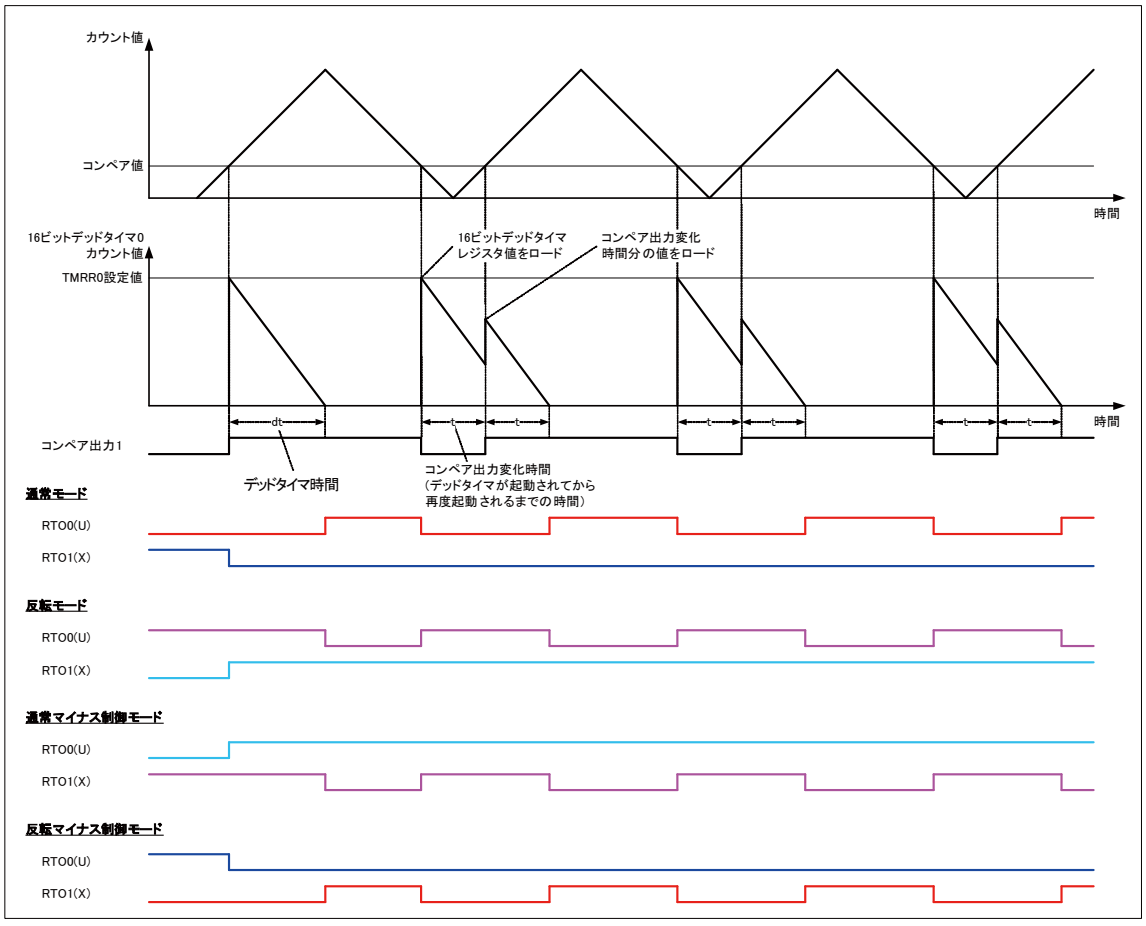
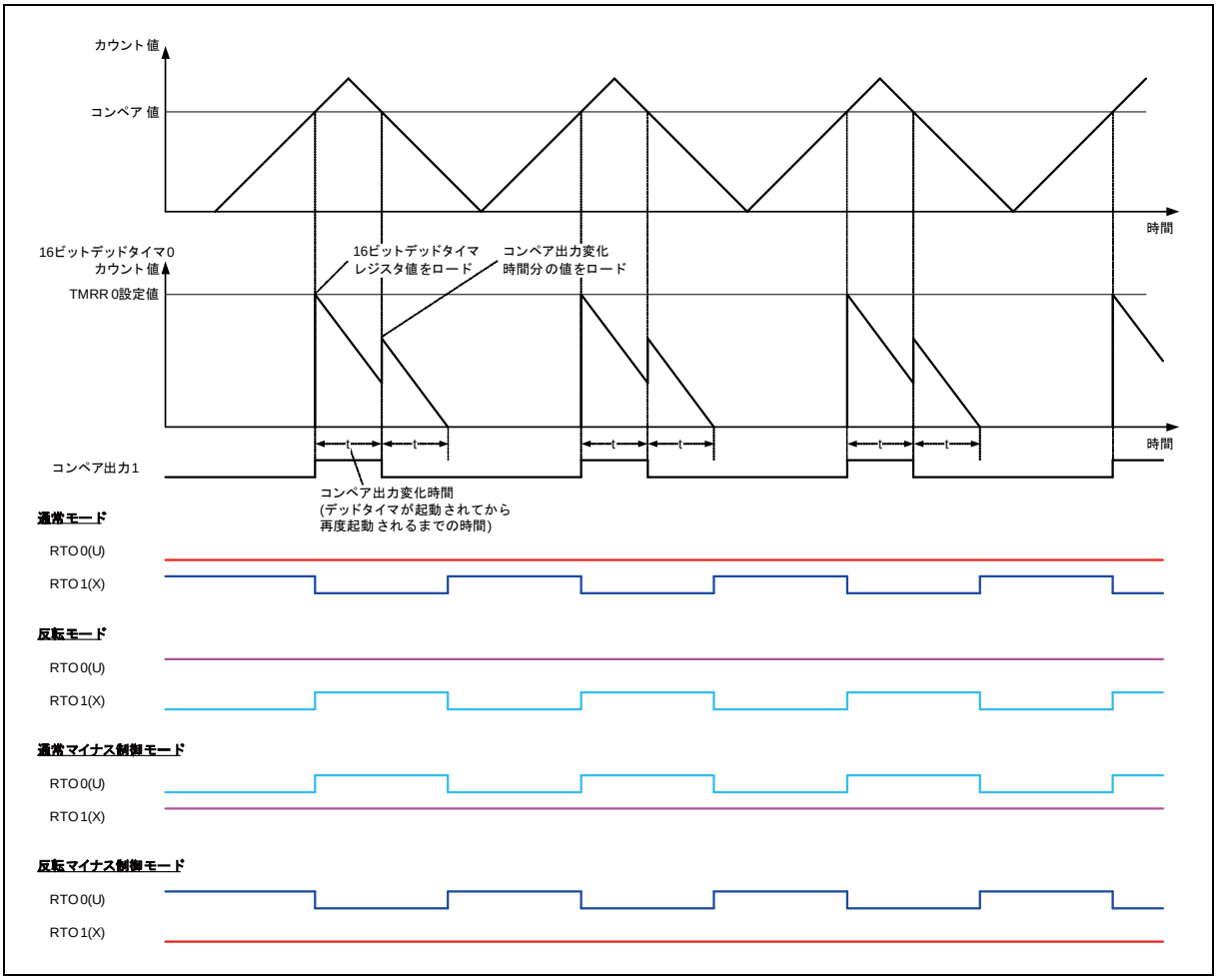


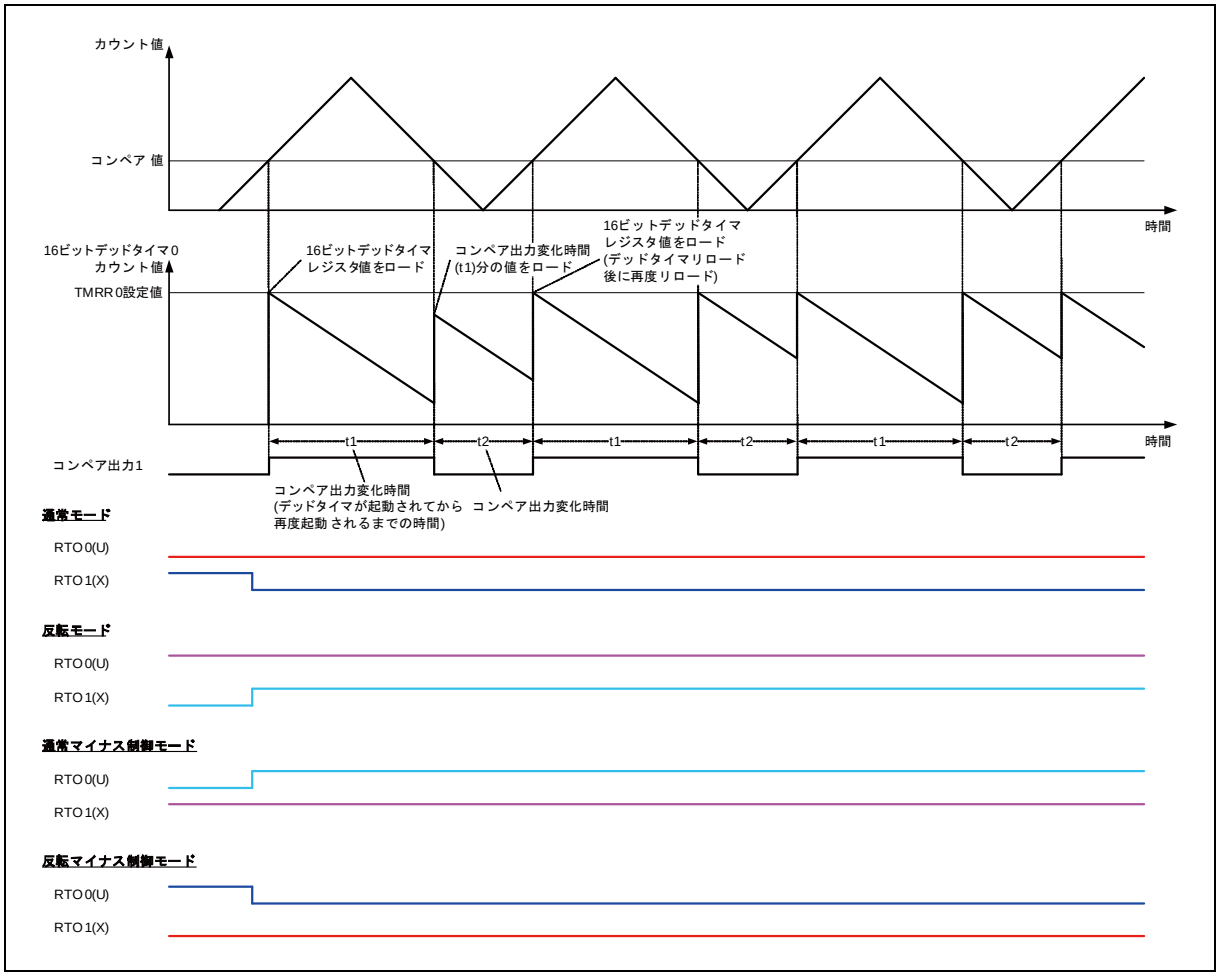
図 5-11 コンペア出力の"H"区間が小さく、デッドタイマのアンダフローが発生する前にリロードされる場合



- **コンペア出力変化時間が小さく，デッドタイマのアンダフローが発生する前にリロードされ続ける場合（デッドタイマのリロードが続く場合）**

  コンペア出力変化時間が小さく、デッドタイマのアンダフローが発生する前にリロードされ続けるような16 ビットデッドタイマレジスタ(TMRR)の設定は禁止とします。
  もし、上記設定を行うと、通常モードおよび反転マイナス制御モードの場合、X および U が"L"固定で出力されます。通常マイナス制御モードおよび反転モードでは、X および U が"H"固定で出力されます。
  なお、デッドタイマ動作中にタイマのアンダフローが発生する前にリロードされる場合は、16 ビットデッドタイマリロード割込みレジスタ(DTIR)の割込み要求フラグビットがセットされ、割込みが許可されている場合、割込みが通知されます。

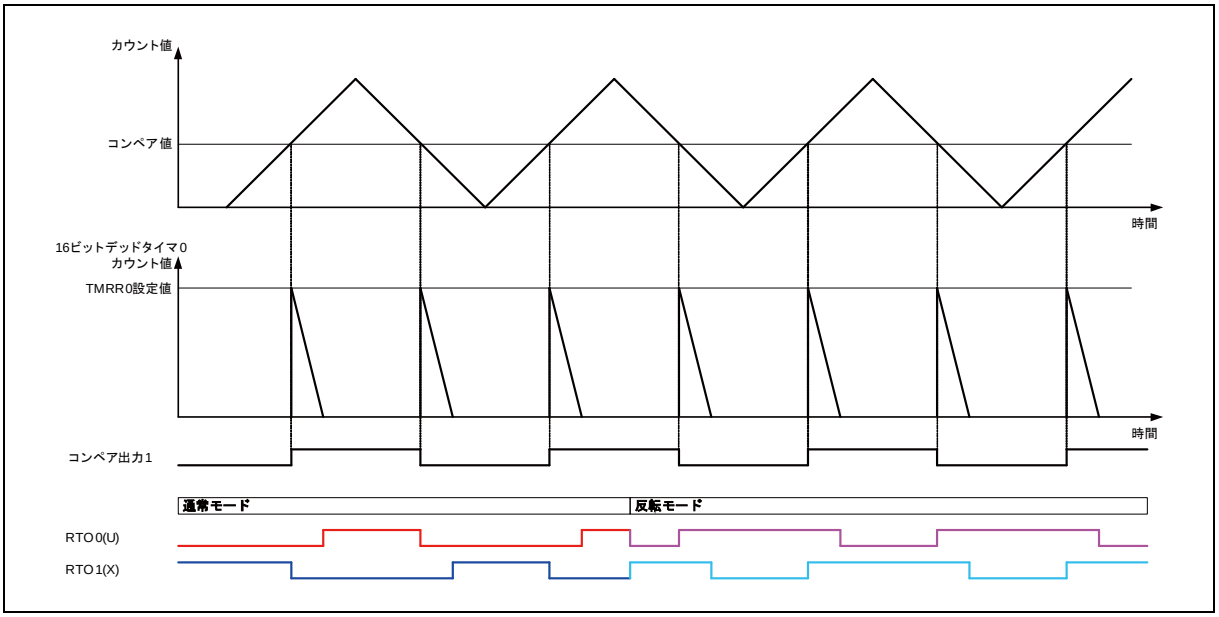
図 5-12 コンペア出力変化時間が小さく、デッドタイマのアンダフローが発生する前にリロードされ続ける場合



- **デッドタイムタイマモード動作中の通常モードから反転モードへの変更**

  デッドタイムタイマモード動作中に、 通常モードから反転モードに変更した場合、U と X の変化点が重なります。通常モードから反転モードへの変更は即時に行いますので、注意してください。

図 5-13 デッドタイムタイマモード動作中の通常モードから反転モードへの変更



● デッドタイムタイマモード動作中のマイナス制御モードの変更

デッドタイムタイマモード動作中に、マイナス制御モードを変更する場合、U と X の変化点が重ならないように、マイナス制御モードの設定の反映を、デッドタイマが未動作およびトリガ入力(コンペア出力)が"L"のときに行います。

図 5-14 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更#1

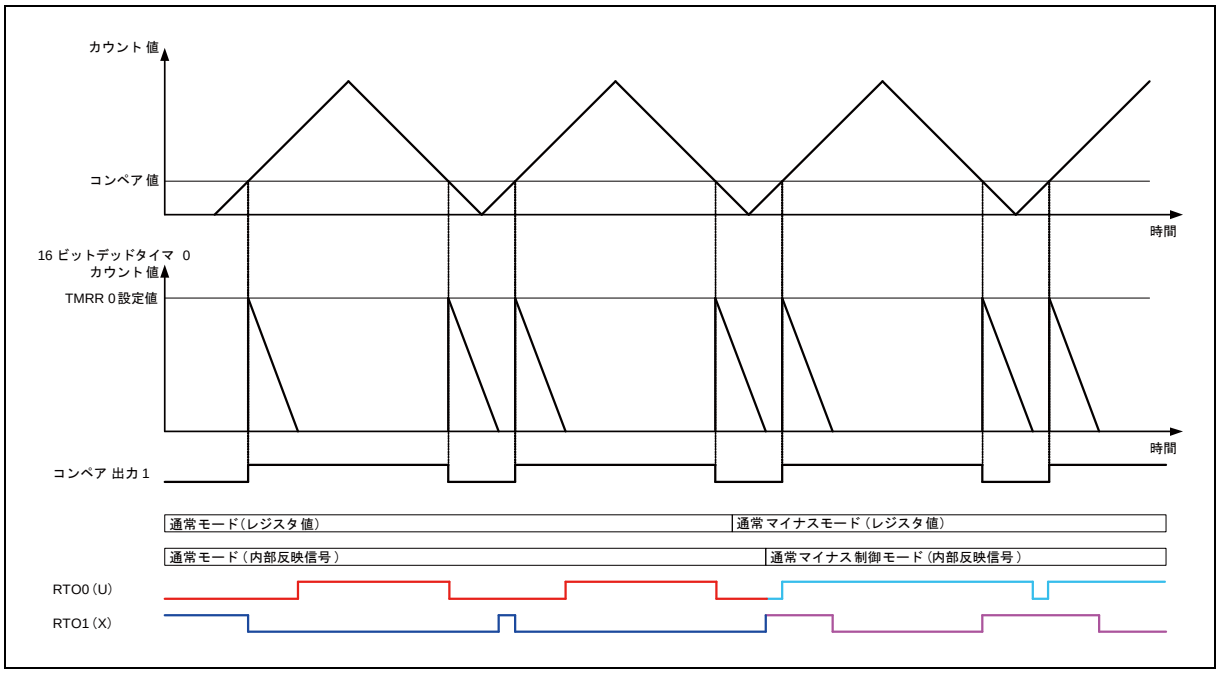
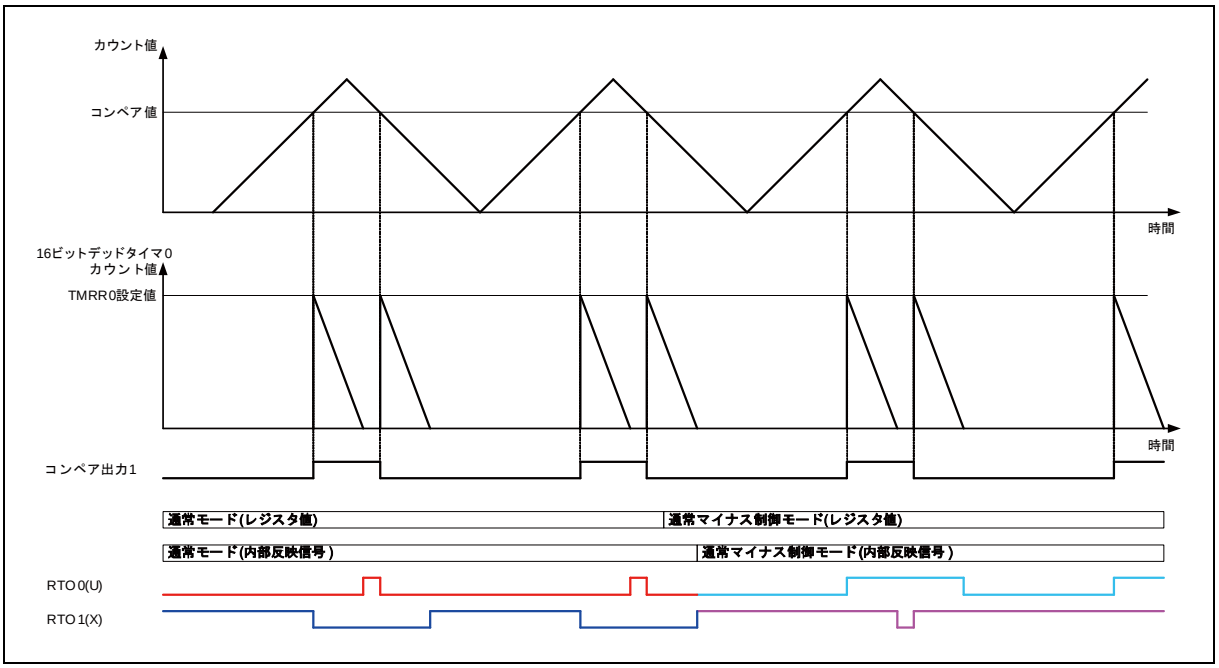


図 5-15 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更 #2



DTTI 端子制御の動作

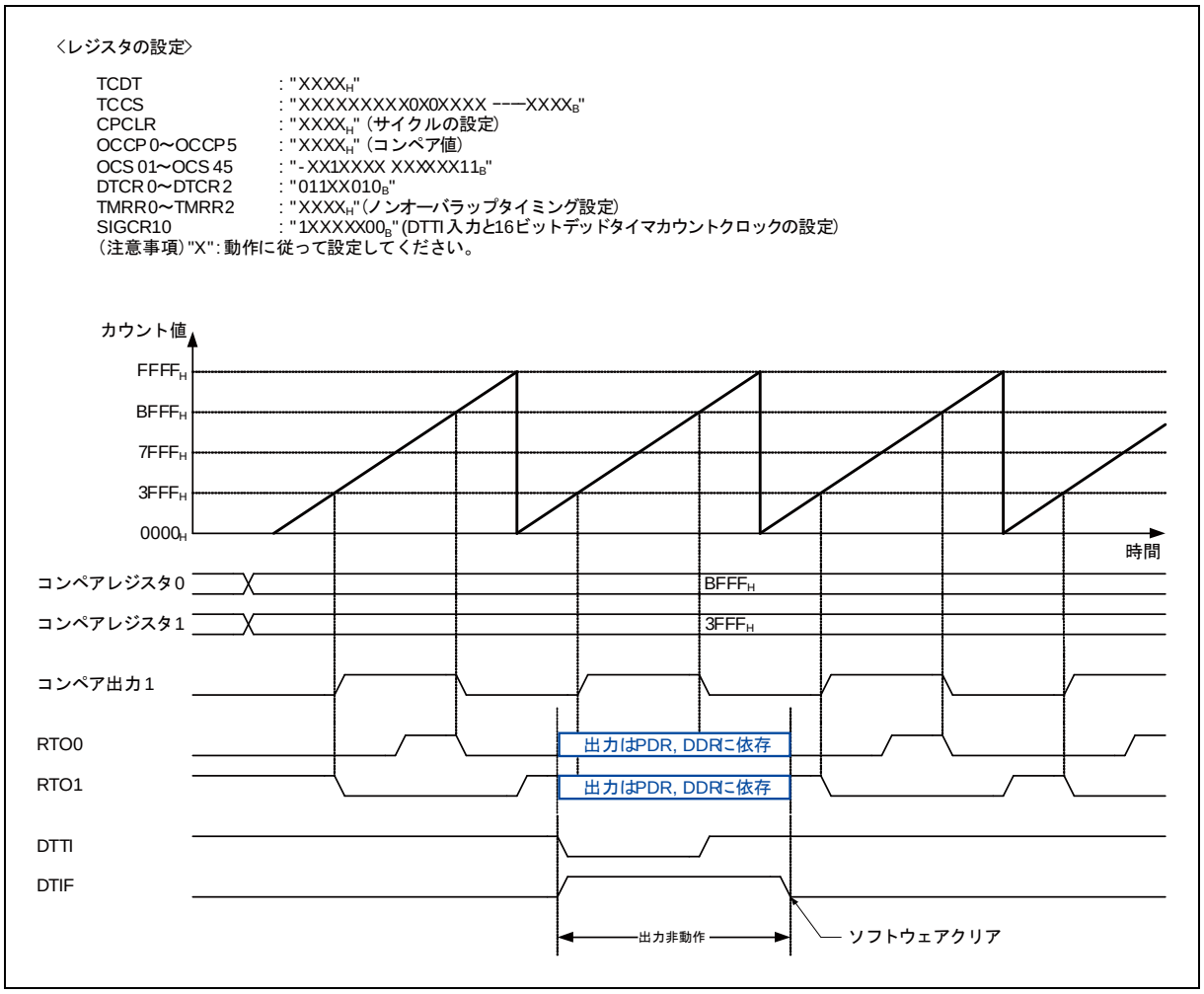
波形制御レジスタ 1(SIGCR1)の DTIE に"1"を設定すると、RTO0 ～ RTO5 出力を DTTI 端子で制御することができます。DTTI 端子の"L"レベルが検出されると、RTO0 ～ RTO5 は、割込みフラグ(SIGCR1 レジスタの DTIF)がクリアされるまで汎用ポートとして機能します。

割込みフラグ(DTIF)検出中の RT00-05 の汎用ポートの状態は、拡張ポート機能レジスタ(EPFR)の設定には依存しません。

汎用ポート制御方法については『I/O ポート』の章を参照してください。

DTTI 端子入力の"L"が検出された場合でも、タイマは波形ジェネレータが動作している間は動作を継続しますが、波形は外部端子 RTO0 ～ RTO5 へは出力されません。

図 5-16 DTTI 入力が有効のときの動作



波形制御レジスタ2(SIGCR2)のDTTIの動作

波形制御レジスタ 2 の DTTI の出力は、DTTI 端子入力と OR をとって DTTI 入力となるようになっています。したがって、本レジスタを"0"にセットすると常に DTTI 入力状態となり、DTTI 端子の入力は無意味です。

本レジスタに、"1"を書き込んでクリアすると、DTTI 端子入力の値が用いられます。

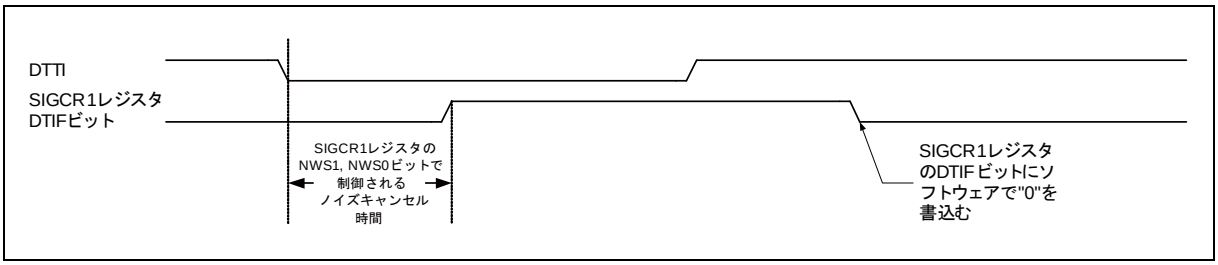
■ DTTI 端子ノイズキャンセル機能

波形制御レジスタ 1(SIGCR1)の NRSL に"1"を設定すると、DTTI 端子入力のノイズキャンセル機能が有効になります。ノイズキャンセル機能が有効になると、出力端子(RTO0 ～ RTO5)をポート制御の状態に固定するために要する時間が 4, 8, 16 または 32 周辺クロックサイクル(SIGCR1 レジスタの NWS1, NWS0 で選択)だけ遅延します。ノイズキャンセル回路は周辺機能を使用するので、発振が停止するモード(停止モードなど)時において DTTI 入力が有効になった場合でも入力は無効になります。

■ DTTI 割込み

DTTI の"L"レベルが検出されると、ノイズキャンセル時間が経過した後で DTTI 割込みフラグ(SIGCR1 レジスタの DTIF)に"1"が設定され、割込み要求は割込みコントローラへ送信されます。

図 5-17 DTTI 割込みタイミング



＜注意事項＞

ノイズキャンセル時間内に SIGCR1 レジスタの NWS1, NWS0 ビットの値が変化した場合は、さらに大きな(NWS1, NWS0)ノイズサイクル値が有効になります。
SIGCR1 レジスタの DTIF は、ソフトウェアでのみクリアすることができます。

6. 注意事項

注意事項について説明します。

波形ジェネレータの使用上の注意

■ プログラムによる設定上の注意

- 波形ジェネレータが動作中(DTSCR レジスタの TMD2 ～ TMD0/TMD5 ～ TMD3/TMD8 ～ TMD6 が"001B", "010B"または"100B")に、16 ビットデッドタイマ状態制御レジスタ(DTSCR)の TMD8, TMD5,TMD2, TMD7, TMD4, TMD1, TMD6, TMD3, TMD0 ビット値を変更する場合は、トリガソースおよび 16 ビットデッドタイマがカウント中でないことを必ず確認してください。この操作を行わない場合は、以前のトリガでスケジュールされた出力が原因となり、予期しない波形が RTO 端子から出力されます。ただし、RTO 出力は、タイマでアンダフローが発生したり、新しいトリガソースで再トリガされたりすると、正常動作に戻ります。
- トリガソースとは、DTSCR レジスタの TMD8 ～ TMD0 が"001B"の場合は"OUT の"H"レベル"であり、

TMD8 ～ TMD0 ビットが"010B"の場合は"OUT の立ち上がりエッジ" であり、TMD8 ～TMD0 ビットが"100B" の場合は、"OUT の立ち上がりまたは立下りエッジ" です。例えば、TMD8～ TMD0 ビットが"100B"から "010B"へ変更すると、下記の手順を実行することができます。

1. 16 ビットデッドタイマレジスタ(TMRR)を"0001_H"のような非常に小さな値に設定する。
2. RTO1, RTO3, RTO5 の出力を"L"または"H"に設定し、タイマ 0, 1, 2 でアンダフローが発生するまで待つ。
3. モードビット(TMD8 ～ TMD0)および対応する設定を変更する。
4. 修正された出力波形が 1 マシンサイクル後、RTO 端子に現れる。

- タイマがカウント中に 16 ビットデッドタイマレジスタ(TMRR)に値が書き込まれると、この新しい値は次のタイマトリガ時に有効になります。タイマレジスタへアクセスする場合は、必ずハーフワードもしくはワード転送命令を使用してください。
- タイマがカウントしていない場合のみ, 波形制御レジスタ 1(SIGCR1)の DCK2 ～ DCK0 を変更してください。
- ノイズキャンセル機能が無効になった場合のみ、波形制御レジスタ 1(SIGCR1)の NWS1, NWS0 を変更してください。

■ 割込みの注意

- 16 ビットデッドタイマ状態制御レジスタ(DTSCR)の割込み要求許可ビット(TMIE)に"1"を設定する前に、必ず割込みフラグ(TMIF)をクリアしてください。
- 波形制御レジスタ 1(SIGCR1)の DTTI 入力有効ビット(DTIE)に"1"を設定する前に、必ず割込みフラグ(DTIF)をクリアしてください。

Chapter 49: BUS 診断機能

BUS 診断機能について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード：FS44-1v0-91520-20-J

1. 概要

BUS 診断機能の概要について説明します。

バス診断機能は、各周辺機能にアクセス時にバス上に出力されたデータを検査することによって、 LSI の誤動作を防止する機能です。

		機能
1	診断対象	・アドレスバスとデータバスに出力されるアドレスとデータ, バスを制御する制御信号(リード・ライト・リードモディファイライト信号, バスアクセスサイズ信号)
2	診断バス	・AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)
3	診断方式	・パリティによる診断 出力側で 8 ビットごとにパリティを計算し、そのパリティを出力する。 入力側でそのパリティを検査
4	パリティ	・奇数パリティ
5	テスト機能	・パリティエラーを発生させ、バス診断時のプログラムデバックをサポートする。
6	エラー検出	・制御パリティエラー ・アドレスパリティエラー ・データパリティエラー エラー発生時、そのときのアドレスをレジスタに表示。
7	効果	・バス断線の検出 ・バスのトランジスタの故障検出 ・ごみによるバスショートのデータ化け検出 ・コンタクト不良によるデータ化け検出
8	NMI 通知	・制御パリティエラー, アドレスパリティエラー, データパリティエラー

2. 特長

BUS 診断機能の特長について説明します。

CPU の内部バスは、AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)で構成されており、それぞれについてアドレスとデータ, バス制御信号に対し、パリティ付加し、そのパリティの検査を行うことによってバス診断機能を実現しています。ただし、バス診断用レジスタのライトアクセス時、パリティエラーが発生した場合、NMI 要求信号をクリアできなくなるため、バス診断レジスタへのライトアクセスは診断対象外とします。
また、ライトアクセス時のパリティエラー検出の際は、周辺機能へのライトアクセスを遮断します。

バス診断による NMI 出力は、以下の要因で発生します

・制御パリティエラー(CNER)が検出された場合
・データパリティエラー(DER[3:0])が検出された場合
・アドレスパリティエラー(AER[3:0])が検出された場合

3. 構成

BUS 診断機能の構成について説明します。

図 3-1 構成図

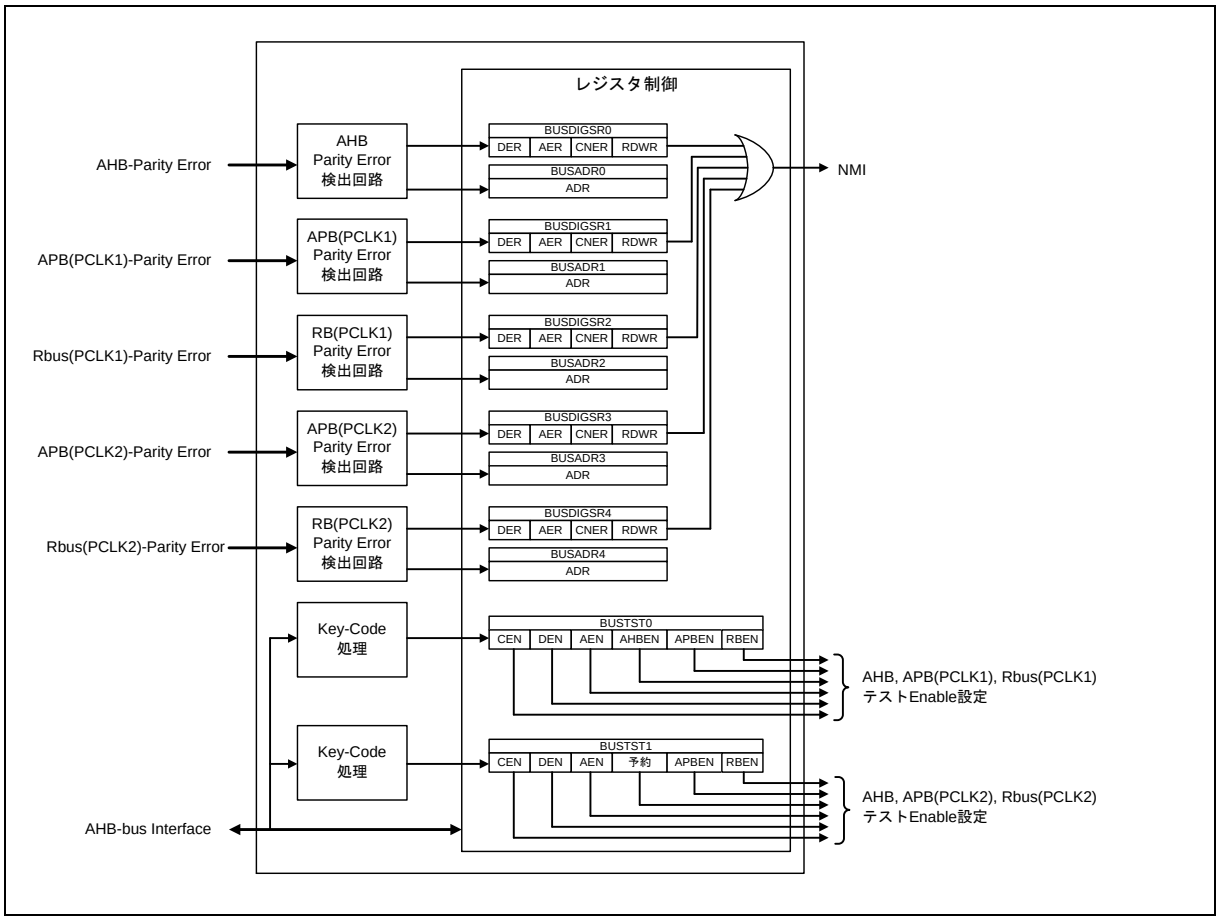
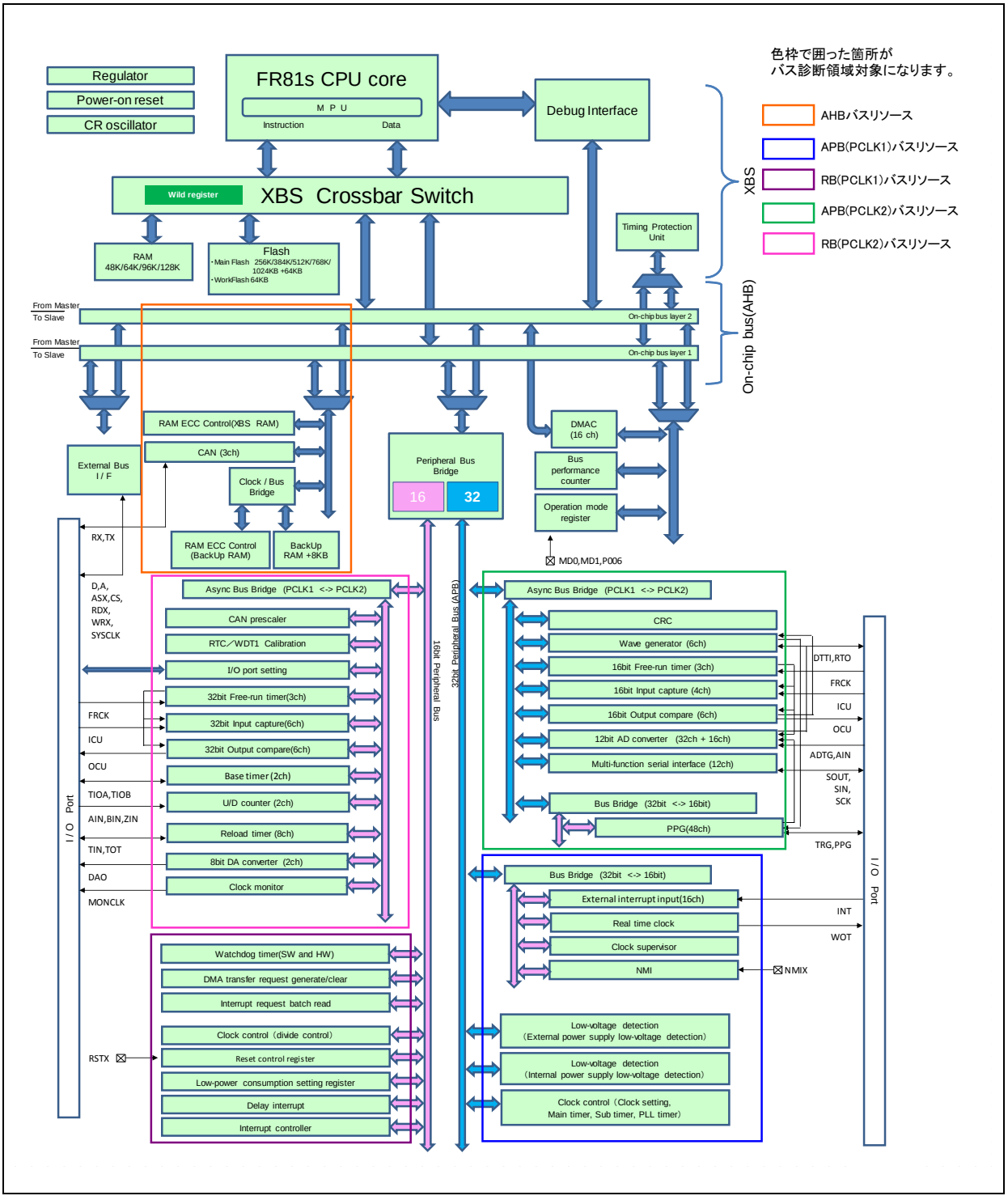


図 3-2 バス診断対象領域図



＜注意事項＞

以下のアドレス領域については診断領域外です。

ウォッチドッグタイマ	0x00000038 - 0x0000003F *
遅延割込み	0x00000044 *
MPU	0x00000310 - 0x000003AC　リロードタイマ 0/1/2　診断対象へ
割込みコントローラ	0x00000440 - 0x0000046F *
リセット制御/消費電力制御	0x00000480 - 0x00000482 *
クロック制御	0x00000488 - 0x0000048A *
ペリフェラルによる DMA 転送要求	0x00000490 - 0x0000049F *
外部バスインタフェース	0x00000600 - 0x000006CF
バス・パフォーマンス・カウンタ	0x00000710 - 0x0000071F
フラッシュメモリレジスタ	0x00000840 - 0x00000843
ワイルドレジスタ	0x0000085A - 0x0000085B
	0x00000880 - 0x000008FF
OCDU	0x00000BF0 - 0x00000BFF
同期/非同期設定	0x00001000 - 0x00001001
DMA コントローラ	0x00000C00 - 0x00000DFF *
バス診断	0x00003100 - 0x00003127 (リードデータは診断対象です。)

* : R-bus につながる診断領域外について、レジスタ設定条件・故障条件によってはエラー検出される場合があります。
詳細は「5.3. 注意事項」を参照してください。

4. レジスタ

BUS 診断機能のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	bit31 bit16	bit15 bit0	初期値
003100_H	BUSDIGSR0 (バス診断状態レジスタ 0)	BUSDIGSR1 (バス診断状態レジスタ 1)	0x00000000
003104_H	BUSDIGSR2 (バス診断状態レジスタ 2)	BUSTSTR0 (バス診断テストレジスタ 0)	0x00000000
003108_H	BUSADR0(バス診断アドレスレジスタ 0)		0x00000000
$00310C_H$	BUSADR1(バス診断アドレスレジスタ 1)		0x00000000
003110_H	BUSADR2(バス診断アドレスレジスタ 2)		0x00000000
003114_H	予約	BUSDIGSR3 (バス診断状態レジスタ 3)	0x00000000
003118_H	BUSDIGSR4 (バス診断状態レジスタ 4)	BUSTSTR1 (バス診断テストレジスタ 1)	0x00000000
$00311C_H$	予約		0x00000000
003120_H	BUSADR3(バス診断アドレスレジスタ 3)		0x00000000
003124_H	BUSADR4(バス診断アドレスレジスタ 4)		0x00000000

4.1. バス診断状態レジスタ: BUSDIGSR

バス診断状態レジスタのビット構成について示します。

バス診断状態レジスタ(BUSDIGSR)は、データパリティエラー, アドレスパリティエラー,制御パリティエラー, データ方向, エラーフラグクリアから構成されています。
バス診断状態レジスタ 0 は AHB, バス診断状態レジスタ 1 は APB(PCLK1), バス診断状態レジスタ 2 は Rbus(PCLK1), バス診断状態レジスタ 3 は APB(PCLK2), バス診断状態レジスタ 4 は Rbus(PCLK2)のエラー状態を示します。

■ **BUSDIGSR0: アドレス 3100H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR1: アドレス 3102H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR2: アドレス 3104H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR3: アドレス 3116H (アクセス: ハーフワード, ワード)**

■ **BUSDIGSR4: アドレス 3118H (アクセス: ハーフワード, ワード)**

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	DER[3]	DER[2]	DER[1]	DER[0]	AER[3]	AER[2]	AER[1]	AER[0]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PECLR	予約					CNER	RDWR
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

【bit15 ～ bit12】 DER3 ～ DER0:データパリティエラー
データパリティエラーフラグです。8 ビットのデータごとにパリティが計算され、エラーが発生した場合、それに対応したビットは"1"になります。

DER[3]=1 のとき、データの bit7 から bit0 でパリティエラーが発生
DER[2]=1 のとき、データの bit15 から bit8 でパリティエラーが発生
DER[1]=1 のとき、データの bit23 から bit16 でパリティエラーが発生
DER[0]=1 のとき、データの bit31 から bit24 パリティエラーが発生

本ビットが"0"の場合、エラーが発生していないことを示します。本ビットのいずれかに"1"がセットされている間、本ビットは更新されません。本ビットが"1"になると NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

- 本ビットのいずれかに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または CNER ビットに"1"がセットされている間、本ビットは更新されません。
- データパリティエラーはアクセスサイズの有効データのみエラーが検出され通知されます。
- バス診断状態レジスタのエラークリア直後に状態レジスタをリードしてエラーを検出した場合、無限ループに陥る可能性があるため注意してください。

【bit11 ～ bit8】 AER3 ～ AER0:アドレスパリティエラー

アドレスパリティエラーフラグです。8 ビットのアドレスごとにパリティが計算され、エラーが発生した場合、それに対応したビットは"1"になります。

AER[3]=1 のとき、アドレスの bit7 から bit0 でパリティエラーが発生
AER[2]=1 のとき、アドレスの bit15 から bit8 でパリティエラーが発生
AER[1]=1 のとき、アドレスの bit23 から bit16 でパリティエラーが発生
AER[0]=1 のとき、アドレスの bit31 から bit24 でパリティエラーが発生

本ビットが"0"の場合、エラーが発生していないことを示します。本ビットのいずれかが"1"の場合, NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

本ビットのいずれかに"1"がセットされているか、DER ビットのいずれかに"1"がセットされているか、または CNER ビットに"1"がセットされている間、本ビットは更新されません。

【bit7】 PECLR:パリティエラークリア

パリティエラークリアビットです。本ビットに"1"が書き込まれると DER ビット, AER ビットと CNER ビットを"0"にします。読出し時、本ビットは"0"が読み出されます。本ビットに"0"を書き込んだ場合、無視します。本ビットはライトオンリです。

【bit6 ～ bit2】予約

必ず"0"を設定してください。

【bit1】CNER:制御パリティエラー

制御パリティエラービットです。バスを制御するリード・ライト信号, データサイズの制御信号をデータとして取り扱い、パリティエラーが発生した場合、本ビットは"1"にセットされます。
本ビットが"0"の場合、エラーが発生していないことを示します。本ビットに"1"がセットされている間、本ビットは更新されません。本ビットが"1"になると NMI が発生します。
本ビットはリードオンリであり、これらのビットを"0"にクリアする場合には、PECLR ビットに"1"を書いてください。

＜注意事項＞

本ビットに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または DER ビットに"1"がセットされている間、本ビットは更新されません。

【bit0】 RDWR:データ方向
データ方向フラグです。データパリティエラーまたはアドレスパリティエラーが発生時、読出しまたは書込みのいずれかでエラーが発生したかを示します。

本ビットが"0"の場合 : リード方向
本ビットが"1"の場合 : ライト方向

＜注意事項＞

- PECLR ビットへ"1"を書いても本ビットは影響されません。
- DER ビット, AER ビットまたは CNER ビットに"1"がセットされている間、本ビットは更新されません。
- DER ビット, AER ビットまたは CNER ビットのいずれかが"1"の場合、本ビットは有効です。

＜注意事項＞

- バス診断状態レジスタへの書込みで診断エラーが発生してもその書込みを行い、対象となるエラーフラグは"1"にセットされません。

4.2. バス診断テストレジスタ: BUSTSTR0/1

バス診断テストレジスタのビット構成について示します。

バス診断テストレジスタ(BUSTSTR0, BUSTSTR1)は、バス診断用テスト機能を設定します。

■ BUSTSTR0: アドレス 3106H (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	-		CEN	RBEN	APBEN	AHBEN
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0/W	R0,WX	R0,WX	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15, bit14】 KEY1, KEY0:キービット
キービットです。本ビットに"00", "01", "10", "11"と連続的に書き込むと、そのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし、連続的に書き込む際に、4 回とも必ず bit11 ～ bit0 に同じ値が書き込まれないと、bit11 ～ bit0 は更新されません。また、書込み途中でバス診断用レジスタを読み出した

場合も更新されません。そのときは再度、 4 回連続的に本レジスタに書き込んでください。

例) BUSTSTR に $07AA_H$ をライト
次に BUSTSTR に $47AA_H$ ライト
次に BUSTSTR に $87AA_H$ ライト
次に BUSTSTR に $C7AA_H$ ライト → この書込みで BUSTSTR が $07AA_H$ になります。

【bit13, bit12】 未定義
常に"0"が読み出されます。書込みは動作に影響ありません。

【bit11】 CEN :制御エラー
制御エラー設定ビットです。

本ビットが"0"の場合 :制御のパリティを正しく生成します
本ビットが"1"の場合 :制御のパリティエラーが発生します

＜注意事項＞

RBEN=0, APBEN=0, AHBEN=0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。

【bit10】 RBEN :Rbus パリティエラー生成許可
Rbus(PCLK1)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : Rbus のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : Rbus のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit9】APBEN :APB パリティエラー生成許可
APB(PCLK1)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : APB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : APB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit8】 AHBEN :AHB パリティエラー生成許可

AHB のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : AHB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : AHB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit7 ～ bit4】DEN3 ～ DEN0：データエラー

データエラー設定ビットです。

DEN[3]が"0"の場合 : データバスの bit7 から bit0 のパリティを正しく生成します。
DEN[3]が"1"の場合 : データバスの bit7 から bit0 のパリティエラーが発生します。
DEN[2]が"0"の場合 : データバスの bit15 から bit8 のパリティを正しく生成します。
DEN[2]が"1"の場合 : データバスの bit15 から bit8 のパリティエラーが発生します。
DEN[1]が"0"の場合 : データバスの bit23 から bit16 のパリティを正しく生成します。
DEN[1]が"1"の場合 : データバスの bit23 から bit16 のパリティエラーが発生します。
DEN[0]が"0"の場合 : データバスの bit31 から bit24 のパリティを正しく生成します。
DEN[0]が"1"の場合 : データバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

- RBEN= 0, APBEN= 0, AHBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。
- アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

【bit3 ～ bit0】AEN3 ～ AEN0：アドレスエラー

アドレスエラー設定ビットです。

AEN[3]が"0"の場合 : アドレスバスの bit7 から bit0 のパリティを正しく生成します。
AEN[3]が"1"の場合 : アドレスバスの bit7 から bit0 のパリティエラーが発生します。
AEN[2]が"0"の場合 : アドレスバスの bit15 から bit8 のパリティを正しく生成します。
AEN[2]が"1"の場合 : アドレスバスの bit15 から bit8 のパリティエラーが発生します。
AEN[1]が"0"の場合 : アドレスバスの bit23 から bit16 のパリティを正しく生成します。
AEN[1]が"1"の場合 : アドレスバスの bit23 から bit16 のパリティエラーが発生します。
AEN[0]が"0"の場合 : アドレスバスの bit31 から bit24 のパリティを正しく生成します。
AEN[0]が"1"の場合 : アドレスバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

RBEN= 0, APBEN= 0, AHBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。

＜注意事項＞

- バス診断テストレジスタ書込み時は割込み禁止です。
- バス診断テストレジスタは、バス診断機能のデバッグ用レジスタです。
- バス診断テストレジスタへの書込みで診断エラーが発生してもその書込みを行い、対象となる状態レジスタのエラーフラグは"1"にセットされません。
- RB バス周辺機能へのアクセスでパリティエラーを発生させたい場合は、同じアクセスを 2 回連続して行うようにしてください。
  本動作はテスト機能使用時のみの設定です。

■ BUSTSTR1: アドレス 311AH (アクセス: ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	KEY1	KEY0	-		CEN	RBEN	APBEN	予約
初期値	0	0	0	0	0	0	0	0
属性	R0/W	R0/W	R0,WX	R0,WX	R/W	R/W	R/W	R/W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【bit15, bit14】 KEY1, KEY0:キービット

キービットです。本ビットに"00", "01", "10", "11"と連続的に書き込むと、そのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし、連続的に書き込むとき、必ず 4 回とも bit11 ～ bit0 に同じ値が書き込まれないと，bit11 ～ bit0 は更新されません。また、書込み途中でバス診断用レジスタを読み出した場合も更新されません。そのときは再度、4 回連続的に本レジスタに書き込んでください。

例) BUSTSTR に $07AA_H$ をライト
次に BUSTSTR に $47AA_H$ ライト
次に BUSTSTR に $87AA_H$ ライト
次に BUSTSTR に $C7AA_H$ ライト → この書込みで BUSTSTR が $07AA_H$ になります。

【bit13, bit12】 未定義

常に"0"が読み出されます。書込みは動作に影響ありません。

【bit11】 CEN :制御エラー

制御エラー設定ビットです。

本ビットが"0"の場合 :制御のパリティを正しく生成します
本ビットが"1"の場合 :制御のパリティエラーが発生します

＜注意事項＞

RBEN=0, APBEN=0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。

【bit10】 RBEN :Rbus パリティエラー生成許可

Rbus(PCLK2)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : Rbus のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : Rbus のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit9】APBEN :APB パリティエラー生成許可

APB(PCLK2)のパリティエラーを発生させる許可ビットです。

本ビットが"0"の場合 : APB のパリティは正しくパリティ(奇数パリティ)を生成します。
本ビットが"1"の場合 : APB のパリティはエラーが発生するようにパリティ(偶数パリティ)を生成します。

＜注意事項＞

DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに"0"が設定されたときと同じ動作になります。

【bit8】予約

必ず"0"を書き込んでください。

【bit7 ～ bit4】DEN3 ～ DEN0：データエラー

データエラー設定ビットです。

DEN[3]が"0"の場合: データバスの bit7 から bit0 のパリティを正しく生成します。
DEN[3]が"1"の場合: データバスの bit7 から bit0 のパリティエラーが発生します。
DEN[2]が"0"の場合: データバスの bit15 から bit8 のパリティを正しく生成します。
DEN[2]が"1"の場合: データバスの bit15 から bit8 のパリティエラーが発生します。
DEN[1]が"0"の場合: データバスの bit23 から bit16 のパリティを正しく生成します。
DEN[1]が"1"の場合: データバスの bit23 から bit16 のパリティエラーが発生します。
DEN[0]が"0"の場合: データバスの bit31 から bit24 のパリティを正しく生成します。
DEN[0]が"1"の場合: データバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

- RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。
- アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

【bit3 ～ bit0】AEN3 ～ AEN0：アドレスエラー

アドレスエラー設定ビットです。

AEN[3]が"0"の場合 ： アドレスバスの bit7 から bit0 のパリティを正しく生成します。
AEN[3]が"1"の場合 ： アドレスバスの bit7 から bit0 のパリティエラーが発生します。
AEN[2]が"0"の場合 ： アドレスバスの bit15 から bit8 のパリティを正しく生成します。
AEN[2]が"1"の場合 ： アドレスバスの bit15 から bit8 のパリティエラーが発生します。
AEN[1]が"0"の場合 ： アドレスバスの bit23 から bit16 のパリティを正しく生成します。
AEN[1]が"1"の場合 ： アドレスバスの bit23 から bit16 のパリティエラーが発生します。
AEN[0]が"0"の場合 ： アドレスバスの bit31 から bit24 のパリティを正しく生成します。
AEN[0]が"1"の場合 ： アドレスバスの bit31 から bit24 のパリティエラーが発生します。

＜注意事項＞

RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定された値と同じ動作になります。

4.3. バス診断アドレスレジスタ: BUSADR

バス診断アドレスレジスタのビット構成について示します。

バス診断アドレスレジスタ(BUSADR)は、アドレスパリティエラー, データパリティエラーまたは制御パリティエラーが検出されたとき, そのときのアドレスを格納します。バス診断状態レジスタ(BUSDIGSR)の DER ビット, AER ビットまたは CNER ビットが"1"のとき、本レジスタは有効です。

バス診断アドレスレジスタ 0 は AHB, バス診断アドレスレジスタ 1 は APB(PCLK1), バス診断アドレスレジスタ 2 は Rbus(PCLK1), バス診断アドレスレジスタ 3 は APB(PCLK2), バス診断アドレスレジスタ 4 は Rbus(PCLK2)の診断時エラーが検出されたアドレスを示します。

■ BUSADR0: アドレス 3108H (アクセス: ワード)

■ BUSADR1: アドレス 310CH (アクセス: ワード)

■ BUSADR2: アドレス 3110H (アクセス: ワード)

■ BUSADR3: アドレス 3120H (アクセス: ワード)

■ BUSADR4: アドレス 3124H (アクセス: ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

【bit31 ～ bit0】 ADR31 ～ ADR0：バスアドレス
アドレスまたはデータパリティエラー検出時、そのときアクセスしたアドレスを表示します。
本レジスタはリードオンリです。

＜注意事項＞

- バス診断状態レジスタの DER ビット, AER ビットまたは CNER ビットのいずれかが"1"のとき、本レジスタは有効です。
- バス診断状態レジスタの DER ビット, AER ビットまたは CNER ビットのいずれかが"1"のとき、本レジスタは更新されません。

5. 動作説明

動作について説明します。

バス診断の動作は, AHB, APB, Rbus にアクセスされると、アドレスバスとデータバス, および制御バスに対し、パリティ検査を行い、アドレスとデータ, 制御バスが正しいことを診断します。
AHB, APB, Rbus にてバス故障と判断された場合、バス診断状態レジスタに各エラー内容, バス診断アドレスレジスタに周辺機能のアドレスが通知され, 故障内容を判断することが可能です。
ライト動作時は、アドレスパリティエラーかデータパリティエラー, および制御パリティエラーが発生した場合、周辺機能への書込みは行いません。

5.1. エラー検出

エラー検出について説明します。

バス診断にてエラーを検出した場合、エラー検出時のアクセスアドレス・アクセス方向をそれぞれバス診断アドレスレジスタ(BUSADR)・バス診断状態レジスタ(BUSDISR)の RDWR ビットに保持します。
またライトアクセスによるエラーを検出したとき、周辺機能への書込みは行われません。

■ アドレスエラー検出

アドレスエラー検出は、バスアドレスのパリティ演算結果がエラーであった場合、バス診断状態レジスタ(BUSDISR)の AER[3:0]ビットに"1" をセットします。
同レジスタ PECLR ビットに"1"を書き込むことで AER[3:0]ビットをクリアできます。

■ 制御エラー検出

制御エラー検出は, バス制御のパリティ演算結果がエラーであった場合、バス診断状態レジスタ(BUSDISR)の CNER ビットに"1"をセットします。
同レジスタの PECLR ビットに"1" を書き込むことで CNER ビットをクリアできます。

■ データエラー検出

データエラー検出は、バスデータのパリティ演算結果がエラーであった場合、ワード, ハーフワード, バイトのアクセスサイズにより、バス診断状態レジスタ(BUSDISR)の対応する DER[3:0]ビットに"1"をセットします。
同レジスタの PECLR ビットに"1"を書き込むことで DER[3:0]ビットをクリアできます。

以下にバス診断状態レジスタ(BUSDIGSR).DER[3:0]のエラー検出箇所を示します。
(○:エラー検出する, -:エラー検出しない)

アクセスサイズ	アドレス	BUSDIGSR0(AHB:オンチップバス) BUSDIGSR1/3(APB:32bit 周辺バス) BUSDIGSR2/4(R-bus:16bit 周辺バス)			
		DER[0]	DER[1]	DER[2]	DER[3]
		データ bit31-24	データ bit23-16	データ bit15-8	データ bit7-0
ワードアクセス	Addr+0	○ *	○ *	○ *	○ *
ハーフワードアクセス	Addr+0	○	○	-	-
ハーフワードアクセス	Addr+2	-	-	○	○
バイトアクセス	Addr+0	○	-	-	-
バイトアクセス	Addr+1	-	○	-	-
バイトアクセス	Addr+2	-	-	○	-
バイトアクセス	Addr+3	-	-	-	○

*: R-bus:16bit 周辺バスでのワードアクセスはハーフワードアクセス× 2 回のアクセスになるため，初めにエラー検出した ハーフワードアクセスエラーのみがレジスタに通知されます。通常は上位ハーフワードアクセス(データ bit31-16) →下位ハーフワードアクセス(データ bit15-0) の順にアクセスされますが、PPG・アップダウンカウンタへのワードアクセスについてのみ、下位ハーフワードアクセス(データ bit15-0) →上位ハーフワードアクセス(データ bit31-16)の順でアクセスされます。

■ NMI 発行/ 停止

各バスのアドレスエラー(AER[3:0]), 制御エラー(CNER), データエラー(DER)のいずれかが検出されている間、NMI が発行され続けます。
各バスのアドレスエラー(AER[3:0]), 制御エラー(CNER), データエラー(DER)のすべてをクリアすると、NMI の発行を停止します。

＜注意事項＞

BUS 診断機能は、バスエラーを検出した場合 NMI 割込みを発生します。NMI は、マスクすることができない (発生を抑制できない)割込みです。
ソフトウェアでは必ず NMI 処理ルーチンを設定してください。NMI 処理ルーチンが未定義のプログラムで、万が一バス故障が発生した場合、NMI 発生後にプログラム実行が暴走します。

5.2. テスト機能

テスト機能について説明します。

本機能ではバス診断テストレジスタ(BUSTSTR)を用いて、疑似エラーを発生させることが可能です。
本レジスタへの設定は、キーコード処理が必要です。
KEY1, KEY0 ビットに連続的に"00","01","10","11"を書き込まなければレジスタ設定されません。
このとき、書き込むデータは 4 回とも同じ値でなければレジスタ値は更新されませんので注意ください。
ただし、読出しデータが ALL"1"の場合はバス診断テストレジスタを設定していても、疑似データエラーは検出しません。

＜注意事項＞

レジスタ設定とアクセス条件によっては ALL"1"読出しでもエラーを検出する場合があります。
詳細は「■データエラー設定 」の＜注意事項＞を参照してください。
上記の制限はテスト機能を用いた場合にのみ適用されます。

■ バスエラー設定

RBEN, APBEN, AHBEN に"1"を設定することにより、設定したバスに対して疑似エラーを発生させることができます。
ただし、AEN[3:0], CEN, DEN[3:0]のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ アドレスエラー設定

AEN[3:0]に"1"を設定することにより、対応したアドレスビットに疑似アドレスエラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ 制御エラー設定

CEN に"1"を設定することにより、制御ビットに疑似制御エラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

■ データエラー設定

DEN[3:0]に"1"を設定することにより、対応したデータビットに疑似データエラーを発生させることができます。
ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に"1"を設定しておく必要があります。

＜注意事項＞

- DEN[3:0]を設定する際には、アクセスサイズに対応したビットのみを設定するようにしてください。アクセスサイズに対応しないビットに DEN[3:0]を設定した場合、アクセスしていないデータについてもエラーを検出してしまう場合がありますので注意ください。
- アクセスサイズに対応しないビットに DEN[3:0]を設定した場合、「■ データエラー検出」で述べたデータエラー検出方法と異なる場合があります。

■ バス診断疑似エラー発生手順

疑似エラーを発生させる手順を以下に示します。

1. バス診断テストレジスタ(BUSTSTR)で, 診断するバス・エラーのタイプの設定をする。
   - キーコードにて、"00" → "01" → "10" → "11"と 4 回連続同じエラー設定を書き込む。
2. 疑似エラー設定したバスにて、診断領域内の周辺機能にアクセスする。
   - アドレスエラー, 制御エラーを設定した場合(データエラーの設定がない場合)
     ⇒診断領域内の周辺機能にアクセスすることで疑似エラーが発生します。

   - データエラーを設定した場合
     ⇒ DEN[3:0]に対応したアクセスサイズで、診断領域内の周辺機能にアクセスすることで疑似エラーが発生します(「■データエラー設定」の＜注意事項＞を参照してください)。

5.3. 注意事項

注意事項について説明します。

- R-bus のバス診断テスト機能使用時
  バス診断テストレジスタにて RBEN を"1"設定し、AEN[3:0], CEN, DEN[3:0]のいずれかを"1"設定した状態で、下記の周辺機能領域にアクセスした場合、エラーが検出され、バス診断されたようにみえる場合があります。

このとき、周辺機能へのライトアクセスは実行されます。

- ウォッチドッグタイマ
- 遅延割込み
- リロードタイマ 0/1/2
- 割込みコントローラ
- リセット制御/消費電力制御
- クロック制御
- ペリフェラルによる DMA 転送要求
- DMA コントローラ

5.4. バス診断動作例

バス診断動作例について説明します。

以下にバス診断の動作例を示します。

・データエラー検出動作
バイトアクセス[7:0]で周辺機能にライト(リード)アクセス時にデータバスが故障。
⇒ 周辺機能に対応する、バス診断状態レジスタの DER[3]のみが"1"に設定されます。

＜注意事項＞

・このときデータバス[31:8]でバスが故障していても DER[2], DER[1], DER[0]は"1"に設定されません。
・ワード, ハーフワードアクセスも同様に、アクセスサイズに対応したビットのみ設定されます。

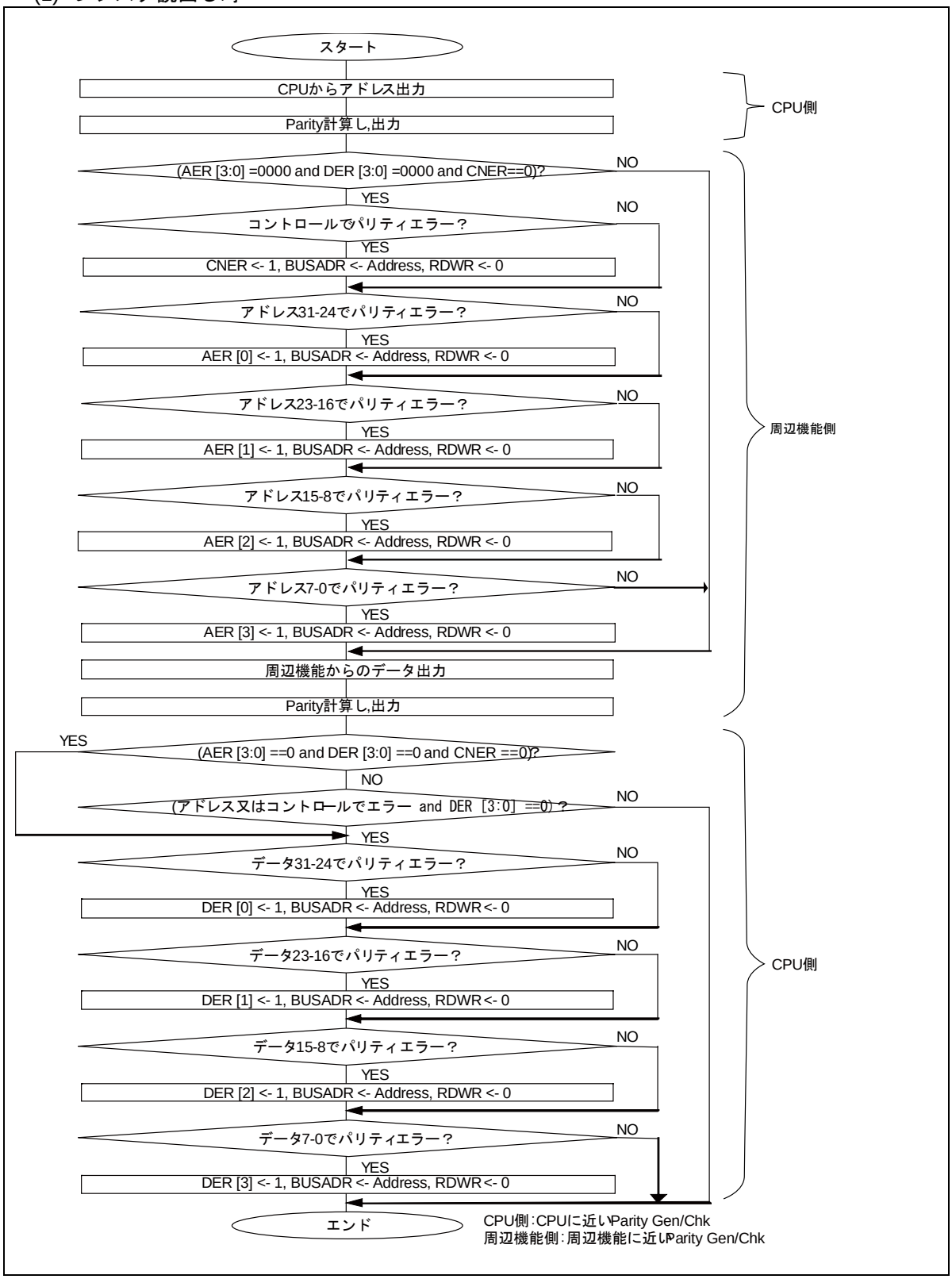
・疑似データエラー設定動作
テスト機能にて、バス診断状態レジスタ DER[0]にエラーを検出させたい場合
⇒ キーコードアクセスにて、バスエラー設定とデータエラー設定 DEN[0]に"1"を設定し、バイトアクセス[31:24]を行ってください。

DEN[3:1]を設定して、バイトアクセス[31:24]を行うと、バス診断状態レジスタ DER[3:1]にエラーを検出してしまう場合がありますので注意してください。

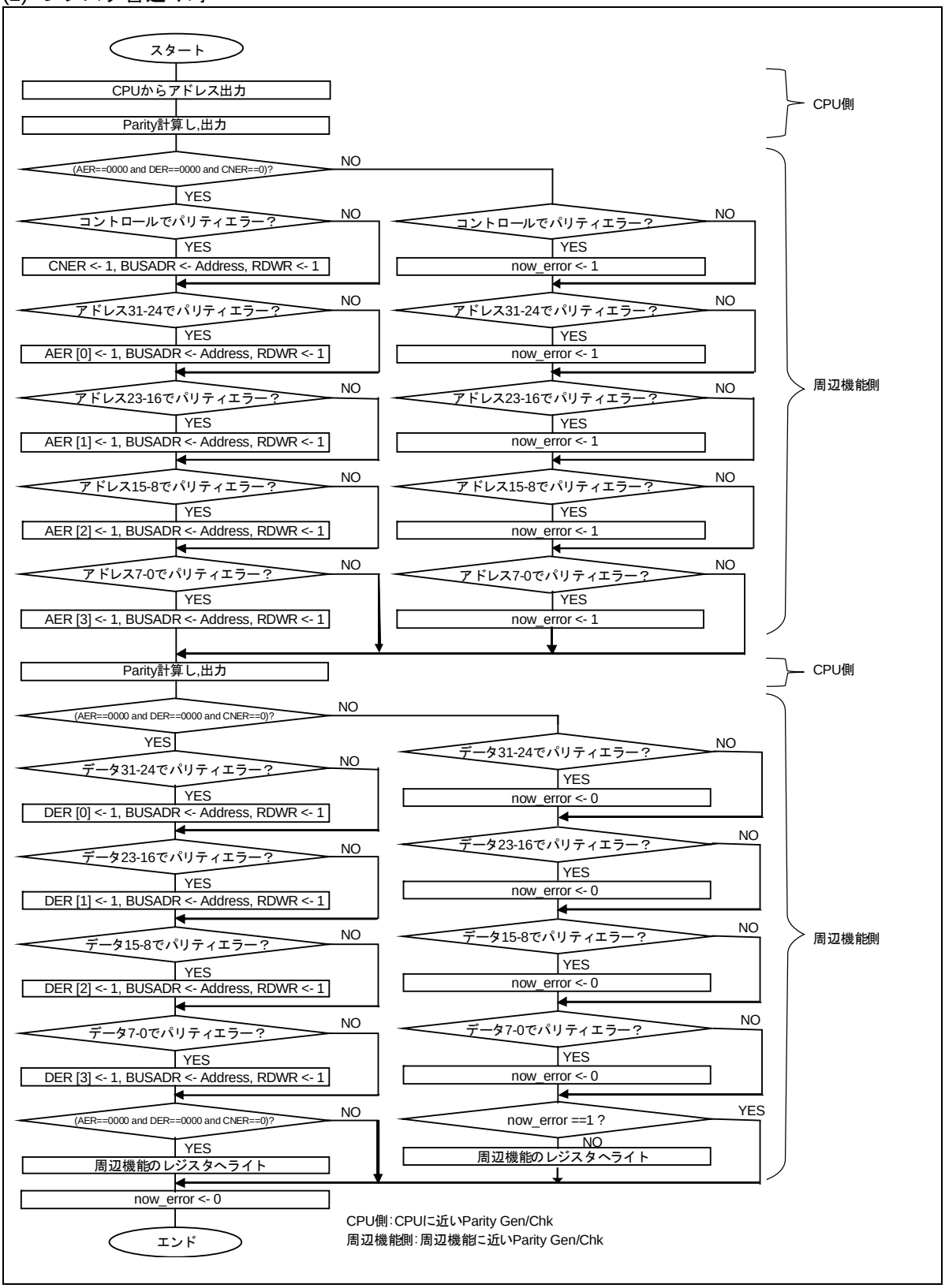
■ バス診断の動作フロー

バス診断の動作フローは、以下に示します。

(1) レジスタ読出し時


スタート
CPUからアドレス出力
Parity計算し,出力
CPU側
(AER [3:0] =0000 and DER [3:0] =0000 and CNER==0)?
NO
YES
コントロールでパリティエラー？
NO
YES
CNER <- 1, BUSADR <- Address, RDWR <- 0
アドレス31-24でパリティエラー？
NO
YES
AER [0] <- 1, BUSADR <- Address, RDWR <- 0
アドレス23-16でパリティエラー？
NO
YES
AER [1] <- 1, BUSADR <- Address, RDWR <- 0
アドレス15-8でパリティエラー？
NO
YES
AER [2] <- 1, BUSADR <- Address, RDWR <- 0
アドレス7-0でパリティエラー？
NO
YES
AER [3] <- 1, BUSADR <- Address, RDWR <- 0
周辺機能からのデータ出力
Parity計算し,出力
周辺機能側
YES
(AER [3:0] ==0 and DER [3:0] ==0 and CNER ==0)?
NO
(アドレス又はコントロールでエラー and DER [3:0] ==0) ?
NO
YES
データ31-24でパリティエラー？
NO
YES
DER [0] <- 1, BUSADR <- Address, RDWR <- 0
データ23-16でパリティエラー？
NO
YES
DER [1] <- 1, BUSADR <- Address, RDWR <- 0
データ15-8でパリティエラー？
NO
YES
DER [2] <- 1, BUSADR <- Address, RDWR <- 0
データ7-0でパリティエラー？
NO
YES
DER [3] <- 1, BUSADR <- Address, RDWR <- 0
CPU側
エンド
CPU側：CPUに近いParity Gen/Chk
周辺機能側：周辺機能に近いParity Gen/Chk

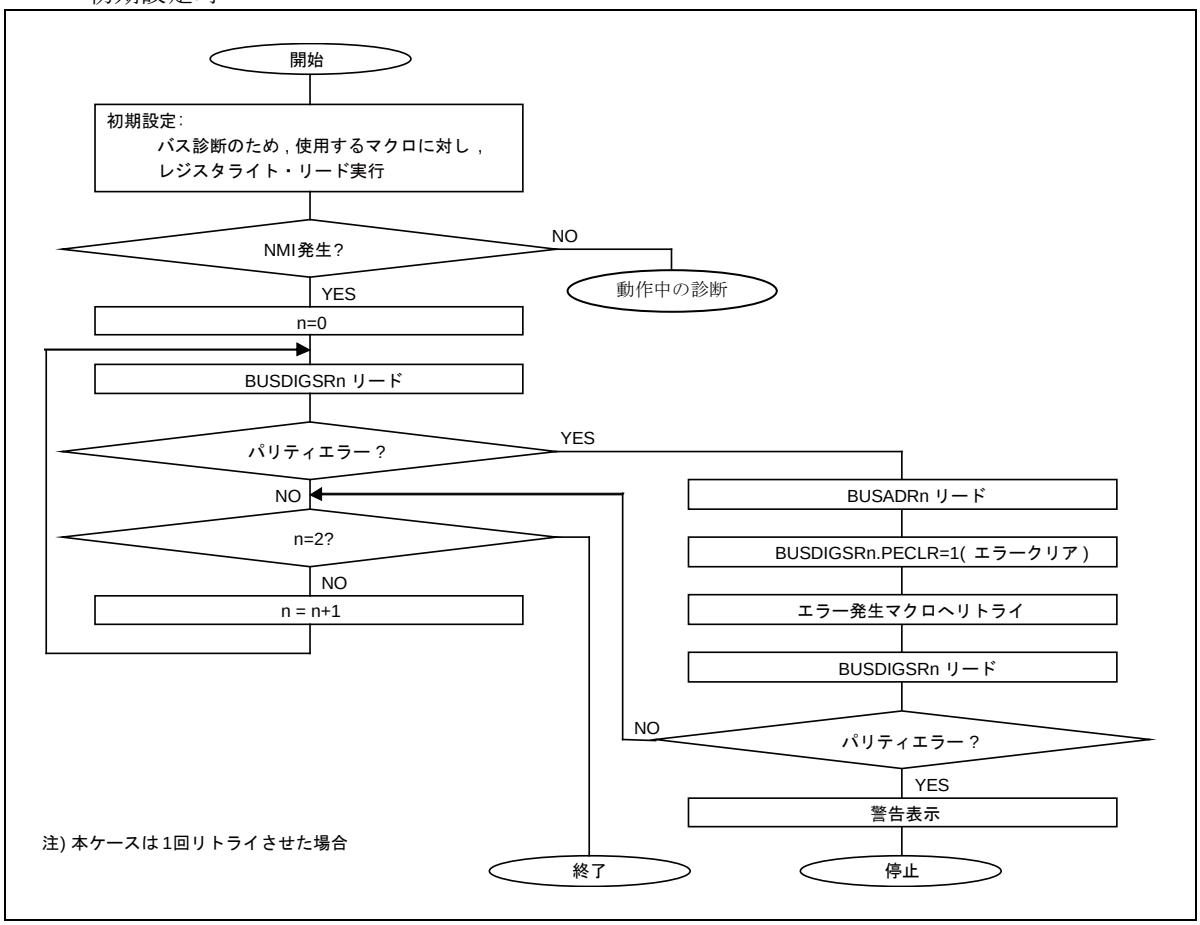
(2) レジスタ書込み時


スタート
CPUからアドレス出力
Parity計算し,出力
CPU側
(AER==0000 and DER==0000 and CNER==0)?
NO
YES
コントロールでパリティエラー？
CNER <- 1, BUSADR <- Address, RDWR <- 1
now_error <- 1
アドレス31-24でパリティエラー？
AER [0] <- 1, BUSADR <- Address, RDWR <- 1
アドレス23-16でパリティエラー？
AER [1] <- 1, BUSADR <- Address, RDWR <- 1
アドレス15-8でパリティエラー？
AER [2] <- 1, BUSADR <- Address, RDWR <- 1
アドレス7-0でパリティエラー？
AER [3] <- 1, BUSADR <- Address, RDWR <- 1
周辺機能側
Parity計算し,出力
CPU側
データ31-24でパリティエラー？
DER [0] <- 1, BUSADR <- Address, RDWR <- 1
now_error <- 0
データ23-16でパリティエラー？
DER [1] <- 1, BUSADR <- Address, RDWR <- 1
データ15-8でパリティエラー？
DER [2] <- 1, BUSADR <- Address, RDWR <- 1
データ7-0でパリティエラー？
DER [3] <- 1, BUSADR <- Address, RDWR <- 1
now_error ==1 ?
YES
周辺機能のレジスタへライト
now_error <- 0
エンド
CPU側:CPUに近いParity Gen/Chk
周辺機能側:周辺機能に近いParity Gen/Chk

(3) エラー検出時の処理

エラー検出時の処理について一例を示します。

・初期設定時



＜注意事項＞

ILM の割込みレベルマスクレジスタを 16(10000_B)以上にする前に、必ず割込み関数のアドレスを割込みベクタに設定してください。

バス信号が常態故障している場合に以下のようなフローでプログラムを実行した場合、CPU は ILM の設定の直後に割込み関数のアドレスを参照してしまいます。

例)

①ベクタ領域の定義

②Stack クリア

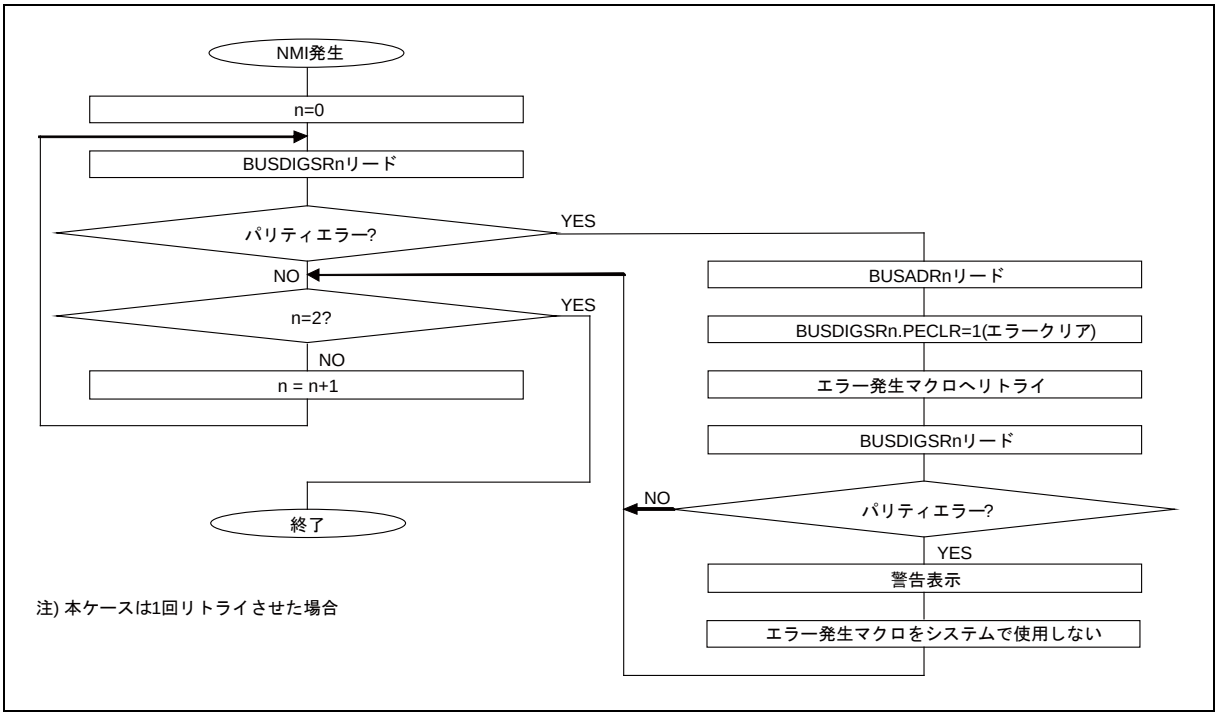
③端子レジスタ設定

④ 割込みマスクレジスタ設定(ILM:割込みマスクレジスタ)

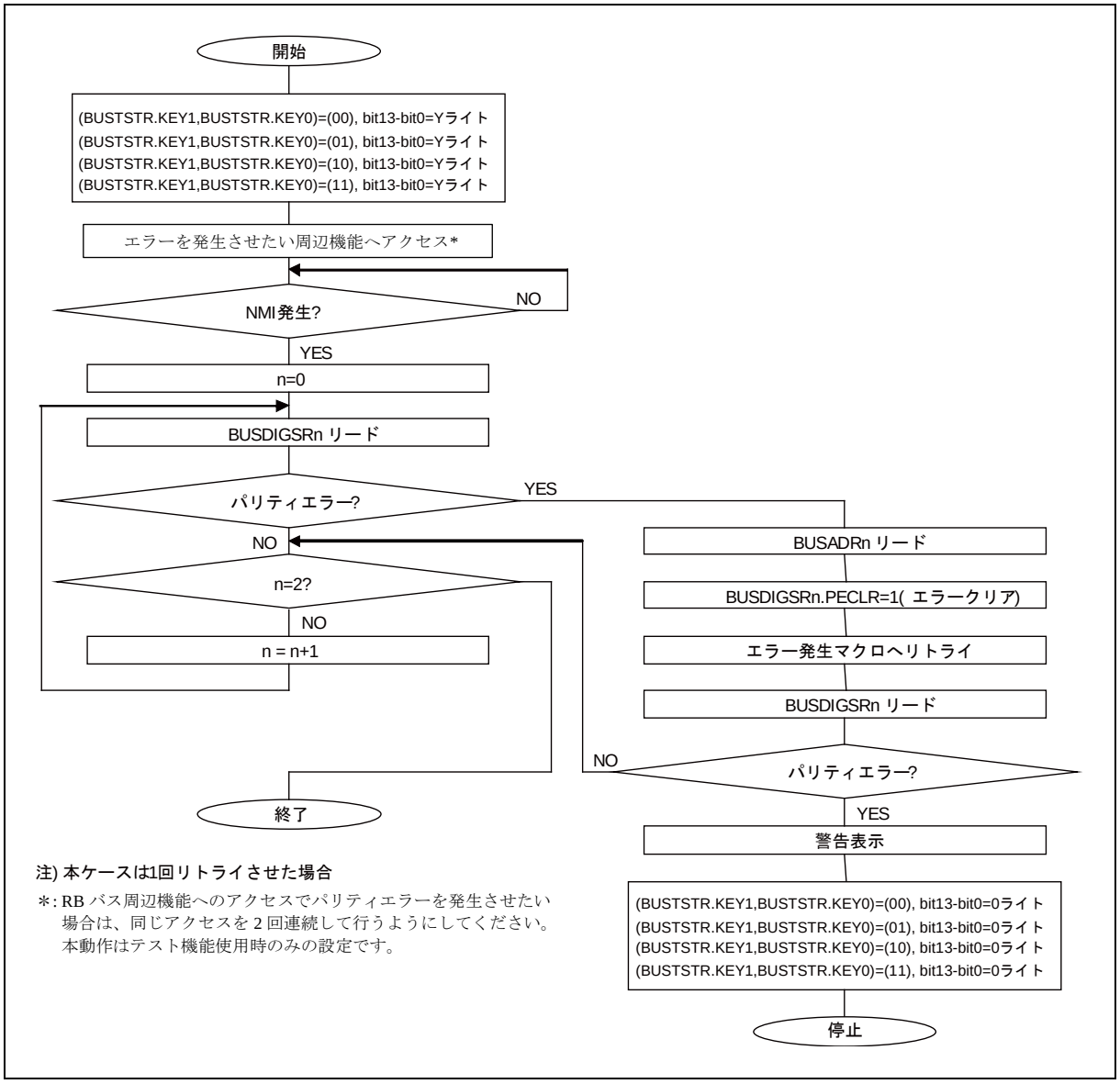
ここでバス診断の NMI を検出してしまい、プログラムが停止してしまいます。

⑤割込み関数のアドレスを割込みベクタに設定

・動作中


NMI発生
n=0
BUSDIGSRnリード
パリティエラー?
YES
NO
n=2?
YES
NO
n = n+1
終了
BUSADRnリード
BUSDIGSRn.PECLR=1(エラークリア)
エラー発生マクロへリトライ
BUSDIGSRnリード
NO
パリティエラー?
YES
警告表示
エラー発生マクロをシステムで使用しない
注) 本ケースは1回リトライさせた場合

・テストモード使用時



注) 本ケースは1回リトライさせた場合

＊: RB バス周辺機能へのアクセスでパリティエラーを発生させたい場合は、同じアクセスを 2 回連続して行うようにしてください。本動作はテスト機能使用時のみの設定です。

Chapter 50: RAM 診断機能

RAM 診断機能について説明します。

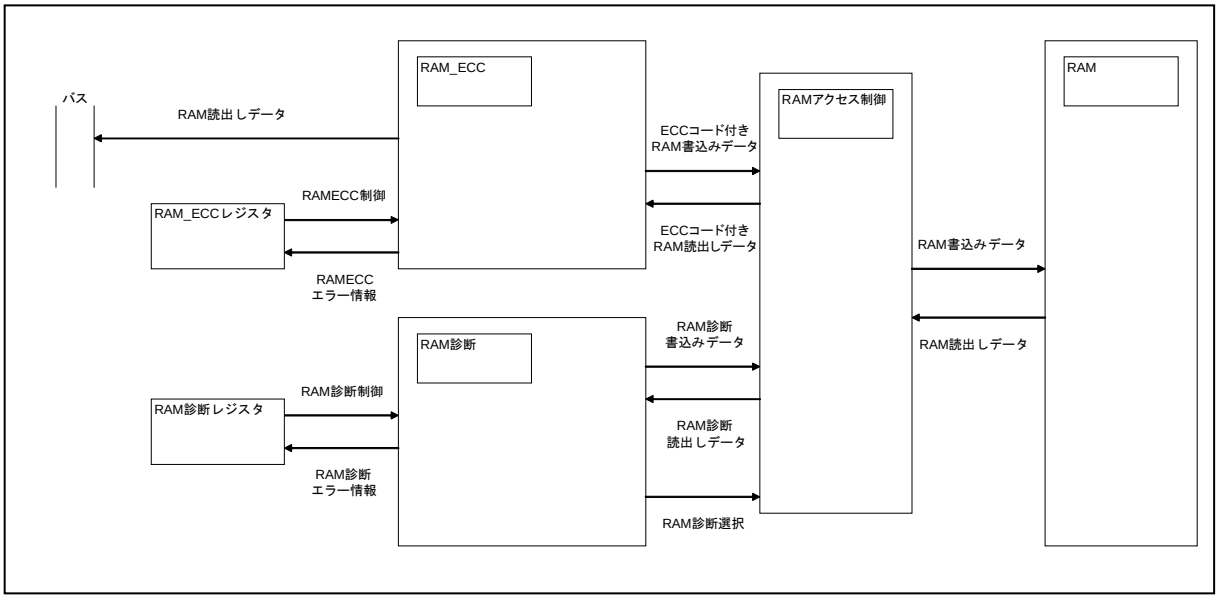
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FS28_DIAG-3v1-91520-17-J

1. 概要

RAM 診断機能の概要について説明します。

RAM 診断機能は、RAM に対して診断および初期化を実施します。



RAM ECC 機能については、『RAMECC 機能』の章を参照してください。

2. 特長

RAM 診断機能の特長について説明します。

■ 対象 RAM

・XBS RAM
MB91F522: 48KB
MB91F523: 48KB
MB91F524: 64KB
MB91F525: 96KB
MB91F526:128KB

・BackupRAM
8KB

■ RAM 診断

以下の RAM 診断を選択し実施します(複数選択可)。

ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
チェッカー

マーチ(all "0" → all "1"の順で実施)

割込み機能

診断終了要因の割込み信号を発生します(RAM 診断終了割込み)。
エラー検出時に割込み信号を発生します(RAM 診断時エラー割込み)。

■ RAM 初期化

以下の RAM 初期化を選択し実施します。

all "0" 書込み
all "1" 書込み

割込み機能

初期化終了要因の割込み信号を発生します(RAM 初期化完了割込み)。

■ テストモード

ソフトデバッグ用として TEST 擬似エラーを発生します。

3. 構成

RAM 診断機能の構成について説明します。

図 3-1 XBS RAM 診断機能のブロックダイヤグラム(構成)

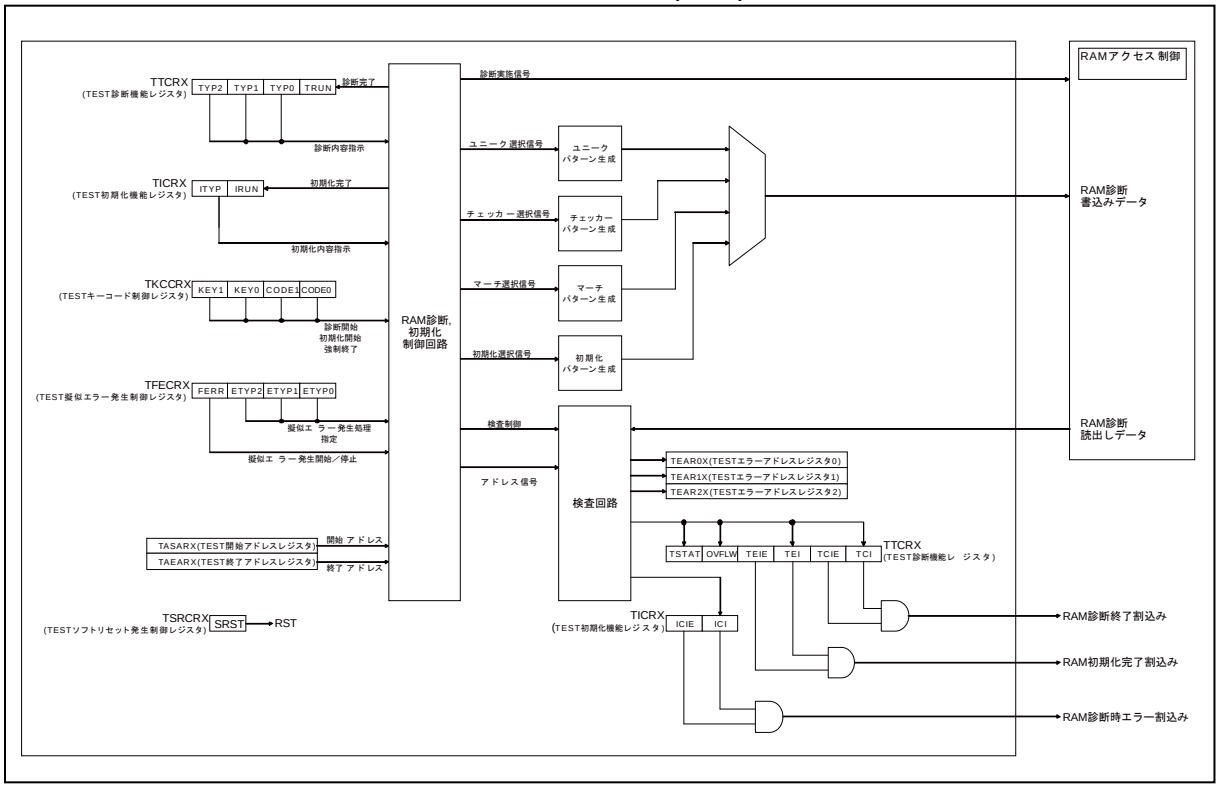
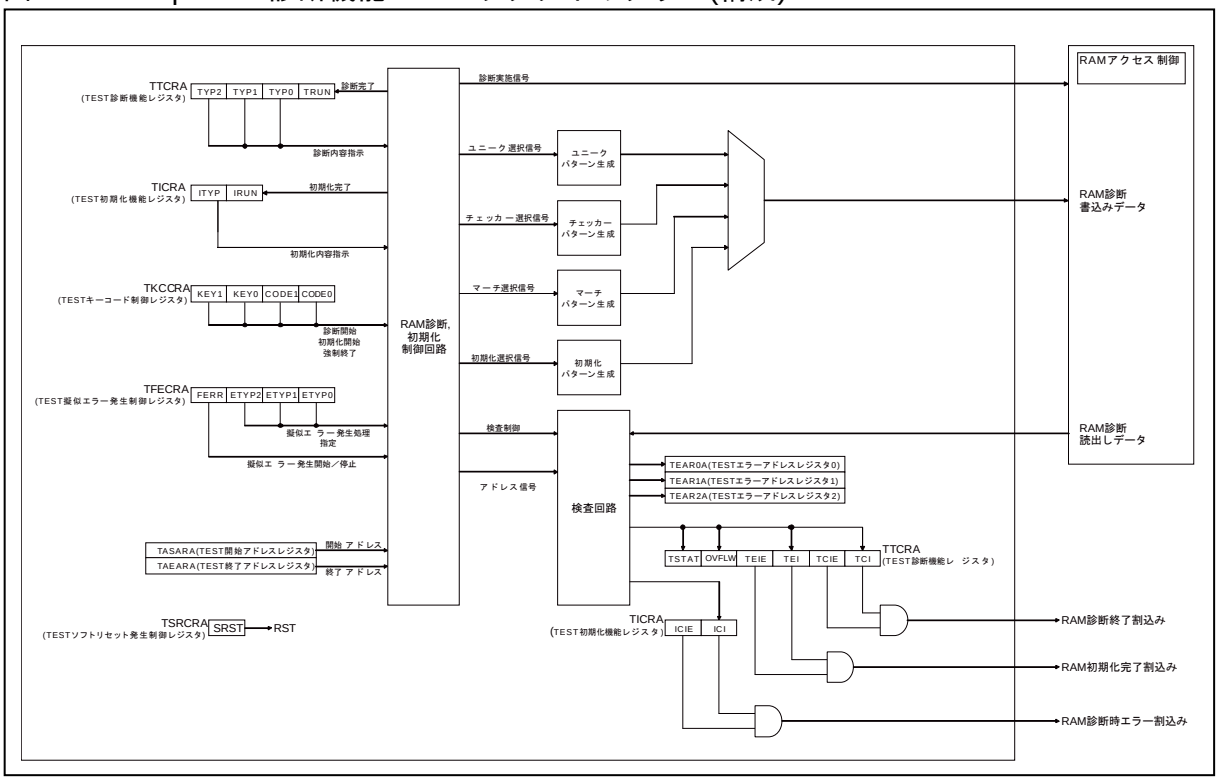


図 3-2 Backup RAM 診断機能のブロックダイヤグラム(構成)



4. レジスタ

RAM 診断機能のレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x300C	TEAR0X				TEST エラーアドレスレジスタ 0 XBS RAM
0x3010	TEAR1X				TEST エラーアドレスレジスタ 1 XBS RAM
0x3014	TEAR2X				TEST エラーアドレスレジスタ 2 XBS RAM
0x3018	TAEARX		TASARX		TEST 終了アドレスレジスタ XBS RAM TEST 開始アドレスレジスタ XBS RAM

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x301C	TFECRX	TICRX	TTCRX		TEST 擬似エラー発生制御レジスタ XBS RAM TEST 初期化機能レジスタ XBS RAM TEST 診断機能レジスタ XBS RAM
0x3020	TSRCRX	予約	予約	TKCCRX	TEST ソフトリセット発生制御レジスタ XBS RAM TEST キーコード制御レジスタ XBS RAM
0x3030	TEAR0A				TEST エラーアドレスレジスタ 0 BACKUP-RAM
0x3034	TEAR1A				TEST エラーアドレスレジスタ 1 BACKUP-RAM
0x3038	TEAR2A				TEST エラーアドレスレジスタ 2 BACKUP-RAM
0x303C	TAEARA		TASARA		TEST 終了アドレスレジスタ BACKUP-RAM TEST 開始アドレスレジスタ BACKUP-RAM
0x3040	TFECRA	TICRA	TTCRA		TEST 擬似エラー発生制御レジスタ BACKUP-RAM TEST 初期化機能レジスタ BACKUP-RAM TEST 診断機能レジスタ BACKUP-RAM
0x3044	TSRCRA	予約	予約	TKCCRA	TEST ソフトリセット発生制御レジスタ BACKUP-RAM TEST キーコード制御レジスタ BACKUP-RAM

4.1. TEST エラーアドレスレジスタ 0 XBS RAM : TEAR0X

TEST エラーアドレスレジスタ 0 XBS RAM のビット構成について示します。

TEST エラーアドレスレジスタ 0(TEAR0X)は、XBS RAM の RAM 診断時にエラーが生じた際、そのアドレスを保持します。

■ TEAR0X: アドレス 300CH (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1" にセットされているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生

TER2	TER1	TER0	機能
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0" をライトしてください。

[bit14 ～ bit0] D14 ～ D0 : エラー発生アドレスビット
XBS RAM の RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR0X で設定するオフセット+2'b00)

4.2. TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X

TEST エラーアドレスレジスタ 1 XBS RAM のビット構成について示します。

TEST エラーアドレスレジスタ 1(TEAR1X) は、XBS RAM の RAM 診断時に、TEAR0X に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR1X: アドレス 3010_H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER31 ～ TER29 : **診断エラー要因特定ビット**

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] **予約**

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit14 ～ bit0] D14 ～ D0 : **エラー発生アドレスビット**

RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR1X で設定するオフセット+2'b00)

4.3. TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X

TEST エラーアドレスレジスタ 2 XBS RAM のビット構成について示します。

TESTエラーアドレスレジスタ2(TEAR2X)は、XBS RAMのRAM診断時に、TEAR0XおよびTEAR1Xに保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR2X: アドレス 3014H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	D14	D13	D12	D11	D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、D14 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D14～D0 は無効
-	-	1	マーチ診断でエラーが発生

TER2	TER1	TER0	機能
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit15] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit14 ～ bit0] D14 ～ D0 : エラー発生アドレスビット
RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TEAR2X で設定するオフセット+2'b00)

4.4. TEST 開始アドレスレジスタ XBS RAM : TASARX

TEST 開始アドレスレジスタ XBS RAM のビット構成について示します。

TEST 開始アドレスレジスタ(TASARX)は、XBS RAM の RAM 診断および初期化を行う開始アドレスを設定します。

■ TASARX: アドレス 301A$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	ST14	ST13	ST12	ST11	ST10	ST9	ST8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit14 ～ bit0] ST14 ～ ST0 : RAM 診断開始アドレスビット
XBS RAM の RAM 診断および初期化動作を開始するアドレスを設定します。

＜注意事項＞

XBS RAM 領域外の値および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TASARX で設定するオフセット+2'b00)

4.5. TEST 終了アドレスレジスタ XBS RAM : TAEARX

TEST 終了アドレスレジスタ XBS RAM のビット構成について示します。

TEST終了アドレスレジスタ(TAEARX)は、XBS RAMのRAM診断および初期化を行う終了アドレスを設定します。

■ TAEARX: アドレス 3018_H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約	ED14	ED13	ED12	ED11	ED10	ED9	ED8
初期値	0	1	1	1	1	1	1	1
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit14 ～ bit0] ED14 ～ ED0 : RAM 診断終了アドレスビット
XBS RAM の RAM 診断および初期化動作を終了するアドレスを設定します。

＜注意事項＞

XBS RAM 領域外の値および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(TAEARX で設定するオフセット+2'b11)

4.6. TEST 診断機能レジスタ XBS RAM : TTCRX

TEST 診断機能レジスタ XBS RAM のビット構成について示します。

TEST 診断機能レジスタ(TTCRX)は、XBS RAM の RAM 診断内容の指定および、診断結果とその状態を保持します。

■ TTCRX: アドレス 301EH (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						TSTAT	OVFLW
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TEIE	TEI	TCIE	TCI	TTYP2	TTYP1	TTYP0	TRUN
初期値	0	0	0	0	1	1	0	0
属性	R/W	R(RM1), W	R/W	R(RM1), W	R/W	R/W	R/W	R,WX

[bit15 ～ bit10] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit9] TSTAT : RAM 診断エラー検出ビット

TSTAT	機能
0	RAM 診断でエラーが検出されず
1	RAM 診断でエラーが検出された

XBS RAM の RAM 診断時にエラーが発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit8] OVFLW : RAM 診断エラーオーバフロービット

OVFLW	機能
0	RAM 診断時に生じたエラーは 3 アドレス以下
1	RAM 診断時に生じたエラーは 4 アドレス以上

XBS RAM の RAM 診断エラーが 4 アドレス以上で発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit7] TEIE : 診断時エラー発生による割込み発生許可ビット

TEIE	機能
0	診断時エラー発生による割込み発生の禁止
1	診断時エラー発生による割込み発生許可

XBS RAM の RAM 診断時エラー発生による割込みを許可します。

"0"に設定した場合 : RAM 診断時のエラー発生による割込みを禁止します。
"1"に設定した場合 : RAM 診断時のエラー発生による割込みを許可します。TTCRX.TEI= 1 であって、RAM 診断が終了した場合、割込み信号(RAM 診断時エラー割込み)を出力します。

[bit6] TEI : 診断時エラー発生ビット

TEI	機能
0	リード : RAM 診断でエラーは発生していない ライト : フラグのクリア
1	リード : RAM 診断でエラーが発生した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出したときに、TTCRX.TSTAT="1"である場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり，以前の値を保持します。

"1"になる条件 : RAM 診断終了時に TTCRX.TSTAT="1"である。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit5] TCIE : 診断終了要因の割込み発生許可ビット

TCIE	機能
0	診断終了要因の割込み発生の禁止
1	診断終了要因の割込み発生許可

XBS RAM の RAM 診断終了要因の割込みを許可します。

"0"に設定した場合 : RAM 診断終了による割込みを禁止します。
"1"に設定した場合 : RAM 診断終了による割込みを許可します。TTCRX.TCI= 1 で割込み信号(RAM 診断終了割込み)を出力します。

[bit4] TCI : 診断終了ビット

TCI	機能
0	リード : RAM 診断は終了していない ライト : フラグのクリア
1	リード : RAM 診断が終了した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出した場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 診断が終了する(キーコードによる強制終了ではセットされません)。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit3 ～ bit1] TTYP2 ～ TTYP0 : RAM 診断内容指示ビット

XBS RAM の RAM 診断で実施するタイプを設定します。
RAM 診断を実施する順序は、

1. ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
2. チェッカー
3. マーチ(all "0" → all "1"の順で実施)

の順とし、それぞれを実施するかしないかをこのビットによって設定します。

TTYP2	TTYP1	TTYP0	機能
1	1	0	ユニーク, チェッカーを実行する
-	-	1	マーチを実行する
-	1	-	チェッカーを実行する
1	-	-	ユニークを実行する

デフォルトでは、ユニーク診断およびチェッカー診断を実施する設定(110_B)になっていますが、内容を変更する場合、RAM 診断動作の開始指示よりも前に必ず設定してください。
なお、マーチを最後に実施した場合、RAM の中身は all "1"になっています。

[bit0] TRUN : RAM 診断動作状態ビット

TRUN	機能
0	RAM 診断停止中
1	RAM 診断動作中

XBS RAM の RAM 診断動作の状態を設定あるいは保持します。

"1"になる条件 : キーコード設定によって、RAM 診断が起動された場合
"0"になる条件 : 診断がすべて終了した場合か、キーコードによって強制終了した場合

4.7. TEST 初期化機能レジスタ XBS RAM : TICRX

TEST 初期化機能レジスタ XBS RAM のビット構成について示します。

TEST 初期化機能レジスタ(TICRX) は、XBS RAM の RAM 初期化内容の指定および、初期化結果とその状態を保持します。

■ TICRX: アドレス 301DH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ICIE	ICI	ITYP	IRUN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1), W	R/W	R,WX

[bit7 ～ bit4] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit3] ICIE : RAM 初期化終了要因の割込み発生許可ビット

ICIE	機能
0	RAM 初期化終了要因の割込み発生の禁止
1	RAM 初期化終了要因の割込み発生許可

XBS RAM の RAM 初期化終了要因の割込みを許可します。

"0"に設定した場合 : RAM 初期化終了による割込みを禁止します。

"1"に設定した場合 : RAM 初期化終了による割込みを許可します。TICRX.ICI= 1 で割込み信号(RAM 初期化完了割込み)を出力します。

[bit2] ICI : RAM 初期化終了ビット

ICI	機能
0	リード : RAM 初期化は終了していない ライト : フラグのクリア
1	リード : RAM 初期化が終了した ライト : 動作に影響なし

XBS RAM の RAM 初期化の終了を検出した場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 初期化が終了する(キーコードによる強制終了ではセットされません)。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit1] ITYP : RAM 初期化内容指示ビット

ITYP	機能
0	all "0"に初期化する
1	all "1"に初期化する

XBS RAM の RAM 初期化で実施するタイプを設定します。

"0"に設定した場合 : all "0"に初期化します。
"1"に設定した場合 : all "1"に初期化します。

[bit0] IRUN : RAM 初期化動作状態ビット

IRUN	機能
0	RAM 初期化停止中
1	RAM 初期化動作中

XBS RAM の RAM 初期化動作の状態を設定または保持します。

"1"になる条件 : キーコードによって、RAM 初期化が起動された場合。
"0"になる条件 : 初期化がすべて終了した場合か、キーコードによって強制終了した場合。

4.8. TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX

TEST ソフトリセット発生制御レジスタ XBS RAM のビット構成について示します。

TEST ソフトリセット発生制御レジスタ(TSRCRX)は、XBS RAM の RAM 診断の内部回路を初期化するためのソフトウェアリセットの発生を指定します。

■ TSRCRX: アドレス 3020H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SRST	予約						
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit7] SRST : ソフトウェアリセット発生許可ビット

SRST	機能
0	ソフトウェアリセットの発生を禁止
1	ソフトウェアリセットの発生を許可

XBS RAM の RAM 診断の内部回路に対するソフトウェアリセットの発生を許可します。

リード時、"0"が読み出されます。

"1"に設定した場合 : 4τ だけリセットパルスが発生し、本レジスタを除く RAM 診断の内部回路をリセットします。

τ :周辺クロック

[bit6 ～ bit0] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

4.9. TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX

TEST 疑似エラー発生制御レジスタ XBS RAM のビット構成について示します。

TEST 擬似エラー発生制御レジスタ(TFECRX)は、XBS RAM の RAM 診断動作時に擬似エラーを発生させます。どの RAM 診断動作時にエラーを発生させるか指定ができます。

■ TFECRX: アドレス 301CH (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				FERR	ETYP2	ETYP1	ETYP0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7 ～ bit4] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit3] FERR : RAM 診断時の擬似エラー発生許可ビット

FERR	機能
0	擬似エラーの発生を禁止(通常動作)
1	擬似エラーの発生を許可

XBS RAM の RAM 診断時に擬似エラーの発生を許可します。

"0"に設定した場合 : 擬似エラーの発生を禁止します(通常動作)。
"1"に設定した場合 : 擬似エラーの発生を許可します。ETYP2 ～ ETYP0 で指定された内容にしたがって、故意にエラーを含むデータのライトを許可します。

[bit2 ～ bit0] ETYP2 ～ ETYP0 : 擬似エラー発生処理指定ビット

擬似エラーを発生させる処理を指定します。

ETYP2	ETYP1	ETYP0	擬似エラー発生処理
-	-	1	マーチ診断
-	1	-	チェッカー診断
1	-	-	ユニーク診断

4.10. TEST キーコード制御レジスタ XBS RAM : TKCCRX

TEST キーコード制御レジスタ XBS RAM のビット構成について示します。

TEST キーコード制御レジスタ(TKCCRX)は、XBS RAM の RAM 診断・初期化の開始および, 強制終了を実行するために使用されます。

■ TKCCRX: アドレス 3023H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約				CODE1	CODE0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W

[bit7, bit6] KEY1, KEY0 : キーコード制御ビット

キーコードの制御ビットです。動作指示内容を CODE[1:0]に設定(途中で変更しない)して、操作します。
設定手順は、

1. 00 → 01 → 10 → 11 の順にライトする
2. CODE[1:0]には常に同じ値
3. 途中に違う操作(RAM 診断の他レジスタへのアクセスや、リードや上記順序以外の連続ライトなど)を行った場合、処理は無効となります。

＜注意事項＞

手順中 RAM ECC 内のレジスタへのアクセスが発生しても、キーコード処理は継続されます。

[bit5 ～ bit2] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit1, bit0] CODE1, CODE0 : RAM 診断・初期化制御ビット

上述のキーコード手続きにおいて、動作指示内容を指定します。

CODE1, CODE0	機能
00	強制終了
01	初期化起動
10	診断起動
11	設定禁止

上述のキーコード操作中にこの値を変更したり、"11"を設定した場合、キーコード手続きそのものが無効になります。

4.11. TEST エラーアドレスレジスタ 0 BACKUP-RAM : TEAR0A

TEST エラーアドレスレジスタ 0 BACKUP-RAM のビット構成について示します。

TEST エラーアドレスレジスタ 0(TEAR0A)は、BACKUP-RAM の RAM 診断時にエラーが生じた際、そのアドレスを保持します。

■ TEAR0A: アドレス 3030H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

Backup RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、D10 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D10～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit11] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit14 ～ bit0] D10 ～ D0 : エラー発生アドレスビット

Backup-RAM の RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000" でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(TEAR0A で設定するオフセット+2'b00)

4.12. TEST エラーアドレスレジスタ 1 BACKUP-RAM : TEAR1A

TEST エラーアドレスレジスタ 1 BACKUP- RAM のビット構成について示します。

TEST エラーアドレスレジスタ 1(TEAR1A)は、Backup RAM の RAM 診断時に、TEAR0A に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR1A: アドレス 3034_H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER31 ～ TER29 : **診断エラー要因特定ビット**

Back up RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、D10 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D10～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit11] **予約**

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit10 ～ bit0] D10 ～ D0 : **エラー発生アドレスビット**

Backup RAM の RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(TEAR1A で設定するオフセット+2'b00)

4.13. TEST エラーアドレスレジスタ 2 BACKUP-RAM : TEAR2A

TEST エラーアドレスレジスタ 2 BACKUP- RAM のビット構成について示します。

TEST エラーアドレスレジスタ 2(TEAR2A)は、Backup RAM の RAM 診断時に、TEAR0A および TEAR1A に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ、そのアドレスを保持します。

■ TEAR2A: アドレス 3038H (アクセス: バイト, ハーフワード, ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	TER2	TER1	TER0	予約				
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					D10	D9	D8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

Backup RAM の RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"

にセットされているときのみ、D10 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で、D10～D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28 ～ bit11] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit10 ～ bit0] D10 ～ D0 : エラー発生アドレスビット

RAM 診断時、エラーが発生した際のアドレスを保持します。{TER2-TER0}が"000"でないときのみ有効な値を示します。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(TEAR2A で設定するオフセット+2'b00)

4.14. TEST 開始アドレスレジスタ BACKUP-RAM : TASARA

TEST 開始アドレスレジスタ BACKUP- RAM のビット構成について示します。

TEST 開始アドレスレジスタ(TASARA)は、Backup RAM の RAM 診断および初期化を行う開始アドレスを設定します。

■ TASARA: アドレス 303E$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					ST10	ST9	ST8
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit11] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit10 ～ bit0] ST10 ～ ST0 : RAM 診断開始アドレスビット

Backup RAM の RAM 診断および初期化動作を開始するアドレスを設定します。

＜注意事項＞

Backup RAM 領域外の値および TASARA.ST10-ST0>TAEARA.ED10-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000$_H$)+(TASARA で設定するオフセット+2'b00)

4.15. TEST 終了アドレスレジスタ BACKUP-RAM : TAEARA

TEST 終了アドレスレジスタ BACKUP- RAM のビット構成について示します。

TEST 終了アドレスレジスタ(TAEARA)は、Backup RAM の RAM 診断および初期化を行う終了アドレスを設定します。

■ TAEARA: アドレス 303C$_H$ (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約					ED10	ED9	ED8
初期値	0	0	0	0	0	1	1	1
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0
初期値	1	1	1	1	1	1	1	1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ～ bit11] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit10 ～ bit0] ED10 ～ ED0 : RAM 診断終了アドレスビット

Backup RAM の RAM 診断および初期化動作を終了するアドレスを設定します。

＜注意事項＞

Backup RAM 領域外の値および TASARA.ST10-ST0>TAEARA.ED10-ED0 となる値の設定は禁止です。

＜注意事項＞

上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(TAEARA で設定するオフセット+2'b11)

4.16. TEST 診断機能レジスタ BACKUP-RAM : TTCRA

TEST 診断機能レジスタ BACKUP- RAM のビット構成について示します。

TEST 診断機能レジスタ(TTCRA)は、Backup RAM の RAM 診断内容の指定および、診断結果とその状態を保持します。

■ TTCRA: アドレス 3042H (アクセス: バイト, ハーフワード, ワード)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約						TSTAT	OVFLW
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TEIE	TEI	TCIE	TCI	TTYP2	TTYP1	TTYP0	TRUN
初期値	0	0	0	0	1	1	0	0
属性	R/W	R(RM1), W	R/W	R(RM1), W	R/W	R/W	R/W	R,WX

[bit15 ～ bit10] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit9] TSTAT : RAM 診断エラー検出ビット

TSTAT	機能
0	RAM 診断でエラーが検出されず
1	RAM 診断でエラーが検出された

Backup RAM の RAM 診断時にエラーが発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit8] OVFLW : RAM 診断エラーオーバフロービット

OVFLW	機能
0	RAM 診断時に生じたエラーは 3 アドレス以下
1	RAM 診断時に生じたエラーは 4 アドレス以上

Backup RAM の RAM 診断エラーが 4 アドレス以上で発生した場合、このビットは"1"に設定されます。
RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit7] TEIE : 診断時エラー発生による割込み発生許可ビット

TEIE	機能
0	診断時エラー発生による割込み発生の禁止
1	診断時エラー発生による割込み発生許可

Backup RAM の RAM 診断時エラー発生による割込みを許可します。

"0"に設定した場合 : RAM 診断時のエラー発生による割込みを禁止します。
"1"に設定した場合 : RAM 診断時のエラー発生による割込みを許可します。TTCRA.TEI= 1 であって、RAM 診断が終了した場合、割込み信号(Backup RAM 診断時エラー割込み)を出力します。

[bit6] TEI : 診断時エラー発生ビット

TEI	機能
0	リード : RAM 診断でエラーは発生していない ライト : フラグのクリア
1	リード : RAM 診断でエラーが発生した ライト : 動作に影響なし

Backup RAM の RAM 診断の終了を検出したときに、TTCRA.TSTAT="1"である場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1" になる条件 : RAM 診断終了時に TTCRA.TSTAT="1"である。
"0" になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit5] TCIE : 診断終了要因の割込み発生許可ビット

TCIE	機能
0	診断終了要因の割込み発生の禁止
1	診断終了要因の割込み発生許可

Backup RAM の RAM 診断終了要因の割込みを許可します。

"0"に設定した場合 : RAM 診断終了による割込みを禁止します。
"1"に設定した場合 : RAM 診断終了による割込みを許可します。TTCRA.TCI= 1 で割込み信号(Backup RAM 診断終了割込み)を出力します。

[bit4] TCI : 診断終了ビット

TCI	機能
0	リード : RAM 診断は終了していない ライト : フラグのクリア
1	リード : RAM 診断が終了した ライト : 動作に影響なし

Backup RAM の RAM 診断の終了を検出した場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、 "1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 診断が終了する(キーコードによる強制終了ではセットされません)。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit3 ～ bit1] TTYP2 ～ TTYP0 : RAM 診断内容指示ビット

Backup RAM の RAM 診断で実施するタイプを設定します。
RAM 診断を実施する順序は、

1. ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}})
2. チェッカー
3. マーチ(all "0" → all "1"の順で実施)

の順とし、それぞれを実施するかしないかをこのビットによって設定します。

TTYP2	TTYP1	TTYP0	機能
1	1	0	ユニーク, チェッカーを実行する
-	-	1	マーチを実行する
-	1	-	チェッカーを実行する
1	-	-	ユニークを実行する

デフォルトでは、ユニーク診断およびチェッカー診断を実施する設定(110_B)になっていますが、内容を変更する場合、RAM 診断動作の開始指示よりも前に必ず設定してください。
なお、マーチを最後に実施した場合、RAM の中身は all "1"になっています。

[bit0] TRUN : RAM 診断動作状態ビット

TRUN	機能
0	RAM 診断停止中
1	RAM 診断動作中

Backup RAM の RAM 診断動作の状態を設定あるいは保持します。

"1"になる条件 : キーコード設定によって、RAM 診断が起動された場合。
"0"になる条件 : 診断がすべて終了した場合か、キーコードによって強制終了した場合。

4.17. TEST 初期化機能レジスタ BACKUP-RAM : TICRA

TEST 初期化機能レジスタ BACKUP- RAM のビット構成について示します。

TEST 初期化機能レジスタ(TICRA)は、Backup RAM の RAM 初期化内容の指定および初期化結果とその状態を保持します。

■ TICRA: アドレス 3041H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				ICIE	ICI	ITYP	IRUN
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1), W	R/W	R,WX

[bit7 ～ bit4] 予約
予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit3] ICIE : RAM 初期化終了要因の割込み発生許可ビット

ICIE	機能
0	RAM 初期化終了要因の割込み発生の禁止
1	RAM 初期化終了要因の割込み発生許可

Backup RAM の RAM 初期化終了要因の割込みを許可します。

"0"に設定した場合 : RAM 初期化終了による割込みを禁止します。
"1"に設定した場合 : RAM 初期化終了による割込みを許可します。TICRA.ICI= 1 で割込み信号(Backup RAM 初期化完了割込み)を出力します。

[bit2] ICI : RAM 初期化終了ビット

ICI	機能
0	リード : RAM 初期化は終了していない ライト : フラグのクリア
1	リード : RAM 初期化が終了した ライト : 動作に影響なし

Backup RAM の RAM 初期化の終了を検出した場合、このビットは"1"に設定されます。
このビットは"0"を書き込むと"0"にクリアされますが、"1"を書き込んでも無効となり、以前の値を保持します。

"1"になる条件 : RAM 初期化が終了する(キーコードによる強制終了ではセットされません)。
"0"になる条件 : "0"が書き込まれる。

＜注意事項＞

リードモディファイライトのリード時には、常に"1"が読み出されます。

[bit1] ITYP : RAM 初期化内容指示ビット

ITYP	機能
0	all "0"に初期化する
1	all "1"に初期化する

Backup RAM の RAM 初期化で実施するタイプを設定します。

"0"に設定した場合 : all "0"に初期化します。
"1"に設定した場合 : all "1"に初期化します。

[bit0] IRUN : RAM 初期化動作状態ビット

IRUN	機能
0	RAM 初期化停止中
1	RAM 初期化動作中

Backup RAM の RAM 初期化動作の状態を設定または保持します。

"1"になる条件 : キーコードによって、RAM 初期化が起動された場合。
"0"になる条件 : 初期化がすべて終了した場合か、キーコードによって強制終了した場合。

4.18. TEST ソフトリセット発生制御レジスタ BACKUP-RAM : TSRCRA

TEST ソフトリセット発生制御レジスタ BACKUP- RAM のビット構成について示します。

TEST ソフトリセット発生制御レジスタ(TSRCRA)は、Backup RAM の RAM 診断の内部回路を初期化するためのソフトウェアリセットの発生を指定します。

■ TSRCRA: アドレス 3044H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	SRST	予約						
初期値	0	0	0	0	0	0	0	0
属性	R0, W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

[bit7] SRST : ソフトウェアリセット発生許可ビット

SRST	機能
0	ソフトウェアリセットの発生を禁止
1	ソフトウェアリセットの発生を許可

Backup RAM の RAM 診断の内部回路に対するソフトウェアリセットの発生を許可します。

リード時、"0"が読み出されます。

"1"に設定した場合 : 4τ だけリセットパルスが発生し、本レジスタを除く RAM 診断の内部回路をリセットします。

τ : 周辺クロック

[bit6 ～ bit0] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

4.19. TEST 擬似エラー発生制御レジスタ BACKUP-RAM : TFECRA

TEST 疑似エラー発生制御レジスタ BACKUP- RAM のビット構成について示します。

TEST 擬似エラー発生制御レジスタ(TFECRA)は、Backup RAM の RAM 診断動作時に擬似エラーを発生させます。どの RAM 診断動作時にエラーを発生させるか指定ができます。

■ TFECRA: アドレス 3040H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約				FERR	ETYP2	ETYP1	ETYP0
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W

[bit7 ～ bit4] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit3] FERR : RAM 診断時の擬似エラー発生許可ビット

FERR	機能
0	擬似エラーの発生を禁止(通常動作)
1	擬似エラーの発生を許可

Backup RAM の RAM 診断時に擬似エラーの発生を許可します。

"0"に設定した場合 : 擬似エラーの発生を禁止します(通常動作)。
"1"に設定した場合 : 擬似エラーの発生を許可します。ETYP2 ～ ETYP0 で指定された内容にしたがって、故意にエラーを含むデータのライトを許可します。

[bit2 ～ bit0] ETYP2 ～ ETYP0 : 擬似エラー発生処理指定ビット

擬似エラーを発生させる処理を指定します。

ETYP2	ETYP1	ETYP0	擬似エラー発生処理
-	-	1	マーチ診断
-	1	-	チェッカー診断
1	-	-	ユニーク診断

4.20. TEST キーコード制御レジスタ BACKUP-RAM : TKCCRA

TEST キーコード制御レジスタ BACKUP- RAM のビット構成について示します。

TEST キーコード制御レジスタ(TKCCRA)は、Backup RAM の RAM 診断・初期化の開始および、強制終了を実行するために使用されます。

■ TKCCRA: アドレス 3047H (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	KEY1	KEY0	予約				CODE1	CODE0
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W

[bit7, bit6] KEY1, KEY0 : キーコード制御ビット

キーコードの制御ビットです。動作指示内容を CODE[1:0]に設定(途中で変更しない)して、操作します。
設定手順は、

1. 00 → 01 → 10 → 11 の順にライトする
2. CODE[1:0]には常に同じ値
3. 途中に違う操作(RAM 診断の他レジスタへのアクセスや、リードや上記順序以外の連続ライトなど)を行った場合、処理は無効となります。

＜注意事項＞

手順中 RAM ECC 内のレジスタへのアクセスが発生しても、キーコード処理は継続されます。

[bit5 ～ bit2] 予約

予約ビットです。リード時、"0"が読み出されます。ライト時は"0"をライトしてください。

[bit1, bit0] CODE1, CODE0 : RAM 診断・初期化制御ビット

上述のキーコード手続きにおいて、動作指示内容を指定します。

CODE1, CODE0	機能
00	強制終了
01	初期化起動
10	診断起動
11	設定禁止

上述のキーコード操作中にこの値を変更したり、"11"を設定した場合、キーコード手続きそのものが無効になります。

5. 動作説明

動作について説明します。

5.1. RAM 診断

5.2. RAM 初期化

5.3. 割込み関連レジスタ

5.4. RAM 診断擬似エラー発生手順

5.5. 所要サイクル数

5.6. 注意事項

5.1. RAM 診断

RAM 診断について説明します。

XBS RAM 診断の順序は、

1. ユニーク(ユニークデータは{ アドレス[3:0],{6{ アドレス[7:0]}}})
2. チェッカー
3. マーチ(all "0" → all "1"の順で実施)

の順のみとし, TEST 診断機能レジスタ(TTCRX)の TTYP[2:0]ビットの設定により実施します。デフォルトでは、ユニークおよびチェッカーを実施します。

XBS RAM の RAM 診断の範囲は、TEST 開始アドレスレジスタ(TASARX)と、TEST 終了アドレスレジスタ(TAEARX)で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ(TTCRX)の TRUN, TEST 初期化機能レジスタ(TICRX)の IRUN をリードし"0"であるか確認する

   TTCRX.TRUN または、TICRX.IRUN が"0"でない場合

   ・TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
   ・TICRX.IRUN=0 を待って、TICRX.ICI をクリア
2. TEST キーコード制御レジスタ(TKCCRX)に、"02_H" → "42_H" → "82_H" → "$C2_H$"と 4 回連続ライトして診断開始

XBS RAM の RAM 診断がすべて終了したら、TEST 診断機能レジスタ(TTCRX)の TRUN ビットが" 0"となり、RAM 診断を終了します。診断結果は、TEST エラーアドレスレジスタ 0 ～ 2(TEAR0X ～ 2X)と、TEST 診断機能レジスタ(TTCRX)に保持されます。RAM には、診断データが残ります。
また、TEST キーコード制御レジスタ(TKCCRX)に、"00_H" → "40_H" → "80_H" → "$C0_H$"と 4 回連続ライトすることで、XBS RAM の RAM 診断は強制終了します。RAM 診断の途中であってもその時点で終了となり

ます。その場合の診断結果は保証されません。

Backup RAM の RAM 診断も同様の手順で実施します。

5.2. RAM 初期化

RAM 初期化について説明します。

XBS RAM の RAM 初期化動作の内容は

・all "0"の書込み(デフォルト)
・all "1"の書込み

のいずれか一方のみで、TEST 初期化機能レジスタ(TICRX)の ITYP ビットによって指定されます。

ECC 領域には書込み値に応じた値が書込まれます。
XBS RAM の RAM 初期化の範囲は、TEST 開始アドレスレジスタ(TASARX)と、TEST 終了アドレスレジスタ(TAEARX)で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ(TTCRX)の TRUN, TEST 初期化機能レジスタ(TICRX)の IRUN をリードし"0"であるか確認する

   TTCRX.TRUN または、TICRX.IRUN が"0"でない場合

   ・TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
   ・TICRX.IRUN=0 を待って、TICRX.ICI をクリア

2. TESTキーコード制御レジスタ(TKCCRX)に、"01_H" → "41_H"→ "81_H" → "$C1_H$"と4回連続ライトして診断開始

RAM 初期化が終了したら、TEST 初期化機能レジスタ(TICRX)の IRUN ビットが"0"となり、RAM 初期化は終了します。

また、TEST キーコード制御レジスタ(TKCCRX)に、"00_H" → "40_H" → "80_H" → "$C0_H$"と 4 回連続ライトすることで、RAM 初期化は強制終了します。RAM 初期化の途中であってもその時点での終了となります。その場合の初期化結果は保証されません。

Backup RAM の RAM 初期化も同様の手順で実施します。

5.3. 割込み関連レジスタ

割込み関連レジスタについて説明します。

割込みを発生させるには、用途に応じて割込み発生許可ビット(TEIE, TCIE, ICIE)に"1"を書込み、RAM 診断割込みベクタ, RAM 診断割込みレベルの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
TTCRX:TEI(RAM 診断時エラー割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)
TTCRX:TCI(RAM 診断終了割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)
TICRX:ICI(RAM 初期化完了割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)
TTCRA:TEI (Backup RAM 診断時エラー割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)
TTCRA:TCI (Backup RAM 診断終了割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)
TICRA:ICI (Backup RAM 初期化完了割込み)	#35(000FFF70$_H$)	ICR19(0453$_H$)

割込みレベル, 割込みベクタの詳細については、『割込み制御(割込みコントローラ)』の章を参照してください。
割込み要求フラグ(TEI, TCI, ICI) は自動的にはクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください(TEI, TCI, ICI ビットに"0"を書き込む)。

5.4. RAM 診断擬似エラー発生手順

RAM 診断疑似エラー発生手順について説明します。

本機能は、ソフトデバッグ用として故意に擬似エラーを発生させます。
XBS RAM の RAM 診断擬似エラー発生動作は、

1. TEST 擬似エラー発生制御レジスタ(TFECRX)で、エラータイプの設定をする
   (ア) TFECRX.ETYP[2:0]に擬似エラーを発生させる診断パターンをセット
   (イ) TFECRX.FERR=1 を書き込むことで擬似エラーを発生させる診断パターンを特定する

2. TEST 診断機能レジスタ(TTCRX)で、診断処理開始設定
   (ア) TTCRX.TTYP[2:0]に動作させる診断パターンをセット
   (イ) TEST キーコード制御レジスタ(TKCCRX)に、"02$_H$" → "42$_H$" → "82$_H$" → "C2$_H$"と 4 回連続ライトして診断パターンを動作開始(「5.1. RAM 診断」参照してください。)の手順で設定します。

Backup RAM の擬似エラー発生も同様の手順で実施します。

5.5. 所要サイクル数

所要サイクル数について説明します。

XBS RAM、Backup RAM の各種 RAM 診断および初期化に要するサイクル数の見積もりを以下のとおり示します。

XBS RAM : 48kByte = 12k ワードアドレス(MB91F522, MB91F523)
64kByte = 16k ワードアドレス(MB91F524)
96kByte = 24k ワードアドレス(MB91F525)
128kByte = 32k ワードアドレス(MB91F526)

Backup RAM : 8kByte=2k ワードアドレスとしています。

(1)「RAM 診断(ユニーク)」
1 ワードアドレスあたり,

・ライト(1 サイクル)
・リード 1(1 サイクル)
・リード 2(1 サイクル)

の処理が全ワードアドレス分あり、全サイクル数は以下のとおりとなります。

(	1	+	1	+	1	) ×	12288(12k)	+1	=	36865
(	1	+	1	+	1	) ×	16384(16k)	+1	=	49153
(	1	+	1	+	1	) ×	24576(24k)	+1	=	73729
(	1	+	1	+	1	) ×	32768(32k)	+1	=	98305
	ライト		リード 1		リード 2		ワード			合計

(2)「RAM 診断(チェッカー)」
1 ワードアドレスあたり、

・ライト 1(1 サイクル):W1
・リード 1(1 サイクル):R1

の処理が全ワードアドレス分あり、パーシャルライト機能の診断のために、1 ワードアドレスに対して、ライト 5 回リード 4 回あるので、

・ライト 2(1× 5 サイクル):W2
・リード 2(2× 4 サイクル):R2

これらがあります。さらに、上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりとなります。

((	1	+	1	) ×	12288(12k)	+1	+	5	+	8	) ×	2	=	49180
((	1	+	1	) ×	16384(16k)	+1	+	5	+	8	) ×	2	=	65564
((	1	+	1	) ×	24576(24k)	+1	+	5	+	8	) ×	2	=	98332
((	1	+	1	) ×	32768(32k)	+1	+	5	+	8	) ×	2	=	131100
	W1		R1		ワード			W2		R2		繰返し		合計

(3)「RAM 診断(マーチ)」

1 ワードアドレスあたり、ライトが 3 回、リードが 2 回あるので、

・ライト(1 × 3 サイクル)
・リード(2 × 2 サイクル)

の処理が、全ワードアドレス分あり、さらに上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりとなります。

(	3	+	4	) ×	12288(12k)	×	2	=	172032
(	3	+	4	) ×	16384(16k)	×	2	=	229376
(	3	+	4	) ×	24576(24k)	×	2	=	344064
(	3	+	4	) ×	32768(32k)	×	2	=	458752
	ライト		リード		ワード		繰返し		合計

(4)「RAM 初期化」

1 ワードアドレスあたり、

・ライト(1 サイクル)

の処理が全ワードアドレス分あり、全サイクル数は以下のとおりとなります。

1	×	12288(12k)	=	12288
1	×	16384(16k)	=	16384
1	×	24576(24k)	=	24576
1	×	32768(32k)	=	32768
ライト		ワード		合計

例として、128kByte RAM 診断の 2MHz 動作時と 80MHz 動作時の所要時間を以下に示します。

表 5-1 128kByte RAM 診断および初期化の所要時間

	ユニーク	チェッカー	マーチ	初期化	合計
サイクル数	98305	131100	458752	32768	720925
2[MHz] (=500[ns])	49152.5[µs]	65550[µs]	229376[µs]	16384[µs]	360[ms]
80MHz (=12.5[ns])	1228.8[µs]	1638.6[µs]	5734.4[µs]	409.6[µs]	9.1[ms]

また、レジスタ初期値での診断の所要時間は以下のようになります。

表 5-2 パワーオンリセット解除後の診断(初期設定)の所要時間(128kByte)

	ユニーク	チェッカー	合計
サイクル数	98305	131100	229405
2[MHz] (=500[ns])	49152.5[µs]	65550[µs]	115[ms]

5.6. 注意事項

注意事項について説明します。

RAM 診断，初期化中は RAM へのアクセスは禁止です。
オンチップデバッガ(OCD)によるデバッグ中は RAM 診断/初期化機能は使用できません。
診断，初期化のいずれかの処理が行われている場合，起動設定しても無視されて現在実行中の処理が継続されます。何かを起動する場合は，以下の手順で何も動作していないことを確認の上，起動してください。

1.TTCR:TRUN,TICR,IRUN が共に"0" であることを確認。

2.TKCCR(TKCCRX, TKCCRA) によって，診断・初期化いずれかのキーコード操作を開始

キーコード操作によって，強制終了も可能となっていますので，以下の操作で強制終了してください。

・TKCCR に,"00_H" → "40_H" → "80_H" → "$C0_H$" と 4 連続。

Chapter 51: Timing Protection Unit

Timing Protection Unit について説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FR81S10_TPU-1v1-91520-12-J

1. 概要

Timing Protection Unit の概要について説明します。

Time Protection Unit(TPU)は、OS が Task/ISR の時間監視によるシステムの安全性確保のために使用するタイマです。OS が監視する対象には以下のようなものがあります。

・リソースロックタイム
・グローバルインタラプトロックタイム
・Task/ISR デッドライン
・Task/ISR ランタイム
・インターアライバルタイム(割込みの発生頻度)

TPU に搭載するタイマは OS にて制御するため、制御レジスタは特権モードでのみ操作可能で、制御はすべてプログラマブルになっています。

2. 特長

Timing Protection Unit の特長について説明します。

・システムクロック(HCLK)ベースでのカウント
・最大 8 個のタイマを搭載
・24 ビットのアップカウンタ
・Normal/Overflow の 2 つの動作モード
  ・ Normal Mode : カウント終了値を設定し、その値を超えた場合に割込みを発生
  ・ Overflow Mode : カウンタオーバフローにより割込みを発生
・自動リスタート機能
・グローバルプリスケーラ(1-64)
・タイマごとのプリスケーラ(1,1/2,1/4,1/16)
・カウンタ値の読出し機能
・Start/Stop/Continue のソフト制御
・それぞれのタイマの状態表示(stopped/active)
・Debug モードのサポート
・TPU 制御レジスタアクセス保護機能

3. 構成

Timing Protection Unit の構成について説明します。

構成図はありません。

4. レジスタ

Timing Protection Unit のレジスタについて説明します。

すべてのレジスタは特権モード/デバッグアクセスでのみ書込み可能です。
0x00000900-0x00009ff の領域は TPU レジスタ領域です。下記に表示されない領域はすべて予約領域です。

表 4-1 レジスタマップ

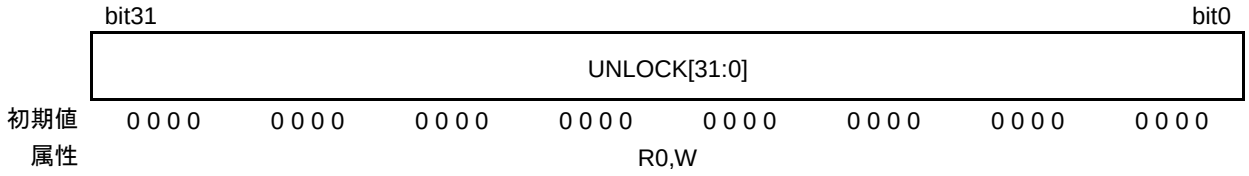
アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0900	TPUUNLOCK				TPU アンロックレジスタ
0x0904	TPULST	予約	TPUVST	予約	TPU ロック状態レジスタ
0x0908	TPUCFG				TPU 制御レジスタ
0x090C	TPUTIR	予約	予約	予約	TPU 割込み状態レジスタ
0x0910	TPUTST	予約	予約	予約	TPU 状態レジスタ
0x0914	TPUTIE	予約	予約	予約	TPU 割込み許可レジスタ
0x0918	TPUTMID				TPU モジュール ID レジスタ
0x0930	TPUTCN00				TPU Timer Control Register0 ch.0
0x0934	TPUTCN01				TPU Timer Control Register0 ch.1
0x0938	TPUTCN02				TPU Timer Control Register0 ch.2
0x093C	TPUTCN03				TPU Timer Control Register0 ch.3
0x0940	TPUTCN04				TPU Timer Control Register0 ch.4
0x0944	TPUTCN05				TPU Timer Control Register0 ch.5
0x0948	TPUTCN06				TPU Timer Control Register0 ch.6
0x094C	TPUTCN07				TPU Timer Control Register0 ch.7
0x0950	TPUTCN10	予約	予約	予約	TPU Timer Control Register1 ch.0
0x0954	TPUTCN11	予約	予約	予約	TPU Timer Control Register1 ch.1
0x0958	TPUTCN12	予約	予約	予約	TPU Timer Control Register1 ch.2
0x095C	TPUTCN13	予約	予約	予約	TPU Timer Control Register1 ch.3
0x0960	TPUTCN14	予約	予約	予約	TPU Timer Control Register1 ch.4
0x0964	TPUTCN15	予約	予約	予約	TPU Timer Control Register1 ch.5
0x0968	TPUTCN16	予約	予約	予約	TPU Timer Control Register1 ch.6
0x096C	TPUTCN17	予約	予約	予約	TPU Timer Control Register1 ch.7
0x0970	TPUTCC0				TPU Timer Current Count Register ch.0
0x0974	TPUTCC1				TPU Timer Current Count Register ch.1
0x0978	TPUTCC2				TPU Timer Current Count Register ch.2
0x097C	TPUTCC3				TPU Timer Current Count Register ch.3
0x0980	TPUTCC4				TPU Timer Current Count Register ch.4

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0984	TPUTCC5				TPU Timer Current Count Register ch.5
0x0988	TPUTCC6				TPU Timer Current Count Register ch.6
0x098C	TPUTCC7				TPU Timer Current Count Register ch.7

4.1. TPU アンロックレジスタ ：TPUUNLOCK (TPU Unlock Register)

TPU アンロックレジスタのビット構成について示します。

■ TPUUNLOCK:アドレス 0900_H (アクセス:ワード)



TPU 制御レジスタ(TPUCFG, TPUTCN1n (n:タイマチャネル番号))へのアクセス禁止/許可の制御を行うレジスタです。
システムの誤動作などで TPU の制御レジスタが書き換えられるのを防ぐための機能です。
このレジスタへは特権モードでのみ書込み可能です。読出し値は常に"0"になります。
Lock/Unlock の判定は 32bit で行いますので必ず 32bit (word)でアクセスしてください。

[bit31～bit0] UNLOCK[31:0] : LOCK/UNLOCK 値
UNLCOK に現在設定されている値を書き込むと TPU 制御レジスタへのアクセスが許可されます。
アクセスを禁止するためには、現在設定されている UNLOCK の値とは別の値を書き込んでください。

4.2. TPU ロック状態レジスタ ：TPULST (TPU Lock Status Register)

TPU ロック状態レジスタのビット構成について示します。

■ TPULST:アドレス 0904_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							LST
初期値	0	0	0	0	0	0	0	0
属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX

TPU のロック状態を示すレジスタです。
このレジスタは読出しのみ可能で、書込みは動作に影響ありません。

[bit7～bit1] (予約) : (予約ビット)
これらのビットは常に"0"を書き込んでください。読出し値は"0"です。

[bit0] LST (Lock Status) : Lock 状態表示
TPU 制御レジスタアクセスがロックされているかどうかを示します。

LST	Lock 状態
0	アクセス許可
1	アクセス禁止

4.3. TPU アクセス違反検出レジスタ ：TPUVST (TPU Access Violation Status Register)

TPU アクセス違反検出レジスタのビット構成について示します。

■ TPUVST:アドレス 0906_H (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約					IULST	ULVST	AVST
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R,W0

TPU レジスタへの不正なアクセスを検出し、その要因を保持します。不正なレジスタアクセスを検出した場合は、検出した違反要因のビットを有効にし、不正命令例外として処理されます。
このレジスタへは特権モードでのみ書込み可能です。

[bit7～bit3] (予約) : (予約ビット)
これらのビットは常に"0"を書き込んでください。読出し値は"0"です。

[bit2] IULST (Illegal Unlock Access Status) : 不正なアンロック動作検出
不正なアンロックアクセスを検出した場合に"1"になります。書込みは"0"のみ有効です。
TPU 制御レジスタアクセス禁止状態(TPULST.LST=1)のときに特権モードで TPUUNLOCK レジスタに UNLOCK に設定されている値以外の値を書き込んだ場合(ワードアクセス以外も含む)に、不正なアンロック動作として検出します。

[bit1] ULVST (Unlock Access Violation Status) : アクセス禁止中の制御レジスタアクセス違反検出
TPU 制御レジスタアクセス禁止中に TPU 制御レジスタ(TPUCFG, TPUTCN1n)への書込みを検出した場合に"1"になります。書込みは"0"のみ有効です。
TPU 制御レジスタ禁止状態(TPULST.LST=1)のときに特権モードで TPUCFG, TPUTCN1n への書込み動作を検出した場合にアクセス違反として検出します。

[bit0] AVST (Access Violation Status) : アクセス違反検出
IULST, ULVST 以外のアクセス違反を検出した場合に"1"になります。書込みは"0"のみ可能です。具体的には命令フェッチによるレジスタアクセスになります。

4.4. TPU 制御レジスタ ：TPUCFG (TPU Configuration Register)

TPU 制御レジスタのビット構成について示します。

■ TPUCFG:アドレス 0908_H (アクセス:バイト，ハーフワード，ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	予約							DBGE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	GLBPSE	予約	GLBPS[5:0]					
初期値	0	0	0	0	0	0	0	0
属性	R/W	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	予約							
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約							INTE
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W

TPU 全体を制御するレジスタです。

[bit31～bit25] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit24] DBGE (Debug Mode Enable) : デバッグモード遷移
デバッグモードへの遷移を制御します。
デバッグモードを許可した場合、すべてのタイマが動作を停止します。デバッグモードから抜けると各タイマは動作を再開します。

DBGE	デバッグモード
0	全タイマ動作許可(通常モード)
1	全タイマ動作抑止(デバッグモード)

[bit23] GLBPSE (Global Prescaler Enable) : **グローバルプリスケーラ動作許可**

グローバルプリスケーラの動作制御します。動作禁止の場合はすべてのタイマがカウント動作しません。

GLBPSE	グローバルプリスケーラ
0	動作禁止
1	動作許可

[bit22] (予約) : (予約ビット)

このビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit21～bit16] GLBPS[5:0] (Global Prescaler Bits) : **グローバルプリスケーラ分周値設定**

すべてのタイマに共通して供給するクロックの分周値を設定します。書換えは必ず TPUCFG.GLBPSE=0(動作禁止)のときに行ってください。

TPU では、システムクロック(HCLK)をグローバルプリスケーラで分周を行いそのクロックを各タイマへ供給します。

GLBPS[5:0]はそのまま分周値を示します。

GLBPS[5:0]	グローバルプリスケーラ出力
000000	HCLK/1
000001	HCLK/2
000010	HCLK/3
…	
111111	HCLK/64

[bit15～bit1] (予約) : (予約ビット)

これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit0] INTE (TPU Interrupt Enable) : TPU **割込み許可**

TPU からの割込み要求を許可します。

INTE	TPU 割込み
0	割込み禁止
1	割込み許可

4.5. TPU タイマ割込み要求レジスタ ：TPUTIR (TPU Timer Interrupt Request Register)

TPU タイマ割込み要求レジスタのビット構成について示します。

■ TPUTIR:アドレス 0090C$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IR[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

TPU 内の各タイマからの割込み要求状況を示します。このレジスタは読出し専用です。
書込みは動作に影響ありません

[bit7～bit0] IR[7:0] (Interrupt Request) : 割込み要求

各チャネルからの割込み要求の有無を示します。これらのビットはタイマ割込み許可レジスタ(TPUTIE)によらず割込み要求要因があることを示し、TPUTIE が有効なチャネルの要求のみ実際の割込み要求として使用します。
bit0-7 がそれぞれチャネル 0-7 に対応します。

IRn	割込み要求
0	ch.n 割込み要求なし
1	ch.n 割込み要求あり

(n=0～7)

4.6. TPU タイマ状態レジスタ ：TPUTST (TPU Timer Status Register)

TPU タイマ状態レジスタのビット構成について示します。

■ TPUTST:アドレス 00910$_H$ (アクセス:バイト，ハーフワード，ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TS[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX

TPU 内の各タイマの動作状態を示します。このレジスタは読出し専用です。動作に影響ありません。

[bit7～bit0] TS[7:0] (Timer Status) : **タイマ動作状態**
各チャネルの動作状態を示します。
bit0-7 がそれぞれチャネル 0-7 に対応します。

TSn	動作状態
0	ch.n 停止中
1	ch.n 動作中

(n=0～7)

4.7. TPU タイマ割込み許可レジスタ ：TPUTIE (TPU Timer Interrupt Register)

TPU タイマ割込み許可レジスタのビット構成について示します。

■ TPUTIE:アドレス 00914_H (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	IE[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPU 内の各タイマの割込みを許可します。

[bit7～bit0] IE[7:0] (Interrupt Enable) : **タイマ割込み許可**
各チャネルのタイマ割込み要求を許可します。
bit0-7 がそれぞれチャネル 0-7 に対応します。

IEn	割込み要求
0	ch.n 割込み要求禁止
1	ch.n 割込み要求許可

(n=0～7)

4.8. TPU モジュール ID レジスタ ：TPUTMID (TPU Module ID Register)

TPU モジュール ID レジスタのビット構成について示します。

■ TPUTMID:アドレス 00918_H (アクセス:バイト，ハーフワード，ワード)

	bit31							bit0
	MID[31:0]							
初期値	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
属性	R,WX							

TPU モジュールの ID を示します。このレジスタは読出し専用です。
書込みは動作に影響ありません。
搭載されている TPU の機能を識別するための ID です。OS では搭載されている TPU を識別するために使用します。

4.9. TPU タイマ制御レジスタ 00-07 : TPUTCN00-07 (TPU Timer Control Register 00-07)

TPU タイマ制御レジスタ 00-07 のビット構成について示します。

■ TPUTCN00～TPUTCN07:アドレス 00930_H～$0094C_H$ (アクセス:バイト，ハーフワード，ワード)

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
	START	STOP	CONT	IES	IEC	IRC	予約	
初期値	0	0	0	0	0	0	0	0
属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	R0,W0

	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	ECPL[23:16]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	ECPL[15:8]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	ECPL[7:0]							
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各タイマごとの制御レジスタです。

[bit31] START (Start) : **タイマ動作開始**

タイマ動作の開始を指示します。このビットに"1"を書き込むことでタイマ動作を開始します。読出し値は常に"0"です。ノーマルモード時にこのビットで動作開始した場合タイマは"0"からカウント開始します。
オーバフローモード時にこのビットで動作開始した場合タイマは"0"もしくは
ECPL[23:0](TPUTCN1n.PL=1) からカウント開始します。
"0"書込みは動作に影響ありません。

[bit30] STOP (Stop) : **タイマ動作停止**

タイマ動作の停止を指示します。このビットに"1"を書き込むことでタイマ動作を停止します。読出し値は常に"0"です。
"0"書込みは動作に影響ありません。

[bit29] CONT (Continue) : **タイマ動作再開**

タイマ動作の再開を指示します。このビットに"1"を書き込むことでタイマ動作を再開します。読出し値は常に"0"です。
このビットで動作再開した場合には停止していたカウント値から動作を再開します。
START, STOP, CONT ビットの同時設定は START > CONT > STOP の順で優先度の判定を行います。
"0"書込みは動作に影響ありません。

[bit28] IES (Interrupt Enable Set) : **割込み許可ビットセット**

タイマ割込み許可ビットのセットを指示します。このビットに"1"を書き込むことで割込み許可ビット(TPUTIE.IE[n])をセットします。読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit27] IEC (Interrupt Enable Clear) : **割込み許可ビットクリア**

タイマ割込み許可ビットのクリアを指示します。このビットに"1"を書き込むことで割込み許可ビット(TPUTIE.IE[n])をクリアします。読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit26] IRC (Interrupt Request Clear) : **割込み要求クリア**

タイマ割込み要求クリアを指示します。このビットに"1"を書き込むことで割込み要求(TPUIR.IR[n])をクリアします。
読出し値は常に"0"です。"0"書込みは動作に影響ありません。

[bit25, bit24] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit23～bit0] ECPL[23:0] (End Count or Pre Load) : カウンタ終了値もしくはプリロード値
カウンタの終了値もしくはプリロード値として使用される値を設定します。
ノーマルモードではカウンタの終了値として ECPL[23:0]を使用します。
オーバフローモードでは ECPL[23:0]はプリロード値として使用します。

4.10. TPU タイマ制御レジスタ 10-17 : TPUTCN10-17 (TPU Timer Control Register 10-17)

TPU タイマ制御レジスタ 10-17 のビット構成について示します。

■ TPUTCN10～TPUTCN17:アドレス 00950～0096C$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約			PL	FRT	TMOD	PS[1:0]	
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W

各タイマごとの制御レジスタです。

[bit7～bit5] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit4] PL (Pre-Load) : プリロード指示
タイマ動作開始時に ECPL[23:0]のプリロードを指示します。このビットはタイマがオーバフローモード時のみ有効です。

PL	プリロード
0	プリロード無効
1	プリロード有効

[bit3] FRT (Free Running Timer) : フリーラン指示
フリーランの指示を行います。この指示はノーマルモード/オーバフローモード共に有効です。
ノーマルモードでこのビットを有効にした場合、カウンタの終了値で割込みを発生した後自動動的に"0"からカウントを再開します。
オーバフローモードでこのビットを有効にした場合、カウンタオーバフローで割込みを発生した後自動的に"0" (TPUTCN1n.PL=0)もしくは ECPL[23:0] (TPUTCN1n.PL=1)からカウントを再開します。

FRT	フリーラン
0	フリーラン無効
1	フリーラン有効

[bit2] TMOD (TPU Mode) : TPU 動作モード

Timer の動作モードを指示します。Time の動作モードには"0"から ECPL[23:0]までアップカウントするノーマルモードと"0" (TPUTCN1n.PL=0)もしくは ECPL[23:0] (TPUTCN1n.PL=1)からカウントを開始しカウンタのオーバフローを検出するオーバフローモードがあります。

TMOD	Timer 動作モード
0	ノーマルモード
1	オーバフローモード

[bit1, bit0] PS[1:0] (Individual Prescaler) : タイマプリスケーラ設定

タイマごとのプリスケーラ値を設定します。各タイマにはグローバルプリスケーラの出力が入力されており、この入力を分周して各タイマの動作周波数とします。

PS[1:0]	プリスケーラ
00	1/1
01	1/2
10	1/4
11	1/16

4.11. TPU カウンタ値レジスタ 0-7 : TPUTCC0-7 (TPU Timer Current Count Register 0-7)

TPU カウンタ値レジスタ 0-7 のビット構成について示します。

■ TPUTCC0～TPUTCCC7:アドレス 00970～0098Cn$_H$ (アクセス:バイト, ハーフワード, ワード)

	bit31							bit24	bit23							bit0
	予約								TCC[23:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R0,W0							R0,W0								
														R,WX		

Timer の現在のカウンタ値を示します。このレジスタは読出し専用です。

[bit31～bit24] (予約) : (予約ビット)
これらのビットは予約ビットです。常に"0"を書き込んでください。読出し値は"0"です。

[bit23～bit0] TCC[23:0] (Timer Current Count) : タイマカウント値
現在のタイマのカウント値を示します。

5. 動作説明

動作について説明します。

5.1. TPU 制御レジスタアクセス保護

5.2. グローバルプリスケーラ

5.3. 割込み制御

5.4. タイマ動作

5.5. フリーラン機能

5.6. 個別プリスケーラ機能

5.7. デバッグサポート機能

5.8. 操作フロー

5.1. TPU 制御レジスタアクセス保護

TPU 制御レジスタアクセス保護について説明します。

TPU レジスタはすべてシステムレジスタのため特権モードでのみアクセス可能です。ユーザモードでアクセスを行うと不正命令例外(データアクセスエラー)が発生します。

システムレジスタとしてのアクセス保護だけでなく、誤動作による TPU 制御レジスタの書き換えを防ぐために TPU では Lock コードのよるレジスタアクセス保護する機能を持ちます。

アクセス保護の対象となるレジスタは以下の 2 つです。

・TPU 制御レジスタ (TPUCFG)
・TPU タイマ制御レジスタ 10-17 (TPUTCN10-17)

TPU 制御レジスタアクセス保護機能を有効にするには TPU アンロックレジスタ(TPUUNLOCK)に現在の UNLOCK[31:0]とは異なる値を書き込みます。アクセス保護機能が有効になると TPU ロック状態レジスタの LST ビットをセットしロック状態であることを示します。

保護対象の制御レジスタへの書込みを行う場合には前回設定した値を UNLOCK[31:0]に書き込みます。ロック状態が解除されると TPULST.LST=0 となりアンロック状態となります。

リセット発生後はレジスタアクセス保護機能は無効状態(TPULST.LST=0)です。

TPU 制御レジスタアクセス保護機能が有効な場合(TPULST.LST=1)に TPU アンロックレジスタ(TPUUNLOCK)に UNLOCK[31:0]以外の値が書き込まれた場合は不正なアクセスとして AHB にエラー応答を返し CPU にデータアクセスエラーを発生させます。このとき TPU アクセス違反検出レジスタに該当要因をセット(TPUVST.IULST=1)します。

TPU 制御レジスタアクセス保護機能が有効な場合(TPULST.LST=1)に TPU 制御レジスタ(TPUCFG), TPU タイマ制御レジスタ(TPUTCFG1n)へ書込み要求があった場合は不正なアクセスとして CPU でデータアクセスエラーを発生させます。

このとき TPU アクセス違反検出レジスタに該当要因をセット(TPUVST.ULVST=1)します。

また、命令フェッチによるアクセスも誤動作と判定し不正命令例外を発生します。このとき TPUVST.AVST=1 とします。

5.2. グローバルプリスケーラ

グローバルプリスケーラについて説明します。

グローバルプリスケーラ機能は TPU で使用するすべてのタイマに共通で使用するプリスケーラです。グローバルプリスケーラでは TPU の入力クロックである hclk を TPUCFG.GLBPS[5:0]の設定値にしたがって分周を行います。分周値は 1 - 64 で設定できます。

グローバルプリスケーラ機能は TPUCFG.GLBPSE ビットで動作を制御します。TPUCFG.GLBPSE に"1"をセットした場合、グローバルプリスケーラ機能が有効になり、"0"を書き込むとグローバルプリスケーラ機能が無効になります。

TPUCFG.GLBPSE=0 のときにプリスケーラ機能は無効となりすべてのタイマのクロックが有効となりません。

TPUCFG.GLBPS[5:0]の書換えは必ずグローバルプリスケーラ機能を禁止(TPUCFG.GLBPSE=0)してください。

5.3. 割込み制御

割込み制御について説明します。

TPU からの割込み要求を制御するビット(TPUCFG.INTE)と各タイマの割込みを制御する TPUTIE.IE[n]で割込み要求の発生を制御します。TPU は TPUCFG.INTE=1 で各タイマからの有効な割込み要求が存在((TPUTIE.IE[n]=1) &(TPUTIR.IR[n]=1))する場合に NMI が発生します。

各チャネルごとの割込み要因は TPUTIR.IR[n]で確認できます。

各チャネルごとの割込み許可/禁止の制御は TPUTCN0n.IES/TPUTCN0n.IEC で行います。TPUTCN0n.IES に"1"を書き込むと割込みが許可され TPUTIE.IE[n]=1 となります。TPUTCN0n.IEC に"1"を書き込むと割込みが禁止され TPUTIE.IE[n]=0 なります。TPUTCN0n.IES, TPUTCN0n.IEC 同時に"1"書込みを行った場合はクリアを優先します。

各チャネルの割込み要求をクリアする場合は TPUTCN0n.IRC に"1"を書き込んでください。

5.4. タイマ動作

タイマ動作について説明します。

各タイマは 24 ビットのアップカウンタで構成されます。

タイマはノーマルモード/オーバフローモードの 2 つの動作モードを持ちます。動作モードの制御は TPUTCN1n.TMOD ビットで行います。TPUTCN1n.TMOD=0 のときノーマルモードで TPUTCN1n.TMOD=1 のときオーバフローモードとなります。

- **ノーマルモード**

  ノーマルモードではタイマはアップカウンタとして動作し、TPUTCN0n.ECPL[23:0]で示される値と比較しカウンタ値が TPUTCN0n.ECPL[23:0]と等しいか大きい場合に割込みフラグ(TPUTIR.IR[n] (n:タイマチャネル))をセットします。実際の割込み要求は TPUTIE.IE[n]=1 のときに割込み要求を行います。

  タイマは TPUTCN0n.START ビットに"1"を書き込むことで"0"からカウント開始します。

  タイマカウント中は TPUTST.TS[n]=1 で動作中を示し、割込みフラグをセット(TPUTIR.IR[n]=1)した場合、カウントを停止し TPUTST.TS[n]=0 となります。

  TPUTCN0n.STOP ビットに"1"を書き込むとカウンタは動作を停止し、TPUTST.TS[n]=0 となります。このとき停止したときのカウンタ値は保持され"0"にはなりません。

  TPUTCN0n.CONT ビットに"1"を書き込むとカウンタ動作を再開し、TPUTST.TS[n]=1 となります。

- **オーバフローモード**

  オーバフローモードではタイマのオーバフローを検出した場合、割込み要求フラグ(TPUTIR.IR[n])をセットします。実際の割込み要求は TPUTIE.IE[n]=1 のときに割込み要求を行います。

  オーバフローモードではカウンタへのプリロードが可能です。TPUTCN1n.PL=1 に設定して動作を開始した場合、TPUTCN0n.ECPL[23:0]の値をプリロードしてカウントを開始します。TPUTCN1n.PL=0 の場合は"0"からカウント開始します。

5.5. フリーラン機能

フリーラン機能について説明します。

各タイマはフリーラン動作が可能です。フリーラン動作とはタイマが割込み発生要因までカウントした後自動的にカウントを再スタートする機能です。この場合はカウンタ動作は停止しませんので、TPUTST.TS[n]=1 のまま動作を続けます。

TPUTCN1n.FRT=1 に設定した場合、フリーラン機能が有効になります。フリーラン機能は、ノーマルモード/オーバフローモード共に利用可能です。

ノーマルモード時は"0"からカウントを再開し、オーバフローモードでは TPUTCN1n.PL=0 の場合は"0"から TPUTCN1n.PL=1 の場合は TPUTCN0n.ECPL[23:0]の値をロードしてからカウントを再開します。

5.6. 個別プリスケーラ機能

個別プリスケーラ機能について説明します。

各タイマごとにプリスケーラを持ちグローバルプリスケーラ出力を 1, 2, 4, 16 分周できます。個別プリスケーラの設定は TPUTCN1n.PS[1:0]で行います。

5.7. デバッグサポート機能

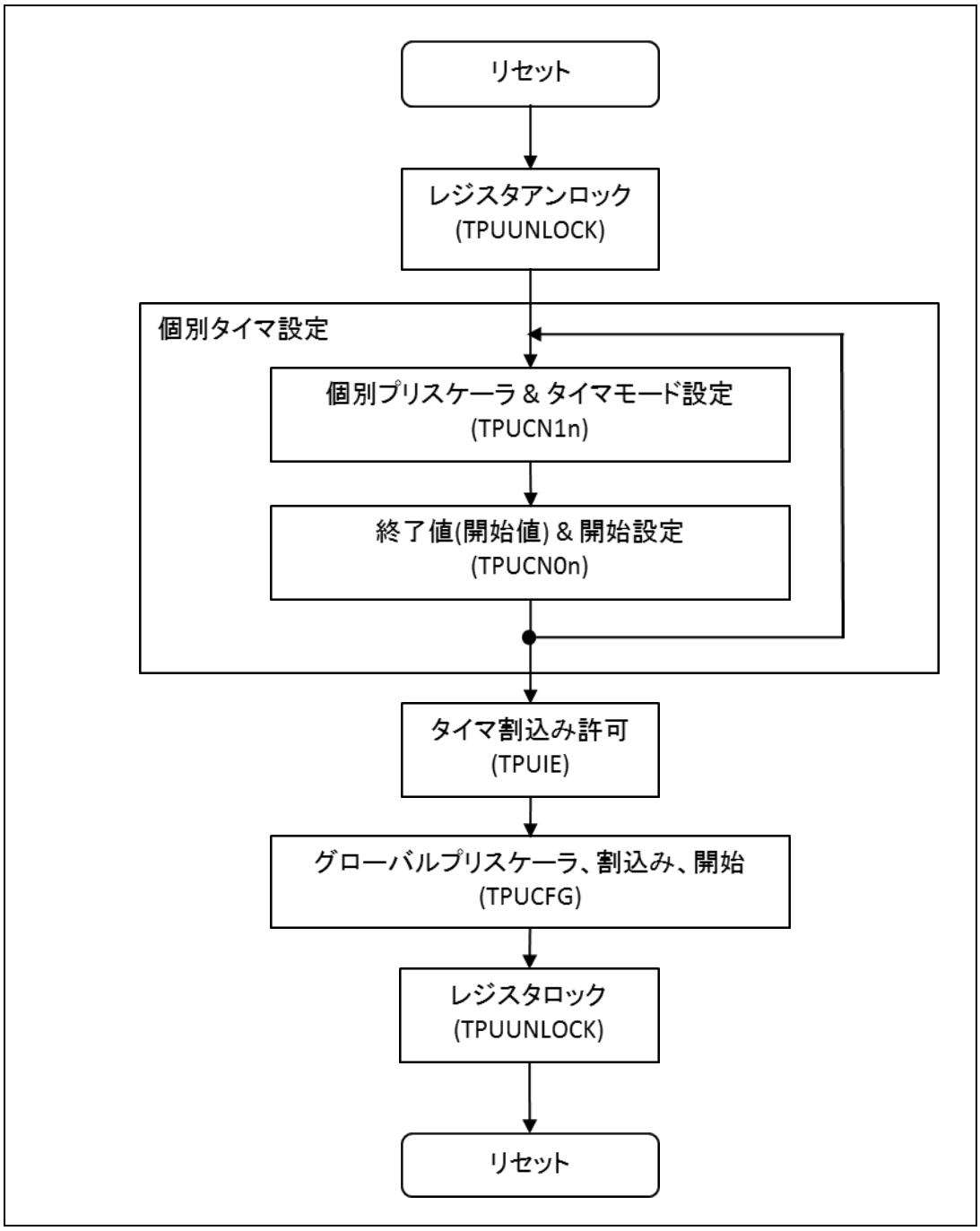
デバッグサポート機能について説明します。

ソフトウェアで TPU 制御レジスタのデバッグモード制御ビットに"1"を書き込む (TPUCFG.DBGE=1)ことで TPU を停止させることができます。TPUCFG.DBGE に"0"を書き込むと TPU のデバッグモードが解除され動作を再開します。

5.8. 操作フロー

操作フローについて示します

■ 初期設定フロー



Chapter 52: クロックモニタ

クロックモニタについて説明します。

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 設定
7. Q&A
8. 注意事項

管理コード : FJ43-1v0-91520-10-J

1. 概要

クロックモニタの概要について説明します。

クロックモニタは、内部のクロック信号を外部の端子に出力して監視するマクロです。クロックモニタには端子に出力する前にクロック信号を分周する機能があり、外部回路が MCU 機能と同期する際にクロック信号を使用できます。

2. 特長

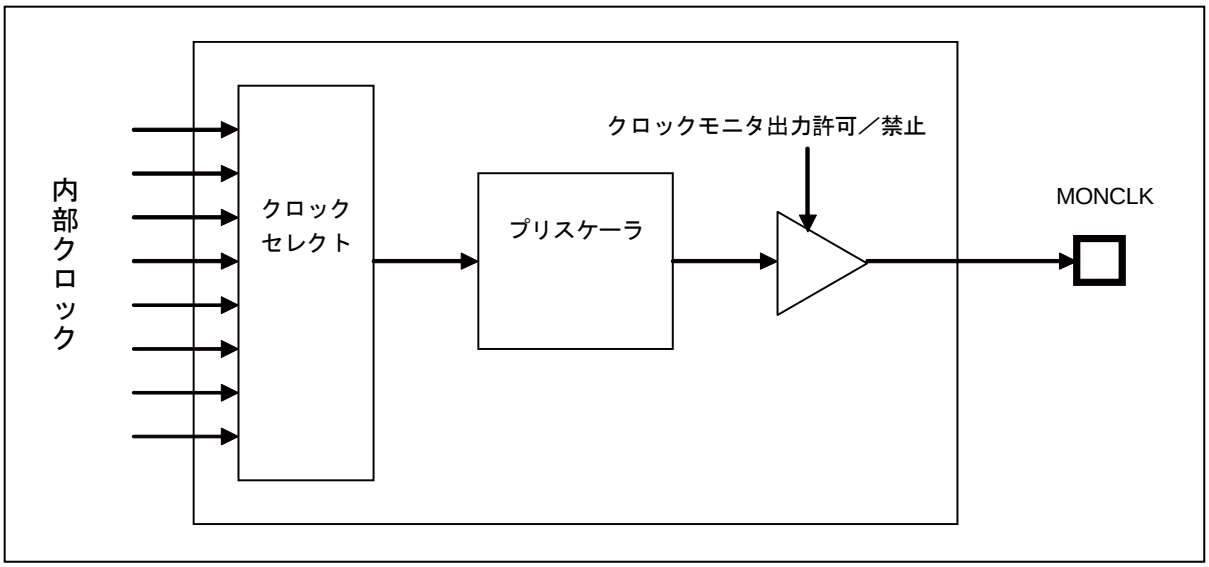
クロックモニタの特長について説明します。

・フォーマット: 内部クロック信号を分周して端子に出力 (MONCLK)
・チャネル: 1
・分周比: CLK/1, CLK/2, CLK/3～CLK/16
・グリッチのない出力を可能とする
・プログラム可能なマークレベル (クロック出力を許可する前に"L"または"H"を出力)
・割込み: なし
・ストップモード時はクロック出力を停止し、ハイインピーダンス状態になる

3. 構成

クロックモニタの構成について説明します。

図 3-1 クロックモニタ構成図



型格 (pin 数)	MONCLK 端子のピン番号
MB91F52xB (64pin)	26
MB91F52xD (80pin)	33
MB91F52xF (100pin)	41
MB91F52xJ (120pin)	47
MB91F52xK (144pin)	55
MB91F52xL (176pin)	69

4. レジスタ

クロックモニタのレジスタについて説明します。

表 4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04A8	予約	予約	CSCFG	CMCFG	クロックモニタ制御レジスタ

4.1. クロックモニタ構成レジスタ: CMCFG

クロックモニタ構成レジスタのビット構成について示します。

■ CMCFG: アドレス 04AB$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMPRE3	CMPRE2	CMPRE1	CMPRE0	CMSEL3	CMSEL2	CMSEL1	CMSEL0
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7～bit4] CMPRE3～CMPRE0 : 出力周波数プリスケーラビット

CMSEL で選択したソースクロックの分周比を設定します。

CMPRE3	CMPRE2	CMPRE1	CMPRE0	MONCLK 端子へのクロック周波数出力
0	0	0	0	ソースクロックの 1 分周 (初期値)
0	0	0	1	ソースクロックの 2 分周
0	0	1	0	ソースクロックの 3 分周
0	0	1	1	ソースクロックの 4 分周
0	1	0	0	ソースクロックの 5 分周
0	1	0	1	ソースクロックの 6 分周
0	1	1	0	ソースクロックの 7 分周
0	1	1	1	ソースクロックの 8 分周
1	0	0	0	ソースクロックの 9 分周
1	0	0	1	ソースクロックの 10 分周
1	0	1	0	ソースクロックの 11 分周
1	0	1	1	ソースクロックの 12 分周
1	1	0	0	ソースクロックの 13 分周
1	1	0	1	ソースクロックの 14 分周
1	1	1	0	ソースクロックの 15 分周
1	1	1	1	ソースクロックの 16 分周

[bit3～bit0] CMSEL3～CMSEL0 : 出力ソースクロック選択ビット

MONCLK 端子への出力信号のソースクロックを選択します。

CMSEL3	CMSEL2	CMSEL1	CMSEL0	MONCLK 端子へのソースクロック出力
0	0	0	0	MONCLK 出力禁止 (ハイインピーダンス) (初期値)
0	0	0	1	CSV 入力前のメイン発振
0	0	1	0	CR 発振
0	0	1	1	CSV から出力されるメイン発振
0	1	0	0	予約 (設定禁止)
0	1	0	1	予約 (設定禁止)
0	1	1	0	予約 (設定禁止)
0	1	1	1	予約 (設定禁止)
1	0	0	0	PLL 出力
1	0	0	1	SSCG 出力
1	0	1	0	CAN プリスケーラ後の PLL 出力 (CAN システムクロック)
1	0	1	1	CCLK
1	1	0	0	HCLK
1	1	0	1	PCLK1 (拡散した周辺クロック)
1	1	1	0	PCLK2 (拡散/非拡散選択後の周辺クロック)
1	1	1	1	TCLK

■ CSCFG: アドレス 04AA$_H$ (アクセス: バイト,ハーフワード,ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	予約	予約	MONCKI	予約			
初期値	0	0	0	0	0	0	0	0
属性	R/W0	R,WX	R,WX	R/W	R/W0	R/W0	R/W0	R/W0

[bit7] 予約

予約ビットです。書込み時は常に"0"にしてください。

[bit6,bit5] 予約

予約ビットです。書込みは動作に影響しません。

[bit4] MONCKI : クロックモニタ MONCLK インバータ

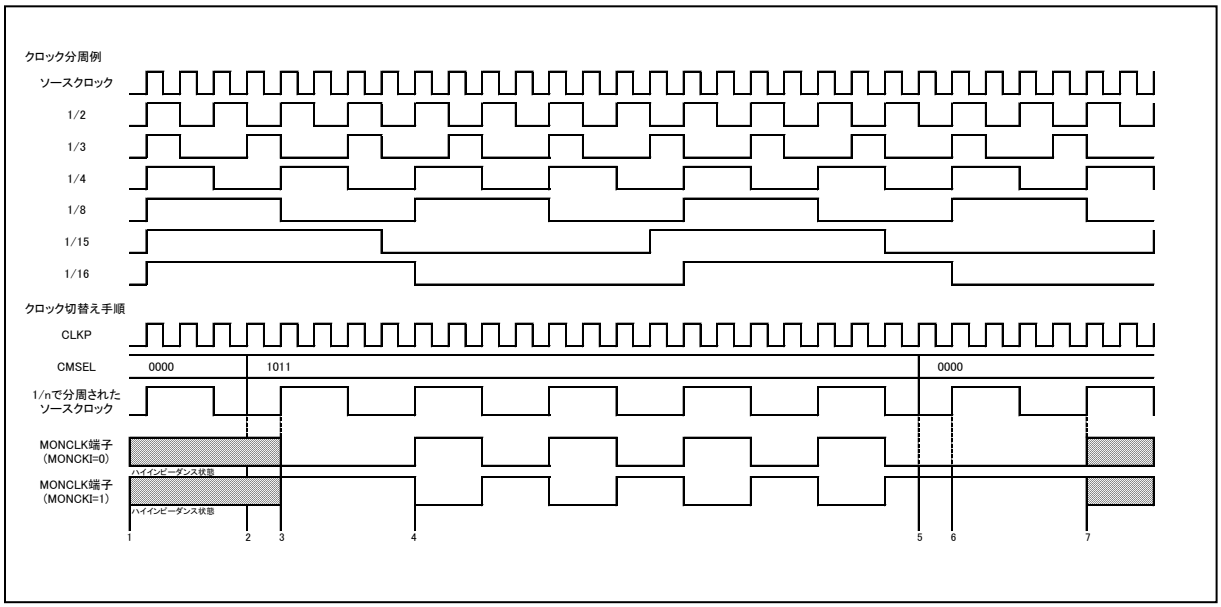
MONCKI	機能
0	MONCLK マーク レベルが低レベル (初期値)
1	MONCLK マーク レベルが高レベル

[bit3～bit0] 予約

予約ビットです。書込み時は常に"0"にしてください。

5. 動作説明

クロックモニタの動作について説明します。



1. MONCLK 端子がハイインピーダンス状態です。
2. CMSEL が 0000_B (選択クロックなし) から選択クロック (プリスケーラ) に設定されます。
3. MONCLK 端子は、内部 (プリスケールされた) クロックの 1 周期の間、出力"L"状態 (MONCKI が"1" に設定されている場合は出力"H") に変わります。
4. 選択 (プリスケーラ) 内部クロックの 1 周期後、MONCLK はその選択 (プリスケーラ) 内部クロックを出力します。
5. CMSEL が選択クロックから 0000_B (選択クロックなし) に設定されます。
6. MONCLK 端子は、内部 (プリスケールされた) クロックの 1 周期の間、出力"L"状態 (MONCKI が"1" に設定されている場合は出力"H") に変わります。
7. MONCLK 端子がハイインピーダンス状態に切り換わります。

6. 設定

クロックモニタの設定について説明します。

設定	設定レジスタ	設定手順
プリスケーラ値を設定	出力周波数プリスケーラ (CMCFG.CMPRE3～CMPRE0)	7.2 項
ソースクロックの設定	出力ソースクロック選択 (CMCFG.CMSEL3～CMSEL0)	7.1 項
マークレベルの設定	クロックモニタインバータ (CSCFG.MONCKI)	7.4 項
クロックモニタ出力の許可	出力ソースクロック選択 (CMCFG.CMSEL3～CMSEL0)	7.3 項

7. Q&A

クロックモニタの Q&A について示します。

7.1. 出力端子 (MONCLK) を設定するには？

7.2. 出力周波数を選択するには？

7.3. クロックモニタ出力を許可または禁止するには？

7.4. クロック出力のマークレベルを設定するには？

7.1. 出力端子 (MONCLK) を設定するには？

出力端子 (MONCLK) の設定について示します。

出力ソースクロック選択ビットを使用します (CMCFG.CMSEL3～CMSEL0) 。

7.2. 出力周波数を選択するには？

出力周波数の選択について示します。

出力周波数プリスケーラビットを使用します (CMCFG.CMPRE3～CMPRE0) 。

クロック分周比	出力周波数 (例) HCLK 選択時		出力周波数プリスケーラ (CMCFG.CMPRE3～CMPRE0)
	HCLK=32MHz	HCLK=40MHz	
1/2	16MHz	20MHz	0001_B に設定
1/3	10.7MHz	13.3MHz	0010_B に設定
1/4	8MHz	10MHz	0011_B に設定
1/8	4MHz	5MHz	0111_B に設定
1/15	2.1MHz	2.7MHz	1110_B に設定
1/16	2MHz	2.5MHz	1111_B に設定

7.3. クロックモニタ出力を許可または禁止するには？

クロックモニタ出力の許可/禁止について示します。

出力ソースクロック選択ビットを使用します (CMCFG.CMSEL3～CMSEL0) 。

動作説明	出力ソースクロック選択ビット (CMCFG.CMSEL3～CMSEL0)
クロックモニタ出力の禁止 (端子をハイインピーダンス状態に設定)	0000_B に設定
クロックモニタ出力の許可	0001_B～1111_B に設定 (ただし、0100_B～0111_B は設定禁止です)

7.4. クロック出力のマークレベルを設定するには？

クロック出力のマークレベルの設定について示します。

クロックモニタ MONCLK インバータビットを使用します (CSCFG.MONCKI) 。

8. 注意事項

クロックモニタの注意事項について説明します。

グリッチフリースイッチングのために、ソースクロック (CMSEL3～CMSEL0) またはプリスケーラ比 (CMPRE3～CMPRE0) を変えるときは、以下の手順にしたがって操作してください。

- CMPRE3～CMPRE0 レジスタは、CMSEL3～CMSEL0 レジスタが"0_H"のときのみ書込み可能です。
- CMPRE3～CMPRE0 レジスタは、同じライトアクセス時に CMSEL3～CMSEL0 レジスタに"0_H"が書き込まれたときのみ書込み可能です。
- CMPRE と CMCFG への 2 回のライトアクセス中に、少なくともモニタクロック分周の 2 サイクル分が必要です。
- クロックソースとして何か選択されている状態 (CMSEL が"0_H"以外) から、別の有効なクロックを選択する場合は、一度 CMSEL を"0_H"に書き換え、CMSEL を読み出して"0_H"になっていることを確認してから、CMSEL に目的のクロックの設定値を書き込んでください。
- モニタクロックとして選択したクロックがモニタ中に停止した場合は、再度その選択したクロックが動き始めるか、もしくはリセットされるまで、どのレジスタを書き換えても反映されません。

(アクセス例)

1. アクセス
   CNCFG.CMSEL=0
   CMCFG.CMPRE=プリスケーラ
2. アクセス
   CMCFG.CMSEL=クロック

CSCFG.MONCKI フラグも上記と同様に、CMSEL3～CMSEL0 が"0_H"のときのみ書込み可能です。

付録

付録について説明します。

A. I/O マップ

B. 割込みベクタテーブル

C. CPU 状態における端子状態

D 変更内容

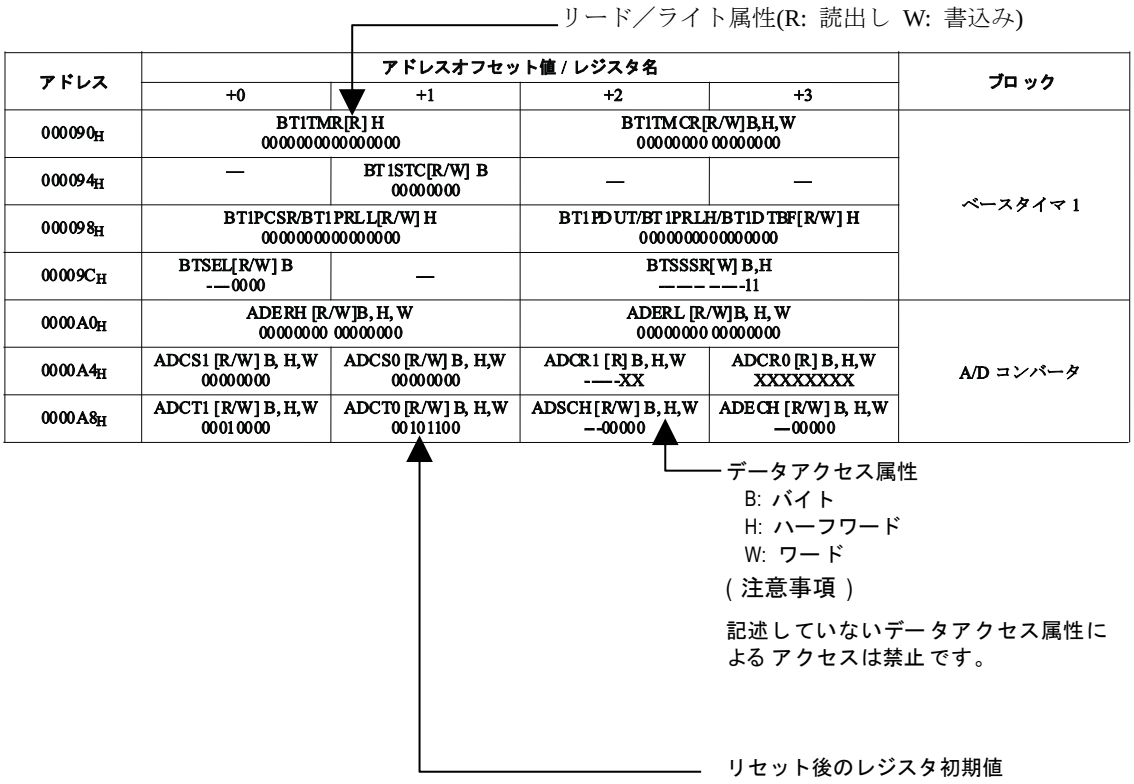
管理コード : APDX-1v0-91520-20-J

A. I/O マップ

I/O マップについて示します。

メモリ空間と周辺機能の各レジスタの対応を示します。

図 A-1 I/O マップの見方



リセット後のレジスタ初期値の表記の意味を以下に示します。

- "1": 初期値"1"
- "0": 初期値"0"
- "X": 初期値不定
- "-" : 予約ビット/未定義ビット
- "*" : 設定により初期値が"0"または"1"に変化

＜注意事項＞

記載のないアドレスへのアクセスは禁止です。

表 A-1 I/O マップ

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000000_H	PDR00 [R/W] B,H,W XXXXXXXX	PDR01 [R/W] B,H,W XXXXXXXX	PDR02 [R/W] B,H,W XXXXXXXX	PDR03 [R/W] B,H,W XXXXXXXX	Port Data Register
000004_H	PDR04 [R/W] B,H,W XXXXXXXX	PDR05 [R/W] B,H,W XXXXXXXX	PDR06 [R/W] B,H,W XXXXXXXX	PDR07 [R/W] B,H,W XXXXXXXX	
000008_H	PDR08 [R/W] B,H,W XXXXXXXX	PDR09 [R/W] B,H,W XXXXXXXX	PDR10 [R/W] B,H,W XXXXXXXX	PDR11 [R/W] B,H,W XXXXXXXX	
$00000C_H$	PDR12 [R/W] B,H,W XXXXXXXX	PDR13 [R/W] B,H,W -XXXXXXX	PDR14 [R/W] B,H,W ---XXX--	PDR15 [R/W] B,H,W --XXXXXX	
000010_H	—	—	—	—	
000014_H	—	—	—	—	
000018_H	PDR16 [R/W] B,H,W XXXXXXXX	PDR17 [R/W] B,H,W XXXXXXXX	PDR18 [R/W] B,H,W XXXXXXXX	PDR19 [R/W] B,H,W XXXXXXXX	
$00001C_H$ ～ 000034_H	—	—	—	—	予約
000038_H	WDTECR0 [R/W] B,H,W ---00000	—	—	—	Watchdog Timer 【S】
$00003C_H$	WDTCR0 [R/W] B,H,W -0--0000	WDTCPR0 [W] B,H,W 00000000	WDTCR1 [R] B,H,W ----0110	WDTCPR1 [W] B,H,W 00000000	
000040_H	—	—	—	—	予約
000044_H	DICR [R/W] B -------0	—	—	—	Delayed Interrupt
000048_H ～ $00005C_H$	—	—	—	—	予約
000060_H	TMRLRA0 [R/W] H XXXXXXXX XXXXXXXX		TMR0 [R] H XXXXXXXX XXXXXXXX		Reload Timer 0
000064_H	TMRLRB0 [R/W] H XXXXXXXX XXXXXXXX		TMCSR0 [R/W] B,H,W 00000000 0-000000		
000068_H	TMRLRA7 [R/W] H XXXXXXXX XXXXXXXX		TMR7 [R] H XXXXXXXX XXXXXXXX		Reload Timer 7
$00006C_H$	TMRLRB7 [R/W] H XXXXXXXX XXXXXXXX		TMCSR7 [R/W] B,H,W 00000000 0-000000		
000070_H	—	FRS8 [R/W] B,H,W --00--00 --00--00 --00--00			フリーランタイマ選択レジスタ 8

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000074_H	—	FRS9 [R/W] B,H,W --00--00 --00--00 --00--00			フリーランタイマ選択レジスタ 9
000078_H	—	—	—	OCLS67 [R/W] B,H,W ----0000	OCU67 出力レベル制御レジスタ
$00007C_H$	—	—	—	OCLS89 [R/W] B,H,W ----0000	OCU89 出力レベル制御レジスタ
000080_H	BTOTMR [R] H 00000000 00000000		BTOTMCR [R/W] H -000--00 -000-000		Base Timer 0
000084_H	BTOTMCR2 [R/W] B -------0	BTOSTC [R/W] B -0-0-0-0	—	—	
000088_H	BTOPCSR/BTOPRLL [R/W] H XXXXXXXX XXXXXXXX		BTOPDUT/BTOPRLH/BTODTBF [R/W] H 00000000 00000000		
$00008C_H$	—	—	—	—	予約
000090_H	BT1TMR [R] H 00000000 00000000		BT1TMCR [R/W] H -000--00 -000-000		Base Timer 1
000094_H	BT1TMCR2 [R/W] B -------0	BT1STC [R/W] B -0-0-0-0	—	—	
000098_H	BT1PCSR/BT1PRLL [R/W] H XXXXXXXX XXXXXXXX		BT1PDUT/BT1PRLH/BT1DTBF [R/W] H 00000000 00000000		
$00009C_H$	BTSEL01 [R/W] B ----0000	—	BTSSSR [W] B,H -------- ------11		Base Timer 0,1
$0000A0_H$ ～ $0000FC_H$	—	—	—	—	予約
000100_H	TMRLRA1 [R/W] H XXXXXXXX XXXXXXXX		TMR1 [R] H XXXXXXXX XXXXXXXX		Reload Timer 1
000104_H	TMRLRB1 [R/W] H XXXXXXXX XXXXXXXX		TMCSR1 [R/W] B, H,W 00000000 0-000000		
000108_H	TMRLRA2 [R/W] H XXXXXXXX XXXXXXXX		TMR2 [R] H XXXXXXXX XXXXXXXX		Reload Timer 2
$00010C_H$	TMRLRB2 [R/W] H XXXXXXXX XXXXXXXX		TMCSR2 [R/W] B,H,W 00000000 0-000000		
000110_H	TMRLRA3 [R/W] H XXXXXXXX XXXXXXXX		TMR3 [R] H XXXXXXXX XXXXXXXX		Reload Timer 3
000114_H	TMRLRB3 [R/W] H XXXXXXXX XXXXXXXX		TMCSR3 [R/W] B,H,W 00000000 0-000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000118_H	MSCY4 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 4,5 周期測定データレジスタ 45
$00011C_H$	MSCY5 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000120_H	OCCP6 [R/W] W 00000000 00000000 00000000 00000000				Output Compare 6,7 32 bit OCU
000124_H	OCCP7 [R/W] W 00000000 00000000 00000000 00000000				
000128_H	—	—	OCSH67 [R/W] B,H,W ---0--00	OCSL67 [R/W] B,H,W 0000--00	
$00012C_H$	OCCP8 [R/W] W 00000000 00000000 00000000 00000000				Output Compare 8,9 32 bit OCU
000130_H	OCCP9 [R/W] W 00000000 00000000 00000000 00000000				
000134_H	—	—	OCSH89 [R/W] B,H,W ---0--00	OCSL89 [R/W] B,H,W 0000--00	
000138_H ～ $0001B4_H$	—	—	—	—	予約
$0001B8_H$	EPFR64 [R/W] B,H,W -----00-	EPFR65 [R/W] B,H,W 0000-000	EPFR66 [R/W] B,H,W --000000	EPFR67 [R/W] B,H,W ----0000	拡張機能ポートレジスタ
$0001BC_H$	EPFR68 [R/W] B,H,W ----0000	EPFR69 [R/W] B,H,W ----0000	EPFR70 [R/W] B,H,W ---00000	EPFR71 [R/W] B,H,W -0-0-0-0	
$0001C0_H$	EPFR72 [R/W] B,H,W 000000-0	EPFR73 [R/W] B,H,W 00000000	EPFR74 [R/W] B,H,W 00000000	EPFR75 [R/W] B,H,W 00000000	
$0001C4_H$	EPFR76 [R/W] B,H,W 00000000	EPFR77 [R/W] B,H,W --000000	EPFR78 [R/W] B,H,W ------00	EPFR79 [R/W] B,H,W 00000000	
$0001C8_H$	EPFR80 [R/W] B,H,W ---00000	EPFR81 [R/W] B,H,W 00000000	EPFR82 [R/W] B,H,W 00000000	EPFR83 [R/W] B,H,W -0000000	
$0001CC_H$	EPFR84 [R/W] B,H,W 00000000	EPFR85 [R/W] B,H,W --000000	EPFR86 [R/W] B,H,W ---00000	EPFR87 [R/W] B,H,W ------00	
$0001D0_H$	EPFR88 [R/W] B,H,W -------0	—	—	—	
$0001D4_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0001D8_H$	TMRLRA4 [R/W] H XXXXXXXX XXXXXXXX		TMR4 [R] H XXXXXXXX XXXXXXXX		Reload Timer 4
$0001DC_H$	TMRLRB4 [R/W] H XXXXXXXX XXXXXXXX		TMCSR4 [R/W] B, H, W 00000000 0-000000		
$0001E0_H$ ～ $0001EC_H$	—	—	—	—	予約
$0001F0_H$	TMRLRA5 [R/W] H XXXXXXXX XXXXXXXX		TMR5 [R] H XXXXXXXX XXXXXXXX		Reload Timer 5
$0001F4_H$	TMRLRB5 [R/W] H XXXXXXXX XXXXXXXX		TMCSR5 [R/W] B, H, W 00000000 0-000000		
$0001F8_H$	TMRLRA6 [R/W] H XXXXXXXX XXXXXXXX		TMR6 [R] H XXXXXXXX XXXXXXXX		Reload Timer 6
$0001FC_H$	TMRLRB6 [R/W] H XXXXXXXX XXXXXXXX		TMCSR6 [R/W] B, H, W 00000000 0-000000		
000200_H ～ 000238_H	—	—	—	—	予約
$00023C_H$	DACR0 [R/W] B, H, W -------0	DADR0 [R/W] B, H, W XXXXXXXX	DACR1 [R/W] B, H, W -------0	DADR1 [R/W] B, H, W XXXXXXXX	DA Converter
000240_H	CPCLR3 [R/W] W 11111111 11111111 11111111 11111111				Free-run Timer 3 32bit FRT
000244_H	TCDT3 [R/W] W 00000000 00000000 00000000 00000000				
000248_H	TCCSH3 [R/W] B, H, W 0-----00	TCCSL3 [R/W] B, H, W -1-00000	—	—	
$00024C_H$	CPCLR4 [R/W] W 11111111 11111111 11111111 11111111				Free-run Timer 4 32bit FRT
000250_H	TCDT4 [R/W] W 00000000 00000000 00000000 00000000				
000254_H	TCCSH4 [R/W] B, H, W 0-----00	TCCSL4 [R/W] B, H, W -1-00000	—	—	
000258_H ～ $0002C0_H$	—	—	—	—	予約
$0002C4_H$ ～ $0002FC_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000300_H ～ $00030C_H$	—	—	—	—	予約
000310_H	—	—	MPUCR [R/W] H 000000-0 ----0100		MPU 【S】 (Only CPU core can access this area)
000314_H	—	—	—	—	
000318_H	—				
$00031C_H$	—	—	—		
000320_H	DPVAR [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000324_H	—	—	DPVSR [R/W] H -------- 00000--0		
000328_H	DEAR [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$00032C_H$	—	—	DESR [R/W] H -------- 00000--0		
000330_H	PABR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000334_H	—	—	PACR0 [R/W] H 000000-0 00000--0		
000338_H	PABR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00033C_H$	—	—	PACR1 [R/W] H 000000-0 00000--0		
000340_H	PABR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000344_H	—	—	PACR2 [R/W] H 000000-0 00000--0		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000348_H	PABR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				MPU 【S】 (Only CPU core can access this area)
$00034C_H$	—	—	PACR3 [R/W] H 000000-0 00000--0		
000350_H	PABR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000354_H	—	—	PACR4 [R/W] H 000000-0 00000--0		
000358_H	PABR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00035C_H$	—	—	PACR5 [R/W] H 000000-0 00000--0		
000360_H	PABR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000364_H	—	—	PACR6 [R/W] H 000000-0 00000--0		
000368_H	PABR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
$00036C_H$	—	—	PACR7 [R/W] H 000000-0 00000--0		
000370_H ～ $0003AC_H$	—				予約 【S】
$0003B0_H$ ～ $0003FC_H$	—	—	—	—	予約 【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000400_H	ICSEL0 [R/W] B,H,W -----000	ICSEL1 [R/W] B,H,W -----000	ICSEL2 [R/W] B,H,W -------0	ICSEL3 [R/W] B,H,W -------0	DMA request generation and clear
000404_H	—	ICSEL5 [R/W] B,H,W -----000	ICSEL6 [R/W] B,H,W ----0000	ICSEL7 [R/W] B,H,W ----0000	
000408_H	ICSEL8 [R/W] B,H,W ------00	ICSEL9 [R/W] B,H,W ------00	ICSEL10 [R/W] B,H,W ------00	ICSEL11 [R/W] B,H,W -----000	
$00040C_H$	—	ICSEL13 [R/W] B,H,W ------00	ICSEL14 [R/W] B,H,W ------00	ICSEL15 [R/W] B,H,W ------00	
000410_H	ICSEL16 [R/W] B,H,W ----0000	ICSEL17 [R/W] B,H,W ------00	ICSEL18 [R/W] B,H,W ---00000	ICSEL19 [R/W] B,H,W -----000	
000414_H	ICSEL20 [R/W] B,H,W -----000	ICSEL21 [R/W] B,H,W ------00	ICSEL22 [R/W] B,H,W ------00	ICSEL23 [R/W] B,H,W ------00	
000418_H	IRPR0H [R] B,H,W 00------	IRPR0L [R] B,H,W 00------	IRPR1H [R] B,H,W 00------	IRPR1L [R] B,H,W 00------	Interrupt Request Batch Reading Registe
$00041C_H$	—	—	IRPR3H [R] B,H,W 000000--	IRPR3L [R] B,H,W 000000--	
000420_H	IRPR4H [R] B,H,W 0000----	IRPR4L [R] B,H,W 0000----	IRPR5H [R] B,H,W 0000----	IRPR5L [R] B,H,W 000-----	
000424_H	IRPR6H [R] B,H,W --00----	IRPR6L [R] B,H,W 0000----	IRPR7H [R] B,H,W -0-00---	IRPR7L [R] B,H,W ------00	
000428_H	IRPR8H [R] B,H,W --0-----	IRPR8L [R] B,H,W -00-----	IRPR9H [R] B,H,W -0------	IRPR9L [R] B,H,W -0------	
$00042C_H$	IRPR10H [R] B,H,W -0------	IRPR10L [R] B,H,W -0------	IRPR11H [R] B,H,W 0-------	IRPR11L [R] B,H,W 0-------	
000430_H	IRPR12H [R] B,H,W --0000--	IRPR12L [R] B,H,W ----00--	IRPR13H [R] B,H,W 00------	IRPR13L [R] B,H,W 00------	
000434_H	IRPR14H [R] B,H,W 00000000	IRPR14L [R] B,H,W 00000000	IRPR15H [R] B,H,W 000-----	IRPR15L [R] B,H,W 0000000-	
000438_H	ICSEL24 [R/W] B,H,W ------00	ICSEL25 [R/W] B,H,W ---00000	ICSEL26 [R/W] B,H,W -------0	ICSEL27 [R/W] B,H,W -------0	DMA request generation and clear
$00043C_H$	—	—	—	—	予約【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000440_H	ICR00 [R/W] B,H,W ---11111	ICR01 [R/W] B,H,W ---11111	ICR02 [R/W] B,H,W ---11111	ICR03 [R/W] B,H,W ---11111	Interrupt Controller【S】
000444_H	ICR04 [R/W] B,H,W ---11111	ICR05 [R/W] B,H,W ---11111	ICR06 [R/W] B,H,W ---11111	ICR07 [R/W] B,H,W ---11111	
000448_H	ICR08 [R/W] B,H,W ---11111	ICR09 [R/W] B,H,W ---11111	ICR10 [R/W] B,H,W ---11111	ICR11 [R/W] B,H,W ---11111	
$00044C_H$	ICR12 [R/W] B,H,W ---11111	ICR13 [R/W] B,H,W ---11111	ICR14 [R/W] B,H,W ---11111	ICR15 [R/W] B,H,W ---11111	
000450_H	ICR16 [R/W] B,H,W ---11111	ICR17 [R/W] B,H,W ---11111	ICR18 [R/W] B,H,W ---11111	ICR19 [R/W] B,H,W ---11111	
000454_H	ICR20 [R/W] B,H,W ---11111	ICR21 [R/W] B,H,W ---11111	ICR22 [R/W] B,H,W ---11111	ICR23 [R/W] B,H,W ---11111	
000458_H	ICR24 [R/W] B,H,W ---11111	ICR25 [R/W] B,H,W ---11111	ICR26 [R/W] B,H,W ---11111	ICR27 [R/W] B,H,W ---11111	
$00045C_H$	ICR28 [R/W] B,H,W ---11111	ICR29 [R/W] B,H,W ---11111	ICR30 [R/W] B,H,W ---11111	ICR31 [R/W] B,H,W ---11111	
000460_H	ICR32 [R/W] B,H,W ---11111	ICR33 [R/W] B,H,W ---11111	ICR34 [R/W] B,H,W ---11111	ICR35 [R/W] B,H,W ---11111	
000464_H	ICR36 [R/W] B,H,W ---11111	ICR37 [R/W] B,H,W ---11111	ICR38 [R/W] B,H,W ---11111	ICR39 [R/W] B,H,W ---11111	
000468_H	ICR40 [R/W] B,H,W ---11111	ICR41 [R/W] B,H,W ---11111	ICR42 [R/W] B,H,W ---11111	ICR43 [R/W] B,H,W ---11111	
$00046C_H$	ICR44 [R/W] B,H,W ---11111	ICR45 [R/W] B,H,W ---11111	ICR46 [R/W] B,H,W ---11111	ICR47 [R/W] B,H,W ---11111	
000470_H ～ $00047C_H$	—	—	—	—	予約【S】
000480_H	RSTRR [R] B,H,W XXXX--XX	RSTCR [R/W] B,H,W 111----0	STBCR [R/W] B,H,W * 000---11	—	Reset Control 【S】 Power Control【S】 *:Writing STBCR by DMA is forbidden
000484_H	—	—	—	—	予約 【S】
000488_H	DIVR0 [R/W] B,H,W 000-----	DIVR1 [R/W] B,H,W 0001----	DIVR2 [R/W] B,H,W 0011----	—	Clock Control 【S】
$00048C_H$	—	—	—	—	予約 【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000490_H	IORR0 [R/W] B,H,W -0000000	IORR1 [R/W] B,H,W -0000000	IORR2 [R/W] B,H,W -0000000	IORR3 [R/W] B,H,W -0000000	DMA request by peripheral 【S】
000494_H	IORR4 [R/W] B,H,W -0000000	IORR5 [R/W] B,H,W -0000000	IORR6 [R/W] B,H,W -0000000	IORR7 [R/W] B,H,W -0000000	
000498_H	IORR8 [R/W] B,H,W -0000000	IORR9 [R/W] B,H,W -0000000	IORR10 [R/W] B,H,W -0000000	IORR11 [R/W] B,H,W -0000000	
$00049C_H$	IORR12 [R/W] B,H,W -0000000	IORR13 [R/W] B,H,W -0000000	IORR14 [R/W] B,H,W -0000000	IORR15 [R/W] B,H,W -0000000	
$0004A0_H$	—	—	—	—	予約
$0004A4_H$	CANPRE [R/W] B,H,W ---00000	—	—	—	CAN prescaler
$0004A8_H$	—	—	CSCFG[R/W]B,H,W ---0----	CMCFG[R/W]B,H,W 00000000	クロックモニタ制御レジスタ
$0004AC_H$	ADERH0[R/W] B,H 11111111 11111111		ADERL0[R/W] B,H 11111111 11111111		アナログ入力制御レジスタ 0
$0004B0_H$	—		ADERL1[R/W] B,H 11111111 11111111		アナログ入力制御レジスタ 1
$0004B4_H$	—	—	—	—	予約
$0004B8_H$	CUCR0 [R/W] B,H,W -------- ---0--00		CUTD0 [R/W] B,H,W 10000000 00000000		RTC/WDT1 calibration
$0004BC_H$	CUTR0 [R] B,H,W -------- 00000000 00000000 00000000				
$0004C0_H$	—	—	—	—	
$0004C4_H$	CUCR1 [R/W] B,H,W -------- ---0--00		CUTD1 [R/W] B,H,W 11000011 01010000		
$0004C8_H$	CUTR1 [R] B,H,W -------- 00000000 00000000 00000000				
$0004CC_H$ ～ $00050C_H$	—	—	—	—	予約
000510_H	CSELR [R/W] B,H,W 001---00	CMONR [R] B,H,W 001---00	MTMCR [R/W] B,H,W 00001111	STMCR [R/W] B,H,W 0000-111	Clock Control 【S】
000514_H	PLLCR [R/W] B,H,W -------- 11110000		CSTBR [R/W] B,H,W -0000000	PTMCR [R/W] B,H,W 00------	
000518_H	—	—	CPUAR [R/W] B,H,W 0----XXX	—	Reset Control 【S】
$00051C_H$	—	—	—	—	予約【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000520_H	CCPSSELR [R/W] B, H, W -------0	—	—	CCPSDIVR [R/W] B, H, W -000-000	Clock Control 2 【S】
000524_H	—	CCPLLFBR [R/W] B, H, W -0000000	CCSSFBR0 [R/W] B, H, W --000000	CCSSFBR1 [R/W] B, H, W ---00000	
000528_H	—	CCSSCCR0 [R/W] B, H, W ----0000	CCSSCCR1 [R/W] H, W 000----- --------		
$00052C_H$	—	CCCGRCR0 [R/W] B, H, W 00----00	CCCGRCR1 [R/W] B, H, W 00000000	CCCGRCR2 [R/W] B, H, W 00000000	
000530_H	CCRTSELR [R/W] B, H, W 0------0	—	CCPMUCR0 [R/W] B, H, W 0-----00	CCPMUCR1 [R/W] B, H, W 0--00000	
000534_H ～ $00054C_H$	—	—	—	—	予約
000550_H	EIRR0 [R/W] B, H, W XXXXXXXX	ENIR0 [R/W] B, H, W 00000000	ELVR0 [R/W] B, H, W 00000000 00000000		External Interrupt (INT0～7)
000554_H	EIRR1 [R/W] B, H, W XXXXXXXX	ENIR1 [R/W] B, H, W 00000000	ELVR1 [R/W] B, H, W 00000000 00000000		External Interrupt (INT8～15)
000558_H	—	—	—	—	予約
$00055C_H$	—	—	WTDR [R/W] H 00000000 00000000		Real Time Clock (RTC)
000560_H	—	WTCRH [R/W] B ------00	WTCRM [R/W] B, H 00000000	WTCRL [R/W] B, H ----00-0	
000564_H	—	WTBRH [R/W] B --XXXXXX	WTBRM [R/W] B XXXXXXXX	WTBRL [R/W] B XXXXXXXX	
000568_H	WTHR [R/W] B, H ---00000	WTMR [R/W] B, H --000000	WTSR [R/W] B --000000	—	
$00056C_H$	—	CSVCR [R/W] B 000111--	—	—	Clock Supervisor
000570_H ～ $00057C_H$	—	—	—	—	予約
000580_H	REGSEL [R/W] B, H, W 0110011-	—	—	—	Regulator Control / Low-Voltage Detection
000584_H	LVD5R [R/W] B, H, W -------1	LVD5F [R/W] B, H, W 00000001	LVD [R/W] B, H, W 01000--0	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000588_H ～ $00058C_H$	—	—	—	—	予約
000590_H	PMUSTR [R/W] B, H, W 0-----1X	PMUCTLR [R/W] B, H, W 0-00----	PWRTMCTL [R/W] B, H, W -----011	—	PMU
000594_H	PMUINTF0 [R/W] B, H, W 00000000	PMUINTF1 [R/W] B, H, W 00000000	PMUINTF2 [R/W] B, H, W 0000----	—	
000598_H	—	—	—	—	
$00059C_H$ ～ $0005BC_H$	—	—	—	—	予約
$0005C0_H$ ～ $0005FC_H$	—	—	—	—	予約
000600_H	ASR0 [R/W] W 00000000 00000000 -------- 1111-001				External Bus Interface【S】
000604_H	ASR1 [R/W] W XXXXXXXX XXXXXXXX -------- XXXX-XX0				
000608_H	ASR2 [R/W] W XXXXXXXX XXXXXXXX -------- XXXX-XX0				
$00060C_H$	ASR3 [R/W] W XXXXXXXX XXXXXXXX -------- XXXX-XX0				
000610_H ～ $00063C_H$	—	—	—	—	予約【S】
000640_H	ACR0 [R/W] W -------- -------- -------- 01--00--				External Bus Interface【S】
000644_H	ACR1 [R/W] W -------- -------- -------- XX--XX--				
000648_H	ACR2 [R/W] W -------- -------- -------- XX--XX--				
$00064C_H$	ACR3 [R/W] W -------- -------- -------- XX--XX--				
000650_H ～ $00067C_H$	—	—	—	—	予約【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000680_H	AWR0 [R/W] W ----1111 00000000 11110000 00000-0-				External Bus Interface【S】
000684_H	AWR1 [R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
000688_H	AWR2 [R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
$00068C_H$	AWR3 [R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
000690_H ～ $0006FC_H$	—	—	—	—	予約【S】
000700_H ～ $00070C_H$	—	—	—	—	予約
000710_H	BPCCRA [R/W] B 00000000	BPCCRB [R/W] B 00000000	BPCCRC [R/W] B 00000000	—	Bus Performance Counter
000714_H	BPCTRA [R/W] W 00000000 00000000 00000000 00000000				
000718_H	BPCTRB [R/W] W 00000000 00000000 00000000 00000000				
$00071C_H$	BPCTRC [R/W] W 00000000 00000000 00000000 00000000				
000720_H ～ $0007F8_H$	—	—	—	—	予約
$0007FC_H$	BMODR [R] B, H, W XXXXXXXX	—	—	—	Mode Register
000800_H ～ $00083C_H$	—	—	—	—	予約【S】
000840_H	FCTLR [R/W] H -0--1000 0--0----		—	FSTR [R/W] B -----001	Flash Memory Register【S】
000844_H ～ 000854_H	—	—	—	—	予約【S】
000858_H	—	—	WREN [R/W] H 00000000 00000000		Wild Register 【S】
$00085C_H$ ～ $00087C_H$	—	—	—	—	予約【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000880_H	WRAR00 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				Wild Register 【S】
000884_H	WRDR00 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000888_H	WRAR01 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$00088C_H$	WRDR01 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000890_H	WRAR02 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
000894_H	WRDR02 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000898_H	WRAR03 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$00089C_H$	WRDR03 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008A0_H$	WRAR04 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008A4_H$	WRDR04 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008A8_H$	WRAR05 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008AC_H$	WRDR05 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008B0_H$	WRAR06 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008B4_H$	WRDR06 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008B8_H$	WRAR07 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008BC_H$	WRDR07 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008C0_H$	WRAR08 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
$0008C4_H$	WRDR08 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$0008C8_H$	WRAR09 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0008CC$_H$	WRDR09 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Wild Register 【S】
0008D0$_H$	WRAR10 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008D4$_H$	WRDR10 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008D8$_H$	WRAR11 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008DC$_H$	WRDR11 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008E0$_H$	WRAR12 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008E4$_H$	WRDR12 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008E8$_H$	WRAR13 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008EC$_H$	WRDR13 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008F0$_H$	WRAR14 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008F4$_H$	WRDR14 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008F8$_H$	WRAR15 [R/W] W -------- --XXXXXX XXXXXXXX XXXXXX--				
0008FC$_H$	WRDR15 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000900$_H$	TPUUNLOCK [R/W] W 00000000 00000000 00000000 00000000				Time Protection Unit【S】
000904$_H$	TPULST [R] B,H,W -------0	—	TPUVST [R/W] B,H,W -----000	—	
000908$_H$	TPUCFG [R/W] B,H,W -------0 0-000000 -------- -------0				
00090C$_H$	TPUTIR [R] B,H,W 00000000	—	—	—	
000910$_H$	TPUTST [R] B,H,W 00000000	—	—	—	
000914$_H$	TPUTIE [R/W] B,H,W 00000000	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000918_H	TPUTMID [R] B,H,W 00000000 00000000 00000000 00000000				
$00091C_H$ ～ $00092C_H$	—	—	—	—	Time Protection Unit【S】
000930_H	TPUTCN00 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000934_H	TPUTCN01 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000938_H	TPUTCN02 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
$00093C_H$	TPUTCN03 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000940_H	TPUTCN04 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000944_H	TPUTCN05 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000948_H	TPUTCN06 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
$00094C_H$	TPUTCN07 [R/W] B,H,W 000000-- 00000000 00000000 00000000				
000950_H	TPUTCN10 [R/W] B,H,W ---00000	—	—	—	
000954_H	TPUTCN11 [R/W] B,H,W ---00000	—	—	—	
000958_H	TPUTCN12 [R/W] B,H,W ---00000	—	—	—	
$00095C_H$	TPUTCN13 [R/W] B,H,W ---00000	—	—	—	
000960_H	TPUTCN14 [R/W] B,H,W ---00000	—	—	—	
000964_H	TPUTCN15 [R/W] B,H,W ---00000	—	—	—	
000968_H	TPUTCN16 [R/W] B,H,W ---00000	—	—	—	
$00096C_H$	TPUTCN17 [R/W] B,H,W ---00000	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000970_H	TPUTCC0 [R] B,H,W -------- 00000000 00000000 00000000				
000974_H	TPUTCC1 [R] B,H,W -------- 00000000 00000000 00000000				Time Protection Unit【S】
000978_H	TPUTCC2 [R] B,H,W -------- 00000000 00000000 00000000				
$00097C_H$	TPUTCC3 [R] B,H,W -------- 00000000 00000000 00000000				
000980_H	TPUTCC4 [R] B,H,W -------- 00000000 00000000 00000000				
000984_H	TPUTCC5 [R] B,H,W -------- 00000000 00000000 00000000				
000988_H	TPUTCC6 [R] B,H,W -------- 00000000 00000000 00000000				
$00098C_H$	TPUTCC7 [R] B,H,W -------- 00000000 00000000 00000000				
000990_H ～ $0009FC_H$	—	—	—	—	
$000A00_H$ ～ $000BEC_H$	—	—	—	—	予約
$000BF0_H$	HSCFR [R/W] B,H,W -------- ------00 00000000 00000000				OCDU
$000BF4_H$	—	—	—	—	
$000BF8_H$	—	—	MBR [R/W] B,H,W 00------ XXXXXXXX		
$000BFC_H$	—	—	UER [W] B,H,W -------- -------X		
$000C00_H$	DCCR0 [R/W] W 0----000 --00--00 00000000 0-000000				DMA Controller 【S】
$000C04_H$	DCSR0 [R/W] H 0------- -----000		DTCR0 [R/W] H 00000000 00000000		
$000C08_H$	DSAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C0C_H$	DDAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C10_H$	DCCR1 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C14_H$	DCSR1 [R/W] H 0------- -----000		DTCR1 [R/W] H 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000C18_H$	DSAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				DMA Controller 【S】
$000C1C_H$	DDAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C20_H$	DCCR2 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C24_H$	DCSR2 [R/W] H 0------- -----000		DTCR2 [R/W] H 00000000 00000000		
$000C28_H$	DSAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C2C_H$	DDAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C30_H$	DCCR3 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C34_H$	DCSR3 [R/W] H 0------- -----000		DTCR3 [R/W] H 00000000 00000000		
$000C38_H$	DSAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C3C_H$	DDAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C40_H$	DCCR4 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C44_H$	DCSR4 [R/W] H 0------- -----000		DTCR4 [R/W] H 00000000 00000000		
$000C48_H$	DSAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C4C_H$	DDAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C50_H$	DCCR5 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C54_H$	DCSR5 [R/W] H 0------- -----000		DTCR5 [R/W] H 00000000 00000000		
$000C58_H$	DSAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C5C_H$	DDAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C60_H$	DCCR6 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C64_H$	DCSR6 [R/W] H 0------- -----000		DTCR6 [R/W] H 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000C68_H$	DSAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C6C_H$	DDAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				DMA Controller 【S】
$000C70_H$	DCCR7 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C74_H$	DCSR7 [R/W] H 0------- -----000		DTCR7 [R/W] H 00000000 00000000		
$000C78_H$	DSAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C7C_H$	DDAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C80_H$	DCCR8 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C84_H$	DCSR8 [R/W] H 0------- -----000		DTCR8 [R/W] H 00000000 00000000		
$000C88_H$	DSAR8 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C8C_H$	DDAR8 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C90_H$	DCCR9 [R/W] W 0----000 --00--00 00000000 0-000000				
$000C94_H$	DCSR9 [R/W] H 0------- -----000		DTCR9 [R/W] H 00000000 00000000		
$000C98_H$	DSAR9 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000C9C_H$	DDAR9 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CA0_H$	DCCR10 [R/W] W 0----000 --00--00 00000000 0-000000				
$000CA4_H$	DCSR10 [R/W] H 0------- -----000		DTCR10 [R/W] H 00000000 00000000		
$000CA8_H$	DSAR10 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CAC_H$	DDAR10 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CB0_H$	DCCR11 [R/W] W 0----000 --00--00 00000000 0-000000				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000CB4_H$	DCSR11 [R/W] H 0------- -----000		DTCR11 [R/W] H 00000000 00000000		
$000CB8_H$	DSAR11 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				DMA Controller 【S】
$000CBC_H$	DDAR11 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CC0_H$	DCCR12 [R/W] W 0----000 --00--00 00000000 0-000000				
$000CC4_H$	DCSR12 [R/W] H 0------- -----000		DTCR12 [R/W] H 00000000 00000000		
$000CC8_H$	DSAR12 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CCC_H$	DDAR12 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CD0_H$	DCCR13 [R/W] W 0----000 --00--00 00000000 0-000000				
$000CD4_H$	DCSR13 [R/W] H 0------- -----000		DTCR13 [R/W] H 00000000 00000000		
$000CD8_H$	DSAR13 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CDC_H$	DDAR13 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CE0_H$	DCCR14 [R/W] W 0----000 --00--00 00000000 0-000000				
$000CE4_H$	DCSR14 [R/W] H 0------- -----000		DTCR14 [R/W] H 00000000 00000000		
$000CE8_H$	DSAR14 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CEC_H$	DDAR14 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CF0_H$	DCCR15 [R/W] W 0----000 --00--00 00000000 0-000000				
$000CF4_H$	DCSR15 [R/W] H 0------- -----000		DTCR15 [R/W] H 00000000 00000000		
$000CF8_H$	DSAR15 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000CFC_H$	DDAR15 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000D00_H$	—	—	—	—	予約 【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
～ 000DF0$_H$					
000DF4$_H$	—	—	DNMIR [R/W] B 0------0	DILVR [R/W] B ---11111	DMA Controller 【S】
000DF8$_H$	DMACR[R/W] W 0------- -------- 0------- --------				
000DFC$_H$	—	—	—	—	予約【S】
000E00$_H$	DDR00 [R/W] B,H,W 00000000	DDR01 [R/W] B,H,W 00000000	DDR02 [R/W] B,H,W 00000000	DDR03 [R/W] B,H,W 00000000	Data Direction Register
000E04$_H$	DDR04 [R/W] B,H,W 00000000	DDR05 [R/W] B,H,W 00000000	DDR06 [R/W] B,H,W 00000000	DDR07 [R/W] B,H,W 00000000	
000E08$_H$	DDR08 [R/W] B,H,W 00000000	DDR09 [R/W] B,H,W 00000000	DDR10 [R/W] B,H,W 00000000	DDR11 [R/W] B,H,W 00000000	
000E0C$_H$	DDR12 [R/W] B,H,W 00000000	DDR13 [R/W] B,H,W -0000000	DDR14 [R/W] B,H,W ---000--	DDR15 [R/W] B,H,W --000000	
000E10$_H$	—	—	—	—	
000E14$_H$	—	—	—	—	
000E18$_H$	DDR16 [R/W] B,H,W 00000000	DDR17 [R/W] B,H,W 00000000	DDR18 [R/W] B,H,W 00000000	DDR19 [R/W] B,H,W 00000000	
000E1C$_H$	—	—	—	—	予約
000E20$_H$	PFR00 [R/W] B,H,W 00000000	PFR01 [R/W] B,H,W 00000000	PFR02 [R/W] B,H,W 00000000	PFR03 [R/W] B,H,W 00000000	Port Function Register
000E24$_H$	PFR04 [R/W] B,H,W 00000000	PFR05 [R/W] B,H,W 00000000	PFR06 [R/W] B,H,W 00000000	PFR07 [R/W] B,H,W 00000000	
000E28$_H$	PFR08 [R/W] B,H,W 00000000	PFR09 [R/W] B,H,W 00000000	PFR10 [R/W] B,H,W 00000000	PFR11 [R/W] B,H,W 00000000	
000E2C$_H$	PFR12 [R/W] B,H,W 00000000	PFR13 [R/W] B,H,W -0000000	PFR14 [R/W] B,H,W ---000--	PFR15 [R/W] B,H,W --000000	
000E30$_H$	—	—	—	—	
000E34$_H$	—	—	—	—	
000E38$_H$	PFR16 [R/W] B,H,W 00000000	PFR17 [R/W] B,H,W 00000000	PFR18 [R/W] B,H,W 00000000	PFR19 [R/W] B,H,W 00000000	
000E3C$_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000E40_H$	PDDR00 [R] B, H, W XXXXXXXX	PDDR01 [R] B, H, W XXXXXXXX	PDDR02 [R] B, H, W XXXXXXXX	PDDR03 [R] B, H, W XXXXXXXX	Port Direct Read Register
$000E44_H$	PDDR04 [R] B, H, W XXXXXXXX	PDDR05 [R] B, H, W XXXXXXXX	PDDR06 [R] B, H, W XXXXXXXX	PDDR07 [R] B, H, W XXXXXXXX	
$000E48_H$	PDDR08 [R] B, H, W XXXXXXXX	PDDR09 [R] B, H, W XXXXXXXX	PDDR10 [R] B, H, W XXXXXXXX	PDDR11 [R] B, H, W XXXXXXXX	
$000E4C_H$	PDDR12 [R] B, H, W XXXXXXXX	PDDR13 [R] B, H, W -XXXXXXX	PDDR14 [R] B, H, W ---XXX--	PDDR15 [R] B, H, W --XXXXXX	
$000E50_H$	—	—	—	—	
$000E54_H$	—	—	—	—	
$000E58_H$	PDDR16 [R] B, H, W XXXXXXXX	PDDR17 [R] B, H, W XXXXXXXX	PDDR18 [R] B, H, W XXXXXXXX	PDDR19 [R] B, H, W XXXXXXXX	
$000E5C_H$	—	—	—	—	予約
$000E60_H$	EPFR00 [R/W] B, H, W 00000000	EPFR01 [R/W] B, H, W -0-0-000	EPFR02 [R/W] B, H, W ----0000	EPFR03 [R/W] B, H, W ---000-0	Extended Port Function Register
$000E64_H$	EPFR04 [R/W] B, H, W ----00-0	EPFR05 [R/W] B, H, W ----0000	EPFR06 [R/W] B, H, W ----000-	EPFR07 [R/W] B, H, W ---00000	
$000E68_H$	EPFR08 [R/W] B, H, W ---00000	EPFR09 [R/W] B, H, W -----00-	EPFR10 [R/W] B, H, W ----0000	EPFR11 [R/W] B, H, W ----0000	
$000E6C_H$	EPFR12 [R/W] B, H, W ----0000	EPFR13 [R/W] B, H, W ------00	EPFR14 [R/W] B, H, W ------00	EPFR15 [R/W] B, H, W -----000	
$000E70_H$	—	—	—	—	
$000E74_H$	—	—	—	—	
$000E78_H$	—	—	EPFR26 [R/W] B, H, W 00000000	EPFR27 [R/W] B, H, W ---0----	
$000E7C_H$	EPFR28 [R/W] B, H, W --000-0-	EPFR29 [R/W] B, H, W 00000000	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000E80_H$	—	EPFR33 [R/W] B, H, W -----00-	EPFR34 [R/W] B, H, W -----00-	EPFR35 [R/W] B, H, W ---00000	Extended Port Function Register
$000E84_H$	EPFR36 [R/W] B, H, W ----000-	—	—	—	
$000E88_H$	—	—	EPFR42 [R/W] B, H, W ------00	EPFR43 [R/W] B, H, W 0--0000-	
$000E8C_H$	EPFR44 [R/W] B, H, W -00---0-	EPFR45 [R/W] B, H, W -0000000	—	—	
$000E90_H$	—	—	—	—	
$000E94_H$	—	—	—	—	
$000E98_H$	EPFR56 [R/W] B, H, W -----0-0	EPFR57 [R/W] B, H, W ----00-0	EPFR58 [R/W] B, H, W ----00-0	EPFR59 [R/W] B, H, W ----00-0	
$000E9C_H$	EPFR60 [R/W] B, H, W ----00-0	EPFR61 [R/W] B, H, W -----00-	EPFR62 [R/W] B, H, W -----00-	EPFR63 [R/W] B, H, W ---0000-	
$000EA0_H$ ～ $000EBC_H$	—	—	—	—	予約
$000EC0_H$	PPER00 [R/W] B, H, W 00000000	PPER01 [R/W] B, H, W 00000000	PPER02 [R/W] B, H, W 00000000	PPER03 [R/W] B, H, W 00000000	Port Pull-up/down Enable Register
$000EC4_H$	PPER04 [R/W] B, H, W 00000000	PPER05 [R/W] B, H, W 00000000	PPER06 [R/W] B, H, W 00000000	PPER07 [R/W] B, H, W 00000000	
$000EC8_H$	PPER08 [R/W] B, H, W 00000000	PPER09 [R/W] B, H, W 00000000	PPER10 [R/W] B, H, W 00000000	PPER11 [R/W] B, H, W 00000000	
$000ECC_H$	PPER12 [R/W] B, H, W 00000000	PPER13 [R/W] B, H, W -0000000	PPER14 [R/W] B, H, W ---000--	PPER15 [R/W] B, H, W --000000	
$000ED0_H$	—	—	—	—	
$000ED4_H$	—	—	—	—	
$000ED8_H$	PPER16 [R/W] B, H, W 00000000	PPER17 [R/W] B, H, W 00000000	PPER18 [R/W] B, H, W 00000000	PPER19 [R/W] B, H, W 00000000	
$000EDC_H$ ～ $000F3C_H$	—	—	—	—	予約
$000F40_H$	PORTEN [R/W] B, H, W -------0	—	—	—	Port Enable Register
$000F44_H$	KEYCDR [R/W] H 00000000 00000000		—	—	KeyCodeRegister

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000F48_H$ ～ $000F64_H$	—	—	—	—	予約
$000F68_H$	MSCY6 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 6,7 周期測定データレジスタ 67
$000F6C_H$	MSCY7 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000F70_H$	RCRH0 [W] H,W XXXXXXXX	RCRL0 [W] B,H,W XXXXXXXX	UDCRH0 [R] H,W 00000000	UDCRL0 [R] B,H,W 00000000	UpDown Counter 0
$000F74_H$	CCR0 [R/W] B,H 00000000 -0001000		—	CSR0 [R/W] B 00000000	
$000F78_H$ ～ $000F7C_H$	—	—	—	—	予約
$000F80_H$	RCRH1 [W] H,W XXXXXXXX	RCRL1 [W] B,H,W XXXXXXXX	UDCRH1 [R] H,W 00000000	UDCRL1 [R] B,H,W 00000000	UpDown Counter 1
$000F84_H$	CCR1 [R/W] B,H 00000000 -0001000		—	CSR1 [R/W] B 00000000	
$000F88_H$	—	—	MSCH45 [R] B,H,W 00000000	MSCL45 [R/W] B,H,W ------00	Input Capture 4,5 32 bit ICU 周期・パルス幅測定制御 45
$000F8C_H$	—	—	MSCH67 [R] B,H,W 00000000	MSCL67 [R/W] B,H,W ------00	Input Capture 6,7 32 bit ICU 周期・パルス幅測定制御 67
$000F90_H$	OCCP10 [R/W] W 00000000 00000000 00000000 00000000				Output Compare 10,11 32 bit OCU
$000F94_H$	OCCP11 [R/W] W 00000000 00000000 00000000 00000000				
$000F98_H$	—	—	OCSH1011 [R/W] B,H,W ---0--00	OCSL1011 [R/W] B,H,W 0000--00	
$000F9C_H$	—	—	—	OCLS1011 [R/W] B,H,W ----0000	OCU1011 出力レベル制御レジスタ

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$000FA0_H$	CPCLR5 [R/W] W 11111111 11111111 11111111 11111111				Free-run Timer 5 32bit FRT
$000FA4_H$	TCDT5 [R/W] W 00000000 00000000 00000000 00000000				
$000FA8_H$	TCCSH5 [R/W]B,H,W 0-----00	TCCSL5 [R/W]B,H,W -1-00000	—	—	
$000FAC_H$ ～ $000FCC_H$	—	—	—	—	予約
$000FD0_H$	IPCP4 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 4,5 32 bit ICU
$000FD4_H$	IPCP5 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000FD8_H$	—	—	LSYNS1 [R/W] B,H,W 00000000	ICS45 [R/W] B,H,W 00000000	
$000FDC_H$	IPCP6 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 6,7 32 bit ICU
$000FE0_H$	IPCP7 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000FE4_H$	—	—	—	ICS67 [R/W] B,H,W 00000000	
$000FE8_H$	IPCP8 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 8,9 32 bit ICU
$000FEC_H$	IPCP9 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000FF0_H$	—	—	—	ICS89 [R/W] B,H,W 00000000	
$000FF4_H$	MSCY8 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				Input Capture 8,9 32 bit ICU 周期測定データ レジスタ 89
$000FF8_H$	MSCY9 [R] H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
$000FFC_H$	—	—	MSCH89 [R] B,H,W 00000000	MSCL89 [R/W] B,H,W ------00	周期・パルス幅測定制御 89
001000_H	SACR [R/W] B,H,W -------0	PICD [R/W] B,H,W ----0011	—	—	Clock Control
001004_H ～ $00112C_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001130_H	—	—	—	CRCCR [R/W] B,H,W -0000000	CRC calculation unit
001134_H	CRCINIT [R/W] B,H,W 11111111 11111111 11111111 11111111				
001138_H	CRCIN [R/W] B,H,W 00000000 00000000 00000000 00000000				
$00113C_H$	CRCR [R] B,H,W 11111111 11111111 11111111 11111111				
001140_H～ $0011FC_H$	—	—	—	—	予約
001200_H	TCGS [R/W] B,H,W ------00	—	—	TCGSE [R/W] B,H,W -----000	16bit フリーランタイマ同時起動
001204_H	CPCLRB0/CPCLR0 [W] H,W 11111111 11111111		TCDT0 [R/W] H,W 00000000 00000000		フリーランタイマ 0 (16bit)
001208_H	TCCS0 [R/W] B,H,W 00000000 01000000 ----0000 --------				
$00120C_H$	CPCLRB1/CPCLR1 [W] H,W 11111111 11111111		TCDT1 [R/W] H,W 00000000 00000000		フリーランタイマ 1 (16bit)
001210_H	TCCS1 [R/W] B,H,W 00000000 01000000 ----0000 --------				
001214_H	CPCLRB2/CPCLR2 [W] H,W 11111111 11111111		TCDT2 [R/W] H,W 00000000 00000000		フリーランタイマ 2 (16bit)
001218_H	TCCS2 [R/W] B,H,W 00000000 01000000 ----0000 --------				
$00121C_H$ ～ 001230_H	—	—	—	—	予約
001234_H	FRS0 [R/W] B,H,W -------- --00--00 --00--00 --00--00				フリーランタイマ選択(16bit)
001238_H	—		FRS1 [R/W] B,H,W --00--00 --00--00		
$00123C_H$	FRS2 [R/W] B,H,W --00--00 --00--00 --00--00 --00--00				
001240_H	FRS3 [R/W] B,H,W --00--00 --00--00 --00--00 --00--00				
001244_H	FRS4 [R/W] B,H,W --00--00 --00--00 --00--00 --00--00				
001248_H	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$00124C_H$	OCCPB0/OCCP0 [R/W] H,W 00000000 00000000		OCCPB1/OCCP1 [R/W] H,W 00000000 00000000		アウトプットコンペア 0/1 (16bit)
001250_H	OCS01 [R/W] B,H,W -110--00 00001100		—	OCMOD01 [R/W] B,H,W ------00	
001254_H	OCCPB2/OCCP2 [R/W] H,W 00000000 00000000		OCCPB3/OCCP3 [R/W] H,W 00000000 00000000		アウトプットコンペア 2/3 (16bit)
001258_H	OCS23 [R/W] B,H,W -110--00 00001100		—	OCMOD23 [R/W] B,H,W ------00	
$00125C_H$	OCCPB4/OCCP4 [R/W] H,W 00000000 00000000		OCCPB5/OCCP5 [R/W] H,W 00000000 00000000		アウトプットコンペア 4/5 (16bit)
001260_H	OCS45 [R/W] B,H,W -110--00 00001100		—	OCMOD45 [R/W] B,H,W ------00	
001264_H ～ 001278_H	—	—	—	—	予約
$00127C_H$	IPCP0 [R] H,W 00000000 00000000		IPCP1 [R] H,W 00000000 00000000		インプットキャプチャ 0/1 (16bit)
001280_H	ICS01 [R/W] B,H,W ------00 00000000		—	LSYNS [R/W] B,H,W ----0000	
001284_H	IPCP2 [R] H,W 00000000 00000000		IPCP3 [R] H,W 00000000 00000000		インプットキャプチャ 2/3 (16bit)
001288_H	ICS23 [R/W] B,H,W ------00 00000000		—	—	
$00128C_H$ ～ 001298_H	—	—	—	—	予約
$00129C_H$	—	—	—	—	予約
$0012A0_H$	TMRR0 [R/W] H,W 00000000 00000001		TMRR1 [R/W] H,W 00000000 00000001		波形ジェネレータ 0/1/2
$0012A4_H$	TMRR2 [R/W] H,W 00000000 00000001		—	—	
$0012A8_H$	DTSCR0 [R/W] B,H,W 00000000	DTSCR1 [R/W] B,H,W 00000000	DTSCR2 [R/W] B,H,W 00000000	—	
$0012AC_H$	—	DTIR0 [R/W] B,H,W 000000--	—	DTMNS0 [R/W] B,H,W 00---000	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0012B0_H$	—	SIGCR10 [R/W] B, H, W 00000000	—	SIGCR20 [R/W] B, H, W 000000-1	波形 ジェネレータ 0/1/2
$0012B4_H$	PICS0 [R/W] B, H, W 000000-- -------- -------- --------				
$0012B8_H$ ～ $0012CC_H$	—	—	—	—	予約
$0012D0_H$	FRS5 [R/W] B, H, W --00--00 --00--00 --00--00 --00--00				フリーランタイマ 選択(16bit) AD 起動コンペア
$0012D4_H$	FRS6 [R/W] B, H, W --00--00 --00--00 --00--00 --00--00				
$0012D8_H$	FRS7 [R/W] B, H, W --00--00 --00--00 --00--00 --00--00				
$0012DC_H$ ～ $0012FC_H$	—	—	—	—	予約
001300_H	—				予約
001304_H	ADTSS0[R/W] B, H, W -------0	—	—	—	12 ビット A/D コンバータ 1/2 unit
001308_H	ADTSE0[R/W] B, H, W 00000000 00000000 00000000 00000000				
$00130C_H$	ADCOMP0/ADCOMPB0[R/W] H, W 00000000 00000000		ADCOMP1/ADCOMPB1[R/W] H, W 00000000 00000000		
001310_H	ADCOMP2/ADCOMPB2[R/W] H, W 00000000 00000000		ADCOMP3/ADCOMPB3[R/W] H, W 00000000 00000000		
001314_H	ADCOMP4/ADCOMPB4[R/W] H, W 00000000 00000000		ADCOMP5/ADCOMPB5[R/W] H, W 00000000 00000000		
001318_H	ADCOMP6/ADCOMPB6[R/W] H, W 00000000 00000000		ADCOMP7/ADCOMPB7[R/W] H, W 00000000 00000000		
$00131C_H$	ADCOMP8/ADCOMPB8[R/W] H, W 00000000 00000000		ADCOMP9/ADCOMPB9[R/W] H, W 00000000 00000000		
001320_H	ADCOMP10/ADCOMPB10[R/W] H, W 00000000 00000000		ADCOMP11/ADCOMPB11[R/W] H, W 00000000 00000000		
001324_H	ADCOMP12/ADCOMPB12[R/W] H, W 00000000 00000000		ADCOMP13/ADCOMPB13[R/W] H, W 00000000 00000000		
001328_H	ADCOMP14/ADCOMPB14[R/W] H, W 00000000 00000000		ADCOMP15/ADCOMPB15[R/W] H, W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$00132C_H$	ADCOMP16/ADCOMPB16[R/W] H,W 00000000 00000000		ADCOMP17/ADCOMPB17[R/W] H,W 00000000 00000000		12 ビット A/D コンバータ 1/2 unit
001330_H	ADCOMP18/ADCOMPB18[R/W] H,W 00000000 00000000		ADCOMP19/ADCOMPB19[R/W] H,W 00000000 00000000		
001334_H	ADCOMP20/ADCOMPB20[R/W] H,W 00000000 00000000		ADCOMP21/ADCOMPB21[R/W] H,W 00000000 00000000		
001338_H	ADCOMP22/ADCOMPB22[R/W] H,W 00000000 00000000		ADCOMP23/ADCOMPB23[R/W] H,W 00000000 00000000		
$00133C_H$	ADCOMP24/ADCOMPB24[R/W] H,W 00000000 00000000		ADCOMP25/ADCOMPB25[R/W] H,W 00000000 00000000		
001340_H	ADCOMP26/ADCOMPB26[R/W] H,W 00000000 00000000		ADCOMP27/ADCOMPB27[R/W] H,W 00000000 00000000		
001344_H	ADCOMP28/ADCOMPB28[R/W] H,W 00000000 00000000		ADCOMP29/ADCOMPB29[R/W] H,W 00000000 00000000		
001348_H	ADCOMP30/ADCOMPB30[R/W] H,W 00000000 00000000		ADCOMP31/ADCOMPB31[R/W] H,W 00000000 00000000		
$00134C_H$	ADTCS0[R/W] B,H,W 00000000 0010----		ADTCS1[R/W] B,H,W 00000000 0010----		
001350_H	ADTCS2[R/W] B,H,W 00000000 0010----		ADTCS3[R/W] B,H,W 00000000 0010----		
001354_H	ADTCS4[R/W] B,H,W 00000000 0010----		ADTCS5[R/W] B,H,W 00000000 0010----		
001358_H	ADTCS6[R/W] B,H,W 00000000 0010----		ADTCS7[R/W] B,H,W 00000000 0010----		
$00135C_H$	ADTCS8[R/W] B,H,W 00000000 0010----		ADTCS9[R/W] B,H,W 00000000 0010----		
001360_H	ADTCS10[R/W] B,H,W 00000000 0010----		ADTCS11[R/W] B,H,W 00000000 0010----		
001364_H	ADTCS12[R/W] B,H,W 00000000 0010----		ADTCS13[R/W] B,H,W 00000000 0010----		
001368_H	ADTCS14[R/W] B,H,W 00000000 0010----		ADTCS15[R/W] B,H,W 00000000 0010----		
$00136C_H$	ADTCS16[R/W] B,H,W 00000000 0010----		ADTCS17[R/W] B,H,W 00000000 0010----		
001370_H	ADTCS18[R/W] B,H,W 00000000 0010----		ADTCS19[R/W] B,H,W 00000000 0010----		
001374_H	ADTCS20[R/W] B,H,W 00000000 0010----		ADTCS21[R/W] B,H,W 00000000 0010----		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001378_H	ADTCS22[R/W] B,H,W 00000000 0010----		ADTCS23[R/W] B,H,W 00000000 0010----		12 ビット A/D コンバータ 1/2 unit
$00137C_H$	ADTCS24[R/W] B,H,W 00000000 0010----		ADTCS25[R/W] B,H,W 00000000 0010----		
001380_H	ADTCS26[R/W] B,H,W 00000000 0010----		ADTCS27[R/W] B,H,W 00000000 0010----		
001384_H	ADTCS28[R/W] B,H,W 00000000 0010----		ADTCS29[R/W] B,H,W 00000000 0010----		
001388_H	ADTCS30[R/W] B,H,W 00000000 0010----		ADTCS31[R/W] B,H,W 00000000 0010----		
$00138C_H$	ADTCD0[R] B,H,W 10--0000 00000000		ADTCD1[R] B,H,W 10--0000 00000000		
001390_H	ADTCD2[R] B,H,W 10--0000 00000000		ADTCD3[R] B,H,W 10--0000 00000000		
001394_H	ADTCD4[R] B,H,W 10--0000 00000000		ADTCD5[R] B,H,W 10--0000 00000000		
001398_H	ADTCD6[R] B,H,W 10--0000 00000000		ADTCD7[R] B,H,W 10--0000 00000000		
$00139C_H$	ADTCD8[R] B,H,W 10--0000 00000000		ADTCD9[R] B,H,W 10--0000 00000000		
$0013A0_H$	ADTCD10[R] B,H,W 10--0000 00000000		ADTCD11[R] B,H,W 10--0000 00000000		
$0013A4_H$	ADTCD12[R] B,H,W 10--0000 00000000		ADTCD13[R] B,H,W 10--0000 00000000		
$0013A8_H$	ADTCD14[R] B,H,W 10--0000 00000000		ADTCD15[R] B,H,W 10--0000 00000000		
$0013AC_H$	ADTCD16[R] B,H,W 10--0000 00000000		ADTCD17[R] B,H,W 10--0000 00000000		
$0013B0_H$	ADTCD18[R] B,H,W 10--0000 00000000		ADTCD19[R] B,H,W 10--0000 00000000		
$0013B4_H$	ADTCD20[R] B,H,W 10--0000 00000000		ADTCD21[R] B,H,W 10--0000 00000000		
$0013B8_H$	ADTCD22[R] B,H,W 10--0000 00000000		ADTCD23[R] B,H,W 10--0000 00000000		
$0013BC_H$	ADTCD24[R] B,H,W 10--0000 00000000		ADTCD25[R] B,H,W 10--0000 00000000		
$0013C0_H$	ADTCD26[R] B,H,W 10--0000 00000000		ADTCD27[R] B,H,W 10--0000 00000000		
$0013C4_H$	ADTCD28[R] B,H,W 10--0000 00000000		ADTCD29[R] B,H,W 10--0000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0013C8_H$	ADTCD30[R] B,H,W 10--0000 00000000		ADTCD31[R] B,H,W 10--0000 00000000		12 ビット A/D コンバータ 1/2 unit
$0013CC_H$	ADTECS0[R/W] B,H,W --------0 ---00000		ADTECS1[R/W] B,H,W --------0 ---00000		
$0013D0_H$	ADTECS2[R/W] B,H,W --------0 ---00000		ADTECS3[R/W] B,H,W --------0 ---00000		
$0013D4_H$	ADTECS4[R/W] B,H,W --------0 ---00000		ADTECS5[R/W] B,H,W --------0 ---00000		
$0013D8_H$	ADTECS6[R/W] B,H,W --------0 ---00000		ADTECS7[R/W] B,H,W --------0 ---00000		
$0013DC_H$	ADTECS8[R/W] B,H,W --------0 ---00000		ADTECS9[R/W] B,H,W --------0 ---00000		
$0013E0_H$	ADTECS10[R/W] B,H,W --------0 ---00000		ADTECS11[R/W] B,H,W --------0 ---00000		
$0013E4_H$	ADTECS12[R/W] B,H,W --------0 ---00000		ADTECS13[R/W] B,H,W --------0 ---00000		
$0013E8_H$	ADTECS14[R/W] B,H,W --------0 ---00000		ADTECS15[R/W] B,H,W --------0 ---00000		
$0013EC_H$	ADTECS16[R/W] B,H,W --------0 ---00000		ADTECS17[R/W] B,H,W --------0 ---00000		
$0013F0_H$	ADTECS18[R/W] B,H,W --------0 ---00000		ADTECS19[R/W] B,H,W --------0 ---00000		
$0013F4_H$	ADTECS20[R/W] B,H,W --------0 ---00000		ADTECS21[R/W] B,H,W --------0 ---00000		
$0013F8_H$	ADTECS22[R/W] B,H,W --------0 ---00000		ADTECS23[R/W] B,H,W --------0 ---00000		
$0013FC_H$	ADTECS24[R/W] B,H,W --------0 ---00000		ADTECS25[R/W] B,H,W --------0 ---00000		
001400_H	ADTECS26[R/W] B,H,W --------0 ---00000		ADTECS27[R/W] B,H,W --------0 ---00000		
001404_H	ADTECS28[R/W] B,H,W --------0 ---00000		ADTECS29[R/W] B,H,W --------0 ---00000		
001408_H	ADTECS30[R/W] B,H,W --------0 ---00000		ADTECS31[R/W] B,H,W --------0 ---00000		
$00140C_H$	ADRCUT0[R/W] B,H,W ----0000 00000000		ADRCLT0[R/W] B,H,W ----0000 00000000		
001410_H	ADRCUT1[R/W] B,H,W ----0000 00000000		ADRCLT1[R/W] B,H,W ----0000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001414_H	ADRCUT2[R/W] B,H,W ----0000 00000000		ADRCLT2[R/W] B,H,W ----0000 00000000		
001418_H	ADRCUT3[R/W] B,H,W ----0000 00000000		ADRCLT3[R/W] B,H,W ----0000 00000000		12 ビット A/D コンバータ 1/2 unit
$00141C_H$	ADRCCS0[R/W] B,H,W 00000000	ADRCCS1[R/W] B,H,W 00000000	ADRCCS2[R/W] B,H,W 00000000	ADRCCS3[R/W] B,H,W 00000000	
001420_H	ADRCCS4[R/W] B,H,W 00000000	ADRCCS5[R/W] B,H,W 00000000	ADRCCS6[R/W] B,H,W 00000000	ADRCCS7[R/W] B,H,W 00000000	
001424_H	ADRCCS8[R/W] B,H,W 00000000	ADRCCS9[R/W] B,H,W 00000000	ADRCCS10[R/W] B,H,W 00000000	ADRCCS11[R/W] B,H,W 00000000	
001428_H	ADRCCS12[R/W] B,H,W 00000000	ADRCCS13[R/W] B,H,W 00000000	ADRCCS14[R/W] B,H,W 00000000	ADRCCS15[R/W] B,H,W 00000000	
$00142C_H$	ADRCCS16[R/W] B,H,W 00000000	ADRCCS17[R/W] B,H,W 00000000	ADRCCS18[R/W] B,H,W 00000000	ADRCCS19[R/W] B,H,W 00000000	
001430_H	ADRCCS20[R/W] B,H,W 00000000	ADRCCS21[R/W] B,H,W 00000000	ADRCCS22[R/W] B,H,W 00000000	ADRCCS23[R/W] B,H,W 00000000	
001434_H	ADRCCS24[R/W] B,H,W 00000000	ADRCCS25[R/W] B,H,W 00000000	ADRCCS26[R/W] B,H,W 00000000	ADRCCS27[R/W] B,H,W 00000000	
001438_H	ADRCCS28[R/W] B,H,W 00000000	ADRCCS29[R/W] B,H,W 00000000	ADRCCS30[R/W] B,H,W 00000000	ADRCCS31[R/W] B,H,W 00000000	
$00143C_H$	ADRCOTO[R] B,H,W 00000000 00000000 00000000 00000000				
001440_H	ADRCIFO[R,W] B,H,W 00000000 00000000 00000000 00000000				
001444_H	ADSCANS0[R/W] B,H,W 000-----	—	—	—	
001448_H	ADNCS0[R/W] B,H,W 0-000-00	ADNCS1[R/W] B,H,W 0-000-00	ADNCS2[R/W] B,H,W 0-000-00	ADNCS3[R/W] B,H,W 0-000-00	
$00144C_H$	ADNCS4[R/W] B,H,W 0-000-00	ADNCS5[R/W] B,H,W 0-000-00	ADNCS6[R/W] B,H,W 0-000-00	ADNCS7[R/W] B,H,W 0-000-00	
001450_H	ADNCS8[R/W] B,H,W 0-000-00	ADNCS9[R/W] B,H,W 0-000-00	ADNCS10[R/W] B,H,W 0-000-00	ADNCS11[R/W] B,H,W 0-000-00	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001454$_H$	ADNCS12[R/W] B,H,W 0-000-00	ADNCS13[R/W] B,H,W 0-000-00	ADNCS14[R/W] B,H,W 0-000-00	ADNCS15[R/W] B,H,W 0-000-00	
001458$_H$	ADPRTF0[R] B,H,W 00000000 00000000 00000000 00000000				12 ビット A/D コンバータ 1/2 unit
00145C$_H$	ADEOCF0[R] B,H,W 11111111 11111111 11111111 11111111				
001460$_H$	ADCS0[R] B,H,W 0------- --------		ADCH0[R] B,H,W ---00000	ADMD0[R/W] B,H,W 0---0000	
001464$_H$	ADSTPCS0[R/W] B,H,W 00000000	ADSTPCS1[R/W] B,H,W 00000000	ADSTPCS2[R/W] B,H,W 00000000	ADSTPCS3[R/W] B,H,W 00000000	
001468$_H$	ADSTPCS4[R/W] B,H,W 00000000	ADSTPCS5[R/W] B,H,W 00000000	ADSTPCS6[R/W] B,H,W 00000000	ADSTPCS7[R/W] B,H,W 00000000	
00146C$_H$	—				12 ビット A/D コンバータ 2/2 unit
001470$_H$	ADTSS1[R/W] B,H,W -------0	—	—	—	
001474$_H$	ADTSE1[R/W] B,H,W -------- -------- 00000000 00000000				
001478$_H$	ADCOMP32/ADCOMPB32[R/W] H,W 00000000 00000000		ADCOMP33/ADCOMPB33[R/W] H,W 00000000 00000000		
00147C$_H$	ADCOMP34/ADCOMPB34[R/W] H,W 00000000 00000000		ADCOMP35/ADCOMPB35[R/W] H,W 00000000 00000000		
001480$_H$	ADCOMP36/ADCOMPB36[R/W] H,W 00000000 00000000		ADCOMP37/ADCOMPB37[R/W] H,W 00000000 00000000		
001484$_H$	ADCOMP38/ADCOMPB38[R/W] H,W 00000000 00000000		ADCOMP39/ADCOMPB39[R/W] H,W 00000000 00000000		
001488$_H$	ADCOMP40/ADCOMPB40[R/W] H,W 00000000 00000000		ADCOMP41/ADCOMPB41[R/W] H,W 00000000 00000000		
00148C$_H$	ADCOMP42/ADCOMPB42[R/W] H,W 00000000 00000000		ADCOMP43/ADCOMPB43[R/W] H,W 00000000 00000000		
001490$_H$	ADCOMP44/ADCOMPB44[R/W] H,W 00000000 00000000		ADCOMP45/ADCOMPB45[R/W] H,W 00000000 00000000		
001494$_H$	ADCOMP46/ADCOMPB46[R/W] H,W 00000000 00000000		ADCOMP47/ADCOMPB47[R/W] H,W 00000000 00000000		
001498$_H$ ～ 0014B4$_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0014B8_H$	ADTCS32[R/W] B,H,W 00000000 0010----		ADTCS33[R/W] B,H,W 00000000 0010----		12 ビット A/D コンバータ 2/2 unit
$0014BC_H$	ADTCS34[R/W] B,H,W 00000000 0010----		ADTCS35[R/W] B,H,W 00000000 0010----		
$0014C0_H$	ADTCS36[R/W] B,H,W 00000000 0010----		ADTCS37[R/W] B,H,W 00000000 0010----		
$0014C4_H$	ADTCS38[R/W] B,H,W 00000000 0010----		ADTCS39[R/W] B,H,W 00000000 0010----		
$0014C8_H$	ADTCS40[R/W] B,H,W 00000000 0010----		ADTCS41[R/W] B,H,W 00000000 0010----		
$0014CC_H$	ADTCS42[R/W] B,H,W 00000000 0010----		ADTCS43[R/W] B,H,W 00000000 0010----		
$0014D0_H$	ADTCS44[R/W] B,H,W 00000000 0010----		ADTCS45[R/W] B,H,W 00000000 0010----		
$0014D4_H$	ADTCS46[R/W] B,H,W 00000000 0010----		ADTCS47[R/W] B,H,W 00000000 0010----		
$0014D8_H$ ～ $0014F4_H$	—	—	—	—	予約
$0014F8_H$	ADTCD32[R] B,H,W 10--0000 00000000		ADTCD33[R] B,H,W 10--0000 00000000		12 ビット A/D コンバータ 2/2 unit
$0014FC_H$	ADTCD34[R] B,H,W 10--0000 00000000		ADTCD35[R] B,H,W 10--0000 00000000		
001500_H	ADTCD36[R] B,H,W 10--0000 00000000		ADTCD37[R] B,H,W 10--0000 00000000		
001504_H	ADTCD38[R] B,H,W 10--0000 00000000		ADTCD39[R] B,H,W 10--0000 00000000		
001508_H	ADTCD40[R] B,H,W 10--0000 00000000		ADTCD41[R] B,H,W 10--0000 00000000		
$00150C_H$	ADTCD42[R] B,H,W 10--0000 00000000		ADTCD43[R] B,H,W 10--0000 00000000		
001510_H	ADTCD44[R] B,H,W 10--0000 00000000		ADTCD45[R] B,H,W 10--0000 00000000		
001514_H	ADTCD46[R] B,H,W 10--0000 00000000		ADTCD47[R] B,H,W 10--0000 00000000		
001518_H ～ 001534_H	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001538_H	ADTECS32[R/W] B,H,W --------0 ----0000		ADTECS33[R/W] B,H,W --------0 ----0000		12 ビット A/D コンバータ 2/2 unit
$00153C_H$	ADTECS34[R/W] B,H,W --------0 ----0000		ADTECS35[R/W] B,H,W --------0 ----0000		
001540_H	ADTECS36[R/W] B,H,W --------0 ----0000		ADTECS37[R/W] B,H,W --------0 ----0000		
001544_H	ADTECS38[R/W] B,H,W --------0 ----0000		ADTECS39[R/W] B,H,W --------0 ----0000		
001548_H	ADTECS40[R/W] B,H,W --------0 ----0000		ADTECS41[R/W] B,H,W --------0 ----0000		
$00154C_H$	ADTECS42[R/W] B,H,W --------0 ----0000		ADTECS43[R/W] B,H,W --------0 ----0000		
001550_H	ADTECS44[R/W] B,H,W --------0 ----0000		ADTECS45[R/W] B,H,W --------0 ----0000		
001554_H	ADTECS46[R/W] B,H,W --------0 ----0000		ADTECS47[R/W] B,H,W --------0 ----0000		
001558_H ～ 001574_H	—	—	—	—	予約
001578_H	ADRCUT4[R/W] B,H,W ----0000 00000000		ADRCLT4[R/W] B,H,W ----0000 00000000		12 ビット A/D コンバータ 2/2 unit
$00157C_H$	ADRCUT5[R/W] B,H,W ----0000 00000000		ADRCLT5[R/W] B,H,W ----0000 00000000		
001580_H	ADRCUT6[R/W] B,H,W ----0000 00000000		ADRCLT6[R/W] B,H,W ----0000 00000000		
001584_H	ADRCUT7[R/W] B,H,W ----0000 00000000		ADRCLT7[R/W] B,H,W ----0000 00000000		
001588_H	ADRCCS32[R/W] B,H,W 00000000	ADRCCS33[R/W] B,H,W 00000000	ADRCCS34[R/W] B,H,W 00000000	ADRCCS35[R/W] B,H,W 00000000	
$00158C_H$	ADRCCS36[R/W] B,H,W 00000000	ADRCCS37[R/W] B,H,W 00000000	ADRCCS38[R/W] B,H,W 00000000	ADRCCS39[R/W] B,H,W 00000000	
001590_H	ADRCCS40[R/W] B,H,W 00000000	ADRCCS41[R/W] B,H,W 00000000	ADRCCS42[R/W] B,H,W 00000000	ADRCCS43[R/W] B,H,W 00000000	
001594_H	ADRCCS44[R/W] B,H,W 00000000	ADRCCS45[R/W] B,H,W 00000000	ADRCCS46[R/W] B,H,W 00000000	ADRCCS47[R/W] B,H,W 00000000	
001598_H ～ $0015A4_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0015A8_H$	ADRCOT1 [R] B, H, W -------- -------- 00000000 00000000				12 ビット A/D コンバータ 2/2 unit
$0015AC_H$	ADRCIF1 [R, W] B, H, W -------- -------- 00000000 00000000				
$0015B0_H$	ADSCANS1 [R/W] B, H, W 000-----	—	—	—	
$0015B4_H$	ADNCS16 [R/W] B, H, W 0-000-00	ADNCS17 [R/W] B, H, W 0-000-00	ADNCS18 [R/W] B, H, W 0-000-00	ADNCS19 [R/W] B, H, W 0-000-00	
$0015B8_H$	ADNCS20 [R/W] B, H, W 0-000-00	ADNCS21 [R/W] B, H, W 0-000-00	ADNCS22 [R/W] B, H, W 0-000-00	ADNCS23 [R/W] B, H, W 0-000-00	
$0015BC_H$	—	—	—	—	
$0015C0_H$	—	—	—	—	
$0015C4_H$	ADPRTF1 [R] B, H, W -------- -------- 00000000 00000000				
$0015C8_H$	ADEOCF1 [R] B, H, W -------- -------- 11111111 11111111				
$0015CC_H$	ADCS1 [R] B, H, W 0------- --------		ADCH1 [R] B, H, W ---00000	ADMD1 [R/W] B, H, W 0---0000	
$0015D0_H$	ADSTPCS8 [R/W] B, H, W 00000000	ADSTPCS9 [R/W] B, H, W 00000000	ADSTPCS10 [R/W] B, H, W 00000000	ADSTPCS11 [R/W] B, H, W 00000000	
$0015D4_H$ ～ $00174C_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001750_H	SCR0/(IBCR0) [R/W] B, H, W 0--00000	SMR0 [R/W] B, H, W 000-00-0	SSR0 [R/W] B, H, W 0-000011	ESCR0/(IBSR0) [R/W] B, H, W 00000000	Multi-UART0 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
001754_H	— /(RDR10/(TDR10)) [R/W] B, H, W -------- --------*3		RDR00/(TDR00) [R/W] B, H, W -------0 00000000*1		
001758_H	SACSR0 [R/W] B, H, W 0----000 00000000		STMR0 [R] B, H, W 00000000 00000000		
$00175C_H$	STMCR0 [R/W] B, H, W 00000000 00000000		— /(SCSCR0/SFUR0) [R/W] B, H, W -------- --------*3 *4		
001760_H	— /(SCSTR30)/(LAMSR0) [R/W] B, H, W --------*3	— /(SCSTR20)/(LAMCR0) [R/W] B, H, W --------*3	— /(SCSTR10) /(SFLR10) [R/W] B, H, W --------*3	— /(SCSTR00)/(SFLR00) [R/W] B, H, W --------*3	
001764_H	—	— /(SCSFR20) [R/W] B, H, W --------*3	— /(SCSFR10) [R/W] B, H, W --------*3	— /(SCSFR00) [R/W] B, H, W --------*3	
001768_H	—/(TBYTE30)/(LAMESR0) [R/W] B, H, W --------*3	—/(TBYTE20) /(LAMERT0) [R/W] B, H, W --------*3	—/(TBYTE10)/(LAMIER0) [R/W] B, H, W --------*3	TBYTE00/(LAMRID0)/(LAMTID0) [R/W] B, H, W 00000000	
$00176C_H$	BGR0 [R/W] H, W 00000000 00000000		— /(ISMK0) [R/W] B, H, W --------*2	— /(ISBA0) [R/W] B, H, W --------*2	
001770_H	FCR10 [R/W] B, H, W ---00100	FCR00 [R/W] B, H, W -0000000	FBYTE0 [R/W] B, H, W 00000000 00000000		
001774_H	FTICR0 [R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001778$_H$	SCR1/(IBCR1) [R/W] B, H, W 0--00000	SMR1[R/W] B, H, W 000-00-0	SSR1[R/W] B, H, W 0-000011	ESCR1/(IBSR1)[R/W] B, H, W 00000000	Multi-UART1 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可 * 2: リセット直後は I^{2}C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
00177C$_H$	— /(RDR11/(TDR11))[R/W] B, H, W -------- --------*3		RDR01/(TDR01)[R/W] B, H, W -------0 00000000*1		
001780$_H$	SACSR1[R/W] B, H, W 0----000 00000000		STMR1[R] B, H, W 00000000 00000000		
001784$_H$	STMCR1[R/W] B, H, W 00000000 00000000		— /(SCSCR1/SFUR1)[R/W] B, H, W -------- --------*3 *4		
001788$_H$	— /(SCSTR31)/ (LAMSR1) [R/W] B, H, W --------*3	— /(SCSTR21)/ (LAMCR1) [R/W] B, H, W --------*3	— /(SCSTR11)/ (SFLR11) [R/W] B, H, W --------*3	— /(SCSTR01)/ (SFLR01) [R/W] B, H, W --------*3	
00178C$_H$	—	— /(SCSFR21)[R/W] B, H, W --------*3	— /(SCSFR11) [R/W] B, H, W --------*3	— /(SCSFR01) [R/W] B, H, W --------*3	
001790$_H$	—/(TBYTE31)/ (LAMESR1) [R/W] B, H, W --------*3	—/(TBYTE21)/ (LAMERT1) [R/W] B, H, W --------*3	—/(TBYTE11)/ (LAMIER1) [R/W] B, H, W --------*3	TBYTE01/(LAMRID1)/ (LAMTID1) [R/W] B, H, W 00000000	
001794$_H$	BGR1[R/W] H, W 00000000 00000000		— /(ISMK1)[R/W] B, H, W --------*2	— /(ISBA1)[R/W] B, H, W --------*2	
001798$_H$	FCR11[R/W] B, H, W ---00100	FCR01[R/W] B, H, W -0000000	FBYTE1[R/W] B, H, W 00000000 00000000		
00179C$_H$	FTICR1[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0017A0$_H$	SCR2/(IBCR2) [R/W] B, H, W 0--00000	SMR2 [R/W] B, H, W 000-00-0	SSR2 [R/W] B, H, W 0-000011	ESCR2/(IBSR2) [R/W] B, H, W 00000000	Multi-UART2 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可 * 2: リセット直後は I^{2}C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
0017A4$_H$	— /(RDR12/(TDR12)) [R/W] B, H, W -------- --------*3		RDR02/(TDR02) [R/W] B, H, W -------0 00000000*1		
0017A8$_H$	SACSR2 [R/W] B, H, W 0----000 00000000		STMR2 [R] B, H, W 00000000 00000000		
0017AC$_H$	STMCR2 [R/W] B, H, W 00000000 00000000		— /(SCSCR2/SFUR2) [R/W] B, H, W -------- --------*3 *4		
0017B0$_H$	— /(SCSTR32)/ (LAMSR2) [R/W] B, H, W --------*3	— /(SCSTR22)/ (LAMCR2) [R/W] B, H, W --------*3	— /(SCSTR12)/ (SFLR12) [R/W] B, H, W --------*3	— /(SCSTR02)/ (SFLR02) [R/W] B, H, W --------*3	
0017B4$_H$	—	— /(SCSFR22) [R/W] B, H, W --------*3	— /(SCSFR12) [R/W] B, H, W --------*3	— /(SCSFR02) [R/W] B, H, W --------*3	
0017B8$_H$	—/(TBYTE32)/ (LAMESR2) [R/W] B, H, W --------*3	—/(TBYTE22)/ (LAMERT2) [R/W] B, H, W --------*3	—/(TBYTE12)/ (LAMIER2) [R/W] B, H, W --------*3	TBYTE02/(LAMRID2)/ (LAMTID2) [R/W] B, H, W 00000000	
0017BC$_H$	BGR2 [R/W] H, W 00000000 00000000		— /(ISMK2) [R/W] B, H, W --------*2	— /(ISBA2) [R/W] B, H, W --------*2	
0017C0$_H$	FCR12 [R/W] B, H, W ---00100	FCR02 [R/W] B, H, W -0000000	FBYTE2 [R/W] B, H, W 00000000 00000000		
0017C4$_H$	FTICR2 [R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0017C8H	SCR3/(IBCR3) [R/W] B,H,W 0--00000	SMR3[R/W] B,H,W 000-00-0	SSR3[R/W] B,H,W 0-000011	ESCR3/(IBSR3)[R/W] B,H,W 00000000	Multi-UART3 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I²C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
0017CCH	— /(RDR13/(TDR13))[R/W] B,H,W -------- --------*3		RDR03/(TDR03)[R/W] B,H,W -------0 00000000*1		
0017D0H	SACSR3[R/W] B,H,W 0----000 00000000		STMR3[R] B,H,W 00000000 00000000		
0017D4H	STMCR3[R/W] B,H,W 00000000 00000000		— /(SCSCR3/SFUR3)[R/W] B,H,W -------- --------*3 *4		
0017D8H	— /(SCSTR33)/(LAMSR3) [R/W] B,H,W --------*3	— /(SCSTR23)/(LAMCR3) [R/W] B,H,W --------*3	— /(SCSTR13)/(SFLR13) [R/W] B,H,W --------*3	— /(SCSTR03)/(SFLR03) [R/W] B,H,W --------*3	
0017DCH	—	— /(SCSFR23) [R/W] B,H,W --------*3	— /(SCSFR13) [R/W] B,H,W --------*3	— /(SCSFR03) [R/W] B,H,W --------*3	
0017E0H	—/(TBYTE33)/(LAMESR3) [R/W] B,H,W --------*3	—/(TBYTE23)/(LAMERT3) [R/W] B,H,W --------*3	—/(TBYTE13)/(LAMIER3) [R/W] B,H,W --------*3	TBYTE03/(LAMRID3)/(LAMTID3) [R/W] B,H,W 00000000	
0017E4H	BGR3[R/W] H, W 00000000 00000000		— /(ISMK3)[R/W] B,H,W --------*2	— /(ISBA3)[R/W] B,H,W --------*2	
0017E8H	FCR13[R/W] B,H,W ---00100	FCR03[R/W] B,H,W -0000000	FBYTE3[R/W] B,H,W 00000000 00000000		
0017ECH	FTICR3[R/W] B,H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0017F0_H$	SCR4/(IBCR4) [R/W] B, H, W 0--00000	SMR4[R/W] B, H, W 000-00-0	SSR4[R/W] B, H, W 0-000011	ESCR4/(IBSR4)[R/W] B, H, W 00000000	Multi-UART4 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
$0017F4_H$	— /(RDR14/(TDR14))[R/W] B, H, W -------- --------*3		RDR04/(TDR04)[R/W] B, H, W -------0 00000000*1		
$0017F8_H$	SACSR4[R/W] B, H, W 0----000 00000000		STMR4[R] B, H, W 00000000 00000000		
$0017FC_H$	STMCR4[R/W] B, H, W 00000000 00000000		— /(SCSCR4/SFUR4)[R/W] B, H, W -------- --------*3 *4		
001800_H	— /(SCSTR34)/ (LAMSR4) [R/W] B, H, W --------*3	— /(SCSTR24)/ (LAMCR4) [R/W] B, H, W --------*3	— /(SCSTR14)/ (SFLR14) [R/W] B, H, W --------*3	— /(SCSTR04)/ (SFLR04) [R/W] B, H, W --------*3	
001804_H	—	— /(SCSFR24) [R/W] B, H, W --------*3	— /(SCSFR14) [R/W] B, H, W --------*3	— /(SCSFR04) [R/W] B, H, W --------*3	
001808_H	—/(TBYTE34)/ (LAMESR4) [R/W] B, H, W --------*3	—/(TBYTE24)/ (LAMERT4) [R/W] B, H, W --------*3	—/(TBYTE14)/ (LAMIER4) [R/W] B, H, W --------*3	TBYTE04/(LAMRID4)/ (LAMTID4) [R/W] B, H, W 00000000	
$00180C_H$	BGR4[R/W] H, W 00000000 00000000		— /(ISMK4)[R/W] B, H, W --------*2	— /(ISBA4)[R/W] B, H, W --------*2	
001810_H	FCR14[R/W] B, H, W ---00100	FCR04[R/W] B, H, W -0000000	FBYTE4[R/W] B, H, W 00000000 00000000		
001814_H	FTICR4[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001818_H	SCR5/(IBCR5) [R/W] B, H, W 0--00000	SMR5[R/W] B, H, W 000-00-0	SSR5[R/W] B, H, W 0-000011	ESCR5/(IBSR5)[R/W] B, H, W 00000000	Multi-UART5 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
$00181C_H$	— /(RDR15/(TDR15))[R/W] B, H, W -------- --------*3		RDR05/(TDR05)[R/W] B, H, W -------0 00000000*1		
001820_H	SACSR5[R/W] B, H, W 0----000 00000000		STMR5[R] B, H, W 00000000 00000000		
001824_H	STMCR5[R/W] B, H, W 00000000 00000000		— /(SCSCR5/SFUR5)[R/W] B, H, W -------- --------*3 *4		
001828_H	— /(SCSTR35)/ (LAMSR5) [R/W] B, H, W --------*3	— /(SCSTR25)/ (LAMCR5) [R/W] B, H, W --------*3	— /(SCSTR15)/ (SFLR15) [R/W] B, H, W --------*3	— /(SCSTR05)/ (SFLR05) [R/W] B, H, W --------*3	
$00182C_H$	—	— /(SCSFR25) [R/W] B, H, W --------*3	— /(SCSFR15) [R/W] B, H, W --------*3	— /(SCSFR05) [R/W] B, H, W --------*3	
001830_H	—/(TBYTE35)/ (LAMESR5) [R/W] B, H, W --------*3	—/(TBYTE25)/ (LAMERT5) [R/W] B, H, W --------*3	—/(TBYTE15)/ (LAMIER5) [R/W] B, H, W --------*3	TBYTE05/(LAMRID5)/ (LAMTID5) [R/W] B, H, W 00000000	
001834_H	BGR5[R/W] H, W 00000000 00000000		— /(ISMK5)[R/W] B, H, W --------*2	— /(ISBA5)[R/W] B, H, W --------*2	
001838_H	FCR15[R/W] B, H, W ---00100	FCR05[R/W] B, H, W -0000000	FBYTE5[R/W] B, H, W 00000000 00000000		
$00183C_H$	FTICR5[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001840_H	SCR6/(IBCR6) [R/W] B, H, W 0--00000	SMR6[R/W] B, H, W 000-00-0	SSR6[R/W] B, H, W 0-000011	ESCR6/(IBSR6)[R/W] B, H, W 00000000	Multi-UART6 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
001844_H	— /(RDR16/(TDR16))[R/W] B, H, W -------- --------*3		RDR06/(TDR06)[R/W] B, H, W -------0 00000000*1		
001848_H	SACSR6[R/W] B, H, W 0----000 00000000		STMR6[R] B, H, W 00000000 00000000		
$00184C_H$	STMCR6[R/W] B, H, W 00000000 00000000		— /(SCSCR6/SFUR6)[R/W] B, H, W -------- --------*3 *4		
001850_H	— /(SCSTR36)/ (LAMSR6) [R/W] B, H, W --------*3	— /(SCSTR26)/ (LAMCR6) [R/W] B, H, W --------*3	— /(SCSTR16)/ (SFLR16) [R/W] B, H, W --------*3	— /(SCSTR06)/ (SFLR06) [R/W] B, H, W --------*3	
001854_H	—	— /(SCSFR26) [R/W] B, H, W --------*3	— /(SCSFR16) [R/W] B, H, W --------*3	— /(SCSFR06) [R/W] B, H, W --------*3	
001858_H	—/(TBYTE36)/ (LAMESR6) [R/W] B, H, W --------*3	—/(TBYTE26)/ (LAMERT6) [R/W] B, H, W --------*3	—/(TBYTE16)/ (LAMIER6) [R/W] B, H, W --------*3	TBYTE06/(LAMRID6)/ (LAMTID6) [R/W] B, H, W 00000000	
$00185C_H$	BGR6[R/W] H, W 00000000 00000000		— /(ISMK6)[R/W] B, H, W --------*2	— /(ISBA6)[R/W] B, H, W --------*2	
001860_H	FCR16[R/W] B, H, W ---00100	FCR06[R/W] B, H, W -0000000	FBYTE6[R/W] B, H, W 00000000 00000000		
001864_H	FTICR6[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001868_H	SCR7/(IBCR7) [R/W] B,H,W 0--00000	SMR7[R/W] B,H,W 000-00-0	SSR7[R/W] B,H,W 0-000011	ESCR7/(IBSR7)[R/W] B,H,W 00000000	Multi-UART7 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
$00186C_H$	— /(RDR17/(TDR17))[R/W] B,H,W -------- --------*3		RDR07/(TDR07)[R/W] B,H,W -------0 00000000*1		
001870_H	SACSR7[R/W] B,H,W 0----000 00000000		STMR7[R] B,H,W 00000000 00000000		
001874_H	STMCR7[R/W] B,H,W 00000000 00000000		— /(SCSCR7/SFUR7)[R/W] B,H,W -------- --------*3 *4		
001878_H	— /(SCSTR37)/ (LAMSR7) [R/W] B,H,W --------*3	— /(SCSTR27)/ (LAMCR7) [R/W] B,H,W --------*3	— /(SCSTR17)/ (SFLR17) [R/W] B,H,W --------*3	— /(SCSTR07)/ (SFLR07) [R/W] B,H,W --------*3	
$00187C_H$	—	— /(SCSFR27) [R/W] B,H,W --------*3	— /(SCSFR17) [R/W] B,H,W --------*3	— /(SCSFR07) [R/W] B,H,W --------*3	
001880_H	—/(TBYTE37)/ (LAMESR7) [R/W] B,H,W --------*3	—/(TBYTE27)/ (LAMERT7) [R/W] B,H,W --------*3	—/(TBYTE17)/ (LAMIER7) [R/W] B,H,W --------*3	TBYTE07/(LAMRID7)/ (LAMTID7) [R/W] B,H,W 00000000	
001884_H	BGR7[R/W] H, W 00000000 00000000		— /(ISMK7)[R/W] B,H,W --------*2	— /(ISBA7)[R/W] B,H,W --------*2	
001888_H	FCR17[R/W] B,H,W ---00100	FCR07[R/W] B,H,W -0000000	FBYTE7[R/W] B,H,W 00000000 00000000		
$00188C_H$	FTICR7[R/W] B,H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001890_H	SCR8/(IBCR8) [R/W] B, H, W 0--00000	SMR8[R/W] B, H, W 000-00-0	SSR8[R/W] B, H, W 0-000011	ESCR8/(IBSR8)[R/W] B, H, W 00000000	Multi-UART8 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
001894_H	— /(RDR18/(TDR18))[R/W] B, H, W -------- --------*3		RDR08/(TDR08)[R/W] B, H, W -------0 00000000*1		
001898_H	SACSR8[R/W] B, H, W 0----000 00000000		STMR8[R] B, H, W 00000000 00000000		
$00189C_H$	STMCR8[R/W] B, H, W 00000000 00000000		— /(SCSCR8/SFUR8)[R/W] B, H, W -------- --------*3 *4		
$0018A0_H$	— /(SCSTR38)/ (LAMSR8) [R/W] B, H, W --------*3	— /(SCSTR28)/ (LAMCR8) [R/W] B, H, W --------*3	— /(SCSTR18)/ (SFLR18) [R/W] B, H, W --------*3	— /(SCSTR08)/ (SFLR08) [R/W] B, H, W --------*3	
$0018A4_H$	—	— /(SCSFR28) [R/W] B, H, W --------*3	— /(SCSFR18) [R/W] B, H, W --------*3	— /(SCSFR08) [R/W] B, H, W --------*3	
$0018A8_H$	—/(TBYTE38)/ (LAMESR8) [R/W] B, H, W --------*3	—/(TBYTE28)/ (LAMERT8) [R/W] B, H, W --------*3	—/(TBYTE18)/ (LAMIER8) [R/W] B, H, W --------*3	TBYTE08/(LAMRID8)/ (LAMTID8) [R/W] B, H, W 00000000	
$0018AC_H$	BGR8[R/W] H, W 00000000 00000000		— /(ISMK8)[R/W] B, H, W --------*2	— /(ISBA8)[R/W] B, H, W --------*2	
$0018B0_H$	FCR18[R/W] B, H, W ---00100	FCR08[R/W] B, H, W -0000000	FBYTE8[R/W] B, H, W 00000000 00000000		
$0018B4_H$	FTICR8[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0018B8_H$	SCR9/(IBCR9) [R/W] B, H, W 0--00000	SMR9[R/W] B, H, W 000-00-0	SSR9[R/W] B, H, W 0-000011	ESCR9/(IBSR9)[R/W] B, H, W 00000000	Multi-UART9 *1: 下位 8 ビットにアクセスする場合のみ, バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
$0018BC_H$	— /(RDR19/(TDR19))[R/W] B, H, W -------- --------*3		RDR09/(TDR09)[R/W] B, H, W -------0 00000000*1		
$0018C0_H$	SACSR9[R/W] B, H, W 0----000 00000000		STMR9[R] B, H, W 00000000 00000000		
$0018C4_H$	STMCR9[R/W] B, H, W 00000000 00000000		— /(SCSCR9/SFUR9)[R/W] B, H, W -------- --------*3 *4		
$0018C8_H$	— /(SCSTR39)/ (LAMSR9) [R/W] B, H, W --------*3	— /(SCSTR29)/ (LAMCR9) [R/W] B, H, W --------*3	— /(SCSTR19)/ (SFLR19) [R/W] B, H, W --------*3	— /(SCSTR09)/ (SFLR09) [R/W] B, H, W --------*3	
$0018CC_H$	—	— /(SCSFR29) [R/W] B, H, W --------*3	— /(SCSFR19) [R/W] B, H, W --------*3	— /(SCSFR09) [R/W] B, H, W --------*3	
$0018D0_H$	—/(TBYTE39)/ (LAMESR9) [R/W] B, H, W --------*3	—/(TBYTE29)/ (LAMERT9) [R/W] B, H, W --------*3	—/(TBYTE19)/ (LAMIER9) [R/W] B, H, W --------*3	TBYTE09/(LAMRID9)/ (LAMTID9) [R/W] B, H, W 00000000	
$0018D4_H$	BGR9[R/W] H, W 00000000 00000000		— /(ISMK9)[R/W] B, H, W --------*2	— /(ISBA9)[R/W] B, H, W --------*2	
$0018D8_H$	FCR19[R/W] B, H, W ---00100	FCR09[R/W] B, H, W -0000000	FBYTE9[R/W] B, H, W 00000000 00000000		
$0018DC_H$	FTICR9[R/W] B, H, W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0018E0$_H$	SCR10/(IBCR10) [R/W] B,H,W 0--00000	SMR10[R/W] B,H,W 000-00-0	SSR10[R/W] B,H,W 0-000011	ESCR10/(IBSR10) [R/W] B,H,W 00000000	Multi-UART10 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^{2}C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
0018E4$_H$	— /(RDR110/(TDR110))[R/W] B,H,W -------- --------*3		RDR010/(TDR010)[R/W] B,H,W -------0 00000000*1		
0018E8$_H$	SACSR10[R/W] B,H,W 0----000 00000000		STMR10[R] B,H,W 00000000 00000000		
0018EC$_H$	STMCR10[R/W] B,H,W 00000000 00000000		— /(SCSCR10/SFUR10)[R/W] B,H,W -------- --------*3 *4		
0018F0$_H$	— /(SCSTR310)/ (LAMSR10) [R/W] B,H,W --------*3	— /(SCSTR210)/ (LAMCR10) [R/W] B,H,W --------*3	— /(SCSTR110)/ (SFLR110)[R/W] B,H,W --------*3	— /(SCSTR010)/ (SFLR010)[R/W] B,H,W --------*3	
0018F4$_H$	—	— /(SCSFR210) [R/W] B,H,W --------*3	— /(SCSFR110) [R/W] B,H,W --------*3	— /(SCSFR010) [R/W] B,H,W --------*3	
0018F8$_H$	—/(TBYTE310)/ (LAMESR10) [R/W] B,H,W --------*3	—/(TBYTE210)/ (LAMERT10) [R/W] B,H,W --------*3	—/(TBYTE110)/ (LAMIER10) [R/W] B,H,W --------*3	TBYTE010/(LAMRID10) /(LAMTID10) [R/W] B,H,W 00000000	
0018FC$_H$	BGR10[R/W] H, W 00000000 00000000		— /(ISMK10)[R/W] B,H,W --------*2	— /(ISBA10)[R/W] B,H,W --------*2	
001900$_H$	FCR110[R/W] B,H,W ---00100	FCR010[R/W] B,H,W -0000000	FBYTE10[R/W] B,H,W 00000000 00000000		
001904$_H$	FTICR10[R/W] B,H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001908_H	SCR11/(IBCR11) [R/W] B,H,W 0--00000	SMR11[R/W] B,H,W 000-00-0	SSR11[R/W] B,H,W 0-000011	ESCR11/(IBSR11) [R/W] B,H,W 00000000	Multi-UART11 *1: 下位 8 ビットにアクセスする場合のみ，バイトアクセス可 * 2: リセット直後は I^2C モードではないため予約 * 3: リセット直後は CSIO モードではないため予約 * 4: リセット直後は LIN2.1 モードではないため予約
$00190C_H$	— /(RDR111/(TDR111))[R/W] B,H,W -------- --------*3		RDR011/(TDR011)[R/W] B,H,W -------0 00000000*1		
001910_H	SACSR11[R/W] B,H,W 0----000 00000000		STMR11[R] B,H,W 00000000 00000000		
001914_H	STMCR11[R/W] B,H,W 00000000 00000000		— /(SCSCR11/SFUR11)[R/W] B,H,W -------- --------*3 *4		
001918_H	— /(SCSTR311)/ (LAMSR11) [R/W] B,H,W --------*3	— /(SCSTR211)/ (LAMCR11) [R/W] B,H,W --------*3	— /(SCSTR111)/ (SFLR111)[R/W] B,H,W --------*3	— /(SCSTR011)/ (SFLR011)[R/W] B,H,W --------*3	
$00191C_H$	—	— /(SCSFR211) [R/W] B,H,W --------*3	— /(SCSFR111) [R/W] B,H,W --------*3	— /(SCSFR011) [R/W] B,H,W --------*3	
001920_H	—/(TBYTE311)/ (LAMESR11) [R/W] B,H,W --------*3	—/(TBYTE211)/ (LAMERT11) [R/W] B,H,W --------*3	—/(TBYTE111)/ (LAMIER11) [R/W] B,H,W --------*3	TBYTE011/(LAMRID11) /(LAMTID11) [R/W] B,H,W 00000000	
001924_H	BGR11[R/W] H, W 00000000 00000000		— /(ISMK11)[R/W] B,H,W --------*2	— /(ISBA11)[R/W] B,H,W --------*2	
001928_H	FCR111[R/W] B,H,W ---00100	FCR011[R/W] B,H,W -0000000	FBYTE11[R/W] B,H,W 00000000 00000000		
$00192C_H$	FTICR11[R/W] B,H,W 00000000 00000000		—	—	
001930_H ～ $0019D8_H$	—	—	—	—	予約
$0019DC_H$	—	GATEC0 [R/W] B,H,W ------00	—	GATEC2 [R/W] B,H,W ------00	PPG GATE 制御
$0019E0_H$	—	GATEC4 [R/W] B,H,W ------00	—	—	
$0019E4_H$	—	—	—	—	予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0019E8_H$	GTRS0 [R/W] B,H,W -0000000 -0000000		GTRS1 [R/W] B,H,W -0000000 -0000000		PPG コントローラ
$0019EC_H$	GTRS2 [R/W] B,H,W -0000000 -0000000		GTRS3 [R/W] B,H,W -0000000 -0000000		
$0019F0_H$	GTRS4 [R/W] B,H,W -0000000 -0000000		GTRS5 [R/W] B,H,W -0000000 -0000000		
$0019F4_H$	GTRS6 [R/W] B,H,W -0000000 -0000000		GTRS7 [R/W] B,H,W -0000000 -0000000		
$0019F8_H$	GTRS8 [R/W] B,H,W -0000000 -0000000		GTRS9 [R/W] B,H,W -0000000 -0000000		
$0019FC_H$	GTRS10 [R/W] B,H,W -0000000 -0000000		GTRS11 [R/W] B,H,W -0000000 -0000000		
$001A00_H$	GTRS12 [R/W] B,H,W -0000000 -0000000		GTRS13 [R/W] B,H,W -0000000 -0000000		
$001A04_H$	GTRS14 [R/W] B,H,W -0000000 -0000000		GTRS15 [R/W] B,H,W -0000000 -0000000		
$001A08_H$	GTRS16 [R/W] B,H,W -0000000 -0000000		GTRS17 [R/W] B,H,W -0000000 -0000000		
$001A0C_H$	GTRS18 [R/W] B,H,W -0000000 -0000000		GTRS19 [R/W] B,H,W -0000000 -0000000		
$001A10_H$	GTRS20 [R/W] B,H,W -0000000 -0000000		GTRS21 [R/W] B,H,W -0000000 -0000000		
$001A14_H$	GTRS22 [R/W] B,H,W -0000000 -0000000		GTRS23 [R/W] B,H,W -0000000 -0000000		
$001A18_H$ ～ $001A2C_H$	—	—	—	—	予約
$001A30_H$	—	—	—	—	予約
$001A34_H$	—	—	—	—	
$001A38_H$	GTREN0 [R/W] H,W 00000000 00000000		GTREN1 [R/W] H,W 00000000 00000000		PPG コントローラ
$001A3C_H$	GTREN2 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001A40_H$	PCN0 [R/W] B,H,W 00000000 000000-0		PCSR0 [W] H,W XXXXXXXX XXXXXXXX		PPG0 (注意事項) 通信対応
$001A44_H$	PDUT0 [W] H,W XXXXXXXX XXXXXXXX		PTMR0 [R] H,W 11111111 11111111		
$001A48_H$	PCN200 [R/W] B,H,W --000000 -----110		PSDR0 [R/W] H,W 00000000 00000000		
$001A4C_H$	PTPC0 [R/W] H,W 00000000 00000000		PCMDWD0 [R/W] B,H,W -------- ----0000		
$001A50_H$	PHCSR0 [W] H,W XXXXXXXX XXXXXXXX		PLCSR0 [W] H,W XXXXXXXX XXXXXXXX		
$001A54_H$	PHDUT0 [W] H,W XXXXXXXX XXXXXXXX		PLDUT0 [W] H,W XXXXXXXX XXXXXXXX		
$001A58_H$	PCMDDT0 [R/W] H,W 00000000 00000000		—	—	PPG1 (注意事項) 通信対応
$001A5C_H$	PCN1 [R/W] B,H,W 00000000 000000-0		PCSR1 [W] H,W XXXXXXXX XXXXXXXX		
$001A60_H$	PDUT1 [W] H,W XXXXXXXX XXXXXXXX		PTMR1 [R] H,W 11111111 11111111		
$001A64_H$	PCN201 [R/W] B,H,W --000000 -----110		PSDR1 [R/W] H,W 00000000 00000000		
$001A68_H$	PTPC1 [R/W] H,W 00000000 00000000		PCMDWD1 [R/W] B,H,W -------- ----0000		
$001A6C_H$	PHCSR1 [W] H,W XXXXXXXX XXXXXXXX		PLCSR1 [W] H,W XXXXXXXX XXXXXXXX		
$001A70_H$	PHDUT1 [W] H,W XXXXXXXX XXXXXXXX		PLDUT1 [W] H,W XXXXXXXX XXXXXXXX		
$001A74_H$	PCMDDT1 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001A78_H$	PCN2 [R/W] B,H,W 00000000 000000-0		PCSR2 [W] H,W XXXXXXXX XXXXXXXX		PPG2 (注意事項) 通信対応
$001A7C_H$	PDUT2 [W] H,W XXXXXXXX XXXXXXXX		PTMR2 [R] H,W 11111111 11111111		
$001A80_H$	PCN202 [R/W] B,H,W --000000 -----110		PSDR2 [R/W] H,W 00000000 00000000		
$001A84_H$	PTPC2 [R/W] H,W 00000000 00000000		PCMDWD2 [R/W] B,H,W -------- ----0000		
$001A88_H$	PHCSR2 [W] H,W XXXXXXXX XXXXXXXX		PLCSR2 [W] H,W XXXXXXXX XXXXXXXX		
$001A8C_H$	PHDUT2 [W] H,W XXXXXXXX XXXXXXXX		PLDUT2 [W] H,W XXXXXXXX XXXXXXXX		
$001A90_H$	PCMDDT2 [R/W] H,W 00000000 00000000		—	—	
$001A94_H$	PCN3 [R/W] B,H,W 00000000 000000-0		PCSR3 [W] H,W XXXXXXXX XXXXXXXX		PPG3 (注意事項) 通信対応
$001A98_H$	PDUT3 [W] H,W XXXXXXXX XXXXXXXX		PTMR3 [R] H,W 11111111 11111111		
$001A9C_H$	PCN203 [R/W] B,H,W --000000 -----110		PSDR3 [R/W] H,W 00000000 00000000		
$001AA0_H$	PTPC3 [R/W] H,W 00000000 00000000		PCMDWD3 [R/W] B,H,W -------- ----0000		
$001AA4_H$	PHCSR3 [W] H,W XXXXXXXX XXXXXXXX		PLCSR3 [W] H,W XXXXXXXX XXXXXXXX		
$001AA8_H$	PHDUT3 [W] H,W XXXXXXXX XXXXXXXX		PLDUT3 [W] H,W XXXXXXXX XXXXXXXX		
$001AAC_H$	PCMDDT3 [R/W] H,W 00000000 00000000		—	—	
$001AB0_H$	PCN4 [R/W] B,H,W 00000000 000000-0		PCSR4 [W] H,W XXXXXXXX XXXXXXXX		PPG4
$001AB4_H$	PDUT4 [W] H,W XXXXXXXX XXXXXXXX		PTMR4 [R] H,W 11111111 11111111		
$001AB8_H$	PCN204 [R/W] B,H,W --000000 -----110		PSDR4 [R/W] H,W 00000000 00000000		
$001ABC_H$	PTPC4 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001AC0_H$	PCN5 [R/W] B,H,W 00000000 000000-0		PCSR5 [W] H,W XXXXXXXX XXXXXXXX		PPG5
$001AC4_H$	PDUT5 [W] H,W XXXXXXXX XXXXXXXX		PTMR5 [R] H,W 11111111 11111111		
$001AC8_H$	PCN205 [R/W] B,H,W --000000 -----110		PSDR5 [R/W] H,W 00000000 00000000		
$001ACC_H$	PTPC5 [R/W] H,W 00000000 00000000		—	—	
$001AD0_H$	PCN6 [R/W] B,H,W 00000000 000000-0		PCSR6 [W] H,W XXXXXXXX XXXXXXXX		PPG6
$001AD4_H$	PDUT6 [W] H,W XXXXXXXX XXXXXXXX		PTMR6 [R] H,W 11111111 11111111		
$001AD8_H$	PCN206 [R/W] B,H,W --000000 -----110		PSDR6 [R/W] H,W 00000000 00000000		
$001ADC_H$	PTPC6 [R/W] H,W 00000000 00000000		—	—	
$001AE0_H$	PCN7 [R/W] B,H,W 00000000 000000-0		PCSR7 [W] H,W XXXXXXXX XXXXXXXX		PPG7
$001AE4_H$	PDUT7 [W] H,W XXXXXXXX XXXXXXXX		PTMR7 [R] H,W 11111111 11111111		
$001AE8_H$	PCN207 [R/W] B,H,W --000000 -----110		PSDR7 [R/W] H,W 00000000 00000000		
$001AEC_H$	PTPC7 [R/W] H,W 00000000 00000000		—	—	
$001AF0_H$	PCN8 [R/W] B,H,W 00000000 000000-0		PCSR8 [W] H,W XXXXXXXX XXXXXXXX		PPG8
$001AF4_H$	PDUT8 [W] H,W XXXXXXXX XXXXXXXX		PTMR8 [R] H,W 11111111 11111111		
$001AF8_H$	PCN208 [R/W] B,H,W --000000 -----110		PSDR8 [R/W] H,W 00000000 00000000		
$001AFC_H$	PTPC8 [R/W] H,W 00000000 00000000		—	—	
$001B00_H$	PCN9 [R/W] B,H,W 00000000 000000-0		PCSR9 [W] H,W XXXXXXXX XXXXXXXX		PPG9
$001B04_H$	PDUT9 [W] H,W XXXXXXXX XXXXXXXX		PTMR9 [R] H,W 11111111 11111111		
$001B08_H$	PCN209 [R/W] B,H,W --000000 -----110		PSDR9 [R/W] H,W 00000000 00000000		
$001B0C_H$	PTPC9 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001B10_H$	PCN10 [R/W] B,H,W 00000000 000000-0		PCSR10 [W] H,W XXXXXXXX XXXXXXXX		PPG10
$001B14_H$	PDUT10 [W] H,W XXXXXXXX XXXXXXXX		PTMR10 [R] H,W 11111111 11111111		
$001B18_H$	PCN210 [R/W] B,H,W --000000 -----110		PSDR10 [R/W] H,W 00000000 00000000		
$001B1C_H$	PTPC10 [R/W] H,W 00000000 00000000		—	—	
$001B20_H$	PCN11 [R/W] B,H,W 00000000 000000-0		PCSR11 [W] H,W XXXXXXXX XXXXXXXX		PPG11
$001B24_H$	PDUT11 [W] H,W XXXXXXXX XXXXXXXX		PTMR11 [R] H,W 11111111 11111111		
$001B28_H$	PCN211 [R/W] B,H,W --000000 -----110		PSDR11 [R/W] H,W 00000000 00000000		
$001B2C_H$	PTPC11 [R/W] H,W 00000000 00000000		—	—	
$001B30_H$	PCN12 [R/W] B,H,W 00000000 000000-0		PCSR12 [W] H,W XXXXXXXX XXXXXXXX		PPG12
$001B34_H$	PDUT12 [W] H,W XXXXXXXX XXXXXXXX		PTMR12 [R] H,W 11111111 11111111		
$001B38_H$	PCN212 [R/W] B,H,W --000000 -----110		PSDR12 [R/W] H,W 00000000 00000000		
$001B3C_H$	PTPC12 [R/W] H,W 00000000 00000000		—	—	
$001B40_H$	PCN13 [R/W] B,H,W 00000000 000000-0		PCSR13 [W] H,W XXXXXXXX XXXXXXXX		PPG13
$001B44_H$	PDUT13 [W] H,W XXXXXXXX XXXXXXXX		PTMR13 [R] H,W 11111111 11111111		
$001B48_H$	PCN213 [R/W] B,H,W --000000 -----110		PSDR13 [R/W] H,W 00000000 00000000		
$001B4C_H$	PTPC13 [R/W] H,W 00000000 00000000		—	—	
$001B50_H$	PCN14 [R/W] B,H,W 00000000 000000-0		PCSR14 [W] H,W XXXXXXXX XXXXXXXX		PPG14
$001B54_H$	PDUT14 [W] H,W XXXXXXXX XXXXXXXX		PTMR14 [R] H,W 11111111 11111111		
$001B58_H$	PCN214 [R/W] B,H,W --000000 -----110		PSDR14 [R/W] H,W 00000000 00000000		
$001B5C_H$	PTPC14 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001B60$_H$	PCN15 [R/W] B,H,W 00000000 000000-0		PCSR15 [W] H,W XXXXXXXX XXXXXXXX		PPG15
001B64$_H$	PDUT15 [W] H,W XXXXXXXX XXXXXXXX		PTMR15 [R] H,W 11111111 11111111		
001B68$_H$	PCN215 [R/W] B,H,W --000000 -----110		PSDR15 [R/W] H,W 00000000 00000000		
001B6C$_H$	PTPC15 [R/W] H,W 00000000 00000000		—	—	
001B70$_H$	PCN16 [R/W] B,H,W 00000000 000000-0		PCSR16 [W] H,W XXXXXXXX XXXXXXXX		PPG16
001B74$_H$	PDUT16 [W] H,W XXXXXXXX XXXXXXXX		PTMR16 [R] H,W 11111111 11111111		
001B78$_H$	PCN216 [R/W] B,H,W --000000 -----110		PSDR16 [R/W] H,W 00000000 00000000		
001B7C$_H$	PTPC16 [R/W] H,W 00000000 00000000		—	—	
001B80$_H$	PCN17 [R/W] B,H,W 00000000 000000-0		PCSR17 [W] H,W XXXXXXXX XXXXXXXX		PPG17
001B84$_H$	PDUT17 [W] H,W XXXXXXXX XXXXXXXX		PTMR17 [R] H,W 11111111 11111111		
001B88$_H$	PCN217 [R/W] B,H,W --000000 -----110		PSDR17 [R/W] H,W 00000000 00000000		
001B8C$_H$	PTPC17 [R/W] H,W 00000000 00000000		—	—	
001B90$_H$	PCN18 [R/W] B,H,W 00000000 000000-0		PCSR18 [W] H,W XXXXXXXX XXXXXXXX		PPG18
001B94$_H$	PDUT18 [W] H,W XXXXXXXX XXXXXXXX		PTMR18 [R] H,W 11111111 11111111		
001B98$_H$	PCN218 [R/W] B,H,W --000000 -----110		PSDR18 [R/W] H,W 00000000 00000000		
001B9C$_H$	PTPC18 [R/W] H,W 00000000 00000000		—	—	
001BA0$_H$	PCN19 [R/W] B,H,W 00000000 000000-0		PCSR19 [W] H,W XXXXXXXX XXXXXXXX		PPG19
001BA4$_H$	PDUT19 [W] H,W XXXXXXXX XXXXXXXX		PTMR19 [R] H,W 11111111 11111111		
001BA8$_H$	PCN219 [R/W] B,H,W --000000 -----110		PSDR19 [R/W] H,W 00000000 00000000		
001BAC$_H$	PTPC19 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001BB0_H$	PCN20 [R/W] B,H,W 00000000 000000-0		PCSR20 [W] H,W XXXXXXXX XXXXXXXX		PPG20
$001BB4_H$	PDUT20 [W] H,W XXXXXXXX XXXXXXXX		PTMR20 [R] H,W 11111111 11111111		
$001BB8_H$	PCN220 [R/W] B,H,W --000000 -----110		PSDR20 [R/W] H,W 00000000 00000000		
$001BBC_H$	PTPC20 [R/W] H,W 00000000 00000000		—	—	
$001BC0_H$	PCN21 [R/W] B,H,W 00000000 000000-0		PCSR21 [W] H,W XXXXXXXX XXXXXXXX		PPG21
$001BC4_H$	PDUT21 [W] H,W XXXXXXXX XXXXXXXX		PTMR21 [R] H,W 11111111 11111111		
$001BC8_H$	PCN221 [R/W] B,H,W --000000 -----110		PSDR21 [R/W] H,W 00000000 00000000		
$001BCC_H$	PTPC21 [R/W] H,W 00000000 00000000		—	—	
$001BD0_H$	PCN22 [R/W] B,H,W 00000000 000000-0		PCSR22 [W] H,W XXXXXXXX XXXXXXXX		PPG22
$001BD4_H$	PDUT22 [W] H,W XXXXXXXX XXXXXXXX		PTMR22 [R] H,W 11111111 11111111		
$001BD8_H$	PCN222 [R/W] B,H,W --000000 -----110		PSDR22 [R/W] H,W 00000000 00000000		
$001BDC_H$	PTPC22 [R/W] H,W 00000000 00000000		—	—	
$001BE0_H$	PCN23 [R/W] B,H,W 00000000 000000-0		PCSR23 [W] H,W XXXXXXXX XXXXXXXX		PPG23
$001BE4_H$	PDUT23 [W] H,W XXXXXXXX XXXXXXXX		PTMR23 [R] H,W 11111111 11111111		
$001BE8_H$	PCN223 [R/W] B,H,W --000000 -----110		PSDR23 [R/W] H,W 00000000 00000000		
$001BEC_H$	PTPC23 [R/W] H,W 00000000 00000000		—	—	
$001BF0_H$	PCN24 [R/W] B,H,W 00000000 000000-0		PCSR24 [W] H,W XXXXXXXX XXXXXXXX		PPG24
$001BF4_H$	PDUT24 [W] H,W XXXXXXXX XXXXXXXX		PTMR24 [R] H,W 11111111 11111111		
$001BF8_H$	PCN224 [R/W] B,H,W --000000 -----110		PSDR24 [R/W] H,W 00000000 00000000		
$001BFC_H$	PTPC24 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001C00_H$	PCN25 [R/W] B,H,W 00000000 000000-0		PCSR25 [W] H,W XXXXXXXX XXXXXXXX		PPG25
$001C04_H$	PDUT25 [W] H,W XXXXXXXX XXXXXXXX		PTMR25 [R] H,W 11111111 11111111		
$001C08_H$	PCN225 [R/W] B,H,W --000000 -----110		PSDR25 [R/W] H,W 00000000 00000000		
$001C0C_H$	PTPC25 [R/W] H,W 00000000 00000000		—	—	
$001C10_H$	PCN26 [R/W] B,H,W 00000000 000000-0		PCSR26 [W] H,W XXXXXXXX XXXXXXXX		PPG26
$001C14_H$	PDUT26 [W] H,W XXXXXXXX XXXXXXXX		PTMR26 [R] H,W 11111111 11111111		
$001C18_H$	PCN226 [R/W] B,H,W --000000 -----110		PSDR26 [R/W] H,W 00000000 00000000		
$001C1C_H$	PTPC26 [R/W] H,W 00000000 00000000		—	—	
$001C20_H$	PCN27 [R/W] B,H,W 00000000 000000-0		PCSR27 [W] H,W XXXXXXXX XXXXXXXX		PPG27
$001C24_H$	PDUT27 [W] H,W XXXXXXXX XXXXXXXX		PTMR27 [R] H,W 11111111 11111111		
$001C28_H$	PCN227 [R/W] B,H,W --000000 -----110		PSDR27 [R/W] H,W 00000000 00000000		
$001C2C_H$	PTPC27 [R/W] H,W 00000000 00000000		—	—	
$001C30_H$	PCN28 [R/W] B,H,W 00000000 000000-0		PCSR28 [W] H,W XXXXXXXX XXXXXXXX		PPG28
$001C34_H$	PDUT28 [W] H,W XXXXXXXX XXXXXXXX		PTMR28 [R] H,W 11111111 11111111		
$001C38_H$	PCN228 [R/W] B,H,W --000000 -----110		PSDR28 [R/W] H,W 00000000 00000000		
$001C3C_H$	PTPC28 [R/W] H,W 00000000 00000000		—	—	
$001C40_H$	PCN29 [R/W] B,H,W 00000000 000000-0		PCSR29 [W] H,W XXXXXXXX XXXXXXXX		PPG29
$001C44_H$	PDUT29 [W] H,W XXXXXXXX XXXXXXXX		PTMR29 [R] H,W 11111111 11111111		
$001C48_H$	PCN229 [R/W] B,H,W --000000 -----110		PSDR29 [R/W] H,W 00000000 00000000		
$001C4C_H$	PTPC29 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001C50_H$	PCN30 [R/W] B,H,W 00000000 000000-0		PCSR30 [W] H,W XXXXXXXX XXXXXXXX		PPG30
$001C54_H$	PDUT30 [W] H,W XXXXXXXX XXXXXXXX		PTMR30 [R] H,W 11111111 11111111		
$001C58_H$	PCN230 [R/W] B,H,W --000000 -----110		PSDR30 [R/W] H,W 00000000 00000000		
$001C5C_H$	PTPC30 [R/W] H,W 00000000 00000000		—	—	
$001C60_H$	PCN31 [R/W] B,H,W 00000000 000000-0		PCSR31 [W] H,W XXXXXXXX XXXXXXXX		PPG31
$001C64_H$	PDUT31 [W] H,W XXXXXXXX XXXXXXXX		PTMR31 [R] H,W 11111111 11111111		
$001C68_H$	PCN231 [R/W] B,H,W --000000 -----110		PSDR31 [R/W] H,W 00000000 00000000		
$001C6C_H$	PTPC31 [R/W] H,W 00000000 00000000		—	—	
$001C70_H$	PCN32 [R/W] B,H,W 00000000 000000-0		PCSR32 [W] H,W XXXXXXXX XXXXXXXX		PPG32
$001C74_H$	PDUT32 [W] H,W XXXXXXXX XXXXXXXX		PTMR32 [R] H,W 11111111 11111111		
$001C78_H$	PCN232 [R/W] B,H,W --000000 -----110		PSDR32 [R/W] H,W 00000000 00000000		
$001C7C_H$	PTPC32 [R/W] H,W 00000000 00000000		—	—	
$001C80_H$	PCN33 [R/W] B,H,W 00000000 000000-0		PCSR33 [W] H,W XXXXXXXX XXXXXXXX		PPG33
$001C84_H$	PDUT33 [W] H,W XXXXXXXX XXXXXXXX		PTMR33 [R] H,W 11111111 11111111		
$001C88_H$	PCN233 [R/W] B,H,W --000000 -----110		PSDR33 [R/W] H,W 00000000 00000000		
$001C8C_H$	PTPC33 [R/W] H,W 00000000 00000000		—	—	
$001C90_H$	PCN34 [R/W] B,H,W 00000000 000000-0		PCSR34 [W] H,W XXXXXXXX XXXXXXXX		PPG34
$001C94_H$	PDUT34 [W] H,W XXXXXXXX XXXXXXXX		PTMR34 [R] H,W 11111111 11111111		
$001C98_H$	PCN234 [R/W] B,H,W --000000 -----110		PSDR34 [R/W] H,W 00000000 00000000		
$001C9C_H$	PTPC34 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001CA0_H$	PCN35 [R/W] B,H,W 00000000 000000-0		PCSR35 [W] H,W XXXXXXXX XXXXXXXX		PPG35
$001CA4_H$	PDUT35 [W] H,W XXXXXXXX XXXXXXXX		PTMR35 [R] H,W 11111111 11111111		
$001CA8_H$	PCN235 [R/W] B,H,W --000000 -----110		PSDR35 [R/W] H,W 00000000 00000000		
$001CAC_H$	PTPC35 [R/W] H,W 00000000 00000000		—	—	
$001CB0_H$	PCN36 [R/W] B,H,W 00000000 000000-0		PCSR36 [W] H,W XXXXXXXX XXXXXXXX		PPG36
$001CB4_H$	PDUT36 [W] H,W XXXXXXXX XXXXXXXX		PTMR36 [R] H,W 11111111 11111111		
$001CB8_H$	PCN236 [R/W] B,H,W --000000 -----110		PSDR36 [R/W] H,W 00000000 00000000		
$001CBC_H$	PTPC36 [R/W] H,W 00000000 00000000		—	—	
$001CC0_H$	PCN37 [R/W] B,H,W 00000000 000000-0		PCSR37 [W] H,W XXXXXXXX XXXXXXXX		PPG37
$001CC4_H$	PDUT37 [W] H,W XXXXXXXX XXXXXXXX		PTMR37 [R] H,W 11111111 11111111		
$001CC8_H$	PCN237 [R/W] B,H,W --000000 -----110		PSDR37 [R/W] H,W 00000000 00000000		
$001CCC_H$	PTPC37 [R/W] H,W 00000000 00000000		—	—	
$001CD0_H$	PCN38 [R/W] B,H,W 00000000 000000-0		PCSR38 [W] H,W XXXXXXXX XXXXXXXX		PPG38
$001CD4_H$	PDUT38 [W] H,W XXXXXXXX XXXXXXXX		PTMR38 [R] H,W 11111111 11111111		
$001CD8_H$	PCN238 [R/W] B,H,W --000000 -----110		PSDR38 [R/W] H,W 00000000 00000000		
$001CDC_H$	PTPC38 [R/W] H,W 00000000 00000000		—	—	
$001CE0_H$	PCN39 [R/W] B,H,W 00000000 000000-0		PCSR39 [W] H,W XXXXXXXX XXXXXXXX		PPG39
$001CE4_H$	PDUT39 [W] H,W XXXXXXXX XXXXXXXX		PTMR39 [R] H,W 11111111 11111111		
$001CE8_H$	PCN239 [R/W] B,H,W --000000 -----110		PSDR39 [R/W] H,W 00000000 00000000		
$001CEC_H$	PTPC39 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$001CF0_H$	PCN40 [R/W] B,H,W 00000000 000000-0		PCSR40 [W] H,W XXXXXXXX XXXXXXXX		PPG40
$001CF4_H$	PDUT40 [W] H,W XXXXXXXX XXXXXXXX		PTMR40 [R] H,W 11111111 11111111		
$001CF8_H$	PCN240 [R/W] B,H,W --000000 -----110		PSDR40 [R/W] H,W 00000000 00000000		
$001CFC_H$	PTPC40 [R/W] H,W 00000000 00000000		—	—	
$001D00_H$	PCN41 [R/W] B,H,W 00000000 000000-0		PCSR41 [W] H,W XXXXXXXX XXXXXXXX		PPG41
$001D04_H$	PDUT41 [W] H,W XXXXXXXX XXXXXXXX		PTMR41 [R] H,W 11111111 11111111		
$001D08_H$	PCN241 [R/W] B,H,W --000000 -----110		PSDR41 [R/W] H,W 00000000 00000000		
$001D0C_H$	PTPC41 [R/W] H,W 00000000 00000000		—	—	
$001D10_H$	PCN42 [R/W] B,H,W 00000000 000000-0		PCSR42 [W] H,W XXXXXXXX XXXXXXXX		PPG42
$001D14_H$	PDUT42 [W] H,W XXXXXXXX XXXXXXXX		PTMR42 [R] H,W 11111111 11111111		
$001D18_H$	PCN242 [R/W] B,H,W --000000 -----110		PSDR42 [R/W] H,W 00000000 00000000		
$001D1C_H$	PTPC42 [R/W] H,W 00000000 00000000		—	—	
$001D20_H$	PCN43 [R/W] B,H,W 00000000 000000-0		PCSR43 [W] H,W XXXXXXXX XXXXXXXX		PPG43
$001D24_H$	PDUT43 [W] H,W XXXXXXXX XXXXXXXX		PTMR43 [R] H,W 11111111 11111111		
$001D28_H$	PCN243 [R/W] B,H,W --000000 -----110		PSDR43 [R/W] H,W 00000000 00000000		
$001D2C_H$	PTPC43 [R/W] H,W 00000000 00000000		—	—	
$001D30_H$	PCN44 [R/W] B,H,W 00000000 000000-0		PCSR44 [W] H,W XXXXXXXX XXXXXXXX		PPG44
$001D34_H$	PDUT44 [W] H,W XXXXXXXX XXXXXXXX		PTMR44 [R] H,W 11111111 11111111		
$001D38_H$	PCN244 [R/W] B,H,W --000000 -----110		PSDR44 [R/W] H,W 00000000 00000000		
$001D3C_H$	PTPC44 [R/W] H,W 00000000 00000000		—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001D40$_H$	PCN45 [R/W] B,H,W 00000000 000000-0		PCSR45 [W] H,W XXXXXXXX XXXXXXXX		PPG45
001D44$_H$	PDUT45 [W] H,W XXXXXXXX XXXXXXXX		PTMR45 [R] H,W 11111111 11111111		
001D48$_H$	PCN245 [R/W] B,H,W --000000 -----110		PSDR45 [R/W] H,W 00000000 00000000		
001D4C$_H$	PTPC45 [R/W] H,W 00000000 00000000		—	—	
001D50$_H$	PCN46 [R/W] B,H,W 00000000 000000-0		PCSR46 [W] H,W XXXXXXXX XXXXXXXX		PPG46
001D54$_H$	PDUT46 [W] H,W XXXXXXXX XXXXXXXX		PTMR46 [R] H,W 11111111 11111111		
001D58$_H$	PCN246 [R/W] B,H,W --000000 -----110		PSDR46 [R/W] H,W 00000000 00000000		
001D5C$_H$	PTPC46 [R/W] H,W 00000000 00000000		—	—	
001D60$_H$	PCN47 [R/W] B,H,W 00000000 000000-0		PCSR47 [W] H,W XXXXXXXX XXXXXXXX		PPG47
001D64$_H$	PDUT47 [W] H,W XXXXXXXX XXXXXXXX		PTMR47 [R] H,W 11111111 11111111		
001D68$_H$	PCN247 [R/W] B,H,W --000000 -----110		PSDR47 [R/W] H,W 00000000 00000000		
001D6C$_H$	PTPC47 [R/W] H,W 00000000 00000000		—	—	
001D70$_H$ ～ 001FFC$_H$	—	—	—	—	予約
002000$_H$	CTRLR0 [R/W] B,H,W -------- 000-0001		STATR0 [R/W] B,H,W -------- 00000000		CAN0 (128msb)
002004$_H$	ERRCNT0 [R] B,H,W 00000000 00000000		BTR0 [R/W] B,H,W -0100011 00000001		
002008$_H$	INTR0 [R] H,W 00000000 00000000		TESTR0 [R/W] B,H,W -------- X00000--		
00200C$_H$	BRPER0 [R/W] B,H,W -------- ----0000		—	—	
002010$_H$	IF1CREQ0 [R/W] B,H,W 0------- 00000001		IF1CMSK0 [R/W] B,H,W -------- 00000000		
002014$_H$	IF1MSK20 [R/W] B,H,W 11-11111 11111111		IF1MSK10 [R/W] B,H,W 11111111 11111111		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002018_H	IF1ARB20 [R/W] B,H,W 00000000 00000000		IF1ARB10 [R/W] B,H,W 00000000 00000000		CAN0 (128msb)
$00201C_H$	IF1MCTR0 [R/W] B,H,W 00000000 0---0000		—	—	
002020_H	IF1DTA10 [R/W] B,H,W 00000000 00000000		IF1DTA20 [R/W] B,H,W 00000000 00000000		
002024_H	IF1DTB10 [R/W] B,H,W 00000000 00000000		IF1DTB20 [R/W] B,H,W 00000000 00000000		
002028_H	—	—	—	—	
$00202C_H$	—	—	—	—	
002030_H, 002034_H	Reserved(IF1 data mirror)				
002038_H	—	—	—	—	
$00203C_H$	—	—	—	—	
002040_H	IF2CREQ0 [R/W] B,H,W 0------- 00000001		IF2CMSK0 [R/W] B,H,W -------- 00000000		
002044_H	IF2MSK20 [R/W] B,H,W 11-11111 11111111		IF2MSK10 [R/W] B,H,W 11111111 11111111		
002048_H	IF2ARB20 [R/W] B,H,W 00000000 00000000		IF2ARB10 [R/W] B,H,W 00000000 00000000		
$00204C_H$	IF2MCTR0 [R/W] B,H,W 00000000 0---0000		—	—	
002050_H	IF2DTA10 [R/W] B,H,W 00000000 00000000		IF2DTA20 [R/W] B,H,W 00000000 00000000		
002054_H	IF2DTB10 [R/W] B,H,W 00000000 00000000		IF2DTB20 [R/W] B,H,W 00000000 00000000		
002058_H	—	—	—	—	
$00205C_H$	—	—	—	—	
002060_H, 002064_H	Reserved(IF2 data mirror)				
002068_H ～ $00207C_H$	—				
002080_H	TREQR20 [R] B,H,W 00000000 00000000		TREQR10 [R] B,H,W 00000000 00000000		
002084_H	TREQR40 [R] B,H,W 00000000 00000000		TREQR30 [R] B,H,W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002088_H	TREQR60 [R] B,H,W 00000000 00000000		TREQR50 [R] B,H,W 00000000 00000000		CAN0 (128msb)
$00208C_H$	TREQR80 [R] B,H,W 00000000 00000000		TREQR70 [R] B,H,W 00000000 00000000		
002090_H	NEWDT20 [R] B,H,W 00000000 00000000		NEWDT10 [R] B,H,W 00000000 00000000		
002094_H	NEWDT40 [R] B,H,W 00000000 00000000		NEWDT30 [R] B,H,W 00000000 00000000		
002098_H	NEWDT60 [R] B,H,W 00000000 00000000		NEWDT50 [R] B,H,W 00000000 00000000		
$00209C_H$	NEWDT80 [R] B,H,W 00000000 00000000		NEWDT70 [R] B,H,W 00000000 00000000		
$0020A0_H$	INTPND20 [R] B,H,W 00000000 00000000		INTPND10 [R] B,H,W 00000000 00000000		
$0020A4_H$	INTPND40 [R] B,H,W 00000000 00000000		INTPND30 [R] B,H,W 00000000 00000000		
$0020A8_H$	INTPND60 [R] B,H,W 00000000 00000000		INTPND50 [R] B,H,W 00000000 00000000		
$0020AC_H$	INTPND80 [R] B,H,W 00000000 00000000		INTPND70 [R] B,H,W 00000000 00000000		
$0020B0_H$	MSGVAL20 [R] B,H,W 00000000 00000000		MSGVAL10 [R] B,H,W 00000000 00000000		
$0020B4_H$	MSGVAL40 [R] B,H,W 00000000 00000000		MSGVAL30 [R] B,H,W 00000000 00000000		
$0020B8_H$	MSGVAL60 [R] B,H,W 00000000 00000000		MSGVAL50 [R] B,H,W 00000000 00000000		
$0020BC_H$	MSGVAL80 [R] B,H,W 00000000 00000000		MSGVAL70 [R] B,H,W 00000000 00000000		
$0020C0_H$ ～ $0020FC_H$	—				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002100_H	CTRLR1 [R/W] B,H,W -------- 000-0001		STATR1 [R/W] B,H,W -------- 00000000		CAN1 (64msb)
002104_H	ERRCNT1 [R] B,H,W 00000000 00000000		BTR1 [R/W] B,H,W -0100011 00000001		
002108_H	INTR1 [R] B,H,W 00000000 00000000		TESTR1 [R/W] B,H,W -------- X00000--		
$00210C_H$	BRPER1 [R/W] B,H,W -------- ----0000		—	—	
002110_H	IF1CREQ1 [R/W] B,H,W 0------- 00000001		IF1CMSK1 [R/W] B,H,W -------- 00000000		
002114_H	IF1MSK21 [R/W] B,H,W 11-11111 11111111		IF1MSK11 [R/W] B,H,W 11111111 11111111		
002118_H	IF1ARB21 [R/W] B,H,W 00000000 00000000		IF1ARB11 [R/W] B,H,W 00000000 00000000		
$00211C_H$	IF1MCTR1 [R/W] B,H,W 00000000 0---0000		—	—	
002120_H	IF1DTA11 [R/W] B,H,W 00000000 00000000		IF1DTA21 [R/W] B,H,W 00000000 00000000		
002124_H	IF1DTB11 [R/W] B,H,W 00000000 00000000		IF1DTB21 [R/W] B,H,W 00000000 00000000		
002128_H	—	—	—	—	
$00212C_H$	—	—	—	—	
002130_H, 002134_H	Reserved (IF1 data mirror)				
002138_H	—	—	—	—	
$00213C_H$	—	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002140_H	IF2CREQ1 [R/W] B,H,W 0------- 00000001		IF2CMSK1 [R/W] B,H,W -------- 00000000		CAN1 (64msb)
002144_H	IF2MSK21 [R/W] B,H,W 11-11111 11111111		IF2MSK11 [R/W] B,H,W 11111111 11111111		
002148_H	IF2ARB21 [R/W] B,H,W 00000000 00000000		IF2ARB11 [R/W] B,H,W 00000000 00000000		
$00214C_H$	IF2MCTR1 [R/W] B,H,W 00000000 0---0000		—	—	
002150_H	IF2DTA11 [R/W] B,H,W 00000000 00000000		IF2DTA21 [R/W] B,H,W 00000000 00000000		
002154_H	IF2DTB11 [R/W] B,H,W 00000000 00000000		IF2DTB21 [R/W] B,H,W 00000000 00000000		
002158_H	—	—	—	—	
$00215C_H$	—	—	—	—	
002160_H, 002164_H	Reserved (IF2 data mirror)				
002168_H ～ $00217C_H$	—				
002180_H	TREQR21 [R] B,H,W 00000000 00000000		TREQR11 [R] B,H,W 00000000 00000000		
002184_H	TREQR41 [R] B,H,W 00000000 00000000		TREQR31 [R] B,H,W 00000000 00000000		
002188_H	—	—	—	—	
$00218C_H$	—	—	—	—	
002190_H	NEWDT21 [R] B,H,W 00000000 00000000		NEWDT11 [R] B,H,W 00000000 00000000		
002194_H	NEWDT41 [R] B,H,W 00000000 00000000		NEWDT31 [R] B,H,W 00000000 00000000		
002198_H	—	—	—	—	
$00219C_H$	—	—	—	—	
$0021A0_H$	INTPND21 [R] B,H,W 00000000 00000000		INTPND11 [R] B,H,W 00000000 00000000		
$0021A4_H$	INTPND41 [R] B,H,W 00000000 00000000		INTPND31 [R] B,H,W 00000000 00000000		

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0021A8_H$	—	—	—	—	CAN1 (64msb)
$0021AC_H$	—	—	—	—	
$0021B0_H$	MSGVAL21 [R] B,H,W 00000000 00000000		MSGVAL11 [R] B,H,W 00000000 00000000		
$0021B4_H$	MSGVAL41 [R] B,H,W 00000000 00000000		MSGVAL31 [R] B,H,W 00000000 00000000		
$0021B8_H$	—	—	—	—	
$0021BC_H$	—	—	—	—	
$0021C0_H$ ～ $0021FC_H$	—				
002200_H	CTRLR2 [R/W] B,H,W -------- 000-0001		STATR2 [R/W] B,H,W -------- 00000000		CAN2 (64msb)
002204_H	ERRCNT2 [R] B,H,W 00000000 00000000		BTR2 [R/W] B,H,W -0100011 00000001		
002208_H	INTR2 [R] B,H,W 00000000 00000000		TESTR2 [R/W] B,H,W -------- X00000--		
$00220C_H$	BRPER2 [R/W] B,H,W -------- ----0000		—		
002210_H	IF1CREQ2 [R/W] B,H,W 0------- 00000001		IF1CMSK2 [R/W] B,H,W -------- 00000000		
002214_H	IF1MSK22 [R/W] B,H,W 11-11111 11111111		IF1MSK12 [R/W] B,H,W 11111111 11111111		
002218_H	IF1ARB22 [R/W] B,H,W 00000000 00000000		IF1ARB12 [R/W] B,H,W 00000000 00000000		
$00221C_H$	IF1MCTR2 [R/W] B,H,W 00000000 0---0000		—		
002220_H	IF1DTA12 [R/W] B,H,W 00000000 00000000		IF1DTA22 [R/W] B,H,W 00000000 00000000		
002224_H	IF1DTB12 [R/W] B,H,W 00000000 00000000		IF1DTB22 [R/W] B,H,W 00000000 00000000		
002228_H	—	—	—	—	
$00222C_H$	—	—	—	—	
002230_H, 002234_H	Reserved (IF1 data mirror)				

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002238_H	—	—	—	—	CAN2 (64msb)
$00223C_H$	—	—	—	—	
002240_H	IF2CREQ2 [R/W] B,H,W 0------- 00000001		IF2CMSK2 [R/W] B,H,W -------- 00000000		
002244_H	IF2MSK22 [R/W] B,H,W 11-11111 11111111		IF2MSK12 [R/W] B,H,W 11111111 11111111		
002248_H	IF2ARB22 [R/W] B,H,W 00000000 00000000		IF2ARB12 [R/W] B,H,W 00000000 00000000		
$00224C_H$	IF2MCTR2 [R/W] B,H,W 00000000 0---0000		—		
002250_H	IF2DTA12 [R/W] B,H,W 00000000 00000000		IF2DTA22 [R/W] B,H,W 00000000 00000000		
002254_H	IF2DTB12 [R/W] B,H,W 00000000 00000000		IF2DTB22 [R/W] B,H,W 00000000 00000000		
002258_H	—	—	—	—	
$00225C_H$	—	—	—	—	
002260_H, 002264_H	Reserved (IF2 data mirror)				
002268_H ～ $00227C_H$	—				
002280_H	TREQR22 [R] B,H,W 00000000 00000000		TREQR12 [R] B,H,W 00000000 00000000		
002284_H	TREQR42 [R] B,H,W 00000000 00000000		TREQR32 [R] B,H,W 00000000 00000000		
002288_H	—	—	—	—	
$00228C_H$	—	—	—	—	
002290_H	NEWDT22 [R] B,H,W 00000000 00000000		NEWDT12 [R] B,H,W 00000000 00000000		
002294_H	NEWDT42 [R] B,H,W 00000000 00000000		NEWDT32 [R] B,H,W 00000000 00000000		
002298_H	—	—	—	—	
$00229C_H$	—	—	—	—	

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$0022A0_H$	INTPND22 [R] B,H,W 00000000 00000000		INTPND12 [R] B,H,W 00000000 00000000		CAN2 (64msb)
$0022A4_H$	INTPND42 [R] B,H,W 00000000 00000000		INTPND32 [R] B,H,W 00000000 00000000		
$0022A8_H$	—	—	—	—	
$0022AC_H$	—	—	—	—	
$0022B0_H$	MSGVAL22 [R] B,H,W 00000000 00000000		MSGVAL12 [R] B,H,W 00000000 00000000		
$0022B4_H$	MSGVAL42 [R] B,H,W 00000000 00000000		MSGVAL32 [R] B,H,W 00000000 00000000		
$0022B8_H$	—	—	—	—	
$0022BC_H$	—	—	—	—	
$0022C0_H$ ～ $0022FC_H$	—				
002300_H	DFCTLR [R/W] B,H,W -0------ --------		—	DFSTR [R/W] B,H,W -----001	WorkFlash
002304_H	—	—	—	—	
002308_H	FLIFCTLR [R/W] B,H,W ---0--00	—	FLIFFER1 [R/W] B,H,W --------	FLIFFER2 [R/W] B,H,W --------	Flash / WorkFlash
$00230C_H$ ～ $0023FC_H$	—				予約
002400_H	SEEARX [R] B,H,W -0000000 00000000		DEEARX [R] B,H,W -0000000 00000000		XBS RAM ECC control
002404_H	EECSRX [R/W] B,H,W ----00--	—	EFEARX [R/W] B,H,W -0000000 00000000		
002408_H	—	EFECRX [R/W] B,H,W -------0 00000000 00000000			
$00240C_H$ ～ $002FFC_H$	—				予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003000_H	SEEARA [R] B, H, W -----000 00000000		DEEARA [R] B, H, W -----000 00000000		Backup RAM ECC control
003004_H	EECSRA [R/W] B, H, W ----00--	—	EFEARA [R/W] B, H, W -----000 00000000		
003008_H	—	EFECRA [R/W] B, H, W -------0 00000000 00000000			
$00300C_H$	TEAROX[R] B, H, W 000----- -------- -0000000 00000000				RAM/ 診断 XBS RAM
003010_H	TEAR1X[R] B, H, W 000----- -------- -0000000 00000000				
003014_H	TEAR2X[R] B, H, W 000----- -------- -0000000 00000000				
003018_H	TAEARX [R/W] B, H, W -1111111 11111111		TASARX [R/W] B, H, W -0000000 00000000		
$00301C_H$	TFECRX [R/W] B, H, W ----0000	TICRX [R/W] B, H, W ----0000	TTCRX [R/W] B, H, W ------00 00001100		
003020_H	TSRCRX [W] B, H, W 0-------	—	—	TKCCRX [R/W] B, H, W 00----00	
003024_H ～ $00302C_H$	—				予約
003030_H	TEAROA[R] B, H, W 000----- -------- -----000 00000000				RAM/ 診断 Backup RAM
003034_H	TEAR1A[R] B, H, W 000----- -------- -----000 00000000				
003038_H	TEAR2A[R] B, H, W 000----- -------- -----000 00000000				
$00303C_H$	TAEARA[R/W] B, H, W -----111 11111111		TASARA[R/W] B, H, W -----000 00000000		
003040_H	TFECRA [R/W] B, H, W ----0000	TICRA [R/W] B, H, W ----0000	TTCRA [R/W] B, H, W ------00 00001100		
003044_H	TSRCRA [R/W] B, H, W 0-------	—	—	TKCCRA [R/W] B, H, W 00----00	
003048_H ～ $0030FC_H$	—				予約

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003100_H	BUSDIGSR0[R/W] H,W 00000000 0-----00		BUSDIGSR1[R/W] H,W 00000000 0-----00		バス診断
003104_H	BUSDIGSR2[R/W] H,W 00000000 0-----00		BUSTSTR0[R/W] H,W 00--0000 00000000		
003108_H	BUSADR0 [R] W 00000000 00000000 00000000 00000000				
$00310C_H$	BUSADR1 [R] W 00000000 00000000 00000000 00000000				
003110_H	BUSADR2 [R] W 00000000 00000000 00000000 00000000				
003114_H	—	—	BUSDIGSR3[R/W] H,W 00000000 0-----00		
003118_H	BUSDIGSR4[R/W] H,W 00000000 0-----00		BUSTSTR1[R/W] H,W 00--000- 00000000		
$00311C_H$	—	—	—	—	
003120_H	BUSADR3 [R] W 00000000 00000000 00000000 00000000				
003124_H	BUSADR4 [R] W 00000000 00000000 00000000 00000000				
003128_H ～ $003FFC_H$	—				予約
004000_H ～ $005FFC_H$	Backup-RAM				Backup RAM area
006000_H ～ $00EFFC_H$	—	—	—	—	予約
$00F000_H$ ～ $00FEFC_H$	—	—	—	—	予約【S】
$00FF00_H$	DSUCR [R/W] B,H,W -------- -------0		—	—	OCDU 【S】
$00FF04_H$ ～ $00FF0C_H$	—				予約【S】
$00FF10_H$	PCSR [R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU 【S】
$00FF14_H$	PSSR [R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU 【S】

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
$00FF18_H$ ～ $00FFF4_H$	—				予約【S】
$00FFF8_H$	EDIR1 [R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU 【S】
$00FFFC_H$	EDIR0 [R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

【S】:システムレジスタです。ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外(データアクセスエラー) を発生させます。

B. 割込みベクタテーブル

割込みベクタテーブルについて示します。

割込み要因と割込みベクタ/割込み制御レジスタの割当てを示します。

表 B-1 割込みベクタ MB91F52xB(64pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
NMI 要求	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
内部バス診断時エラー発生						
XBS RAM ダブルビットエラー発生						
Backup RAM ダブルビットエラー発生						
TPU 違反						
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *7
外部低電圧検出割込み						
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(ステータス)						
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
-	22	16	ICR06	$3A4_H$	$000FFFA4_H$	- *6
-	23	17	ICR07	$3A0_H$	$000FFFA0_H$	- *6
-	24	18	ICR08	$39C_H$	$000FFF9C_H$	- *6
-	25	19	ICR09	398_H	$000FFF98_H$	- *6
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
-	38	26	ICR22	364_H	$000FFF64_H$	- *6
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
PPG1/10/11/20/30/31	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)						
PPG2/3/12/13/23/43	41	29	ICR25	358_H	$000FFF58_H$	25*3
16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)						
PPG4/24/35	42	2A	ICR26	354_H	$000FFF54_H$	26*3
PPG7/16/17/27/37	43	2B	ICR27	350_H	$000FFF50_H$	27*3
PPG19	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28*3
16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29
メインタイマ	46	2E	ICR30	344_H	$000FFF44_H$	30
サブタイマ						
PLL タイマ						
16bit ICU 2 (取込み) /16bit ICU 3 (取込み)						
クロックキャリブレーションユニット(サブ発振)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
マルチファンクションシリアルインタフェース ch.9(受信完了)						
マルチファンクションシリアルインタフェース ch.9(ステータス)						
A/D コンバータ 0/1/7/10/11/14/15/16/ 17/22/27/28/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振)	49	31	ICR33	338_H	$000FFF38_H$	33
マルチファンクションシリアルインタフェース ch.9(送信完了)						
16bit OCU 0 (一致) / 16bit OCU 1 (一致)						
32 bit フリーランタイマ 4	50	32	ICR34	334_H	$000FFF34_H$	34 *5
16bit OCU 2 (一致) / 16bit OCU 3 (一致)						
16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35
32 bit ICU6(取込み/測定)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
マルチファンクションシリアルインタフェース ch.10(受信完了)						
マルチファンクションシリアルインタフェース ch.10(ステータス)						

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定)	54	36	ICR38	324_H	$000FFF24_H$	38 *1
マルチファンクションシリアルインタフェース ch.11(受信完了)						
マルチファンクションシリアルインタフェース ch.11(ステータス)						
32 bit ICU9(取込み/測定)	55	37	ICR39	320_H	$000FFF20_H$	39
WG デッドタイマアンダフロー 0 / 1/ 2						
WG デッドタイマリロード 0 / 1/ 2						
WG DTTI0						
32 bit ICU4(取込み/測定)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
マルチファンクションシリアルインタフェース ch.11(送信完了)						
32 bit ICU5(取込み/測定)	57	39	ICR41	318_H	$000FFF18_H$	41
A/D コンバータ 32/34/35/37/38/40/41/42/43/44/45/46/47						
32 bit OCU7/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
-	60	3C	ICR44	$30C_H$	$000FFF0C_H$	- *6
-	61	3D	ICR45	308_H	000FFF08H	-
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。

*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。

*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。

*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。

*4: クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。

*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。

*6: 割込みレベルに対応する周辺機能はありません。

*7: 外部低電圧検出割込みによる DMA 転送には対応していません。

表 B-2 割込みベクタ　MB91F52xD (80pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 Backup RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15 外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *7
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
-	22	16	ICR06	$3A4_H$	$000FFFA4_H$	- *6
-	23	17	ICR07	$3A0_H$	$000FFFA0_H$	- *6
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8 *1
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
-	38	26	ICR22	364_H	$000FFF64_H$	- *6
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
PPG1/10/11/20/30/31	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)						
PPG2/3/12/13/23/43	41	29	ICR25	358_H	$000FFF58_H$	25 *3
16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)						
PPG4/5/15/24/35	42	2A	ICR26	354_H	$000FFF54_H$	26 *3
PPG7/16/17/26/27/37	43	2B	ICR27	350_H	$000FFF50_H$	27 *3
PPG8/18/19/29	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28 *3

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29
メインタイマ サブタイマ PLL タイマ 16bit ICU 2 (取込み) /16bit ICU 3 (取込み)	46	2E	ICR30	344_H	$000FFF44_H$	30
クロックキャリブレーションユニット(サブ発振) マルチファンクションシリアルインタフェース ch.9(受信完了) マルチファンクションシリアルインタフェース ch.9(ステータス)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
A/D コンバータ 0/1/7/10/11/12/14/15/16/ 17/19/22/26/27/28/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振) マルチファンクションシリアルインタフェース ch.9(送信完了) 16bit OCU 0 (一致) / 16bit OCU 1 (一致)	49	31	ICR33	338_H	$000FFF38_H$	33
32 bit フリーランタイマ 4 16bit OCU 2 (一致) / 16bit OCU 3 (一致)	50	32	ICR34	334_H	$000FFF34_H$	34 *5
32 bit フリーランタイマ 5 16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35 *5
32 bit ICU6(取込み/測定) マルチファンクションシリアルインタフェース ch.10(受信完了) マルチファンクションシリアルインタフェース ch.10(ステータス)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定) マルチファンクションシリアルインタフェース ch.11(受信完了) マルチファンクションシリアルインタフェース ch.11(ステータス)	54	36	ICR38	324_H	$000FFF24_H$	38 *1
32 bit ICU9(取込み/測定) WG デッドタイマアンダフロー 0 / 1/ 2 WG デッドタイマリロード 0 / 1/ 2 WG DTTI 0	55	37	ICR39	320_H	$000FFF20_H$	39
32 bit ICU4(取込み/測定) マルチファンクションシリアルインタフェース ch.11(送信完了)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
32 bit ICU5(取込み/測定) A/D コンバータ 32/33/34/35/36/37/38/39/40/41/42/43/44/45/46/47	57	39	ICR41	318_H	$000FFF18_H$	41
32 bit OCU7/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
-	60	3C	ICR44	$30C_H$	$000FFF0C_H$	- *6
ベースタイマ 1 IRQ0	61	3D	ICR45	308_H	$000FFF08_H$	45
ベースタイマ 1 IRQ1						
-						
-						
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。

*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。

*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。

*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。

*4: クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。

*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。

*6: 割込みレベルに対応する周辺機能はありません。

*7: 外部低電圧検出割込みによる DMA 転送には対応していません。

表 B-3 割込みベクタ MB91F52xF(100pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 Backup RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15 外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *6
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 2/3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
マルチファンクションシリアルインタフェース ch.1(受信完了) マルチファンクションシリアルインタフェース ch.1(ステータス)	22	16	ICR06	$3A4_H$	$000FFFA4_H$	6 *1
マルチファンクションシリアルインタフェース ch.1(送信完了)	23	17	ICR07	$3A0_H$	$000FFFA0_H$	7 *1
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9 *1
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
マルチファンクションシリアルインタフェース ch.7(受信完了)	38	26	ICR22	364_H	$000FFF64_H$	22 *1
マルチファンクションシリアルインタフェース ch.7(ステータス)						
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
マルチファンクションシリアルインタフェース ch.7(送信完了)						

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
PPG1/10/11/20/21/30/31 16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
PPG2/3/12/13/23/32/43 16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)	41	29	ICR25	358_H	$000FFF58_H$	25 *3
PPG4/5/14/15/24/25/35/44	42	2A	ICR26	354_H	$000FFF54_H$	26 *3
PPG6/7/16/17/26/27/37	43	2B	ICR27	350_H	$000FFF50_H$	27 *3
PPG8/9/18/19/28/29	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28 *3
マルチファンクションシリアルインタフェース ch.8(受信完了) マルチファンクションシリアルインタフェース ch.8(ステータス) 16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29 *1
メインタイマ サブタイマ PLL タイマ マルチファンクションシリアルインタフェース ch.8(送信完了) 16bit ICU 2 (取込み) /16bit ICU 3 (取込み)	46	2E	ICR30	344_H	$000FFF44_H$	30
クロックキャリブレーションユニット(サブ発振) マルチファンクションシリアルインタフェース ch.9(受信完了) マルチファンクションシリアルインタフェース ch.9(ステータス)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
A/D コンバータ 0/1/7/9/10/11/12/13/14/15/16 17/18/19/22/23/26/27/28/29/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振) マルチファンクションシリアルインタフェース ch.9(送信完了) 16bit OCU 0 (一致) / 16bit OCU 1 (一致)	49	31	ICR33	338_H	$000FFF38_H$	33
32 bit フリーランタイマ 4 16bit OCU 2 (一致) / 16bit OCU 3 (一致)	50	32	ICR34	334_H	$000FFF34_H$	34 *5
32 bit フリーランタイマ 3/5 16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35 *5
32 bit ICU6(取込み/測定) マルチファンクションシリアルインタフェース ch.10(受信完了) マルチファンクションシリアルインタフェース ch.10(ステータス)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
32 bit ICU7(取込み/測定) マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定) マルチファンクションシリアルインタフェース ch.11(受信完了) マルチファンクションシリアルインタフェース ch.11(ステータス)	54	36	ICR38	324_H	$000FFF24_H$	38 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
32 bit ICU9(取込み/測定) WG デッドタイマアンダフロー 0 / 1/ 2 WG デッドタイマリロード 0 / 1/ 2 WG DTTI 0	55	37	ICR39	320_H	$000FFF20_H$	39
32 bit ICU4(取込み/測定) マルチファンクションシリアルインタフェース ch.11(送信完了)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
32 bit ICU5(取込み/測定) A/D コンバータ 32/33/34/35/36/37/38/39/40/41/42/43/44/45/46/47	57	39	ICR41	318_H	$000FFF18_H$	41
32 bit OCU6/7/10/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
- -	60	3C	ICR44	$30C_H$	$000FFF0C_H$	44
ベースタイマ 1 IRQ0 ベースタイマ 1 IRQ1 - -	61	3D	ICR45	308_H	$000FFF08_H$	45
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。

*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。

*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。

*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。

*4: クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。

*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。

*6: 外部低電圧検出割込みによる DMA 転送には対応していません。

表 B-4 割込みベクタ MB91F52xJ (120pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	000FFFD8H	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	000FFFC4H	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 Backup RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15 外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *6
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 2/3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
マルチファンクションシリアルインタフェース ch.1(受信完了) マルチファンクションシリアルインタフェース ch.1(ステータス)	22	16	ICR06	$3A4_H$	$000FFFA4_H$	6 *1
マルチファンクションシリアルインタフェース ch.1(送信完了)	23	17	ICR07	$3A0_H$	$000FFFA0_H$	7 *1
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9 *1
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
マルチファンクションシリアルインタフェース ch.7(受信完了)	38	26	ICR22	364_H	$000FFF64_H$	22 *1
マルチファンクションシリアルインタフェース ch.7(ステータス)						
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
マルチファンクションシリアルインタフェース ch.7(送信完了)						
PPG0/1/10/11/20/21/30/31	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)						

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
PPG2/3/12/13/22/23/32/33/43 16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)	41	29	ICR25	358_H	$000FFF58_H$	25 *3
PPG4/5/14/15/24/25/35/44	42	2A	ICR26	354_H	$000FFF54_H$	26 *3
PPG6/7/16/17/26/27/37	43	2B	ICR27	350_H	$000FFF50_H$	27 *3
PPG8/9/18/19/28/29	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28 *3
マルチファンクションシリアルインタフェース ch.8(受信完了) マルチファンクションシリアルインタフェース ch.8(ステータス) 16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29 *1
メインタイマ サブタイマ PLL タイマ マルチファンクションシリアルインタフェース ch.8(送信完了) 16bit ICU 2 (取込み) /16bit ICU 3 (取込み)	46	2E	ICR30	344_H	$000FFF44_H$	30
クロックキャリブレーションユニット(サブ発振) マルチファンクションシリアルインタフェース ch.9(受信完了) マルチファンクションシリアルインタフェース ch.9(ステータス)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
A/D コンバータ 0/1/7/9/10/11/12/13/14/15/16 17/18/19/20/21/22/23/24/25/26/27/28/29/30/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振) マルチファンクションシリアルインタフェース ch.9(送信完了) 16bit OCU 0 (一致) / 16bit OCU 1 (一致)	49	31	ICR33	338_H	$000FFF38_H$	33
32 bit フリーランタイマ 4 16bit OCU 2 (一致) / 16bit OCU 3 (一致)	50	32	ICR34	334_H	$000FFF34_H$	34 *5
32 bit フリーランタイマ 3/5 16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35 *5
32 bit ICU6(取込み/測定) マルチファンクションシリアルインタフェース ch.10(受信完了) マルチファンクションシリアルインタフェース ch.10(ステータス)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
32 bit ICU7(取込み/測定) マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定) マルチファンクションシリアルインタフェース ch.11(受信完了) マルチファンクションシリアルインタフェース ch.11(ステータス)	54	36	ICR38	324_H	$000FFF24_H$	38 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
32 bit ICU9(取込み/測定) WG デッドタイマアンダフロー 0 / 1/ 2 WG デッドタイマリロード 0 / 1/ 2 WG DTTI 0	55	37	ICR39	320_H	$000FFF20_H$	39
32 bit ICU4(取込み/測定) マルチファンクションシリアルインタフェース ch.11(送信完了)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
32 bit ICU5(取込み/測定) A/D コンバータ 32/33/34/35/36/37/38/39/40/41/42/43/44/45/46/47	57	39	ICR41	318_H	$000FFF18_H$	41
32 bit OCU6/7/10/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
ベースタイマ 0 IRQ0 ベースタイマ 0 IRQ1	60	3C	ICR44	$30C_H$	$000FFF0C_H$	44
ベースタイマ 1 IRQ0 ベースタイマ 1 IRQ1 - -	61	3D	ICR45	308_H	$000FFF08_H$	45
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。

*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。

*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。

*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。

*4: クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。

*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。

*6: 外部低電圧検出割込みによる DMA 転送には対応していません。

表 B-5 割込みベクタ MB91F52xK (144pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 Backup RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15 外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *6
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 2/3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
マルチファンクションシリアルインタフェース ch.1(受信完了) マルチファンクションシリアルインタフェース ch.1(ステータス)	22	16	ICR06	$3A4_H$	$000FFFA4_H$	6 *1
マルチファンクションシリアルインタフェース ch.1(送信完了)	23	17	ICR07	$3A0_H$	$000FFFA0_H$	7 *1
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9 *1
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
マルチファンクションシリアルインタフェース ch.7(受信完了)	38	26	ICR22	364_H	$000FFF64_H$	22 *1
マルチファンクションシリアルインタフェース ch.7(ステータス)						
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
マルチファンクションシリアルインタフェース ch.7(送信完了)						
PPG0/1/10/11/20/21/30/31/40/41	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)						

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
PPG2/3/12/13/22/23/32/33/43 16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)	41	29	ICR25	358_H	$000FFF58_H$	25 *3
PPG4/5/14/15/24/25/34/35/44	42	2A	ICR26	354_H	$000FFF54_H$	26 *3
PPG6/7/16/17/26/27/36/37	43	2B	ICR27	350_H	$000FFF50_H$	27 *3
PPG8/9/18/19/28/29/38/39	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28 *3
マルチファンクションシリアルインタフェース ch.8(受信完了) マルチファンクションシリアルインタフェース ch.8(ステータス) 16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29 *1
メインタイマ サブタイマ PLL タイマ マルチファンクションシリアルインタフェース ch.8(送信完了) 16bit ICU 2 (取込み) /16bit ICU 3 (取込み)	46	2E	ICR30	344_H	$000FFF44_H$	30
クロックキャリブレーションユニット(サブ発振) マルチファンクションシリアルインタフェース ch.9(受信完了) マルチファンクションシリアルインタフェース ch.9(ステータス)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
A/D コンバータ 0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15/16 17/18/19/20/21/22/23/24/25/26/27/28/29/30/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振) マルチファンクションシリアルインタフェース ch.9(送信完了) 16bit OCU 0 (一致) / 16bit OCU 1 (一致)	49	31	ICR33	338_H	$000FFF38_H$	33
32 bit フリーランタイマ 4 16bit OCU 2 (一致) / 16bit OCU 3 (一致)	50	32	ICR34	334_H	$000FFF34_H$	34 *5
32 bit フリーランタイマ 3/5 16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35 *5
32 bit ICU6(取込み/測定) マルチファンクションシリアルインタフェース ch.10(受信完了) マルチファンクションシリアルインタフェース ch.10(ステータス)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
32 bit ICU7(取込み/測定) マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定) マルチファンクションシリアルインタフェース ch.11(受信完了) マルチファンクションシリアルインタフェース ch.11(ステータス)	54	36	ICR38	324_H	$000FFF24_H$	38 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
32 bit ICU9(取込み/測定) WG デッドタイマアンダフロー 0 / 1/ 2 WG デッドタイマリロード 0 / 1/ 2 WG DTTI 0	55	37	ICR39	320_H	$000FFF20_H$	39
32 bit ICU4(取込み/測定) マルチファンクションシリアルインタフェース ch.11(送信完了)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
32 bit ICU5(取込み/測定) A/D コンバータ 32/33/34/35/36/37/38/39/40/41/42/43/44/45/46/47	57	39	ICR41	318_H	$000FFF18_H$	41
32 bit OCU6/7/10/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
ベースタイマ 0 IRQ0 ベースタイマ 0 IRQ1	60	3C	ICR44	$30C_H$	$000FFF0C_H$	44
ベースタイマ 1 IRQ0 ベースタイマ 1 IRQ1 - -	61	3D	ICR45	308_H	$000FFF08_H$	45
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。
*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。
*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。
*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。
*4:クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。
*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。
*6: 外部低電圧検出割込みによる DMA 転送には対応していません。

表 B-6 割込みベクタ　MB91F52xL (176pin)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
リセット	0	0	-	$3FC_H$	$000FFFFC_H$	-
システム予約	1	1	-	$3F8_H$	$000FFFF8_H$	-
システム予約	2	2	-	$3F4_H$	$000FFFF4_H$	-
システム予約	3	3	-	$3F0_H$	$000FFFF0_H$	-
システム予約	4	4	-	$3EC_H$	$000FFFEC_H$	-
FPU 例外	5	5	-	$3E8_H$	$000FFFE8_H$	-
命令アクセス保護違反例外	6	6	-	$3E4_H$	$000FFFE4_H$	-
データアクセス保護違反例外	7	7	-	$3E0_H$	$000FFFE0_H$	-
データアクセスエラー割込み	8	8	-	$3DC_H$	$000FFFDC_H$	-
INTE 命令	9	9	-	$3D8_H$	$000FFFD8_H$	-
命令ブレーク	10	0A	-	$3D4_H$	$000FFFD4_H$	-
システム予約	11	0B	-	$3D0_H$	$000FFFD0_H$	-
システム予約	12	0C	-	$3CC_H$	$000FFFCC_H$	-
システム予約	13	0D	-	$3C8_H$	$000FFFC8_H$	-
不正命令例外	14	0E	-	$3C4_H$	$000FFFC4_H$	-
NMI 要求 内部バス診断時エラー発生 XBS RAM ダブルビットエラー発生 Backup RAM ダブルビットエラー発生 TPU 違反	15	0F	15(F_H)固定	$3C0_H$	$000FFFC0_H$	-
外部割込み 0-7	16	10	ICR00	$3BC_H$	$000FFFBC_H$	0
外部割込み 8-15 外部低電圧検出割込み	17	11	ICR01	$3B8_H$	$000FFFB8_H$	1 *6
リロードタイマ 0/1/4/5	18	12	ICR02	$3B4_H$	$000FFFB4_H$	2 *2
リロードタイマ 2/3/6/7	19	13	ICR03	$3B0_H$	$000FFFB0_H$	3 *2
マルチファンクションシリアルインタフェース ch.0(受信完了) マルチファンクションシリアルインタフェース ch.0(ステータス)	20	14	ICR04	$3AC_H$	$000FFFAC_H$	4 *1
マルチファンクションシリアルインタフェース ch.0(送信完了)	21	15	ICR05	$3A8_H$	$000FFFA8_H$	5 *1
マルチファンクションシリアルインタフェース ch.1(受信完了) マルチファンクションシリアルインタフェース ch.1(ステータス)	22	16	ICR06	$3A4_H$	$000FFFA4_H$	6 *1
マルチファンクションシリアルインタフェース ch.1(送信完了)	23	17	ICR07	$3A0_H$	$000FFFA0_H$	7 *1
マルチファンクションシリアルインタフェース ch.2(受信完了) マルチファンクションシリアルインタフェース ch.2(ステータス)	24	18	ICR08	$39C_H$	$000FFF9C_H$	8 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.2(送信完了)	25	19	ICR09	398_H	$000FFF98_H$	9 *1
マルチファンクションシリアルインタフェース ch.3(受信完了)	26	1A	ICR10	394_H	$000FFF94_H$	10 *1
マルチファンクションシリアルインタフェース ch.3(ステータス)						
マルチファンクションシリアルインタフェース ch.3(送信完了)	27	1B	ICR11	390_H	$000FFF90_H$	11
マルチファンクションシリアルインタフェース ch.4(受信完了)	28	1C	ICR12	$38C_H$	$000FFF8C_H$	12 *1
マルチファンクションシリアルインタフェース ch.4(ステータス)						
マルチファンクションシリアルインタフェース ch.4(送信完了)	29	1D	ICR13	388_H	$000FFF88_H$	13
マルチファンクションシリアルインタフェース ch.5(受信完了)	30	1E	ICR14	384_H	$000FFF84_H$	14 *1
マルチファンクションシリアルインタフェース ch.5(ステータス)						
マルチファンクションシリアルインタフェース ch.5(送信完了)	31	1F	ICR15	380_H	$000FFF80_H$	15
マルチファンクションシリアルインタフェース ch.6(受信完了)	32	20	ICR16	$37C_H$	$000FFF7C_H$	16 *1
マルチファンクションシリアルインタフェース ch.6(ステータス)						
マルチファンクションシリアルインタフェース ch.6(送信完了)	33	21	ICR17	378_H	$000FFF78_H$	17
CAN0	34	22	ICR18	374_H	$000FFF74_H$	-
CAN1	35	23	ICR19	370_H	$000FFF70_H$	-
RAM 診断終了						
RAM 初期化完了						
RAM 診断時エラー発生						
Backup RAM 診断終了						
Backup RAM 初期化完了						
Backup RAM 診断時エラー発生						
CAN2	36	24	ICR20	$36C_H$	$000FFF6C_H$	-
アップダウンカウンタ 0						
アップダウンカウンタ 1						
リアルタイムクロック	37	25	ICR21	368_H	$000FFF68_H$	-
マルチファンクションシリアルインタフェース ch.7(受信完了)	38	26	ICR22	364_H	$000FFF64_H$	22 *1
マルチファンクションシリアルインタフェース ch.7(ステータス)						
16bit フリーランタイマ 0 ("0"検出) / (コンペアクリア)	39	27	ICR23	360_H	$000FFF60_H$	23
マルチファンクションシリアルインタフェース ch.7(送信完了)						
PPG0/1/10/11/20/21/30/31/40/41	40	28	ICR24	$35C_H$	$000FFF5C_H$	24 *3
16bit フリーランタイマ 1 ("0"検出) / (コンペアクリア)						

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
PPG2/3/12/13/22/23/32/33/42/43 16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)	41	29	ICR25	358_H	$000FFF58_H$	25 *3
PPG4/5/14/15/24/25/34/35/44/45	42	2A	ICR26	354_H	$000FFF54_H$	26 *3
PPG6/7/16/17/26/27/36/37/46/47	43	2B	ICR27	350_H	$000FFF50_H$	27 *3
PPG8/9/18/19/28/29/38/39	44	2C	ICR28	$34C_H$	$000FFF4C_H$	28 *3
マルチファンクションシリアルインタフェース ch.8(受信完了) マルチファンクションシリアルインタフェース ch.8(ステータス) 16bit ICU 0 (取込み) / 16bit ICU 1 (取込み)	45	2D	ICR29	348_H	$000FFF48_H$	29 *1
メインタイマ サブタイマ PLL タイマ マルチファンクションシリアルインタフェース ch.8(送信完了) 16bit ICU 2 (取込み) /16bit ICU 3 (取込み)	46	2E	ICR30	344_H	$000FFF44_H$	30
クロックキャリブレーションユニット(サブ発振) マルチファンクションシリアルインタフェース ch.9(受信完了) マルチファンクションシリアルインタフェース ch.9(ステータス)	47	2F	ICR31	340_H	$000FFF40_H$	31 *1, *4
A/D コンバータ 0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15/16 17/18/19/20/21/22/23/24/25/26/27/28/29/30/31	48	30	ICR32	$33C_H$	$000FFF3C_H$	32
クロックキャリブレーションユニット(CR 発振) マルチファンクションシリアルインタフェース ch.9(送信完了) 16bit OCU 0 (一致) / 16bit OCU 1 (一致)	49	31	ICR33	338_H	$000FFF38_H$	33
32 bit フリーランタイマ 4 16bit OCU 2 (一致) / 16bit OCU 3 (一致)	50	32	ICR34	334_H	$000FFF34_H$	34 *5
32 bit フリーランタイマ 3/5 16bit OCU 4 (一致) / 16bit OCU 5 (一致)	51	33	ICR35	330_H	$000FFF30_H$	35 *5
32 bit ICU6(取込み/測定) マルチファンクションシリアルインタフェース ch.10(受信完了) マルチファンクションシリアルインタフェース ch.10(ステータス)	52	34	ICR36	$32C_H$	$000FFF2C_H$	36 *1
32 bit ICU7(取込み/測定) マルチファンクションシリアルインタフェース ch.10(送信完了)	53	35	ICR37	328_H	$000FFF28_H$	37
32 bit ICU8(取込み/測定) マルチファンクションシリアルインタフェース ch.11(受信完了) マルチファンクションシリアルインタフェース ch.11(ステータス)	54	36	ICR38	324_H	$000FFF24_H$	38 *1

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *
	10 進	16 進				
32 bit ICU9(取込み/測定) WG デッドタイマアンダフロー 0 / 1/ 2 WG デッドタイマリロード 0 / 1/ 2 WG DTTI 0	55	37	ICR39	320_H	$000FFF20_H$	39
32 bit ICU4(取込み/測定) マルチファンクションシリアルインタフェース ch.11(送信完了)	56	38	ICR40	$31C_H$	$000FFF1C_H$	40
32 bit ICU5(取込み/測定) A/D コンバータ 32/33/34/35/36/37/38/39/40/41/42/43/44/45/46/47	57	39	ICR41	318_H	$000FFF18_H$	41
32 bit OCU6/7/10/11(一致)	58	3A	ICR42	314_H	$000FFF14_H$	42
32 bit OCU8/9(一致)	59	3B	ICR43	310_H	$000FFF10_H$	43
ベースタイマ 0 IRQ0 ベースタイマ 0 IRQ1	60	3C	ICR44	$30C_H$	$000FFF0C_H$	44
ベースタイマ 1 IRQ0 ベースタイマ 1 IRQ1 - -	61	3D	ICR45	308_H	$000FFF08_H$	45
DMAC0/1/2/3/4/5/6/7/8/9/10/11/12/13/14/15	62	3E	ICR46	304_H	$000FFF04_H$	-
遅延割込み	63	3F	ICR47	300_H	$000FFF00_H$	-
システム予約 (REALOS にて使用)	64	40	-	$2FC_H$	$000FFEFC_H$	-
システム予約 (REALOS にて使用)	65	41	-	$2F8_H$	$000FFEF8_H$	-
INT 命令で使用	66 | 255	42 | FF	-	$2F4_H$ | 000_H	$000FFEF4_H$ | $000FFC00_H$	-

*: RN番号割り当てのないペリフェラルからの割込みによるDMA転送要求には対応していません。

*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。

*2: リロードタイマch.4～ch.7は割込みによるDMA転送に対応していません。

*3: PPG ch.24～ch.47は割込みによるDMA転送に対応していません。

*4: クロックキャリブレーションユニットは割込みによるDMA転送には対応していません。

*5: 32bit フリーランタイマ ch.3～ch.5 は割込みによる DMA 転送には対応していません。

*6: 外部低電圧検出割込みによる DMA 転送には対応していません。

C. CPU 状態における端子状態

CPU 状態における端子状態について示します。

表 C-1 端子状態表

端子番号 (LQFP-144)	端子番号 (LQFP-120)	端子番号 (LQFP-100)	端子番号 (QFP-100)	端子番号 (LQFP-80)	端子番号 (QFP-80)	端子番号 (TQFP-64)	端子名	端子機能	入力レベル 出力レベル 回路形式	リセット要因発生後～リセット解除後の端子状態												スリープ・スタンバイモード時の端子状態							備考
										リセット要因(×1) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] (×1 パワーオンリセット、外部リセットNMI有効) [MB91F52xxxD] (×1 パワーオンリセット、外部リセット)	リセット要因(×2) (×2 低電圧検出(外部電源電圧))				リセット要因(×3) ([MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 外部リセットNMI無効)				内部リセット要因4 (×4)	内部リセット要因5 (×14)	スリープモード		ストップモード		時計モード		
										外部要因発生中	外部要因解除後				外部要因発生中		外部要因解除後												
										中断中にセットされた割り込み	中断中にセットされた割り込み	(1)割り込み要因解除後～(2)内部初期化開始前	(2)内部初期化開始後～(3)端子初期化前	(3)端子初期化後～解除後	中断中にセットされた割り込み	中断中にセットされた割り込み	(1)割り込み要因解除後～(2)内部初期化開始前	(2)内部初期化開始後～(3)端子初期化前	(3)端子初期化後～解除後	中断中にセットされた割り込み	中断中にセットされた割り込み	(1)割り込み要因解除後～(2)内部初期化開始前	(2)内部初期化開始後～(3)端子初期化前	(3)端子初期化後～解除後	VCC=2.7V以上	VCC=2.7V未満	VCC=2.7V以上	VCC=2.7V未満	VCC=2.7V以上	VCC=2.7V未満	
										-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	1	1	1	1	1	1	VSS	GND																						
						2	P015 D29 TRG0_0	汎用入出力ポート 外部バス・データbit29 入出力 PPG トリガ0入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						3	P016 D30 TRG1_0	汎用入出力ポート 外部バス・データbit30 入出力 PPG トリガ1入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						4	P170 PPG26_1	汎用入出力ポート PPG ch. 26出力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						5	P017 D31 TRG2_0	汎用入出力ポート 外部バス・データbit31 入出力 PPG トリガ2入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						6	P171 PPG37_1	汎用入出力ポート PPG ch. 37 出力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
2	2	2	2	2	5	7	P020 ADX SIN3_1 TRG3_0 TIN0_2 RTO0_1	汎用入出力ポート 外部バス・アドレスストローブ出力 マルチファンクションシリアル ch. 3 シリアルデータ入力 (1) PPG トリガ3 入力 (0) リロードタイマ ch. 0 イベント入力 (2) 波形ジェネレータch. 5 出力端子 (1)	入力:automotive 出力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				3	6	8	P021 CSX0 SOT3_1 TRG6_1 TRG4_0	汎用入出力ポート 外部バス・チップセレクト0 出力 マルチファンクションシリアルch. 3 シリアルデータ出力 (1) PPG トリガ6 入力 (1) PPG トリガ4 入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				4	7	9	P022 CSX1 SCK3_1 TRG7_1 TRG5_0	汎用入出力ポート 外部バス・チップセレクト1 出力 マルチファンクションシリアルch. 3 クロック入出力 (1) PPG トリガ7 入力 (1) PPG トリガ5 入力 (0)	入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				5	8	10	P023 RDX SCS3_1 PPG22_0 TIN0_0	汎用入出力ポート 外部バス・リードストローブ出力 シリアルチップセレクト3 出力 (1) PPG ch. 22 出力 (0) リロードタイマ ch. 0 イベント入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
3	3	3	3	6	9	11	P024 WRDX SIN4_1 PPG24_0 TIN1_0 RTO4_1 INT15_0	汎用入出力ポート 外部バス・ライトストローブ0 出力 マルチファンクションシリアル ch. 4 シリアルデータ入力 (1) PPG ch. 24 出力 (0) リロードタイマ ch. 1 イベント入力 (0) 波形ジェネレータch. 4 出力端子 (1) INT15 外部割込み入力 (0)	入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				4	7	10	P025 WR1X SOT4_1 PPG25_0 TIN2_0	汎用入出力ポート 外部バス・ライトストローブ1 出力 マルチファンクションシリアルch. 4 シリアルデータ出力 (1) PPG ch. 25 出力 (0) リロードタイマ ch. 2 イベント入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					10	12	P172 PPG38_1	汎用入出力ポート PPG ch. 38 出力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
	4	5	8	11	14	13	P026 ADX SCK4_1 PPG26_0 TIN3_0	汎用入出力ポート 外部バス・アドレスbit0 出力 マルチファンクションシリアルch. 4 クロック入出力 (1) PPG ch. 26 出力 (0) リロードタイマ ch. 3 イベント入力 (0)	入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
4	5	6	9	12	15	14	P027 AD1 SCS40_1 PPG27_0 TOTG_0 RTO0_1	汎用入出力ポート 外部バス・アドレスbit1 出力 シリアルチップセレクト40 入出力 (1) PPG ch. 27 出力 (0) リロードタイマ ch. 0 出力 (0) 波形ジェネレータch. 2 出力端子 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						15	P173 PPG39_1	汎用入出力ポート PPG ch. 39 出力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				7	10	13	P028 AD2 SCS41_1 PPG28_0 TOT1_0	汎用入出力ポート 外部バス・アドレスbit2 出力 シリアルチップセレクト41 出力 (1) PPG ch. 28 出力 (0) リロードタイマ ch. 1 出力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				8	11	14	P029 AD3 SCS42_1 PPG29_0 TIN4_0	汎用入出力ポート 外部バス・アドレスbit3 出力 シリアルチップセレクト42 出力 (1) PPG ch. 29 出力 (0) リロードタイマ ch. 2 出力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
5	7	9	12	15	19	16	P02A AD4 SCS43_1 PPG30_0 TOT3_0 RTO2_1	汎用入出力ポート 外部バス・アドレスbit4 出力 シリアルチップセレクト43 出力 (1) PPG ch. 30 出力 (0) リロードタイマ ch. 3 出力 (0) 波形ジェネレータch. 2 出力端子 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
6	8	10	13	16	20	17	P02B AD5 PPG31_0 CKO3_3 TIN4_0 RTO1_1 SCK3_2	汎用入出力ポート 外部バス・アドレスbit5 出力 PPG ch. 31 出力 (0) インプットキャプチャ ch. 3 入力 (3) リロードタイマ ch. 4 イベント入力 (0) 波形ジェネレータch. 1 出力端子 (1) マルチファンクションシリアルch. 3 クロック入出力 (2)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
7	9	11	14	17	21	18	P02C AD6 SCU11_1 CKO2_3 TIN5_0 RTO0_1 SOT3_2	汎用入出力ポート 外部バス・アドレスbit6 出力 アウトプットコンペアch. 11 出力 (1) インプットキャプチャ ch. 2 入力 (3) リロードタイマ ch. 5 イベント入力 (0) 波形ジェネレータch. 0 出力端子 (1) マルチファンクションシリアルch. 3 シリアルデータ出力 (2)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		12	15	18	22	19	P150 SOT8_0/SDA8 OCU10_1 TRG8_0 ICU1_3 TIN6_0	汎用入出力ポート マルチファンクションシリアルch. 8 シリアルデータ出力 (0) / I2C バスシリアルデータ入出力 アウトプットコンペアch. 10 出力 (1) PPG トリガ8 入力 (0) インプットキャプチャ ch. 1 入力 (3) リロードタイマ ch. 6 イベント入力 (0)	入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
8	10	13	16	19	23	20	P151 SCK8_0/SCL8 OCU9_1 TRG7_0 ICU0_3 TIN7_0 ZIN0_2 DTTI1_1	汎用入出力ポート マルチファンクションシリアルch. 8 クロック入出力 (0) / I2C バスシリアルクロック入出力 アウトプットコンペアch. 9 出力 (1) PPG トリガ7 入力 (0) インプットキャプチャ ch. 0 入力 (3) リロードタイマ ch. 7 イベント入力 (0) A/D カウンタ ch. 0 ZIN 入力 (2) 波形ジェネレータch. 0~ch. 5 入力端子 (1)	入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
9	11	14	17	20	24	21	P035 AD7 SIN8_0 SCS8_1 TOT4_0 AIN0_0 INT11_0	汎用入出力ポート 外部バス・アドレスbit7 出力 マルチファンクションシリアル ch. 8 シリアルデータ入力 (0) アウトプットコンペアch. 8 出力 (1) リロードタイマ ch. 4 出力 (0) A/D カウンタ ch. 0 AIN 入力 (0) INT11 外部割込み入力 (0)	DVトレラント入力 入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
10	12	15	18	21	25	22	P036 AD8 SCS9_0 SOT7_1 TOT5_0 BIN0_0	汎用入出力ポート 外部バス・アドレスbit8 出力 シリアルチップセレクト9 入出力 (0) アウトプットコンペアch. 7 出力 (1) リロードタイマ ch. 5 出力 (0) A/D カウンタ ch. 0 BIN 入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		16	19	22	26	23	P037 AD9 SCU6_1 TOT6_0 ZIN0_0	汎用入出力ポート 外部バス・アドレスbit9 出力 アウトプットコンペアch. 6 出力 (1) リロードタイマ ch. 6 出力 (0) A/D カウンタ ch. 0 ZIN 入力 (0)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						27	P174 PPG3_1	汎用入出力ポート PPG トリガ9 入力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
						28	P175 PRG9_1	汎用入出力ポート PPG トリガ9 入力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
11	13	17	20	23	29	24	P040 A10 PPG23_1 TOT7_0 AIN1_0 SIN0_1	汎用入出力ポート 外部バス・アドレスbit10 出力 PPG ch. 23 出力 (1) リロードタイマ ch. 7 出力 (0) A/D カウンタ ch. 1 AIN 入力 (0) マルチファンクションシリアル ch. 0 シリアルデータ入力 (1)	入力:automotive 出力:CMOS A	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
12	14	18	21	24	30	25	P041 A11 SIN9_0 CSX9_1 BIN1_0 INT12_0	汎用入出力ポート 外部バス・アドレスbit11 出力 マルチファンクションシリアル ch. 9 シリアルデータ入力 (0) インプットキャプチャ ch. 9 入力 (1) A/D カウンタ ch. 1 BIN 入力 (0) INT12 外部割込み入力 (0)	DVトレラント入力 入力:CMOS Hysteresis 出力:CMOS F	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	Hi-Z/入力可	シャットダウン直前状態を保持	直前状態保持(×7)	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有

端子番号（QFP-176）	端子番号（LQFP-144）	端子番号（LQFP-120）	端子番号（LQFP-100）	端子番号（LQFP-80）	端子番号（LQFP-64）	端子番号（TQFP-48）	端子名	端子機能	入力レベル 出力レベル 回路形式	リセット要因発生後～リセット解除後の端子状態 リセット要因(※1) [MB91FF52xxB/MB91FF52xxC/MB91FF52xxE] (※1 パワーオンリセット、外部リセット、WDTリセット、ソフトウェアリセット、CSVリセット、SWDTリセット) [MB91FF52xxD] (※1 パワーオンリセット、外部リセット) 外部要因発生中	リセット要因解除後	リセット要因(※2) (※2 低電圧検出(外部電源電圧)) 外部要因発生中	外部要因解除後	リセット要因(※3) ([MB91FF52xxB/MB91FF52xxC/MB91FF52xxE] 外部リセットNMI解除)	外部要因発生中	外部要因解除後	内部リセット要因4(※4)	内部リセット要因5(※14)	スリープ・スタンバイモード時の端子状態 スリープモード	ストップモード	時計モード	5V耐圧
										内部リセット発生中	内部リセット発生後～外部リセット解除後（発振安定待ち中）	内部リセット発生後～外部リセット解除後（発振安定待ち後）	内部リセット解除後	内部リセット発生中	内部リセット発生後～外部リセット解除後（発振安定待ち中）	内部リセット発生後～外部リセット解除後（発振安定待ち後）	内部リセット解除後	内部リセット発生中	内部リセット発生後～外部リセット解除後（発振安定待ち中）	内部リセット発生後～外部リセット解除後（発振安定待ち後）	内部リセット解除後	内部リセット発生後～外部リセット解除後（発振安定待ち中）	内部リセット発生後～外部リセット解除後（発振安定待ち後）	内部リセット解除後									

端子番号（100ピン）	端子番号（80ピン）	端子番号（64ピン）	端子番号（52ピン）	端子番号（48ピン）	端子番号（32ピン）	端子番号（17ピン）	端子名	端子機能	入力レベル 出力レベル 回路形式	リセット要因(1×1) [MB91FF52xxB/MB91FF52xxC/MB91FF52xxE] (×1 パワーオンリセット、外部リセット、外部リセットNMI有効) [MB91FF52xxD] (×1 パワーオンリセット、外部リセット)	リセット要因(2×2) (×2 低電圧検出/外部電源電圧)				リセット要因(3×3) ([MB91FF52xxB/MB91FF52xxC/MB91FF52xxE] 外部リセットNMI無効)				内部リセット要因4 (×4)	内部リセット要因5 (×14)	スリープモード		ストップモード		時計モード		FCPRTHD設定による初期
										外部要因発生中	外部要因解除後	外部要因発生中		外部要因解除後		外部要因発生中		外部要因解除後									
										内部リセット発生中	内部リセット発生中～発振安定待ち中	内部リセット発生中	内部リセット発生中～発振安定待ち中	内部リセット発生中～発振安定待ち中	内部リセット解除後	内部リセット発生中	内部リセット発生中～発振安定待ち中	内部リセット発生中～発振安定待ち中	内部リセット解除後	内部リセット発生中～発振安定待ち中	内部リセット発生中～発振安定待ち中	SLAC(1/2)スロー	SLAC(1/2)ファスト	SLAC(1/2)スロー	SLAC(1/2)ファスト	SLAC(1/2)スロー	SLAC(1/2)ファスト	
		52	60	76	PG76 SOT3_0/SDA3	汎用入出力ポート 外部バス・チップセレクト2 出力(1) マルチファンクションシリアルch.3 シリアルデータ出力(0) / I2C バスシリアルデータ入出力	入力 I2C hysteresis 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		53	61	77	PG77 SCK3_0/SCL3	汎用入出力ポート マルチファンクションシリアルch.3 クロック入出力(0) / I2C バスシリアルクロック入出力	入力 I2C hysteresis 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		54	62	78	PH52 SCS53_0	汎用入出力ポート シリアルチップセレクト53 出力(0)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
28	36	45	55	63	79	PH53 SCK3_0/SCL5 AN32 RX04I_1 INT4_1	汎用入出力ポート マルチファンクションシリアルch.5 クロック入出力(0) / I2C バスシリアルクロック入出力 ADC アナログ32 入力 フリーランタイマ1 クロック入力(1) INT4 外部割込み入力(1)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		64	80		PG80 SCS52_0 PPG0_0	汎用入出力ポート シリアルチップセレクト52 出力(0) PPG ch.0 出力(0)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
29	37	46	56	65	81	PG81 SOT5_0/SDA5 AN0 PPG1_0	汎用入出力ポート マルチファンクションシリアルch.5 シリアルデータ出力(0) / I2C バスシリアルデータ入出力 ADC アナログ0 入力 PPG ch.1 出力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
30	38	47	57	66	82	PG82 SIN5_0 AN1 PPG2_0	汎用入出力ポート マルチファンクションシリアル ch.5 シリアルデータ入力(0) ADC アナログ1 入力 PPG ch.2 出力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		67	83		PG83 SCS50_0 AN2 PPG3_0	汎用入出力ポート シリアルチップセレクト50 入出力(0) ADC アナログ2 入力 PPG ch.3 出力(0)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		68	84		PG84 SCS51_0 AN3 PPG4_0	汎用入出力ポート シリアルチップセレクト51 出力(0) ADC アナログ3 入力 PPG ch.4 出力(0)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		69	85		PG85 PPG5_0	汎用入出力ポート PPG ch.5 出力(0)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
	46	58	70	86	PG86 DA01 PPG6_0	汎用入出力ポート DAC アナログ1 出力 PPG ch.6 出力(0)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
31	39	49	59	71	87	PG87 DA00 PPG7_0 INT8_0	汎用入出力ポート DAC アナログ0 出力 PPG ch.7 出力(0) INT8 外部割込み入力(0)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
32	40	50	60	72	88	VSS	GND		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
33	41	51	61	73	89	VCC	GND		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
					90	P190 TIN2_0	汎用入出力ポート リロードタイマ ch.0 イベント入力(1)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					91	P191 TIN1_1	汎用入出力ポート リロードタイマ ch.1 イベント入力(1)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				74	92	P060 AN4 ICU0_0 TIN0_1	汎用入出力ポート ADC アナログ4 入力 インプットキャプチャ ch.0 入力(0) リロードタイマ ch.0 イベント入力(1)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				75	93	P061 AN5 PPG41_1 ICU1_0 TIN1_1	汎用入出力ポート ADC アナログ5 入力 PPG ch.41 出力(1) インプットキャプチャ ch.1 入力(0) リロードタイマ ch.1 イベント入力(1)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				76	94	P062 AN6 PPG40_1 ICU2_0 TOT2_1	汎用入出力ポート ADC アナログ6 入力 PPG ch.40 出力(1) インプットキャプチャ ch.2 入力(0) リロードタイマ ch.2 出力(1)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				95	P063 PPG24_1 TOT1_1	汎用入出力ポート PPG ch.24 出力(1) リロードタイマ ch.1 出力(1)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
34	42	52	62	77	96	P064 INI_1 SIN11_0 AN7 ICU4_2 PPG16_1 ICU3_0 TOT2_1	汎用入出力ポート LIN 受信データ0 出力(1) マルチファンクションシリアルch.11 シリアルデータ入力(0) ADC アナログ7 入力 インプットキャプチャ ch.4 入力(2) PPG ch.16 出力(1) インプットキャプチャ ch.3 入力(0) リロードタイマ ch.2 出力(1)	EIFトレラント入力 入力 CMOS Hysteresis 出力 CMOS J2	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
				78	97	P104 AN8 ICU4_0 SOT3_1	汎用入出力ポート ADC アナログ8 入力 インプットキャプチャ ch.4 入力(0) リロードタイマ ch.3 出力(1)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		53	63	79	98	P105 TX0(128) SCS11_0 AN9	汎用入出力ポート LIN 送信データ0 出力 シリアルチップセレクト11 入出力(0) ADC アナログ9 入力	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
35	43	54	64	80	99	P106 RX0(128) SOT11_0/SDA1 0 AN10 INT0_0	汎用入出力ポート LIN 受信データ0 入力 マルチファンクションシリアルch.11 シリアルデータ出力(0) / I2C バスシリアルデータ入出力 ADC アナログ10 入力 INT0 外部割込み入力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
36	44	55	65	81	100	P107 SCK11_0/SCL1 0 AN11 ICU5_0 PPG17_1	汎用入出力ポート マルチファンクションシリアルch.11 クロック入出力(0) / I2C バスシリアルクロック入出力 ADC アナログ11 入力 インプットキャプチャ ch.5 入力(0) PPG ch.17 出力(1)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
37	45	56	66	82	101	AVSS0/AVRL0	AD/DA コンバータ用GND GND		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
38	46	57	67	83	102	AVRH0	AD コンバータ用10個下限基準電圧		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
39	47	58	68	84	103	AVCC0	AD コンバータ用10個上限基準電圧		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
40	48	59	69	85	104	AVSS0	AD コンバータ用10個アナログ電源		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	48	59	69	85	104	P100 SCK7_0/SCL7 AN12 PPG8_0	汎用入出力ポート マルチファンクションシリアルch.7 クロック入出力(0) / I2C バスシリアルクロック入出力 ADC アナログ12 入力 PPG ch.8 出力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
	49	60	70	86	105	P101 SOT7_0/SDA7 AN13 PPG9_0	汎用入出力ポート マルチファンクションシリアルch.7 シリアルデータ出力(0) / I2C バスシリアルデータ入出力 ADC アナログ13 入力 PPG ch.9 出力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
40	49	61	71	87	106	P102 SIN7_0 AN14 PPG10_0 INT10_0	汎用入出力ポート マルチファンクションシリアル ch.7 シリアルデータ入力(0) ADC アナログ14 入力 PPG ch.10 出力(0) INT10 外部割込み入力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
41	50	62	72	88	107	P103 SCS73_0 AN15 PPG11_0	汎用入出力ポート シリアルチップセレクト73 出力(0) ADC アナログ15 入力 PPG ch.11 出力(0)	大電流ポート12mA 入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
42	51	63	73	89	108	P104 SCS72_0 AN16 PPG12_0	汎用入出力ポート シリアルチップセレクト72 出力(0) ADC アナログ16 入力 PPG ch.12 出力(0)	大電流ポート12mA 入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
43	52	64	74	90	109	P105 SCS71_0 AN17 PPG13_0	汎用入出力ポート シリアルチップセレクト71 出力(0) ADC アナログ17 入力 PPG ch.13 出力(0)	大電流ポート12mA 入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
		65	75	91	110	P106 SCS70_0 AN18 PPG14_0	汎用入出力ポート シリアルチップセレクト70 入出力(0) ADC アナログ18 入力 PPG ch.14 出力(0)	大電流ポート12mA 入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
	53	66	76	92	111	P107 AN19 PPG15_0	汎用入出力ポート ADC アナログ19 入力 PPG ch.15 出力(0)	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					112	P108 PPG25_1	汎用入出力ポート PPG ch.25 出力(1)	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					113	P109 AN20	汎用入出力ポート ADC アナログ20 入力	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					114	P10A AN21	汎用入出力ポート ADC アナログ21 入力	入力 automotive 出力 CMOS	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
44	54	67	79	95	115	NMIX	マスクなし割込み入力	入力 CMOS Hysteresis 8	入力可	入力可	入力可			入力可			入力可			入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	–
					116	P110 TIX1(64) SCS63_0 AN22	汎用入出力ポート LIN 送信データ1 出力 シリアルチップセレクト63 出力(0) ADC アナログ22 入力	入力 automotive 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	シャットダウン直前状態を保持	直前状態保持	直前状態保持	直前状態保持	Hi-Z/入力遮断(×5)	直前状態保持	Hi-Z/入力遮断(×5)	有
					117	P111 RIX1(64) SCS62_0 AN23 INT1_0	汎用入出力ポート LIN 受信データ1 入力 シリアルチップセレクト62 出力(0) ADC アナログ23 入力 INT1 外部割込み入力(0)	入力 CMOS hysteresis 出力 CMOS 6	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入力遮断	Hi-Z/入力可	Hi-Z/入

端子番号（QFP144）	端子番号（QFP128）	端子番号（QFP120）	端子番号（LQFP144）	端子番号（LQFP128）	端子番号（LQFP120）	端子名	端子機能	入力レベル 出力レベル 回路形式	リセット要因発生後～リセット解除後の端子状態 リセット要因1(×1) [MB91F52xxB/MB91F52xxC/MB91F52xxE] (*1) パワーオンリセット、外部リセット(NMI有効) [MB91F52xxxD] (*1) パワーオンリセット、外部リセット		リセット要因2(×2) (*2 低電圧検出(外部電源電圧)) 外部要因発生中			外部要因解除後		リセット要因3(×3) ([MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 外部リセットNMI無効)			内部リセット要因4 (*4)	内部リセット要因5 (*14)	スリープ・スタンバイモード時の端子状態 スリープモード		ストップモード		時計モード		備考
										外部リセット発生中	外部リセット解除後～内部リセット解除後（発振安定待ち中）	外部リセット解除後	外部リセット発生中	外部リセット解除後～内部リセット解除後（発振安定待ち中）	外部リセット解除後	外部リセット発生中	外部リセット解除後～内部リセット解除後（発振安定待ち中）	外部リセット解除後	外部リセット発生中～内部リセット解除後（発振安定待ち中）	内部リセット解除後	外部リセット解除後	SLVL[1:0]=00b	SLVL[1:0]=01b	SLVL[1:0]=00b	SLVL[1:0]=01b	SLVL[1:0]=00b	SLVL[1:0]=01b	
48	59	74	89	106	129	P122 SIN6_0 UNI1_0 AD2B_0 INT9_1	汎用入出力ポート マルチファンクションシリアル ch.6 シリアルデータ入力 (0) ADC アナログ31 入力 アウトプットコンペアch.8 出力 (0) INT9 外部割込み入力 (1)	ヒステリシス入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		直前状態保持(*7)	直前状態保持	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	
					130	P197 PPG28_1	汎用入出力ポート PPG ch. 28 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		直前状態保持(*7)	直前状態保持	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
					131	P123 SOUT0_0	汎用入出力ポート アウトプットコンペアch.9 出力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
60	75	90	105	122	153	VSS	GND	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-
61	76	91	106	123	154	VCC	+5.0V 電源	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-
49	62	77	92	110	134	DEBUG1F	デバッグ (DCI) 用DEBUG1F入出力	Nchオープンドレイン入力 TTL 出力 25mA (NOD) L	HZ/入力可	入力可	入力無効(*11)	入力無効	入力可 (*12)	入力無効(*11)	入力無効	入力可 (*12)	入力無効(*11)	入力無効	入力可 (*12)	入力無効(*11)	入力可 (*12)	入力無効(*11)	入力無効(*11)	入力無効(*11)	入力無効(*11)	入力無効(*11)	入力無効(*11)	入力無効(*11)	-
					135	P160 PPG30_1	汎用入出力ポート PPG ch. 30 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
					136	P161 PPG31_1	汎用入出力ポート PPG ch. 31 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				111	137	P124 DCU10_0	汎用入出力ポート アウトプットコンペアch.10 出力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				93	112	P125 DCU11_0	汎用入出力ポート アウトプットコンペアch.11 出力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
50	63	78	94	113	139	P126 SIN0_0 UNI6_0	汎用入出力ポート マルチファンクションシリアル ch.0 シリアルデータ入力 (0) UNI6 外部割込み入力 (0)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力可		HZ/入力可	HZ/入力可			HZ/入力遮断			HZ/入力可			HZ/入力可		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	無
	64	79	95	114	140	P127 SOT0_0	汎用入出力ポート マルチファンクションシリアルch.0 シリアルデータ出力 (0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
	80	96	115	141	P130 SCK0_0	汎用入出力ポート マルチファンクションシリアルch.0 クロック入出力 (0)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
					142	P162 TRG5_2	汎用入出力ポート PPG トリガ5 入力 (2)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
					143	P163 TRG6_2	汎用入出力ポート PPG トリガ6 入力 (2)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
51	65	81	97	116	144	MD0	モード端子0	モード入力 入力 CMOS Hysteresis K	入力可		入力可				入力可			入力可			入力可		入力可	入力可	入力可	入力可	入力可	入力可	-
52	66	82	98	117	145	MD1	モード端子1	モード入力 入力 CMOS Hysteresis K	入力可		入力可				入力可			入力可			入力可		入力可	入力可	入力可	入力可	入力可	入力可	-
53	67	83	99	118	146	X0	メインクロック発振入力	メイン発振 A	-		-	-	-	-	-	-	-	-	-	-	-		-	-	-	-	-	-	-
54	68	84	100	119	147	X1	メインクロック発振出力	メイン発振 A	-		-	-	-	-	-	-	-	-	-	-	-		-	-	-	-	-	-	-
55	69	85	101	120	148	VSS	GND	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-	-
56	70	86	102	121	149	P135 DTTI1_0	汎用入出力ポート 波形ジェネレータch.0 -ch.5入力端子(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
						X1A (*13)	サブクロック発振出力	サブ発振 A	-		-	-	-	-	-	-	-	-	-	-	-		-	-	-	-	-	-	-
57	71	87	103	122	150	P136	汎用入出力ポート	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
						X0A (*13)	サブクロック発振入力	サブ発振 A	-		-	-	-	-	-	-	-	-	-	-	-		-	-	-	-	-	-	-
58	72	88	104	123	151	RSTX	外部リセット入力	入力 CMOS Hysteresis G	入力可		入力可				入力可			入力可			入力可		入力可	入力可	入力可	入力可	入力可	入力可	-
				124	152	P131 ADTG0_0	汎用入出力ポート A/Dコンバータ外部トリガ入力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
			105	125	153	P132 SCS1_0 ADTG1_0	汎用入出力ポート シリアルチップセレクト1 入出力 (0) A/Dコンバータ外部トリガ入力1 (0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
		89	106	126	154	P133 TX2 (64)	汎用入出力ポート CAN 送信データ2 出力	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
		90	107	127	155	P134 RX2 (64) SCS1_1 IOGT2_0 INT7_0	汎用入出力ポート CAN 受信データ2 入力 シリアルチップセレクト1 入出力 (1) インプットキャプチャ ch.7 入力 (0) INT7 外部割込み入力 (0)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
		91	108	128	156	P144 SCK1_1	汎用入出力ポート マルチファンクションシリアルch.1 クロック入出力 (1)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
59	73	92	109	129	157	VSS	GND	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-	-
60	74	93	110	130	158	C	外部容量接続端子	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-
		94	111	131	159	P000 016 SIN1_0 TIOA0_1 INT2_0	汎用入出力ポート 外部バス・データbi16 入出力 マルチファンクションシリアル ch.1 シリアルデータ入力 (0) ベースタイマch.0 TIOA 出力 (1) INT2 外部割込み入力 (0)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
	75	95	112	132	160	P001 017 SOT1_0 TIOA1_1	汎用入出力ポート 外部バス・データbi17 入出力 マルチファンクションシリアルch.1 シリアルデータ出力 (0) ベースタイマch.1 TIOA 入出力 (1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
		113	133	161	P002 018 SCK1_0 TIOB0_1	汎用入出力ポート 外部バス・データbi18 入出力 マルチファンクションシリアルch.1 クロック入出力 (0) ベースタイマch.0 TIOB 入力 (1)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
	76	96	114	134	162	P003 019 SIN2_0 TIOB1_1 INT3_0	汎用入出力ポート 外部バス・データbi19 入出力 マルチファンクションシリアル ch.2 シリアルデータ入力 (0) ベースタイマch.1 TIOB 入力 (1) INT3 外部割込み入力 (0)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
		135	163	P004 020 SOT2_0	汎用入出力ポート 外部バス・データbi20 入出力 マルチファンクションシリアルch.2 シリアルデータ出力 (0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				164	P164 PPG32_1	汎用入出力ポート PPG ch. 32 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
61	77	97	115	136	165	P005 021 SCK2_0 ADTG2_1 INT7_1 (RX2 (64))	汎用入出力ポート 外部バス・データbi21 入出力 マルチファンクションシリアルch.2 クロック入出力 (0) A/D コンバータ外部トリガ入力(1) INT7 外部割込み入力 (1) (CAN受信データ2入力 64pin、80pinのみ)	入力 CMOS Hysteresis 出力 CMOS F	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				166	P165 PPG33_1	汎用入出力ポート PPG ch. 33 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
62	78	98	116	137	167	P006 022 SCS2_0 ADTG3_1 INT2_1 (TX2 (64))	汎用入出力ポート 外部バス・データbi22 入出力 シリアルチップセレクト2 入出力 (0) A/D コンバータ外部トリガ入力(1) INT2 外部割込み入力 (1) (CAN 送信データ2出力 64pin、80pinのみ)	入力 automotive 出力 CMOS A	HZ/入力可		HZ/入力可	HZ/入力可			HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力可		HZ/入力可		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	無
			117	138	168	P007 023	汎用入出力ポート 外部バス・データbi23 入出力	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				169	P166 PPG34_1	汎用入出力ポート PPG ch. 34 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
			118	139	170	P010 024	汎用入出力ポート 外部バス・データbi24 入出力	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
63	79	99	119	140	171	P011 RDY 025 SOT2_1 TIOA0_0 INT3_1	汎用入出力ポート 外部バス RDY 出力信号 外部バス・データbi25 入出力 マルチファンクションシリアルch.2 シリアルデータ出力 (1) ベースタイマch.0 TIOA 出力 (0) INT3 外部割込み入力 (1)	入力 automotive 出力 CMOS A	HZ/入力可		HZ/入力可	HZ/入力可			HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力可		HZ/入力可		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	無
				141	172	P012 026 TIOB0_0	汎用入出力ポート 外部バス・データbi26 入出力 ベースタイマch.0 TIOB 入力 (0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				170	173	P167 PPG35_1	汎用入出力ポート PPG ch. 35 出力(1)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				142	174	P013 027 TIOA1_0	汎用入出力ポート RTC 出力信号2(1) 外部バス・データbi27 入出力 ベースタイマch.1 TIOA 入出力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
				143	175	P014 028 TIOB1_0	汎用入出力ポート 外部バス・データbi28 入出力 ベースタイマch.1 TIOB 入力(0)	入力 automotive 出力 CMOS A	HZ/入力遮断		HZ/入力可	HZ/入力遮断	HZ/入力遮断	HZ/入力遮断	HZ/入力可	HZ/入力可	HZ/入力可	HZ/入力遮断		HZ/入力遮断		シャットダウン直前状態を保持	直前状態保持(*7)	直前状態保持	HZ/入力遮断(*5)	直前状態保持	HZ/入力遮断(*5)	有
64	80	100	120	144	176	VCC	+5.0V 電源	-	-		-	-	-	-	-	-	-	-		-		-	-	-	-	-	-	-

(*1) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセット、低電圧検出(内部電源電圧)、外部リセット(NMI有効)が要因となります。
[MB91F52xxxD] パワーオンリセット、低電圧検出(内部電源電圧)、外部リセットが要因となります。
(*2) 低電圧検出(外部電源電圧)が要因となります。
(*3) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 外部リセット(NMI無効)が要因となります。
(*4) ソフトウェアリセット、ソフト/ハードウェア・ウォッチドッグリセット、スタンバイモードから復帰するまでI/O状態を保持するようにしたスタンバイからの復帰が要因となります。(タイムアウト時も含む)
(*5) 外部割込みが有効なときは、入力遮断は無効となります。(外部割込みの対応するチャネルのENIR,EN、EPFRのビットを設定、またPORTENの設定の影響がある端子に限りGPORTENをクリア)
(*7) 周辺機能によっては、動作を継続します。
(*11) エミュレーションモード時は 入力可、フリーランモード時は 入力無効 となります。
(*12) INITレベルのリセットが発行された場合のみ 入力可、それ以外の場合は 入力無効 となります。
(*13) クロック1系統品は、P135/P136で、クロック2系統品は、X1A/X0Aとなります。
(*14) I/O保持解除要求をクリアするまでI/O状態を保持するようにしたスタンバイ(電源遮断)からの復帰が要因となります。

D. 変更内容

主な変更内容について示します。

主な変更内容

ページ	場所	変更内容
Revision 4.0		
(i)	はじめに	序文を下記のように修正。 (誤) 富士通半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。 MB91520 シリーズをご利用になる前に、本書および『データシート』をご一読ください。 (正) 富士通半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。 MB91520 シリーズをご利用になる前に、本書および『MB91520 シリーズデータシート』をご一読ください。
5	1.2.2	2.2. 周辺機能について、・ クロック生成(SSCG 機能搭載)の一文を下記のように修正。 (誤) ・ クロック生成(SSCG 機能搭載) ・ メイン発振(4 MHz～16MHz) ・ サブ発振(32kHz～100kHz) またはサブ発振なし ・ PLL 逓倍率 : 1～20 逓倍 (正) ・ クロック生成(SSCG 機能搭載) ・ メイン発振(4 MHz～16MHz) ・ サブ発振(32kHz) またはサブ発振なし ・ PLL 逓倍率 : 1～20 逓倍 ・100kHz CR 発振器を搭載
7	1.2.2	2.2. 周辺機能のベースタイマの説明を以下のように修正 (誤) ・ ベースタイマ: 最大 2 チャネル ・ 16 ビットタイマ ・ PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能 ・ 2 チャネルカスケードモードで 32 ビットタイマとして使用可能 (正) ・ ベースタイマ: 最大 2 チャネル ・ 16 ビットタイマ ・ PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能 ・ PWC 機能とリロードタイマ機能は、2 チャネルカスケードモードで 32 ビットタイマとして使用可能

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>9</td><td>1.3</td><td>3. 品種構成について、表　3-1 品種構成比較　64Pin のマルチファンクションシリアルの一文を下記のように修正。

(誤)
<table><tr><td>マルチファンクションシリアル</td><td>8ch</td></tr></table>
(正)
<table><tr><td>マルチファンクションシリアル</td><td>8ch*1</td></tr></table></td></tr>
<tr><td>9</td><td>1.3</td><td>3. 品種構成について、表　3-1 品種構成比較　64Pin の表の末尾に下記を追加。

(正)
*1: I²C(標準モード)対応は ch5, ch6, ch11 のみです。</td></tr>
<tr><td>10</td><td>1.3</td><td>3. 品種構成について、表　3-2 品種構成比較　80Pin のマルチファンクションシリアルの一文を下記のように修正。

(誤)
<table><tr><td>マルチファンクションシリアル</td><td>9ch</td></tr></table>
(正)
<table><tr><td>マルチファンクションシリアル</td><td>9ch*1</td></tr></table></td></tr>
<tr><td>10</td><td>1.3</td><td>3. 品種構成について、表　3-2 品種構成比較　80Pin の表の末尾に下記を追加。

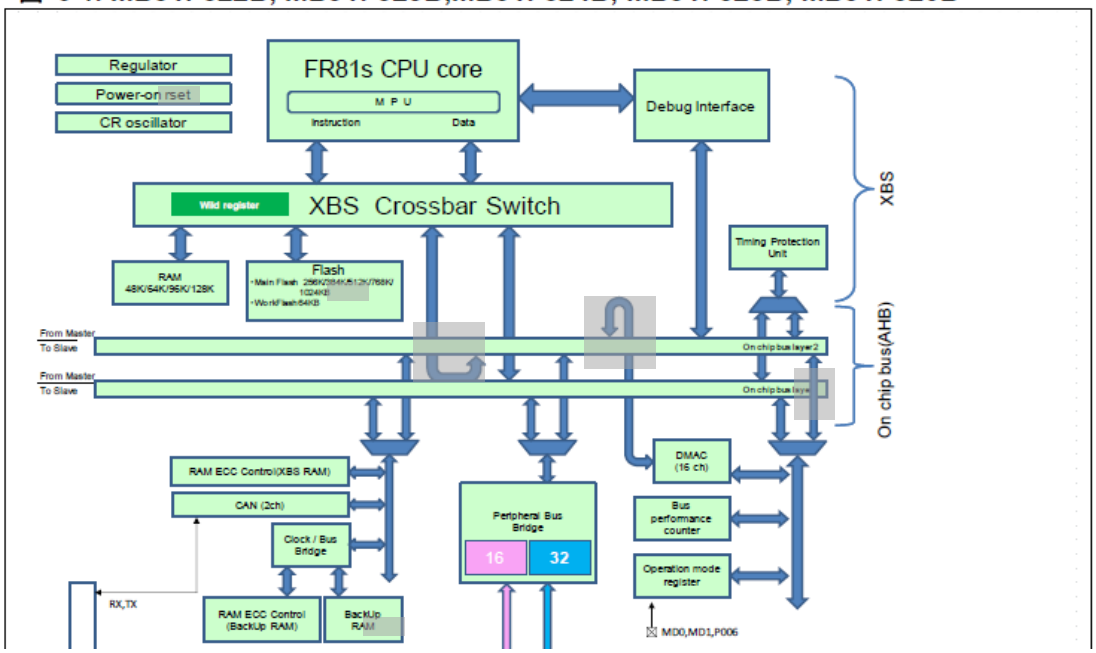
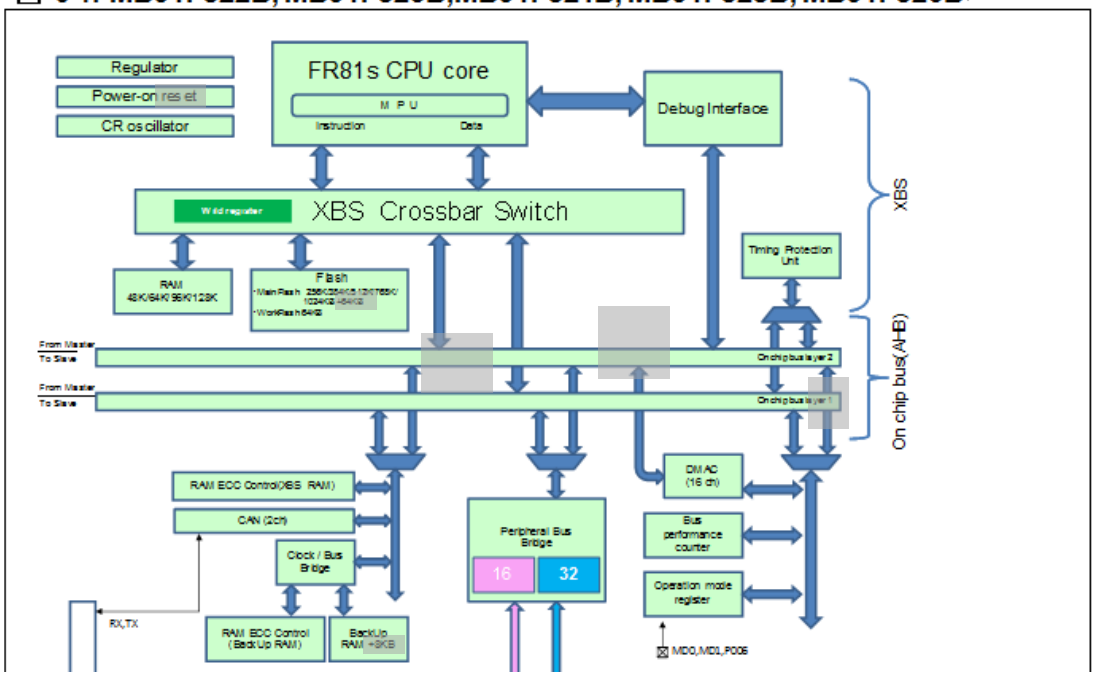
(正)
*1: I²C(標準モード)対応は ch5, ch6, ch11 のみです。</td></tr>
<tr><td>11</td><td>1.3</td><td>3. 品種構成について、表　3-3 品種構成比較　100Pin のマルチファンクションシリアルの一文を下記のように修正。

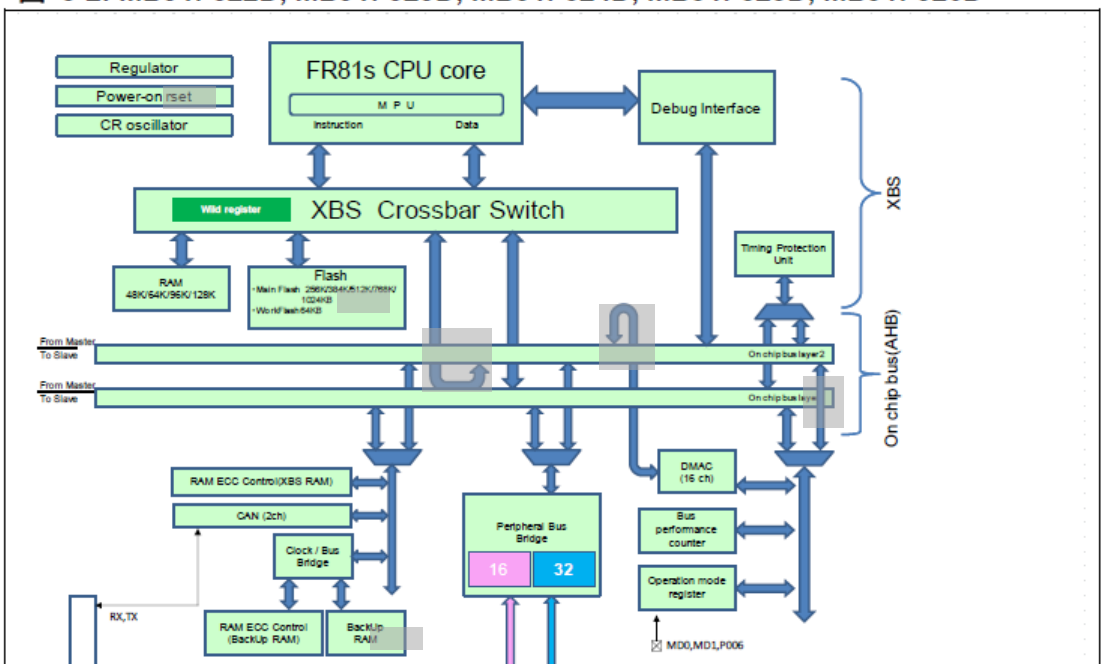
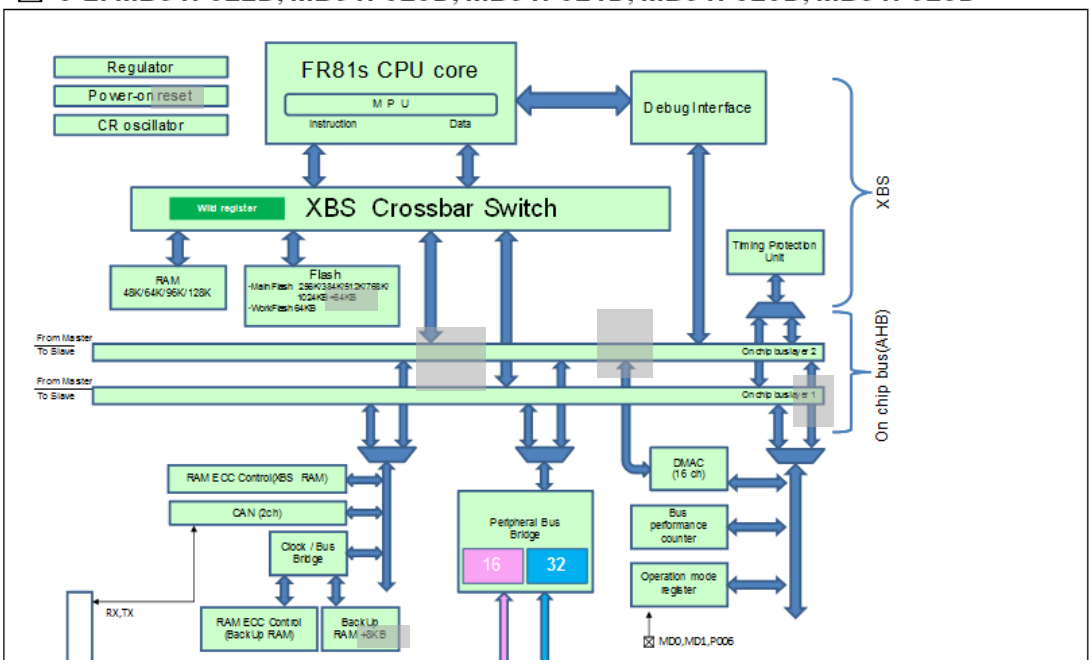
(誤)
<table><tr><td>マルチファンクションシリアル</td><td>12ch</td></tr></table>
(正)
<table><tr><td>マルチファンクションシリアル</td><td>12ch*1</td></tr></table></td></tr>
<tr><td>11</td><td>1.3</td><td>3. 品種構成について、表　3-3 品種構成比較　100Pin の表の末尾に下記を追加。

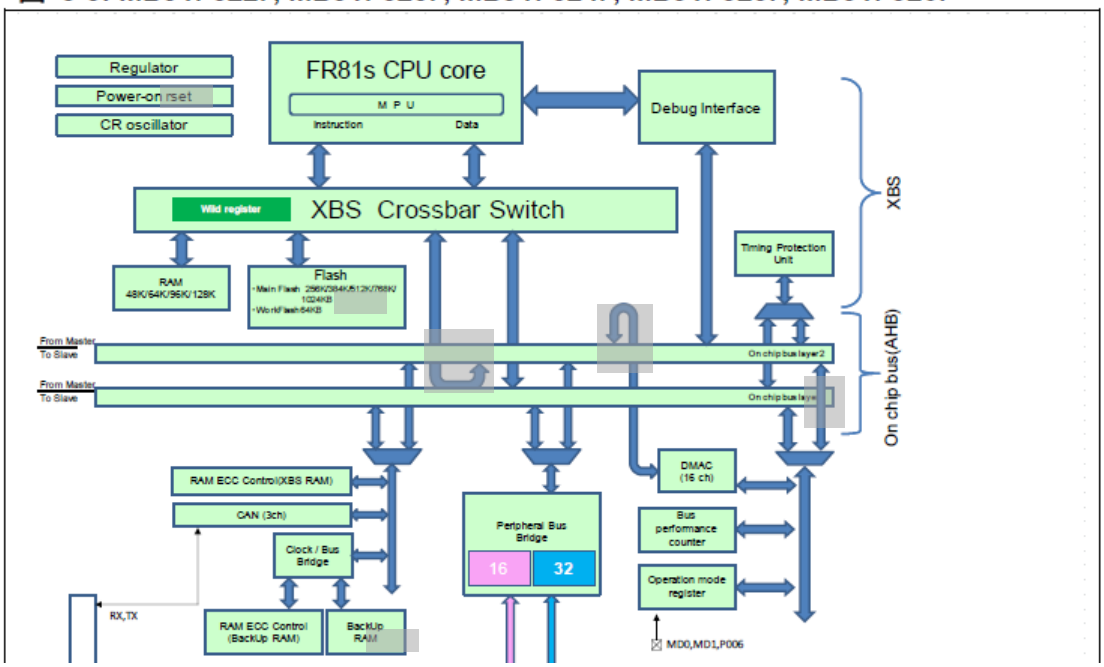
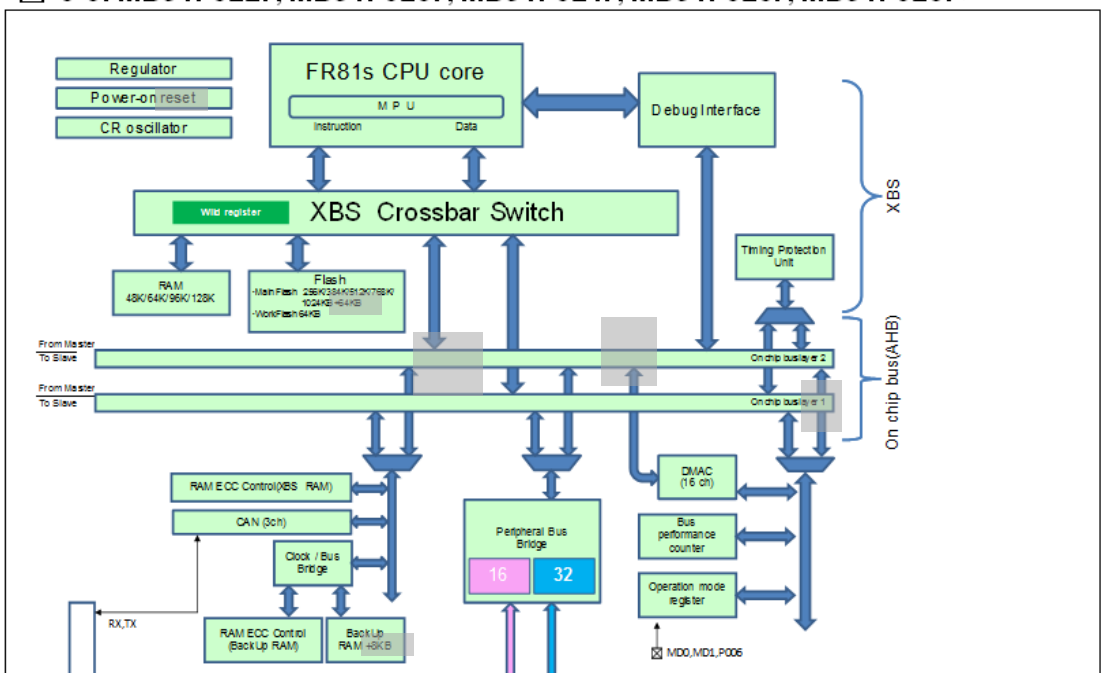
(正)
*1: I²C(標準モード)対応は ch5, ch6, ch7, ch8, ch11 のみです。</td></tr>
</table>

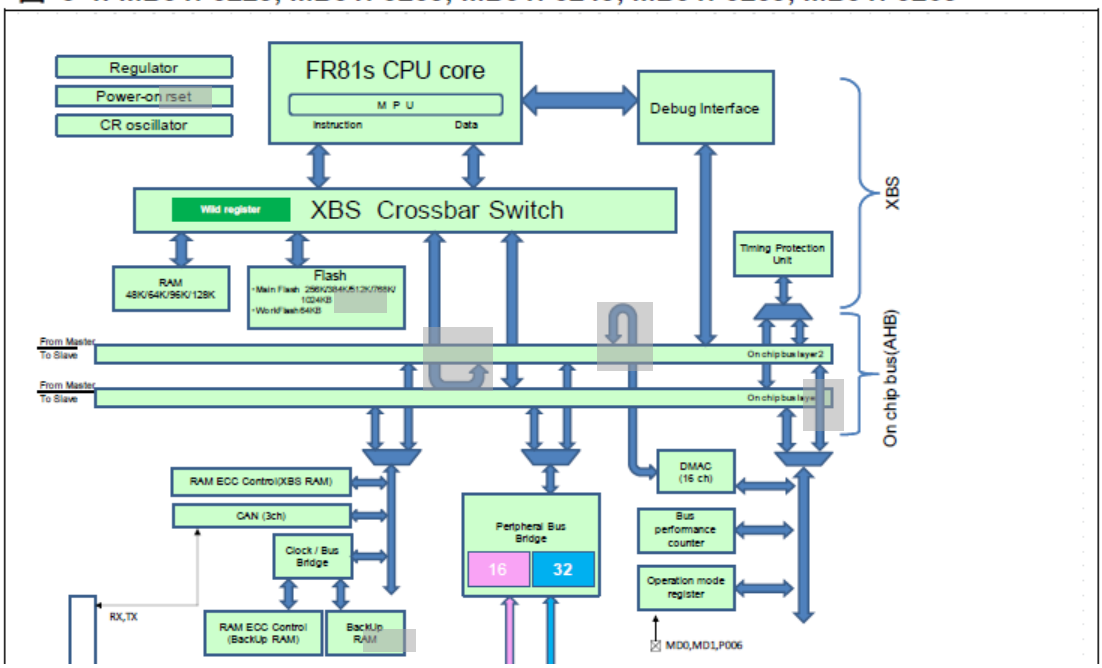
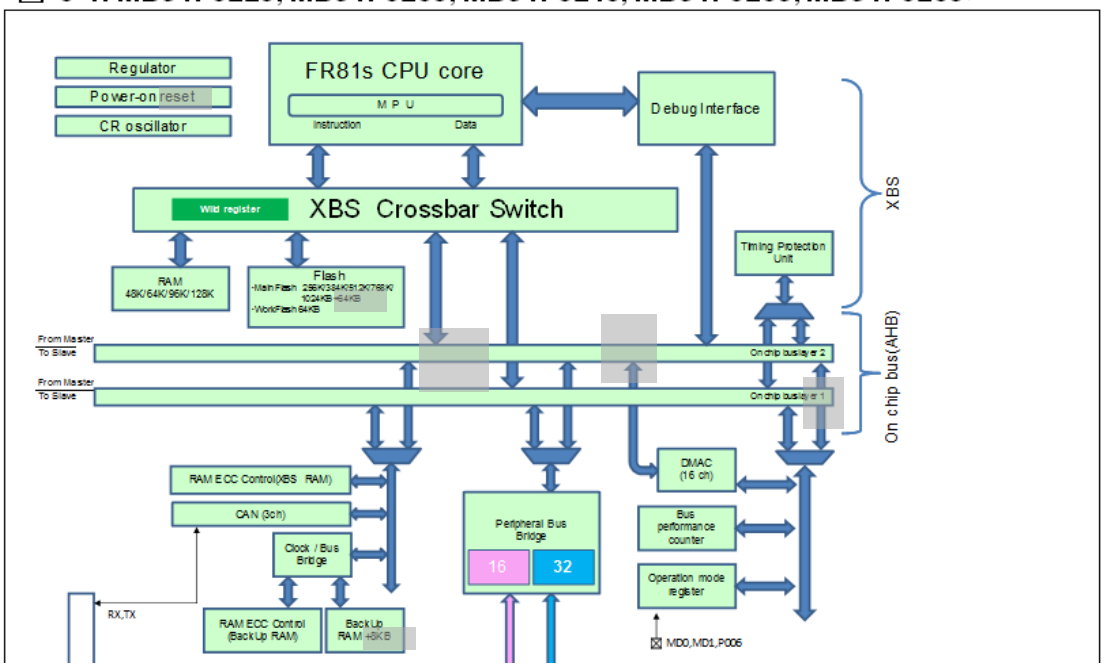
ページ	場所	変更内容
12	1.3	3. 品種構成について、表　3-4 品種構成比較　120Pin のマルチファンクションシリアルの一文を下記のように修正。 (誤) マルチファンクションシリアル：12ch (正) マルチファンクションシリアル：12ch*1
12	1.3	3. 品種構成について、表　3-4 品種構成比較　120Pin の表の末尾に下記を追加。 (正) *1: I²C(高速モード/標準モード)対応は ch3, ch4 のみです。 I²C(標準モード)対応は ch5, ch6, ch7, ch8, ch11 のみです。
13	1.3	3. 品種構成について、表　3-5 品種構成比較　144Pin のマルチファンクションシリアルの一文を下記のように修正。 (誤) マルチファンクションシリアル：12ch (正) マルチファンクションシリアル：12ch*1
13	1.3	3. 品種構成について、表　3-5 品種構成比較　144Pin の表の末尾に下記を追加。 (正) *1: I²C(高速モード/標準モード)対応は ch3, ch4 のみです。 I²C(標準モード)対応は ch5, ch6, ch7, ch8, ch10, ch11 のみです。
14	1.3	3. 品種構成について、表　3-6 品種構成比較　176Pin のマルチファンクションシリアルの一文を下記のように修正。 (誤) マルチファンクションシリアル：12ch (正) マルチファンクションシリアル：12ch*1

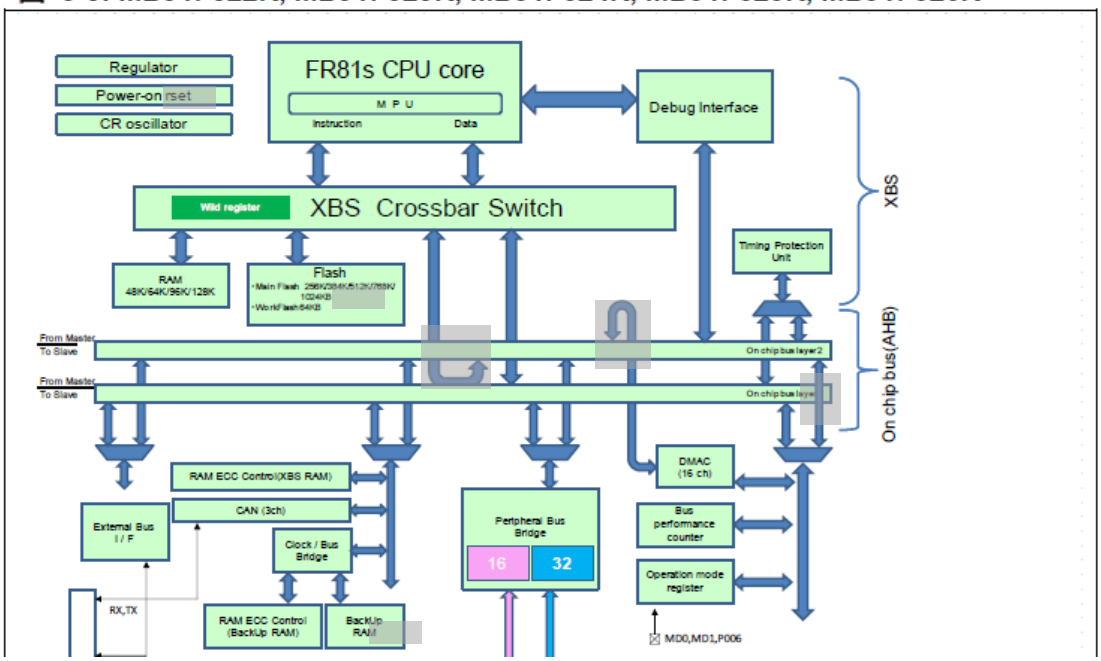
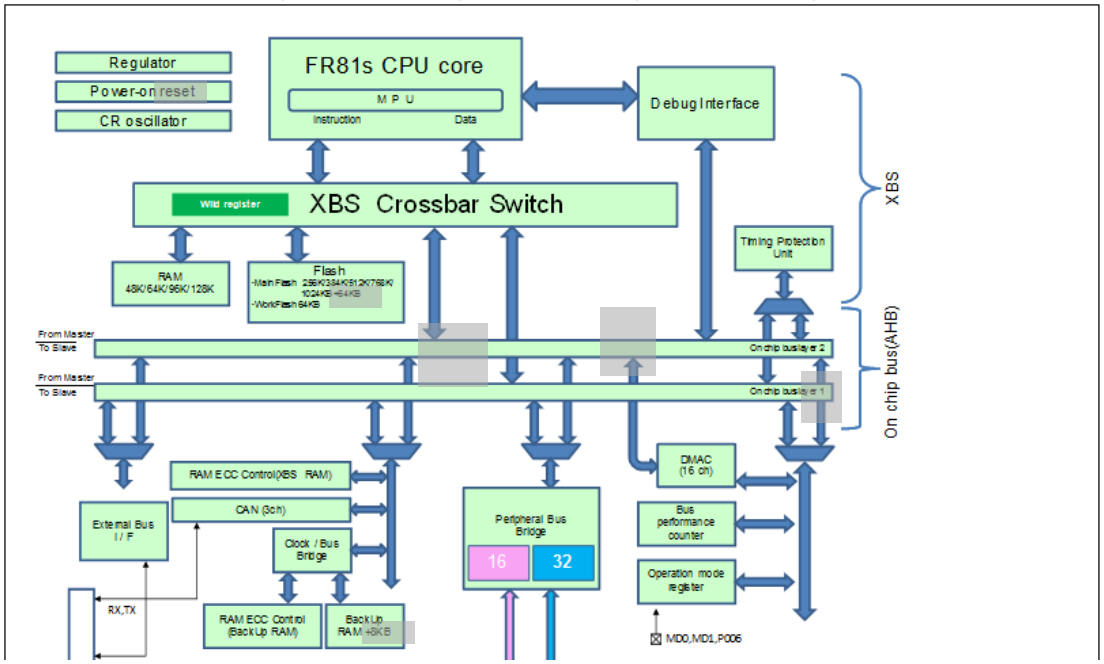
ページ	場所	変更内容
14	1.3	3. 品種構成について、表　3-6 品種構成比較　176Pin の表の末尾に下記を追加。 (正) *1: I²C(高速モード/標準モード)対応は ch3, ch4 のみです。 I²C(標準モード)対応は ch5, ch6, ch7, ch8, ch10, ch11 のみです。
16	1.4	4. 機能概要の 表 4-1 機能概要のクロックの説明を以下のように修正 (誤) サブ発振　32kHz～100kHz またはなし (正) サブ発振　32kHz またはなし
19	1.4	4. 機能概要の 表 4-1 機能概要の I/O リロケーションの説明を以下のように修正 (誤) - マルチファンクションシリアル ch.0～2,10 × 最大 2 分岐 ch.3,4×最大 3 分岐 (正) - マルチファンクションシリアル ch.0～2,10 × 最大 2 分岐 ch.3,4×最大 3 分岐　ただし、I²C はリロケーション不可

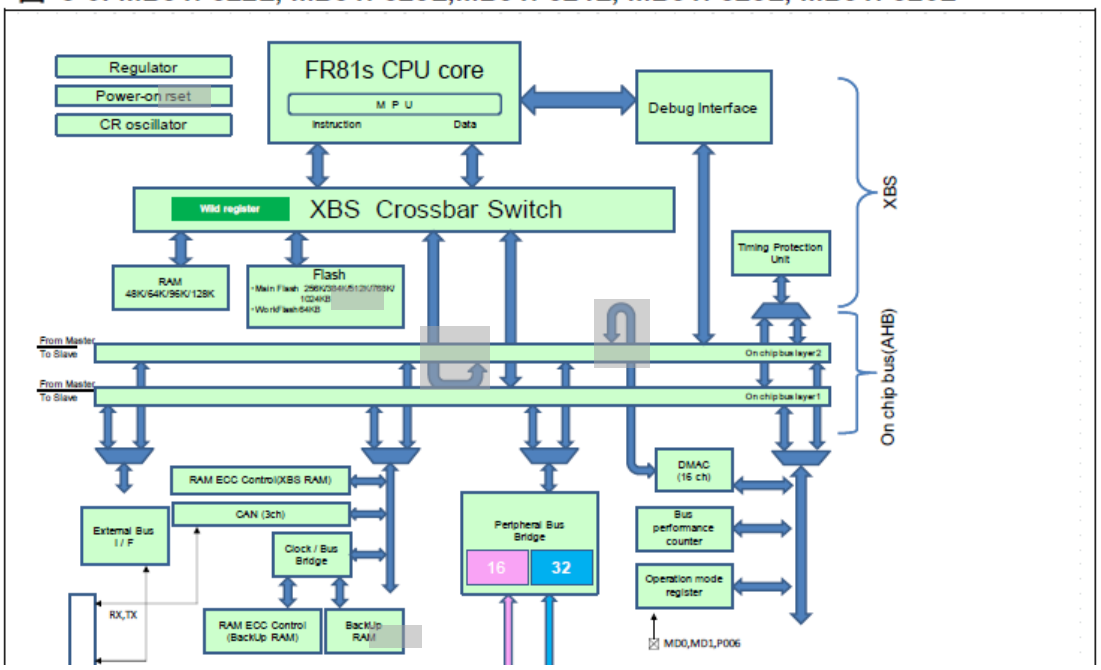
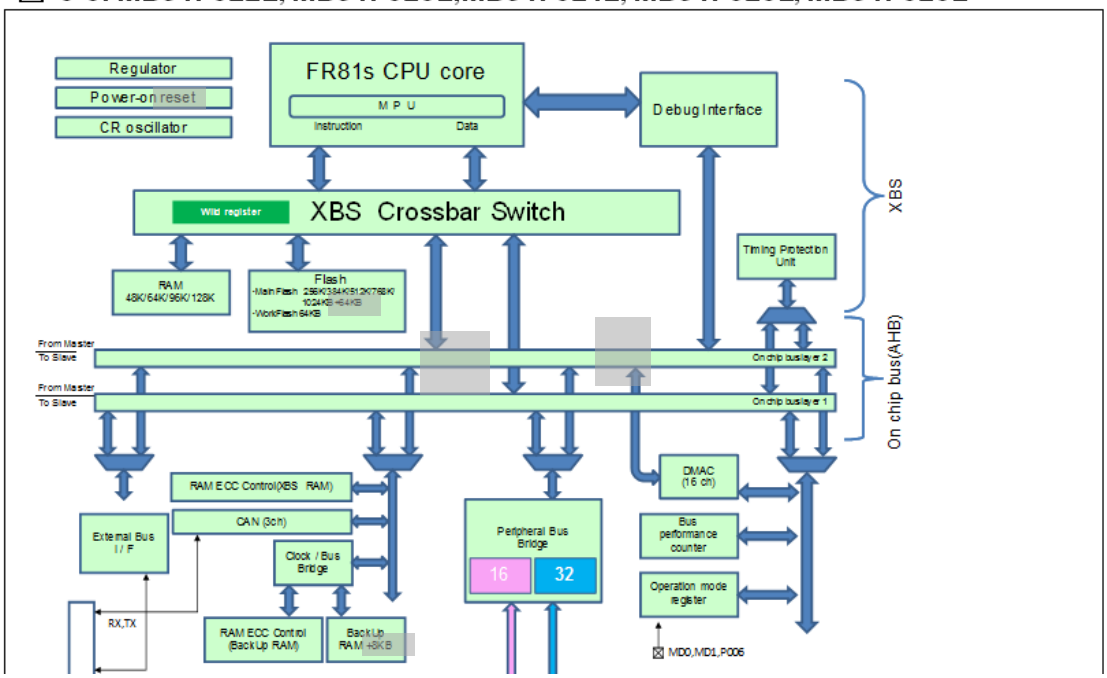
ページ	場所	変更内容
20	1.5	5. ブロックダイヤグラムの図 5-1 について以下を修正 （誤） 図 5-1: MB91F522B, MB91F523B,MB91F524B, MB91F525B, MB91F526B  （正） 図 5-1: MB91F522B, MB91F523B,MB91F524B, MB91F525B, MB91F526B 

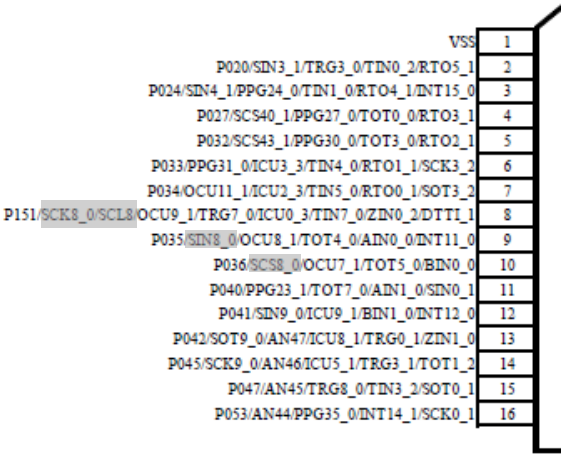
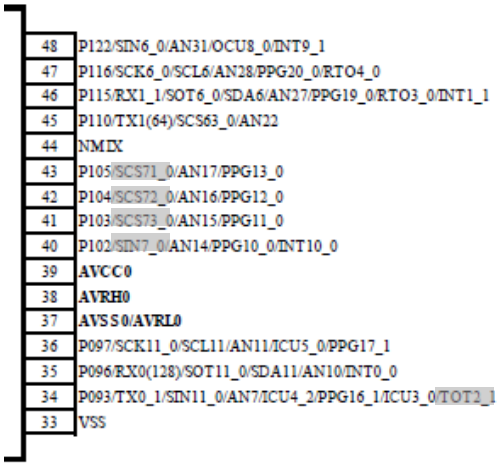
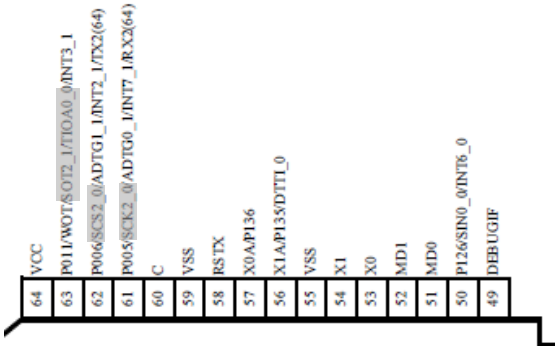
ページ	場所	変更内容
21	1.5	5. ブロックダイヤグラムの図 5-2 について以下を修正 （誤） 図 5-2: MB91F522D, MB91F523D, MB91F524D, MB91F525D, MB91F526D  （正） ▪ 図 5-2: MB91F522D, MB91F523D, MB91F524D, MB91F525D, MB91F526D 

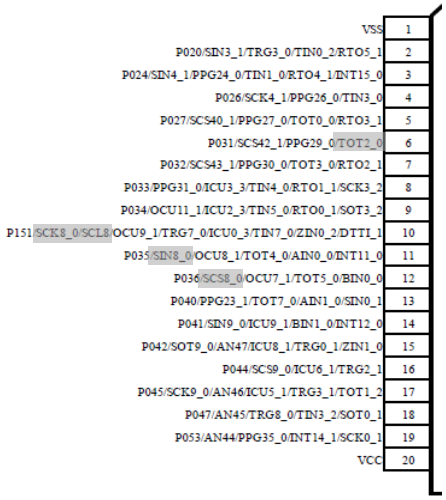
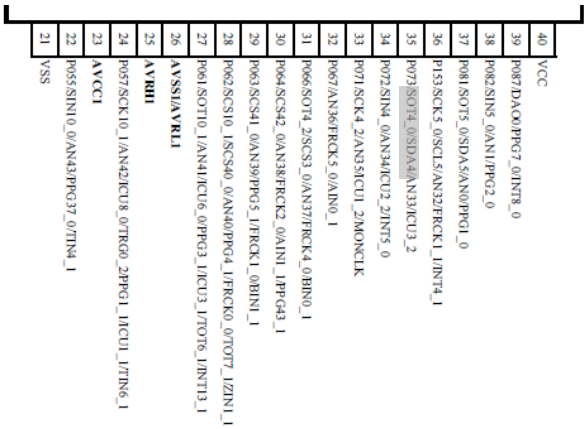
ページ	場所	変更内容
22	1.5	5. ブロックダイヤグラムの図 5-3 について以下を修正 （誤） 図 5-3: MB91F522F, MB91F523F, MB91F524F, MB91F525F, MB91F526F  （正） ▪ 図 5-3: MB91F522F, MB91F523F, MB91F524F, MB91F525F, MB91F526F 

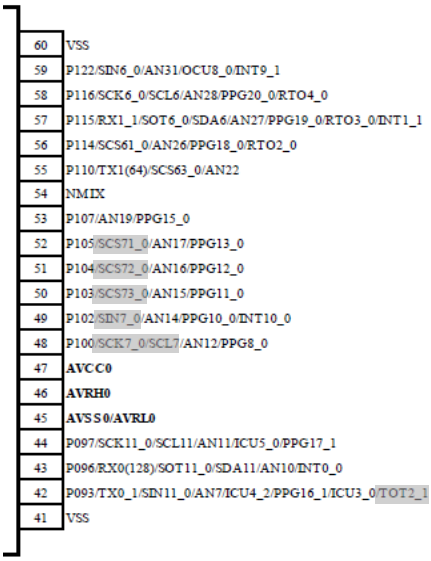
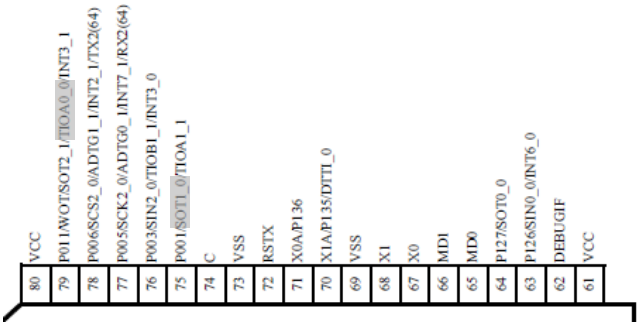
ページ	場所	変更内容
23	1.5	5. ブロックダイヤグラムの図 5-4 について以下を修正 （誤） **図 5-4: MB91F522J, MB91F523J, MB91F524J, MB91F525J, MB91F526J**  （正） **▪ 図 5-4: MB91F522J, MB91F523J, MB91F524J, MB91F525J, MB91F526J** 

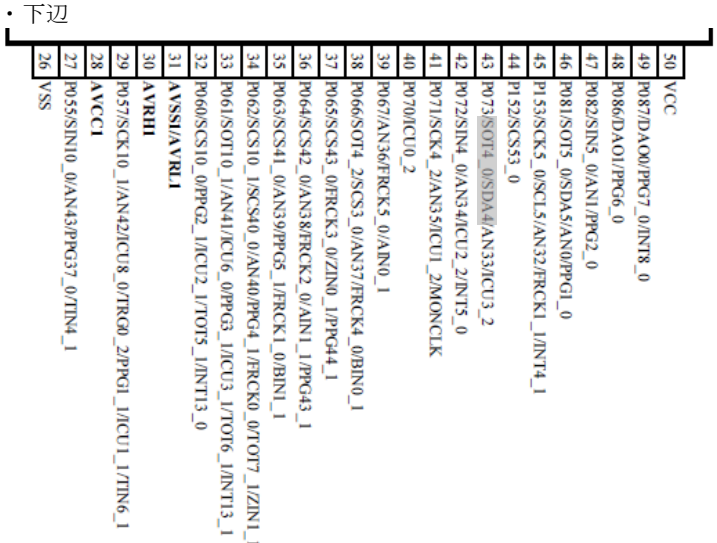
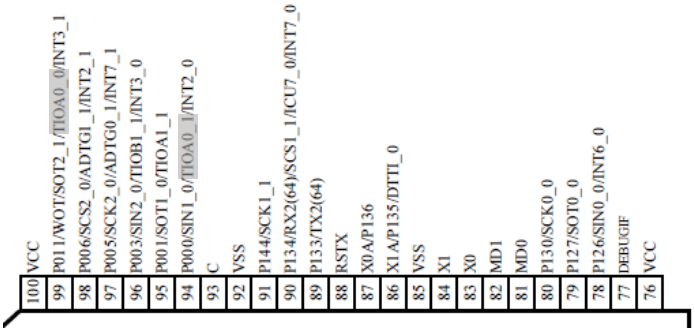
ページ	場所	変更内容
24	1.5	5. ブロックダイヤグラムの図 5-5 について以下を修正 （誤） 図 5-5: MB91F522K, MB91F523K, MB91F524K, MB91F525K, MB91F526K  （正） ▪ 図 5-5: MB91F522K, MB91F523K, MB91F524K, MB91F525K, MB91F526K 

ページ	場所	変更内容
25	1.5	5. ブロックダイヤグラムの図 5-6 について以下を修正 （誤） **図 5-6: MB91F522L, MB91F523L,MB91F524L, MB91F525L, MB91F526L**  （正） ▪ **図 5-6: MB91F522L, MB91F523L,MB91F524L, MB91F525L, MB91F526L** 

ページ	場所	変更内容
28	1.7	7.端子配列図　の図 7-1 より以下の　の信号を削除 ・左辺  ・右辺  ・上辺 

ページ	場所	変更内容
28	1. 7	7. 端子配列図　の図 7-1 の左下に下記注釈を追記。 （正） ※クロック 1 系統品は、56, 57pin が汎用ポートとなります。
29	1. 7	7. 端子配列図　の図 7-2 より以下の　の信号を削除 ・左辺  ・下辺  （続く）

ページ	場所	変更内容
29	1.7	（続き） ・右辺  ・上辺 
29	1.7	7.端子配列図　の図 7-2 の左下に下記注釈を追記。 （正） ※クロック 1 系統品は、71,72pin が汎用ポートとなります。

ページ	場所	変更内容
30	1.7	7.端子配列図　の図 7-3 より以下の　の信号を削除 ・下辺  ・上辺 
30	1.7	7.端子配列図　の図 7-3 の左下に下記注釈を追記。 （正） ※クロック 1 系統品は、86, 87pin が汎用ポートとなります。
31	1.7	7.端子配列図　の図 7-4 の左下に下記注釈を追記。 （正） ※クロック 1 系統品は、102, 103pin が汎用ポートとなります。
32	1.7	7.端子配列図　の図 7-5 の左下に下記注釈を追記。 （正） ※クロック 1 系統品は、121, 122pin が汎用ポートとなります。

ページ	場所	変更内容
33	1.7	7.端子配列図　の図 7-6 の左下に下記注釈を追記。 (正) ※クロック 1 系統品は、149,150pin が汎用ポートとなります。
45	1.9	9.端子機能一覧の以下を修正。 (誤) 汎用入出力ポート 外部バス・チップセレクト 2 出力(0) マルチファンクションシリアル ch.10 シリア ルデータ入力(0) ADC アナログ 43 入力 PPG ch37 出力(0) リロードタイマ ch.4 イベント入力(1) 汎用入出力ポート 外部バス・チップセレクト 3 出力(0) インプットキャプチャ ch.9 入力(0) PPG ch.0 出力(1) インプットキャプチャ ch.0 入力(1) リロードタイマ ch.5 イベント入力(1) 波形ジェネレータ ch.0-ch.5 入力端子(2) (正) 汎用入出力ポート 外部バス・チップセレクト 2 出力 マルチファンクションシリアル ch.10 シリア ルデータ入力(0) ADC アナログ 43 入力 PPG ch37 出力(0) リロードタイマ ch.4 イベント入力(1) 汎用入出力ポート 外部バス・チップセレクト 3 出力 インプットキャプチャ ch.9 入力(0) PPG ch.0 出力(1) インプットキャプチャ ch.0 入力(1) リロードタイマ ch.5 イベント入力(1) 波形ジェネレータ ch.0-ch.5 入力端子(2)

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>57</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-6 マルチファンクションシリアルインタフェースの端子(ch.0～ch.11)を修正
(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.1 シリアルデータ出力(0)</td><td>SOT1_0</td><td>-</td><td>-</td><td>75</td><td>95</td><td>112</td><td>132</td><td>160</td></tr>
<tr><td>MFS ch.1 シリアルデータ入力(0)</td><td>SIN1_0</td><td>なし</td><td>-</td><td>-</td><td>94</td><td>111</td><td>131</td><td>159</td></tr>
<tr><td>MFS ch.2 クロック入出力(0)</td><td>SCK2_0</td><td>なし</td><td>61</td><td>77</td><td>97</td><td>115</td><td>136</td><td>165</td></tr>
<tr><td>MFS ch.2 シリアルデータ出力(0)</td><td>SOT2_0</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>135</td><td>163</td></tr>
<tr><td>MFS ch.2 シリアルデータ出力(1)</td><td>SOT2_1</td><td>-</td><td>63</td><td>79</td><td>99</td><td>119</td><td>140</td><td>171</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.1 シリアルデータ出力(0)</td><td>SOT1_0</td><td>-</td><td>-</td><td>-</td><td>95</td><td>112</td><td>132</td><td>160</td></tr>
<tr><td>MFS ch.1 シリアルデータ入力(0)</td><td>SIN1_0</td><td>なし</td><td>-</td><td>-</td><td>94</td><td>111</td><td>131</td><td>159</td></tr>
<tr><td>MFS ch.2 クロック入出力(0)</td><td>SCK2_0</td><td>なし</td><td>-</td><td>77</td><td>97</td><td>115</td><td>136</td><td>165</td></tr>
<tr><td>MFS ch.2 シリアルデータ出力(0)</td><td>SOT2_0</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>135</td><td>163</td></tr>
<tr><td>MFS ch.2 シリアルデータ出力(1)</td><td>SOT2_1</td><td>-</td><td>-</td><td>79</td><td>99</td><td>119</td><td>140</td><td>171</td></tr>
</table>
</td></tr>
<tr><td>58</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-6 マルチファンクションシリアルインタフェースの端子(ch.0～ch.11)を修正
(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.4 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT4_0/ SDA4</td><td>-</td><td>-</td><td>35</td><td>43</td><td>49</td><td>57</td><td>71</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.4 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT4_0/ SDA4</td><td>-</td><td>-</td><td>-</td><td>-</td><td>49</td><td>57</td><td>71</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>59</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-6 マルチファンクションシリアルインタフェースの端子(ch.0～ch.11)を修正
(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.7 クロック入出力(0)/ I²C バスシリアルクロック入出力</td><td>SCK7_0/ SCL7</td><td>なし</td><td>－</td><td>48</td><td>59</td><td>69</td><td>85</td><td>104</td></tr>
<tr><td>MFS ch.7 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT7_0/ SDA7</td><td>－</td><td>－</td><td>－</td><td>60</td><td>70</td><td>86</td><td>105</td></tr>
<tr><td>MFS ch.7 シリアルデータ入力(0)</td><td>SIN7_0</td><td>なし</td><td>40</td><td>49</td><td>61</td><td>71</td><td>87</td><td>106</td></tr>
<tr><td>MFS ch.8 クロック入出力(0)/ I²C バスシリアルクロック入出力</td><td>SCK8_0/ SCL8</td><td>なし</td><td>8</td><td>10</td><td>13</td><td>16</td><td>19</td><td>23</td></tr>
<tr><td>MFS ch.8 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT8_0/ SDA8</td><td>－</td><td>－</td><td>－</td><td>12</td><td>15</td><td>18</td><td>22</td></tr>
<tr><td>MFS ch.8 シリアルデータ入力(0)</td><td>SIN8_0</td><td>なし</td><td>9</td><td>11</td><td>14</td><td>17</td><td>20</td><td>24</td></tr>
<tr><td>MFS ch.2 シリアルチップセレクト入出力(0)</td><td>SCS2_0</td><td>なし</td><td>62</td><td>78</td><td>98</td><td>116</td><td>137</td><td>167</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.7 クロック入出力(0)/ I²C バスシリアルクロック入出力</td><td>SCK7_0/ SCL7</td><td>なし</td><td>－</td><td>－</td><td>59</td><td>69</td><td>85</td><td>104</td></tr>
<tr><td>MFS ch.7 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT7_0/ SDA7</td><td>－</td><td>－</td><td>－</td><td>60</td><td>70</td><td>86</td><td>105</td></tr>
<tr><td>MFS ch.7 シリアルデータ入力(0)</td><td>SIN7_0</td><td>なし</td><td>－</td><td>－</td><td>61</td><td>71</td><td>87</td><td>106</td></tr>
<tr><td>MFS ch.8 クロック入出力(0)/ I²C バスシリアルクロック入出力</td><td>SCK8_0/ SCL8</td><td>なし</td><td>－</td><td>－</td><td>13</td><td>16</td><td>19</td><td>23</td></tr>
<tr><td>MFS ch.8 シリアルデータ出力(0)/ I²C バスシリアルデータ入出力</td><td>SOT8_0/ SDA8</td><td>－</td><td>－</td><td>－</td><td>12</td><td>15</td><td>18</td><td>22</td></tr>
<tr><td>MFS ch.8 シリアルデータ入力(0)</td><td>SIN8_0</td><td>なし</td><td>－</td><td>－</td><td>14</td><td>17</td><td>20</td><td>24</td></tr>
<tr><td>MFS ch.2 シリアルチップセレクト入出力(0)</td><td>SCS2_0</td><td>なし</td><td>－</td><td>78</td><td>98</td><td>116</td><td>137</td><td>167</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>60</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-6 マルチファンクションシリアルインタフェースの端子(ch.0～ch.11)を修正

(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.71 シリアルチップセレクト出力(0)</td><td>SCS71_0</td><td>-</td><td>43</td><td>52</td><td>64</td><td>74</td><td>90</td><td>109</td></tr>
<tr><td>MFS ch.72 シリアルチップセレクト出力(0)</td><td>SCS72_0</td><td>-</td><td>42</td><td>51</td><td>63</td><td>73</td><td>89</td><td>108</td></tr>
<tr><td>MFS ch.73 シリアルチップセレクト出力(0)</td><td>SCS73_0</td><td>-</td><td>41</td><td>50</td><td>62</td><td>72</td><td>88</td><td>107</td></tr>
<tr><td>MFS ch.8 シリアルチップセレクト入出力(0)</td><td>SCS8_0</td><td>なし</td><td>10</td><td>12</td><td>15</td><td>18</td><td>21</td><td>25</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>MFS ch.71 シリアルチップセレクト出力(0)</td><td>SCS71_0</td><td>-</td><td>-</td><td>-</td><td>64</td><td>74</td><td>90</td><td>109</td></tr>
<tr><td>MFS ch.72 シリアルチップセレクト出力(0)</td><td>SCS72_0</td><td>-</td><td>-</td><td>-</td><td>63</td><td>73</td><td>89</td><td>108</td></tr>
<tr><td>MFS ch.73 シリアルチップセレクト出力(0)</td><td>SCS73_0</td><td>-</td><td>-</td><td>-</td><td>62</td><td>72</td><td>88</td><td>107</td></tr>
<tr><td>MFS ch.8 シリアルチップセレクト入出力(0)</td><td>SCS8_0</td><td>なし</td><td>-</td><td>-</td><td>15</td><td>18</td><td>21</td><td>25</td></tr>
</table>
</td></tr>
<tr><td>66</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-13 ベースタイマの端子(ch.0, ch.1)を修正

(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>ベースタイマ ch.0 の TIOA 出力(0)</td><td>TIOA0_0</td><td>-</td><td>63</td><td>79</td><td>99</td><td>119</td><td>140</td><td>171</td></tr>
<tr><td>ベースタイマ ch.0 の TIOA 出力(1)</td><td>TIOA0_1</td><td>-</td><td>-</td><td>-</td><td>94</td><td>111</td><td>131</td><td>159</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>ベースタイマ ch.0 の TIOA 出力(0)</td><td>TIOA0_0</td><td>-</td><td>-</td><td>-</td><td>-</td><td>119</td><td>140</td><td>171</td></tr>
<tr><td>ベースタイマ ch.0 の TIOA 出力(1)</td><td>TIOA0_1</td><td>-</td><td>-</td><td>-</td><td>-</td><td>111</td><td>131</td><td>159</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>67</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧の表 9-14 リロードタイマの端子(ch.0～ch.7)を修正

(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>リロードタイマ ch.2 出力(0)</td><td>TOT2_0</td><td>－</td><td>－</td><td>6</td><td>8</td><td>11</td><td>14</td><td>18</td></tr>
<tr><td>リロードタイマ ch.2 出力(1)</td><td>TOT2_1</td><td>－</td><td>34</td><td>42</td><td>52</td><td>62</td><td>77</td><td>96</td></tr>
<tr><td>リロードタイマ ch3 イベント入力(2)</td><td>TIN3_2</td><td>あり</td><td>15</td><td>18</td><td>－</td><td>27</td><td>30</td><td>37</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>リロードタイマ ch.2 出力(0)</td><td>TOT2_0</td><td>－</td><td>－</td><td>－</td><td>8</td><td>11</td><td>14</td><td>18</td></tr>
<tr><td>リロードタイマ ch.2 出力(1)</td><td>TOT2_1</td><td>－</td><td>－</td><td>－</td><td>52</td><td>62</td><td>77</td><td>96</td></tr>
<tr><td>リロードタイマ ch3 イベント入力(2)</td><td>TIN3_2</td><td>あり</td><td>15</td><td>18</td><td>23</td><td>27</td><td>30</td><td>37</td></tr>
</table>
</td></tr>
<tr><td>70</td><td>1.9.1</td><td>
9.1. 各機能ごとの端子一覧について、表 9-16 波形ジェネレータの端子(ch.0～ch.5)に
一文を下記のように追加。

(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>波形ジェネレータ ch0～ch5
入力端子(0)</td><td>DTTI_0</td><td>あり</td><td>56</td><td>70</td><td>86</td><td>102</td><td>121</td><td>149</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズフィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>波形ジェネレータ ch0～ch5
入力端子(0)
(サブ発振ありの場合使用不可)</td><td>DTTI_0</td><td>あり</td><td>56</td><td>70</td><td>86</td><td>102</td><td>121</td><td>149</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>73</td><td>1.9.1</td><td>9.1. 各機能ごとの端子一覧について、表 9-18 ポート機能(汎用入出力)の端子に
一文を下記のように追加。

(誤)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズ
フィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>汎用入出力ポート</td><td>P135</td><td>あり</td><td>56</td><td>70</td><td>86</td><td>102</td><td>121</td><td>149</td></tr>
<tr><td>汎用入出力ポート</td><td>P136</td><td>あり</td><td>57</td><td>71</td><td>87</td><td>103</td><td>122</td><td>150</td></tr>
</table>

(正)
<table>
<tr><th rowspan="2">機能</th><th rowspan="2">端子名</th><th rowspan="2">ノイズ
フィルタ</th><th colspan="6">端子番号</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>汎用入出力ポート
(サブ発振なしの場合のみ)</td><td>P135</td><td>あり</td><td>56</td><td>70</td><td>86</td><td>102</td><td>121</td><td>149</td></tr>
<tr><td>汎用入出力ポート
(サブ発振なしの場合のみ)</td><td>P136</td><td>あり</td><td>57</td><td>71</td><td>87</td><td>103</td><td>122</td><td>150</td></tr>
</table>
</td></tr>
<tr><td>75</td><td>1.10</td><td>10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 A の概要を下記のように修正。

(誤)
・General-purpose I/O port
・Output 4mA
・Pull-up resistor control 50kΩ
・Automotive input

(正)
·汎用入出力ポート
·出力 4mA
·プルアップ抵抗制御付き 50kΩ
·Automotive 入力</td></tr>
<tr><td>75</td><td>1.10</td><td>10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 B の概要を下記のように修正。

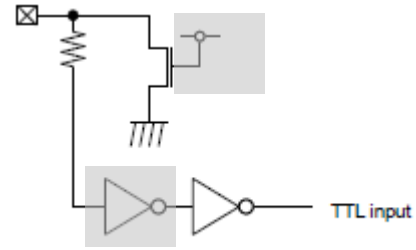
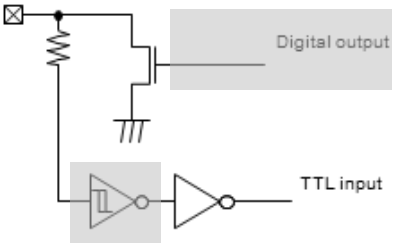
(誤)
・Analog input,General-purpose I/O port
・Output 4mA
・Pull-up resistor control 50kΩ
・Automotive input

(正)
·アナログ入力付き,汎用入出力ポート
·出力 4mA
·プルアップ抵抗制御付き 50kΩ
·Automotive 入力</td></tr>
</table>

ページ	場所	変更内容
75	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 C の概要を下記のように修正。 (誤) ・DAC output,General-purpose I/O port ・Output 4mA ・Pull-up resistor control 50kΩ ・Automotive input (正) ·D/A コンバータ出力付き,汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·Automotive 入力
75	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 D の概要を下記のように修正。 (誤) ・I^2C Analog input,General-purpose I/O port ・Output 3mA ・Pull-up resistor control 50kΩ ・I^2C Schmitt input (正) ·アナログ入力付き, I^2C, 汎用入出力ポート ·出力 3mA ·プルアップ抵抗制御付き 50kΩ ·I^2C ヒステリシス入力
76	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 E の概要を下記のように修正。 (誤) ・I^2C ,General-purpose I/O port ・Output 3mA ・Pull-up resistor control 50kΩ ・I^2C Schmitt input (正) ·I^2C, 汎用入出力ポート ·出力 3mA ·プルアップ抵抗制御付き 50kΩ ·I^2C ヒステリシス入力

ページ	場所	変更内容
76	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 F の概要を下記のように修正。 (誤) ・General-purpose I/O port ・Output 4mA ・Pull-up resistor control 50kΩ ・Schmitt input (正) ·汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·CMOS ヒステリシス入力
76	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 G の概要を下記のように修正。 (誤) ・Analog input,General-purpose I/O port ・Output 4mA ・Pull-up resistor control 50kΩ ・Schmitt input (正) ·アナログ入力付き,汎用入出力ポート ·出力 4mA ·プルアップ抵抗制御付き 50kΩ ·CMOS ヒステリシス入力
76	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 H の概要を下記のように修正。 (誤) ・Analog input,General-purpose I/O port ・Output 12mA ・Pull-up resistor control 50kΩ ・Automotive input (正) ·アナログ入力付き, 汎用入出力ポート ·出力 12mA ·プルアップ抵抗制御付き 50kΩ ·Automotive 入力

ページ	場所	変更内容
77	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 I の概要を下記のように修正。 (誤) ・3V pad power supply(5V tolerant),General-purpose I/O port ・Output 4mA ・Schmitt input (正) ·汎用入出力ポート(5V トレラント) ·出力 4mA ·CMOS ヒステリシス入力
77	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 J の概要を下記のように修正。 (誤) ・3V pad power supply(5V tolerant),Analog input,General-purpose I/O port ・Output 4mA ・Schmitt input (正) ·アナログ入力付き,汎用入出力ポート(5V トレラント) ·出力 4mA ·CMOS ヒステリシス入力
77	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 K の概要を下記のように修正。 (誤) ・Mode I/O ・Schmitt input (正) ·モード入力 ·CMOS ヒステリシス入力
77	1.10	10.入出力回路形式の図 10-1 入出力回路形式の表の分類 L の概要を下記のように修正。 (誤) ・Open-drein I/O ・Output 25mA(NOD) ・TTL input (正) ·オープンドレイン入出力 ·出力 25mA (Nch オープンドレイン) ·TTL 入力

ページ	場所	変更内容
77	1.10	10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 L の回路を下記のように修正。 (誤)  (正) 
77	1.10	10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 M の概要を下記のように修正。 (誤) ・Schmitt input ・Pull-up resistor 50kΩ(5V cont) (正) ·CMOS ヒステリシス入力 ·プルアップ抵抗付き 50kΩ
77	1.10	10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 N の概要を下記のように修正。 (誤) ・Main oscillation I/O (正) ·メイン発振入出力
78	1.10	10. 入出力回路形式の図 10-1 入出力回路形式の表の分類 O の概要を下記のように修正。 (誤) ・Sub oscillation I/O (正) ·サブ発振入出力

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>102</td><td>3.7</td><td>7. アドレシングについて、一文を下記のように修正。

(誤)
CPU はアドレス空間を 32 バイト単位で管理します。CPU からは、アドレス空間上のアドレスを
32 ビットの値で指定してアクセスします。アドレス空間を図 7-1 に示します。

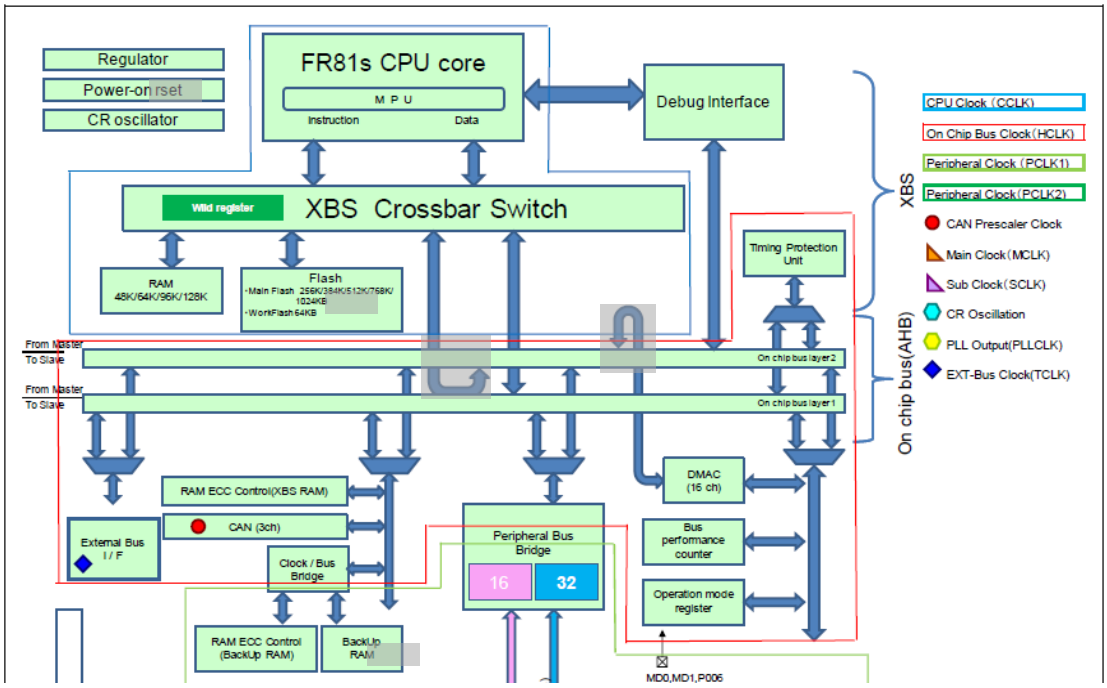
(正)
CPU はアドレス空間を バイト単位で管理します。CPU からは、アドレス空間上のアドレスを
32 ビットの値で指定してアクセスします。アドレス空間を図 7-1 に示します。</td></tr>
<tr><td>104</td><td>3.8.1</td><td>8.1. 汎用レジスタ、専用レジスタ、浮動小数点レジスタについて、図 8-1 汎用レジスタ、専用レジスタ、浮動小数点レジスタ初期値の汎用レジスタの構成と初期値の R13 の内容を下記のように修正。

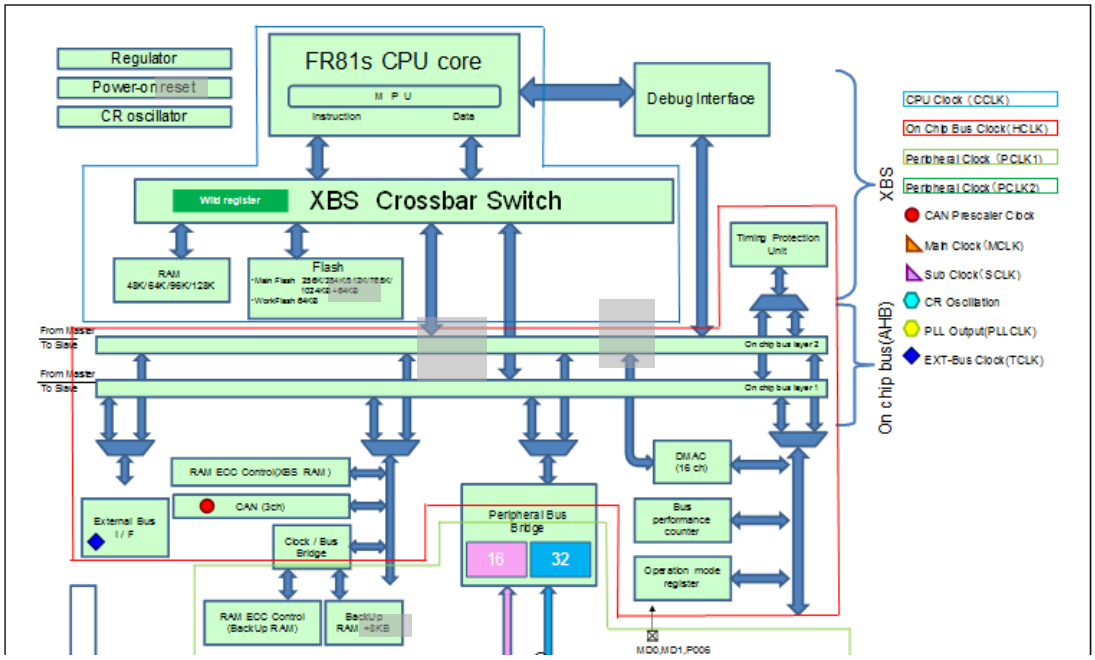
(誤)
R13 | AG | XXX XXXX$_H$
R14 | FP | XXX XXXX$_H$
R15 | SP | 000 0000$_H$

(正)
R13 | AC | XXX XXXX$_H$
R14 | FP | XXX XXXX$_H$
R15 | SP | 000 0000$_H$</td></tr>
<tr><td>152</td><td>4.5.3.2</td><td>5.3.2. シリアルライタモードの表 5-3 シリアル書き込みモード設定端子の MD1 を
下記のように修正。

(誤)
52 | 66 | 82 | 98 | 117 | 145 | MD1 | VDD(プルアップ) | Hys | -

(正)
52 | 66 | 82 | 98 | 117 | 145 | MD1 | VCC(プルアップ) | Hys | -</td></tr>
</table>

ページ	場所	変更内容
163	5. 3	3. 構成の図 3-8 を以下のように修正 (誤) 図 3-8 クロック系統図 

ページ	場所	変更内容
		（正） 図 3-8 クロック系統図 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>164</td><td>5.3</td><td>3. 構成に下記の表 を追加

(正)
表 3-1 PCLK1/PCLK2 を使用する機能の分類表
<table>
<tr><th>PCLK1 を使用する機能</th><th>PCLK2 を使用する機能</th></tr>
<tr><td>RAM ECC Control (BackUp RAM)</td><td>CAN prescaler</td></tr>
<tr><td>BackUp RAM</td><td>RTC／WDT1 Calibration</td></tr>
<tr><td>Watchdog timer(SW and HW)</td><td>I/O port setting</td></tr>
<tr><td>DMA transfer request generate/clear</td><td>32bit Free-run timer(3ch)</td></tr>
<tr><td>Interrupt request batch read</td><td>32bit Input capture(6ch)</td></tr>
<tr><td>Clock control (devide control)</td><td>32bit Output compare(6ch)</td></tr>
<tr><td>Reset control register</td><td>Base timer (2ch)</td></tr>
<tr><td>Low power consumption setting register</td><td>U/D counter (2ch)</td></tr>
<tr><td>Delay intrrupt</td><td>Reload timer (8ch)</td></tr>
<tr><td>Interrupt controller</td><td>8bit DA converter (2ch)</td></tr>
<tr><td>External interrupt input(16ch)</td><td>Clock monitor</td></tr>
<tr><td>Real time clock</td><td>CRC</td></tr>
<tr><td>Clock supervisor</td><td>Wave generator (6ch)</td></tr>
<tr><td>NMI</td><td>16bit Free-run timer (3ch)</td></tr>
<tr><td>Low voltage detection
(External power supply low voltage detection)</td><td>16bit Input capture (4ch)</td></tr>
<tr><td>Low voltage detection
(Internal power supply low voltage detection)</td><td>16bit Output compare (6ch)</td></tr>
<tr><td>Clock control
(Clock setting, Main timer, Sub timer, PLL timer)</td><td>12bit AD converter (32ch + 16ch)</td></tr>
<tr><td>-</td><td>Multi-function serial interface (12ch)</td></tr>
<tr><td>-</td><td>PPG(48ch)</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
174	5.4.6	4.6. メインタイマ制御レジスタ : MTMCR (Main clock TiMer Control Register)の ［bit7］MTIF の説明文を以下のように修正 (誤) MTIE ビットが”0”のとき、DMA 転送による本ビットのクリアは行われません。 リードモディファイライト命令では、”1”がリードされます。 セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。 (正) MTIE ビットが”0”のとき、DMA 転送による本ビットのクリアは行われません。 リードモディファイライト命令では、”1”がリードされます。 セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。 スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、 メインタイマ割込みフラグはセットされません。
176	5.4.7	4.7. サブタイマ制御レジスタ: STMCR (Sub clock TiMerControl Register)の ［bit7］STIF の説明文を以下のように修正 (誤) STIE ビットが”0”のとき、DMA 転送による本ビットのクリアは行われません。 リードモディファイライト命令では、”1”がリードされます。 セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。 (正) STIE ビットが”0”のとき、DMA 転送による本ビットのクリアは行われません。 リードモディファイライト命令では、”1”がリードされます。 セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。 スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、サブタイマ割込み要求 フラグはセットされません。
183	5.4.11	5.4.11. PLL/SSCG クロック選択レジスタ: CCPSSELR (CCtl Pll/Sscg clock SELect Register)の説明文 を下記のように修正。 (誤) システムに供給するクロックのソースを選択するレジスタです。 (正) PLL もしくは SSCG のどちらを使用するか選択するレジスタです。
206	5.5.1. 2	5.1.2. サブクロック(SBCLK)について、下記のように修正。 (誤) ・ サブ発振とポートが兼用(メタルオプション)になっているため、ポートとして使用する場合 (正) ・ サブ発振とポートが兼用になっているため、ポートとして使用する場合(サブ発振なしの場合)

ページ	場所	変更内容
209	5.5.1.3	5.1.3. PLL/SSCG クロック(PLLSSCLK)の<注意事項>を下記のように修正。 (誤) ・ デバッグ動作時(E_DBCR.PLOCK=1)は、MDI 通信に常時 PLL クロック供給が必要なため、 PLL は停止できません。 (正) ・ デバッグ動作時は、MDI 通信に常時 PLL クロック供給が必要なため、 PLL は停止できません。
210	5.5.1.4	5.1.4. PLL/SSCG クロック使用時の制限事項の表「クロック制御 PLL クロック周波数」の注意事項に下記を追記。 (誤) ＜注意事項＞ 周波数(max)を超えないように、PLLCR または CCPSDIVR と CCPLLFBR を設定してください。 (正) ＜注意事項＞ 周波数(max)を超えないように、PLLCR または CCPSDIVR と CCPLLFBR を設定してください。 周波数(max)は 80MHz です。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>210</td><td>5.5.1.4</td><td>5.1.4. PLL/SSCG クロック使用時の制限事項の表「マイコン部クロック制御 SSCG クロック周波数」を下記のように修正。

(誤)
<table>
<tr><th>周波数(max)</th><th>FCTLR: FAW</th><th>CCPSSELR: PCSEL</th><th>CCSSCCR0: SSEN</th><th>CCSSCCR0: SMODE</th><th>CCSSCCR1: RATESEL</th><th>備考</th></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>0</td><td>000 ～ 110</td><td>DownSpread</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>000</td><td>Center Spread(0.5%)</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>010</td><td>Center Spread(1%)</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>011</td><td>Center Spread(2%)</td></tr>
<tr><td>71MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>100</td><td>Center Spread(3%)</td></tr>
<tr><td>71MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>101</td><td>Center Spread(4%)</td></tr>
<tr><td>70MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>110</td><td>Center Spread(5%)</td></tr>
<tr><td>80MHz</td><td>01</td><td>1</td><td>0</td><td>0/1</td><td>000～110</td><td>拡散率 0%</td></tr>
<tr><td>80MHz</td><td>00</td><td>1</td><td>0</td><td>0/1</td><td>000～110</td><td>拡散率 0%</td></tr>
</table>
(正)
<table>
<tr><th>周波数(max)</th><th>FCTLR: FAW</th><th>CCPSSELR: PCSEL</th><th>CCSSCCR0: SSEN</th><th>CCSSCCR0: SMODE</th><th>CCSSCCR1: RATESEL</th><th>備考</th></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>0</td><td>000 ～ 110</td><td>DownSpread</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>000</td><td>Center Spread(0.5%)</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>010</td><td>Center Spread(1%)</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>011</td><td>Center Spread(2%)</td></tr>
<tr><td>71MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>100</td><td>Center Spread(3%)</td></tr>
<tr><td>71MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>101</td><td>Center Spread(4%)</td></tr>
<tr><td>70MHz</td><td>00</td><td>1</td><td>1</td><td>1</td><td>110</td><td>Center Spread(5%)</td></tr>
<tr><td>80MHz</td><td>01</td><td>1</td><td>0</td><td>0/1</td><td>000～110</td><td>拡散率 0%</td></tr>
<tr><td>72MHz</td><td>00</td><td>1</td><td>0</td><td>0/1</td><td>000～110</td><td>拡散率 0%</td></tr>
</table></td></tr>
<tr><td>210</td><td>5.5.1.4</td><td>5.1.4. PLL/SSCG クロック使用時の制限事項の表「マイコン部クロック制御 SSCG クロック周波数」の注意事項に下記を追記。

(誤)
＜注意事項＞
周波数(max)を超えないように、CCPSDIVR, CCSSFBR0 と CCSSFBR1 を設定してください。

(正)
＜注意事項＞
周波数(max)を超えないように、CCPSDIVR, CCSSFBR0 と CCSSFBR1 を設定してください。
周波数(max)は 80MHz です。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>210</td><td>5.5.1.4</td><td>5.1.4. PLL/SSCG クロック使用時の制限事項の SSCG 使用時のモジュレーション・レート と
分周比の関係の表にて SSSCR1:RATESEL[2:0], SDIVCR0:NDIV[5:0]の記述を削除。

(誤)
<table>
<tr><td colspan="2">CCSSCCR1:RATESEL[2:0]
SSSCR1:RATESEL[2:0]</td><td colspan="3">CCSSFBR0:NDIV[5:0]
SDIVCR0:NDIV[5:0]</td></tr>
<tr><td>モジュレーションレート</td><td>設定値</td><td>分周比範囲</td><td>設定値下限</td><td>設定値上限</td></tr>
</table>

(正)
<table>
<tr><td colspan="2">CCSSCCR1:RATESEL[2:0]</td><td colspan="3">CCSSFBR0:NDIV[5:0]</td></tr>
<tr><td>モジュレーションレート</td><td>設定値</td><td>分周比範囲</td><td>設定値下限</td><td>設定値上限</td></tr>
</table>
</td></tr>
<tr><td>234</td><td>5.5.7</td><td>5.7. MDI 通信中の動作の説明文を下記のように修正。

(誤)
また、MDI 高速通信中(E_DBCR.PLOCK=1)は、CSELR.PCEN がクリアされても PLL リファレンス
クロックが供給されるように制御します。PLL 関連レジスタの値が保持されて更新されません。
しかし、ソフトウェアが PLLCR.PCEN=0 を設定した場合、PLL 関連レジスタの値は自由に更新(書込み)可能です。

もし、PLL 関連レジスタに前回設定した値と違う値を書き込んで PLL/SSCG クロック発振許可を有効(CSELR.PCEN=1)とした場合、PLL クロックの周波数は更新されません。(PLL はロックした状態を保持しているため。)

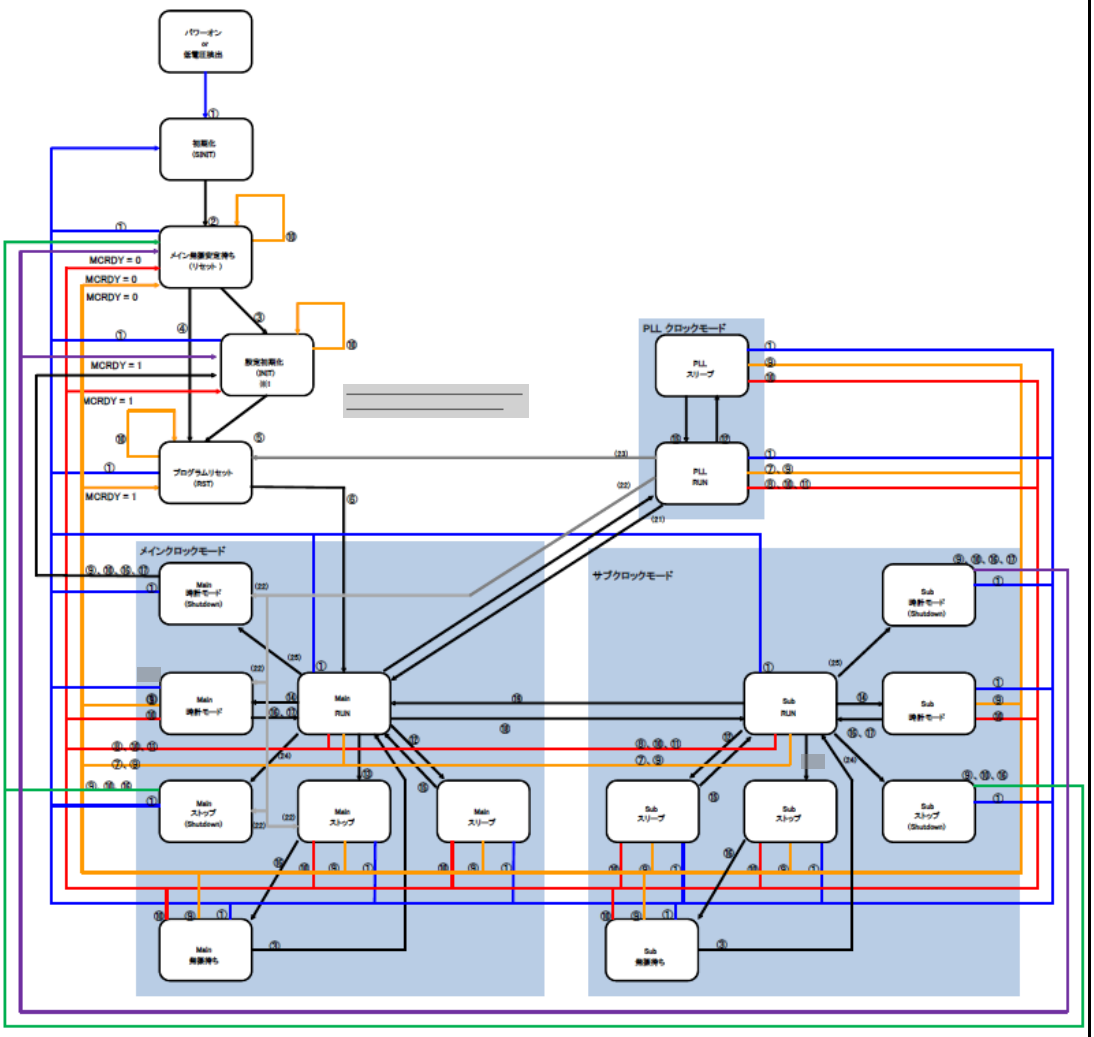
通常は、PLL 関連レジスタには常に同じ値を書き込んでください。デバッグなどで、設定値を変更する場合には、E_DBCR.PLOCK の値をモニタし、必ず E_DBCR.PLOCK =0 の状態で、PLL 関連レジスタの書き換えを行ってください。

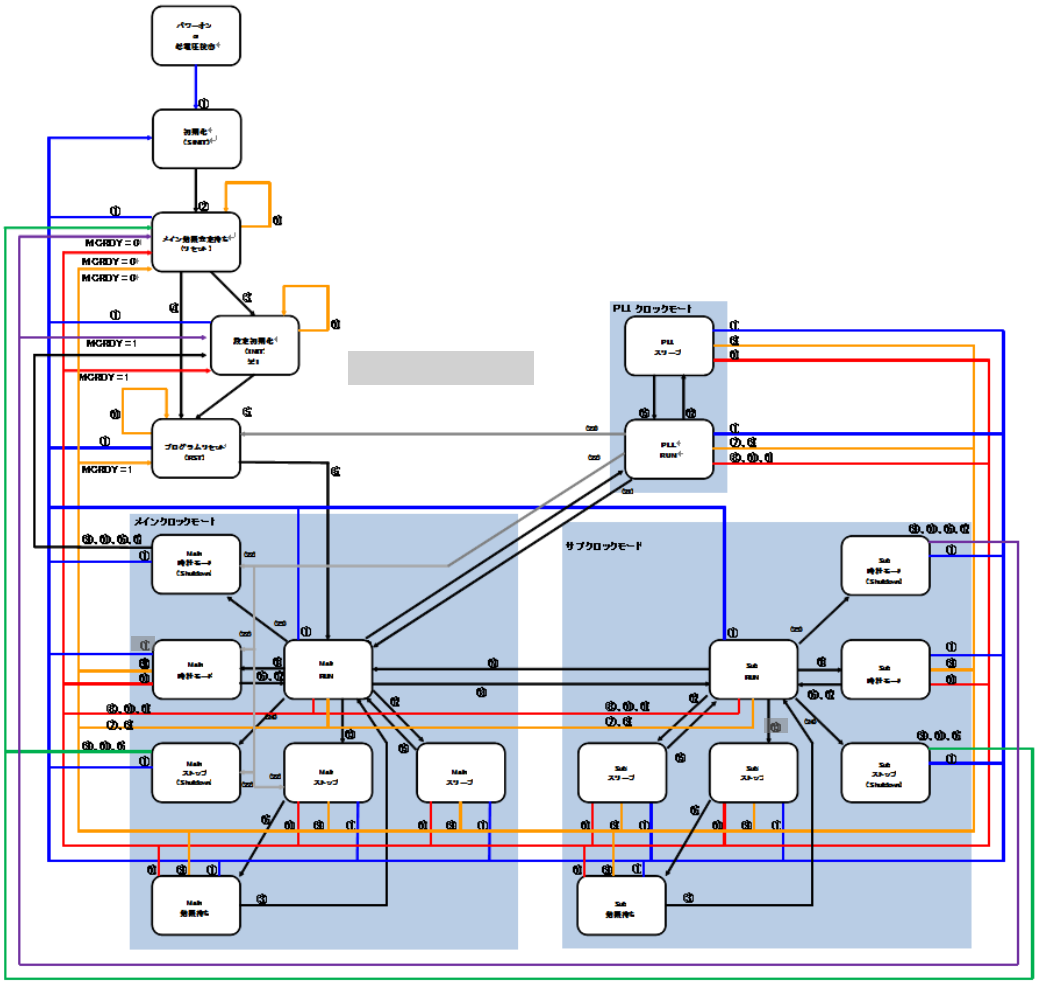
(正)
また、MDI 高速通信中は、CSELR.PCEN がクリアされても PLL リファレンス
クロックが供給されるように制御します。PLL 関連レジスタの値が保持されて更新されません。
しかし、ソフトウェアが PLLCR.PCEN=0 を設定した場合、PLL 関連レジスタの値は自由に更新(書込み)可能です。

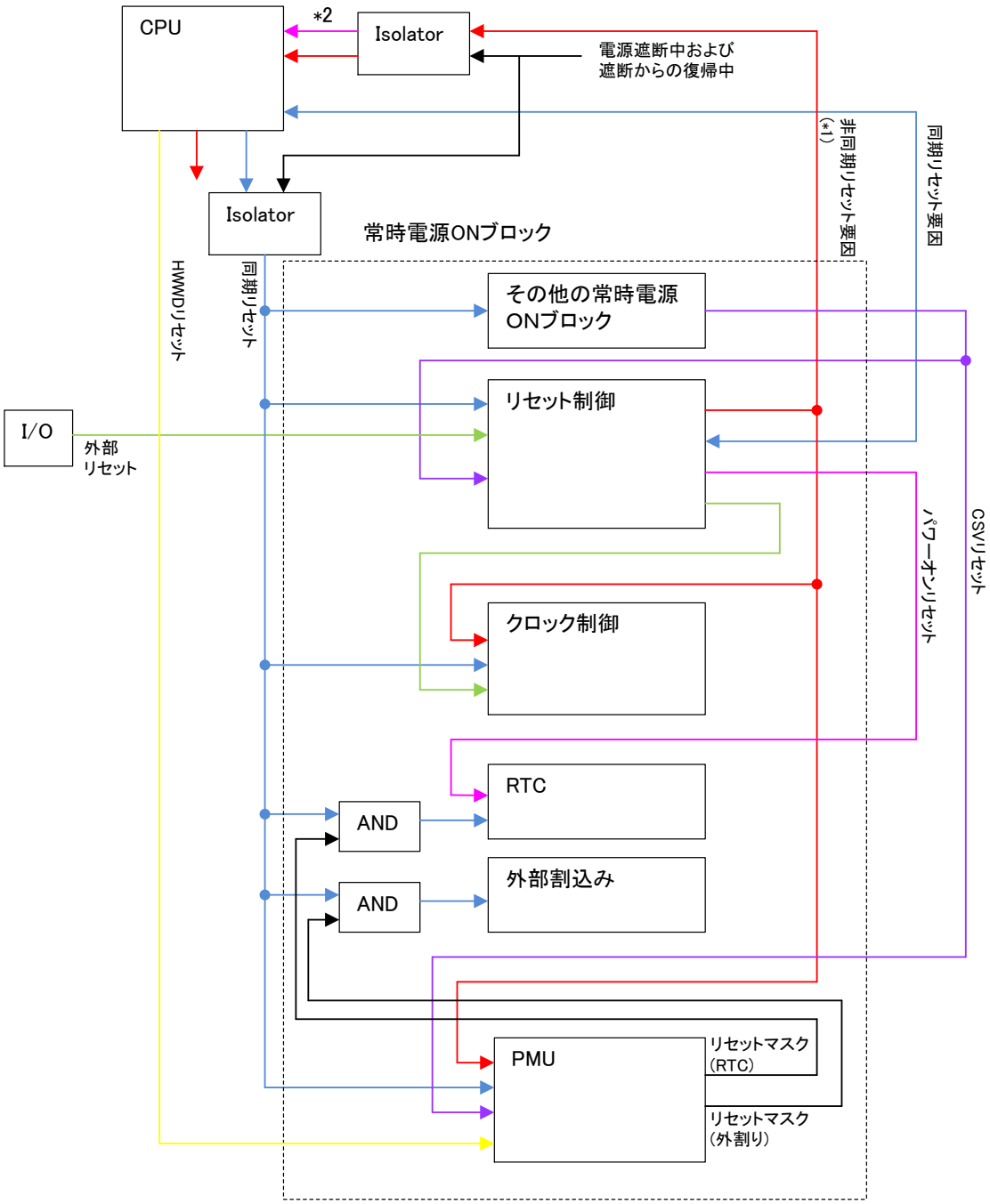
もし、PLL 関連レジスタに前回設定した値と違う値を書き込んで PLL/SSCG クロック発振許可を有効(CSELR.PCEN=1)とした場合、PLL クロックの周波数は更新されません。(PLL はロックした状態を保持しているため。)

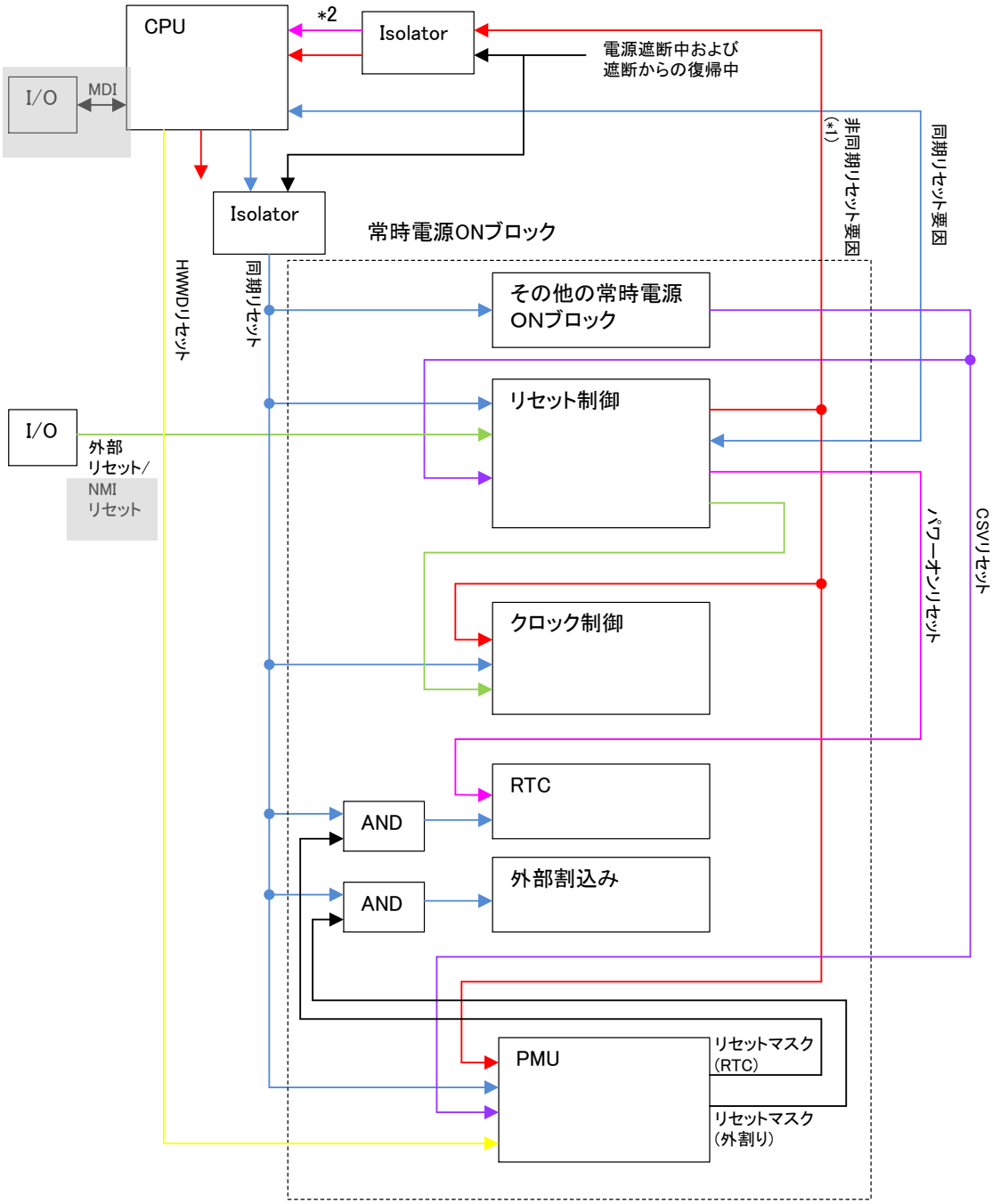
通常は、PLL 関連レジスタには常に同じ値を書き込んでください。</td></tr>
</table>

ページ	場所	変更内容
235	5.5.8	5.8. PMU クロック(PMUCLK)についての説明文で以下のように修正 (誤) (3) 周辺クロック (PCLK1) 周波数の 1/4 になるように G 分周器を使用してください。 (正) (3) 周辺クロック (PCLK1) 周波数の 1/4 以下になるように G 分周器を使用してください。
235	5.5.8	5.8. PMU クロック(PMUCLK)についての説明文を下記のように修正。 (誤) (2) PMU クロックは 32kHz 以下になるように F 分周器を使用してください。 PMU クロックはパワースイッチの制御に使用され、電源入力時の昇圧時間の安定化などの理由から、32kHz 以下の周波数が推奨されます。 (正) (2) PMU クロックは 32kHz 以下になるように F 分周器を使用してください。 PMU クロックはパワースイッチの制御に使用され、電源入力時の昇圧時間の安定化などの理由から、32kHz 以下の周波数にしてください。
236	5.5.8	5.8. PMU クロック(PMUCLK)についての説明文で以下のように修正 (誤) (3) 周辺クロック(PCLK1)周波数の1/4 になるようにG 分周器を使用してください。 周辺クロック(PCLK1)とPMU クロック(PMUCLK)のクロック乗換には、PMU クロック×4 サイクルが必要です。 周辺クロック(PCLK1)のクロックソースがサブクロックの場合(CMONR.CKM =”10”)、PMU クロックの周波数が周辺クロック (PCLK1) 周波数の1/4 になるように、CCPMUCR1.GDIV レジスタを設定してください。 (正) (3) 周辺クロック(PCLK1)周波数の1/4 以下になるようにG 分周器を使用してください。 周辺クロック(PCLK1)とPMU クロック(PMUCLK)のクロック乗換には、PMU クロック×4 サイクルが必要です。 周辺クロック(PCLK1)のクロックソースがサブクロックの場合(CMONR.CKM =”10”)、PMU クロックの周波数が周辺クロック (PCLK1) 周波数の1/4 以下になるように、CCPMUCR1.GDIV レジスタを設定してください。

ページ	場所	変更内容
241	6. 2	図 2-1 デバイス状態遷移図を下記のように修正 （誤）  （続く）

ページ	場所	変更内容
241	6.2	（続き） （正） 
243	6.2.2	2.2. 各状態の説明の■ストップ状態に以下を追加。 （誤） NMI 割込みにより、発振安定待ち RUN 状態へ遷移します。 （正） NMI 割込み、外部割込みにより、発振安定待ち RUN 状態へ遷移します。

ページ	場所	変更内容
252	7.3	3. 構成の図 3-1 リセット構成図を以下のように修正 （誤）  （続く）

ページ	場所	変更内容
252	7.3	（続き） （正） 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>255</td><td>7.4.1</td><td>4.1. リセット要因レジスタ : RSTRR (ReSeT Result Register)の [bit6] ERST (External ReSeT)の内容を下記のように修正。

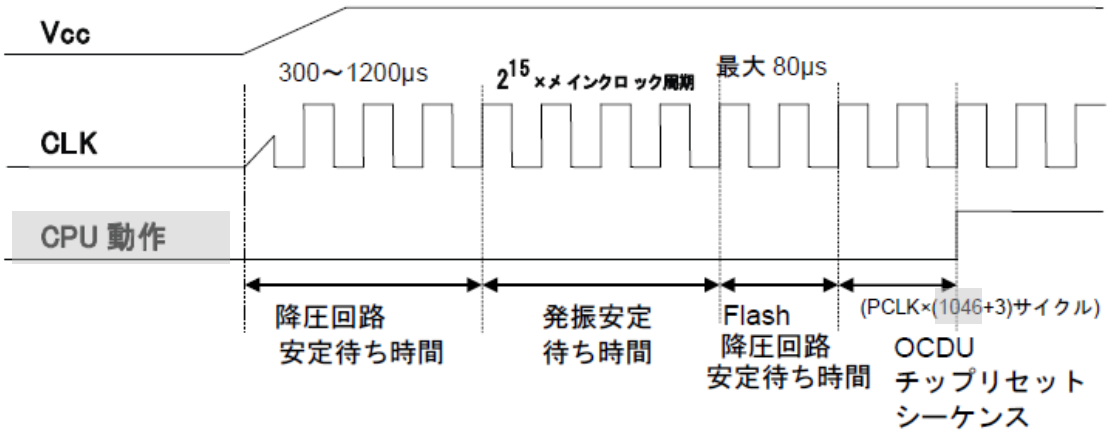
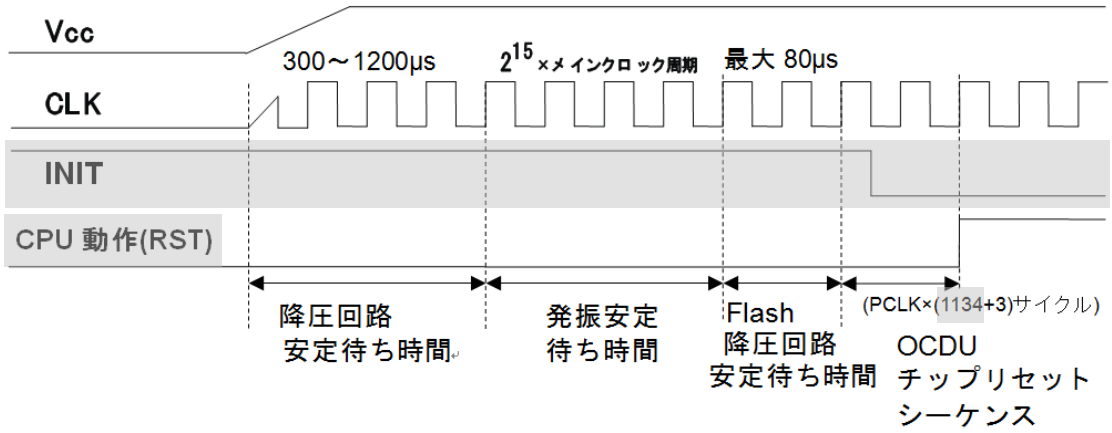
(誤)
[bit6] ERST (External ReSeT) : リセット端子入力・不正スタンバイモード移行検出・低電圧検出(内部低電圧検出)・クロックスーパバイザリセット・RSTX 外部端子と NMIX 外部端子の同時アサート
RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(内部低電圧検出)、クロックスーパバイザリセットまたは RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。

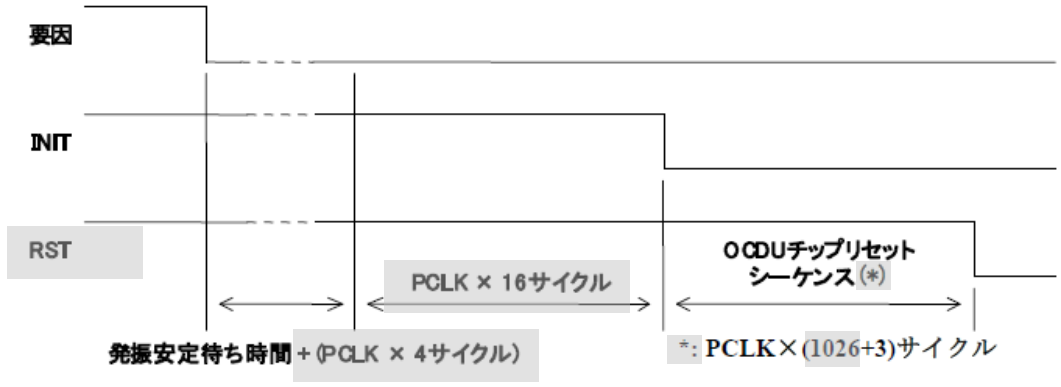
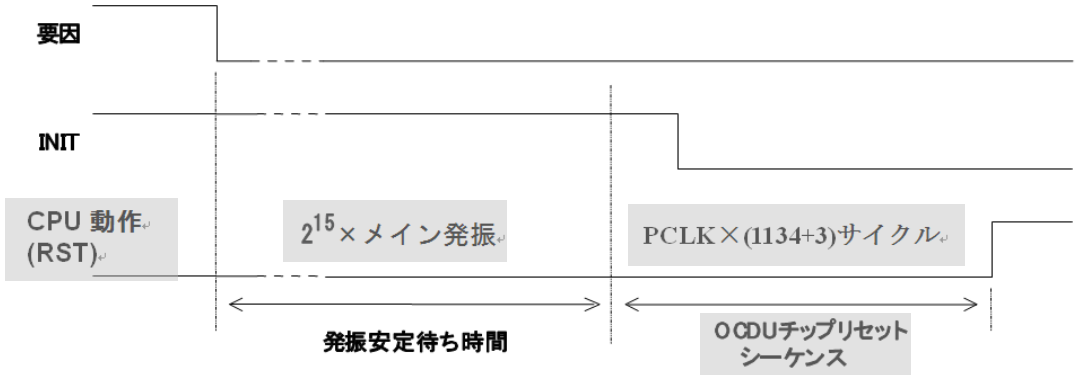
(正)
[bit6] ERST (External ReSeT) : リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット・RSTX 外部端子と NMIX 外部端子の同時アサート
RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットまたは RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。</td></tr>
<tr><td>255</td><td>7.4.1</td><td>4.1. リセット要因レジスタ : RSTRR (ReSeT Result Register)の [bit6] ERST (External ReSeT)の表に下記内容を追加。

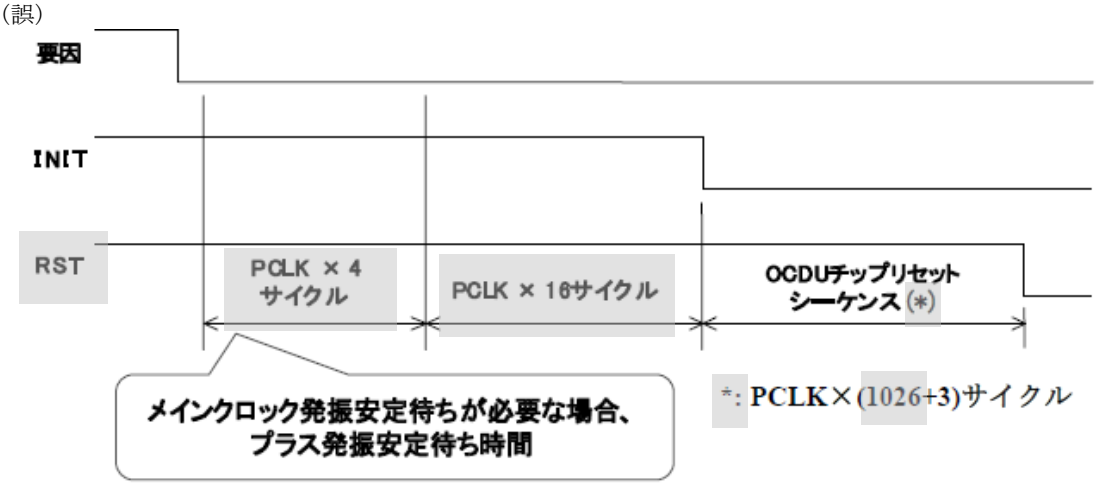
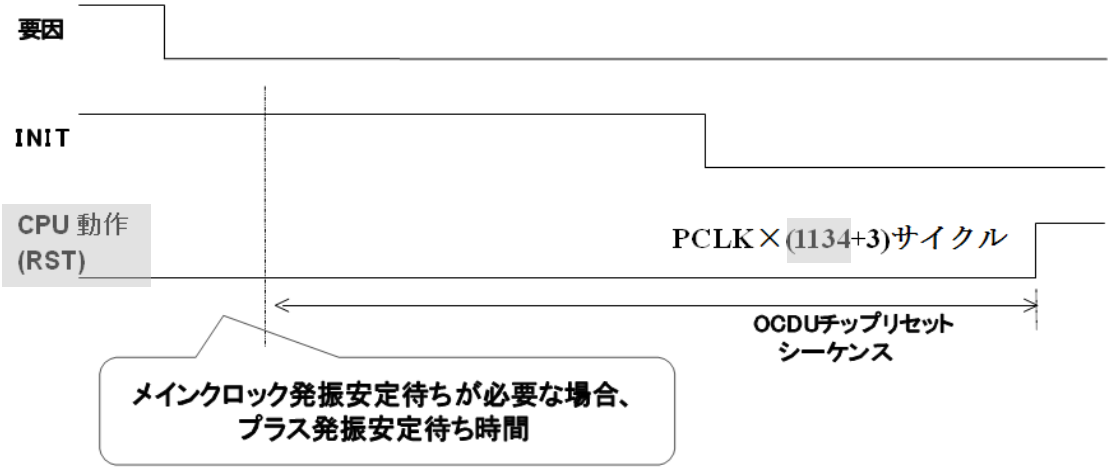
(誤)
<table>
<tr><td>ERST</td><td>RSTX 端子リセット検出, 不正スタンバイモード移行検出, クロックスーパバイザリセット検出または RSTX 外部端子と NMIX 外部端子の同時アサート検出</td></tr>
<tr><td>0</td><td>未検出</td></tr>
<tr><td>1</td><td>検出</td></tr>
</table>
↓
(正)
<table>
<tr><td>ERST</td><td>RSTX 端子リセット検出, 不正スタンバイモード移行検出, クロックスーパバイザリセット検出, 低電圧検出(外部低電圧検出)または RSTX 外部端子と NMIX 外部端子の同時アサート検出</td></tr>
<tr><td>0</td><td>未検出</td></tr>
<tr><td>1</td><td>検出</td></tr>
</table></td></tr>
<tr><td>260</td><td>7.4.4</td><td>4.4. PMU ステータスレジスタ : PMUSTR (Power Management Unit Status register)の
[bit7] PMUST の説明文を以下のように修正

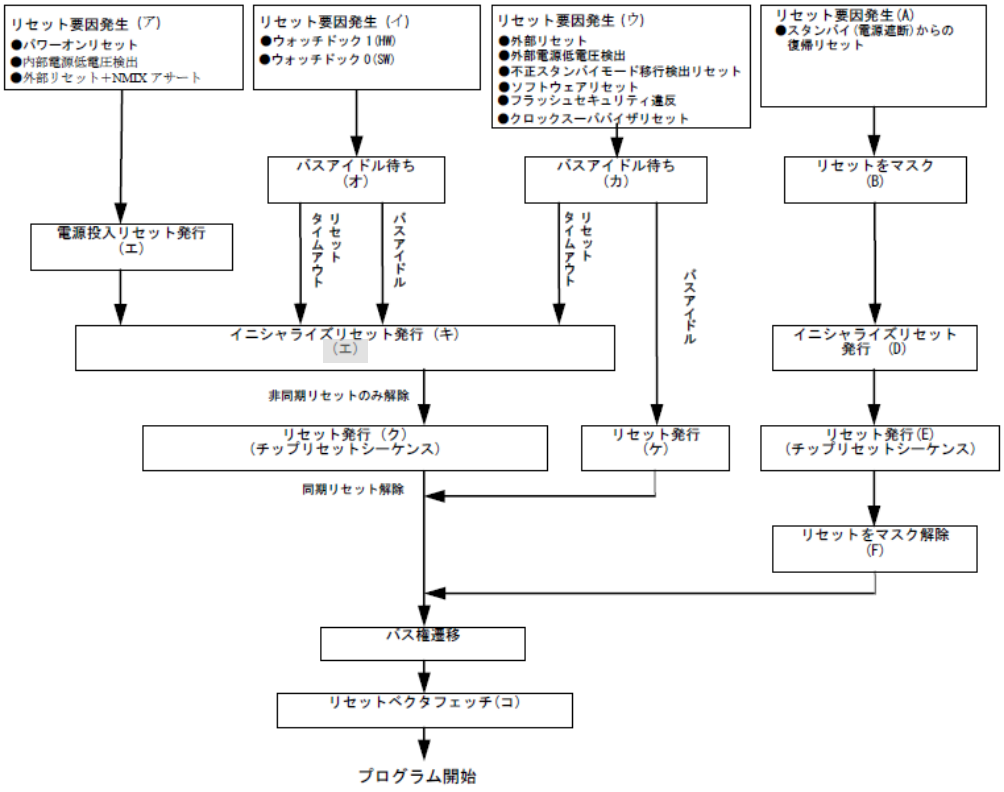
(誤)
ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません 。

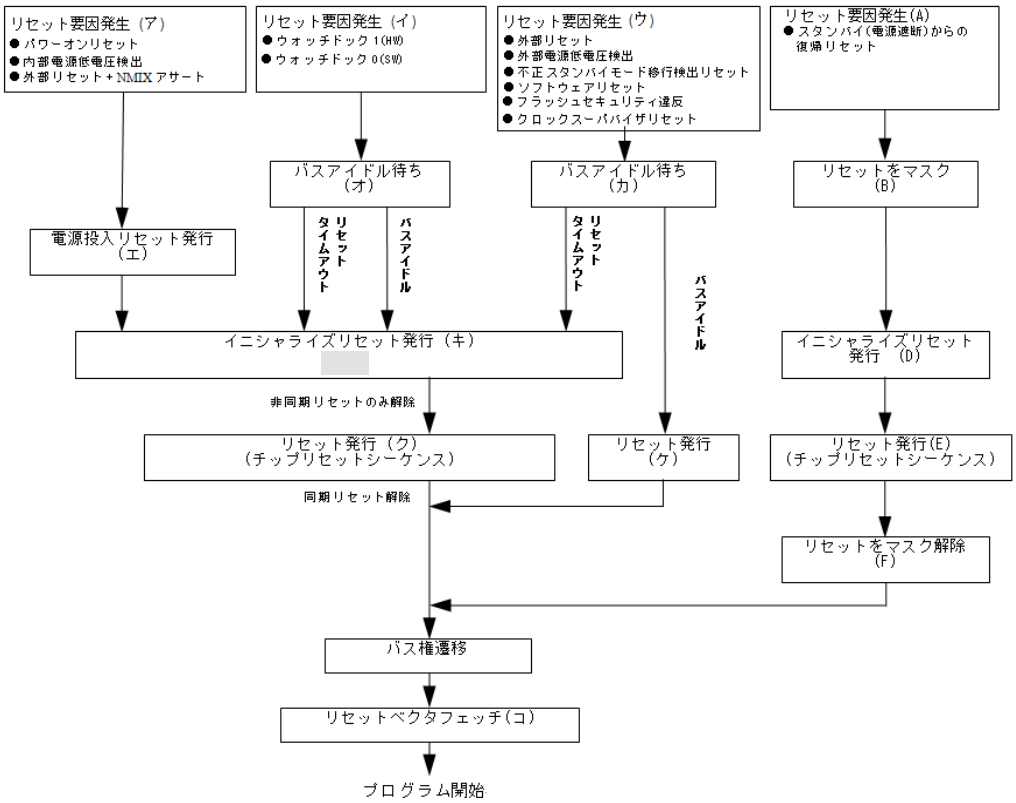
(正)
ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません 。
本ビットは、パワーオンリセット、低電圧検出リセットおよび RSTX と NMIX の同時アサートでのみ初期化されます。そのため、本ビットでシャットダウンからの復帰を確認する前に、他のリセット要因を確認してください。</td></tr>
</table>

ページ	場所	変更内容
260	7.4.4	4.4. PMU ステータスレジスタ ： PMUSTR (Power Management Unit Status register)の ［bit1］PONR_F の説明文を以下のように修正 (誤) パワーオンリセット検出フラグです。 (正) パワーオンリセットまたは内部低電圧検出リセット検出フラグです。
282	7.5.4.1	図 5-1 パワーオンリセット時の発振安定待ち時間について以下のように修正 (誤)  (正) 

ページ	場所	変更内容
283	7.5.4.1	図 5-2 電源投入リセット(SINIT)シーケンスについて以下のように修正 (誤)  (正) 

ページ	場所	変更内容
284	7.5.4.2	図 5-3 イニシャライズリセット(INIT)シーケンスについて以下のように修正 (誤)  (正) 

ページ	場所	変更内容
286	7.5.5	図 5-5 リセットシーケンスについて以下のように修正 (誤) 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td></td><td></td><td>(正)

</td></tr>
<tr><td>308</td><td>8.4.2</td><td>4.2. DMA チャネルコントロールレジスタ 0-15 : DCCR0-15 の[bit3～bit0]の表の項目を修正

(誤)
<table>
<tr><td>BLK[3:0]</td><td>ブロックサイズ</td></tr>
<tr><td>0000</td><td>1 回(初期値)</td></tr>
<tr><td>0001</td><td>2 回</td></tr>
</table>
(正)
<table>
<tr><td>BLK[3:0]</td><td>転送回数</td></tr>
<tr><td>0000</td><td>1 回(初期値)</td></tr>
<tr><td>0001</td><td>2 回</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>312</td><td>8.4.5</td><td>4.5. DMA 転送元レジスタ 0-15 : DSAR0-15 (DMA Source Address Register 0-15)の[bit31～bit0]の説明分を下記のように修正。

(誤)
DMA 転送要求元がペリフェラル割込みの場合(DCCR.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。

(正)
DMA 転送要求元がペリフェラル割込みの場合(DCCRn.RS[1:0]=01)、転送元アドレス(DSAR)または転送先アドレス(DDAR)かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「■ ST ビット(転送元タイプ)、DT ビット(転送先タイプ)の設定」を参照してください。</td></tr>
<tr><td>326</td><td>8.5.1.3</td><td>5.1.3. 動作の表 5-2　転送要求検出の条件と転送モードの関係の右端の列を削除。

(誤)
表 5-2 転送要求検出の条件と転送モードの関係
<table><tr><th></th><th>ブロック転送</th><th>バースト転送</th><th>—</th></tr><tr><td>ソフトウェアによる要求</td><td>DCCRx.CE に"1"書込み</td><td>DCCRx.CE に"1"書込み</td><td>—</td></tr><tr><td>割込みによる要求</td><td>エッジ検出</td><td>エッジ検出</td><td>—</td></tr></table>
(正)
表 5-2 転送要求検出の条件と転送モードの関係
<table><tr><th></th><th>ブロック転送</th><th>バースト転送</th></tr><tr><td>ソフトウェアによる要求</td><td>DCCRx.CE に"1"書込み</td><td>DCCRx.CE に"1"書込み</td></tr><tr><td>割込みによる要求</td><td>エッジ検出</td><td>エッジ検出</td></tr></table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>349</td><td>9.4.5</td><td>4.5. DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SELect register 5)の[bit2～bit0]の表を下記のように修正。

(誤)
<table>
<tr><th>SG_RX_SEL1[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>010</td><td>16bit フリーランタイマ 0 ゼロ検出</td></tr>
<tr><td>011</td><td>16bit フリーランタイマ 0 コンペアクリア</td></tr>
<tr><td>100</td><td>マルチファンクションシリアル ch.7 送信完了</td></tr>
<tr><td>101～111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>SG_RX_SEL1[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>010</td><td>16bit フリーランタイマ 0 ゼロ検出</td></tr>
<tr><td>011</td><td>16bit フリーランタイマ 0 コンペアクリア</td></tr>
<tr><td>100</td><td>マルチファンクションシリアル ch.7 送信完了</td></tr>
<tr><td>101～111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>350</td><td>9.4.6</td><td>4.6. DMA 要求クリアレジスタ 6 : ICSEL6 (Interrupt Clear SELect register 6)の[bit3～bit0]の表を下記のように修正。

(誤)
<table>
<tr><th>PPGSEL0[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>PPG0</td></tr>
<tr><td>0001</td><td>PPG1</td></tr>
<tr><td>0010</td><td>PPG10</td></tr>
<tr><td>0011</td><td>PPG11</td></tr>
<tr><td>0100</td><td>PPG20</td></tr>
<tr><td>0101</td><td>PPG21</td></tr>
<tr><td>0110</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>0111</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>1000</td><td>16bit フリーランタイマ 1 ゼロ検出</td></tr>
<tr><td>1001</td><td>16bit フリーランタイマ 1 コンペアクリア</td></tr>
<tr><td>1010～1111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>PPGSEL0[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>PPG0</td></tr>
<tr><td>0001</td><td>PPG1</td></tr>
<tr><td>0010</td><td>PPG10</td></tr>
<tr><td>0011</td><td>PPG11</td></tr>
<tr><td>0100</td><td>PPG20</td></tr>
<tr><td>0101</td><td>PPG21</td></tr>
<tr><td>0110</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>0111</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>1000</td><td>16bit フリーランタイマ 1 ゼロ検出</td></tr>
<tr><td>1001</td><td>16bit フリーランタイマ 1 コンペアクリア</td></tr>
<tr><td>1010～1111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>351</td><td>9.4.7</td><td>4.7. DMA 要求クリアレジスタ 7 : ICSEL7 (Interrupt Clear SELect register 7)の[bit3～bit0]の表を下記のように修正。

(誤)
<table>
<tr><th>PPGSEL1[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>PPG2</td></tr>
<tr><td>0001</td><td>PPG3</td></tr>
<tr><td>0010</td><td>PPG12</td></tr>
<tr><td>0011</td><td>PPG13</td></tr>
<tr><td>0100</td><td>PPG22</td></tr>
<tr><td>0101</td><td>PPG23</td></tr>
<tr><td>0110</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>0111</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>1000</td><td>16bit フリーランタイマ 2 ゼロ検出</td></tr>
<tr><td>1001</td><td>16bit フリーランタイマ 2 コンペアクリア</td></tr>
<tr><td>1010～1111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>PPGSEL1[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>PPG2</td></tr>
<tr><td>0001</td><td>PPG3</td></tr>
<tr><td>0010</td><td>PPG12</td></tr>
<tr><td>0011</td><td>PPG13</td></tr>
<tr><td>0100</td><td>PPG22</td></tr>
<tr><td>0101</td><td>PPG23</td></tr>
<tr><td>0110</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>0111</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>1000</td><td>16bit フリーランタイマ 2 ゼロ検出</td></tr>
<tr><td>1001</td><td>16bit フリーランタイマ 2 コンペアクリア</td></tr>
<tr><td>1010～1111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>355</td><td>9.4.11</td><td>4.11. DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SELect register 11)の[bit2～bit0]の表を下記のように修正。

<table>
<tr><th>PMSTSEL[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>メインタイマ</td></tr>
<tr><td>001</td><td>サブタイマ</td></tr>
<tr><td>010</td><td>PLL タイマ</td></tr>
<tr><td>011</td><td>マルチファンクションシリアル ch8 送信完了</td></tr>
<tr><td>100</td><td>16bit ICU2</td></tr>
<tr><td>101</td><td>16bit ICU3</td></tr>
<tr><td>110</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>PMSTSEL[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>メインタイマ</td></tr>
<tr><td>001</td><td>サブタイマ</td></tr>
<tr><td>010</td><td>PLL タイマ</td></tr>
<tr><td>011</td><td>マルチファンクションシリアル ch8 送信完了</td></tr>
<tr><td>100</td><td>16bit ICU2</td></tr>
<tr><td>101</td><td>16bit ICU3</td></tr>
<tr><td>110</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
<tr><td>356</td><td>9.4.12</td><td>4.12. DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SELect register 13)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>ICUSEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH6</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch10 受信完了</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>ICUSEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH6</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch10 受信完了</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>357</td><td>9.4.13</td><td>4.13. DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SELect register 14)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>ICUSEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH7</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch10 送信完了</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>ICUSEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH7</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch10 送信完了</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
<tr><td>358</td><td>9.4.14</td><td>4.14. DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SELect register 15)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>ICUSEL2[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH8</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch11 受信完了</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>ICUSEL2[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>01</td><td>32bit ICU CH8</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch11 受信完了</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>359</td><td>9.4.15</td><td>4.15. DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SELect register 16)の[bit3～bit0]の表を下記のように修正。

(誤)
<table>
<tr><th>ICUSEL3[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>0001</td><td>32bit ICU CH9</td></tr>
<tr><td>0010</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0011</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0100</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0101</td><td>WG デッドタイマリロード 0</td></tr>
<tr><td>0110</td><td>WG デッドタイマリロード 1</td></tr>
<tr><td>0111</td><td>WG デッドタイマリロード 2</td></tr>
<tr><td>1000</td><td>WG DTTI0</td></tr>
<tr><td>1001～1111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>ICUSEL3[3:0]</th><th>クリア対象</th></tr>
<tr><td>0000</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>0001</td><td>32bit ICU CH9</td></tr>
<tr><td>0010</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0011</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0100</td><td>WG デッドタイマアンダフロー0</td></tr>
<tr><td>0101</td><td>WG デッドタイマリロード 0</td></tr>
<tr><td>0110</td><td>WG デッドタイマリロード 1</td></tr>
<tr><td>0111</td><td>WG デッドタイマリロード 2</td></tr>
<tr><td>1000</td><td>WG DTTI0</td></tr>
<tr><td>1001～1111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
<tr><td>360</td><td>9.4.16</td><td>4.16. DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SELect register 17)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>ICUSEL4[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>32bit ICU CH4</td></tr>
<tr><td>01</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch11 送信完了</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>ICUSEL4[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>32bit ICU CH4</td></tr>
<tr><td>01</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>10</td><td>マルチファンクションシリアル ch11 送信完了</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>361</td><td>9.4.17</td><td>4.17. DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SELect register 18)の[bit4～bit0]の表を下記のように修正。

(誤)
<table>
<tr><th>ICUSEL5[4:0]</th><th>クリア対象</th></tr>
<tr><td>00000</td><td>32bit ICU CH5</td></tr>
<tr><td>00001</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>00010</td><td>A/D コンバータ ch32</td></tr>
<tr><td>00011</td><td>A/D コンバータ ch33</td></tr>
<tr><td>00100</td><td>A/D コンバータ ch34</td></tr>
<tr><td>00101</td><td>A/D コンバータ ch35</td></tr>
<tr><td>00110</td><td>A/D コンバータ ch36</td></tr>
<tr><td>00111</td><td>A/D コンバータ ch37</td></tr>
<tr><td>01000</td><td>A/D コンバータ ch38</td></tr>
<tr><td>01001</td><td>A/D コンバータ ch39</td></tr>
<tr><td>01010</td><td>A/D コンバータ ch40</td></tr>
<tr><td>01011</td><td>A/D コンバータ ch41</td></tr>
<tr><td>01100</td><td>A/D コンバータ ch42</td></tr>
<tr><td>01101</td><td>A/D コンバータ ch43</td></tr>
<tr><td>01110</td><td>A/D コンバータ ch44</td></tr>
<tr><td>01111</td><td>A/D コンバータ ch45</td></tr>
<tr><td>10000</td><td>A/D コンバータ ch46</td></tr>
<tr><td>10001</td><td>A/D コンバータ ch47</td></tr>
<tr><td>10010～11111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>ICUSEL5[4:0]</th><th>クリア対象</th></tr>
<tr><td>00000</td><td>32bit ICU CH5</td></tr>
<tr><td>00001</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>00010</td><td>A/D コンバータ ch32</td></tr>
<tr><td>00011</td><td>A/D コンバータ ch33</td></tr>
<tr><td>00100</td><td>A/D コンバータ ch34</td></tr>
<tr><td>00101</td><td>A/D コンバータ ch35</td></tr>
<tr><td>00110</td><td>A/D コンバータ ch36</td></tr>
<tr><td>00111</td><td>A/D コンバータ ch37</td></tr>
<tr><td>01000</td><td>A/D コンバータ ch38</td></tr>
<tr><td>01001</td><td>A/D コンバータ ch39</td></tr>
<tr><td>01010</td><td>A/D コンバータ ch40</td></tr>
<tr><td>01011</td><td>A/D コンバータ ch41</td></tr>
<tr><td>01100</td><td>A/D コンバータ ch42</td></tr>
<tr><td>01101</td><td>A/D コンバータ ch43</td></tr>
<tr><td>01110</td><td>A/D コンバータ ch44</td></tr>
<tr><td>01111</td><td>A/D コンバータ ch45</td></tr>
<tr><td>10000</td><td>A/D コンバータ ch46</td></tr>
<tr><td>10001</td><td>A/D コンバータ ch47</td></tr>
<tr><td>10010～11111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>362</td><td>9.4.18</td><td>4.18. DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SELect register 19)の[bit2～bit0]の表を下記のように修正。

<table>
<tr><th>OCUSEL0[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>010</td><td>32bit OCU6</td></tr>
<tr><td>011</td><td>32bit OCU7</td></tr>
<tr><td>100</td><td>32bit OCU10</td></tr>
<tr><td>101</td><td>32bit OCU11</td></tr>
<tr><td>110</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>OCUSEL0[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>010</td><td>32bit OCU6</td></tr>
<tr><td>011</td><td>32bit OCU7</td></tr>
<tr><td>100</td><td>32bit OCU10</td></tr>
<tr><td>101</td><td>32bit OCU11</td></tr>
<tr><td>110</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>363</td><td>9.4.19</td><td>4.19. DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SELect register 20)の[bit2～bit0]の表を下記のように修正。

<table>
<tr><th>OCUSEL1[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>010</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>011</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>100</td><td>32bit OCU8</td></tr>
<tr><td>101</td><td>32bit OCU9</td></tr>
<tr><td>110</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>OCUSEL1[2:0]</th><th>クリア対象</th></tr>
<tr><td>000</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>001</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>010</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>011</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>100</td><td>32bit OCU8</td></tr>
<tr><td>101</td><td>32bit OCU9</td></tr>
<tr><td>110</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>111</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
<tr><td>364</td><td>9.4.20</td><td>4.20. DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SELect register 21)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>BT_SG_SEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>Base Timer0 IRQ0</td></tr>
<tr><td>01</td><td>Base Timer0 IRQ1</td></tr>
<tr><td>10</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>

(正)
<table>
<tr><th>BT_SG_SEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>Base Timer0 IRQ0</td></tr>
<tr><td>01</td><td>Base Timer0 IRQ1</td></tr>
<tr><td>10</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>365</td><td>9.4.21</td><td>4.21 DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SELect register 22)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>BT_SG_SEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>Base Timer1 IRQ0</td></tr>
<tr><td>01</td><td>Base Timer1 IRQ1</td></tr>
<tr><td>10</td><td>予約(どれもクリアされません)</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>BT_SG_SEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>Base Timer1 IRQ0</td></tr>
<tr><td>01</td><td>Base Timer1 IRQ1</td></tr>
<tr><td>10</td><td>予約(どの割込みもクリアされません)</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table></td></tr>
<tr><td>366</td><td>9.4.22</td><td>4.22 DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SELect register 23)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>MFS_SEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>マルチファンクションシリアル ch8 受信完了</td></tr>
<tr><td>01</td><td>16bit ICU0</td></tr>
<tr><td>10</td><td>16bit ICU1</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>MFS_SEL0[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>マルチファンクションシリアル ch8 受信完了</td></tr>
<tr><td>01</td><td>16bit ICU0</td></tr>
<tr><td>10</td><td>16bit ICU1</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>367</td><td>9.4.23</td><td>4.23 DMA 要求クリアレジスタ 24 ： ICSEL24 (Interrupt Clear SELect register 24)の[bit1～bit0]の表を下記のように修正。

<table>
<tr><th>MFS_SEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>マルチファンクションシリアル ch9 送信完了</td></tr>
<tr><td>01</td><td>16bit OCU0</td></tr>
<tr><td>10</td><td>16bit OCU1</td></tr>
<tr><td>11</td><td>予約(どれもクリアされません)</td></tr>
</table>
(正)
<table>
<tr><th>MFS_SEL1[1:0]</th><th>クリア対象</th></tr>
<tr><td>00</td><td>マルチファンクションシリアル ch9 送信完了</td></tr>
<tr><td>01</td><td>16bit OCU0</td></tr>
<tr><td>10</td><td>16bit OCU1</td></tr>
<tr><td>11</td><td>予約(どの割込みもクリアされません)</td></tr>
</table></td></tr>
<tr><td>393</td><td>11.4</td><td>4. レジスタのアドレス：0x0F40　PORTEN のレジスタ機能に下記のようにコメント追加。

(誤)
<table>
<tr><td>0x0F40</td><td>PORTEN</td><td>予約</td><td>予約</td><td>予約</td><td>ポート入力許可レジスタ</td></tr>
</table>
(正)
<table>
<tr><td>0x0F40</td><td>PORTEN</td><td>予約</td><td>予約</td><td>予約</td><td>ポート入力許可レジスタ
(キーコード対象レジスタ)</td></tr>
</table></td></tr>
<tr><td>394</td><td>11.4.1</td><td>4.1 ポートデータレジスタ 00～19:PDR00-19(Port Data Register 00-19)の[bit7～bit0] P (Port)の説明文を以下のように修正

(誤)
PDR0.P[7:0]は外部端子 P007、P006、・・・P000
PDR1.P[7:0]は外部端子 P017、P016、・・・P010
PDR2.P[7:0]は外部端子 P027、P026、・・・P020

(正)
PDR00.P[7:0]は外部端子 P007、P006、・・・P000
PDR01.P[7:0]は外部端子 P017、P016、・・・P010
PDR02.P[7:0]は外部端子 P027、P026、・・・P020</td></tr>
</table>

ページ	場所	変更内容
394	11.4.1	4.1. ポートデータレジスタ 00～19:PDR00-19(Port Data Register 00-19) の説明文を下記のように修正 (誤) ポートの有無についての詳細は『概要』章の『1.16 ポート機能(汎用入出力)の端子』を参照してください。 (正) ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。
395	11.4.2	4.2 データ方向レジスタ 00～19:DDR00-19(Data Direction Regisuter 00-19)の [bit7～bit0] P (Port)の説明文を以下のように修正 (誤) DDR0.P[7:0]は外部端子 P007、P006、・・・P000 DDR1.P[7:0]は外部端子 P017、P016、・・・P010 DDR2.P[7:0]は外部端子 P027、P026、・・・P020 (正) DDR00.P[7:0]は外部端子 P007、P006、・・・P000 DDR01.P[7:0]は外部端子 P017、P016、・・・P010 DDR02.P[7:0]は外部端子 P027、P026、・・・P020
395	11.4.2	4.2. データ方向レジスタ 00～19:DDR00-19(Data Direction Register 00-19) の説明文を下記のように修正 (誤) ポートの有無についての詳細は『概要』章の『1.16 ポート機能(汎用入出力)の端子』を参照してください。 (正) ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。
396	11.4.3	4.3 ポート機能レジスタ 00～19：PFR00-19(Port Function Register 00-19)の [bit7～bit0] P (Port)の説明を下記のように修正 (誤) PFR0.P[7:0]は外部端子 P007、P006、・・・P000 PFR1.P[7:0]は外部端子 P017、P016、・・・P010 PFR2.P[7:0]は外部端子 P027、P026、・・・P020 (正) PFR00.P[7:0]は外部端子 P007、P006、・・・P000 PFR01.P[7:0]は外部端子 P017、P016、・・・P010 PFR02.P[7:0]は外部端子 P027、P026、・・・P020

ページ	場所	変更内容
396	11.4.3	4.3. ポート機能レジスタ 00～19:PFR00-19(Port Function Register 00-19) の説明文を以下のように修正 (誤) ポートの有無についての詳細は『概要』章の『1.16 ポート機能(汎用入出力)の端子』を参照してください。 (正) ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。
397	11.4.4	4.4 入力データダイレクトレジスタ 00～19：PDDR00-19(Port Data Direct Register 00-19)の [bit7～bit0] P (Port)の説明文を以下のように修正 (誤) PDDR0.P[7:0]は外部端子 P007、P006、・・・P000 PDDR1.P[7:0]は外部端子 P017、P016、・・・P010 PDDR2.P[7:0]は外部端子 P027、P026、・・・P020 (正) PDDR00.P[7:0]は外部端子 P007、P006、・・・P000 PDDR01.P[7:0]は外部端子 P017、P016、・・・P010 PDDR02.P[7:0]は外部端子 P027、P026、・・・P020
397	11.4.4	4.4. 入力データダイレクトレジスタ 00～19:PDDR00-19(Port Data Direct Register 00-19) の説明文を以下のように修正 (誤) ポートの有無についての詳細は『概要』章の『1.16 ポート機能(汎用入出力)の端子』を参照してください。 (正) ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。
398	11.4.5	4.5 プルアップダウン許可レジスタ 00～19:PPER00-19(Port Pull-up/down Enable Register 00-19) の [bit7～bit0] P (Port)の説明文を以下のように修正 (誤) PPER0.P[7:0]は外部端子 P007、P006、・・・P000 PPER1.P[7:0]は外部端子 P017、P016、・・・P010 PPER2.P[7:0]は外部端子 P027、P026、・・・P020 (正) PPER00.P[7:0]は外部端子 P007、P006、・・・P000 PPER01.P[7:0]は外部端子 P017、P016、・・・P010 PPER02.P[7:0]は外部端子 P027、P026、・・・P020

ページ	場所	変更内容
398	11.4.5	4.5. プルアップダウン許可レジスタ 00～19:PPER00-19(Port Pull-up/down Enable Register 00-19)の説明文を以下のように修正 (誤) ポートの有無についての詳細は『概要』章の『1.16 ポート機能(汎用入出力)の端子』を参照してください。 (正) ポートの有無についての詳細は『概要』章の『ポート機能(汎用入出力)の端子』を参照してください。
404	11.4.6.2	4.6.2. 拡張ポート機能レジスタ 02～05,57-60 : EPFR02-05, 57-60 (Extended Port Function Register 02-05,57-60)について■EPFR60:アドレス 0E9C $_H$(アクセス：バイト、ハーフワード、ワード)の下記文章の下にスペースを挿入。 (誤) T0T7E[1:0] : リロードタイマ ch.7 T0T 出力端子選択 TIN7E:リロードタイマ ch.7TIN 入力端子選択 ↓ (正) T0T7E[1:0] : リロードタイマ ch.7 T0T 出力端子選択 TIN7E:リロードタイマ ch.7TIN 入力端子選択

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>419</td><td>11.4.6.7</td><td>
4.6.7. 拡張ポート機能レジスタ 26：EPFR26 の TIAnE[1:0](n=0,1)の表について、下記のように修正。

(誤)
TIAnE[1:0] (n=0, 1) ： ベースタイマ TIOAn 出力・入力端子選択
<table>
<tr><th>TIAnE[1:0] (n=0, 1)</th><th>動作説明</th></tr>
<tr><td>00</td><td>ベースタイマ TIOAn_0 出力禁止、TIOA1_0 入力(初期値)</td></tr>
<tr><td>01</td><td>ベースタイマ TIOAn_0 出力許可、TIOA1_0 入力</td></tr>
<tr><td>1x</td><td>ベースタイマ TIOAn_1 出力許可、TIOA1_1 入力</td></tr>
</table>
(正)
TIA0E[1:0] ： ベースタイマ TIOA0 出力端子選択
<table>
<tr><th>TIA0E[1:0]</th><th>動作説明</th></tr>
<tr><td>00</td><td>ベースタイマ TIOA0_0, TIOA0_1 出力禁止(初期値)</td></tr>
<tr><td>01</td><td>ベースタイマ TIOA0_0 出力許可</td></tr>
<tr><td>1x</td><td>ベースタイマ TIOA0_1 出力許可</td></tr>
</table>
TIA1E[1:0] ： ベースタイマ TIOA1 出力・入力端子選択
<table>
<tr><th>TIA1E[1:0]</th><th>動作説明</th></tr>
<tr><td>00</td><td>ベースタイマ TIOA1_0,TIOA1_1 出力禁止、TIOA1_0 入力(初期値)</td></tr>
<tr><td>01</td><td>ベースタイマ TIOA1_0 出力許可、TIOA1_0 入力</td></tr>
<tr><td>1x</td><td>ベースタイマ TIOA1_1 出力許可、TIOA1_1 入力</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>430</td><td>11.4.6
.16</td><td>4.6.16. 拡張ポート機能レジスタ　84,85:EPFR84,85(Extended Port Function Register84,85)
について、■EPFR85:アドレス 01CD_H(アクセス：バイト、ハーフワード、ワード)の表の
DTTI0E の動作説明の内容を下記のように修正。

(誤)
<table><tr><td>DTTI0E</td><td>動作説明</td></tr><tr><td>00</td><td>DTTI0_0 から入力(初期値)</td></tr><tr><td>01</td><td>DTTI0_1 から入力</td></tr><tr><td>1x</td><td>DTTI0_2 から入力</td></tr></table>
(正)
<table><tr><td>DTTI0E</td><td>動作説明</td></tr><tr><td>00</td><td>DTTI_0 から入力(初期値)</td></tr><tr><td>01</td><td>DTTI_1 から入力</td></tr><tr><td>1x</td><td>DTTI_2 から入力</td></tr></table></td></tr>
<tr><td>436</td><td>11.5</td><td>5. 動作説明の章欄に下記を追加。

(正)
5.11. 特定周辺機能使用時の入力遮断</td></tr>
<tr><td>449</td><td>11.5.4</td><td>5.4. ノイズフィルタ の ＜注意事項＞に明記されている内容を下記のように修正。

(誤)
詳細は基本情報章の各機能ごとの端子一覧を参照してください。

(正)
詳細は『概要』の章の『各機能ごとの端子一覧』を参照してください。</td></tr>
<tr><td>450</td><td>11.5.5</td><td>5.5. GPORTEN 入力遮断に下記説明文を追加。

(正)
GPORTEN による入力遮断中に、入力遮断となる端子の状態を読み出した場合、必ず”0”が読み出されます。</td></tr>
<tr><td>454</td><td>11.5.8</td><td>5.8. キーコードレジスタ機能の設定の 5.動作説明 の内容を下記のように追加修正。

(誤)
・DDR, PFR, EPFR, PPER, ADER, DACR はキーコード対象レジスタです。

(正)
・DDR, PFR, EPFR, PPER, PORTEN, ADER, DACR はキーコード対象レジスタです。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>457</td><td>11.5.10</td><td>5.10. I/O ポート機能切り換え時の注意事項の次ページに「5.11. 特定周辺機能使用時の入力遮断」の項を追加し、下記説明文を追加。

(正)
5.11. 特定周辺機能使用時の入力遮断
特定周辺機能使用時の入力遮断について注意事項を示します。
端子を A/D 機能として使用する場合、該当端子の状態を読み出した場合、必ず”0”が読み出されます。</td></tr>
<tr><td>475</td><td>13.4</td><td>4. レジスタの外部端子の表を下記のように修正

(誤)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th>外部端子</th></tr>
<tr><th>INT</th></tr>
<tr><td>0</td><td>0x0550</td><td>INT0_0</td></tr>
<tr><td>1</td><td>0x0550</td><td>INT1_0 / INT1_1</td></tr>
<tr><td>2</td><td>0x0550</td><td>INT2_0 / INT2_1</td></tr>
<tr><td>3</td><td>0x0550</td><td>INT3_0 / INT3_1</td></tr>
<tr><td>4</td><td>0x0550</td><td>INT4_0 / INT4_1</td></tr>
<tr><td>5</td><td>0x0550</td><td>INT5_0</td></tr>
<tr><td>6</td><td>0x0550</td><td>INT6_0</td></tr>
<tr><td>7</td><td>0x0550</td><td>INT7_0 / INT7_1</td></tr>
<tr><td>8</td><td>0x0554</td><td>INT8_0</td></tr>
<tr><td>9</td><td>0x0554</td><td>INT9_0 / INT9_1</td></tr>
<tr><td>10</td><td>0x0554</td><td>INT10_0</td></tr>
<tr><td>11</td><td>0x0554</td><td>INT11_0</td></tr>
<tr><td>12</td><td>0x0554</td><td>INT12_0</td></tr>
<tr><td>13</td><td>0x0554</td><td>INT13_0 / INT13_1</td></tr>
<tr><td>14</td><td>0x0554</td><td>INT14_0 / INT14_1</td></tr>
<tr><td>15</td><td>0x0554</td><td>INT15_0</td></tr>
</table>
(続く)</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>475</td><td>13.4</td><td>（続き）
（正）
■外部端子表
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="5">外部端子（INT）</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK,
MB91F52xL</th></tr>
<tr><td>0</td><td>0x0550</td><td>INT0_0</td><td>INT0_0</td><td>INT0_0</td><td>INT0_0</td><td>INT0_0</td></tr>
<tr><td>1</td><td>0x0550</td><td>INT1_1</td><td>INT1_1</td><td>INT1_0/
INT1_1</td><td>INT1_0/
INT1_1</td><td>INT1_0/
INT1_1</td></tr>
<tr><td>2</td><td>0x0550</td><td>INT2_1</td><td>INT2_1</td><td>INT2_0/
INT2_1</td><td>INT2_0/
INT2_1</td><td>INT2_0/
INT2_1</td></tr>
<tr><td>3</td><td>0x0550</td><td>INT3_1</td><td>INT3_0/
INT3_1</td><td>INT3_0/
INT3_1</td><td>INT3_0/
INT3_1</td><td>INT3_0/
INT3_1</td></tr>
<tr><td>4</td><td>0x0550</td><td>INT4_1</td><td>INT4_1</td><td>INT4_1</td><td>INT4_0/
INT4_1</td><td>INT4_0/
INT4_1</td></tr>
<tr><td>5</td><td>0x0550</td><td>INT5_0</td><td>INT5_0</td><td>INT5_0</td><td>INT5_0</td><td>INT5_0</td></tr>
<tr><td>6</td><td>0x0550</td><td>INT6_0</td><td>INT6_0</td><td>INT6_0</td><td>INT6_0</td><td>INT6_0</td></tr>
<tr><td>7</td><td>0x0550</td><td>INT7_1</td><td>INT7_1</td><td>INT7_0/
INT7_1</td><td>INT7_0/
INT7_1</td><td>INT7_0/
INT7_1</td></tr>
<tr><td>8</td><td>0x0554</td><td>INT8_0</td><td>INT8_0</td><td>INT8_0</td><td>INT8_0</td><td>INT8_0</td></tr>
<tr><td>9</td><td>0x0554</td><td>INT9_1</td><td>INT9_1</td><td>INT9_1</td><td>INT9_0/
INT9_1</td><td>INT9_0/
INT9_1</td></tr>
<tr><td>10</td><td>0x0554</td><td>INT10_0</td><td>INT10_0</td><td>INT10_0</td><td>INT10_0</td><td>INT10_0</td></tr>
<tr><td>11</td><td>0x0554</td><td>INT11_0</td><td>INT11_0</td><td>INT11_0</td><td>INT11_0</td><td>INT11_0</td></tr>
<tr><td>12</td><td>0x0554</td><td>INT12_0</td><td>INT12_0</td><td>INT12_0</td><td>INT12_0</td><td>INT12_0</td></tr>
<tr><td>13</td><td>0x0554</td><td>INT13_1</td><td>INT13_1</td><td>INT13_0/
INT13_1</td><td>INT13_0/
INT13_1</td><td>INT13_0/
INT13_1</td></tr>
<tr><td>14</td><td>0x0554</td><td>INT14_1</td><td>INT14_1</td><td>INT14_1</td><td>INT14_1</td><td>INT14_0/
INT14_1</td></tr>
<tr><td>15</td><td>0x0554</td><td>INT15_0</td><td>INT15_0</td><td>INT15_0</td><td>INT15_0</td><td>INT15_0</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>480</td><td>13.5</td><td>5.動作説明の図 5-2 外部割込みの動作の 2.スタンバイモードへの移行についての内容を
下記のように修正。

(誤)
使用しないチャネルは、スタンバイに入る前に、必ず禁止状態にしてください。また、有効にしてあるチャネルの外部端子へのスタンバイモード自動入出力遮断は抑止されます。自動入出力遮断については『消費電力制御』の章を参照してください。

(正)
使用しないチャネルは、スタンバイに入る前に、必ず禁止状態にしてください。スタンバイモード時に外部端子は入力遮断状態になりますが、外部割込みを有効にしてあるチャネルの外部端子は入力許可の状態になります。</td></tr>
<tr><td>490</td><td>14.5</td><td>5. 動作説明について、■ストップモードからの復帰の末尾に下記のように一文追加。

(誤)
(注意事項)時計モード、時計モード(電源遮断)も同様な制御になります。

(正)
(注意事項)
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
NMI 要求を受け付けません。</td></tr>
<tr><td>535</td><td>16.4.29</td><td>4.29. 割込み要求一括読出しレジスタ 15 上位 : IRPR15H(Interrupt Request Peripheral Read register 15H)ついて下記の説明を追加

(誤)
<table><tr><th>各ビットの読出し値</th><th>意味</th></tr><tr><td>0</td><td>割込み要求は出ていません</td></tr><tr><td>1</td><td>割込み要求が出ています</td></tr></table>
(正)
<table><tr><th>各ビットの読出し値</th><th>意味</th></tr><tr><td>0</td><td>割込み要求は出ていません</td></tr><tr><td>1</td><td>割込み要求が出ています</td></tr></table>
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、
NMI 要求は保持できません。</td></tr>
</table>

ページ	場所	変更内容
540	17.1	1.概要に以下を追加 (正) 使用可能な外部出力端子数は以下になります。 MB91F52xB (64pin) : 21 MB91F52xD (80pin) : 27 MB91F52xF (100pin) : 34 MB91F52xJ (120pin) : 38 MB91F52xK (144pin) : 44 MB91F52xL (176pin) : 48

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>545</td><td>17.4</td><td>
4. レジスタに下記の外部端子表を追加

(正)■外部端子一覧表
<table>
<tr><th rowspan="2">チャネル</th><th colspan="6">外部端子 (PPG 出力)</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK</th><th>MB91F52xL</th></tr>
<tr><td>0</td><td>なし</td><td>なし</td><td>なし</td><td>PPG0_1</td><td>PPG0_0/
PPG0_1</td><td>PPG0_0/
PPG0_1</td></tr>
<tr><td>1</td><td>PPG1_0/
PPG1_1</td><td>PPG1_0/
PPG1_1</td><td>PPG1_0/
PPG1_1</td><td>PPG1_0/
PPG1_1</td><td>PPG1_0/
PPG1_1</td><td>PPG1_0/
PPG1_1</td></tr>
<tr><td>2</td><td>PPG2_0</td><td>PPG2_0</td><td>PPG2_0/
PPG2_1</td><td>PPG2_0/
PPG2_1</td><td>PPG2_0/
PPG2_1</td><td>PPG2_0/
PPG2_1</td></tr>
<tr><td>3</td><td>PPG3_1</td><td>PPG3_1</td><td>PPG3_1</td><td>PPG3_1</td><td>PPG3_0/
PPG3_1</td><td>PPG3_0/
PPG3_1</td></tr>
<tr><td>4</td><td>PPG4_1</td><td>PPG4_1</td><td>PPG4_1</td><td>PPG4_1</td><td>PPG4_0/
PPG4_1</td><td>PPG4_0/
PPG4_1</td></tr>
<tr><td>5</td><td>なし</td><td>PPG5_1</td><td>PPG5_1</td><td>PPG5_1</td><td>PPG5_0/
PPG5_1</td><td>PPG5_0/
PPG5_1</td></tr>
<tr><td>6</td><td>なし</td><td>なし</td><td>PPG6_0</td><td>PPG6_0</td><td>PPG6_0</td><td>PPG6_0</td></tr>
<tr><td>7</td><td>PPG7_0</td><td>PPG7_0</td><td>PPG7_0</td><td>PPG7_0</td><td>PPG7_0</td><td>PPG7_0</td></tr>
<tr><td>8</td><td>なし</td><td>PPG8_0</td><td>PPG8_0</td><td>PPG8_0</td><td>PPG8_0</td><td>PPG8_0</td></tr>
<tr><td>9</td><td>なし</td><td>なし</td><td>PPG9_0</td><td>PPG9_0</td><td>PPG9_0</td><td>PPG9_0</td></tr>
<tr><td>10</td><td>PPG10_0</td><td>PPG10_0</td><td>PPG10_0</td><td>PPG10_0</td><td>PPG10_0</td><td>PPG10_0</td></tr>
<tr><td>11</td><td>PPG11_0</td><td>PPG11_0</td><td>PPG11_0</td><td>PPG11_0</td><td>PPG11_0</td><td>PPG11_0</td></tr>
<tr><td>12</td><td>PPG12_0</td><td>PPG12_0</td><td>PPG12_0</td><td>PPG12_0</td><td>PPG12_0</td><td>PPG12_0</td></tr>
<tr><td>13</td><td>PPG13_0</td><td>PPG13_0</td><td>PPG13_0</td><td>PPG13_0</td><td>PPG13_0</td><td>PPG13_0</td></tr>
<tr><td>14</td><td>なし</td><td>なし</td><td>PPG14_0</td><td>PPG14_0</td><td>PPG14_0</td><td>PPG14_0</td></tr>
<tr><td>15</td><td>なし</td><td>PPG15_0</td><td>PPG15_0</td><td>PPG15_0</td><td>PPG15_0</td><td>PPG15_0</td></tr>
<tr><td>16</td><td>PPG16_1</td><td>PPG16_1</td><td>PPG16_1</td><td>PPG16_0/
PPG16_1</td><td>PPG16_0/
PPG16_1</td><td>PPG16_0/
PPG16_1</td></tr>
<tr><td>17</td><td>PPG17_1</td><td>PPG17_1</td><td>PPG17_1</td><td>PPG17_0/
PPG17_1</td><td>PPG17_0/
PPG17_1</td><td>PPG17_0/
PPG17_1</td></tr>
<tr><td>18</td><td>なし</td><td>PPG18_0</td><td>PPG18_0</td><td>PPG18_0</td><td>PPG18_0</td><td>PPG18_0</td></tr>
<tr><td>19</td><td>PPG19_0</td><td>PPG19_0</td><td>PPG19_0</td><td>PPG19_0</td><td>PPG19_0</td><td>PPG19_0</td></tr>
<tr><td>20</td><td>PPG20_0</td><td>PPG20_0</td><td>PPG20_0</td><td>PPG20_0</td><td>PPG20_0</td><td>PPG20_0</td></tr>
<tr><td>21</td><td>なし</td><td>なし</td><td>PPG21_0</td><td>PPG21_0</td><td>PPG21_0</td><td>PPG21_0</td></tr>
<tr><td>22</td><td>なし</td><td>なし</td><td>なし</td><td>PPG22_0</td><td>PPG22_0</td><td>PPG22_0</td></tr>
<tr><td>23</td><td>PPG23_1</td><td>PPG23_1</td><td>PPG23_1</td><td>PPG23_1</td><td>PPG23_0/
PPG23_1</td><td>PPG23_0/
PPG23_1</td></tr>
<tr><td>24</td><td>PPG24_0</td><td>PPG24_0</td><td>PPG24_0</td><td>PPG24_0</td><td>PPG24_0</td><td>PPG24_0/
PPG24_1</td></tr>
<tr><td>25</td><td>なし</td><td>なし</td><td>PPG25_0</td><td>PPG25_0</td><td>PPG25_0</td><td>PPG25_0/
PPG25_1</td></tr>
<tr><td>26</td><td>なし</td><td>PPG26_0</td><td>PPG26_0</td><td>PPG26_0</td><td>PPG26_0</td><td>PPG26_0/
PPG26_1</td></tr>
<tr><td>27</td><td>PPG27_0</td><td>PPG27_0</td><td>PPG27_0</td><td>PPG27_0</td><td>PPG27_0</td><td>PPG27_0/
PPG27_1</td></tr>
<tr><td>28</td><td>なし</td><td>なし</td><td>PPG28_0</td><td>PPG28_0</td><td>PPG28_0</td><td>PPG28_0/
PPG28_1</td></tr>
<tr><td>29</td><td>なし</td><td>PPG29_0</td><td>PPG29_0</td><td>PPG29_0</td><td>PPG29_0</td><td>PPG29_0/
PPG29_1</td></tr>
</table>
(続く)
</td></tr>
</table>

ページ	場所	変更内容
546	17.4	（続き）

チャネル	外部端子（PPG 出力）					
	MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK	MB91F52xL
30	PPG30_0	PPG30_0	PPG30_0	PPG30_0	PPG30_0	PPG30_0/ PPG30_1
31	PPG31_0	PPG31_0	PPG31_0	PPG31_0	PPG31_0	PPG31_0/ PPG31_1
32	なし	なし	なし	PPG32_0	PPG32_0	PPG32_0/ PPG32_1
33	なし	なし	なし	PPG33_0	PPG33_0	PPG33_0/ PPG33_1
34	なし	なし	なし	なし	PPG34_0	PPG34_0/ PPG34_1
35	PPG35_0	PPG35_0	PPG35_0	PPG35_0	PPG35_0	PPG35_0/ PPG35_1
36	なし	なし	なし	なし	PPG36_0	PPG36_0/ PPG36_1
37	PPG37_0	PPG37_0	PPG37_0	PPG37_0	PPG37_0	PPG37_0/ PPG37_1
38	なし	なし	なし	なし	PPG38_0	PPG38_0/ PPG38_1
39	なし	なし	なし	なし	PPG39_0	PPG39_0/ PPG39_1
40	なし	なし	なし	なし	PPG40_1	PPG40_0/ PPG40_1
41	なし	なし	なし	なし	PPG41_1	PPG41_0/ PPG41_1
42	なし	なし	なし	なし	なし	PPG42_0
43	PPG43_1	PPG43_1	PPG43_1	PPG43_1	PPG43_1	PPG43_0/ PPG43_1
44	なし	なし	PPG44_1	PPG44_1	PPG44_1	PPG44_0/ PPG44_1
45	なし	なし	なし	なし	なし	PPG45_0
46	なし	なし	なし	なし	なし	PPG46_0
47	なし	なし	なし	なし	なし	PPG47_0

（続く）

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>547</td><td>17.4</td><td>（続き）
<table>
<tr><th rowspan="2">チャネル</th><th colspan="6">外部端子（PPG トリガ入力）</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK</th><th>MB91F52xL</th></tr>
<tr><td>0</td><td>TRG0_1/
TRG0_2</td><td>TRG0_1/
TRG0_2</td><td>TRG0_1/
TRG0_2</td><td>TRG0_1/
TRG0_2</td><td>TRG0_0/
TRG0_1/
TRG0_2</td><td>TRG0_0/
TRG0_1/
TRG0_2</td></tr>
<tr><td>1</td><td>なし</td><td>なし</td><td>TRG1_1</td><td>TRG1_1</td><td>TRG1_0/
TRG1_1</td><td>TRG1_0/
TRG1_1</td></tr>
<tr><td>2</td><td>なし</td><td>TRG2_1</td><td>TRG2_1</td><td>TRG2_1</td><td>TRG2_0/
TRG2_1</td><td>TRG2_0/
TRG2_1</td></tr>
<tr><td>3</td><td>TRG3_0/
TRG3_1</td><td>TRG3_0/
TRG3_1</td><td>TRG3_0/
TRG3_1</td><td>TRG3_0/
TRG3_1</td><td>TRG3_0/
TRG3_1</td><td>TRG3_0/
TRG3_1</td></tr>
<tr><td>4</td><td>なし</td><td>なし</td><td>なし</td><td>TRG4_0/
TRG4_1</td><td>TRG4_0/
TRG4_1</td><td>TRG4_0/
TRG4_1</td></tr>
<tr><td>5</td><td>なし</td><td>なし</td><td>なし</td><td>TRG5_0/
TRG5_1</td><td>TRG5_0/
TRG5_1</td><td>TRG5_0/
TRG5_1/
TRG5_2</td></tr>
<tr><td>6</td><td>なし</td><td>なし</td><td>TRG6_0</td><td>TRG6_0/
TRG6_1</td><td>TRG6_0/
TRG6_1</td><td>TRG6_0/
TRG6_1/
TRG6_2</td></tr>
<tr><td>7</td><td>TRG7_0</td><td>TRG7_0</td><td>TRG7_0</td><td>TRG7_0/
TRG7_1</td><td>TRG7_0/
TRG7_1</td><td>TRG7_0/
TRG7_1</td></tr>
<tr><td>8</td><td>TRG8_0</td><td>TRG8_0</td><td>TRG8_0</td><td>TRG8_0</td><td>TRG8_0</td><td>TRG8_0/
TRG8_1</td></tr>
<tr><td>9</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>TRG9_0</td><td>TRG9_0/
TRG9_1</td></tr>
<tr><td>10</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>TRG10_0</td></tr>
<tr><td>11</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>TRG11_0</td></tr>
</table></td></tr>
<tr><td>555</td><td>17.4.1</td><td>4.1.PPG 制御状態レジスタ：PCN0~PCN47 の注意事項を他の書き方と同じように修正

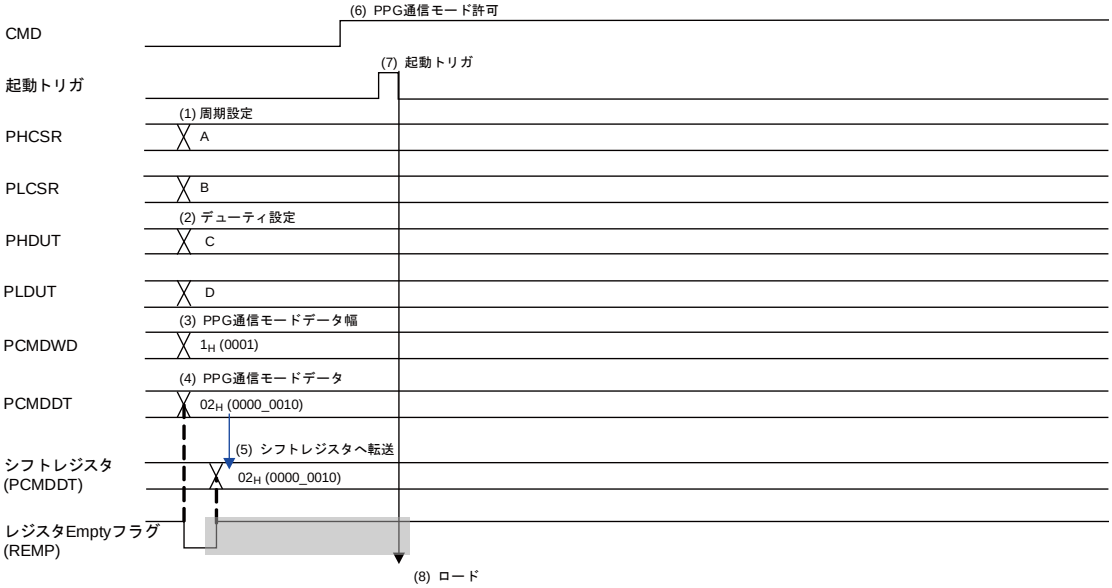
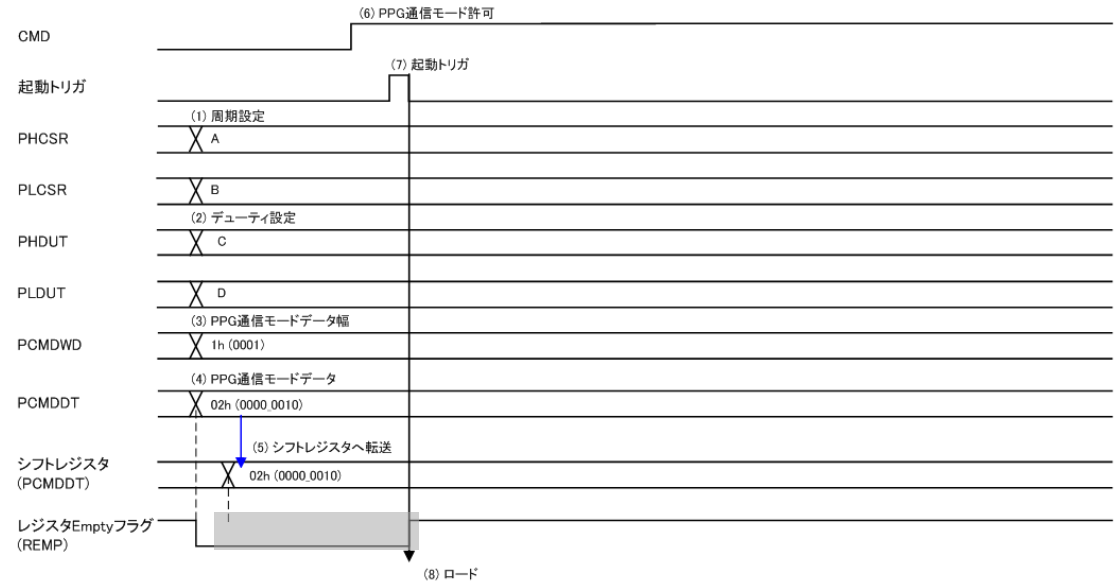
（誤）
(注意事項)～

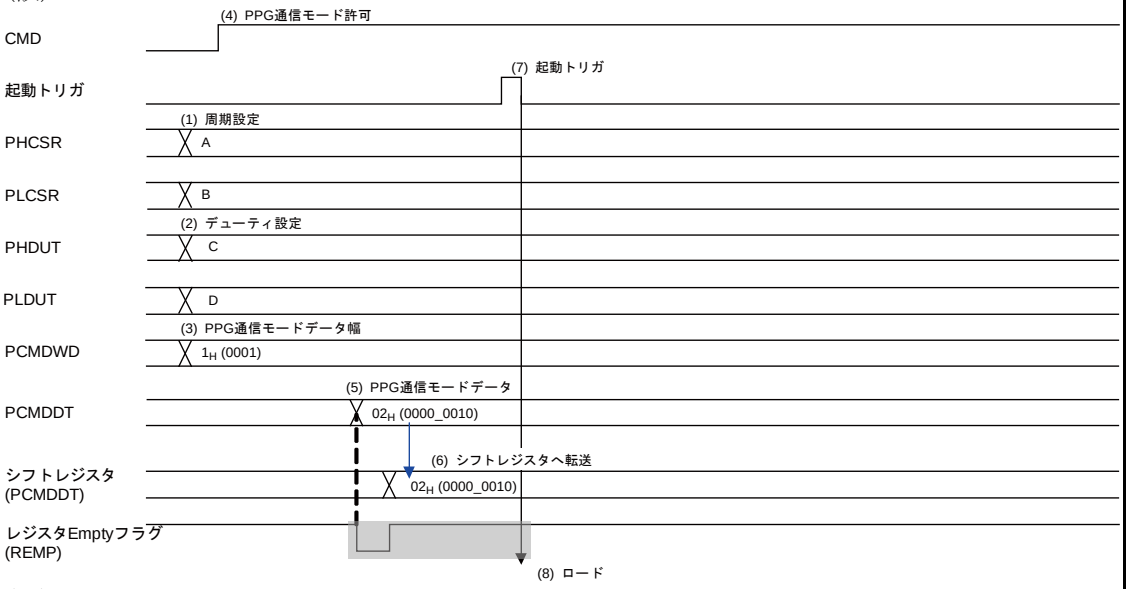
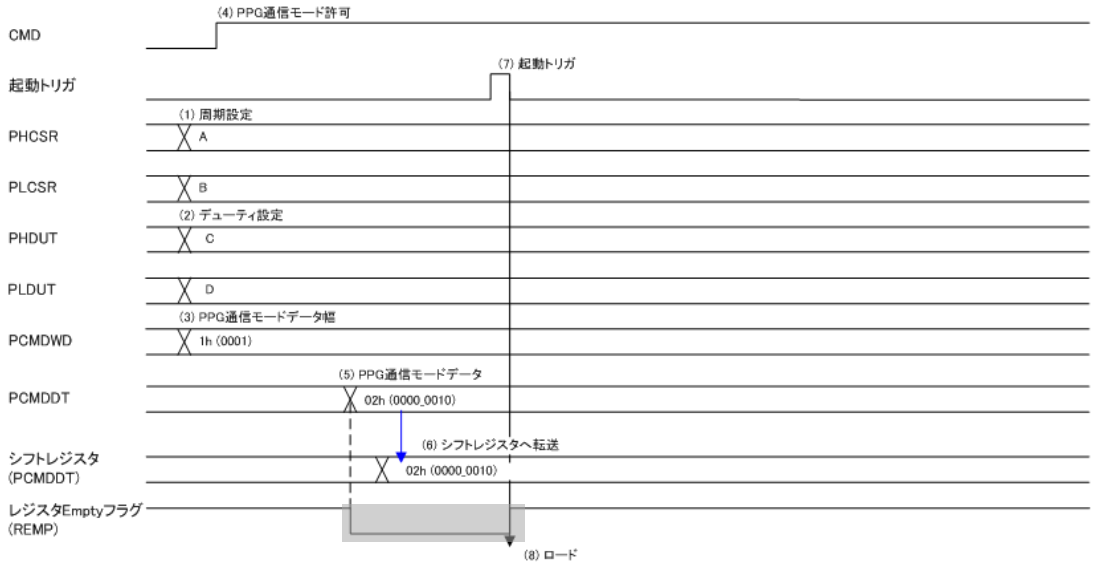
（正）
＜注意事項＞～</td></tr>
</table>

ページ	場所	変更内容
566	17.4.7	4.7 Timing Point Capture 値設定レジスタ：PTPC0～PTPC47 の■Timing Point Capture 値設定レジスタ(PTPC):アドレス Base_addr+0C$_H$ (アクセス：ハーフワード、ワード)の＜注意事項＞の内容を下記のように追加修正。 (誤) ・ PPG 出力波形選択ビット(PCN.OWFS)= “1” (Center Aligned Wave Form)が選択されてい場合は、Timing Point Capture 値設定レジスタの設定値は、(PCN.OWFS)= “0”の 2 倍の設定値となります。 (正) ・ PPG 出力波形選択ビット(PCN.OWFS)= “1” (Center Aligned Wave Form)が選択されている場合は、Timing Point Capture 値設定レジスタの設定値は、(PCN.OWFS)= “0”の 2 倍の設定値となります。
567～572	17.4.8～17.4.13	4.8. PPG 通信モード High フォーマット周期設定レジスタ:PHCSR0~PHCSR3 から 4.13. PPG 通信モードデータビット長設定レジスタ：PCMDWD0~PCMDWD3 の(注意事項)を削除 (誤) (注意事項) PPG4～PPG47 では、通信機能を搭載していません。読出し時は常に”0”が読み出されます。書込み時は必ず”0”を書き込んでください。 (正) 削除
582	17.5.2	5.2. PWM 動作(Center Aligned Wave Form 選択時)の 設定・動作手順の(5)に記載さてている下記内容について空白を削除 (誤) デューティ値 （出力レベル反転タイミング） =（デューティ値＋周期値＋1） ↓ (正) デューティ値 （出力レベル反転タイミング）=（デューティ値＋周期値＋1）
586	17.5.4	5.4. ワンショット動作(Center Aligned Wave Form 選択時)の 設定・動作手順の(5)に記載さてている下記内容について空白を削除 (誤) デューティ値 （出力レベル反転タイミング） =（デューティ値＋周期値＋1） ↓ (正) デューティ値 （出力レベル反転タイミング）=（デューティ値＋周期値＋1）

ページ	場所	変更内容
588	17.5.6	5.6. GATE 動作の図 5-7 GATE 動作の PPG カウンタ動作の末尾に下記内容を追加。 (誤) GATE 機能による PPG 動作選択時(GATEC:STGR)が”1”のときにワンショットパルス動作(PCN:MDSE=”1”)を設定した場合、PPG 出力端子からは PWM 動作時と同じように、連動してパルス出力を行います。 (正) GATE 機能による PPG 動作選択時(GATEC:STGR)が”1”のときにワンショットパルス動作(PCN:MDSE=”1”)を設定した場合、PPG 出力端子からは PWM 動作時と同じように、連動してパルス出力を行います。 注意： ・PPG 動作中に GATE 信号”1”→”0”(EDGE=”0”の場合)となった場合、PPG ダウンカウンタ値(PTMR)は値が保持され、PPG 出力は”L”になり、停止します。 ・GATE 機能有効時(STGR=”1”)かつ、リスタート許可有効(RTRG=”1”)のとき、他の起動トリガを入力しても、リスタート動作を開始しません。

ページ	場所	変更内容
593	17.5.9	5.9. PPG 通信モード動作の内容を下記のように追加/削除。 (誤) 有効レジスタ ： ソフトウェアトリガ(STRG)、カウントクロック選択(CKS1-0)、 PPG 出力マスク選択(PGMS)、トリガ入力選択(EGS1-0)、 割込み要求許可(IREN)、割込み要因選択(IRS1-0)、 PPG 出力極性選択(OSEL)、 PPG タイマ(PTMR)、GATE 機能制御(GATEC)、 PPG 通信モードデータ読出し選択(CMDSEL)、PPG 通信モード許可(CMD)、 PPG 通信データレジスタ Empty フラグ(REMP)、 PPG 通信データシフトレジスタ Empty フラグ(SREMP)、 割込み要因選択 2(IRS2)、 High フォーマット周期設定(PHCSR)、Low フォーマット周期設定(PLCSR)、 High フォーマットデューティ設定(PHDUT)、 Low フォーマットデューティ設定(PLDUT)、 通信モードデータ設定(PCMDDT)、 通信モードデータビット長設定(PCMDWD) 無効レジスタ ： タイマ動作許可(CNTE)、モード選択(MDSE)、リスタート許可(RTRG)、 PPG 出力波形選択(OWFS)、割込み要求フラグ(IRQF)、 PPG 周期設定(PCSR)、PPG デューティ設定(PDUT)、 Timing Point Capture 許可(TPC)、Start Delay 許可(STRD)、 Start Delay 値設定(PSDR)、Timing Point Capture 値設定(PTPC) (正) 有効レジスタ ： ソフトウェアトリガ(STRG)、カウントクロック選択(CKS1-0)、 PPG 出力マスク選択(PGMS)、トリガ入力選択(EGS1-0)、 割込み要求許可(IREN)、割込み要因選択(IRS1-0)、 割込み要求フラグ(IRQF)、(＊1) PPG 出力極性選択(OSEL)、 PPG タイマ(PTMR)、GATE 機能制御(GATEC)、 Low フォーマットパルス極性選択(LFPR)、High フォーマットパルス極性選択(HFPR)、 PPG 通信モードデータ読出し選択(CMDSEL)、PPG 通信モード許可(CMD)、 PPG 通信データレジスタ Empty フラグ(REMP) (＊2)、 PPG 通信データシフトレジスタ Empty フラグ(SREMP)(＊2)、 割込み要因選択 2(IRS2)、 High フォーマット周期設定(PHCSR)、Low フォーマット周期設定(PLCSR)、 High フォーマットデューティ設定(PHDUT)、 Low フォーマットデューティ設定(PLDUT)、 通信モードデータ設定(PCMDDT)、 通信モードデータビット長設定(PCMDWD) 無効レジスタ ： タイマ動作許可(CNTE)、モード選択(MDSE)、リスタート許可(RTRG)、 PPG 出力波形選択(OWFS)、 PPG 周期設定(PCSR)、PPG デューティ設定(PDUT)、 Timing Point Capture 許可(TPC)、Start Delay 許可(STRD)、 Start Delay 値設定(PSDR)、Timing Point Capture 値設定(PTPC) (*1)PPG 通信時は割り込み選択を IRS[2:0]=000b～100b へは設定禁止だが、レジスタは有効。 (*2)リードオンリーレジスタのため設定はできない。

ページ	場所	変更内容
594	17.5.10	図 5-10 PPG 通信モード動作例（起動動作 ケース 1)を以下のように修正 (誤)  (正) 

ページ	場所	変更内容
594	17.5.10	図 5-11 PPG 通信モード動作例（起動動作 ケース 2)を以下のように修正 （誤）  （正） 

ページ	場所	変更内容
604	17.6	6. 注意事項の■PPG 動作起動の 3.の内容を下記のように修正。 (誤) 3. 内部トリガでの PPG の起動は、ソフトウェアトリガ、または、外部トリガ(TRG 端子)を使用した PPG 起動と同意となります。 前もって、PPG 動作に必要なレジスタを設定しておく必要があります。 (正) 3. PSTR 端子(PPG 起動トリガ)をトリガとしての PPG の起動は、ソフトウェアトリガ、または、外部トリガ(TRG 端子)を使用した PPG 起動と同意となります。 前もって、PPG 動作に必要なレジスタを設定しておく必要があります。
605	17.6	6. 注意事項の■GATE 機能の内容を下記のように追加修正。 (誤) ■GATE 機能 1. GATE 機能制御レジスタ(GATEC)を設定する場合は、PPG の起動前に設定してください。 2. PPG の動作中には、GATE 機能制御レジスタ(GATEC)の、GATE 選択ビット(STGR)、極性選択ビット(EDGE)は変更しないでください。 3. GATE 信号がネゲートされてから PPG 出力が停止するまで、内部クロックで 4 クロックかかります。 (正) ■GATE 機能 1. GATE 機能制御レジスタ(GATEC)を設定する場合は、PPG の起動前に設定してください。 PPG の動作中には、GATE 機能制御レジスタ(GATEC)の、GATE 選択ビット(STGR)、極性選択ビット(EDGE)は変更しないでください。 2. GATE 信号がネゲートされてから PPG 出力が停止するまで、内部クロックで 4 クロックかかります。 3. GATE 機能有効時(STGR=”1”)は、リスタート許可(RTRG)が有効で、他の起動トリガを入力しても、リスタート動作を開始しません。 4. PPG 動作中に GATE 信号が”1”から”0”(EDG=”0”の場合)となった場合には、PPG ダウンカウンタ値は値が保持され、PPG 出力は”L”になり、停止します。その後、GATE 信号を”0”から”1”に設定して、周期値とデューティ値を再ロードして動作を開始します。

ページ	場所	変更内容
607	17.6	6. 注意事項 ■PPG 通信モード機能の 2. PPG 通信にて、有効となるレジスタについて以下を修正 (誤) 2. PPG 通信にて有効・無効となるレジスタは以下になります。 有効レジスタ : ソフトウェアトリガ(STRG) カウントクロック選択(CKS1-0) PPG 出力マスク選択(PGMS) トリガ入力選択(EGS1-0) 割込み要求許可(IREN) 割込み要因選択(IRS1-0) 割込み要求フラグ(IRQF) *1 PPG 出力許可(OE) PPG 出力極性選択(OSEL) PPG タイマ(PTMR) GATE 機能制御(GATEC) PPG 通信モードデータ読出し選択(CMDSEL) PPG 通信モード許可(CMD) Timing Point Capture 割込み(IRS2) PPG 通信データレジスタ Empty フラグ(REMP) *2 PPG 通信データシフトレジスタ Empty フラグ(SREMP) *2 High フォーマット周期設定(PHCSR) Low フォーマット周期設定(PLCSR) High フォーマットデューティ設定(PHDUT) Low フォーマットデューティ設定(PLDUT) 通信モードデータ設定(PCMDDT) 通信モードデータビット長設定(PCMDWD) (正) 2. PPG 通信にて有効・無効となるレジスタは以下になります。 有効レジスタ : ソフトウェアトリガ(STRG) カウントクロック選択(CKS1-0) PPG 出力マスク選択(PGMS) トリガ入力選択(EGS1-0) 割込み要求許可(IREN) 割込み要因選択(IRS1-0) 割込み要求フラグ(IRQF) *1 PPG 出力極性選択(OSEL) PPG タイマ(PTMR) GATE 機能制御(GATEC) PPG 通信モードデータ読出し選択(CMDSEL) PPG 通信モード許可(CMD) Timing Point Capture 割込み(IRS2) PPG 通信データレジスタ Empty フラグ(REMP) *2 PPG 通信データシフトレジスタ Empty フラグ(SREMP) *2 High フォーマット周期設定(PHCSR) Low フォーマット周期設定(PLCSR) High フォーマットデューティ設定(PHDUT) Low フォーマットデューティ設定(PLDUT) 通信モードデータ設定(PCMDDT) 通信モードデータビット長設定(PCMDWD) Low フォーマットパルス極性選択(LFPR) High フォーマットパルス極性選択(HFPR)

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>616</td><td>18.4.1</td><td>4.1. ウォッチドッグ制御レジスタ 0 : WDTCR0 (WatchDog Timer Configuration Register 0)のレジスタ名を下記のように修正。

(誤)
4.1. ウォッチドッグ制御レジスタ 0 : WDTCR0 (WatchDog Timer Configuration Register 0)

(正)
4.1. ウォッチドッグタイマ 0 制御レジスタ: WDTCR0 (WatchDog Timer 0 Configuration Register)</td></tr>
<tr><td>634</td><td>19.1</td><td>1.概要に以下を追加。

(正)
MB91F52xB(64pin)には、ベースタイマ機能はありません。
MB91F52xD(80pin), MB91F52xF(100pin)は 1ch のみ使用可能です。</td></tr>
<tr><td>641</td><td>19.4</td><td>4.レジスタの表 4-1 ベースアドレス(Base_addr)・外部端子表を以下のように変更。

(誤)
<table>
<tr><th>チャネル番号</th><th>ベースアドレス</th><th>外部端子</th></tr>
<tr><td>0</td><td>0x0080</td><td rowspan="2">TIOA0、TIOA1、TIOB0、TIOB1 を BTSEL01 レジスタの設定に応じて割り当て</td></tr>
<tr><td>1</td><td>0x0090</td></tr>
</table>

(正)
<table>
<tr><th rowspan="2">チャネル番号</th><th rowspan="2">ベースアドレス</th><th colspan="4">外部端子 *</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD
MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK
MB91F52xL</th></tr>
<tr><td>0</td><td>0x0080</td><td rowspan="2">なし</td><td>なし</td><td>TIOA0_0/TIOA0_1,
TIOB0_1</td><td>TIOA0_0/TIOA0_1,
TIOB0_0/TIOB0_1</td></tr>
<tr><td>1</td><td>0x0090</td><td>TIOA1_1,
TIOB1_1</td><td>TIOA1_1,
TIOB1_1</td><td>TIOA1_0/TIOA1_1,
TIOB1_0/TIOB1_1</td></tr>
</table>
*：TIOA0, TIOA1, TIOB0, TIOB1 を BTSEL01 レジスタの設定に応じて割り当てますが、外部端子がない設定は禁止です。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>645</td><td>19.4.1.2</td><td>
4.1.2. タイマ制御レジスタ 0-1 : BTxTMCR (Base Timer 0/1 TiMer Control Register)について
■BTxTMCR : アドレス Base_addr + 02_H (アクセス: ハーフワード)を下記のように修正。

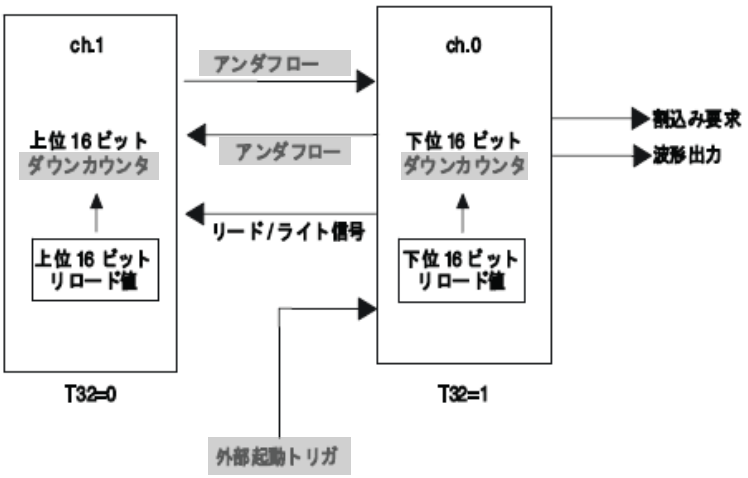
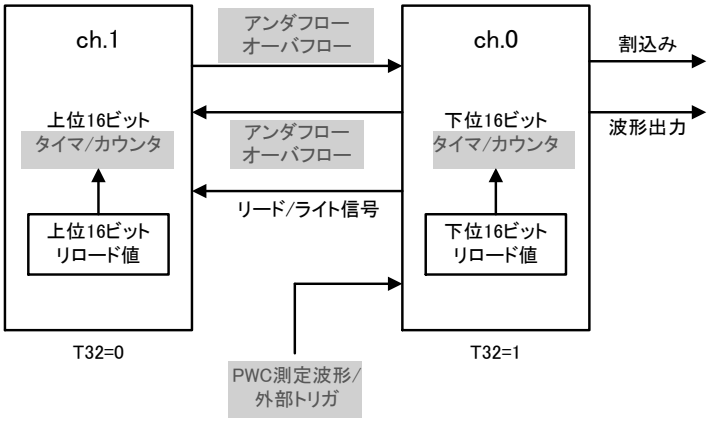
(誤)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>bit13</td><td>bit12</td><td>bit11</td><td>bit10</td><td>bit9</td><td>bit8</td></tr>
<tr><td></td><td>予約</td><td colspan="3">CKS[2:0]</td><td>【PWM・PPG】
RTGEN
【他】
予約</td><td>【PWM・PPG】
PMSK
【PWC】
EGS[2]
【他】
予約</td><td colspan="2">EGS[1:0]</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W
RO, WX*3</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W
RO, WX*1</td><td>R/W
RO, WX*1</td><td>R/W</td><td>R/W</td></tr>
</table>
<table>
<tr><td></td><td>bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td>【リロードタイマ・PWC】
T32
【他】
予約</td><td colspan="3">FDM[2:0]</td><td>【リロードタイマ・PWM・PPG】
OSEL
【他】
予約</td><td>MDSE</td><td>CTEN</td><td>STRG</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W
RO, WX*1
RO, WX*2</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W
RO, WX*1</td><td>R/W</td><td>R, W</td><td>RO, W</td></tr>
</table>
(正)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>bit13</td><td>bit12</td><td>bit11</td><td>bit10</td><td>bit9</td><td>bit8</td></tr>
<tr><td></td><td>予約</td><td colspan="3">CKS[2:0]</td><td>【PWM・PPG】
RTGEN
【他】
予約</td><td>【PWM・PPG】
PMSK
【PWC】
EGS[2]
【他】
予約</td><td colspan="2">EGS[1:0]</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/WO
RO, WO*3</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W
RO, WX*1</td><td>R/W
RO, WX*1</td><td>R/W</td><td>R/W</td></tr>
</table>
<table>
<tr><td></td><td>bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td>【リロードタイマ・PWC】
T32
【他】
予約</td><td colspan="3">FDM[2:0]</td><td>【リロードタイマ・PWM・PPG】
OSEL
【他】
予約</td><td>MDSE</td><td>CTEN</td><td>STRG</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W
RO, WO*1
RO, WO*2</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W
RO, WX*1</td><td>R/W</td><td>R, W</td><td>RO, W
RO, WO*1</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
646	19.4.1.2	4.1.2. タイマ制御レジスタ 0-1 : BTxTMCR (Base Timer 0/1 TiMer Control Register)の [bit15] 予約の説明文を下記のように修正。 (誤) 本ビットへの書込みは効果ありません。 (正) 0 を書き込んでください。
649	19.4.1.2	4.1.2. タイマ制御レジスタ 0-1 : BTxTMCR (Base Timer 0/1 TiMer Control Register)の[bit0] STRG の説明文に追加 (誤) タイマ起動などのトリガとして機能します。 (正) タイマ起動などのトリガとして機能します。 PWC のとき読出し値は”0”です。PWC の時、このビットへは”0”を書き込んでください。
650	19.4.1.3	4.1.3. 入出力選択レジスタ : BTSEL01 (Base Timer Select register ch.0 and ch.1)の<注意事項>の下記のように修正 (誤) ・ このレジスタは 8 ビットでアクセスしてください。 ・ 本レジスタはリセットモードへの設定(BTxTMCR.FMD=000 書込み)では初期化されません。 (正) ・このレジスタは 8 ビットでアクセスしてください。 ・このレジスタは、ベースタイマ x タイマ制御レジスタ(BTxTMCR)の FMD2～FMD0 ビットで、ベースタイマリセットモードに設定(FMD2～FMD0=000)してから書き換えて下さい。
654	19.4.2.2	4.2.2. 周期設定レジスタ 0-1 : BTxPCSR (Base Timer 0/1 Pulse Counter Start Register)の初期値を下記のように修正。 (誤) bit15 bit14 ・ ・ ・ bit2 bit1 bit0 D[15:0] 初期値 0 0 ・ ・ ・ 0 0 0 属性 R/W R/W ・ ・ ・ R/W R/W R/W (正) bit15 bit14 ・ ・ ・ bit2 bit1 bit0 D[15:0] 初期値 X X ・ ・ ・ X X X 属性 R/W R/W ・ ・ ・ R/W R/W R/W

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>663</td><td>19.4.4.2</td><td>4.4.2. L 幅設定レジスタ 0-1 : BTxPRLL (Base Timer 0/1 Pulse Length of “L” register)の初期値を下記のように修正。

(誤)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>・</td><td>・</td><td>・</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="8">D[15:0]</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>・</td><td>・</td><td>・</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>・</td><td>・</td><td>・</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>
(正)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>・</td><td>・</td><td>・</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="8">D[15:0]</td></tr>
<tr><td>初期値</td><td>X</td><td>X</td><td>・</td><td>・</td><td>・</td><td>X</td><td>X</td><td>X</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>・</td><td>・</td><td>・</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table></td></tr>
<tr><td>664</td><td>19.4.4.3</td><td>4.4.3. H 幅設定レジスタ 0-1 : BTxPRLH (Base Timer 0/1 Pulse Length of “H” register)の初期値を下記のように修正。

(誤)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>・</td><td>・</td><td>・</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="8">D[15:0]</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>・</td><td>・</td><td>・</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>・</td><td>・</td><td>・</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>
(正)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>・</td><td>・</td><td>・</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="8">D[15:0]</td></tr>
<tr><td>初期値</td><td>X</td><td>X</td><td>・</td><td>・</td><td>・</td><td>X</td><td>X</td><td>X</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>・</td><td>・</td><td>・</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
687	19.5.4.4	5.4.4. 32 ビットタイマモード時の動作の図 5-11 32 ビットタイマモード時の構成を以下のように修正 (誤)  (正) 
728	20.1	1.概要に以下を追加 (正) 使用可能チャネル数は以下になります。 MB91F52xB (64pin) : 7 MB91F52xD (80pin) : 7 MB91F52xF (100pin) : 8 MB91F52xJ (120pin) : 8 MB91F52xK (144pin) : 8 MB91F52xL (176pin) : 8

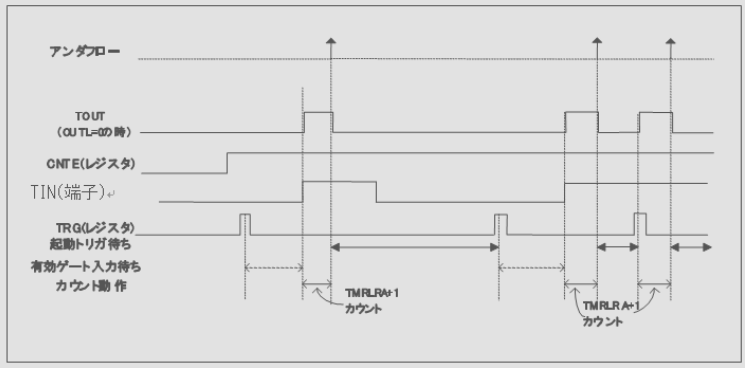
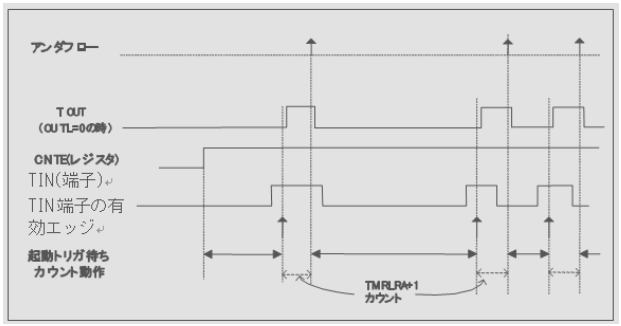
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>731</td><td>20.4</td><td>4. レジスタの表 4-1 ベースアドレス(Base_addr)・外部端子表を以下のように修正

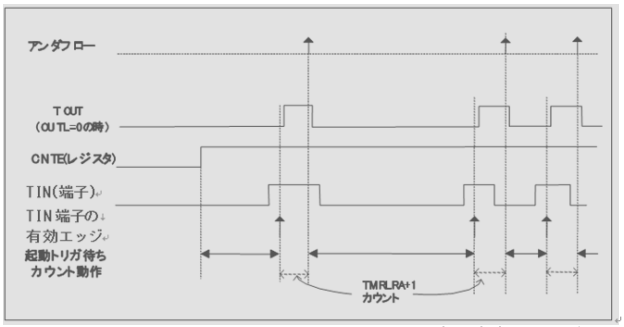
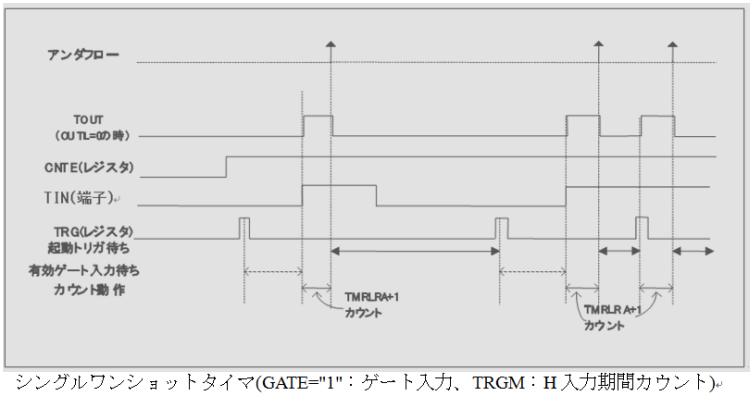
(誤)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th colspan="2">外部端子</th></tr>
<tr><th>TOUT</th><th>TIN</th></tr>
<tr><td>0</td><td>0x0060</td><td>TOT0_0/TOT0_1</td><td>TIN0_0/TIN0_1/TIN0_2</td></tr>
<tr><td>1</td><td>0x0100</td><td>TOT1_0/TOT1_1/TOT1_2</td><td>TIN1_0/TIN1_1</td></tr>
<tr><td>2</td><td>0x0108</td><td>TOT2_0/TOT2_1</td><td>TIN2_0/TIN2_1</td></tr>
<tr><td>3</td><td>0x0110</td><td>TOT3_0/TOT3_1</td><td>TIN3_0/TIN3_1/TIN3_2</td></tr>
<tr><td>4</td><td>0x01D8</td><td>TOT4_0/TOT4_1</td><td>TIN4_0/TIN4_1</td></tr>
<tr><td>5</td><td>0x01F0</td><td>TOT5_0/TOT5_1</td><td>TIN5_0/TIN5_1</td></tr>
<tr><td>6</td><td>0x01F8</td><td>TOT6_0/TOT6_1</td><td>TIN6_0/TIN6_1</td></tr>
<tr><td>7</td><td>0x0068</td><td>TOT7_0/TOT7_1</td><td>TIN7_0/TIN7_1</td></tr>
</table>
(続く)</td></tr>
</table>

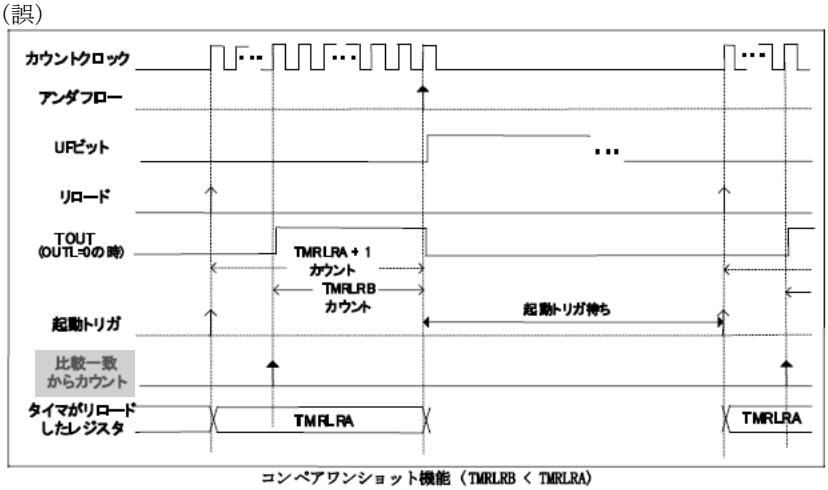
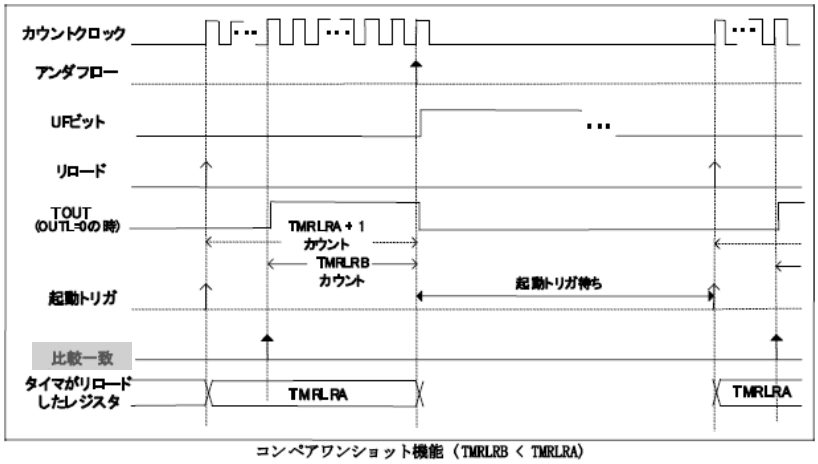
ページ	場所	変更内容
731	20.4	（続き） （正）

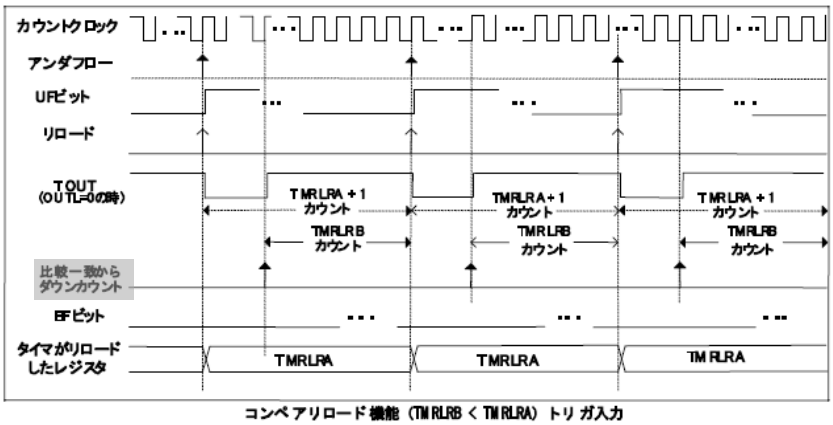
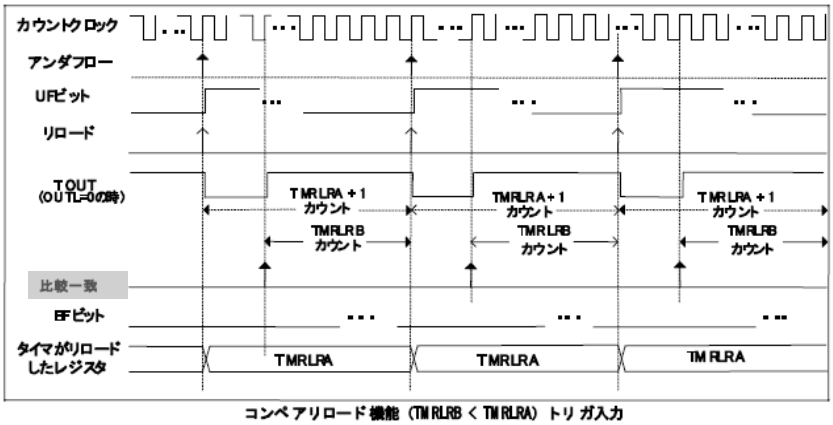
チャネル	ベースアドレス	外部端子（TOUT 出力，TIN 入力）					
		MB91F52xB	MB91F52xD	MB91F52xF	MB91F52xJ	MB91F52xK	MB91F52xL
0	0x0060	TOT0_0	TOT0_0	TOT0_0	TOT0_0	TOT0_0/ TOT0_1	TOT0_0/ TOT0_1
		TIN0_2	TIN0_2	TIN0_2	TIN0_0/ TIN0_2	TIN0_0/ TIN0_2	TIN0_0/ TIN0_1/ TIN0_2
1	0x0100	TOT1_2	TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_2	TOT1_0/ TOT1_1/ TOT1_2
		TIN1_0	TIN1_0	TIN1_0	TIN1_0	TIN1_0	TIN1_0/ TIN1_1
2	0x0108	なし	なし	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1	TOT2_0/ TOT2_1
				TIN2_0	TIN2_0	TIN2_0/ TIN2_1	TIN2_0/ TIN2_1
3	0x0110	TOT3_0	TOT3_0	TOT3_0	TOT3_0	TOT3_0/ TOT3_1	TOT3_0/ TOT3_1
		TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_2	TIN3_0/ TIN3_1/ TIN3_2	TIN3_0/ TIN3_1/ TIN3_2
4	0x01D8	TOT4_0	TOT4_0	TOT4_0	TOT4_0	TOT4_0/ TOT4_1	TOT4_0/ TOT4_1
		TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1	TIN4_0/ TIN4_1
5	0x01F0	TOT5_0	TOT5_0	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1	TOT5_0/ TOT5_1
		TIN5_0/	TIN5_0/	TIN5_0/	TIN5_0/ TIN5_1	TIN5_0/ TIN5_1	TIN5_0/ TIN5_1
6	0x01F8	TOT6_1	TOT6_1	TOT6_0/ TOT6/1	TOT6_0/ TOT6/1	TOT6_0/ TOT6/1	TOT6_0/ TOT6/1
		TIN6_1	TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1	TIN6_0/ TIN6_1
7	0x0068	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1	TOT7_0/ TOT7_1
		TIN7_0	TIN7_0	TIN7_0	TIN7_0	TIN7_0/ TIN7_1	TIN7_0/ TIN7_1

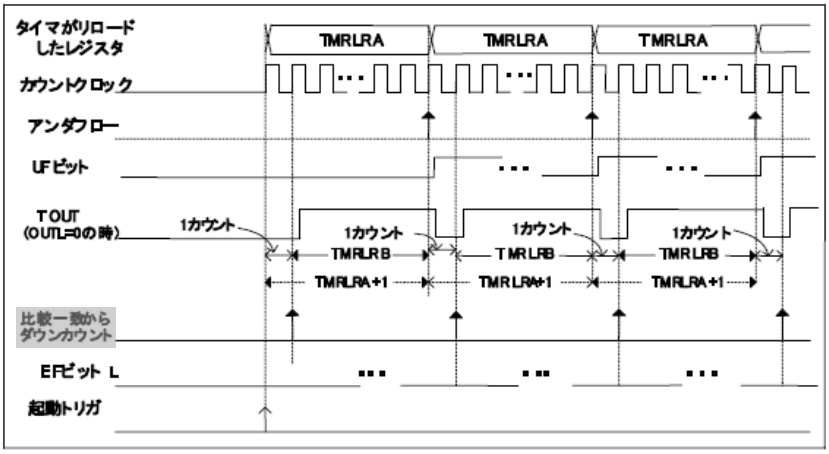
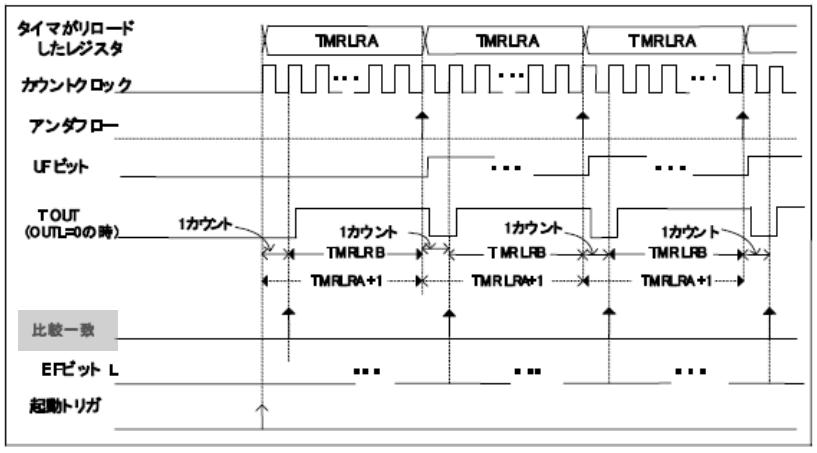
ページ	場所	変更内容
733	20.4.1	4.1. コントロールステータスレジスタ ：TMCSR (TiMer Control and Status Register)の[bit13,bit12]の説明文を下記のように修正。 (誤) 【インターバルタイマモード時・トリガ入力(bit8:GATE ビット =”0”)のとき】 (正) 【インターバルタイマモード時・トリガ入力(bit8:GATE =”0”)のとき】
738	20.4.3	4.3. 16 ビットタイマリロードレジスタ A、16 ビットタイマリ ロードレジスタ B ： TMRLRA, TMRLRB (16bit TiMer ReLoad Register A/B)の説明文を下記のように修正。 (誤) カウント初期値などを設定します。 (正) TMRLRA はカウント初期値を設定します。 TMRLRB は動作モードにより機能が異なります。

ページ	場所	変更内容
757	20.5.3.1	5.3.1. シングルワンショット動作の図 5-7 の「シングルワンショットタイマ(GATE=”0”:トリガ入力・立上りエッジトリガ選択時)」と、「シングルワンショットタイマ(GATE=”1”:ゲート入力、TRGM:H 入力期間カウント)」のタイミングチャートを下記のように修正。 (誤)  シングルワンショットタイマ(GATE='0':トリガ入力・立上りエッジトリガ選択時)  シングルワンショットタイマ(GATE='1':ゲート入力、TRGM:H入力期間カウント)

ページ	場所	変更内容
		（正）  シングルワンショットタイマ(GATE="0"：トリガ入力・立上りエッジトリガ選択時)  シングルワンショットタイマ(GATE="1"：ゲート入力、TRGM：H入力期間カウント)

ページ	場所	変更内容
764	20.5.3.5	5.3.5. コンペアワンショット動作について、図 5-13 コンペアワンショット動作(1 / 2)の ・TMRLRB < TMRLRA を設定のタイミングチャートを下記のように修正。 (誤)  コンペアワンショット機能（TMRLRB < TMRLRA） (正)  コンペアワンショット機能（TMRLRB < TMRLRA）

ページ	場所	変更内容
767	20.5.3 .6	5.3.6. コンペアリロード動作について、図 5-16 コンペアリロード動作(1 / 2)の ・TMRLRB < TMRLRA を設定のタイミングチャートを下記のように修正。 (誤)  コンペアリロード機能 (TMRLRB < TMRLRA) トリガ入力 (正)  コンペアリロード機能 (TMRLRB < TMRLRA) トリガ入力

ページ	場所	変更内容
768	20.5.3.6	5.3.6. コンペアリロード動作について、図 5-17 コンペアリロード動作(2 / 2)の ・TMRLRB = TMRLRA を設定のタイミングチャートを下記のように修正。 (誤)  コンペア リロード機能 (TMRLRB = TMRLRA) トリガ入力 (正)  コンペア リロード機能 (TMRLRB = TMRLRA) トリガ入力

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>769</td><td>20.5.3
.7</td><td>5.3.7. キャプチャモードについて、文中の下記内容を修正。

(誤)
TIN 入力をゲート入力として使用(TMCSR レジスタの bit8:GATE=”1”のとき)しているときは、
TMCSR レジスタの bit0:TRG によってリトリガを発生させてください。
トリガモード以外では、リトリガ発生時にキャプチャは行いません。EF 割込みも発生しません。
タイマの動作/TOUT 出力はシングルワンショット機能・シングルリロード機能どちらも同じです。

(正)
TIN 入力をゲート入力として使用(TMCSR レジスタの bit8:GATE=”1”のとき)しているときは、
TMCSR レジスタの bit0:TRG によってリトリガを発生させてください。
キャプチャモード以外では、リトリガ発生時にキャプチャは行いません。EF 割込みも発生しません。
タイマの動作/TOUT 出力はシングルワンショット機能・シングルリロード機能どちらも同じです。</td></tr>
<tr><td>786</td><td>20.6.5</td><td>6.5. PWC について以下のように修正

(誤)
<table>
<tr><th colspan="11">TMCSR</th><th>TMRLRA</th><th>TMRLRB</th></tr>
<tr><td>MOD
[1:0]</td><td>TRGM
[1:0]</td><td>CSL
[2:0]</td><td>GATE</td><td>EF</td><td>OUTL</td><td>RELD</td><td>INTE</td><td>UF</td><td>CNTE</td><td>TRG</td><td rowspan="2">(A)</td><td rowspan="2">(B)</td></tr>
<tr><td>11</td><td>*1</td><td>*2</td><td>0</td><td>—</td><td>*3</td><td>*4</td><td>*5</td><td>—</td><td>1</td><td>S</td></tr>
</table>
(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
S ： タイマ起動時に使用
—： 動作に影響なし

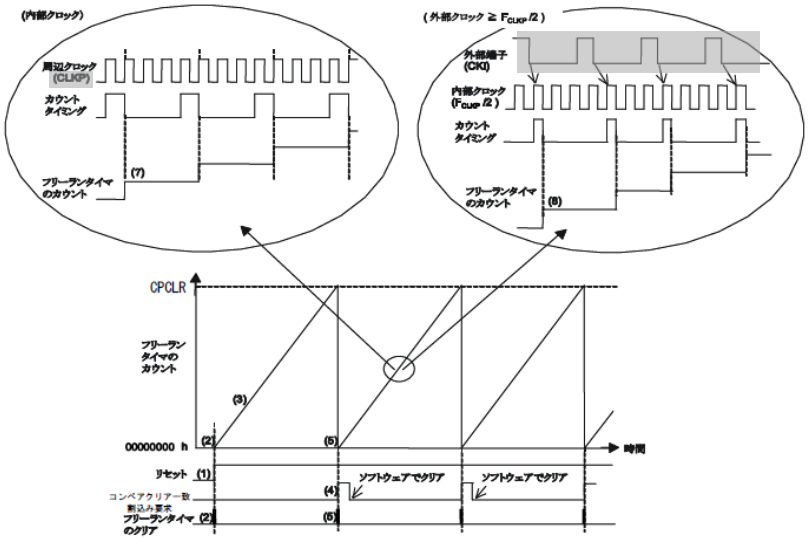
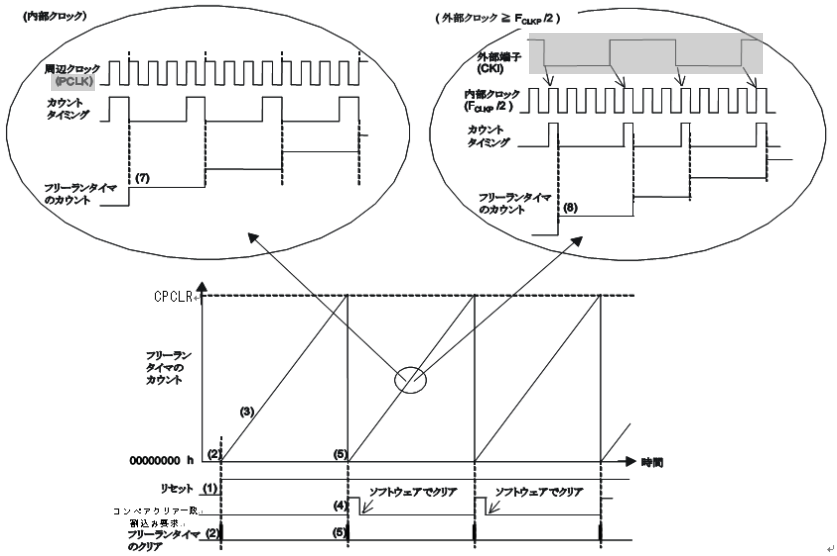
(正)
<table>
<tr><th colspan="11">TMCSR</th><th>TMRLRA</th><th>TMRLRB</th></tr>
<tr><td>MOD
[1:0]</td><td>TRGM
[1:0]</td><td>CSL
[2:0]</td><td>GATE</td><td>EF</td><td>OUTL</td><td>RELD</td><td>INTE</td><td>UF</td><td>CNTE</td><td>TRG</td><td rowspan="2">(A)</td><td rowspan="2">(B)</td></tr>
<tr><td>11</td><td>*1</td><td>*2</td><td>0</td><td>—</td><td>*3</td><td>*4</td><td>*5</td><td>—</td><td>1</td><td>S</td></tr>
</table>
(A):起動トリガ発生時のカウント初期値/アンダフロー発生時のリロード値(RELD=1 のとき)
(B):カウント動作中のトリガ発生時のカウント値
S ： タイマ起動時に使用
—： 動作に影響なし</td></tr>
</table>

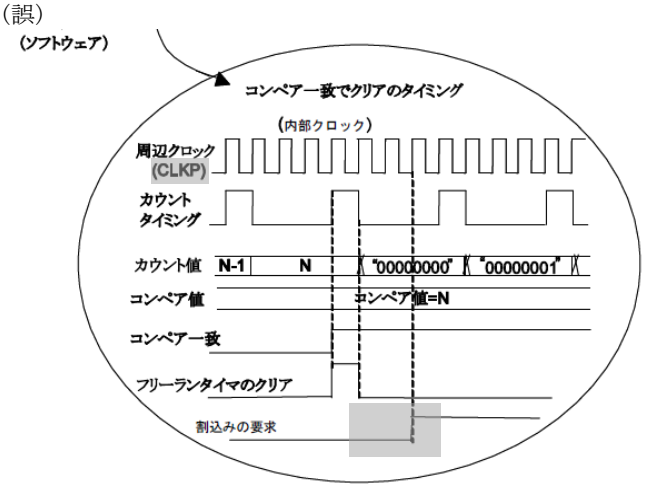
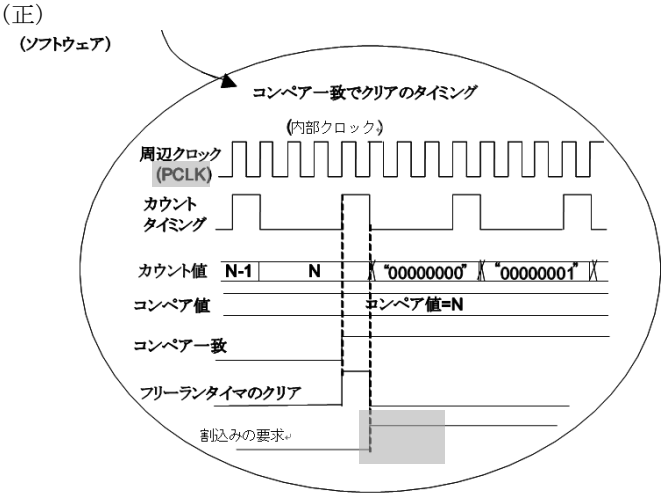
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>790</td><td>21.1</td><td>1.概要に以下を追加

(正)
外部クロックからの使用可能チャネル数は以下になります。
MB91F52xB (64pin) : 1
MB91F52xD (80pin) : 2
MB91F52xF (100pin) : 3
MB91F52xJ (120pin) : 3
MB91F52xK (144pin) : 3
MB91F52xL (176pin) : 3</td></tr>
<tr><td>797</td><td>21.4</td><td>4.レジスタの表 4-1 ベースアドレス(Base_addr)・外部端子表を以下のように修正

(誤)
<table><tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th>外部端子</th></tr><tr><th>FRCK</th></tr><tr><td>3</td><td>0x0240</td><td>FRCK3_0/FRCK3_1</td></tr><tr><td>4</td><td>0x024C</td><td>FRCK4_0/FRCK4_1</td></tr><tr><td>5</td><td>0x0FA0</td><td>FRCK5_0/FRCK5_1</td></tr></table>
(正)
<table><tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="4">外部端子 (FRCK)</th></tr><tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF
MB91F52xJ
MB91F52xK</th><th>MB91F52xL</th></tr><tr><td>3</td><td>0x0240</td><td>なし</td><td>なし</td><td>FRCK3_0</td><td>FRCK3_0/FRCK3_1</td></tr><tr><td>4</td><td>0x024C</td><td>FRCK4_0</td><td>FRCK4_0</td><td>FRCK4_0</td><td>FRCK4_0/FRCK4_1</td></tr><tr><td>5</td><td>0x0FA0</td><td>なし</td><td>FRCK5_0</td><td>FRCK5_0</td><td>FRCK5_0/FRCK5_1</td></tr></table></td></tr>
</table>

ページ	場所	変更内容
803	21.4.1.3	4.1.3. コンペアクリアレジスタ ： CPCLR の属性を下記のように修正 (誤) bit 31 … 0 CL[31:0] 初期値 1111 1111 1111 1111 1111 1111 1111 1111 属性 R,W (正) bit 31 … 0 CL[31:0] 初期値 1111 1111 1111 1111 1111 1111 1111 1111 属性 R/W

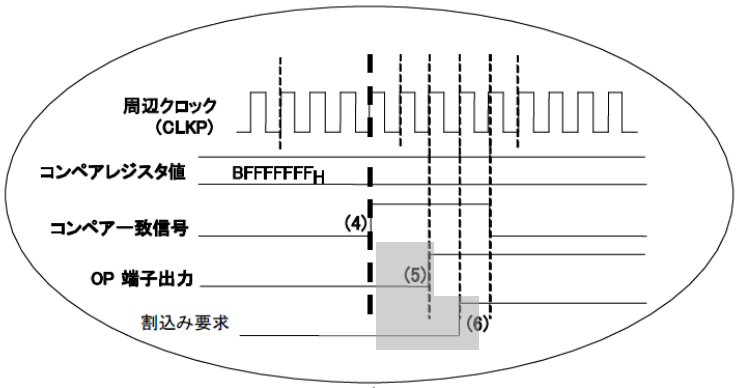
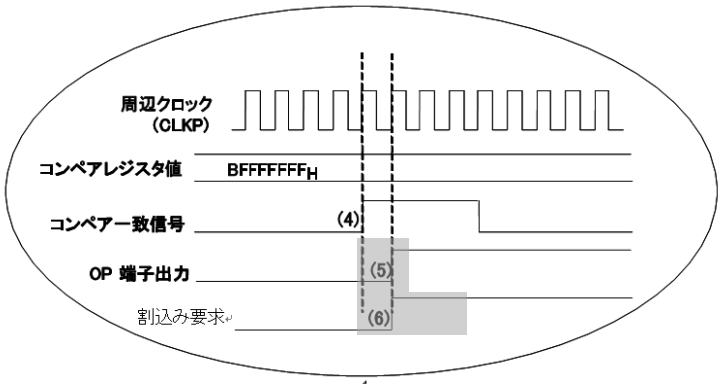
ページ	場所	変更内容
814	21.5.1.1	5.1.1. カウント動作の図を以下のように修正 (誤)  (正) 

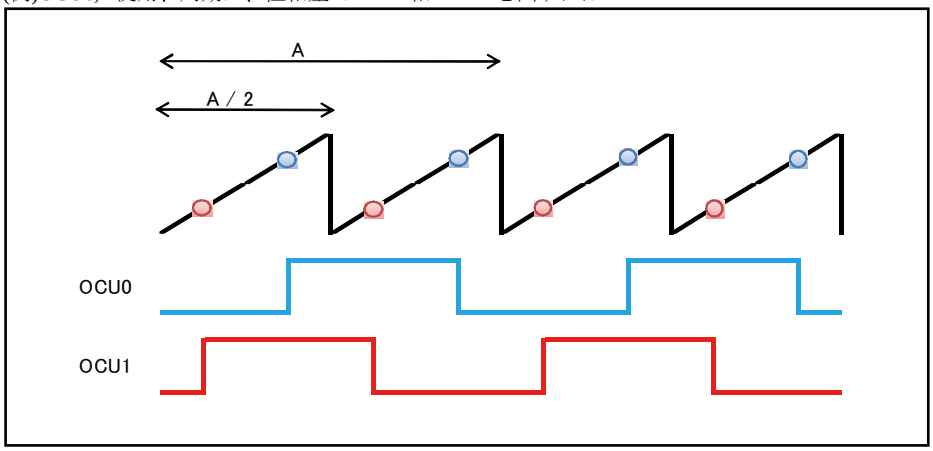
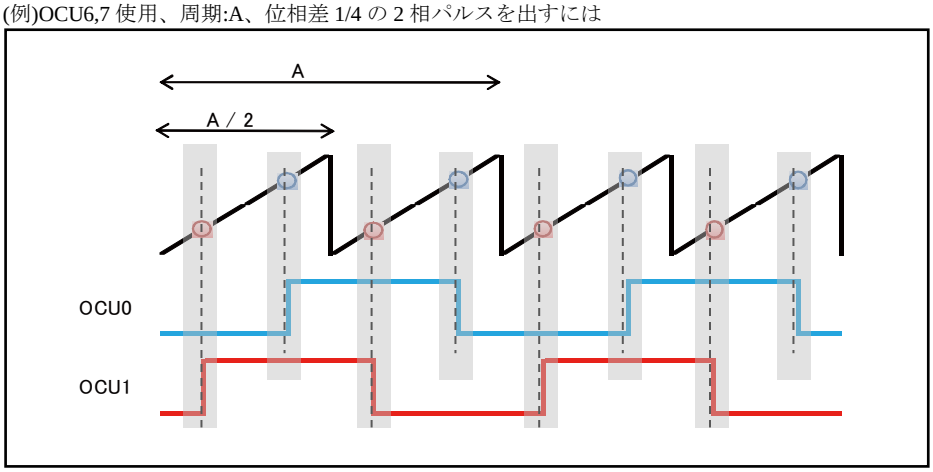
ページ	場所	変更内容
818	21.5.1.4	5.1.4. フリーランタイマの各種クリア動作の図を以下のように修正 (誤)  (正) 
831	21.9	9. 注意事項について、●フリーランタイマのクリアの文中の下記内容を修正。 (誤) ・ ソフトウェアクリア(TCCSL.SCLR=1)は、クリア要求が発生するとほぼ同時にカウンタがクリアしますが、コンペア一致でのカウンタのクリアは、カウントアップするタイミングと同じタイミングで行われます。 (正) ・ ソフトウェアクリア(TCCSL.SCLR=1)は、クリア要求が発生すると次のサイクルでカウンタがクリアしますが、コンペア一致でのカウンタのクリアは、カウントアップするタイミングと同じタイミングで行われます。

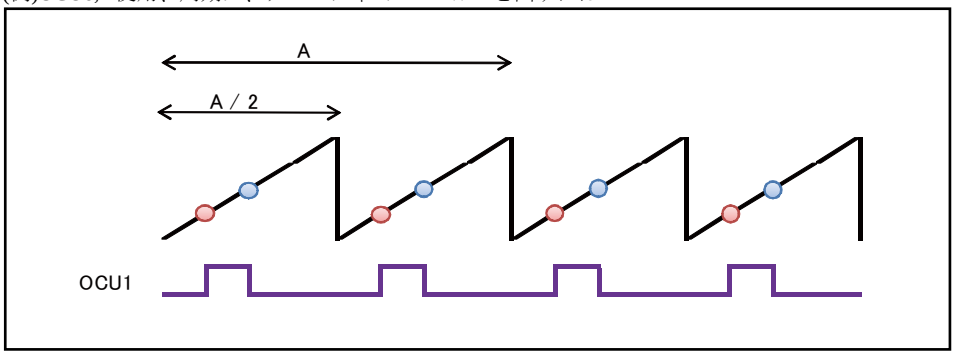
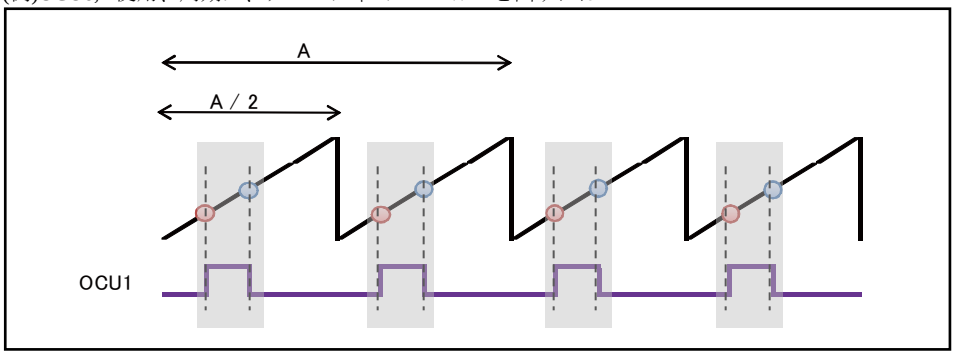
ページ	場所	変更内容
834	22.1	1.概要に以下を追加 (正) 使用可能な外部出力端子数は以下になります。 MB91F52xB (64pin) : 4 MB91F52xD (80pin) : 4 MB91F52xF (100pin) : 6 MB91F52xJ (120pin) : 6 MB91F52xK (144pin) : 6 MB91F52xL (176pin) : 6

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>838</td><td>22.4</td><td>
4. レジスタの表 4-1 ベースアドレス・外部端子一覧を以下のように修正

(誤)
表 4-1 ベースアドレス・外部端子一覧
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th>外部端子-</th></tr>
<tr><th>OCU</th></tr>
<tr><td>6</td><td>0x0120</td><td>OCU6_0/OCU6_1</td></tr>
<tr><td>7</td><td>0x0120</td><td>OCU7_0/OCU7_1</td></tr>
<tr><td>8</td><td>0x012C</td><td>OCU8_0/OCU8_1</td></tr>
<tr><td>9</td><td>0x012C</td><td>OCU9_0/OCU9_1</td></tr>
<tr><td>10</td><td>0x0F90</td><td>OCU10_0/OCU10_1</td></tr>
<tr><td>11</td><td>0x0F90</td><td>OCU11_0/OCU11_1</td></tr>
</table>
(正)
表 4-1 ベースアドレス・外部端子表
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="4">外部端子 (OCU 出力)</th></tr>
<tr><th>MB91F52xB
MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK
MB91F52xL</th></tr>
<tr><td>6</td><td>0x0120</td><td>なし</td><td>OCU6_1</td><td>OCU6_0/
OCU6_1</td><td>OCU6_0/
OCU6_1</td></tr>
<tr><td>7</td><td>0x0120</td><td>OCU7_1</td><td>OCU7_1</td><td>OCU7_1</td><td>OCU7_0/
OCU7_1</td></tr>
<tr><td>8</td><td>0x012C</td><td>OCU8_0/
OCU8_1</td><td>OCU8_0/
OCU8_1</td><td>OCU8_0/
OCU8_1</td><td>OCU8_0/
OCU8_1</td></tr>
<tr><td>9</td><td>0x012C</td><td>OCU9_1</td><td>OCU9_1</td><td>OCU9_1</td><td>OCU9_0/
OCU9_1</td></tr>
<tr><td>10</td><td>0x0F90</td><td>なし</td><td>OCU10_1</td><td>OCU10_1</td><td>OCU10_0/
OCU10_1</td></tr>
<tr><td>11</td><td>0x0F90</td><td>OCU11_1</td><td>OCU11_1</td><td>OCU11_0/
OCU11_1</td><td>OCU11_0/
OCU11_1</td></tr>
</table>
</td></tr>
</table>

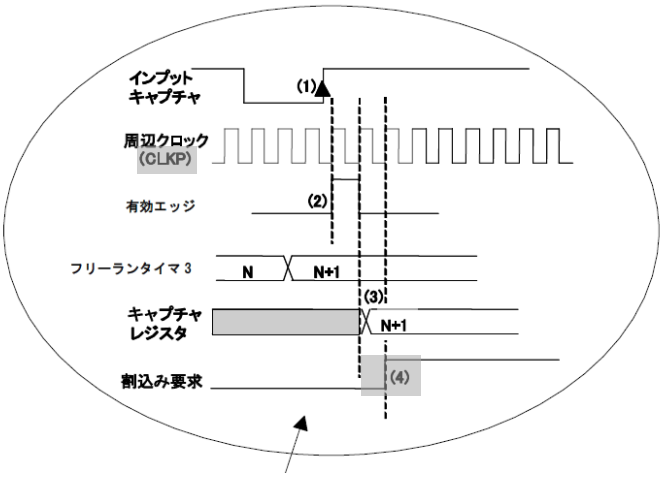
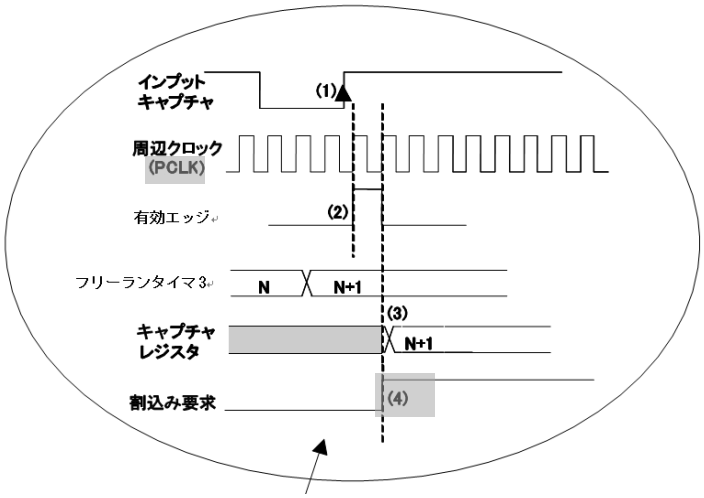
ページ	場所	変更内容
846	22.5.1	5.1. アウトプットコンペア出力（独立反転）CMOD=”0”の図を以下のように修正 （誤）  （正） 

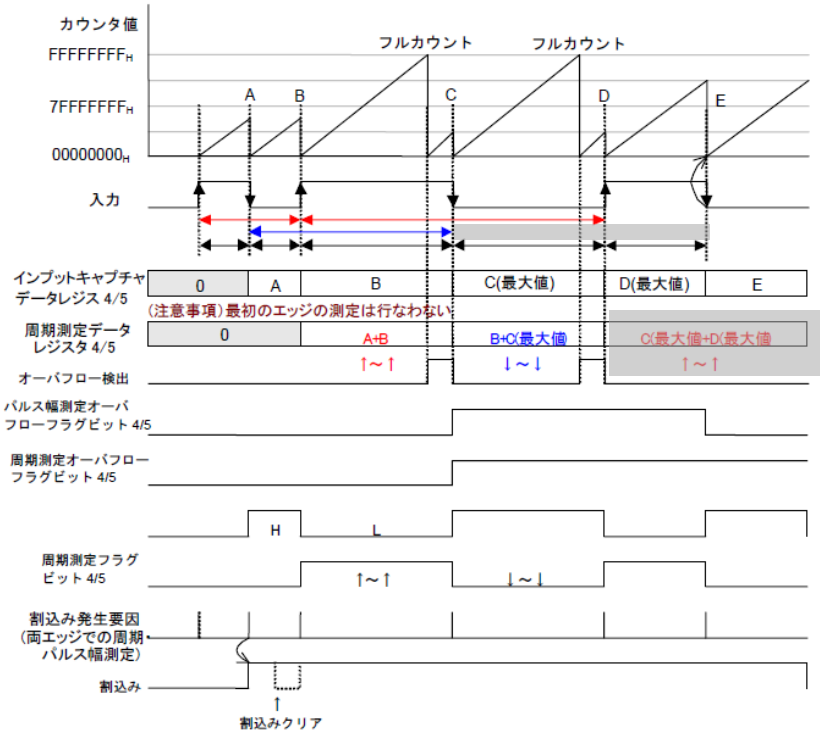
ページ	場所	変更内容
865	22.7.11.1	7.11.1. トグル出力パルスの(例)OCU6,7 使用、周期:A、位相差 1/4 の 2 相パルスを出すにはの図を下記のように修正。 (誤) (例)OCU6,7 使用、周期:A、位相差 1/4 の 2 相パルスを出すには  (正) (例)OCU6,7 使用、周期:A、位相差 1/4 の 2 相パルスを出すには 

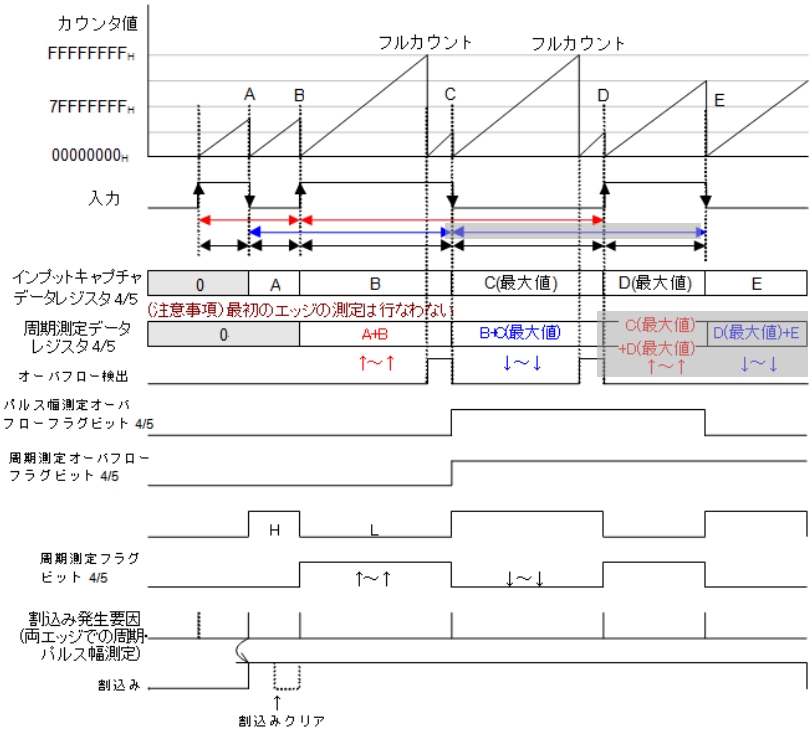
ページ	場所	変更内容
866	22.7.11.2	7.11.2. PWM 出力の(例)OCU6,7 使用、周期:A、デューティ 1/4 の PWM を出すにはの図を下記のように修正。 (誤) (例)OCU6,7 使用、周期:A、デューティ 1/4 の PWM を出すには  (正) (例)OCU6,7 使用、周期:A、デューティ 1/4 の PWM を出すには 
872	23.1	1.概要に以下を追加 (正) 使用可能な外部入力端子数は以下になります。 MB91F52xB (64pin) : 5 MB91F52xD (80pin) : 5 MB91F52xF (100pin) : 6 MB91F52xJ (120pin) : 6 MB91F52xK (144pin) : 6 MB91F52xL (176pin) : 6

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>875</td><td>23.4</td><td>
4. レジスタの表 4-1 ベースアドレス(Base_addr)・外部端子表を以下のように修正

(誤)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th>外部端子</th></tr>
<tr><th>ICU 入力</th></tr>
<tr><td>4</td><td>0x0FD0</td><td>ICU4_0/ICU4_1/ICU4_2</td></tr>
<tr><td>5</td><td>0x0FD0</td><td>ICU5_0/ICU5_1</td></tr>
<tr><td>6</td><td>0x0FDC</td><td>ICU6_0/ICU6_1</td></tr>
<tr><td>7</td><td>0x0FDC</td><td>ICU7_0/ICU7_1</td></tr>
<tr><td>8</td><td>0x0FE8</td><td>ICU8_0/ICU8_1</td></tr>
<tr><td>9</td><td>0x0FE8</td><td>ICU9_0/ICU9_1</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="5">外部端子 (ICU 入力)</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK
MB91F52xL</th></tr>
<tr><td>4</td><td>0x0FD0</td><td>ICU4_2</td><td>ICU4_2</td><td>ICU4_2</td><td>ICU4_1/
ICU4_2</td><td>ICU4_0/
ICU4_1/
ICU4_2</td></tr>
<tr><td>5</td><td>0x0FD0</td><td>ICU5_0/
ICU5_1</td><td>ICU5_0/
ICU5_1</td><td>ICU5_0/
ICU5_1</td><td>ICU5_0/
ICU5_1</td><td>ICU5_0/
ICU5_1</td></tr>
<tr><td>6</td><td>0x0FDC</td><td>ICU6_0</td><td>ICU6_0/
ICU6_1</td><td>ICU6_0/
ICU6_1</td><td>ICU6_0/
ICU6_1</td><td>ICU6_0/
ICU6_1</td></tr>
<tr><td>7</td><td>0x0FDC</td><td>なし</td><td>なし</td><td>ICU7_0/
ICU7_1</td><td>ICU7_0/
ICU7_1</td><td>ICU7_0/
ICU7_1</td></tr>
<tr><td>8</td><td>0x0FE8</td><td>ICU8_0/
ICU8_1</td><td>ICU8_0/
ICU8_1</td><td>ICU8_0/
ICU8_1</td><td>ICU8_0/
ICU8_1</td><td>ICU8_0/
ICU8_1</td></tr>
<tr><td>9</td><td>0x0FE8</td><td>ICU9_1</td><td>ICU9_1</td><td>ICU9_1</td><td>ICU9_0/
ICU9_1</td><td>ICU9_0/
ICU9_1</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
886	23.5.1	5.1. 取込みタイミング、割込みタイミングの図 5-1 32 ビットインプットキャプチャ動作例を以下のように修正 (誤)  (正) 

ページ	場所	変更内容
889	23.5.3	5.3. 周期・パルス幅測定動作の図 5-3 周期・パルス幅測定動作例(両エッジ指定時)について以下のように修正 (誤) 

ページ	場所	変更内容
		(正) 
902	23.9	9.注意事項の●割込み処理時の注意の以下文章を削除 (誤) ・インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICPn)が”1”にセットされた後、割込みルーチンが処理されるまでの間に外部入力端子(ICUn)のレベルが切り換わると、インプットキャプチャ状態制御レジスタ(ICS)の有効エッジ指示(IEIn)は検出された最新のエッジを示します。 また、 (正) 削除

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>909</td><td>24.4</td><td>4.レジスタに以下の表を追加

(正)
■外部端子表
<table>
<tr><th rowspan="2">チャネル</th><th colspan="2">外部端子(FRCK)</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD, MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL</th></tr>
<tr><td>0</td><td>FRCK0_0</td><td>FRCK0_0</td></tr>
<tr><td>1</td><td>FRCK1_1</td><td>FRCK1_0/FRCK1_1</td></tr>
<tr><td>2</td><td>FRCK2_0</td><td>FRCK2_0</td></tr>
</table>
■レジスタ一覧</td></tr>
<tr><td>923</td><td>24.4.2.3</td><td>4.2.3. タイマ状態制御レジスタ: TCCS0 ～ TCCS2 について、[bit22] STOP : タイマ許可ビットの表の下の文面を下記のように修正。

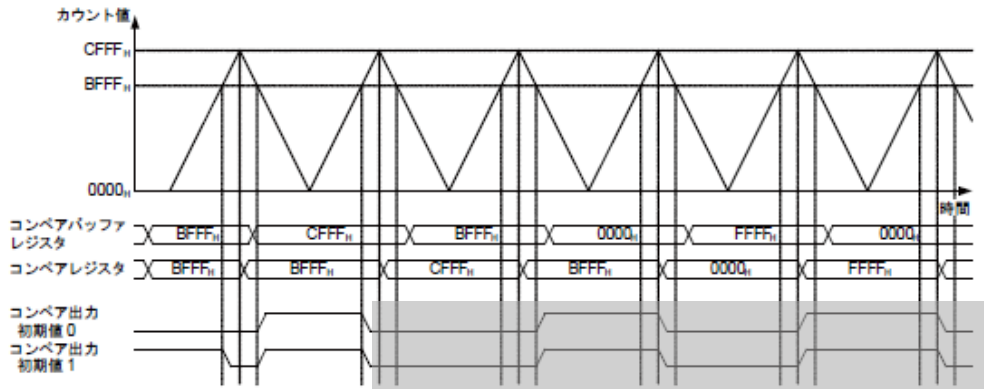
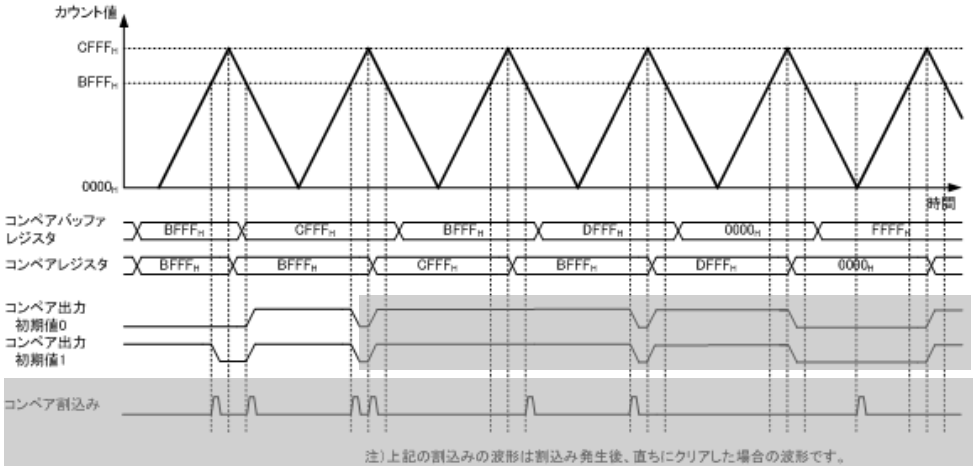
(誤)
・ フリーランタイマ停止中(本ビット=0)に、タイマ状態制御レジスタ(TCCS)の SCLR:bit20=1 としても、フリーランタイマは初期化されません。

(正)
・ フリーランタイマ停止中(本ビット=1)に、タイマ状態制御レジスタ(TCCS)の SCLR:bit20=1 としても、フリーランタイマは初期化されません。</td></tr>
<tr><td>939</td><td>24.4.3.1</td><td>4.3.1. フリーランタイマ選択レジスタ : FRS の FRS2,FRS3,FRS4,FRS5,FRS6,FRS7 の[bit17, bit16]の表を下記のように修正。

(誤)
<table>
<tr><th>AS41/AS121/
AS201/AS281/
AS361/AS441</th><th>AS40/AS120/
AS200/AS280/
AS360/AS440</th><th>機能</th></tr>
<tr><td>0</td><td>0</td><td>フリーランタイマ 0</td></tr>
<tr><td>0</td><td>0</td><td>フリーランタイマ 1</td></tr>
<tr><td>0</td><td>1</td><td>フリーランタイマ 2</td></tr>
<tr><td colspan="2">その他</td><td>設定禁止(動作を保証しません)</td></tr>
</table>
(正)
<table>
<tr><th>AS41/AS121/
AS201/AS281/
AS361/AS441</th><th>AS40/AS120/
AS200/AS280/
AS360/AS440</th><th>機能</th></tr>
<tr><td>0</td><td>0</td><td>フリーランタイマ 0</td></tr>
<tr><td>0</td><td>1</td><td>フリーランタイマ 1</td></tr>
<tr><td>1</td><td>0</td><td>フリーランタイマ 2</td></tr>
<tr><td colspan="2">その他</td><td>設定禁止(動作を保証しません)</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>953,
954</td><td>24.5.3</td><td>5.3. フリーランタイマセレクタの動作について、表 5-2 レジスタ対応表の
bit 幅を下記のように修正。

(誤)
<table>
<tr><th>リソース</th><th>レジスタ</th><th>備考</th></tr>
<tr><td>OCU0</td><td>FRS0:OS0[2:0]</td><td rowspan="2">16 ビットアウトプットコンペア</td></tr>
<tr><td>OCU1</td><td>FRS0:OS1[2:0]</td></tr>
<tr><td>:
:</td><td>:
:</td><td>:
:</td></tr>
<tr><td>ADT22</td><td>FRS4:AS22[2:0]</td><td rowspan="2">A/D 起動コンペア</td></tr>
<tr><td>ADT23</td><td>FRS4:AS23[2:0]</td></tr>
</table>
↓
(正)
<table>
<tr><th>リソース</th><th>レジスタ</th><th>備考</th></tr>
<tr><td>OCU0</td><td>FRS0:OS0[1:0]</td><td rowspan="2">16 ビットアウトプットコンペア</td></tr>
<tr><td>OCU1</td><td>FRS0:OS1[1:0]</td></tr>
<tr><td>:
:</td><td>:
:</td><td>:
:</td></tr>
<tr><td>ADT22</td><td>FRS4:AS22[1:0]</td><td rowspan="2">A/D 起動コンペア</td></tr>
<tr><td>ADT23</td><td>FRS4:AS23[1:0]</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
993	25.5.2.4	5.2.4. 16 ビットアウトプットコンペアとフリーランタイマの動作についての図 5-17 フリーランタイマがアップダウンカウントの場合 #5 について以下のように修正 （誤）  （正） 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>995</td><td>25.5.3</td><td>5.3. 16 ビットアウトプットコンペアの使用上の注意について以下のように修正

(誤)
●リードモディファイライト
割込み要求フラグビットの(IOP0), (IOP1), (IOP2), (IOP3), (IOP4), (IOP5)をリードモディファイライトで読み出すと”1”が読めます。

●割込みの注意
コンペア制御レジスタ(OCS)の割込みフラグビット(IOP1/IOP0)に”1”を設定し、次に割込み要求を許可(OCS の割込み要求許可ビット(IOE1/IOE0)に”1”を設定)にすると、制御は割込み処理から戻ることができません。割込みフラグビット(IOP1/IOP0)は、必ずクリアしてください。

(正)
●リードモディファイライト
割込み要求フラグビットの(IOP0), (IOP1)をリードモディファイライトで読み出すと”1”が読めます。</td></tr>
<tr><td>1001</td><td>26.4</td><td>4. レジスタに以下の表を追加

(正)
■外部端子表
<table>
<tr><th rowspan="2">チャネル</th><th colspan="5">外部端子 (ICU 入力)</th></tr>
<tr><th>MB91F52xB</th><th>MB91F52xD</th><th>MB91F52xF</th><th>MB91F52xJ</th><th>MB91F52xK,
MB91F52xL</th></tr>
<tr><td>0</td><td>ICU0_3</td><td>ICU0_3</td><td>ICU0_2/
ICU0_3</td><td>ICU0_1/
ICU0_2/
ICU0_3</td><td>ICU0_0/
ICU0_1/
ICU0_2/
ICU0_3</td></tr>
<tr><td>1</td><td>ICU1_1/
ICU1_2</td><td>ICU1_1/
ICU1_2</td><td>ICU1_1/
ICU1_2/
ICU1_3</td><td>ICU1_1/
ICU1_2/
ICU1_3</td><td>ICU1_0/
ICU1_1/
ICU1_2/
ICU1_3</td></tr>
<tr><td>2</td><td>ICU2_2/
ICU2_3</td><td>ICU2_2/
ICU2_3</td><td>ICU2_1/
ICU2_2/
ICU2_3</td><td>ICU2_1/
ICU2_2/
ICU2_3</td><td>ICU2_0/
ICU2_1/
ICU2_2/
ICU2_3</td></tr>
<tr><td>3</td><td>ICU3_0/
ICU3_1/
ICU3_3</td><td>ICU3_0/
ICU3_1/
ICU3_2/
ICU3_3</td><td>ICU3_0/
ICU3_1/
ICU3_2/
ICU3_3</td><td>ICU3_0/
ICU3_1/
ICU3_2/
ICU3_3</td><td>ICU3_0/
ICU3_1/
ICU3_2/
ICU3_3</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1014</td><td>26.5.3</td><td>5.3. 16 ビットインプットキャプチャの使用上の注意の以下を削除

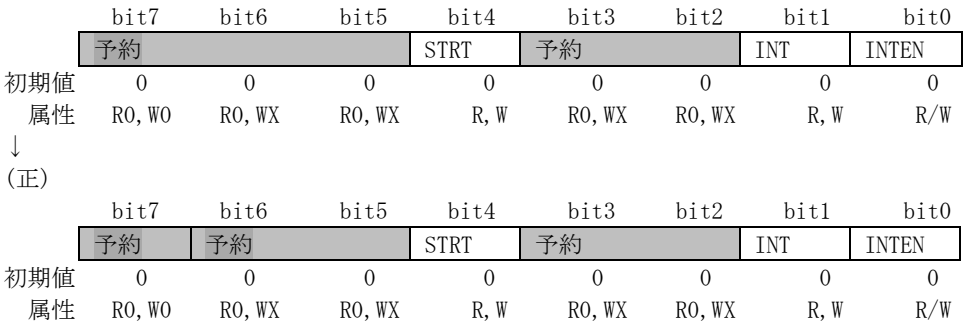
(誤)
リセット時のインプットキャプチャレジスタ値は不定です。

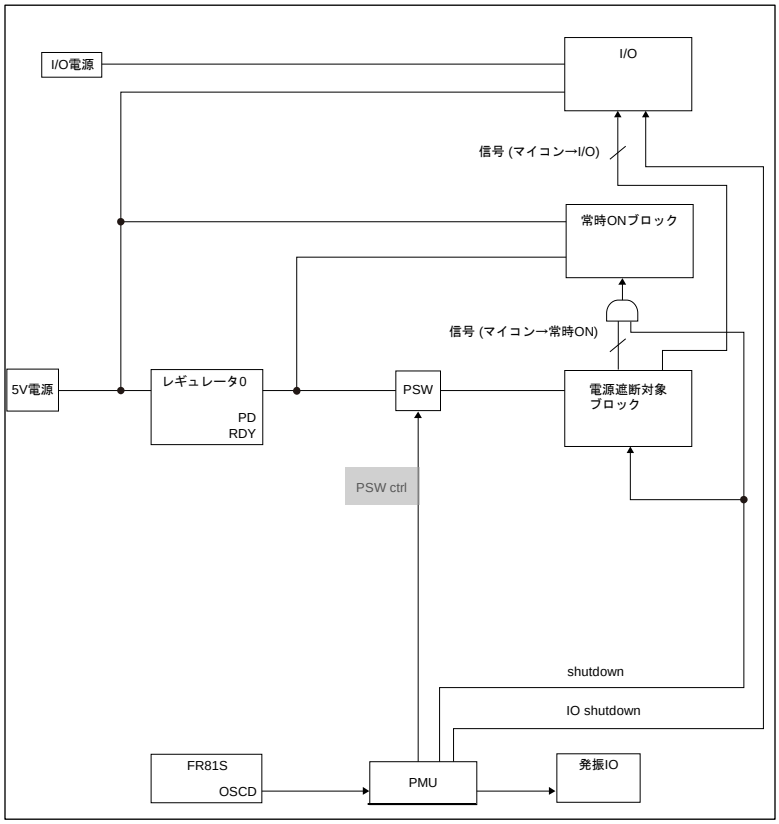
(正)
削除</td></tr>
<tr><td>1021</td><td>27.4</td><td>4. レジスタの表 4-1 チャネルと端子の対応を以下のように変更

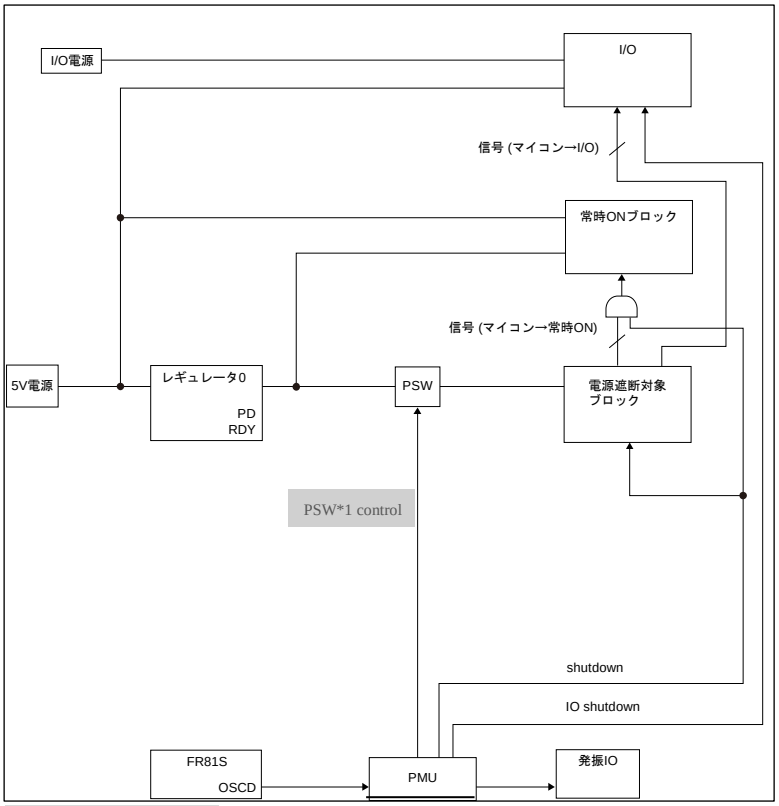
(誤)
<table>
<tr><th>チャネル番号</th><th colspan="3">外部信号入力端子</th></tr>
<tr><td>0</td><td>AIN0_0, AIN0_1</td><td>BIN0_0, BIN0_1</td><td>ZIN0_0, ZIN0_1, ZIN0_2</td></tr>
<tr><td>1</td><td>AIN1_0, AIN1_1</td><td>BIN1_0, BIN1_1</td><td>ZIN1_0, ZIN1_1</td></tr>
</table>
(正)
<table>
<tr><th rowspan="3">チャネル</th><th colspan="9">外部信号入力端子</th></tr>
<tr><th colspan="3">MB91F52xB</th><th colspan="3">MB91F52xD</th><th colspan="3">MB91F52xF, MB91F52xJ, MB91F52xK, MB91F52xL</th></tr>
<tr><th>AIN</th><th>BIN</th><th>ZIN</th><th>AIN</th><th>BIN</th><th>ZIN</th><th>AIN</th><th>BIN</th><th>ZIN</th></tr>
<tr><td>0</td><td>AIN0_0</td><td>BIN0_0/ BIN0_1</td><td>ZIN0_2</td><td>AIN0_0/ AIN0_1</td><td>BIN0_0/ BIN0_1</td><td>ZIN0_2</td><td>AIN0_0/ AIN0_1</td><td>BIN0_0/ BIN0_1</td><td>ZIN0_0/ ZIN0_1/ ZIN0_2</td></tr>
<tr><td>1</td><td>AIN1_0/ AIN1_1</td><td>BIN1_0</td><td>ZIN1_0/ ZIN1_1</td><td>AIN1_0/ AIN1_1</td><td>BIN1_0/ BIN1_1</td><td>ZIN1_0/ ZIN1_1</td><td>AIN1_0/ AIN1_1</td><td>BIN1_0/ BIN1_1</td><td>ZIN1_0/ ZIN1_1</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
1058	28.4.2	4.2. サブセカンドレジスタの下記文章を修正。 (誤) この値は、サブ秒カウンタ(22 ビットダウンカウンタ)が"0"になるとリロードされます。サブセカンドレジスタを修正する場合は、書込み命令中にリロード動作が行われていないことを確認してください。そうしないと、サブ秒カウンタ(22 ビットダウンカウンタ)は、新旧のデータバイトを結合した正しくない値をロードしてしまいます。一般的には、サブセカンドレジスタは、ST ビットが"0"の間に更新することが推奨されています。サブセカンドレジスタを"0"に設定した場合、サブ秒カウンタ(22 ビットダウンカウンタ)は一切動作しません。 (正) この値は、サブ秒カウンタ(22 ビットダウンカウンタ)が"0"になるとリロードされます。サブセカンドレジスタを修正する場合は、書込み命令中にリロード動作が行われていないことを確認してください。そうしないと、サブ秒カウンタ(22 ビットダウンカウンタ)は、新旧のデータバイトを結合した正しくない値をロードしてしまいます。一般的には、サブセカンドレジスタは、ST ビットが"0"の間に更新してください。サブセカンドレジスタを"0"に設定した場合、 サブ秒カウンタ(22 ビットダウンカウンタ)は一切動作しません。
1061	28.4.3	4.3. 日時分秒レジスタの下記文章を修正。 (誤) ・ 本シリーズでは、RTC 検出リセットの機能は搭載しておりませんので、パワーオンリセット発生でのみ、日時分秒レジスタはクリアされます。したがって、マイコン部内部低電圧検出フラグがセットされた場合、日時分秒レジスタをクリアすることを推奨します。 (正) ・ 本シリーズでは、RTC 検出リセットの機能は搭載しておりませんので、パワーオンリセット発生でのみ、日時分秒レジスタはクリアされます。したがって、マイコン部内部低電圧検出フラグがセットされた場合、日時分秒レジスタをクリアしてください。

ページ	場所	変更内容
1078	28.9	注意事項の下記文章を修正する。 (誤) ・ サブセカンドレジスタ (WTBRH, WTBRM, WTBRL)の更新途中でリロードが発生した場合、サブ秒カウンタ(22 ビットダウンカウンタ)に意図しない値をリロードする可能性があります。したがって、サブセカンドレジスタ WTBR は、スタートビット(WTCR.ST)が"0"の状態で更新することを推奨します。 ・ サブセカンドレジスタ(WTBRH,WTBRM,WTBRL)をすべて"0"に設定すると、サブ秒カウンタ(22 ビットダウンカウンタ)は動作しないため、リアルタイムクロックは動作しません。 ・ 日時分秒レジスタ(WTDR, WTHR, WTMR, WTSR)の読出し中に桁上りが生じて、読出し値が不適切な値となる可能性があります。このため、日数時刻(日/時/分/秒)の読出しは、割込み(INT0) を用いることを推奨します。 (正) ・ サブセカンドレジスタ (WTBRH, WTBRM, WTBRL)の更新途中でリロードが発生した場合、サブ秒カウンタ(22 ビットダウンカウンタ)に意図しない値をリロードする可能性があります。したがって、サブセカンドレジスタ WTBR は、スタートビット(WTCR.ST)が"0"の状態で更新してください。 ・ サブセカンドレジスタ(WTBRH,WTBRM,WTBRL)をすべて"0"に設定すると、サブ秒カウンタ(22 ビットダウンカウンタ)は動作しないため、リアルタイムクロックは動作しません。 ・ 日時分秒レジスタ(WTDR, WTHR, WTMR, WTSR)の読出し中に桁上りが生じて、読出し値が不適切な値となる可能性があります。このため、日数時刻(日/時/分/秒)の読出しは、割込み(INT0) を用いてください。
1078	28.9	9. 注意事項の説明文を下記のように修正。 (誤) ・ スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット, 内部電源低電圧リセットおよび RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。 (正) ・ スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット, 内部電源低電圧リセットおよび RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、復帰後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。

ページ	場所	変更内容
1084	29.4.1	4.1. 補正ユニット制御レジスタ 0 : CUCR0 (Calibration Unit Control Register 0)の bit 構成図を下記のように修正。 (誤)  ↓ (正)
1095	29.5.3	5.3. 注意事項について、下記文章の末尾に下記内容を追加。 (誤) スタンバイモード移行などの要因が入った場合のカウンタ値は無効になります。STRT ビットに“0”書込みを行い停止させてから、もう一度”1”を書き込み、やりなおしてください。 (正) スタンバイモード移行などの要因が入った場合のカウンタ値は無効になります。STRT ビットに“0”書込みを行い停止させてから、もう一度”1”を書き込み、やりなおしてください。 TOSC32/OSC100 ＞ 2 x TOSC4 ＋ 3 x TCLKP を満たす必要があります。 TOSC4 ： メインクロック周期 TOSC32 ： サブクロック周期 TOSC100 ： CR 発振回路発振周期 TCLKP ： 周辺クロック発振周期

ページ	場所	変更内容
1100		3. 構成の図 3-1 を下記のように修正。 (誤) 

ページ	場所	変更内容
		(正)  *1:PSW(Power Switch)
1106	30.4.3	4.3. PoWeR on TiMing コントロールレジスタ : PWRTMCTL(PoWeR on TiMing ConTroL register)の説明文を下記のように修正。 (誤) 4.3. PoWeR on TiMing コントロールレジスタ : PWRTMCTL (PoWeR on TiMing ConTroL register) PoWeR on TiMing コントロールレジスタのビット構成について示します。 (正) 4.3. Power on Timing コントロールレジスタ : PWRTMCTL (PoWeR on TiMing ConTroL register) Power on Timing コントロールレジスタのビット構成について示します。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1106</td><td>30.4.3</td><td>4.3. PoWeR on TiMing コントロールレジスタ ： PWRTMCTL の[bit2～bit0] PTC の表を以下のように修正

(誤)
<table>
<tr><th>PTC[2:0]</th><th>立上げ時間</th><th>備考(PMUCLK=32kHz の場合)</th></tr>
<tr><td>000</td><td>3×(1/PMUCLK)</td><td>90μS</td></tr>
<tr><td>001</td><td>9×(1/PMU CLK)</td><td>270μS</td></tr>
<tr><td>010</td><td>15×(1/PMU CLK)</td><td>450μS</td></tr>
<tr><td>011</td><td>27×(1/PMU CLK)</td><td>810μS</td></tr>
<tr><td>100</td><td>設定禁止</td><td>-</td></tr>
<tr><td>101</td><td>6×(1/PMU CLK)</td><td>180μS</td></tr>
<tr><td>110</td><td>12×(1/PMU CLK)</td><td>360μS</td></tr>
<tr><td>111</td><td>21×(1/PMU CLK)</td><td>630μS</td></tr>
</table>
(正)
<table>
<tr><th>PTC[2:0]</th><th>立上げ時間</th><th>備考(PMUCLK=32kHz の場合)</th></tr>
<tr><td>000</td><td>5×(1/PMUCLK)</td><td>150μs</td></tr>
<tr><td>001</td><td>11×(1/PMU CLK)</td><td>330μs</td></tr>
<tr><td>010</td><td>17×(1/PMU CLK)</td><td>510μs</td></tr>
<tr><td>011</td><td>29×(1/PMU CLK)</td><td>870μs</td></tr>
<tr><td>100</td><td>設定禁止</td><td>-</td></tr>
<tr><td>101</td><td>8×(1/PMU CLK)</td><td>240μs</td></tr>
<tr><td>110</td><td>14×(1/PMU CLK)</td><td>420μs</td></tr>
<tr><td>111</td><td>23×(1/PMU CLK)</td><td>690μs</td></tr>
</table>
</td></tr>
<tr><td>1109</td><td>30.4.6</td><td>4.6. PMU 割込みフラグレジスタ 2 ： PMUINTF2 の [bit5] MTIF の説明文を以下のように修正

(誤)
本ビットは、ShutDown 時のみ有効です。
本ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません。

(正)
本ビットは、ShutDown 時のみ有効です。
本ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません。
スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、メインタイマ割込みフラグはセットされません。</td></tr>
</table>

ページ	場所	変更内容
1110	30.4.6	4.6. PMU 割込みフラグレジスタ 2 ： PMUINTF2 の[bit4] STIF の説明文を以下のように修正 (誤) 本ビットは、ShutDown 時のみ有効です。 本ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません。 (正) 本ビットは、ShutDown 時のみ有効です。 本ビットは、”0”書込みでクリアします。”1”書込みは、動作に影響を与えません。 スタンバイモード(電源遮断)からの復帰中は、内部リセットが発行されており、サブタイマ割込みフラグはセットされません。
1149	30.5.10	5.10. 電源遮断・通常スタンバイ制御の制限事項について、説明文を以下のように修正 (誤) ・CPU が PLL で動作している場合 ・OCD 動作許可中 ・CSV 機能でクロック断検出している場合 *2 *3 以上の状態のときのスタンバイ制御は動作しませんが、CPU はスタンバイ状態となります。 (正) ・CPU が PLL で動作している場合 ・OCD 動作許可中 以上の状態のときのスタンバイ制御は動作しませんが、CPU はスタンバイ状態となります(5.8 を参照してください)。 ・CSV 機能でクロック断検出している場合 *2 *3 以上の状態のときのスタンバイ(電源遮断) 遷移指示をした場合は、通常スタンバイ処理となります。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1150</td><td>30.5.10</td><td>
5.10. 電源遮断・通常スタンバイ制御の制限事項の表 5-2 スタンバイモード(電源遮断)からの復帰時に保持されるレジスタを下記のように修正。

(誤)
<table>
<tr><td rowspan="4">低電圧検出設定レジスタ
(外部定電圧検出)</td><td>LVD5R.LVD5R_F</td><td>フラグ</td><td>0584H bit0</td><td></td></tr>
<tr><td>LVD5F.LVD5F_F</td><td>フラグ</td><td>0585H bit0</td><td></td></tr>
<tr><td>LVD5F.LVD5F_PD</td><td>レジスタ</td><td>0585H bit7</td><td></td></tr>
<tr><td>LVD5F.LVD5F_OE</td><td>レジスタ</td><td>0585H bit3</td><td></td></tr>
<tr><td rowspan="3">低電圧検出設定レジスタ
(内部定電圧検出)</td><td>LVD.LVD_F</td><td>フラグ</td><td>0586H bit0</td><td></td></tr>
<tr><td>LVD.LVD_PD</td><td>レジスタ</td><td>0586H bit7</td><td></td></tr>
<tr><td>LVD.LVD_OE</td><td>レジスタ</td><td>0586H bit3</td><td></td></tr>
</table>
(正)
<table>
<tr><td rowspan="4">低電圧検出レジスタ
(外部定電圧検出)</td><td>LVD5R.LVD5R_F</td><td>フラグ</td><td>0584H bit0</td><td></td></tr>
<tr><td>LVD5F.LVD5F_F</td><td>フラグ</td><td>0585H bit0</td><td></td></tr>
<tr><td>LVD5F.LVD5F_PD</td><td>レジスタ</td><td>0585H bit7</td><td></td></tr>
<tr><td>LVD5F.LVD5F_OE</td><td>レジスタ</td><td>0585H bit3</td><td></td></tr>
<tr><td rowspan="3">低電圧検出レジスタ
(内部定電圧検出)</td><td>LVD.LVD_F</td><td>フラグ</td><td>0586H bit0</td><td></td></tr>
<tr><td>LVD.LVD_PD</td><td>レジスタ</td><td>0586H bit7</td><td></td></tr>
<tr><td>LVD.LVD_OE</td><td>レジスタ</td><td>0586H bit3</td><td></td></tr>
</table>
</td></tr>
<tr><td>1151</td><td>30.5.10</td><td>
5.10. 電源遮断・通常スタンバイ制御の制限事項の表 5-2 スタンバイモード(電源遮断)からの復帰時に保持されるレジスタを下記のように修正。

(誤)
<table>
<tr><td rowspan="6">RTC レジスタ</td><td>WTDR</td><td>レジスタ</td><td>055EH-055FH</td><td></td></tr>
<tr><td>WTCR</td><td>レジスタ</td><td>0561H-0563H</td><td>*1</td></tr>
<tr><td>WTBR</td><td>レジスタ</td><td>0565H-0567H</td><td>*1</td></tr>
<tr><td>WTHR</td><td>レジスタ</td><td>0568H</td><td></td></tr>
<tr><td>WTMR</td><td>レジスタ</td><td>0569H</td><td></td></tr>
<tr><td>WTSR</td><td>レジスタ</td><td>056AH</td><td></td></tr>
</table>
(正)
<table>
<tr><td rowspan="6">RTC レジスタ</td><td>WTDR</td><td>レジスタ</td><td>055EH-055FH</td><td>－</td></tr>
<tr><td>WTCR</td><td>レジスタ</td><td>0561H-0563H</td><td>*1</td></tr>
<tr><td>WTBR</td><td>レジスタ</td><td>0565H-0567H</td><td>－</td></tr>
<tr><td>WTHR</td><td>レジスタ</td><td>0568H</td><td>－</td></tr>
<tr><td>WTMR</td><td>レジスタ</td><td>0569H</td><td>－</td></tr>
<tr><td>WTSR</td><td>レジスタ</td><td>056AH</td><td>－</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1158</td><td>31.4.1</td><td>4.1. 内部低電圧検出レジスタ ： LVD (Low Voltage Detect internal power fall register)の説明文を下記のように修正。

(誤)
内部低電圧検出フラグ(LVD_F)をもつレジスタです。

(正)
内部低電圧検出フラグ(LVD_F)および制御ビットをもつレジスタです。</td></tr>
<tr><td>1158</td><td>31.4.1</td><td>4.1. 内部低電圧検出レジスタ ： LVD (Low Voltage Detect internal power fall register)の[bit6～bit4]の表を下記のように修正。

(誤)
<table><tr><td>LVD_SEL[2:0]</td><td>内部立下り検出電圧設定</td></tr><tr><td>100</td><td>0.9V±0.1V</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table>
(正)
<table><tr><td>LVD_SEL[2:0]</td><td>内部電圧立下り検出電圧設定</td></tr><tr><td>100</td><td>0.9V±0.1V</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>1159</td><td>31.4.1</td><td>4.1. 内部低電圧検出レジスタ ： LVD (Low Voltage Detect internal power fall register)の[bit0]の表下の説明文を下記のように修正。

(誤)
パワーオンリセット、または内部電圧の低下が検出されると、LVD_F ビットが”1”にセットされます。

(正)
内部電圧の低下が検出されると、LVD_F ビットが”1”にセットされます。</td></tr>
<tr><td>1168</td><td>32.4.1</td><td>4.1. 外部低電圧検出立上り検出レジスタ ： LVD5R (Low Voltage Detect external 5v Rise register)の説明文を下記のように修正。

(誤)
低電圧検出リセットフラグクリアなどを行うレジスタです。

(正)
外部電源電圧立上り検出フラグです。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1169</td><td>32.4.2</td><td>4.2. 外部低電圧検出立下り検出レジスタ ： LVD5F (Low Voltage Detect external 5v Fall register) の説明文を下記のように修正。

(誤)
低電圧検出リセットフラグクリアなどを行うレジスタです。

(正)
低電圧検出リセットフラグクリアと低電圧検出回路の設定を行うレジスタです。</td></tr>
<tr><td>1172</td><td>32.6</td><td>6. 注意事項の●検出/解除のヒステリシスの説明文を下記のように修正。

(誤)
・ 検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。例えば LVD5F: 4.1V±8%設定のとき、解除電圧は 4.2V±8%となります。

(正)
・検出/解除は 0.1V のヒステリシスを持つため、解除電圧は設定値+0.1V となります。
立下り検出電圧の場合、設定値は検出電圧を示します。
例えば 4.1V±8%設定のとき、解除電圧は 4.2V±8%となります。
立上り検出電圧の場合、設定値は解除電圧を示します。
例えば 2.5V±8%設定のとき、検出電圧は 2.4V±8%となります。</td></tr>
<tr><td>1189</td><td>34.3.1</td><td>3.1. クロックスーパバイザ制御レジスタ: CSVCR の bit6, bit5, bit4 の属性を修正

(誤)
<table><tr><th></th><th>bit7</th><th>bit6</th><th>bit5</th><th>bit4</th><th>bit3</th><th>bit2</th><th>bit1</th><th>bit0</th></tr><tr><td></td><td>SCKS</td><td>MM</td><td>SM</td><td>RCE</td><td>MSVE</td><td>SSVE</td><td>予約</td><td>予約</td></tr><tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>属性</td><td>R/W</td><td>R,W0</td><td>R,W0</td><td>R/W0</td><td>R/W</td><td>R/W</td><td>R0/W0</td><td>R0/W0</td></tr></table>(正)
<table><tr><th></th><th>bit7</th><th>bit6</th><th>bit5</th><th>bit4</th><th>bit3</th><th>bit2</th><th>bit1</th><th>bit0</th></tr><tr><td></td><td>SCKS</td><td>MM</td><td>SM</td><td>RCE</td><td>MSVE</td><td>SSVE</td><td>予約</td><td>予約</td></tr><tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>属性</td><td>R/W</td><td>R,W</td><td>R,W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R0/W0</td><td>R0/W0</td></tr></table></td></tr>
</table>

ページ	場所	変更内容
1189	34.3.1	3.1. クロックスーパバイザ制御レジスタ: CSVCR の[bit6]MM(Main clock Missing)の<注意事項>を下記のように修正。 (誤) ＜注意事項＞ 本ビットが”1”の場合、PLL 発振動作は許可しないでください。 (正) ＜注意事項＞ 本ビットが”1”の場合、PLL/SSCG 発振動作は許可しないでください。
1212	36.1	1.概要に以下を追加 (正) 外部バスインタフェースは以下の型格で使用可能です。 MB91F52xK(144pin), MB91F52xL(176pin)
1217	36.4.1	4.1. CS 領域設定レジスタの bit7～bit4 ASZ[3:0]:CS 領域サイズの表の CS 領域サイズの以下を修正 (誤) 2G バイトバイト(初期値) (正) 2G バイト(初期値)
1262	36.5.10	5.10. CS 設定フローについて、●CS 設定・変更サンプルプログラムの 図 5-12 CS1 設定サンプルプログラムの■プログラム例の内容を下記のように修正。 (誤) _set_ACR1 ldi #_ACR0,r0 //#_ACR1 は ACR1 のアドレス値 ldi 0x40,r1 //0x40 を ACR1 に設定 st r1,@r0 (正) _set_ACR1 ldi #_ACR1,r0 //#_ACR1 は ACR1 のアドレス値 ldi 0x40,r1 //0x40 を ACR1 に設定 st r1,@r0

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1262</td><td>36.5.10</td><td>5.10. CS 設定フローについて、●CS 設定・変更サンプルプログラムの
図 5-12 CS1 設定サンプルプログラムの■ACR1 設定例の内容を下記のように削除。

(誤)
<table><tr><td>データバス幅</td><td>16bit</td></tr><tr><td>アドレス出力タイプ</td><td>通常</td></tr><tr><td>バスタイプ</td><td>アドレス・データスプリットバス</td></tr><tr><td>ライトシグナルタイプ</td><td>ライトタイプ 0</td></tr></table>
(正)
<table><tr><td>データバス幅</td><td>16bit</td></tr><tr><td>アドレス出力タイプ</td><td>通常</td></tr><tr><td>バスタイプ</td><td>アドレス・データスプリットバス</td></tr></table></td></tr>
<tr><td>1329</td><td>40.2</td><td>2.特長に以下を追加。注意事項を修正。

(誤)

＜注意事項＞
I²C は ch.3～ch.8, ch.10, ch11 のみ対応しています。

(正)
使用可能なチャンネル数は以下になります。
MB91F52xB (64pin) : 8
MB91F52xD (80pin) : 9
MB91F52xF (100pin) : 12
MB91F52xJ (120pin) : 12
MB91F52xK (144pin) : 12
MB91F52xL (176pin) : 12
使用可能な外部信号については表 4-1, 表 4-2, 表 4-3, 表 4-4, 表 4-5 を参照してください。

＜注意事項＞
I²C は ch.3～ch.8, ch.10, ch11 のリロケーション 0 のみ対応しています。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1333</td><td>40.2</td><td>2. 特長について、■LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1))の
●アシストモードの表の割込み要求の受信割込みの内容を下記のように修正。

(誤)
(3) 各種エラー割込み(LIN バスエラー, LIN ID パリティエラー, LIN Sync
Data エラー, LIN ID パリティエラー, フレーミングエラー, オーバラン
エラー, LIN チェックサムエラー)
↓
(正)
(3) 各種エラー割込み(LIN バスエラー, LIN ID パリティエラー, LIN Sync
Data エラー, フレーミングエラー, オーバラン
エラー, LIN チェックサムエラー)</td></tr>
<tr><td>1335</td><td>40.2</td><td>2. 特徴の■I²C の表の機能について、DMA 転送対応の受信：対応を下記のように修正。

(誤)
<table><tr><td>DMA 転送対応</td><td>送信：対応
受信：対応
ステータス：対応していません</td></tr></table>↓
(正)
<table><tr><td>DMA 転送対応</td><td>送信：対応
受信：対応していません
ステータス：対応していません</td></tr></table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1337</td><td>40.4</td><td>
4. レジスタの■ベースアドレス(Base_addr)・外部端子表を以下のように修正。
表を（MB91F52xB），（MB91F52xD)，(MB91F52xF)，(MB91F52xJ)，(MB91F52xK，MB91F52xL）に分割。

(誤)
表 4-1 ベースアドレス(Base_addr)・外部端子表
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">Base_addr</th><th colspan="4">外部端子</th></tr>
<tr><th>SCK</th><th>SOT</th><th>SIN</th><th>SCS</th></tr>
<tr><td>0</td><td>0x1750</td><td>SCK0_0/
SCK0_1</td><td>SOT0_0/
SOT0_1</td><td>SIN0_0/
SIN0_1</td><td>-</td></tr>
<tr><td>1</td><td>0x1778</td><td>SCK1_0/
SCK1_1</td><td>SOT1_0</td><td>SIN1_0</td><td>SCS1_0/
SCS1_1</td></tr>
<tr><td>2</td><td>0x17A0</td><td>SCK2_0</td><td>SOT2_0/
SOT2_1</td><td>SIN2_0</td><td>SCS2_0</td></tr>
<tr><td>3</td><td>0x17C8</td><td>SCK3_0/
SCK3_1/
SCK3_2</td><td>SOT3_0/
SOT3_1/
SOT3_2</td><td>SIN3_0/
SIN3_1</td><td>SCS3_0/
SCS3_1</td></tr>
<tr><td>4</td><td>0x17F0</td><td>SCK4_0/
SCK4_1/
SCK4_2</td><td>SOT4_0/
SOT4_1/
SOT4_2</td><td>SIN4_0/
SIN4_1</td><td>SCS40_0/SCS40_1
SCS41_0/SCS41_1
SCS42_0/SCS42_1
SCS43_0/SCS43_1</td></tr>
<tr><td>5</td><td>0x1818</td><td>SCK5_0</td><td>SOT5_0</td><td>SIN5_0</td><td>SCS50_0
SCS51_0
SCS52_0
SCS53_0</td></tr>
<tr><td>6</td><td>0x1840</td><td>SCK6_0</td><td>SOT6_0</td><td>SIN6_0</td><td>SCS60_0
SCS61_0
SCS62_0
SCS63_0</td></tr>
<tr><td>7</td><td>0x1868</td><td>SCK7_0</td><td>SOT7_0</td><td>SIN7_0</td><td>SCS70_0
SCS71_0
SCS72_0
SCS73_0</td></tr>
<tr><td>8</td><td>0x1890</td><td>SCK8_0</td><td>SOT8_0</td><td>SIN8_0</td><td>SCS8_0</td></tr>
<tr><td>9</td><td>0x18B8</td><td>SCK9_0</td><td>SOT9_0</td><td>SIN9_0</td><td>SCS9_0</td></tr>
<tr><td>10</td><td>0x18E0</td><td>SCK10_0/
SCK10_1</td><td>SOT10_0/
SOT10_1</td><td>SIN10_0</td><td>SCS10_0/
SCS10_1</td></tr>
<tr><td>11</td><td>0x1908</td><td>SCK11_0</td><td>SOT11_0</td><td>SIN11_0</td><td>SCS11_0</td></tr>
</table>

(続く)
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1337</td><td>40.4</td><td>
(続き)
(正)
表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="7">外部端子</th></tr>
<tr><th>SCK
SCL(*)</th><th>SOT
SDA(*)</th><th>SIN</th><th>SCS0</th><th>SCS1</th><th>SCS2</th><th>SCS3</th></tr>
<tr><td>0</td><td>0x1750</td><td>SCK0_1</td><td>SOT0_1</td><td>SIN0_0/
SIN0_1</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>1</td><td>0x1778</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>2</td><td>0x17A0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>3</td><td>0x17C8</td><td>SCK3_2</td><td>SOT3_2</td><td>SIN3_1</td><td>SCS3_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>4</td><td>0x17F0</td><td>SCK4_2</td><td>SOT4_2</td><td>SIN4_0/
SIN4_1</td><td>SCS40_0/
SCS40_1</td><td>なし</td><td>SCS42_0</td><td>SCS43_1</td></tr>
<tr><td>5</td><td>0x1818</td><td>SCK5_0</td><td>SOT5_0</td><td>SIN5_0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>6</td><td>0x1840</td><td>SCK6_0</td><td>SOT6_0</td><td>SIN6_0</td><td>なし</td><td>なし</td><td>なし</td><td>SCS63_0</td></tr>
<tr><td>7</td><td>0x1868</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>8</td><td>0x1890</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>9</td><td>0x18B8</td><td>SCK9_0</td><td>SOT9_0</td><td>SIN9_0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>10</td><td>0x18E0</td><td>SCK10_1</td><td>SOT10_1</td><td>SIN10_0</td><td>SCS10_1</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>11</td><td>0x1908</td><td>SCK11_0</td><td>SOT11_0</td><td>SIN11_0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
</table>
＊： I²C 設定時の端子名（I²C として使用できるのはリロケーション 0 の端子です。Ch. 5, ch. 6, ch. 11 は I²C(標準モード対応) として使用できます)
(続く)
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1338</td><td>40.4</td><td>（続き）
表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベースアドレス</th><th colspan="7">外部端子</th></tr>
<tr><th>SCK
SCL(*)</th><th>SOT
SDA(*)</th><th>SIN</th><th>SCS0</th><th>SCS1</th><th>SCS2</th><th>SCS3</th></tr>
<tr><td>0</td><td>0x1750</td><td>SCK0_1</td><td>SOT0_0/
SOT0_1</td><td>SIN0_0/
SIN0_1</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>1</td><td>0x1778</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>2</td><td>0x17A0</td><td>SCK2_0</td><td>SOT2_1</td><td>SIN2_0</td><td>SCS2_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>3</td><td>0x17C8</td><td>SCK3_2</td><td>SOT3_2</td><td>SIN3_1</td><td>SCS3_0/</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>4</td><td>0x17F0</td><td>SCK4_1/
SCK4_2</td><td>SOT4_2</td><td>SIN4_0/
SIN4_1</td><td>SCS40_0/
SCS40_1</td><td>SCS41_0</td><td>SCS42_0/
SCS42_1</td><td>SCS43_1</td></tr>
<tr><td>5</td><td>0x1818</td><td>SCK5_0</td><td>SOT5_0</td><td>SIN5_0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>6</td><td>0x1840</td><td>SCK6_0</td><td>SOT6_0</td><td>SIN6_0</td><td>なし</td><td>SCS61_0</td><td>なし</td><td>SCS63_0</td></tr>
<tr><td>7</td><td>0x1868</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>8</td><td>0x1890</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>9</td><td>0x18B8</td><td>SCK9_0</td><td>SOT9_0</td><td>SIN9_0</td><td>SCS9_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>10</td><td>0x18E0</td><td>SCK10_1</td><td>SOT10_1</td><td>SIN10_0</td><td>SCS10_1</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>11</td><td>0x1908</td><td>SCK11_0</td><td>SOT11_0</td><td>SIN11_0</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
</table>
＊： I²C 設定時の端子名（I²C として使用できるのはリロケーション 0 の端子です。Ch. 5, ch. 6, ch. 11 は I²C(標準モード対応）として使用できます）

（続く）</td></tr>
</table>

ページ	場所	変更内容
1339	40.4	（続き） 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_0/ SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	SCK1_1	SOT1_0	SIN1_0	SCS1_1	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_2	SOT3_2	SIN3_1	SCS3_0/	なし	なし	なし
4	0x17F0	SCK4_1/ SCK4_2	SOT4_1/ SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0/ SCS41_1	SCS42_0/ SCS42_1	SCS43_0/ SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	なし	なし	なし	SCS53_0
6	0x1840	SCK6_0	SOT6_0	SIN6_0	SCS60_0	SCS61_0	SCS62_0	SCS63_0
7	0x1868	SCK7_0	SOT7_0	SIN7_0	SCS70_0	SCS71_0	SCS72_0	SCS73_0
8	0x1890	SCK8_0	SOT8_0	SIN8_0	SCS8_0	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_1	SOT10_1	SIN10_0	SCS10_0/ SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	SCS11_0	なし	なし	なし

＊： I^2C 設定時の端子名（I^2C として使用できるのはリロケーション 0 の端子です。Ch.5～ch.8, ch.11 は I^2C(標準モード対応) として使用できます）

（続く）

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1340</td><td>40.4</td><td>（続き）
表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベースアドレス</th><th colspan="7">外部端子</th></tr>
<tr><th>SCK
SCL(*)</th><th>SOT
SDA(*)</th><th>SIN</th><th>SCS0</th><th>SCS1</th><th>SCS2</th><th>SCS3</th></tr>
<tr><td>0</td><td>0x1750</td><td>SCK0_0/
SCK0_1</td><td>SOT0_0/
SOT0_1</td><td>SIN0_0/
SIN0_1</td><td>なし</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>1</td><td>0x1778</td><td>SCK1_0/
SCK1_1</td><td>SOT1_0</td><td>SIN1_0</td><td>SCS1_0/
SCS1_1</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>2</td><td>0x17A0</td><td>SCK2_0</td><td>SOT2_1</td><td>SIN2_0</td><td>SCS2_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>3</td><td>0x17C8</td><td>SCK3_0/
SCK3_1/
SCK3_2</td><td>SOT3_0/
SOT3_1/
SOT3_2</td><td>SIN3_0/
SIN3_1</td><td>SCS3_0/
SCS3_1</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>4</td><td>0x17F0</td><td>SCK4_0/
SCK4_1/
SCK4_2</td><td>SOT4_0/
SOT4_1/
SOT4_2</td><td>SIN4_0/
SIN4_1</td><td>SCS40_0/
SCS40_1</td><td>SCS41_0/
SCS41_1</td><td>SCS42_0/
SCS42_1</td><td>SCS43_0/
SCS43_1</td></tr>
<tr><td>5</td><td>0x1818</td><td>SCK5_0</td><td>SOT5_0</td><td>SIN5_0</td><td>なし</td><td>なし</td><td>なし</td><td>SCS53_0</td></tr>
<tr><td>6</td><td>0x1840</td><td>SCK6_0</td><td>SOT6_0</td><td>SIN6_0</td><td>SCS60_0</td><td>SCS61_0</td><td>SCS62_0</td><td>SCS63_0</td></tr>
<tr><td>7</td><td>0x1868</td><td>SCK7_0</td><td>SOT7_0</td><td>SIN7_0</td><td>SCS70_0</td><td>SCS71_0</td><td>SCS72_0</td><td>SCS73_0</td></tr>
<tr><td>8</td><td>0x1890</td><td>SCK8_0</td><td>SOT8_0</td><td>SIN8_0</td><td>SCS8_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>9</td><td>0x18B8</td><td>SCK9_0</td><td>SOT9_0</td><td>SIN9_0</td><td>SCS9_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>10</td><td>0x18E0</td><td>SCK10_1</td><td>SOT10_1</td><td>SIN10_0</td><td>SCS10_0/
SCS10_1</td><td>なし</td><td>なし</td><td>なし</td></tr>
<tr><td>11</td><td>0x1908</td><td>SCK11_0</td><td>SOT11_0</td><td>SIN11_0</td><td>SCS11_0</td><td>なし</td><td>なし</td><td>なし</td></tr>
</table>
＊： I²C 設定時の端子名（I²C として使用できるのはリロケーション 0 の端子です。Ch. 3, ch. 4 は I2C(高速モード/標準モード対応)として使用できます。 Ch. 5～ch. 8, ch. 11 は I²C(標準モード対応）として使用できます）

（続く）</td></tr>
</table>

ページ	場所	変更内容
1341	40.4	（続き） 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)

チャネル	ベースアドレス	外部端子						
		SCK SCL(*)	SOT SDA(*)	SIN	SCS0	SCS1	SCS2	SCS3
0	0x1750	SCK0_0/ SCK0_1	SOT0_0/ SOT0_1	SIN0_0/ SIN0_1	なし	なし	なし	なし
1	0x1778	SCK1_0/ SCK1_1	SOT1_0	SIN1_0	SCS1_0/ SCS1_1	なし	なし	なし
2	0x17A0	SCK2_0	SOT2_0/ SOT2_1	SIN2_0	SCS2_0	なし	なし	なし
3	0x17C8	SCK3_0/ SCK3_1/ SCK3_2	SOT3_0/ SOT3_1/ SOT3_2	SIN3_0/ SIN3_1	SCS3_0/ SCS3_1	なし	なし	なし
4	0x17F0	SCK4_0/ SCK4_1/ SCK4_2	SOT4_0/ SOT4_1/ SOT4_2	SIN4_0/ SIN4_1	SCS40_0/ SCS40_1	SCS41_0/ SCS41_1	SCS42_0/ SCS42_1	SCS43_0/ SCS43_1
5	0x1818	SCK5_0	SOT5_0	SIN5_0	SCS50_0	SCS51_0	SCS52_0	SCS53_0
6	0x1840	SCK6_0	SOT6_0	SIN6_0	SCS60_0	SCS61_0	SCS62_0	SCS63_0
7	0x1868	SCK7_0	SOT7_0	SIN7_0	SCS70_0	SCS71_0	SCS72_0	SCS73_0
8	0x1890	SCK8_0	SOT8_0	SIN8_0	SCS8_0	なし	なし	なし
9	0x18B8	SCK9_0	SOT9_0	SIN9_0	SCS9_0	なし	なし	なし
10	0x18E0	SCK10_0/ SCK10_1	SOT10_0/ SOT10_1	SIN10_0	SCS10_0/ SCS10_1	なし	なし	なし
11	0x1908	SCK11_0	SOT11_0	SIN11_0	SCS11_0	なし	なし	なし

*：I^2C設定時の端子名(I^2Cとして使用できるのはリロケーション0の端子です。Ch.3, ch.4はI2C(高速モード/標準モード対応)として使用できます。 Ch.5～ch.8, ch.10, ch.11はI^2C(標準モード対応) として使用できます)

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1343</td><td>40.4</td><td>4. レジスタについて、■レジスタマップの表 4-2 レジスタマップのレジスタ機能の内容を
下記のように削除。

(誤)
表 4-2 レジスタマップ
<table>
<tr><td>Base+
18H</td><td>[UART]
予約
[CSIO]
TBYTE3
n
[LIN]
LAMESR
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE2
n
[LIN]
LAMERT
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE1
n
[LIN]
LAMIER
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE0n
[LIN]
LAMTIDn/
LAMRIDn
[I²C]
予約</td><td>[CSIO] 転送バイトレジスタ
[LIN] 転送バイトレジスタ
[LIN] LIN アシストモードエラーステータスレジスタ
[LIN] LIN アシストモード障害試験レジスタ
[LIN] LIN アシストモード割込み許可レジスタ
[LIN] LIN アシストモード送信/ 受信 ID レジスタ</td></tr>
</table>

(正)
表 4-6 レジスタマップ
<table>
<tr><td>Base+
18H</td><td>[UART]
予約
[CSIO]
TBYTE3
n
[LIN]
LAMESR
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE2
n
[LIN]
LAMERT
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE1
n
[LIN]
LAMIER
n
[I²C]
予約</td><td>[UART]
予約
[CSIO]
TBYTE0n
[LIN]
LAMTIDn/
LAMRIDn
[I²C]
予約</td><td>[CSIO] 転送バイトレジスタ

[LIN] LIN アシストモードエラーステータスレジスタ
[LIN] LIN アシストモード障害試験レジスタ
[LIN] LIN アシストモード割込み許可レジスタ
[LIN] LIN アシストモード送信/ 受信 ID レジスタ</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1345</td><td>40.4.1.1</td><td>4.1.1. シリアルモードレジスタ : SMR (Serial ModeRegister)について、属性を下記のように修正。

(誤)
<table>
<tr><td></td><td>Bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="3">MD[2:0]</td><td>予約</td><td>SLB/
SCINV/
RIE</td><td>BDS/TI
E</td><td>SCKE/
(予約)</td><td>SOE/
(予約)</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/WO</td><td>R/W</td><td>R/W</td><td>R/W
(R/WO)</td><td>R/W
(R/WO)</td></tr>
</table>

(正)
<table>
<tr><td></td><td>bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr>
<tr><td></td><td colspan="3">MD[2:0]</td><td>予約</td><td>SLB/
SCINV/
RIE</td><td>BDS/TI
E</td><td>SCKE/
(予約)</td><td>SOE/
(予約)</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/WO</td><td>R/W</td><td>R/W
(R/WO)</td><td>R/W
(R/WO)</td><td>R/W
(R/WO)</td></tr>
</table>
</td></tr>
<tr><td>1346,
1347</td><td>40.4.1.1</td><td>4.1.1. シリアルモードレジスタ : SMR (Serial ModeRegister)の[bit2] BDS/TIE の説明を下記のように修正。

(誤)
[LIN]
LIN では本ビットを使用しません。ライトしても動作に影響しません。
[UART] [CSIO]
・ 転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

(正)
[LIN]
LIN では本ビットに常に 0 を書いてください。
[UART] [CSIO]
・ 転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。
・マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。</td></tr>
</table>

ページ	場所	変更内容
1347	40.4.1.1	4.1.1.シリアルモードレジスタ：SMR の[bit2]BDS/TIE：転送方向選択ビット・送信割込み許可ビットの〈注意事項〉を下記のように修正 (誤) ・スレーブモード(SCR:MS=0)のとき (正) ・スレーブモード(SCR:MS=1)のとき
1347	40.4.1.1	4.1.1.シリアルモードレジスタ：SMR の[bit1]SCKE: シリアルクロック出力許可ビットの説明を以下のように修正 (誤) “0”に設定した場合 ： SCK 端子は汎用入出力ポートまたはシリアルクロック入力端子になります。 (正) “0”に設定した場合 ： SCK 端子はシリアルクロック入力端子になります。
1347	40.4.1.1	4.1.1.シリアルモードレジスタ:SMR の[bit0]SOE: シリアルデータ出力許可ビットの説明を以下のように修正 (誤) “0”に設定した場合 ： SOT 端子は汎用入出力ポートとなります。 “1”に設定した場合 ： シリアルデータ出力端子(SOUT)となります。 (正) “0”に設定した場合 ： シリアルデータの出力は停止します。 “1”に設定した場合 ： シリアルデータ出力端子(SOT)となります。
1348	40.4.1.2	4.1.2. FIFO 制御レジスタ 1 ： FCR1 (FIFO Control Register1)の[bit3] FRIIE の説明に下記の〈注意事項〉を追加。 (正) **＜注意事項＞** 受信 FIFO を使用する場合、本ビットを”1”に設定してください。

ページ	場所	変更内容
1351	40.4.1.3	4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register0)の [bit1] FE2 の説明を下記のように修正 (誤) FIFO2 の動作を許可/ 禁止するビットです。 ・ [UART] [CSIO] FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに”1”を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは”0”にしてから本ビットに”1”を書込み、SCR:TIE ビットと SCR:TBIE ビットを”1”にしてください。 (正) FIFO2 の動作を許可/ 禁止するビットです。 ・ [UART] [CSIO] FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに”1”を書き込んだ時に FIFO2 にデータが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは”0”にしてから本ビットに”1”を書込み、SCR:TIE ビットと SCR:TBIE ビットを”1”にしてください。
1352	40.4.1.3	4.1.3. FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register0)の [bit0] FE1 の説明を下記のように修正 (誤) FIFO1 の動作を許可/ 禁止するビットです。 ・ [UART] [CSIO] FIFO1 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに”1”を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。 このとき、SCR:TIE ビットと SCR:TBIE ビットは”0”にしてから本ビットに”1”を書込み、SCR:TIE ビットと SCR:TBIE ビットを”1”にしてください。 (正) FIFO1 の動作を許可/ 禁止するビットです。 ・ [UART] [CSIO] FIFO1 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに”1”を書き込んだ時に FIFO1 にデータが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。 このとき、SCR:TIE ビットと SCR:TBIE ビットは”0”にしてから本ビットに”1”を書込み、SCR:TIE ビットと SCR:TBIE ビットを”1”にしてください。

ページ	場所	変更内容
1367	40.4.2.5	4.2.5. シリアル補助制御ステータスレジスタ : SACSR の [bit15] STST : シリアルテストビットについて下記のように修正。 (誤) シリアルテストモードの許可または禁止を選択します。 シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時、端子 SOUT は”H”固定となり、端子 SIN に入力されたデータは無視されます。 (正) シリアルテストモードの許可または禁止を選択します。 シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時、端子 SOT は”H”固定となり、端子 SIN に入力されたデータは無視されます。
1367	40.4.2.5	4.2.5 シリアル補助制御ステータスレジスタ：SACSR の[bit15]STST:シリアルテストビットの表の下に下記を追加。 (正) 〈注意事項〉 本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)のときのみ変更可能です。
1368	40.4.2.5	4.2.5. シリアル補助制御ステータスレジスタ : SACSR の[bit8]TINT:タイマ割り込みフラグの〈注意事項〉に記述されている下記の文を削除。 (誤) ・ ソフトウェアリセット(SCR:UPCL=”1”)を行うと、本ビットは”0”にリセットされます。 ・ リードモディファイライト系命令のリードは”1”が読み出されます。 ・ 同期送信許可ビット(TSYNE)が”1”のとき、本ビットは”1”にセットされません。 (正) ・ ソフトウェアリセット(SCR:UPCL=”1”)を行うと、本ビットは”0”にリセットされます。 ・ リードモディファイライト系命令のリードは”1”が読み出されます。
1369	40.4.2.5	4.2.5. シリアル補助制御ステータスレジスタ : SACSR の[bit0]TMRE:シリアルタイマ許可ビットの〈注意事項〉に記述されている下記の文を削除。 (誤) 〈注意事項〉 シリアルタイマによる同期送信による送信を行う場合、本ビットは下記の条件のいずれかのときに変更してください。 ・送信禁止(SCR:TXE=”0”)時 ・送信バスアイドル(SSR:TBI=”1”)時

ページ	場所	変更内容
1371	40.4.2.7	4.2.7. シリアルタイマ比較レジスタ ： STMCR の[bit15～bit0]TC15-0:コンペアビットの 下記の文を一部削除。 (誤) 本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、同期送信禁止(SACSR:TSYNE=”0”)の場合はタイマ割り込みフラグ(SACSR:INT)を”1”にし、同期送信許可(SACSR:TSYNE=”1”)の場合を送信を起動します。 下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。 ・SACSR:TINT が”1”に設定される。 ・シリアルタイマに同期した送信で送信起動がおこなわれる。 〈注意事項〉 ・本レジスタに(0000)H を設定した場合、シリアルタイマレジスタは”0”のままです。 ・同期送信禁止(SACSR:TSYNE=”0”)で本レジスタ”0000”H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を”0000”b に設定した場合、タイマ割り込みフラグ(SACSR:TINT)は”1”に固定されます。 ・シリアルタイマ禁止(SACSR:TMRE=”0”)のときのみ、本レジスタは変更可能です。 (正) 本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、タイマ割り込みフラグ(SACSR:TINT)を”1”にします。 下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。 ・SACSR:TINT が”1”に設定される。 〈注意事項〉 ・本レジスタに(0000)H を設定した場合、シリアルタイマレジスタは”0”のままです。 本レジスタ”0000”H が設定された状態で、タイマ動作中にタイマ動作クロックの分周値(SACSR:TDIV)を”0000”b に設定した場合、タイマ割り込みフラグ(SACSR:TINT)は”1”に固定されます。 ・シリアルタイマ禁止(SACSR:TMRE=”0”)のときのみ、本レジスタは変更可能です。
1376	40.4.3.2	4.3.2. シリアルステータスレジスタ ：SSR (Serial Status Register)の bit4 の注意事項に下記を追加。 ・送信 FIFO 許可(FCR0.FE2,FE1=0)時、スレーブモードで SPI モードを使用する場合では、本ビットを″1″に設定してください。

ページ	場所	変更内容
1379	40.4.3.3	4.3.3. 拡張通信制御レジスタ: ESCR の説明文に下記を追加(■ESCRn(n=0～11)の前) 外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。 シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては 以下の表を参照してください。 表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB) 表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD) 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF) 表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ) 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)
1380	40.4.3.3	4.3.3. 拡張通信制御レジスタ: ESCR bit5(CSFE)の注意事項に以下を追加。 (正) ・本ビットに”1”を設定する場合、以下の設定をしてください。 ・受信 FIFO 許可 ・ホールドディレイを 2 以上に設定 (SCSTR1 レジスタの CSHD7-0 ビットを 2 以上に設定) ・複数のスレーブデバイスと通信を行う場合、各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定 ・シリアルチップセレクト毎に 9 ビット以下、10 ビット以上を設定することは禁止 (禁止例) シリアルチップセレクト 0 = 9 ビット シリアルチップセレクト 1 = 10 ビット (可能例) シリアルチップセレクト 0 = 16 ビット シリアルチップセレクト 1 = 10 ビット
1380	40.4.3.3	4.3.3. 拡張通信制御レジスタ: ESCR bit4,bit3(WT1,WT0)に以下の注意事項を追加。 (正) (注意事項) 以下のすべての条件が揃う状態で使用する場合、WT1,WT0 は”00”に設定してください。 ・チップセレクトを使用 ・SPI モード(SCR:SPI=1)を使用 ・TBYTE レジスタに”01”H を設定 ・SCSCR レジスタの SCAM ビットに”1”を設定
1382	40.4.3.4	4.3.4. 送信データレジスタ・受信データレジスタ：RDR/TDR(Receive Data Register/ Transmit Data Register)の文(バイト)を下記のように削除。 (誤) ■RDR1n-0n(n=0～11):アドレス Base addr+04H(アクセス：バイト、ハーフワード、ワード) ↓ (正) ■RDR1n-0n(n=0～11):アドレス Base addr+04H(アクセス：ハーフワード、ワード)

ページ	場所	変更内容
1386	40.4.3.5	4.3.5.シリアル補助制御ステータスレジスタ：SACSR の説明文に下記を追加(■SACSRn(n=0～11)の前) （正） 外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。 シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては 以下の表を参照してください。 表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB) 表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD) 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF) 表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ) 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)
1386	40.4.3.5	4.3.5. シリアル補助制御ステータスレジスタ ： SACSR の [bit15] STST ： シリアルテストビットについて下記のように修正。 (誤) シリアルテストモードの許可または禁止を選択します。 シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時、端子 SOUT は”H”固定となり、端子 SIN に入力されたデータは無視されます。 ↓ (正) シリアルテストモードの許可または禁止を選択します。 シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時、端子 SOT は”H”固定となり、端子 SIN に入力されたデータは無視されます。
1392	40.4.3.7	4.3.7. シリアルタイマ比較レジスタ ： STMCR の [bit15～bit0] TC15-0 ： コンペアビットについて下記のように修正。 (誤) シリアルタイマの比較値を設定します。本ビットはシリアルタマレジスタ(STMR)と比較され、シリアルタイマレジスタ (STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、同期送信禁止 (SACSR: TSYNE=”0”)の場合はタイマ割込みフラグ(SACSR:INT)を”1”にし、同期送信許可 (SACSR: TSYNE=”1”)の場合は送信を起動します。 （正） シリアルタイマの比較値を設定します。本ビットはシリアルタマレジスタ(STMR)と比較され、シリアルタイマレジスタ (STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、同期送信禁止 (SACSR: TSYNE=”0”)の場合はタイマ割込みフラグ(SACSR:TINT)を”1”にし、同期送信許可 (SACSR: TSYNE=”1”)の場合は送信を起動します。

ページ	場所	変更内容
1393	40.4.3.8	4.3.8.シリアルチップセレクト制御ステータスレジスタ：SCSCR の説明文に下記を追加(■SCSCRn(n=0～11)の前) (正) 外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。 シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては 以下の表を参照してください。 表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB) 表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD) 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF) 表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ) 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)
1395	40.4.3.8	4.3.8. シリアルチップセレクト制御ステータスレジスタ: SCSCR [bit9]SCAM の注意事項に以下を追加。 (正) ・以下のすべての条件が揃う状態で使用する場合、本ビットには”0”を設定してください。 ・マスタモード(SCR:MS=0)を使用 ・チップセレクトを使用 ・SPI モード(SCR:SPI=1)を使用 ・TBYTE レジスタに”01”H を設定 ・ESCR レジスタの WT1,WT0 ビットに”00”以外の値を設定
1398	40.4.3.9	4.3.9.シリアルチップセレクトタイミングレジスタ：SCSTR3-0 の説明文に下記を追加(■SCSTR1n-0n(n=0～11)の前) (正) 外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。 シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては 以下の表を参照してください。 表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB) 表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD) 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF) 表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ) 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)
1398	40.4.3.9	4.3.9. シリアルチップセレクトタイミングレジスタ: SCSTR3-0 に以下の注意事項を追加。 (正) <注意事項> ・マスタモード(SCR:MS=0)でノーマルモード(SCR:SPI=0)の場合、以下のいずれかの条件をみたすようにセットアップディレイ時間(CSSU7-0)、あるいはホールドディレイ時間(CSHD7-0)を設定してください。 ボーレート/2[ns] ＜ ホールドディレイ[ns] ＋ 3 × バスクロック [ns] ホールドディレイ ＋ セットアップディレイ ＜ ボーレート － 2 × バスクロック[ns]

ページ	場所	変更内容
1402	40.4.3.10	4.3.10.シリアルチップセレクトフォーマットレジスタ：SCSFR2-0 の説明文に下記を追加(■ SCSFR1n-0n(n=0～11)の前) (正) 外部端子に割当てがないシリアルチップセレクト端子への設定は禁止です。 シリアルチップセレクト端子(SCS0/SCS1/SCS2/SCS3)と外部端子の割当ては 以下の表を参照してください。 表 4-1 ベースアドレス(Base_addr)・外部端子表 (MB91F52xB) 表 4-2 ベースアドレス(Base_addr)・外部端子表 (MB91F52xD) 表 4-3 ベースアドレス(Base_addr)・外部端子表 (MB91F52xF) 表 4-4 ベースアドレス(Base_addr)・外部端子表 (MB91F52xJ) 表 4-5 ベースアドレス(Base_addr)・外部端子表 (MB91F52xK, MB91F52xL)
1412	40.4.3.11	4.3.11.転送バイトレジスタ: TBYTE3-0 の注意事項に以下を追加する。 (正) ・以下のすべての条件が揃う状態で使用する場合、TBYTE レジスタに”01”H 以外を設定してください。 ・マスタモード(SCR:MS=0)を使用 ・チップセレクトを使用 ・SPI モード(SCR:SPI=1)を使用 ・SCSCR レジスタの SCAM ビットに”1”を設定 ・ESCR レジスタの WT1,WT0 ビットに”00”以外の値を設定

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1419</td><td>40.4.4.2</td><td>
4.4.2. シリアルステータスレジスタ:SSR の表の bit4 の中の横線を削除

(誤)
<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td></td><td></td><td></td></tr>
<tr><td>bit4</td><td>FRE :
フレーミングエラーフラグビット</td><td>(注意事項)
・LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
・アシストモード(LAMCR:LAMEN)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。</td></tr>
<tr><td>bit3</td><td>ORE :
オーバランエラーフラグビット</td><td>"0"リード : オーバランエラーなし
"1"リード : オーバランエラーあり
・受信時にオーバランが発生すると"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。</td></tr>
</table>

(正)
<table>
<tr><th colspan="2">ビット名</th><th>機能</th></tr>
<tr><td>bit4</td><td>FRE :
フレーミングエラーフラグビット</td><td>(注意事項)
・LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
・アシストモード(LAMCR:LAMEN)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。</td></tr>
<tr><td>bit3</td><td>ORE :
オーバランエラーフラグビット</td><td>"0"リード : オーバランエラーなし
"1"リード : オーバランエラーあり
・受信時にオーバランが発生すると"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1426</td><td>40.4.4.5</td><td>4.4.5. シリアル補助制御ステータスレジスタ：SACSR を下記のように修正。

(誤)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>bit13</td><td>bit12</td><td>bit11</td><td>bit10</td><td>bit9</td><td>bit8</td></tr>
<tr><td></td><td>STST</td><td>予約</td><td>SFD</td><td>SFDE</td><td>AUTE</td><td colspan="2">予約</td><td>TINT</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R,W</td><td>RX,WO</td><td>R(RM1),W</td><td>R/W</td><td>R,W</td><td>RX,WO</td><td>RX,WO</td><td>R(RM1),W</td></tr>
</table>
(正)
<table>
<tr><td></td><td>bit15</td><td>bit14</td><td>bit13</td><td>bit12</td><td>bit11</td><td>bit10</td><td>bit9</td><td>bit8</td></tr>
<tr><td></td><td>STST</td><td>BST</td><td>SFD</td><td>SFDE</td><td>AUTE</td><td colspan="2">予約</td><td>TINT</td></tr>
<tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>属性</td><td>R,W</td><td>R,WX</td><td>R(RM1),W</td><td>R/W</td><td>R,W</td><td>RX,WO</td><td>RX,WO</td><td>R(RM1),W</td></tr>
</table>
</td></tr>
<tr><td>1426</td><td>40.4.4.5</td><td>4.4.5. シリアル補助制御ステータスレジスタ ： SACSR の [bit15] STST ： シリアルテストビットについて下記のように修正。

(誤)
シリアルテストモードの許可または禁止を選択します。
シリアルテストモード許可時，マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。
シリアルテストモード許可時、端子 SOUT は”H”固定となり、端子 SIN に入力されたデータは無視されます。
↓
(正)
シリアルテストモードの許可または禁止を選択します。
シリアルテストモード許可時，マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。
シリアルテストモード許可時、端子 SOT は”H”固定となり、端子 SIN に入力されたデータは無視されます。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1427</td><td>40.4.4
.5</td><td>4.4.5. シリアル補助制御ステータスレジスタ：SACSR の [bit14]予約ビットについて下記のように修正。

(誤)
[bit14]予約ビット
本ビットには必ず”0”を設定してください。
↓
(正)
[bit14] BST ： ボーレート設定フラグ
Sync Field 受信による自動ボーレート調整が行われたことを示します。
Sync Field で LIN バスの 5 回目の立下りを検出した場合、本ビットは更新されます。

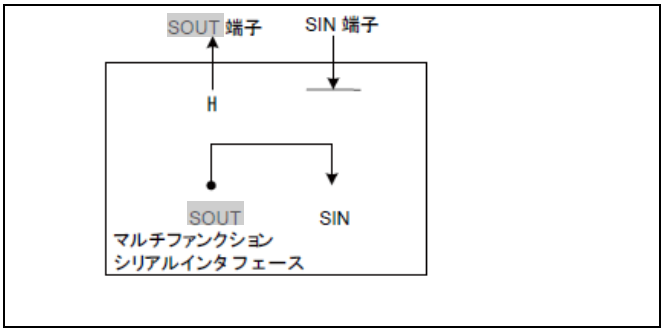
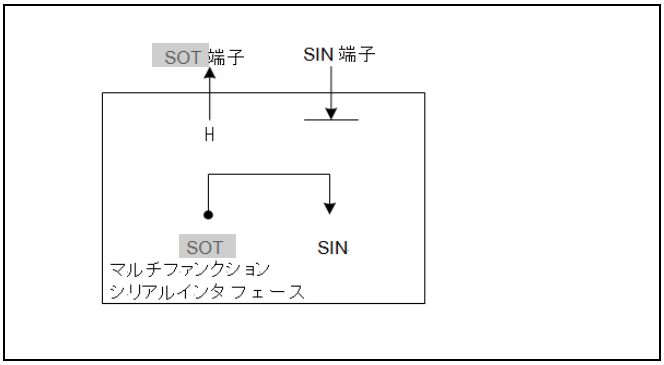
<table><tr><td rowspan="2">BST</td><td colspan="2">ボーレート設定フラグ</td></tr><tr><td>ライト</td><td>リード</td></tr><tr><td>0</td><td rowspan="2">影響なし</td><td>自動ボーレート調整なし</td></tr><tr><td>1</td><td>自動ボーレート調整あり</td></tr></table>
〈注意事項〉
・自動ボーレート調整禁止(AUTE=0)のとき、本ビットは”0”に固定されます。
・ソフトウェアリセット(SCR:UPCL=”1”)を行うと、本ビットは”0”にリセットされます。
・シンクフィールド検出フラグ(SACSR:SFD)が”1”のときのみ、本ビットは有効です。
・本ビットへの書込みは無効です。</td></tr>
<tr><td>1431</td><td>40.4.4
.7</td><td>4.4.7. シリアルタイマ比較レジスタ ： STMCR の [bit15～bit0] TC15-0 ： コンペアビットについて下記のように修正。

(誤)
本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、タイマ割込みフラグ(SACSR:INT)を”1”にします。

(正)
本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を”1”にします。</td></tr>
</table>

ページ	場所	変更内容
1459	40.4.5.2	4.5.2. シリアルステータスレジスタ : SSR (Serial Status Register)の[bit2]RDRF の(注意事項)を下記のように修正。 (誤) 以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を”L”にし、RDRF ビットが”0”になると SCL が”L”の状態を解除します。 ・ 受信 FIFO 未使用時 ・ DMA モード許可(IBCR:DMA=”1”)時 ・ 第二バイト以降で受信動作中(IBSR:TRX=”0”), RDRF ビットが”1”のとき ・ IBCR:WSEL=”0” (正) 以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を”L”にし、RDRF ビットが”0”になると SCL が”L”の状態を解除します。 ・ 受信 FIFO 未使用時 ・ DMA モード許可(IBCR:DMA=”1”)時 ・ 第二バイト以降で受信動作中(IBSR:TRX=”0”), RDRF ビットが”1”のとき ・ IBCR:WSEL=”1”
1471	40.4.5.7	4.5.7. シリアルタイマ比較レジスタ : STMCR の [bit15～bit0] TC15-0 : コンペアビットについて下記のように修正。 (誤) シリアルタイマの比較値を設定します。 本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのときタイマ割込みフラグ(SACSR:INT)を”1”にします。 (正) シリアルタイマの比較値を設定します。 本ビットはシリアルタイマレジスタ(STMR)と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを”0”にします。そのときタイマ割込みフラグ(SACSR:TINT)を”1”にします。
1498	40.5.2.10	5.2.10. シリアルタイマの動作の章の図 5-10 シリアルタイマ許可ビットによる起動の以下を修正 (誤) 図 5-10 シリアルタイマ許可ビットによる起動(STMCR=”10”,SACSR:TSYNE=”0”) (正) 図 5-10 シリアルタイマ許可ビットによる起動(STMCR=”10”)

ページ	場所	変更内容
1498	40.5.2.10	5.2.10. シリアルタイマの動作の章の●タイマ起動の以下を修正 (誤) 同期送信許可ビット(SAGSR:TSYNE が”0”のときに,シリアルタイマはタイマとして動作します。 (正) シリアルタイマはタイマとして動作します。
1499	40.5.2.10	5.2.10. シリアルタイマの動作の章の●タイマ起動の注意事項の以下を修正 (誤) 同期送信禁止(SAGSR:TSYNE=”0”)でタイマ比較レジスタ(STMCR)に(0000)H を設定した場合,タイマ動作中でタイマ動作クロックの分周地(SACSR:TDIV)が”0000”b に設定されている場合,タイマ割込みフラグ(SACSR:TINT)は”1”に固定されます。 (正) タイマ比較レジスタ(STMCR)に(0000)H を設定した場合,タイマ動作中でタイマ動作クロックの分周地(SACSR:TDIV)が”0000”b に設定されている場合,タイマ割込みフラグ(SACSR:TINT)は”1”に固定されます。

ページ	場所	変更内容
1500	40.5.2.11	5.2.11. テストモードの●シリアルテストモードについて以下のように修正 (誤) シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOUT は”H”固定となり、端子 SIN に入力されたデータは無視されます。 図 5-12 シリアルテストモード  (正) シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOT は”H”固定となり、端子 SIN に入力されたデータは無視されます。 図 5-12 シリアルテストモード 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1503</td><td>40.5.2
.12</td><td>5.2.12. UART ボーレート選択・設定について、■受信時のボーレートの許容誤差範囲の
許容最大転送レート(Flmax)の計算式を下記のように修正。

(誤)
よって、許容最大転送レート(Flmax)は次のようになります。

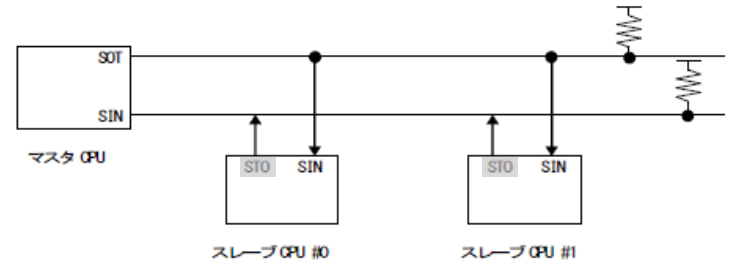
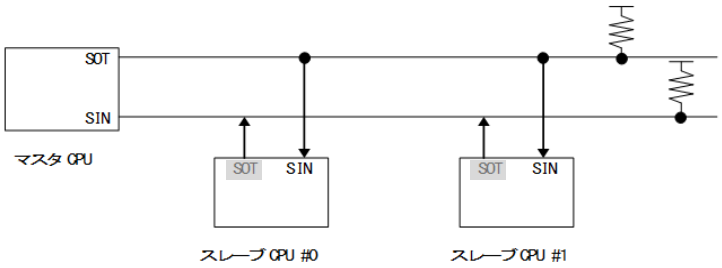
10/11 × Flmax = (11bit × (V+1) - (V+1) / 2) / φ = (21/20 × 11 × (V+1) / 2) / φ (s)
V:リロード値　　φ: バスクロック

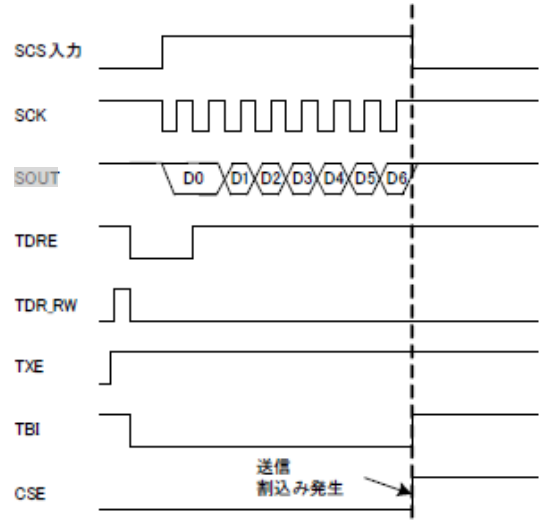
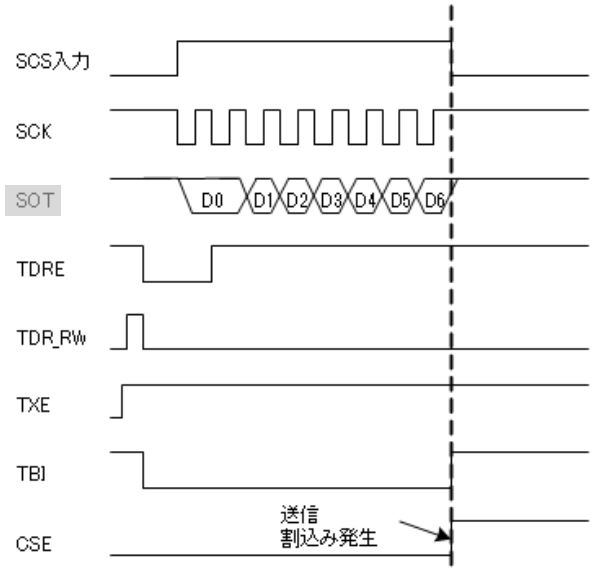
(正)
よって、許容最大転送レート(Flmax)は次のようになります。

10/11 × Flmax = (11bit × (V+1) - (V+1) / 2) / φ
Flmax = (21/20 × 11 × (V+1)) / φ (s)
V:リロード値　　φ: バスクロック</td></tr>
<tr><td>1504</td><td>40.5.2
.12</td><td>5.2.12. UART ボーレート選択・設定について、■各内部クロック(周辺クロック(PCLK))・ボーレートに対するリロード値と誤差の表 5-3 各内部クロック (周辺クロック(PCLK)) ・ボーレートに対するリロード値と誤差の内容を下記のように修正。

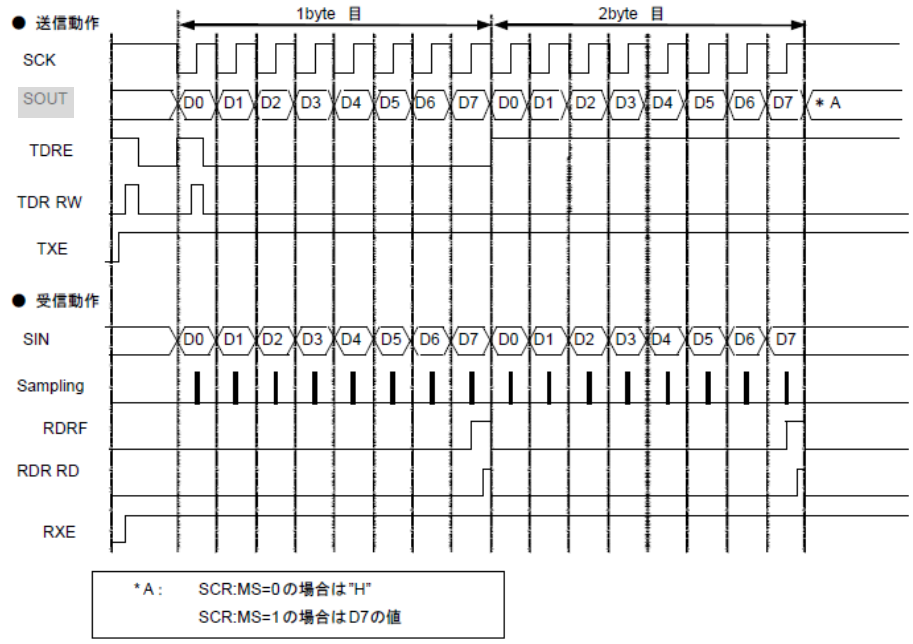
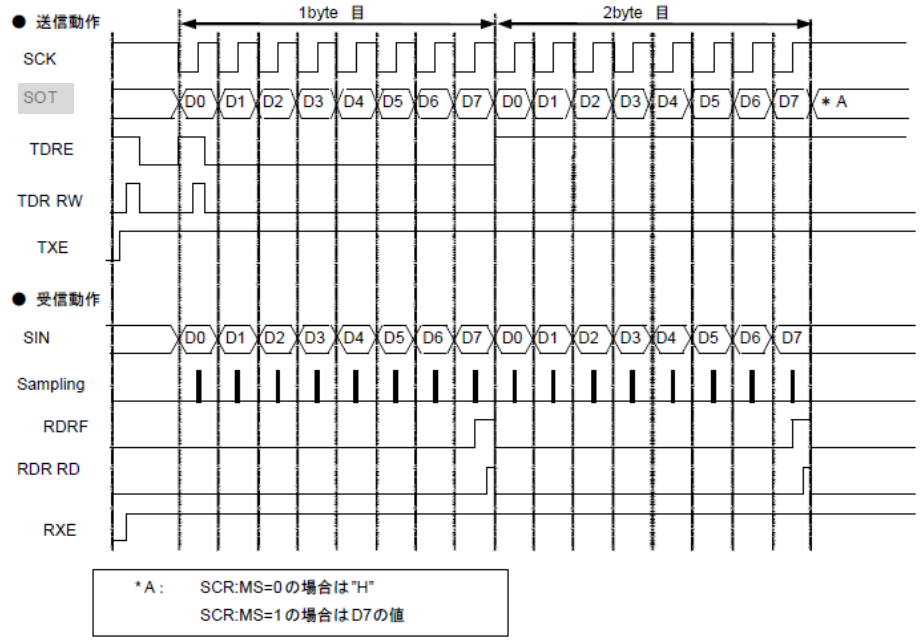
(誤)
<table>
<tr><td rowspan="2">ﾎﾞｰﾚｰﾄ
(bps)</td><td colspan="2">8MHz</td><td colspan="2">10MHz</td><td colspan="2">16MHz</td><td colspan="2">20MHz</td><td colspan="2">24MHz</td></tr>
<tr><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td></tr>
<tr><td>300</td><td>26666</td><td>26666</td><td><0.01</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr>
</table>

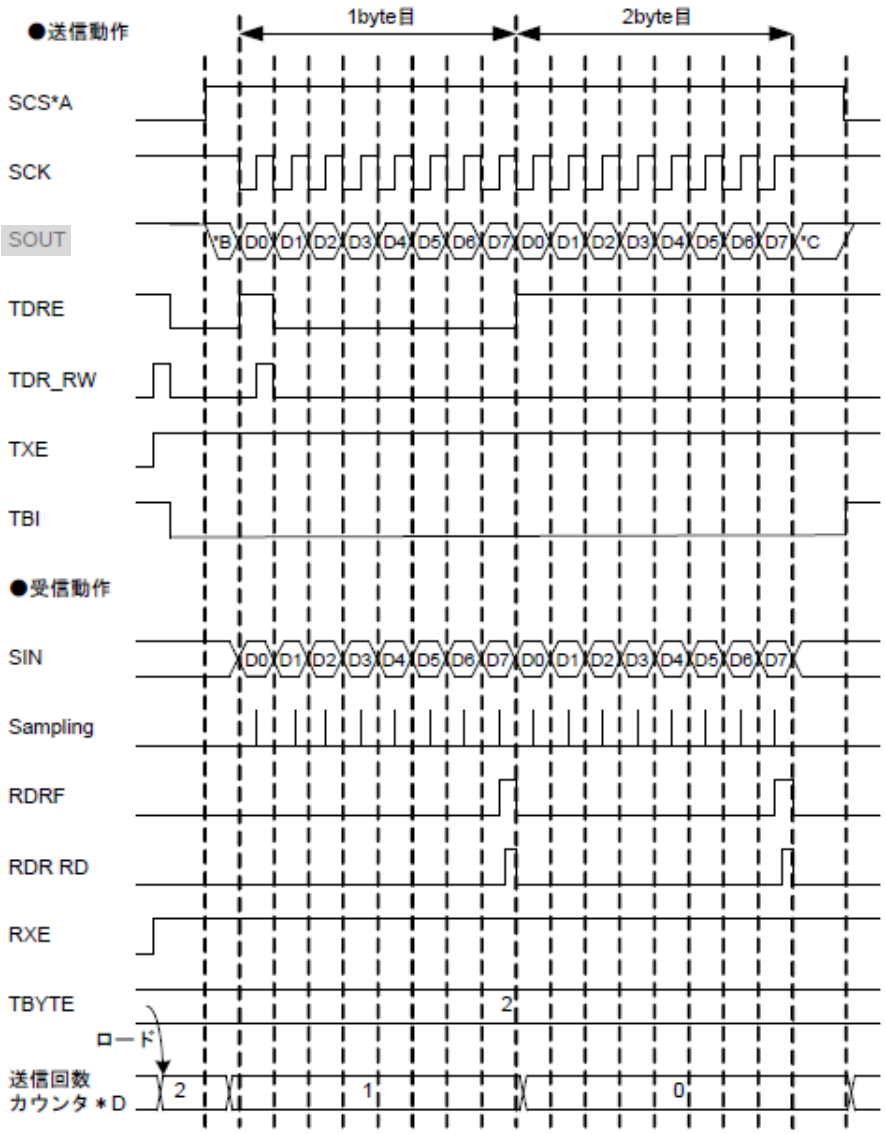
(正)
<table>
<tr><td rowspan="2">ﾎﾞｰﾚｰﾄ
(bps)</td><td colspan="2">8MHz</td><td colspan="2">10MHz</td><td colspan="2">16MHz</td><td colspan="2">20MHz</td><td colspan="2">24MHz</td></tr>
<tr><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td></tr>
<tr><td>300</td><td>26666</td><td><0.01</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr>
</table>
</td></tr>
</table>

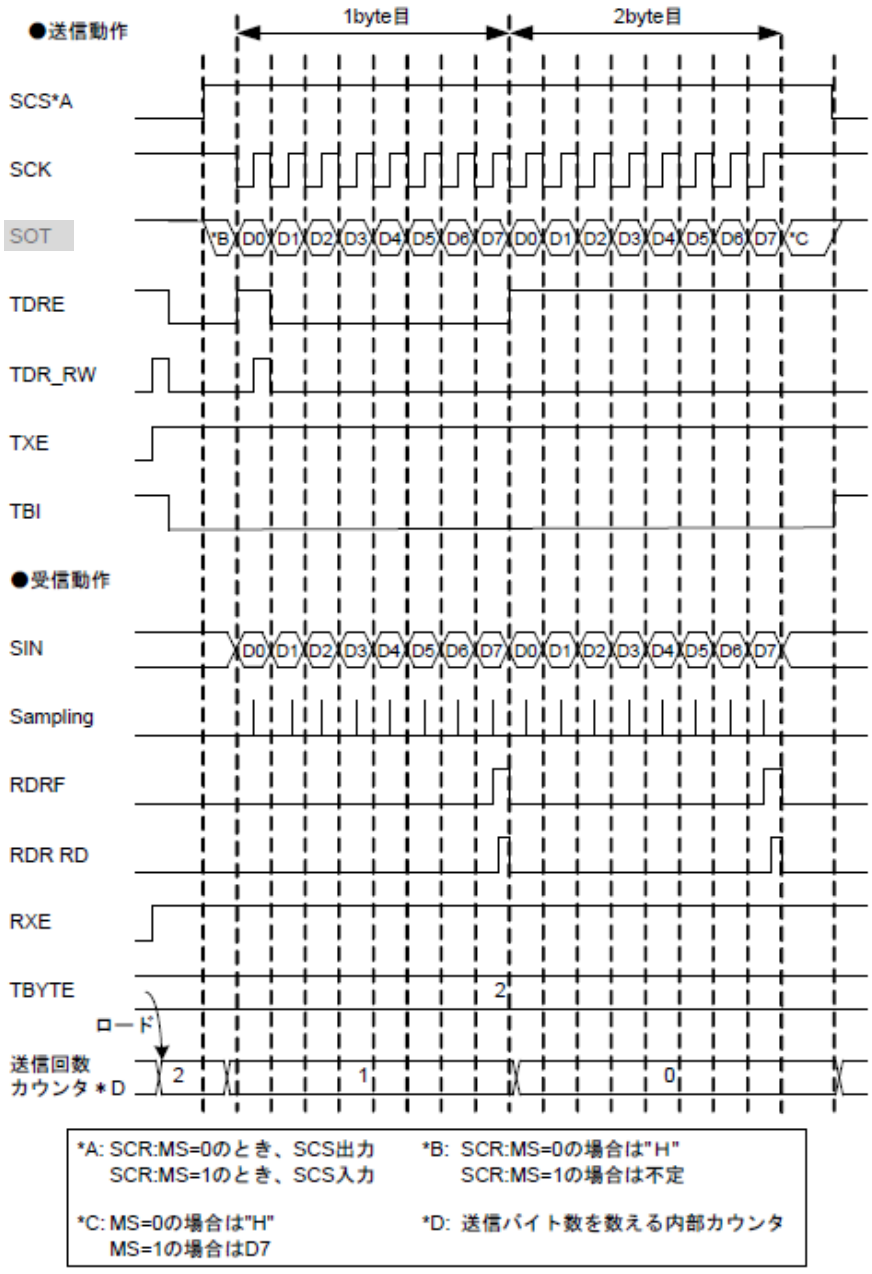
ページ	場所	変更内容
1508	40.5.3.2	5.3.2. 動作モード 1(1:n 接続)の図 5-16 UART のマスタ/スレーブ型通信の接続例を以下のように修正 (誤)  (正) 
1520	40.6.1.7	6.1.7. チップセレクトエラー発生とフラグセットのタイミングの<注意事項>について下記のように修正。 (誤) ・ チップセレクトエラーフラグ(SACSR:CSE)に”1”が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。 ・ シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に”1”が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。 ・ シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に”1”が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。 (正) ・ チップセレクトエラーフラグ(SACSR:CSE)に”1”が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。 ・ シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に”1”が設定されている場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。

ページ	場所	変更内容
1520	40.6.1.7	6.1.7. チップセレクトエラー発生とフラグセットのタイミングの●スレーブモード(SCR:MS=”1”)の図 6-7 チップセレクトエラー発生タイミングについて以下のように修正 (誤)  (正) 

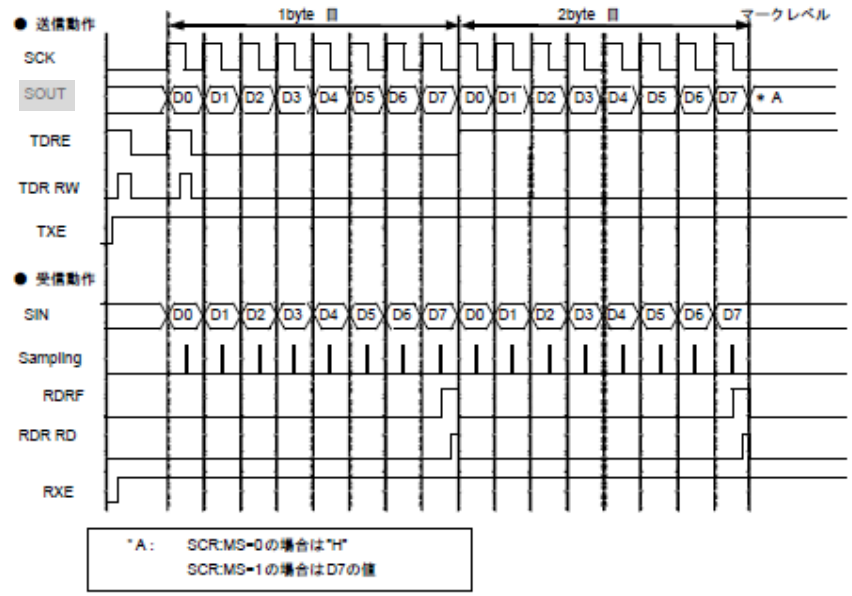
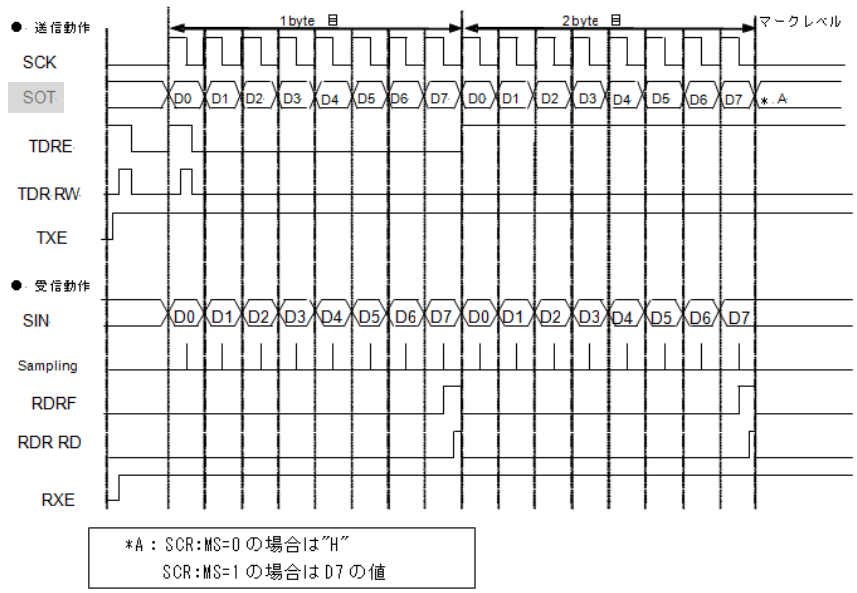
ページ	場所	変更内容
1522	40.6.2.1	6.2.1. ノーマル転送(I)について、■レジスタ設定の末尾に明記されている内容を 下記のように修正。 (誤) *1: 条件により設定するビットが異なります。表 6-6 を参照してください。 (正) *1: 条件により設定するビットが異なります。表 6-2 を参照してください。

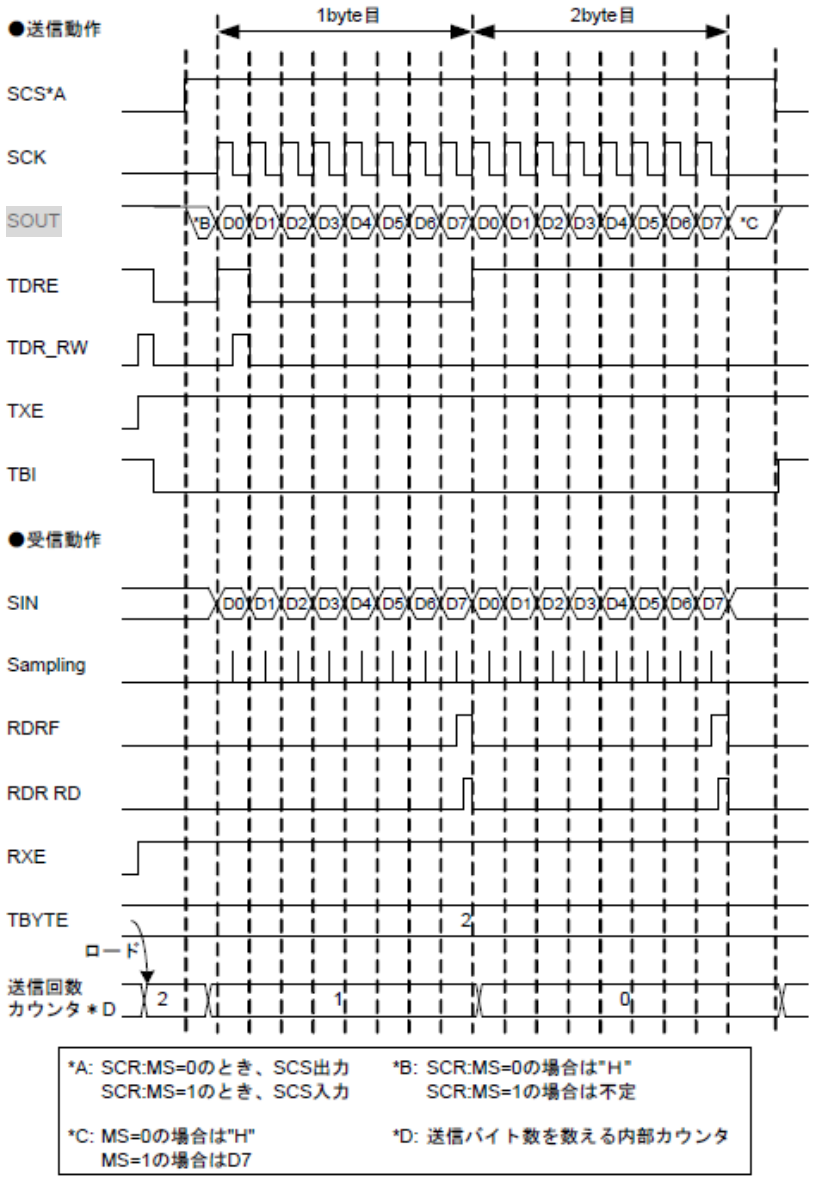
ページ	場所	変更内容
1523	40.6.2.1	6.2.1. ノーマル転送(I)の図 6-8 ノーマル転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子未使用時)を下記のように修正 (誤)  (正) 

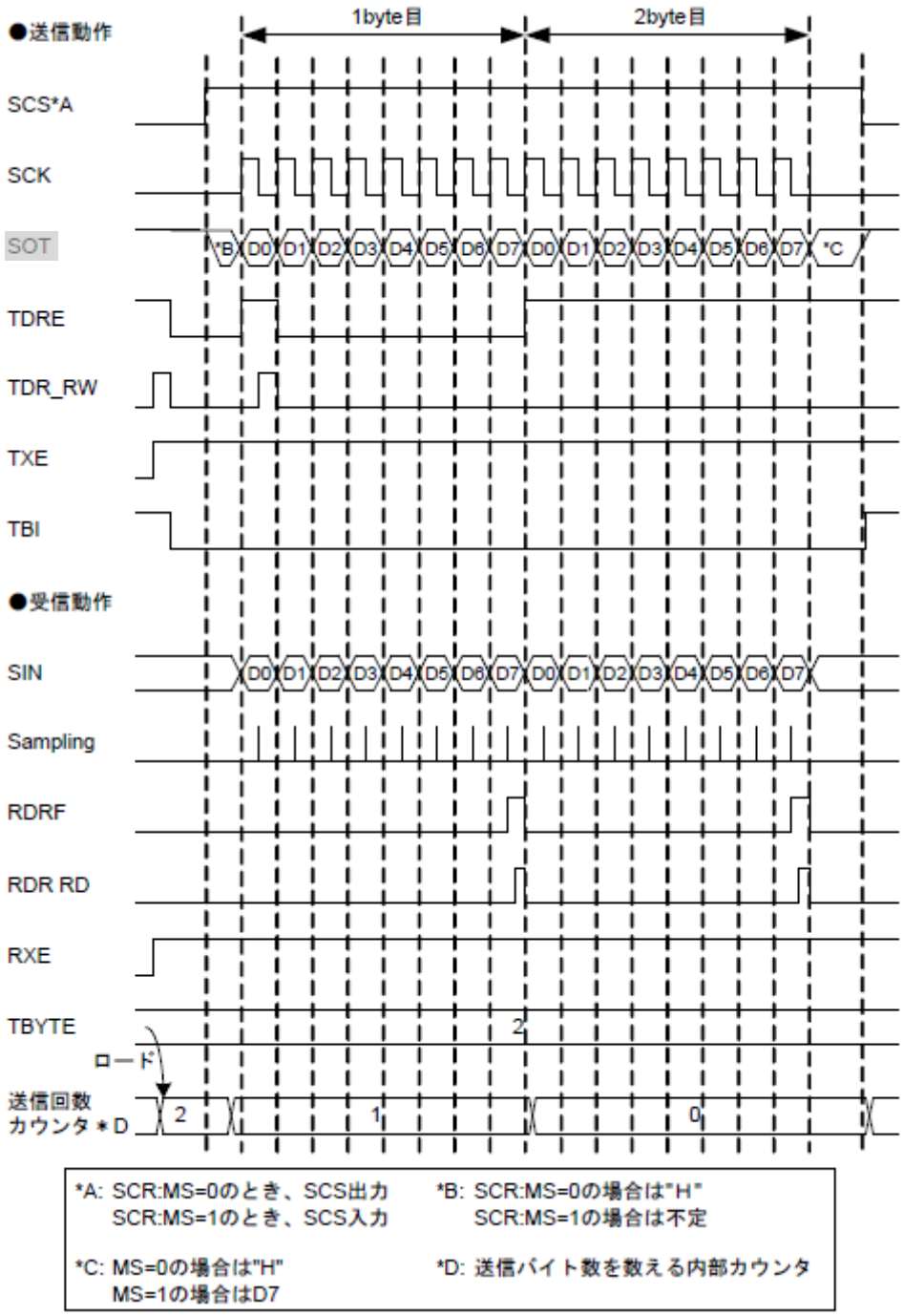
ページ	場所	変更内容
1527	40.6.2.1	6.2.1. ノーマル転送(I)の図 6-9 ノーマル転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)を下記のように修正 (誤)  (続く)

ページ	場所	変更内容
1527	40.6.2.1	（続き） （正） 

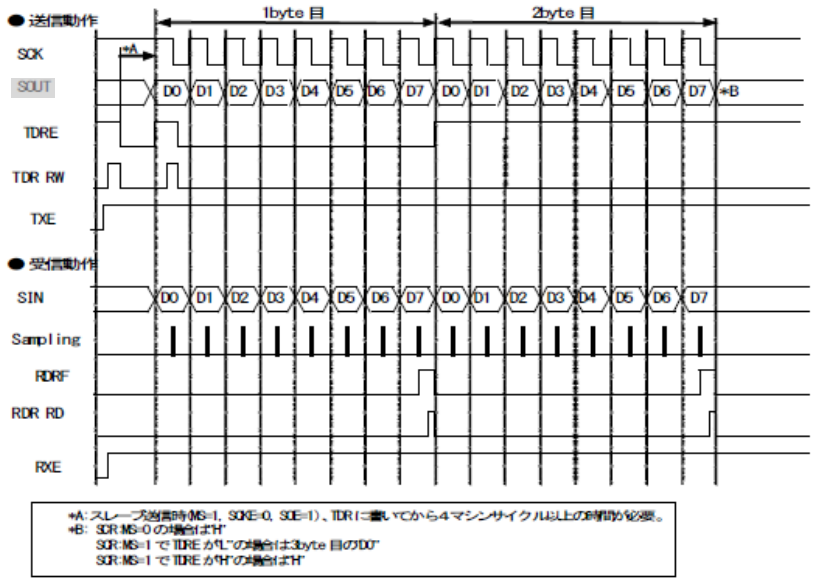
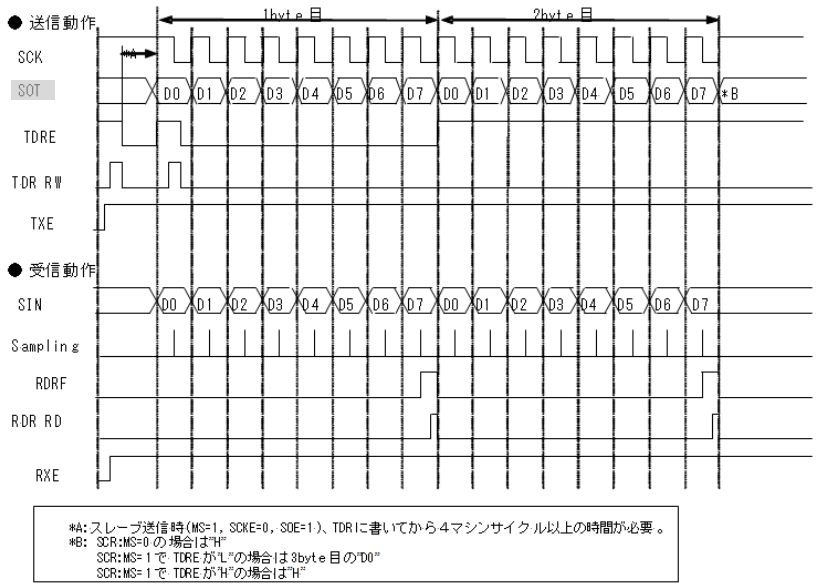
ページ	場所	変更内容
1530	40.6.2.1	6.2.1. ノーマル転送(Ⅰ) ●送受信動作の④の記述を下記のように変更。 (誤) ・④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作し、シリアル出力端子(SOUT)が”H”になります。 (正) ・④シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作を終了し、シリアル出力端子(SOUT)が”H”になります。
1531	40.6.2.2	6.2.2. ノーマル転送(II)について、■レジスタ設定の末尾に明記されている内容を下記のように修正。 (誤) *1: 条件により設定するビットが異なります。表 6-6 を参照してください。 (正) *1: 条件により設定するビットが異なります。表 6-2 を参照してください。

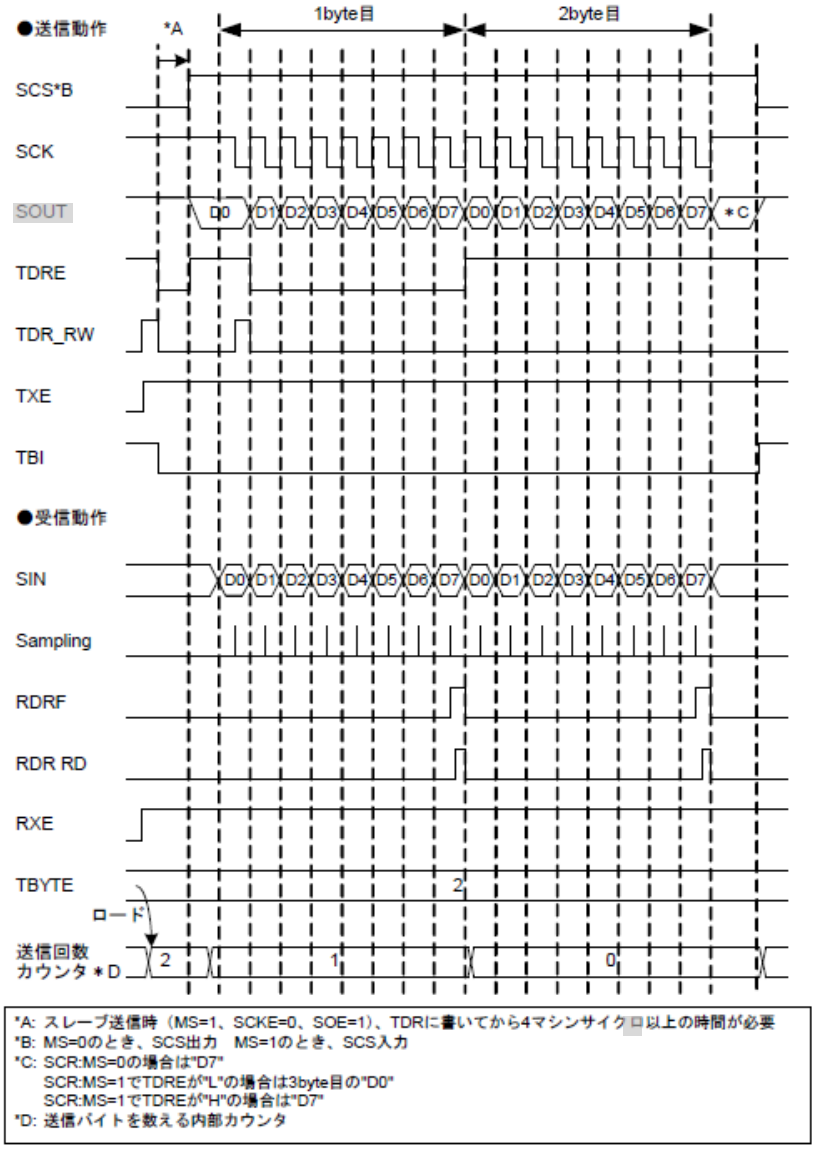
ページ	場所	変更内容
1531	40.6.2.2	6.2.2. ノーマル転送(II)の図 6-10 ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)について以下のように修正 (誤)  (正) 

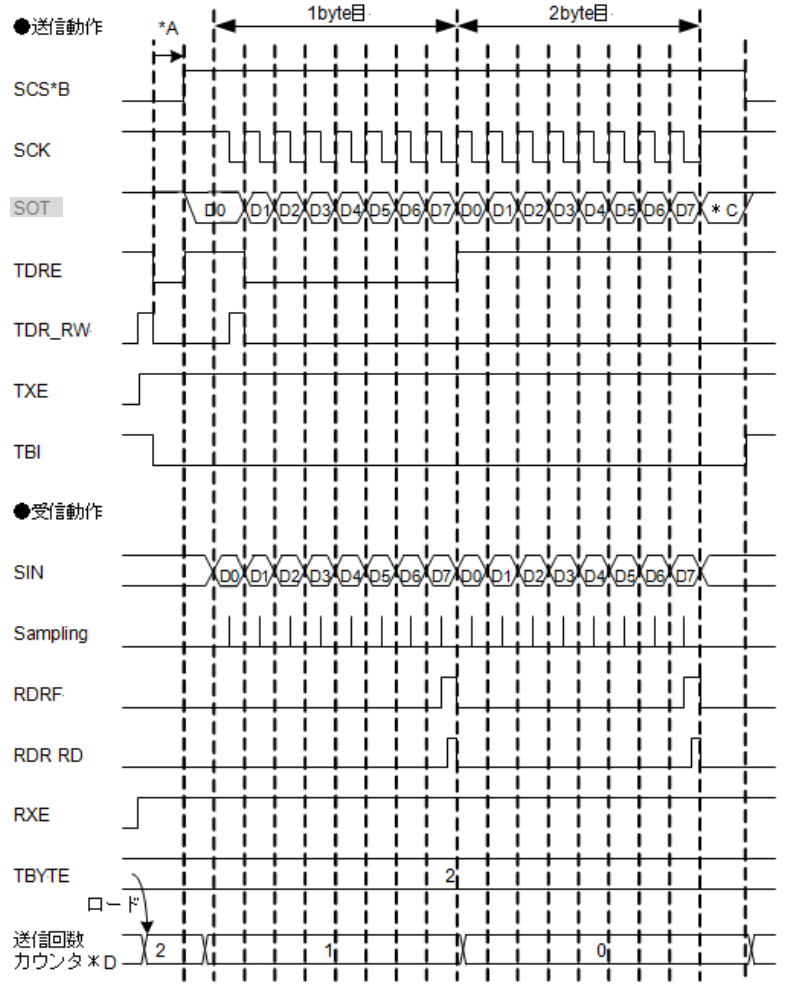
ページ	場所	変更内容
1535	40.6.2.2	6.2.2. ノーマル転送(II)の図 6-11 ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子使用時)について以下のように修正 (誤)  (続く)

ページ	場所	変更内容
1535	40.6.2.2	（続き） （正） 

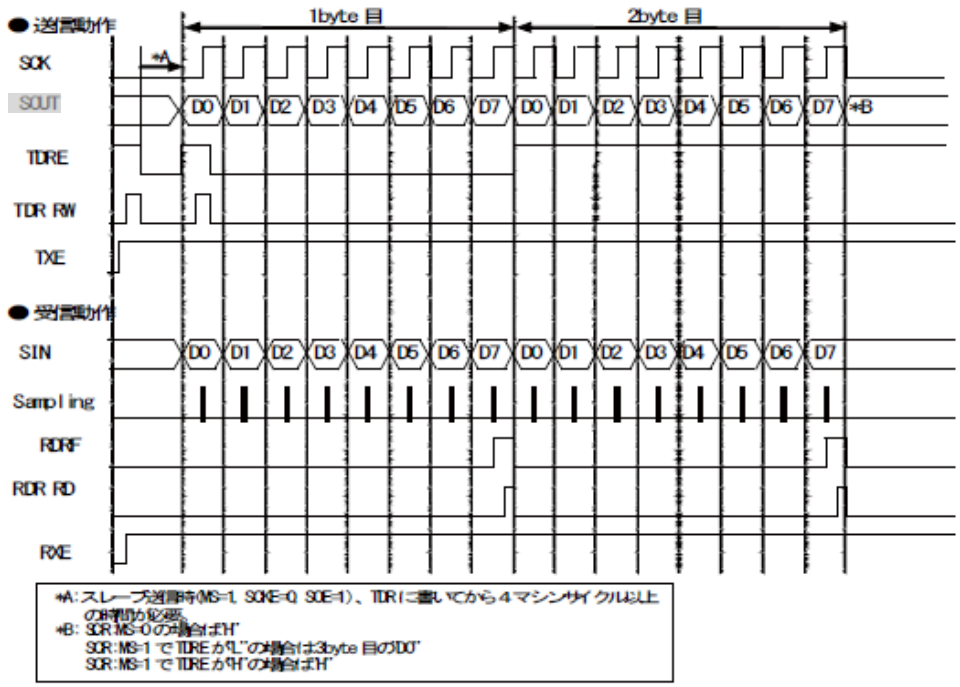
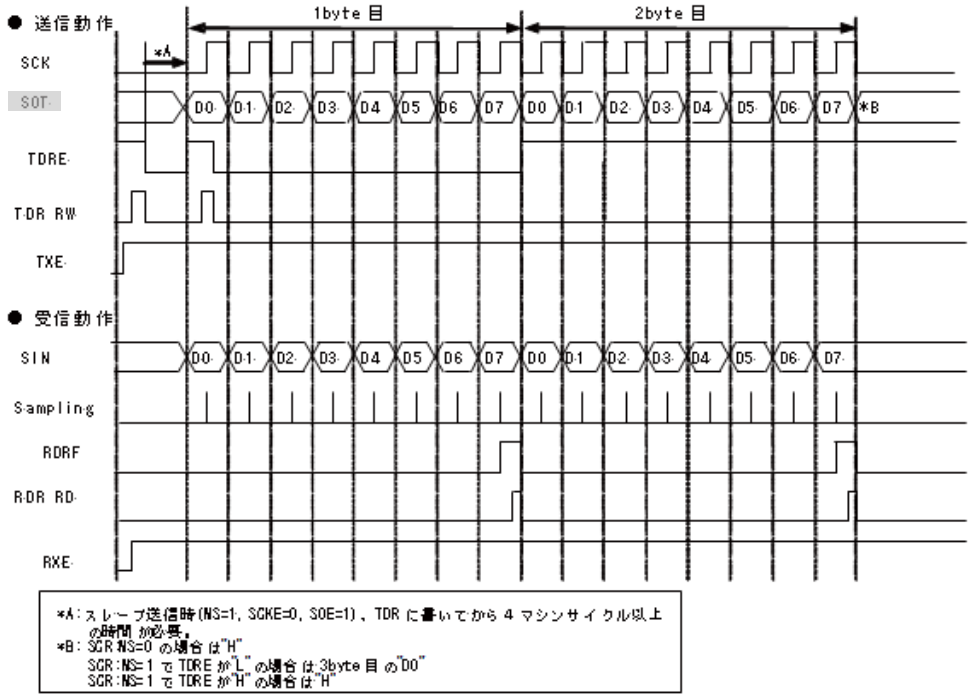
ページ	場所	変更内容
1536	40.6.2.2	6.2.2. ノーマル転送(II)について、■ノーマル転送(II)タイミングチャート(シリアルチップセレクト端子使用時)の●送信動作の④を下記のように修正。 (誤) ④送信動作終了したからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=”1”)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。 (正) ④送信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=”1”)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。
1539	40.6.2.3	6.2.3. SPI 転送(I)について、■レジスタ設定の末尾に明記されている内容を 下記のように修正。 (誤) *1: 条件により設定するビットが異なります。表 6-6 を参照してください。 ↓ (正) *1: 条件により設定するビットが異なります。表 6-2 を参照してください。

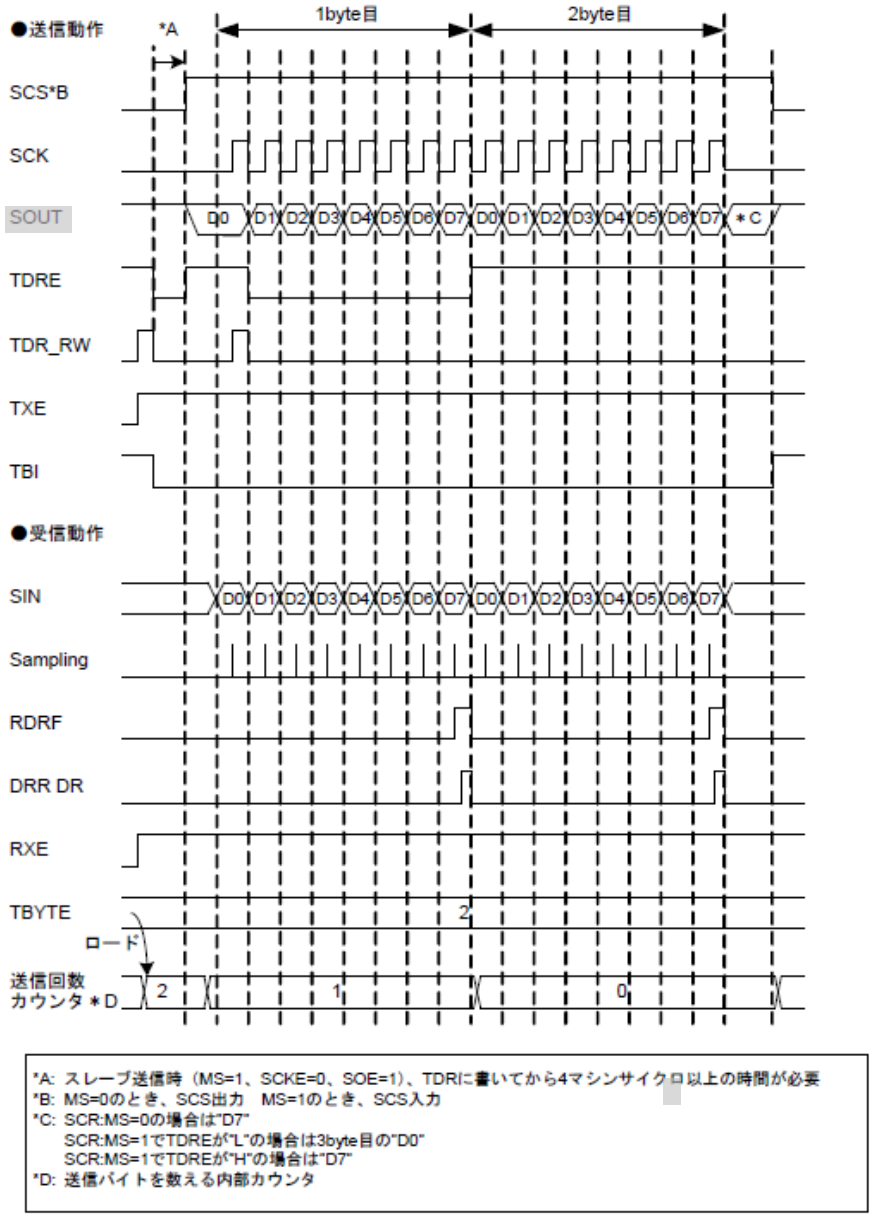
ページ	場所	変更内容
1540	40.6.2.3	6.2.3. SPI 転送(I)の図 6-12 SPI 転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子未使用時)について以下のように修正 (誤)  (正) 

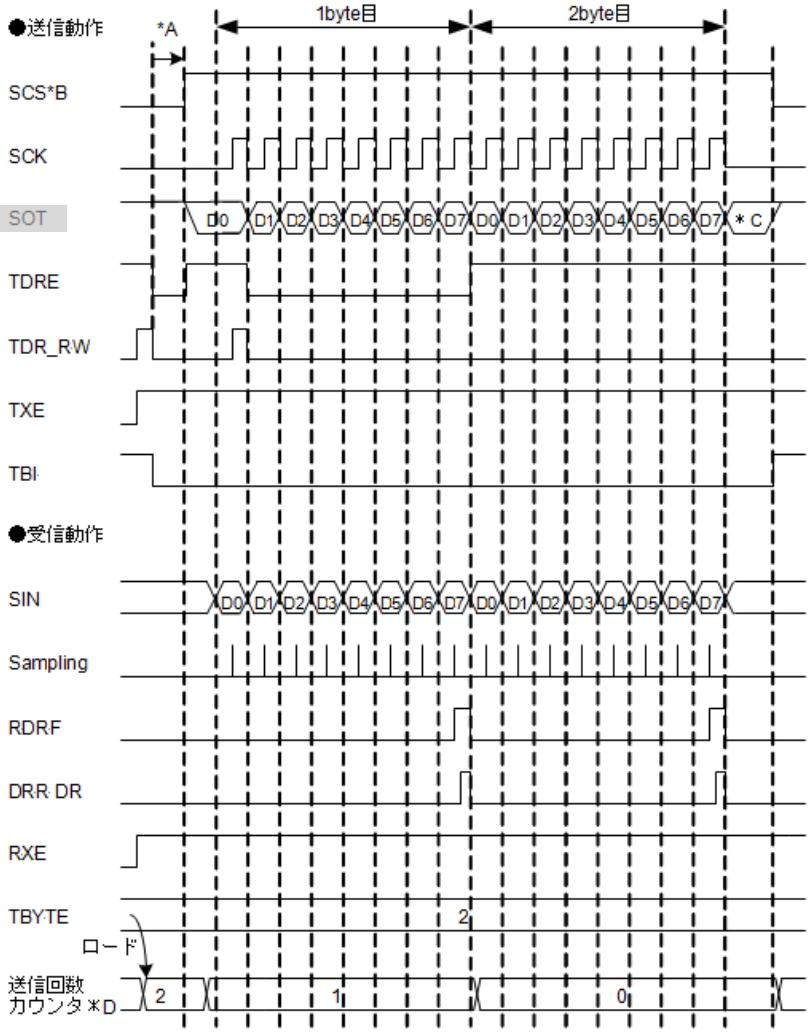
ページ	場所	変更内容
1544	40.6.2.3	6.2.3. SPI 転送(I)の図 6-13 SPI 転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)について以下のように修正 (誤)  *A: スレーブ送信時（MS=1、SCKE=0、SOE=1）、TDRに書いてから4マシンサイクル以上の時間が必要 *B: MS=0のとき、SCS出力　MS=1のとき、SCS入力 *C: SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7" *D: 送信バイトを数える内部カウンタ (続く)

ページ	場所	変更内容
1544	40.6.2.3	（続き） （正）  *A: スレーブ送信時（MS=1、SCKE=0、SOE=1）、TDRに書いてから4マシンサイクル以上の時間が必要 *B: MS=0のとき、SCS出力　MS=1のとき、SCS入力 *C: SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7" *D: 送信バイトを数える内部カウンタ

ページ	場所	変更内容
1548	40.6.2.4	6.2.4. SPI 転送(II) について、■レジスタ設定の末尾に明記されている内容を 下記のように修正。 (誤) *1: 条件により設定するビットが異なります。表 6-6 を参照してください。 (正) *1: 条件により設定するビットが異なります。表 6-2 を参照してください。

ページ	場所	変更内容
1549	40.6.2.4	6.2.4. SPI 転送(II)の図 6-14 SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)について、下記のように修正。 (誤)  (正) 

ページ	場所	変更内容
1553	40.6.2.4	6.2.4. SPI 転送(II)の図 6-15 SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子使用時)について、下記のように修正。 (誤)  *A: スレーブ送信時 (MS=1、SCKE=0、SOE=1)、TDRに書いてから4マシンサイクル以上の時間が必要 *B: MS=0のとき、SCS出力　MS=1のとき、SCS入力 *C: SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7" *D: 送信バイトを数える内部カウンタ (続く)

ページ	場所	変更内容
1553	40.6.2 .4	（続き） （正）  *A: スレーブ送信時（MS=1、SCKE=0、SOE=1）、TDRに書いてから4マシンサイクル以上の時間が必要 *B: MS=0のとき、SCS出力　MS=1のとき、SCS入力 *C: SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7" *D: 送信バイトを数える内部カウンタ

ページ	場所	変更内容
1567	40.6.2.6	6.2.6.シリアルチップセレクトの動作の●シリアルチップセレクトアクティブ保持動作の説明にて、以下を削除 (誤) ・ シリアルチップセレクトアクティブ保持ビットが”1”でシリアルタイマ同期送信および外部トリガ送信未使用時の場合、シリアルチップセレクト端子をアクティブ状態に保持します。 (正) ・ シリアルチップセレクトアクティブ保持ビットが”1”でシリアルタイマ同期送信の場合、シリアルチップセレクト端子をアクティブ状態に保持します。
1567	40.6.2.6	6.2.6.シリアルチップセレクトの動作の●シリアルチップセレクトアクティブ保持動作の注意事項について、以下を修正。 (誤) 転送バイトエラー許可(SSR:TBEEN=1)時に (正) 転送バイトエラー許可(SACSR:TBEEN=1)時に

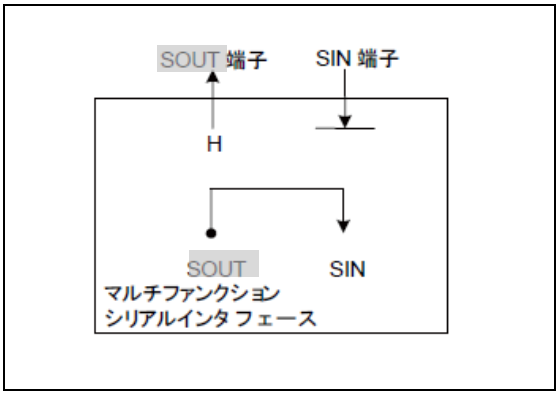
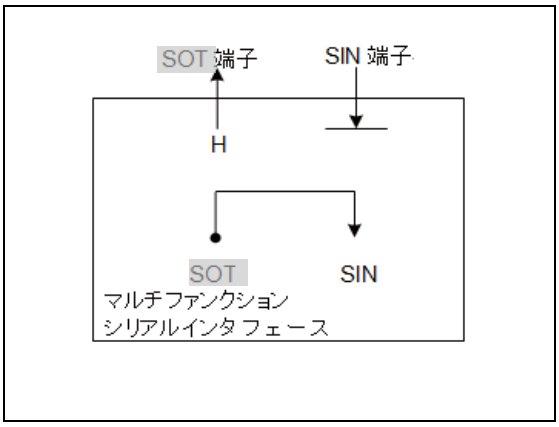
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1568</td><td>40.6.2
.6</td><td>
6.2.6. シリアルチップセレクトの動作について、●シリアルチップセレクト端子のフォーマット設定の表 6-2 シリアルチップセレクト端子のフォーマット設定を下記のように修正。

(誤)
<table>
<tr><th colspan="2">条件</th><th>チップセレクトのアクティブレベル</th><th>シリアルクロックの反転</th><th>SPI 設定</th><th>データ方向</th><th>データ長</th></tr>
<tr><td rowspan="4">チップセレクトフォーマット許可
(SCR:CSFE=”1”)でマスタモード
(SCR:MS=”0”)</td><td>シリアルチップセレクト端子 0 出力</td><td>SCSCR0:
SCLVL</td><td>SMR:
SCINV</td><td>SCR:SPI</td><td>SMR:BDS</td><td>ESCR:L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 1 出力</td><td>SCSFR0:
CS1SCLVL</td><td>SCSFR0:
CS1SCLINV</td><td>SCSFR0:
CS1SPI</td><td>SCSFR0
CS1BDS</td><td>SCSFR0:
CS1L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 2 出力</td><td>SCSFR1:
CS2SCLVL</td><td>SCSFR1:
CS2SCLINV</td><td>SCSFR1:
CS2SPI</td><td>SCSFR1
CS2BDS</td><td>SCSFR1:
CS2L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 3 出力</td><td>SCSFR2:
CS3SCLVL</td><td>SCSFR2:
CS3SCLINV</td><td>SCSFR2:
CS3SPI</td><td>SCSFR2
CS3BDS</td><td>SCSFR2:
CS3L3-0</td></tr>
<tr><td colspan="2">チップセレクトフォーマット
禁止(SCR:CSFE=”0”)</td><td rowspan="3">SCSCR0:
SCLVL</td><td rowspan="3">SMR:
SCINV</td><td rowspan="3">SCR:SPI</td><td rowspan="3">SMR:BDS</td><td rowspan="3">ESCR:L3-0</td></tr>
<tr><td colspan="2">スレーブモード
(MS=”1”)</td></tr>
<tr><td colspan="2">チップセレクト未使用時
(CSEN3-0=”0000”$_B$)</td></tr>
</table>
↓

(続く)
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1568</td><td>40.6.2
.6</td><td>(続き)

(正)
<table>
<tr><th colspan="2">条件</th><th>チップセレクトのアクティブレベル</th><th>シリアルクロックの反転</th><th>SPI 設定</th><th>データ方向</th><th>データ長</th></tr>
<tr><td rowspan="4">チップセレクトフォーマット許可
(SCR:CSFE=”1”)でマスタモード
(SCR:MS=”0”)</td><td>シリアルチップセレクト端子 0 出力</td><td>SCSCR0:
CSLVL</td><td>SMR:
SCINV</td><td>SCR:SPI</td><td>SMR:BDS</td><td>ESCR:L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 1 出力</td><td>SCSFR0:
CS1CSLVL</td><td>SCSFR0:
CS1SCLINV</td><td>SCSFR0:
CS1SPI</td><td>SCSFR0
CS1BDS</td><td>SCSFR0:
CS1L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 2 出力</td><td>SCSFR1:
CS2CSLVL</td><td>SCSFR1:
CS2SCLINV</td><td>SCSFR1:
CS2SPI</td><td>SCSFR1
CS2BDS</td><td>SCSFR1:
CS2L3-0</td></tr>
<tr><td>シリアルチップセレクト端子 3 出力</td><td>SCSFR2:
CS3CSLVL</td><td>SCSFR2:
CS3SCLINV</td><td>SCSFR2:
CS3SPI</td><td>SCSFR2
CS3BDS</td><td>SCSFR2:
CS3L3-0</td></tr>
<tr><td colspan="2">チップセレクトフォーマット
禁止(SCR:CSFE=”0”)</td><td rowspan="3">SCSCR0:
SCLVL</td><td rowspan="3">SMR:
SCINV</td><td rowspan="3">SCR:SPI</td><td rowspan="3">SMR:BDS</td><td rowspan="3">ESCR:L3-0</td></tr>
<tr><td colspan="2">スレーブモード
(MS=”1”)</td></tr>
<tr><td colspan="2">チップセレクト未使用時
(CSEN3-0=”0000”_B)</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
1569	40.6.2.7	6.2.7. テストモードの●シリアルテストモードについて下記のように修正 (誤) シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOUT は”H” 固定となり、端子 SIN に入力されたデータは無視されます。 図 6-28 シリアルテストモード  (正) シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。 シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOT は”H” 固定となり、端子 SIN に入力されたデータは無視されます。 図 6-28 シリアルテストモード 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1571</td><td>40.6.2
.8</td><td>6.2.8. ボーレートの生成について、■各バスクロック周波数に対するリロード値とボーレートの
表 6-3 各バスクロック周波数に対するリロード値とボーレートを下記のように修正。

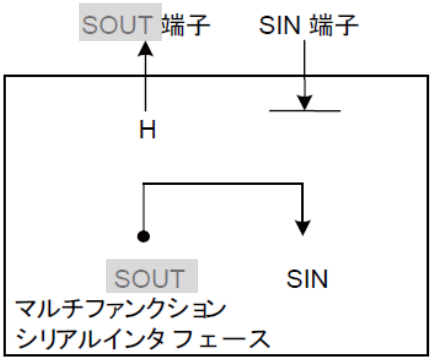
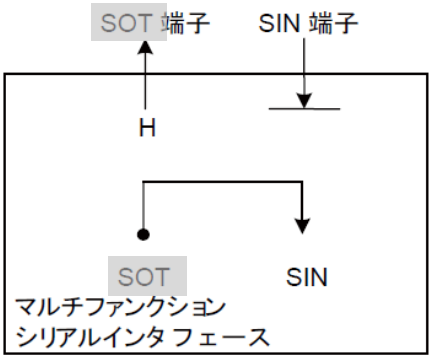
(誤)
<table>
<tr><td rowspan="2">ﾎﾞｰﾚｰﾄ
(bps)</td><td colspan="2">8MHz</td><td colspan="2">10MHz</td><td colspan="2">16MHz</td><td colspan="2">20MHz</td><td colspan="2">24MHz</td></tr>
<tr><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td></tr>
<tr><td>300</td><td>26666</td><td>26666</td><td><0.01</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr>
</table>
↓
(正)
<table>
<tr><td rowspan="2">ﾎﾞｰﾚｰﾄ
(bps)</td><td colspan="2">8MHz</td><td colspan="2">10MHz</td><td colspan="2">16MHz</td><td colspan="2">20MHz</td><td colspan="2">24MHz</td></tr>
<tr><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td><td>Value</td><td>ERR</td></tr>
<tr><td>300</td><td>26666</td><td><0.01</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr>
</table>
</td></tr>
<tr><td>1601</td><td>40.7.3</td><td>7.3. シリアルタイマの動作の章の図 7-16 シリアルタイマ許可ビットによる起動の以下を修正

(誤)
図 7-16 シリアルタイマ許可ビットによる起動(STMCR=”10”,SACSR:TSYNE=”0”)

(正)
図 7-16 シリアルタイマ許可ビットによる起動(STMCR=”10”)</td></tr>
<tr><td>1605</td><td>40.7.4
.1</td><td>7.4.1. マニュアルモードの■シリアルテストモードの説明の以下を修正

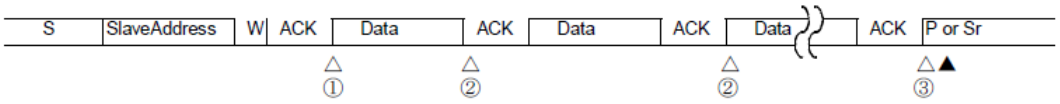
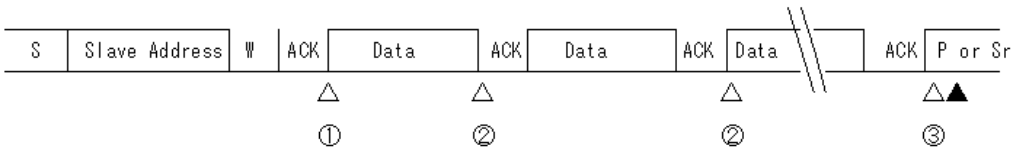
(誤)
シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。
シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOUT は”H”固定となり，端子 SIN に入力されたデータは無視されます。

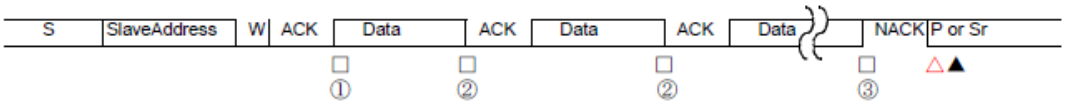
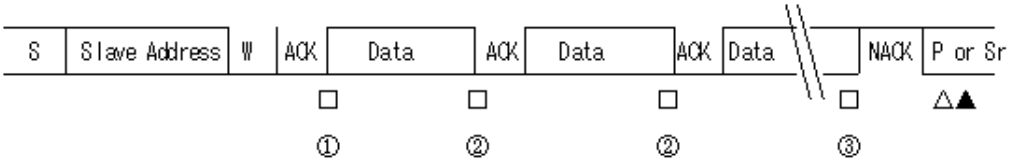
(正)
シリアルテストモード許可時(SACSR:STST=”1”)、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信することができます。
シリアルテストモード許可時(SACSR:STST=”1”)、端子 SOT は”H”固定となり，端子 SIN に入力されたデータは無視されます。</td></tr>
</table>

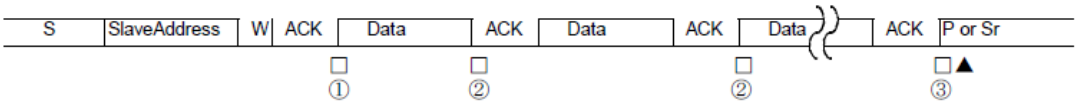
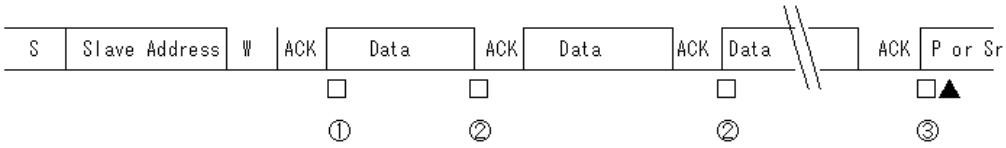
ページ	場所	変更内容
1605	40.7.4.1	7.4.1. マニュアルモードの図 7-20 シリアルテストモードを下記のように修正。 (誤)  (正) 
1614	40.7.5.1	7.5.1 マニュアルモードの下記＜注意事項＞を修正。 (誤) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。 正) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

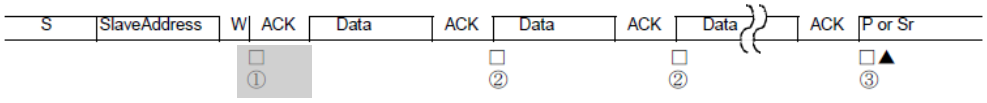
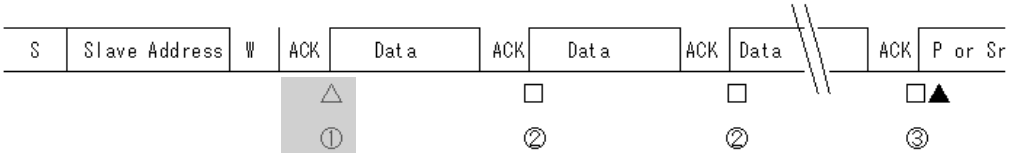
ページ	場所	変更内容
1619	40.7.5.1	7.5.1 マニュアルモードの下記＜注意事項＞を修正。 (誤) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。 (正) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
1628	40.7.5.2	7.5.2. アシストモードの＜注意事項＞を下記のように修正。 (誤) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。 (正) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
1638	40.7.5.2	7.5.2. アシストモードの＜注意事項＞を下記のように修正。 (誤) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。 (正) ・ 受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
1669	40.8.3.2	8.3.2. スレーブアドレス出力の図 8-8 アドレスおよびデータ方向の図内タイトルを以下のように修正 (誤) アドレスおよびデータ方向(F 送受信 FIF0 許可) (正) アドレスおよびデータ方向(送受信 FIF0 許可)

ページ	場所	変更内容
1680	40.8.3.4	8.3.4. マスタによるデータ送信について、■DMA モード許可時(SSR:DMA=”1”)のスレーブへのデータ送信の(1)予約アドレス以外への送信の場合の⑥を下記のように修正。 (誤) ⑥ 1 バイト送信後 IBCR:WSEL=”0”の場合アクノリッジ受信後，IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを”1”にして I2C バスをウェイトします。所定のデータ数を送信するまで⑥～⑦を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が”1”になり、バスをウェイトします。 (正) ⑥ 1 バイト送信後 IBCR:WSEL=”0”の場合アクノリッジ受信後，IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを”1”にして I2C バスをウェイトします。所定のデータ数を送信するまで⑤～⑥を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が”1”になり、バスをウェイトします。

ページ	場所	変更内容
1684	40.8.3.4	8.3.4. マスタによるデータ送信の図 8-18 FIFO 禁止によるマスタ送信の割込み 5 を以下のように修正。 (誤)  S: スタート条件 W: データ方向ビット (ライト方向) P: ストップ条件 Sr: 反復スタート条件 △ :INTE="1" による割込み ▲ :CNDE="1" による割込み ① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生 - 送信バッファに送信データを書込み後 , INT="0" 書込み ② 1 バイト送信により , 割込み発生 - 送信バッファに送信データを書込み後 , WSEL="0", INT="0" 書込み ③ 1 バイト送信により , 割込み発生 - MSS="0" または MSS="1", SCC="1" を設定 *) 割込みフラグ (INT) 発生時 , TDRE ビットは "1" (正)  S ：スタート条件 W ：データ方向ビット(ライト方向) P ：ストップ条件 Sr：反復スタート条件 △：INTE=“1”による割込み ▲：CNDE=“1”による割込み ① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生 － TDR レジスタに送信データを書込み後、INT=“0”書込み ② 1バイト送信により、割込み発生 － TDR レジスタに送信データを書込み後、WSEL=″0″,INT=“0”書込み ③ 1バイト送信により、割込み発生 － MSS=“0”又は MSS=“1”，SCC=“1”を設定 *) 割込みフラグ(INT)発生時、TDRE ビットは“1”

ページ	場所	変更内容
1688	40.8.3.4	8.3.4. マスタによるデータ送信の図 8-25 FIFO 禁止によるマスタ送信の割込み 12 を以下のように修正。 (誤)  S: スタート条件 W: データ方向ビット (ライト方向) P: ストップ条件 Sr: 反復スタート条件 □ :TBIE="1" による割込み ▲ :CNDE="1" による割込み ① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生 - TDR レジスタに送信データを書込み後 , INT="0" 書込み ② 1 バイト送信により , 割込み発生 - TDR レジスタに送信データを書込み後 , INT="0" 書込み ③ 1 バイト送信により , 割込み発生 - MSS="0" または MSS="1", SCC="1" を設定 *) 割込みフラグ (INT) 発生時 , TDRE ビットは "1" (正)  S ：スタート条件 W ：データ方向ビット(ライト方向) P ：ストップ条件 Sr：反復スタート条件 △：INTE=“1”による割込み ▲：CNDE=“1”による割込み □：TBIE=”1”による割込み ① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生 － TDR レジスタに送信データを書込み ② 1バイト送信により、割込み発生 － TDR レジスタに送信データを書込み ③ 1バイト送信により、割込み発生 － MSS=“0”又はMSS=“1”，SCC=“1”を設定 *) 割込みフラグ(INT、TBI)発生時、TDRE ビットは“1”

ページ	場所	変更内容
1689	40.8.3.4	8.3.4. マスタによるデータ送信の図 8-27 FIF0 禁止によるマスタ送信の割込み 14 を以下のように修正。 (誤)  S: スタート条件 W: データ方向ビット (ライト方向) P: ストップ条件 Sr: 反復スタート条件 ▲ :CNDE="1" による割込み □ :TBIE="1" による割込み ① スレーブアドレス送信 + 方向ビット送信 + アクノリッジ受信により割込み発生 - 送信バッファに送信データを書込み後 , INT="0" 書込み ② 1 バイト送信により , 割込み発生 - 送信バッファに送信データを書込み後 , WSEL="0", INT="0" 書込み ③ 1 バイト送信により , 割込み発生 - MSS="0" または MSS="1", SCC="1" を設定 *) 割込みフラグ (INT) 発生時 , TDRE ビットは "1" (正)  S ：スタート条件 W ：データ方向ビット(ライト方向) P ：ストップ条件 Sr：反復スタート条件 ▲：CNDE=“1”による割込み □：TBIE=”1”による割込み ① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生 － TDR レジスタに送信データを書込み ② 1バイト送信により、割込み発生 － WSEL=”0”書込み後、TDR レジスタに送信データを書込み ③ 1バイト送信により、割込み発生 － MSS=“0”又は MSS=“1”，SCC=“1”を設定 *）割込みフラグ(TBIE)発生時、TDRE ビットは“1”

ページ	場所	変更内容
1689	40.8.3.4	8.3.4. マスタによるデータ送信の図 8-28 FIFO 禁止によるマスタ送信の割込み 15 を以下のように修正。 (誤)  S: スタート条件 W: データ方向ビット (ライト方向) P: ストップ条件 Sr: 反復スタート条件 ▲ :CNDE="1" による割込み □ :TBIE="1" による割込み ① スレーブアドレス (予約アドレス) 送信 + 方向ビット送信 + アクノリッジ受信により割込み発生 - TDR レジスタに送信データを書込み後 , INT="0" 書込み ② 1 バイト送信 + アクノリッジ受信により , 割込み発生 - TDR レジスタに送信データを書込み後 , INT="0" 書込み ③ 1 バイト送信 + アクノリッジ受信により , 割込み発生 - MSS="0" または MSS="1", SCC="1" を設定 *) 割込みフラグ (INT) 発生時 , TDRE ビットは "1" (正)  S：スタート条件 W：データ方向ビット(ライト方向) P：ストップ条件 Sr：反復スタート条件 △：INTE=“1”による割込み ▲：CNDE=“1”による割込み □：TBIE=”1”による割込み ① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信により割込み発生 － TDR レジスタに送信データを書込み後、INT=“0”書込み ② 1バイト送信＋アクノリッジ受信により、割込み発生 － TDR レジスタに送信データを書込み ③ 1バイト送信＋アクノリッジ受信により、割込み発生 － MSS=“0”又は MSS=“1”, SCC=“1”を設定 *) 割込みフラグ(INT、TBI)発生時、TDRE ビットは“1”

ページ	場所	変更内容
1698	40.8.3.5	8.3.5. マスタによるデータ受信について、図タイトルを以下のように修正 (誤) 図 8-36 FIFO 禁止によるマスタ受信の割込み 1 (正) 図 8-36 FIFO 禁止によるマスタ受信の割込み 5
1698	40.8.3.5	8.3.5. マスタによるデータ受信について、図タイトルを以下のように修正 (誤) 図 8-37 FIFO 禁止によるマスタ受信の割込み 2 (正) 図 8-37 FIFO 禁止によるマスタ受信の割込み 6
1699	40.8.3.5	8.3.5. マスタによるデータ受信について、図タイトルを以下のように修正 (誤) 図 8-38 FIFO 許可によるマスタ受信の割込み 3 (正) 図 8-38 FIFO 許可によるマスタ受信の割込み 7
1699	40.8.3.5	8.3.5. マスタによるデータ受信について、図タイトルを以下のように修正 (誤) 図 8-39 FIFO 許可によるマスタ受信の割込み 4 (正) 図 8-39 FIFO 許可によるマスタ受信の割込み 8
1710	40.8.	8.4.3. スレーブによる受信について、■DMA モード許可の場合(SSR:DMA=”1”)の 図 8-46 FIFO 許可によるスレーブ受信の割込み 6(SSR:DMA=”0”, IBCR:WSEL=”0”, IBSR:RSA=”1”) の タイトルを下記のように修正。 (誤) 図 8-46 FIFO 許可によるスレーブ受信の割込み 6 (SSR:DMA=”0”, IBCR:WSEL=”0”, IBSR:RSA=”1”) (正) 図 8-46 FIFO 禁止によるスレーブ受信の割込み 6 (SSR:DMA=”0”, IBCR:WSEL=”0”, IBSR:RSA=”1”)

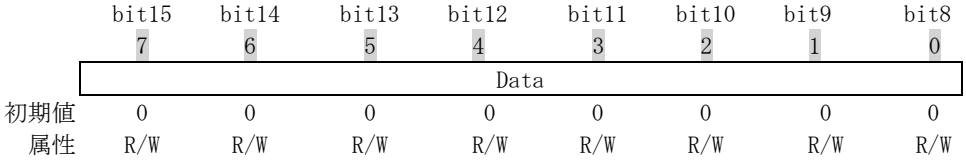
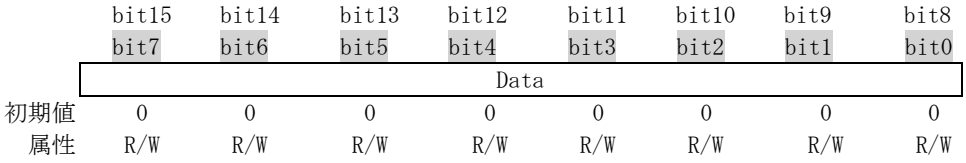
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1721</td><td>41</td><td>CHAPTER:CAN の章の一覧に「6. 制限事項」を追加。

(誤)
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

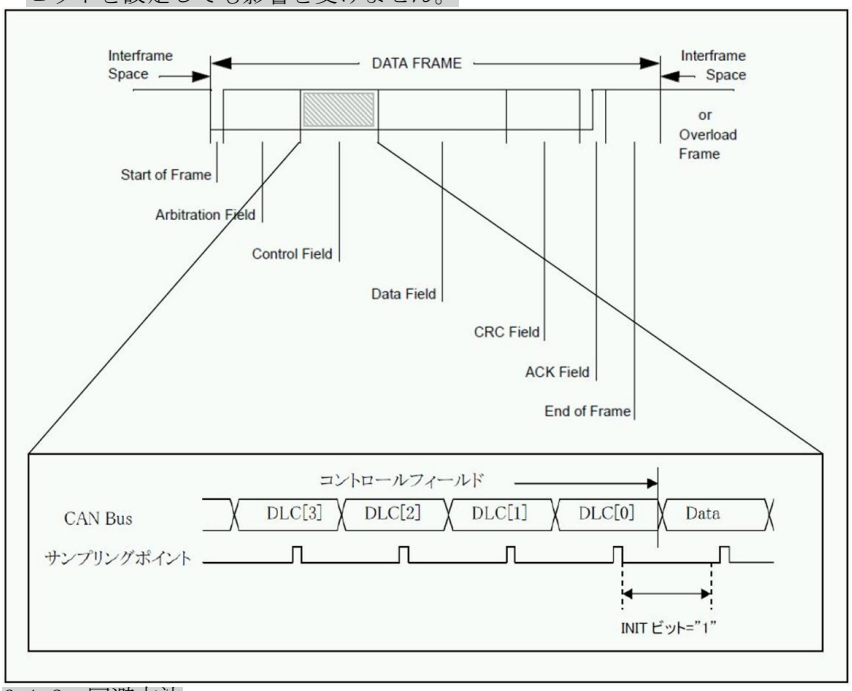
(正)
1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明
6. 制限事項</td></tr>
<tr><td>1727</td><td>41.4.1.1</td><td>4.1.1.ベースアドレス(Base_addr)・外部端子・バッファサイズ一覧の表を以下のように修正

(誤)
<table>
<tr><th rowspan="2">チャネル番号</th><th rowspan="2">Base-addr</th><th colspan="2">外部端子名</th><th rowspan="2">バッファサイズ</th></tr>
<tr><th>CANTX</th><th>CANRX</th></tr>
<tr><td>0</td><td>0x2000</td><td>TX0</td><td>RX0</td><td>128 メッセージバッファ</td></tr>
<tr><td>1</td><td>0x2100</td><td>TX1</td><td>RX1</td><td>64 メッセージバッファ</td></tr>
<tr><td>2</td><td>0x2200</td><td>TX2</td><td>RX2</td><td>64 メッセージバッファ</td></tr>
</table>
(正)
<table>
<tr><th rowspan="3">チャネル</th><th rowspan="3">ベース
アドレス</th><th colspan="4">外部端子名</th><th rowspan="3">バッファサイズ</th></tr>
<tr><th colspan="2">MB91F52xB,
MB91F52xD</th><th colspan="2">MB91F52xF,
MB91F52xJ,
MB91F52xK,
MB91F52xL</th></tr>
<tr><th>CANTX</th><th>CANRX</th><th>CANTX</th><th>CANRX</th></tr>
<tr><td>0</td><td>0x2000</td><td>TX0_1</td><td>RX0(128)</td><td>TX0(128)/
TX0_1</td><td>RX0(128)</td><td>128 メッセージバッファ</td></tr>
<tr><td>1</td><td>0x2100</td><td>TX1(64)</td><td>RX1_1</td><td>TX1(64)</td><td>RX1(64)/
RX1_1</td><td>64 メッセージバッファ</td></tr>
<tr><td>2</td><td>0x2200</td><td>TX2(64)</td><td>RX2(64)</td><td>TX2(64)</td><td>RX2(64)</td><td>64 メッセージバッファ</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
1737	41.4.2.1	4.2.1. CAN 制御レジスタ： CTRLR の<注意事項>を下記のように修正 (誤) ＜注意事項＞ ・ 送受信途中で INIT ビットに"1"を設定した場合、即送受信を中止します。 ・ 低消費電力モードへ遷移する前に Init ビットに"1"を設定し CAN コントローラの初期化を行ってください。 (正) ＜注意事項＞ ・ 送受信途中で INIT ビットに"1"を設定した場合、即送受信を中止します。 ・送信中、Init ビットに"1"を設定する場合、送信完了後に Init ビットに"1"を設定してください。もし、送信中、Init ビットに"1"を設定した場合、送信要求ビット(TxRqst)が"1"に設定されているメッセージバッファに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、Init ビットに"0"を設定してください。 ・ 低消費電力モード(停止モード、クロックモード)へ遷移する前、および供給クロックを変更する前に Init ビットに"1"を書込んで CAN コントローラを初期化状態しなければなりません。
1743	41.4.2.5	4.2.5. CAN 割り込みレジスタ： INTR について、下記のようにバイトの一文を削除。 (誤) ■CAN 割込みレジスタ(上位バイト): アドレス Base+08_H(アクセス: バイト, ハーフワード, ワード) ■CAN 割込みレジスタ(下位バイト): アドレス Base+09H(アクセス: バイト, ハーフワード, ワード) (正) ■CAN 割込みレジスタ(上位バイト): アドレス Base+08_H(アクセス: ハーフワード, ワード) ■CAN 割込みレジスタ(下位バイト): アドレス Base+09H(アクセス: ハーフワード, ワード)
1751	41.4.3.2	4.3.2. IFx コマンドマスクレジスタ ： IFxCMSK の bit3 について、ビット名を追加。 (誤) [bit3] ： 割込みクリアビット "0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。 (正) [bit3]CIP ： 割込みクリアビット "0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

ページ	場所	変更内容
1758	41.4.3.6	4.3.6. IFx データレジスタ A1,A2,B1,B2 ： IFxDTA1, IFxDTA2,IFxDTB1, IFxDTB2 について、下記のように修正。 (誤)  (正) 
1761	41.4.4.2	4.4.2. メッセージオブジェクトの機能の UMask の<注意事項>について以下のように修正 (誤) ・Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask ビットの設定により動作が異なります。 ・UMask ビットが"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"にセットされ、データは変更しません。(データフレームのように取り扱います) ・UMask ビットが"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。 (正) ・Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask ビットの設定により動作が異なります。 ・UMask ビットが"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"にセットされ、データは変更しません。(データフレームのように取り扱います) ・UMask ビットが"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。
1763	41.4.4.2	4.4.2. メッセージオブジェクトの機能について、EoB: エンドオブバッファビットの<注意事項>を下記のように修正。 (誤) ・ EoB ビットは、2～32 メッセージの FIFO バッファを構成するために使用します。 ↓ (正) ・ EoB ビットは、2～128 メッセージ(ch0), 2～64 メッセージ(ch1,ch2)の FIFO バッファを構成するために使用します。

ページ	場所	変更内容
1769	41.4.5.1	4.5.1. CAN 送信要求レジスタ ： TREQR1～TREQR4 について、〈注意事項〉を下記のように修正。 (誤) 優先順位が最下位のメッセージバッファを送信に使用している場合、TXRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。 ↓ (正) 優先順位が最下位のメッセージバッファを送信に使用している場合、TxRqst に"1"を設定し、送信中止のため、TxRqst に"0"を設定した場合、そのタイミングによっては、再度 TxRqst に"1"を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。
1785	41.5.2.2	5.2.2. 送信優先度について、文面を下記のように修正。 (誤) メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、2 つ以上の送信要求が保留されていると、対応するメッセージオブジェクトの小さい番号順に転送が行われます。 (正) メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 128(搭載している最大メッセージオブジェクト番号)が最低優先度となります。したがって、2 つ以上の送信要求が保留されていると、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

ページ	場所	変更内容
1813 ～ 1816	41.6	CAN 章の最後に下記を追加。 6. 制限事項 CAN の制限事項について説明します。 6.1 INIT ビット 6.1. INIT ビット INIT ビットについて示します。 6.1.1 制限事項 6.1.2 回避方法 6.1.1. 制限事項 制限事項について説明します。 コントロールフィールドの最終ビットを送信中に CAN コントロールレジスタ(CTRLR)の INIT ビット="1"を設定(図 6-1)すると、INIT ビットをクリアした後、最初に送信されるフレームのデータフィールドが 1 ビット分左へシフトされたものとなります。 なお、それ以降のメッセージは正しく送信されます。 また、データ長がゼロのリモートフレームとデータフレームは、本タイミングで INIT ビットを設定しても影響を受けません。  6.1.2. 回避方法 回避方法について説明します。 以下のいずれかの方法で、本制限を回避してください。 1. CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定する場合 送信完了後すぐに CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定してください。 2. 送信中に CAN 制御レジスタ(CTRLR)の INIT ビットに"1"を設定し、その後 INIT ビットに"0"を設定し送信したい場合 まずは、INIT ビットに"1"を設定し、送信要求ビット(TxRqst)が"1"に設定されているメッセージバッファに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、INIT ビットに"0"を設定してください。その後、CAN の 2 ビット時間経過後、送信したメッセージバッファの送信要求ビット(TxRqst)に"1"を設定してください。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1818</td><td>42.1.</td><td>1. 概要について、文章を下記のように追加。

(誤)
本モジュールは、各クロックソースから CAN マクロへ供給するクロック(fsys)の生成を行います。

(正)
本モジュールは、各クロックソースから CAN マクロへ供給するクロック(fsys)の生成を行います。図 3-1 は、CAN と CAN インタフェースおよび、CAN クロックプリスケーラとクロックソースセレクタ回路を示しています。</td></tr>
<tr><td>1826</td><td>43.1</td><td>1.概要に以下を追加

(正)
MB91F52xB(64pin), MB91F52xD(80pin)は ch0 のみ使用可能です。</td></tr>
<tr><td>1829</td><td>43.4</td><td>4.レジスタの■ベースアドレス(Base_addr)・外部端子表を以下のように修正

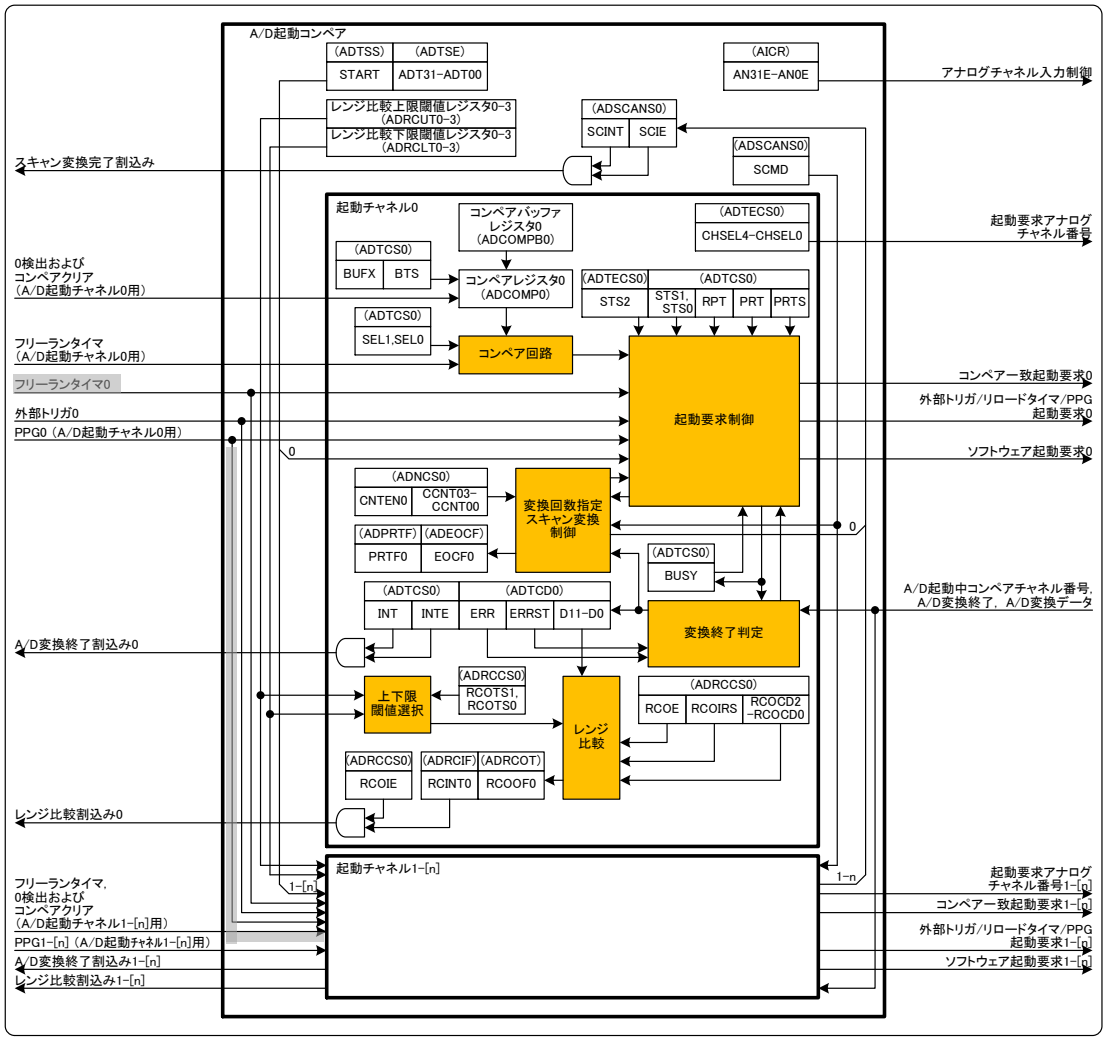
(誤)
<table>
<tr><th>チャネル番号</th><th>Base_addr</th><th>外部端子</th></tr>
<tr><td>0</td><td>0x023C</td><td>DAO0</td></tr>
<tr><td>1</td><td>0x023E</td><td>DAO1</td></tr>
</table>
(正)
<table>
<tr><th rowspan="2">チャネル</th><th rowspan="2">ベース
アドレス</th><th colspan="2">外部端子</th></tr>
<tr><th>MB91F52xB, MB91F52xD</th><th>MB91F52xF, MB91F52xJ,
MB91F52xK, MB91F52xL</th></tr>
<tr><td>0</td><td>0x023C</td><td>DAO0</td><td>DAO0</td></tr>
<tr><td>1</td><td>0x023E</td><td>なし</td><td>DAO1</td></tr>
</table></td></tr>
</table>

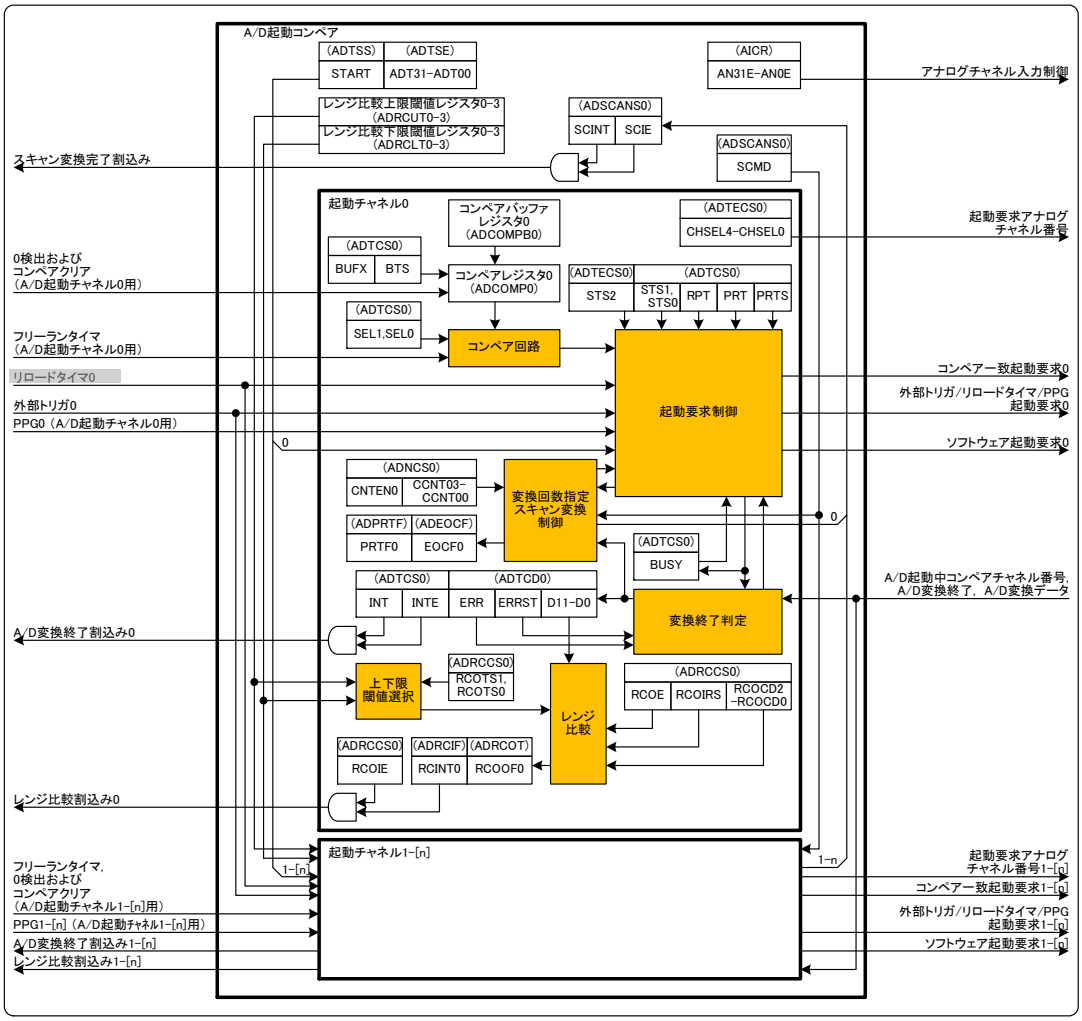
ページ	場所	変更内容
1830	43.4.1	4.1. D/A コントロールレジスタ ： DACR (D/A Control Register)の<注意事項>を下記のように修正。 (誤) ポート機能として D/A コンバータが選択されている場合、このビットに"0" を書き込むと当該ポートは汎用ポート機能となります。 ポート機能として D/A コンバータが選択され、ストップモードまたは時計モードに移行した場合、D/A コンバータは動作停止し、当該ポートは汎用ポート機能となります。 (正) ポート機能として D/A コンバータを選択している時に、本ビットを"0"に設定すると PFR/EPFR の設定に関わらず、ポート機能としての D/A コンバータは無効になります。 また、ストップモードや時計モードに入ると、D/A コンバータの端子機能は、強制的に無効になります。 『I/O ポート』の『 5.2. EPFR 設定の優先度について』に書かれている通り、D/A コンバータの出力機能は最優先です。 そのため、D/A コンバータ機能が無効になった時に、A/D, PPG, OCU, SG など D/A コンバータ以外の機能が有効になっていると、それらの機能が有効になるので注意してください。 PFR/EPFR/ADCH で、D/A コンバータ以外のリソース機能が選択されていない場合は、汎用ポート機能となりますので PDR/DDR にて端子状態を選択する事が可能です。

ページ	場所	変更内容
1832	43.5	5. 動作説明について、内容を下記のように修正。 (誤) D/A コンバータは、D/A データレジスタ(DADR)に書き込まれた値を元に出力電圧を算出し、DAO 端子からアナログ電圧を出力します。 D/A データレジスタ(DADR)の DA7～DA0 ビットに値を書き込み、D/A コントロールレジスタ(DACR0)の DAE ビットに"1"を書き込むと、D/A コンバータからアナログ信号が出力されます。 D/A コントロールレジスタ(DACR)の DAE ビットに"0"を書き込んだ場合は、D/A コンバータからは 0.0V が出力されます。また、CPU がストップモードの場合も D/A コンバータからは 0.0V が出力されます。 D/A コントロールレジスタ(DACR)の DAE ビットに"1"を書き込んで、D/A コンバータからの出力を許可した場合に出力できる電圧は 0.0V から 255/256 × AVCC(AVCC:AVCC 端子の電圧)になるため、AVCC 端子を調整すると、出力電圧範囲を変更できます。 D/A コンバータの変換結果の外部端子への出力は、D/A コントロールレジスタ(DACR)の DAE ビットの他に、PFR レジスタと EPFR レジスタにより端子を D/A 出力に設定する必要があります。 ↓ (正) D/A コンバータは、D/A データレジスタ(DADR)に書き込まれた値を元に出力電圧を算出し、DAO 端子からアナログ電圧を出力します。 D/A データレジスタ(DADR)の DA7～DA0 ビットに値を書き込み、D/A コントロールレジスタ(DACR0)の DAE ビットに"1"を書き込むと、D/A コンバータからアナログ信号が出力されます。 ポート機能として D/A コンバータを選択している時に、D/A コントロールレジスタ(DACR)の DAE ビットを""0""に設定すると PFR/EPFR の設定に関わらず、ポート機能としての D/A コンバータは無効になります。また、ストップモードや時計モードに入ると、D/A コンバータの端子機能は、強制的に無効になります。 『 I/O ポート』の『 5.2. EPFR 設定の優先度について』に書かれている通り、D/A コンバータの出力機能は最優先です。 そのため、D/A コンバータ機能が無効になった時に、A/D, PPG, OCU, SG など D/A コンバータ以外の機能が有効になっていると、それらの機能が有効になるので注意してください。 PFR/EPFR/ADCH で、D/A コンバータ以外のリソース機能が選択されていない場合は、汎用ポート機能となりますので PDR/DDR にて端子状態を選択する事が可能です。 D/A コンバータの変換結果の外部端子への出力は、D/A コントロールレジスタ(DACR)の DAE ビットの他に、PFR レジスタと EPFR レジスタにより端子を D/A 出力に設定する必要があります。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1838</td><td>44.2.1</td><td>2.1. A/D 起動コンペアの機能の■起動チャネルの表 2-1　各ユニットごとのチャネル割り振りの MB91F52xD のユニット 0 について、下記のように ch12, ch19 を追加。

(誤)
<table><tr><th></th><th>ユニット 0</th><th>ユニット 1</th></tr><tr><td>MB91F52xD</td><td>ch. 0, ch. 1, ch. 7, ch. 10, ch. 11, ch. 14～ch. 17,
ch. 22, ch. 26, ch. 27, ch. 28, ch. 31</td><td>Ch32～ch47</td></tr></table>
(正)
<table><tr><th></th><th>ユニット 0</th><th>ユニット 1</th></tr><tr><td>MB91F52xD</td><td>ch. 0, ch. 1, ch. 7, ch. 10, ch. 11, ch12,
ch. 14～ch. 17, ch19,
ch. 22, ch. 26, ch. 27, ch. 28, ch. 31</td><td>Ch32～ch47</td></tr></table></td></tr>
</table>

ページ	場所	変更内容
1842	44.3	3. 構成の図 3-1 A/D 起動コンペアの構成(n=31 A/D コンバータ　ユニット 0)を以下のように修正。 (誤)  (続く)

ページ	場所	変更内容
1842	44.3	（続き） （正） 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1867</td><td>44.4.2
.4</td><td>4.2.4. A/D 起動トリガ制御ステータスレジスタ：ADTCS0～ADTCS47 の [bit4]BTS:コンペアレジスタバッファ転送制御ビットの内容に下記のように文章を追加。

(誤)
・”0”を設定した場合、フリーランタイマの 0 検出時にコンペアレジスタバッファレジスタの値がコンペアレジスタに転送されます。
・”1” を設定した場合、フリーランタイマのコンペアクリアレジスタバッファレジスタに一致したときにコンペアバッファレジスタ値がコンペアレジスタに転送されます。

(正)
・ コンペアレジスタのバッファ機能有効(ADTCS.BUFX=″0″)時の転送条件を設定します。
・ コンペアレジスタのバッファ機能有効(ADTCS.BUFX=″0″)時、BTS 設定が有効です。
・”0”を設定した場合、フリーランタイマの 0 検出時にコンペアレジスタバッファレジスタの値がコンペアレジスタに転送されます。
・”1” を設定した場合、フリーランタイマのコンペアクリアレジスタバッファレジスタに一致したときにコンペアバッファレジスタ値がコンペアレジスタに転送されます。</td></tr>
<tr><td>1875</td><td>44.4.2
.9</td><td>4.2.9 レンジ比較制御ステータスレジスタ：ADRCCS0～47 の属性を下記のように修正

(誤)
<table><tr><td></td><td>bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr><tr><td></td><td>RCOCD2</td><td>RCOCD1</td><td>RCOCD0</td><td>RCOIRS</td><td>RCOIE</td><td>RCOE</td><td>RCOTS1</td><td>RCOTS0</td></tr><tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>属性</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>RW</td></tr></table>
(正)
<table><tr><td></td><td>bit7</td><td>bit6</td><td>bit5</td><td>bit4</td><td>bit3</td><td>bit2</td><td>bit1</td><td>bit0</td></tr><tr><td></td><td>RCOCD2</td><td>RCOCD1</td><td>RCOCD0</td><td>RCOIRS</td><td>RCOIE</td><td>RCOE</td><td>RCOTS1</td><td>RCOTS0</td></tr><tr><td>初期値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>属性</td><td>R,W</td><td>R,W</td><td>R,W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr></table></td></tr>
<tr><td>1894</td><td>44.4.3
.3</td><td>4.3.3. A/D モード設定レジスタの[bit3,bit2]の設定の表題を下記のように修正。

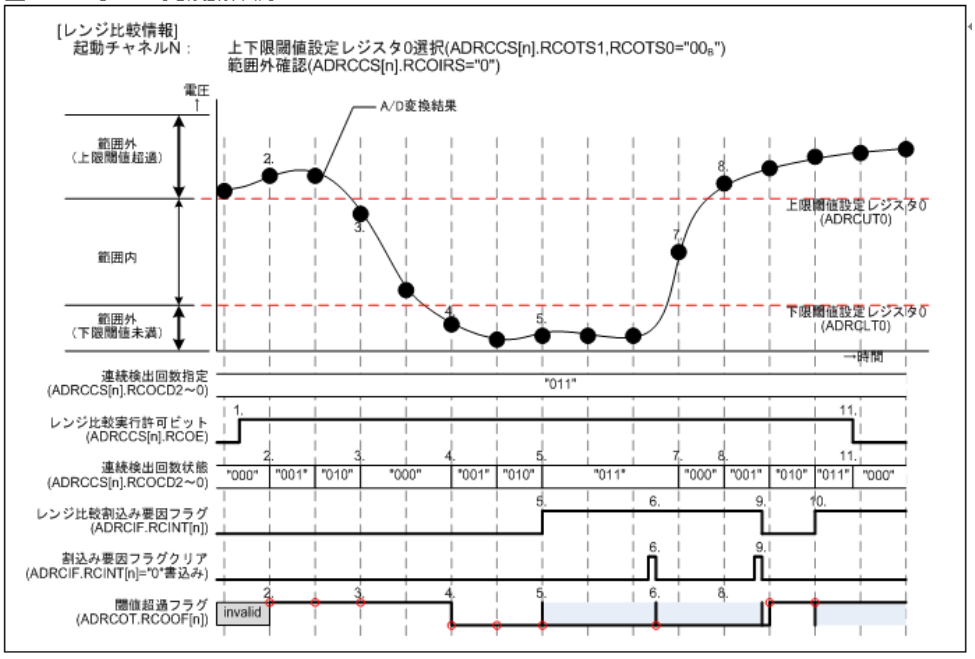
(誤)
推奨設定

(正)
設定例</td></tr>
</table>

ページ	場所	変更内容
1894	44.4.3.3	4.3.3. A/D モード設定レジスタの[bit1,bit0]の設定の表題を下記のように修正。 (誤) 推奨設定(使用条件: AVcc=2.7V~5.5V) 推奨設定(使用条件: AVcc=4.5V~5.5V) (正) 設定例(使用条件: AVcc=2.7V~5.5V) 設定例(使用条件: AVcc=4.5V~5.5V)
1928	44.5.2.15	5.2.15. 起動要求の強制終了の説明文を以下のように修正 (誤) A/D 起動要求中または変換中は、A/D 起動要求中ビットにより通知できます。また、現在の A/D 起動要求または変換を強制終了したい場合には、該当のビットに"0"を書き込みます (正) A/D 起動要求中または変換中は、A/D 起動トリガ制御ステータスレジスタの A/D 起動要求中ビット(ADTCS0-47.BUSY)により通知できます。 また、現在の A/D 起動要求または変換を強制終了したい場合には、本ビットに"0"を書き込みます。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1932</td><td>44.5.2
.16</td><td>
5.2.16. レンジ比較機能の■レンジ比較動作例について、表 5-11 を下記の図に差替え

(誤)
表 5-11 レンジ比較上下限閾値選択
<table>
<tr><th rowspan="2">レンジ比較結果</th><th colspan="2">レンジ比較閾値超過フラグビット
(ADRCOT:RCOOF)</th></tr>
<tr><th>範囲外確認
(ADRCCS:RCOIRS="0")</th><th>範囲内確認
(ADRCCS:RCOIRS="1")</th></tr>
<tr><td>範囲外 (上限閾値超過)
A/D データビット＞上限閾値設定レジスタ</td><td>"1"</td><td>前値保持</td></tr>
<tr><td>範囲内
A/D データビット≦上限閾値設定レジスタ
かつ
A/D データビット≧下限閾値設定レジスタ</td><td>前値保持</td><td>前値保持</td></tr>
<tr><td>範囲外(下限閾値未満)
A/D データビット＜下限閾値設定レジスタ</td><td>"0"</td><td>前値保持</td></tr>
</table>

(正)
図 5-22 レンジ比較動作例


</td></tr>
</table>

ページ	場所	変更内容
1935	44.5.3.1	5.3.1. A/D 起動トリガ調停の図 5-22 起動調停の図番を以下のように修正 (誤) 図 5-22 起動調停 (正) 図 5-23 起動調停
1939	44.5.4.1	5.4.1. 動作タイミングの図 5-23 12 ビット A/D コンバータの動作タイミングの図番を以下のように修正 (誤) 図 5-23 12 ビット A/D コンバータの動作タイミング (正) 図 5-24 12 ビット A/D コンバータの動作タイミング
1945	44.5.4.7	5.4.7. A/D 変換時間について表 5-12 と表 5-13 の表番と表タイトルを以下のように修正 (誤) 表 5-12 周辺クロック周波数に対するサンプリング時間 表 5-13 周辺クロック周波数に対するサンプリング時間 (正) 表 5-11 周辺クロック周波数に対するサンプリング時間 表 5-12 周辺クロック周波数に対するコンペア時間

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1953</td><td>45.2</td><td>2. 特長の「・ ECC(Error Correction Code)機能」の説明文を下記のように修正。

(誤)
・ ECC(Error Correction Code)機能
1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。

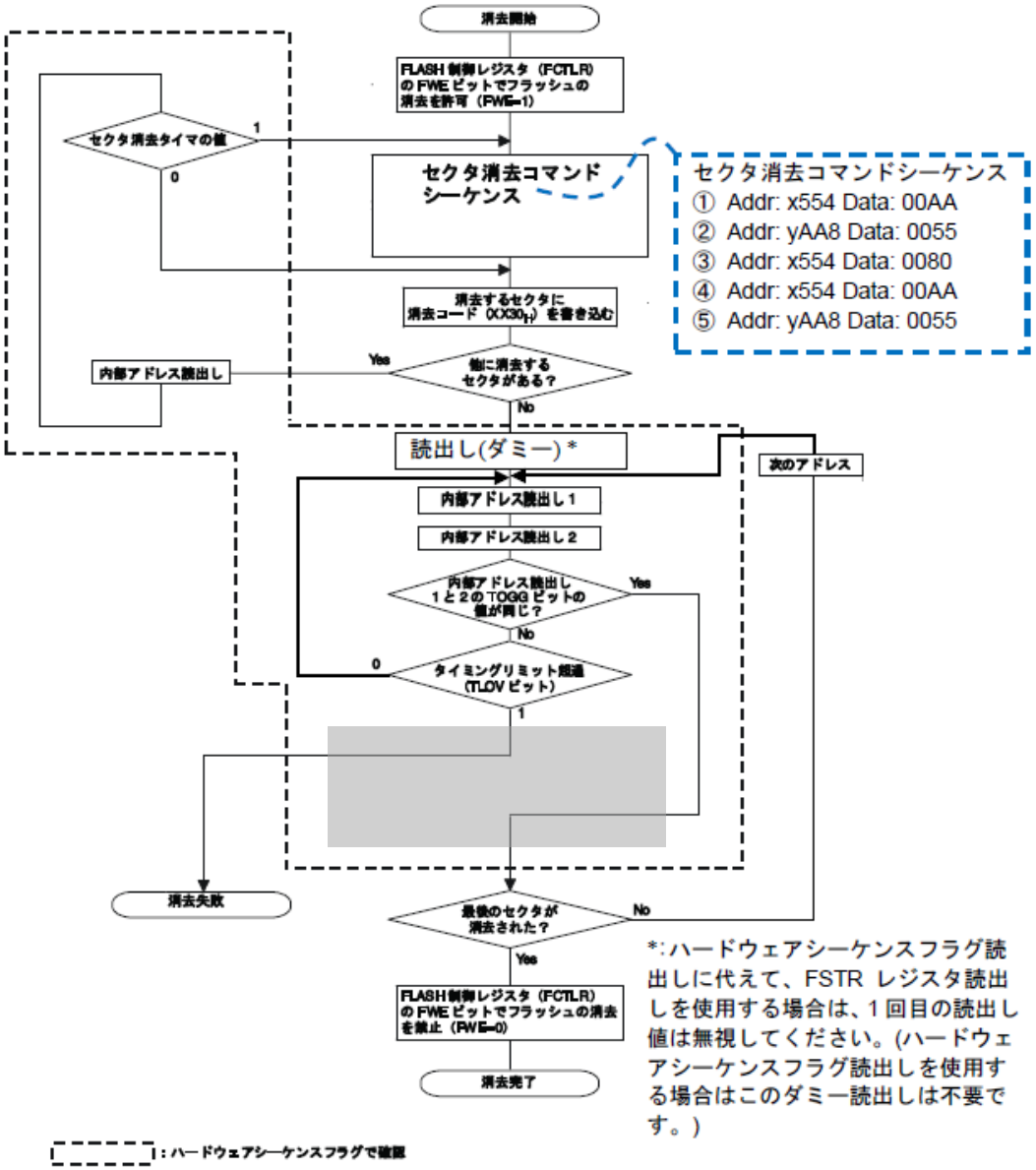
(正)
・ ECC(Error Correction Code)機能
・1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
・チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。
イレーズ状態(FFFF)のデータを正しく読み出す必要がある場合は、かならず"FFFF"を書き込んでから読み出してください。</td></tr>
<tr><td>1968</td><td>45.4.1</td><td>4.1. フラッシュ制御レジスタ: FCTLR (Flash ConTroL Register)の[bit9, bit8] FAW[1:0] : FLASH アクセス・ウェイト設定の説明文を下記のように修正。

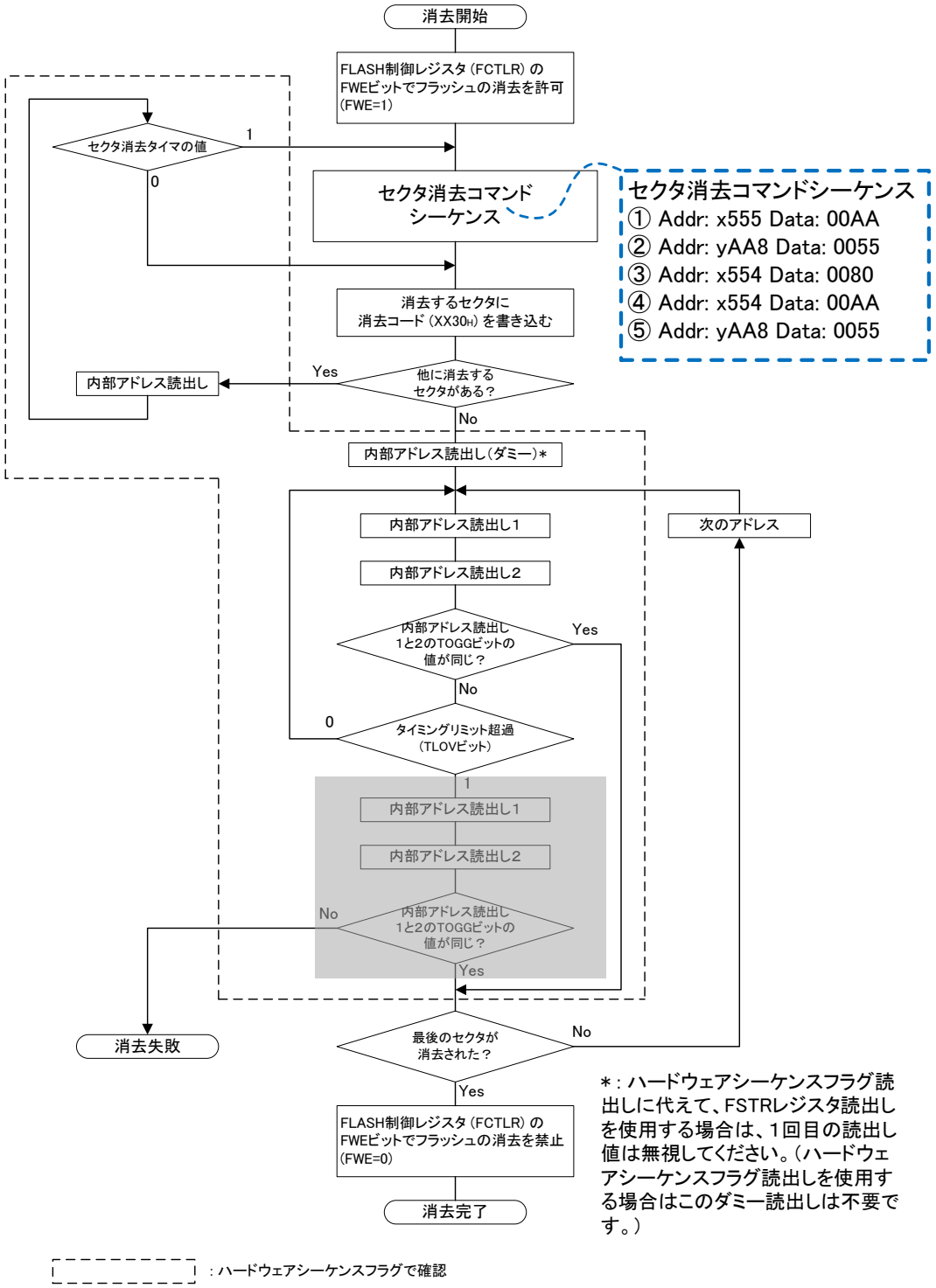
(誤)
CPU モード時の FLASH アクセスに対するウェイト・サイクルを設定します。フラッシュメモリの読出し時間は 12.5 ns なので、80MHz を超える動作周波数でフラッシュメモリにアクセスする時は、ウェイトなしでのアクセスは不可能であり、本ビットによりウェイトを挿入することが必須です。80MHz を超える動作周波数でのアクセス時は、FAW=1(1wait)に設定してください。

(正)
CPU モード時の FLASH アクセスに対するウェイト・サイクルを設定します。フラッシュメモリの読出し時間は 12.5 ns なので、80MHz を超える動作周波数でフラッシュメモリにアクセスすることは禁止です。80MHz を超える動作周波数でのアクセス時は、FAW=1(1wait)に設定してください。</td></tr>
<tr><td>1970</td><td>45.4.3</td><td>4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR (Flash I/F Control Register)の [bit4] DFWDSBL (Data Fetch Wait cycle Disable) : データフェッチ・ウェイトサイクル無効について<注意事項>を追加。

(正)
<table><tr><th>DFWDSBL</th><th>説明</th></tr><tr><td>0</td><td>ウェイト・サイクル有効(初期値)</td></tr><tr><td>1</td><td>ウェイト・サイクル無効</td></tr></table>＜注意事項＞
本ビットを"1"から"0"に変更する場合、かならず FCTLR.FAW="00"に設定してから行ってください。</td></tr>
</table>

ページ	場所	変更内容
1982	45.5.3.1	5.3.1. コマンドシーケンスについて、■セクタ消去一時停止コマンドの<注意事項>の文面を下記のように修正。 (誤) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs 要します。 (正) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs +2cyc 要します。
1986	45.5.4	5.4. リセットコマンドの説明分を以下のように修正 (誤) 電源投入時はデータ読出しコマンドを発行する必要はありません。 (正) 電源投入時はリセットコマンドを発行する必要はありません。

ページ	場所	変更内容
1992	45.5.7 .	5.7. セクタ消去コマンドについて図 5-3 セクタ消去手順例を以下のように修正 (誤)  (続く)

ページ	場所	変更内容
1992	45.5.7	（続き） （正） 

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1993</td><td>45.5.7</td><td>5.7. セクタ消去コマンドの注意事項を以下のように修正

(誤)
・ タイムアウト期間を含むセクタ消去中にセクタ消去コマンド以外のコマンドを発行すると、フラッシュメモリが読出し/リセット状態になります。この場合、フラッシュメモリがリセットされるので、コマンドが発行される 1 つ前または複数のセクタ消去コマンドが無効になります。セクタ消去を行う場合は、最初からセクタ消去コマンドを発行しなおしてください。

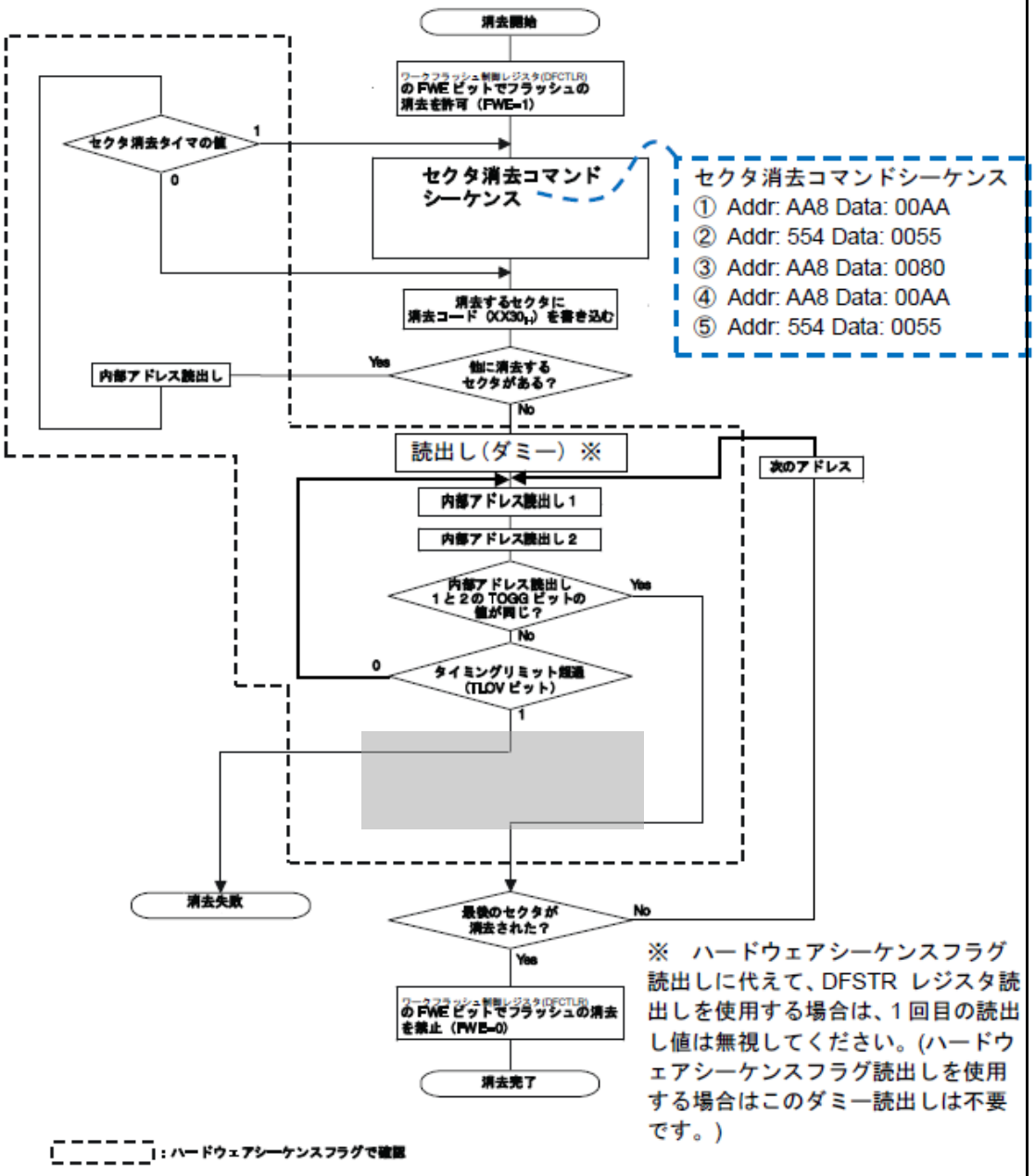
(正)
・ コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。</td></tr>
<tr><td>2003</td><td>46.2</td><td>2. 特長の「・ ECC(Error Correction Code)機能」の説明文を下記のように修正。

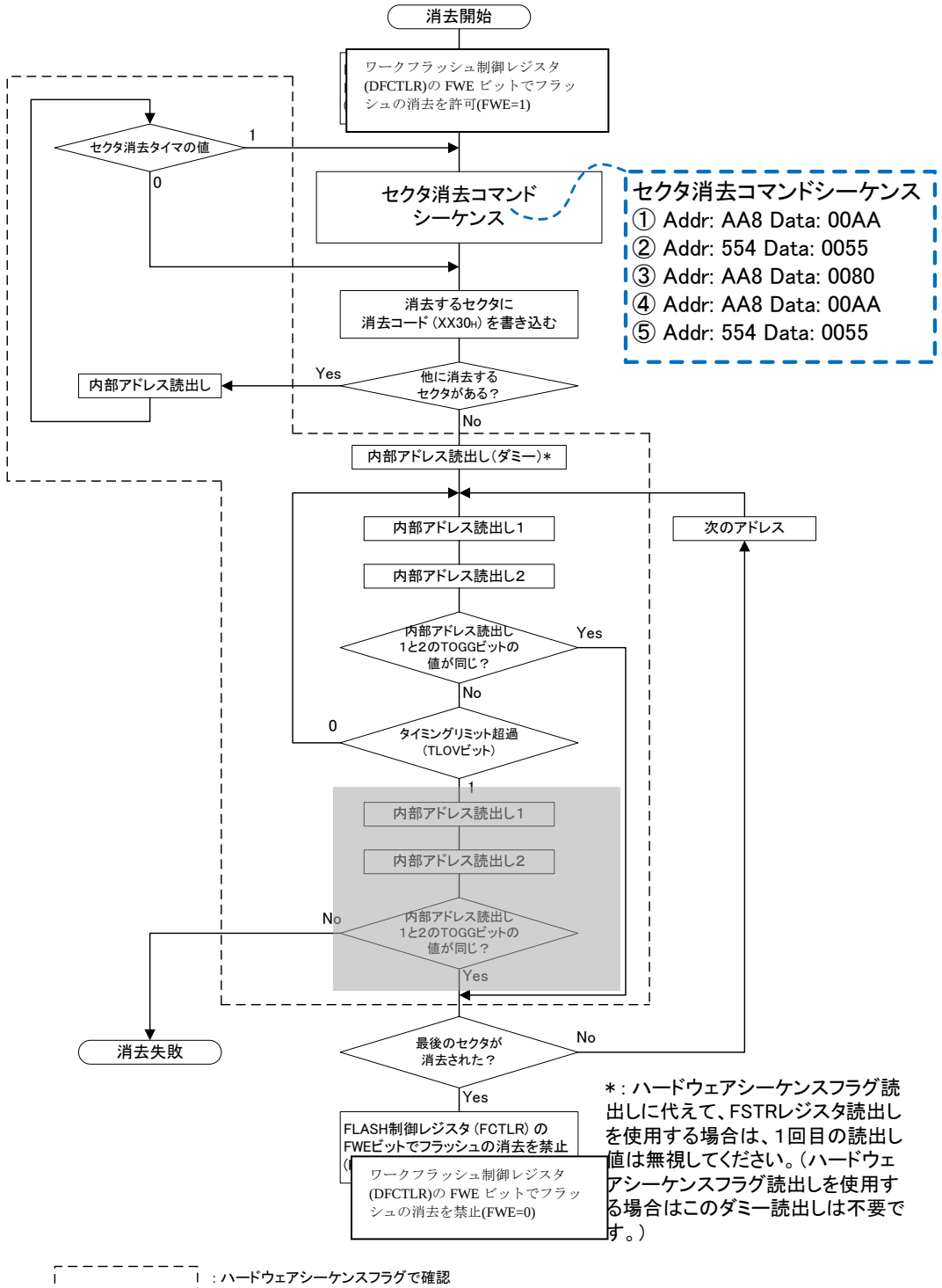
(誤)
・ ECC(Error Correction Code)機能
1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。

(正)
・ ECC(Error Correction Code)機能
・1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code)機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
・チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態(FFFF)のデータをエラー検知されない様に読み出す必要がある場合は、"FFFF"を書き込んでから読み出してください。</td></tr>
<tr><td>2010</td><td>46.4.3</td><td>4.3. フラッシュインタフェース制御レジスタ : FLIFCTLR (Flash I/F Control Register)の[bit4] DFWDSBL (Data Fetch Wait cycle Disable) : データフェッチ・ウェイトサイクル無効について<注意事項>を追加。

(正)
<table><tr><th>DFWDSBL</th><th>説明</th></tr><tr><td>0</td><td>ウェイト・サイクル有効(初期値)</td></tr><tr><td>1</td><td>ウェイト・サイクル無効</td></tr></table>＜注意事項＞
本ビットを”1”から”0”に変更する場合、かならず FCTLR.FAW=”00”に設定してから行ってください。</td></tr>
</table>

ページ	場所	変更内容
2020	46.5.3.1	5.3.1. コマンドシーケンスについて、■セクタ消去一時停止コマンドの<注意事項>の文面を下記のように修正。 (誤) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs 要します。 (正) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7μs+2cyc 要します。
2024	46.5.4	5.4.リセットコマンドの説明文を以下のように修正 (誤) 電源投入時はデータ読出しコマンドを発行する必要はありません。 また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにセットコマンドを発行する必要はありません。 (正) 電源投入時はリセットコマンドを発行する必要はありません。 また、リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

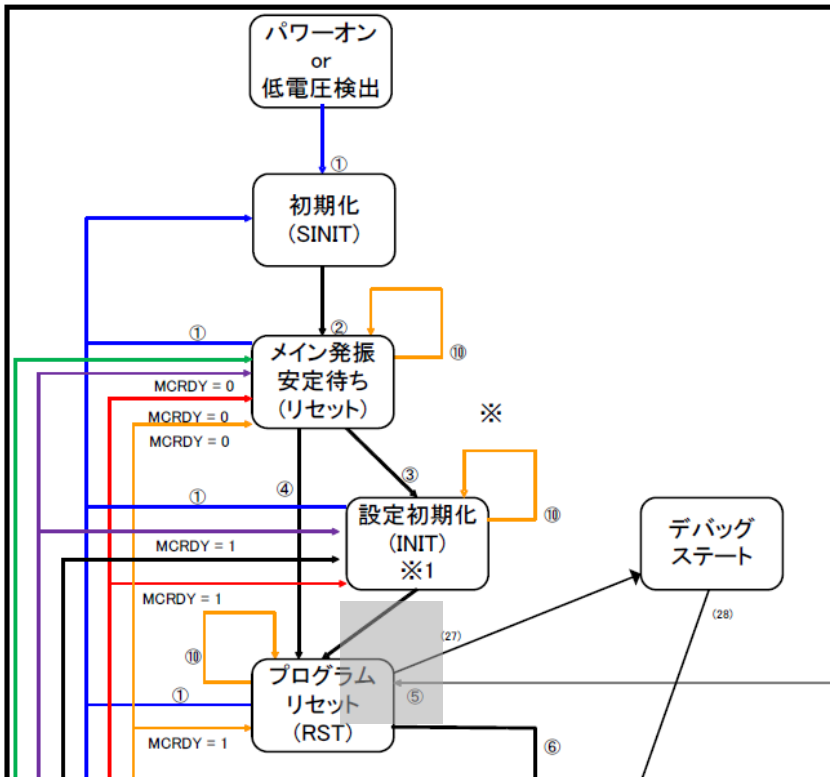
ページ	場所	変更内容
2030	46.5.7	5.7. セクタ消去コマンドについて図 5-3 セクタ消去手順例を以下のように修正 （誤）  （続く）

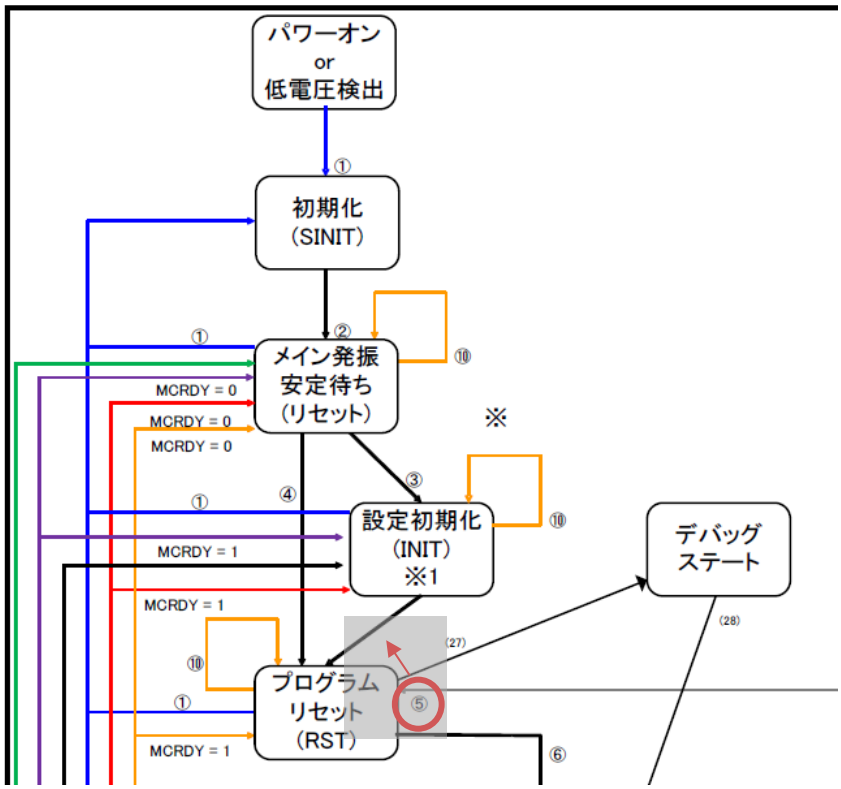
ページ	場所	変更内容
2030	46.5.7	（続き） （正） 

ページ	場所	変更内容
2031	46.5.7	5.7.セクタ消去コマンドの注意事項を以下のように修正 (誤) ・ タイムアウト期間を含むセクタ消去中に、セクタ消去コマンド以外のコマンドを発行すると、フラッシュメモリが読出し/リセット状態になります。この場合、フラッシュメモリがリセットされるので、コマンドが発行される 1 つ前または複数のセクタ消去コマンドが無効になります。セクタ消去を行う場合は、最初からセクタ消去コマンドを発行しなおしてください。 (正) ・ コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
2035	46.5.9.2	5.9.2. フラッシュセキュリティ設定方法について、文面を下記のように修正。 (誤) フラッシュセキュリティコード領域(「フラッシュメモリ」章の「図 3-3～3-9 セクタ構成図」を参照してください) に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。 (正) フラッシュセキュリティコード領域(『フラッシュメモリ』章の『図 3-2 セクタ構成図』を参照してください) に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。
2036	46.5.9.3	5.9.3. フラッシュセキュリティ解除方法の注意事項を下記のように修正。 (誤) ＜注意事項＞ ユーザモード(内部 FLASH 起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。 フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施することを推奨します。 (正) ＜注意事項＞ ユーザモード(内部 FLASH 起動)では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施してください。

ページ	場所	変更内容
2038	46.5.10	5.10. フラッシュメモリの使用上の注意について、フラッシュメモリの記述を全てワークフラッシュメモリに変更。 (誤) 5.10. フラッシュメモリの使用上の注意 フラッシュメモリの使用上の注意について示します。 ・ 書込み中に本デバイスがリセットされた場合は，書き込んでいるデータは保証されません。 ・ ワークフラッシュ制御レジスタ(DFCTLR)の FEW ビットで CPU プログラミングモードを設定(FEW=1)したときは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。 ・ ワークフラッシュ 制御レジスタ(DFCTLR)の FEW ビットで CPU プログラミングモードを設定(FEW=1)し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。 ・ 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「フラッシュメモリ」章の「5.2 CPU によるフラッシュメモリ書込み」を参照してください。 ・ 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。 ・ オンチップデバッガ(OCD)のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出すことができます。第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。 ・ FLASH プログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。 ・ 本フラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。 (正) 5.10. ワークフラッシュメモリの使用上の注意 ワークフラッシュメモリの使用上の注意について示します。 ・ 書込み中に本デバイスがリセットされた場合は，書き込んでいるデータは保証されません。 ・ ワークフラッシュ制御レジスタ(DFCTLR)の FEW ビットで CPU プログラミングモードを設定(FEW=1)したときは、ワークフラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。 ・ ワークフラッシュ 制御レジスタ(DFCTLR)の FEW ビットで CPU プログラミングモードを設定(FEW=1)し、ワークフラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。 ・ 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「5.2 CPU によるフラッシュメモリ書込み」を参照してください。 ・ 複数マクロへの同時(並行)コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。 ・ オンチップデバッガ(OCD)のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からワークフラッシュメモリの内容を読み出すことができます。第三者による読出しを禁止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定してください。 ・ フラッシュプログラム/イレーズ中にスタンバイ状態に遷移することは禁止です。 ・ 本ワークフラッシュメモリは ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

ページ	場所	変更内容
2060	47.5.2.1	5.2.1. チップリセットシーケンスの■INIT 通知フェーズの説明文を下記のように修正。 (誤) 開始フェーズが終了してから通常 UART のサンプリングクロック 568 サイクル間は、INIT 通知フェーズです。OCDU は、このフェーズにいる間、MDI に 280 サイクルの L を 2 回出力(間に 8 サイクルのアイドルを挿入)し、INIT の発生をツールに通知します。 (正) 開始フェーズが終了してから通常 UART のサンプリングクロック 568 サイクル間は、INIT 通知フェーズです。OCDU は、このフェーズにいる間、DEBUG I/F に 280 サイクルの"L" を 2 回出力(間に 8 サイ クルのアイドルを挿入)し、INIT の発生をツールに通知します。
2060	47.5.2.1	5.2.1. チップリセットシーケンスの■モードエントリフェーズの説明文を下記のように修正。 (誤) モードエントリフェーズ開始直後にモードコマンドを受信させる場合、UART 受信サンプリングクロックで 1 サイクル幅以上 MDI に"H"が入力されるのを待って、モードコマンドを受信させる必要があります。これが満足されない場合、モードコマンド受信のスタートビットを正常検出できず、正しくモードエントリできない可能性があります。 (正) モードエントリフェーズ開始直後にモードコマンドを受信させる場合、UART 受信サンプリングクロックで 1 サイクル幅以上 DEBUG I/F に"H"が入力されるのを待って、モードコマンドを受信させる必要があります。これが満足されない場合、モードコマンド受信のスタートビットを正常検出できず、正しくモードエントリできない可能性があります。
2064	47.5.3.1	5.3.1. クロック設定の説明分の以下レジスタ名を修正 (誤) CCPDSDIVR.PODS (正) CCPSDIVR.PODS

ページ	場所	変更内容
2066	47.5.3.3	5.3.3. クロック・リセット状態遷移の図 5-2 デバイス状態を以下のように修正 （誤） 図 5-2 デバイス状態 

ページ	場所	変更内容
		(正) 図 5-2 デバイス状態 
2067	47.5.3.4	5.3.4. 仕様制限まとめの表のリセット要因「外部定電圧検出リセット」の備考欄から下記記述を削除。 (誤) 降圧回路切替え安定待ち時間*2 なし (注意事項)Main/Sub ストップモード、Main/Sub 時計モードからの復帰のみ メイン発振安定待ち時間なし　　(注意事項)Main/Sub ストップモード、Sub 時計モードからの復帰のみ (正) 降圧回路切替え安定待ち時間*2 なし (注意事項)Main/Sub ストップモード、Main/Sub 時計モードからの復帰のみ

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2069</td><td>47.5.4</td><td>5.4. 本品種の OCD-DSU ID コードおよび実装タイプ情報の表 5-1 本品種の OCD-DSU ID コードの表を以下のように修正

(誤)
<table>
<tr><td rowspan="12">デバイス ID</td><td rowspan="12">16</td><td rowspan="12">E_IDDCR</td><td rowspan="12">0x002</td><td>0x0030</td><td>MB91F52xBW</td></tr>
<tr><td>0x0031</td><td>MB91F52xBS</td></tr>
<tr><td>0x0032</td><td>MB91F52xDW</td></tr>
<tr><td>0x0033</td><td>MB91F52xDS</td></tr>
<tr><td>0x0034</td><td>MB91F52xFW</td></tr>
<tr><td>0x0035</td><td>MB91F52xFS</td></tr>
<tr><td>0x0036</td><td>MB91F52xJW</td></tr>
<tr><td>0x0037</td><td>MB91F52xJS</td></tr>
<tr><td>0x0038</td><td>MB91F52xKW</td></tr>
<tr><td>0x0039</td><td>MB91F52xKS</td></tr>
<tr><td>0x003a</td><td>MB91F52xLW</td></tr>
<tr><td>0x003b</td><td>MB91F52xLS</td></tr>
<tr><td>デバイス
バージョン ID</td><td>4</td><td>E_IDVCR</td><td>0x003</td><td>0x1</td><td></td></tr>
</table>

(正)
<table>
<tr><td rowspan="12">デバイス ID</td><td rowspan="12">16</td><td rowspan="12">E_IDDCR</td><td rowspan="12">0x002</td><td>0x0030</td><td>MB91F52xBW/Y/J/L</td></tr>
<tr><td>0x0031</td><td>MB91F52xBS/U/H/K</td></tr>
<tr><td>0x0032</td><td>MB91F52xDW/Y/J/L</td></tr>
<tr><td>0x0033</td><td>MB91F52xDS/U/H/K</td></tr>
<tr><td>0x0034</td><td>MB91F52xFW/Y/J/L</td></tr>
<tr><td>0x0035</td><td>MB91F52xFS/U/H/K</td></tr>
<tr><td>0x0036</td><td>MB91F52xJW/Y/J/L</td></tr>
<tr><td>0x0037</td><td>MB91F52xJS/U/H/K</td></tr>
<tr><td>0x0038</td><td>MB91F52xKW/Y/J/L</td></tr>
<tr><td>0x0039</td><td>MB91F52xKS/U/H/K</td></tr>
<tr><td>0x003a</td><td>MB91F52xLW/Y/J/L</td></tr>
<tr><td>0x003b</td><td>MB91F52xLS/U/H/K</td></tr>
<tr><td>デバイス
バージョン ID</td><td>4</td><td>E_IDVCR</td><td>0x003</td><td>0x2
0x3</td><td>Revision : B
Revision : C</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2074</td><td>48.3.</td><td>3. 構成について、■波形ジェネレータの端子対応表を削除。

(誤)
■波形ジェネレータの端子対応表
波形ジェネレータの端子の対応表を表 3-1 に示します。
表 3-1 波形ジェネレータの端子対応表
<table><tr><td>波形ジェネレータ</td></tr><tr><td>コンペア出力 0/1/2/3/4/5</td></tr><tr><td>PPG0/2/4</td></tr><tr><td>GATE0/2/4</td></tr><tr><td>RT00/1/2/3/4/5</td></tr><tr><td>割込み 0/1/2</td></tr><tr><td>割込みリロード 0/1/2</td></tr><tr><td>DTTI 割込み 0</td></tr><tr><td>DTTI 入力 0</td></tr><tr><td>16 ビットデッドタイマ 0/1/2</td></tr></table>↓</td></tr>
<tr><td>2075</td><td>48.4</td><td>4. レジスタに以下の表を追加(■波形ジェネレータのレジスタ一覧の前)

(正)
■外部端子表
表 4-1 外部端子表
<table><tr><td rowspan="2">チャネル</td><td colspan="4">外部端子</td></tr><tr><td>MB91F52xB</td><td>MB91F52xD</td><td>MB91F52xF</td><td>MB91F52xJ,
MB91F52xK,
MB91F52xL</td></tr><tr><td>DTTI</td><td>DTTI_0/
DTTI_1</td><td>DTTI_0/
DTTI_1</td><td>DTTI_0/
DTTI_1</td><td>DTTI_0/
DTTI_1/
DTTI_2</td></tr><tr><td>0</td><td>RT00_1</td><td>RT00_1</td><td>RT00_1</td><td>RT00_0/
RT00_1</td></tr><tr><td>1</td><td>RT01_1</td><td>RT01_1</td><td>RT01_1</td><td>RT01_0/
RT01_1</td></tr><tr><td>2</td><td>RT02_1</td><td>RT02_0/
RT02_1</td><td>RT02_0/
RT02_1</td><td>RT02_0/
RT02_1</td></tr><tr><td>3</td><td>RT03_0/
RT03_1</td><td>RT03_0/
RT03_1</td><td>RT03_0/
RT03_1</td><td>RT03_0/
RT03_1</td></tr><tr><td>4</td><td>RT04_0/
RT04_1</td><td>RT04_0/
RT04_1</td><td>RT04_0/
RT04_1</td><td>RT04_0/
RT04_1</td></tr><tr><td>5</td><td>RT05_1</td><td>RT05_1</td><td>RT05_0/
RT05_1</td><td>RT05_0/
RT05_1</td></tr></table></td></tr>
</table>

ページ	場所	変更内容
2078	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR0 の[bit6] GTEN1 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL01-00 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL01-00 で選択されます。
2079	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR0 の[bit5] GTEN0 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL01, PSEL00 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL01, PSEL00 で選択されます。
2081	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR1 の[bit6] GTEN3 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL11, PSEL10 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL11, PSEL10 で選択されます。
2081	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR1 の[bit5] GTEN2 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL11, PSEL10 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL11, PSEL10 で選択されます。

ページ	場所	変更内容
2084	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR2 の[bit6] GTEN5 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL21, PSEL20 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL21, PSEL20 で選択されます。
2084	48.4.1.2	4.1.2. 16 ビットデッドタイマ状態制御レジスタ:DTSCR2 の[bit5] GTEN4 の説明文を以下のように修正 (誤) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL21, PSEL20 で選択されます。 (正) ・"1"に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20 の PSEL21, PSEL20 で選択されます。
2091	48.4.1.4	4.1.4. 16 ビットデッドタイママイナス制御レジスタ: DTMNS の[bit2]MNS2: デッドタイム機能選択ビット(RTO4 と RTO5)の説明文に以下を追加 (誤) ・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。 (正) ・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。 ・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。
2091	48.4.1.4	4.1.4. 16 ビットデッドタイママイナス制御レジスタ: DTMNS の[bit1]MNS1: デッドタイム機能選択ビット(RTO2 と RTO3)の説明文に以下を追加 (誤) ・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。 (正) ・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。 ・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2091</td><td>48.4.1
.4</td><td>4.1.4. 16 ビットデッドタイママイナス制御レジスタ: DTMNS の[bit0]MNS0: デッドタイム機能選択ビット(RT00 と RT01)の説明文に以下を追加

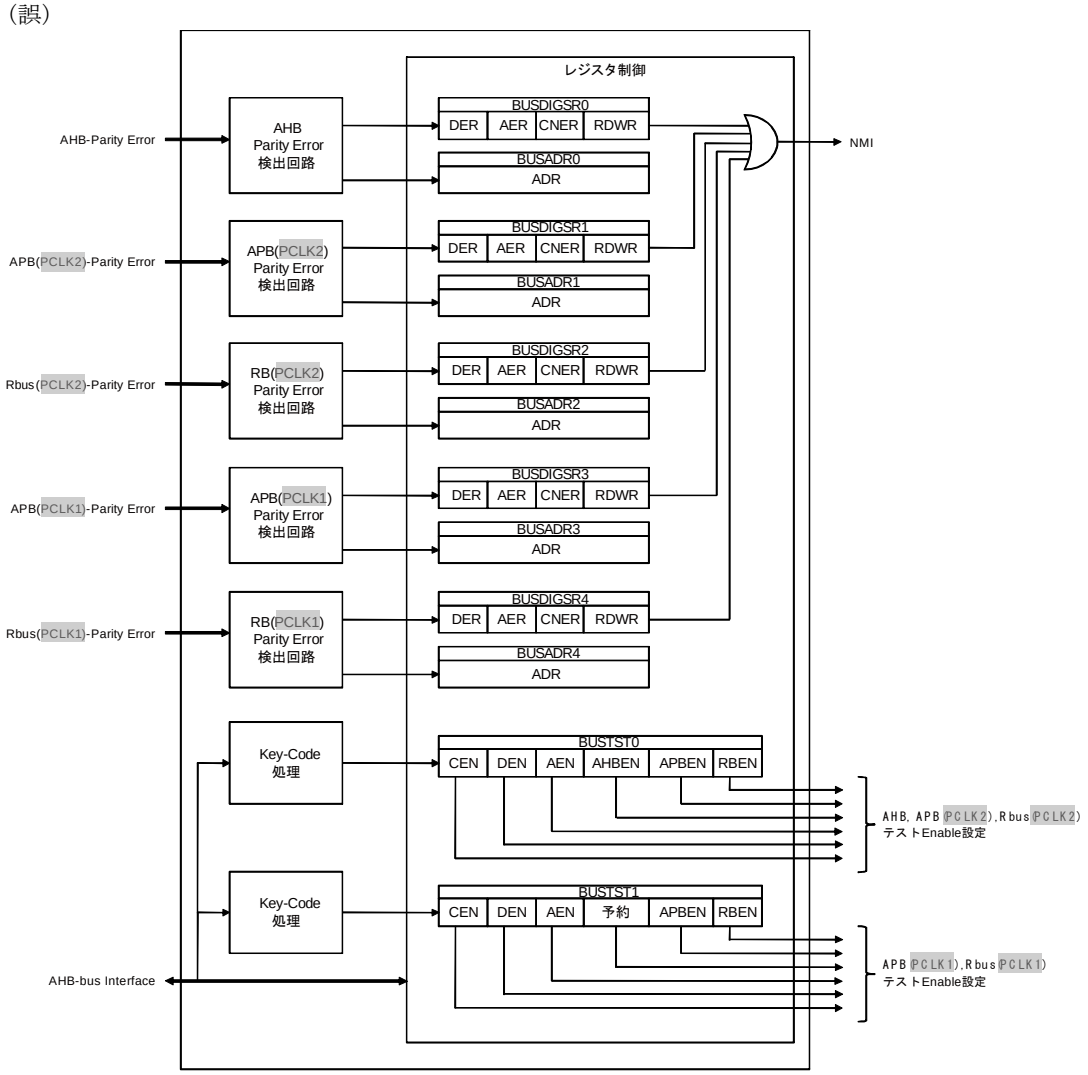
(誤)
・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。

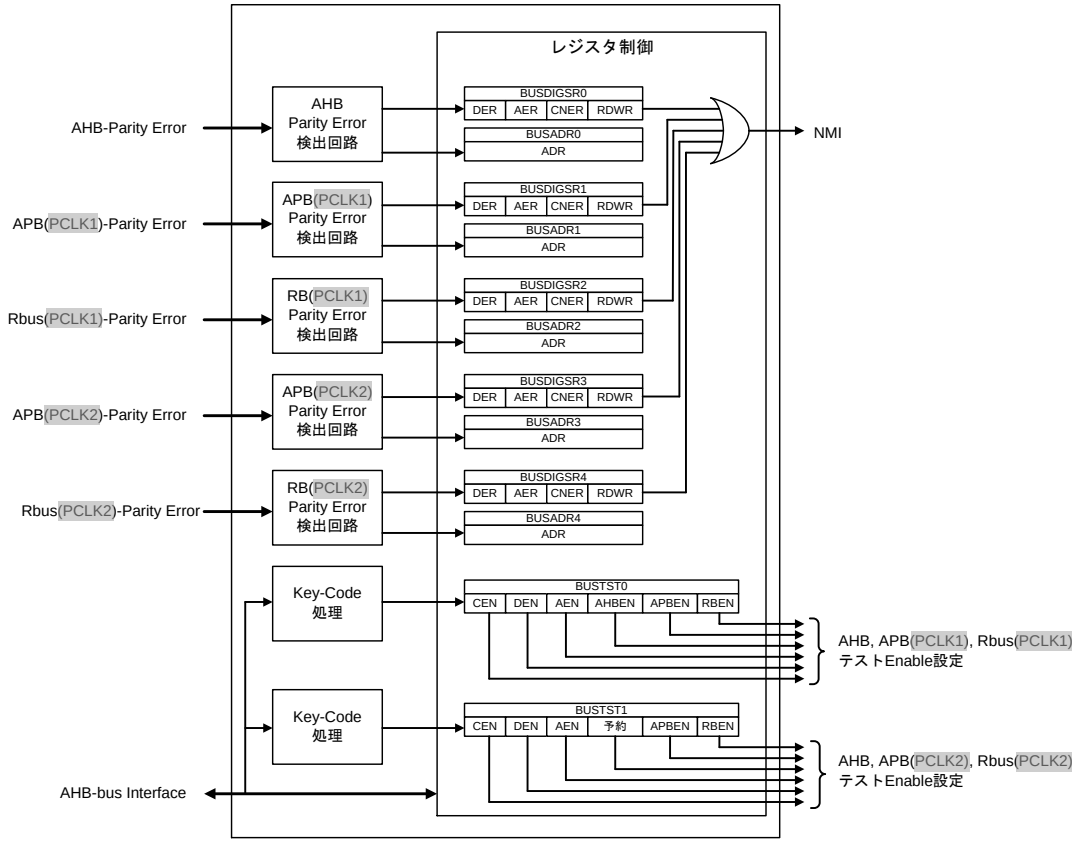
(正)
・ 設定する際は、KEY1, KEY0 ビットを使用した書込みフローにしたがって行ってください。
・キー許可ビット"00","01","10","11"を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり、最初から設定しなおす必要があります。</td></tr>
<tr><td>2120</td><td>49.1</td><td>1.概要の表について以下のように修正する。

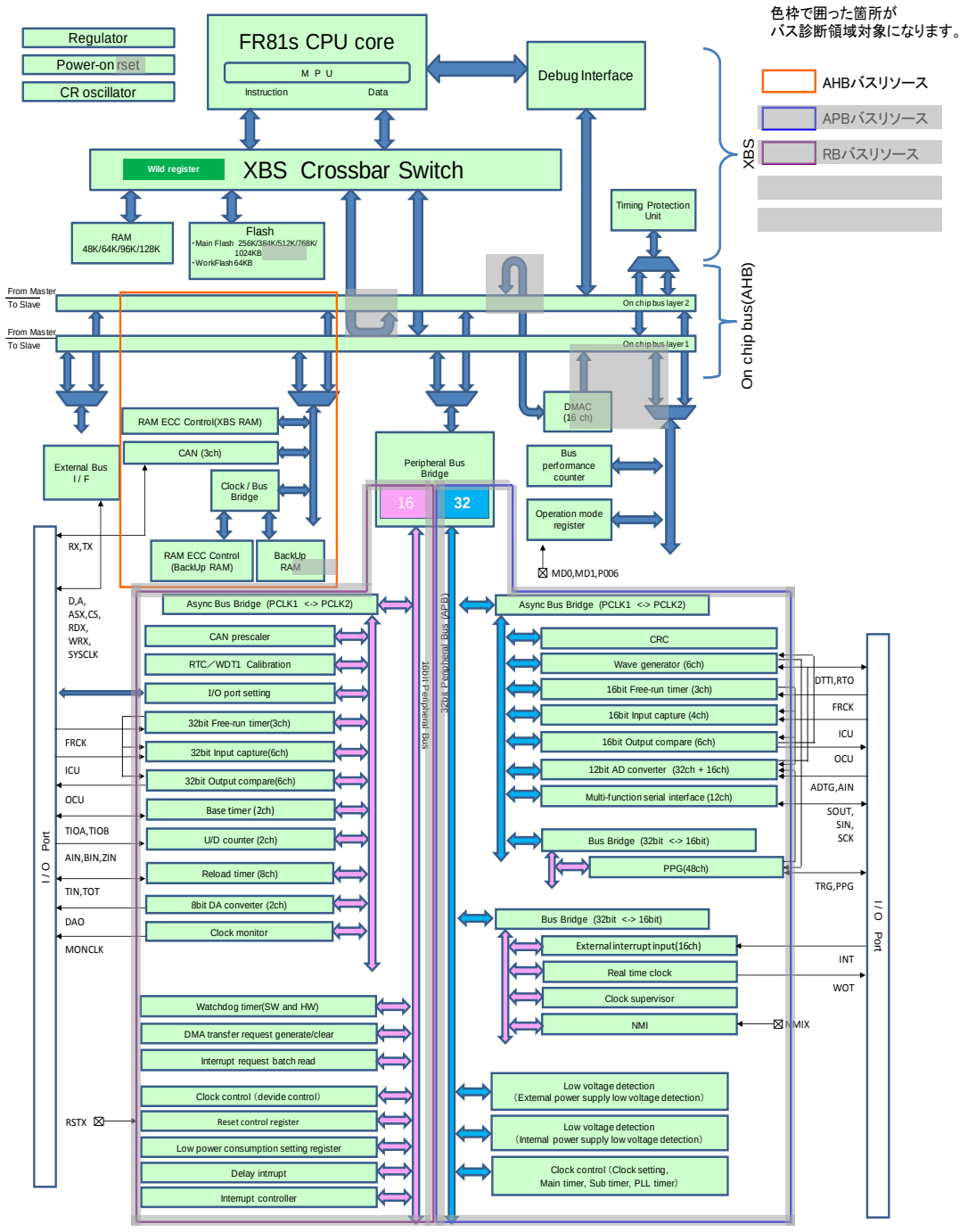
(誤)
<table><tr><td></td><td></td><td>機能</td></tr><tr><td>2</td><td>診断バス</td><td>・AHB, APB(PCLK2), Rbus(PCLK2), APB(PCLK1), Rbus(PCLK1)</td></tr></table>
(正)
<table><tr><td></td><td></td><td>機能</td></tr><tr><td>2</td><td>診断バス</td><td>・AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)</td></tr></table></td></tr>
<tr><td>2121</td><td>49.2</td><td>2.特長の説明文について以下のように修正する。

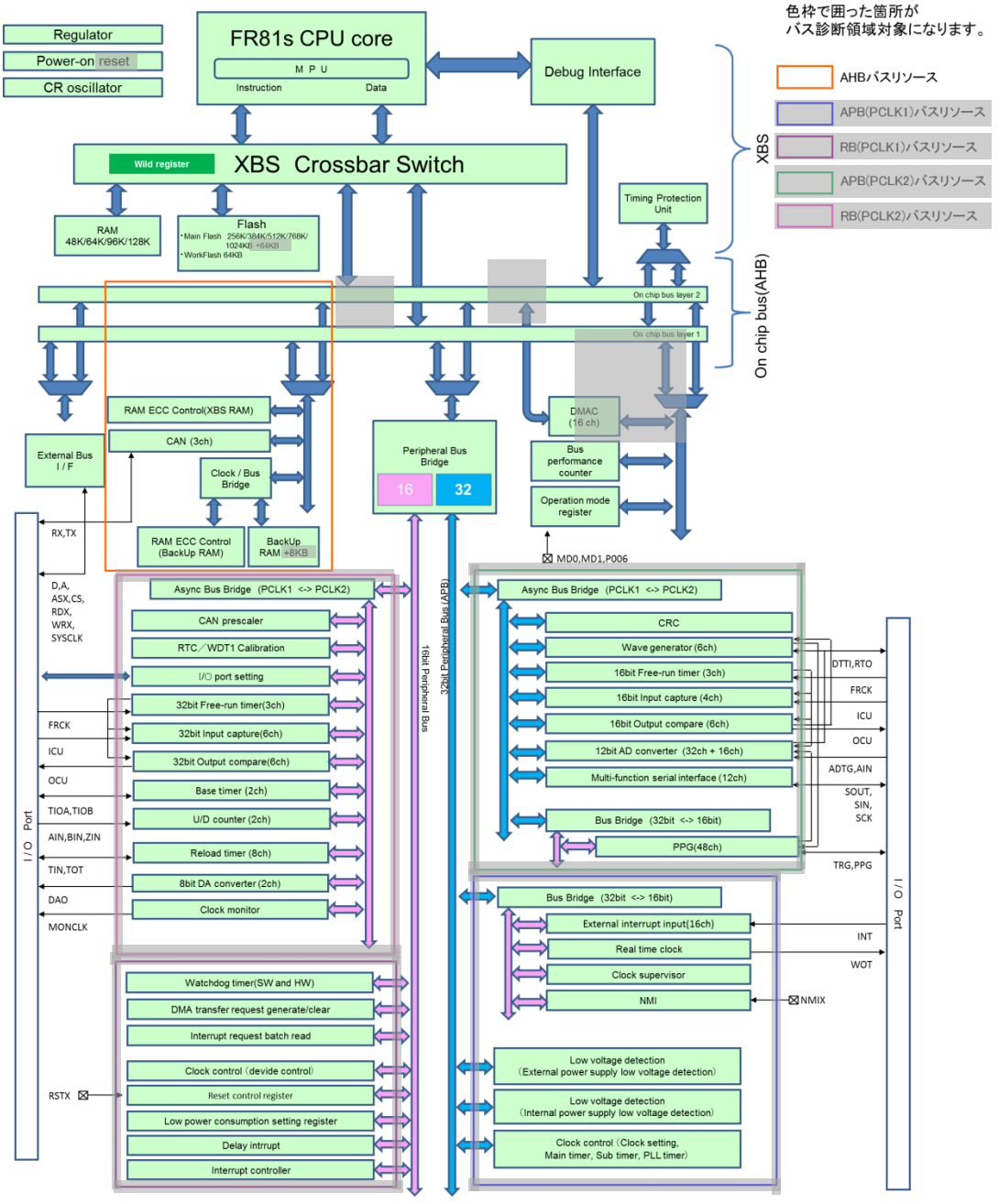
(誤)
・CPU の内部バスは、AHB,APB(PCLK2),Rbus(PCLK2),APB(PCLK1),Rbus(PCLK1)

(正)
・CPU の内部バスは、AHB,APB(PCLK1),Rbus(PCLK1),APB(PCLK2),Rbus(PCLK2)</td></tr>
</table>

ページ	場所	変更内容
2122	49.3	3. 構成について図 3-1 構成図を以下のように修正 （誤）  （続く）

ページ	場所	変更内容
2122	49.3	（続き） （正） 

ページ	場所	変更内容
2123	49. 3	3. 構成について図 3-2 バス診断対象領域図 を以下のように修正 (誤)  (続く)

ページ	場所	変更内容
2123	49. 3	（続き） （正） 

ページ	場所	変更内容
2126	49.4.1	4.1. バス診断状態レジスタ：BUSDIGSR について、下記のように修正 (誤) バス診断ステータスレジスタ(BUSDIGSR)は、データパリティエラー，アドレスパリティエラー， コントロールパリティエラー，データ方向，エラーフラグクリアから構成されています。 バス診断ステータスレジスタ 0 は AHB，バス診断ステータスレジスタ１は APB(PCLK2) ，バス診断 ステータスレジスタ２は Rbus(PCLK2) ，バス診断ステータスレジスタ３は APB(PCLK1) ，バス診断 ステータスレジスタ４は Rbus(PCLK1)のエラー状態を示します。 (正) バス診断状態レジスタ(BUSDIGSR)は、データパリティエラー，アドレスパリティエラー， 制御パリティエラー，データ方向，エラーフラグクリアから構成されています。 バス診断状態レジスタ 0 は AHB，バス診断状態レジスタ１は APB(PCLK1) ，バス診断 状態レジスタ２は Rbus(PCLK1) ，バス診断状態レジスタ３は APB(PCLK2) ，バス診断 状態レジスタ４は Rbus(PCLK2)のエラー状態を示します。
2127	49.4.1	4.1. バス診断状態レジスタ：BUSDIGSR について、【bit15 ～ bit12】 DER3 ～ DER0 の 〈注意事項〉について、文中の”と“を下記のように削除。 (誤) ・バス診断ステータスレジスタのエラークリア直後にステータスレジスタをリードしてエ ラーを検出した場合、と無限ループに陥る可能性があるため注意してください。 (正) ・バス診断状態レジスタのエラークリア直後にステータスレジスタをリードしてエ ラーを検出した場合、無限ループに陥る可能性があるため注意してください。
2127	49.4.1	4.1. バス診断状態レジスタ：BUSDIGSR について、【bit1】CNER：コントロールパリティエラーの説明文 について、文中の”と“を下記のように削除。 (誤) コントロールパリティエラービットです。バスを制御するリード・ライト信号，データサイズの コントロール信号をデータとして取り扱い、パリティエラーが発生した場合、と本ビットは″1″にセット されます。 (正) 制御パリティエラービットです。バスを制御するリード・ライト信号，データサイズの 制御信号をデータとして取り扱い、パリティエラーが発生した場合、本ビットは″1″に セットされます。

ページ	場所	変更内容
2127	49.4.1	4.1. バス診断状態レジスタ：BUSDIGSR について、【bit1】CNER の説明文を下記のように修正 (誤) 本ビットのいずれかに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または DER ビットに"1"がセットされている間、本ビットは更新されません。 (正) 本ビットに"1"がセットされているか、AER ビットのいずれかに"1"がセットされているか、または DER ビットに"1"がセットされている間、本ビットは更新されません。
2128	49.4.1	4.1. バス診断状態レジスタ：BUSDIGSR について、BUSDIGSR の<注意事項>の下記の文を削除。 (誤) ・バス診断ステータスレジスタ 0(BUSDIGSR0)は AHB, バス診断ステータスレジスタ 1 (BUSDIGSR1)は APB, バス診断ステータスレジスタ 2(BUSDIGSR2)は Rbus のバスエラー状態を示します。
2129	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit10]RBEN:Rbus パリティエラー生成許可について下記のように修正 (誤) ・Rbus(PCLK2) のパリティエラーを発生させる許可ビットです。 (正) ・Rbus(PCLK1) のパリティエラーを発生させる許可ビットです。
2130	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit9]の APBEN：APB パリティエラー生成許可について下記のように修正 (誤) ・APB(PCLK2) のパリティエラーを発生させる許可ビットです。 (正) ・APB(PCLK1) のパリティエラーを発生させる許可ビットです。
2132	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の■BUSTSTR1: アドレス $311A_H$ (アクセス: ハーフワード, ワード)の[bit11] CEN の<注意事項>を下記のように修正。 (誤) ・RBEN= 0, APBEN= 0, AHBEN= 0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。 (正) ・RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、"0"が設定されたときと同じ動作になります。

ページ	場所	変更内容
2132	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit10] RBEN:Rbus パリティエラー生成許可について下記のように修正 (誤) ・Rbus(PCLK1) のパリティエラーを発生させる許可ビットです。 (正) ・Rbus(PCLK2) のパリティエラーを発生させる許可ビットです。
2132	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit9] APBEN:APB パリティエラー生成許可について下記のように修正 (誤) ・APB(PCLK1) のパリティエラーを発生させる許可ビットです。 (正) ・APB(PCLK2) のパリティエラーを発生させる許可ビットです。
2133	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit7～bit4] DEN3 ～ DEN0 の<注意事項>を下記のように修正。 (誤) ・RBEN= 0, APBEN= 0, AHBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定 された値と同じ動作になります。 (正) ・RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定 された値と同じ動作になります。
2133	49.4.2	4.2. バス診断テストレジスタ：BUSTSTR0/1 の[bit3～bit0] AEN3 ～ AEN0：アドレスエラーの<注意事項>を下記のように修正。 (誤) ・RBEN= 0, APBEN= 0, AHBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定 された値と同じ動作になります。 (正) ・RBEN= 0, APBEN= 0 のとき、本ビットは無効になり、本ビットに"0000"が設定 された値と同じ動作になります。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2134</td><td>49.4.3</td><td>4.3. バス診断アドレスレジスタ：BUSADR の内容について、バス診断アドレスレジスタ 1/2/3/4 の PCLK1 と PCLK2 の表記を下記のように修正。

（誤）
バス診断アドレスレジスタ 0 は AHB，バス診断アドレスレジスタ 1 は APB(PCLK2) バス診断アドレスレジスタ 2 は Rbus(PCLK2)，バス診断アドレスレジスタ 3 は APB(PCLK1)，バス診断アドレスレジスタ 4 は Rbus(PCLK1)の診断時エラーが検出されたアドレスを示します。
↓
（正）
バス診断アドレスレジスタ 0 は AHB，バス診断アドレスレジスタ 1 は APB(PCLK1) バス診断アドレスレジスタ 2 は Rbus(PCLK1)，バス診断アドレスレジスタ 3 は APB(PCLK2)，バス診断アドレスレジスタ 4 は Rbus(PCLK2)の診断時エラーが検出されたアドレスを示します。</td></tr>
<tr><td>2137</td><td>49.5.1</td><td>5.1.エラー検出の■データエラー検出の表を以下のように修正

（誤）
<table>
<tr><th rowspan="3">アクセスサイズ</th><th rowspan="3">アドレス</th><th colspan="4">BUSDIGSR0(AHB:オンチップバス)
BUSDIGSR1/3(APB:32bit 周辺バス)
BUSDIGSR2/4(R-bus:16bit 周辺バス)</th></tr>
<tr><th>DER[0]</th><th>DER[1]</th><th>DER[2]</th><th>DER[3]</th></tr>
<tr><th>データ
bit31-24</th><th>データ
bit21-16</th><th>データ
bit15-8</th><th>データ
bit7-0</th></tr>
<tr><td>ワードアクセス</td><td>Addr+0</td><td>○ *</td><td>○ *</td><td>○ *</td><td>○ *</td></tr>
<tr><td>ハーフワードアクセス</td><td>Addr+0</td><td>○</td><td>○</td><td>－</td><td>－</td></tr>
<tr><td>ハーフワードアクセス</td><td>Addr+2</td><td>－</td><td>－</td><td>○</td><td>○</td></tr>
<tr><td>バイトアクセス</td><td>Addr+0</td><td>○</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+1</td><td>－</td><td>○</td><td>－</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+2</td><td>－</td><td>－</td><td>○</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+3</td><td>－</td><td>－</td><td>－</td><td>○</td></tr>
</table>
（正）
<table>
<tr><th rowspan="3">アクセスサイズ</th><th rowspan="3">アドレス</th><th colspan="4">BUSDIGSR0(AHB:オンチップバス)
BUSDIGSR1/3(APB:32bit 周辺バス)
BUSDIGSR2/4(R-bus:16bit 周辺バス)</th></tr>
<tr><th>DER[0]</th><th>DER[1]</th><th>DER[2]</th><th>DER[3]</th></tr>
<tr><th>データ
bit31-24</th><th>データ
bit21-16</th><th>データ
bit15-8</th><th>データ
bit7-0</th></tr>
<tr><td>ワードアクセス</td><td>Addr+0</td><td>○ *</td><td>○ *</td><td>○ *</td><td>○ *</td></tr>
<tr><td>ハーフワードアクセス</td><td>Addr+0</td><td>○</td><td>○</td><td>－</td><td>－</td></tr>
<tr><td>ハーフワードアクセス</td><td>Addr+2</td><td>－</td><td>－</td><td>○</td><td>○</td></tr>
<tr><td>バイトアクセス</td><td>Addr+0</td><td>○</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+1</td><td>－</td><td>○</td><td>－</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+2</td><td>－</td><td>－</td><td>○</td><td>－</td></tr>
<tr><td>バイトアクセス</td><td>Addr+3</td><td>－</td><td>－</td><td>－</td><td>○</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2139</td><td>49.5.2</td><td>5.2. テスト機能の説明文を下記のように修正

（誤）
本機能ではバス診断テストレジスタ(BUSTSTR)を用いて、疑似エラーを発生させるこが可能です。
本レジスタへの設定は、キーコード処理が必要です。

(正)
本機能ではバス診断テストレジスタ(BUSTSTR)を用いて、疑似エラーを発生させることが可能です。
本レジスタへの設定は、キーコード処理が必要です。</td></tr>
<tr><td>2153</td><td>50.4</td><td>4. レジスタについて表 4-1 レジスタマップの 0x3030 のレジスタ機能の内容を下記のように修正。

(誤)
<table><tr><td>0x3030</td><td>TEAR0A</td><td>TEST エラーアドレスレジスタ 0
XBS RAM</td></tr></table>
(正)
<table><tr><td>0x3030</td><td>TEAR0A</td><td>TEST エラーアドレスレジスタ 0
BACKUP-RAM</td></tr></table></td></tr>
<tr><td>2303</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-1 割込みベクタ MB91F52xB(64pin)の表下のコメントを以下のように修正

(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I²C受信によるDMA転送に対応していません。

(正)
*1: マルチファンクションシリアルインタフェースのステータスはI²C受信によるDMA転送に対応していません。</td></tr>
<tr><td>2307</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-2 割込みベクタ MB91F52xD(80pin)の表下のコメントを以下のように修正

(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I²C受信によるDMA転送に対応していません。

(正)
*1: マルチファンクションシリアルインタフェースのステータスはI²C受信によるDMA転送に対応していません。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2310</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-3 割込みベクタ MB91F52xF(100pin)の割り込み要因について、下記のように修正。

(誤)
<table>
<tr><td>ベースタイマ 0IRQ0
ベースタイマ 0IRQ1</td><td>60</td><td>3C</td><td>ICR44</td><td>$30C_H$</td><td>$000FFF08_H$</td><td>44</td></tr>
</table>

(正)
<table>
<tr><td>－
－</td><td>60</td><td>3C</td><td>ICR44</td><td>$30C_H$</td><td>$000FFF08_H$</td><td>44</td></tr>
</table>
</td></tr>
<tr><td>2311</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-3 割込みベクタ MB91F52xF(100pin)の表下のコメントを以下のように修正

(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I^2C受信によるDMA転送に対応していません。

(正)
*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。</td></tr>
<tr><td>2313</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-4 割込みベクタ MB91F52xJ(120pin)の割り込み要因について、下記のように 42 を削除。

(誤)
<table>
<tr><td>PPG2/3/12/13/22/23/32/33/42/43
16bit フリーランタイマ 2 (″0″検出) / (コンペアクリア)</td><td>41</td><td>29</td><td>ICR25</td><td>358_H</td><td>$000FFF58_H$</td><td>25*3</td></tr>
</table>

(正)
<table>
<tr><td>PPG2/3/12/13/22/23/32/33/43
16bit フリーランタイマ 2 (″0″検出) / (コンペアクリア)</td><td>41</td><td>29</td><td>ICR25</td><td>358_H</td><td>$000FFF58_H$</td><td>25*3</td></tr>
</table>
</td></tr>
<tr><td>2315</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-4 割込みベクタ MB91F52xJ(120pin)の表下のコメントを以下のように修正

(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I^2C受信によるDMA転送に対応していません。

(正)
*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>2317</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-5 割込みベクタ MB91F52xK(144pin)の割り込み要因について、下記のように 42 を削除。

(誤)
<table>
<tr><td>PPG2/3/12/13/22/23/32/33/42/43
16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)</td><td>41</td><td>29</td><td>ICR25</td><td>358_H</td><td>$000FFF58_H$</td><td>25*3</td></tr>
</table>
↓
(正)
<table>
<tr><td>PPG2/3/12/13/22/23/32/33/43
16bit フリーランタイマ 2 ("0"検出) / (コンペアクリア)</td><td>41</td><td>29</td><td>ICR25</td><td>358_H</td><td>$000FFF58_H$</td><td>25*3</td></tr>
</table>
</td></tr>
<tr><td>2319</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-5 割込みベクタ MB91F52xK(144pin)の表下のコメントを以下のように修正

(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I^2C受信によるDMA転送に対応していません。

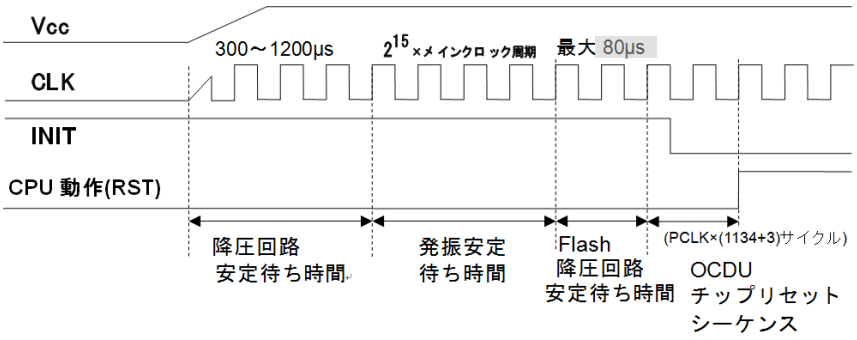
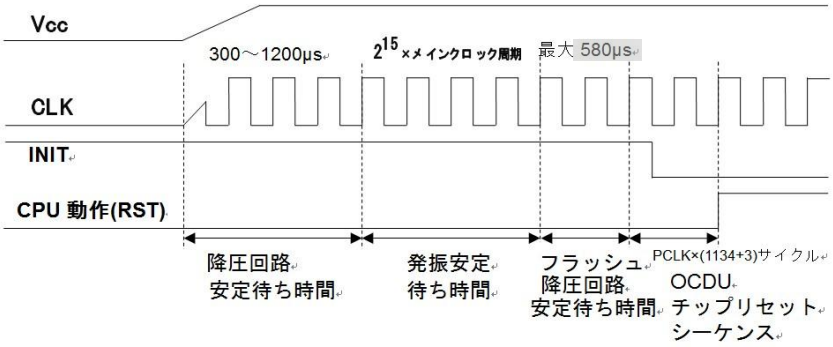
(正)
*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。</td></tr>
<tr><td>2323</td><td>付録
B</td><td>B. 割込みベクタテーブルの表 B-6 割込みベクタ MB91F52xL(176pin)の表下のコメントを以下のように修正

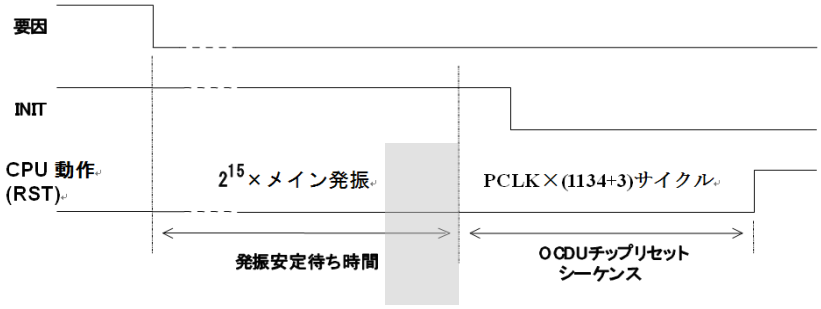
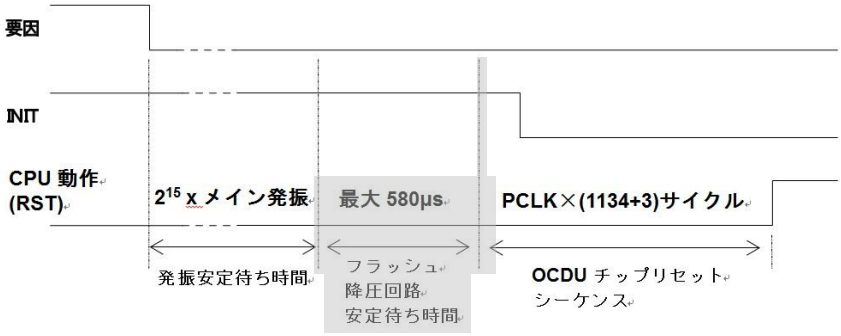
(誤)
*1: マルチファンクションシリアルインタフェースのステータス、I^2C受信によるDMA転送に対応していません。

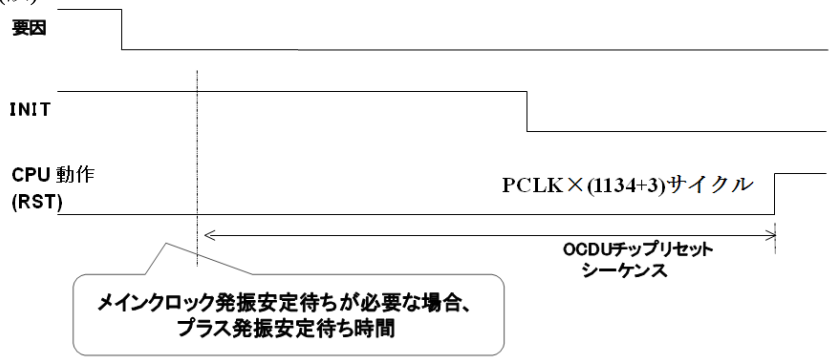
(正)
*1: マルチファンクションシリアルインタフェースのステータスはI^2C受信によるDMA転送に対応していません。</td></tr>
</table>

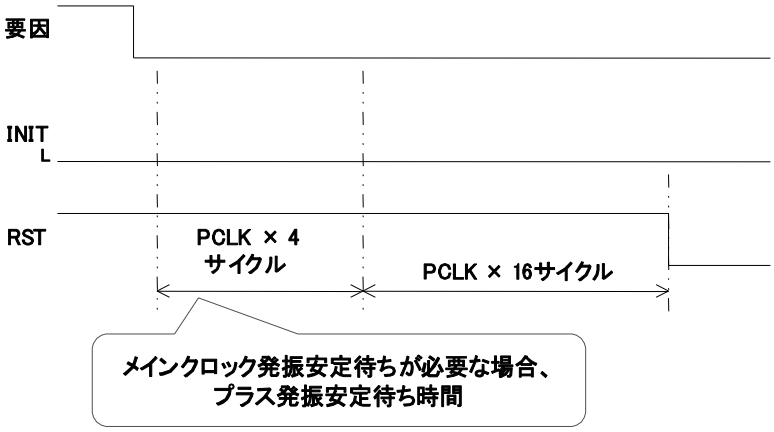
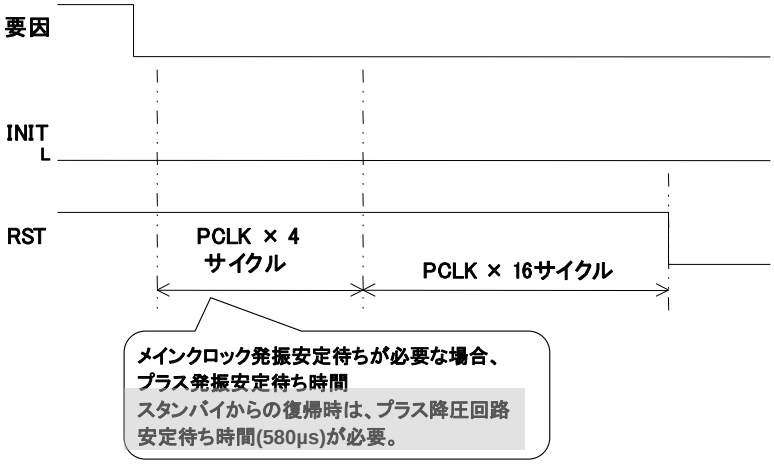
ページ	場所	変更内容
2324 ～ 2327	付録 C	付録 C. CPU 状態における端子状態について以下の個所を修正 ・リセット要因 2(*2)の外部要因解除後の内部リセット発行前の端子状態を HiZ/入力遮断から HiZ/入力可に変更。 ・リセット要因 3(*3)の外部要因解除後に内部リセット解除後の状態(HiZ/入力可)を追加。 (誤) リセット要因発生後～リセット解除後の端子状態 リセット要因2(*2) (*2 低電圧検出(外部電源電圧)) 外部要因発生中 内部リセット発行前 – / 内部リセット発行中～解除後(発振安定待ち中) – 外部要因解除後 内部リセット発行前 – / 内部リセット発行中 – / 内部リセット発行中～解除後(発振安定待ち中) – / 内部リセット解除後 – リセット要因3(*3) 外部リセット NMI無効 外部要因発生中 内部リセット発行前 – / 内部リセット発行中(発振安定待ち中) – 外部要因解除後 内部リセット発行前 – / 内部リセット発行中～解除後(発振安定待ち中) – 内部リセット要因4(*4) 内部リセット発行中～解除後(発振安定待ち中) – / 内部リセット解除後 – HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 (正) リセット要因発生後～リセット解除後の端子状態 リセット要因2(*2) (*2 低電圧検出(外部電源電圧)) 外部要因発生中 内部リセット発行前 – / 内部リセット発行中 – 外部要因解除後 内部リセット発行前 – / 内部リセット発行中～解除後(発振安定待ち中) – / 内部リセット解除後 – リセット要因3(*3) (外部リセット NMI無効) 外部要因発生中 内部リセット発行前 – / 内部リセット発行中 – 外部要因解除後 内部リセット発行前 – / 内部リセット発行中～解除後(発振安定待ち中) – / 内部リセット解除後 – 内部リセット要因4 (*4) 内部リセット発行中～解除後(発振安定待ち中) – / 内部リセット解除後 – HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断 HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力可 / HiZ/入力遮断 / HiZ/入力遮断 / HiZ/入力遮断

ページ	場所	変更内容
2327	付録 C	付録 C. CPU 状態における端子状態のコメントを以下のように修正 (誤) (*4) ソフトウェアリセット、ソフト/ハードウェア・ウォッチ・ドッグリセット、スタンバイからの復帰(PMUCTLR:IOCTMD=1 時) が要因となります。(タイムアウト時も含む) (*14) スタンバイ (電源遮断) からの復帰 (PMUCTLR:IOCTMD=0 時) が要因となります。 (正) (*4) ソフトウェアリセット、ソフト/ハードウェア・ウォッチドッグリセット、スタンバイモードから復帰するまで I/O 状態を保持するようにしたスタンバイからの復帰が要因となります。(タイムアウト時も含む) (*14) I/O 保持解除要求をクリアするまで I/O 状態を保持するようにしたスタンバイ (電源遮断) からの復帰が要因となります。
2328 ～ 2514	付録 D	付録に、D.変更内容 を追加
Revision 5.0		
255	7.4.1	「7.リセット」の「4.1. リセット要因レジスタ：RSTRR」の属性の下に下記を追加。 *：パワーオンリセット時は、IRRST ビット以外は不定となります
283	7.5.4.1	「7.5.4.1 電源投入リセット(SINIT)」の＜注意事項＞について下記のように修正。 (誤) パワーオンリセット時には、降圧回路の安定待ち時間(300～1200µs および最大 80µs)が必要になります。 (正) パワーオンリセット時には、降圧回路の安定待ち時間(300～1200µs および最大 580µs)が必要になります。

ページ	場所	変更内容
283	7.5.4.1	「7.5.4.1 電源投入リセット(SINIT)」の「図 5-1 パワーオンリセット時の発振安定待ち時間」について下記のように修正。 (誤)  (正) 

ページ	場所	変更内容
284	7.5.4.1	「7.5.4.1 電源投入リセット(SINIT)」「図 5-2 電源投入リセット(SINIT)シーケンス」について下記のように修正。 (誤)  (正) 

ページ	場所	変更内容
285	7.5.4.2	「7.5.4.2 イニシャライズリセット(INIT)」の「図 5-3 イニシャライズリセット(INIT)シーケンス」について下記のように修正。 (誤)  (正) 

ページ	場所	変更内容
286	7.5.4.3	「7.5.4.3 リセット(RST)」の「図 5-4 リセット(RST)シーケンス」について下記のように修正。 (誤)  リセットにより、クロック設定のレジスタが初期化されますので、 周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。 (正)  リセットにより、クロック設定のレジスタが初期化されますので、 周辺クロック(PCLK)の周期はメインクロック(MCLK)周期の 8 倍になります。
636	19.2.1	「19.ベースタイマ」の「2.1.」のカウント用クロックを下記のように修正。 (誤) 内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。 (正) 内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>637</td><td>19.2.2</td><td>「19.ベースタイマ」の「2.2.」のカウント用クロックを下記のように修正。
(誤)
内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

(正)
内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。</td></tr>
<tr><td>638</td><td>19.2.3</td><td>「19.ベースタイマ」の「2.3.」のカウント用クロックを下記のように修正。
(誤)
周辺クロック(PCLK)を分周して生成した内部クロック(周辺クロック)5 種類の中から選択できます。

(正)
周辺クロック(PCLK)を分周して生成した内部クロック(周辺クロック)8 種類の中から選択できます。</td></tr>
<tr><td>639</td><td>19.2.4</td><td>「19.ベースタイマ」の「2.4.」のカウント用クロックを下記のように修正。
(誤)
内部クロック(周辺クロック)5 種類、外部クロック(ECK 信号)3 種類の中から選択できます。

(正)
内部クロック(周辺クロック)8 種類、外部クロック(ECK 信号)3 種類の中から選択できます。</td></tr>
<tr><td>1994</td><td>45.5.8</td><td>「45.5.8. セクタ消去一時停止コマンド」に以下の注意事項を追加。

＜注意事項＞
セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。</td></tr>
<tr><td>2032</td><td>46.5.8</td><td>「46.5.8. セクタ消去一時停止コマンド」に以下の注意事項を追加。

＜注意事項＞
セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。</td></tr>
<tr><td>2069</td><td>47.5.4</td><td>「47.5.4　本品種の OCD-DSU ID コードおよび実装タイプ情報」の「表 5-1 本品種の OCD-DSU ID コード」の表を下記のように修正。

(誤)
<table>
<tr><td>メーカ ID</td><td>16</td><td>E_IDMCR</td><td>0x000</td><td>0x0400</td><td>富士通コード</td></tr>
</table>

(正)
<table>
<tr><td>メーカ ID</td><td>16</td><td>E_IDMCR</td><td>0x000</td><td>0x0400</td><td>(削除)</td></tr>
</table>
</td></tr>
<tr><td>2161</td><td>50.4.5</td><td>「50.4.5. TEST 終了アドレスレジスタ XBS RAM : TAEARX」の＜注意事項＞を下記のように修正。
(誤)
(絶対アドレス)=(0001_0000 _H)+(TAEARX で設定するオフセット+2'b00)
(正)
(絶対アドレス)=(0001_0000 _H)+(TAEARX で設定するオフセット+2'b11)</td></tr>
</table>

ページ	場所	変更内容
2177	50.4.15	「53.4.15. TEST 終了アドレスレジスタ BACKUP-RAM : TAEARA」の＜注意事項＞を下記のように修正。 (誤) (絶対アドレス)=(0000_4000 $_H$)+(TAEARA で設定するオフセット+2'b00) (正) (絶対アドレス)=(0000_4000 $_H$)+(TAEARA で設定するオフセット+2'b11)
Cypress Document Number: 002-05573 Rev.*A		
-	-	社名変更および記述フォーマットの変換。
47	1.2.2	下記の 記載を修正。 (誤) 変換時間: 1µs (正) 変換時間: 1.4µs
50	1.3	表 3-1 のパッケージを JEDEC 表記に修正。 (誤) LQFP-64 (正) LQD064
50～ 54,56	1.3	表 3-1～表 3-6 の電源の項目に以下の*2 を追加 *2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。
51	1.3	表 3-2 のパッケージを JEDEC 表記に修正。 (誤) LQFP-80 (正) LQH080
52	1.3	表 3-3 のパッケージを JEDEC 表記に修正。 (誤) LQFP-100 (正) LQI100
53	1.3	表 3-4 のパッケージを JEDEC 表記に修正。 (誤) LQFP-120 (正) LQM120
53,54, 56	1.3	下記の 記載を修正。 (誤) *1: I^2C(高速モード/標準モード) (正) *1: I^2C(ファーストモード/標準モード)
54	1.3	表 3-5 のパッケージを JEDEC 表記に修正。 (誤) LQFP-144 (正) LQS144 / LQN144
55	1.3	表 3-6 のパッケージを JEDEC 表記に修正。 (誤) LQFP-176 (正) LQP176
56	1.3	表 3-7 の下に記載されている Revision に D,E を追加。 Revision: B, C, D, E
59	1.4	下記の 記載を修正。 (誤) 変換時間: 12bit A/D コンバータ 1µs (正) 変換時間: 12bit A/D コンバータ 1.4µs
62, 63	1.5	図 5-1 と図 5-2 のブロックダイヤグラムを下記のように修正。 (誤) CAN 2ch (正) CAN3ch

ページ	場所	変更内容
70	1.7	図 7-1 のパッケージを JEDEC 表記に修正。 (誤) LQFP-64 (正) LQD064
71	1.7	図 7-2 のパッケージを JEDEC 表記に修正。 (誤) LQFP-80 (正) LQH080
71	1.7	図 7-2 の下に記載されている下記の　記載を修正。 (誤) ※クロック 1 系統品は、71,72 pin が汎用ポートになります。 (正) ※クロック 1 系統品は、70,71 pin が汎用ポートになります。
72	1.7	図 7-3 のパッケージを JEDEC 表記に修正。 (誤) LQFP-100 (正) LQI100
73	1.7	図 7-4 のパッケージを JEDEC 表記に修正。 (誤) LQFP-120 (正) LQM120
74	1.7	図 7-5 のパッケージを JEDEC 表記に修正。 (誤) LQFP-144 (正) LQS144 / LQN144
75	1.7	図 7-6 のパッケージを JEDEC 表記に修正。 (誤) LQFP-176 (正) LQP176
76～82	1.8	パッケージ外形寸法図を JEDEC 表記に修正。

ページ	場所	変更内容
83,84	1.9	表 9-1 端子機能表を下記のように修正。 (誤) <table><tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr><tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr><tr><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">2</td><td rowspan="3">2</td><td>P015</td></tr><tr><td>D29</td></tr><tr><td>TRG0_0</td></tr><tr><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">3</td><td rowspan="3">3</td><td>P016</td></tr><tr><td>D30</td></tr><tr><td>TRG1_0</td></tr><tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">4</td><td>P170</td></tr><tr><td>PPG36_1</td></tr><tr><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">4</td><td rowspan="3">5</td><td>P017</td></tr><tr><td>D31</td></tr><tr><td>TRG2_0</td></tr><tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">6</td><td>P171</td></tr><tr><td>PPG37_1</td></tr><tr><td rowspan="6">2</td><td rowspan="6">2</td><td rowspan="6">2</td><td rowspan="6">2</td><td rowspan="6">5</td><td rowspan="6">7</td><td>P020</td></tr><tr><td>ASX</td></tr><tr><td>SIN3_1</td></tr><tr><td>TRG3_0</td></tr><tr><td>TIN0_2</td></tr><tr><td>RTO5_1</td></tr><tr><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">3</td><td rowspan="5">6</td><td rowspan="5">8</td><td>P021</td></tr><tr><td>CS0X</td></tr><tr><td>SOT3_1</td></tr><tr><td>TRG6_1</td></tr><tr><td>TRG4_0</td></tr><tr><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">4</td><td rowspan="5">7</td><td rowspan="5">9</td><td>P022</td></tr><tr><td>CS1X</td></tr><tr><td>SCK3_1</td></tr><tr><td>TRG7_1</td></tr><tr><td>TRG5_0</td></tr><tr><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">5</td><td rowspan="5">8</td><td rowspan="5">10</td><td>P023</td></tr><tr><td>RDX</td></tr><tr><td>SCS3_1</td></tr><tr><td>PPG32_0</td></tr><tr><td>TIN0_0</td></tr><tr><td rowspan="6">3</td><td rowspan="6">3</td><td rowspan="6">3</td><td rowspan="6">6</td><td rowspan="6">9</td><td rowspan="6">11</td><td>P024</td></tr><tr><td>WR0X</td></tr><tr><td>SIN4_1</td></tr><tr><td>PPG24_0</td></tr><tr><td>TIN1_0</td></tr><tr><td>RTO4_1</td></tr><tr><td>INT15_0</td></tr></table>(続く)

ページ	場所	変更内容
83,84	1.9	（続き） （正）

端子番号						端子名
64	80	100	120	144	176	
-	-	-	-	2	2	P015 D29 TRG0_0
-	-	-	-	3	3	P016 D30 TRG1_0
-	-	-	-	-	4	P170 PPG36_1
-	-	-	-	4	5	P017 D31 TRG2_0
-	-	-	-	-	6	P171 PPG37_1
2 *1	2 *1	2 *1	2 *1	5	7	P020 ASX *2, *3, *4, *5 SIN3_1 TRG3_0 TIN0_2 RTO5_1
-	-	-	3 *1	6	8	P021 CS0X *5 SOT3_1 TRG6_1 TRG4_0
-	-	-	4 *1	7	9	P022 CS1X *5 SCK3_1 TRG7_1 TRG5_0
-	-	-	5 *1	8	10	P023 RDX *5 SCS3_1 PPG32_0 TIN0_0
3 *1	3 *1	3 *1	6 *1	9	11	P024 WR0X *2, *3, *4, *5 SIN4_1 PPG24_0 TIN1_0 RTO4_1 INT15_0

ページ	場所	変更内容
84,85	1.9	表 9-1 端子機能表を下記のように修正。 (誤) <table><tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr><tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr><tr><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">4</td><td rowspan="5">7</td><td rowspan="5">10</td><td rowspan="5">12</td><td>P025</td></tr><tr><td>WR1X</td></tr><tr><td>SOT4_1</td></tr><tr><td>PPG25_0</td></tr><tr><td>TIN2_0</td></tr><tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">13</td><td>P172</td></tr><tr><td>PPG38_1</td></tr><tr><td rowspan="5">-</td><td rowspan="5">4</td><td rowspan="5">5</td><td rowspan="5">8</td><td rowspan="5">11</td><td rowspan="5">14</td><td>P026</td></tr><tr><td>A00</td></tr><tr><td>SCK4_1</td></tr><tr><td>PPG26_0</td></tr><tr><td>TIN3_0</td></tr><tr><td rowspan="5">4</td><td rowspan="5">5</td><td rowspan="5">6</td><td rowspan="5">9</td><td rowspan="5">12</td><td rowspan="5">15</td><td>P027</td></tr><tr><td>A01</td></tr><tr><td>SCS40_1</td></tr><tr><td>PPG27_0</td></tr><tr><td>TOT0_0</td></tr><tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">16</td><td>RTO3_1</td></tr><tr><td>P173</td></tr><tr><td rowspan="5">-</td><td rowspan="5">-</td><td rowspan="5">7</td><td rowspan="5">10</td><td rowspan="5">13</td><td rowspan="5">17</td><td>PPG39_1</td></tr><tr><td>P030</td></tr><tr><td>A02</td></tr><tr><td>SCS41_1</td></tr><tr><td>PPG28_0</td></tr><tr><td rowspan="5">-</td><td rowspan="5">6</td><td rowspan="5">8</td><td rowspan="5">11</td><td rowspan="5">14</td><td rowspan="5">18</td><td>TOT1_0</td></tr><tr><td>P031</td></tr><tr><td>A03</td></tr><tr><td>SCS42_1</td></tr><tr><td>PPG29_0</td></tr><tr><td rowspan="5">5</td><td rowspan="5">7</td><td rowspan="5">9</td><td rowspan="5">12</td><td rowspan="5">15</td><td rowspan="5">19</td><td>TOT2_0</td></tr><tr><td>P032</td></tr><tr><td>A04</td></tr><tr><td>SCS43_1</td></tr><tr><td>PPG30_0</td></tr><tr><td rowspan="6">6</td><td rowspan="6">8</td><td rowspan="6">10</td><td rowspan="6">13</td><td rowspan="6">16</td><td rowspan="6">20</td><td>TOT3_0</td></tr><tr><td>RTO2_1</td></tr><tr><td>P033</td></tr><tr><td>A05</td></tr><tr><td>PPG31_0</td></tr><tr><td>ICU3_3</td></tr><tr><td>TIN4_0</td></tr><tr><td>RTO1_1</td></tr><tr><td>SCK3_2</td></tr></table>(続く)

ページ	場所	変更内容
84,85	1.9	（続き） （正）

端子番号						端子名
64	80	100	120	144	176	
-	-	4[*1]	7[*1]	10	12	P025 WR1X[*4, *5] SOT4_1 PPG25_0 TIN2_0
-	-	-	-	-	13	P172 PPG38_1
-	4[*1]	5[*1]	8[*1]	11	14	P026 A00[*3, *4, *5] SCK4_1 PPG26_0 TIN3_0
4[*1]	5[*1]	6[*1]	9[*1]	12	15	P027 A01[*2, *3, *4, *5] SCS40_1 PPG27_0 TOT0_0 RTO3_1
-	-	-	-	-	16	P173 PPG39_1
-	-	7[*1]	10[*1]	13	17	P030 A02[*4, *5] SCS41_1 PPG28_0 TOT1_0
-	6[*1]	8[*1]	11[*1]	14	18	P031 A03[*3, *4, *5] SCS42_1 PPG29_0 TOT2_0[*3]
5[*1]	7[*1]	9[*1]	12[*1]	15	19	P032 A04[*2, *3, *4, *5] SCS43_1 PPG30_0 TOT3_0 RTO2_1
6[*1]	8[*1]	10[*1]	13[*1]	16	20	P033 A05[*2, *3, *4, *5] PPG31_0 ICU3_3 TIN4_0 RTO1_1 SCK3_2

ページ	場所	変更内容
85,86	1.9	表 9-1 端子機能表を下記のように修正。

(誤)

端子番号						端子名
64	80	100	120	144	176	
7	9	11	14	17	21	P034
						A06
						OCU11_1
						ICU2_3
						TIN5_0
						RTO0_1
						SOT3_2
8	10	13	16	19	23	P151
						SCK8_0/ SCL8
						OCU9_1
						TRG7_0
						ICU0_3
						TIN7_0
						ZIN0_2
						DTTI_1
9	11	14	17	20	24	P035
						A07
						SIN8_0
						OCU8_1
						TOT4_0
						AIN0_0
						INT11_0
10	12	15	18	21	25	P036
						A08
						SCS8_0
						OCU7_1
						TOT5_0
						BIN0_0
-	-	16	19	22	26	P037
						A09
						OCU6_1
						TOT6_0
						ZIN0_0
-	-	-	-	-	27	P174
						TRG8_1

(続く)

ページ	場所	変更内容
85,86	1.9	（続き） （正）

端子番号						端子名
64	80	100	120	144	176	
7[*1]	9[*1]	11[*1]	14[*1]	17	21	P034 A06[*2, *3, *4, *5] OCU11_1 ICU2_3 TIN5_0 RTO0_1 SOT3_2
8[*1]	10[*1]	13	16	19	23	P151 SCK8_0/ SCL8[*2, *3] OCU9_1 TRG7_0 ICU0_3 TIN7_0 ZIN0_2 DTTI_1
9[*1]	11[*1]	14[*1]	17[*1]	20	24	P035 A07[*2, *3, *4, *5] SIN8_0[*2, *3] OCU8_1 TOT4_0 AIN0_0 INT11_0
10[*1]	12[*1]	15[*1]	18[*1]	21	25	P036 A08[*2, *3, *4, *5] SCS8_0[*2, *3] OCU7_1 TOT5_0 BIN0_0
-	-	16[*1]	19[*1]	22	26	P037 A09[*4, *5] OCU6_1 TOT6_0 ZIN0_0
-	-	-	-	-	27	P174 TRG8_1

ページ	場所	変更内容
86,87	1.9	表 9-1 端子機能表を下記のように修正。 (誤) 端子番号 / 端子名 64 / 80 / 100 / 120 / 144 / 176 / 端子名 - / - / - / - / - / 28 / P175 TRG9_1 11 / 13 / 17 / 20 / 23 / 29 / P040 A10 PPG23_1 TOT7_0 AIN1_0 SIN0_1 12 / 14 / 18 / 21 / 24 / 30 / P041 A11 SIN9_0 ICU9_1 BIN1_0 INT12_0 13 / 15 / 19 / 22 / 25 / 31 / P042 A12 SOT9_0 AN47 ICU8_1 TRG0_1 ZIN1_0 - / - / 20 / 23 / 26 / 32 / P043 A13 ICU7_1 TRG1_1 - / 16 / 21 / 24 / 27 / 33 / P044 A14 SCS9_0 ICU6_1 TRG2_1 14 / 17 / 22 / 25 / 28 / 34 / P045 A15 SCK9_0 AN46 ICU5_1 TRG3_1 TOT1_2 - / - / - / 26 / 29 / 35 / P046 A16 ICU4_1 TRG4_1 - / - / - / - / - / 36 / P176 TRG10_0 (続く)

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>86,87</td><td>1.9</td><td>（続き）
（正）
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>28</td><td>P175
TRG9_1</td></tr>
<tr><td>11 *1</td><td>13 *1</td><td>17 *1</td><td>20 *1</td><td>23</td><td>29</td><td>P040
A10 *2, *3, *4, *5
PPG23_1
TOT7_0
AIN1_0
SIN0_1</td></tr>
<tr><td>12 *1</td><td>14 *1</td><td>18 *1</td><td>21 *1</td><td>24</td><td>30</td><td>P041
A11 *2, *3, *4, *5
SIN9_0
ICU9_1
BIN1_0
INT12_0</td></tr>
<tr><td>13 *1</td><td>15 *1</td><td>19 *1</td><td>22 *1</td><td>25</td><td>31</td><td>P042
A12 *2, *3, *4, *5
SOT9_0
AN47
ICU8_1
TRG0_1
ZIN1_0</td></tr>
<tr><td>-</td><td>-</td><td>20 *1</td><td>23 *1</td><td>26</td><td>32</td><td>P043
A13 *4, *5
ICU7_1
TRG1_1</td></tr>
<tr><td>-</td><td>16 *1</td><td>21 *1</td><td>24 *1</td><td>27</td><td>33</td><td>P044
A14 *3, *4, *5
SCS9_0
ICU6_1
TRG2_1</td></tr>
<tr><td>14 *1</td><td>17 *1</td><td>22 *1</td><td>25 *1</td><td>28</td><td>34</td><td>P045
A15 *2, *3, *4, *5
SCK9_0
AN46
ICU5_1
TRG3_1
TOT1_2</td></tr>
<tr><td>-</td><td>-</td><td>-</td><td>26 *1</td><td>29</td><td>35</td><td>P046
A16 *5
ICU4_1
TRG4_1</td></tr>
<tr><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>36</td><td>P176
TRG10_0</td></tr>
</table></td></tr>
</table>

ページ	場所	変更内容
87,88	1.9	表 9-1 端子機能表を下記のように修正。

(誤)

端子番号						端子名
64	80	100	120	144	176	
15	18	23	27	30	37	P047
						A17
						AN45
						TRG8_0
						TIN3_2
						SOT0_1
-	-	-	-	-	38	P177
						TRG11_0
-	-	-	28	31	39	P050
						A18
						TRG5_1
						PPG33_0
-	-	-	-	32	40	P051
						A19
						TRG9_0
-	-	-	-	33	41	P052
						A20
						PPG34_0
						INT14_0
16	19	24	29	34	42	P053
						A21
						AN44
						PPG35_0
						INT14_1
						SCK0_1
-	-	-	-	35	43	P054
						SYSCLK
						PPG36_0
17	22	27	32	38	46	P055
						CS2X
						SIN10_0
						AN43
						PPG37_0
						TIN4_1

(続く)

ページ	場所	変更内容
87,88	1.9	（続き） （正）

端子番号						端子名
64	80	100	120	144	176	
15 *1	18 *1	23 *1	27 *1	30	37	P047
						A17 *2, *3, *4, *5
						AN45
						TRG8_0
						TIN3_2
						SOT0_1
-	-	-	-	-	38	P177
						TRG11_0
-	-	-	28 *1	31	39	P050
						A18 *5
						TRG5_1
						PPG33_0
-	-	-	-	32	40	P051
						A19
						TRG9_0
-	-	-	-	33	41	P052
						A20
						PPG34_0
						INT14_0
16 *1	19 *1	24 *1	29 *1	34	42	P053
						A21 *2, *3, *4, *5
						AN44
						PPG35_0
						INT14_1
						SCK0_1
-	-	-	-	35	43	P054
						SYSCLK
						PPG36_0
17 *1	22 *1	27 *1	32 *1	38	46	P055
						CS2X *2, *3, *4, *5
						SIN10_0
						AN43
						PPG37_0
						TIN4_1

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>88</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td rowspan="8">-</td><td rowspan="8">-</td><td rowspan="8">-</td><td rowspan="8">33</td><td rowspan="8">39</td><td rowspan="8">49</td><td>P056</td></tr>
<tr><td>CS3X</td></tr>
<tr><td>ICU9_0</td></tr>
<tr><td>PPG0_1</td></tr>
<tr><td>ICU0_1</td></tr>
<tr><td>TIN5_1</td></tr>
<tr><td>DTTI_2</td></tr>
<tr><td rowspan="10">19</td><td rowspan="10">24</td><td rowspan="10">29</td><td rowspan="10">35</td><td rowspan="10">41</td><td rowspan="10">51</td><td>P057</td></tr>
<tr><td>RDY</td></tr>
<tr><td>SCK10_1</td></tr>
<tr><td>AN42</td></tr>
<tr><td>ICU8_0</td></tr>
<tr><td>TRG0_2</td></tr>
<tr><td>PPG1_1</td></tr>
<tr><td>ICU1_1</td></tr>
<tr><td>TIN6_1</td></tr>
</table>

(正)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td rowspan="8">-</td><td rowspan="8">-</td><td rowspan="8">-</td><td rowspan="8">33*1</td><td rowspan="8">39</td><td rowspan="8">49</td><td>P056</td></tr>
<tr><td>CS3X*5</td></tr>
<tr><td>ICU9_0</td></tr>
<tr><td>PPG0_1</td></tr>
<tr><td>ICU0_1</td></tr>
<tr><td>TIN5_1</td></tr>
<tr><td>DTTI_2</td></tr>
<tr><td rowspan="10">19*1</td><td rowspan="10">24*1</td><td rowspan="10">29*1</td><td rowspan="10">35*1</td><td rowspan="10">41</td><td rowspan="10">51</td><td>P057</td></tr>
<tr><td>RDY*2, *3, *4, *5</td></tr>
<tr><td>SCK10_1</td></tr>
<tr><td>AN42</td></tr>
<tr><td>ICU8_0</td></tr>
<tr><td>TRG0_2</td></tr>
<tr><td>PPG1_1</td></tr>
<tr><td>ICU1_1</td></tr>
<tr><td>TIN6_1</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>90</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th><th rowspan="2">極性</th><th rowspan="2">入出力回路形式</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="4">-</td><td rowspan="4">35</td><td rowspan="4">43</td><td rowspan="4">49</td><td rowspan="4">57</td><td rowspan="4">71</td><td>P073</td><td>-</td><td></td></tr>
<tr><td>SOT4_0/
SDA4</td><td>-</td><td></td></tr>
<tr><td>AN33</td><td>-</td><td></td></tr>
<tr><td>ICU3_2</td><td>-</td><td></td></tr>
</table>
(正)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th><th rowspan="2">極性</th><th rowspan="2">入出力回路形式</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="4">-</td><td rowspan="4">35 *3</td><td rowspan="4">43 *4</td><td rowspan="4">49</td><td rowspan="4">57</td><td rowspan="4">71</td><td>P073</td><td>-</td><td>D</td></tr>
<tr><td>SOT4_0/
SDA4 *3, *4</td><td>-</td><td></td></tr>
<tr><td>AN33</td><td>-</td><td></td></tr>
<tr><td>ICU3_2</td><td>-</td><td></td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>92</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="9">34</td><td rowspan="9">42</td><td rowspan="9">52</td><td rowspan="9">62</td><td rowspan="9">77</td><td rowspan="9">96</td><td>P093</td></tr>
<tr><td>TX0_1</td></tr>
<tr><td>SIN11_0</td></tr>
<tr><td>AN7</td></tr>
<tr><td>ICU4_2</td></tr>
<tr><td>PPG16_1</td></tr>
<tr><td>ICU3_0</td></tr>
<tr><td>TOT2_1</td></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="4">-</td><td rowspan="4">48</td><td rowspan="4">59</td><td rowspan="4">69</td><td rowspan="4">85</td><td rowspan="4">104</td><td>P100</td></tr>
<tr><td>SCK7_0/
SCL7</td></tr>
<tr><td>AN12</td></tr>
<tr><td>PPG8_0</td></tr>
</table>

(正)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="9">34*1</td><td rowspan="9">42*1</td><td rowspan="9">52</td><td rowspan="9">62</td><td rowspan="9">77</td><td rowspan="9">96</td><td>P093</td></tr>
<tr><td>TX0_1</td></tr>
<tr><td>SIN11_0</td></tr>
<tr><td>AN7</td></tr>
<tr><td>ICU4_2</td></tr>
<tr><td>PPG16_1</td></tr>
<tr><td>ICU3_0</td></tr>
<tr><td>TOT2_1*2, *3</td></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="4">-</td><td rowspan="4">48*1</td><td rowspan="4">59</td><td rowspan="4">69</td><td rowspan="4">85</td><td rowspan="4">104</td><td>P100</td></tr>
<tr><td>SCK7_0/
SCL7*3</td></tr>
<tr><td>AN12</td></tr>
<tr><td>PPG8_0</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>93</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="5">40</td><td rowspan="5">49</td><td rowspan="5">61</td><td rowspan="5">71</td><td rowspan="5">87</td><td rowspan="5">106</td><td>P102</td></tr>
<tr><td>SIN7_0</td></tr>
<tr><td>AN14</td></tr>
<tr><td>PPG10_0</td></tr>
<tr><td>INT10_0</td></tr>
<tr><td rowspan="4">41</td><td rowspan="4">50</td><td rowspan="4">62</td><td rowspan="4">72</td><td rowspan="4">88</td><td rowspan="4">107</td><td>P103</td></tr>
<tr><td>SCS73_0</td></tr>
<tr><td>AN15</td></tr>
<tr><td>PPG11_0</td></tr>
<tr><td rowspan="4">42</td><td rowspan="4">51</td><td rowspan="4">63</td><td rowspan="4">73</td><td rowspan="4">89</td><td rowspan="4">108</td><td>P104</td></tr>
<tr><td>SCS72_0</td></tr>
<tr><td>AN16</td></tr>
<tr><td>PPG12_0</td></tr>
<tr><td rowspan="4">43</td><td rowspan="4">52</td><td rowspan="4">64</td><td rowspan="4">74</td><td rowspan="4">90</td><td rowspan="4">109</td><td>P105</td></tr>
<tr><td>SCS71_0</td></tr>
<tr><td>AN17</td></tr>
<tr><td>PPG13_0</td></tr>
</table>

(正)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td rowspan="5">40[*1]</td><td rowspan="5">49[*1]</td><td rowspan="5">61</td><td rowspan="5">71</td><td rowspan="5">87</td><td rowspan="5">106</td><td>P102</td></tr>
<tr><td>SIN7_0[*2, *3]</td></tr>
<tr><td>AN14</td></tr>
<tr><td>PPG10_0</td></tr>
<tr><td>INT10_0</td></tr>
<tr><td rowspan="4">41[*1]</td><td rowspan="4">50[*1]</td><td rowspan="4">62</td><td rowspan="4">72</td><td rowspan="4">88</td><td rowspan="4">107</td><td>P103</td></tr>
<tr><td>SCS73_0[*2, *3]</td></tr>
<tr><td>AN15</td></tr>
<tr><td>PPG11_0</td></tr>
<tr><td rowspan="4">42[*1]</td><td rowspan="4">51[*1]</td><td rowspan="4">63</td><td rowspan="4">73</td><td rowspan="4">89</td><td rowspan="4">108</td><td>P104</td></tr>
<tr><td>SCS72_0[*2, *3]</td></tr>
<tr><td>AN16</td></tr>
<tr><td>PPG12_0</td></tr>
<tr><td rowspan="4">43[*1]</td><td rowspan="4">52[*1]</td><td rowspan="4">64</td><td rowspan="4">74</td><td rowspan="4">90</td><td rowspan="4">109</td><td>P105</td></tr>
<tr><td>SCS71_0[*2, *3]</td></tr>
<tr><td>AN17</td></tr>
<tr><td>PPG13_0</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
96	1.9	表 9-1 端子機能表を下記のように修正。

(誤)

端子番号						端子名
64	80	100	120	144	176	
-	-	94	111	131	159	P000
						D16
						SIN1_0
						TIOA0_1
						INT2_0
-	75	95	112	132	160	P001
						D17
						SOT1_0
						TIOA1_1
-	-	-	113	133	161	P002
						D18
						SCK1_0
						TIOB0_1
-	76	96	114	134	162	P003
						D19
						SIN2_0
						TIOB1_1
						INT3_0

(正)

端子番号						端子名
64	80	100	120	144	176	
-	-	94 *1	111 *1	131	159	P000
						D16 *4, *5
						SIN1_0
						TIOA0_1 *4
						INT2_0
-	75 *1	95 *1	112 *1	132	160	P001
						D17 *3, *4, *5
						SOT1_0 *3
						TIOA1_1
-	-	-	113 *1	133	161	P002
						D18 *5
						SCK1_0
						TIOB0_1
-	76 *1	96 *1	114 *1	134	162	P003
						D19 *3, *4, *5
						SIN2_0
						TIOB1_1
						INT3_0

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>97</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><th colspan="6">端子番号</th><th rowspan="2">端子名</th></tr>
<tr><th>64</th><th>80</th><th>100</th><th>120</th><th>144</th><th>176</th></tr>
<tr><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">-</td><td rowspan="3">135</td><td rowspan="3">163</td><td>P004</td></tr>
<tr><td>D20</td></tr>
<tr><td>SOT2_0</td></tr>
<tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">164</td><td>P164</td></tr>
<tr><td>PPG32_1</td></tr>
<tr><td rowspan="6">61</td><td rowspan="6">77</td><td rowspan="6">97</td><td rowspan="6">115</td><td rowspan="6">136</td><td rowspan="6">165</td><td>P005</td></tr>
<tr><td>D21</td></tr>
<tr><td>SCK2_0</td></tr>
<tr><td>ADTG0_1</td></tr>
<tr><td>INT7_1</td></tr>
<tr><td>(RX2(64))</td></tr>
<tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">166</td><td>P165</td></tr>
<tr><td>PPG33_1</td></tr>
<tr><td rowspan="6">62</td><td rowspan="6">78</td><td rowspan="6">98</td><td rowspan="6">116</td><td rowspan="6">137</td><td rowspan="6">167</td><td>P006</td></tr>
<tr><td>D22</td></tr>
<tr><td>SCS2_0</td></tr>
<tr><td>ADTG1_1</td></tr>
<tr><td>INT2_1</td></tr>
<tr><td>(TX2(64))</td></tr>
<tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">117</td><td rowspan="2">138</td><td rowspan="2">168</td><td>P007</td></tr>
<tr><td>D23</td></tr>
<tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">169</td><td>P166</td></tr>
<tr><td>PPG34_1</td></tr>
<tr><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">118</td><td rowspan="2">139</td><td rowspan="2">170</td><td>P010</td></tr>
<tr><td>D24</td></tr>
<tr><td rowspan="7">63</td><td rowspan="7">79</td><td rowspan="7">99</td><td rowspan="7">119</td><td rowspan="7">140</td><td rowspan="7">171</td><td>P011</td></tr>
<tr><td>WOT</td></tr>
<tr><td>D25</td></tr>
<tr><td>SOT2_1</td></tr>
<tr><td>TIOA0_0</td></tr>
<tr><td>INT3_1</td></tr>
</table>
(続く)</td></tr>
</table>

ページ	場所	変更内容
97	1.9	（続き） （正）

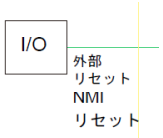
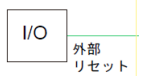
端子番号						端子名
64	80	100	120	144	176	
-	-	-	-	135	163	P004 D20 SOT2_0
-	-	-	-	-	164	P164 PPG32_1
61 *1	77 *1	97 *1	115 *1	136 *1	165 *1	P005 D21 *2, *3, *4, *5 SCK2_0 *2 ADTG0_1 INT7_1 RX2(64) *4, *5, *6, *7
-	-	-	-	-	166	P165 PPG33_1
62 *1	78 *1	98 *1	116 *1	137 *1	167 *1	P006 D22 *2, *3, *4, *5 SCS2_0 *2 ADTG1_1 INT2_1 TX2(64) *4, *5, *6, *7
-	-	-	117 *1	138	168	P007 D23 *5
-	-	-	-	-	169	P166 PPG34_1
-	-	-	118 *1	139	170	P010 D24 *5
63 *1	79 *1	99 *1	119 *1	140	171	P011 WOT D25 *2, *3, *4, *5 SOT2_1 *2 TIOA0_0 *2, *3, *4 INT3_1

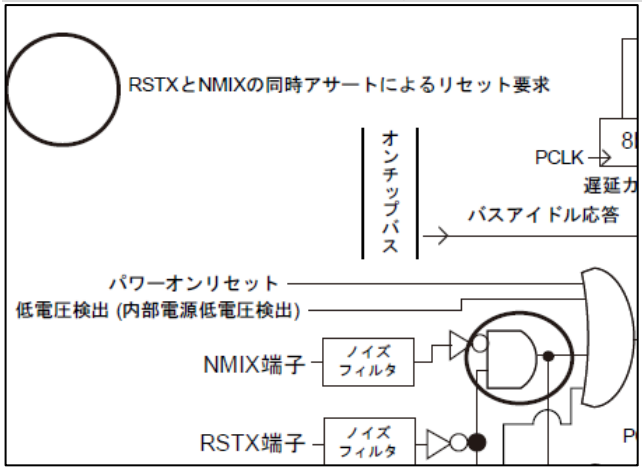
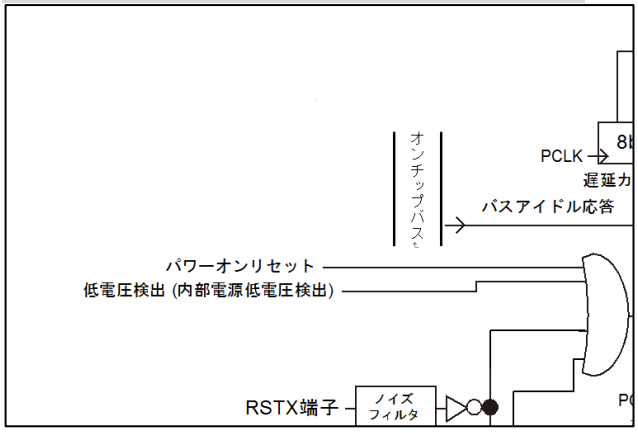
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>97</td><td>1.9</td><td>表 9-1 端子機能表を下記のように修正。

(誤)
<table>
<tr><td>機能*2</td></tr>
<tr><td></td></tr>
<tr><td>汎用入出力ポート</td></tr>
<tr><td>外部バス・データ bit21 入出力(0)</td></tr>
<tr><td>マルチファンクションシリアル ch.2
クロック入出力(0)</td></tr>
<tr><td>A/D コンバータ外部トリガ入力 0(1)</td></tr>
<tr><td>INT7 外部割込み入力(1)</td></tr>
<tr><td>(CAN 受信データ 2 入力
MB91F52xB,MB91F52xD のみ)</td></tr>
<tr><td></td></tr>
<tr><td>汎用入出力ポート</td></tr>
<tr><td>外部バス・データ bit22 入出力(0)</td></tr>
<tr><td>シリアルチップセレクト 2 入出力(0)</td></tr>
<tr><td>A/D コンバータ外部トリガ入力 1(1)</td></tr>
<tr><td>INT2 外部割込み入力(1)</td></tr>
<tr><td>(CAN 送信データ 2 出力
MB91F52xB,MB91F52xD のみ)</td></tr>
</table>

(正)
<table>
<tr><td>機能*9</td></tr>
<tr><td></td></tr>
<tr><td>汎用入出力ポート</td></tr>
<tr><td>外部バス・データ bit21 入出力(0)</td></tr>
<tr><td>マルチファンクションシリアル ch.2
クロック入出力(0)</td></tr>
<tr><td>A/D コンバータ外部トリガ入力 0(1)</td></tr>
<tr><td>INT7 外部割込み入力(1)</td></tr>
<tr><td>CAN 受信データ 2 入力</td></tr>
<tr><td></td></tr>
<tr><td>汎用入出力ポート</td></tr>
<tr><td>外部バス・データ bit22 入出力(0)</td></tr>
<tr><td>シリアルチップセレクト 2 入出力(0)</td></tr>
<tr><td>A/D コンバータ外部トリガ入力 1(1)</td></tr>
<tr><td>INT2 外部割込み入力(1)</td></tr>
<tr><td>CAN 送信データ 2 出力</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
98	1.9	端子機能説明の表下のコメントを以下のように修正。 （正） *1: 端子機能に制限があります。表の「端子名」を参照してください。 *2: 64pin はサポートしていません。 *3: 80pin はサポートしていません。 *4: 100pin はサポートしていません。 *5: 120pin はサポートしていません。 *6: 144pin はサポートしていません。 *7: 176pin はサポートしていません。
107	1.9	表 9-7 の端子名 TRG8_0 の 100pin の欄を修正。 (誤) - (正) 23
126	2.2	●電源投入時について を下記のように修正。 (誤) 内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上り時間は 50μs(0.2V～2.7V の間)以上を確保してください。 (正) 内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上りは単調増加にしてください。電源起動の途中で電圧が上下したり、一旦、電源の上昇が停止するような電源投入は行わないでください。
163	4.5.1	表 5-2 のパッケージタイプを JEDEC 表記に修正。 (誤) LQFP-176 LQFP-144 LQFP-120 LQFP-100 LQFP-80 LQFP-64 (正) LQP176 LQS144 / LQN144 LQM120 LQI100 LQH080 LQD064
197	5.4.9	下記の 記載を追加。 ＜注意事項＞ クロックスーパバイザ機能が有効な場合、本レジスタの設定周期よりも断検出の周期が短いと、発振安定待ち中に断検出されてしまうので、注意してください。 断検出の周期は、2^{12} × CR 発振=約 40.96ms になります。

ページ	場所	変更内容
212	5.4.21	下記の 記載を追加修正。 ＜注意事項＞ ・ [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] スタンバイ時計モード(電源遮断) からの復帰時には、CSC ビットと CST ビットは初期化されません。また、スタンバイ時計モード(電源遮断) からの復帰中は内部リセットが発行されており、パワーオンリセット/内部低電圧リセット/RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。 このとき、これらのビットは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または、外部低電圧検出フラグがセットされている場合には、必要があればこれらのビットを初期化してください。 ・ [MB91F52xxxD] スタンバイ時計モード(電源遮断)からの復帰時には、CSC ビットと CST ビットは初期化されません。また、スタンバイ時計モード(電源遮断)からの復帰中は内部リセットが発行されており、パワーオンリセット/内部低電圧リセット/RSTX によるリセット以外のリセット要因を受け付けません。 このとき、これらのビットは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または、外部低電圧検出フラグがセットされている場合には、必要があればこれらのビットを初期化してください。
238, 239	6.2.1	図 2-1 を MB91F52xxxB/MB91F52xxxC/MB91F52xxxE のデバイス状態遷移図とし、 図 2-2 を MB91F52xxxD のデバイス状態遷移図として追加。 (図 2-1 と図 2-2 のデバイス状態遷移図は同じで、以下の説明が異なります) 図 2-1 デバイス状態遷移図 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] ①パワーオンリセットまたは内部低電圧検出または外部リセットと NMI の同時アサート ②パワーオンリセット解除かつ内部低電圧解除かつ外部リセットと NMI 同時アサート解除 ⑨外部リセット入力(NMI 無効) or 外部低電圧検出 ⑩外部リセット入力(NMI 無効 + イレギュラー) or 外部低電圧検出(イレギュラー) 図 2-2 デバイス状態遷移図[MB91F52xxxD] ①パワーオンリセットまたは内部低電圧検出または外部リセット ②パワーオンリセット解除かつ内部低電圧解除かつ外部リセット解除 ⑨外部低電圧検出 ⑩外部低電圧検出(イレギュラー)
246, 247	7.3	図 3-1 を MB91F52xxxB/MB91F52xxxC/MB91F52xxxE のリセット構成図とし、 図 3-2 を MB91F52xxxD のリセット構成図として追加。 (以下のように図 3-2 では NMI リセットの記載を削除します) 図 3-1 リセット構成図 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]  図 3-2 リセット構成図 [MB91F52xxxD]を追加 

ページ	場所	変更内容
248, 249	7.3	図 3-2 を図 3-3　リセット構成図(リセット制御)[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]とし、 図 3-4 を MB91F52xxxD のリセット構成図(リセット制御)として追加。 (以下のように図 3-4 では NMIX 端子とその経路および"RSTX と NMIX の同時アサートによるリセット要求"を削除します) 図 3-3 リセット構成図(リセット制御) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]  図 3-4 リセット構成図(リセット制御) [MB91F52xxxD] 
250	7.3	図 3-3 を図 3-5 に修正。 図 3-5 不正スタンバイモード移行検出リセット要因の生成図

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>251</td><td>7.4.1</td><td>下記の 記載を追加。

[bit7] IRRST (IRregular ReSeT) : イレギュラーリセット
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセット、内部低電圧検出、リセットタイムアウトまたは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生し、リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが"0"のとき、直前のリセット時にはバスアクセスが行われず、メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが"1"の、直前のリセット時にはバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証されません。
[MB91F52xxxD] パワーオンリセット、内部低電圧検出、リセットタイムアウトまたは RSTX 外部端子のアサートのいずれかが発生し、リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが"0"のとき、直前のリセット時にはバスアクセスが行われず、メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが"1"の、直前のリセット時にはバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証されません。</td></tr>
<tr><td>252</td><td>7.4.1</td><td>下記の 記載を追加。

[bit6] ERST (External ReSeT) :
[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット・RSTX 外部端子と NMIX 外部端子の同時アサート
RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットまたは RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。
本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

<table>
<tr><th>ERST</th><th>RSTX 端子リセット検出, 不正スタンバイモード移行検出, クロックスーパバイザリセット検出, 低電圧検出(外部低電圧検出)または RSTX 外部端子と NMIX 外部端子の同時アサート検出</th></tr>
<tr><td>0</td><td>未検出</td></tr>
<tr><td>1</td><td>検出</td></tr>
</table>

[MB91F52xxxD]
リセット端子入力・不正スタンバイモード移行検出・低電圧検出(外部低電圧検出)・クロックスーパバイザリセット
RSTX 端子入力からのリセット入力、不正スタンバイモード移行検出リセット、低電圧検出(外部低電圧検出)、クロックスーパバイザリセットの発生を示します。本リセット要因でリセットタイムアウトが発生していたとき、本ビットと共に IRRST="1"となります。

<table>
<tr><th>ERST</th><th>RSTX 端子リセット検出, 不正スタンバイモード移行検出, クロックスーパバイザリセット検出, 低電圧検出(外部低電圧検出)</th></tr>
<tr><td>0</td><td>未検出</td></tr>
<tr><td>1</td><td>検出</td></tr>
</table>
</td></tr>
</table>

ページ	場所	変更内容
256	7.4.4	[bit7]PMUST の下記の 記載を追加修正。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本ビットは、パワーオンリセット、内部低電圧検出リセットおよび RSTX と NMIX の同時アサートでのみ初期化されます。そのため、本ビットでシャットダウンからの復帰を確認する前に、他のリセット要因を確認してください。 [MB91F52xxxD] 本ビットは、パワーオンリセット、内部低電圧検出リセットおよび RSTX のアサートでのみ初期化されます。そのため、本ビットでシャットダウンからの 復帰を確認する前に、他のリセット要因を確認してください。
258	7.5.1.1	イニシャライズリセット(INIT)の説明を下記のように修正。 (誤) すべてのレジスタの設定およびすべてのハードウェアを初期化します。 (正) パワーオンリセットまたは電源投入リセット(SINIT)のみで初期化されるレジスタおよび初期値不定のレジスタを除くすべてのレジスタと CPU を初期化します。
258	7.5.1.2	リセット(RST)の説明を下記のように修正。 (誤) イニシャライズリセット(INIT)のみで初期化されるレジスタを除くすべてのレジスタおよびすべてのハードウェアを初期化します。 (正) パワーオンリセット、SINIT または INIT のみで初期化されるレジスタおよび初期値不定のレジスタを除くすべてのレジスタと CPU を初期化します。.
259	7.5.2.2	RSTX 端子入力の説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本リセット要因によるリセットは、リセットタイムアウト時または NMIX 端子が同時にアサートされていた場合にはイレギュラーリセットとして検出されます。 イレギュラーリセット検出時以外は、リセット(RST)のみを発行します。 [MB91F52xxxD] 本リセット要因によるリセットは、イレギュラーリセットとして検出されます。
262	7.5.3.3	下記のように修正。 (誤) リセットタイムアウトが発生すした場合、 (正) リセットタイムアウトが発生した場合、

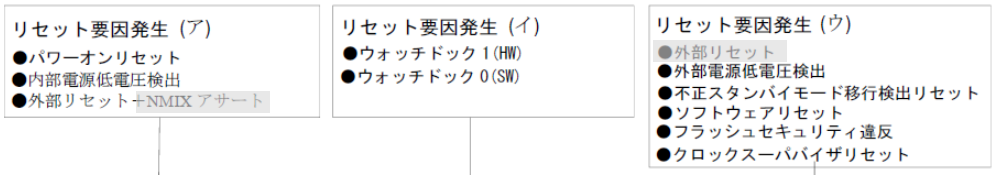
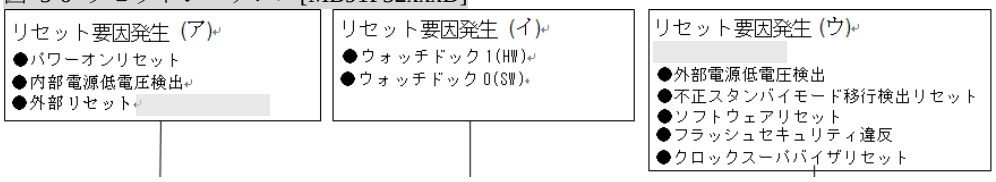
<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>263</td><td>7.5.4.1</td><td>電源投入リセット(SINIT)の説明に 記載を追加。

[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセットまたは内部低電圧検出または RSTX・NMIX 同時アサート時に最初に電源投入リセット(SINIT)が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。
[MB91F52xxxD] パワーオンリセットまたは内部低電圧検出または RSTX アサート時に最初に電源投入リセット(SINIT)が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。</td></tr>
<tr><td>263</td><td>7.5.4.1</td><td>表 5-1 発振安定待ち時間(SINIT)に 記載を追加。

<table>
<tr><th>種類</th><th>メインクロック発振安定待ち時間</th></tr>
<tr><td>パワーオンリセット</td><td>2^{15}×メインクロック周期</td></tr>
<tr><td>内部低電圧検出</td><td>2^{15}×メインクロック周期</td></tr>
<tr><td>[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
RSTX・NMIX 同時アサート</td><td>2^{15}×メインクロック周期</td></tr>
<tr><td>[MB91F52xxxD]
RSTX アサート</td><td>2^{15}×メインクロック周期</td></tr>
</table>
</td></tr>
<tr><td>266</td><td>7.5.4.3</td><td>リセット(RST)の説明を下記のように修正。

(誤)
イニシャライズリセット(INIT)レベルでないリセット要因が発生した場合、リセット(RST)のみを発行します。
本リセットは一部のレジスタ(「5.1.1. イニシャライズリセット(INIT)」 を参照してください。)を除くすべてのハードウェアの初期化に使用します。

(正)
SINIT および INIT レベルでないリセット要因が発生した場合、リセット(RST)のみを発行します。
本リセットは一部のレジスタ(「5.1.1. イニシャライズリセット(INIT)」 を参照してください。)を除くすべてのレジスタと CPU の初期化に使用します。</td></tr>
</table>

ページ	場所	変更内容
268, 269	7.5.5	図 5-5 を MB91F52xxxB/MB91F52xxxC/MB91F52xxxE のリセットシーケンス図とし、 図 5-6 を MB91F52xxxD のリセットシーケンス図として追加。 (図 5-5 から図 5-6 では 記載が削除されます) 図 5-5 リセットシーケンス [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]  図 5-6 リセットシーケンス[MB91F52xxxD] 
271	7.5.5.6	下記の 記載を削除。 (誤) リセット解除時に強制ブレークが発生していた場合、リセットベクタフェッチ終了後に強制ブレークを受付けます。このため、取得したリセットベクタによる PC 値がエミュレータ空間側へ退避されます (E_BPCHR,E_BPCLR レジスタにストアされます)。 (正) リセット解除時に強制ブレークが発生していた場合、リセットベクタフェッチ終了後に強制ブレークを受付けます。このため、取得したリセットベクタによる PC 値がエミュレータ空間側へ退避されます。
271	7.5.6	注意事項に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] スタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧検出リセット、RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。 [MB91F52xxxD] スタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧検出リセット、RSTX によるリセット以外のリセット要因を受け付けません。

ページ	場所	変更内容
401	11.5.6	下記の 記載を追加。 A/D コンバータ機能のある端子で A/D コンバータ以外の機能（デジタルポート、周辺機能）を利用する場合は、A/D コンバータのアナログ入力許可レジスタ(ADER)の該当ビットを[アナログ入力禁止]に設定しておいてください。 このとき、対象の端子をデジタルポートとして使用するにもかかわらず、兼用しているアナログ入力を A/D 変換した場合、変換中は 0 が固定値として読めますので、A/D 変換しないでください。 設定方法は『12 ビット A/D コンバータ』の章を参照してください。 アナログ入力許可の場合、ポート機能レジスタ(PFR00～PFR19)や拡張ポート機能レジスタ(EPFR00～EPFR88)の設定にかかわらず、ポートおよび周辺機能からの入力は"0"に、出力は Hi-Z に固定されます。
421	13.8	外部割込みの注意事項に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] また、PMUCTLR:IOCTMD=1 時のスタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧リセットおよび RSTX・NMIX 同時アサート以外のリセット要因を受付けません。このとき、外部割込み入力のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。 [MB91F52xxxD] また、PMUCTLR:IOCTMD=1 時のスタンバイ時計モード(電源遮断)およびスタンバイストップモード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧リセットおよび RSTX 以外のリセット要因を受付けません。このとき、外部割込み入力のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。
430	16.2	下記の 記載を修正。 (誤) FR80 (正) FR81
480	17.4.5	[bit2]REMP の注意事項を下記の 記載を修正。 (誤) 読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。 (正) 読出し時は常に"1"が読み出されます。
480	17.4.5	[bit1]SREMP の注意事項を下記の 記載を修正。 (誤) 読出し時は常に"0"が読み出されます。書込み時は必ず"0"を書き込んでください。 (正) 読出し時は常に"1"が読み出されます。
753	23.5.3	下記の 記載を追加。 外部端子入力のエッジを検出し、周期(立上りおよび立下り)とパルス幅(H および L)の測定をカウンタにて行います。カウンタのクロックは周辺クロック PCLK2 です。

ページ	場所	変更内容
905	28.9	リアルタイムクロック(RTC)の注意事項に　記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] ・ スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット， 内部電源低電圧リセットおよび RSTX・NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、復帰後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。 [MB91F52xxxD] ・ スタンバイ時計モード(電源遮断)からの復帰中は、内部リセットが発行されており、パワーオンリセット， 内部電源低電圧リセットおよび RSTX によるリセット以外のリセット要因を受け付けません。このとき、RTC のレジスタは初期化されませんので、復帰後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、RTC のレジスタを初期化してから使用してください。
921	30.4	以下の注意事項に　記載を追加。 3. [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] RSTX 外部端子と NMIX 外部端子の同時アサート [MB91F52xxxD] RSTX 外部端子のアサート
923	30.4.2	■PMUCTLR の説明に　記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。 [MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。
924	30.4.3	■PWRTMCTL の説明に　記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。 [MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。
925	30.4.4	■PMUINTF0 の説明に　記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。 [MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。
926	30.4.5	■PMUINTF1 の説明に　記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。 [MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

ページ	場所	変更内容
927	30.4.6	■PMUINTF2 の説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。 [MB91F52xxxD] 本レジスタは、パワーオンリセット、内部低電圧リセット、RSTX によるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。
939	30.5.5.3	時計モード(電源遮断)からのウェイクアップの説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、RTC、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。 [MB91F52xxxD] また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX によるリセット以外のリセット要因を受け付けません。このとき、RTC、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。
946	30.5.7.3	ストップモード(電源遮断)からのウェイクアップの説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。このとき、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。 [MB91F52xxxD] また、ウェイクアップ中はパワーオンリセット、内部低電圧リセット、RSTX によるリセット以外のリセット要因を受け付けません。このとき、外部割込み入力(IOCTMD=1 時)のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力または外部低電圧検出フラグがセットされている場合には、本レジスタを初期化してから使用してください。
949	30.5.9	図 5-5 不正スタンバイモード移行検出リセット要因の生成図の以下の記載を修正。 (誤) PTSF (正) PSTF
954	31.1	図1-1に 記載を追加 LVDV*: 0.9V ± 0.1V *: 内部低電圧検出の検出電圧は、0.9V±0.1V です。 この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>956</td><td>31.4.1</td><td>[bit6～bit4] LVD_SEL[2:0] (Low-Voltage Detect power fall SELect)の設定表に 記載を追加
(誤)
<table><tr><th>LVD_SEL[2:0]</th><th>内部電圧立下り検出電圧設定</th></tr><tr><td>100</td><td>0.9V±0.1V</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table>(注意事項) LVD_OE="1"時のみ書換えが可能です。

(正)
<table><tr><th>LVD_SEL[2:0]</th><th>内部電圧立下り検出電圧設定</th><th>マイコン動作保証電圧範囲</th></tr><tr><td>100 *</td><td>0.9V±0.1V</td><td>No</td></tr><tr><td>上記以外</td><td>設定禁止</td><td>-</td></tr></table>(注意事項) LVD_OE="1"時のみ書換えが可能です。

*: この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。
マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。
下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。</td></tr>
<tr><td>958</td><td>31.6</td><td>●内部低電圧検出フラグ(LVD:LVD_F)の初期値について以下の 記載を削除。
(誤)
内部低電圧検出フラグは、パワーオン直後に"1"にセットされます。内部低電圧検出フラグは、外部リセット、または内部低電圧検出レジスタ(LVD)の LVD_F ビットへの"0"書込みでクリアされます。

(正)
内部低電圧検出フラグは、外部リセット、または内部低電圧検出レジスタ(LVD)の LVD_F ビットへの"0"書込みでクリアされます。</td></tr>
<tr><td>960</td><td>32.1</td><td>図 1-1 ブロック図の(注意事項)に 記載を追加。

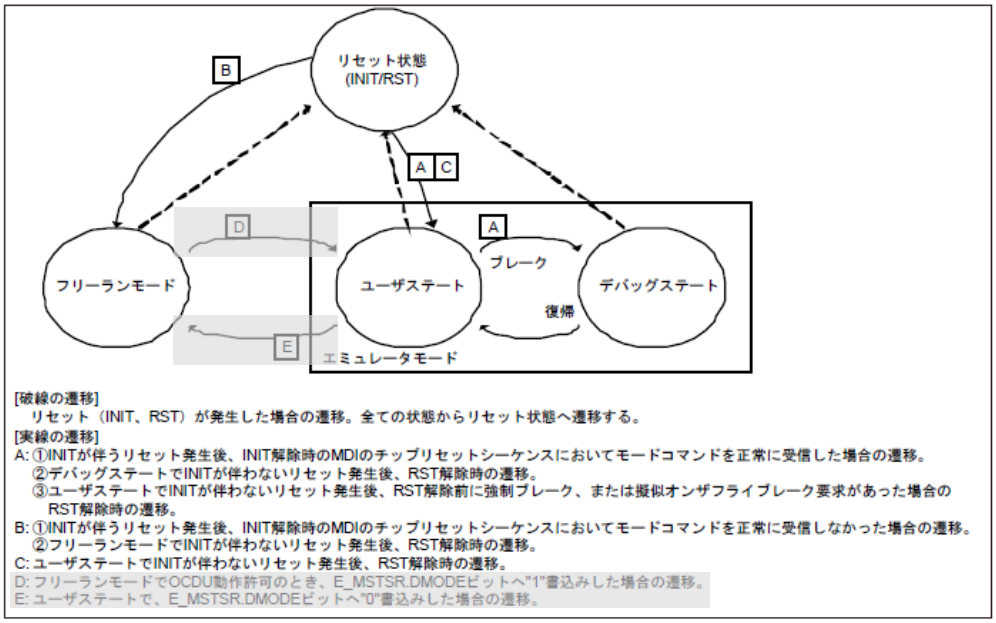
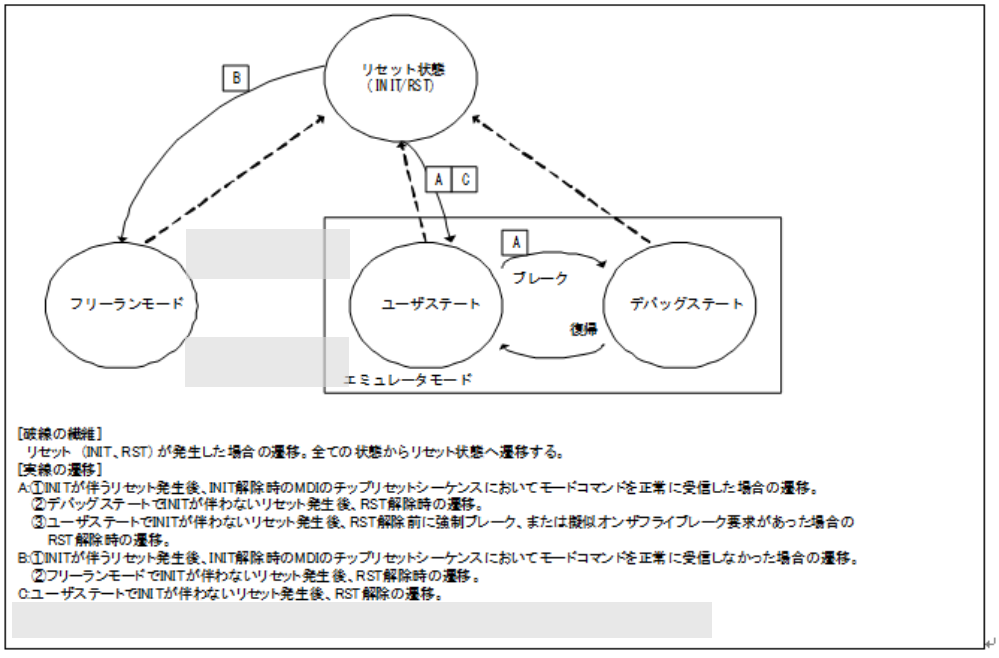
(注意事項) 立上り LVDV: 2.3V
立下り LVDV: 2.8~4.3V(計 11 通り) 可変*
*: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧(2.576V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定をしないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。</td></tr>
</table>

ページ	場所	変更内容
962	32.4.1	[bit0] LVD5R_F (Low-Voltage Detect external 5v Rise Flag) : 外部電圧立上り検出フラグの説明の以下の記載を修正。 (誤) 外部電圧の立上りが検出されると、LVD5R_F ビットが"1"にセットされます。 (正) パワーオンリセットが検出されると、LVD5R_F ビットが"1"にセットされます。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>963,
964</td><td>32.4.2</td><td>[bit6～bit4, bit2] LVD5F_SEL (Low-Voltage Detect external 5v Fall SELect) : 外部立下り検出電圧設定表に記載を追加。
(誤)
<table>
<tr><th>LVD5F_SEL[3: 0]</th><th>外部電圧立下り検出電圧設定</th></tr>
<tr><td>0000</td><td>2.80V±8%</td></tr>
<tr><td>0001</td><td>3.00V±8%</td></tr>
<tr><td>0010</td><td>3.20V±8%</td></tr>
<tr><td>0011</td><td>3.60V±8%</td></tr>
<tr><td>0100</td><td>3.70V±8%</td></tr>
<tr><td>0101</td><td>3.80V±8%</td></tr>
<tr><td>0110</td><td>3.90V±8%</td></tr>
<tr><td>0111</td><td>4.00V±8%</td></tr>
<tr><td>1000</td><td>4.10V±8%</td></tr>
<tr><td>1001</td><td>4.20V±8%</td></tr>
<tr><td>1010</td><td>4.30V±8%</td></tr>
<tr><td>上記以外</td><td>設定禁止</td></tr>
</table>
(注意事項) LVD5F_OE="1"時のみ書き換えが可能です。
(正)
<table>
<tr><th>LVD5F_SEL[3: 0]</th><th>外部電圧立下り検出電圧設定</th><th>マイコン動作保証電圧範囲</th></tr>
<tr><td>0000 *</td><td>2.80V±8%</td><td>No</td></tr>
<tr><td>0001</td><td>3.00V±8%</td><td rowspan="10">Yes</td></tr>
<tr><td>0010</td><td>3.20V±8%</td></tr>
<tr><td>0011</td><td>3.60V±8%</td></tr>
<tr><td>0100</td><td>3.70V±8%</td></tr>
<tr><td>0101</td><td>3.80V±8%</td></tr>
<tr><td>0110</td><td>3.90V±8%</td></tr>
<tr><td>0111</td><td>4.00V±8%</td></tr>
<tr><td>1000</td><td>4.10V±8%</td></tr>
<tr><td>1001</td><td>4.20V±8%</td></tr>
<tr><td>1010</td><td>4.30V±8%</td></tr>
<tr><td>上記以外</td><td>設定禁止</td><td>-</td></tr>
</table>
(注意事項) LVD5F_OE="1"時のみ書き換えが可能です。
*: この検出電圧(2.8V±8% = 2.576V～3.024V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定を使用しないでください。
下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。</td></tr>
</table>

ページ	場所	変更内容
977	34.3.1	[bit7] SCKS (Sub ClocK mode Select)の説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] このビットは、電源投入時、もしくは外部リセットと NMIX の同時アサートにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。 [MB91F52xxxD] このビットは、電源投入時、もしくは外部リセットにより"0"にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。
984	34.4.7	クロックスーパバイザによるリセット要因の説明に 記載を追加。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] RSTRR レジスタの ERST ビットが"1"になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部電源低電圧検出、クロックスーパバイザリセット、もしくは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生したことを示します。 [MB91F52xxxD] RSTRR レジスタの ERST ビットが"1"になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部電源低電圧検出、クロックスーパバイザリセットのいずれかが発生したことを示します。
1098, 1099,	40.4	表 4-4, 表 4-5 の*の 記載を下記のように修正。 (誤) 高速モード (正) ファーストモード
1137	40.4.3.4	■TDR1n-0n(n=0～11)について下記のように修正。 (誤) ■TDR1n-0n(n=0～11): アドレス Base addr+04H (アクセス: バイト, ハーフワード, ワード) (正) ■TDR1n-0n(n=0～11): アドレス Base addr+04H (アクセス: ハーフワード, ワード)
1469	41.4.2.1	CAN 制御レジスタ: CTRLR の[bit0]の注意事項に下記の 記載を追加。 ・送信中、Init ビットに"1"を設定する場合、送信完了後に Init ビットを"1"に設定してください。もし、送信中、Init ビットに"1"を設定した場合、送信要求ビット(TxRqst)が"1"に設定されているメッセージバッファに対し送信キャンセル(TxRqst ビットに"0"を設定)を実行してから、Init ビットに"0"を設定してください。その後、CAN の 2 ビット時間経過後に送信要求の設定(TxRqst ビットに"1"を設定)を行ってください。
1545	44.2.3	記載を下記のように修正。 (誤) ・変換時間は、最小 1.0µs (サンプリング時間を含む)です。 (正) ・変換時間は、最小 1.4µs (サンプリング時間を含む)です。

ページ	場所	変更内容
1559	44.4.1.1	アナログ入力制御レジスタ:ADERH0/L0 の注意事項に 記載を追加。 ＜注意事項＞ 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。 設定方法は『I/O ポート』の章の『キーコードレジスタ: KEYCDR 』、『キーコードレジスタ機能の設定』を参照してください。また、本レジスタへのワードアクセスは禁止です。 A/D コンバータの機能を持つ端子については、『I/O ポート』の章の『5.6. A/D コンバータ機能のある端子の注意事項』を参照してください。
1629	44.5.4.7	■サンプリング時間の＜注意事項＞に 記載を追加。 サンプリング時間は 700ns(4.5V~5.5V)/1000ns(2.7V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 47)ビットを設定してください。700ns/1000 未満では正常なアナログ変換値が得られない場合があります。
1630	44.5.4.7	■コンペア時間の＜注意事項＞に 記載を追加。 コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 未満では正常なアナログ変換値が得られない場合があります。
1632	44.6	●サンプリング時間・コンペア時間の設定についての 記載を修正。 (誤) サンプリング時間は 700ns(4.5V~5.5V)/1000ns(2.7V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 47)ビットを設定してください。700ns/1000ns 以下では正常なアナログ変換値が得られない場合があります。 コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 以下では正常なアナログ変換値が得られない場合があります。 (正) サンプリング時間は 700ns(4.5V~5.5V)/1000ns(2.7V~5.5V)以上となるように ST1, ST0/STCHn1, STCHn0(n=00 ～ 47)ビットを設定してください。700ns/1000ns 未満では正常なアナログ変換値が得られない場合があります。 コンペア時間は 700ns 以上となるように CT1, CT0 ビットを設定してください。700ns 未満では正常なアナログ変換値が得られない場合があります。
1560	44.4.1.1	アナログ入力制御レジスタ:ADERL1 の注意事項に 記載を追加。 ＜注意事項＞ 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。 設定方法は『I/O ポート』の章の『キーコードレジスタ: KEYCDR 』、『キーコードレジスタ機能の設定』を参照してください。また、本レジスタへのワードアクセスは禁止です。 AD コンバータの機能を持つ端子については、『I/O ポート』の章の『5.6. A/D コンバータ機能のある端子の注意事項』を参照してください。
1709	47.5.1.2	下記の記載を削除。 (誤) また、OCD レジスタの制御により、フリーランモードとエミュレータモードのユーザステート間の遷移が可能となります。

ページ	場所	変更内容
1710	47.5.1.2	図 5-1 OCDU 動作モード遷移図の下記の 記載を削除。 (誤) 図 5-1 OCDU 動作モード遷移図  [破線の遷移] リセット（INIT、RST）が発生した場合の遷移。全ての状態からリセット状態へ遷移する。 [実線の遷移] A: ①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信した場合の遷移。 ②デバッグステートでINITが伴わないリセット発生後、RST解除時の遷移。 ③ユーザステートでINITが伴わないリセット発生後、RST解除前に強制ブレーク、または擬似オンザフライブレーク要求があった場合のRST解除時の遷移。 B: ①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信しなかった場合の遷移。 ②フリーランモードでINITが伴わないリセット発生後、RST解除時の遷移。 C: ユーザステートでINITが伴わないリセット発生後、RST解除時の遷移。 D: フリーランモードでOCDU動作許可のとき、E_MSTSR.DMODEビットへ"1"書込みした場合の遷移。 E: ユーザステートで、E_MSTSR.DMODEビットへ"0"書込みした場合の遷移。 (正) 図 5-1 OCDU 動作モード遷移図  [破線の機能] リセット（INIT、RST）が発生した場合の遷移。全ての状態からリセット状態へ遷移する。 [実線の遷移] A:①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信した場合の遷移。 ②デバッグステートでINITが伴わないリセット発生後、RST解除時の遷移。 ③ユーザステートでINITが伴わないリセット発生後、RST解除前に強制ブレーク、または擬似オンザフライブレーク要求があった場合のRST解除時の遷移。 B:①INITが伴うリセット発生後、INIT解除時のMDIのチップリセットシーケンスにおいてモードコマンドを正常に受信しなかった場合の遷移。 ②フリーランモードでINITが伴わないリセット発生後、RST解除時の遷移。 C:ユーザステートでINITが伴わないリセット発生後、RST解除の遷移。

<table>
<tr><th>ページ</th><th>場所</th><th>変更内容</th></tr>
<tr><td>1713</td><td>47.5.2.2</td><td>セキュリティ機能の下記の 記載を修正。

(誤)
OCDU にはセキュリティ機能を搭載しています。OCDU は、CPU のメモリ空間にあるデバッグセキュリティ領域に記憶されるセキュリティ情報の設定により、セキュリティ機能を有効にすることができます。セキュリティ機能を有効にすると、セキュリティロック状態となります。これを解除するために、セキュリティ情報で設定したパスワードを指定長回数、E_SLPR レジスタに書き込むことで、セキュリティをアンロックできます。

(正)
OCDU にはセキュリティ機能を搭載しています。OCDU は、CPU のメモリ空間にあるデバッグセキュリティ領域に記憶されるセキュリティ情報の設定により、セキュリティ機能を有効にすることができます。セキュリティ機能を有効にすると、セキュリティロック状態となります。これを解除するために、セキュリティ情報で設定したパスワードを指定長回数、OCD 専用のレジスタに書き込むことで、セキュリティをアンロックできます。</td></tr>
<tr><td>1718,
1719</td><td>47.5.3.4</td><td>仕様制限まとめの 1), 2)の表に下記の 記載を追加。

<table>
<tr><th rowspan="2">リセット要因</th><th colspan="2">OCDツール未接続時との差</th><th rowspan="2">備考</th></tr>
<tr><th>初期化範囲</th><th>処理時間</th></tr>
<tr><td>パワーオンリセット</td><td rowspan="11">なし</td><td rowspan="10">あり</td><td rowspan="2">リセット解除後エミュレータモード(デバッグステート)へ遷移</td></tr>
<tr><td>[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
RSTX端子入力
(イレギュラー)</td></tr>
<tr><td>[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
RSTX端子入力</td><td>降圧回路切替え安定待ち時間*2なし
(注意事項) Main/Subストップモード、Main/Sub時計モードからの復帰のみ</td></tr>
<tr><td>[MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]
RSTX端子入力(+NMIX端子入力)
[MB91F52xxxD]
RSTX端子入力</td><td rowspan="7">リセット解除後エミュレータモード(デバッグステート)へ遷移</td></tr>
<tr><td>ウォッチドッグリセット0
(イレギュラー)</td></tr>
<tr><td>ウォッチドッグリセット0</td></tr>
<tr><td>ウォッチドッグリセット1
(イレギュラー)</td></tr>
<tr><td>ウォッチドッグリセット1</td></tr>
<tr><td>外部電源低電圧検出リセット
(イレギュラー)</td></tr>
</table>
</td></tr>
<tr><td>1720</td><td>47.5.4</td><td>表 5-1 のデバイスバージョン ID に下記の 記載を追加。

<table>
<tr><td>デバイス
バージョン ID</td><td>4</td><td>E_IDVCR</td><td>0x003</td><td>0x2
0x3
0x4
0x5</td><td>Revision : B
Revision : C
Revision : D
Revision : E</td></tr>
</table>
</td></tr>
<tr><td>1938
~1958</td><td>付録 B</td><td>表 B-1～B-6 の下にある*5 の説明を削除。
表 B-2～B-6 の RN 項目 45 の*5 を削除。</td></tr>
</table>

ページ	場所	変更内容
1959 ~1962	付録 C	表 C-1 のリセット要因 1(*1)に下記の 記載を追加。 リセット要因 1(*1) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] (*1 パワーオンリセット、 外部リセット NMI 有効) [MB91F52xxxD] (*1 パワーオンリセット、 外部リセット)
1959 ~1962	付録 C	表 C-1 のリセット要因 3(*3)に下記の 記載を追加。 リセット要因 3(*3) ([MB91F52xxxB/MB91F52xxxC/MB91F52xxxE]外部リセット NMI 無効)
1962	付録 C	表 C-1 の注釈(*1)に下記の 記載を追加修正。 (*1) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] パワーオンリセット、低電圧検出(内部電源電圧)、外部リセット(NMI 有効)が要因となります。 [MB91F52xxxD]パワーオンリセット、低電圧検出(内部電源電圧)、外部リセットが要因となります。
1962	付録 C	表 C-1 の注釈(*3)に下記の 記載を追加。 (*3) [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE] 外部リセット(NMI 無効)が要因となります。
Cypress Document Number: 002-05573 Rev.*B		
50～ 54,56	1.3	表 3-1～表 3-6 の*2 記載を下記のように修正。 (誤) *2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。 (正) *2: 外部低電圧検出の検出電圧(初期値)は、2.8V±8% (2.576V～3.024V)です。この検出電圧と内部低電圧検出の検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、これらの設定を使用しないでください。
172	5.2	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてメインタイマまたはサブタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
228	5.5.4.1	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてメインタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
228	5.5.4.2	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてサブタイマを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。

ページ	場所	変更内容
231	5.5.4.7	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてメイン/サブタイマまたはリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
421	13.8	下記の記載を追加。 ■時計モード(電源遮断)の復帰要因として外部割込みを使用する場合の注意事項 時計モード(電源遮断)の復帰要因として外部割込みを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。また、NMIX 端子を時計モード(電源遮断)の復帰要因として使用しないでください。
423	14.2	下記の記載を修正。 (誤) ストップモード(電源遮断含む)、時計モード(電源遮断含む)でも使用可能。 (正) ストップモード(電源遮断含む)、時計モードで使用可能。 NMI 入力を時計モード(電源遮断)の復帰要因として使用しないでください。
887	28.2	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
902	28.7.9	下記の記載を追加。 <注意事項> 時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
905	28.9	下記の記載を追加。 ・時計モード(電源遮断)の復帰要因としてリアルタイムクロックを使用する場合は、時計モード(電源遮断)遷移命令の直前で、割込みレベルを‘31’に設定してください。
918	30.2	下記の注意事項を追加。 <注意事項> 時計モード(電源遮断)を使用される場合は、以下(1)と(2)の両方を満たすように使用してください。 (1) 時計モード(電源遮断)遷移命令の直前で、復帰要因となる割込みの割込みレベルを‘31’にする。 (2) 時計モード(電源遮断)からの復帰要因として NMIX 端子を使用しない。
936	30.5.5.1	下記の記載を追加。 (2) 時計モード(電源遮断)遷移命令の直前で、復帰要因となる割込みの割込みレベルを‘31’にする。 (3) 時計モード(電源遮断)からの復帰要因として NMIX 端子を使用しない。
939	30.5.5.3	下記の記載を削除。 ・NMI 要求の発生

ページ	場所	変更内容
954	31.1	図1-1の*記載を下記のように修正。 (誤) *: 内部低電圧検出の検出電圧は、0.9V±0.1V です。 この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。 (正) *: 内部低電圧検出の検出電圧は、0.9V±0.1V です。 この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。
956	31.4.1	[bit6～bit4] LVD_SEL[2:0] (Low-Voltage Detect power fall SELect)の*記載を下記のように修正。 (誤) *:この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。 マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。 下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。 (正) *:この検出電圧は、マイコンの下限動作保証電圧よりも低い電圧です。 マイコンの下限動作保証電圧を検出する目的で、この LVD を使用しないでください。
960	32.1	注意事項の*記載を下記のように修正。 (誤) *: 外部低電圧検出の検出電圧(初期値)は、2.8V 圧検出の検出電圧圧を検～3.024V)です。この検出電圧(2.576V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定をしないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。 (正) *: 外部低電圧検出の検出電圧(初期値)は、2.8V 圧検出の検出電圧、低電～3.024V)です。この検出電圧(2.576V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定をしないでください。
964	32.4.2	[bit6～bit4, bit2] LVD5F_SEL (Low-Voltage Detect external 5v Fall SELect)の*記載を下記のように修正。 （誤） *:この検出電圧(2.8V±8% = 2.576V～3.024V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定を使用しないでください。下限動作保証電圧未満では、低電圧検出以外のマイコン動作は保証されていません。 （正） *:この検出電圧(2.8V±8% = 2.576V～3.024V)は、マイコンの下限動作保証電圧(2.7V)よりも低い電圧です。マイコンの下限動作保証電圧を検出する目的で、この設定を使用しないでください。

改訂履歴

Document Revision History

Document Title: MB91520 シリーズ 32 ビット・マイクロコントローラ FR ファミリ FR81S Hardware Manual Document Number: 002-05573			
Revision	**ECN No.**	**Origin of Change**	**Description of Change**
**	-	KUME	サイプレスとしてドキュメントコード 002-05573 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5293297	KUME	これは英語版の 002-05528 Rev. *A を翻訳した日本語版です。 [MB91F52xxxB/MB91F52xxxC/MB91F52xxxE], [MB91F52xxxD]に関する記述を追加。 詳細は付録の主な変更内容をご参照ください。
*B	5373433	KUME	これは英語版の 002-05528 Rev. *B を翻訳した日本語版です。 詳細は付録の主な変更内容をご参照ください。