CY88151A

スペクトラム拡散クロックジェネレータ

CY88151A は , EMI (Electro Magnetic Interference) 対策用のクロックジェネレータです。内蔵の変調器で発振周波数を周期的にわずかに変動させる (変調する) ことで, 不要輻射ノイズ (EMI) のピークを減衰できます。入力周波数を中心として変調するセンタスプレッドと入力周波数を超えないように変調するダウンスプレッドの両方に対応しています。

特長

	CY88151A-100 (1 逓倍)	CY88151A-200 (2 逓倍)
入力周波数 / 出力周波数	16.6 MHz ～ 33.4 MHz/ 16.6 MHz ～ 33.4 MHz	16.6 MHz ～ 33.4 MHz/ 33.2 MHz ～ 66.8 MHz
変調クロック Cycle-Cycle ジッタ	100 ps 未満	100 ps 未満

- 変調度 : ±0.5 %, ±1.5 % (センタスプレッド), − 1.0 %, − 3.0 % (ダウンスプレッド) から端子設定可能
- 発振回路搭載 : 発振範囲 16.6 MHz ～ 33.4 MHz
- 変調クロック出力デューティ : 40 %～ 60 %
- CMOS プロセスによる低消費電流 : 5 mA (24 MHz : Typ サンプル , 無負荷)
- 電源電圧 : 3.3 V ± 0.3 V
- 動作温度 : − 40 °C ～＋ 85 °C
- パッケージ : SOP 8 ピン

Contents

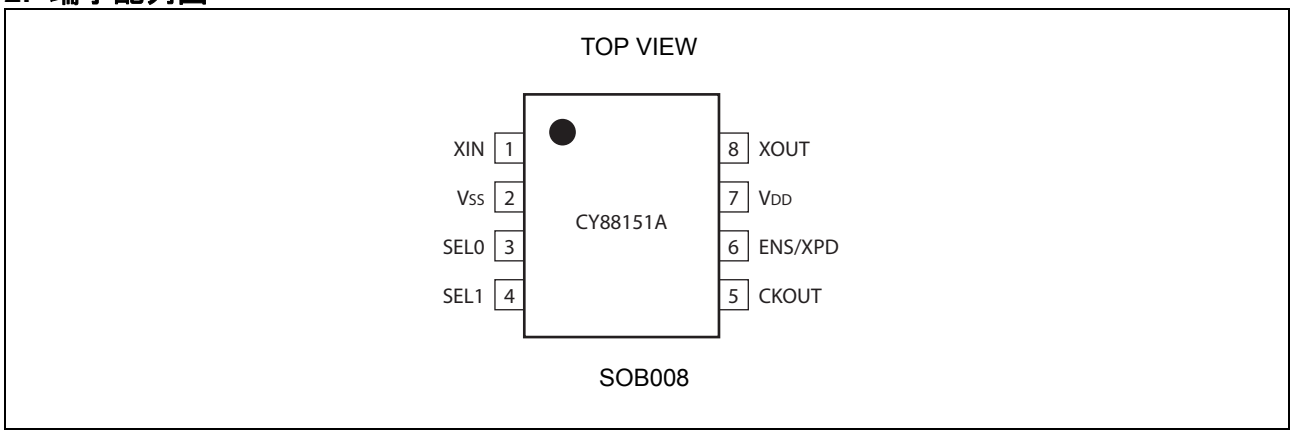
特長 1
1. 品種構成 3
2. 端子配列図 3
3. 端子機能説明 3
4. 入出力回路形式 4
5. デバイスの取扱いについて 6
5.1 ラッチアップ防止のために 6
5.2 未使用端子の処理について 6
5.3 外部クロック使用時の注意について 6
5.4 電源端子について 6
5.5 発振回路について 6
6. ブロックダイヤグラム 7
7. 端子設定 8
8. 絶対最大定格 10
9. 推奨動作条件 11
10. 電気的特性 12
11. 出力クロックデューティサイクル ($t_{DCC} = t_b/t_a$) 15
12. 入力周波数 ($f_{in} = 1/t_{in}$) 15
13. 出力スルーレート (SR) 15
14. サイクルーサイクルジッタ ($t_{JC} = |t_n - t_n + 1|$) 16
15. 変調波形 17
16. ロックアップタイム 18
17. 発振回路 20
18. 接続回路例 21
19. スペクトラム特性例 22
20. オーダ型格 23
21. パッケージ・外形寸法図 24
改訂履歴 25
セールス , ソリューションおよび法律情報 26

1. 品種構成

CY88151A には , 逓倍により 5 種類のラインアップがあります。

品名	入力周波数	逓倍率	出力周波数
CY88151A-100	16.6 MHz ～ 33.4 MHz	1 逓倍	16.6 MHz ～ 33.4 MHz
CY88151A-200		2 逓倍	33.2 MHz ～ 66.8 MHz

2. 端子配列図

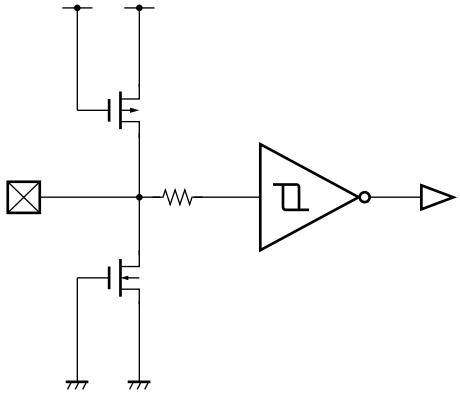
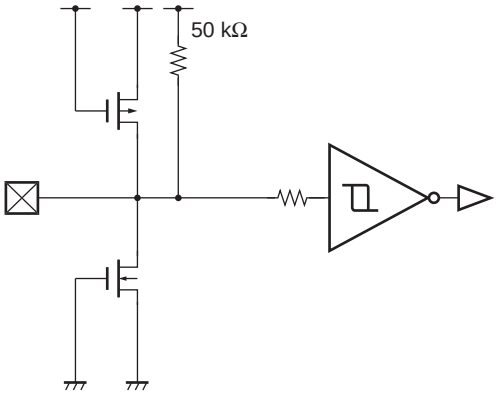
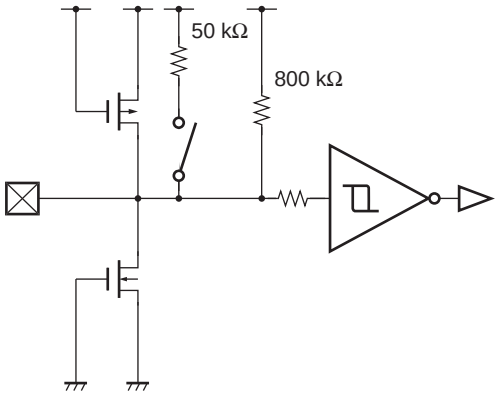


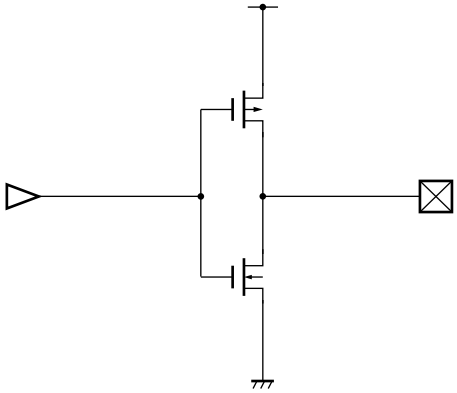
3. 端子機能説明

端子記号	I/O	端子番号	機能説明
XIN	I	1	発振子の接続端子 / クロック入力
V_{SS}	—	2	GND 端子
SEL0	I	3	変調度設定端子
SEL1	I	4	変調度設定端子
CKOUT	O	5	変調クロック出力端子
ENS/XPD	I	6	変調イネーブル設定端子 (プルアップ抵抗付き) / パワーダウン端子 (プルアップ抵抗付き) *
V_{DD}	—	7	電源電圧端子
XOUT	O	8	発振子の接続端子

＊ : XPD ＝ “L” 時プルアップ抵抗 800 kΩ

4. 入出力回路形式

端子	回路形式	備考
SEL0, SEL1		CMOS ヒステリシス入力
ENS		■ プルアップ抵抗 50 kΩ 付き ■ CMOS ヒステリシス入力
XPD		■ プルアップ抵抗 50 kΩ ＋ 800 kΩ 付き (注意事項) XPD に “0” 入力があると , 50 kΩ のプルアップ抵抗は切り離されます。 ■ CMOS ヒステリシス入力

端子	回路形式	備考
CKOUT		■ CMOS 出力 ■ I_{OL} ＝ 4 mA

（注意事項）XIN, XOUT 端子については「17. 発振回路 」を参照してください。

5. デバイスの取扱いについて

5.1 ラッチアップ防止のために

入力端子や出力端子に V_{DD} より高い電圧や V_{SS} より低い電圧を印加した場合 , または , V_{DD} 端子と V_{SS} 端子との間に定格を超える電圧を印加した場合に , ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し , 素子の熱破壊にいたることがありますので , 使用に際しては最大定格を超えることのないよう十分に注意してください。

5.2 未使用端子の処理について

使用していない入力端子を開放のままにしておくと誤動作の原因となることがありますので, プルアップまたは, プルダウンの処理をしてください。
使用していない出力端子は , 開放としてください。

5.3 外部クロック使用時の注意について

外部クロック使用時は , XIN 端子にクロックを入力して , XOUT 端子は開放としてください。
XIN 端子の入力クロックにオーバシュートおよびアンダシュートが発生しないように注意してください。

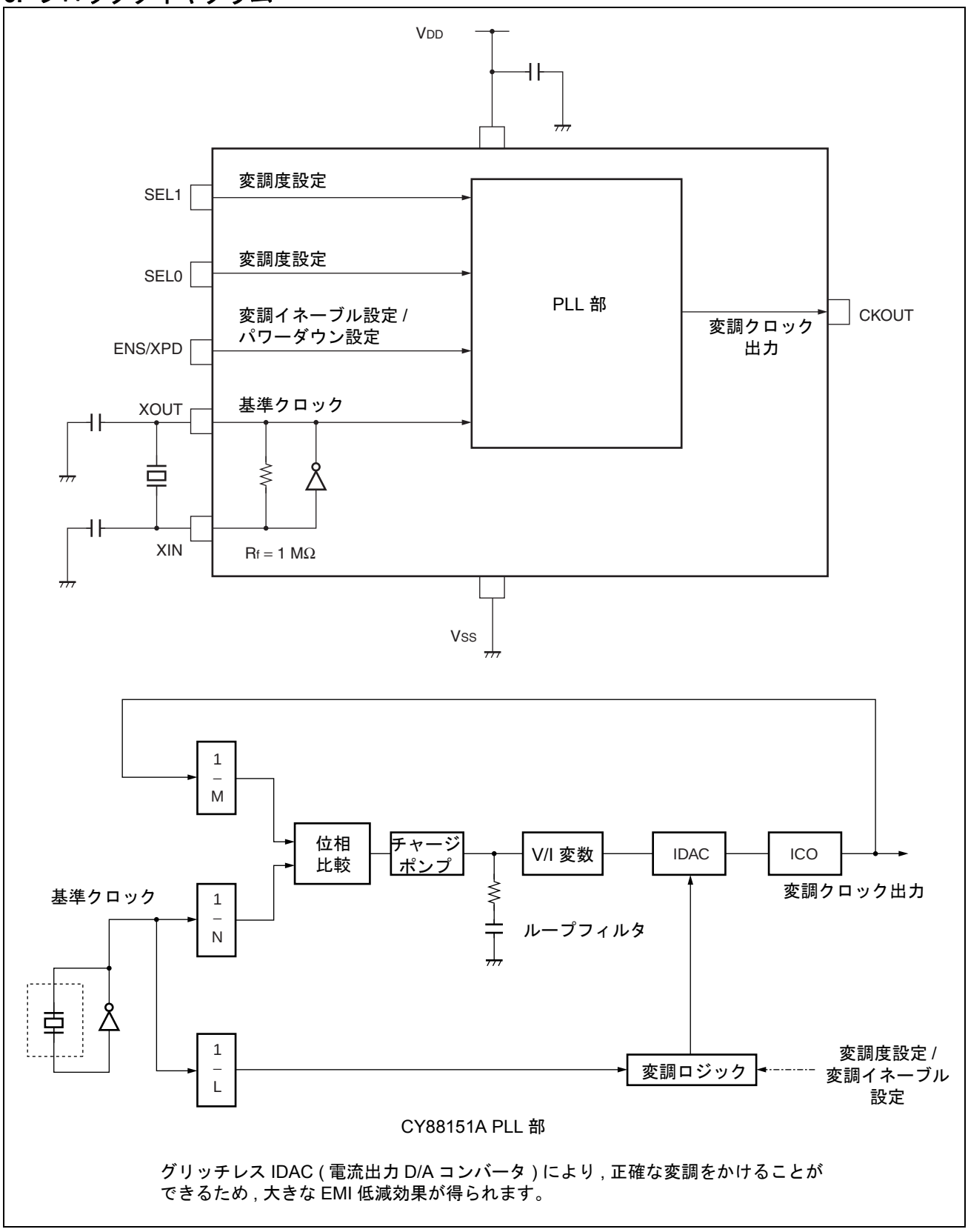
5.4 電源端子について

電流供給源からできる限り低インピーダンスで本デバイスの電源端子に接続するような配慮をお願いいたします。
本デバイスの近くで , V_{DD} 端子と V_{SS} 端子との間に 0.01 µF 程度のセラミックコンデンサと 10 µF 程度の電解コンデンサを並列に接続し , バイパスコンデンサとして接続することをお勧めいたします。

5.5 発振回路について

XIN 端子と XOUT 端子の近辺のノイズは , 本デバイスの誤動作の原因となります。XIN 端子または XOUT 端子と発振子の配線は , 他の配線とできる限り交差しないようにプリント基板を設計してください。
XIN 端子と XOUT 端子の回りをグランドで囲むようなプリント基板を設計してください。

6. ブロックダイヤグラム



CY88151A PLL 部

グリッチレス IDAC (電流出力 D/A コンバータ) により , 正確な変調をかけることができるため , 大きな EMI 低減効果が得られます。

7. 端子設定

端子設定を変更した場合 , 変調クロック安定待ち時間が必要になります。変調クロックの安定待ち時間は ,「10. 電気的特性　■ 交流規格　ロックアップタイム 」の最大値を確保してください。

ENS 変調イネーブル設定 (CY88151A-100/200)

ENS	変調
L	なし
H	あり

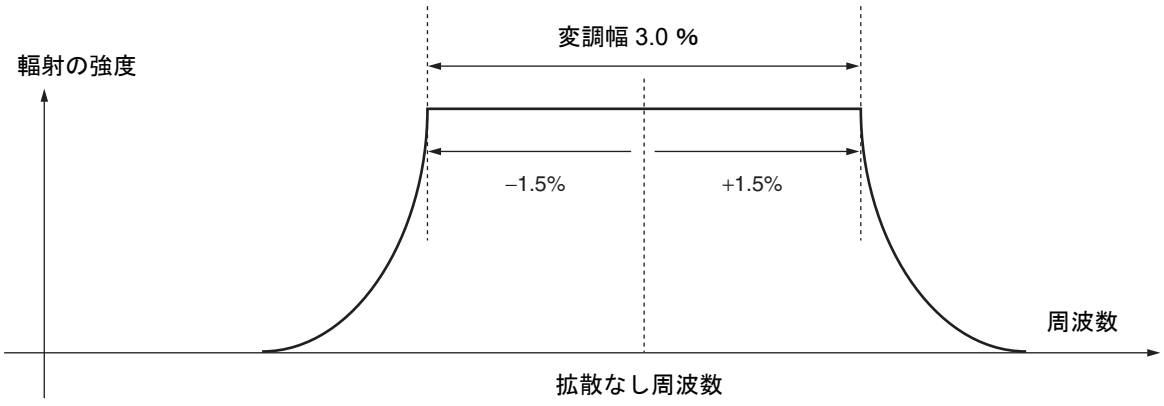
（注意事項）ENS 端子を “L” に設定すると , スペクトラム拡散しません。ジッタの少ないクロックが得られます。ENS 端子はプルアップ抵抗付きですので , 開放または “H” を入力することでスペクトラム拡散します。

SEL0, SEL1 変調度設定

SEL1	SEL0	変調度	変調タイプ
L	L	±1.5 %	センタスプレッド
L	H	±0.5 %	センタスプレッド
H	L	− 1.0 %	ダウンスプレッド
H	H	− 3.0 %	ダウンスプレッド

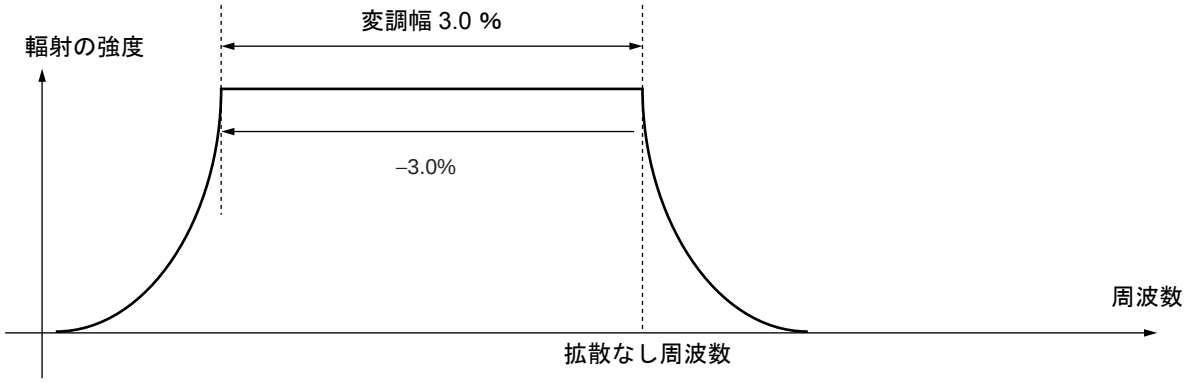
（注意事項）変調度は , 端子のレベルで変更できます。

■ センタスプレッド
拡散なし周波数を中心として , スペクトラムを拡散 (変調) させます。



変調度 ±1.5 %のセンタスプレッドの例

■ ダウンスプレッド
拡散なし周波数以下で , スペクトラムを拡散 (変調) させます。



変調度ー 3.0 %のダウンスプレッドの例

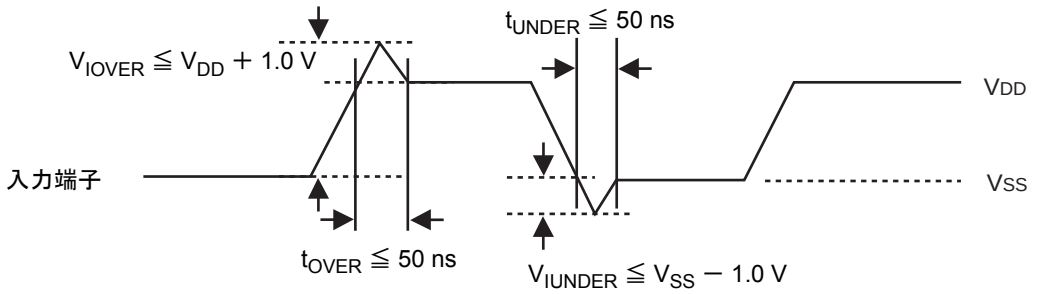
8. 絶対最大定格

項目	記号	定格値		単位
		最小	最大	
電源電圧 *	V_{DD}	− 0.5	+ 4.0	V
入力電圧 *	V_I	V_{SS} − 0.5	V_{DD} + 0.5	V
出力電圧 *	V_O	V_{SS} − 0.5	V_{DD} + 0.5	V
保存周囲温度	T_{ST}	− 55	+ 125	°C
動作接合温度	T_J	− 40	+ 125	°C
出力電流	I_O	− 14	+ 14	mA
オーバシュート	V_{IOVER}	—	V_{DD} + 1.0 (t_{OVER} ≦ 50 ns)	V
アンダシュート	V_{IUNDER}	V_{SS} − 1.0 (t_{UNDER} ≦ 50 ns)	—	V

＊：V_{SS} = 0.0 V を基準にしています。

＜注意事項＞ 絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は，半導体デバイスを破壊する可能性があります。したがって，定格を一項目でも超えることのないようご注意ください。

オーバシュート / アンダシュート



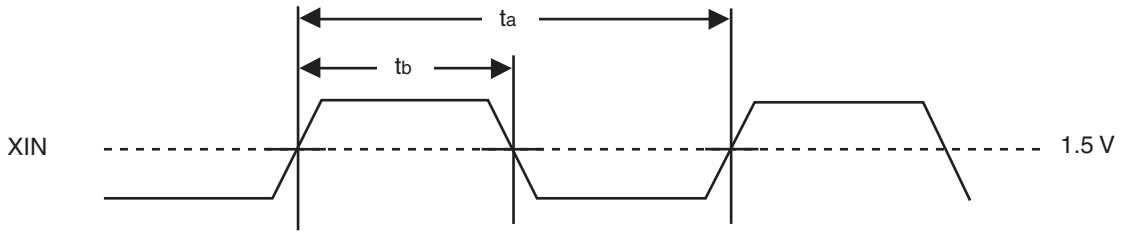
9. 推奨動作条件

(V_{SS} = 0.0 V)

項目	記号	端子	条件	規格値			単位
				最小	標準	最大	
電源電圧	V_{DD}	V_{DD}	—	3.0	3.3	3.6	V
“H” レベル入力電圧	V_{IH}	XIN, SEL0, SEL1, ENS	—	V_{DD} × 0.8	—	V_{DD} + 0.3	V
“L” レベル入力電圧	V_{IL}	XIN, SEL0, SEL1, ENS	—	V_{SS}	—	V_{DD} × 0.2	V
入力クロック デューティサイクル	t_{DCI}	XIN	16.6 MHz ～ 33.4 MHz	40	50	60	%
動作温度	Ta	—	—	− 40	—	+ 85	°C

＜注意事項＞ 推奨動作条件は，半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は，すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると，信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目，使用条件，論理の組合せでの使用は，保証していません。記載されている以外の条件での使用をお考えの場合は，必ず事前に営業部門までご相談ください。

入力クロックデューティサイクル ($t_{DCI} = t_b/t_a$)



10. 電気的特性

■ 直流規格

(Ta ＝－ 40 °C ～＋ 85 °C, V_{DD} ＝ 3.3 V ± 0.3 V, V_{SS} ＝ 0.0 V)

項目	記号	端子	条件	規格値			単位
				最小	標準	最大	
電源電流	I_{CC}	V_{DD}	24 MHz 出力時 負荷容量なし CY88151A-100	—	5.0	7.0	mA
出力電圧	V_{OH}	CKOUT	“H” レベル出力 I_{OH} ＝－ 4 mA	V_{DD} － 0.5	—	V_{DD}	V
	V_{OL}		“L” レベル出力 I_{OL} ＝ 4 mA	V_{SS}	—	0.4	V
出力インピーダンス	Z_O	CKOUT	16.6 MHz ～ 66.8 MHz	—	45	—	Ω
入力容量	C_{IN}	XIN, SEL0, SEL1, ENS	Ta ＝＋ 25 °C, V_{DD} ＝ V_I ＝ 0.0 V, f ＝ 1 MHz	—	—	16	pF
負荷容量	C_L	CKOUT	16.6 MHz ～ 66.8 MHz	—	—	15	pF
入力プルアップ抵抗	R_{PUE}	ENS	V_{IL} ＝ 0.0 V	25	50	200	kΩ
	R_{PUP}	XPD	V_{IL} ＝ 0.0 V	500	800	1200	

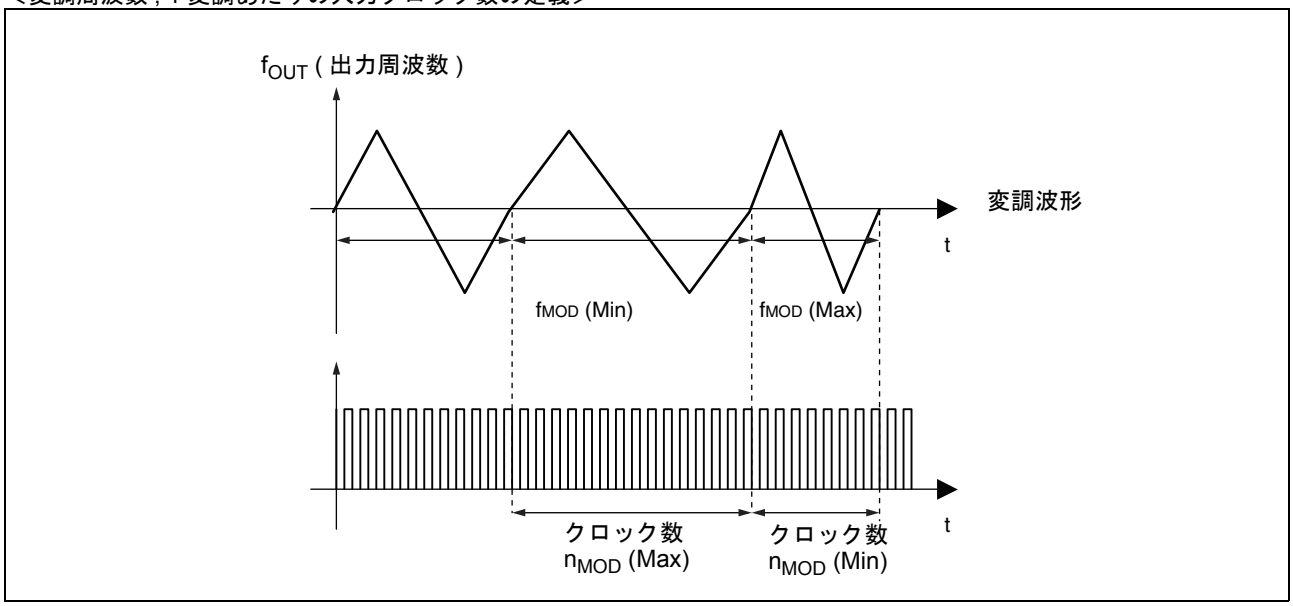
■ 交流規格

(Ta ＝－ 40 °C ～＋ 85 °C, V_{DD} ＝ 3.3 V ± 0.3 V, V_{SS} ＝ 0.0 V)

項目	記号	端子	条件	規格値			単位
				最小	標準	最大	
発振周波数	f_x	XIN, XOUT	基本波発振	8.3	—	33.4	MHz
入力周波数	f_{in}	XIN	外部クロック入力 (1, 2 逓倍)	16.6	—	33.4	MHz
出力周波数	f_{OUT}	CKOUT	CY88151A-100 (1 逓倍)	16.6	—	33.4	MHz
			CY88151A-200 (2 逓倍)	33.2	—	66.8	
出力スルーレート	SR	CKOUT	0.4 V ～ 2.4 V 負荷容量 15 pF	0.4	—	4.0	V/ns
出力クロックデューティサイクル	t_{DCC}	CKOUT	1.5 V	40	—	60	%
変調周期 (1 変調あたりの入力クロック数)	f_{MOD} (n_{MOD})	CKOUT	CY88151A-100, CY88151A-200	fin/2200 (2200)	fin/1900 (1900)	fin/1600 (1600)	kHz (clks)
ロックアップタイム	t_{LK}	CKOUT	16.6 MHz ～ 66.8 MHz	—	2	5	ms
サイクルーサイクルジッタ	t_{JC}	CKOUT	CY88151A-100 CY88151A-200 負荷容量なし , Ta ＝＋ 25 °C, V_{DD} ＝ 3.3 V	—	—	100	ps-rms

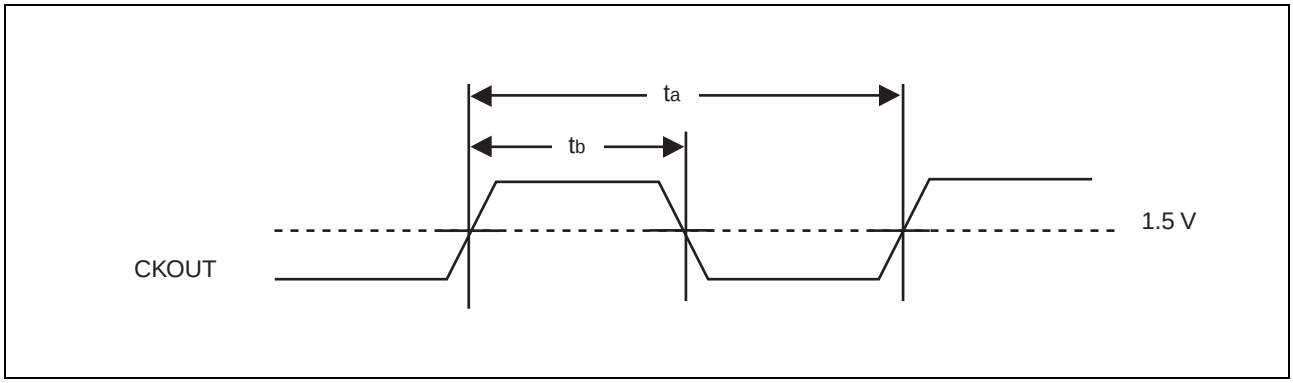
（注意事項） 電源投入後やパワーダウン解除後 , または FREQ(周波数範囲) 設定 , ENS(変調有無) 設定を変更した場合 , 変調クロックの安定待ち時間が必要になります。変調クロックの安定待ち時間は , ロックアップタイムの最大値を確保してください。

＜変調周波数 , 1 変調あたりの入力クロック数の定義＞

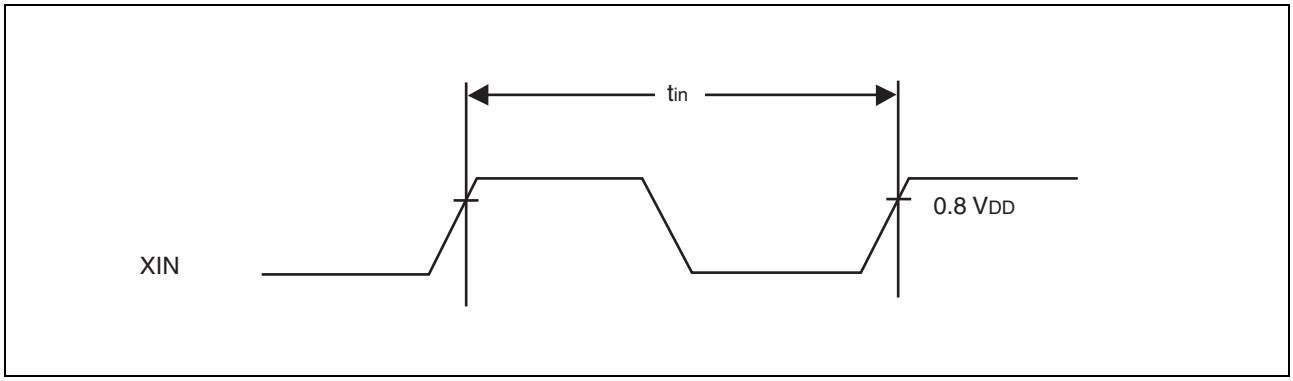


本製品では , 良好な EMI 低減効果を実現するために , 変調周期を複合しています。
変調周期 f_{MOD} は , 入力周波数に依存し , f_{MOD} (Min) から f_{MOD} (Max) の間で変動します。
なお , 変調周期 f_{MOD} の平均値は , 電気的特性の標準値と一致します。

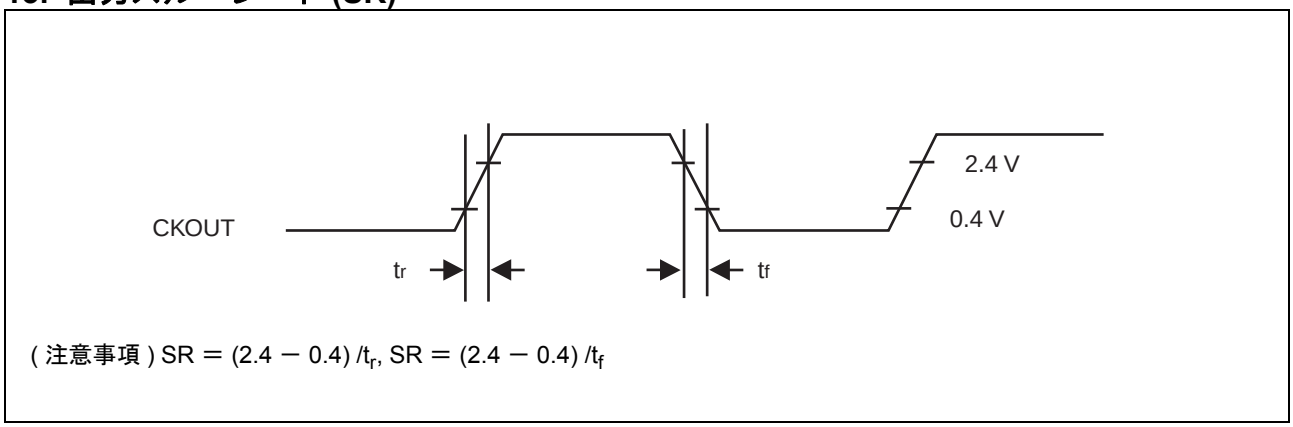
11. 出力クロックデューティサイクル ($t_{DCC} = t_b/t_a$)



12. 入力周波数 ($f_{in} = 1/t_{in}$)

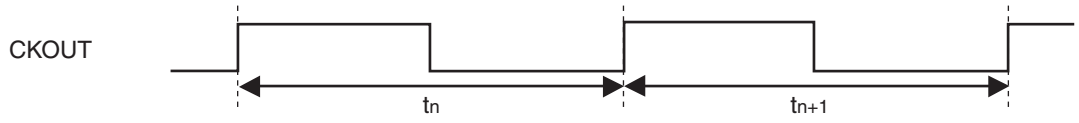


13. 出力スルーレート (SR)



(注意事項) SR = (2.4 − 0.4) /t_r, SR = (2.4 − 0.4) /t_f

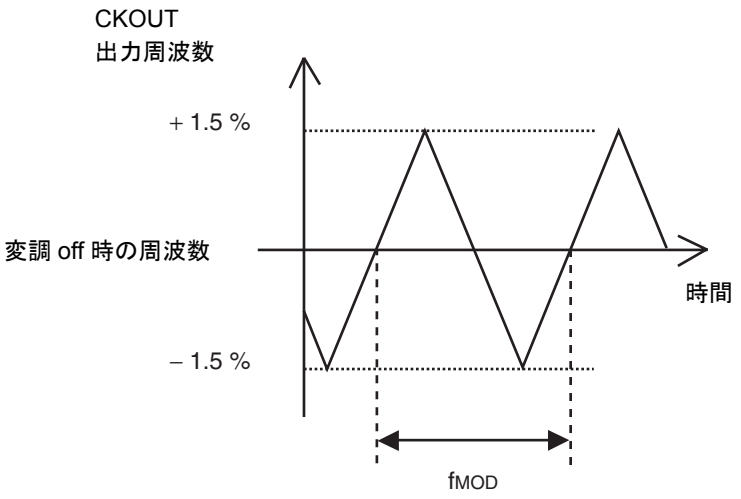
14. サイクルーサイクルジッタ ($t_{JC} = |t_n - t_{n+1}|$)



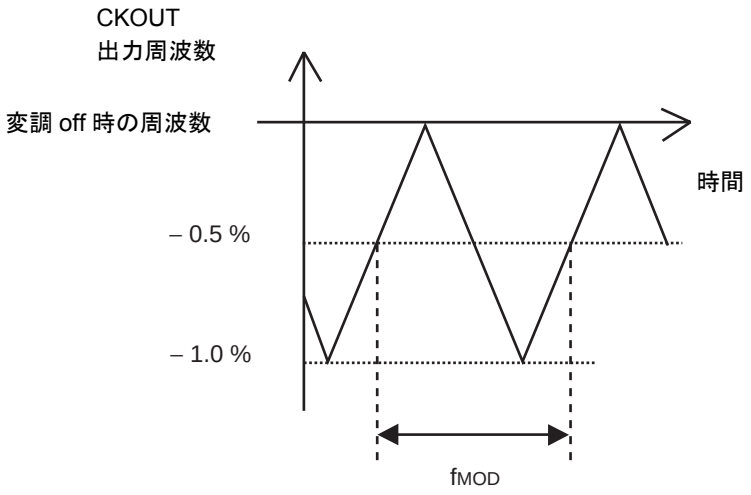
(注意事項) サイクルーサイクルジッタは , あるサイクルと直後 (あるいは直前) のサイクルとの差を示します。

15. 変調波形

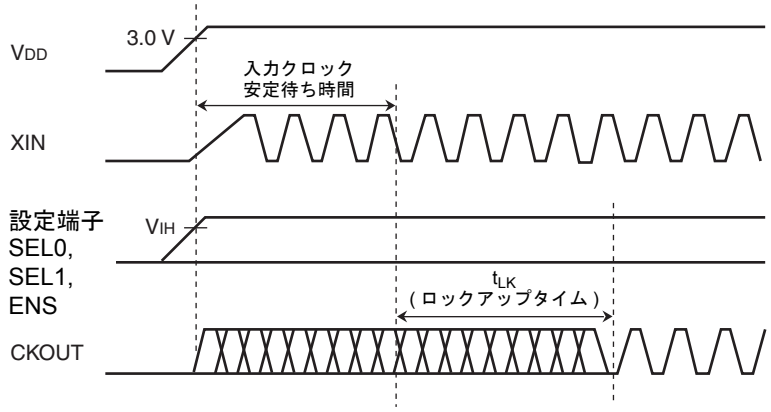
■ 変調度 ±1.5 %, センタスプレッドの例



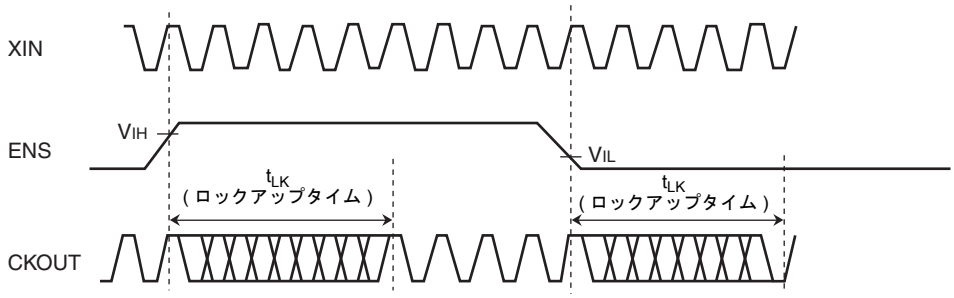
■ 変調度 − 1.0 %, ダウンスプレッドの例



16. ロックアップタイム

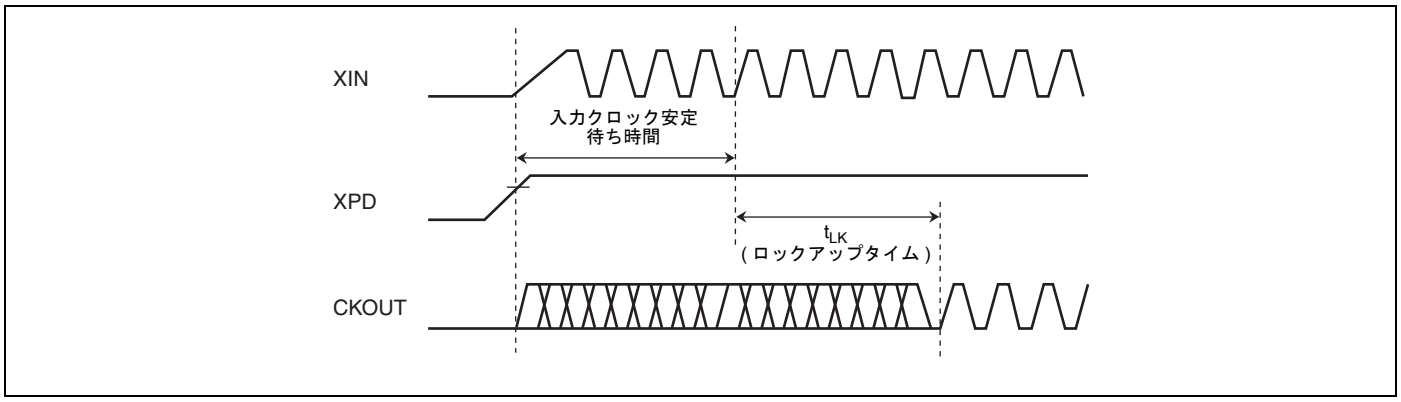


設定端子が “H” レベルまたは “L” レベル固定の場合 , 設定したクロックが CKOUT 端子から出力されるのは , 電源投入後から , 最大で (XIN 端子へ入力するクロック安定待ち時間) ＋ (ロックアップタイム t_{LK}) 後になります。
入力クロック安定待ち時間は , ご使用の発振子または発振器の特性をご確認ください。



通常動作中に , ENS 端子にて変調イネーブル制御を行う場合 , 設定したクロックが CKOUT 端子から出力されるのは , ENS 端子のレベルが決定してから最大でロックアップタイム t_{LK} 後になります。

（注意事項） 端子設定を変更した場合 , CKOUT 端子からの出力クロック安定待ち時間が必要です。出力クロックが安定するまでの期間は出力周波数 , 出力クロックデューティサイクル , 変調周期およびサイクルーサイクルジッタを保証できません。よって , ロックアップタイム経過後から , 後段のデバイスリセットを解除するなどの処置を推奨いたします。

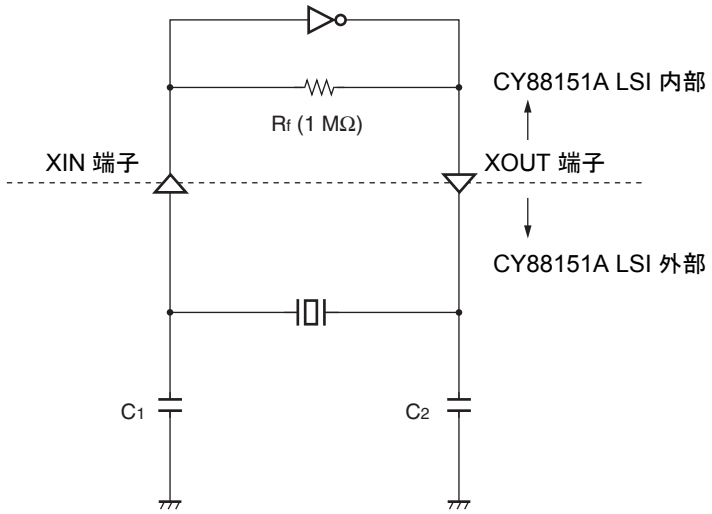


XPD 端子にてパワーダウン制御を行う場合 , 所望のクロックが得られるのは , XPD 端子が H レベルになってから最大でロックアップタイム t_{LK} 経過後になります。

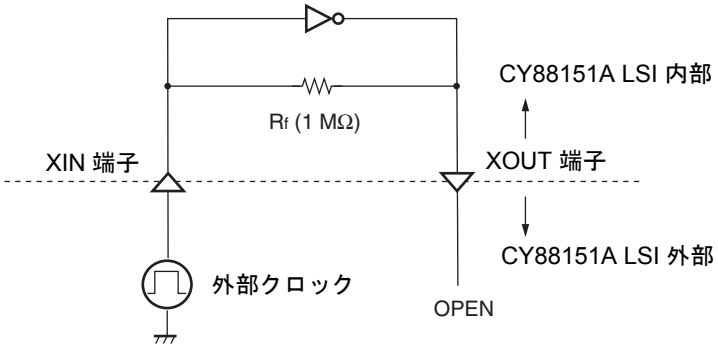
17. 発振回路

発振子の接続の一例を下図に示します。発振回路には帰還抵抗 (Rf) を内蔵しています。容量 (C_1, C_2) の値は個々の発振子の最適定数に合わせる必要があります。
最適定数に関しましては , 個々の発振子によって異なりますので , ご使用の発振子メーカーにお問い合わせください。
外部クロックを使用する場合 (発振子を使用しない場合) は, XIN端子にクロック入力し, XOUT端子には何も接続しないでください。

■ 発振子使用時

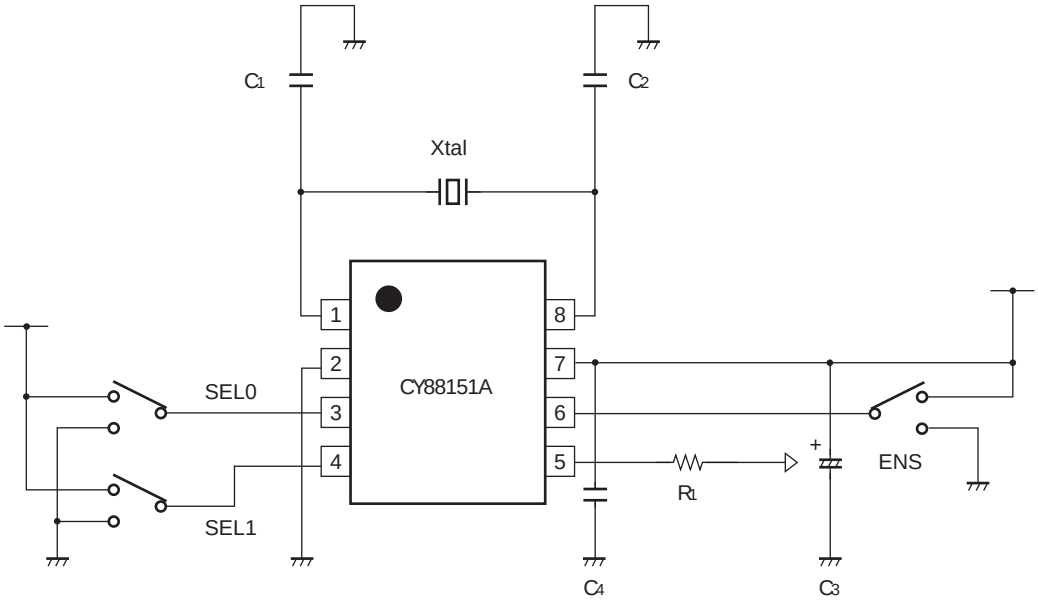


■ 外部クロック使用時



(注意事項) 入力クロックのジッタ特性によっては , サイクルーサイクルジッタ特性に影響を与える場合がありますので , ご注意ください。

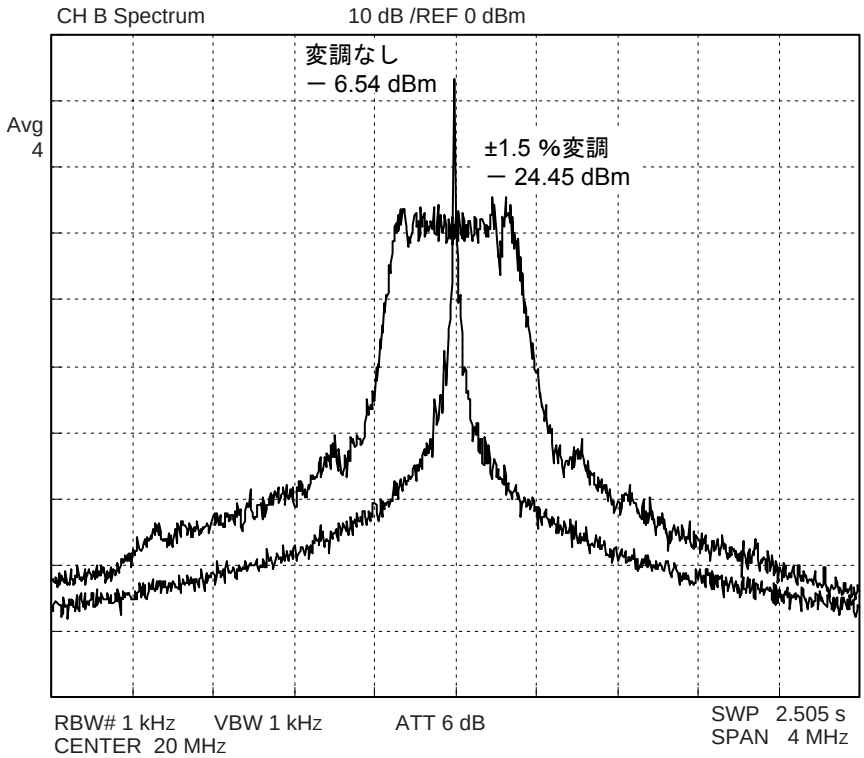
18. 接続回路例



C_1, C_2	: 発振安定容量 (「17. 発振回路 」を参照)
C_3	: 10 µF 以上のコンデンサ
C_4	: 0.01 µF 程度のコンデンサ (積層セラミックコンデンサなどの高周波特性の良いものを本デバイスの直近に接続)
R_1	: 基板パターンとのインピーダンスマッチング用抵抗

19. スペクトラム特性例

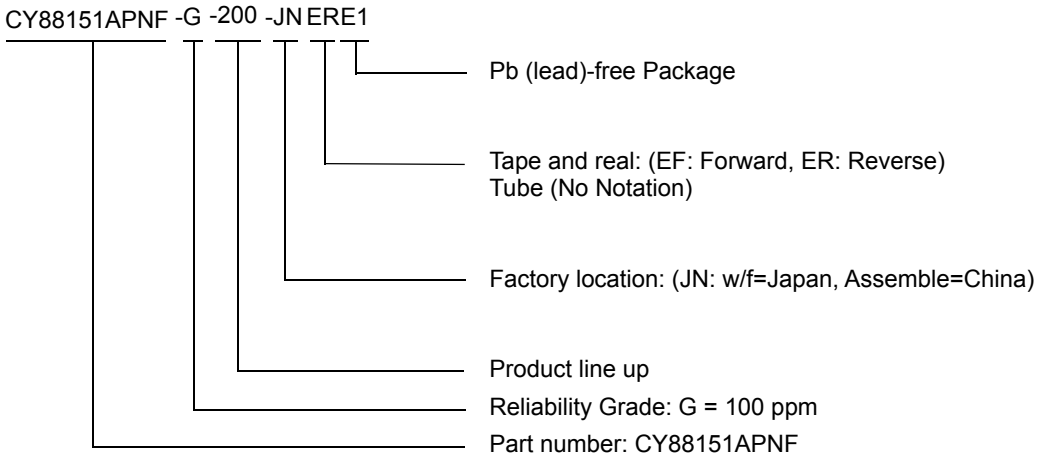
入力周波数＝ 20 MHz (出力周波数＝ 20 MHz:CY88151A-100 (1 逓倍) 使用)
電源電圧＝ 3.3 V, 負荷容量なし , 変調度＝ ±1.5 % (センタスプレッド) における特性例です。
CKOUT 端子にスペクトラムアナライザ HP4396B を接続し , RBW ＝ 1 kHz で測定した結果です (－ 6 dB のアッテネータ使用) 。



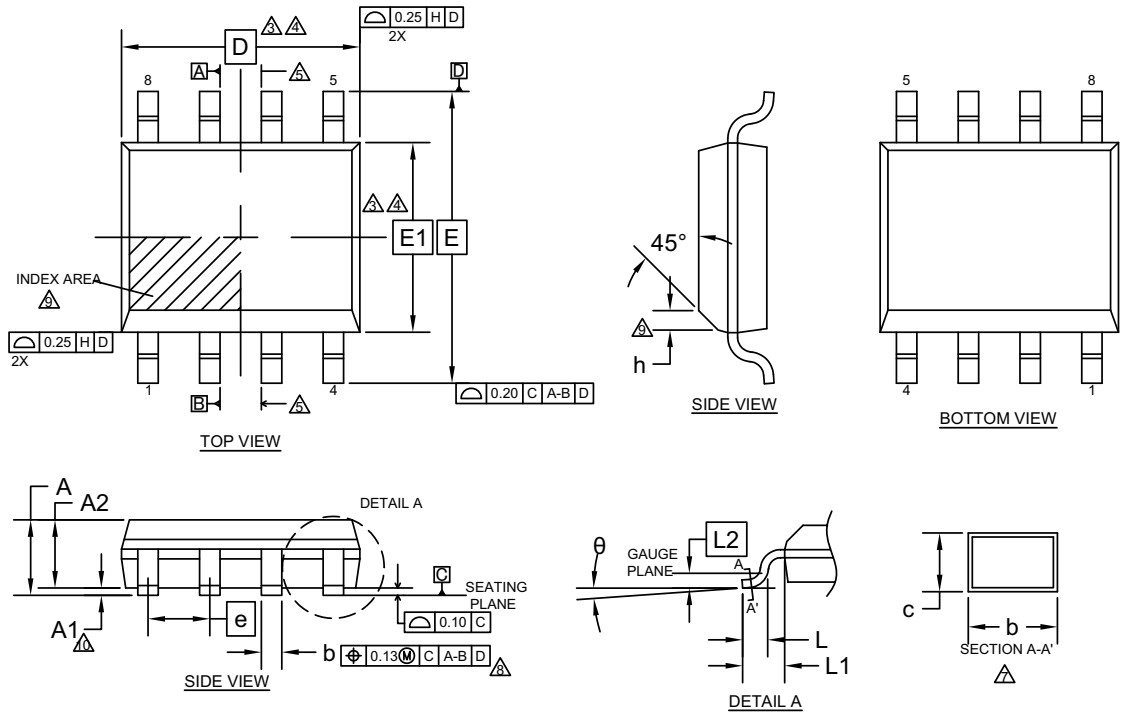
20. オーダ型格

型格	入力周波数	逓倍率	出力周波数	パッケージ	備考
CY88151APNF-G-100-JNE1	16.6 MHz ～ 33.4 MHz	1 逓倍	16.6 MHz ～ 33.4 MHz	プラスチック・ SOP, 8 ピン (SOB008)	
CY88151APNF-G-200-JNE1		2 逓倍	33.2 MHz ～ 66.8 MHz		
CY88151APNF-G-100-JNEFE1	16.6 MHz ～ 33.4 MHz	1 逓倍	16.6 MHz ～ 33.4 MHz		エンボステーピング (EF タイプ)
CY88151APNF-G-200-JNEFE1		2 逓倍	33.2 MHz ～ 66.8 MHz		
CY88151APNF-G-100-JNERE1	16.6 MHz ～ 33.4 MHz	1 逓倍	16.6 MHz ～ 33.4 MHz		エンボステーピング (ER タイプ)
CY88151APNF-G-200-JNERE1		2 逓倍	33.2 MHz ～ 66.8 MHz		

Ordering Code Definitions



21. パッケージ・外形寸法図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	——	——	1.75
A1	0.05	——	0.25
A2	1.30	1.40	1.50
D	5.05 BSC.		
E	6.00 BSC.		
E1	3.90 BSC		
θ	0°	——	8°
c	0.15	——	0.25
b	0.36	0.44	0.52
L	0.45	0.60	0.75
L 1	1.05 REF		
L 2	0.25 BSC		
e	1.27 BSC.		
h	0.40 BSC.		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETER.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
3. DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
4. THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
5. DATUMS A & B TO BE DETERMINED AT DATUM H.
6. "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
7. THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
8. DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
9. THIS CHAMFER FEATURE IS OPTIONAL. LF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED
10. "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
11. JEDEC SPECIFICATION NO. REF : N/A

002-15856 Rev.**

改訂履歴

Spansion Publication Number: DS04-29127-3

文書名 : CY88151A スペクトラム拡散クロックジェネレータ 文書番号 : 002-08310				
版	ECN	変更者	発行日	変更内容
**	-	TAOA	06/29/2009	サイプレスとしてドキュメントコード 002-08310 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5847146	TAOA	08/08/2017	これは英語版の 002-08311 Rev. *A を翻訳した日本語版です。
*B	6003432	TAOA	12/27/2017	これは英語版の 002-08311 Rev. *B を翻訳した日本語版です。
*C	6277199	ATTS	08/13/2018	これは英語版の 002-08311 Rev. *C を翻訳した日本語版です。

セールス , ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2007-2018. 本書面は , Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は , アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し , 本段落で特に記載されているものを除き , その特許権 , 著作権 , 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず , かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合 , Cypress は , (1) 本ソフトウェアの著作権に基づき , (a) ソースコード形式で提供されている本ソフトウェアについて , Cypress ハードウェア製品と共に用いるためにのみ , かつ組織内部でのみ , 本ソフトウェアの修正及び複製を行うこと , 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ , (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること , 並びに (2) 本ソフトウェア (Cypress により提供され , 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき , Cypress ハードウェア製品と共に用いるためにのみ , 本ソフトウェアの作成 , 利用 , 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用 , 複製 , 修正 , 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で , Cypress は , 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても , 明示又は黙示をとわず , いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って , Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず , Cypress は , Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて , 本書面に記載された製品には , エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり , 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で , Cypress は , 別途通知することなく , 本書面を変更する権利を留保する。Cypress は , 本書面に記載のある , いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は , 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計 , プログラム , かつテストすることは , 本書面のユーザーの責任において行われるものとする。Cypress 製品は , 兵器 , 兵器システム , 原子力施設 , 生命維持装置若しくは生命維持システム , 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム , 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用 , 又は装置若しくはシステムの不具合が人身傷害 , 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計 , 意図又は承認されていない。重要な構成部分とは , それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ , 若しくは本目的外使用に関連するいかなる請求 , 損害又はその他の責任についても , Cypress はその全部又は一部をとわず一切の責任を負わず , かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求 , 費用 , 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ , Spansion, Spansion のロゴ及びこれらの組み合わせ , WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は , 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは , cypress.com を参照すること。その他の名称及びブランドは , それぞれの権利者の財産として権利主張がなされている可能性がある。