CY7C1517KV18/CY7C1528KV18
CY7C1519KV18/CY7C1521KV18

72-Mbit DDR II SRAM 4 字突发 (Burst) 架构

特性

- 72 Mbit 容量（8M x 8、8M x 9、4M x 18、2M x 36）
- 333 MHz 时钟，能够实现高带宽传输
- 4 字突发 (Burst)，可降低地址总线使用频率
- 双倍数据速率 (DDR) 接口
  在 333 MHz 频率下可实现 666 MHz 的数据传输速率
- 两个输入时钟（K 和 $\overline{K}$），实现精确的 DDR 时序
  - SRAM 仅使用上升沿
- 两个用于输出数据的输入时钟（C 和 $\overline{C}$），能够最大限度地减少时钟时滞 (Clock Skew) 和传输时间 (Flight Time) 不匹配
- 随路时钟（CQ 和 $\overline{CQ}$），能够简化高速系统中的数据捕获
- 内部同步自定时写操作
- 当 $\overline{DOFF}$ 置为高电平时，DDR II 以 1.5 个周期的读延迟操作
- 当 $\overline{DOFF}$ 置为低电平时，其工作方式与 DDR-I 器件类似，以 1 个周期的读延迟操作
- 带 HSTL 输入和输出的 1.8V 内核电源
- 驱动能力可调的 HSTL 输出缓冲器
- 扩展的 HSTL 输出电压 (1.4V-V_{DD})
  - 支持 1.5V 和 1.8V IO 电源
- 采用 165 脚 FBGA 封装 (13 x 15 x 1.4 mm)
- 有含铅和不含铅封装可供选择
- JTAG 1149.1 兼容测试端口
- 锁相环 (PLL)，能够实现精确的数据放置

配置

CY7C1517KV18 – 8M x 8
CY7C1528KV18 – 8M x 9
CY7C1519KV18 – 4M x 18
CY7C1521KV18 – 2M x 36

功能说明

CY7C1517KV18、CY7C1528KV18、CY7C1519KV18 和 CY7C1521KV18 都是包含 DDR II 架构的 1.8V 同步流水线 SRAM。DDR II 包含一个具有高级同步外设电路和两位突发 (Burst) 计数器的 SRAM 内核。读地址和写地址在输入 (K) 时钟的交替上升沿被锁存。写数据会在 K 和 $\overline{K}$ 的上升沿被采样。如果提供 C 和 $\overline{C}$，读数据则在其上升沿输出，如果未提供 C/$\overline{C}$，则在 K 和 $\overline{K}$ 的上升沿输出。对于 CY7C1517KV18，每个地址位置都与四个 8 位字相关联，对于 CY7C1528KV18，每个地址位置与四个 9 位字相关联，这些字将以突发 (Burst) 模式按顺序传入或传出器件。对于 CY7C1517KV18 和 CY7C1528KV18，突发 (Burst) 计数器在内部始终从 “00” 开始。对于 CY7C1519KV18 和 CY7C1521KV18，突发 (Burst) 计数器占据外部地址的两个最低有效位，如为 CY7C1519KV18，则将四个 18 位字以突发 (Burst) 模式按顺序传入或传出器件，如为 CY7C1521KV18，则将四个 36 位字以突发 (Burst) 模式按顺序传入或传出器件。

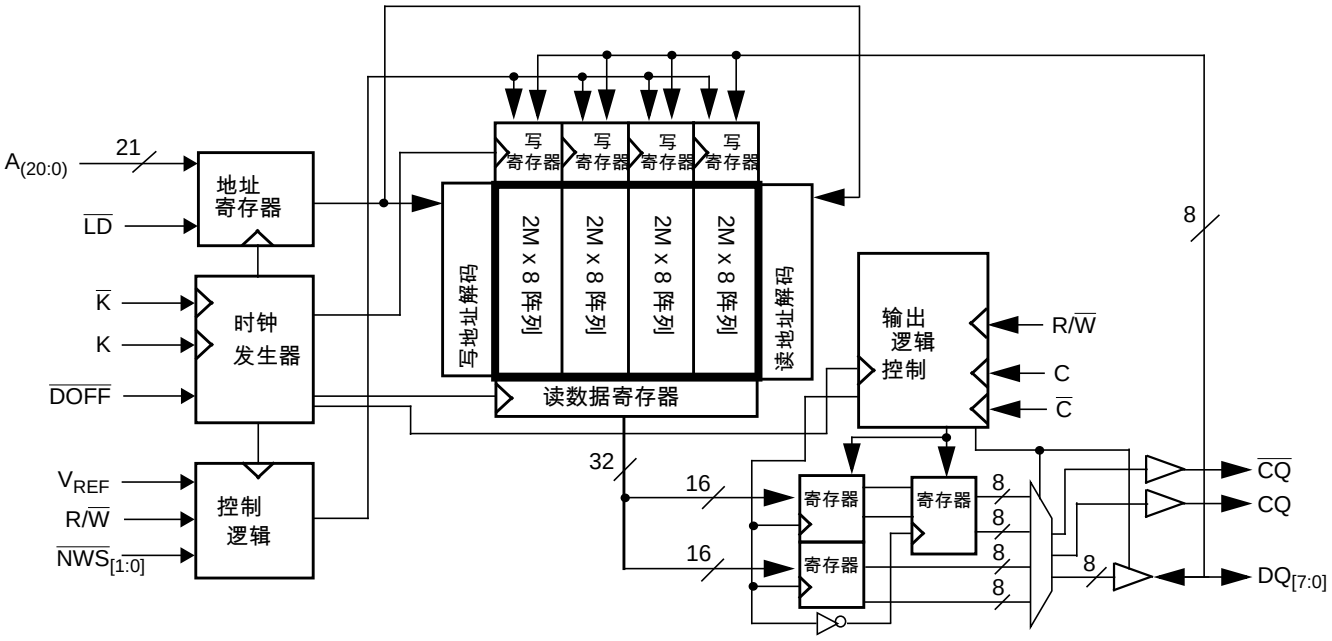
异步输入包括一个输出阻抗匹配输入 (ZQ)。同步数据输出（Q，与数据输入 D 共用同一物理引脚）与两个输出随路时钟 CQ/$\overline{CQ}$ 严格匹配，消除了系统设计中从每个 DDR SRAM 单独捕获数据的需要。输出数据时钟 (C/$\overline{C}$) 可实现最大的系统时钟计时和数据同步灵活性。

所有同步输入都会通过由 K 或 $\overline{K}$ 输入时钟控制的输入寄存器。所有数据输出都会通过由 C 或 $\overline{C}$（在单时钟域中为 K 或 $\overline{K}$）控制的输出寄存器。写操作通过片上同步自定时写电路进行。

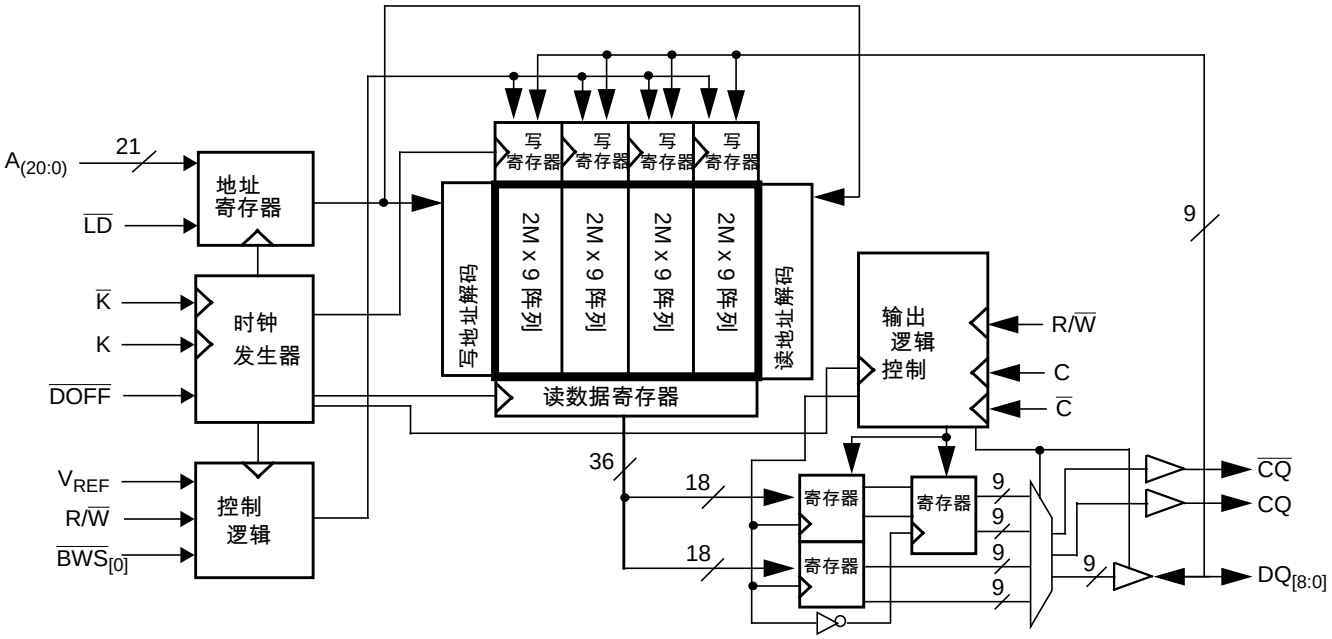
表 **1.** 产品选择指南

说明		333 MHz	300 MHz	250 MHz	200 MHz	167 MHz	单位
最大工作频率		300	300	250	200	167	MHz
最大工作电流	x8	410	390	350	310	290	mA
	x9	410	390	350	310	290	
	x18	420	400	360	320	290	
	x36	510	470	420	370	330	

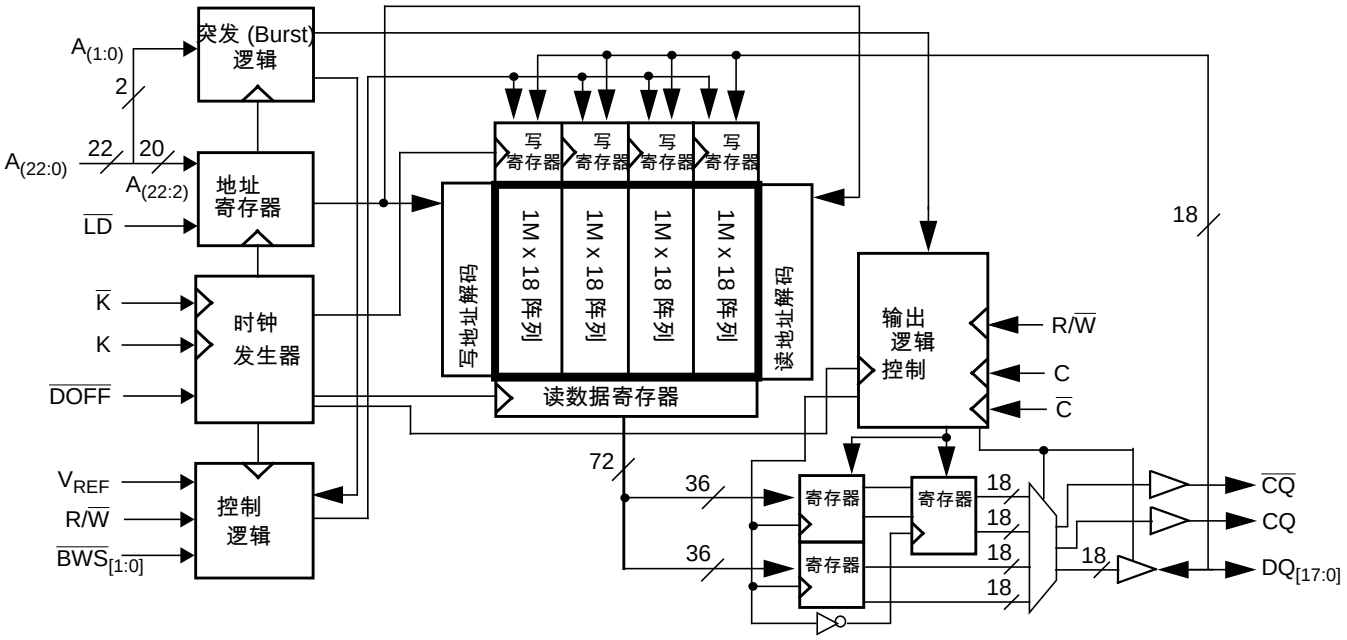
逻辑框图 (CY7C1517KV18)



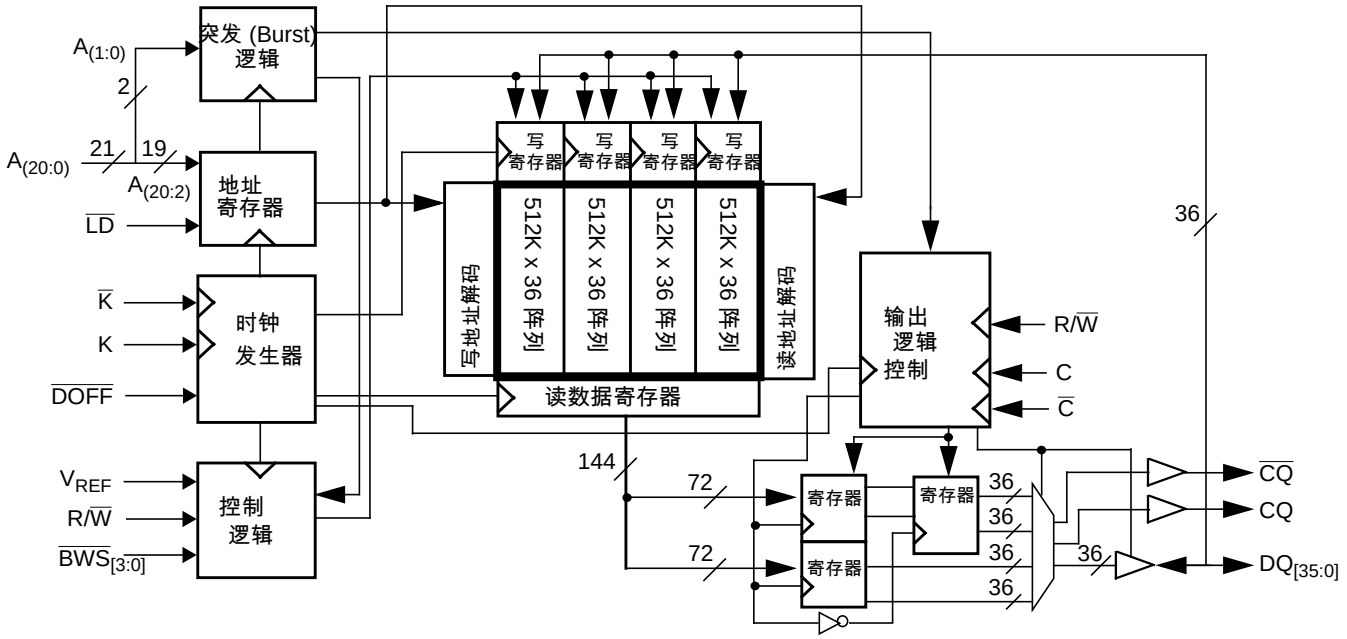
逻辑框图 (CY7C1528KV18)



逻辑框图 (CY7C1519KV18)



逻辑框图 (CY7C1521KV18)



目录

特性 1
配置 1
功能说明 1
逻辑框图 (CY7C1517KV18) 2
逻辑框图 (CY7C1528KV18) 2
逻辑框图 (CY7C1519KV18) 3
逻辑框图 (CY7C1521KV18) 3
目录 4
引脚配置 5
165 脚 FBGA (13 x 15 x 1.4 mm) 5
引脚定义 7
功能概述 9
读操作 9
写操作 9
字节写操作 9
单时钟模式 9
DDR 操作 10
深度扩展 (Depth Expansion) 10
可编程阻抗 10
随路时钟 10
PLL 10
应用示例 11
真值表 11
突发 (Burst) 地址表
(CY7C1519KV18、CY7C1521KV18) 12
写周期说明 12
写周期说明 12
写周期说明 13
IEEE 1149.1 串行边界扫描 (JTAG) 14
禁用 JTAG 特性 14
测试端口 - 测试时钟 14
测试模式选择 (TMS) 14
测试数据输入 (TDI) 14
测试数据输出 (TDO) 14
执行 TAP 复位 14
TAP 寄存器 14
TAP 指令集 14
TAP 控制器状态图 16
TAP 控制器框图 17
TAP 电气特性 17
TAP 交流开关特性 18
TAP 时序和测试条件 18
标识寄存器定义 19
扫描寄存器大小 19
指令代码 19
边界扫描顺序 20
DDR II SRAM 中的上电顺序 21
上电顺序 21
PLL 限制 21
最大额定值 22
工作范围 22
电气特性 22
直流电气特性 22
交流电气特性 23
电容 24
热阻 24
开关特性 25
开关波形 27
订购信息 28
封装图 31
文档修订记录页 32
销售、解决方案和法律信息 33
全球销售和设计支持 33
产品 33
PSoC 解决方案 33

引脚配置

CY7C1517KV18、CY7C1528KV18、CY7C1519KV18 和 CY7C1521KV18 的引脚配置如下所示。[1]

165 脚 FBGA (13 x 15 x 1.4 mm)

CY7C1517KV18 (8M x 8)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	A	A	R/$\overline{W}$	$\overline{NWS_1}$	$\overline{K}$	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	NC	NC	A	NC/288M	K	$\overline{NWS_0}$	A	NC	NC	DQ3
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	NC	NC
D	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ4	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
F	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
G	NC	NC	DQ5	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	$\overline{DOFF}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ1	NC
K	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
L	NC	DQ6	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ0
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
N	NC	NC	NC	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ7	A	A	C	A	A	NC	NC	NC
R	TDO	TCK	A	A	A	$\overline{C}$	A	A	A	TMS	TDI

CY7C1528KV18 (8M x 9)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	A	A	R/$\overline{W}$	NC	$\overline{K}$	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	NC	NC	A	NC/288M	K	$\overline{BWS_0}$	A	NC	NC	DQ3
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	NC	NC
D	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ4	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
F	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
G	NC	NC	DQ5	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	$\overline{DOFF}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ1	NC
K	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
L	NC	DQ6	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ0
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
N	NC	NC	NC	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ7	A	A	C	A	A	NC	NC	DQ8
R	TDO	TCK	A	A	A	$\overline{C}$	A	A	A	TMS	TDI

注：
1. NC/144M 和 NC/288M 未连接到颗片 (Die)，可连接到任何电压。

引脚配置（续）

CY7C1517KV18、CY7C1528KV18、CY7C1519KV18 和 CY7C1521KV18 的引脚配置如下所示。[1]

165 脚 FBGA (13 x 15 x 1.4 mm)

CY7C1519KV18 (4M x 18)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	A	A	R/$\overline{W}$	$\overline{BWS_1}$	$\overline{K}$	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	DQ9	NC	A	NC/288M	K	$\overline{BWS_0}$	A	NC	NC	DQ8
C	NC	NC	NC	V_{SS}	A	A0	A1	V_{SS}	NC	DQ7	NC
D	NC	NC	DQ10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ6
F	NC	DQ12	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ5
G	NC	NC	DQ13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	$\overline{DOFF}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ4	NC
K	NC	NC	DQ14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ3
L	NC	DQ15	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	DQ1	NC
N	NC	NC	DQ16	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ17	A	A	C	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	$\overline{C}$	A	A	A	TMS	TDI

CY7C1521KV18 (2M x 36)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/144M	A	R/$\overline{W}$	$\overline{BWS_2}$	$\overline{K}$	$\overline{BWS_1}$	$\overline{LD}$	A	A	CQ
B	NC	DQ27	DQ18	A	$\overline{BWS_3}$	K	$\overline{BWS_0}$	A	NC	NC	DQ8
C	NC	NC	DQ28	V_{SS}	A	A0	A1	V_{SS}	NC	DQ17	DQ7
D	NC	DQ29	DQ19	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	DQ16
E	NC	NC	DQ20	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	DQ15	DQ6
F	NC	DQ30	DQ21	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ5
G	NC	DQ31	DQ22	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ14
H	$\overline{DOFF}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	DQ32	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ13	DQ4
K	NC	NC	DQ23	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ12	DQ3
L	NC	DQ33	DQ24	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
M	NC	NC	DQ34	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	DQ11	DQ1
N	NC	DQ35	DQ25	V_{SS}	A	A	A	V_{SS}	NC	NC	DQ10
P	NC	NC	DQ26	A	A	C	A	A	NC	DQ9	DQ0
R	TDO	TCK	A	A	A	$\overline{C}$	A	A	A	TMS	TDI

引脚定义

引脚名称	IO	引脚说明
$DQ_{[x:0]}$	输入输出同步	数据输入输出信号。在有效的写操作期间，输入在 K 和 $\overline{K}$ 时钟的上升沿被采样。在读操作期间，这些引脚会输出所请求的数据。在读操作期间，有效数据在 C 和 $\overline{C}$ 时钟（在单时钟模式下为 K 和 $\overline{K}$）的上升沿输出。未选中读访问时，$Q_{[x:0]}$ 会自动进入三态。 CY7C1517KV18 – $DQ_{[7:0]}$ CY7C1528KV18 – $DQ_{[8:0]}$ CY7C1519KV18 – $DQ_{[17:0]}$ CY7C1521KV18 – $DQ_{[35:0]}$
$\overline{LD}$	输入同步	同步加载。定义了总线周期序列时，此输入会进入低电平。此定义包括地址和读 / 写方向。所有数据操作均在一个 4 数据的突发 (Burst) 上运行（两个时钟周期的总线活动）。
$\overline{NWS_0}$、$\overline{NWS_1}$	输入同步	半字节写选择 **0**、**1** - 低电平有效（仅限 **CY7C1517KV18**）。在写操作期间，在 K 和 $\overline{K}$ 时钟的上升沿被采样。用于选择在写操作的当前部分，将哪个半字节写入到器件中。不写入的半字节将保持不变。$\overline{NWS_0}$ 控制 $D_{[3:0]}$，$\overline{NWS_1}$ 控制 $D_{[7:4]}$。 所有 “ 半字节写选择 (Nibble Write Select)” 均在数据采样的相同沿被采样。取消选中 “ 半字节写选择 (Nibble Write Select)” 会忽略相应的数据半字节，并且不会将其写入到器件中。
$\overline{BWS_0}$、$\overline{BWS_1}$、$\overline{BWS_2}$、$\overline{BWS_3}$	输入同步	字节写选择 **0**、**1**、**2** 和 **3** - 低电平有效。在写操作期间，在 K 和 $\overline{K}$ 时钟的上升沿被采样。用于选择在写操作的当前部分，将哪个字节写入到器件中。不写入的字节将保持不变。 CY7C1528KV18 – $\overline{BWS_0}$ 控制 $D_{[8:0]}$ CY7C1519KV18– $\overline{BWS_0}$ 控制 $D_{[8:0]}$，$\overline{BWS_1}$ 控制 $D_{[17:9]}$。 CY7C1521KV18 – $\overline{BWS_0}$ 控制 $D_{[8:0]}$，$\overline{BWS_1}$ 控制 $D_{[17:9]}$，$\overline{BWS_2}$ 控制 $D_{[26:18]}$，$\overline{BWS_3}$ 控制 $D_{[35:27]}$。 所有 “ 字节写选择 (Byte Write Select)” 均在数据采样的相同沿被采样。取消选中 “ 字节写选择 (Byte Write Select)” 会忽略相应的数据字节，并且不会将其写入到器件中。
A、A0、A1	输入同步	地址输入。这些地址输入复用于读操作和写操作。在设备内部，CY7C1517KV18 组织为 8M x 8（4 个阵列，每个 2M x 8），CY7C1528KV18 组织为 8M x 9（4 个阵列，每个 2M x 9），CY7C1519KV18 组织为 4M x 18（4 个阵列，每个 1M x 18），CY7C1521KV18 组织为 2M x 36（4 个阵列，每个 512K x 36）。 CY7C1517KV18 - 由于地址的两个最低有效位在内部是 “00”，因此只需要 21 个外部地址输入即可访问整个内存阵列。 CY7C1528KV18 - 由于地址的两个最低有效位在内部是 “00”，因此只需要 21 个外部地址输入即可访问整个内存阵列。 CY7C1519KV18 - A0 和 A1 是突发 (Burst) 计数器的输入。这些在内部呈线性递增。访问整个内存阵列需要 22 个地址输入。 CY7C1521KV18 - A0 和 A1 是突发 (Burst) 计数器的输入。这些在内部呈线性递增。访问整个内存阵列需要 21 个地址输入。
R/$\overline{W}$	输入同步	同步读 **/** 写输入。当 $\overline{LD}$ 为低电平时，此输入为加载的地址指定访问类型（R/$\overline{W}$ 为高电平时为读，R/$\overline{W}$ 为低电平时为写）。在 K 沿周围，R/$\overline{W}$ 必须符合建立和保持时间要求。
C	输入时钟	用于输出数据的正向输入时钟。C 与 $\overline{C}$ 一起用来输出器件中的读数据。C 和 $\overline{C}$ 可以一起使用，以消除模块上各种器件到控制器的传输时间。有关详细信息，请参见第 11 页的应用示例。
$\overline{C}$	输入时钟	用于输出数据的负向输入时钟。$\overline{C}$ 与 C 一起用来输出器件中的读数据。C 和 $\overline{C}$ 可以一起使用，以消除模块上各种器件到控制器的传输时间。有关详细信息，请参见第 11 页的应用示例。
K	输入时钟	正向输入时钟。在单时钟模式下，K 的上升沿用于捕获器件的同步输入，并通过 $Q_{[x:0]}$ 输出数据。所有访问都在 K 的上升沿启动。
$\overline{K}$	输入时钟	负向输入时钟。在单时钟模式下，$\overline{K}$ 用于捕获器件的同步数据，并通过 $Q_{[x:0]}$ 输出数据。
CQ	输出时钟	**CQ** 参照 **C**。这是一个自由运行的时钟，与 DDR II 中 “ 用于输出数据的输入时钟 (C)” 同步。在单时钟模式下，会参照 K 来生成 CQ。随路时钟的时序如第 25 页的开关特性所示。
$\overline{CQ}$	输出时钟	**$\overline{CQ}$** 参照 $\overline{C}$。这是一个自由运行的时钟，与 DDR II 中 “ 用于输出数据的输入时钟 ($\overline{C}$)” 同步。在单时钟模式下，会参照 $\overline{K}$ 来生成 $\overline{CQ}$。随路时钟的时序如第 25 页的开关特性所示。
ZQ	输入	输出阻抗匹配输入。此输入用于调整器件输出相对于系统数据总线的阻抗。CQ、$\overline{CQ}$ 和 $Q_{[x:0]}$ 输出阻抗被设置为 0.2 x RQ。其中，RQ 是位于 ZQ 与地之间的电阻。此引脚也可以直接连接到 V_{DDQ}，这样会启用最小阻抗模式。此引脚不能直接连接到 GND，也不能保持未连接状态。

引脚定义（续）

引脚名称	IO	引脚说明
$\overline{\text{DOFF}}$	输入	**PLL** 关闭 - 低电平有效。将此引脚接地会关闭器件内部的 PLL。PLL 关闭操作中的时序与本数据表中列出的时序有所不同。在正常工作时，此引脚通过一个 10 Kohm 或更小的电阻上拉。PLL 处于关闭状态时，器件会以 DDR-I 模式工作。在此模式下，器件能够以最高 167 MHz 的频率工作，同时满足 DDR-I 时序要求。
TDO	输出	用于 **JTAG** 的 **TDO**。
TCK	输入	用于 **JTAG** 的 **TCK** 引脚。
TDI	输入	用于 **JTAG** 的 **TDI** 引脚。
TMS	输入	用于 **JTAG** 的 **TMS** 引脚。
NC	N/A	未连接到颗片 **(Die)**。可连接到任何电压。
NC/144M	N/A	未连接到颗片 **(Die)**。可连接到任何电压。
NC/288M	N/A	未连接到颗片 **(Die)**。可连接到任何电压。
V_{REF}	输入参考	参考电压输入。静态输入，用于设置 HSTL 输入、输出和 AC 测量点的参考电平。
V_{DD}	电源	器件内核的电源。
V_{SS}	地	器件的地。
V_{DDQ}	电源	器件 **I/O** 口的电源。

功能概述

CY7C1517KV18、CY7C1528KV18、CY7C1519KV18 和 CY7C1521KV18 都是包含一个 DDR 接口的同步流水线突发 (Burst) SRAM。当 $\overline{DOFF}$ 引脚连接到高电平时，该器件以 1.5 个周期的读延迟操作。。当 $\overline{DOFF}$ 引脚置为低电平或连接到 V_{SS} 时，器件会在 DDR-I 模式下以 1 个时钟周期的读延迟操作。

所有读写访问在正向输入时钟 (K) 的上升沿启动。所有同步输入时序均参照输入时钟（K 和 $\overline{K}$）的上升沿，所有输出时序均参照输出时钟（C/$\overline{C}$，在单时钟模式下为 K/$\overline{K}$）的上升沿。

所有同步数据输入 ($D_{[x:0]}$) 都会通过由输入时钟（K 和 $\overline{K}$）的上升沿控制的输入寄存器。所有同步数据输出 ($Q_{[x:0]}$) 都会通过由输出时钟（C/$\overline{C}$，在单时钟模式下为 K/$\overline{K}$）的上升沿控制的输出寄存器。

所有同步控制（R/$\overline{W}$、$\overline{LD}$、$\overline{BWS}_{[0:X]}$）输入都会通过由输入时钟 (K) 的上升沿控制的输入寄存器。

以下章节以 CY7C1519KV18 为例进行说明。这些基本说明同样适用于 CY7C1517KV18、CY7C1528KV18 和 CY7C1521KV18。

读操作

CY7C1519KV18 内部采取的是四个 1M x 18 阵列的组织方式。每次访问均在一个突发 (Burst) 内完成，每个突发 (Burst) 由四个连续的 18 位数据组成。在正向输入时钟 (K) 的上升沿将 R/$\overline{W}$ 置为高电平、将 $\overline{LD}$ 置为低电平，即可启动读操作。输入的地址会存储在读地址寄存器中，地址的两个最低有效位会传输到突发 (Burst) 计数器。突发 (Burst) 计数器对地址进行线性递增。在 K 时钟的下一个上升沿，会使用 $\overline{C}$ 作为输出时钟，将此地址相应的 18 位数据输出到 $Q_{[17:0]}$。在接下来的 C 上升沿，由突发 (Burst) 计数器生成的地址位置中的下一个 18 位数据输出到 $Q_{[17:0]}$。此处理持续到全部四个 18 位数据均已输出到 $Q_{[17:0]}$ 中为止。所请求的数据在输出时钟（C 或 $\overline{C}$；对于 200 MHz 和 250 MHz 器件，在单时钟模式下为 K 和 $\overline{K}$）上升沿过 0.45 ns 后有效。要维护内部逻辑，必须允许完成每次读访问。每次读访问均由四个 18 位数据组成，并且需要两个时钟周期才能完成。因此，不能在连续的两个 K 时钟上升沿启动对器件的读访问。器件的内部逻辑会忽略第二个读请求。可以在每隔一个 K 时钟的上升沿启动读访问。这样一来，读出的数据实现流水线操作，数据从输出时钟（C/$\overline{C}$；在单时钟模式下，为 K/$\overline{K}$）的每个上升沿传出器件。

未选中读访问时，CY7C1519KV18 首先完成当前的读数据操作。内部同步电路会在正向输出时钟 (C) 的下一个上升沿自动使输出进入三态。这样一来，在深度扩展的情况下，无需插入等待状态，即可在器件之间实现无缝切换。

写操作

在正向输入时钟 (K) 的上升沿将 R/$\overline{W}$ 置为低电平、将 $\overline{LD}$ 置为低电平，即可启动写操作。输入的地址会存储在写地址寄存器中，地址的两个最低有效位会传输到突发 (Burst) 计数器。突发 (Burst) 计数器对地址进行线性递增。如果 $\overline{BWS}_{[1:0]}$ 均置为有效，则在下一个 K 时钟上升沿，呈现给 $D_{[17:0]}$ 的数据会被锁存，并会存储到低 18 位写数据寄存器中。如果 $\overline{BWS}_{[1:0]}$ 均置为有效，则在接下来的负向输入时钟 ($\overline{K}$) 的上升沿，呈现给 $D_{[17:0]}$ 的信息也会存储到写数据寄存器中。此处理会持续一个多周期，直到四个 18 位字（共计 72 位）数据均存储到 SRAM 为止。72 位数据随后会写入到内存阵列的指定位置。因此，不能在连续的两个 K 时钟上升沿启动对器件的写访问。器件的内部逻辑会忽略第二个写请求。可以在每隔一个正向输入时钟 (K) 的上升沿启动写访问。这样数据流就会流水化，使 18 位的数据能够在输入时钟（K 和 $\overline{K}$）的每个上升沿传入器件。

未选中写访问时，器件会在当前写操作完成后忽略所有输入。

字节写操作

CY7C1519KV18 支持字节写操作。关于写操作的启动，请参见写操作一节。写入哪些字节由 $\overline{BWS}_0$ 和 $\overline{BWS}_1$ 决定，并且字节会以每组 18 位数据的方式被采样。在写操作的数据部分，如果将相应的 “ 字节写选择 (Byte Write Select)” 置为有效，则会锁存当前呈现的数据并将其写入到器件中。否则，器件中存储的该字节的数据将保持不变。此特性用于将读 / 修改 / 写简化为字节操作。

单时钟模式

CY7C1519KV18 采用单一时钟，该时钟同时控制输入和输出寄存器。在这种模式下，器件仅识别一对输入时钟（K 和 $\overline{K}$），这对时钟同时控制输入和输出寄存器。这相当于器件 K/$\overline{K}$ 和 C/$\overline{C}$ 时钟之间的时滞 (Skew) 为零。在这种模式下，所有时序参数都将保持不变。要使用这种工作模式，请在上电时将 C 和 $\overline{C}$ 连接到高电平。此功能是一个固定选项，在器件工作期间不能更改。

DDR 运行

CY7C1519KV18 通过高时钟频率（通过流水线实现）和双倍数据速率运行模式实现高性能运行。CY7C1519KV18 在从读周期跃变到写周期时需要一个无操作 (NOP) 周期。在更高的频率下，有些应用程序可能还需要第二个 NOP 周期，以避免冲突。

如果一个写操作紧跟着一个读操作，则当前写操作的地址和数据会存储在寄存器中。这是因为 SRAM 为了避免与读操作产生冲突，会来不及将最后一个数据写入到阵列中。在下一个写周期之前，数据将一直保留在此寄存器中。在读操作之后的第一个写周期，在进行前一个写操作时存储的数据会写入到 SRAM 阵列中。这称为后端 (Posted) 写入。

如果一个读操作和前一个周期的写操作发生在相同的地址上，SRAM 会读出最新的数据。SRAM 会绕过内存阵列，直接从寄存器读取数据。

深度扩展 (Depth Expansion)

深度扩展 (Depth Expansion) 需要重复每个 Bank 的 $\overline{LD}$ 控制信号。适当时，所有其他控制信号可以由各 Bank 共用。

可编程阻抗

SRAM 上的 ZQ 引脚与 V_{SS} 之间必须连接一个外部电阻 RQ，以便 SRAM 能够调整其输出阻抗。RQ 的值必须相当于由 SRAM 驱动的目标线路阻抗的 5 倍。当 V_{DDQ} = 1.5V 时，保证阻抗容错性不超过 ±15% 的 RQ 允许范围为 175Ω 至 350Ω。输出阻抗在上电后每隔 1024 个周期调整一次，以补偿电源电压漂移和温度漂移。

随路时钟

DDR II 上提供了随路时钟，能够简化高速系统中的数据捕获。两个随路时钟由 DDR II 生成。CQ 参照 C，$\overline{CQ}$ 参照 $\overline{C}$。它们是自由运行的时钟，与 DDR II 的输出时钟同步。在单时钟模式下，会参照 K 来生成 CQ，并会参照 $\overline{K}$ 来生成 $\overline{CQ}$。随路时钟的时序如第 25 页的开关特性所示。

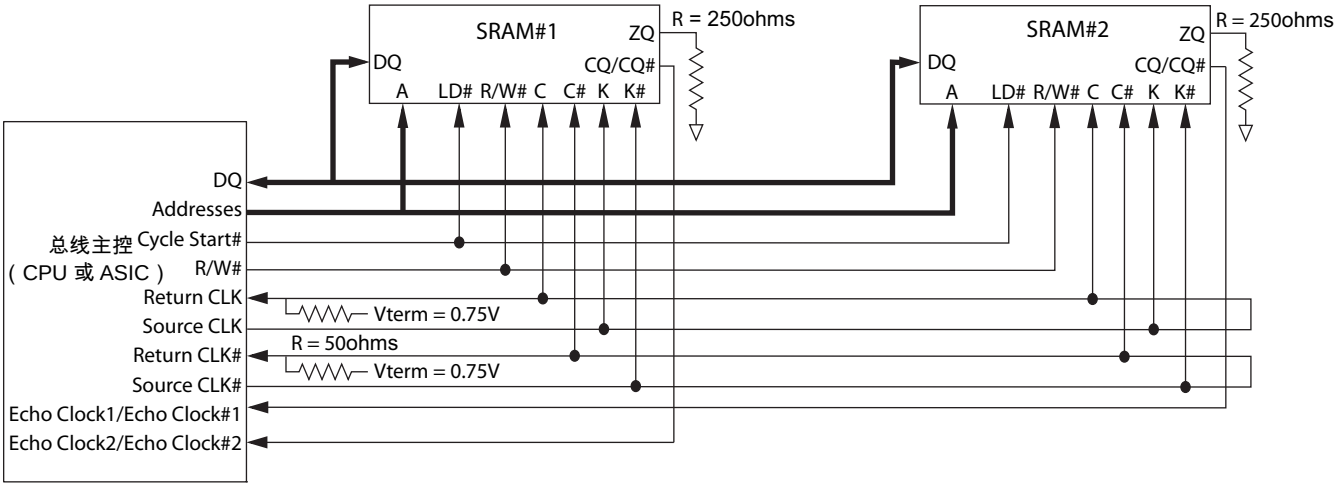
PLL

这些芯片使用了一个锁相环 (PLL)，其工作频率介于 120 MHz 与指定的最大时钟频率之间。在上电期间，当 $\overline{DOFF}$ 连接到高电平时，PLL 在时钟稳定 20 µs 后被锁定。通过使输入时钟 K 和 $\overline{K}$ 减慢或停止至少 30 ns，可以将 PLL 复位。不过，无需复位 PLL，即可锁定至所需的频率。在时钟稳定 20 µs 后，PLL 会自动锁定。通过将 $\overline{DOFF}$ 引脚接地，可禁用 PLL。当 PLL 处于关闭状态时，器件会以 DDR-I 模式工作（具有 1 个周期的延迟，并且访问时间更长）。

应用示例

图 1 所示为某应用中采用的两个 DDR II。

图 1. 应用示例



真值表

CY7C1517KV18、CY7C1528KV18、CY7C1519KV18 和 CY7C1521KV18 的真值表如下所示。[2, 3, 4, 5, 6, 7]

操作	K	$\overline{LD}$	R/$\overline{W}$	DQ	DQ	DQ	DQ
写周期： 加载地址；等待一个周期； 在四个连续的 K 和 $\overline{K}$ 上升沿输入写数据。	L-H	L	L	在 K(t + 1)↑，为 D(A1)	在 $\overline{K}$(t + 1)↑，为 D(A2)	在 K(t + 2)↑，为 D(A3)	在 $\overline{K}$(t + 2)↑，为 D(A4)
读周期： 加载地址；等待 1.5 个周期； 在四个连续的 $\overline{C}$ 和 C 上升沿读数据。	L-H	L	H	在 $\overline{C}$(t + 1)↑，为 Q(A1)	在 C(t + 2)↑，为 Q(A2)	在 $\overline{C}$(t + 2)↑，为 Q(A3)	在 C(t + 3)↑，为 Q(A4)
NOP：无操作	L-H	H	X	High-Z	High-Z	High-Z	High-Z
待机：时钟停止	停止	X	X	前一个状态	前一个状态	前一个状态	前一个状态

注：
2. X =“ 无需关注 ”，H = 逻辑高电平，L = 逻辑低电平，↑代表上升沿。
3. 器件上电时如没有使能，所有输出处于三态。
4. 在 CY7C1519KV18 和 CY7C1521KV18 上，“A1” 表示在启动数据操作时，由器件锁存的地址位置；“A2”、“A3” 和 “A4” 表示突发 (Burst) 中的后续地址。在 CY7C1517KV18 和 CY7C1528KV18 上，“A1” 表示 A + ‘00’，“A2” 表示 A + ‘01’，“A3” 表示 A + ‘10’，“A4” 表示 A + ‘11’。
5. “t” 代表开始读 / 写操作的周期。t + 1 和 t + 2 分别代表 “t” 时钟周期之后的第一个和第二个时钟周期。
6. 数据输入会在 K 和 $\overline{K}$ 上升沿被采样。数据输出在 C 和 $\overline{C}$ 上升沿提供，在单时钟模式下除外。
7. 时钟停止时，建议 K = $\overline{K}$ = 高电平和 C = $\overline{C}$ = 高电平。虽然这并不是必须的，但可以通过对称地克服传输线路充电，帮助实现最快的重启。

突发 (Burst) 地址表

(CY7C1519KV18, CY7C1521KV18)

第一个地址（外部）	第二个地址（内部）	第三个地址（内部）	第四个地址（内部）
X..X00	X..X01	X..X10	X..X11
X..X01	X..X10	X..X11	X..X00
X..X10	X..X11	X..X00	X..X01
X..X11	X..X00	X..X01	X..X10

写周期说明

CY7C1517KV18 和 CY7C1519KV18 的写周期说明如下所示。[2, 8]

$\overline{BWS_0}$/ $\overline{NWS_0}$	$\overline{BWS_1}$/ $\overline{NWS_1}$	K	$\overline{K}$	注释
L	L	L-H	–	在写过程的数据部分： CY7C1517KV18 - 两个半字节 ($D_{[7:0]}$) 均写入到器件中。 CY7C1519KV18 - 两个字节 ($D_{[17:0]}$) 均写入到器件中。
L	L	–	L-H	在写过程的数据部分： CY7C1517KV18 - 两个半字节 ($D_{[7:0]}$) 均写入到器件中。 CY7C1519KV18 - 两个字节 ($D_{[17:0]}$) 均写入到器件中。
L	H	L-H	–	在写过程的数据部分： CY7C1517KV18 - 仅低位半字节 ($D_{[3:0]}$) 写入到器件中，$D_{[7:4]}$ 将保持不变。 CY7C1519KV18 - 仅低位字节 ($D_{[8:0]}$) 写入到器件中，$D_{[17:9]}$ 将保持不变。
L	H	–	L-H	在写过程的数据部分： CY7C1517KV18 - 仅低位半字节 ($D_{[3:0]}$) 写入到器件中，$D_{[7:4]}$ 将保持不变。 CY7C1519KV18 - 仅低位字节 ($D_{[8:0]}$) 写入到器件中，$D_{[17:9]}$ 将保持不变。
H	L	L-H	–	在写过程的数据部分： CY7C1517KV18 - 仅高位半字节 ($D_{[7:4]}$) 写入到器件中，$D_{[3:0]}$ 将保持不变。 CY7C1519KV18 - 仅高位字节 ($D_{[17:9]}$) 写入到器件中，$D_{[8:0]}$ 将保持不变。
H	L	–	L-H	在写过程的数据部分： CY7C1517KV18 - 仅高位半字节 ($D_{[7:4]}$) 写入到器件中，$D_{[3:0]}$ 将保持不变。 CY7C1519KV18 - 仅高位字节 ($D_{[17:9]}$) 写入到器件中，$D_{[8:0]}$ 将保持不变。
H	H	L-H	–	在写操作的这一部分，不会有任何数据写入到器件中。
H	H	–	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

写周期说明

CY7C1528KV18 的写周期说明如下所示。[2、8]

$\overline{BWS_0}$	K	$\overline{K}$	
L	L-H	–	在写过程的数据部分，单个字节 ($D_{[8:0]}$) 写入到器件中。
L	–	L-H	在写过程的数据部分，单个字节 ($D_{[8:0]}$) 写入到器件中。
H	L-H	–	在写操作的这一部分，不会有任何数据写入到器件中。
H	–	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

注：
8. 基于根据写周期说明 表启动的写周期。可以在写周期的不同部分更改 $\overline{NWS_0}$、$\overline{NWS_1}$、$\overline{BWS_0}$、$\overline{BWS_1}$、$\overline{BWS_2}$ 和 $\overline{BWS_3}$，只要满足建立和保持要求即可。

写周期说明

CY7C1521KV18 的写周期说明如下所示。[2, 8]

$\overline{BWS_0}$	$\overline{BWS_1}$	$\overline{BWS_2}$	$\overline{BWS_3}$	K	$\overline{K}$	注释
L	L	L	L	L-H	–	在写过程的数据部分，全部四个字节 ($D_{[35:0]}$) 都写入到器件中。
L	L	L	L	–	L-H	在写过程的数据部分，全部四个字节 ($D_{[35:0]}$) 都写入到器件中。
L	H	H	H	L-H	–	在写过程的数据部分，仅低位字节 ($D_{[8:0]}$) 写入到器件中。$D_{[35:9]}$ 将保持不变。
L	H	H	H	–	L-H	在写过程的数据部分，仅低位字节 ($D_{[8:0]}$) 写入到器件中。$D_{[35:9]}$ 将保持不变。
H	L	H	H	L-H	–	在写过程的数据部分，仅字节 ($D_{[17:9]}$) 写入到器件中。$D_{[8:0]}$ 和 $D_{[35:18]}$ 将保持不变。
H	L	H	H	–	L-H	在写过程的数据部分，仅字节 ($D_{[17:9]}$) 写入到器件中。$D_{[8:0]}$ 和 $D_{[35:18]}$ 将保持不变。
H	H	L	H	L-H	–	在写过程的数据部分，仅字节 ($D_{[26:18]}$) 写入到器件中。$D_{[17:0]}$ 和 $D_{[35:27]}$ 将保持不变。
H	H	L	H	–	L-H	在写过程的数据部分，仅字节 ($D_{[26:18]}$) 写入到器件中。$D_{[17:0]}$ 和 $D_{[35:27]}$ 将保持不变。
H	H	H	L	L-H	–	在写过程的数据部分，仅字节 ($D_{[35:27]}$) 写入到器件中。$D_{[26:0]}$ 将保持不变。
H	H	H	L	–	L-H	在写过程的数据部分，仅字节 ($D_{[35:27]}$) 写入到器件中。$D_{[26:0]}$ 将保持不变。
H	H	H	H	L-H	–	在写操作的这一部分，不会有任何数据写入到器件中。
H	H	H	H	–	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

IEEE 1149.1 串行边界扫描 (JTAG)

这些 SRAM 在 FBGA 封装中加入了串行边界扫描测试端口 (TAP)。此部件完全符合 IEEE 标准 #1149.1-2001。TAP 在工作时采用 JEDEC 标准 1.8V IO 逻辑电平。

禁用 JTAG 特性

可以在不使用 JTAG 特性的情况下运行 SRAM。要禁用 TAP 控制器，必须将 TCK 连接到低电平 (V_{SS})，以防止额外的时钟输入到器件中。TDI 和 TMS 在内部上拉，可以悬空。它们也可以通过电阻上拉到 V_{DD}。TDO 必须保持未连接状态。在上电时，器件会复位，这不会干扰器件的工作。

测试端口 - 测试时钟

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿被捕获。所有输出都从 TCK 的下降沿被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿被采样。如果未使用 TAP，此引脚可以保持未连接状态。此引脚在内部上拉，从而产生逻辑高电平。

测试数据输入 (TDI)

TDI 引脚用于以串行方式将信息输入到寄存器中，并可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令进行选择。有关加载指令寄存器的信息，请参见第 16 页的 TAP 控制器状态图。TDI 在内部上拉。如果未使用 TAP，此引脚可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB)。

测试数据输出 (TDO)

TDO 输出引脚用于以串行方式从寄存器输出数据。输出有效，取决于 TAP 状态机的当前状态（请参见第 19 页的指令代码）。输出会在 TCK 的下降沿改变。TDO 连接到任何寄存器的最低有效位 (LSB)。

执行 TAP 复位

通过将 TMS 强制置为高电平 (V_{DD}) 达 5 个 TCK 上升沿，即可进行复位。此复位不会影响 SRAM 的工作，并且在 SRAM 工作期间执行。在上电时，TAP 会在内部复位，以确保 TDO 处于 High-Z 状态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 引脚之间，用于扫描 SRAM 测试电路的数据输入和输出。一次只能通过指令寄存器选择一个寄存器。在 TCK 的上升沿，数据会以串行方式加载到 TDI 引脚。在 TCK 的下降沿，数据会从 TDO 引脚输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。此寄存器在置于 TDI 和 TDO 引脚之间时被加载，如第 17 页的 TAP 控制器框图所示。在上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会加载二进制 “01” 样本，以便实现模块级别串行测试路径的故障隔离。

旁路寄存器

当数据以串行方式写入寄存器时，跳过某些芯片可能会有助于节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 引脚之间，从而使数据在写入 SRAM 时具有较小的延迟。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和输出引脚。扫描寄存器中还包含一些无连接 (NC) 引脚，以便供更高容量的器件使用。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM 输入和输出环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 引脚之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获输入和输出环的内容。

第 20 页的边界扫描顺序显示了各个位的连接顺序。每个位都对应于 SRAM 封装上的一个管脚。寄存器的 MSB 连接到 TDI，LSB 连接到 TDO。

标识 *(ID)* 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以将其读出。ID 寄存器具有供货商代码和第 19 页的标识寄存器定义中所述的其他信息。

TAP 指令集

三位指令寄存器可实现八个不同的指令。第 19 页的指令代码中列出了所有组合。其中三个指令列为了 RESERVED，请勿使用这些指令。本节将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在此状态期间，指令会通过 TDI 和 TDO 引脚被写入指令寄存器。要在写入指令后执行指令，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供货商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 引脚之间，并会在 TAP 控制器进入 Shift-DR 状态后，将 IDCODE 移出器件。在上电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于 High-Z 状态，直到在 Update-IR 状态期间提供了下一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

用户必须了解，TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差距，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 则可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了确保边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间（t_{CS} + t_{CH}）要求。如果在设计上无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在这一问题，仍可以捕获所有其他信号，只要忽略边界扫描寄存器中捕获的 CK 和 $\overline{CK}$ 的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以读出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 用于在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据读写可以并发执行，即可以在读出所捕获数据的同时，读入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当模块上有多个器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，此指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST OUTPUT BUS TRISTATE

IEEE 标准 1149.1 强制规定，TAP 控制器需要能够将输出总线置于三态模式。

边界扫描寄存器在第 108 位有一个特殊位。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。在置于低电平时，此位会将输出总线置于 High-Z 状态。

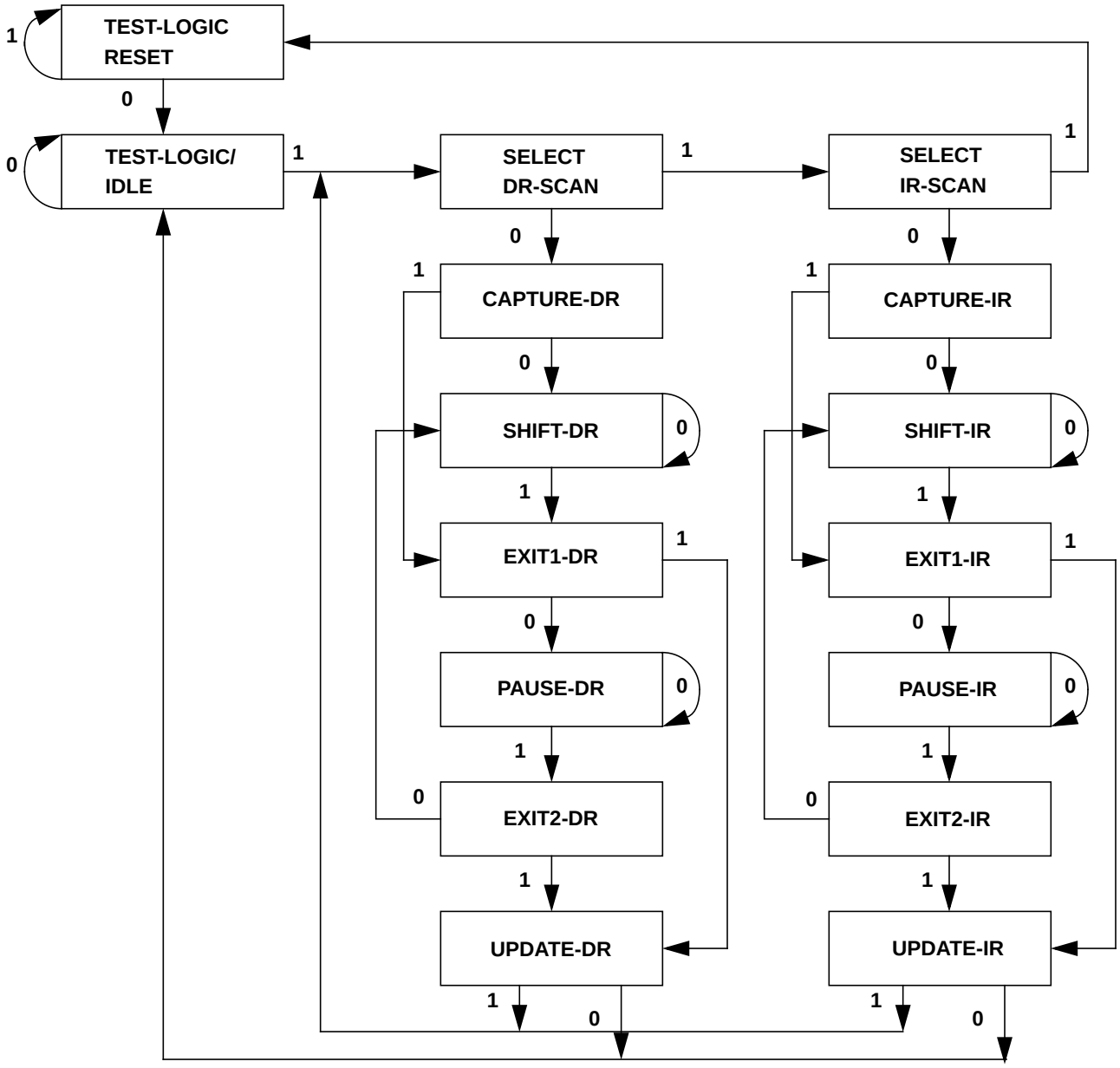
通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位读入到该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，此位会直接控制输出 Q 总线引脚。请注意，此位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，启动输出。

Reserved

这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

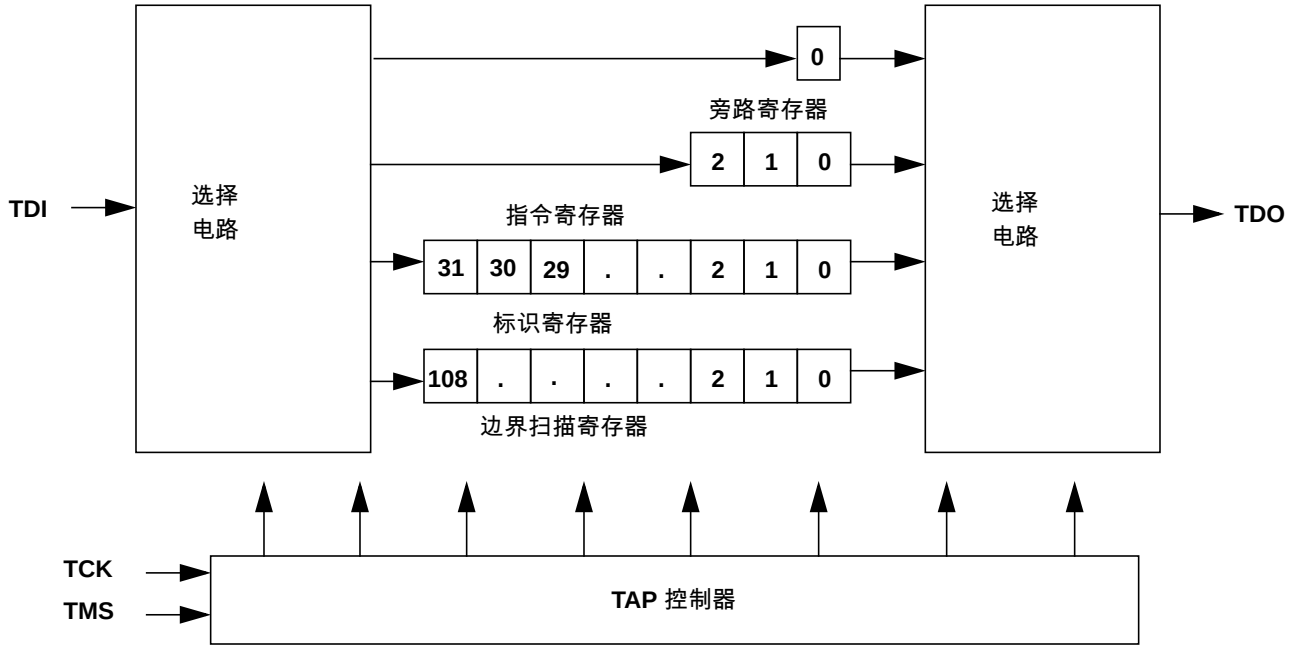
TAP 控制器状态图

TAP 控制器的状态图如下所示。[9]



注：
9. 每个状态旁边的 0/1 代表 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图



TAP 电气特性

工作范围 [10、11、12]

参数	说明	测试条件	最小值	最大值	单位
V_{OH1}	输出高电平电压	I_{OH} = –2.0 mA	1.4		V
V_{OH2}	输出高电平电压	I_{OH} = –100 µA	1.6		V
V_{OL1}	输出低电平电压	I_{OL} = 2.0 mA		0.4	V
V_{OL2}	输出低电平电压	I_{OL} = 100 µA		0.2	V
V_{IH}	输入高电平电压		0.65V_{DD}	V_{DD} + 0.3	V
V_{IL}	输入低电平电压		–0.3	0.35V_{DD}	V
I_X	输入和输出负载电流	GND ≤ V_I ≤ V_{DD}	–5	5	µA

注：
10. 这些特性为 TAP 输入（TMS、TCK、TDI 和 TDO）的特性。并行负载电平在电气特性表中指定。
11. 过冲：V_{IH}(AC) < V_{DDQ} + 0.85V（脉冲宽度小于 t_{CYC}/2），下冲：V_{IL}(AC) > –1.5V（脉冲宽度小于 t_{CYC}/2）。
12. 所有电压都是相对于地的电压。

TAP 交流开关特性

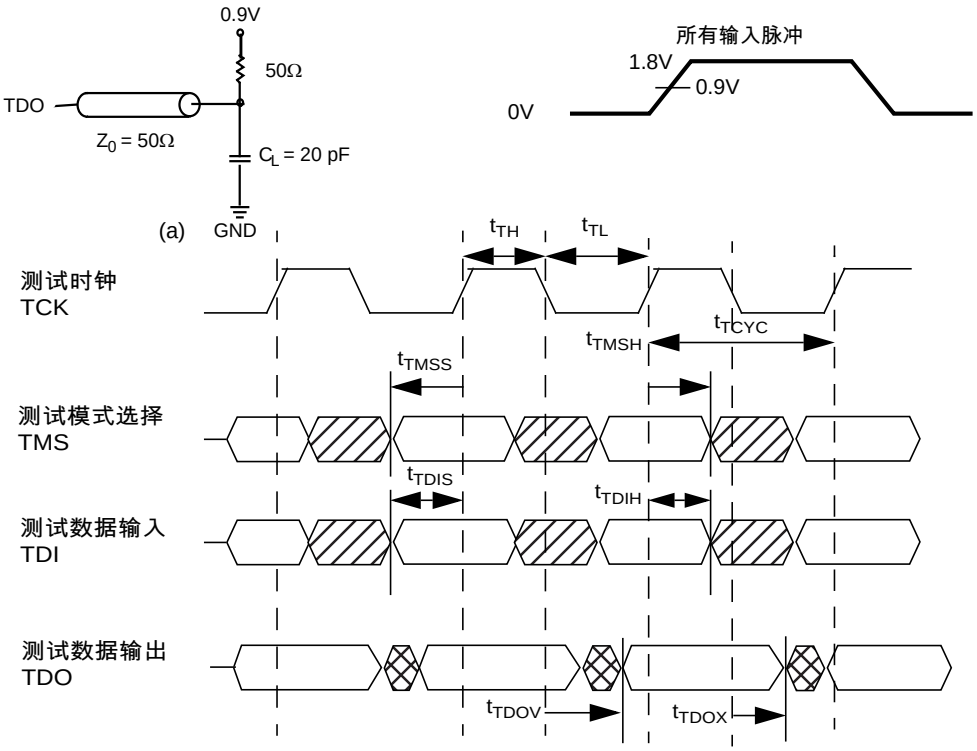
工作范围 [13、14]

参数	说明	最小值	最大值	单位
t_{TCYC}	TCK 时钟周期时间	50		ns
t_{TF}	TCK 时钟频率		20	MHz
t_{TH}	TCK 时钟高电平	20		ns
t_{TL}	TCK 时钟低电平	20		ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5		ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5		ns
t_{CS}	从采样建立到 TCK 上升沿的时间	5		ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后的 TMS 保持时间	5		ns
t_{TDIH}	时钟上升沿之后的 TDI 保持时间	5		ns
t_{CH}	时钟上升沿之后的采样保持时间	5		ns
输出时间				
t_{TDOV}	从 TCK 时钟为低到 TDO 有效的时间		10	ns
t_{TDOX}	从 TCK 时钟为低到 TDO 无效的时间	0		ns

TAP 时序和测试条件

图 2 显示了 TAP 时序和测试条件。[14]

图 **2. TAP** 时序和测试条件



注：
13. t_{CS} 和 t_{CH} 指从边界扫描寄存器锁存数据的建立和保持时间要求。
14. 测试条件是使用 TAP 交流测试条件中的负载确定的。t_R/t_F = 1 ns。

标识寄存器定义

指令字段	值				说明
	CY7C1517KV18	**CY7C1528KV18**	**CY7C1519KV18**	**CY7C1521KV18**	
版本号 (31:29)	000	000	000	000	版本号。
赛普拉斯公司器件 ID (28:12)	11010100011000100	11010100011001100	11010100011010100	11010100011100100	定义 SRAM 的类型。
赛普拉斯公司 JEDEC ID (11:1)	00000110100	00000110100	00000110100	00000110100	允许对 SRAM 供货商使用唯一标识。
ID 寄存器存在情况 (0)	1	1	1	1	指示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小
指令	3
旁路	1
ID	32
边界扫描	109

指令代码

指令	代码	说明
EXTEST	000	捕获输入和输出环的内容。
IDCODE	001	在 ID 寄存器中加载供货商 ID 代码，并将该寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获输入和输出内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制使所有 SRAM 输出驱动器均进入 High-Z 状态。
RESERVED	011	请勿使用：此指令留作日后使用。
SAMPLE/PRELOAD	100	捕获输入和输出环的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。不会影响 SRAM 的工作。
RESERVED	101	请勿使用：此指令留作日后使用。
RESERVED	110	请勿使用：此指令留作日后使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。

边界扫描顺序

位编号	管脚 ID
0	6R
1	6P
2	6N
3	7P
4	7N
5	7R
6	8R
7	8P
8	9R
9	11P
10	10P
11	10N
12	9P
13	10M
14	11N
15	9M
16	9N
17	11L
18	11M
19	9L
20	10L
21	11K
22	10K
23	9J
24	9K
25	10J
26	11J
27	11H

位编号	管脚 ID
28	10G
29	9G
30	11F
31	11G
32	9F
33	10F
34	11E
35	10E
36	10D
37	9E
38	10C
39	11D
40	9C
41	9D
42	11B
43	11C
44	9B
45	10B
46	11A
47	10A
48	9A
49	8B
50	7C
51	6C
52	8A
53	7A
54	7B
55	6B

位编号	管脚 ID
56	6A
57	5B
58	5A
59	4A
60	5C
61	4B
62	3A
63	2A
64	1A
65	2B
66	3B
67	1C
68	1B
69	3D
70	3C
71	1D
72	2C
73	3E
74	2D
75	2E
76	1E
77	2F
78	3F
79	1G
80	1F
81	3G
82	2G
83	1H

位编号	管脚 ID
84	1J
85	2J
86	3K
87	3J
88	2K
89	1K
90	2L
91	3L
92	1M
93	1L
94	3N
95	3M
96	1N
97	2M
98	3P
99	2N
100	2P
101	1P
102	3R
103	4R
104	4P
105	5P
106	5N
107	5R
108	内部

DDR II SRAM 中的上电顺序

DDR II SRAM 必须按预定义的方式上电并初始化 ,以免执行未定义的操作。

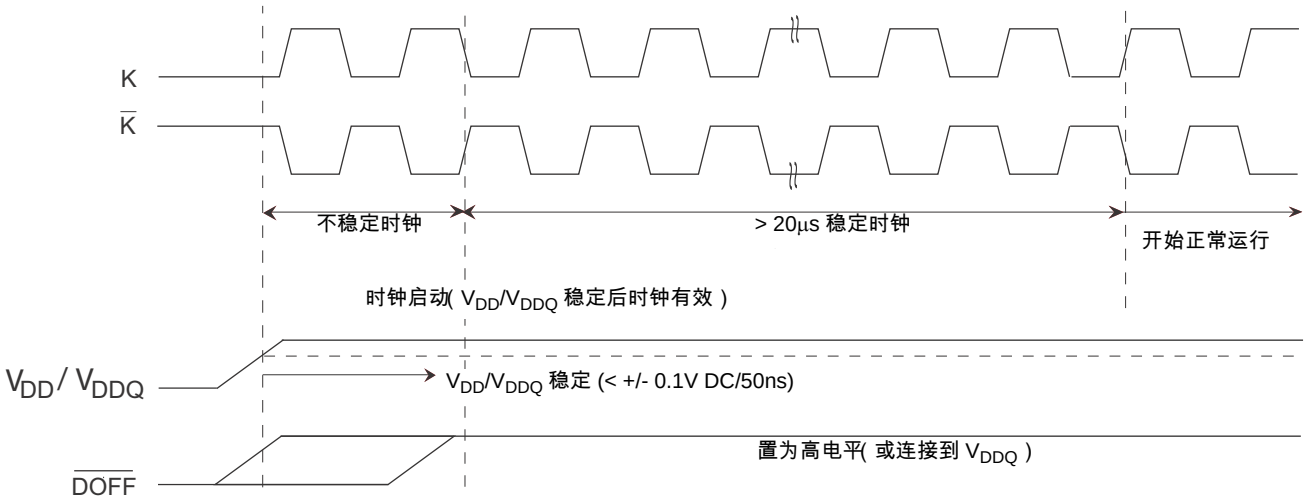
上电顺序

- 通电并将 $\overline{DOFF}$ 置为高电平或低电平（所有其他输入都可以是高电平或低电平）。
  - 在施加 V_{DDQ} 之前施加 V_{DD}。
  - 在施加 V_{REF} 之前或与 V_{REF} 同时施加 V_{DDQ}。
  - 将 $\overline{DOFF}$ 置为高电平。
- 提供连续 20 µs 的稳定 $\overline{DOFF}$（高电平）、电源和时钟（K、$\overline{K}$），以便锁定 PLL。

PLL 限制

- PLL 使用 K 时钟作为其同步输入。输入必须具有较低的相位抖动（以 $t_{KC\ Var}$ 表示）。
- PLL 能够正常工作的最低频率为 120 MHz。
- 如果输入时钟不稳定并且启用了 PLL ,则 PLL 可能会锁定到不正确的频率，从而导致 SRAM 工作不稳定。为了避免这种情况，请提供 20 µs 的稳定时钟，以便重新锁定到所需的时钟频率。

图 **3.** 上电波形



最大额定值

超过最大额定值可能会影响器件的使用寿命。相关用户指导未经过测试。

存放温度 ..... -65°C 到 +150°C
通电状态下的环境温度..... -55°C 到 +125°C
V_{DD} 上相对于 GND 的供电电压.....-0.5V 到 +2.9V
V_{DDQ} 上相对于 GND 的供电电压 .....-0.5V 到 +V_{DD}
High-Z 状态下为输出施加的直流电压 .. -0.5V 到 V_{DDQ} + 0.3V
直流输入电压 [11]..... -0.5V 到 V_{DD} + 0.3V
输出电流（低电平)..... 20 mA
静电放电电压（MIL-STD-883、M 3015)..... > 2001V
栓锁电流 ..... > 200 mA

工作范围

范围	环境温度 (T_A)	V_{DD}[15]	V_{DDQ}[15]
商业级	0°C 到 +70°C	1.8 ± 0.1V	1.4V 到 V_{DD}
工业级	-40°C 到 +85°C		

电气特性

直流电气特性

工作范围 [12]

参数	说明	测试条件			最小值	典型值	最大值	单位
V_{DD}	电源电压				1.7	1.8	1.9	V
V_{DDQ}	IO 供电电压				1.4	1.5	V_{DD}	V
V_{OH}	输出高电平电压	注：16			$V_{DDQ}/2 – 0.12$		$V_{DDQ}/2 + 0.12$	V
V_{OL}	输出低电平电压	注：17			$V_{DDQ}/2 – 0.12$		$V_{DDQ}/2 + 0.12$	V
$V_{OH(LOW)}$	输出高电平电压	I_{OH} = –0.1 mA，额定阻抗			$V_{DDQ} – 0.2$		V_{DDQ}	V
$V_{OL(LOW)}$	输出低电平电压	I_{OL} = 0.1 mA，额定阻抗			V_{SS}		0.2	V
V_{IH}	输入高电平电压				$V_{REF} + 0.1$		$V_{DDQ} + 0.3$	V
V_{IL}	输入低电平电压				–0.3		$V_{REF} – 0.1$	V
I_X	输入漏电流	GND ≤ V_I ≤ V_{DDQ}			–5		5	µA
I_{OZ}	输出漏电流	GND ≤ V_I ≤ V_{DDQ}，输出被禁用			–5		5	µA
V_{REF}	输入参考电压 [18]	典型值 = 0.75V			0.68	0.75	0.95	V
I_{DD} [19]	V_{DD} 的工作电流	V_{DD} = 最大值，I_{OUT} = 0 mA，f = f_{MAX} = $1/t_{CYC}$	333 MHz	(x8)			410	mA
				(x9)			410	
				(x18)			420	
				(x36)			510	
			300 MHz	(x8)			390	mA
				(x9)			390	
				(x18)			400	
				(x36)			470	
			250 MHz	(x8)			350	mA
				(x9)			350	
				(x18)			360	
				(x36)			420	

注：
15. 上电：假设在 200 ms 内从 0V 线性上升到 V_{DD}(min)。在此期间，V_{IH}< V_{DD} 且 V_{DDQ} ≤V_{DD}。
16. 输出受阻抗控制。对于 175Ω ≤ RQ ≤ 350Ω 的值，I_{OH} = –(V_{DDQ}/2)/(RQ/5)。
17. 输出受阻抗控制。对于 175Ω ≤ RQ ≤ 350Ω 的值，I_{OL} = (V_{DDQ}/2)/(RQ/5)。
18. V_{REF} (min) = 0.68V 或 0.46V_{DDQ} 中的较大者；V_{REF} (max) = 0.95V 或 0.54V_{DDQ} 中的较小者。
19. 工作电流根据 50% 读周期和 50% 写周期计算得出。

电气特性（续）

直流电气特性

工作范围 [12]

参数	说明	测试条件			最小值	典型值	最大值	单位
I_{DD} [19]	V_{DD} 的工作电流	V_{DD} = 最大值，I_{OUT} = 0 mA，$f = f_{MAX} = 1/t_{CYC}$	200 MHz	(x8)			310	mA
				(x9)			310	
				(x18)			320	
				(x36)			370	
			167 MHz	(x8)			290	mA
				(x9)			290	
				(x18)			290	
				(x36)			330	
I_{SB1}	自动待机电流	最大值 V_{DD}，两个端口均未选中，$V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$，$f = f_{MAX} = 1/t_{CYC}$，输入静态	333 MHz	(x8)			290	mA
				(x9)			290	
				(x18)			290	
				(x36)			290	
			300 MHz	(x8)			280	mA
				(x9)			280	
				(x18)			280	
				(x36)			280	
			250 MHz	(x8)			270	mA
				(x9)			270	
				(x18)			270	
				(x36)			270	
			200 MHz	(x8)			250	mA
				(x9)			250	
				(x18)			250	
				(x36)			250	
			167 MHz	(x8)			250	mA
				(x9)			250	
				(x18)			250	
				(x36)			250	

交流电气特性

工作范围 [11]

参数	说明	测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压		V_{REF} + 0.2	–	–	V
V_{IL}	输入低电平电压		–	–	V_{REF} – 0.2	V

电容

这些参数已经过初始测试，后续的设计或工艺更改可能会影响这些参数的值。

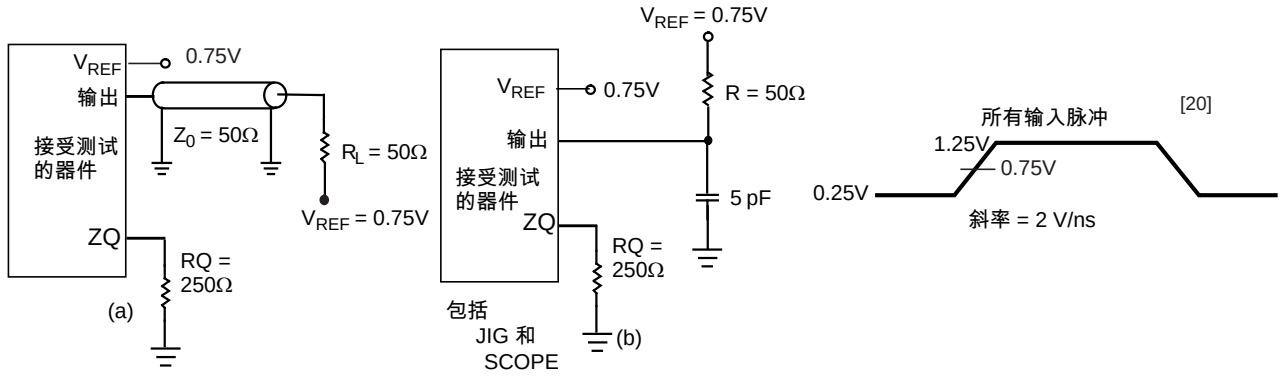
参数	说明	测试条件	最大值	单位
C_{IN}	输入电容	T_A = 25°C，f = 1 MHz，V_{DD} = 1.8V，V_{DDQ} = 1.5V	2	pF
C_O	输出电容		3	pF

热阻

这些参数已经过初始测试，后续的设计或工艺更改可能会影响这些参数的值。

参数	说明	测试条件	**165 FBGA** 封装	单位
Θ_{JA}	热阻（结 - 环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	13.7	°C/W
Θ_{JC}	热阻（结 - 封装）		3.73	°C/W

图 4. 交流测试负载和波形



注：

20. 除非另行指定，否则测试条件采取 2V/ns 的信号跃变时间、0.75V 的时序参考电平、V_{REF} = 0.75V、RQ = 250Ω、V_{DDQ} = 1.5V、0.25V 到 1.25V 的输入脉冲电平以及具有指定 I_{OL}/I_{OH} 和负载电容的输出负载，如交流测试负载和波形的 (a) 所示。

开关特性

工作范围 [20、21]

赛普拉斯公司参数	联盟参数	说明	333 MHz		300 MHz		250 MHz		200 MHz		167 MHz		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{POWER}		从 V_{DD}（典型值）到第一次访问的时间 [22]	1	–	1	–	1	–	1	–	1	–	ms
t_{CYC}	t_{KHKH}	K 时钟和 C 时钟周期时间	3.0	8.4	3.3	8.4	4.0	8.4	5.0	8.4	6.0	8.4	ns
t_{KH}	t_{KHKL}	输入时钟（K/$\overline{K}$ 和 C/$\overline{C}$）高电平	1.20	–	1.32	–	1.6	–	2.0	–	2.4	–	ns
t_{KL}	t_{KLKH}	输入时钟（K/$\overline{K}$ 和 C/$\overline{C}$）低电平	1.20	–	1.32	–	1.6	–	2.0	–	2.4	–	ns
$t_{KH\overline{K}H}$	$t_{KH\overline{K}H}$	从 K 时钟上升沿到 $\overline{K}$ 时钟上升沿的时间，以及从 C 到 $\overline{C}$ 上升沿的时间（从上升沿到上升沿）	1.35	–	1.49	–	1.8	–	2.2	–	2.7	–	ns
t_{KHCH}	t_{KHCH}	从 K/$\overline{K}$ 时钟上升沿到 C/$\overline{C}$ 时钟上升沿的时间（从上升沿到上升沿）	0.0	1.30	0.0	1.45	0.0	1.8	0.0	2.2	0.0	2.7	ns
建立时间													
t_{SA}	t_{AVKH}	从地址建立到 K 时钟上升沿的时间	0.4	–	0.4	–	0.5	–	0.6	–	0.7	–	ns
t_{SC}	t_{IVKH}	从控制建立到 K 时钟上升沿的时间（$\overline{LD}$、R/$\overline{W}$）	0.4	–	0.4	–	0.5	–	0.6	–	0.7	–	ns
t_{SCDDR}	t_{IVKH}	双倍数据速率控制建立到时钟 (K/$\overline{K}$) 上升沿的时间（$\overline{BWS_0}$、$\overline{BWS_1}$、$\overline{BWS_2}$、$\overline{BWS_3}$）	0.3	–	0.3	–	0.35	–	0.4	–	0.5	–	ns
t_{SD}	t_{DVKH}	从 $D_{[X:0]}$ 建立到时钟 (K/$\overline{K}$) 上升沿的时间	0.3	–	0.3	–	0.35	–	0.4	–	0.5	–	ns
保持时间													
t_{HA}	t_{KHAX}	K 时钟上升沿之后的地址保持时间	0.4	–	0.4	–	0.5	–	0.6	–	0.7	–	ns
t_{HC}	t_{KHIX}	K 时钟上升沿之后的控制保持时间（$\overline{LD}$、R/$\overline{W}$）	0.4	–	0.4	–	0.5	–	0.6	–	0.7	–	ns
t_{HCDDR}	t_{KHIX}	时钟 (K/$\overline{K}$) 上升沿之后的双倍数据速率控制保持时间（$\overline{BWS_0}$、$\overline{BWS_1}$、$\overline{BWS_2}$、$\overline{BWS_3}$）	0.3	–	0.3	–	0.35	–	0.4	–	0.5	–	ns
t_{HD}	t_{KHDX}	时钟 (K/$\overline{K}$) 上升沿之后的 $D_{[X:0]}$ 保持时间	0.3	–	0.3	–	0.35	–	0.4	–	0.5	–	ns

注：
21. 当最大频率高于 167 MHz 的部件在较低时钟频率下工作时，它需要工作频率范围的输入时序，并会以该频率范围的输出时序来输出数据。
22. 此部件内部拥有电压调节器；t_{POWER} 为要启动读操作或写操作，开始提供的电源高于 V_{DD} 最小值的时间。

开关特性（续）

工作范围 [20、21]

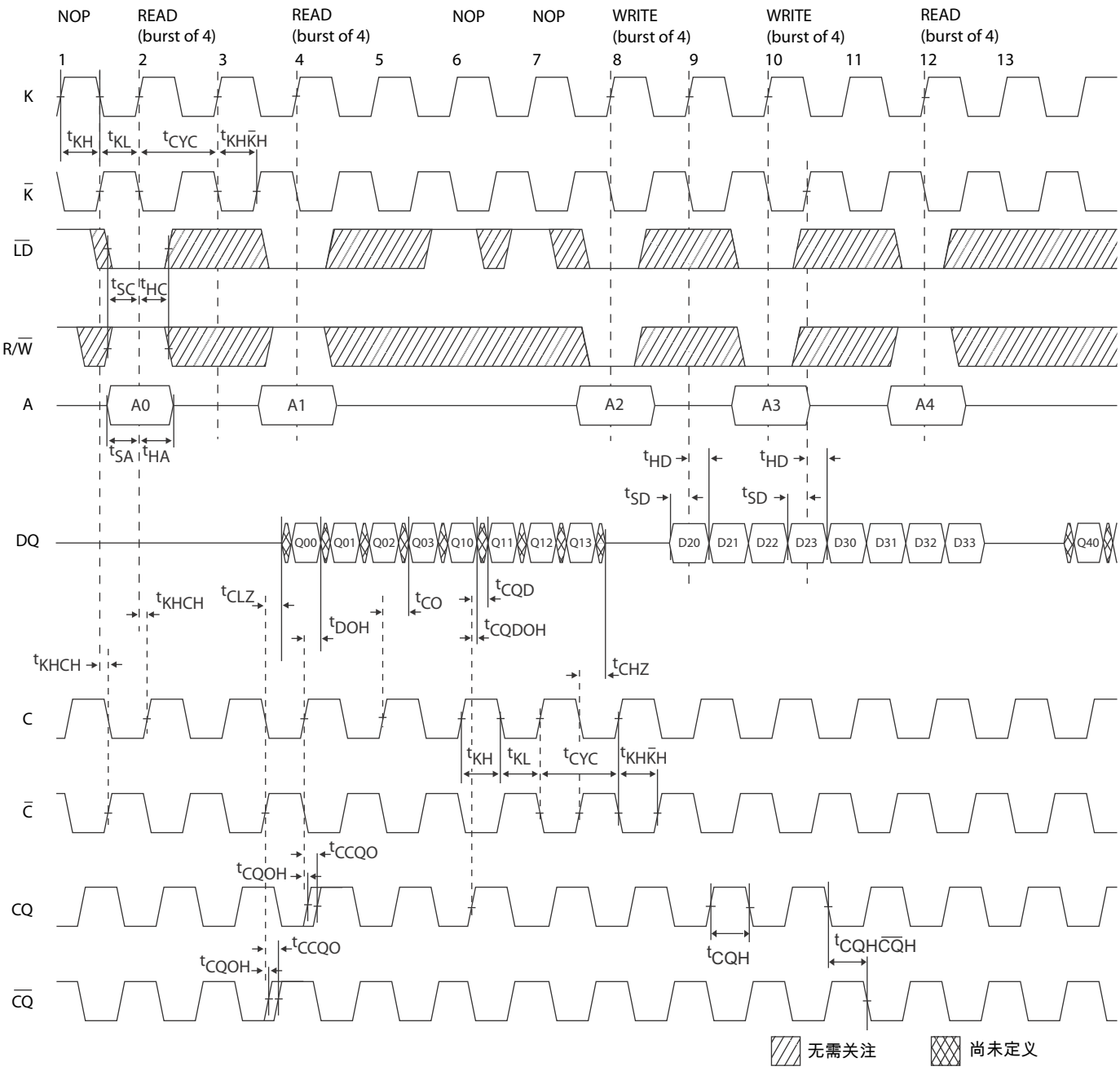
赛普拉斯公司参数	联盟参数	说明	333 MHz		300 MHz		250 MHz		200 MHz		167 MHz		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
输出时间													
t_{CO}	t_{CHQV}	从 C/$\overline{C}$ 时钟上升沿（在单时钟模式下为 K/$\overline{K}$）到数据有效的时间	–	0.45	–	0.45	–	0.45	–	0.45	–	0.50	ns
t_{DOH}	t_{CHQX}	输出 C/$\overline{C}$ 时钟上升沿之后的数据输出保持时间（从有效到有效）	–0.45	–	–0.45	–	–0.45	–	–0.45	–	–0.50	–	ns
t_{CCQO}	t_{CHCQV}	从 C/$\overline{C}$ 时钟上升沿到随路时钟有效的时间	–	0.45	–	0.45	–	0.45	–	0.45	–	0.50	ns
t_{CQOH}	t_{CHCQX}	C/$\overline{C}$ 时钟上升沿之后的随路时钟保持时间	–0.45	–	–0.45	–	–0.45	–	–0.45	–	–0.50	–	ns
t_{CQD}	t_{CQHQV}	从随路时钟为高到数据有效的时间	–	0.25	–	0.27	–	0.30	–	0.35	–	0.40	ns
t_{CQDOH}	t_{CQHQX}	从随路时钟为高到数据无效的时间	–0.25	–	–0.27	–	–0.30	–	–0.35	–	–0.40	–	ns
t_{CQH}	t_{CQHCQL}	输出时钟 (CQ/$\overline{CQ}$) 高电平 [23]	1.25	–	1.40	–	1.75	–	2.25	–	2.75	–	ns
$t_{CQH\overline{CQ}H}$	$t_{CQH\overline{CQ}H}$	从 CQ 时钟上升沿到 $\overline{CQ}$ 时钟上升沿的时间（从上升沿到上升沿）[23]	1.25	–	1.40	–	1.75	–	2.25	–	2.75	–	ns
t_{CHZ}	t_{CHQZ}	从时钟 (C/$\overline{C}$) 上升沿到 High-Z 的时间（从有效到 High-Z）[24、25]	–	0.45	–	0.45	–	0.45	–	0.45	–	0.50	ns
t_{CLZ}	t_{CHQX1}	从时钟 (C/$\overline{C}$) 上升沿到 Low-Z 的时间 [24、25]	–0.45	–	–0.45	–	–0.45	–	–0.45	–	–0.50	–	ns
PLL 时序													
$t_{KC\ Var}$	$t_{KC\ Var}$	时钟相位抖动	–	0.20	–	0.20	–	0.20	–	0.20	–	0.20	ns
$t_{KC\ lock}$	$t_{KC\ lock}$	PLL 锁定时间（K、C）	20	–	20	–	20	–	20	–	20	–	µs
$t_{KC\ Reset}$	$t_{KC\ Reset}$	从 K 为静态到 PLL 复位的时间	30	–	30	–	30	–	30	–	30	–	ns

注：

23. 这些参数是根据输入时序参数（t_{CYC}/2 - 250 ps，其中 250 ps 是内部抖动）推导出来的。这些参数仅由设计保证，未在生产中进行过测试。
24. 如交流测试负载和波形的 (b) 部分所示，t_{CHZ}、t_{CLZ} 是用一个 5 pF 的负载电容确定的。跃变在稳定状态电压 ± 100 mV 的条件下测量。
25. 在任何电压和温度下，t_{CHZ} 均小于 t_{CLZ}，且 t_{CHZ} 均小于 t_{CO}。

开关波形

图 5. 读 / 写 / 取消选中操作过程 [26、27、28]



注：
26. Q00 指地址 A0 的输出。Q01 指 A0 后的下一个内部突发 (Burst) 地址（即 A0+1）的输出。
27. 在 NOP 后的一个时钟周期内会禁用输出 (High-Z)。
28. 在此示例中，如果地址 A4 = A3，则数据 Q40 = D30，Q41 = D31，Q42 = D32 且 Q43 = D43。写数据会立即作为读结果往前传。此注解适用于整个示意图。

订购信息

这些器件所支持的各种可能的速度、封装和温度范围选项，请参见下表。请注意，有些列出的选项可能没有订单项目。要核实特定选项的可用性，请访问赛普拉斯公司网站 www.cypress.com ，并参考 http://www.cypress.com/products 上的产品汇总页。如需了解有关零件的可用状况信息，请与当地销售代表联系。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要查找距您最近的办事处，请访问 http://app.cypress.com/portal/server.pt?space=CommunityPage&control=SetCommunity&CommunityID=201&PageID=230。

表 **2.** 订购信息

速度 (MHz)	订购代码	封装图	封装类型	工作范围
333	CY7C1517KV18-333BZC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	商业级
	CY7C1528KV18-333BZC			
	CY7C1519KV18-333BZC			
	CY7C1521KV18-333BZC			
	CY7C1517KV18-333BZXC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-333BZXC			
	CY7C1519KV18-333BZXC			
	CY7C1521KV18-333BZXC			
	CY7C1517KV18-333BZI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	工业级
	CY7C1528KV18-333BZI			
	CY7C1519KV18-333BZI			
	CY7C1521KV18-333BZI			
	CY7C1517KV18-333BZXI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-333BZXI			
	CY7C1519KV18-333BZXI			
	CY7C1521KV18-333BZXI			
300	CY7C1517KV18-300BZC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	商业级
	CY7C1528KV18-300BZC			
	CY7C1519KV18-300BZC			
	CY7C1521KV18-300BZC			
	CY7C1517KV18-300BZXC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-300BZXC			
	CY7C1519KV18-300BZXC			
	CY7C1521KV18-300BZXC			
	CY7C1517KV18-300BZI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	工业级
	CY7C1528KV18-300BZI			
	CY7C1519KV18-300BZI			
	CY7C1521KV18-300BZI			
	CY7C1517KV18-300BZXI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-300BZXI			
	CY7C1519KV18-300BZXI			
	CY7C1521KV18-300BZXI			

表 **2.** 订购信息（续）

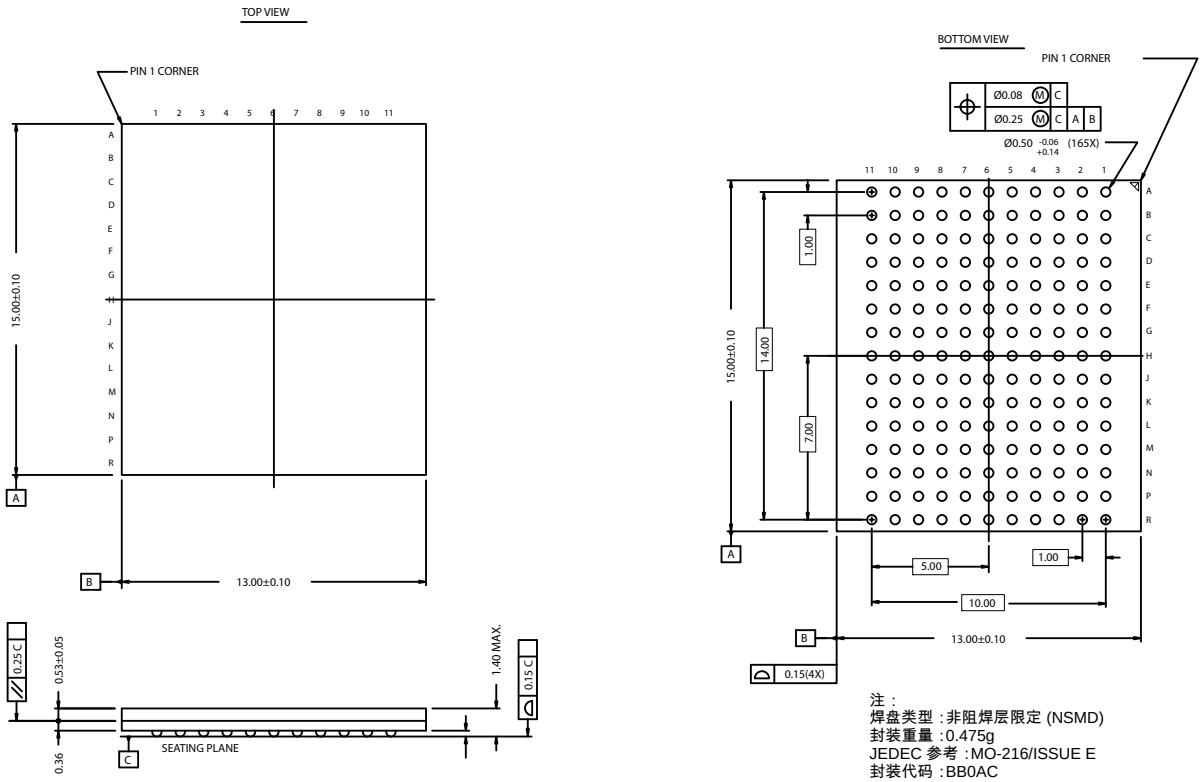
速度 (MHz)	订购代码	封装图	封装类型	工作范围
250	CY7C1517KV18-250BZC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	商业级
	CY7C1528KV18-250BZC			
	CY7C1519KV18-250BZC			
	CY7C1521KV18-250BZC			
	CY7C1517KV18-250BZXC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-250BZXC			
	CY7C1519KV18-250BZXC			
	CY7C1521KV18-250BZXC			
	CY7C1517KV18-250BZI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	工业级
	CY7C1528KV18-250BZI			
	CY7C1519KV18-250BZI			
	CY7C1521KV18-250BZI			
	CY7C1517KV18-250BZXI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-250BZXI			
	CY7C1519KV18-250BZXI			
	CY7C1521KV18-250BZXI			
200	CY7C1517KV18-200BZC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	商业级
	CY7C1528KV18-200BZC			
	CY7C1519KV18-200BZC			
	CY7C1521KV18-200BZC			
	CY7C1517KV18-200BZXC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-200BZXC			
	CY7C1519KV18-200BZXC			
	CY7C1521KV18-200BZXC			
	CY7C1517KV18-200BZI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	工业级
	CY7C1528KV18-200BZI			
	CY7C1519KV18-200BZI			
	CY7C1521KV18-200BZI			
	CY7C1517KV18-200BZXI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-200BZXI			
	CY7C1519KV18-200BZXI			
	CY7C1521KV18-200BZXI			

表 **2.** 订购信息（续）

速度 (MHz)	订购代码	封装图	封装类型	工作范围
167	CY7C1517KV18-167BZC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	商业级
	CY7C1528KV18-167BZC			
	CY7C1519KV18-167BZC			
	CY7C1521KV18-167BZC			
	CY7C1517KV18-167BZXC	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-167BZXC			
	CY7C1519KV18-167BZXC			
	CY7C1521KV18-167BZXC			
	CY7C1517KV18-167BZI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)	工业级
	CY7C1528KV18-167BZI			
	CY7C1519KV18-167BZI			
	CY7C1521KV18-167BZI			
	CY7C1517KV18-167BZXI	51-85180	165 脚小间距 BGA (13 x 15 x 1.4 mm)，不含铅	
	CY7C1528KV18-167BZXI			
	CY7C1519KV18-167BZXI			
	CY7C1521KV18-167BZXI			

封装图

图 6. 165 脚 FBGA (13 x 15 x 1.4 mm)，51-85180



注：
焊盘类型：非阻焊层限定 (NSMD)
封装重量：0.475g
JEDEC 参考：MO-216/ISSUE E
封装代码：BB0AC

51-85180 *F

文档修订记录页

文档标题：**CY7C1517KV18/CY7C1528KV18/CY7C1519KV18/CY7C1521KV18 72-Mbit DDR II SRAM 4 字突发 (Burst) 架构** 文档编号：**001-63703**				
**	3011718	08/19/2010	VED	Chinese translation of 001-00439 Rev. *F
*A	4400701	06/06/2014	SCHC	Updated 封装图 : spec 51-85180 – Changed revision from *C to *F.

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯公司的位置。

产品	
汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF 产品	cypress.com/go/wireless

PSoC 解决方案
psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2010-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌电路之外，赛普拉斯半导体公司不对其他任何电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用等用途。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受到全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此源代码进行任何复制、修改、转换或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受到适用的赛普拉斯软件许可协议限制。

QDR RAM 和四倍数据速率 RAM 构成了由赛普拉斯、IDT、NEC、Renesas 和 Samsung 开发的新产品系列。本文件中提及的所有产品和公司名称均为其各自所有者的商标。