CY7C1441KV25

# 36M ビット (1M × 36) フロースルー SRAM

## 特長

- 133MHz バス動作
- 1M × 36 共通 I/O
- 2.5V コア電源
- 2.5 V I/O 電源
- クロック～出力の時間が速い
  - 6.5ns (133MHz バージョン )
- 高性能 2-1-1-1 アクセス速度を提供
- インターリーブまたはリニア バースト シーケンスに対応するユーザー選択可能バースト カウンター
- 独立したプロセッサとコントローラー アドレス ストローブ
- セルフタイム同期書き込み
- 非同期出力イネーブル
- CY7C1441KV25 が鉛フリー165ボールFBGAパッケージで提供
- FBGA パッケージでは JTAG バウンダリ スキャンに対応
- ZZ スリープ モード オプション

## 機能の詳細

CY7C1441KV25 は、2.5 V、1M × 36 同期フロースルー SRAM であり、最小限のグルー ロジックを使用して高速マイクロプロセッサとインターフェースするように設計されています。クロックの立ち上がりからの最大アクセス遅延は 6.5ns (133MHz のデバイス バージョン ) です。2 ビットの内蔵カウンターは、バースト シーケンスで最初のアドレスを取り込んで、バースト アクセスの残りでは自動的にアドレスをインクリメントします。全ての同期入力は、ポジティブ エッジでトリガされるクロック入力 (CLK) で制御したレジスタによりゲートします。同期入力は、全てのアドレス、全てのデータ入力、アドレス パイプライン チップ イネーブル ($\overline{CE_1}$)、深度拡張チップ イネーブル ($CE_2$、$\overline{CE_3}$)、バースト制御入力 (ADSC、ADSP、ADV)、書き込みイネーブル ($\overline{BW_x}$、$\overline{BWE}$)、およびグローバル書き込み ($\overline{GW}$) を含みます。非同期入力は出力イネーブル ($\overline{OE}$) と ZZ ピンです。

CY7C1441KV25 は、MODE 入力ピンで選択するインターリーブとリニア バースト シーケンスの両方に対応しています。このピンを HIGH にするとインターリーブ バースト シーケンスを選択し、LOW にするとリニア バースト シーケンスを選択します。バースト アクセスは、プロセッサ アドレス ストローブ ($\overline{ADSP}$) またはキャッシュ コントローラー アドレス ストローブ ($\overline{ADSC}$) 入力で開始できます。アドレスの増加は、アドレス増加 ($\overline{ADV}$) 入力で制御されます。

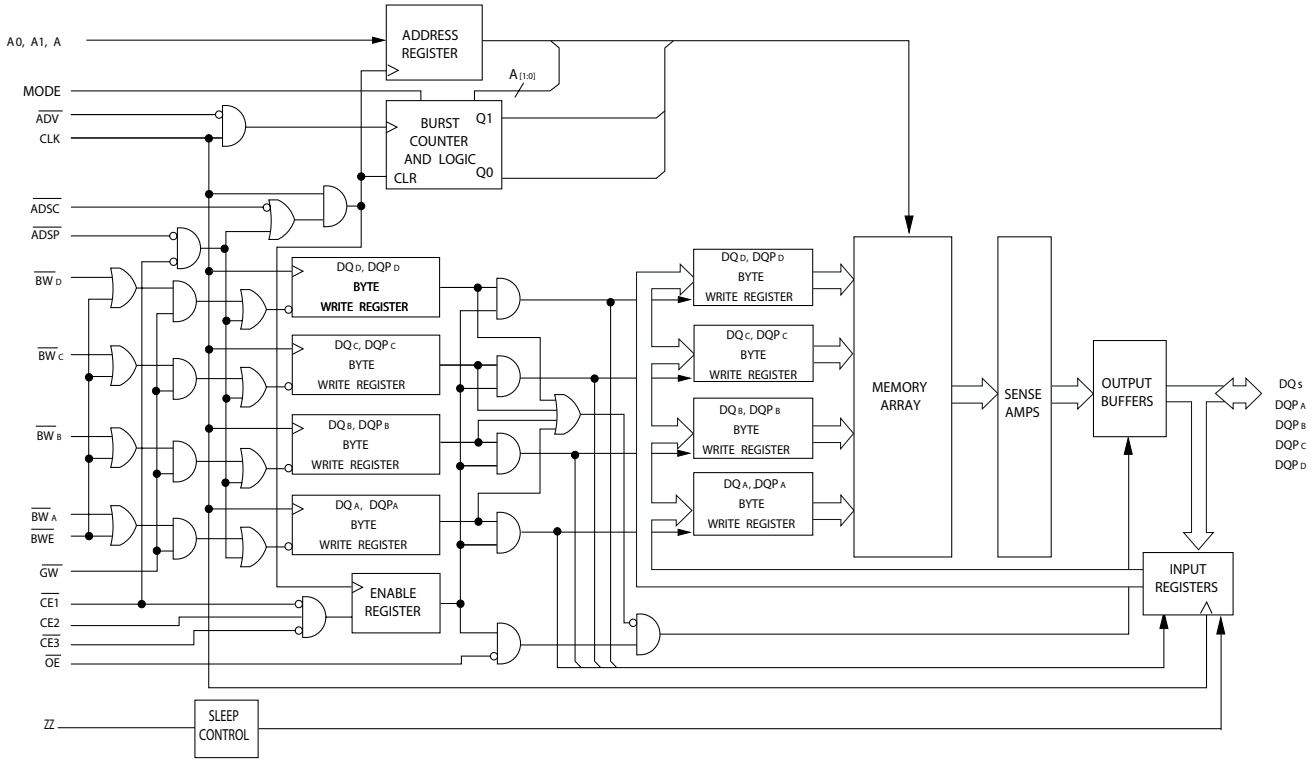
$\overline{ADSP}$ または $\overline{ADSC}$ がアクティブになると、アドレスとチップ イネーブルはクロックの立ち上がりエッジで登録されます。後続バースト アドレスは、$\overline{ADV}$ の制御によって内部的に生成できます。

CY7C1441KV25 は +2.5V のコア電源で動作しますが、全ての出力は +2.5V 電源で動作します。全ての入力と出力は JEDEC 標準規格 JESD8-5 に準拠しています。

## 選択ガイド

| 説明 | | 133MHz | 単位 |
|---|---|---|---|
| 最大アクセス時間 | | 6.5 | ns |
| 最大動作電流 | ×36 | 170 | mA |

## 論理ブロック図ー CY7C1441KV25



# 目次

**ピンのコンフィギュレーション ..... 4**
**ピン機能 ..... 5**
**機能の概要 ..... 6**
シングル読み出しアクセス ..... 6
$\overline{ADSP}$ で開始されるシングル書き込みアクセス ..... 6
$\overline{ADSC}$ で開始されるシングル書き込みアクセス ..... 6
バースト シーケンス ..... 7
スリープ モード ..... 7
インターリーブ バースト アドレス表 ..... 7
リニア バースト アドレス表 ..... 7
ZZ モード電気的特性 ..... 7
**真理値表 ..... 8**
**書き込み／読み出しの部分真理値表 ..... 9**
**IEEE 1149.1 シリアル バウンダリ スキャン (JTAG) ..... 10**
JTAG 機能の無効化 ..... 10
テスト アクセス ポート (TAP) ..... 10
TAP リセットの実行 ..... 10
TAP レジスタ ..... 10
TAP 命令セット ..... 10
**TAP コントローラー状態遷移図 ..... 12**
**TAP コントローラーのブロック図 ..... 13**
**TAP タイミング ..... 13**
**TAP AC スイッチング特性 ..... 14**
**2.5V TAP AC テスト条件 ..... 15**
**2.5V TAP AC 出力負荷の等価回路 ..... 15**
**TAP DC 電気的特性と動作条件 ..... 15**
**ID レジスタの定義 ..... 16**
**スキャン レジスタ サイズ ..... 16**
**ID コード ..... 16**
**バウンダリ スキャン順序 ..... 17**
**最大定格 ..... 18**
**動作範囲 ..... 18**
**中性子ソフト エラー耐性 ..... 18**
**電気的特性 ..... 18**
**静電容量 ..... 19**
**熱抵抗 ..... 19**
**AC テストの負荷および波形 ..... 19**
**スイッチング特性 ..... 20**
**タイミング図 ..... 21**
**注文情報 ..... 25**
注文コードの定義 ..... 25
**パッケージ図 ..... 26**
**略語 ..... 27**
**本書の表記法 ..... 27**
測定単位 ..... 27
**改訂履歴 ..... 28**
**セールス、ソリューションおよび法律情報 ..... 29**
ワールドワイドな販売と設計サポート ..... 29
製品 ..... 29
PSoC® ソリューション ..... 29
サイプレス開発者コミュニティ ..... 29
テクニカル サポート ..... 29

## ピンのコンフィギュレーション

**図 1. 165 ボール FBGA (15 × 17 × 1.4mm) ピン配置**

CY7C1441KV25 (1M × 36)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| **A** | NC/288M | A | $\overline{CE}_1$ | $\overline{BW}_C$ | $\overline{BW}_B$ | $\overline{CE}_3$ | $\overline{BWE}$ | $\overline{ADSC}$ | $\overline{ADV}$ | A | NC |
| **B** | NC/144M | A | $CE_2$ | $\overline{BW}_D$ | $\overline{BW}_A$ | CLK | $\overline{GW}$ | $\overline{OE}$ | $\overline{ADSP}$ | A | NC/576M |
| **C** | $DQP_C$ | NC | $V_{DDQ}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DDQ}$ | NC/1G | $DQP_B$ |
| **D** | $DQ_C$ | $DQ_C$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_B$ | $DQ_B$ |
| **E** | $DQ_C$ | $DQ_C$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_B$ | $DQ_B$ |
| **F** | $DQ_C$ | $DQ_C$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_B$ | $DQ_B$ |
| **G** | $DQ_C$ | $DQ_C$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_B$ | $DQ_B$ |
| **H** | NC | NC | NC | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | NC | NC | ZZ |
| **J** | $DQ_D$ | $DQ_D$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_A$ | $DQ_A$ |
| **K** | $DQ_D$ | $DQ_D$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_A$ | $DQ_A$ |
| **L** | $DQ_D$ | $DQ_D$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_A$ | $DQ_A$ |
| **M** | $DQ_D$ | $DQ_D$ | $V_{DDQ}$ | $V_{DD}$ | $V_{SS}$ | $V_{SS}$ | $V_{SS}$ | $V_{DD}$ | $V_{DDQ}$ | $DQ_A$ | $DQ_A$ |
| **N** | $DQP_D$ | NC | $V_{DDQ}$ | $V_{SS}$ | NC | A | NC | $V_{SS}$ | $V_{DDQ}$ | NC | $DQP_A$ |
| **P** | NC | NC/72M | A | A | TDI | A1 | TDO | A | A | A | A |
| **R** | MODE | A | A | A | TMS | A0 | TCK | A | A | A | A |

## ピン機能

| ピン名 | I/O | 説明 |
|---|---|---|
| $A_0$、$A_1$、A | 入力 - 同期 | **アドレス入力**。アドレス位置の 1 つを選択するために使用。$\overline{ADSP}$ または $\overline{ADSC}$ がアクティブ LOW であり、$\overline{CE_1}$、$CE_2$、$\overline{CE_3}$ がアクティブの時にサンプリングされた場合、CLK の立ち上がりエッジでサンプリング。$A_{[1:0]}$ は 2 ビット カウンターに供給 |
| $\overline{BW_A}$、$\overline{BW_B}$、$\overline{BW_C}$、$\overline{BW_D}$ | 入力 - 同期 | **バイト書き込み選択入力、アクティブ LOW**。SRAM へのバイト書き込みを実行するために $\overline{BWE}$ で有効にする。CLK の立ち上がりエッジでサンプリング |
| $\overline{GW}$ | 入力 - 同期 | **グローバル書き込みイネーブル 入力、アクティブ LOW**。CLK の立ち上がりエッジで LOW にアサートされた時、グローバル書き込みが実行される ($\overline{BW_X}$ と $\overline{BWE}$ 上の値にかかわらず、全てのバイトは書き込まれる ) |
| CLK | 入力 - クロック | **クロック入力**。デバイスへの全ての同期入力を取り込むために使用。バースト処理中に、$\overline{ADV}$ が LOW にアサートされるとバースト カウンターをインクリメントするためにも使用 |
| $\overline{CE_1}$ | 入力 - 同期 | **チップ イネーブル 1 入力、アクティブ LOW**。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために $CE_2$ と $\overline{CE_3}$ と併用。$\overline{CE_1}$ が HIGH の場合、$\overline{ADSP}$ は無視される。$\overline{CE_1}$ は、新しい外部アドレスがロードされた時にのみサンプリング |
| $CE_2$ | 入力 - 同期 | **チップ イネーブル 2 入力、アクティブ HIGH**。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために $\overline{CE_1}$ と $\overline{CE_3}$ と併用。$CE_2$ は、新しい外部アドレスがロードされた時にのみサンプリング |
| $\overline{CE_3}$ | 入力 - 同期 | **チップ イネーブル 3 入力、アクティブ LOW**。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために $\overline{CE_1}$ と $CE_2$ と併用。$\overline{CE_3}$ は、新しい外部アドレスがロードされた時にのみサンプリング |
| $\overline{OE}$ | 入力 - 非同期 | **出力イネーブル、非同期入力、アクティブ LOW**。I/O ピンの方向を制御。LOW の場合、I/O ピンは出力として機能。HIGH にデアサートされた時、I/O ピンはトライステートになり、入力データ ピンとして機能。デバイスが選択解除状態から復帰した時、$\overline{OE}$ は読み出しサイクルの最初のクロック中にマスクされる |
| $\overline{ADV}$ | 入力 - 同期 | **アドバンス入力信号。**CLK の立ち上がりエッジでサンプリング。アサートされた時、バースト サイクル中に自動的にアドレスをインクリメント |
| $\overline{ADSP}$ | 入力 - 同期 | **プロセッサからのアドレス ストローブ。**CLK の立ち上がりエッジでサンプリング。アクティブ LOW。LOW にアサートされる時、デバイスに供給されたアドレスはアドレス レジスタに取り込まれる。$A_{[1:0]}$ もバースト カウンターにロードされる。$\overline{ADSP}$ と $\overline{ADSC}$ の両方がアサートされた時、$\overline{ADSP}$ のみは認識される。$\overline{CE_1}$ が HIGH にデアサートされた時、$\overline{ADSP}$ は無視される |
| $\overline{ADSC}$ | 入力 - 同期 | **コントローラーからのアドレス ストローブ。**CLK の立ち上がりエッジでサンプリング。アクティブ LOW。LOW にアサートされる時、デバイスに供給されたアドレスはアドレス レジスタに取り込まれる。$A_{[1:0]}$ もバースト カウンターにロードされる。$\overline{ADSP}$ と $\overline{ADSC}$ の両方がアサートされた時、$\overline{ADSP}$ のみは認識される |
| $\overline{BWE}$ | 入力 - 同期 | **バイト書き込みイネーブル入力、アクティブ LOW**。CLK の立ち上がりエッジでサンプリング。バイト書き込みシーケンスを実行するためにこの信号を LOW にアサートすることが必要 |
| ZZ | 入力 - 非同期 | **ZZ スリープ入力、アクティブ HIGH**。HIGH にアサートされた時、デバイスは非タイム クリティカルな「スリープ」状態に入り、データの完全性が維持される。通常動作のために、このピンを LOW にする、またはフローティング状態のままにすることが必要。ZZ ピンは内部プルダウン抵抗に接続 |
| DQs | I/O- 同期 | **双方向データ I/O ライン**。入力として機能している場合、CLK の立ち上がりエッジでトリガーされる内蔵データ レジスタに供給される。出力として機能している場合、読み出しサイクル中に供給されたアドレスで指定されるメモリ位置に含まれるデータを転送。このピンの方向は $\overline{OE}$ で制御。$\overline{OE}$ が LOW にアサートされる時、このピンは出力として機能。HIGH の場合、DQs と DQPX はトライステート状態に移行。出力は、$\overline{OE}$ の状態にかかわらず、書き込みシーケンスのデータ転送の間、デバイスが選択解除状態から復帰してから最初のクロックの間、およびデバイスが選択解除されている時に自動的にトライステートになる |
| $DQP_X$ | I/O- 同期 | **双方向データ パリティ I/O ライン。**機能的には、これら信号は $DQ_s$ と同一。書き込みシーケンスの間、$DQP_x$ は $\overline{BW_X}$ で制御 |

## ピン機能 ( 続き )

| ピン名 | I/O | 説明 |
|---|---|---|
| MODE | 入力 - スタティック | **バースト順序を選択**。GND に接続された場合、リニア バースト シーケンスを選択。$V_{DD}$ に接続される、またはフローティングのままにされた場合、インターリーブ バースト シーケンスを選択。これはストラップ ピンであり、デバイス動作中にスタティックのままにすることが必要。MODE ピンは内部プルアップ抵抗に接続 |
| $V_{DD}$ | 電源 | **デバイス コアの電源入力** |
| $V_{DDQ}$ | I/O 電源 | **I/O 回路の電源** |
| $V_{SS}$ | グランド | **デバイス コアのグランド** |
| $V_{SSQ}$ | I/O グランド | **I/O 回路のグランド** |
| TDO | JTAG シリアル データ同期出力 | **JTAG 回路のシリアル データ出力**。TCK のネガティブ エッジでデータを送信。JTAG 機能を使用しない場合、このピンを未接続にすることが必要 |
| TDI | JTAG シリアル データ同期入力 | **JTAG 回路のシリアル データ入力**。TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを開放にするか、またはプルアップ抵抗を介して $V_{DD}$ に接続することが可能 |
| TMS | JTAG シリアル データ同期入力 | **JTAG 回路のシリアル データ入力**。TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または $V_{DD}$ に接続することが可能 |
| TCK | JTAG- クロック | **JTAG 回路のクロック入力**。JTAG 機能を使用しない場合、このピンを $V_{SS}$ に接続することが必要 |
| NC | – | **未接続**。ダイに内部的に接続されていない |
| NC/72M、NC/144M、NC/288M、NC/576M、NC/1G | – | **未接続**。ダイに内部的に接続されていない。NC/72M、NC/144M、NC/288M、NC/576M および NC/1G はダイに内部で接続されていないアドレス拡張ピン |

## 機能の概要

全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。クロック立ち上がりからの最大アクセス遅延 ($t_{CDV}$) は 6.5ns ( デバイス速度が 133MHz の場合 ) です。

CY7C1441KV25 は、リニアまたはインターリーブ バースト シーケンスを使用するシステムでは二次キャッシュをサポートしています。インターリーブ バースト順序は Pentium プロセッサでサポートされています。バースト順序はユーザーにより選択可能であり、MODE 入力をサンプリングすることで判定されます。アクセスは、$\overline{ADSP}$ または $\overline{ADSC}$ で開始されます。バースト シーケンスを介したアドレスの増加は、$\overline{ADV}$ 入力で制御されます。2 ビットの内蔵ラップアラウンド バースト カウンターは、バースト シーケンスの最初のアドレスを取り込んで、以降のバースト アクセスでは自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル ($\overline{BWE}$) とバイト書き込み選択 ($\overline{BW_X}$) 入力で制御されます。グローバル書き込みイネーブル ($\overline{GW}$) は全てのバイト書き込み入力をオーバーライドし、全 4 バイトにデータを書き込みます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

3 つの同期チップ セレクト ($\overline{CE_1}$、$CE_2$、$\overline{CE_3}$) と非同期出力イネーブル ($\overline{OE}$) 信号は、容易なバンク選択および出力トライステート制御を提供します。$\overline{CE_1}$ が HIGH の場合、$\overline{ADSP}$ は無視されます。

### シングル読み出しアクセス

クロックの立ち上がりで次の条件が満たされると、シングル読み出しアクセスは開始されます : (1) $\overline{CE_1}$、$CE_2$、$\overline{CE_3}$ が全てアクティブにアサートされ、(2) $\overline{ADSP}$ または $\overline{ADSC}$ が LOW にアサートされます ( アクセスが $\overline{ADSC}$ で開始された場合、書き込み入力は最初のサイクルでデアサートする必要があります)。アドレス入力に供給されたアドレスはアドレス レジスタおよびバースト カウンター/制御論理ブロックにラッチされ、メモリ コアに送信されます。$\overline{OE}$ 入力が LOW にアサートされると、クロックの立ち上がりの後に最大 $t_{CDV}$ の間、要求されたデータはデータ出力で使用可能になります。$\overline{CE_1}$ が HIGH の場合、$\overline{ADSP}$ は無視されます。

### $\overline{ADSP}$ で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件が満たされると、このアクセスは開始されます : (1) $\overline{CE_1}$、$CE_2$、$\overline{CE_3}$ が全てアクティブにアサートされ、(2) $\overline{ADSP}$ が LOW にアサートされます。送信されたアドレスはアドレス レジスタにロードされ、バースト入力 ($\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$) はこの最初のクロック サイクルの間無視されます。次のクロックの立ち上がりで書き込み入力がアクティブにアサートされると ( 書き込みを示す対応状態については 8 ページの真理値表を参照 )、対応データはデバイスにラッチされ、書き込まれます。バイト書き込みは可能です。全ての I/O はバイト書き込み中はトライステートになります。これが共通 I/O デバイスであるため、データを DQs に送信する前に、非同期 $\overline{OE}$ 入力信号をデアサートし、I/O をトライステートにする必要があります。安全対策としては、$\overline{OE}$ の状態にかかわらず、書き込みサイクルが検出されるとデータラインはトライステートになります。

### $\overline{ADSC}$ で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件が満たされると、この書き込みアクセスは開始されます : (1) $\overline{CE_1}$、$CE_2$、$\overline{CE_3}$ が全てアクティブにアサートされ、(2) $\overline{ADSC}$ が LOW にアサートされ、(3)

$\overline{ADSP}$ が HIGH にデアサートされ、(4) 書き込み入力信号 ($\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$) が書き込みアクセスを示します。$\overline{ADSP}$ がアクティブ LOW になると $\overline{ADSC}$ は無視されます。

供給されたアドレスはアドレス レジスタとバースト カウンター／制御論理ブロックにロードされ、メモリ コアに送信されます。$DQ_S$ に供給された情報は特定のアドレス位置に書き込まれます。バイト書き込みは可能です。バイト書き込みを含む任意の書き込みが検出されると、全ての I/O はトライステートになります。これが共通 I/O デバイスであるため、データを DQs に送信する前に、非同期 $\overline{OE}$ 入力信号をデアサートし、I/O をトライステートにする必要があります。安全対策としては、OE の状態にかかわらず、書き込みサイクルが検出されるとデータラインはトライステートになります。

## バースト シーケンス

CY7C1441KV25 は、SRAM に 2 ビット ラップアラウンド バースト カウンターを内蔵しています。バースト カウンターは $A_{[1:0]}$ でロードされ、リニアとインターリーブ バースト順序のどちらかに対応できます。バースト順序は、MODE 入力の状態で決まります。MODE が LOW になった場合、リニア バースト シーケンスが選択されます。MODE が HIGH になった場合、インターリーブ バースト順序が選択されます。MODE ピンを開放にすると、デバイスはインターリーブ バースト シーケンスをデフォルト順序にします。

## スリープ モード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力スリープ モードに入ります。このスリープ モードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープ モードに入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープ モードに入る前に、選択解除する必要があります。ZZ 入力が LOW に戻った後、$\overline{CE_1}$、$CE_2$、$\overline{CE_3}$、$\overline{ADSP}$、および $\overline{ADSC}$ は $t_{ZZREC}$ の時間非アクティブのままにする必要があります。

## インターリーブ バースト アドレス表

(MODE = 開放または $V_{DD}$)

| 1 番目のアドレス A1:A0 | 2 番目のアドレス A1:A0 | 3 番目のアドレス A1:A0 | 4 番目のアドレス A1:A0 |
|---|---|---|---|
| 00 | 01 | 10 | 11 |
| 01 | 00 | 11 | 10 |
| 10 | 11 | 00 | 01 |
| 11 | 10 | 01 | 00 |

## リニア バースト アドレス表

(MODE = GND)

| 1 番目のアドレス A1:A0 | 2 番目のアドレス A1:A0 | 3 番目のアドレス A1:A0 | 4 番目のアドレス A1:A0 |
|---|---|---|---|
| 00 | 01 | 10 | 11 |
| 01 | 10 | 11 | 00 |
| 10 | 11 | 00 | 01 |
| 11 | 00 | 01 | 10 |

## ZZ モード電気的特性

| パラメータ | 説明 | テスト条件 | Min | Max | 単位 |
|---|---|---|---|---|---|
| $I_{DDZZ}$ | スリープ モード スタンバイ電流 | ZZ ≥ $V_{DD}$ – 0.2V | – | 89 | mA |
| $t_{ZZS}$ | デバイス動作から ZZ までの時間 | ZZ ≥ $V_{DD}$– 0.2V | – | $2t_{CYC}$ | ns |
| $t_{ZZREC}$ | ZZ 復帰時間 | ZZ ≤ 0.2V | $2t_{CYC}$ | – | ns |
| $t_{ZZI}$ | ZZ アクティブからスリープ電流までの時間 | このパラメータはサンプリング | – | $2t_{CYC}$ | ns |
| $t_{RZZI}$ | ZZ 非アクティブからスリープ電流終了までの時間 | このパラメータはサンプリング | 0 | – | ns |

## 真理値表

以下は CY7C1441KV25 の真理値表です。[1、2、3、4、5]

| サイクルの説明 | 使用するアドレス | $\overline{CE_1}$ | $CE_2$ | $\overline{CE_3}$ | ZZ | $\overline{ADSP}$ | $\overline{ADSC}$ | $\overline{ADV}$ | $\overline{WRITE}$ | $\overline{OE}$ | CLK | DQ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 選択解除サイクル、パワーダウン | 無 | H | X | X | L | X | L | X | X | X | L–H | トライステート |
| 選択解除サイクル、パワーダウン | 無 | L | L | X | L | L | X | X | X | X | L–H | トライステート |
| 選択解除サイクル、パワーダウン | 無 | L | X | H | L | L | X | X | X | X | L–H | トライステート |
| 選択解除サイクル、パワーダウン | 無 | L | L | X | L | H | L | X | X | X | L–H | トライステート |
| 選択解除サイクル、パワーダウン | 無 | X | X | X | L | H | L | X | X | X | L–H | トライステート |
| スリープ モード、パワー ダウン | 無 | X | X | X | H | X | X | X | X | X | X | トライステート |
| 読み出しサイクル、バースト開始 | 外部 | L | H | L | L | L | X | X | X | L | L–H | Q |
| 読み出しサイクル、バースト開始 | 外部 | L | H | L | L | L | X | X | X | H | L–H | トライステート |
| 書き込みサイクル、バースト開始 | 外部 | L | H | L | L | H | L | X | L | X | L–H | D |
| 読み出しサイクル、バースト開始 | 外部 | L | H | L | L | H | L | X | H | L | L–H | Q |
| 読み出しサイクル、バースト開始 | 外部 | L | H | L | L | H | L | X | H | H | L–H | トライステート |
| 読み出しサイクル、バースト継続 | 次 | X | X | X | L | H | H | L | H | L | L–H | Q |
| 読み出しサイクル、バースト継続 | 次 | X | X | X | L | H | H | L | H | H | L–H | トライステート |
| 読み出しサイクル、バースト継続 | 次 | H | X | X | L | X | H | L | H | L | L–H | Q |
| 読み出しサイクル、バースト継続 | 次 | H | X | X | L | X | H | L | H | H | L–H | トライステート |
| 書き込みサイクル、バースト継続 | 次 | X | X | X | L | H | H | L | L | X | L–H | D |
| 書き込みサイクル、バースト継続 | 次 | H | X | X | L | X | H | L | L | X | L–H | D |
| 読み出しサイクル、バースト停止 | 現行 | X | X | X | L | H | H | H | H | L | L–H | Q |
| 読み出しサイクル、バースト停止 | 現行 | X | X | X | L | H | H | H | H | H | L–H | トライステート |
| 読み出しサイクル、バースト停止 | 現行 | H | X | X | L | X | H | H | H | L | L–H | Q |
| 読み出しサイクル、バースト停止 | 現行 | H | X | X | L | X | H | H | H | H | L–H | トライステート |
| 書き込みサイクル、バースト停止 | 現行 | X | X | X | L | H | H | H | L | X | L–H | D |
| 書き込みサイクル、バースト停止 | 現行 | H | X | X | L | X | H | H | L | X | L–H | D |

**注**

1. X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。
2. 1 つ以上のバイト書き込みイネーブル信号と $\overline{BWE}$ = L または $\overline{GW}$ = L の時、$\overline{WRITE}$ = L です。全てのバイト書き込みイネーブル信号、$\overline{BWE}$、$\overline{GW}$ = H の時、$\overline{WRITE}$ = H です。
3. DQ ピンは現行のサイクルと $\overline{OE}$ 信号で制御されます。$\overline{OE}$ は非同期で、クロックと同期してサンプリングされません。
4. $\overline{GW}$、$\overline{BWE}$、または $\overline{BW_X}$ の状態にかかわらず、$\overline{ADSP}$ がアサートされと、SRAM は読み出しサイクルを開始します。

   書き込みは、$\overline{ADSP}$ の後に、または $\overline{ADSC}$ のアサートにより後続のクロック サイクルでのみ行われます。

   従って、出力をトライステートにするために、$\overline{OE}$ を書き込みサイクルの開始前に HIGH に駆動する必要があります。$\overline{OE}$ は書き込みサイクルの後半からは「ドント ケア」です。
5. $\overline{OE}$ は非同期で、クロック立ち上がりと同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスキングされます。読み出しサイクルでは、$\overline{OE}$ が非アクティブになる、またはデバイスが選択解除された場合、全てのデータ ビットはトライステートになります。$\overline{OE}$ がアクティブ (LOW) になった場合、全てのデータ ビットは出力として機能します。

## 書き込み／読み出しの部分真理値表

以下は CY7C1441KV25 の書き込み／読み出しの部分真理値表です。[6、7]

| 機能 (CY7C1441KV25) | $\overline{GW}$ | $\overline{BWE}$ | $\overline{BW_D}$ | $\overline{BW_C}$ | $\overline{BW_B}$ | $\overline{BW_A}$ |
|---|---|---|---|---|---|---|
| 読み出し | H | H | X | X | X | X |
| 読み出し | H | L | H | H | H | H |
| バイト A 書き込み ($DQ_A$、$DQP_A$) | H | L | H | H | H | L |
| バイト B 書き込み ($DQ_B$、$DQP_B$) | H | L | H | H | L | H |
| バイト A、B 書き込み ($DQ_A$、$DQ_B$、$DQP_A$、$DQP_B$) | H | L | H | H | L | L |
| バイト C 書き込み ($DQ_C$、$DQP_C$) | H | L | H | L | H | H |
| バイト C、A 書き込み ($DQ_C$、$DQ_A$、$DQP_C$、$DQP_A$) | H | L | H | L | H | L |
| バイト C、B 書き込み ($DQ_C$、$DQ_B$、$DQP_C$、$DQP_B$) | H | L | H | L | L | H |
| バイト C、B、A 書き込み ($DQ_C$、$DQ_B$、$DQ_A$、$DQP_C$、$DQP_B$、$DQP_A$) | H | L | H | L | L | L |
| バイト D 書き込み ($DQ_D$、$DQP_D$) | H | L | L | H | H | H |
| バイト D、A 書き込み ($DQ_D$、$DQ_A$、$DQP_D$、$DQP_A$) | H | L | L | H | H | L |
| バイト D、B 書き込み ($DQ_D$、$DQ_A$、$DQP_D$、$DQP_A$) | H | L | L | H | L | H |
| バイト D、B、A 書き込み ($DQ_D$、$DQ_B$、$DQ_A$、$DQP_D$、$DQP_B$、$DQP_A$) | H | L | L | H | L | L |
| バイト D、B 書き込み ($DQ_D$、$DQ_B$、$DQP_D$、$DQP_B$) | H | L | L | L | H | H |
| バイト D、B、A 書き込み ($DQ_D$、$DQ_C$、$DQ_A$、$DQP_D$、$DQP_C$、$DQP_A$) | H | L | L | L | H | L |
| バイト D、C、A 書き込み ($DQ_D$、$DQ_B$、$DQ_A$、$DQP_D$、$DQP_B$、$DQP_A$) | H | L | L | L | L | H |
| 全バイト書き込み | H | L | L | L | L | L |
| 全バイト書き込み | L | X | X | X | X | X |

**注**

6. X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。
7. この表では、バイト書き込み組み合わせの一部を一覧表示します。どの $\overline{BW_X}$ の組み合わせも有効です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。
8. $\overline{BWx}$ は任意のバイト書き込み信号 $\overline{BW_X}$ を示します。任意のバイト書き込み $\overline{BW_x}$ を有効にするために、論理 LOW 信号をクロック立ち上がりで適用する必要があります。特定の書き込みに対してバイト書き込みを何件でも同時に有効にすることができます。

## IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)

CY7C1441KV25 は、シリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵しています。このデバイスは、1149.1 に完全に準拠しています。TAP は、JEDEC 標準の 2.5V I/O 論理レベルを使用して動作します。

CY7C1441KV25 は、TAP コントローラー、命令レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタ、および ID レジスタを含んでいます。

### JTAG 機能の無効化

JTAG機能を使用せずにSRAMを実行することができます。TAP コントローラーを無効にするためには、TCK を LOW ($V_{SS}$) に接続してデバイスへのクロック供給を防ぐ必要があります。TDI と TMS は内部でプルアップされ、未接続にされる場合があります。これらは、プルアップ抵抗を介して交互に $V_{DD}$ に接続されることがあります。TDO は未接続にする必要があります。電源投入時にデバイスは、デバイス動作を妨げないリセット状態に入ります。

### テスト アクセス ポート (TAP)

テスト クロック (TCK)

テスト クロックは TAP コントローラーとのみ併用できます。全ての入力を TCK の立ち上がりエッジで取り込みます。全ての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード選択 (TMS)

TMS 入力は、TAP コントローラーにコマンドを送信するために使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このピンはどこにも接続しないことがあります。ボールは内部でプルアップされるため、論理 HIGH レベルになります。

テスト データ入力 (TDI)

TDI ボールは、レジスタに情報をシリアル入力するために使用され、どのレジスタの入力にも接続することができます。TDI と TDO 間の接続レジスタは、TAP 命令レジスタにロードされた命令によって選択されます。命令レジスタにロードする方法については、12 ページの TAP コントローラー状態遷移図を参照してください。アプリケーションで TAP を使用しない場合、TDI は内部でプルアップされ、開放することがあります。TDI はあらゆるレジスタの最上位ビット (MSB) に接続されます。

テスト データ出力 (TDO)

TDO 出力ボールは、レジスタからデータをシリアル出力するために使用されます。TAP ステート マシンの状態に応じて、出力はアクティブになります (16ページの ID コードを参照してください )。出力は TCK の立ち下がりエッジで変化します。TDO は、レジスタの最下位ビット (LSB) に接続されます。

### TAP リセットの実行

リセットは、TCK の 5 つの立ち上がりエッジの間 TMS を HIGH ($V_{DD}$) にすることで実行されます。このリセットは SRAM の動作に影響を与えず、SRAM の動作中に実行できます。

電源投入時に、TDO が High Z 状態に入るために TAP を内部でリセットします。

### TAP レジスタ

TDI と TDO 間にレジスタが接続されており、SRAM テスト回路の入力と出力データをスキャンすることが可能になります。命令レジスタを通して、一度に選択されるレジスタは 1 つのみです。データは TCK の立ち上がりエッジで TDI ボールに順次ロードされます。データは TCK の立ち下がりエッジで TDO ボールに出力されます。

命令レジスタ

3 ビットの命令を命令レジスタに順次ロードすることができます。13 ページの TAP コントローラーのブロック図に示すように、このレジスタは TDI と TDO ボール間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令レジスタにロードされます。前述したように、コントローラーがリセット状態になった場合にも、IDCODE 命令が命令レジスタにロードされます。

TAP コントローラーが Capture-IR 状態になった時、基板レベルのシリアル テスト データ パスの障害分離を可能にするために、2 進数「01」パターンが最下位 2 ビットにロードされます。

バイパス レジスタ

レジスタを通してデータをシフトする際の時間を節約するために、特定のチップをスキップすることが有利な場合もあります。バイパス レジスタは、TDI と TDO ボール間に配置できる 1 ビットのレジスタです。これにより、最小限の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行されると、バイパス レジスタは LOW ($V_{SS}$) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上の全ての入力および双方向ボールに接続されます。

バウンダリ スキャン レジスタは、TAP コントローラーが Capture-DR 状態になった時に RAM I/O リングの内容でロードされます。そしてコントローラーが Shift-DR 状態に入ると、レジスタは TDI と TDO ボール間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、I/O リングの内容を取り込むために使用されます。

バウンダリ スキャン順序表に、ビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つの端子に対応します。レジスタの MSB は TDI に、LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令レジスタにロードされた時、Capture-DR 状態の間に、ID レジスタにベンダー固有の 32 ビット コードがロードされます。IDCODE は SRAM 内に格納され、TAP コントローラーが Shift-DR 状態になるとシフトアウトされます。ID レジスタのベンダー コードおよびその他の情報は 16 ページの ID レジスタの定義を参照してください。

### TAP 命令セット

概要

3 ビットの命令レジスタにより、8 つの異なる命令が可能になります。全ての組み合わせは 16 ページの ID コードに一覧表示されます。これらの命令の内 3 つは RESERVED で、使用できません。残りの 5 つの命令を以下に詳しく説明します。

命令レジスタが TDI と TDO の間に配置されると、命令は Shift-IR 状態の間に TAP コントローラーにロードされます。この状態の間に、命令は命令レジスタを通して TDI ボールから TDO ボー

ルまでシフトされます。シフトインされた命令を実行するために、TAP コントローラーを Update-IR 状態に移行させる必要があります。

*IDCODE*

IDCODE 命令では、ベンダー固有の 32 ビット コードを命令レジスタにロードします。また、命令レジスタを TDI ボールと TDO ボールの間に配置して、TAP コントローラーが Shift-DR 状態に入った時に IDCODE をデバイスからシフトアウトします。

IDCODE 命令は、電源投入時または TAP コントローラーが「Test-Logic-Reset」状態に入る度に、命令レジスタにロードされます。

*SAMPLE Z*

SAMPLE Z 命令では、TAP コントローラーが Shift-DR 状態に入った時にバウンダリ スキャン レジスタを TDI と TDO ピンの間に接続します。SAMPLE Z コマンドにより、「Update IR」状態中に次のコマンドが発行されるまで出力バスがHigh Z状態になります。

*SAMPLE/PRELOAD*

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラーが Capture-DR 状態になると、入力と出力ピン上のデータのスナップショットはバウンダリ スキャン レジスタに取り込まれます。

TAP コントローラー クロックは最大 20MHz の周波数で動作するのに対して、SRAM クロックは桁違いに速い周波数で動作することに注意してください。クロック周波数に大きな差があるため、入力または出力は Capture-DR 状態中に変化する可能性があります。その後、TAP は変化中 ( メタステーブル状態 ) の信号を取り込もうとするかもしれません。これはデバイスに悪影響を与えませんが、取り込まれた値に対する保証はありません。再現性のない結果となる場合があります。

バウンダリ スキャン レジスタが信号の正しい値を取り込むために、SRAM 信号は、TAP コントローラーのキャプチャ セットアップ + ホールド時間 ($t_{CS}$+$t_{CH}$) を満たす十分な安定時間を取る必要があります。SAMPLE/PRELOAD 命令の間にクロックを停止する ( または遅くする ) 方法がデザインにない場合、SRAM クロック入力は正常に取り込まれない場合があります。その場合でも、他のすべての信号を取り込むことはまだ可能で、単にバウンダリ スキャン レジスタに取り込まれたクロックの値を無視してもかまいません。

データが取り込まれると、TAP を Shift-DR 状態に移行させることでデータをシフトアウトすることができます。これにより、バウンダリ スキャン レジスタが TDI と TDO ピンの間に配置されます。

PRELOAD では、他のバウンダリ スキャン テスト動作の選択の前に、初期データ パターンをバウンダリ スキャン レジスタ セルのラッチされたパラレル出力に配置します。

SAMPLE および PRELOAD フェーズ用のデータ シフトは、必要に応じて同時に発生することができます。つまり取り込まれたデータがシフトアウトされている間にプリロード済みのデータがシフトインされます。

*BYPASS*

BYPASS 命令が命令レジスタにロードされ、TAP が Shift-DR 状態になると、バイパスレジスタは TDI と TDO ピンの間に配置されます。BYPASS 命令の利点は、複数のデバイスが基板上で互いに接続されている時にバウンダリ スキャン パスを短縮することです。

*EXTEST*

EXTEST 命令は、プリロードされたデータをシステム出力ピンを通して駆動します。この命令では、Shift-DR 状態の間にシリアル アクセス用にバウンダリ スキャン レジスタを TDI と TDO の間に接続します。

*EXTEST OUTPUT BUS TRI-STATE*

IEEE 標準 1149.1 では、TAP コントローラーは出力バスをトライステートにできる必要があります。

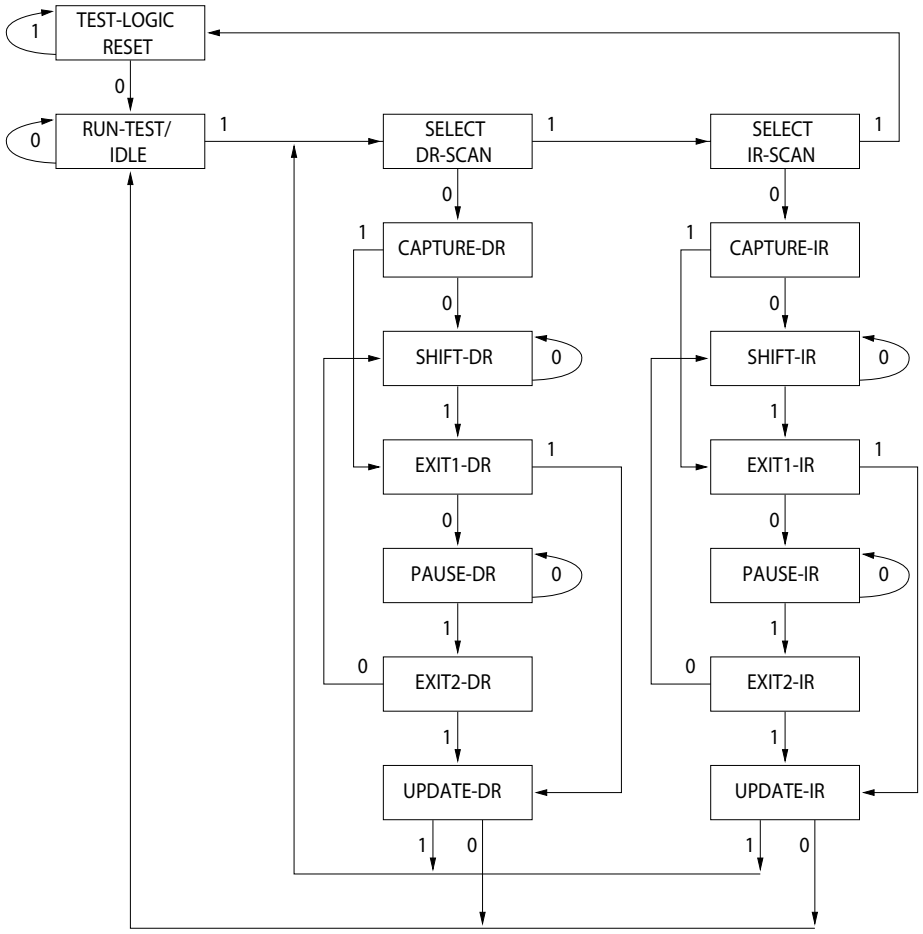
バウンダリ スキャン レジスタには、ビット 89 に位置付けられた特別なビットがあります (165 ボール FBGA パッケージの場合 )。「extest output bus tristate」と呼ばれるこのスキャン セルは、TAP コントローラーで「Update-DR」状態中にプリロード レジスタにラッチされた時、EXTEST が現時点の命令として入力されると、出力 (Q バス ) ピンの状態を直接制御します。このビットは HIGH の時、出力バッファに出力バスを駆動させます。LOW の時、出力バスを High Z 状態に移行させます。

Shift-DR 状態中に、SAMPLE/PRELOAD または EXTEST コマンドを入力して、所望のビットをそのセルにシフトすることでこのビットをセットできます。Update-DR の間に、そのシフト レジスタ セルにロードされた値はプリロード レジスタにラッチします。EXTEST 命令を入力すると、このビットは出力 Q バス ピンを直接制御します。デバイスが電源投入された時や TAP コントローラーが「Test-Logic-Reset」状態になった時に出力を有効にするために、このビットは HIGH にあらかじめセットされることに注意してください。

*Reserved*

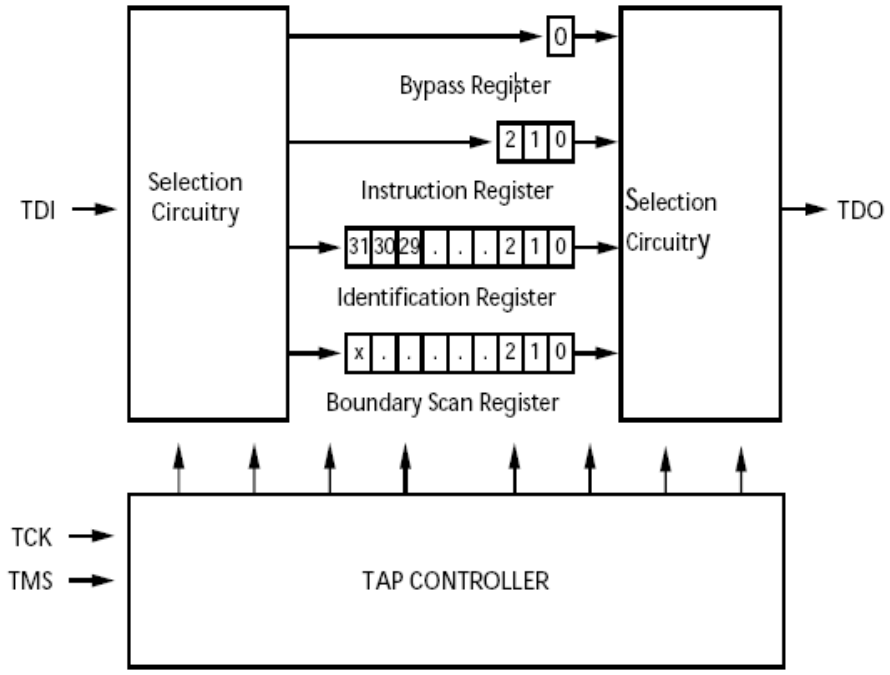
これらの命令は実装されていませんが、将来のために予約されます。これらの命令を使用しないでください。

## TAP コントローラー状態遷移図



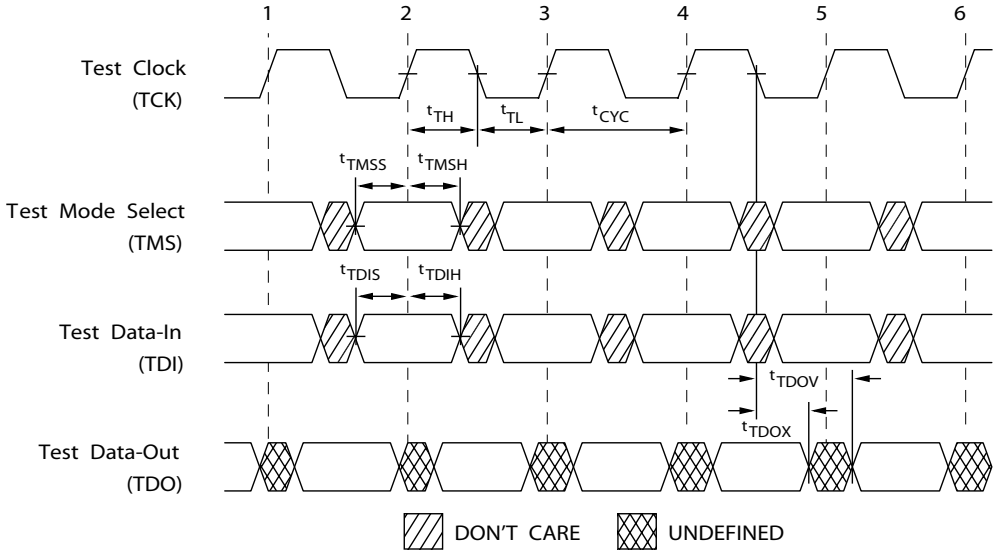

状態遷移の 0/1 は、TCK の立ち上がりエッジでの TMS の値を示します。

## TAP コントローラーのブロック図




## TAP タイミング

**図 2. TAP タイミング**



## TAP AC スイッチング特性

動作範囲において

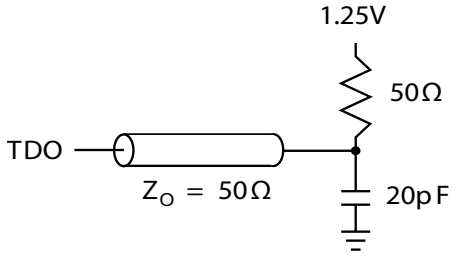
| パラメータ [9、10] | パラメータ | Min | Max | 単位 |
|---|---|---|---|---|
| **クロック** | | | | |
| $t_{TCYC}$ | TCK クロック サイクル時間 | 50 | – | ns |
| $t_{TF}$ | TCK クロック周波数 | – | 20 | MHz |
| $t_{TH}$ | TCK クロック HIGH 時間 | 20 | – | ns |
| $t_{TL}$ | TCK クロック LOW 時間 | 20 | – | ns |
| **出力時間** | | | | |
| $t_{TDOV}$ | TCK クロック LOW から TDO 有効までの時間 | – | 10 | ns |
| $t_{TDOX}$ | TCK クロック LOW から TDO 無効までの時間 | 0 | – | ns |
| **セットアップ時間** | | | | |
| $t_{TMSS}$ | TCK クロックの立ち上がりまでの TMS セットアップ時間 | 5 | – | ns |
| $t_{TDIS}$ | TDI セットアップから TCK クロック立ち上がりまでの時間 | 5 | – | ns |
| $t_{CS}$ | キャプチャ セットアップから TCK 立ち上がりまでの時間 | 5 | – | ns |
| **ホールド時間** | | | | |
| $t_{TMSH}$ | TCK クロック立ち上がり後の TMS ホールド時間 | 5 | – | ns |
| $t_{TDIH}$ | クロック立ち上がり後の TDI ホールド時間 | 5 | – | ns |
| $t_{CH}$ | クロック立ち上がり後のキャプチャ ホールド時間 | 5 | – | ns |

**注**
9. $t_{CS}$ と $t_{CH}$ は、バウンダリ スキャン レジスタからデータをラッチするためのセットアップとホールド時間を示します。
10. テスト条件は、TAP AC テスト条件での負荷を使用して指定されます。$t_R/t_F$ = 2V/ns ( スルー レート )。

## 2.5V TAP AC テスト条件

入力パルス レベル ..... $V_{SS}$ ～ 2.5V
入力の立ち上がりと立ち下がり時間 ( スルーレート ) . 2V/ns
入力タイミングのリファレンス電圧レベル ..... 1.25V
出力のリファレンス電圧レベル ..... 1.25V
テスト負荷終端電源電圧 ..... 1.25V

## 2.5V TAP AC 出力負荷の等価回路




## TAP DC 電気的特性と動作条件

( 特記されていない限り、0 ℃ < $T_A$ < +70 ℃ ; $V_{DD}$ = 2.5V ± 0.125V)

| パラメータ [11] | 説明 | 説明 | 条件 | Min | Max | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH1}$ | 出力 HIGH 電圧 | $I_{OH}$ = –1.0mA | $V_{DDQ}$ = 2.5V | 1.7 | – | V |
| $V_{OH2}$ | 出力 HIGH 電圧 | $I_{OH}$ = –100µA | $V_{DDQ}$ = 2.5V | 2.1 | – | V |
| $V_{OL1}$ | 出力 LOW 電圧 | $I_{OL}$ = 1.0mA | $V_{DDQ}$ = 2.5V | – | 0.4 | V |
| $V_{OL2}$ | 出力 LOW 電圧 | $I_{OL}$ = 100µA | $V_{DDQ}$ = 2.5V | – | 0.2 | V |
| $V_{IH}$ | 入力 HIGH 電圧 | | $V_{DDQ}$ = 2.5V | 1.7 | $V_{DD}$ + 0.3 | V |
| $V_{IL}$ | 入力 LOW 電圧 | | $V_{DDQ}$ = 2.5V | –0.3 | 0.7 | V |
| $I_X$ | 入力負荷電流 | GND ≤ $V_{IN}$ ≤ $V_{DDQ}$ | | –5 | 5 | µA |

**注**
11. 全ての電圧は $V_{SS}$ (GND) を基準にしています。

## ID レジスタの定義

| 命令フィールド | ビットのコンフィギュレーション CY7C1441KV25 (1M × 36) | 説明 |
|---|---|---|
| リビジョン番号 (31:29) | 000 | リビジョン番号を示す |
| デバイス深度 (28:24) | 01011 | 内部使用のために予約済み |
| アーキテクチャとメモリ タイプ (23:18) | 000001 | メモリ タイプとアーキテクチャを定義 |
| バス幅と容量 (17:12) | 100111 | 幅と容量を定義 |
| サイプレスの JEDEC ID コード (11:1) | 00000110100 | SRAM ベンダーを識別 |
| ID レジスタの有無インジケータ (0) | 1 | ID レジスタの有無を示す |

## スキャン レジスタ サイズ

| レジスタ名 | ビット サイズ (×36) |
|---|---|
| 命令バイパス | 3 |
| バイパス | 1 |
| ID | 32 |
| バウンダリ スキャン順序 (165 ボール FBGA パッケージ ) | 89 |

## ID コード

| 命令 | コード | 説明 |
|---|---|---|
| EXTEST | 000 | I/O リングの内容を取り込む |
| IDCODE | 001 | ベンダー ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置。この処理は SRAM 動作に影響を与えない |
| SAMPLE Z | 010 | I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを High Z 状態に移行させる |
| RESERVED | 011 | 未使用 : 将来のために予約される |
| SAMPLE/PRELOAD | 100 | I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。SRAM 動作に影響を与えない |
| RESERVED | 101 | 未使用 : 将来のために予約される |
| RESERVED | 110 | 未使用 : 将来のために予約される |
| BYPASS | 111 | バイパス レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない |

## バウンダリ スキャン順序

165 ボール FBGA [12、13]

**CY7C1441KV25 (1M × 36)**

| ビット番号 | ボール ID |
|---|---|
| 1 | N6 |
| 2 | N7 |
| 3 | N10 |
| 4 | P11 |
| 5 | P8 |
| 6 | R8 |
| 7 | R9 |
| 8 | P9 |
| 9 | P10 |
| 10 | R10 |
| 11 | R11 |
| 12 | H11 |
| 13 | N11 |
| 14 | M11 |
| 15 | L11 |
| 16 | K11 |
| 17 | J11 |
| 18 | M10 |
| 19 | L10 |
| 20 | K10 |
| 21 | J10 |
| 22 | H9 |
| 23 | H10 |
| 24 | G11 |
| 25 | F11 |
| 26 | E11 |
| 27 | D11 |
| 28 | G10 |
| 29 | F10 |
| 30 | E10 |
| 31 | D10 |
| 32 | C11 |
| 33 | A11 |
| 34 | B11 |
| 35 | A10 |
| 36 | B10 |
| 37 | A9 |
| 38 | B9 |
| 39 | C10 |
| 40 | A8 |
| 41 | B8 |
| 42 | A7 |
| 43 | B7 |
| 44 | B6 |
| 45 | A6 |
| 46 | B5 |
| 47 | A5 |
| 48 | A4 |
| 49 | B4 |
| 50 | B3 |
| 51 | A3 |
| 52 | A2 |
| 53 | B2 |
| 54 | C2 |
| 55 | B1 |
| 56 | A1 |
| 57 | C1 |
| 58 | D1 |
| 59 | E1 |
| 60 | F1 |
| 61 | G1 |
| 62 | D2 |
| 63 | E2 |
| 64 | F2 |
| 65 | G2 |
| 66 | H1 |
| 67 | H3 |
| 68 | J1 |
| 69 | K1 |
| 70 | L1 |
| 71 | M1 |
| 72 | J2 |
| 73 | K2 |
| 74 | L2 |
| 75 | M2 |
| 76 | N1 |
| 77 | N2 |
| 78 | P1 |
| 79 | R1 |
| 80 | R2 |
| 81 | P3 |
| 82 | R3 |
| 83 | P2 |
| 84 | R4 |
| 85 | P4 |
| 86 | N5 |
| 87 | P6 |
| 88 | R6 |
| 89 | 内部 |

**注**
12. NC ( 未接続 ) のボールは LOW にプリセットされます。
13. ビット 89 は HIGH にプリセットされます。

## 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザ ガイドラインはテストされていません。

保存温度 .....–65 ℃～ +150 ℃
通電時の周囲温度 .....–55 ℃～ +125 ℃
GND を基準とした $V_{DD}$ 上の電源電圧 .....–0.5V ～ +3.6V
GND を基準とした $V_{DDQ}$ 上の電源電圧 .....–0.5V ～ +$V_{DD}$
トライステート状態の出力に与える DC 電圧 ..... –0.5V ～ $V_{DDQ}$+0.5V
DC 入力電圧 .....–0.5V ～ $V_{DD}$+0.5V
出力 (LOW) への電流 .....20mA
静電放電時の電圧 (MIL-STD-883 準拠、メソッド 3015) .....>2001V
ラッチアップ電流 .....>200mA

## 動作範囲

| レンジ | 周囲温度 | $V_{DD}$ | $V_{DDQ}$ |
|---|---|---|---|
| 産業用 | –40 ℃～ +85 ℃ | 2.5V ± 5% | 2.5 V – 5% ～ $V_{DD}$ |

## 中性子ソフト エラー耐性

| パラメータ | 説明 | テスト条件 | Typ | Max* | 単位 |
|---|---|---|---|---|---|
| LSBU | 論理シングル ビット アップセット | 25 ℃ | 197 | 216 | FIT/Mb |
| LMBU | 論理マルチ ビット アップセット | 25 ℃ | 0 | 0.01 | FIT/Mb |
| SEL | シングル イベント ラッチアップ | 85 ℃ | 0 | 0.1 | FIT/Dev |

* テスト中に LMBU または SEL イベントは発生しない ; 本項は $\chi^2$ 分布の 95% 信頼上限を示す。詳細は、アプリケーション ノート AN54908 「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」 を参照

## 電気的特性

動作範囲において

| パラメータ [14、15] | 説明 | テスト条件 | | Min | Max | 単位 |
|---|---|---|---|---|---|---|
| $V_{DD}$ | 電源電圧 | | | 2.375 | 2.625 | V |
| $V_{DDQ}$ | I/O 電源電圧 | 2.5V I/O の場合 | | 2.375 | $V_{DD}$ | V |
| $V_{OH}$ | 出力 HIGH 電圧 | 2.5V I/O、$I_{OH}$ = –1.0mA の場合 | | 2.0 | – | V |
| $V_{OL}$ | 出力 LOW 電圧 | 2.5V I/O、$I_{OL}$ = 1.0mA の場合 | | – | 0.4 | V |
| $V_{IH}$ | 入力 HIGH 電圧 [14] | 2.5V I/O の場合 | | 1.7 | $V_{DD}$ + 0.3V | V |
| $V_{IL}$ | 入力 LOW 電圧 [14] | 2.5V I/O の場合 | | –0.3 | 0.7 | V |
| $I_X$ | 入力リーク電流 (ZZ と MODE を除く ) | GND ≤ $V_I$ ≤ $V_{DDQ}$ | | –5 | 5 | µA |
| | MODE の入力電流 | 入力 = $V_{SS}$ | | –30 | – | µA |
| | | 入力 = $V_{DD}$ | | – | 5 | µA |
| | ZZ の入力電流 | 入力 = $V_{SS}$ | | –5 | – | µA |
| | | 入力 = $V_{DD}$ | | – | 30 | µA |
| $I_{OZ}$ | 出力リーク電流 | GND ≤ $V_I$ ≤ $V_{DDQ}$、出力が無効 | | –5 | 5 | µA |
| $I_{DD}$ | $V_{DD}$ 動作時供給電流 | $V_{DD}$ = Max、$I_{OUT}$ = 0mA、f = $f_{MAX}$ = 1/$t_{CYC}$ | 7.5ns のサイクル、133MHz | – | 170 | mA |

**注**
14. オーバーシュート : $V_{IH}$(AC) < $V_{DD}$+1.5 V ( パルス幅が $t_{CYC}$/2 未満 )、アンダーシュート : $V_{IL}$(AC) > –2 V ( パルス幅が $t_{CYC}$/2 未満 )。
15. $T_{Power-up}$: 200ms 以内に V ～ $V_{DD(min)}$ のリニア ランプを前提としています。この間では、$V_{IH}$ < $V_{DD}$、$V_{DDQ}$ ≤ $V_{DD}$。

## 電気的特性 ( 続き )

動作範囲において

| パラメータ [14、15] | 説明 | テスト条件 | | Min | Max | 単位 |
|---|---|---|---|---|---|---|
| $I_{SB1}$ | 自動 CE パワーダウン電流 – TTL 入力 | 最大の $V_{DD}$、デバイス選択解除、$V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$、f = $f_{MAX}$、入力スイッチング | 7.5ns のサイクル、133MHz | – | 90 | mA |
| $I_{SB2}$ | 自動 CE パワーダウン電流 – CMOS 入力 | 最大の $V_{DD}$、デバイス選択解除、$V_{IN} \geq V_{DD} - 0.3V$ または $V_{IN} \leq 0.3V$、f = 0、入力スタティック | 7.5ns のサイクル、133MHz | – | 80 | mA |
| $I_{SB3}$ | 自動 CE パワーダウン電流 – CMOS 入力 | 最大の $V_{DD}$、デバイス選択解除、$V_{IN} \geq V_{DDQ} - 0.3V$ または $V_{IN} \leq 0.3V$、f = $f_{MAX}$、入力スイッチング | 7.5ns のサイクル、133MHz | – | 90 | mA |
| $I_{SB4}$ | 自動 CE パワーダウン電流 – TTL 入力 | 最大の $V_{DD}$、デバイス選択解除、$V_{IN} \geq V_{DD} - 0.3V$ または $V_{IN} \leq 0.3V$、f = 0、入力スタティック | 7.5ns のサイクル、133MHz | – | 80 | mA |

## 静電容量

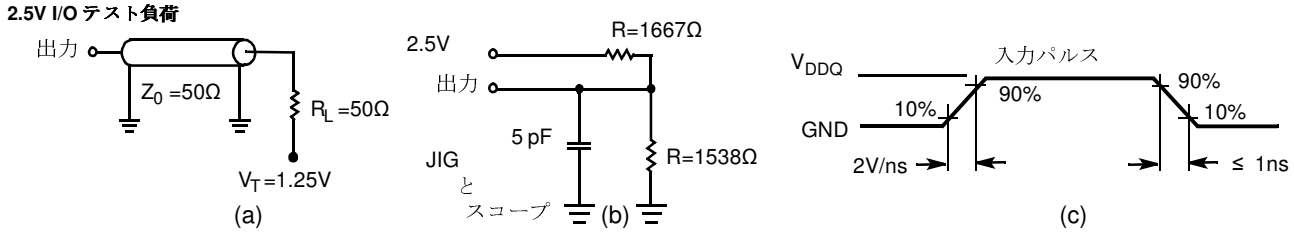
| パラメータ [14] | 説明 | テスト条件 | 165 ボール FBGA Max | 単位 |
|---|---|---|---|---|
| $C_{IN}$ | 入力静電容量 | $T_A$ = 25 ℃、f = 1MHz、$V_{DD}$ = 2.5V、$V_{DDQ}$ = 2.5V | 5 | pF |
| $C_{CLK}$ | クロック入力静電容量 | | 5 | pF |
| $C_{I/O}$ | 入力／出力静電容量 | | 5 | pF |

## 熱抵抗

| パラメータ [14] | 説明 | テスト条件 | | 165 ボール FBGA パッケージ | 単位 |
|---|---|---|---|---|---|
| $Q_{JA}$ | 熱抵抗 ( 接合部から周囲 ) | テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う | エア（0 メートル / 秒）静止付 | 14.24 | ℃/W |
| | | | エアーフロー（1 メートル / 秒） | 12.47 | |
| | | | エアーフロー（3 メートル / 秒） | 11.40 | |
| $Q_{JC}$ | 熱抵抗 ( 接合部からケース ) | | | 3.92 | |
| $Q_{JB}$ | 熱抵抗 (ジャンクションボードへ) | | | 7.19 | |

## AC テストの負荷および波形

**図 3. AC テストの負荷および波形**



## スイッチング特性

動作範囲において

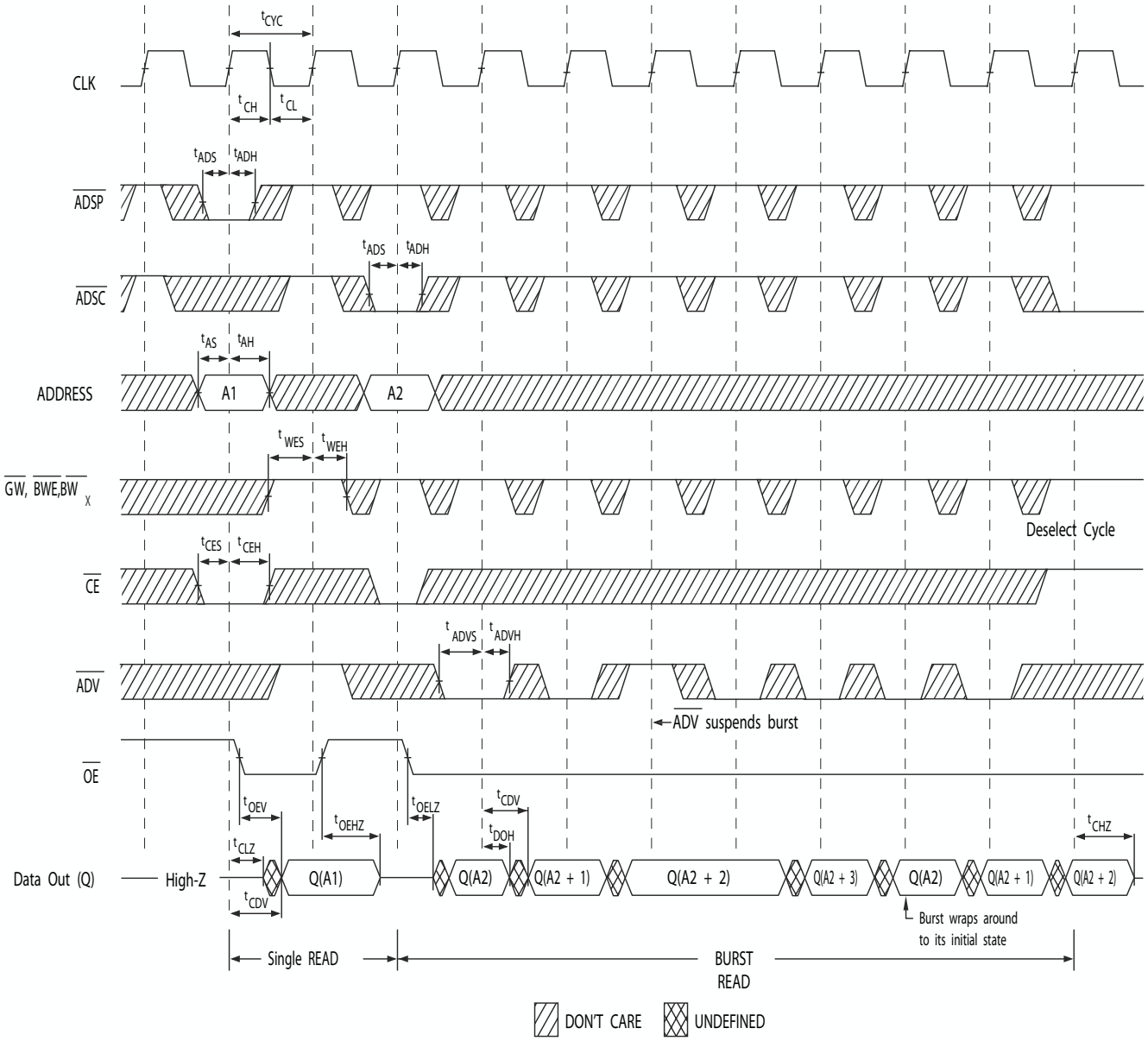
| パラメータ [15、16] | 説明 | -133 | | 単位 |
|---|---|---|---|---|
| | | Min | Max | |
| $t_{POWER}$ | $V_{DD}$ (Typ) から最初のアクセスまでの時間 [17] | 1 | – | ms |
| **クロック** | | | | |
| $t_{CYC}$ | クロック サイクル時間 | 7.5 | – | ns |
| $t_{CH}$ | クロック HIGH 時間 | 2.5 | – | ns |
| $t_{CL}$ | クロック LOW 時間 | 2.5 | – | ns |
| **出力時間** | | | | |
| $t_{CDV}$ | CLK 立ち上がり後のデータ出力有効時間 | – | 6.5 | ns |
| $t_{DOH}$ | CLK 立ち上がり後のデータ出力ホールド時間 | 2.5 | – | ns |
| $t_{CLZ}$ | クロックから Low Z までの時間 [18、19、20] | 2.5 | – | ns |
| $t_{CHZ}$ | クロックから High Z までの時間 [18、19、20] | – | 3.8 | ns |
| $t_{OEV}$ | $\overline{OE}$ LOW から出力有効までの時間 | – | 3.0 | ns |
| $t_{OELZ}$ | $\overline{OE}$ LOW から出力 Low Z までの時間 [18、19、20] | 0 | – | ns |
| $t_{OEHZ}$ | $\overline{OE}$ HIGH から出力 High Z までの時間 [18、19、20] | – | 3.0 | ns |
| **セットアップ時間** | | | | |
| $t_{AS}$ | CLK 立ち上がり前のアドレス セットアップ時間 | 1.5 | – | ns |
| $t_{ADS}$ | CLK 立ち上がり前の $\overline{ADSP}$、$\overline{ADSC}$ セットアップ時間 | 1.5 | – | ns |
| $t_{ADVS}$ | CLK 立ち上がり前の $\overline{ADV}$ セットアップ時間 | 1.5 | – | ns |
| $t_{WES}$ | CLK 立ち上がり前の $\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$ セットアップ時間 | 1.5 | – | ns |
| $t_{DS}$ | CLK 立ち上がり前のデータ入力セットアップ時間 | 1.5 | – | ns |
| $t_{CES}$ | チップ イネーブル セットアップ時間 | 1.5 | – | ns |
| **ホールド時間** | | | | |
| $t_{AH}$ | CLK 立ち上がり後のアドレス ホールド時間 | 0.5 | – | ns |
| $t_{ADH}$ | CLK 立ち上がり後の $\overline{ADSP}$、$\overline{ADSC}$ ホールド時間 | 0.5 | – | ns |
| $t_{WEH}$ | CLK 立ち上がり後の $\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$ ホールド時間 | 0.5 | – | ns |
| $t_{ADVH}$ | CLK 立ち上がり後の $\overline{ADV}$ ホールド時間 | 0.5 | – | ns |
| $t_{DH}$ | CLK 立ち上がり後のデータ入力ホールド時間 | 0.5 | – | ns |
| $t_{CEH}$ | CLK 立ち上がり後のチップ イネーブル ホールド時間 | 0.5 | – | ns |

**注**
14. 開発時とこれらのパラメータに影響を与えることがある設計／プロセス変更があった後テストされます。

**注**
15. $V_{DDQ}$ =2.5V および 0.9V の時、タイミングのリファレンス電圧レベルは 1.25V です。
16. 特記されていない限り、テスト条件は 19 ページの図 3 の (a) に示します。
17. このデバイスは電圧レギュレータを内蔵しています ; $t_{POWER}$ は、読み出しまたは書き込み処理が開始される前に、$V_{DD(minimum)}$ を超えた電源を供給する必要がある時間です。
18. $t_{CHZ}$、$t_{CLZ}$、$t_{OELZ}$、$t_{OEHZ}$ は、19 ページの図 3 の (b) に示した AC テスト条件で指定されます。変化は定常状態での電圧 ± 200mV の電圧レベルで測定されます。
19. 特定の電圧と温度において、同じデータ バスを共用する時、SRAM 間のバス競合を回避するために、$t_{OEHZ}$ は $t_{OELZ}$ より少なく、$t_{CHZ}$ は $t_{CLZ}$ より少ないです。これらの仕様はバス競合条件を示しませんが、最悪の場合のユーザー条件において保証されるパラメータを示します。デバイスは、同じシステム条件の下で Low Z の前に High Z になるために設計されています。
20. このパラメータはサンプリングされ、すべてのデバイスで試験されるわけではありません。

## タイミング図

**図 4. 読み出しサイクル タイミング** [21]

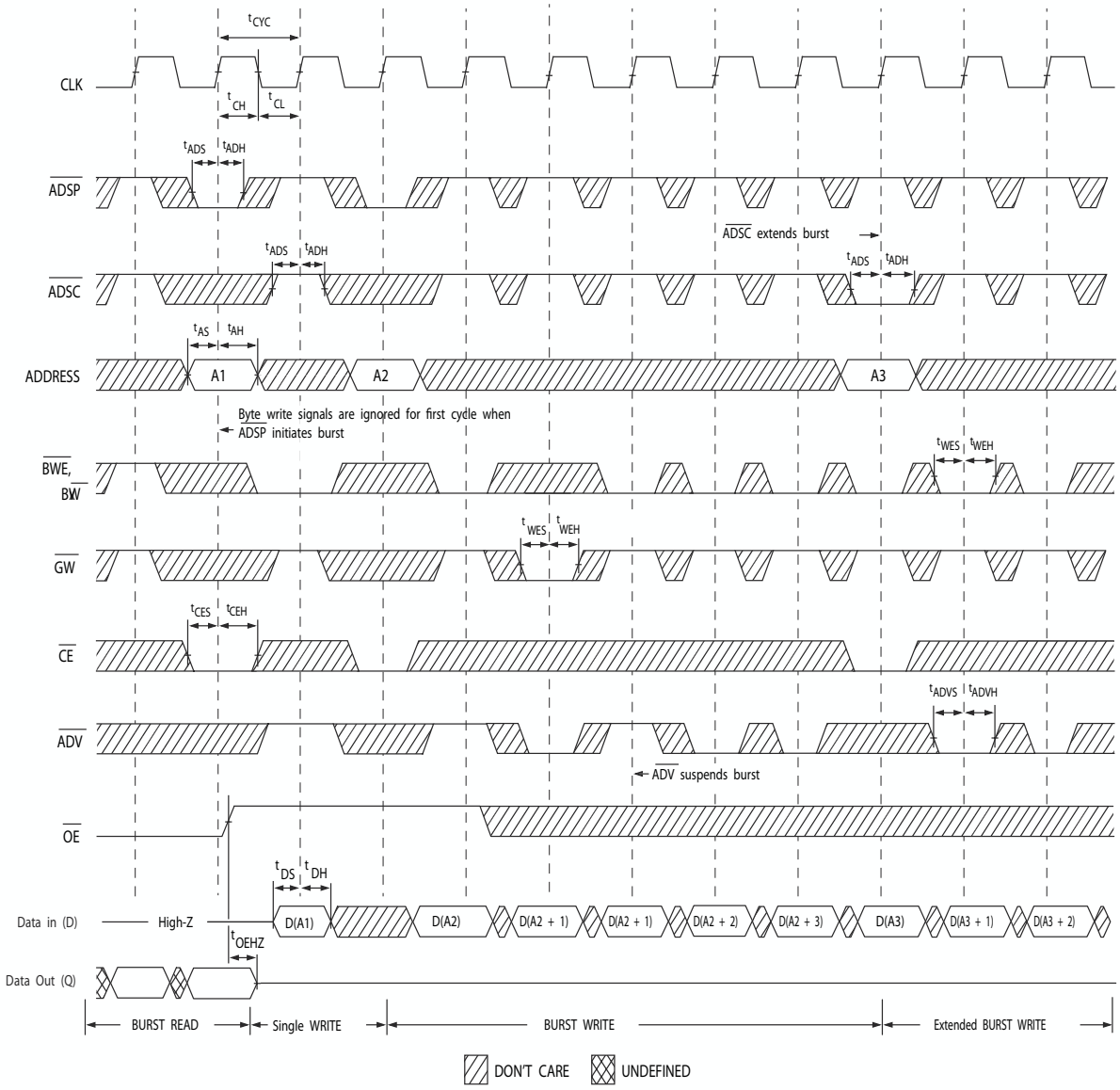



**注**

21. このブロック図では、$\overline{CE}$ が LOW の場合、$\overline{CE_1}$ は LOW、$CE_2$ は HIGH、$\overline{CE_3}$ は LOW です。$\overline{CE}$ が HIGH の場合、$\overline{CE_1}$ は HIGH、または $CE_2$ は LOW、または $\overline{CE_3}$ は HIGH です。

## タイミング図 ( 続き )

**図 5. 書き込みサイクル タイミング** [22、23]



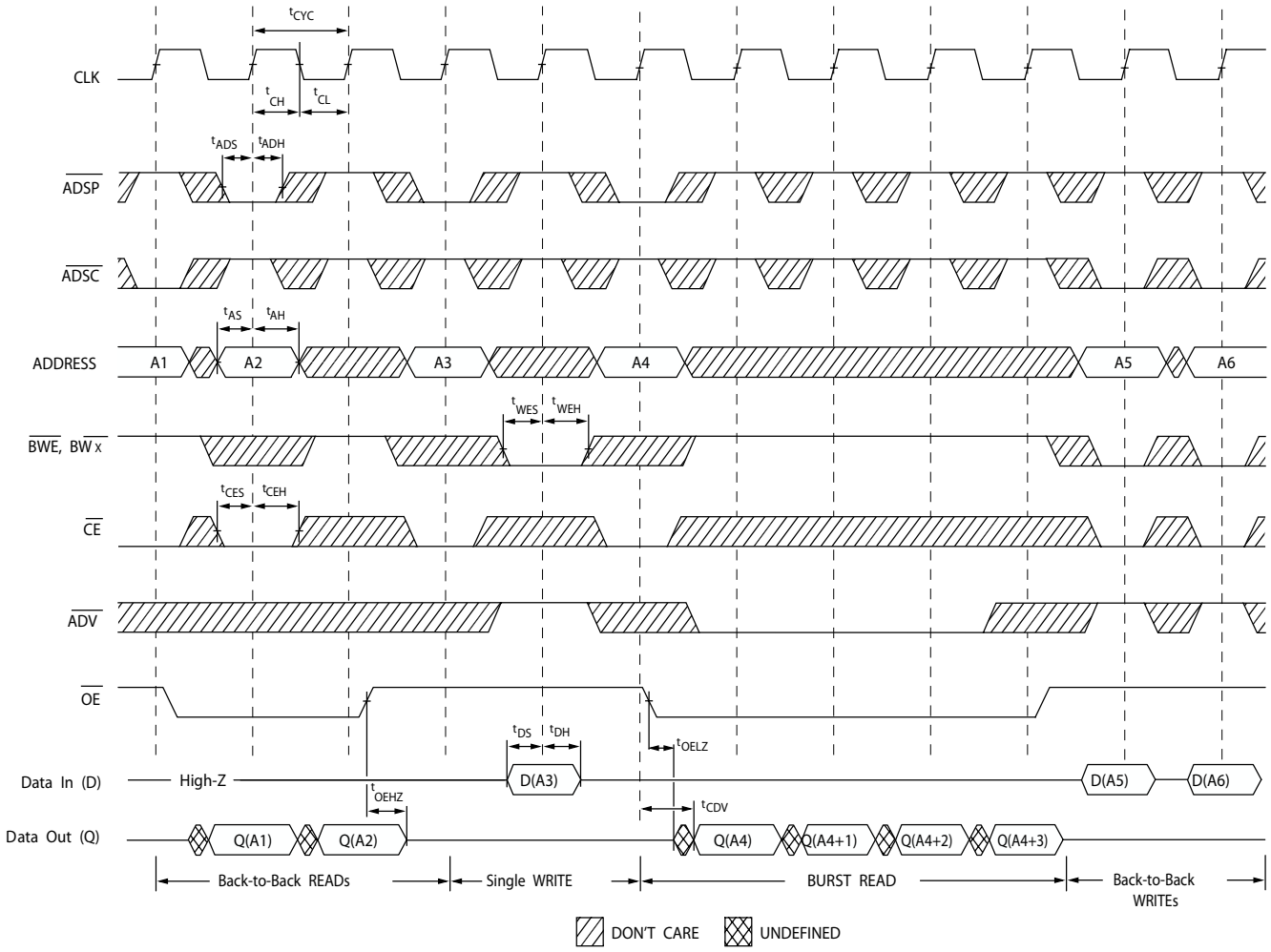

**注**

22. このブロック図では、$\overline{CE}$ が LOW の場合、$\overline{CE_1}$ は LOW、$CE_2$ は HIGH、$\overline{CE_3}$ は LOW です。$\overline{CE}$ が HIGH の場合、$\overline{CE_1}$ は HIGH、または $CE_2$ は LOW、または $\overline{CE_3}$ は HIGH です。

23. フル幅の書き込みは、$\overline{GW}$ が LOW になる、または $\overline{GW}$ が HIGH、$\overline{BWE}$ が LOW、$\overline{BW_X}$ が LOW になると開始できます。

## タイミング図 ( 続き )

**図 6. 読み出し／書き込みサイクル タイミング** [24、25、26]

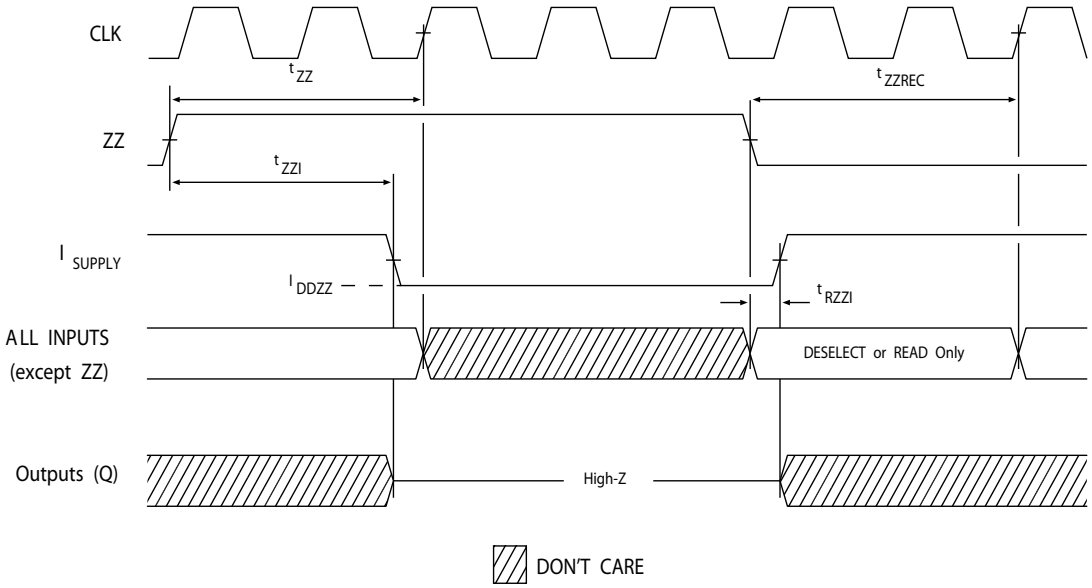



**注**

24. このブロック図では、$\overline{CE}$ が LOW の場合、$\overline{CE_1}$ は LOW、$CE_2$ は HIGH、$\overline{CE_3}$ は LOW です。$\overline{CE}$ が HIGH の場合、$\overline{CE_1}$ は HIGH、または $CE_2$ は LOW、または $CE_3$ は HIGH です。
25. 新しい読み出しアクセスが $\overline{ADSP}$ または $\overline{ADSC}$ により開始されない限り、データ バス (Q) は書き込みサイクルの後 High Z になったままです。
26. $\overline{GW}$ は HIGH です。

## タイミング図 ( 続き )

**図 7. ZZ モード タイミング** [27、28]



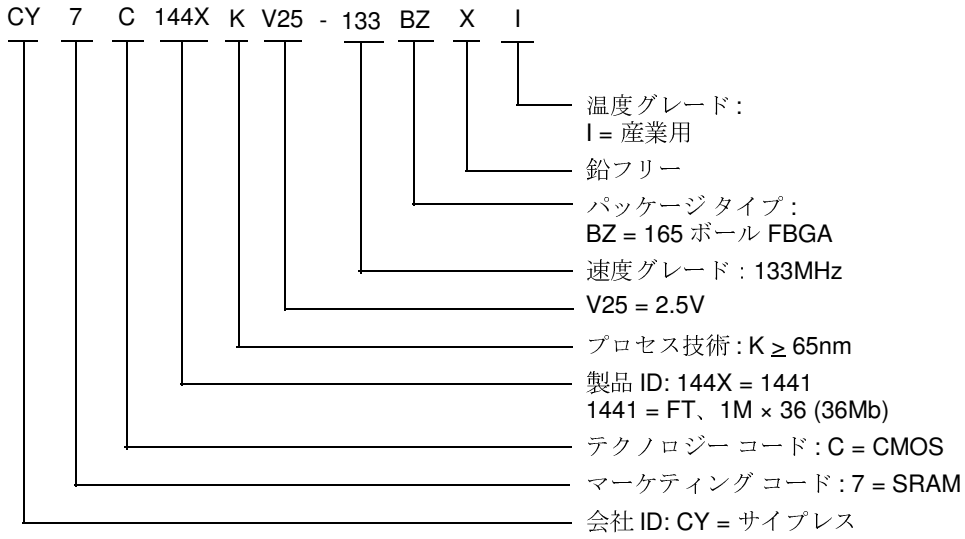

**注**
27. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、8 ページの真理値表を参照してください。
28. ZZ スリープ モードを終了する時、DQ 信号は HIGH Z 状態になります。

## 注文情報

全ての速度、パッケージおよび温度範囲があるわけではありません。実際に提供している製品については、最寄りの販売代理店まで問い合わせる、または www.cypress.com にアクセスしてください。

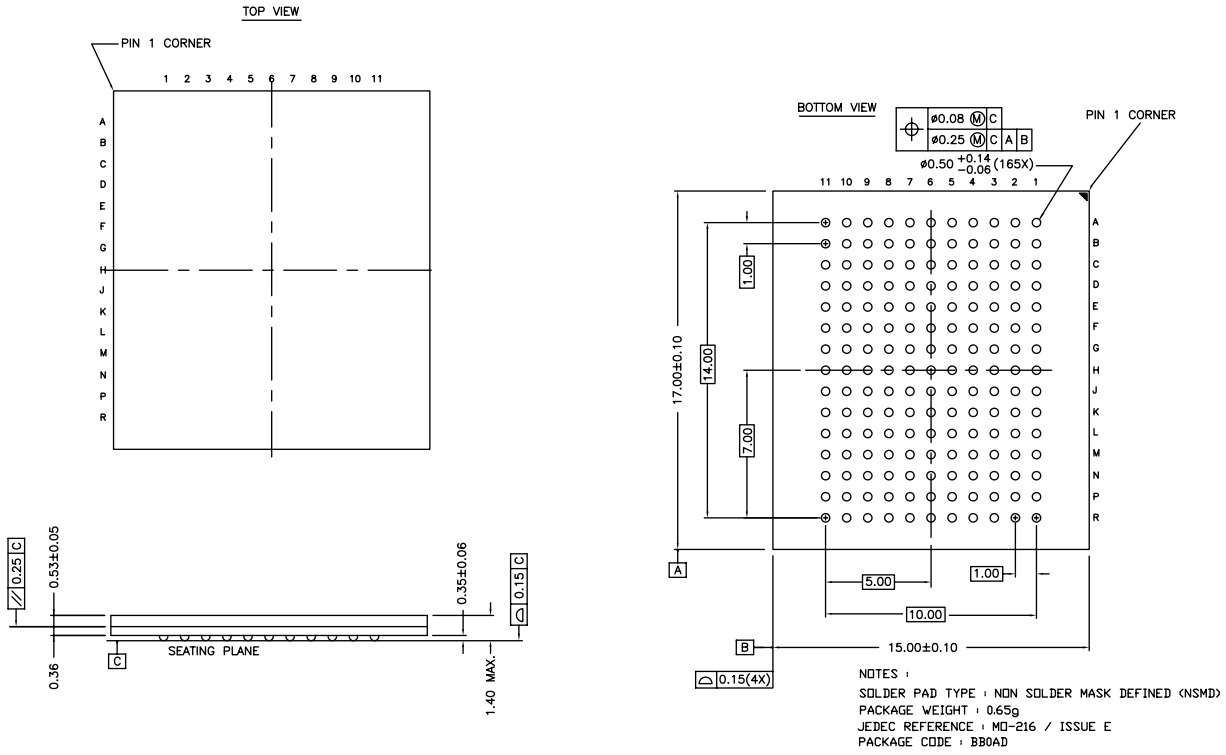
| 速度 (MHz) | 注文コード | パッケージ図 | 製品とパッケージ タイプ | 動作範囲 |
|---|---|---|---|---|
| 133 | CY7C1441KV25-133BZXI | 51-85195 | 165 ボール FBGA (15 × 17 × 1.4mm) 鉛フリー | 産業用 |

### 注文コードの定義



## パッケージ図

**図 8. 165 ボール FBGA (15 × 17 × 1.40mm) (0.50 ボール直径 ) パッケージの外形図、51-85195**




51-85195 *D

## 略語

| 略語 | 説明 |
|---|---|
| $\overline{CE}$ | Chip Enable ( チップ イネーブル ) |
| CMOS | Complementary Metal Oxide Semiconductor ( 相補型金属酸化膜半導体 ) |
| EIA | Electronic Industries Alliance ( 米国電子工業会 ) |
| FBGA | Fine-Pitch Ball Grid Array ( ファイン ピッチ ボール グリッド アレイ ) |
| I/O | Input/Output ( 入力／出力 ) |
| JEDEC | Joint Electron Devices Engineering Council ( 半導体技術協会 ) |
| JTAG | Joint Test Action Group ( ジョイント テスト アクション グループ ) |
| $\overline{OE}$ | Output Enable ( 出力イネーブル ) |
| SRAM | Static Random Access Memory ( スタティック ランダム アクセス メモリ ) |
| TAP | Test Access Port ( テスト アクセス ポート ) |
| TCK | Test Clock ( テスト クロック ) |
| TDI | Test Data-In ( テスト データ入力 ) |
| TDO | Test Data-Out ( テスト データ出力 ) |
| TMS | Test Mode Select ( テスト モード選択 ) |
| TTL | Transistor-Transistor Logic ( トランジスタ - トランジスタ ロジック ) |

## 本書の表記法

### 測定単位

| 記号 | 測定単位 |
|---|---|
| ℃ | 摂氏温度 |
| MHz | メガヘルツ |
| µA | マイクロアンペア |
| mA | ミリアンペア |
| mm | ミリメートル |
| ms | ミリ秒 |
| mV | ミリボルト |
| ns | ナノ秒 |
| Ω | オーム |
| % | パーセント |
| pF | ピコファラッド |
| V | ボルト |
| W | ワット |

## 改訂履歴

| 文書名 : CY7C1441KV25、36M ビット (1M × 36) フロースルー SRAM<br>文書番号 : 001-96010 | | | | |
|---|---|---|---|---|
| 版 | ECN 番号 | 発行日 | 変更者 | 変更内容 |
| ** | 4649265 | 02/03/2015 | HZEN | これは英語版 001-94722 Rev. *A を翻訳した日本語版 001-96010 Rev. ** です。 |
| *A | 4718923 | 04/09/2015 | PRIT | 決勝への変換 |

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

### 製品

| | |
|---|---|
| 車載用 | cypress.com/go/automotive |
| クロック＆バッファ | cypress.com/go/clocks |
| インターフェース | cypress.com/go/interface |
| 照明＆電力制御 | cypress.com/go/powerpsoc<br>cypress.com/go/plc |
| メモリ | cypress.com/go/memory |
| PSoC | cypress.com/go/psoc |
| タッチ センシング | cypress.com/go/touch |
| USB コントローラー | cypress.com/go/USB |
| ワイヤレス／RF | cypress.com/go/wireless |

### PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

### テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation ( サイプレス セミコンダクタ社 ) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード ( ソフトウェアおよび／またはファームウェア ) はサイプレス セミコンダクタ社 ( 以下「サイプレス」) が所有し、全世界の特許権保護 ( 米国およびその他の国 )、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。



i486 は Intel 社の商標、Intel および Pentium は同社の登録商標です。PowerPC は IBM 社の商標です。本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。