CY7C1441KV25

36 Mbit （1 M × 36） 直通 （Flow-Through） SRAM

特性

- 支持 133 MHz 总线操作
- 1 M × 36 通用 I/O
- 2.5 V 内核供电电压
- 2.5 V I/O 供电电压
- 快速的时钟至输出的时间
  - 6.5 ns （133 MHz 版本）
- 提供了高性能的 2-1-1-1 访问速率
- 用户可选的突发计数器支持交错或线性突发序列
- 独立的处理器和控制器地址探针
- 同步自定时写入
- 异步输出使能
- CY7C1441KV25 提供了无铅的 165 球形焊盘 FBGA 封装。
- FBGA 封装的 JTAG 边界扫描
- 提供 ZZ 睡眠模式选项

功能描述

CY7C1441KV25 是 2.5 V、 1 M × 36 同步直通 SRAM，通过它们可以使用最小的胶合逻辑连接至高速微处理器。时钟上升沿上最大的访问延迟为 6.5 ns （133 MHz 器件）。2 位的片上计数器捕获突发序列中的第一个地址，并自动递增其余突发访问的地址。所有同步输入均通过上升沿触发的时钟输入 （CLK）控制的寄存器进行门控。同步输入包括所有地址、所有数据输入、地址流水线芯片使能 （$\overline{CE_1}$）、深度扩展芯片使能 （CE_2 和 $\overline{CE_3}$）、突发控制输入 （$\overline{ADSC}$、 $\overline{ADSP}$ 和 $\overline{ADV}$）、写使能 （$\overline{BW_X}$ 和 $\overline{BWE}$）以及全局写入（$\overline{GW}$）。异步输入包括输出使能（$\overline{OE}$）和ZZ引脚。

CY7C1441KV25允许MODE输入引脚选择交错或线性突发序列。高电平输入选择交错突发序列，而低电平输入选择线性突发序列。通过处理器地址探针 （$\overline{ADSP}$）或缓存控制器地址探针（$\overline{ADSC}$）可以开始突发访问。地址增加由地址增加 （$\overline{ADV}$）输入控制。

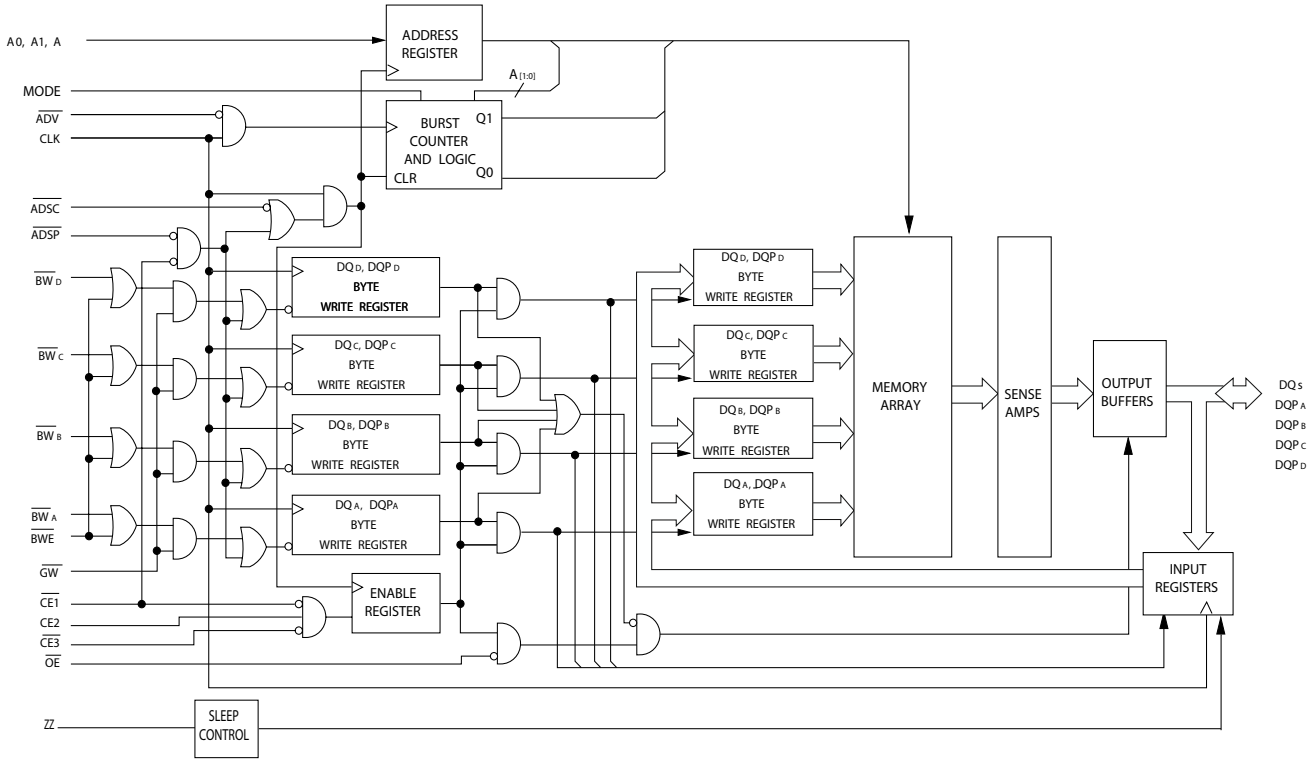
当 $\overline{ADSP}$ 或 $\overline{ADSC}$ 处于活动状态时，地址和芯片使能信号都被寄存在时钟的上升沿上。当 $\overline{ADV}$ 控制后续突发地址时，会内部生成它们。

CY7C1441KV25 运行时的内核供电电压等于或高于 +2.5 V，而所有输出运行时的供电电压为 +2.5 V。所有输入和输出都与 JEDEC 标准 JESD8-5 相兼容。

产品选型指南

说明		133 MHz	单位
最大访问时间		6.5	ns
最大工作电流	× 36	170	mA

逻辑框图 — CY7C1441KV25



目录

引脚配置 4
引脚定义 5
功能概述 6
单一读访问 6
ADSP 启动的单一写访问 6
ADSC 启动的单一写访问 6
突发序列 （Burst Sequences） 6
睡眠模式 7
交错突发地址表 7
线性突发地址表 7
ZZ 模式的电气特性 7
真值表 8
读 / 写操作的局部真值表 9
IEEE 1149.1 串行边界扫描 （JTAG） 10
禁用 JTAG 特性 10
测试访问端口 （TAP） 10
执行 TAP 复位 10
TAP 寄存器 10
TAP 指令集 10
Tap 控制器状态图 12
Tap 控制器框图 13
TAP 时序 13
TAP 交流开关特性 14
2.5 V TAP 交流测试条件 15
2.5 V TAP 交流输出负载等效 15
TAP 直流电气特性与工作条件 15
标识寄存器定义 16
扫描寄存器大小 16
标识代码 16
边界扫描顺序 17
最大额定值 18
工作范围 18
抗中子软失效 （Neutrons Soft Error Immunity） 18
电气特性 18
电容 19
热阻 19
交流测试负载和波形 19
开关特性 20
时序图 21
订购信息 25
订购代码定义 25
封装图 ..... ,26
缩略语 27
文档规范 27
测量单位 27
文档修订记录页 28
销售、解决方案和法律信息 29
全球销售和设计支持 29
产品 29
PSoC® 解决方案 29
赛普拉斯开发者社区 29
技术支持 29

引脚配置

图 1. 165 球形焊盘 FBGA （15 × 17 × 1.4 mm）引脚布局

CY7C1441KV25 (1 M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	$\overline{CE_1}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{CE_3}$	$\overline{BWE}$	$\overline{ADSC}$	$\overline{ADV}$	A	NC
B	NC/144M	A	CE_2	$\overline{BW_D}$	$\overline{BW_A}$	CLK	$\overline{GW}$	$\overline{OE}$	$\overline{ADSP}$	A	NC/576M
C	DQP_C	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC/1G	DQP_B
D	DQ_C	DQ_C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_B	DQ_B
E	DQ_C	DQ_C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_B	DQ_B
F	DQ_C	DQ_C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_B	DQ_B
G	DQ_C	DQ_C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_B	DQ_B
H	NC	NC	NC	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	NC	NC	ZZ
J	DQ_D	DQ_D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_A	DQ_A
K	DQ_D	DQ_D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_A	DQ_A
L	DQ_D	DQ_D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_A	DQ_A
M	DQ_D	DQ_D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ_A	DQ_A
N	DQP_D	NC	V_{DDQ}	V_{SS}	NC	A	NC	V_{SS}	V_{DDQ}	NC	DQP_A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

名称	I/O	说明
A_0、A_1、A	同步输入	**地址输入**。用于选择地址。如果 $\overline{ADSP}$ 或 $\overline{ADSC}$ 为低有效电平，这些输入将在 CLK 的上升沿上采样，另外，$\overline{CE_1}$、CE_2 和 $\overline{CE_3}$ 被有效采样。将 $A_{[1:0]}$ 输入到 2 位计数器。
$\overline{BW_A}$、$\overline{BW_B}$、$\overline{BW_C}$、$\overline{BW_D}$	同步输入	**字节写入选择输入，低电平有效**。同 $\overline{BWE}$ 结合使用，可以将字节写入到 SRAM 内。在 CLK 时钟的上升沿上被采样。
$\overline{GW}$	同步输入	**全局写使能输入，低电平有效**。当在 CLK 上升沿上将该输入置为低电平时，将会执行全局写入（可以写入所有字节，无论 BW_X 和 $\overline{BWE}$ 上的值如何）。
CLK	时钟输入	**时钟输入**。用于将所有同步输入捕获到器件内。另外，在进行突发操作（burst operation）期间，当 $\overline{ADV}$ 为低电平时，可以使用该输入来递增突发计数器。
$\overline{CE_1}$	同步输入	**芯片使能 1 输入，低电平有效**。在 CLK 时钟的上升沿上被采样。同 CE_2 和 $\overline{CE_3}$ 一起使用时，可以选择或取消选择器件。如果 $\overline{CE_1}$ 为高电平，ADSP 将被忽略。只有加载了新的外部地址时，$\overline{CE_1}$ 才被采样。
CE_2	同步输入	**芯片使能 2 输入，高电平有效**。在 CLK 时钟的上升沿上被采样。同 $\overline{CE_1}$ 和 $\overline{CE_3}$ 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时，CE_2 才被采样。
$\overline{CE_3}$	同步输入	**芯片使能 3 输入，低电平有效**。在 CLK 时钟的上升沿上被采样。同 $\overline{CE_1}$ 和 CE_2 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时，$\overline{CE_3}$ 才被采样。
$\overline{OE}$	异步输入	**输出使能，异步输入，低电平有效**。控制 I/O 引脚的方向。置为低电平时，I/O 引脚作为输出使用。当为无效高电平时，I/O 引脚是三态的，并作为输入数据引脚使用。OE 退出取消选择状态后，在读周期的第一个时钟周期内，该信号被屏蔽。
$\overline{ADV}$	同步输入	**高级输入信号。**在 CLK 时钟的上升沿上被采样。激活时，它将自动递增突发周期中的地址。
$\overline{ADSP}$	同步输入	**处理器的地址探针。**在 CLK 时钟的上升沿上被采样，低电平有效。置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 $A_{[1:0]}$ 加载到突发计数器中。ADSP 和 $\overline{ADSC}$ 均被激活时，只有 $\overline{ADSP}$ 被检测。$\overline{CE_1}$ 被取消置位为高电平时，$\overline{ADSP}$ 被忽略。
$\overline{ADSC}$	同步输入	**控制器的地址探针。**在 CLK 时钟的上升沿上被采样，低电平有效。置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 $A_{[1:0]}$ 加载到突发计数器中。ADSP 和 $\overline{ADSC}$ 均被激活时，只有 $\overline{ADSP}$ 被检测。
$\overline{BWE}$	同步输入	**字节写使能输入，低电平有效**。在 CLK 时钟的上升沿上被采样。必须将该信号置低，以执行字节写入。
ZZ	异步输入	**ZZ “ 睡眠 ” 输入，高电平有效**。当该引脚被激活为高电平时，将器件处于非时间关键 “ 睡眠 ” 状态，并保存数据的完整性。正常工作时，必须将该引脚设为低电平或处于悬空状态。ZZ 引脚具有内部下拉电阻。
DQs	同步 I/O	**双向数据 I/O 线**。作为输入使用时，这些线将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上触发。作为输出时，在读周期内，它们将发送包含在存储器位置中由地址所指定的数据。这些引脚的方向由 OE 控制。将 OE 置为低电平时，这些引脚作为输出使用。将 OE 置为高电平时，DQs 和 DQPX 处于三态。无论 OE 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都自动处于三态。
DQP_X	同步 I/O	**双向数据奇偶校验 I/O 线。**从功能的角度来看，这些信号相同于 DQ_s。在写序列中，DQP_x 由 $\overline{BW_X}$ 控制。
MODE	静态输入	**选择突发顺序**。连接到 GND 时，选择线性突发序列。连接到 V_{DD} 或处于悬空时，选择交错突发序列。这是一个短接（strap）引脚，并在器件运行时应保持该引脚的静态状态。 Mode 引脚具有一个内部上拉电阻。
V_{DD}	电源	器件内核的电源输入。
V_{DDQ}	I/O 供电电源	**为 I/O 电路供电**。
V_{SS}	接地	**器件内核的接地引脚**。
V_{SSQ}	I/O 接地	**I/O 电路的接地引脚**。

引脚定义 （续）

名称	I/O	说明
TDO	同步的 JTAG 串行输出	**JTAG 电路的串行数据输出**。在 TCK 的下降沿上发送数据。如果 JTAG 功能不被使用，请不连接该引脚。
TDI	同步的 JTAG 串行输入	**JTAG 电路的串行数据输入**。在 TCK 时钟的上升沿上被采样。如果 JTAG 功能不被使用，该引脚将被悬空或通过上拉电阻连接到 V_{DD}。
TMS	同步的 JTAG 串行输入	**JTAG 电路的串行数据输入**。在 TCK 时钟的上升沿上被采样。如果 JTAG 功能不被使用，该引脚可以被断开或连接到 V_{DD}。
TCK	JTAG 时钟	**JTAG 电路的时钟输入**。如果 JTAG 功能不被使用，请将该引脚连接至 V_{SS}。
NC	–	**无连接**。未内部连接到芯片。
NC/72M、NC/144M、NC/288M、NC/576M、NC/1G	–	**无连接**。未内部连接到芯片。NC/72M、NC/144M、NC/288M、NC/576M 及 NC/1G 是地址扩展引脚，并未内部连接至芯片。

功能概述

所有同步输入均通过由时钟上升沿控制的输入寄存器。从时钟上升沿的最大访问延迟 （t_{CDV}）为 6.5 ns （133 MHz 器件）。

CY7C1441KV25 在采用线性或交错突发序列的系统中支持辅助缓存。交错突发顺序支持 Pentium 处理器。用户可以选择突发顺序，并通过对 MODE 输入进行采样来确定该顺序。通过 $\overline{ADSP}$ 或 $\overline{ADSC}$ 可以开始访问。ADV 输入控制突发序列的地址增加。2 位的片上环绕式突发计数器捕获突发序列中的第一个地址，并自动递增其余突发访问的地址。

字节写操作取决于字节写使能 （$\overline{BWE}$）和字节写选择 （$\overline{BW_X}$）输入。全局写使能 （$\overline{GW}$）覆盖所有字节写输入，并将数据写入到所有四个字节内。通过片上同步自定时写电路，可轻松实现所有写操作。

这些器件提供了三个同步芯片选择 （$\overline{CE_1}$、CE_2、$\overline{CE_3}$）和一个异步输出使能（$\overline{OE}$），从而可以轻松地进行组选择和输出三态控制。如果 $\overline{CE_1}$ 为高电平， $\overline{ADSP}$ 将被忽略。

单一读访问

如果在时钟上升沿上满足以下条件，将启动单个读访问：(1) $\overline{CE_1}$、CE_2 和 $\overline{CE_3}$ 都有效，并且 (2) $\overline{ADSP}$ 或 $\overline{ADSC}$ 为低电平（如果 $\overline{ADSC}$ 启动该访问，必须在该周期内取消置位写输入）。传输到地址输入端的地址被锁存到地址寄存器和突发计数器或控制逻辑内，同时被传输到存储器内核内。如果 $\overline{OE}$ 输入被置为低电平，那么在从时钟上升沿开始计时的 t_{CDV} 时间内，请求数据会被传输到数据输出。如果 $\overline{CE_1}$ 为高电平， $\overline{ADSP}$ 将被忽略。

$\overline{ADSP}$ 启动的单一写访问

如果在时钟上升沿上满足以下条件，将启动该访问：(1) $\overline{CE_1}$、CE_2、$\overline{CE_3}$ 均有效，并且 (2) $\overline{ADSP}$ 为低电平。传输的地址被加载到地址寄存器内，并且突发输入（$\overline{GW}$、$\overline{BWE}$ 和 $\overline{BW_X}$）在第一个时钟周期内被忽略。如果写输入在下一个时钟上升沿上有效（请参考第 8 页上的真值表，了解指示一个写操作的相应状态），那么相应的数据将被锁存并被写入到器件内。允许字节写入。在一个字节写操作中，所有 I/O 均为三态。由于它是一个通用 I/O 器件，因此必须取消置位异步 $\overline{OE}$ 输入信号，而且在向 DQ 传输数据之前， IO 必须处于三态。为安全起见，无论 $\overline{OE}$ 的状态如何，每次检测到写周期时，数据线都进入三态。

$\overline{ADSC}$ 启动的单一写访问

如果在时钟上升沿上满足以下条件，将启动写访问：(1) $\overline{CE_1}$、CE_2 和 $\overline{CE_3}$ 都有效，(2) $\overline{ADSC}$ 为低电平，(3) $\overline{ADSP}$ 取消置位为高电平，以及 (4) 写输入信号 （$\overline{GW}$、$\overline{BWE}$ 和 $\overline{BW_X}$）指示写访问。如果 $\overline{ADSP}$ 为低电平有效，将忽略 $\overline{ADSC}$。

传输的地址被加载到地址寄存器和突发计数器 / 控制逻辑内，并且被传输到存储器内核内。为 DQ_S 提供的信息被写入到已指定的地址位置内。允许字节写入。当检测到写操作时 （即使是字节写入操作），所有 I/O 都处于三态。由于它是一个通用 I/O 器件，因此必须取消置位异步 $\overline{OE}$ 输入信号，而且在向 DQ 传输数据之前， IO 必须处于三态。为安全起见，无论 $\overline{OE}$ 的状态如何，每次检测到写周期时，数据线都进入三态。

突发序列 （Burst Sequences）

CY7C1441KV25 在 SRAM 内提供了一个片上 2 位包裹突发计数器。该突发计数器由 $A_{[1:0]}$ 输入，它可以遵循线性或交错突发顺序。突发顺序由 MODE 输入的状态决定。将 MODE 置为低电平会选择线性突发序列。将 MODE 置为高电平会选择交错突发顺序。如果将该 MODE 输入置于断开连接状态，那么器件将选择默认的交错突发序列。

睡眠模式

ZZ 输入引脚是一个异步输入。置位 ZZ 后，SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时，需要占用两个时钟周期。在该模式中，数据完整性得到保证。不将进入睡眠模式时被挂起的访问视为有效访问，同时不能确保完成该操作。进入睡眠模式之前，必须取消选择该器件。$\overline{CE_1}$、CE_2、$\overline{CE_3}$、ADSP 以及 ADSC 在 ZZ 输入为低电平后的 t_{ZZREC} 时间内必须保持无效状态。

交错突发地址表

（MODE = 悬浮或 V_{DD}）

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

（MODE = GND）

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	ZZ ≥ V_{DD} – 0.2 V	–	89	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	ZZ ≥ V_{DD}– 0.2 V	–	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	ZZ ≤ 0.2 V	$2t_{CYC}$	–	ns
t_{ZZI}	ZZ 从活动状态到进入睡眠电流状态的时间	该参数被采样	–	$2t_{CYC}$	ns
t_{RZZI}	ZZ 从非活动状态到退出睡眠电流的时间	该参数被采样	0	–	ns

真值表

CY7C1441KV25 的真值表如下所示。[1, 2, 3, 4, 5]

周期说明	所使用的地址	$\overline{CE_1}$	CE_2	$\overline{CE_3}$	ZZ	$\overline{ADSP}$	$\overline{ADSC}$	$\overline{ADV}$	$\overline{WRITE}$	$\overline{OE}$	CLK	DQ
取消选择周期、断电	无	H	X	X	L	X	L	X	X	X	L–H	三态
取消选择周期、断电	无	L	L	X	L	L	X	X	X	X	L–H	三态
取消选择周期、断电	无	L	X	H	L	L	X	X	X	X	L–H	三态
取消选择周期、断电	无	L	L	X	L	H	L	X	X	X	L–H	三态
取消选择周期、断电	无	X	X	X	L	H	L	X	X	X	L–H	三态
睡眠模式、断电	无	X	X	X	H	X	X	X	X	X	X	三态
读周期、开始传输	外部	L	H	L	L	L	X	X	X	L	L–H	Q
读周期、开始传输	外部	L	H	L	L	L	X	X	X	H	L–H	三态
写周期、开始传输	外部	L	H	L	L	H	L	X	L	X	L–H	D
读周期、开始传输	外部	L	H	L	L	H	L	X	H	L	L–H	Q
读周期、开始传输	外部	L	H	L	L	H	L	X	H	H	L–H	三态
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	L	L–H	Q
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	H	L–H	三态
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	L	L–H	Q
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	H	L–H	三态
写周期、继续传输	下一个地址	X	X	X	L	H	H	L	L	X	L–H	D
写周期、继续传输	下一个地址	H	X	X	L	X	H	L	L	X	L–H	D
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	L	L–H	Q
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	H	L–H	三态
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	L	L–H	Q
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	H	L–H	三态
写周期、停止传输	当前地址	X	X	X	L	H	H	H	L	X	L–H	D
写周期、停止传输	当前地址	H	X	X	L	X	H	H	L	X	L–H	D

注释：

1. X = “无需关注。” H = 逻辑高电平，L = 逻辑低电平。
2. 任意一个或多个字节写入使能信号和 $\overline{BWE}$ = L 或 $\overline{GW}$ = L 时，$\overline{WRITE}$ = L。所有字节写入使能信号、$\overline{BWE}$、$\overline{GW}$ = H 时，$\overline{WRITE}$ = H。
3. DQ 引脚由当前周期和 $\overline{OE}$ 信号控制。$\overline{OE}$ 是异步信号，并不在时钟边沿上进行采样。
4. 无论 $\overline{GW}$、$\overline{BWE}$ 或 $\overline{BW_X}$ 的状态如何，激活 $\overline{ADSP}$ 时，SRAM 始终会启动读周期。

   $\overline{ADSP}$ 或 $\overline{ADSC}$ 被置为高电平后，在后续时钟周期中才能发生写操作。

   因此，启动写周期前，必须将 $\overline{OE}$ 驱动为高，这样能够使输出处于三态。启动写周期后，$\overline{OE}$ 的状态不再重要。
5. $\overline{OE}$ 是异步信号，并且不能在时钟上升沿上对其进行采样。该信号在写周期中被内部屏蔽。在读周期中，$\overline{OE}$ 为无效或取消选择该器件时，所有数据位均是三态，而且当 $\overline{OE}$ 为低电平有效时，所有数据位都作为输出使用。

读 / 写操作的局部真值表

CY7C1441KV25 读 / 写操作的局部真值表如下所示。[6, 7]

功能 （CY7C1441KV25）	$\overline{GW}$	$\overline{BWE}$	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
读取	H	H	X	X	X	X
读取	H	L	H	H	H	H
写入字节 A （DQ_A、 DQP_A）	H	L	H	H	H	L
写入字节 B （DQ_B、 DQP_B）	H	L	H	H	L	H
写入字节 A、 B （DQ_A、 DQ_B、 DQP_A、 DQP_B）	H	L	H	H	L	L
写入字节 C （DQ_C、 DQP_C）	H	L	H	L	H	H
写入字节 C、 A （DQ_C、 DQ_A、 DQP_C、 DQP_A）	H	L	H	L	H	L
写入字节 C、 B （DQ_C、 DQ_B、 DQP_C、 DQP_B）	H	L	H	L	L	H
写入字节 C、 B、 A （DQ_C、 DQ_B、 DQ_A、 DQP_C、 DQP_B、 DQP_A）	H	L	H	L	L	L
写入字节 D （DQ_D、 DQP_D）	H	L	L	H	H	H
写入字节 D、 A （DQ_D、 DQ_A、 DQP_D、 DQP_A）	H	L	L	H	H	L
写入字节 D、 B （DQ_D、 DQ_A、 DQP_D、 DQP_A）	H	L	L	H	L	H
写入字节 D、 B、 A （DQ_D、 DQ_B、 DQ_A、 DQP_D、 DQP_B、 DQP_A）	H	L	L	H	L	L
写入字节 D、 B （DQ_D、 DQ_B、 DQP_D、 DQP_B）	H	L	L	L	H	H
写入字节 D、 B、 A （DQ_D、 DQ_C、 DQ_A、 DQP_D、 DQP_C、 DQP_A）	H	L	L	L	H	L
写入字节 D、 C、 A （DQ_D、 DQ_B、 DQ_A、 DQP_D、 DQP_B、 DQP_A）	H	L	L	L	L	H
写入所有字节	H	L	L	L	L	L
写入所有字节	L	X	X	X	X	X

注释：

6. X = “ 无需关注。” H = 逻辑高电平， L = 逻辑低电平。
7. 该表只列出了字节写入组合列表的一部分。 $\overline{BW_X}$ 的任意组合均有效。根据有效的字节写入，将执行相应的写操作。
8. $\overline{BWx}$ 表示任意字节写信号 $\overline{BW_X}$。为了使能任意字节的写 $\overline{BW_x}$，应在时钟上升沿上采用逻辑低信号。对于所有写周期，可以同时使能字节写入数量。

IEEE 1149.1 串行边界扫描 （JTAG）

CY7C1441KV25 包含串行边界扫描测试访问端口（TAP）。该器件完全符合 1149.1 标准。TAP 在工作时采用 JEDEC 标准的 2.5 V I/O 逻辑电平。

CY7C1441KV25 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 特性

无需使用 JTAG 特性也可以运行 SRAM。要禁用 TAP 控制器，要将 TCK 置为低电平 （V_{SS}），以防止有额外的时钟输入到器件内。TDI 和 TMS 是内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD}。 TDO 必须保持未连接状态。在上电时，器件会复位，这不会干扰器件的工作。

测试访问端口 （TAP）

测试时钟 （TCK）

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上被捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 （TMS）

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果未使用 TAP，该接口可以保持未连接状态。由于该接口是内部上拉的，因此可产生逻辑高电平。

测试数据输入 （TDI）

TDI 接口用于以串行方式将信息输入到寄存器中，并且可以连接到任何寄存器的输入。 TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令选择。有关加载指令寄存器的信息，请参见第 12 页上的 Tap 控制器状态图。 TDI 是内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器中的最高有效位 （MSB）。

测试数据输出 （TDO）

TDO 输出接口用于以串行方式从寄存器输出时钟数据。输出有效，这取决于 TAP 状态机的当前状态（请参见第 16 页上的标识代码）。输出会在 TCK 的下降沿上改变。 TDO 连接到任何寄存器的最低有效位 （LSB）。

执行 TAP 复位

通过在5个TCK上升沿的时间内将TMS强制置为高电平（V_{DD}），可进行复位。该复位不会影响 SRAM 的工作，并且可以在 SRAM 工作期间执行。

在加电时， TAP 会在内部复位，以确保 TDO 处于高阻态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 接口之间，用于扫描 SRAM 测试电路的数据输入和输出。通过指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 接口。在 TCK 的下降沿上，数据会从 TDO 接口输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 接口之间时被加载，如第 13 页上的 Tap 控制器框图所示。在上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会以二进制 “01” 的形式被加载，以便实现模块级别串行测试数据路径的故障隔离。

旁路寄存器

按照串行方式将数据移位到寄存器时，跳过某些芯片能够节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 接口之间。从而通过 SRAM 移位数据时具有较小的延迟。执行 BYPASS 指令时，旁路寄存器会置为低电平 （V_{SS}）。

边界扫描寄存器

边界扫描寄存器被连接到 SRAM 上的所有输入和双向接口。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM I/O 环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 接口之间。 EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获 I/O 环的内容。

边界扫描顺序表显示了各个位的连接顺序。每个位都对应于 SRAM 封装上的一个管脚。寄存器的 MSB 连接到 TDI， LSB 连接到 TDO。

标识 （ID）寄存器

当指令寄存器中加载了 IDCODE 指令时， ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以移出它。ID 寄存器具有供应商代码和第 16 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现八个不同的指令。第 16 页上的标识代码中列出了所有组合情况。其中三个指令被列为 RESERVED （预留），请勿使用这些指令。下面将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在该状态期间，会通过 TDI 和 TDO 接口将指令移位到指令寄存器内。要在移入该指令后执行它，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供应商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 接口之间，并允许在 TAP 控制器进入 Shift-DR 状态后将 IDCODE 从器件移出。

在上电时，或当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会被加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时， SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于高阻状态，直到在 Update-IR 状态期间提供了下一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是符合 1149.1 标准的强制指令。SAMPLE/PRELOAD 指令被加载到指令寄存器中，并且 TAP 控制器处于 Capture-DR 状态时，输入和输出引脚上数据的快照会被捕获到边界扫描寄存器内。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差异，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间（t_{CS} 和 t_{CH}）的要求。如果在设计中无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的时钟的值即可。

捕获数据后，通过将 TAP 进入 Shift-DR 状态，可以立即移出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据移位可以并发执行，即可以在移出所捕获数据的同时，移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当模块上有多个器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST OUTPUT BUS TRI-STATE

IEEE 标准 1149.1 强制规定，TAP 控制器可以将输出总线置于三态模式。

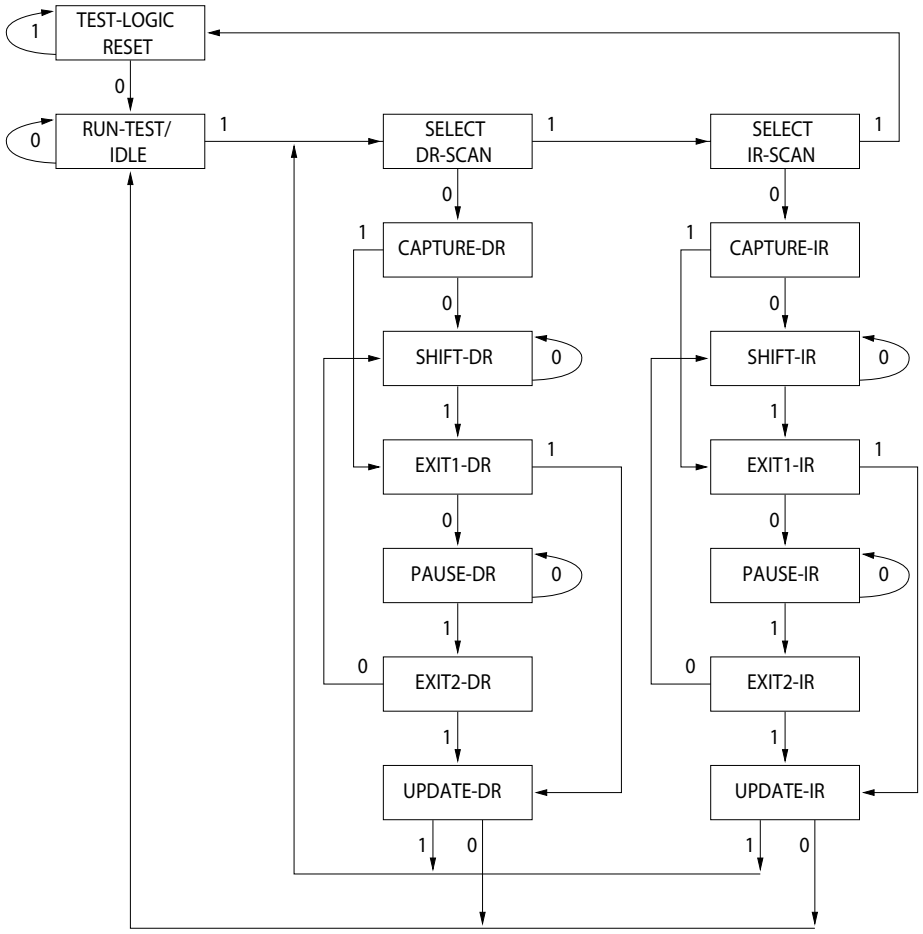
边界扫描寄存器在 89 位上有一个特殊位（用于 165 球形焊盘 FBGA 封装）。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器内处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。在置于低电平时，此位会将输出总线置于 High-Z 状态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位读入到该单元中，即可设置该位。在 Update-DR 期间，被加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，此位会直接控制输出 Q 总线引脚。请注意，该位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，使能输出。

Reserved

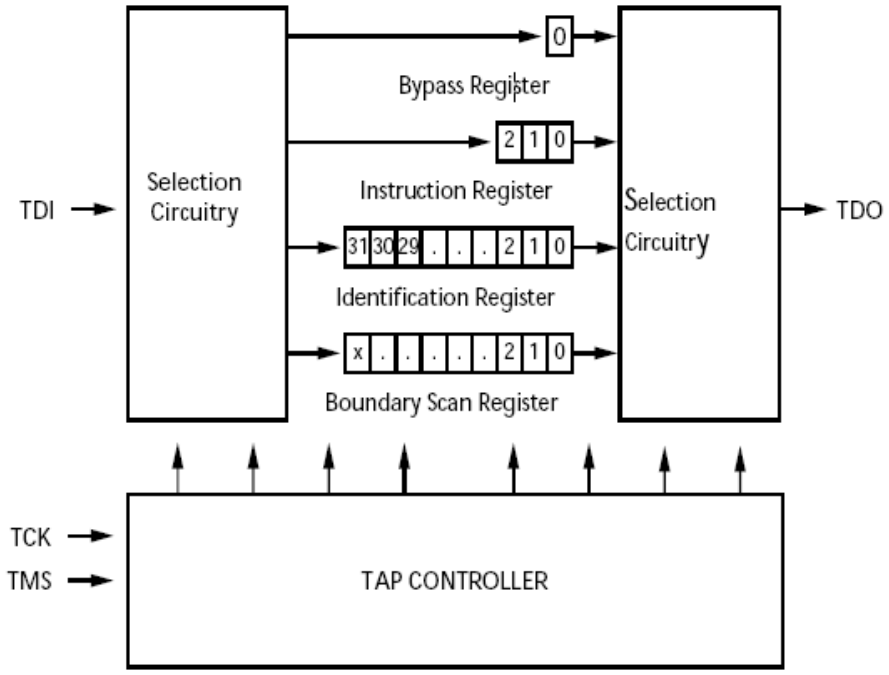
这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

TAP 控制器状态图



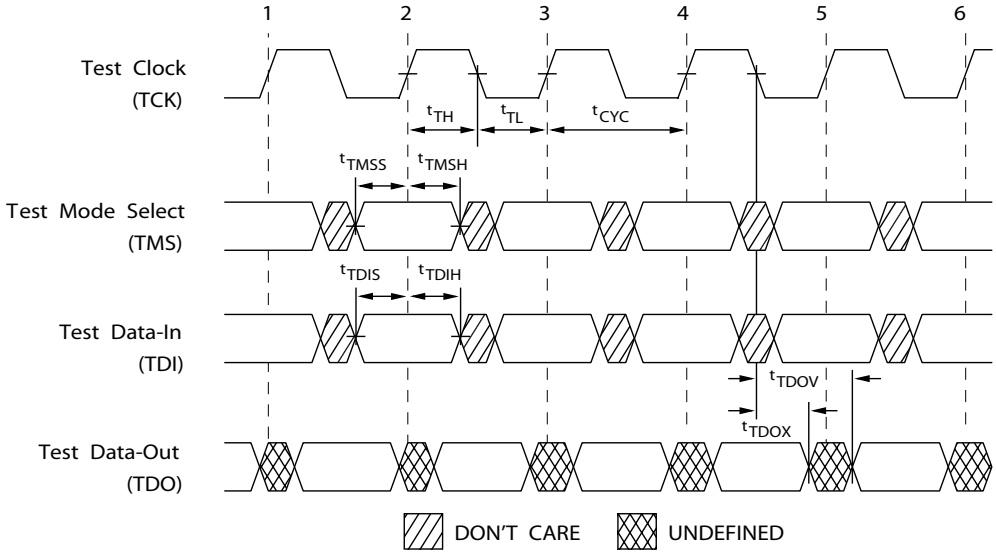
每个状态旁边的 0/1 表示 TCK 上升沿上所对应的 TMS 的值。

TAP 控制器框图



TAP 时序

图 2. TAP 时序



TAP 交流开关特性

在工作范围内

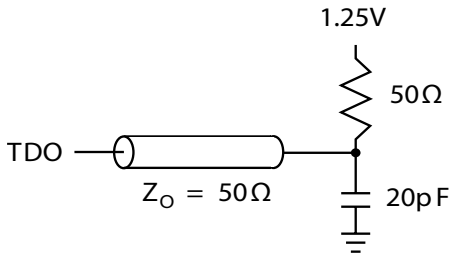
参数[9,10]	参数	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	–	ns
t_{TF}	TCK 时钟频率	–	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	–	ns
t_{TL}	TCK 时钟为低电平的时间	20	–	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低到 TDO 有效的时间	–	10	ns
t_{TDOX}	从 TCK 时钟为低电平到 TDO 无效的时间	0	–	ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5	–	ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5	–	ns
t_{CS}	从捕获建立到 TCK 上升沿的时间	5	–	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿后的 TMS 保持时间	5	–	ns
t_{TDIH}	时钟上升沿后的 TDI 保持时间	5	–	ns
t_{CH}	时钟上升沿后的捕捉保持时间	5	–	ns

注释：
9. t_{CS} 和 t_{CH} 是指从边界扫描寄存器锁存数据所需要的建立和保持时间。
10. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。t_R/t_F = 2 V/ns（转换速率）。

2.5 V TAP 交流测试条件

输入脉冲电平 ..... V_{SS} 到 2.5 V
输入上升和下降时间 （转换速率）..... 2 V/ns
输入时序参考电压 ..... 1.25 V
输出参考电压 ..... 1.25 V
测试负载终端供电电压 ..... 1.25 V

2.5 V TAP 交流输出负载等效



TAP 直流电气特性与工作条件

（除非另有说明，否则其工作条件为：0 °C < T_A < +70 °C； V_{DD} = 2.5 V ± 0.125 V）

参数[11]	说明	说明	条件	最小值	最大值	单位
V_{OH1}	输出高电压	I_{OH} = −1.0 mA	V_{DDQ} = 2.5 V	1.7	–	V
V_{OH2}	输出高电压	I_{OH} = −100 µA	V_{DDQ} = 2.5 V	2.1	–	V
V_{OL1}	输出低电压	I_{OL} = 1.0 mA	V_{DDQ} = 2.5 V	–	0.4	V
V_{OL2}	输出低电压	I_{OL} = 100 µA	V_{DDQ} = 2.5 V	–	0.2	V
V_{IH}	输入高电压		V_{DDQ} = 2.5 V	1.7	V_{DD} + 0.3	V
V_{IL}	输入低电压		V_{DDQ} = 2.5 V	–0.3	0.7	V
I_X	输入负载电流	GND ≤ V_{IN} ≤ V_{DDQ}		–5	5	µA

注释：
11. 所有电压都参考 V_{SS} （接地）电压。

标识寄存器定义

指令字段	位配置 CY7C1441KV25 （1 M × 36）	说明
版本号 （31:29）	000	描述版本编号。
器件深度 （28:24）	01011	保留，以供内部使用。
架构和存储器类型 （23:18）	000001	定义存储器类型和架构。
总线宽度和容量 （17:12）	100111	定义总线的宽度和容量。
赛普拉斯 JEDEC ID 代码 （11:1）	00000110100	允许对 SRAM 供应商使用唯一标识。
ID 寄存器存在指示符 （0）	1	表示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小 （× 36）
指令旁路	3
旁路	1
ID	32
边界扫描顺序 （165 球形焊盘 FBGA 封装）	89

标识代码

指令	代码	说明
EXTEST	000	捕捉 I/O 环内容。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中，并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制使所有 SRAM 输出驱动器均进入高阻态模式。
RESERVED	011	请勿使用：该指令留给将来使用。
SAMPLE/PRELOAD	100	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用：此指令留给将来使用。
RESERVED	110	请勿使用：该指令留给将来使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

边界扫描顺序

165 球形焊盘 FBGA [12, 13]

CY7C1441KV25 （1 M × 36）

位编号	球形焊盘 ID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11

位编号	球形焊盘 ID
26	E11
27	D11
28	G10
29	F10
30	E10
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3

位编号	球形焊盘 ID
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2

位编号	球形焊盘 ID
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注释：
12. NC （未连接）的接口被预设为低电平。
13. 位 #89 被预设为高电平。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存放温度 ..... –65 ℃ ~ +150 ℃

通电时的环境温度..... –55 ℃ ~ +125 ℃

V_{DD} 上相对于 GND 的供电电压 ..... –0.5 V ~ +3.6 V

V_{DDQ} 上相对于 GND 的供电电压..... –0.5 V ~ +V_{DD}

应用于三态模式下的输出直流电压.....–0.5 V ~ V_{DDQ}+ 0.5 V

直流输入电压 .....–0.5 V ~ V_{DD} + 0.5 V

输出电流 （低电平）.....20 mA

静电放电电压
（根据 MIL-STD-883，方法 3015） ..... > 2001 V

栓锁电流 .....> 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
工业级	–40 ℃ ~ +85 ℃	2.5 V ± 5%	2.5 V – 5% 至 V_{DD}

抗中子软失效 （Neutrons Soft Error Immunity）

参数	说明	测试条件	典型值	最大值 *	单位
LSBU	逻辑单比特错误	25 ℃	197	216	FIT/Mb
LMBU	逻辑多比特错误	25 ℃	0	0.01	FIT/Mb
SEL	单粒子闩锁	85 ℃	0	0.1	FIT/Dev

* *测试期间未发生 LMBU 或 SEL 事件*：该列为统计得出的 χ^2，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN 54908“ 加速抗中子 SER 测试和陆生故障率的计算 ”。

电气特性

在工作范围内

参数[14, 15]	说明	测试条件		最小值	最大值	单位
V_{DD}	电源电压			2.375	2.625	V
V_{DDQ}	I/O 供电电压	2.5 V I/O		2.375	V_{DD}	V
V_{OH}	高电压输出	2.5 V I/O， I_{OH} = –1.0 mA		2.0	–	V
V_{OL}	低电压输出	2.5 V I/O， I_{OL} = 1.0 mA		–	0.4	V
V_{IH}	高电压输入[14]	2.5 V I/O		1.7	V_{DD} + 0.3 V	V
V_{IL}	低电压输入[14]	2.5 V I/O		–0.3	0.7	V
I_X	输入漏电流 （ZZ 和 MODE 除外）	GND ≤ V_I ≤ V_{DDQ}		–5	5	µA
	MODE 的输入电流	输入电压 = V_{SS}		–30	–	µA
		输入电压 = V_{DD}		–	5	µA
	ZZ 的输入电流	输入 = V_{SS}		–5	–	µA
		输入 = V_{DD}		–	30	µA
I_{OZ}	输出漏电流	GND ≤ V_I ≤ V_{DDQ}, 输出被禁用		–5	5	µA
I_{DD}	V_{DD} 工作供电电流	V_{DD} = 最大值， I_{OUT} = 0 mA，f = f_{MAX} = 1/t_{CYC}	7.5 ns 周期，133 MHz	–	170	mA

注释：

14. 过冲：V_{IH}(AC) < V_{DD} + 1.5 V （脉冲宽度小于 t_{CYC}/2），下冲：V_{IL}(AC) > –2 V （脉冲宽度小于 t_{CYC}/2）。
15. $T_{Power\text{-}up}$：假设在 200 ms 内，线性斜坡从 0 V 到 $V_{DD(min)}$。在此期间， V_{IH} < V_{DD} 且 V_{DDQ} ≤ V_{DD}。

电气特性 （续）

在工作范围内

参数[14, 15]	说明	测试条件		最小值	最大值	单位
I_{SB1}	自动 CE 断电电流 — TTL 输入	V_{DD} = 最大值，未选择器件，$V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$， f = f_{MAX}，输入切换	7.5 ns 周期，133 MHz	–	90	mA
I_{SB2}	自动 CE 断电电流 — CMOS 输入	V_{DD} = 最大值，未选择器件，$V_{IN} \geq V_{DD} - 0.3$ V 或 $V_{IN} \leq 0.3$ V，f = 0，输入静态	7.5 ns 周期，133 MHz	–	80	mA
I_{SB3}	自动 CE 断电电流 — CMOS 输入	V_{DD} = 最大值，未选择器件，$V_{IN} \geq V_{DDQ} - 0.3$ V 或 $V_{IN} \leq 0.3$ V，f = f_{MAX}，输入切换	7.5 ns 周期，133 MHz	–	90	mA
I_{SB4}	自动 CE 断电电流 — TTL 输入	V_{DD} = 最大值，取消选择器件，$V_{IN} \geq V_{DD} - 0.3$ V 或 $V_{IN} \leq 0.3$ V，f = 0，输入静态	7.5 ns 周期，133 MHz	–	80	mA

电容

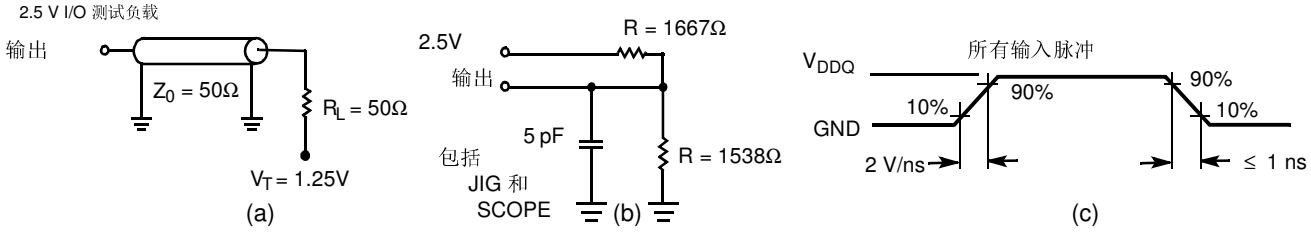
参数[14]	说明	测试条件	165 球形焊盘的 FBGA 最大值	单位
C_{IN}	输入电容	T_A = 25 °C， f = 1 MHz， V_{DD} = 2.5 V，V_{DDQ} = 2.5 V	5	pF
C_{CLK}	时钟输入电容		5	pF
$C_{I/O}$	输入 / 输出电容		5	pF

热阻

参数[14]	说明	测试条件		165 球形焊盘的 FBGA 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	与静止空气中 （0 米 / 秒）	14.24	°C/W
			用空气流量 （1 米 / 秒）	12.47	
			用空气流量 （3 米 / 秒）	11.40	
Θ_{JC}	热阻 （结至外壳）			3.92	
Θ_{JB}	热阻 （结到板）			7.19	

交流测试负载和波形

图 3. 交流测试负载和波形



注释：

14. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。

开关特性

在工作范围内

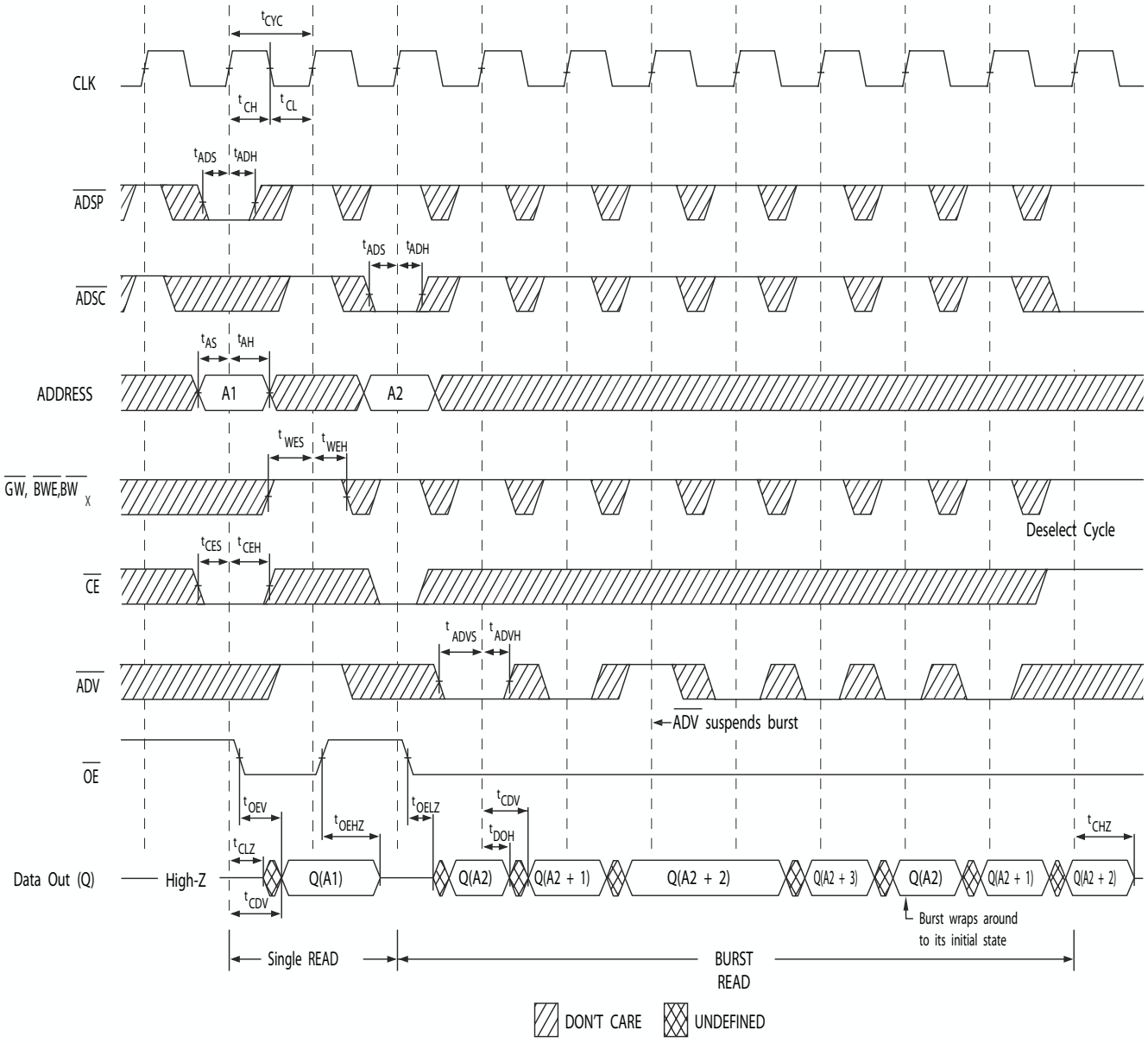
参数 [15, 16]	说明	-133		单位
		最小值	最大值	
t_{POWER}	从 V_{DD} （典型值）到第一次访问的时长 [17]	1	–	ms
时钟				
t_{CYC}	时钟周期时间	7.5	–	ns
t_{CH}	时钟为高电平的时间	2.5	–	ns
t_{CL}	时钟为低电平的时间	2.5	–	ns
输出时间				
t_{CDV}	CLK 上升沿后数据输出有效的时间	–	6.5	ns
t_{DOH}	CLK 上升沿后数据输出的保持时间	2.5	–	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 [18, 19, 20]	2.5	–	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 [18, 19, 20]	–	3.8	ns
t_{OEV}	$\overline{OE}$ 为低电平到输出有效的时间	–	3.0	ns
t_{OELZ}	$\overline{OE}$ 为低电平到输出为低阻态的时间 [18,19,20]	0	–	ns
t_{OEHZ}	$\overline{OE}$ 为高电平到输出为高阻态的时间 [18, 19, 20]	–	3.0	ns
建立时间				
t_{AS}	CLK 上升沿前的地址建立时间	1.5	–	ns
t_{ADS}	CLK 上升沿前的 $\overline{ADSP}$、$\overline{ADSC}$ 建立时间	1.5	–	ns
t_{ADVS}	CLK 上升沿前的 $\overline{ADV}$ 建立时间	1.5	–	ns
t_{WES}	CLK 上升沿前的 $\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$ 建立时间	1.5	–	ns
t_{DS}	CLK 上升沿前的数据输入建立时间	1.5	–	ns
t_{CES}	芯片使能的建立时间	1.5	–	ns
保持时间				
t_{AH}	CLK 上升沿后的地址保持时间	0.5	–	ns
t_{ADH}	CLK 上升沿后的 $\overline{ADSP}$、$\overline{ADSC}$ 保持时间	0.5	–	ns
t_{WEH}	CLK 上升沿后的 $\overline{GW}$、$\overline{BWE}$、$\overline{BW_X}$ 保持时间	0.5	–	ns
t_{ADVH}	CLK 上升沿后的 $\overline{ADV}$ 保持时间	0.5	–	ns
t_{DH}	CLK 上升沿后数据输入的保持时间	0.5	–	ns
t_{CEH}	CLK 上升沿后芯片使能的保持时间	0.5	–	ns

注释：

15. V_{DDQ} = 2.5 V 和 0.9 V 时，时序参考电压为 1.25 V。
16. 除非另有说明，否则测试条件都如第 19 页上的图 3 的 (a) 情况显示。
17. 该器件内部拥有一个电压调节器；t_{POWER} 是指启动读操作或写操作前提供的电源必须高于 $V_{DD(minimum)}$ 所持续的时间。
18. t_{CHZ}、t_{CLZ}、t_{OELZ} 和 t_{OEHZ} 都在第 19 页上的图 3 的 (b) 部分所示的交流电测试条件下指定的。跃变在稳定状态电压 ± 200 mV 的条件下测量。
19. 在任何给定的电压和温度中，t_{OEHZ} 小于 t_{OELZ}，t_{CHZ} 小于 t_{CLZ}，这样在共享同一个数据总线时能够排除总线冲突。这些规范并不表示一个总线冲突状态，但反映各个参数在最坏的情况下得到保证。设计器件的目的在于在同一个系统条件下进入低阻态前要进入高阻态。
20. 该参数定期采样，并非 100% 经过了测试。

时序图

图 4. 读周期时序 [21]

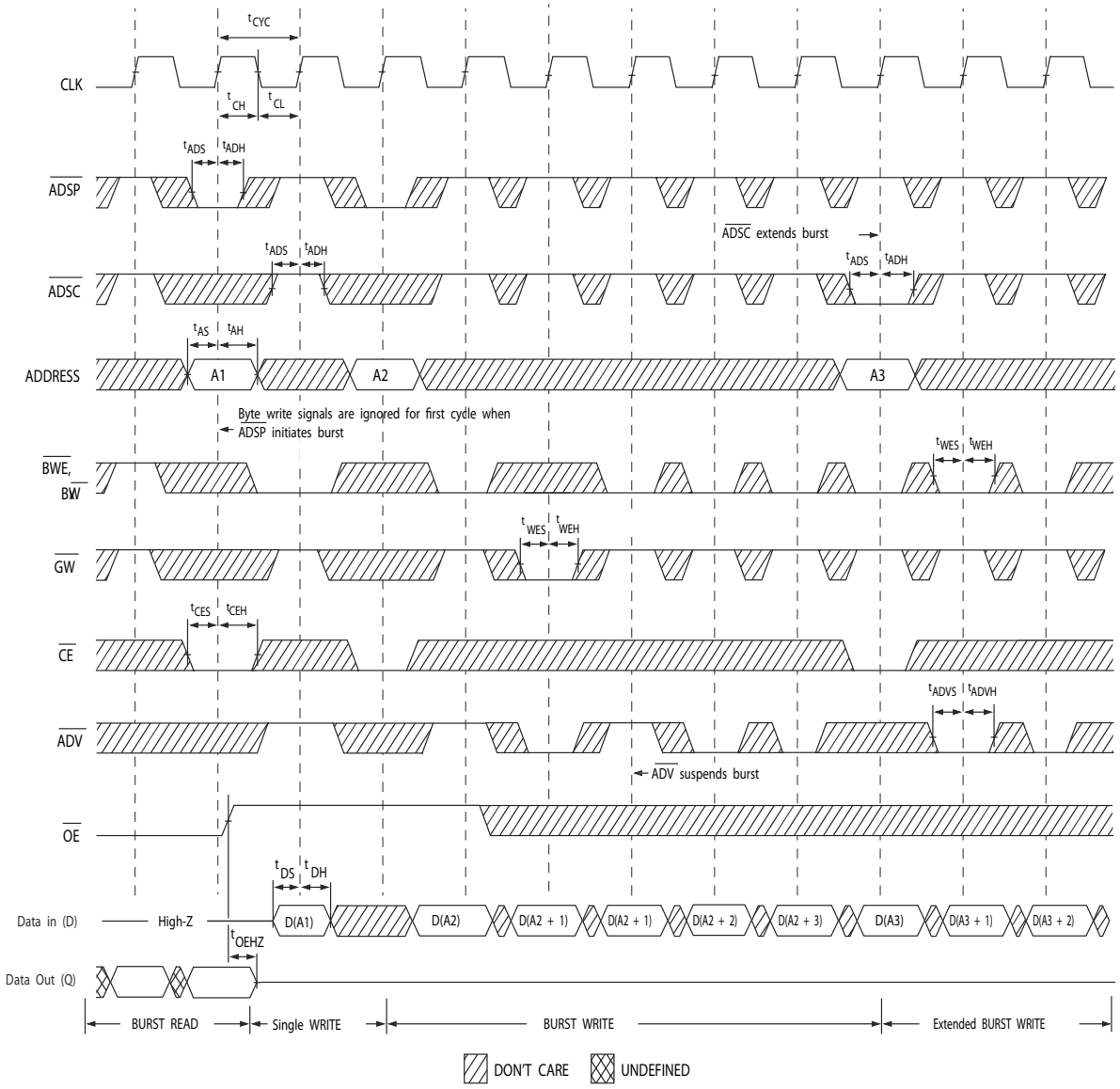


注释：

21. 在该框图中，当 $\overline{CE}$ 为低电平时：$\overline{CE_1}$ 为低电平，$\overline{CE_3}$ 为低电平；而 CE_2 为高电平。当 $\overline{CE}$ 为高电平时：$\overline{CE_1}$ 为高电平，或 $\overline{CE_3}$ 为高电平，或 CE_2 为低电平。

时序图 （续）

图 5. 写周期时序 [22, 23]



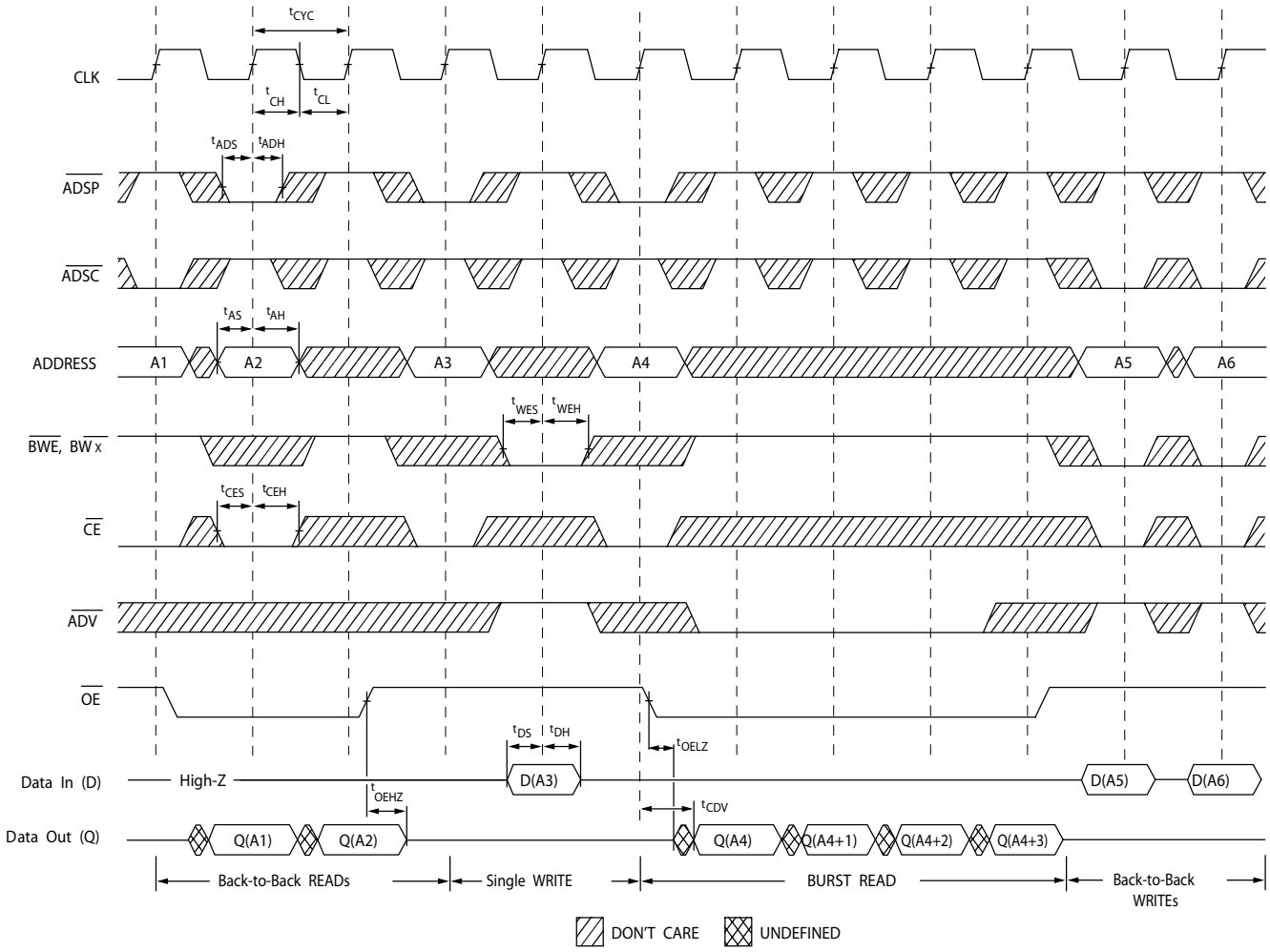
注释：

22. 在该框图中，当 $\overline{CE}$ 为低电平时：$\overline{CE_1}$ 和 $\overline{CE_3}$ 为低电平；而 CE_2 为高电平。当 $\overline{CE}$ 为高电平时：$\overline{CE_1}$ 为高电平，或 CE_2 为低电平，或 $\overline{CE_3}$ 为高电平。

23. 通过将 $\overline{GW}$ 设为低电平，或将 $\overline{GW}$ 设为高电平、$\overline{BWE}$ 以及 $\overline{BW_X}$ 设为低电平，可以启动全宽写周期。

时序图 （续）

图 6. 读 / 写周期时序 [24, 25, 26]



注释：

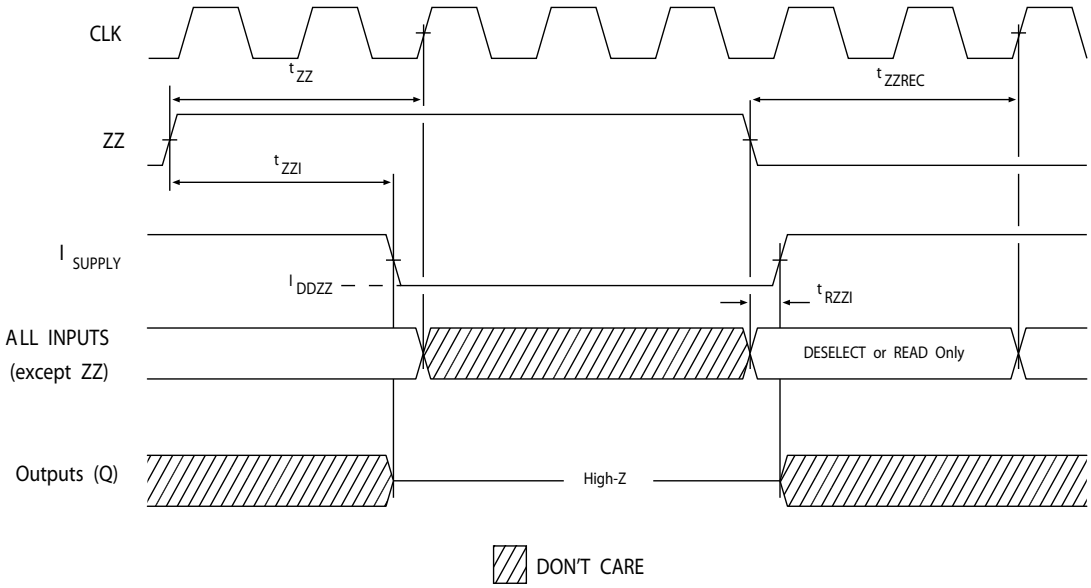
24. 在该框图中，当 $\overline{CE}$ 为低电平时：$\overline{CE_1}$ 和 $\overline{CE_3}$ 为低电平；而 CE_2 为高电平。当 $\overline{CE}$ 为高电平时：$\overline{CE_1}$ 或 $\overline{CE_3}$ 为高电平，或 CE_2 为低电平。

25. 写周期发生后，数据总线（Q）一直处于高阻态状态，除非新读取访问由 $\overline{ADSP}$ 或 $\overline{ADSC}$ 启动。

26. $\overline{GW}$ 为高电平。

时序图 （续）

图 7. ZZ 模式时序 [27, 28]



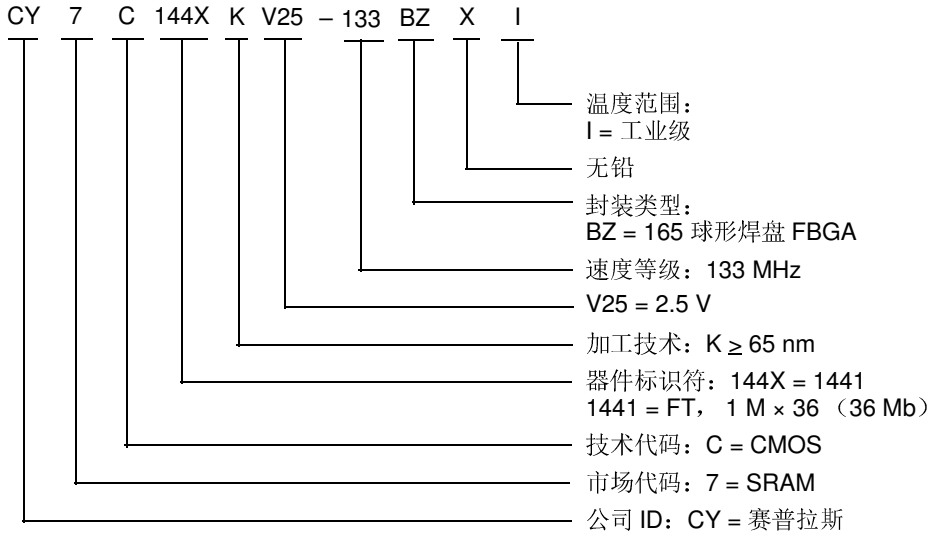
注释：
27. 进入 ZZ 模式时，必须取消选择该器件。有关非选择器件的所有可能发生的信号条件，请参考第 8 页上的真值表。
28. 退出 ZZ 睡眠模式时， DQ 处于高阻态。

订购信息

并不是所有的速度、封装和温度范围均有效。请联系您的本地销售代表或访问 www.cypress.com ，了解实际订购产品的情况。

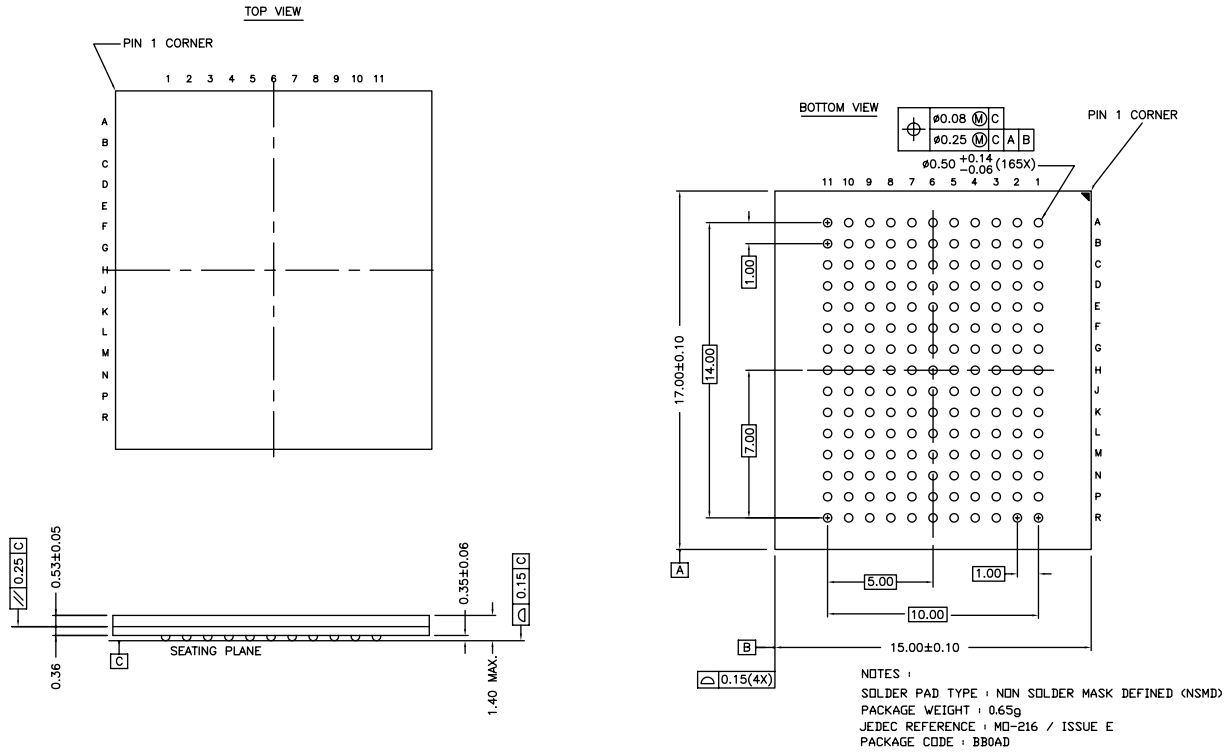
速度（MHz）	订购代码	封装图	器件和封装类型	工作范围
133	CY7C1441KV25-133BZXI	51-85195	165 球形焊盘 FBGA （15 × 17 × 1.4 mm）无铅	工业级

订购代码定义



封装图

图 8. 165 球形焊盘 FBGA （15 × 17 × 1.40 mm）（球形焊盘的直径为 0.50）封装外形， 51-85195



51-85195 *D

缩略语

缩略语	说明
$\overline{CE}$	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会
JTAG	联合测试行动小组
$\overline{OE}$	输出使能
SRAM	静态随机存取存储器
TAP	测试存取端口
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
TTL	晶体管 - 晶体管逻辑

文档规范

测量单位

符号	测量单位
℃	摄氏度
MHz	兆赫兹
µA	微安
mA	毫安
mm	毫米
ms	毫秒
mV	毫伏
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：CY7C1441KV25， 36 Mbit （1 M × 36）直通 （Flow-Through） SRAM 文档编号：001-96006				
Rev.	**ECN 编号**	**发布日期**	**变更者**	**变更说明**
**	4652274	02/05/2015	LYAO	本文档版本号为 Rev**，译自英文版 001-94722 Rev*A。
*A	4717375	04/08/2015	PRIT	转为最终文档 英语 001-94722* B 翻译成中国 001-96006 规格

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2014-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域，此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。

i486 是英特尔公司的商标，另外 Intel 和 Pentium 是公司的注册商标。 PowerPC 是 IBM 公司的商标。本文件中所介绍的所有产品和公司名称均为其各自所有者的商标。