サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

AN INFINEON TECHNOLOGIES COMPANY

THIS SPEC IS OBSOLETE

Spec No: 002-08440

Spec Title: CY39C031 2CH BUCK DC/DC CONVERTER + 1CH LDO WITH I2C INTERFACE AND SW FET (JA)

Replaced by: NONE

CY39C031

I²Cインタフェース，SW FET内蔵2ch 降圧DC/DC コンバータ+ 1ch LDO

OBSOLETE

概要

CY39C031 は、2 ch 降圧 DC/DC コンバータ, 1 ch LDO を内蔵しています。システムのおもな電源ラインを 1 チップで供給可能です。DC/DC コンバータには電流モード方式を採用し、SW FET 内蔵による高スイッチング周波数動作でチップインダクタの使用が可能です。出力設定抵抗，位相補償回路を内蔵し、部品点数や実装面積の削減に貢献します。また、各 CH を ON/OFF 制御可能な CTL 入力端子，パワーグッド信号出力端子, I²C 通信インタフェースを搭載しており電源シーケンスの設計が容易です。I²C 通信で出力電圧の微調整が可能で DVS/ASV システムへ対応可能です。

特長

- 動作入力電圧範囲:2.5 V～5.5 V(最大定格:7 V)
- 出力電圧設定可能範囲，最大出力電流:　DD1*:1.0 V～1.3 V (20 mV/step), 1.4 A (DC)
  DD2*:1.2 V～1.95 V (50 mV/step), 0.6 A (DC)
  LDO:2.8 V/2.85 V/3.0 V/3.3 V, 0.25 A (DC)
  (注意事項)それぞれ選択可能なプリセット電圧あり(計 32 種類のラインナップ)
- ソフトスタート時間設定範囲: 0.9 ms～14.3 ms (約 0.9 ms/step)
- DC/DC 部のスイッチング周波数:3 MHz (固定)
- 通信インタフェース: I²C (ON/OFF，出力電圧，ソフトスタート時間設定)
- PFM/PWM 自動切換え機能内蔵
- 内蔵機能: 出力設定抵抗，位相補償回路，ディスチャージ抵抗，ソフトスタート
- 各 CH パワーグッド出力機能(オープンドレイン)
- 保護機能: 低入力時誤動作防止回路(UVLO)，過電流保護回路(OCP)，過熱保護回路(TSD)
- エラー信号出力端子搭載(オープンドレイン)
- 小型 PKG: QFN28 (4 mm × 4 mm × 0.8 mm, 0.4 mm pitch)

  *: DC/DC コンバータ部 1, 2

アプリケーション

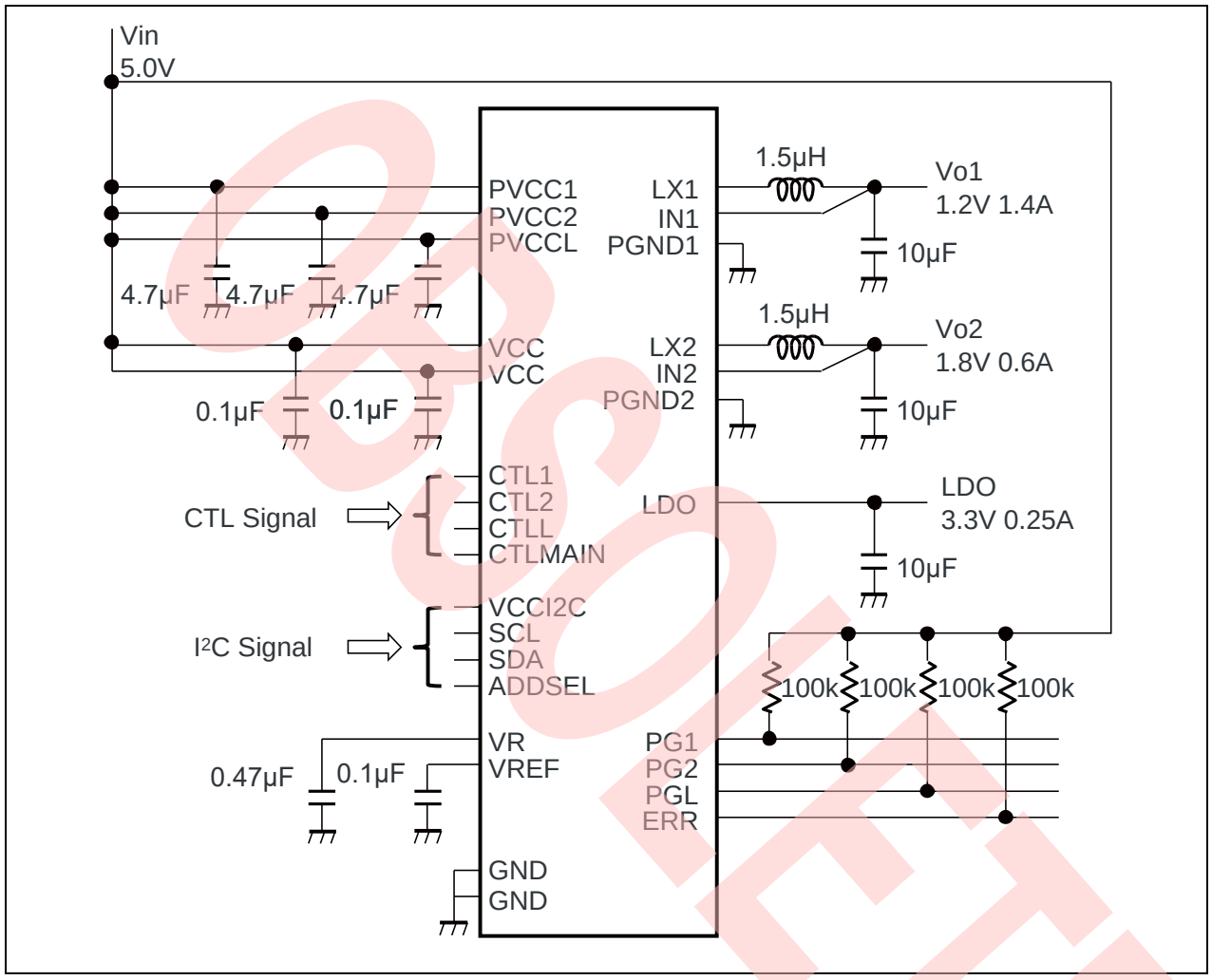
- ネットワーク機器: Wifi-tuner，監視カメラ
- データ記憶装置: HDD, SSD，録画機器
- 画像・音声出力機器: MFP，プリンタ，スキャナ，プロジェクタ，電子楽器, STB
- 各種端末: POS, FA, HEMS　　など

目次

概要 1
特長 1
アプリケーション 1
1. 応用回路例 3
2. 推奨アプリケーション仕様 4
3. 端子配列図 6
4. 端子機能説明(PKG) 7
5. ブロックダイヤグラム 8
6. 絶対最大定格 9
7. 推奨動作条件 10
8. 電気的特性 11
9. 動作モード一覧 14
10. 状態遷移図 15
11. 投入切断シーケンス (CTL*: CTL1, CTL2, CTLMAIN=VCC同時投入) 16
12. CTL*投入切断シーケンス1 (VCC→CTL*: CTL1, CTL2, CTLMAIN) 17
13. CTL*投入切断シーケンス2 (VCC→CTLMAIN→CTL1→CTL2) 18
14. CTL*端子スレッショルド電圧 19
15. 保護動作シーケンス 20
16. 保護回路の動作条件，停止回路，解除条件 22
17. DDソフトスタート動作 23
18. ディスチャージ動作 24
19. PG1/PG2/PGL端子, ERR端子について 25
20. I^2Cインタフェース 26
21. I^2Cインタフェースとdataの構成について 33
22. 入出力端子等価回路図 38
23. 入出力回路形式 39
24. 標準動作特性測定回路 40
25. 特性例 42
26. 使用上の注意 61
27. オーダ型格 62
28. プリセットコード (CY39C031) 62
29. パッケージ・外形寸法図 63
改訂履歴 64
セールス，ソリューションおよび法律情報 65

OBSOLETE

1. 応用回路例



OBSOLETE

2. 推奨アプリケーション仕様

[入力電圧範囲]

入力電圧 VCC (V)		
最小	標準	最大
2.5	3.6	5.5

[出力仕様]

(Ta=+25°C)

チャンネル	記号	精度	出力電圧 (V)			出力電流 (mA)	リミット電流 (mA)	方式	スイッチング周波数(MHz)	コイル (µH)	出力容量 (µF)	ソフトスタート時間 (ms)	ディスチャージ抵抗 (kΩ)	備考
			最小	標準	最大	最大	最小							
DD1	Vo1	±1.2%	0.99*	1.00*	1.01*	1400	2000	降圧 (同期整流) C-mode	3.0	1.5	10	14.3	5	SWFET 内蔵 出力設定抵抗内蔵 動作モード切換 (Fixed PWM, PFM/PWM)
			1.01	1.02	1.03							0.9*		
			1.03	1.04	1.05							1.8		
			1.05	1.06	1.07							2.7		
			1.07	1.08	1.09							3.6		
			1.09*	1.10*	1.11*							4.5		
			1.11	1.12	1.13							5.4		
			1.13	1.14	1.15							6.3		
			1.15	1.16	1.17							7.2		
			1.17	1.18	1.19							8.1		
			1.19*	1.20*	1.21*							9.0		
			1.21	1.22	1.23							9.9		
			1.23	1.24	1.25							10.8		
			1.24	1.26	1.28							11.6		
			1.26	1.28	1.30							12.5		
			1.28*	1.30*	1.32*							13.4		
DD2	Vo2	±1.2%	1.19*	1.20*	1.21*	600	900	降圧 (同期整流) C-mode	3.0	1.5	10	14.3	5	SWFET 内蔵 出力設定抵抗内蔵 動作モード切換 (Fixed PWM, PFM/PWM)
			1.24	1.25	1.27							0.9*		
			1.28	1.30	1.32							1.8		
			1.33*	1.35*	1.37*							2.7		
			1.38	1.40	1.42							3.6		
			1.43	1.45	1.47							4.5		
			1.48*	1.50*	1.52*							5.4		
			1.53	1.55	1.57							6.3		
			1.58	1.60	1.62							7.2		
			1.63	1.65	1.67							8.1		
			1.68	1.70	1.72							9.0		
			1.73	1.75	1.77							9.9		
			1.78*	1.80*	1.82*							10.8		
			1.83	1.85	1.87							11.6		
			1.88	1.90	1.92							12.5		
			1.93	1.95	1.97							13.4		

OBSOLETE

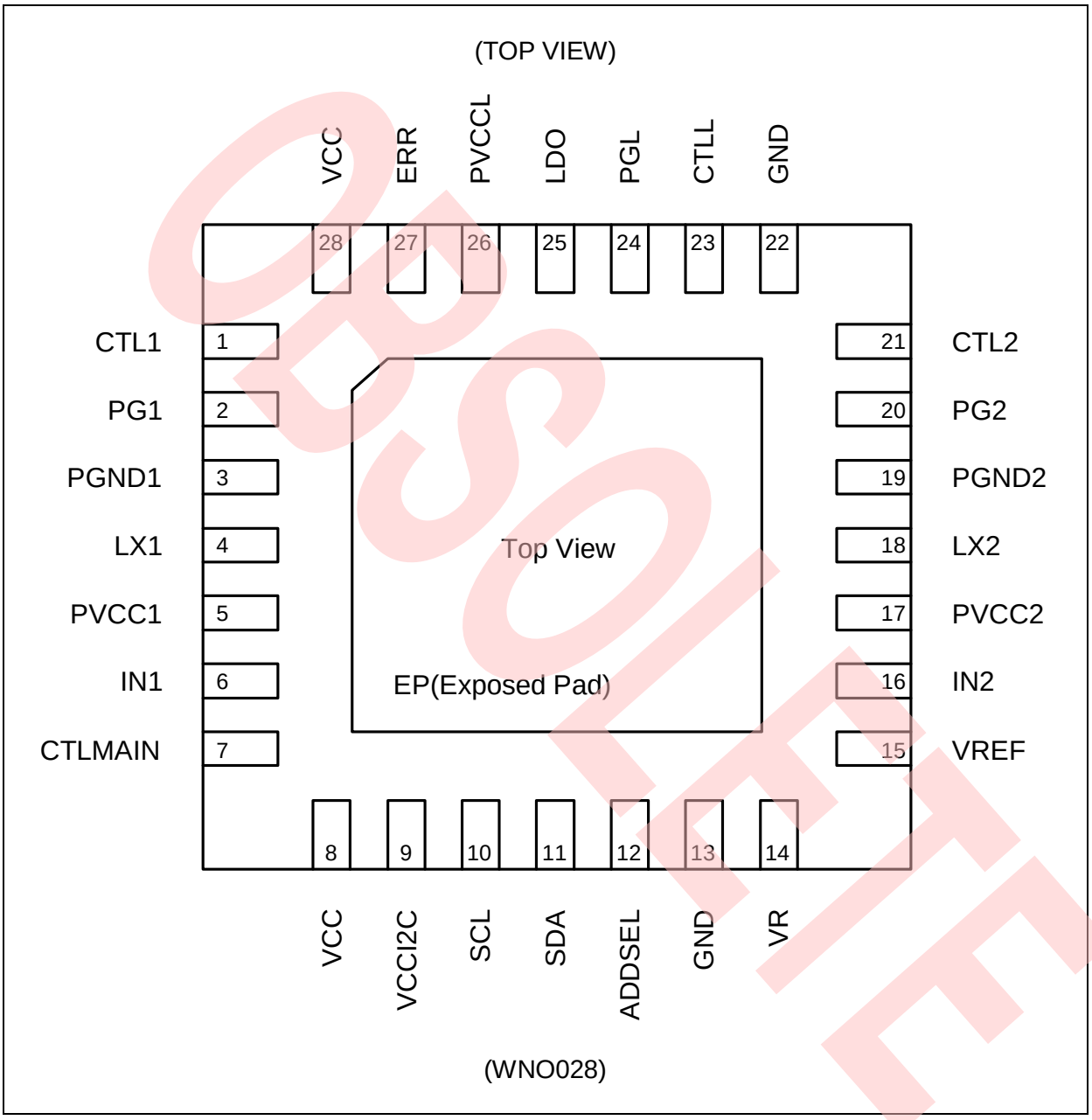
チャンネル	記号	精度	出力電圧 (V)			出力電流 (mA)	リミット電流 (mA)	方式	スイッチング周波数(MHz)	コイル (µH)	出力容量 (µF)	ソフトスタート時間 (ms)	ディスチャージ抵抗 (kΩ)	備考
			最小	標準	最大	最大	最小							
LDO	LDO	±1.8%	2.75	2.80	2.85	250	300	LDO	-	-	4.7	14.3	5	
			2.80*	2.85*	2.90*							0.9		
			2.95	3.00	3.05							1.8		
			3.24*	3.30*	3.36*							2.7*		
			-	-	-							3.6		
			-	-	-							4.5		
			-	-	-							5.4		
			-	-	-							6.3		
			-	-	-							7.2		
			-	-	-							8.1		
			-	-	-							9.0		
			-	-	-							9.9		
			-	-	-							10.8		
			-	-	-							11.6		
			-	-	-							12.5		
			-	-	-							13.4		

*: プリセット値

(注意事項) I^2C にて出力電圧設定、ソフトスタート時間の変更が可能です。

OBSOLETE

3. 端子配列図



OBSOLETE

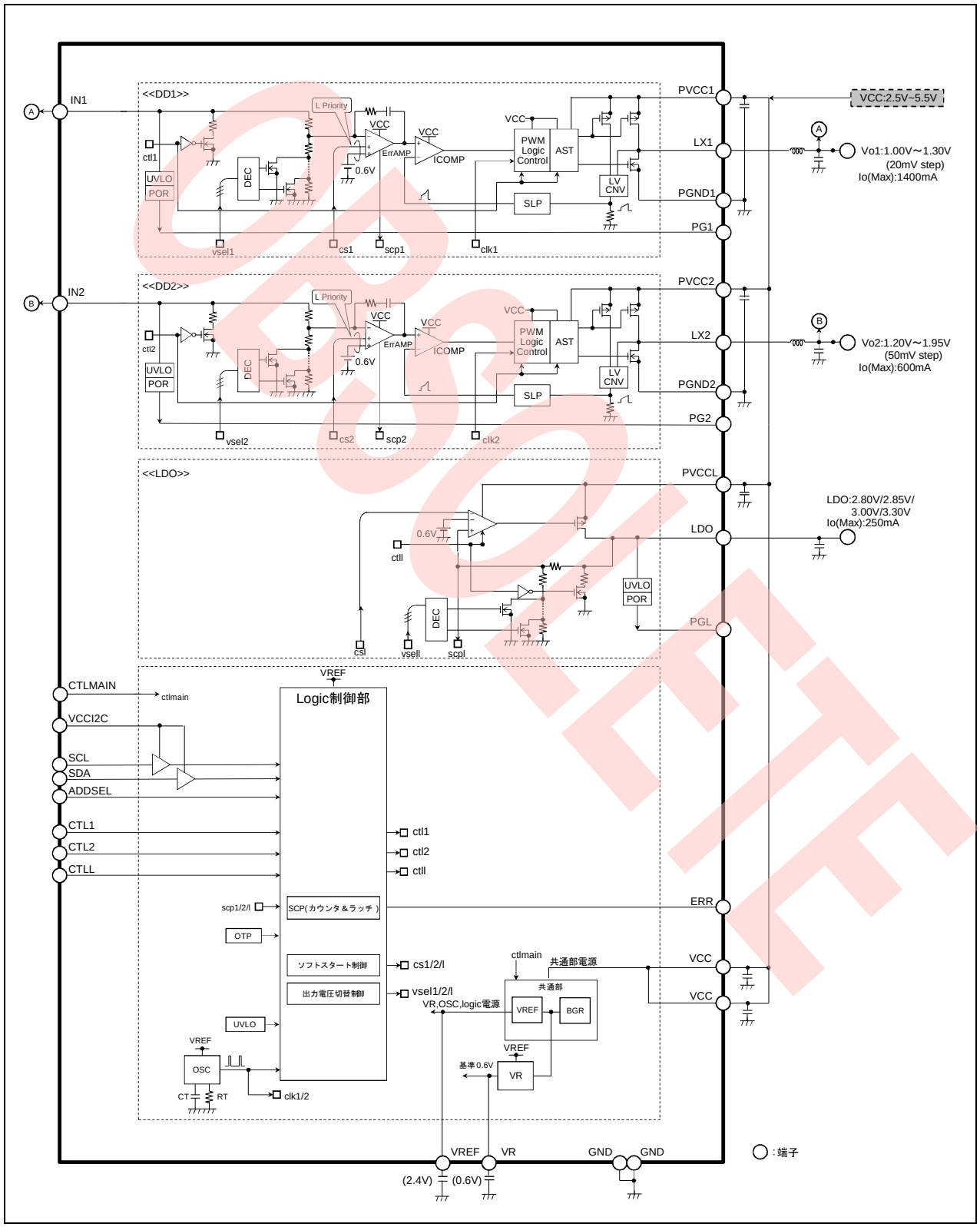
4. 端子機能説明(PKG)

回路ブロック	端子記号	PKG 端子数	端子番号	I/O	機能説明(PKG)	プルダウン抵抗	DD1 未使用時の PAD 処理	DD2 未使用時の PAD 処理	LDO 未使用時の PAD 処理	I²C 通信未使用時の PAD 処理
DD1	IN1	1	6	I	DD1･出力電圧フィードバック端子です。	-	GND 接続	-	-	-
	PVCC1	1	5	-	DD1･出力部電源端子です。	-	VCC 接続	-	-	-
	LX1	1	4	O	DD1･インダクタンス接続用端子です。	-	オープン	-	-	-
	PG1	1	2	O	DD1･パワーグッド出力端子です。	-	オープン	-	-	-
	PGND1	1	3	-	DD1･出力部 接地端子です。	-	GND 接続	-	-	-
DD2	IN2	1	16	I	DD2･出力電圧 フィードバック端子です。	-	-	GND 接続	-	-
	PVCC2	1	17	-	DD2･出力部 電源端子です。	-	-	VCC 接続	-	-
	LX2	1	18	O	DD2･インダクタンス接続用端子です。	-	-	オープン	-	-
	PG2	1	20	O	DD2･パワーグッド出力端子です。	-	-	オープン	-	-
	PGND2	1	19	-	DD2･出力部 接地端子です。	-	-	GND 接続	-	-
LDO	PVCCL	1	26	-	LDO･電源端子です。	-	-	-	VCC 接続	-
	LDO	1	25	O	LDO･出力端子です。	-	-	-	オープン	-
	PGL	1	24	O	LDO･パワーグッド出力端子です。	-	-	-	オープン	-
CTL	CTL1	1	1	I	DD1 コントロール端子です。	○	オープン	-	-	-
	CTL2	1	21	I	DD2 コントロール端子です。	○	-	オープン	-	-
	CTLL	1	23	I	LDO コントロール端子です。	○	-	-	オープン	-
	CTLMAIN	1	7	I	共通部, デジタル部コントロール端子です。*	○	-	-	-	-
ERR	ERR	1	27	O	ERR 信号出力端子です。	-	-	-	-	-
I²C	VCCI2C	1	9	-	I²C 用電源端子です。	-	-	-	-	GND 接続
	SCL	1	10	I	I²C クロック端子です	×	-	-	-	オープン
	SDA	1	11	I/O	I²C データ入出力端子です。	×	-	-	-	オープン
	ADDSEL	1	12	I	スレーブアドレスの切換端子です。	○	-	-	-	オープン
共通部	VCC	2	8, 28	-	制御回路部 電源端子です。	-	-	-	-	-
	VREF	1	15	O	基準電圧(2.4 V)出力端子です。	-	-	-	-	-
	VR	1	14	O	基準電圧(0.6 V)出力端子です。	-	-	-	-	-
	GND	2	13, 22	-	制御回路部 接地端子です。	-	-	-	-	-
-	GND	1	EP	-	接地端子です。	-	-	-	-	-

*: DD1, DD2, LDO を ON する場合は、CTLMAIN も"H"にしてください。詳細は、「9 動作モード一覧」を参照してください。

PROTOTYPE

5. ブロックダイヤグラム



OBSOLETE

6. 絶対最大定格

項目	記号	条件	定格値		単位
			最小	最大	
電源電圧	V_{CC}	VCC, PVCC1, PVCC2, PVCCL, VCCI2C 端子	-	7	V
入力電圧	V_{CTL}	CTLMAIN, 1, 2, L 端子	-	7	V
	V_{OUT}	IN1, IN2 端子	-	7	V
	Vlogic	SDA, SCL 端子	-	7	V
LX 電圧	V_{LX}	LX1, LX2 端子	-0.3	+7	V
許容損失	P_D	Ta≦+25°C 熱抵抗値(θ j-a):(50°C/W*)	-	1720	mW
最大ジャンクション温度	T_{jmax}	-	-	+125	°C
保存温度	T_{STG}	-	-55	+125	°C

*: QFN28 (WNO028) PKG, 4 層 0.8 mm 厚 117 mm × 84 mm 基板実装時

＜注意事項＞ 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

OBSOLETE

7. 推奨動作条件

項目		記号	条件	規格値			単位
				最小	標準	最大	
共通部分	電源電圧	V_{CC}	VCC 端子	2.5	3.6	5.5	V
	基準電圧	I_{REF}	VREF 端子	-1	-	0	mA
	出力電流	I_R	VR 端子	-1	-	0	µA
	動作温度	Ta	-	-30	+25	+85	°C
DC/DC CH	電源電圧	V_{CC}	VCC, PVCC1, PVCC 2 端子	2.5	3.6	5.5	V
	入力電圧	V_{OUT}	IN1, IN2 端子	0	-	VCC	V
LDO CH	電源電圧	V_{CC}	VCC, PVCCL 端子 出力電圧設定:default (3.3 V)	3.5	3.6	5.5	V
CTL 部	入力電圧	V_{CTL}	CTL*端子	0	-	VCC	V
デジタル部 (I^2C)	電源電圧	V_{CC}	VCCI2C 端子	1.76	-	3.37	V
	ロジック入力電圧	Vlogic	SDA, SCL 端子	0	-	VCCI2C	V

*: CTLMAIN, CTL1, CTL2, CTLL

＜注意事項＞ 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

OBSOLETE

8. 電気的特性

共通部

(Ta=+25°C, VCC=PVCC1, PVCC2, L=3.6V)

項目		記号	条件	規格値			単位
				最小	標準	最大	
基準電圧部 [VR , VREF]	出力電圧	V_R	VR 端子=0 mA	0.594	0.600	0.606	V
		V_{REF1}	VREF 端子=0 mA	2.376	2.400	2.424	V
		V_{REF2}	VCC 端子=2.5 V~5.5 V	2.370	2.400	2.430	V
		V_{REF3}	VREF 端子=0 mA~-1 mA	2.370	2.400	2.430	V
低入力時誤動作防止回路部 [VCC UVLO]	スレッショルド電圧	V_{TH}	VCC 端子=↓	2.156	2.20	2.244	V
	ヒステリシス幅	V_H	-	-	0.20	-	V
過電流保護回路部 [OCP]	タイマ時間	t_{OCP1}	DD1, DD2, LDO Default 値	0.5	1	1.5	ms
過熱保護回路部 [TSD]	停止温度	T_{TSDH}	-	-	150*	-	°C
コントロール部 (CTL) [CTL]	入力電圧	V_{IH}	CTL*端子	VCC× 0.7	-	VCC	V
		V_{IL}	CTL*端子	0	-	0.4	V
	入力電流	I_{CTLH}	CTL*端子=3.6 V	2.7	3.6	5.1	µA
		I_{CTLL}	CTL*端子=0 V	-	-	1	µA
	入力プルダウン抵抗	R_P	CTL*端子	-	1	-	MΩ
全デバイス (DC/DC 部)	電源電流	I_{VCCS1}	CTL*端子=0 V	-	0	1.0	µA
		I_{VCCS2}	CTLMAIN=3.6 V CTL1, 2, L 端子=0 V	-	80	120	µA
		I_{VCC}	CTLMAIN, L 端子=3.6 V LDO のみ動作 無負荷	-	200	300	µA
		I_{VCC}	CTL*端子=3.6 V 全 CH 無負荷 (DD 動作モード: PFM/PWM モード)	-	450	680	µA
		I_{VCC}	CTL*端子=3.6 V 全 CH 無負荷 (DD 動作モード: Fixed PWM モード)	-	10.8	16.2	mA
		I_{VCCI2C}	CTLMAIN, L 端子=3.6 V VCCI2C 端子=1.8 V	-	7.2	12.0	µA

*: この値は規格値ではありません。設計する際の目安としてお使いください。

OBSOLETE

DD1, DD2

(Ta=+25°C, VCC=PVCC1, PVCC2, L=3.6V)

項目		記号	条件	規格値			単位
				最小	標準	最大	
DC/DC コンバータ部 [DD1]	出力電圧	V_{OUT}	出力電圧設定: 1.2 V IOUT=-10 mA	1.186	1.20	1.214	V
	入力安定度	V_{LINE}	IOUT=-10 mA, VCC=2.5 V~5.5 V	-5	-	+5	mV
	負荷安定度	V_{LOAD}	IOUT=-1 mA~-1400 mA (Fixed PWM モード時)	-10	-	-	mV
			IOUT=-1 mA~-1400 mA (PFM/PWM モード時)	-10	-	+15	mV
	IN1 端子 入力インピーダンス	R_{IN}	IN1 端子=1.5 V 出力電圧設定: 1.2 V	-	400	-	kΩ
	SW PMOS-Tr ON 抵抗	R_{PMOS}	LX1 端子=-30 mA	-	0.12*	-	Ω
	SW NMOS-Tr ON 抵抗	R_{NMOS}	LX1 端子= 30 mA	-	0.09*	-	Ω
	SW PMOS-Tr リーク電流	I_{LEAK}	LX1 端子=0 V	-1	-	-	µA
	SW NMOS-Tr リーク電流	I_{LEAK}	LX1 端子=3.6 V	-	-	1	µA
	過電流保護値	I_{LIMIT}	L=1.5 µH	2000	-	-	mA
	PFM/PWM 切換電流	I_{PFM}	L=1.5 µH	-	40*	-	mA
	ディスチャージ抵抗	R_{DIS}	-	-	5	-	kΩ
	ソフトスタート時間	t_{SS}	プリセット値	0.8	0.9	1.0	ms
	スイッチング周波数	f_{OSC}	-	2.7	3.0	3.3	MHz
DC/DC コンバータ部 [DD2]	出力電圧	V_{OUT}	出力電圧設定: 1.8 V IOUT=-10 mA	1.778	1.80	1.822	V
	入力安定度	V_{LINE}	IOUT=-10 mA VCC=2.5 V~5.5 V	-5	-	+5	mV
	負荷安定度	V_{LOAD}	IOUT=-1 mA~-600 mA (Fixed PWM モード時)	-10	-	-	mV
			IOUT=-1 mA~-600 mA (PFM/PWM モード時)	-10	-	+20	mV
	IN2 端子入力 インピーダンス	R_{IN}	IN2 端子=2.0 V 出力電圧設定: 1.8 V	-	300	-	kΩ
	SW PMOS-Tr ON 抵抗	R_{PMOS}	LX2 端子=-30 mA	-	0.16*	-	Ω
	SW NMOS-Tr ON 抵抗	R_{NMOS}	LX2 端子= 30 mA	-	0.14*	-	Ω
	SW PMOS-Tr リーク電流	I_{LEAK}	LX2 端子=0 V	-1	-	-	µA
	SW NMOS-Tr リーク電流	I_{LEAK}	LX2 端子=3.6 V	-	-	1	µA
	過電流保護値	I_{LIMIT}	L=1.5 µH	900	-	-	mA
	PFM/PWM 切換電流	I_{PFM}	L=1.5 µH	-	70*	-	mA
	ディスチャージ抵抗	R_{DIS}	-	-	5	-	kΩ
	ソフトスタート時間	t_{SS}	プリセット値	0.8	0.9	1.0	ms
	スイッチング周波数	f_{OSC}	-	2.7	3.0	3.3	MHz

*: この値は規格値ではありません。設計する際の目安としてお使いください。

OBSOLETE

LDO

(Ta=+25°C, VCC=PVCC1, PVCC2, L=3.6V)

項目		記号	条件	規格値			単位
				最小	標準	最大	
LDO 部 [LDO]	出力電圧	V_{OUT}	出力電圧設定: 3.3 V IOUT=-10 mA	3.241	3.300	3.359	V
	入出力電圧差	V_{DIF}	IOUT=-10 mA	-	-	0.20	V
	入力安定度	V_{LINE}	IOUT=-10 mA, VCC=3.5 V~5.5 V	-5	-	+5	mV
	負荷安定度	V_{LOAD}	IOUT=-1 mA~-150 mA	-30	-20	-	mV
	リップル除去比	RR	PVCCL=0.2 Vrms, f=10 Hz, IOUT=-150 mA	35	75	-	dB
			PVCCL=0.2 Vrms, f=10 kHz, IOUT=-150 mA	15	50	-	dB
	過電流保護値	I_{LIMIT}	Vout×0.9	300	-	-	mA
	制御マクロ消費電流	I_{PVCCLS}	スタンバイ時	-	0	1	µA
		I_{PVCCL}	IOUT=0 mA	-	80	105	µA
	ディスチャージ抵抗	R_{DIS}	-	-	5	-	kΩ
	ソフトスタート時間	t_{SS}	Default 値	2.4	2.7	3.0	ms

デジタル部

(Ta=+25°C, VCC=PVCC1, PVCC2, L=3.6V)

項目		記号	条件	規格値			単位
				最小	標準	最大	
パワーグッド部 [Power Good]	出力電圧	V_{OL}	PG1, PG2, L 端子 I_{OL}=1 mA	-	-	0.4	V
	出力電流	I_{OL}	PG1, PG2, L 端子	1	-	-	mA
	低電圧検出	V_{th}	IN1, IN2, LDO 端子 = ↘	-	Vo × 0.75*	-	V
	パワーオン検出電圧	V_{th}	IN1, IN2, LDO 端子 = ↗	-	Vo × 0.85*	-	V
エラー部[ERR]	出力電圧	V_{OL}	ERR 端子 I_{OL} =1 mA	-	-	0.4	V
	出力電流	I_{OL}	ERR 端子	1	-	-	mA
I²C 部[I²C]	入力電圧	V_{IH}	SCL, SDA 端子 VCCI2C=3.3 V	VCCI2C × 0.7	-	VCCI2C	V
		V_{IL}	SCL, SDA 端子 VCCI2C=3.3 V	0	-	VCCI2C × 0.3	V
	入力電流	I_{IH}	SCL, SDA 端子 VCCI2C=3.3 V	-	-	10	µA
		I_{IL}	SCL, SDA 端子 VCCI2C=3.3 V	-10	-	-	µA
	出力電圧	V_{OL}	SDA 端子 I_{OL} =3 mA	-	-	0.4	V
	出力電流	I_{OL}	SDA 端子	3	-	-	mA
	入力プルダウン抵抗	R_P	ADDSEL 端子	-	1	-	MΩ

*: この値は規格値ではありません。設計する際の目安としてお使いください。

OBSOLETE

9. 動作モード一覧

	モード	スタンバイ	スタンバイ 2	通常	ERR 検出
CTL 信号	CTLMAIN (外部)	L	H	H	H
	CTL1 (外部/I²C)	L	L	H/L	X
	CTL2 (外部/ I²C)	L	L	H/L	X
	CTLL (外部/ I²C)	L	L	H/L	X
動作ブロック	共通部	OFF	ON	ON	ON
	デジタル部	OFF	ON	ON	ON
	OSC, VR 部	OFF	OFF	ON*2	OFF
	DD1	OFF	OFF	ON/OFF	OFF
	DD2	OFF	OFF	ON/OFF	OFF
	LDO	OFF	OFF	ON/OFF	OFF
I²C 通信	I²C 通信	不可	可	可	可
保護動作	過熱保護 (TSD)	なし	なし	あり	*1
	過電流保護 (OCP)	なし	なし	あり	*1

*1: ERR を検出後の状態です。電源再投入または CTLMAIN 再投入で ERR 検出モードを解除できます。
*2: LDO のみ動作時は LDO 起動後に OSC 部は停止(OFF)します。また LDO 起動後も VR 部は動作(ON) を継続します。

■CTL1, CTL2, L の外部端子/I²C 通信の優先度

CTLMAIN (外部端子)	CTL* (外部端子)	CTL* (I²C 通信)	当該 CH
H	H	H	使用禁止
H	H	L	ON
H	L	H	ON
H	L	L	OFF
L	X	通信不可	OFF

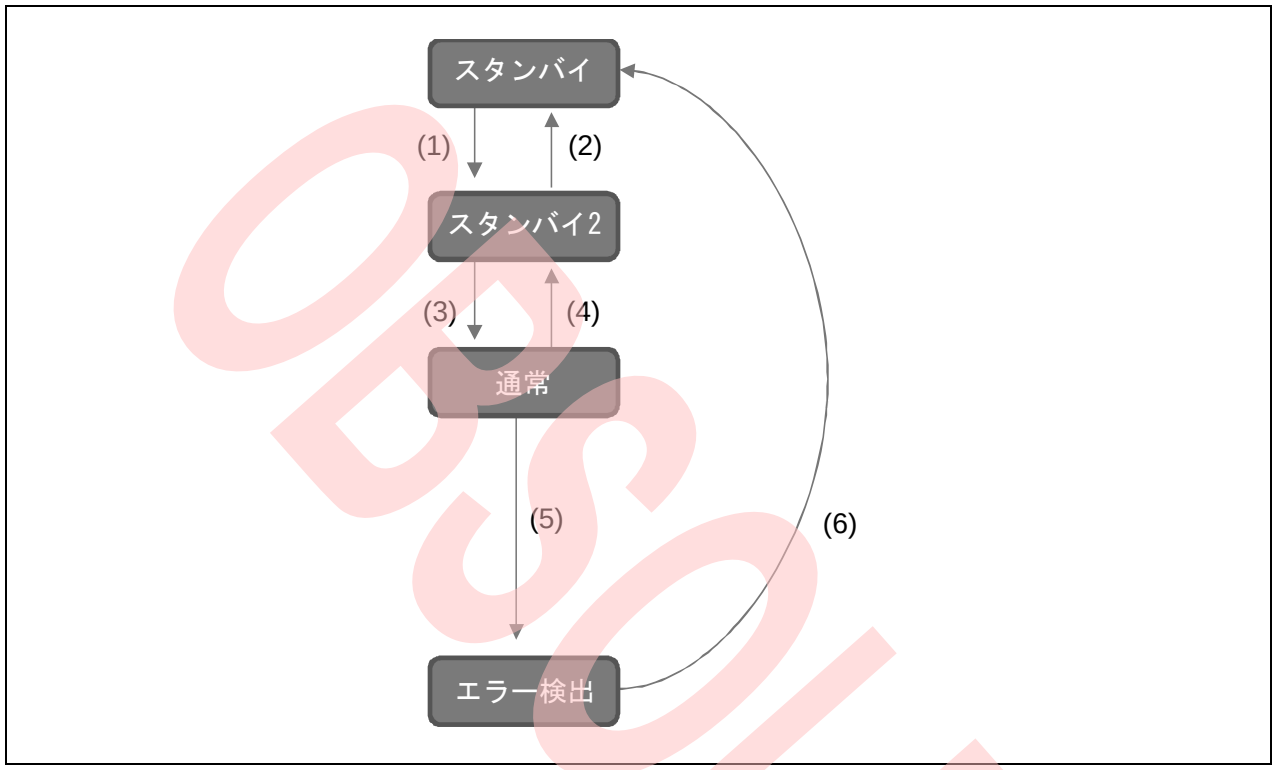
*:
■I²C 通信は外部 CTLMAIN 端子"H"にして共通部, デジタル部が起動後から有効

■DD1, DD2, LDO の ON/OFF 制御を外部端子で行う場合は I²C での ON/OFF 制御を行わないでください。I²C で ON/OFF 以外の制御は可能です。

■DD1, DD2, LDO の ON/OFF 制御を I²C で行う場合は CTL*端子は"L"を入力してください(端子はオープンまたは GND 接続)

OBSOLETE

10. 状態遷移図



(1) 外部 CTLMAIN 端子"H"
(2) 外部 CTLMAIN 端子"L"
(3) 外部 CTL 端子"H" / I²C 通信 "当該 CH_ON"
(4) 外部 CTL 端子"L" / I²C 通信 "当該 CH_OFF"
(5) エラー検出(OCP, OCP_1ms 継続)
(6) 電源再投入(uvlo_vcc リセット電圧以下)、または CTLMAIN を"L"

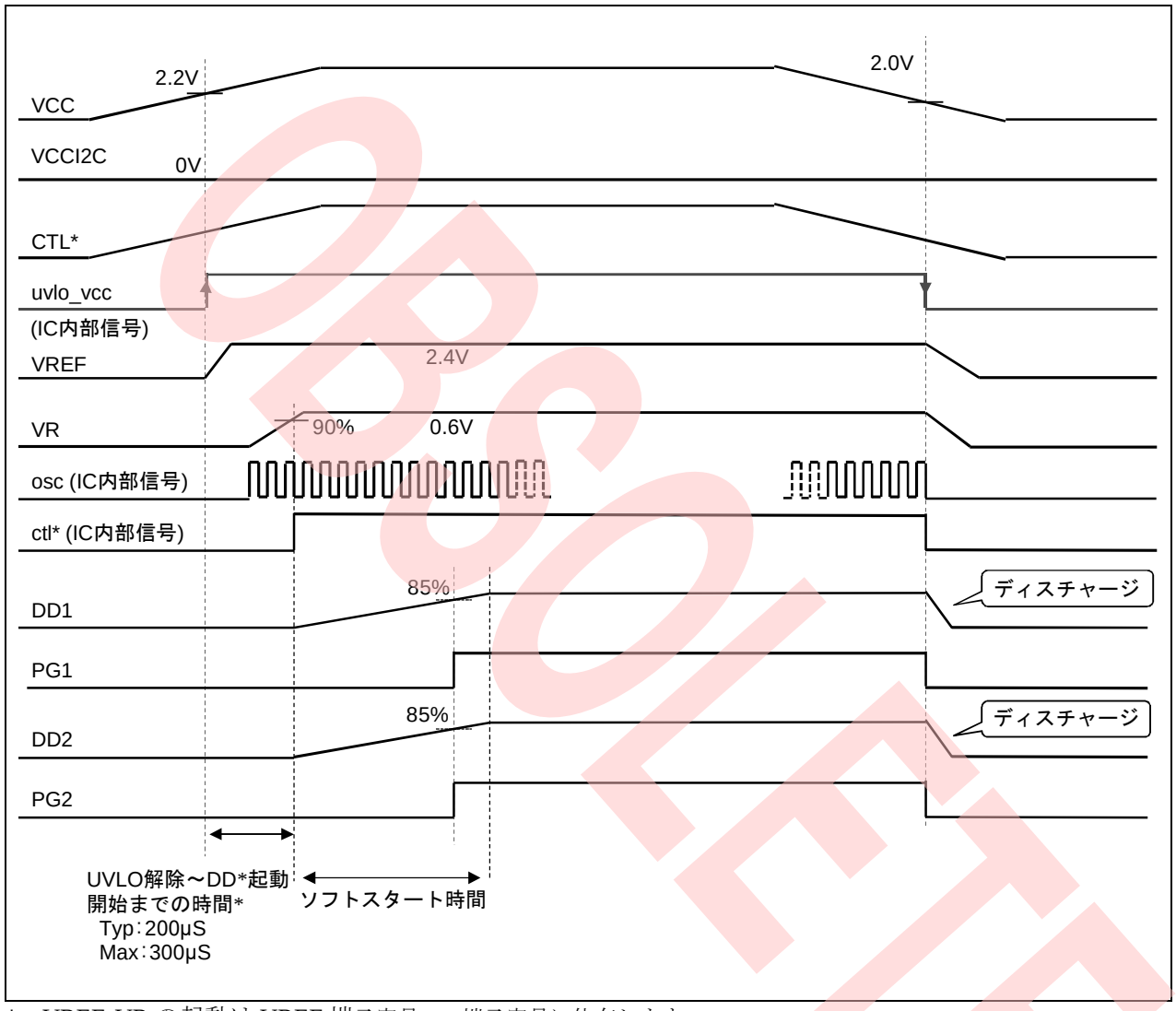
(注意事項)

■DD1, DD2, LDO の ON/OFF 制御を外部端子で行う場合は I²C での ON/OFF 制御を行わないでください。I²C で ON/OFF 以外の制御は可能です。

■制御を I²C で行う場合は CTL*端子は"L"を入力してください。(端子はオープンまたは GND 接続)

OBSOLETE

11. 投入切断シーケンス (CTL*: CTL1, CTL2, CTLMAIN=VCC 同時投入)



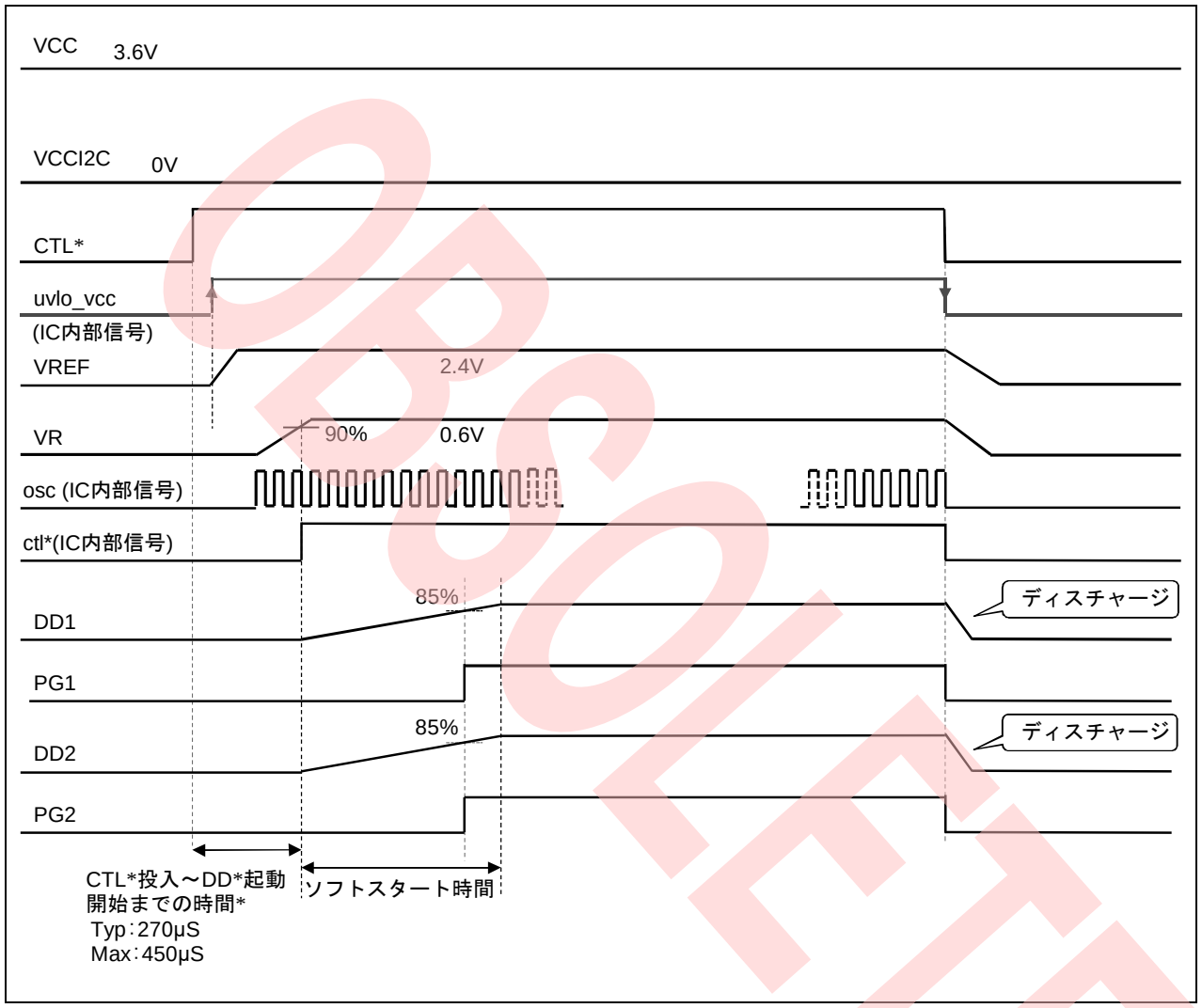
*: VREF, VR の起動は VREF 端子容量,VR 端子容量に依存します。
上記シーケンス図の時間は下記の条件の場合です。

■VREF 端子容量 : 0.1 μF

■VR 端子容量 : 0.47 μF

OBSOLETE

12. CTL*投入切断シーケンス 1 (VCC→CTL*: CTL1, CTL2, CTLMAIN)



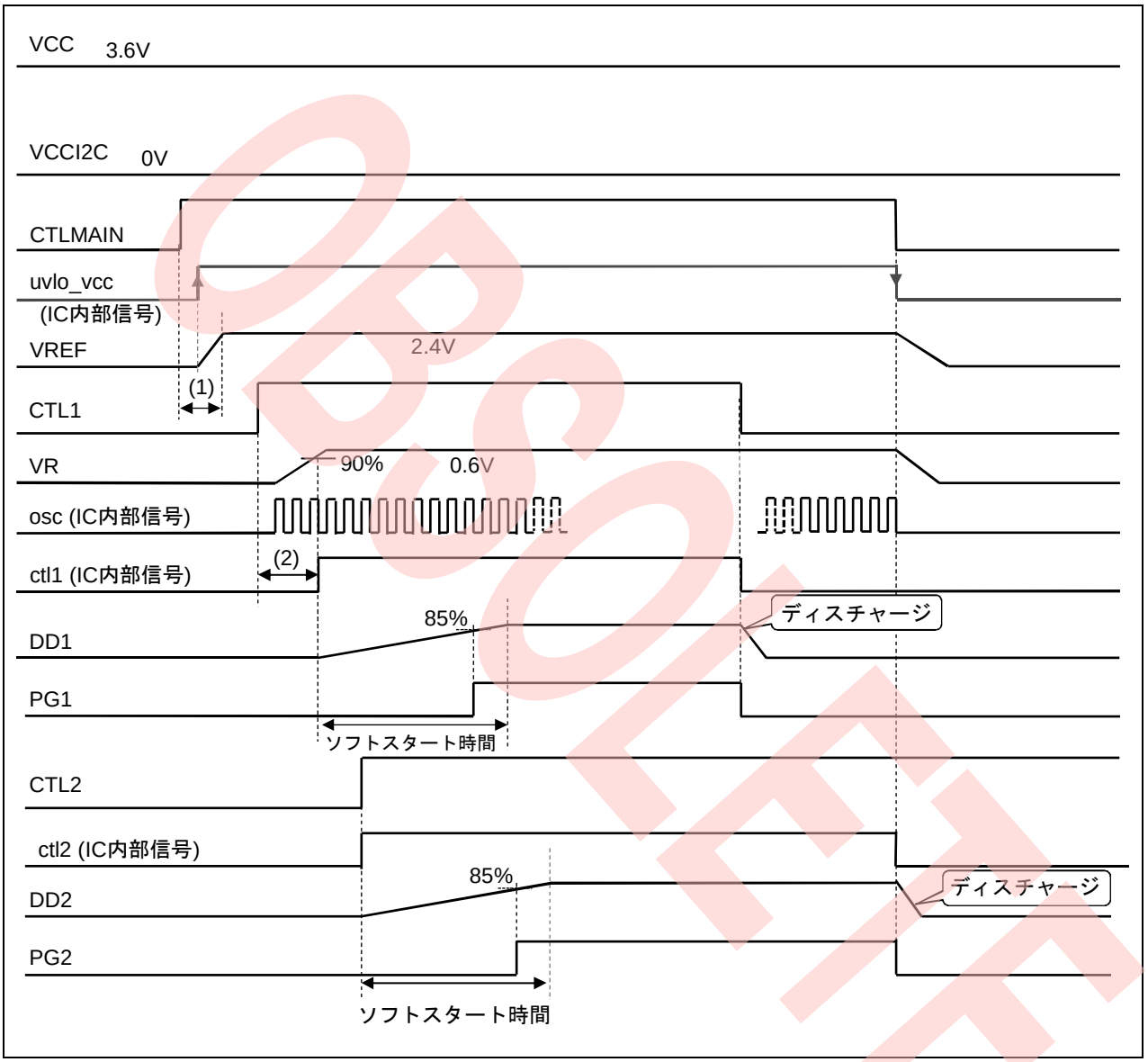
*: VREF, VR の起動は VREF 端子容量,VR 端子容量に依存します。
上記シーケンス図の時間は下記の条件の場合です。

■VREF 端子容量　: 0.1 μF

■VR 端子容量　: 0.47 μF

OBSOLETE

13. CTL*投入切断シーケンス 2 (VCC→CTLMAIN→CTL1→CTL2)



(1) CTLMAIN 投入から VREF 起動完了(=通信可能)までの時間*
Typ: 130 µs, Max:200 µs
(2) CTL1 投入から ctl1(IC 内部信号)"H"までの時間*
Typ: 150 µs, Max: 250 µs

*: VREF, VR の起動は VREF 端子容量,VR 端子容量に依存します。
上記シーケンス図の時間は下記の条件の場合です。

■VREF 端子容量 : 0.1 µF

■VR 端子容量 : 0.47 µF

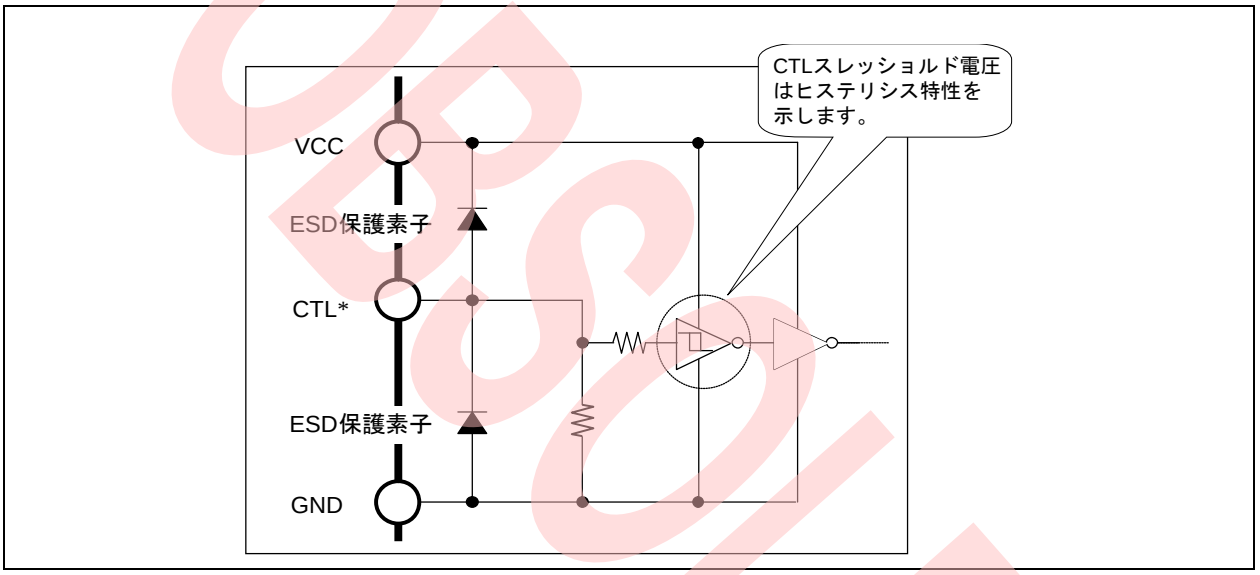
OBSOLETE

14. CTL*端子スレッショルド電圧

CTL*端子の入力回路構成はシュミットトリガ形式となっており、CTL* OFF→ON 時、および ON→OFF 時のスレッショルド電圧はヒステリシス特性を示します。(「CTL*端子 等価回路図」を参照してください。)

また、スレッショルド電圧レベルは VCC 端子電圧に依存します。
なお、CTL*端子には、必ず"H"レベル(>"VCC×0.7"V), "L"レベル(<0.4V)のいずれかを入力してください。

CTL*端子 等価回路図



OBSOLETE

15. 保護動作シーケンス

DD チャネル

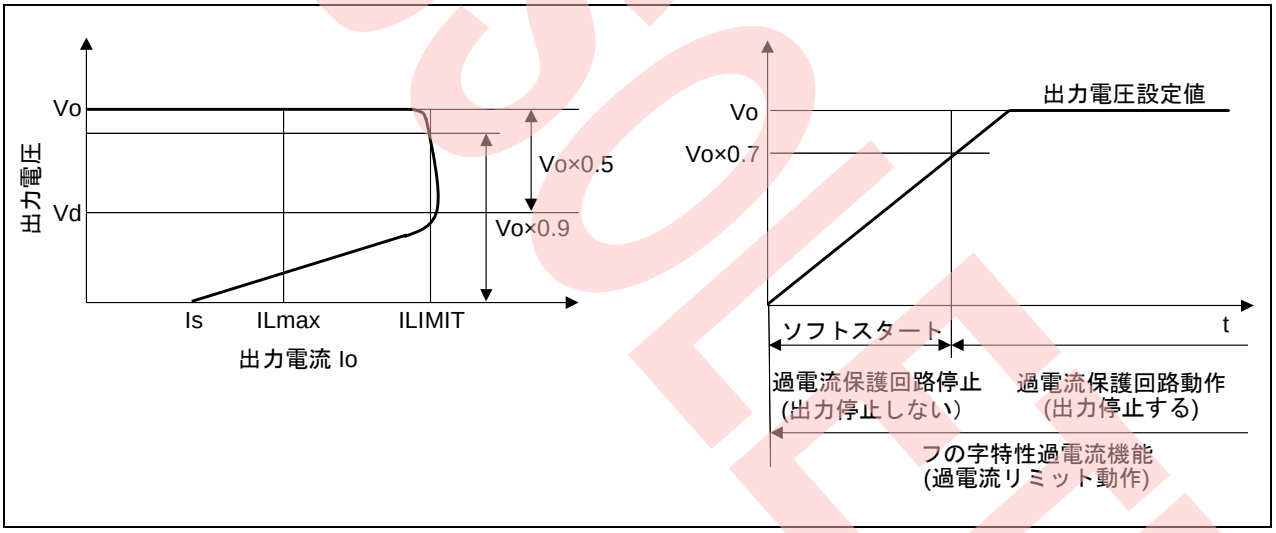
DD チャネルは動作中 FET 電流のピーク値を随時監視しています。DD 出力は過電流状態となった場合出力電圧を低下させます。その後タイマ動作を行い約 1ms 経過後出力停止します。

LDO チャネル

過負荷や出力過電流による破壊を防止するため、フの字型の過電流保護回路を内蔵しています。

LDO の過電流保護値(ILIMIT)付近をピークに過電流電流(Is)まで、出力電流と出力電圧を制限します。このとき、出力電圧 Vo が検出電圧 Vd(Vd:Vo×0.5)より低い電圧になると、タイマ動作を行い約 1ms 経過後出力停止します。なお、ソフトスタート時(0V~Vo×0.7)には過電流保護回路は動作しないため出力停止せずエラー信号も出力しません。ただし、フの字型過電流保護特性は機能しています。

下図にフの字型過電流保護特性を示します。

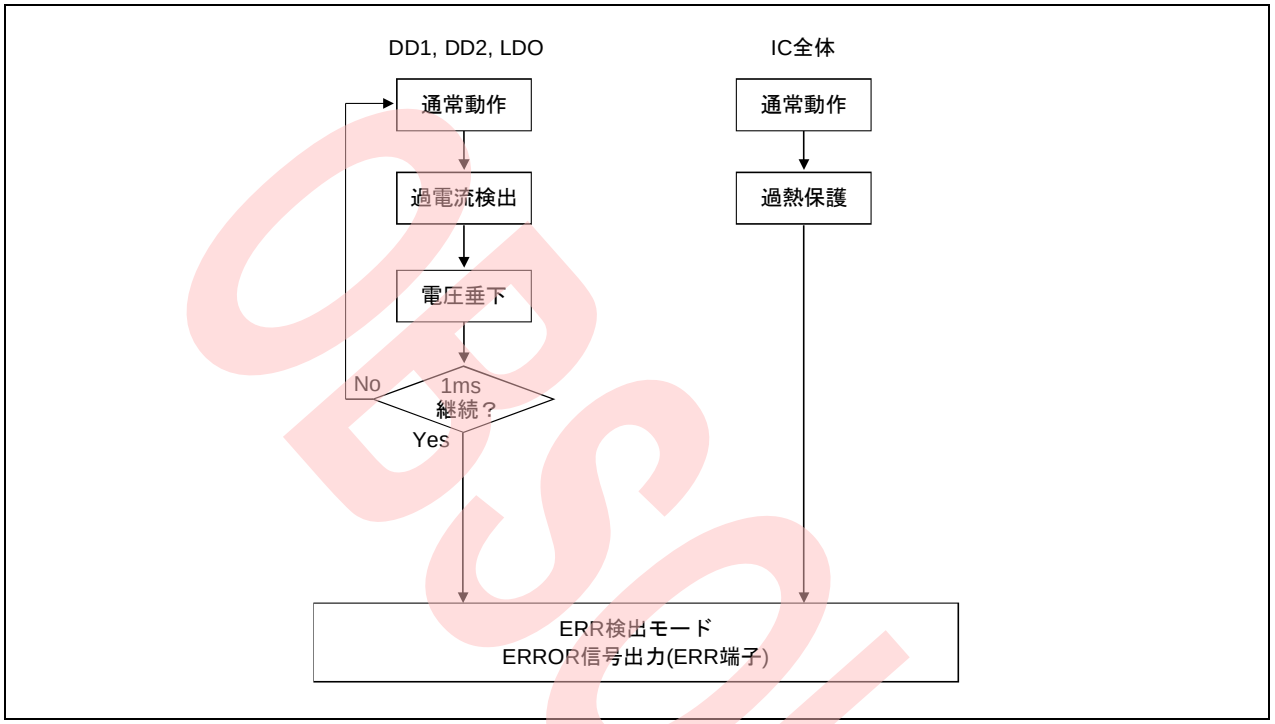


過熱保護

過熱保護回路は接合部温度が+150℃に達すると全 CH OFF します。

OBSOLETE

エラー検出シーケンス



OBSOLETE

ERR 検出モードの解除

ERR 検出モードを解除するためには電源再投入、または CTLMAIN 再投入が必要です。

16. 保護回路の動作条件，停止回路，解除条件

チャンネル	保護時動作	過電流保護 (OCP)	低 VCC 時誤動作防止 (UVLO)	過熱保護 (TSD)
DD1, DD2	ディスチャージ	作動条件: 過電流状態にて約 1ms 経過後 保護動作時の処理: DD1, DD2, LDO の停止 復帰条件: (1) 電源再投入 (2) CTLMAIN 再投入	作動条件:入力電圧低下 保護動作時の処理: DD1, DD2, LDO の停止 復帰条件: 入力電圧上昇 UVLO は CTLMAIN が "H" (共通部が動作) 時に動作します。	作動条件: チップ温度上昇 保護動作時の処理: DD1, DD2, LDO の停止 復帰条件: (1) 電源再投入 (2) CTLMAIN 再投入 TSD は CTLMAIN が"H" かつ CTL1, CTL2, L のいずれかが"H"時のみ動作します。
LDO	ディスチャージ	作動条件: 過電流状態にて約 1ms 経過後 保護動作時の処理: DD1, DD2, LDO の停止 復帰条件: (1) 電源再投入 (2) CTLMAIN 再投入		
ERR 出力 (ERR 端子)	-	DD1, DD2, LDO のいずれかの CH にて OCP 検出時に"L"出力	変化なし	TSD 検出時に"L"出力

過電流保護タイマ動作中の過熱保護(TSD)動作

過電流保護(OCP)タイマ動作中に過熱保護(TSD)が動作した場合、過熱保護が優先されます。

低 VCC 時誤動作防止(UVLO)解除時の動作

DD1, DD2, LDO: CTL*端子の条件に従い起動

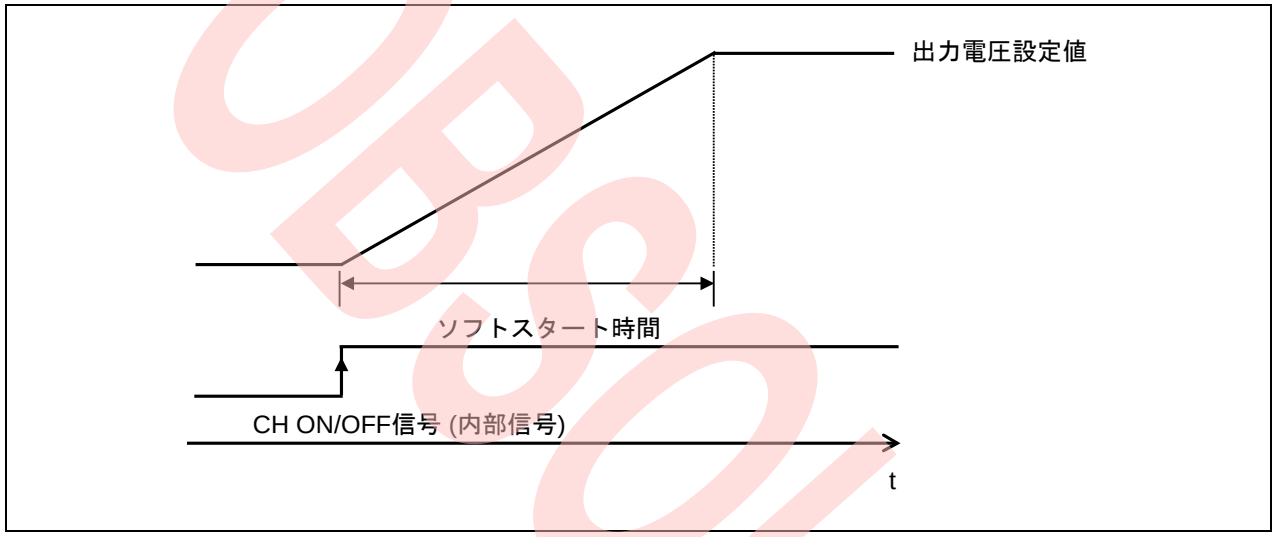
OBSOLETE

17. DD ソフトスタート動作

DD 起動時の突入電流防止のため、DD1, DD2, LDO のソフトスタート動作が可能です。ソフトスタート時間は I²C により制御可能です。

ソフトスタート制御: DD1, DD2, LDO で設定可能です。

DD, LDO ソフトスタート



OBSOLETE

18. ディスチャージ動作

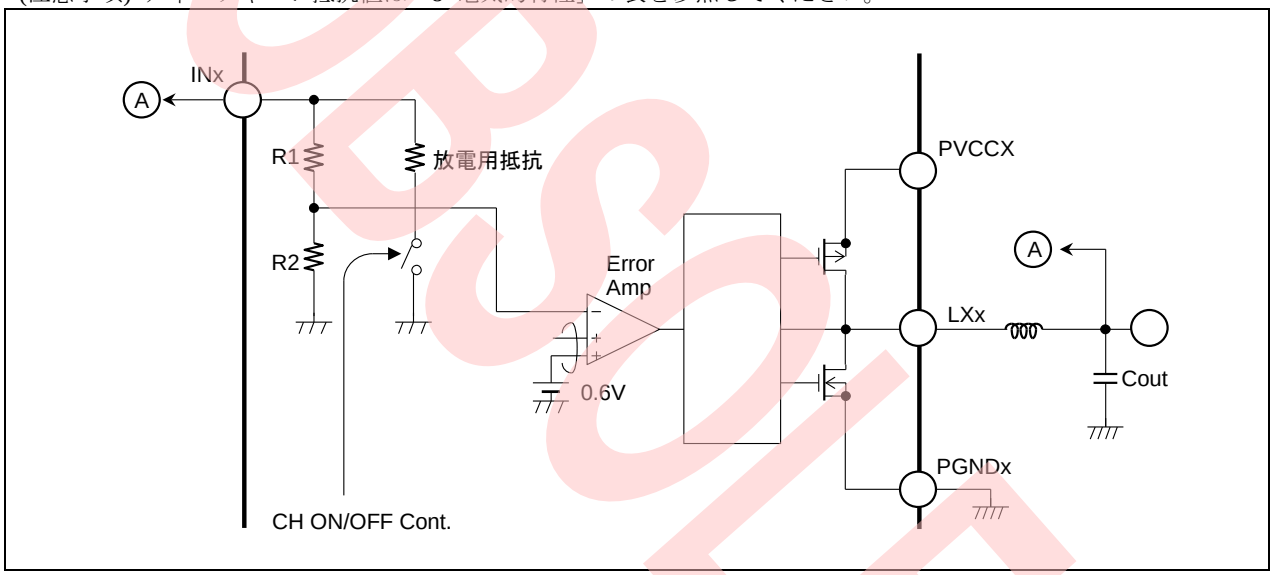
DD チャネル

CH ON/OFF 信号にて DD OFF にすると、各出力電圧に充電された DC/DC 平滑容量を IC 内部で設定した放電用抵抗にて放電し出力電圧を徐々に低下させます。ただし DC/DC コンバータの負荷電流により、ディスチャージ時間は変化します。ディスチャージ時間は次式で求められます。

ディスチャージ時間 (無負荷で出力 10%になるまでの時間)

$toff(s) \fallingdotseq 2.3 \times R_{DIS} \times Cout(F)$

(注意事項) ディスチャージ抵抗値は「8 電気的特性」の表を参照してください。



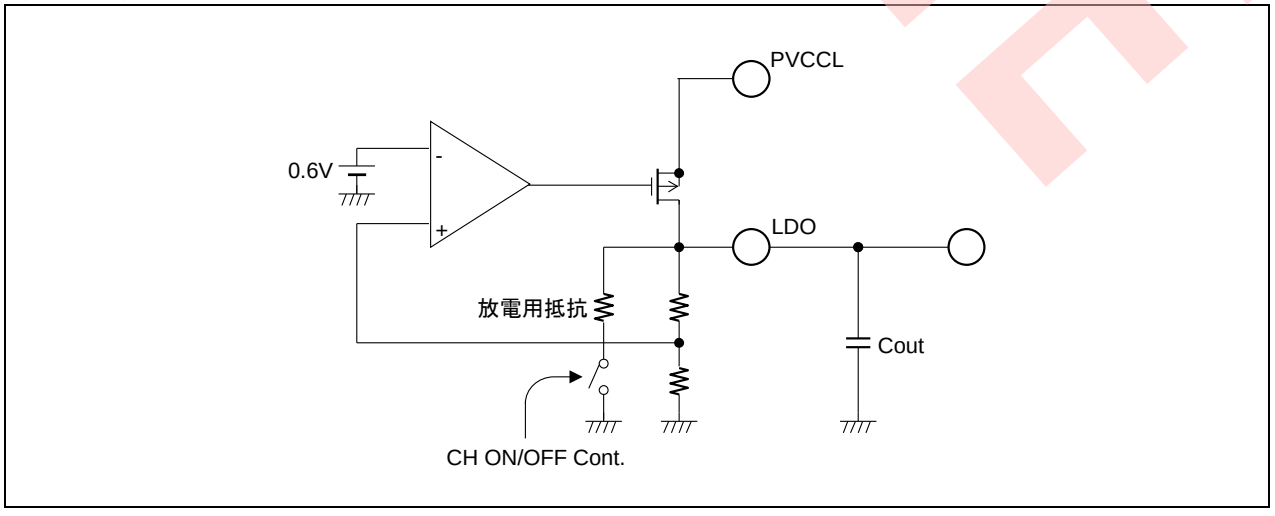
LDO チャネル

CH ON/OFF 信号にて LD OFF にすると、出力電圧に充電された出力容量を IC 内部で設定した放電用抵抗にて放電し出力電圧を徐々に低下させます。ただし出力負荷電流により、ディスチャージ時間は変化します。ディスチャージ時間は次式で求められます。

ディスチャージ時間(無負荷で出力 10%になるまでの時間)

$toff(s) \fallingdotseq 2.3 \times R_{DIS} \times Cout(F)$

(注意事項) ディスチャージ抵抗値は「8 電気的特性」の表を参照してください。



OBSOLETE

19. PG1/PG2/PGL 端子, ERR 端子について

各 CH のパワーグッド出力用として下記端子が用意されています。

PG1
DD1 のパワーグッド出力用端子です。
DD1 ON 時に出力電圧が設定値の 85%を超えると"H"を出力します。
また、"H"出力後に出力電圧が設定値の 75%以下となると"L"を出力します。
DD1 OFF 時は"L"を出力します。

PG2
DD2 のパワーグッド出力用端子です。
DD2 ON 時に出力電圧が設定値の 85%を超えると"H"を出力します。
また、"H"出力後に出力電圧が設定値の 75%以下となると"L"を出力します。
DD2 OFF 時は"L"を出力します。

PGL
LDO のパワーグッド出力用端子です。
LDO ON 時に出力電圧が設定値の 85%を超えると"H"を出力します。
また、"H"出力後に出力電圧が設定値の 75%以下となると"L"を出力します。
LDO OFF 時は"L"を出力します。

エラー状態出力用として下記端子が用意されています。

ERR 端子
エラー状態出力用端子です。エラー検出モード時に"L"を出力します。
ERR 検出モードは電源再投入、または CTLMAIN 再投入で解除されます。

OBSOLETE

20. I²C インタフェース

1. I²C インタフェースの構成

I²C インタフェースは、SCL (シリアル クロック ライン) と SDA (シリアル データ ライン) の 2 本の信号線 (バス) を使って、1 バイト(8 ビット) 単位のデータ通信を行います。

このバスには、複数の

master : clock 信号を発生し、データ転送を制御するデバイス (CPU など)

slave : master から address を指定されるデバイス

が接続されます。

本 IC は、slave として設定されており、master となる機能はありません。

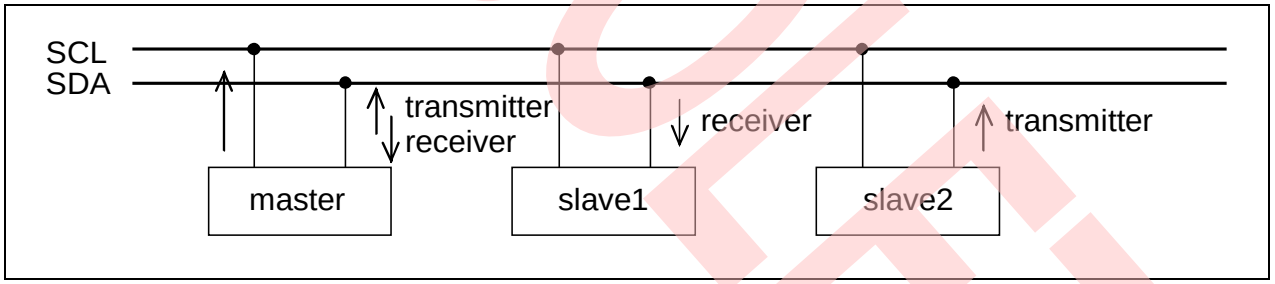
各デバイスは、通信の方向により

transmitter : データをバスに送信するデバイス

receiver : データをバスから受信するデバイス

と定義されます。

本 IC は、transmitter / receiver 両方の機能を持っています。



本 IC では、

書込み(write) : master から data が送信され、本 IC が data を受信すること

読出し(read) : 本 IC が data を送信し、master は data を受信すること

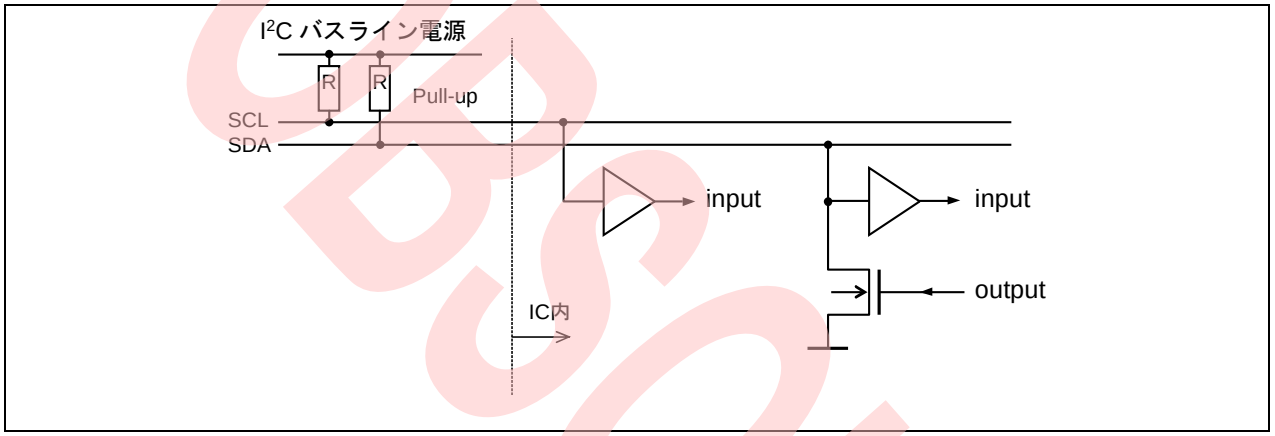
と定義しています。

OBSOLETE

2. 信号線の定義

SCL と SDA は、プルアップ抵抗により、電源に接続されます。
出力回路は、Open Drain 出力となっています。
バスを使用していない (待ち受け状態) ときは、Open Drain を OFF し、open "H"となります。

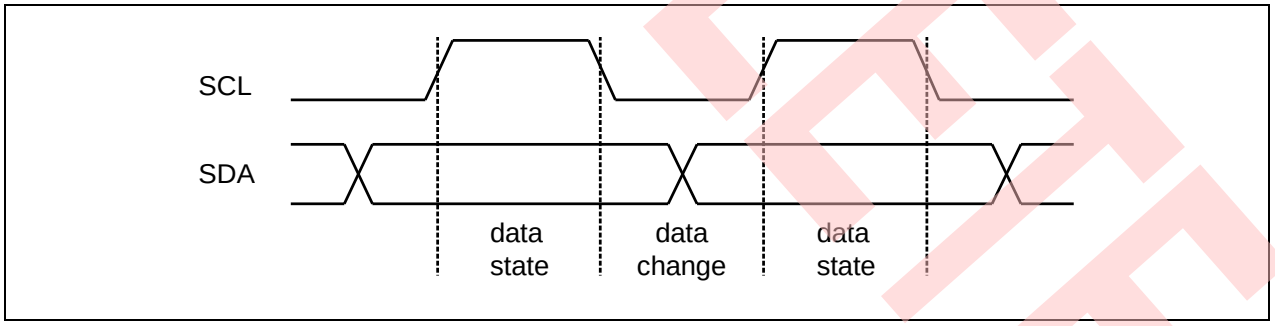
(注意事項) SCL, SDA 端子には ESD 強化のため標準 I²C 仕様と異なる ESD 保護方法を採用しています(「23 入出力回路形式」を参照してください)。
バスラインに電源が入っている場合は、IC の電源(VCCI2C)を切断しないでください。



3. Data の有効性

data は SCL が"L"レベルのときに変化

SCL が"H"レベルの間は、状態を保持の場合、有効です。



なお、SCL が"H"レベルのときの SDA 信号変化は、start または stop コンディションを意味します。

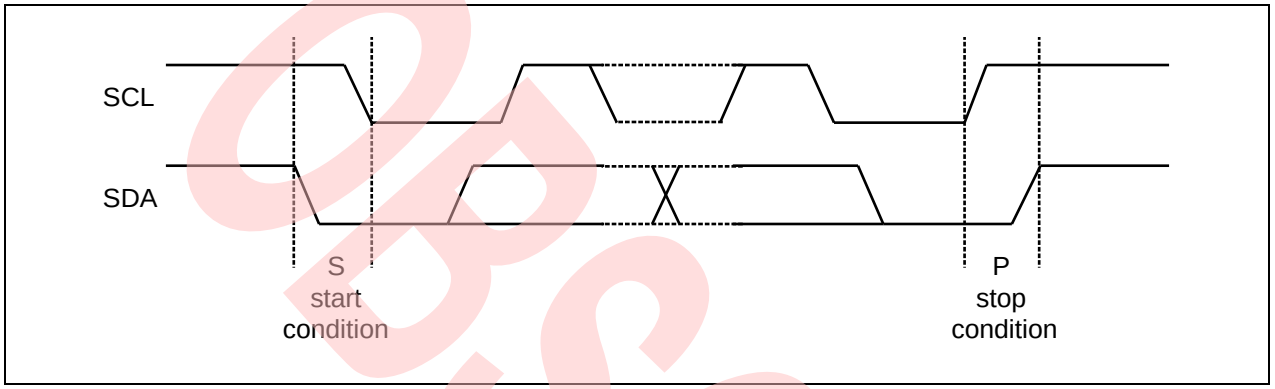
OBSOLETE

4. StartとStop コンディションの定義

start と stop コンディションは、master から出力され、slave に対して通信の開始と終了を指示します。

Start : SCL が"H"のとき、SDA が"H"→"L"へ変化する。

Stop : SCL が"H"のとき、SDA が"L"→"H"へ変化する。



5. ACK 信号

通信を行っているとき、data 受信の確認を行う信号です。

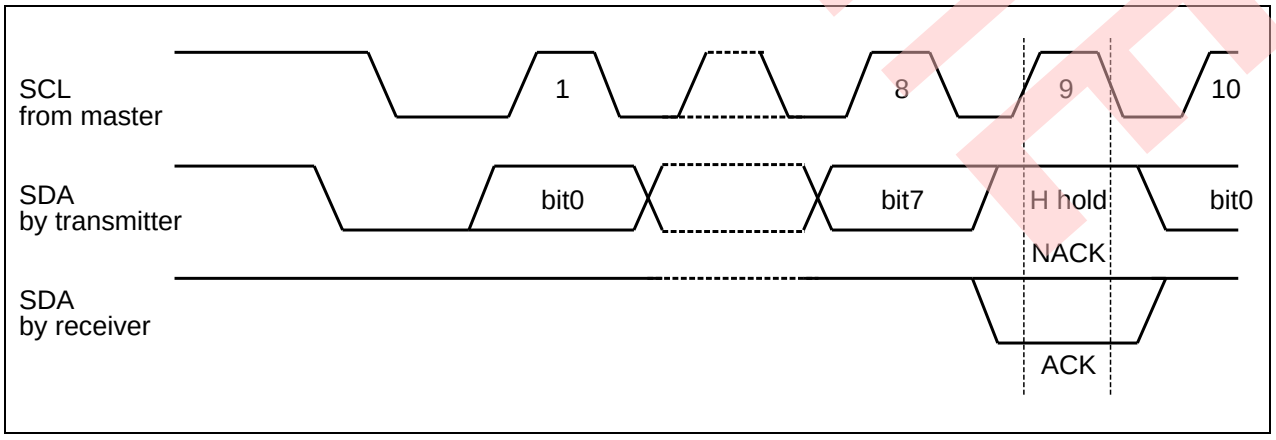
receiver は、data を 1 バイト (8 ビット) 受信するごとに、transmitter に対して data を受信できたことを示す ACK 信号を返します。

ACK 信号は、master が発生する SCL 信号に合わせ、data 8 ビット送信後の 9 clk 目にて、送信されます。

■transmitter は、SCL9 clk 目に SDA 出力"open H"を維持します。

■receiver は、SCL9 clk 目に
data が受信できた場合 : SDA 出力"L" (ACK)
data が受信できなかった場合 : SDA 出力"open H"(NACK)
を出力し、transmitter に data 受信状況を知らせます。

ただし、master が receiver となっている場合、slave transmitter に対して、data 送信を終了しバスを開放させるため、最後の data 受信後は、ACK を返しません。この場合、slave transmitter は、バスを開放 (open H) し、master からの stop コンディション受信待ち受け状態になります。



OBSOLETE

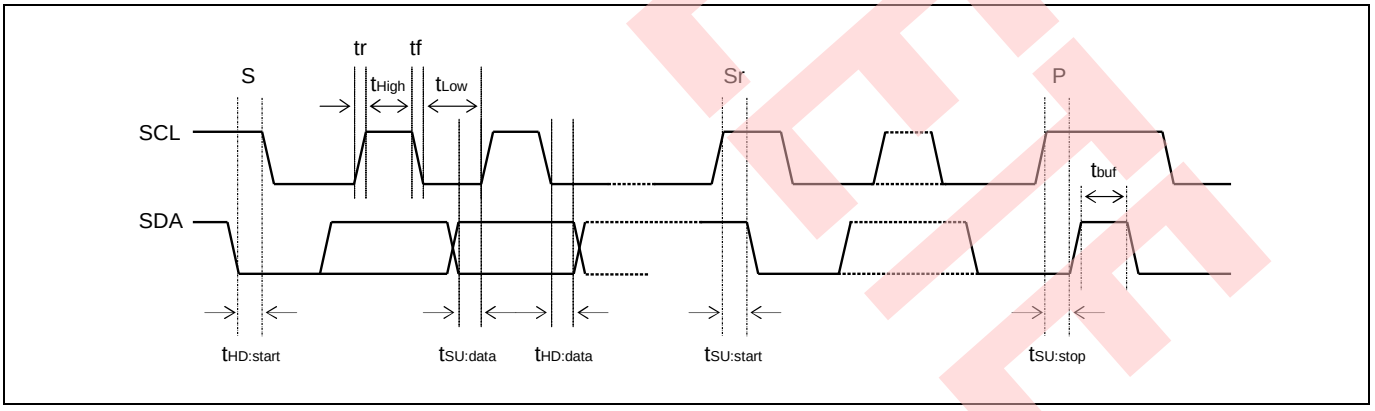
6. I²C インタフェース入力タイミング

(推奨動作条件下)

項目	記号	規格値				単位
		SCL=100 kHz		SCL=400 kHz		
		最小	最大	最小	最大	
SCL clock 周波数	fSCL	-	100	-	400	kHz
Start コンディションホールド時間	$t_{HD:start}$	4.0	-	0.6	-	µs
Restart コンディション セットアップ時間	$t_{SU:start}$	4.7	-	0.6	-	µs
Stop コンディション セットアップ時間	$t_{SU:stop}$	4.0	-	0.6	-	µs
Stop ~ Start バス開放時間	t_{buf}	4.7	-	1.3	-	µs
SCL "L" 時間	t_{Low}	4.7	-	1.3	-	µs
SCL "H" 時間	t_{High}	4.0	-	0.6	-	µs
SCL/SDA 立上り時間	t_r	-	1.0	-	0.3	µs
SCL/SDA 立下り時間	t_f	-	0.3	-	0.3	µs
Data ホールド時間	$t_{HD:data}$	0.0	-	0.0	-	µs
Data セットアップ時間	$t_{SU:data}$	0.25	-	0.10	-	µs
SCL/SDA 容量性負荷	C_b	-	400	-	400	pF

■VIH/VIL レベル基準

■I²C バス仕様書に準拠

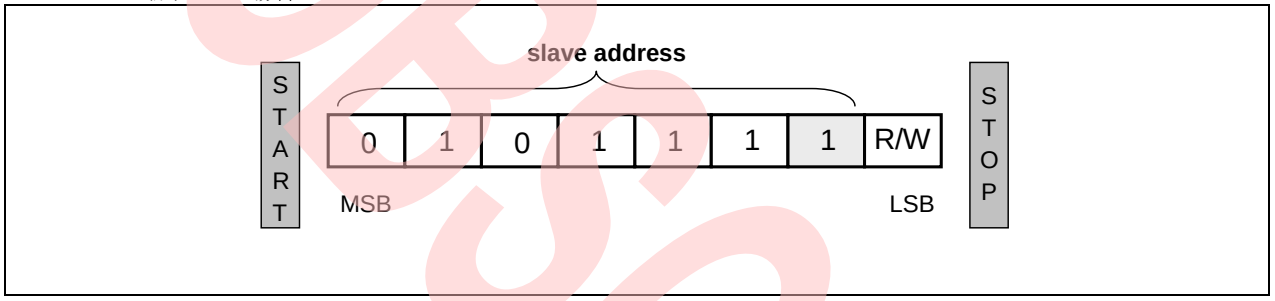


OBSOLETE

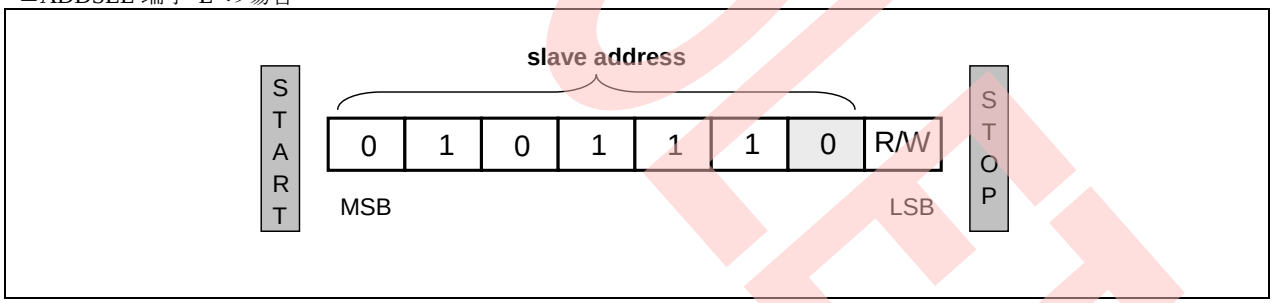
7. Slave Address

I²C インタフェースで通信するときの slave address です。
本 IC の slave address は以下のとおり最初の 7 ビットで設定します。
7 番目のビットは ADDSEL 端子に従い、"0"/"1"が可変します。
8 番目のビットは最下位ビット (LSB) と呼ばれメッセージの方向を決定するためのビットです。
8 番目のビットが "0"ならマスタからスレーブに向かって情報の書込み(W)が行われることを示します。"1"ならマスタがスレーブから情報を読み込む(R)ことを示します。
ゼネラル・コール・アドレスには対応しておりません。

■ADDSEL 端子"H"の場合



■ADDSEL 端子"L"の場合

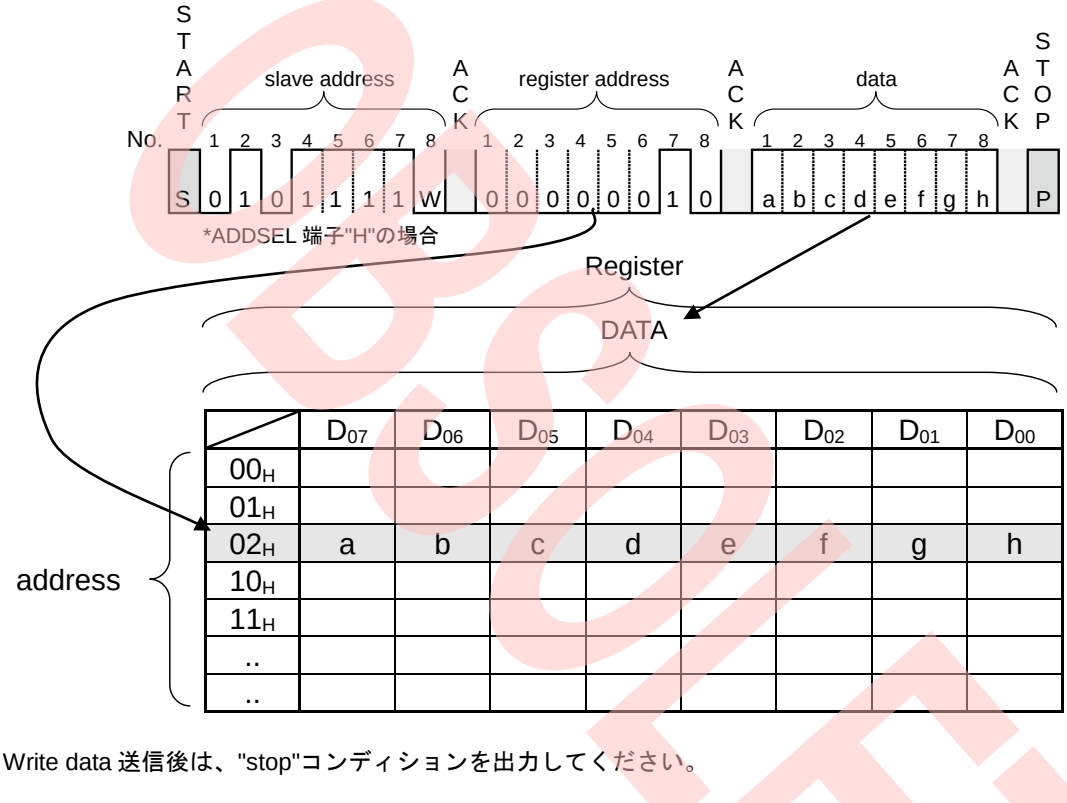


OBSOLETE

8. I²C インタフェース上での data のビット構成について

(1) レジスタへのデータ書込み，読出し

data 列は、最上位ビット(MSB)から最下位ビット(LSB)の順番で送受信されます。



Write data 送信後は、"stop"コンディションを出力してください。

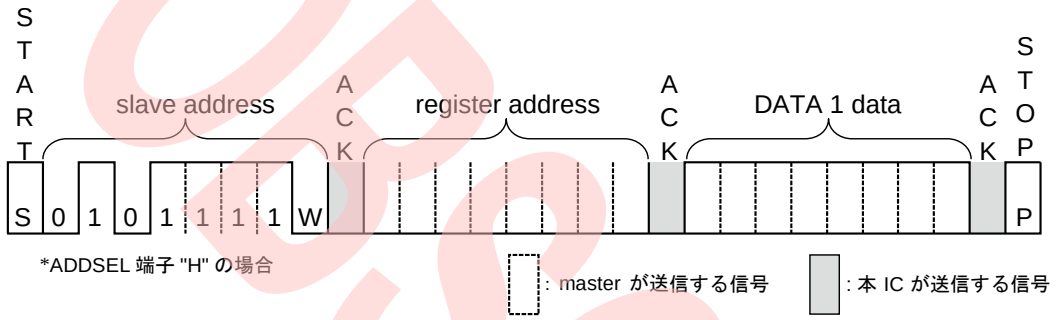
OBSOLETE

(2) I²C インタフェース data フォーマット

I²C の通信について

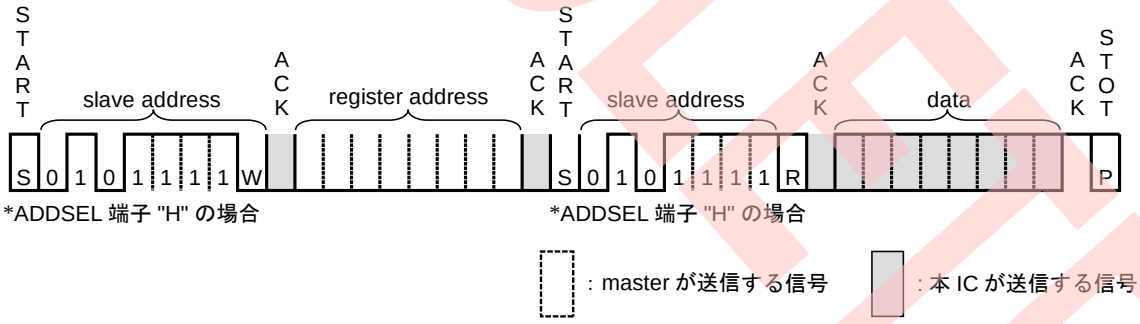
1. 異なる slave address がきた場合、salve address を受信後 ACK を返さないことで ID が一致しないことを知らせます。
2. すべてのレジスタは各設定の 8 ビットデータを受け取った後の ACK の信号にて内部レジスタへの書込みを行います。
3. 存在しない Register address が指定された場合、データはレジスタには書き込まれません。
4. Write データ送信後は"stop" コンディションを出力してください。

<書込み(W)時>



書込みは、1 アドレスごとの書込みとなります(連続書き込みは出来ません)。
resister address と data を 1 つの単位として送出してください。

＜読出し(R)時＞



読出しは、1 アドレスごとの読出しとなります。必ず resister address を指定して read してください(連続読み出しはできません)。

OBSOLETE

21. I²C インタフェースと data の構成について

レジスタマップ

	Address	DATA									書込みタイミング	内容/備考
		d07	d06	d05	d04	d03	d02	d01	d00	Default		
出力電圧	00_H	X	X	X	X	D03	D02	D01	D00	00_H* 05_H* $0A_H$* $0F_H$*	ACK	DD1 出力電圧設定
	01_H	X	X	X	X	D03	D02	D01	D00	00_H* 03_H* 06_H* $0C_H$*	ACK	DD2 出力電圧設定
	02_H	X	X	X	X	X	X	D01	D00	03_H	ACK	LDO 出力電圧設定
ソフトスタート	10_H	X	X	X	X	D03	D02	D01	D00	01_H	ACK	DD1 ソフトスタート時間設定
	11_H	X	X	X	X	D03	D02	D01	D00	01_H*/ 03_H*	ACK	DD2 ソフトスタート時間設定
	12_H	X	X	X	X	D03	D02	D01	D00	03_H	ACK	LDO ソフトスタート時間設定
DD 動作モード	20_H	X	X	X	X	X	X	D01	D00	00_H	ACK	DD1, DD2 動作モード設定 "0": Fixed PWM モード, "1": PFM/PWM モード
ON/OFF	30_H	X	X	X	X	X	D02	D01	D00	00_H	ACK	DD1, DD2, LDO 出力 ON/OFF 設定 "0":出力 OFF/ "1":出力 ON
テスト用	FX_H	-	-	-	-	-	-	-	-	-	-	使用禁止

*: プリセット値変更品により異なります。

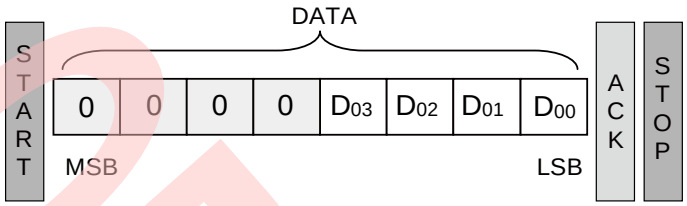
■レジスタマップの"X"部はレジスタを持っていないため、read 時は"0"が返ります。

■FX_H アドレスはテスト用として使用します。通常時は使用禁止です。
FX_H アドレスへの write/resd は行わないでください。

OBSOLETE

(1) DD1, DD2 出力電圧制御について

1. DC/DC の出力電圧制御用のレジスタとして、address 00_H, 01_H が割り当てられています。
2. DC/DC 出力電圧制御は、address 00_H, 01_H に、data を write することでコントロールされます。



address 00_H : DD1 出力電圧設定用
address 01_H : DD2 出力電圧設定用
D_{03}~D_{00}:出力電圧の設定を行います。

DD1 出力電圧設定テーブル

DATA	出力電圧
00_H	1.00*
01_H	1.02
02_H	1.04
03_H	1.06
04_H	1.08
05_H	1.10*
06_H	1.12
07_H	1.14
08_H	1.16
09_H	1.18
$0A_H$*	1.20*
$0B_H$	1.22
$0C_H$	1.24
$0D_H$	1.26
$0E_H$	1.28
$0F_H$	1.30*

[V]

DD2 出力電圧設定テーブル

DATA	出力電圧
00_H	1.20*
01_H	1.25
02_H	1.30
03_H	1.35*
04_H	1.40
05_H	1.45
06_H	1.50*
07_H	1.55
08_H	1.60
09_H	1.65
$0A_H$	1.70
$0B_H$	1.75
$0C_H$*	1.80*
$0D_H$	1.85
$0E_H$	1.90
$0F_H$	1.95

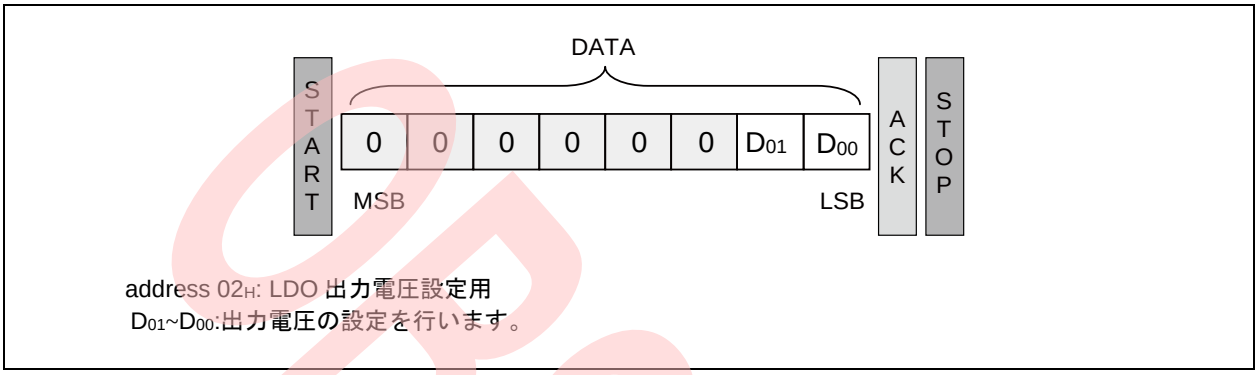
[V]

*: プリセット値変更品で選択可能な出力電圧

OBSOLETE

(2) LDO の出力電圧制御について

1. LDO の出力電圧制御用のレジスタとして、address 02_H が割り当てられています。
2. LDO の出力電圧制御は、address 02_H に、data を write することでコントロールされます。



LDO 出力電圧設定テーブル

DATA	出力電圧
00_H	2.80
01_H	2.85*
02_H	3.00
03_H*	3.30*

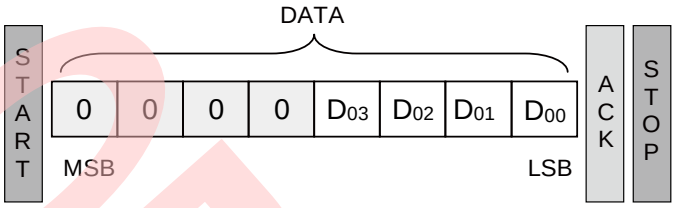
[V]

*: プリセット値変更品で選択可能な出力電圧

OBSOLETE

(3) ソフトスタート時間について

1. ソフトスタート時間制御用のレジスタとして 10_H~12_H が割り当てられています。
2. ソフトスタート時間制御は、10_H~12_H に、data を write することでコントロールされます。



address10_H: DD1 ソフトスタート時間設定用
address11_H: DD2 ソフトスタート時間設定用
address12_H: LDO ソフトスタート時間設定用
D_{03}~D_{00}: ソフトスタート時間の設定を行います。

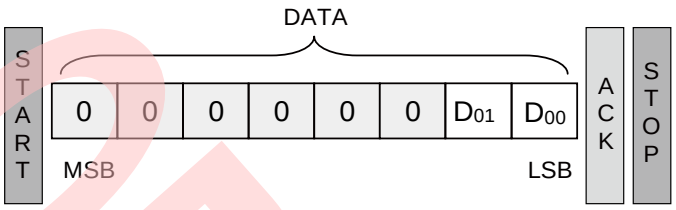
ソフトスタート時間設定テーブル

DATA1	ソフトスタート時間	デフォルト設定
00_H	14.3 ms	
01_H	0.9 ms	DD1, DD2
02_H	1.8 ms	
03_H	2.7 ms	LDO
04_H	3.6 ms	
05_H	4.5 ms	
06_H	5.4 ms	
07_H	6.3 ms	
08_H	7.2 ms	
09_H	8.1 ms	
$0A_H$	9.0 ms	
$0B_H$	9.9 ms	
$0C_H$	10.8 ms	
$0D_H$	11.6 ms	
$0E_H$	12.5 ms	
$0F_H$	13.4 ms	

OBSOLETE

(4) DC/DC 動作モードについて

1. DC/DC の動作モード制御用のレジスタとして、address 20_H が割り当てられています。
2. DC/DC の動作モード制御は、address 20_H に、data を write することでコントロールされます。



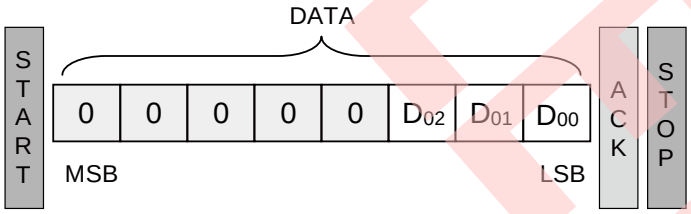
address20_H: DC/DC 動作モード設定用
D_{01}~D_{00}: DC/DC 動作モードの設定を行います。

Address	ビット	値	ビット内容	値	ビット内容
20_H	D00	0*	DD1 Fixed PWM*	1	DD1 PFM/PWM
20_H	D01	0*	DD2 Fixed PWM*	1	DD2 PFM/PWM

*: プリセット値

(5) DC/DC, LDO の ON/OFF について

1. DC/DC,LDO の ON/OFF 制御用のレジスタとして、address 30_H が割り当てられています。
2. DC/DC,LDO の ON/OFF 制御は、address 30_H に、data を write することでコントロールされます。



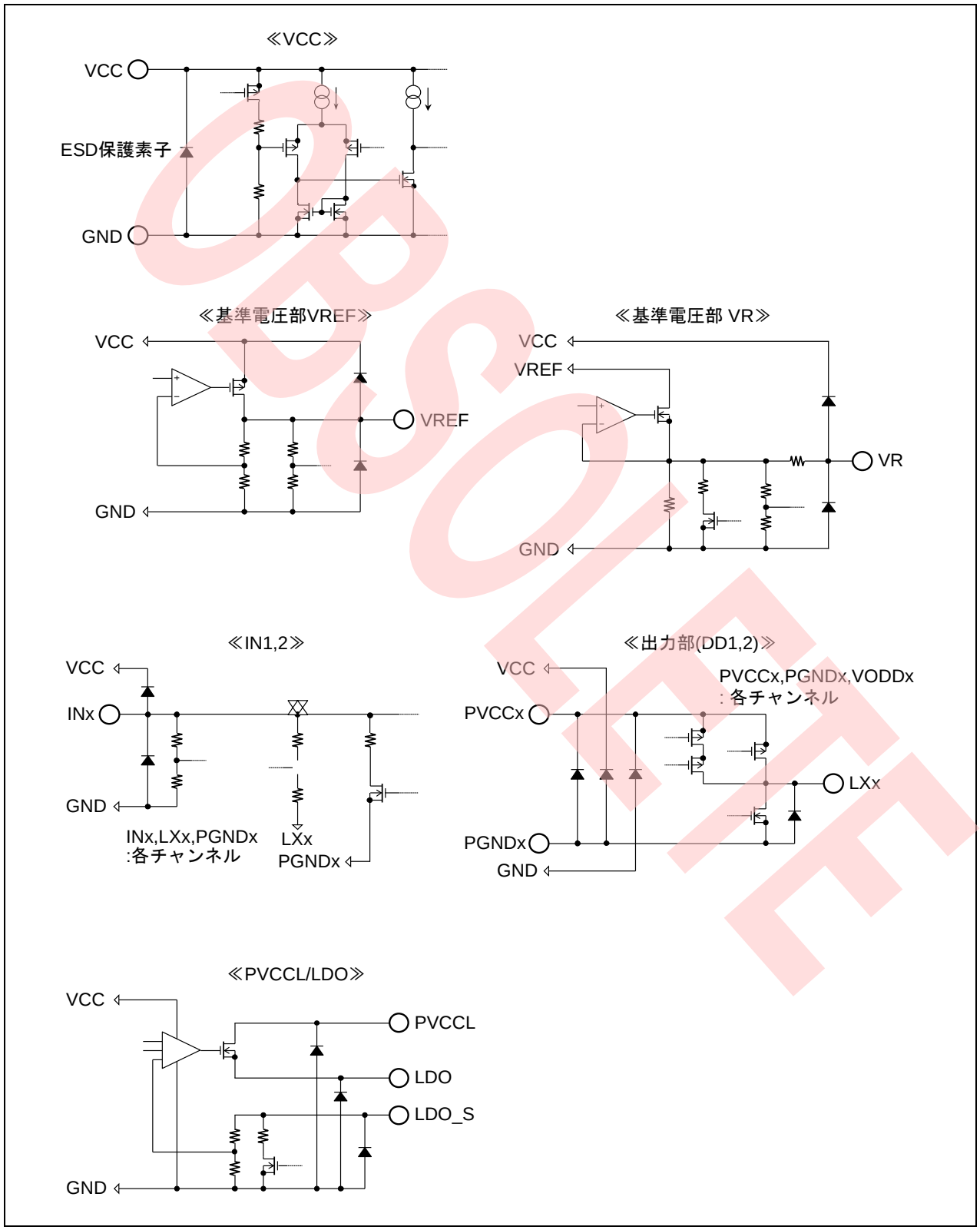
address30_H: DC/DC, LDO の ON/OFF 設定用
D_{02}~D_{00}: DC/DC, LDO の ON/OFF の設定を行います。

Address	ビット	値	ビット内容	値	ビット内容
30_H	D00	0*	DD1 出力 OFF*	1	DD1 出力 ON
30_H	D01	0*	DD2 出力 OFF*	1	DD2 出力 ON
30_H	D02	0*	LDO 出力 OFF*	1	LDO 出力 ON

*: プリセット値

OBSOLETE

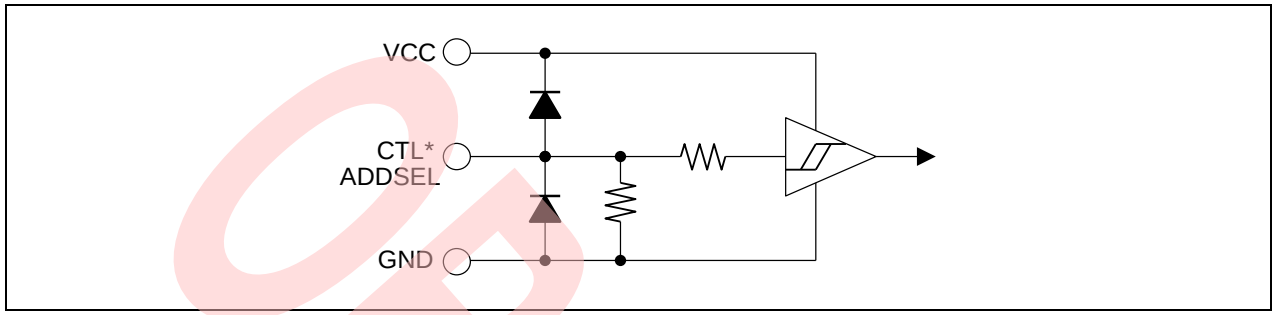
22. 入出力端子等価回路図



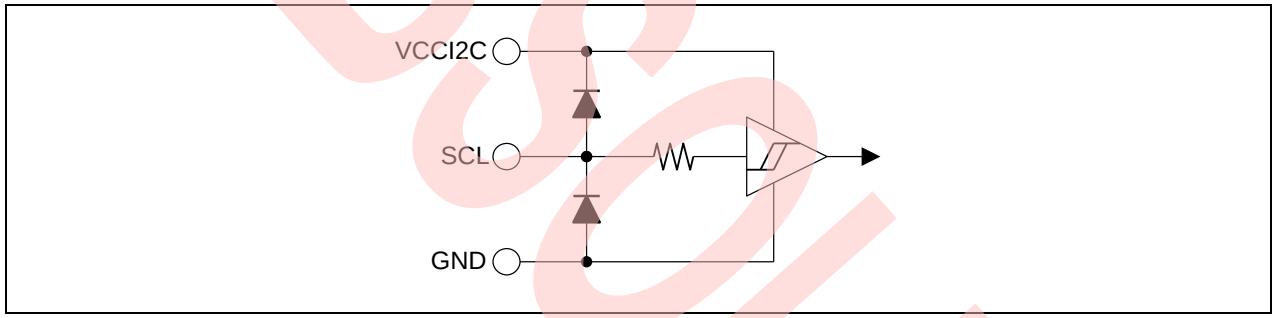
OBSOLETE

23. 入出力回路形式

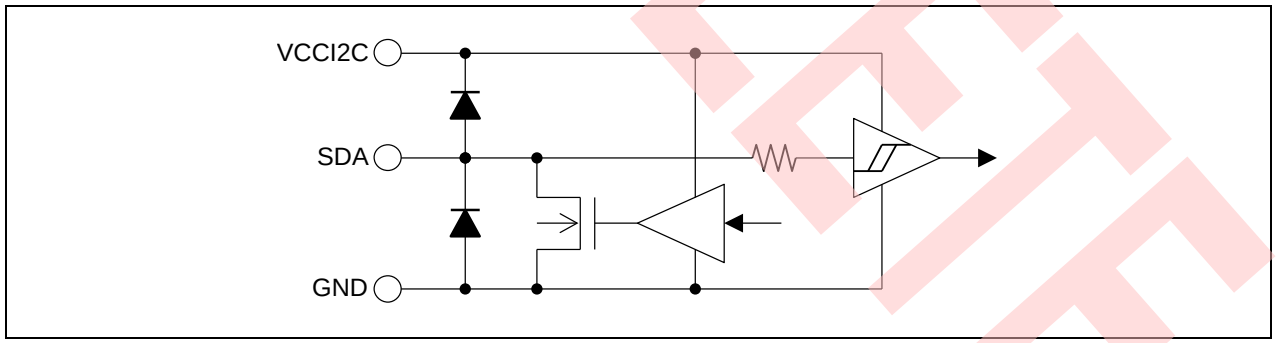
CTLMAIN/CTL1/CTL2/CTLL/ADDSEL 端子



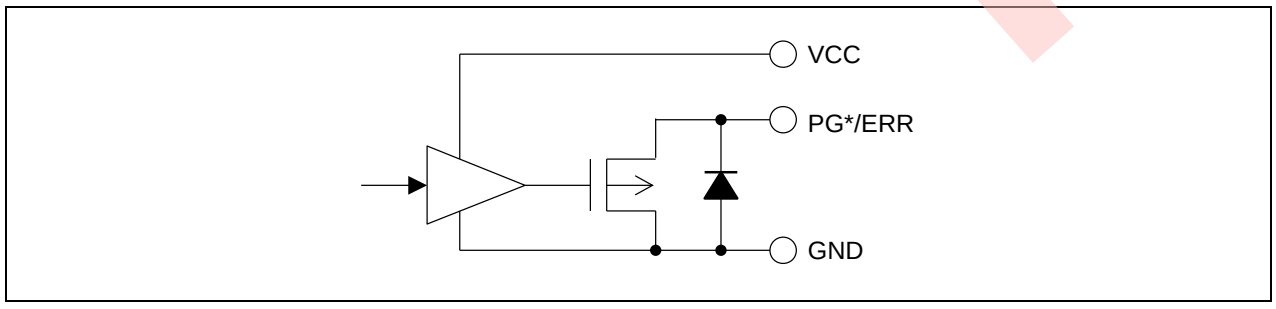
SCL 端子



SDA 端子

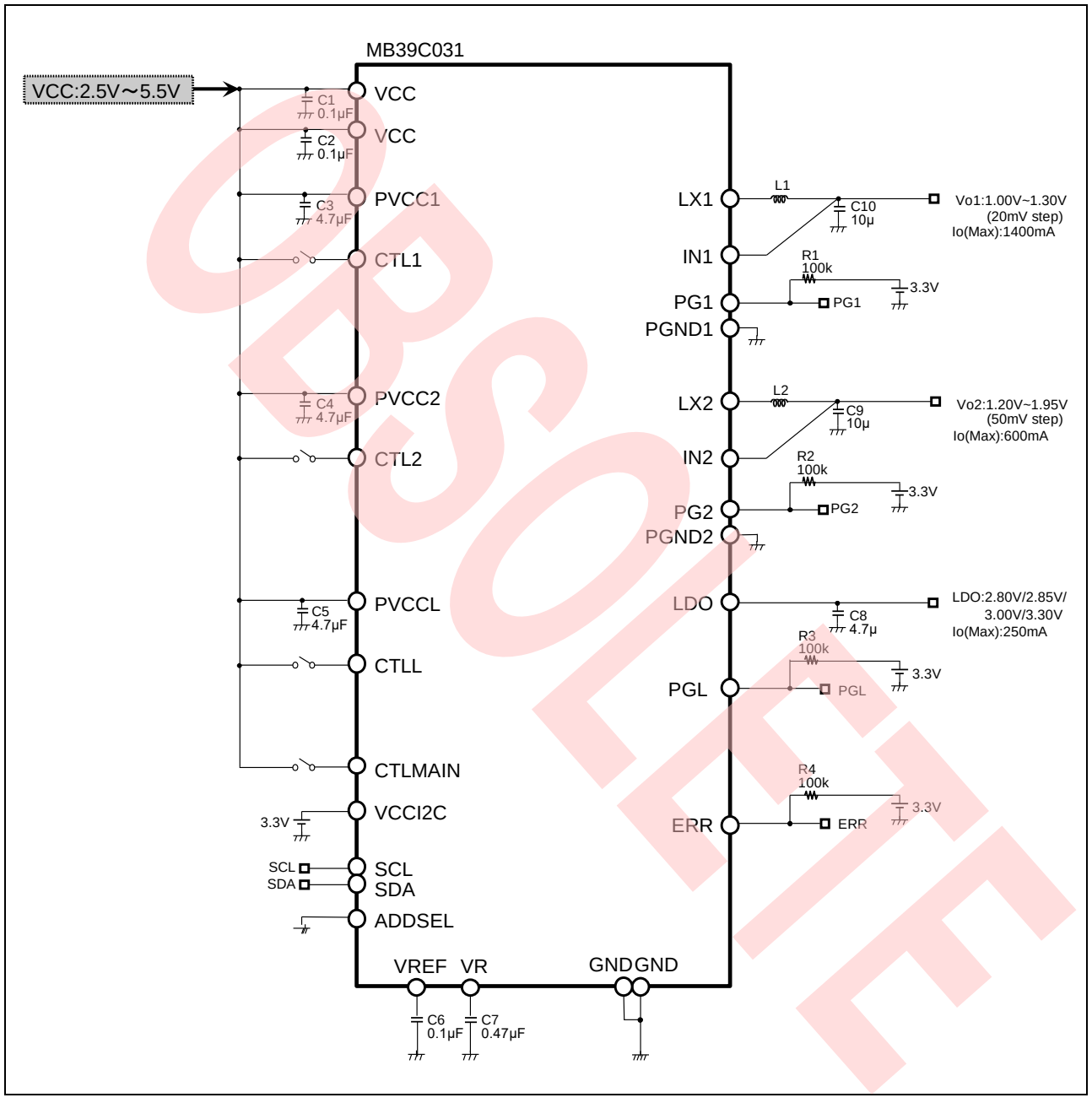


PG1/PG2/PGL/ERR 端子



OBSOLETE

24. 標準動作特性測定回路



OBSOLETE

部品表

記号 (回路図表記)	品名	型格	仕様	ベンダ
L1	メタルアロイインダクタ	1299AS-H-1R5N	1.5 µH	TOKO
L2	メタルアロイインダクタ	1299AS-H-1R5N	1.5 µH	TOKO
C1	セラミックコンデンサ	C1608X5R1H104K	0.1 µF	TDK
C2	セラミックコンデンサ	C1608X5R1H104K	0.1 µF	TDK
C3	セラミックコンデンサ	C1608X5R1V475K	4.7 µF	TDK
C4	セラミックコンデンサ	C1608X5R1V475K	4.7 µF	TDK
C5	セラミックコンデンサ	C1608X5R1V475K	4.7 µF	TDK
C6	セラミックコンデンサ	C1608X5R1H104K	0.1 µF	TDK
C7	セラミックコンデンサ	C1608X5R1H474K	0.47 µF	TDK
C8	セラミックコンデンサ	C1608X5R1V475K	4.7 µF	TDK
C9	セラミックコンデンサ	C1608X5R1A106K	10 µF	TDK
C10	セラミックコンデンサ	C1608X5R1A106K	10 µF	TDK
R1	抵抗	RR0816P-104-D	100 kΩ	SSM
R2	抵抗	RR0816P-104-D	100 kΩ	SSM
R3	抵抗	RR0816P-104-D	100 kΩ	SSM
R4	抵抗	RR0816P-104-D	100 kΩ	SSM

TOKO :東光株式会社
TDK　:TDK 株式会社
SSM　:進工業株式会社

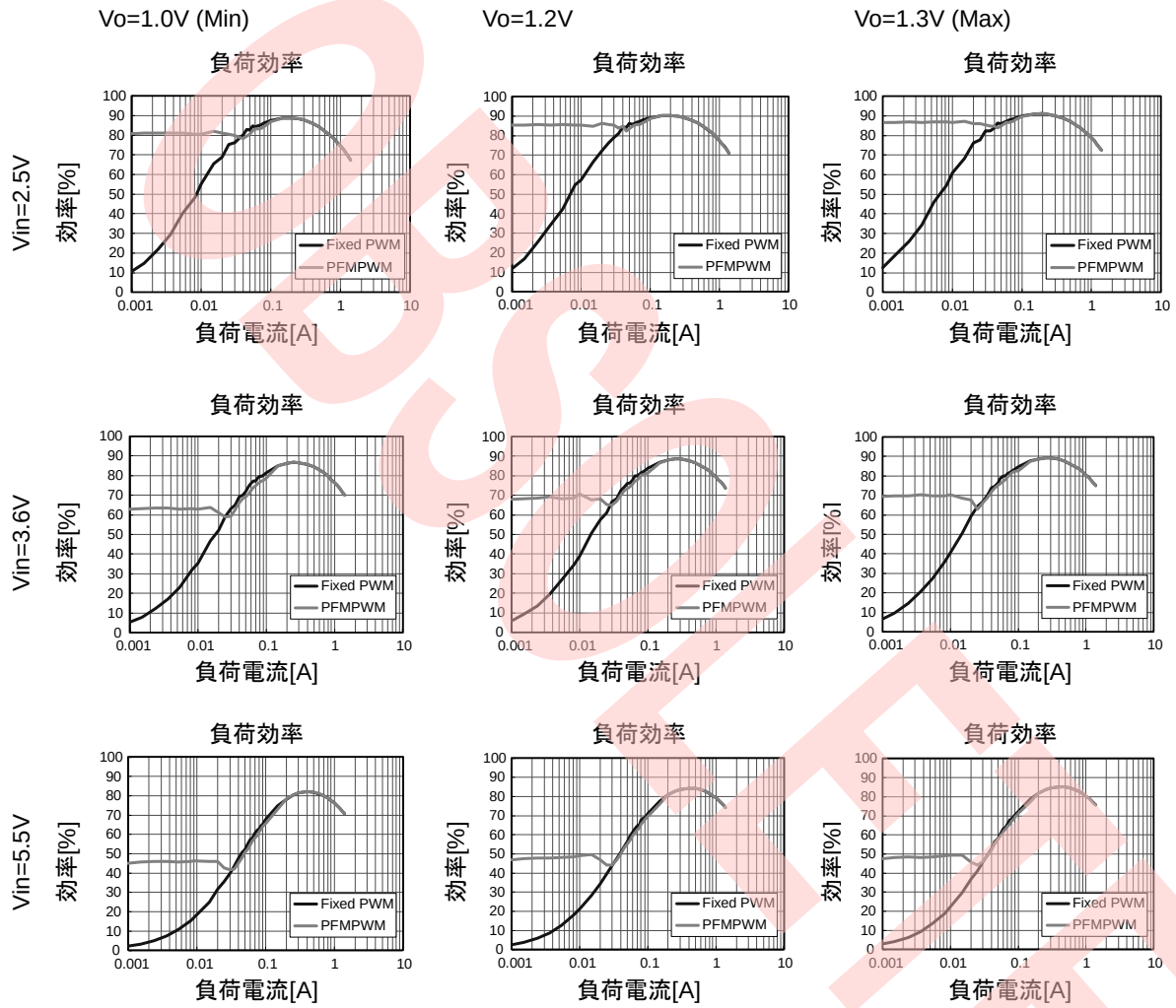
(注意事項)上記は推奨部品です。

OBSOLETE

25. 特性例

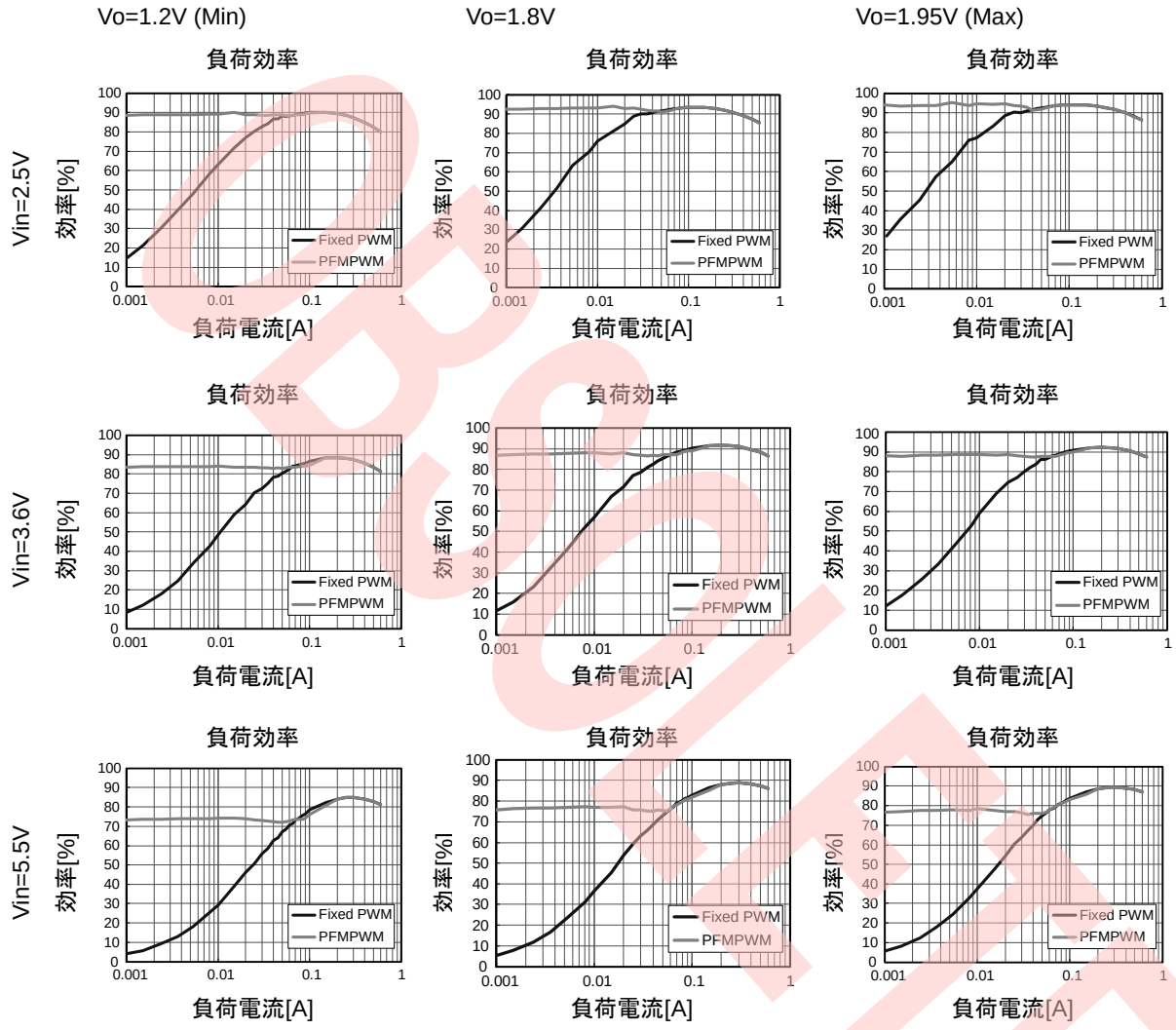
■DC/DC 負荷効率特性

・DD1



OBSOLETE

・DD2



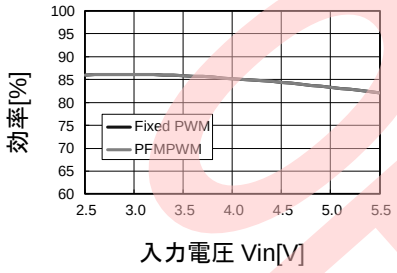
PROTOTYPE

■DC/DC ライン効率特性

・DD1

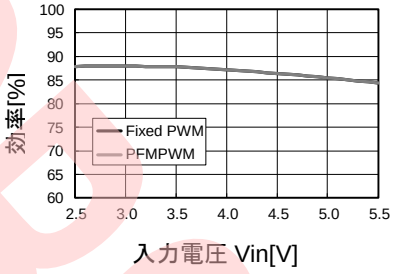
Vo=1.0V (Min)

ライン効率(Io=400mA)



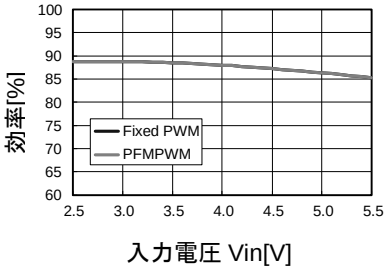
Vo=1.2V

ライン効率(Io=400mA)



Vo=1.3V (Max)

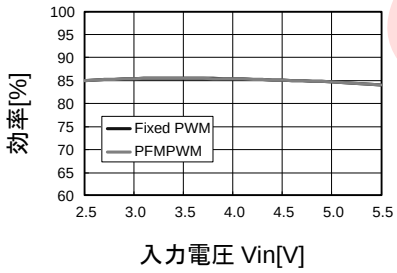
ライン効率(Io=400mA)



・DD2

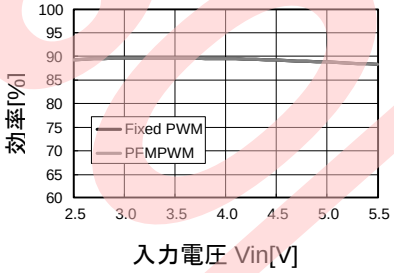
Vo=1.2V (Min)

ライン効率(Io=400mA)



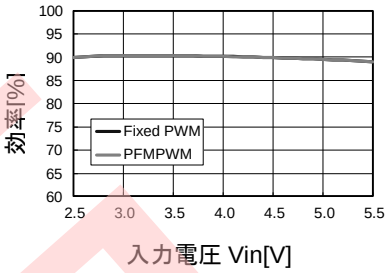
Vo=1.8V

ライン効率(Io=400mA)



Vo=1.95V (Max)

ライン効率(Io=400mA)

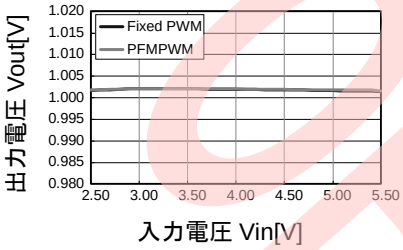


OBSOLETE

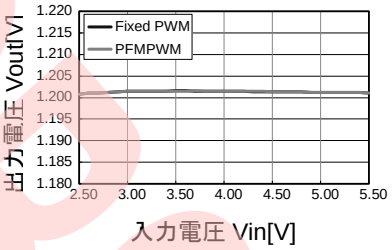
■DC/DC ラインレギュレーション特性

・DD1

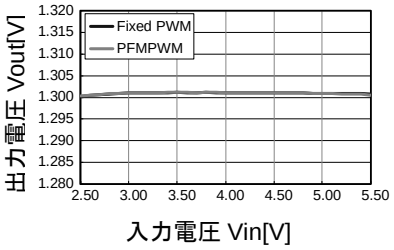
Vo=1.0V (Min)



Vo=1.2V

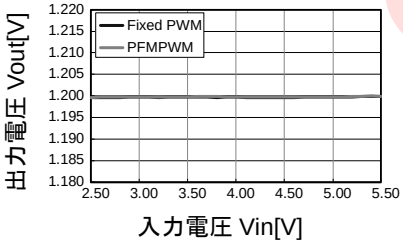


Vo=1.3V (Max)

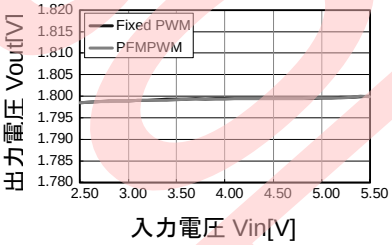


・DD2

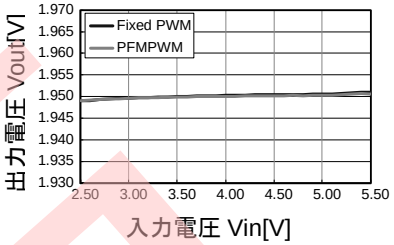
Vo=1.2V (Min)



Vo=1.8V



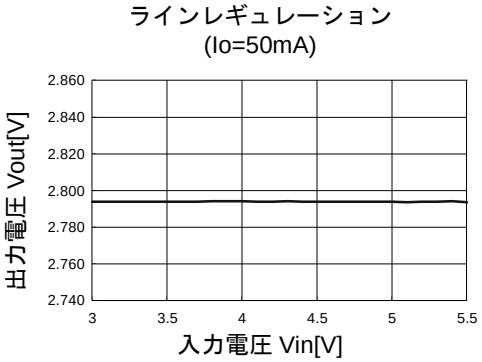
Vo=1.95V (Max)



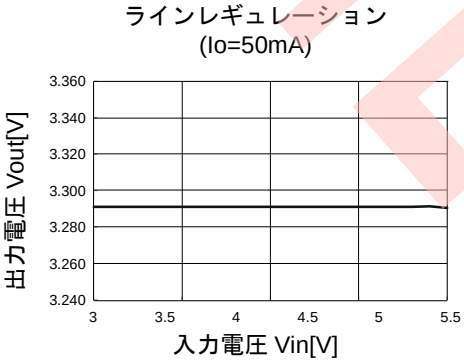
■LDO ラインレギュレーション特性

・LDO

Vo=2.8V (Min)



Vo=3.3V (Max)

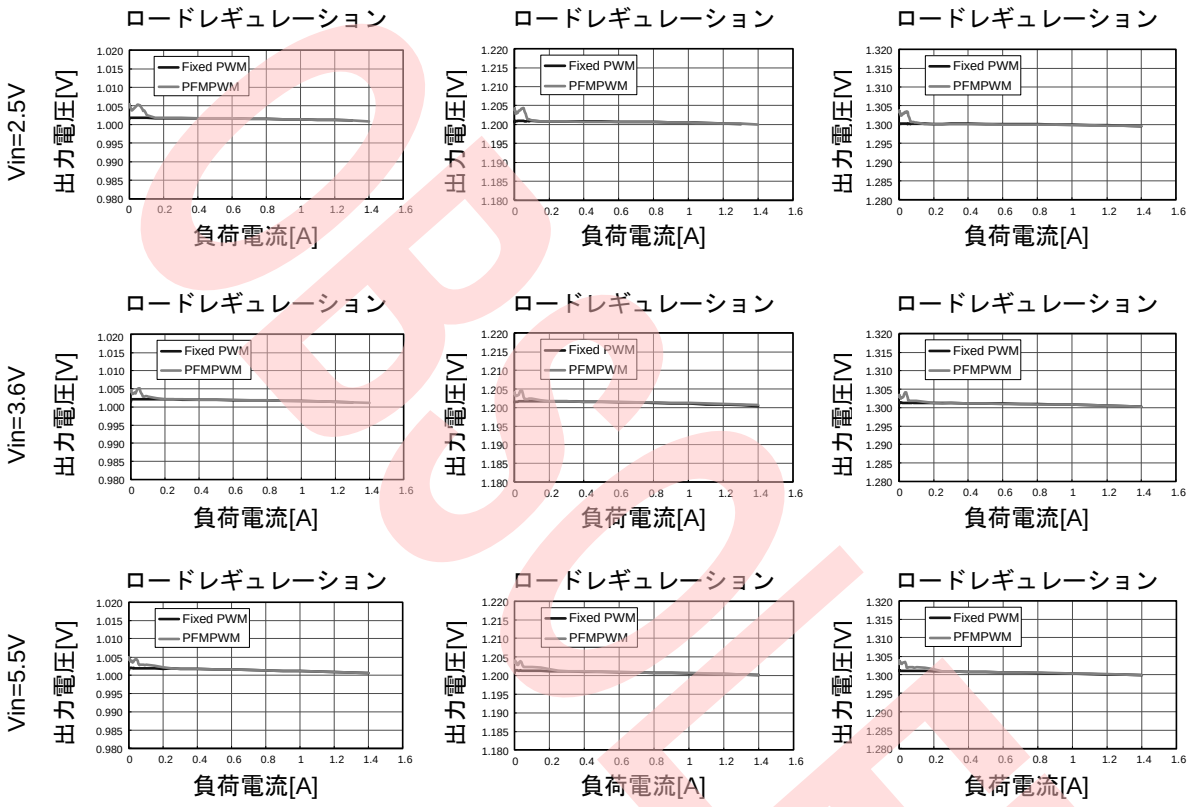


OBSOLETE

■DC/DC ロードレギュレーション特性

・DD1

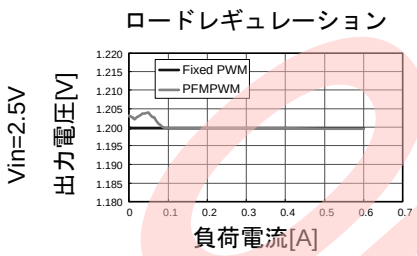
Vo=1.0V (Min)　Vo=1.2V　Vo=1.3V (Max)

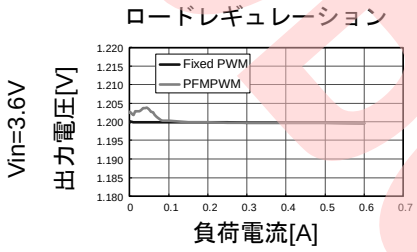


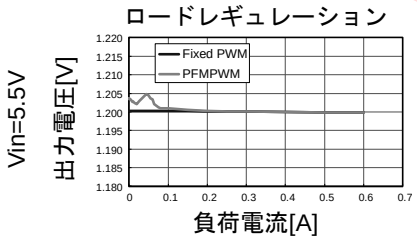
OBSOLETE

・DD2

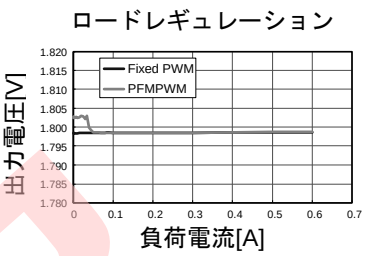
Vo=1.2V (Min)

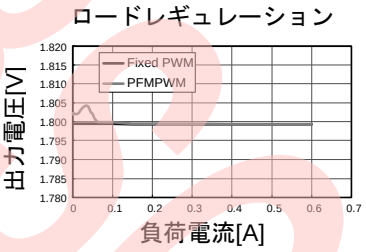


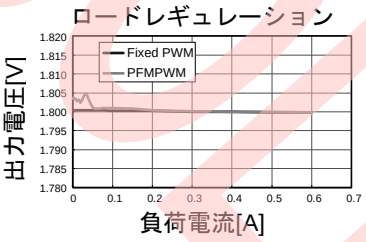




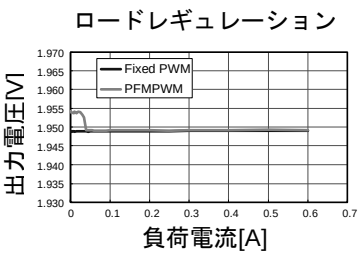
Vo=1.8V

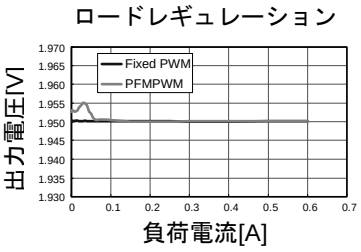


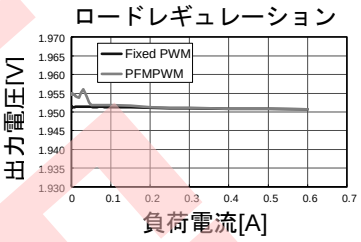




Vo=1.95V (Max)







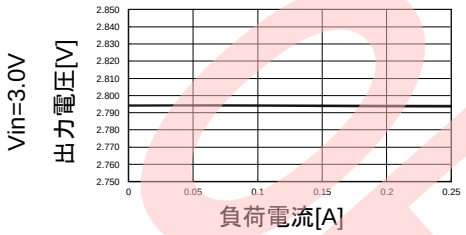
OBSOLETE

■LDO ロードレギュレーション特性

・LDO

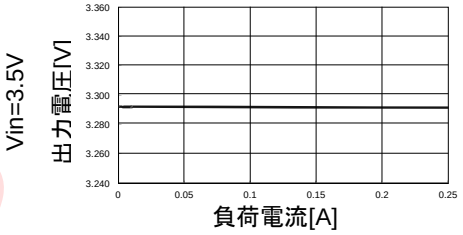
Vo=2.8V (Min)

ロードレギュレーション

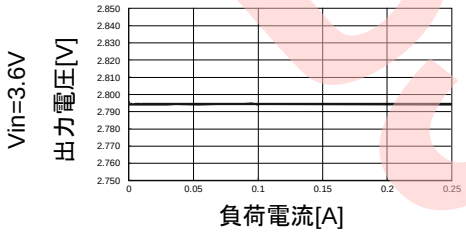


Vo=3.3V (Max)

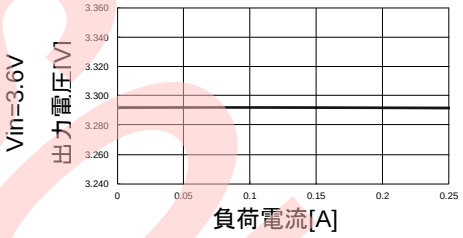
ロードレギュレーション



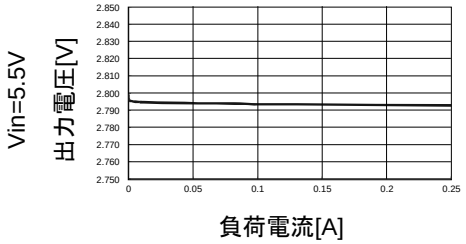
ロードレギュレーション



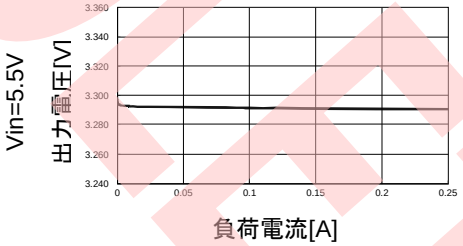
ロードレギュレーション



ロードレギュレーション



ロードレギュレーション

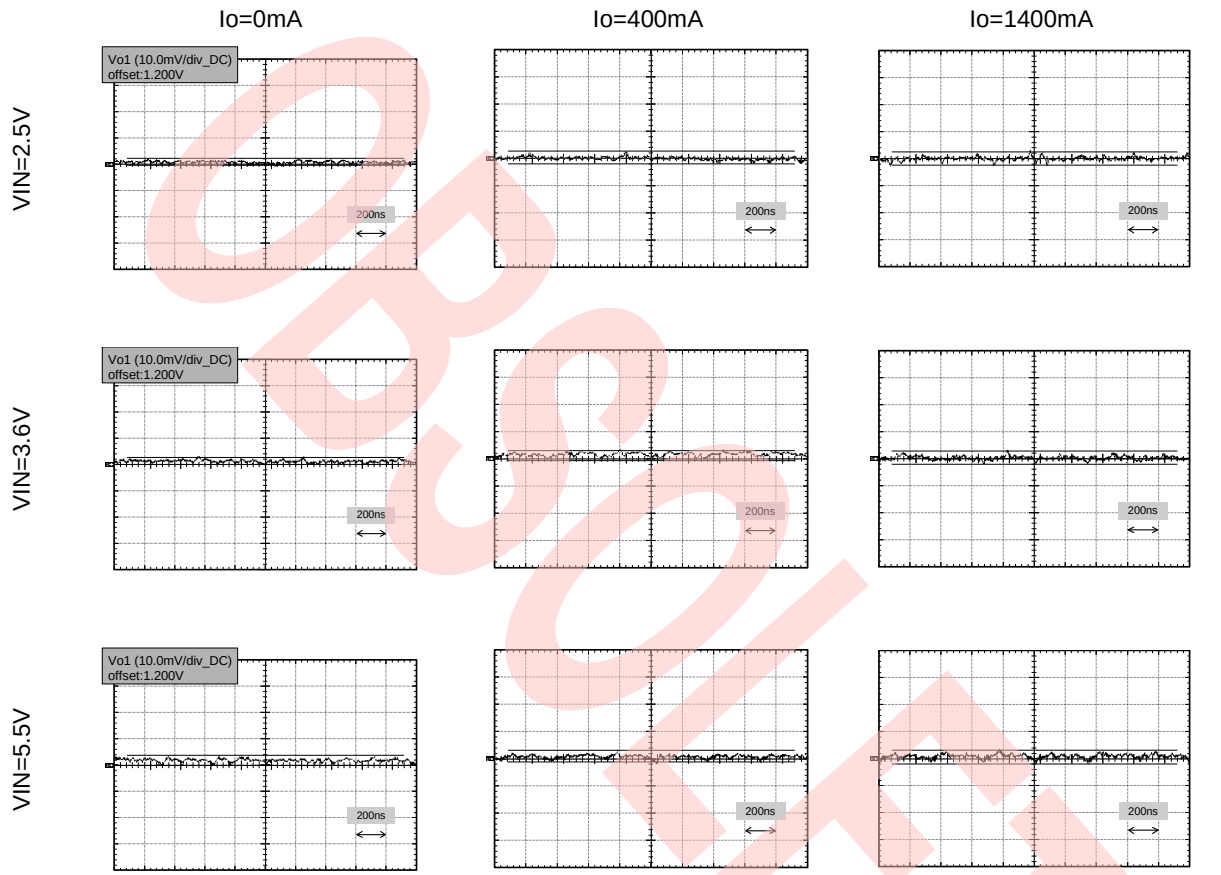


OBSOLETE

■DC/DC 出力リップル波形

・DD1(Fixed PWM モード)

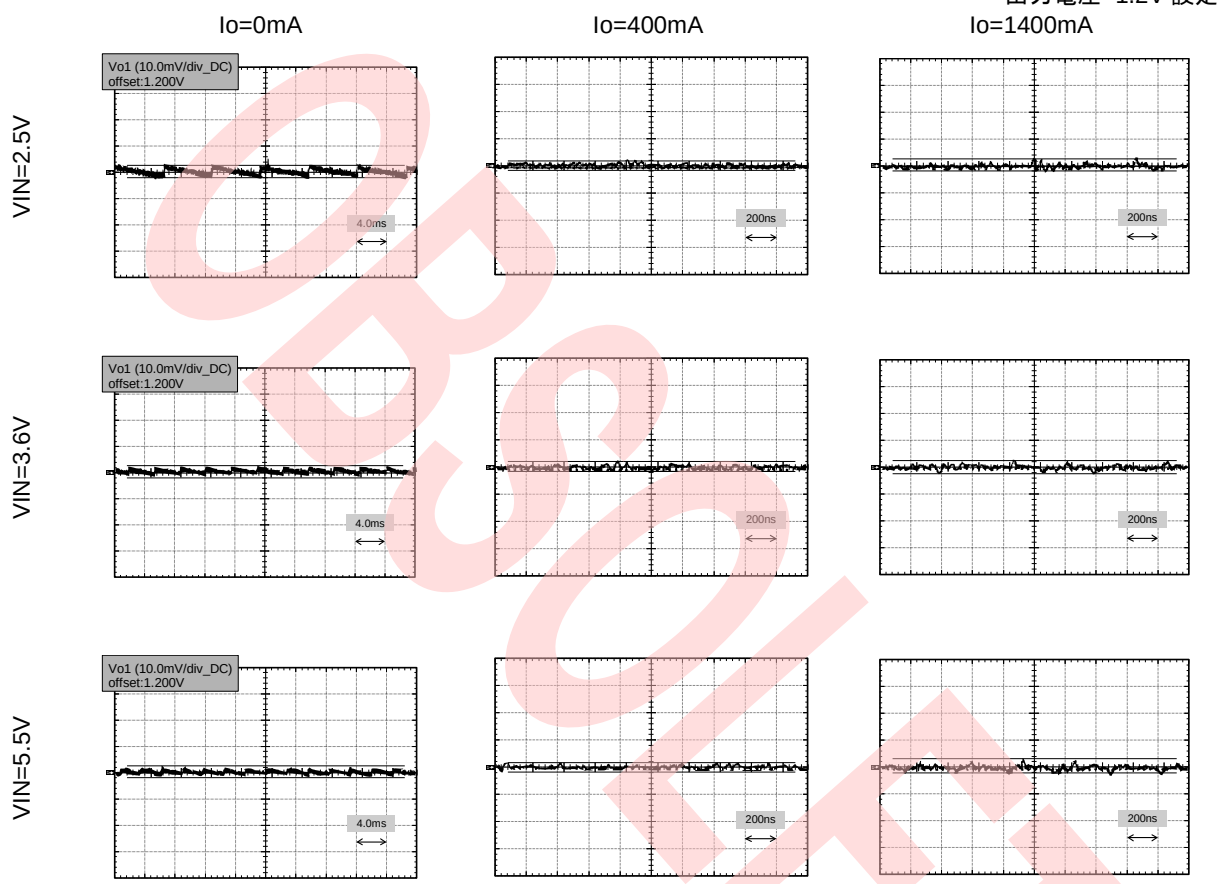
出力電圧=1.2V 設定



OBSOLETE

・DD1 (PFM/PWM モード)

出力電圧=1.2V 設定



OBSOLETE

・DD2 (Fixed PWM モード)

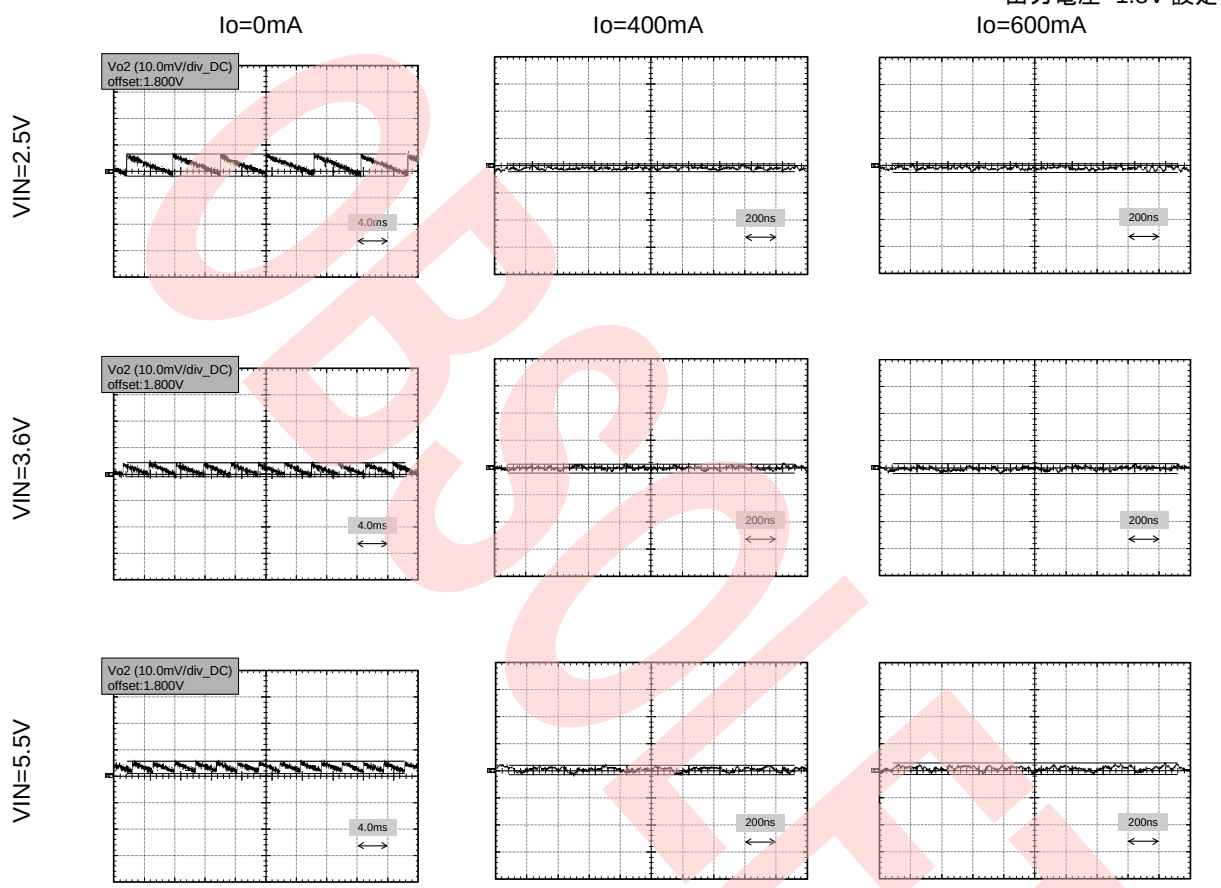
出力電圧=1.8V 設定



OBSOLETE

・DD2 (PFM/PWM モード)

出力電圧=1.8V 設定



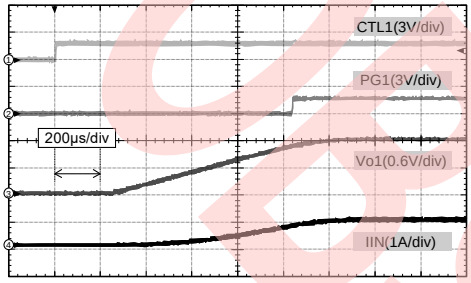
OBSOLETE

■DD1 起動/切断波形

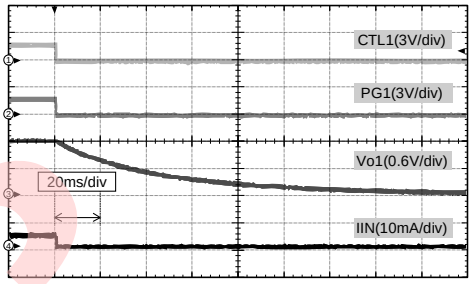
出力電圧=1.2V 設定
ソフトスタート設定=0.9ms
Fixed PWM モード
外部端子(CTL1)による制御

VCC = 2.5V

Io=1400mA

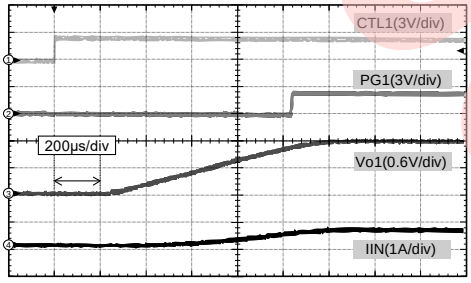


Io=0mA

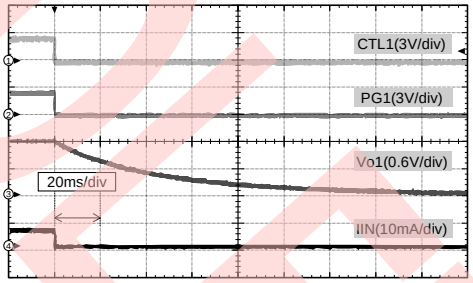


VCC = 3.6V

Io=1400mA

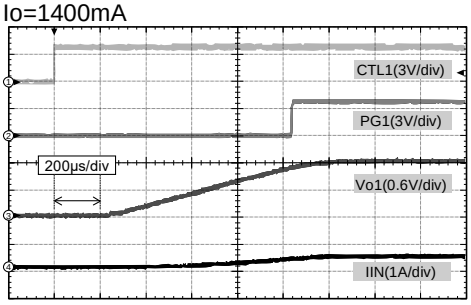


Io=0mA

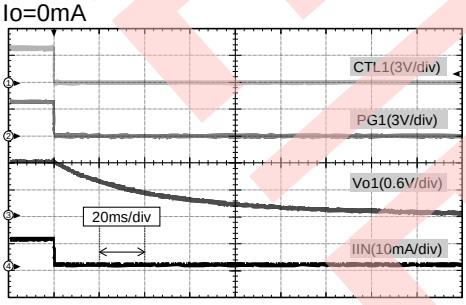


VCC = 5.5V

Io=1400mA



Io=0mA



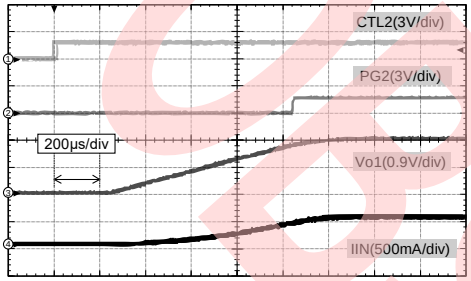
OBSOLETE

■DD2 起動/切断波形

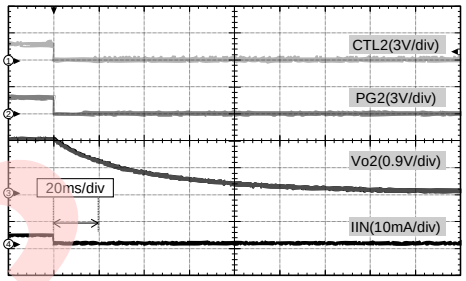
出力電圧=1.8V 設定
ソフトスタート設定=0.9ms
Fixed PWM モード
外部端子(CTL2)による制御

VCC = 2.5V

Io=600mA

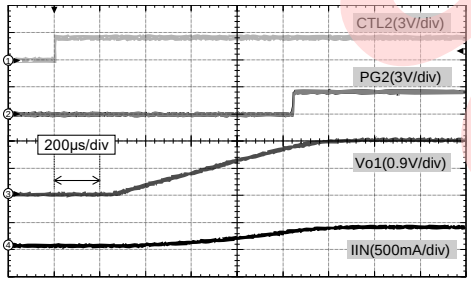


Io=0mA

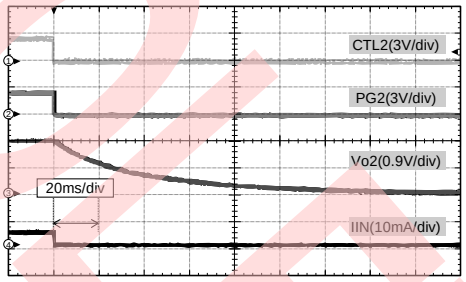


VCC = 3.6V

Io=600mA

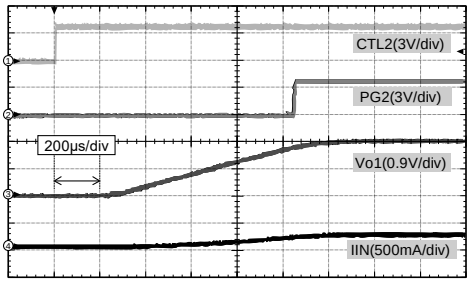


Io=0mA

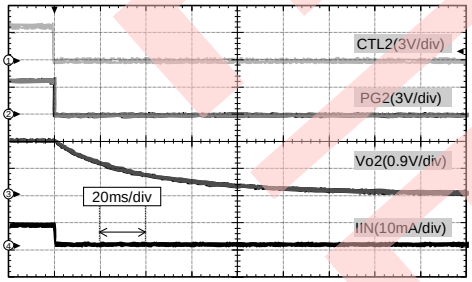


VCC = 5.5V

Io=600mA



Io=0mA

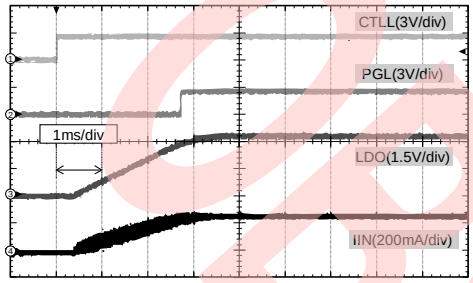


OBSOLETE

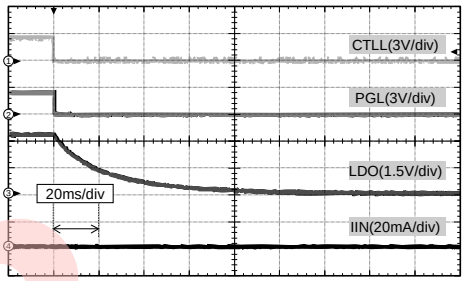
■LDO 起動/切断波形

出力電圧=3.3V 設定
ソフトスタート設定=2.7ms
外部端子(CTLL)による制御

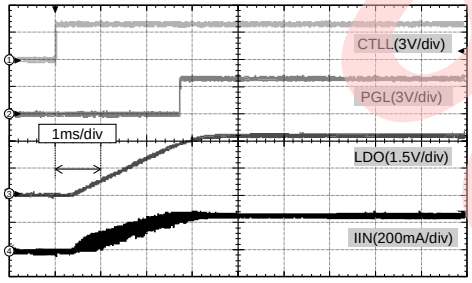
VCC = 3.6V
Io=250mA



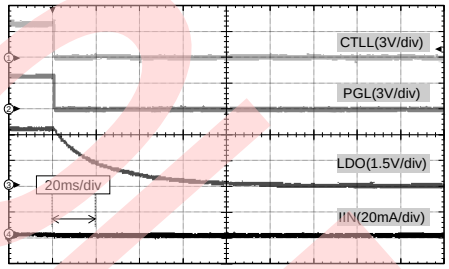
Io=0mA



VCC = 5.5V
Io=250mA



Io=0mA

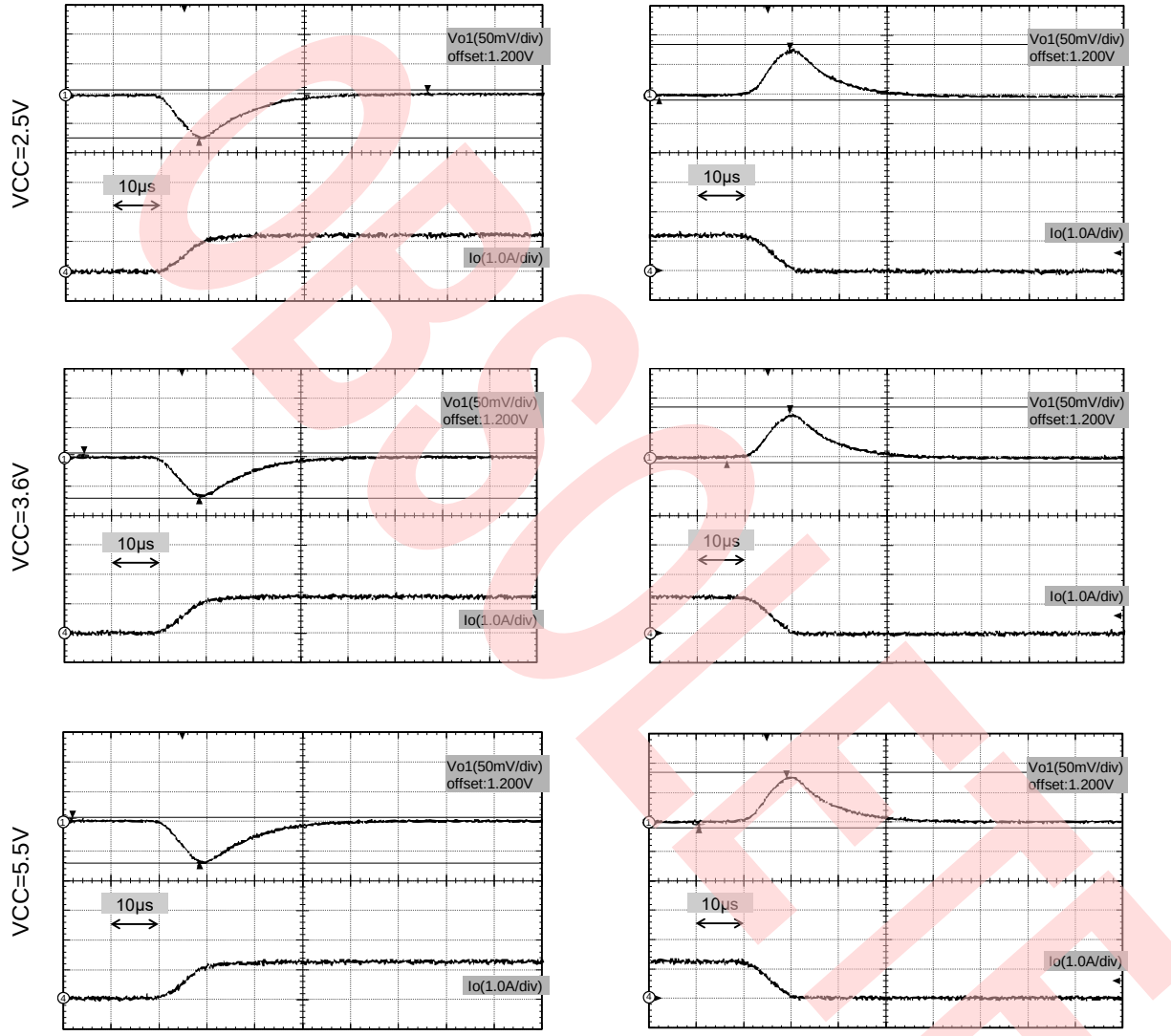


OBSOLETE

■DC/DC 負荷急変特性

・DD1(Fixed PWM モード) 0mA⇔1400mA/10μs

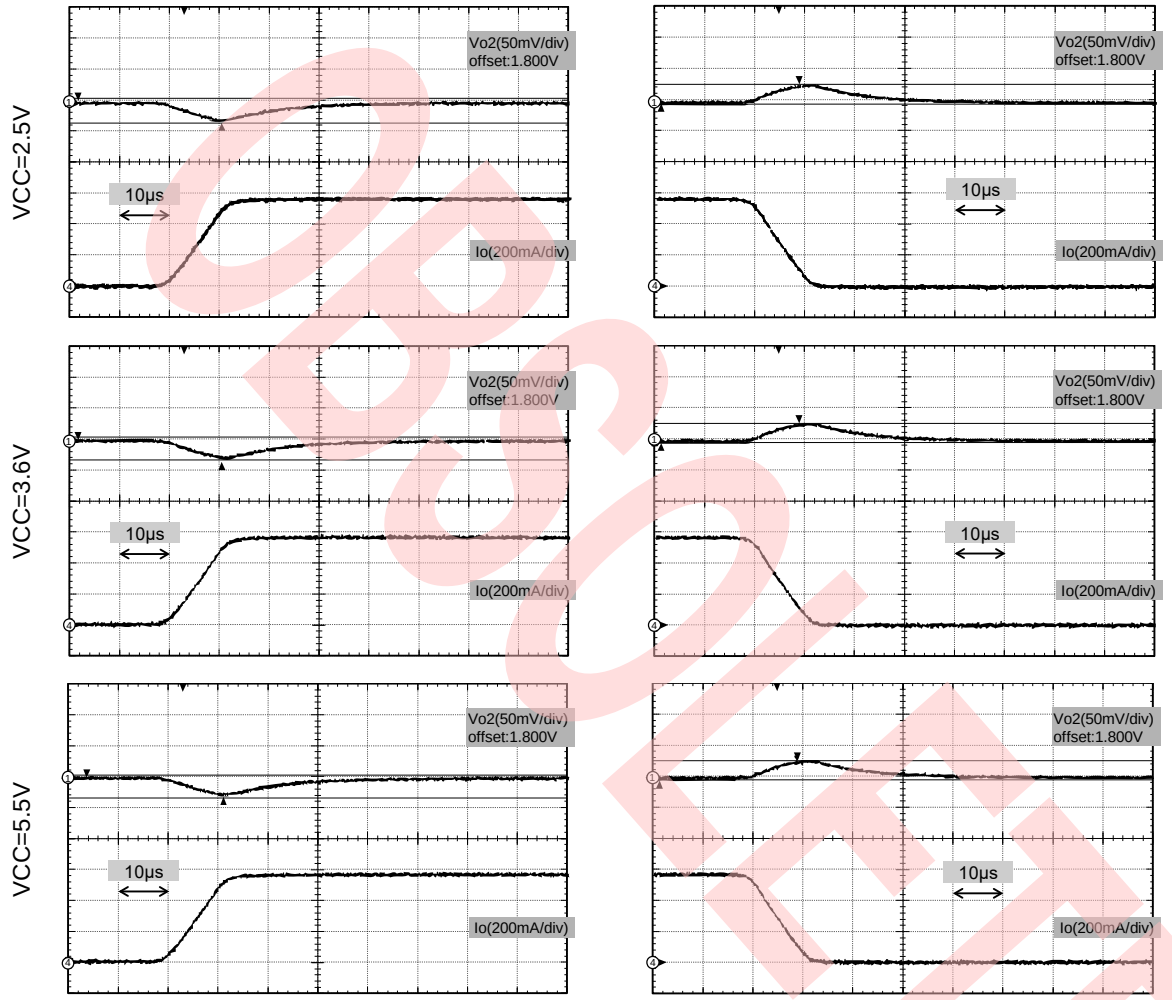
出力電圧=1.2V 設定



PROOF

・DD2 (Fixed PWM モード) 0mA⇔600mA/10μs

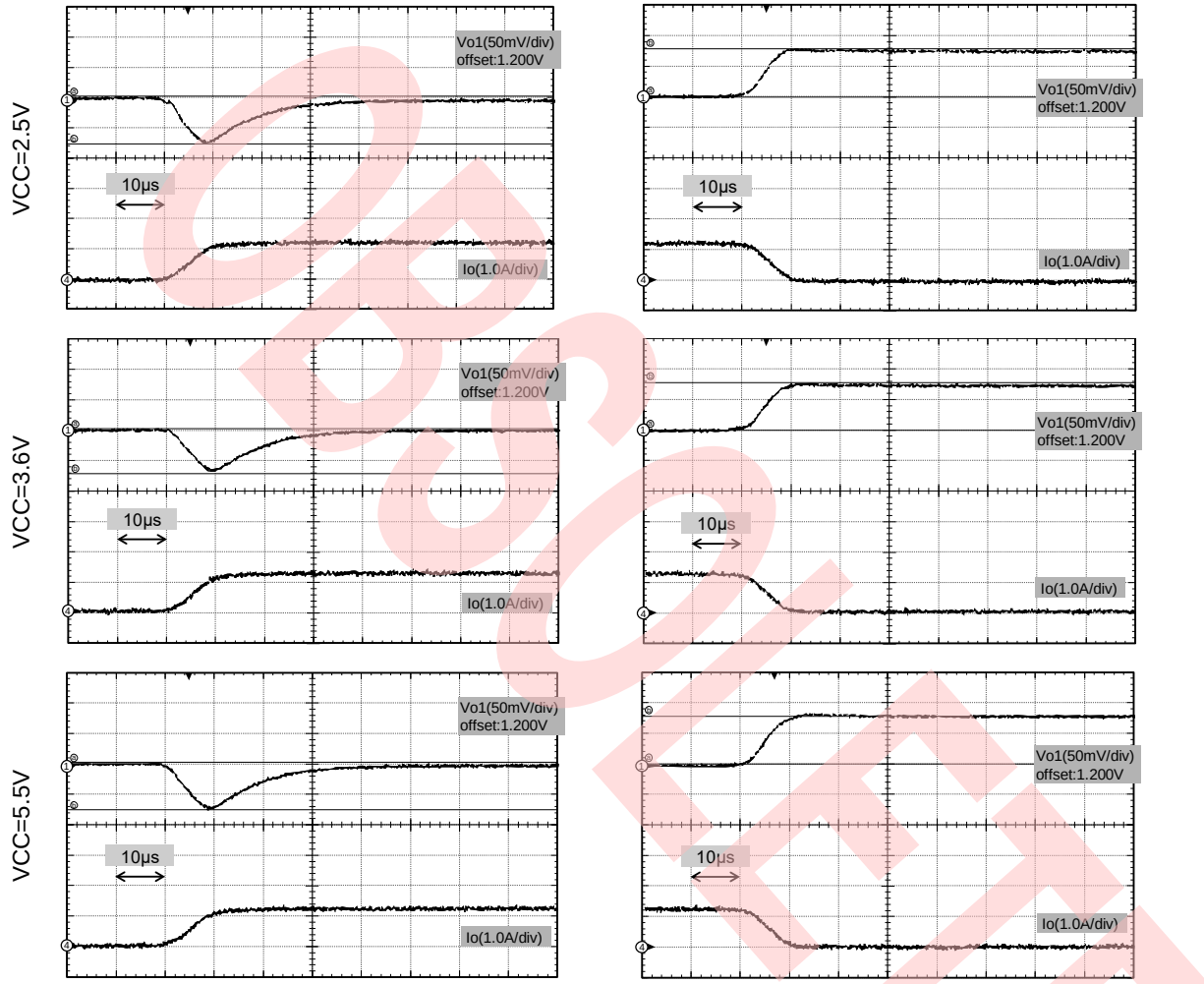
出力電圧=1.8V 設定



obsolete

・DD1 (PFM/PWM モード) 0mA⇔1400mA/10μs

出力電圧=1.2V 設定

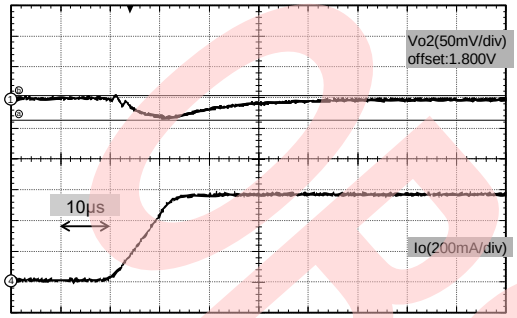


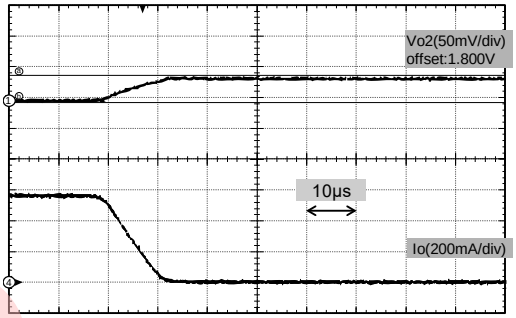
Obsolete

・DD2 (PFM/PWM モード) 0mA⇔600mA/10μs

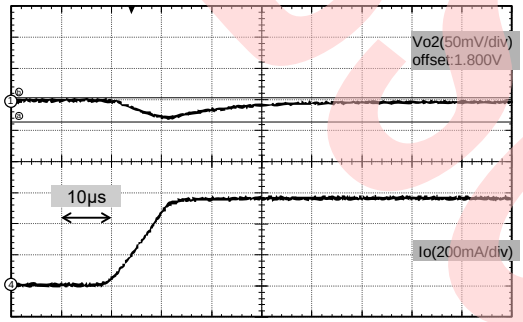
出力電圧=1.8V 設定

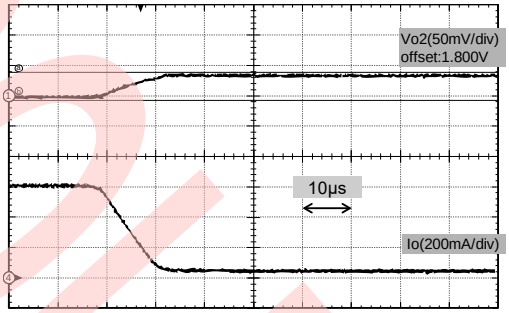
VCC=2.5V



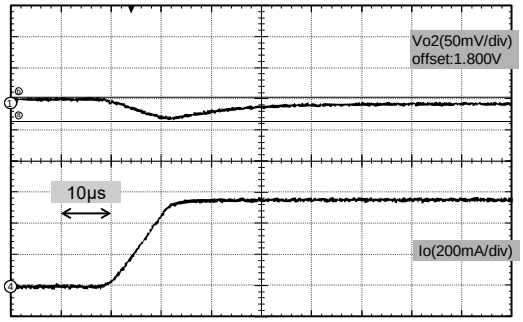


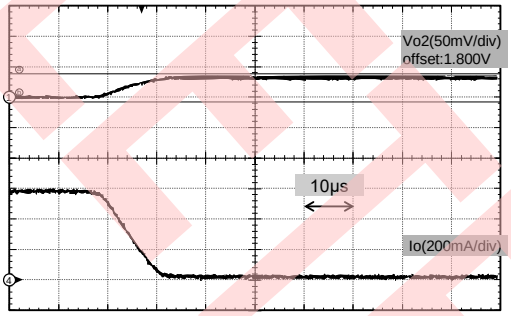
VCC=3.6V





VCC=5.5V



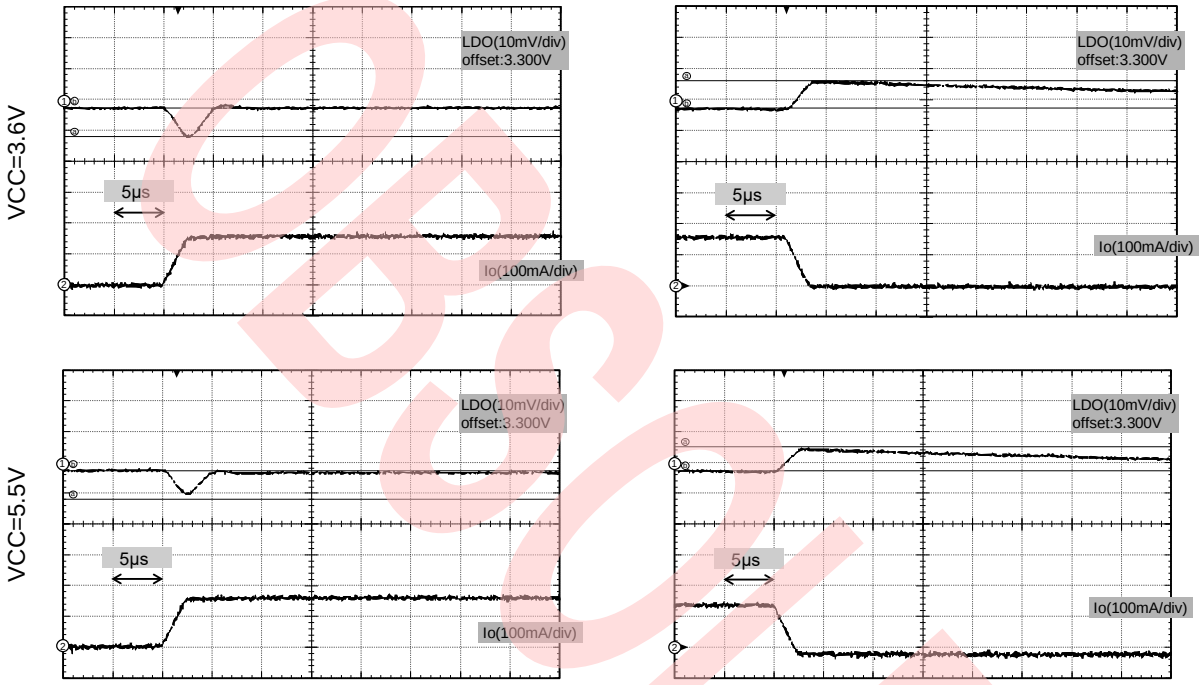


PRODUCT

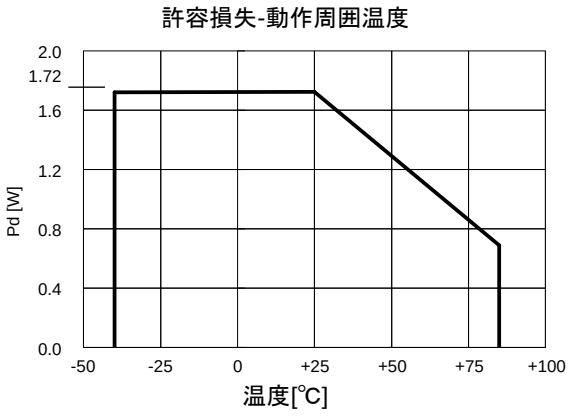
■LDO 負荷急変特性

・LDO 0mA⇔150mA/2μs

出力電圧=3.3V 設定



■許容損失



OBSOLETE

26. 使用上の注意

1. **最大定格以上の条件に設定しないでください。**
   絶対最大定格を超えるストレス(電圧，電流，温度など)の印加は、半導体デバイスを破壊する可能性があります。
   したがって、定格を一項目でも超えることのないようご注意ください。
2. **推奨動作条件でご使用ください。**
   推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
   データシートに記載されていない項目,使用条件,論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。
3. **プリント基板のアースラインは、共通インピーダンスを考慮し設計してください。**
4. **静電気対策を行ってください。**

■半導体を入れる容器は、静電気対策を施した容器か、導電性の容器をご使用ください。
■実装後のプリント基板を保管・運搬する場合は、導電性の袋か、容器に収納してください。
■作業台，工具，測定機器は、アースを取ってください。
■作業する人は、人体とアースの間に 250 kΩ～1 MΩ の抵抗を直列に入れたアースをしてください。

5. **負電圧を印加しないでください。**
   -0.3 V 以下の負電圧を印加した場合、LSI に寄生トランジスタが発生し誤動作を起こすことがあります。
6. **全 ch，動作時は平均動作温度 Ta=+60°C，標準入力電圧，標準出力電圧，標準出力電流条件で信頼度設計されています。**

OBSOLETE

27. オーダ型格

型格	パッケージ	備考
CY39C031WQN	プラスチック・QFN, 28 ピン (WNO028)	

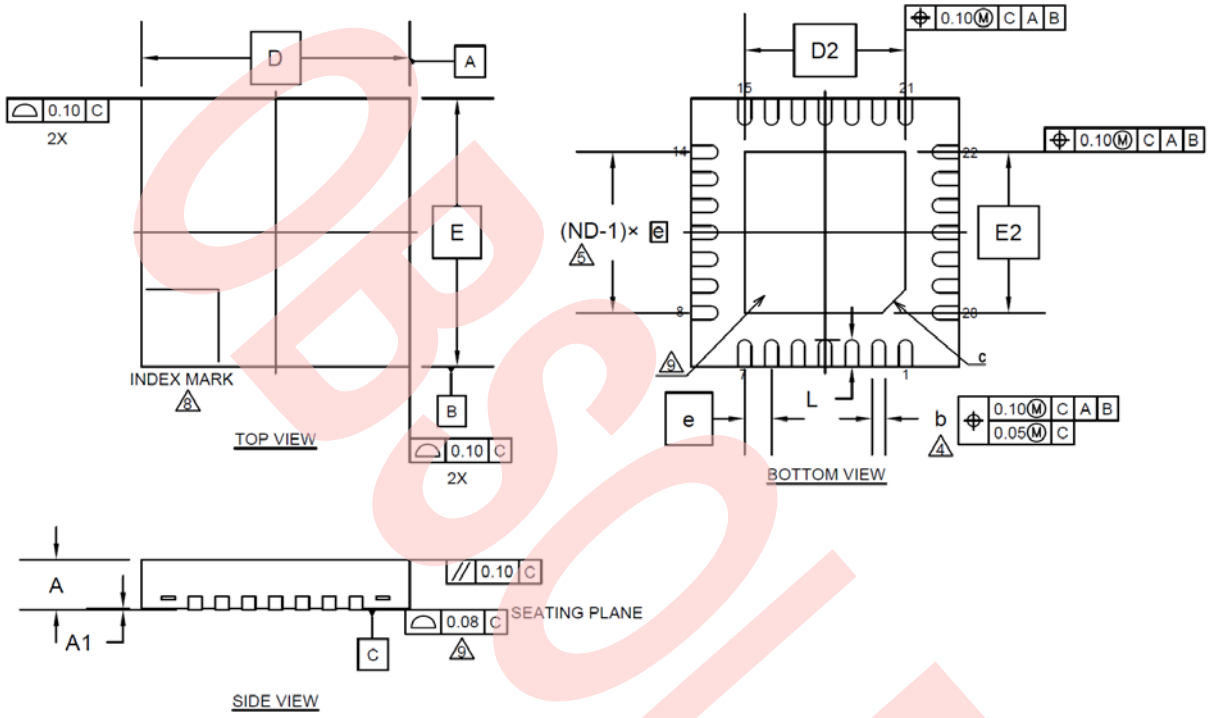
28. プリセットコード (CY39C031)

プリセットコード	DD1 出力電圧 プリセット値	DD2 出力電圧 プリセット値	LDO 出力電圧 プリセット値
111	1.00 V	1.20 V	2.85 V
112	1.00 V	1.20 V	3.30 V
121	1.00 V	1.35 V	2.85 V
122	1.00 V	1.35 V	3.30 V
131	1.00 V	1.50 V	2.85 V
132	1.00 V	1.50 V	3.30 V
141	1.00 V	1.80 V	2.85 V
142	1.00 V	1.80 V	3.30 V
211	1.10 V	1.20 V	2.85 V
212	1.10 V	1.20 V	3.30 V
221	1.10 V	1.35 V	2.85 V
222	1.10 V	1.35 V	3.30 V
231	1.10 V	1.50 V	2.85 V
232	1.10 V	1.50 V	3.30 V
241	1.10 V	1.80 V	2.85 V
242	1.10 V	1.80 V	3.30 V
311	1.20 V	1.20 V	2.85 V
312	1.20 V	1.20 V	3.30 V
321	1.20 V	1.35 V	2.85 V
322	1.20 V	1.35 V	3.30 V
331	1.20 V	1.50 V	2.85 V
332	1.20 V	1.50 V	3.30 V
341	1.20 V	1.80 V	2.85 V
342	1.20 V	1.80 V	3.30 V
411	1.30 V	1.20 V	2.85 V
412	1.30 V	1.20 V	3.30 V
421	1.30 V	1.35 V	2.85 V
422	1.30 V	1.35 V	3.30 V
431	1.30 V	1.50 V	2.85 V
432	1.30 V	1.50 V	3.30 V
441	1.30 V	1.80 V	2.85 V
442	1.30 V	1.80 V	3.30 V

DATASHEET

29. パッケージ・外形寸法図

Package Code: WNO028



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	——	——	0.80
A_1	0.00	——	0.05
D	4.00 BSC		
E	4.00 BSC		
b	0.15	0.20	0.25
D_2	2.40 BSC		
E_2	2.40 BSC		
e	0.40 BSC		
c	0.35 REF		
L	0.35	0.40	0.45

NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCINC CONFORMS TO ASME Y14.5-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP.IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL. THE DIMENSION "b"SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. JEDEC SPECIFICATION NO. REF : N/A

002-15159 Rev. **

OBSOLETE

改訂履歴

文書名: CY39C031 I²C インタフェース, SW FET 内蔵 2ch 降圧 DC/DC コンバータ+ 1ch LDO
文書番号: 002-08440

版	ECN 番号	発行日	変更内容
**	-	10/31/2013	サイプレスとしてドキュメントコード 002-08440 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5490451	10/24/2016	これは英語版の 002-08407 Rev. *A を翻訳した日本語版です。
*B	5734753	05/18/2017	これは英語版の 002-08407 Rev. *B を翻訳した日本語版です。
*C	6531840	04/05/2019	これは英語版の 002-08407 Rev. *C を翻訳した日本語版です。
*D	7674506	02/16/2022	Obsoleted

OBSOLETE

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

OBSOLETE

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2013-2022. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。