数据手册，V1.1，2006 年 8 月




# 英飞凌 XC164CS-32F/32R

## 英飞凌采用 C166SV2 内核的 16 位单芯片微控制器

16bit

微控制器

Never stop thinking

**Edition 2006-08**

**Published by**
**Infineon Technologies AG 81726**
**München, Germany**

**© Infineon Technologies AG 2006.**
**All Rights Reserved.**

### Legal Disclaimer

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenheitsgarantie"). With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

### Information

For further information on technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies Office (**www.infineon.com**).

### Warnings

Due to technical requirements components may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies Office.

Infineon Technologies Components may only be used in life-support devices or systems with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system, or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body, or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

# 英飞凌 XC164CS-32F/32R

## 英飞凌采用 C166SV2 内核的 16 位单芯片微控制器

微控制器

Never stop thinking

**XC164CS**

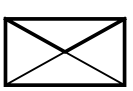
**Revision History: V1.1, 2006-08**

Previous Version(s):
V1.0, 2005-06 (XC164-32F)

| Page | Subjects (major changes since last revision) |
|---|---|
| 6 | New derivatives added. |
| 51 | Footnote at XTAL1 input pin. |
| 55 | Footnote on leakage of P3.15 added. |
| 76 | Green Package added. |
| 75 | Thermal Resistance: $R_{THA}$ replaced by $R_{\Theta JC}$ and $R_{\Theta JL}$ because $R_{THA}$ strongly depends on the external system (PCB, environment). $P_{DISS}$ removed, because no static parameter, but derived from thermal resistance. |

**We Listen to Your Comments**

Any information within this document that you feel is wrong, unclear or missing at all?
Your feedback will help us to continuously improve the quality of this document.
Please send your proposal (including a reference to this document) to:
**mcdocu.comments@infineon.com**



*本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。 为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。*

# 目录

**1 特性概要 ..... 4**

**2 器件通用信息 ..... 7**
2.1 简介 ..... 7
2.2 引脚配置及定义 ..... 8

**3 功能说明 ..... 17**
3.1 内存子系统及其组成结构 ..... 18
3.2 外部总线控制器 ..... 20
3.3 中央处理单元 (CPU) ..... 21
3.4 中断系统 ..... 23
3.5 片上调试支持 (OCDS) ..... 28
3.6 捕获/比较单元（CAPCOM1/2） ..... 29
3.7 捕获/比较单元 CAPCOM6 ..... 32
3.8 通用定时器（GPT12E）单元 ..... 33
3.9 实时时钟 ..... 37
3.10 A/D 转换器 ..... 39
3.11 异步/同步串行接口（ASC0/ASC1） ..... 40
3.12 高速同步串行通道（SSC0/SSC1） ..... 41
3.13 TwinCAN 模块 ..... 42
3.14 看门狗定时器 ..... 44
3.15 时钟生成 ..... 45
3.16 并行端口 ..... 45
3.17 电源管理 ..... 47
3.18 指令集概述 ..... 48

**4 电气参数 ..... 51**
4.1 常规参数 ..... 51
4.2 直流参数 ..... 54
4.3 A/D转换器参数 ..... 60
4.4 交流参数 ..... 63
4.4.1 内部时序定义 ..... 63
4.4.2 片上Flash操作 ..... 67
4.4.3 外部时钟驱动 XTAL1 ..... 68
4.4.4 测试波形 ..... 69
4.4.5 外部总线时序 ..... 70

**5 封装与可靠性 ..... 75**
5.1 封装信息 ..... 75
5.2 闪存参数 ..... 78

# 1 特性概要

- 具有 5 级流水线的高性能 16 位 CPU
  - 40 MHz CPU时钟频率，25 ns 指令周期（单周期执行）
  - 单周期乘法（16 × 16 位），21周期后台除法（32 / 16 位）
  - 单周期乘加 (MAC) 指令
  - 增强型布尔位操作功能
  - 零周期跳转执行
  - 支持 HLL 和操作系统的附加指令
  - 基于寄存器的设计，具有多个可变寄存器组
  - 支持快速上下文切换，通过两个额外的本地寄存器组实现
  - 16 MB 线性地址空间，用于存放代码和数据
  - 1024 B 片上特殊功能寄存器区域（兼容 C166 系列）
- 16 级优先级中断系统，75 个中断源，采样率低至 50 ns
- 8 通道中断驱动型单周期数据传输，通过外设事件控制器 (PEC) 实现，24 位指针覆盖全部地址空间
- 通过片上 PLL（系数 1:0.15 ... 1:10）或
  通过预分频器（系数 1:1 ... 60:1）产生时钟
- 片上存储模块
  - 2 KB 片上双端口 RAM (DPRAM)
  - 4 KB 片上数据 SRAM (DSRAM)
  - 6 KB 片上程序/数据 SRAM (PSRAM)
  - 256 KB 片上程序存储（闪存或 Mask ROM）
- 片上外设模块
  - 14 通道A/D转换器，具有可编程分辨率（10 位或 8 位），可编程转换时间（低至 2.55 µs 或 2.15µs）
  - 两个 16 通道通用捕获/比较单元（12 个输入/输出引脚）
  - 用于灵活PWM信号产生的捕获/比较单元 (CAPCOM6) (3/6 个捕获/比较通道和 1 个比较通道)
  - 带 5 个定时器的多功能通用定时器
  - 两个同步/异步串行通道 (USART)
  - 两个高速同步串行通道
  - 片上 TwinCAN 接口（Rev.2.0B active），提供2个 CAN 节点，支持 32 个消息对象（Full CAN/Basic CAN），并具备网关功能
  - 片上实时时钟
- 灵活的电源管理，支持空闲模式、睡眠模式和掉电模式
- 可编程看门狗定时器和振荡器看门狗

- 高达 12 MB 的外部地址空间，用于存放代码和数据
  - 针对不同地址范围的可编程外部总线特性
  - 复用或解复用的外部地址/数据总线
  - 可选地址总线宽度
  - 16 位或 8 位数据总线宽度
  - 四个可编程片选信号
- 多达 79 个通用 I/O，
  部分具有可选的输入阈值和迟滞
- 片上引导加载器
- 支持全套开发工具，如 C 编译器、宏汇编器套件、仿真器、评估板、HLL 调试器、模拟器、逻辑分析仪反汇编器、编程板
- 通过 JTAG 接口支持片上调试
- 100 引脚绿色 TQFP 封装，引脚间距0.5 毫米（19.7密尔）（符合 RoHS 规范）

## 订购信息

英飞凌微控制器的订购代码提供了特定产品的准确参考。此订购代码标识：

- 衍生物本身，即其功能集、温度范围和电源电压
- 封装及交付形式。

有关 XC164CS 的可用订购代码，请咨询您的销售代表或本地经销商。

*注释：Mask ROM版本的订购代码是在验证相应ROM代码后为每个产品定义的。*

本文描述了XC164CS系列的几种衍生产品。**表1**列举了这些衍生产品并总结了它们之间的区别。由于本文涉及所有这些衍生产品，因此某些描述可能不适用于特定产品。

为简单起见，本文使用**XC164CS**泛指所有衍生系列。

表 1　　XC164CS 衍生产品概要

| Derivative[1)] | Temp. Range | Program Memory | On-Chip RAM | Interfaces |
|---|---|---|---|---|
| **Standard Devices[2)]** | | | | |
| SAK-XC164CS-32F40F<br>SAK-XC164CS-32F20F | -40 °C to 125 °C | 256 Kbytes Flash | 2 Kbytes DPRAM,<br>4 Kbytes DSRAM,<br>6 Kbytes PSRAM | ASC0, ASC1,<br>SSC0, SSC1,<br>CAN0, CAN1,<br>CC6 |
| SAF-XC164CS-32F40F<br>SAF-XC164CS-32F20F | -40 °C to 85 °C | | | |
| **Grade A Devices[2)]** | | | | |
| SAK-XC164CS-32F40F<br>SAK-XC164CS-32F20F | -40 °C to 125 °C | 256 Kbytes Flash | 2 Kbytes DPRAM,<br>4 Kbytes DSRAM,<br>6 Kbytes PSRAM | ASC0, ASC1,<br>SSC0, SSC1,<br>CAN0, CAN1,<br>CC6 |
| SAF-XC164CS-32F40F<br>SAF-XC164CS-32F20F | -40 °C to 85 °C | | | |
| **ROM Devices** | | | | |
| SAK-XC164CS-32R40F<br>SAK-XC164CS-32R20F | -40 °C to 125 °C | 256 Kbytes ROM | 2 Kbytes DPRAM,<br>4 Kbytes DSRAM,<br>6 Kbytes PSRAM | ASC0, ASC1,<br>SSC0, SSC1,<br>CAN0, CAN1,<br>CC6 |
| SAF-XC164CS-32R40F<br>SAF-XC164CS-32R20F | -40 °C to 85 °C | | | |

1) 本数据手册适用于从设计步骤 BA 开始（包括BA）的器件。

2) Flash速度等级表示片上Flash模块的访问时间。根据该访问时间，必须按照预期的工作频率选择Flash等待周期（寄存器 IMBCTRL 中的位域 WSFLASH）。详细内容请参见章节4.4.2。

A 级器件在芯片标记的第四行以“Grade A”标识。

# 2 器件通用信息

## 2.1 简介

XC164CS是英飞凌 XC166 系列全功能单芯片 CMOS 微控制器中的高性能产品。在指令（MAC 单元）、外设和速度方面扩展了 C166 系列的功能和性能。XC164CS将高 CPU 性能（每秒高达 4000 万条指令）和高外设功能以及增强的 IO 功能相结合。通过 PLL产生时钟，并提供各种片上存储器模块，如程序存储器、程序 RAM 和数据 RAM。

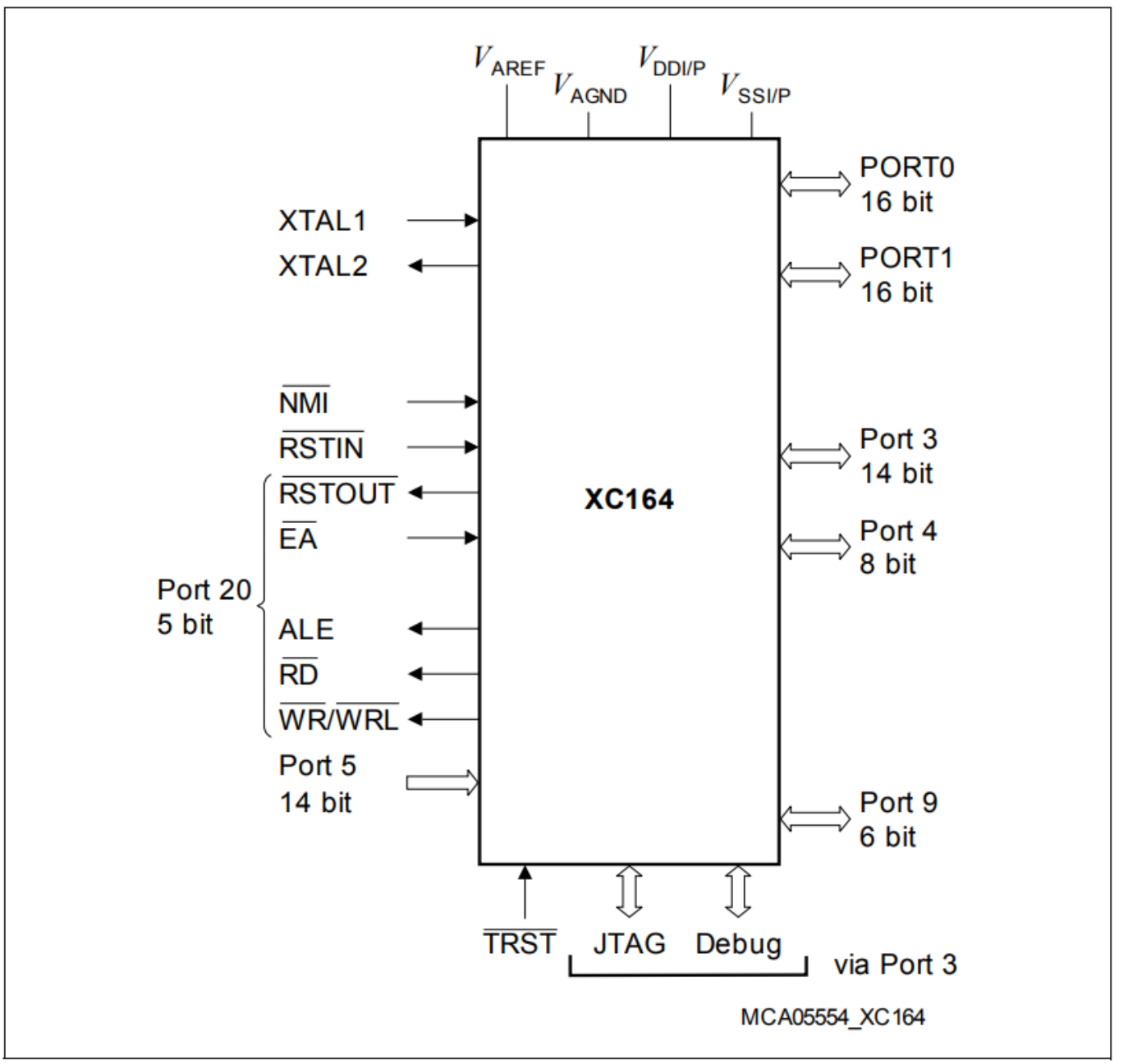



**图1 逻辑符号**

## 2.2 引脚配置及定义

XC164CS 的引脚功能（包括所有的复用功能）在表 2中有详细描述。图 2 简单地展示了所有引脚，并显示出它们在封装四侧的位置。E*) 和 C*) 标记的引脚用作备用外部中断输入，C*) 标记的引脚可分配为CAN接口。

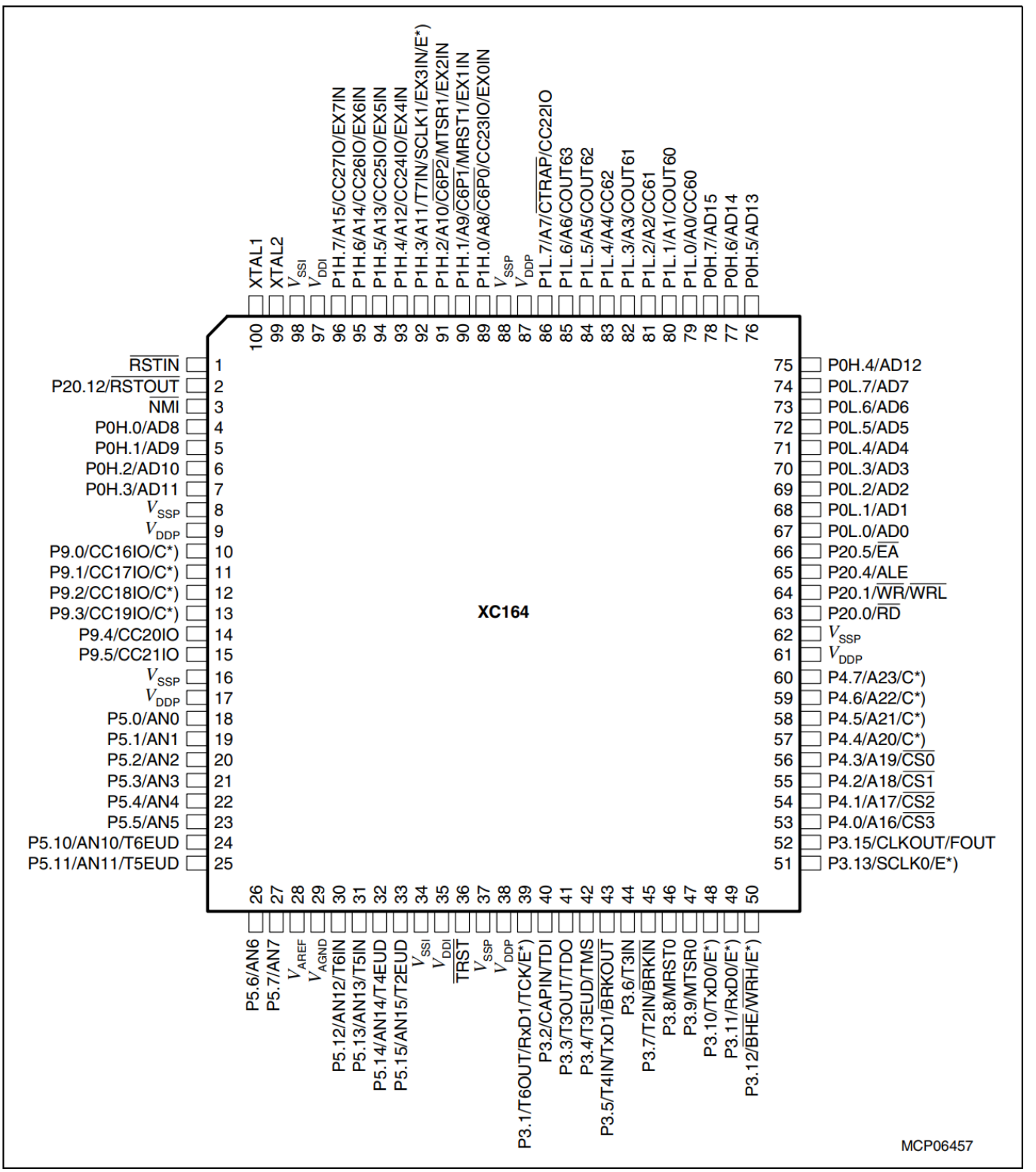



**图2 引脚配置**（顶视图）

表 2　　引脚定义及功能

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| $\overline{\text{RSTIN}}$ | 1 | I | Reset Input with Schmitt-Trigger characteristics. A low level at this pin while the oscillator is running resets the XC164CS. A spike filter suppresses input pulses < 10 ns. Input pulses > 100 ns safely pass the filter. The minimum duration for a safe recognition should be 100 ns + 2 CPU clock cycles.<br>*Note: The reset duration must be sufficient to let the hardware configuration signals settle. External circuitry must guarantee low level at the $\overline{\text{RSTIN}}$ pin at least until both power supply voltages have reached the operating range.* |
| P20.12 | 2 | IO | For details, please refer to the description of **P20**. |
| $\overline{\text{NMI}}$ | 3 | I | Non-Maskable Interrupt Input. A high to low transition at this pin causes the CPU to vector to the NMI trap routine. When the PWRDN (power down) instruction is executed, the $\overline{\text{NMI}}$ pin must be low in order to force the XC164CS into power down mode. If $\overline{\text{NMI}}$ is high, when PWRDN is executed, the part will continue to run in normal mode.<br>If not used, pin $\overline{\text{NMI}}$ should be pulled high externally. |
| P0H.0 - P0H.3 | 4 … 7 | IO | For details, please refer to the description of **PORT0**. |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| **P9** | | IO | Port 9 is a 6-bit bidirectional I/O port. Each pin can be programmed for input (output driver in high-impedance state) or output (configurable as push/pull or open drain driver). The input threshold of Port 9 is selectable (standard or special).<br>The following Port 9 pins also serve for alternate functions:[1)] |
| P9.0 | 10 | I/O | CC16IO CAPCOM2: CC16 Capture Inp./Compare Outp., |
| | | I | CAN1_RxD CAN Node B Receive Data Input, |
| | | I | EX7IN Fast External Interrupt 7 Input (alternate pin B) |
| P9.1 | 11 | I/O | CC17IO CAPCOM2: CC17 Capture Inp./Compare Outp., |
| | | O | CAN1_TxD CAN Node B Transmit Data Output, |
| | | I | EX6IN Fast External Interrupt 6 Input (alternate pin B) |
| P9.2 | 12 | I/O | CC18IO CAPCOM2: CC18 Capture Inp./Compare Outp., |
| | | I | CAN0_RxD CAN Node A Receive Data Input, |
| | | I | EX7IN Fast External Interrupt 7 Input (alternate pin A) |
| P9.3 | 13 | I/O | CC19IO CAPCOM2: CC19 Capture Inp./Compare Outp., |
| | | O | CAN0_TxD CAN Node A Transmit Data Output, |
| | | I | EX6IN Fast External Interrupt 6 Input (alternate pin A) |
| P9.4 | 14 | I/O | CC20IO CAPCOM2: CC20 Capture Inp./Compare Outp. |
| P9.5 | 15 | I/O | CC21IO CAPCOM2: CC21 Capture Inp./Compare Outp. |
| **P5** | | I | Port 5 is a 14-bit input-only port.<br>The pins of Port 5 also serve as analog input channels for the A/D converter, or they serve as timer inputs: |
| P5.0 | 18 | I | AN0 |
| P5.1 | 19 | I | AN1 |
| P5.2 | 20 | I | AN2 |
| P5.3 | 21 | I | AN3 |
| P5.4 | 22 | I | AN4 |
| P5.5 | 23 | I | AN5 |
| P5.10 | 24 | I | AN10, T6EUD GPT2 Timer T6 Ext. Up/Down Ctrl. Inp. |
| P5.11 | 25 | I | AN11, T5EUD GPT2 Timer T5 Ext. Up/Down Ctrl. Inp. |
| P5.6 | 26 | I | AN6 |
| P5.7 | 27 | I | AN7 |
| P5.12 | 30 | I | AN12, T6IN GPT2 Timer T6 Count/Gate Input |
| P5.13 | 31 | I | AN13, T5IN GPT2 Timer T5 Count/Gate Input |
| P5.14 | 32 | I | AN14, T4EUD GPT1 Timer T4 Ext. Up/Down Ctrl. Inp. |
| P5.15 | 33 | I | AN15, T2EUD GPT1 Timer T2 Ext. Up/Down Ctrl. Inp. |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function | |
|---|---|---|---|---|
| $\overline{\text{TRST}}$ | 36 | I | Test-System Reset Input. A high level at this pin activates the XC164CS's debug system. For normal system operation, pin $\overline{\text{TRST}}$ should be held low. | |
| **P3** | | IO | Port 3 is a 14-bit bidirectional I/O port. Each pin can be programmed for input (output driver in high-impedance state) or output (configurable as push/pull or open drain driver). The input threshold of Port 3 is selectable (standard or special).<br>The following Port 3 pins also serve for alternate functions: | |
| P3.1 | 39 | O | T6OUT | GPT2 Timer T6 Toggle Latch Output, |
| | | I/O | RxD1 | ASC1 Data Input (Async.) or Inp./Outp. (Sync.), |
| | | I | EX1IN | Fast External Interrupt 1 Input (alternate pin A), |
| | | I | TCK | Debug System: JTAG Clock Input |
| P3.2 | 40 | I | CAPIN | GPT2 Register CAPREL Capture Input, |
| | | I | TDI | Debug System: JTAG Data In |
| P3.3 | 41 | O | T3OUT | GPT1 Timer T3 Toggle Latch Output, |
| | | O | TDO | Debug System: JTAG Data Out |
| P3.4 | 42 | I | T3EUD | GPT1 Timer T3 External Up/Down Control Input, |
| | | I | TMS | Debug System: JTAG Test Mode Selection |
| P3.5 | 43 | I | T4IN | GPT1 Timer T4 Count/Gate/Reload/Capture In., |
| | | O | $\overline{\text{TxD1}}$ | ASC0 Clock/Data Output (Async./Sync.), |
| | | O | $\overline{\text{BRKOUT}}$ | Debug System: Break Out |
| P3.6 | 44 | I | T3IN | GPT1 Timer T3 Count/Gate Input |
| P3.7 | 45 | I | $\overline{\text{T2IN}}$ | GPT1 Timer T2 Count/Gate/Reload/Capture In., |
| | | I | $\overline{\text{BRKIN}}$ | Debug System: Break In |
| P3.8 | 46 | I/O | MRST0 | SSC0 Master-Receive/Slave-Transmit In/Out. |
| P3.9 | 47 | I/O | MTSR0 | SSC0 Master-Transmit/Slave-Receive Out/In. |
| P3.10 | 48 | O | TxD0 | ASC0 Clock/Data Output (Async./Sync.), |
| | | I | EX2IN | Fast External Interrupt 2 Input (alternate pin B) |
| P3.11 | 49 | I/O | RxD0 | ASC0 Data Input (Async.) or Inp./Outp. (Sync.), |
| | | I | EX2IN | Fast External Interrupt 2 Input (alternate pin A) |
| P3.12 | 50 | O | $\overline{\text{BHE}}$ | External Memory High Byte Enable Signal, |
| | | O | $\overline{\text{WRH}}$ | External Memory High Byte Write Strobe, |
| | | I | EX3IN | Fast External Interrupt 3 Input (alternate pin B) |
| P3.13 | 51 | I/O | SCLK0 | SSC0 Master Clock Output / Slave Clock Input, |
| | | I | EX3IN | Fast External Interrupt 3 Input (alternate pin A) |
| P3.15 | 52 | O | CLKOUT | System Clock Output (= CPU Clock), |
| | | O | FOUT | Programmable Frequency Output |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| **P4** | | IO | Port 4 is an 8-bit bidirectional I/O port. Each pin can be programmed for input (output driver in high-impedance state) or output (configurable as push/pull or open drain driver). The input threshold of Port 4 is selectable (standard or special).<br>Port 4 can be used to output the segment address lines, the optional chip select lines, and for serial interface lines:[1)] |
| P4.0 | 53 | O | $\overline{\text{A16}}$ Least Significant Segment Address Line, |
| | | O | $\overline{\text{CS3}}$ Chip Select 3 Output |
| P4.1 | 54 | O | $\overline{\text{A17}}$ Segment Address Line, |
| | | O | $\overline{\text{CS2}}$ Chip Select 2 Output |
| P4.2 | 55 | O | $\overline{\text{A18}}$ Segment Address Line, |
| | | O | $\overline{\text{CS1}}$ Chip Select 1 Output |
| P4.3 | 56 | O | $\overline{\text{A19}}$ Segment Address Line, |
| | | O | $\overline{\text{CS0}}$ Chip Select 0 Output |
| P4.4 | 57 | O | A20 Segment Address Line, |
| | | I | CAN1_RxD CAN Node B Receive Data Input, |
| | | I | EX5IN Fast External Interrupt 5 Input (alternate pin B) |
| P4.5 | 58 | O | A21 Segment Address Line, |
| | | I | CAN0_RxD CAN Node A Receive Data Input, |
| | | I | EX4IN Fast External Interrupt 4 Input (alternate pin B) |
| P4.6 | 59 | O | A22 Segment Address Line, |
| | | O | CAN0_TxD CAN Node A Transmit Data Output, |
| | | I | EX5IN Fast External Interrupt 5 Input (alternate pin A) |
| P4.7 | 60 | O | A23 Most Significant Segment Address Line, |
| | | I | CAN0_RxD CAN Node A Receive Data Input, |
| | | O | CAN1_TxD CAN Node B Transmit Data Output, |
| | | I | EX4IN Fast External Interrupt 4 Input (alternate pin A) |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| **P20** | | IO | Port 20 is a 5-bit bidirectional I/O port. Each pin can be programmed for input (output driver in high-impedance state) or output. The input threshold of Port 20 is selectable (standard or special).<br>The following Port 20 pins also serve for alternate functions: |
| P20.0 | 63 | O | $\overline{RD}$ External Memory Read Strobe, activated for every external instruction or data read access. |
| P20.1 | 64 | O | $\overline{WR}$/$\overline{WRL}$ External Memory Write Strobe.<br>In $\overline{WR}$-mode this pin is activated for every external data write access.<br>In $\overline{WRL}$-mode this pin is activated for low byte data write accesses on a 16-bit bus, and for every data write access on an 8-bit bus. |
| P20.4 | 65 | O | ALE Address Latch Enable Output.<br>Can be used for latching the address into external memory or an address latch in the multiplexed bus modes. |
| P20.5 | 66 | I | $\overline{EA}$ External Access Enable pin.<br>**A low level** at this pin during and after Reset forces the XC164CS to latch the configuration from PORT0 and pin $\overline{RD}$, and to begin instruction execution out of external memory.<br>**A high level** forces the XC164CS to latch the configuration from pins $\overline{RD}$, ALE, and $\overline{WR}$, and to begin instruction execution out of the internal program memory. “ROMless” versions must have this pin tied to ‘0’. |
| P20.12 | 2 | O | $\overline{RSTOUT}$ Internal Reset Indication Output.<br>**Is activated** asynchronously with an external hardware reset. It may also be activated (selectable) synchronously with an internal software or watchdog reset.<br>**Is deactivated** upon the execution of the EINIT instruction, optionally at the end of reset, or at any time (before EINIT) via user software. |
| | | | *Note: Port 20 pins may input configuration values (see $\overline{EA}$).* |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| **PORT0** | | IO | PORT0 consists of the two 8-bit bidirectional I/O ports P0L and P0H. Each pin can be programmed for input (output driver in high-impedance state) or output. In case of an external bus configuration, PORT0 serves as the address (A) and address/data (AD) bus in multiplexed bus modes and as the data (D) bus in demultiplexed bus modes. **Demultiplexed bus modes:** 8-bit data bus: P0H = I/O, P0L = D7 - D0 16-bit data bus: P0H = D15 - D8, P0L = D7 - D0 **Multiplexed bus modes:** 8-bit data bus: P0H = A15 - A8, P0L = AD7 - AD0 16-bit data bus: P0H = AD15 - AD8, P0L = AD7 - AD0 *Note: At the end of an external reset ($\overline{EA}$ = 0) PORT0 also may input configuration values* |
| P0L.0 - P0L.7 | 67 - 74 | | |
| P0H.0 - P0H.3 | 4 - 7 | | |
| P0H.4 - P0H.7 | 75 - 78 | | |
| **PORT1** | | IO | PORT1 consists of the two 8-bit bidirectional I/O ports P1L and P1H. Each pin can be programmed for input (output driver in high-impedance state) or output. PORT1 is used as the 16-bit address bus (A) in demultiplexed bus modes (also after switching from a demultiplexed to a multiplexed bus mode). The following PORT1 pins also serve for alt. functions: |
| P1L.0 | 79 | I/O | CC60 CAPCOM6: Input / Output of Channel 0 |
| P1L.1 | 80 | O | COUT60 CAPCOM6: Output of Channel 0 |
| P1L.2 | 81 | I/O | CC61 CAPCOM6: Input / Output of Channel 1 |
| P1L.3 | 82 | O | COUT61 CAPCOM6: Output of Channel 1 |
| P1L.4 | 83 | I/O | CC62 CAPCOM6: Input / Output of Channel 2 |
| P1L.5 | 84 | O | COUT62 CAPCOM6: Output of Channel 2 |
| P1L.6 | 85 | O | $\overline{COUT63}$ Output of 10-bit Compare Channel |
| P1L.7 | 86 | I | $\overline{CTRAP}$ CAPCOM6: Trap Input $\overline{CTRAP}$ is an input pin with an internal pull-up resistor. A low level on this pin switches the CAPCOM6 compare outputs to the logic level defined by software (if enabled). |
| P1H | … | I/O | CC22IO CAPCOM2: CC22 Capture Inp./Compare Outp. …continued… |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| **PORT1** (cont'd) | | IO | …continued… |
| P1H.0 | 89 | I | $\overline{\text{CC6POS0}}$ CAPCOM6: Position 0 Input, |
| | | I | EX0IN Fast External Interrupt 0 Input (default pin), |
| | | I/O | $\overline{\text{CC23IO}}$ CAPCOM2: CC23 Capture Inp./Compare Outp. |
| P1H.1 | 90 | I | CC6POS1 CAPCOM6: Position 1 Input, |
| | | I | EX1IN Fast External Interrupt 1 Input (default pin), |
| | | I/O | $\overline{\text{MRST1}}$ SSC1 Master-Receive/Slave-Transmit In/Out. |
| P1H.2 | 91 | I | CC6POS2 CAPCOM6: Position 2 Input, |
| | | I | EX2IN Fast External Interrupt 2 Input (default pin), |
| | | I/O | MTSR1 SSC1 Master-Transmit/Slave-Receive Out/Inp. |
| P1H.3 | 92 | I | T7IN CAPCOM2: Timer T7 Count Input, |
| | | I/O | SCLK1 SSC1 Master Clock Output / Slave Clock Input, |
| | | I | EX3IN Fast External Interrupt 3 Input (default pin), |
| | | I | EX0IN Fast External Interrupt 0 Input (alternate pin A) |
| P1H.4 | 93 | I/O | CC24IO CAPCOM2: CC24 Capture Inp./Compare Outp., |
| | | I | EX4IN Fast External Interrupt 4 Input (default pin) |
| P1H.5 | 94 | I/O | CC25IO CAPCOM2: CC25 Capture Inp./Compare Outp., |
| | | I | EX5IN Fast External Interrupt 5 Input (default pin) |
| P1H.6 | 95 | I/O | CC26IO CAPCOM2: CC26 Capture Inp./Compare Outp., |
| | | I | EX6IN Fast External Interrupt 6 Input (default pin) |
| P1H.7 | 96 | I/O | CC27IO CAPCOM2: CC27 Capture Inp./Compare Outp., |
| | | I | EX7IN Fast External Interrupt 7 Input (default pin) |
| $\overline{\text{XTAL2}}$ | 99 | O | XTAL2: Output of the oscillator amplifier circuit |
| XTAL1 | 100 | I | XTAL1: Input to the oscillator amplifier and input to the internal clock generator<br>To clock the device from an external source, drive XTAL1, while leaving XTAL2 unconnected. Minimum and maximum high/low and rise/fall times specified in the AC. Characteristics must be observed.<br>*Note: Input pin XTAL1 belongs to the core voltage domain. Therefore, input voltages must be within the range defined for $V_{DDI}$.* |
| $V_{AREF}$ | 28 | – | Reference voltage for the A/D converter. |
| $V_{AGND}$ | 29 | – | Reference ground for the A/D converter. |

表 2　　引脚定义及功能（续）

| Sym-bol | Pin Num. | Input Outp. | Function |
|---|---|---|---|
| $V_{DDI}$ | 35, 97 | – | Digital Core Supply Voltage (On-Chip Modules):<br>+2.5 V during normal operation and idle mode.<br>Please refer to the **Operating Condition Parameters**. |
| $V_{DDP}$ | 9, 17, 38, 61, 87 | – | Digital Pad Supply Voltage (Pin Output Drivers):<br>+5 V during normal operation and idle mode.<br>Please refer to the **Operating Condition Parameters**. |
| $V_{SSI}$ | 34, 98 | – | **Digital Ground**<br>Connect decoupling capacitors to adjacent $V_{DD}/V_{SS}$ pin pairs as close as possible to the pins.<br>All $V_{SS}$ pins must be connected to the ground-line or ground-plane. |
| $V_{SSP}$ | 8, 16, 37, 62, 88 | – | |

1）CAN接口在软件控制下分配到P4和P9端口。

# 3 功能说明

XC164CS 的架构以非常均衡的方式结合了RISC 、CISC和DSP处理器的优势，且具备先进的外设子系统。此外，通过片上存储器可以设计具有最大性能（涵盖计算、控制、通信）的结构紧凑的硅上系统。

片上存储器（程序代码存储器和SRAM 、双端口RAM、数据SRAM ）和通用外设通过各自独立的总线连接到CPU。另一条LXBus总线用于连接额外的片上资源和片外资源（见图 3）。

该总线结构可实现 XC164CS 多个子系统的并行操作，从而提高整体系统性能。

下面的框图概述了 XC164CS 的各个片上组件和先进内部总线结构。

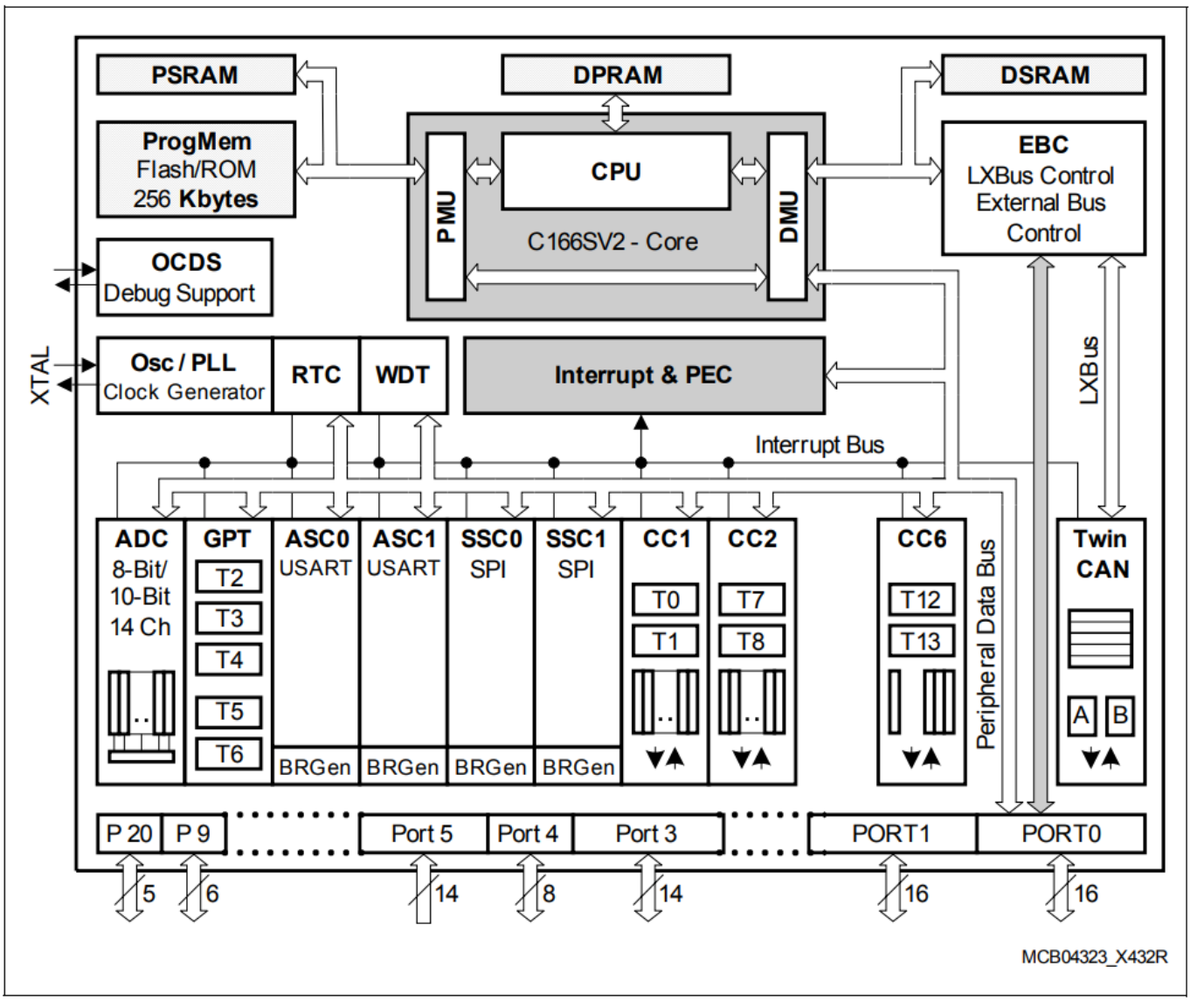



**图 3 框图**

## 3.1 内存子系统及其组成结构

XC164CS的存储空间采用冯·诺依曼架构。在这种架构下，所有的片内和片外资源，例如代码存储器、数据存储器、寄存器和I/O端口，都组织在同一个线性地址空间内。该存储空间大小为 16 MB，分为 256 个段，每个段 64 KB，每个段由四个数据页组成，每个数据页 16 KB。整个存储空间可以按字节或按字访问。部分片上 DPRAM 和寄存器空间 (E/SFR) 可直接按位寻址。

片内数据存储区域和特殊功能寄存器区域（SFR和ESFR）被映射到段0，即系统段。

程序管理单元 (PMU) 负责所有的代码取指操作，因此它控制对程序存储器（例如Flash和PSRAM）的访问。

数据管理单元 (DMU) 负责所有的数据传输，因此它控制对 DSRAM 和片上外设的访问。

两个单元（PMU 和 DMU）通过高速系统总线连接以实现数据交换。对于以下操作，PMU和DMU之间的数据交换是必要的：从程序存储器读取操作数、将代码或数据写入 PSRAM、从外部存储器获取代码、从外部资源（包括 LXBus 上的外设，例如 TwinCAN）读取或写入数据。该系统总线允许并发双向通信，以实现最大传输性能。

**256 KB 片上Flash**用于存储代码或常量数据。片上Flash分为四个 8-Kbyte 扇区、一个 32-Kbyte 扇区和三个 64-Kbyte 扇区。每个扇区都可以单独进行写保护[1)] 、擦除和编程（以 128 字节块为单位）。整个Flash区域可以进行读保护。密码序列可暂时解锁受保护区域。Flash模块将非常快速的 64 位单周期读取访问与受保护且高效的写算法相结合，用于编程和擦除。因此，通过内部Flash执行程序可实现性能最大化。动态纠错为所有读取访问提供了极高的读数据安全性。
对于时序特性，请参阅章节 4.4.2。

**6 KB 片上程序 SRAM (PSRAM)**用于存储用户代码或数据。PSRAM 可通过 PMU 访问，并针对代码读取进行了优化。

**4 KB 片上数据 SRAM (DSRAM)**用于存储一般用户数据。DSRAM 可通过 DMU 进行访问，并针对数据访问进行了优化。

**2 KB 片上双端口 RAM (DPRAM)**用于存储用户自定义变量、系统堆栈和通用寄存器组。一个寄存器组最多可包含 16 个字宽寄存器（R0 至 R15）和/或字节宽寄存器（RL0、RH0、……、RL7、RH7），即所谓的通用寄存器（GPR）。

1）每两个 8 KB 扇区合并在一起用于写保护。

DPRAM 的高 256 字节可直接进行位寻址。当由 GPR 使用时，DPRAM 中的任何位置都可进行位寻址。

地址空间中的**1024字节（2 × 512字节）**为特殊功能寄存器区域（SFR空间和ESFR空间）。SFR是字宽寄存器，用于片上不同单元的控制和监测功能。未使用的SFR地址预留给XC166 系列的未来产品。因此为确保向上兼容性，不要访问这些寄存器或将其写零。

为了满足对内存需求大于芯片片上内存的设计需求，MCU可支持多达约12 Mbytes（参见**表3**）的外部 RAM 和/或ROM。外部总线接口还支持对外部外设的访问。

**表 3　　XC164CS 内存分布图[1)]**

| Address Area | Start Loc. | End Loc. | Area Size[2)] | Notes |
|---|---|---|---|---|
| Flash register space | $FF'F000_H$ | $FF'FFFF_H$ | 4 Kbytes | [3)] |
| Reserved (Acc. trap) | $FE'0000_H$ | $FF'EFFF_H$ | 60 Kbytes | – |
| Reserved for EPSRAM | $F8'1800_H$ | $FD'FFFF_H$ | 378 Kbytes | – |
| Emul. Program SRAM[4)] | $F8'0000_H$ | $F8'17FF_H$ | 6 Kbytes | 2nd way to PSRAM |
| Reserved for PSRAM | $E0'1800_H$ | $F7'FFFF_H$ | < 1.5 Mbytes | Minus PSRAM |
| Program SRAM | $E0'0000_H$ | $E0'17FF_H$ | 6 Kbytes | Maximum |
| Reserved for program memory | $C4'0000_H$ | $DF'FFFF_H$ | < 2 Mbytes | Minus Flash |
| Program Flash/ROM | $C0'0000_H$ | $C3'FFFF_H$ | 256 Kbytes | – |
| Reserved | $BF'0000_H$ | $BF'FFFF_H$ | 64 Kbytes | – |
| External memory area | $40'0000_H$ | $BE'FFFF_H$ | < 8 Mbytes | Minus reserved segment |
| External IO area[5)] | $20'0800_H$ | $3F'FFFF_H$ | < 2 Mbytes | Minus TwinCAN |
| TwinCAN registers | $20'0000_H$ | $20'07FF_H$ | 2 Kbytes | – |
| External memory area | $01'0000_H$ | $1F'FFFF_H$ | < 2 Mbytes | Minus segment 0 |
| Data RAMs and SFRs | $00'8000_H$ | $00'FFFF_H$ | 32 Kbytes | Partly used |
| External memory area | $00'0000_H$ | $00'7FFF_H$ | 32 Kbytes | – |

1) 对阴影区域的访问会产生外部总线访问。

2) 标有 "<"的区域实际大小略小于标注值，参见 "注释 "栏。

3) 未定义的寄存器位置返回陷阱代码。

4) 模拟 PSRAM (EPSRAM) 实现了具有不同时序的第二条访问PSRAM的路径。

5) 在外部 I/O 区域内，若干流水线优化功能不会启用。这样做是为了能够正确地控制外部外设。

## 3.2 外部总线控制器

所有外部存储器访问均由特定的片上外部总线控制器 (EBC) 执行。当不需要外部存储器时，它可以编程为单芯片模式；或者编程为以下四种不同的外部存储器访问模式[1]之一：

- 16 ... 24 位地址，16 位数据，解复用
- 16 ... 24 位地址，16 位数据，多路复用
- 16 ... 24 位地址，8 位数据，多路复用
- 16 ... 24 位地址，8 位数据，解复用

在解复用总线模式下，地址在 PORT1 上输出，数据在 PORT0 或 P0L 上输入/输出。在多路复用总线模式下，地址和数据都通过 PORT0 进行输入/输出。高位地址线（段）使用 PORT4。可选择活动段地址线的数量，将外部地址空间限制为 8 MB ... 64 KB。当接口线分配给PORT4 时，这是必需的。

为了节省外部胶合逻辑，可以生成多达 4 路外部$\overline{CS}$信号（3 个地址窗口加上默认值）。外部模块可以直接连接到公共地址/数据总线及其各自的选择线。

外部总线接口的重要时序特性是可编程的（通过寄存器 TCONCSx/FCONCSx），以适应各种不同类型的存储器和外部外设。

此外，还可以定义多达4个独立的地址窗口（通过寄存器ADDRSELx），以访问具有不同总线特性的资源。这些地址窗口按等级排列，其中窗口4优先于窗口3，窗口2优先于窗口1。这 4个地址窗口未涵盖的位置的访问均由 TCONCS0/FCONCS0 控制。当前活动窗口可以产生片选信号。

*注释：地址窗口4 的片选信号在引脚上不可用。*

外部总线时序与参考时钟输出 CLKOUT 的上升沿有关。外部总线协议与标准C166系列的协议兼容。

EBC还控制对连接到片上 LXBus 的资源的访问。LXBus 是外部总线的内部表示，允许以与外部组件相同的方式访问集成外设和模块。

TwinCAN 模块通过 LXBus 连接和访问。

1) 如果使用具有不同模式设置的多个地址窗口，总线模式会动态切换。

## 3.3 中央处理单元 (CPU)

CPU的主要核心包括一个5级执行流水线和一个2级取指流水线、一个16位算术逻辑单元（ALU）、一个32位/40位乘法累加单元（ MAC ）、一个具备三组寄存器组的寄存器文件，以及专用功能寄存器SFR。ALU 具有一个乘法和除法单元、一个位掩码发生器和一个桶形移位器。

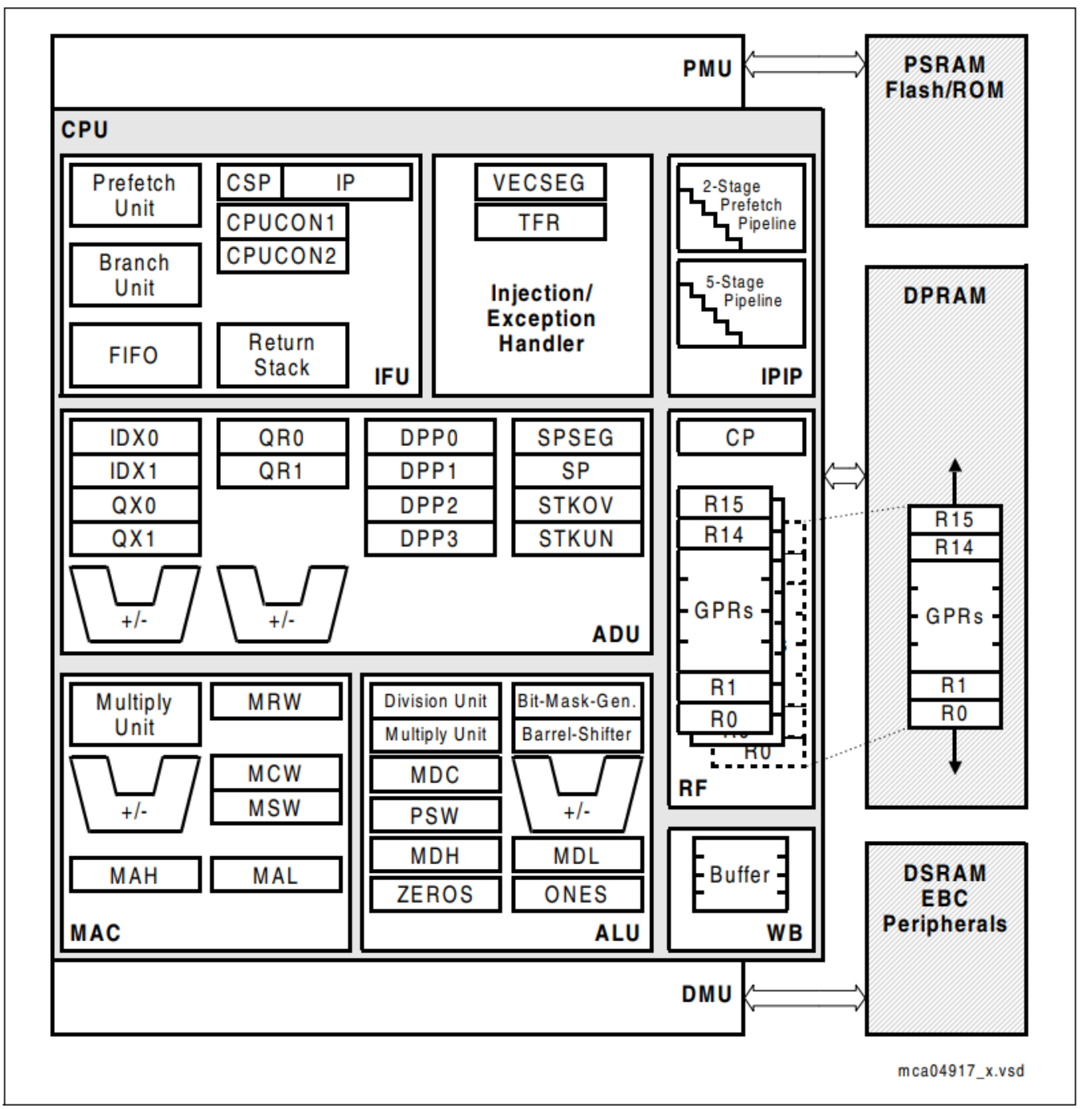



**图4 CPU框图**

基于这些硬件配置，XC164CS 的大部分指令可以在一个机器周期内执行，即在 40 MHz

CPU 时钟下需要 25 ns。例如，无论移位的位数多少，移位和旋转指令总是在一个机器周期内处理。乘法和大多数 MAC 指令也在一个周期内执行。所有多周期指令都经过优化，因此它们也可以非常快速地执行：例如，除法算法在 18 到 21 个 CPU 周期内执行，具体取决于数据和除法类型。其中，用户可见的为4个周期，其余周期在后台执行。另一种流水线优化是分支目标预测，如果预测正确，则可以消除分支指令的执行时间。

CPU的寄存器上下文最多由三个寄存器组组成，每个寄存器组有 16 个字宽的 GPR 供其使用。全局寄存器组在物理上分配在片上DPRAM区域内。上下文指针（CP）寄存器用于确定当前CPU所访问的活动全局寄存器组的基地址。寄存器组的数量仅受可用的内部 RAM 空间限制。为了方便参数传递，一个寄存器组可以与其他寄存器组重叠。

提供了一个最大容量为 32K 字的系统堆栈，用于存储临时数据。系统堆栈可以分配到地址空间内的任何位置（优先选择片上 RAM 区域），CPU 通过堆栈指针（SP）寄存器访问该堆栈。每次访问堆栈时，两个独立的 SFR（STKOV 和 STKUN）会与堆栈指针值进行隐式比较，以检测堆栈上溢或下溢。

编程人员可以通过高效的XC164CS 指令集有效地利用 CPU 硬件实现高性能操作，该指令集包含以下类别：

- 标准算术指令
- 面向 DSP 的算术指令
- 逻辑指令
- 布尔位操作指令
- 比较和循环控制指令
- 移位和旋转指令
- 优先级指令
- 数据移动指令
- 系统堆栈指令
- 跳转和调用指令
- 返回指令
- 系统控制指令
- 杂项指令

基本指令长度为 2 或 4 字节。可能的操作数类型包括位、字节和字。提供各种直接、间接或立即寻址模式，用于指定所需的操作数。

## 3.4 中断系统

XC164CS 的中断响应时间通常为 8 个 CPU 时钟（在内部程序执行的情况下），能够对非确定性事件做出非常快速的反应。

XC164CS 的架构支持多种机制，可以快速灵活地响应从微处理器内部或外部的各种源产生的服务请求。任何中断请求都可以被编程为由中断控制器处理或者由外设事件控制器（PEC）处理。

在标准中断服务中，当前程序执行会被中止，并跳转至中断向量表；而在PEC服务中，仅会从当前CPU活动中“窃取”一个周期来执行PEC服务。PEC 服务指在任意两个存储位置之间进行单字节或单字传输，并可选择性地对 PEC 源指针、目标指针或两者同时进行自增。除连续传输模式外，每执行一次PEC服务，其传输计数器都会自动递减一次。当该计数器减至零时，将触发一次标准中断，跳转至与相关源对应的向量表位置执行。PEC 服务特别适用于支持数据块的发送或接收操作。XC164CS有8个PEC通道，每个通道都具备快速中断驱动型的数据传输能力。

每个中断节点都有一个单独的控制寄存器，包含中断请求标志、中断使能标志和中断优先级位域。总共有16个中断优先级，通过相关寄存器可以配置每个节点的优先级。一旦CPU开始处理某个中断服务，其只能被更高优先级的服务请求打断。对于标准中断处理，每个中断节点都有一个专用的向量位置。

提供快速外部中断输入，以满足具有高精度要求的外部中断。这些快速中断输入支持可编程边缘检测（上升沿、下降沿或双沿）。

软件中断通过“TRAP”指令及其对应的陷阱（中断）号来实现。

**表 4** 显示了XC164CS的所有中断源以及相应的硬件相关中断标志、向量、向量位置和陷阱（中断）号。

*注释：未分配给外设的中断节点（未分配节点）可通过设置相应的中断请求位 (xIR) 来生成软件控制的中断请求。*

表 4 XC164CS 中断节点

| Source of Interrupt or PEC Service Request | Control Register | Vector Location[1)] | Trap Number |
|---|---|---|---|
| CAPCOM Register 0 | CC1_CC0IC | xx'0040$_H$ | 10$_H$ / 16$_D$ |
| CAPCOM Register 1 | CC1_CC1IC | xx'0044$_H$ | 11$_H$ / 17$_D$ |
| CAPCOM Register 2 | CC1_CC2IC | xx'0048$_H$ | 12$_H$ / 18$_D$ |
| CAPCOM Register 3 | CC1_CC3IC | xx'004C$_H$ | 13$_H$ / 19$_D$ |
| CAPCOM Register 4 | CC1_CC4IC | xx'0050$_H$ | 14$_H$ / 20$_D$ |
| CAPCOM Register 5 | CC1_CC5IC | xx'0054$_H$ | 15$_H$ / 21$_D$ |
| CAPCOM Register 6 | CC1_CC6IC | xx'0058$_H$ | 16$_H$ / 22$_D$ |
| CAPCOM Register 7 | CC1_CC7IC | xx'005C$_H$ | 17$_H$ / 23$_D$ |
| CAPCOM Register 8 | CC1_CC8IC | xx'0060$_H$ | 18$_H$ / 24$_D$ |
| CAPCOM Register 9 | CC1_CC9IC | xx'0064$_H$ | 19$_H$ / 25$_D$ |
| CAPCOM Register 10 | CC1_CC10IC | xx'0068$_H$ | 1A$_H$ / 26$_D$ |
| CAPCOM Register 11 | CC1_CC11IC | xx'006C$_H$ | 1B$_H$ / 27$_D$ |
| CAPCOM Register 12 | CC1_CC12IC | xx'0070$_H$ | 1C$_H$ / 28$_D$ |
| CAPCOM Register 13 | CC1_CC13IC | xx'0074$_H$ | 1D$_H$ / 29$_D$ |
| CAPCOM Register 14 | CC1_CC14IC | xx'0078$_H$ | 1E$_H$ / 30$_D$ |
| CAPCOM Register 15 | CC1_CC15IC | xx'007C$_H$ | 1F$_H$ / 31$_D$ |
| CAPCOM Register 16 | CC2_CC16IC | xx'00C0$_H$ | 30$_H$ / 48$_D$ |
| CAPCOM Register 17 | CC2_CC17IC | xx'00C4$_H$ | 31$_H$ / 49$_D$ |
| CAPCOM Register 18 | CC2_CC18IC | xx'00C8$_H$ | 32$_H$ / 50$_D$ |
| CAPCOM Register 19 | CC2_CC19IC | xx'00CC$_H$ | 33$_H$ / 51$_D$ |
| CAPCOM Register 20 | CC2_CC20IC | xx'00D0$_H$ | 34$_H$ / 52$_D$ |
| CAPCOM Register 21 | CC2_CC21IC | xx'00D4$_H$ | 35$_H$ / 53$_D$ |
| CAPCOM Register 22 | CC2_CC22IC | xx'00D8$_H$ | 36$_H$ / 54$_D$ |
| CAPCOM Register 23 | CC2_CC23IC | xx'00DC$_H$ | 37$_H$ / 55$_D$ |
| CAPCOM Register 24 | CC2_CC24IC | xx'00E0$_H$ | 38$_H$ / 56$_D$ |
| CAPCOM Register 25 | CC2_CC25IC | xx'00E4$_H$ | 39$_H$ / 57$_D$ |
| CAPCOM Register 26 | CC2_CC26IC | xx'00E8$_H$ | 3A$_H$ / 58$_D$ |
| CAPCOM Register 27 | CC2_CC27IC | xx'00EC$_H$ | 3B$_H$ / 59$_D$ |
| CAPCOM Register 28 | CC2_CC28IC | xx'00F0$_H$ | 3C$_H$ / 60$_D$ |

表 4 XC164CS 中断节点（续）

| Source of Interrupt or PEC Service Request | Control Register | Vector Location[1)] | Trap Number |
|---|---|---|---|
| CAPCOM Register 29 | CC2_CC29IC | $xx'0110_H$ | $44_H / 68_D$ |
| CAPCOM Register 30 | CC2_CC30IC | $xx'0114_H$ | $45_H / 69_D$ |
| CAPCOM Register 31 | CC2_CC31IC | $xx'0118_H$ | $46_H / 70_D$ |
| CAPCOM Timer 0 | CC1_T0IC | $xx'0080_H$ | $20_H / 32_D$ |
| CAPCOM Timer 1 | CC1_T1IC | $xx'0084_H$ | $21_H / 33_D$ |
| CAPCOM Timer 7 | CC2_T7IC | $xx'00F4_H$ | $3D_H / 61_D$ |
| CAPCOM Timer 8 | CC2_T8IC | $xx'00F8_H$ | $3E_H / 62_D$ |
| GPT1 Timer 2 | GPT12E_T2IC | $xx'0088_H$ | $22_H / 34_D$ |
| GPT1 Timer 3 | GPT12E_T3IC | $xx'008C_H$ | $23_H / 35_D$ |
| GPT1 Timer 4 | GPT12E_T4IC | $xx'0090_H$ | $24_H / 36_D$ |
| GPT2 Timer 5 | GPT12E_T5IC | $xx'0094_H$ | $25_H / 37_D$ |
| GPT2 Timer 6 | GPT12E_T6IC | $xx'0098_H$ | $26_H / 38_D$ |
| GPT2 CAPREL Register | GPT12E_CRIC | $xx'009C_H$ | $27_H / 39_D$ |
| A/D Conversion Complete | ADC_CIC | $xx'00A0_H$ | $28_H / 40_D$ |
| A/D Overrun Error | ADC_EIC | $xx'00A4_H$ | $29_H / 41_D$ |
| ASC0 Transmit | ASC0_TIC | $xx'00A8_H$ | $2A_H / 42_D$ |
| ASC0 Transmit Buffer | ASC0_TBIC | $xx'011C_H$ | $47_H / 71_D$ |
| ASC0 Receive | ASC0_RIC | $xx'00AC_H$ | $2B_H / 43_D$ |
| ASC0 Error | ASC0_EIC | $xx'00B0_H$ | $2C_H / 44_D$ |
| ASC0 Autobaud | ASC0_ABIC | $xx'017C_H$ | $5F_H / 95_D$ |
| SSC0 Transmit | SSC0_TIC | $xx'00B4_H$ | $2D_H / 45_D$ |
| SSC0 Receive | SSC0_RIC | $xx'00B8_H$ | $2E_H / 46_D$ |
| SSC0 Error | SSC0_EIC | $xx'00BC_H$ | $2F_H / 47_D$ |
| PLL/OWD | PLLIC | $xx'010C_H$ | $43_H / 67_D$ |
| ASC1 Transmit | ASC1_TIC | $xx'0120_H$ | $48_H / 72_D$ |
| ASC1 Transmit Buffer | ASC1_TBIC | $xx'0178_H$ | $5E_H / 94_D$ |
| ASC1 Receive | ASC1_RIC | $xx'0124_H$ | $49_H / 73_D$ |
| ASC1 Error | ASC1_EIC | $xx'0128_H$ | $4A_H / 74_D$ |
| ASC1 Autobaud | ASC1_ABIC | $xx'0108_H$ | $42_H / 66_D$ |
| End of PEC Subchannel | EOPIC | $xx'0130_H$ | $4C_H / 76_D$ |

表 4 XC164CS 中断节点（续）

| Source of Interrupt or PEC Service Request | Control Register | Vector Location[1)] | Trap Number |
|---|---|---|---|
| CAPCOM6 Timer T12 | CCU6_T12IC | xx'0134$_H$ | 4D$_H$ / 77$_D$ |
| CAPCOM6 Timer T13 | CCU6_T13IC | xx'0138$_H$ | 4E$_H$ / 78$_D$ |
| CAPCOM6 Emergency | CCU6_EIC | xx'013C$_H$ | 4F$_H$ / 79$_D$ |
| CAPCOM6 | CCU6_IC | xx'0140$_H$ | 50$_H$ / 80$_D$ |
| SSC1 Transmit | SSC1_TIC | xx'0144$_H$ | 51$_H$ / 81$_D$ |
| SSC1 Receive | SSC1_RIC | xx'0148$_H$ | 52$_H$ / 82$_D$ |
| SSC1 Error | SSC1_EIC | xx'014C$_H$ | 53$_H$ / 83$_D$ |
| CAN0 | CAN_0IC | xx'0150$_H$ | 54$_H$ / 84$_D$ |
| CAN1 | CAN_1IC | xx'0154$_H$ | 55$_H$ / 85$_D$ |
| CAN2 | CAN_2IC | xx'0158$_H$ | 56$_H$ / 86$_D$ |
| CAN3 | CAN_3IC | xx'015C$_H$ | 57$_H$ / 87$_D$ |
| CAN4 | CAN_4IC | xx'0164$_H$ | 59$_H$ / 89$_D$ |
| CAN5 | CAN_5IC | xx'0168$_H$ | 5A$_H$ / 90$_D$ |
| CAN6 | CAN_6IC | xx'016C$_H$ | 5B$_H$ / 91$_D$ |
| CAN7 | CAN_7IC | xx'0170$_H$ | 5C$_H$ / 92$_D$ |
| RTC | RTC_IC | xx'0174$_H$ | 5D$_H$ / 93$_D$ |
| Unassigned node | – | xx'0100$_H$ | 40$_H$ / 64$_D$ |
| Unassigned node | – | xx'0104$_H$ | 41$_H$ / 65$_D$ |
| Unassigned node | – | xx'012C$_H$ | 4B$_H$ / 75$_D$ |
| Unassigned node | – | xx'00FC$_H$ | 3F$_H$ / 63$_D$ |
| Unassigned node | – | xx'0160$_H$ | 58$_H$ / 88$_D$ |

1) 寄存器 VECSEG 定义向量表所在的段。

寄存器CPUCON1中的位域VECSC定义了两个相邻向量之间的距离。此表为默认设置，两个向量之间的距离为 4（两个字）。

XC164CS 还提供了一种出色的机制用于识别和处理运行过程中出现的异常或错误情况，即所谓的“硬件陷阱”。硬件陷阱会导致立即产生不可屏蔽的系统反应，类似于标准中断服务（跳转到专用向量表位置）。硬件陷阱的发生还反映在陷阱标志寄存器 (TFR) 中的一个位。除非另一个优先级更高的陷阱服务正在进行中，否则硬件陷阱将中断任何正在执行的程序。反过来，硬件陷阱服务通常不会被标准中断或 PEC 中断打断。

表 5 显示了运行过程中可能出现的所有异常或错误情况：

**表 5　　硬件陷阱汇总**

| Exception Condition | Trap Flag | Trap Vector | Vector Location[1)] | Trap Number | Trap Priority |
|---|---|---|---|---|---|
| Reset Functions:<br>• Hardware Reset<br>• Software Reset<br>• Watchdog Timer Overflow | – | <br>RESET<br>RESET<br>RESET | <br>xx’0000$_H$<br>xx’0000$_H$<br>xx’0000$_H$ | <br>00$_H$<br>00$_H$<br>00$_H$ | <br>III<br>III<br>III |
| Class A Hardware Traps:<br>• Non-Maskable Interrupt<br>• Stack Overflow<br>• Stack Underflow<br>• Software Break | <br>NMI<br>STKOF<br>STKUF<br>SOFTBRK | <br>NMITRAP<br>STOTRAP<br>STUTRAP<br>SBRKTRAP | <br>xx’0008$_H$<br>xx’0010$_H$<br>xx’0018$_H$<br>xx’0020$_H$ | <br>02$_H$<br>04$_H$<br>06$_H$<br>08$_H$ | <br>II<br>II<br>II<br>II |
| Class B Hardware Traps:<br>• Undefined Opcode<br>• PMI Access Error<br>• Protected Instruction Fault<br>• Illegal Word Operand Access | <br>UNDOPC<br>PACER<br>PRTFLT<br><br>ILLOPA | <br>BTRAP<br>BTRAP<br>BTRAP<br><br>BTRAP | <br>xx’0028$_H$<br>xx’0028$_H$<br>xx’0028$_H$<br><br>xx’0028$_H$ | <br>0A$_H$<br>0A$_H$<br>0A$_H$<br><br>0A$_H$ | <br>I<br>I<br>I<br><br>I |
| Reserved | – | – | [2C$_H$ - 3C$_H$] | [0B$_H$ - 0F$_H$] | – |
| Software Traps<br>• TRAP Instruction | – | – | Any [xx’0000$_H$ - xx’01FC$_H$] in steps of 4$_H$ | Any [00$_H$ - 7F$_H$] | Current CPU Priority |

1) 寄存器 VECSEG 定义向量表所在的段。

## 3.5 片上调试支持 (OCDS)

XC164CS内置的片上调试支持系统提供了广泛调试和仿真功能。因此，在 XC164CS上运行的用户软件可以在目标系统环境中进行调试。

外部调试器通过调试接口控制OCDS，该调试接口由符合IEEE -1149 的JTAG端口和断点接口组成。调试器通过JTAG接口访问一组专用寄存器来控制 OCDS。此外，OCDS 系统也可以由 CPU 控制，例如通过监控程序实现。注入接口允许 CPU 执行 OCDS 生成的指令。

多个断点可以由片上硬件、软件或外部触发输入激活。系统支持单步执行操作，同时也支持向CPU注入任意指令，以及对整个内部地址空间进行读写访问。断点触发后，系统可通过以下方式响应：使 CPU 停止运行、调用监控程序、执行数据传输，或（并）激活外部信号。

可以通过 JTAG 接口或外部总线接口获取跟踪数据，以提高性能。

调试接口使用 6 条信号线（4 条JTAG线、2 条中断线）与外部电路进行通信。这些接口信号线是通过 PORT3 引脚的备用功能实现的。

新仿真技术 (NET) 接口支持完整的系统仿真。

## 3.6 捕获/比较单元（CAPCOM1/2）

CAPCOM 单元支持多达 32 个通道的时序序列生成和控制，最高精度为 1 个系统时钟周期（交错模式下为 8 个周期）。CAPCOM 单元通常用于处理高速输入/输出任务，例如脉冲和波形生成、脉宽调制 (PMW)、数模 (D/A) 转换、软件时序，或对外部事件进行时间记录。

四个带重装寄存器的 16 位定时器（T0/T1、T7/T8）为每个捕获/比较寄存器阵列提供了两个独立的时间基准。

定时器的输入时钟可以通过编程设置为内部系统时钟的多种预分频值，或由 GPT2 模块中定时器 T6 的溢出/下溢信号产生。这为定时器周期和分辨率提供了广泛的可调范围，并可根据具体应用需求进行精确调整。此外，CAPCOM 定时器 T0 和 T7 的外部计数输入允许捕获/比较寄存器根据外部事件进行事件调度。

两个捕获/比较寄存器阵列均包含 16 个双功能捕获/比较寄存器，每个寄存器可单独分配给 CAPCOM 定时器 T0 或 T1（T7 或 T8），并可设置为捕获或比较功能。
CAPCOM2 模块的 12 个寄存器各自都有一个与之关联的端口引脚，该引脚可以作为触发捕获功能的输入引脚，或者作为指示比较事件发生的输出引脚。

**表 6 比较模式（CAPCOM1/2）**

| Compare Modes | Function |
|---|---|
| Mode 0 | Interrupt-only compare mode;<br>several compare interrupts per timer period are possible |
| Mode 1 | Pin toggles on each compare match;<br>several compare events per timer period are possible |
| Mode 2 | Interrupt-only compare mode;<br>only one compare interrupt per timer period is generated |
| Mode 3 | Pin set ‘1’ on match; pin reset ‘0’ on compare timer overflow;<br>only one compare event per timer period is generated |
| Double Register Mode | Two registers operate on one pin; pin toggles on each compare match;<br>several compare events per timer period are possible |
| Single Event Mode | Generates single edges or pulses; can be used with any compare mode |

当捕获/比较寄存器被设置为捕获模式时，若与该寄存器关联的端口引脚上发生外部事件，则所分配的定时器的当前内容将被锁存（“捕获”）到该捕获/比较寄存器中。此外，还会产生针对该捕获/比较寄存器的专用中断请求。可选择将引脚上外部信号的正向跳变、负向跳变，或正负双向跳变作为触发事件。

所有被设置为五种比较模式之一的寄存器，其内容会与所分配定时器的内容进行连续比较。

当定时器的当前值与捕获/比较寄存器中的值相匹配时，系统将根据所选的比较模式执行相应的特定操作。

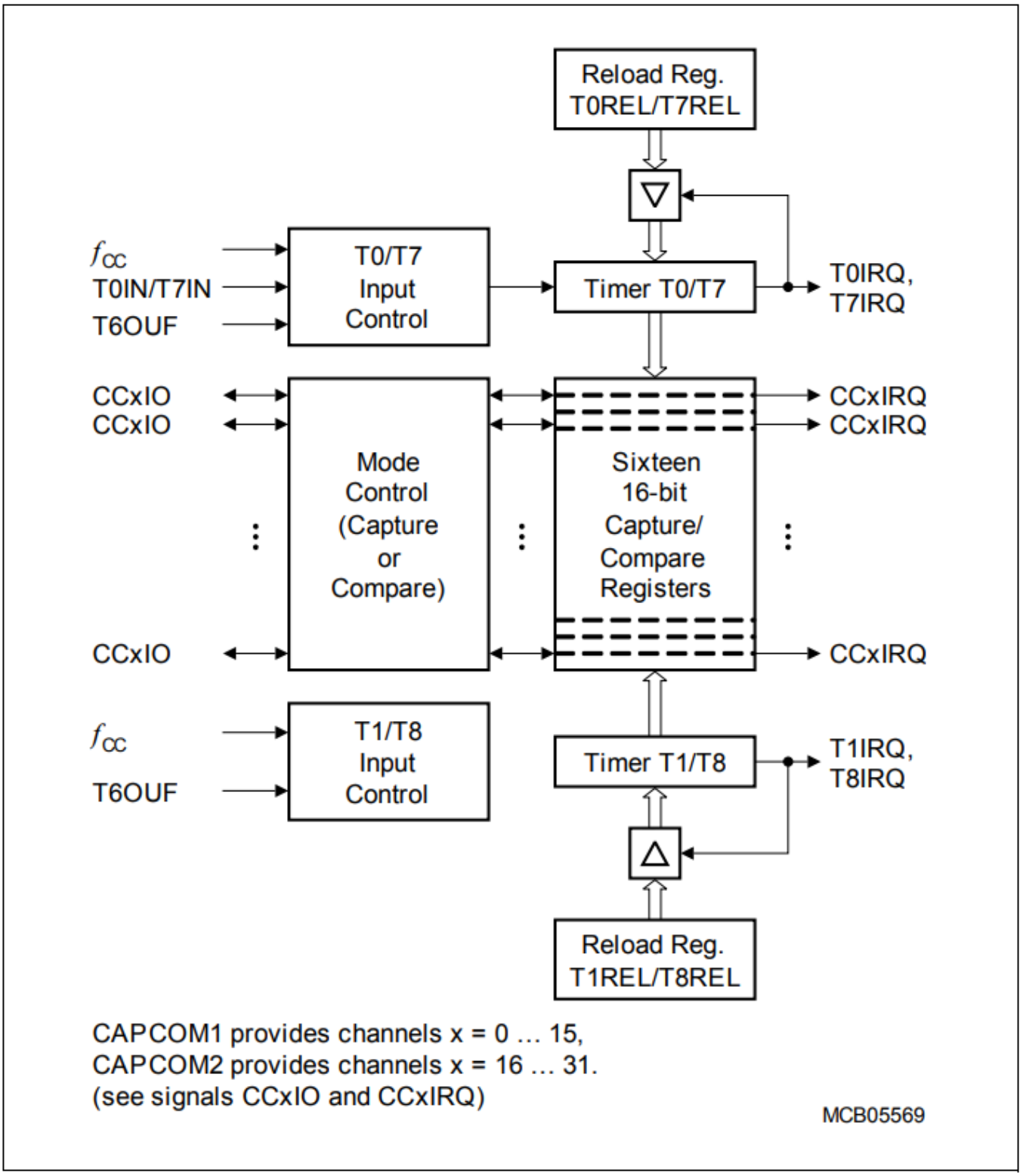



**图 5　　CAPCOM1/2模块框图**

## 3.7 捕获/比较单元 CAPCOM6

CAPCOM6 单元支持在多达三个 16 位捕获/比较通道和一个独立的 10 位比较通道上产生和控制时序。
在比较模式下，CAPCOM6 单元为每个通道提供两个输出信号，这两个信号的极性相反，且在脉冲边沿处不重叠（死区控制）。比较通道可以产生单个 PWM 输出信号，并进一步用于调制捕获/比较输出信号。
在捕获模式下，当引脚CCx上出现信号跳变，比较定时器 T12 的内容便会存储在捕获寄存器中。

比较定时器 T12（16 位）和 T13（10 位）是自由运行的定时器，由预分频系统时钟提供时钟信号。

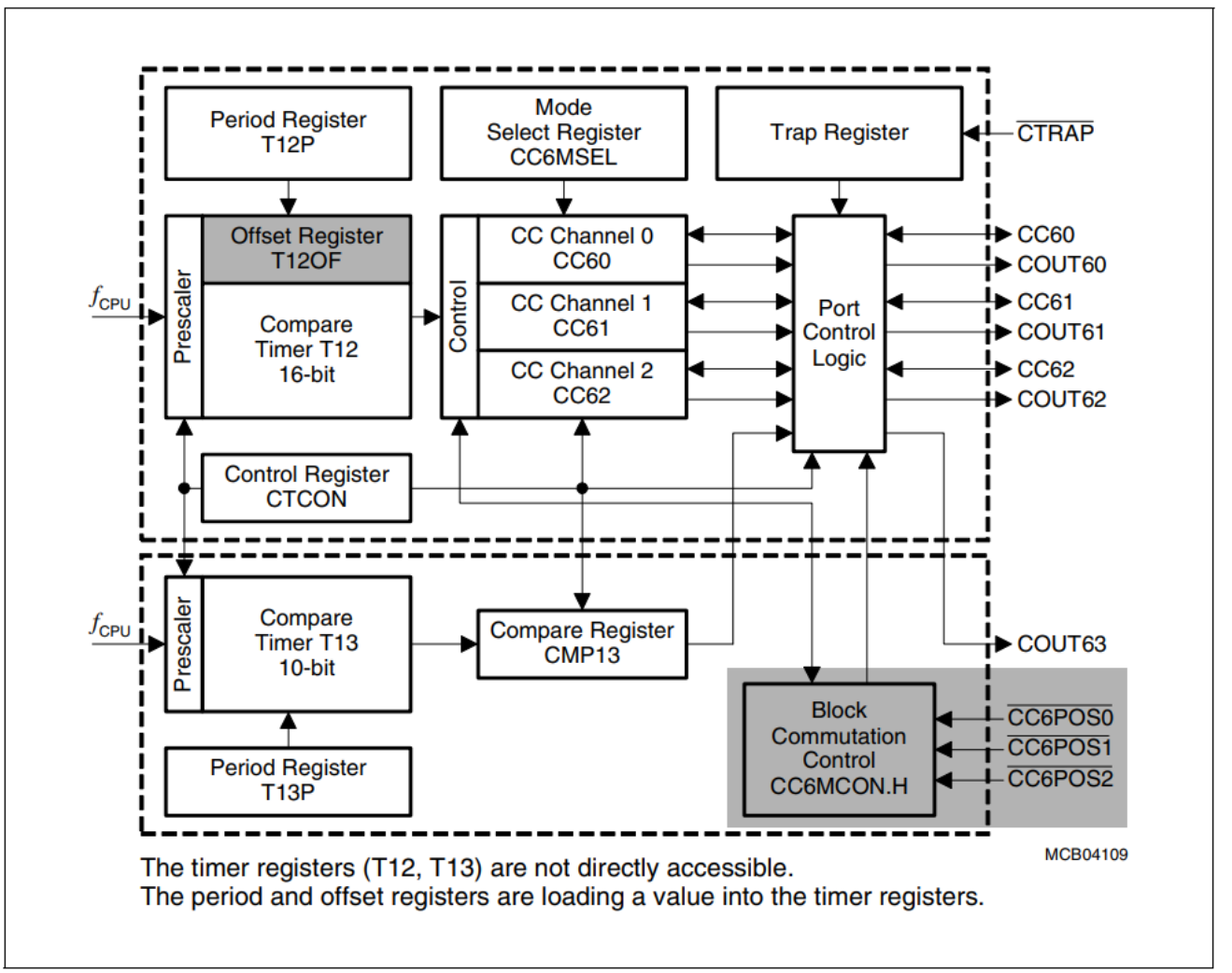



**图 6 CAPCOM6模块框图**

对于电机控制应用，两个子单元都可以产生多功能多通道PWM信号，这些信号基本上可以由比较定时器 T12 控制，或者通过中断输入的典型霍尔传感器模式控制（块换相）。

## 3.8 通用定时器（GPT12E）单元

GPT12E 单元是一种非常灵活的多功能计时/计数器结构，可用于多种不同的时间相关任务，例如事件计时和计数、脉冲宽度和占空比测量、脉冲生成或脉冲乘法。

GPT12E 单元包含五个 16 位定时器，分为由两个独立的模块 GPT1 和 GPT2 组成。每个模块中的各个定时器既可以在多种不同模式下独立运行，也可以与同一模块的另一个定时器级联使用。

**GPT1模块**的三个定时器 T2、T3、T4中的每一个定时器都可以单独配置为四种基本工作模式之一，即定时器模式、门控定时器模式、计数器模式和增量接口模式。在定时器模式下，定时器的输入时钟源自系统时钟，并通过可编程预分频器进行分频。计数器模式则允许定时器的时钟源自外部事件输入。
门控定时器模式支持脉冲宽度或占空比测量，其定时器的运行由外部输入引脚上的“门控”电平控制。为此，每个定时器都有一个关联的端口引脚 (TxIN)，用于门控信号或时钟信号输入。GPT1模块中定时器的最大精度是4个系统时钟周期。

每个定时器的计数方向（向上/向下）可通过软件编程，或者可以通过端口引脚（TxEUD）上的外部信号进行动态更改，以适用于例如位置跟踪的应用场景。

在增量接口模式下，GPT1 定时器（T2、T3、T4）可以通过各自的输入 TxIN 和 TxEUD 直接连接到增量位置传感器的信号 A 和 B。方向信号和计数信号由这两个输入信号内部导出，因此相关定时器 Tx 的内容与传感器位置相对应。第三个位置传感器信号TOP0可以连接到中断输入。

定时器 T3 有一个输出切换锁存器(T3OTL)，可在每次定时器溢出/下溢时改变其状态。该锁存器的状态可通过引脚T3OUT输出，例如用于外部硬件组件的超时监控。它还可以在内部为定时器 T2 和 T4 提供时钟，以用于高分辨率的长时间段测量。

除了基本操作模式外，定时器 T2 和 T4 还可以配置为定时器 T3 的重载或捕获寄存器。当用作捕获或重加载寄存器时，定时器 T2 和 T4 将停止计时。定时器 T3 的内容被捕获到 T2 或 T4 中，以响应其相关输入引脚 (TxIN) 上的信号输入。定时器T3 重新加载 T2 或 T4 的内容，这可由外部信号触发或其切换锁存器 T3OTL 的可配状态跳变触发。当 T2 和 T4 配置为在 T3OTL 相反的状态跳变时交替重新加载 T3，可以产生 PWM 信号的低电平和高电平时间，且该信号可以持续生成而无需软件干预。

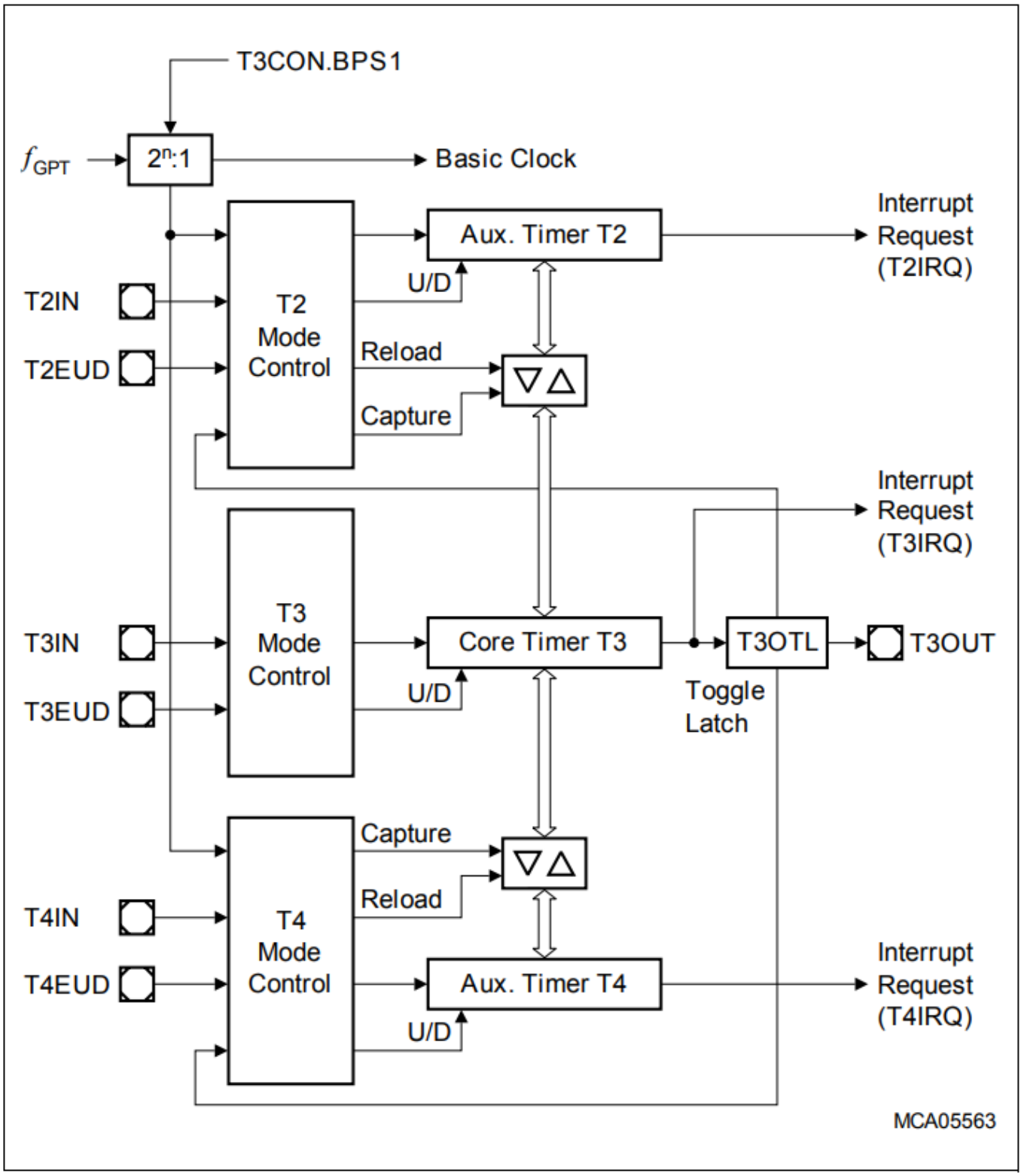



**图 7　　GPT1模块框图**

**GPT2模块**的最大精度为2个系统时钟周期，可提供精确的事件控制和时间测量。它包含两个定时器（T5、T6）和一个捕获/重载寄存器（CAPREL）。这两个定时器的输入时钟可通过可编程预分频器从 CPU 时钟获取，或通过外部信号获取。

每个定时器的计数方向（向上/向下）可通过软件编程，或者可以通过端口引脚（TxEUD）上的外部信号动态改变。通过定时器 T6 的输出切换锁存器 (T6OTL) 可以实现定时器的级联，该锁存器在每次定时器溢出/下溢时会改变其状态。

该锁存器的状态可用于为定时器 T5 提供时钟，和/或可通过引脚T6OUT输出。定时器 T6 的溢出/下溢还可以用于为 CAPCOM1/2 定时器提供时钟，并触发从 CAPREL 寄存器的重新加载。

CAPREL 寄存器可以根据相应端口引脚（CAPIN）上的外部信号跳变来捕获定时器 T5 的内容，并且可以在捕获过程之后选择性地清零定时器T5。这使得 XC164CS 可以测量绝对时间差或执行脉冲倍增，而无需软件资源开销。

捕获触发信号（定时器 T5 到 CAPREL）也可以在 GPT1 定时器 T3 的输入 T3IN 和/或 T3EUD 发生跳变时产生。这在 T3 以增量接口模式运行时尤为有利。

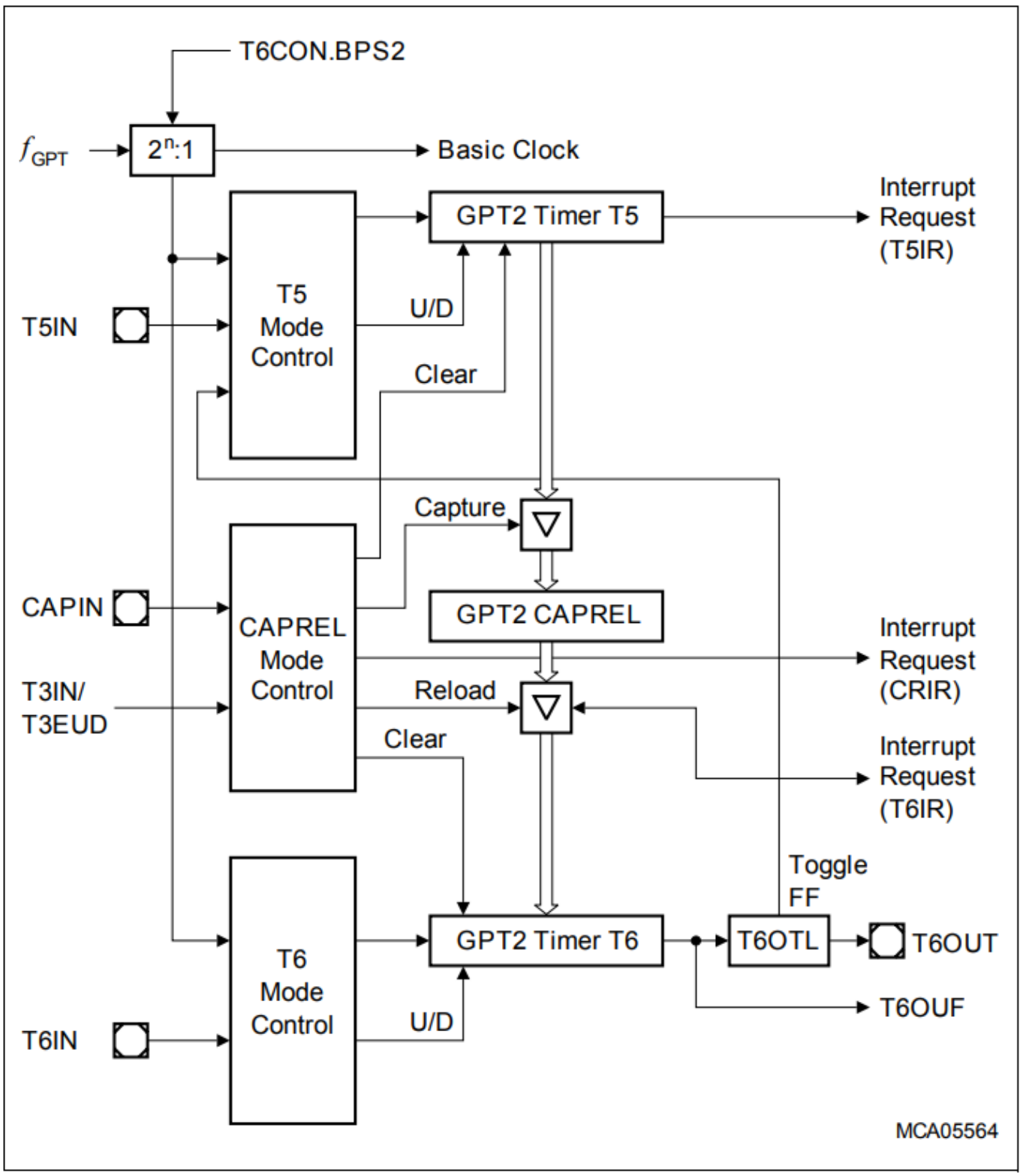

T6CON.BPS2
$f_{GPT}$
$2^n$:1
Basic Clock
GPT2 Timer T5
Interrupt Request (T5IR)
T5IN
T5 Mode Control
U/D
Clear
Capture
CAPIN
CAPREL Mode Control
GPT2 CAPREL
Interrupt Request (CRIR)
T3IN/ T3EUD
Reload
Clear
Interrupt Request (T6IR)
Toggle FF
GPT2 Timer T6
T6OTL
T6OUT
T6OUF
T6IN
T6 Mode Control
U/D
MCA05564

**图 8　　GPT2模块框图**

## 3.9 实时时钟

XC164CS 的实时时钟（RTC）模块的时钟是直接通过一个独立的时钟驱动器对预分频的主振荡器频率 ($f_{RTC} = f_{OSCm}/32$) 进行处理。因此，它独立于 XC164CS 所选的时钟生成模式。

RTC 基本上由一系列分频器块组成：

- 一个可选的 8:1 分频器（开 - 关）
- 可重载的 16 位定时器 T14
- 32 位RTC 定时器块（可通过寄存器 RTCH 和 RTCL 访问），由以下组成：
  - 一个可重载的 10 位定时器
  - 一个可重载的 6 位定时器
  - 一个可重载的 6 位定时器
  - 一个可重载的 10 位定时器

所有定时器均向上计数。每个定时器都可以产生中断请求。所有请求合并为一个共同的节点请求。

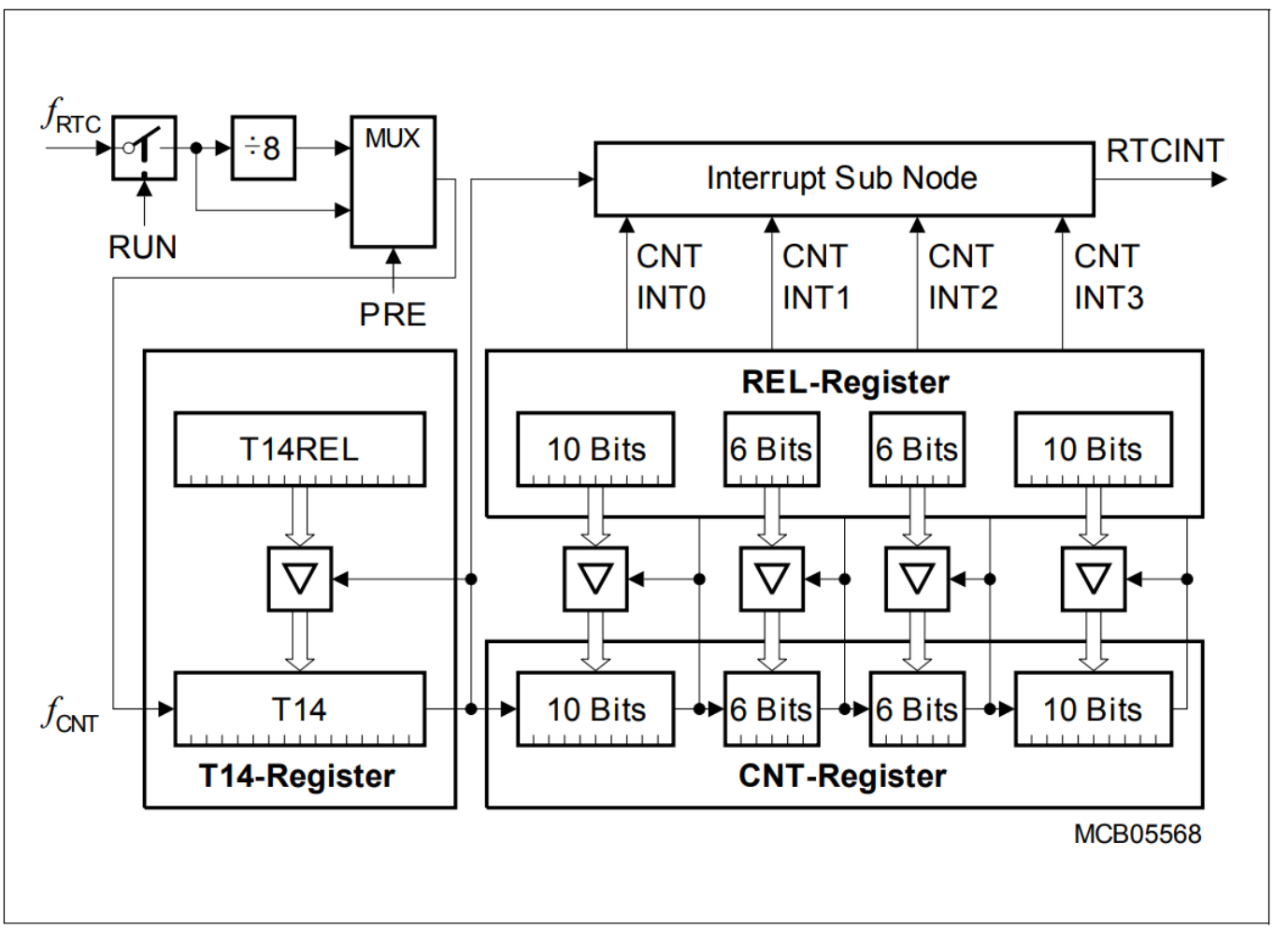



**图 9 RTC框图**

*注释：与RTC关联的寄存器不受复位的影响，以便即使执行中间发生复位也能保持正确的系统时间。*

RTC 模块可用于不同用途：

- 系统时钟，用于确定当前时间和日期
  可选择在空闲模式、睡眠模式和掉电模式下运行
- 基于周期时间的中断，用于提供独立于 CPU 频率和其他资源的系统时钟节拍，例如定期从空闲模式唤醒
- 用于长期测量的 48 位定时器（最大时间跨度 > 100 年）
- 报警中断，用于在指定时间唤醒

## 3.10 A/D 转换器

对于模拟信号测量，片上集成了一个带有14路复用输入通道的10位A/D转换器和一个采样-保持电路。转换采用逐次逼近法。采样时间（用于对电容器充电）和转换时间是可编程的（两种模式），因此可以根据外部电路进行调整。A/D转换器还可以工作在8位转换模式，可进一步缩短转换时间。

对转换结果寄存器（ADDAT）提供了溢出错误检测/保护：如果在下一次转换完成时仍未从结果寄存器中读取前一次转换的结果，则会产生中断请求，或者在这种情况下暂停下一次转换，直到前一次转换的结果被读取。

对于需要较少模拟输入通道的应用，剩余的通道输入可以用作数字输入端口引脚。

XC164CS 的A/D转换器支持四种不同的转换模式。在标准单通道转换模式下，对指定通道上的模拟电平进行一次采样并转换为数字结果。在单通道连续模式下，对指定通道上的模拟电平进行重复采样和转换，无需软件干预。在自动扫描模式下，对预先指定的多个通道上的模拟电平进行顺序采样和转换。在 "自动连续扫描 "模式下，对预先指定的多个通道进行重复采样和转换。此外，可以将特定通道的转换插入（注入）到正在运行的序列中，而不会干扰该序列。这就是通道注入模式。

外设事件控制器（PEC）可用于自动将转换结果存储到存储器的表中以供后续分析，从而节省了在每次数据传输时进入和退出中断服务程序所产生的额外开销。

每次复位后以及正常运行期间，ADC 都会执行自动校准。这种自动校准功能会不断调整变换器以适应不断变化的工作条件（例如温度）并补偿工艺偏差。

校准时间是转换时间的一部分，因此它们不会影响A/D转换器的正常运行。

为了将模拟输入与数字噪声分离并避免输入噪声，可以通过软件控制将用于模拟输入的引脚内部与其数字输入级断开。可以通过寄存器 P5DIDIS（Port 5 Digital Input Disable）对每个引脚进行单独配置。

A/D转换器的自动断电功能可在不进行转换时最大限度地减少功率消耗。

## 3.11 异步/同步串行接口（ASC0/ASC1）

异步/同步串行接口 ASC0/ASC1 (USART) 提供与其他微控制器、处理器、终端或外部组件的串行通信。向上兼容英飞凌8位MCU的串行接口，支持全双工异步通信和半双工同步通信。带有小数分频器的专用波特率发生器可精确生成所有标准波特率，无需振荡器调校。对于发送、接收、错误处理和波特率检测，提供了 5 个单独的中断向量。

在异步模式下，发送或接收 8 位或 9 位数据帧（带有可选奇偶校验位），以一个起始位开始，以一个或两个停止位结束。对于多处理器通信，还包含了一种用于区分地址和数据字节的机制（8 位数据加唤醒位模式）。IrDA 数据传输高达115.2 kbit/s，支持具有固定或可编程的IrDA 脉冲宽度。

在同步模式下，字节（8 位）的发送和接收与 ASC0/1 生成的移位时钟同步。始终先移动 LSB。

在两种模式下，数据的发送和接收都是采用FIFO缓冲。自动波特检测单元可通过波特率发生器和模式控制位的自动初始化，检测异步数据帧的波特率和模式。

为提高数据传输的可靠性，还提供了许多可选的硬件错误检测功能。奇偶校验位可在发送时自动生成，或在接收时进行自动校验。数据帧的错误检测功能可识别出丢失停止位的数据帧。如果在新数据接收完成时仍未将上次接收到的数据从接收缓冲寄存器中读出，则会产生溢出错误。

### 特性概要

- 全双工异步工作模式
  - 8 或 9 位数据帧、LSB优先、一个或两个停止位、奇偶校验生成/检查
  - 波特率从 2.5Mbit/s 至 0.6bit/s (@ 40 MHz)
  - 自动地址/数据字节检测的多处理器模式
  - 支持IrDA数据发送/接收，最高可达115.2 kbit/s（@ 40 MHz）
  - 回环功能
  - 自动波特率检测
- 半双工8位同步工作模式，波特率从5 Mbit/s至406.9bit/s (@ 40 MHz)
- 支持 FIFO 的缓冲发送器/接收器（每个方向包括8个缓冲条目）
- 提供用于测试的回环功能选项
- 支持在如下条件产生中断：发送缓冲器为空、发送最后一个位、接收缓冲器满、错误条件（帧错误、奇偶校验错误、溢出错误）、自动波特率检测的开始和结束

## 3.12 高速同步串行通道（SSC0/SSC1）

高速同步串行通道SSC0/SSC1支持全双工和半双工同步通信。可对其进行配置，使其与串行连接的外围元件连接，支持完整的 SPI 功能。

带有专用波特率发生器可生成所有标准波特率，无需振荡器调校。对于发送、接收和错误处理，提供了3个单独的中断向量。

SSC发送或接收的数据长度为2 ... 16 位，数据与移位时钟同步，该时钟可由 SSC 生成（主机模式）或由外部主机生成（从机模式）。SSC 可以从 LSB 或 MSB 开始移位，并可以选择移位钟边沿、锁存时钟边沿以及时钟极性。

为提高数据传输的可靠性，还提供了许多可选的硬件错误检测功能。发送错误和接收错误用于监督数据缓冲区的正确处理。相位错误和波特率错误用于检测异常的串行数据。

**特性概要**

- 主机模式和从机模式运行
- 全双工或半双工传输
- 波特率从 20 Mbit/s 到 305.18 bit/s (@ 40 MHz)
- 灵活的数据格式
  - 可编程数据位数：2 至 16 位
  - 可编程移位方向：LSB优先或MSB优先
  - 可编程时钟极性：空闲低或空闲高
  - 可编程时钟/数据相位：利用时钟的前沿或后沿进行数据移位
- 提供用于测试的回环功能选项
- 支持在如下条件产生中断：发送缓冲器为空、接收缓冲器满、错误条件（接收错误、相位错误、波特率错误、发送错误）
- 三引脚接口，具有灵活的 SSC 引脚配置

## 3.13 TwinCAN 模块

集成的 TwinCAN 模块根据CAN规范 V2.0 part B (active) 处理CAN数据帧的完全自主发送和接收，
例如，片上TwinCAN模块既可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。

两个 Full-CAN 节点共享 TwinCAN 模块的资源，以优化 CAN 总线负载，并最大限度地减少 CPU 负载。该模块提供多达 32 个消息对象，这些消息对象可以分配给其中任意一个 CAN 节点，并可以组合成 FIFO 结构。每个对象都提供用于接收过滤的独立掩码。

Full-CAN 功能与 FIFO 架构的灵活结合，减少了在复杂嵌入式控制应用中对于实时要求的工作量。CAN 总线监测功能的改进以及消息对象数量的增加，使得对于 CAN 总线负载的处理更加精确和容易。

网关功能允许两个独立的 CAN 总线系统之间进行自动交换数据，从而减少 CPU 负载并提高整个系统的实时性能。

两个CAN节点的位时间均源自主机时钟，可编程数据传输速率高达 1 Mbit/s。每个CAN节点使用端口 4、端口 7 或端口 9 的两个引脚来连接到外部收发器。接口引脚通过软件分配。

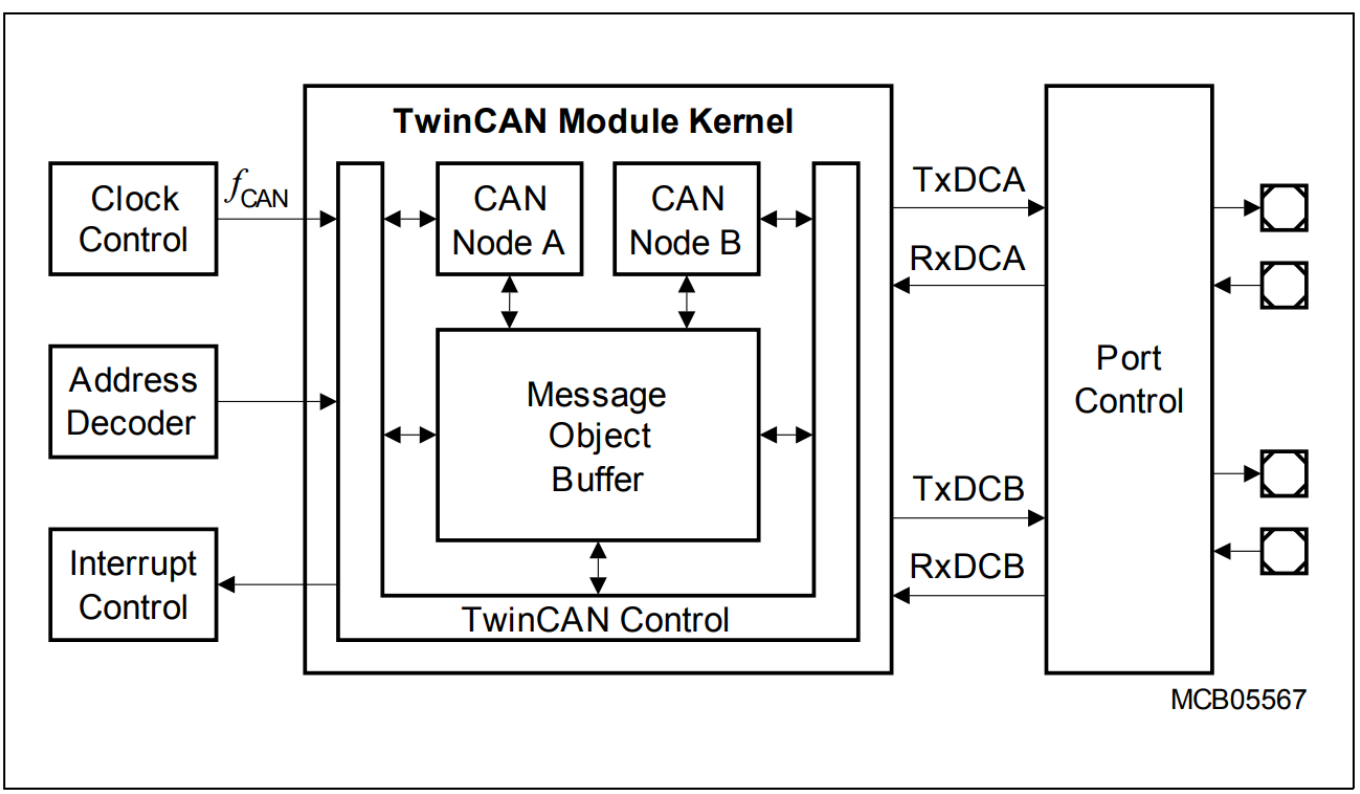



**图 10 TwinCAN 模块框图**

## 特性概要

- CAN 功能符合 CAN 规范 V2.0 B active
- 数据传输速率高达 1 Mbit/s
- 灵活而强大的信息传输控制和错误处理功能
- 每个消息对象均支持 Full-CAN 功能和基本 CAN 功能
- 32 个灵活的消息对象
  - 可分配给两个CAN 节点中的任意一个
  - 配置为发送对象或接收对象
  - 通过FIFO 算法级联为2、4、8、16 或 32 条消息缓冲器
  - 处理具有 11 位或 29 位标识符的帧
  - 每个对象都包含用于接收过滤的独立可编程掩码寄存器
  - 通过帧计数器进行监控
  - 远程监测模式配置
- 多达8个独立可编程的中断节点
- 支持用于 CAN 总线监控的分析仪模式

*注释： 当将CAN 节点接口线分配给端口 4 时，端口 4 上的段地址输出必须受到限制。CS 线可用于增加可寻址外部存储器的总量。*

## 3.14 看门狗定时器

看门狗定时器是一种故障安全机制，用于防止控制器长时间出现故障。

芯片复位后，看门狗定时器始终处于启用状态，可以在执行 EINIT 指令之前将其禁用（兼容模式），或者可以通过执行 DISWDT 和 ENWDT 指令随时将其禁用或启用（增强模式）。因此，芯片的启动过程始终受到监控。软件必须设计为在看门狗定时器溢出之前重新启动它。如果由于硬件或软件相关故障导致软件无法执行此操作，则看门狗定时器发生溢出并生成内部硬件复位信号，同时拉低 $\overline{\text{RSTOUT}}$ 引脚，以复位外部硬件组件。

看门狗定时器是一个 16 位定时器，其时钟为系统时钟除以2/4/128/256。看门狗寄存定时器寄存器的高位字节可以设置为预先指定的重载值（存储在WDTREL中），以便进一步调整监控时间间隔。应用软件在每次喂狗时，会重新加载看门狗定时器寄存器的高位字节，清除低位字节。因此，监控时间可以为 13µs 到 419 ms (@ 40 MHz) 。
复位后默认的看门狗定时器间隔为 3.28 ms (@ 40 MHz)。

## 3.15 时钟生成

时钟生成单元采用可编程片上PLL，具有多个预分频器，可灵活生成XC164CS的时钟信号。主时钟 $f_{MC}$ 是基准时钟信号，用于TwinCAN并输出到外部系统。CPU时钟 $f_{CPU}$ 和系统时钟 $f_{SYS}$ 可直接（1:1）或通过2:1预分频（ $f_{SYS} = f_{CPU} = f_{MC} / 2$） 从主时钟获取。另请参阅第4.4.1节。

片上振荡器可以驱动外部晶振或者接受外部时钟信号。振荡器时钟频率可以通过PLL进行倍频（按可编程因子），或者通过可编程预分频因子进行分频。

如果采用旁路模式（直接驱动或预分频），PLL可以提供独立的时钟，用于监控片上振荡器产生的时钟信号。该 PLL 时钟独立于 XTAL1 时钟。当预期的振荡器时钟丢失时，振荡器看门狗 (OWD) 会激活 PLL 解锁/OWD 中断节点，并向 CPU 提供紧急时钟，即 PLL 时钟信号。在这种情况下，PLL 将以其基本频率振荡。

**可以通过关闭 PLL 来禁用振荡器看门狗**。这样可以降低功耗，但在振荡器时钟丢失的情况下也不会产生中断请求。

*注释：在外部复位结束时（ $\overline{EA}$ ='0'），振荡器看门狗可以通过硬件禁用，方法是在复位时（外部）将 $\overline{RD}$ 线拉低，类似于标准复位操作。*

## 3.16 并行端口

XC164CS 提供多达 79个 I/O 口，分为 6 个输入/输出端口和 1 个输入端口。所有端口都可按位寻址，并且所有输入/输出IO口都可以通过方向寄存器单独（按位）编程为输入或输出。 I/O 端口为真正的双向端口，当配置为输入时则切换为高阻态。某些 I/O 口的输出驱动可以通过控制寄存器（逐个引脚）配置为推挽输出或开漏输出。在内部复位期间，所有端口引脚都配置为输入（引脚 $\overline{RSTOUT}$ 除外）。

可以通过寄存器 POCONx 选择端口驱动器的边缘特性（形状）和驱动特性（输出电流）。某些端口的输入阈值是可选的（TTL或 CMOS），其中特殊 CMOS 的输入阈值由于输入迟滞而降低了噪声敏感性。可以为各个端口的每个字节单独选择输入阈值。

所有端口都具有相关的可编程备用输入或输出功能。对于未用作这些备用功能的端口，都可以用作通用输入输出口。

表 7 XC164CS 并行端口概述

| Port | Control | Alternate Functions |
|---|---|---|
| **PORT0** | Pad drivers | Address/Data lines or data lines[1)] |
| **PORT1** | Pad drivers | Address lines[2)] |
| | | Capture inputs or compare outputs,<br>Serial interface lines |
| **Port 3** | Pad drivers,<br>Open drain,<br>Input threshold | Timer control signals, serial interface lines,<br>Optional bus control signal $\overline{BHE}$/$\overline{WRH}$,<br>System clock output CLKOUT (or FOUT) |
| **Port 4** | Pad drivers,<br>Open drain,<br>Input threshold | Segment address lines[3)], $\overline{CS}$ signal lines |
| | | CAN interface lines[4)] |
| **Port 5** | – | Analog input channels to the A/D converter,<br>Timer control signals |
| **Port 9** | Pad drivers,<br>Open drain,<br>Input threshold | Capture inputs or compare outputs |
| | | CAN interface lines[4)] |
| **Port 20** | Pad drivers,<br>Open drain | Bus control signals $\overline{RD}$, $\overline{WR}$/$\overline{WRL}$, ALE,<br>External access enable pin $\overline{EA}$,<br>Reset indication output $\overline{RSTOUT}$ |

1) 用于多路复用总线周期。

2) 用于解复用总线周期。

3) 用于超过 64 Kbytes 的外部资源。

4) 可通过软件分配。

## 3.17 电源管理

XC164CS 提供了多种方法来控制其在给定时间的功耗或在特定时间范围内的平均功耗。可以使用三种机制（部分可并行使用）：

- **省电模式**将 XC164CS 切换到一种特殊的工作模式（通过指令控制）。

  空闲模式下，CPU停止运行，但外设可以继续工作。

  睡眠模式和掉电模式下，所有时钟信号和所有操作都停止（ RTC可以选择性继续运行）。睡眠模式可以通过外部中断信号终止。
- **时钟生成管理**控制内部和外部时钟信号的频率及分配。尽管对于当前不活跃的逻辑部分，其时钟信号会被自动禁用，用户可以降低XC164CS的CPU时钟频率，从而大幅降低功耗。

  外部电路可以通过可编程频率输出 FOUT 进行控制。
- **外设管理**允许临时禁用外设模块（通过寄存器 SYSCON3 控制）。每个外设都可以单独禁用/启用。

片上 RTC 可通过产生循环唤醒信号支持 XC164CS 的间歇工作。这样可以充分发挥性能，对行动请求做出快速反应，而间歇睡眠阶段则大大降低了系统的平均功耗。

## 3.18 指令集概述

表 8 以简明的方式列出了 XC164CS 的指令。
特定指令的各种寻址模式、指令的操作、指令条件执行的参数，以及每条指令的操作码都可以在**《指令集手册》**中找到。
本文档也提供了每条指令的详细描述。

**表 8 指令集概述**

| Mnemonic | Description | Bytes |
|---|---|---|
| ADD(B) | Add word (byte) operands | 2 / 4 |
| ADDC(B) | Add word (byte) operands with Carry | 2 / 4 |
| SUB(B) | Subtract word (byte) operands | 2 / 4 |
| SUBC(B) | Subtract word (byte) operands with Carry | 2 / 4 |
| MUL(U) | (Un)Signed multiply direct GPR by direct GPR (16- × 16-bit) | 2 |
| DIV(U) | (Un)Signed divide register MDL by direct GPR (16-/16-bit) | 2 |
| DIVL(U) | (Un)Signed long divide reg. MD by direct GPR (32-/16-bit) | 2 |
| CPL(B) | Complement direct word (byte) GPR | 2 |
| NEG(B) | Negate direct word (byte) GPR | 2 |
| AND(B) | Bitwise AND, (word/byte operands) | 2 / 4 |
| OR(B) | Bitwise OR, (word/byte operands) | 2 / 4 |
| XOR(B) | Bitwise exclusive OR, (word/byte operands) | 2 / 4 |
| BCLR/BSET | Clear/Set direct bit | 2 |
| BMOV(N) | Move (negated) direct bit to direct bit | 4 |
| BAND/BOR/BXOR | AND/OR/XOR direct bit with direct bit | 4 |
| BCMP | Compare direct bit to direct bit | 4 |
| BFLDH/BFLDL | Bitwise modify masked high/low byte of bit-addressable direct word memory with immediate data | 4 |
| CMP(B) | Compare word (byte) operands | 2 / 4 |
| CMPD1/2 | Compare word data to GPR and decrement GPR by 1/2 | 2 / 4 |
| CMPI1/2 | Compare word data to GPR and increment GPR by 1/2 | 2 / 4 |
| PRIOR | Determine number of shift cycles to normalize direct word GPR and store result in direct word GPR | 2 |
| SHL/SHR | Shift left/right direct word GPR | 2 |

表 8　　指令集概述（续）

| Mnemonic | Description | Bytes |
|---|---|---|
| ROL/ROR | Rotate left/right direct word GPR | 2 |
| ASHR | Arithmetic (sign bit) shift right direct word GPR | 2 |
| MOV(B) | Move word (byte) data | 2 / 4 |
| MOVBS/Z | Move byte operand to word op. with sign/zero extension | 2 / 4 |
| JMPA/I/R | Jump absolute/indirect/relative if condition is met | 4 |
| JMPS | Jump absolute to a code segment | 4 |
| JB(C) | Jump relative if direct bit is set (and clear bit) | 4 |
| JNB(S) | Jump relative if direct bit is not set (and set bit) | 4 |
| CALLA/I/R | Call absolute/indirect/relative subroutine if condition is met | 4 |
| CALLS | Call absolute subroutine in any code segment | 4 |
| PCALL | Push direct word register onto system stack and call absolute subroutine | 4 |
| TRAP | Call interrupt service routine via immediate trap number | 2 |
| PUSH/POP | Push/pop direct word register onto/from system stack | 2 |
| SCXT | Push direct word register onto system stack and update register with word operand | 4 |
| RET(P) | Return from intra-segment subroutine<br>(and pop direct word register from system stack) | 2 |
| RETS | Return from inter-segment subroutine | 2 |
| RETI | Return from interrupt service subroutine | 2 |
| SBRK | Software Break | 2 |
| SRST | Software Reset | 4 |
| IDLE | Enter Idle Mode | 4 |
| PWRDN | Enter Power Down Mode (supposes $\overline{\text{NMI}}$-pin being low) | 4 |
| SRVWDT | Service Watchdog Timer | 4 |
| DISWDT/ENWDT | Disable/Enable Watchdog Timer | 4 |
| EINIT | End-of-Initialization Register Lock | 4 |
| ATOMIC | Begin ATOMIC sequence | 2 |
| EXTR | Begin EXTended Register sequence | 2 |
| EXTP(R) | Begin EXTended Page (and Register) sequence | 2 / 4 |
| EXTS(R) | Begin EXTended Segment (and Register) sequence | 2 / 4 |

表 8 指令集概述（续）

| Mnemonic | Description | Bytes |
|---|---|---|
| NOP | Null operation | 2 |
| CoMUL/CoMAC | Multiply (and accumulate) | 4 |
| CoADD/CoSUB | Add/Subtract | 4 |
| Co(A)SHR | (Arithmetic) Shift right | 4 |
| CoSHL | Shift left | 4 |
| CoLOAD/STORE | Load accumulator/Store MAC register | 4 |
| CoCMP | Compare | 4 |
| CoMAX/MIN | Maximum/Minimum | 4 |
| CoABS/CoRND | Absolute value/Round accumulator | 4 |
| CoMOV | Data move | 4 |
| CoNEG/NOP | Negate accumulator/Null operation | 4 |

# 4 电气参数

## 4.1 常规参数

**表 9 绝对最大额定值**

| Parameter | Symbol | Limit Values | | Unit | Notes |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| Storage temperature | $T_{ST}$ | -65 | 150 | °C | 1) |
| Junction temperature | $T_J$ | -40 | 150 | °C | under bias |
| Voltage on $V_{DDI}$ pins with respect to ground ($V_{SS}$) | $V_{DDI}$ | -0.5 | 3.25 | V | – |
| Voltage on $V_{DDP}$ pins with respect to ground ($V_{SS}$) | $V_{DDP}$ | -0.5 | 6.2 | V | – |
| Voltage on any pin with respect to ground ($V_{SS}$) | $V_{IN}$ | -0.5 | $V_{DDP}$ + 0.5 | V | 2) |
| Input current on any pin during overload condition | – | -10 | 10 | mA | – |
| Absolute sum of all input currents during overload condition | – | – | \|100\| | mA | – |

1) 湿度敏感等级 (MSL) 3，符合 Jedec J-STD-020C，PG-TQFP-100-5 为 260 °C，P-TQFP-100-16为 240 °C 。

2) 输入引脚 XTAL1 属于核电压域。因此，输入电压必须在$V_{DDI}$定义的范围内。

*注释：应力超过“绝对最大额定值”所列值可能会对器件造成永久性损坏。这仅仅是应力额定值，并不意味着器件在这些条件下或任何其他超过本规范操作部分所示条件的情况下能够正常运行。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。*

*在绝对最大额定值过载条件下（$V_{IN} > V_{DDP}$ 或 $V_{IN} < V_{SS}$），$V_{DDP}$ 引脚上相对于地（$V_{SS}$）的电压不得超过绝对最大额定值定义的值。*

## 工作条件

为确保 XC164CS 的正确运行，不得超过以下工作条件。除非另有说明，后续部分中的所有参数均基于这些工作条件。

**表 10　　工作条件参数**

| Parameter | Symbol | Limit Values | | Unit | Notes |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| Digital supply voltage for the core | $V_{DDI}$ | 2.35 | 2.7 | V | Active mode, $f_{CPU} = f_{CPUmax}$ 1)2) |
| Digital supply voltage for IO pads | $V_{DDP}$ | 4.4 | 5.5 | V | Active mode 2)3) |
| Supply Voltage Difference | $\Delta V_{DD}$ | -0.5 | – | V | $V_{DDP} - V_{DDI}$ 4) |
| Digital ground voltage | $V_{SS}$ | 0 | | V | Reference voltage |
| Overload current | $I_{OV}$ | -5 | 5 | mA | Per IO pin 5)6) |
| | | -2 | 5 | mA | Per analog input pin 5)6) |
| Overload current coupling factor for analog inputs 7) | $K_{OVA}$ | – | $1.0 \times 10^{-4}$ | – | $I_{OV} > 0$ |
| | | – | $1.5 \times 10^{-3}$ | – | $I_{OV} < 0$ |
| Overload current coupling factor for digital I/O pins 7) | $K_{OVD}$ | – | $5.0 \times 10^{-3}$ | – | $I_{OV} > 0$ |
| | | – | $1.0 \times 10^{-2}$ | – | $I_{OV} < 0$ |
| Absolute sum of overload currents | $\Sigma\|I_{OV}\|$ | – | 50 | mA | 6) |
| External Load Capacitance | $C_L$ | – | 50 | pF | Pin drivers in **default** mode 8) |
| Ambient temperature | $T_A$ | 0 | 70 | °C | SAB-XC164… |
| | | -40 | 85 | °C | SAF-XC164… |
| | | -40 | 125 | °C | SAK-XC164… |

1) 对于标有 ...40F的器件，$f_{CPUmax}$= 40 MHz；对于标有 ...20F 的器件，$f_{CPUmax}$= 20 MHz。

2) 外部电路必须保证 $\overline{\text{RSTIN}}$ 引脚处于低电平，直到所有电源电压都达到工作范围。

3) 允许在指定电压范围内工作。在极端工作条件下，可能会达到范围极限。但是，指定的参数，如漏电流，指的是标准工作电压范围$V_{DDP}$ = 4.75 V 至 5.25 V。

4) 在所有的工作条件下都必须满足这一限制，包括功率上升、功率下降和省电模式。

5) 如果超出标准工作条件，会出现过载情况，例如任何引脚上的电压超出规定范围：$V_{OV} > V_{DDP} + 0.5V$ ($I_{OV} > 0$) or $V_{OV} < V_{SS} - 0.5$ V ( $I_{OV} < 0$)。所有引脚的输入过载电流绝对值之和不得超过 **50 mA** 。电源电压必须保持在规定的限值内。如果功能引脚出现过载情况，如XTAL1、$\overline{RD}$、$\overline{WR}$ 等，则无法保证正常运行。

6) 不适用于生产测试 - 由设计/特性验证

7) 引脚上的过载电流 ($I_{OV}$ ) 会将一定的误差电流 ( $I_{INJ}$ ) 注入到相邻的引脚中。该误差电流会增加到相应引脚的漏电流 ( $I_{OZ}$ ) 中。误差电流的大小取决于过载电流，并通过过载耦合因子$K_{OV}$定义。注入的误差电流的极性与产生它的过载电流的极性相反。
通过引脚的总电流为 $|I_{TOT}| = |I_{OZ}| + (|I_{OV}| \times K_{OV})$。额外的误差电流可能会使模拟输入上的输入电压失真。

8) 此时序适用于引脚驱动器在默认电流模式（复位后的默认选择）下工作的情况。降低输出电流可能会导致延迟增加或驱动能力下降（$C_L$）。

## 参数解释

本节列出的参数部分代表XC164CS的特性，部分代表其对系统的要求。为了帮助在评估设计时正确理解参数，在“Symbol”栏中对参数进行了标注：

**CC**（控制器特性）：

XC164CS的逻辑将提供相应特性的信号。

**SR**（系统要求）：

外部系统必须向 XC164CS 提供具有相应特性的信号。

## 4.2 直流参数

**表 11 直流特性（适用工作条件）[1)]**

| Parameter | Symbol | | Limit Values | | Unit | Test Condition |
|---|---|---|---|---|---|---|
| | | | Min. | Max. | | |
| Input low voltage TTL (all except XTAL1) | $V_{IL}$ | SR | -0.5 | $0.2 \times V_{DDP}$ - 0.1 | V | – |
| Input low voltage XTAL1[2)] | $V_{ILC}$ | SR | -0.5 | $0.3 \times V_{DDI}$ | V | – |
| Input low voltage (Special Threshold) | $V_{ILS}$ | SR | -0.5 | $0.45 \times V_{DDP}$ | V | [3)] |
| Input high voltage TTL (all except XTAL1) | $V_{IH}$ | SR | $0.2 \times V_{DDP}$ + 0.9 | $V_{DDP}$ + 0.5 | V | – |
| Input high voltage XTAL1[2)] | $V_{IHC}$ | SR | $0.7 \times V_{DDI}$ | $V_{DDI}$ + 0.5 | V | – |
| Input high voltage (Special Threshold) | $V_{IHS}$ | SR | $0.8 \times V_{DDP}$ - 0.2 | $V_{DDP}$ + 0.5 | V | [3)] |
| Input Hysteresis (Special Threshold) | HYS | | $0.04 \times V_{DDP}$ | – | V | $V_{DDP}$ in [V], Series resis- tance = 0 Ω[3)] |
| Output low voltage | $V_{OL}$ | CC | – | 1.0 | V | $I_{OL} \le I_{OLmax}$ [4)] |
| | | | – | 0.45 | V | $I_{OL} \le I_{OLnom}$ [4)5)] |
| Output high voltage[6)] | $V_{OH}$ | CC | $V_{DDP}$ - 1.0 | – | V | $I_{OH} \ge I_{OHmax}$ [4)] |
| | | | $V_{DDP}$ - 0.45 | – | V | $I_{OH} \ge I_{OHnom}$ [4)5)] |
| Input leakage current (Port 5)[7)] | $I_{OZ1}$ | CC | – | ±300 | nA | $0\ V < V_{IN} < V_{DDP}$, $T_A \le 125\ °C$ |
| | | | | ±200 | nA | $0\ V < V_{IN} < V_{DDP}$, $T_A \le 85\ °C$[14)] |
| Input leakage current (all other[8)])[7)] | $I_{OZ2}$ | CC | – | ±500 | nA | $0.45\ V < V_{IN} < V_{DDP}$ |
| Configuration pull-up current[9)] | $I_{CPUH}$[10)] | | – | -10 | µA | $V_{IN} = V_{IHmin}$ |
| | $I_{CPUL}$[11)] | | -100 | – | µA | $V_{IN} = V_{ILmax}$ |
| Configuration pull-down current[12)] | $I_{CPDL}$[10)] | | – | 10 | µA | $V_{IN} = V_{ILmax}$ |
| | $I_{CPDH}$[11)] | | 120 | – | µA | $V_{IN} = V_{IHmin}$ |

**表 11　　直流特性（适用工作条件）[1)]　（续）**

| Parameter | Symbol | | Limit Values | | Unit | Test Condition |
|---|---|---|---|---|---|---|
| | | | Min. | Max. | | |
| Level inactive hold current[13)] | $I_{LHI}$[10)] | | – | -10 | µA | $V_{OUT} = 0.5 \times V_{DDP}$ |
| Level active hold current[13)] | $I_{LHA}$[11)] | | -100 | – | µA | $V_{OUT}$ = 0.45 V |
| XTAL1 input current | $I_{IL}$ | CC | – | ±20 | µA | 0 V < $V_{IN}$ < $V_{DDI}$ |
| Pin capacitance[14)] (digital inputs/outputs) | $C_{IO}$ | CC | – | 10 | pF | – |

1) 将信号电平保持在此表规定的限值内可确保工作不会出现过载情况。对于超出这些规格的信号电平，还需要参考过载电流 $I_{OV}$的规格。

2) 如果 XTAL1 由晶振驱动，则达到 0.4 × $V_{DDI}$的振幅（峰-峰值）就足够了。

3) 该参数针对P3、P4、P9进行测试。

4) 端口驱动器的最大可输出电流取决于所选的输出驱动模式，参见**表 12**，**端口输出驱动器的电流限制**。必须遵守引脚组的限制。

5) 一般来说，随着输出电流的减小，输出电平会接近对应的电源电平（$V_{OL} \rightarrow V_{SS}$， $V_{OH} \rightarrow V_{DDP}$）。然而，仅保证在标称输出电流下的电平。

6) 此规格不适用于开漏输出模式。在这种情况下，相应的输出处于浮空状态，电压由外部电路决定。

7) 如果过载电流流过相邻引脚，则会产生额外的误差电流 ( $I_{INJ}$ )。请参考过载耦合因子$K_{OV}$ 的定义。

8) P3.15 的驱动器旨在实现更快的切换，因为该引脚可以为时钟接口 (CLKOUT) 提供基准时钟。因此，P3.15 的最大漏电流增加至1µA。

9) 此规格在复位期间对 $\overline{RD}$、$\overline{WR}$、$\overline{EA}$、PORT0的配置有效

10) 当相应的信号线保持不活动状态时，可能会抽取最大电流。

11) 必须抽取最小电流来激活相应的信号线。

12) 此规格在复位期间对ALE的配置有效。

13) 此规格在复位期间对引脚 P4.3-0（可用作 $\overline{CS}$ 输出）和 P3.12 有效。

14) 不适用于生产测试 - 由设计/特性验证

## 表 12　端口输出驱动器的电流限制

| Port Output Driver Mode | Maximum Output Current ($I_{OLmax}$, $-I_{OHmax}$)[1)] | Nominal Output Current ($I_{OLnom}$, $-I_{OHnom}$) |
|---|---|---|
| **Strong driver** | 10 mA | 2.5 mA |
| **Medium driver** | 4.0 mA | 1.0 mA |
| **Weak driver** | 0.5 mA | 0.1 mA |

1)　可同时从最多三个引脚汲取高于$|I_{OXnom}|$的输出电流。
对于任何一组 16 个相邻的端口输出引脚，每个方向的总输出电流（$\Sigma I_{OL}$和$\Sigma -I_{OH}$）必须保持在 50 mA 以下。

## 表 13　XC164CS 功耗（适用工作条件）

| Parameter | Sym-bol | Limit Values | | Unit | Test Condition |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| Power supply current (active) with all peripherals active | $I_{DDI}$ | – | $10 + 3.0 \times f_{CPU}$ | mA | $f_{CPU}$ in [MHz][1)2)] |
| Pad supply current | $I_{DDP}$ | – | 5 | mA | [3)] |
| Idle mode supply current with all peripherals active | $I_{IDX}$ | – | $10 + 1.3 \times f_{CPU}$ | mA | $f_{CPU}$ in [MHz][2)] |
| Sleep and Power down mode supply current caused by leakage[4)] | $I_{PDL}$[5)] | – | $128{,}000 \times e^{-\alpha}$ | mA | $V_{DDI} = V_{DDImax}$ [6)]<br>$T_J$ in [°C]<br>$\alpha = 4670 / (273 + T_J)$ |
| Sleep and Power down mode supply current caused by leakage and the RTC running, clocked by the main oscillator[4)] | $I_{PDM}$[7)] | – | $0.6 + 0.02 \times f_{OSC} + I_{PDL}$ | mA | $V_{DDI} = V_{DDImax}$<br>$f_{OSC}$ in [MHz] |

1)　在Flash烧录或擦除操作期间，电源电流最大增加5mA。

2)　电源电流是工作频率的函数。这种依赖关系如图11所示。这些参数是在$V_{DDImax}$和最大 CPU 时钟频率下测试的，同时所有输出均断开，所有输入均为$V_{IL}$或$V_{IH}$。

3)　供电电压引脚($V_{DDP}$)主要提供引脚输出驱动消耗的电流。即使没有驱动输出，也会由于驱动器的输入级被切换而消耗少量电流，并且存储器模块也从$V_{DDP}$汲取一些功率。

4)　睡眠和掉电模式下的总电源电流是与温度相关的漏电流和与RTC和主振荡器（如果激活）频率相关的电流的总和。

5)　该参数主要由晶体管漏电流决定。该电流很大程度上取决于结温（见图13)。如果没有电流流过端口输出驱动，则结温 $T_J$ 与环境温度 $T_A$ 相同。否则，必须考虑由此产生的温差。

6) 所有输入（包括配置为输入的引脚）电压为 0 V 至 0.1 V 或 $V_{DDP}$ - 0.1 V 至 $V_{DDP}$，所有输出（包括配置为输出的引脚）断开。此参数在 25° C 下测试，且在 $T_J \geq$ 25 °C 范围内有效。

7) 该参数主要取决于振荡器切换到低增益模式时消耗的电流（见图12）。然而，该电流受外部振荡器电路（晶振、电容）的影响。给定值以典型电路为参考，若外部振荡器电路仍需优化，则此值可能会发生变化。

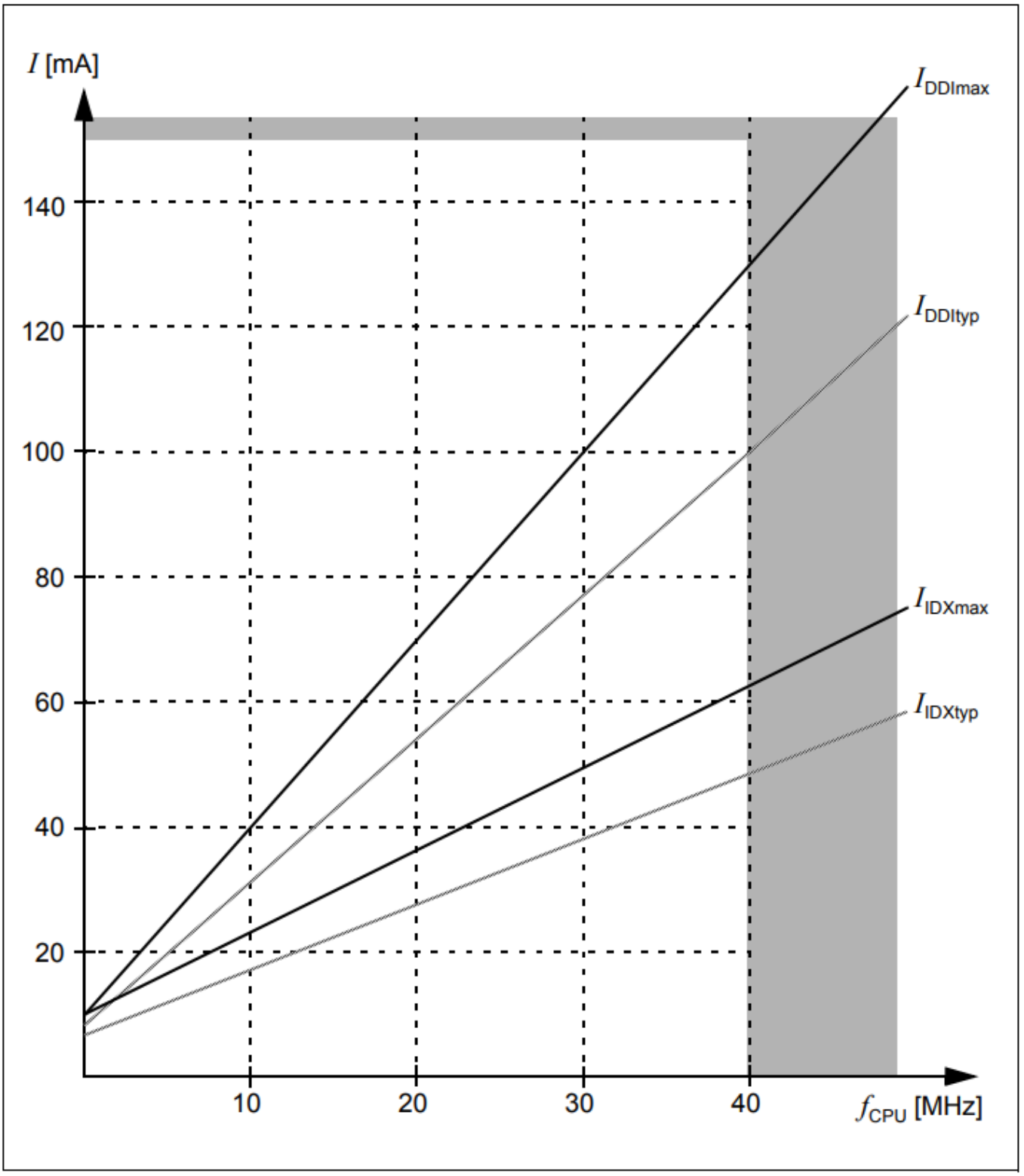



**图 11　　空闲模式下，电源电流与工作频率的关系**

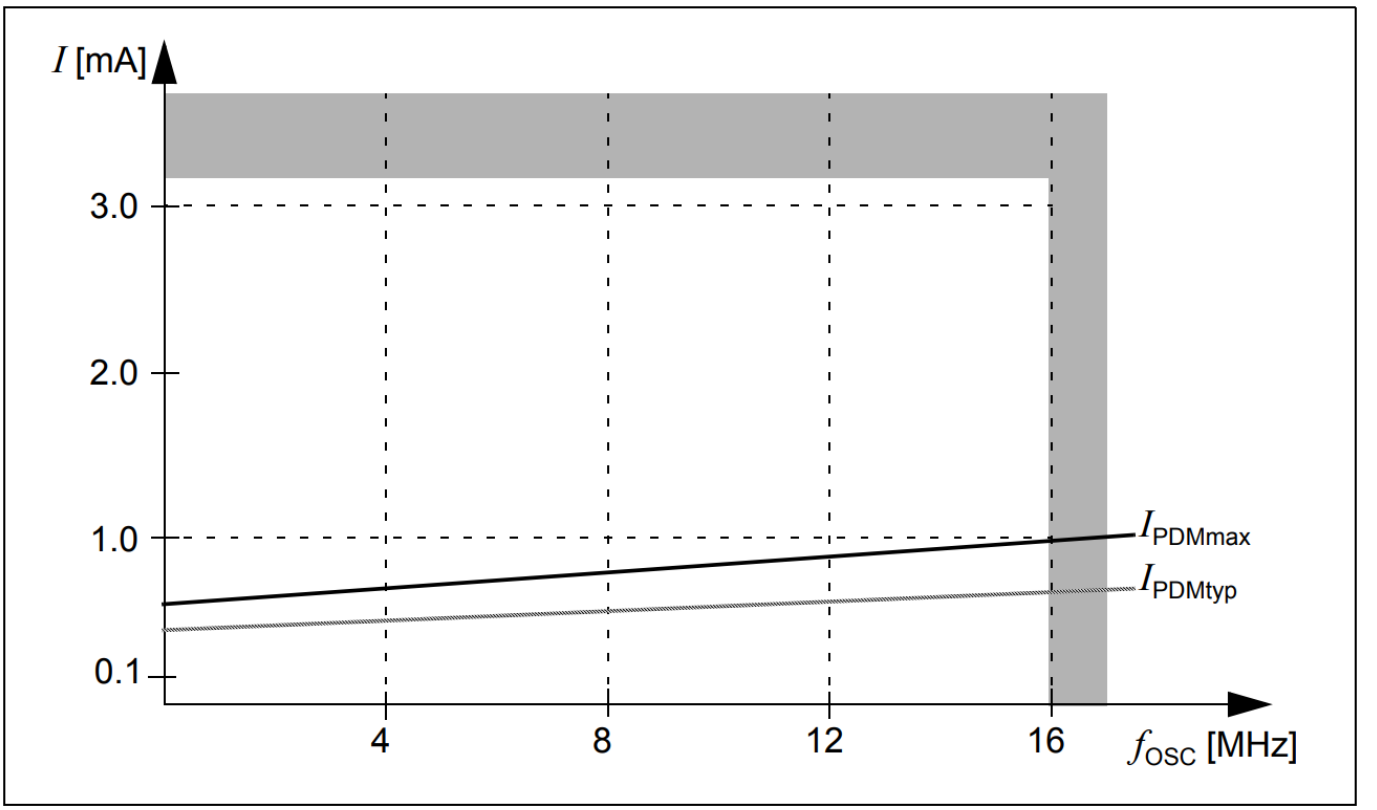



图 12 睡眠和掉电模式下，由RTC和振荡器运行导致的电源电流与振荡器频率的关系

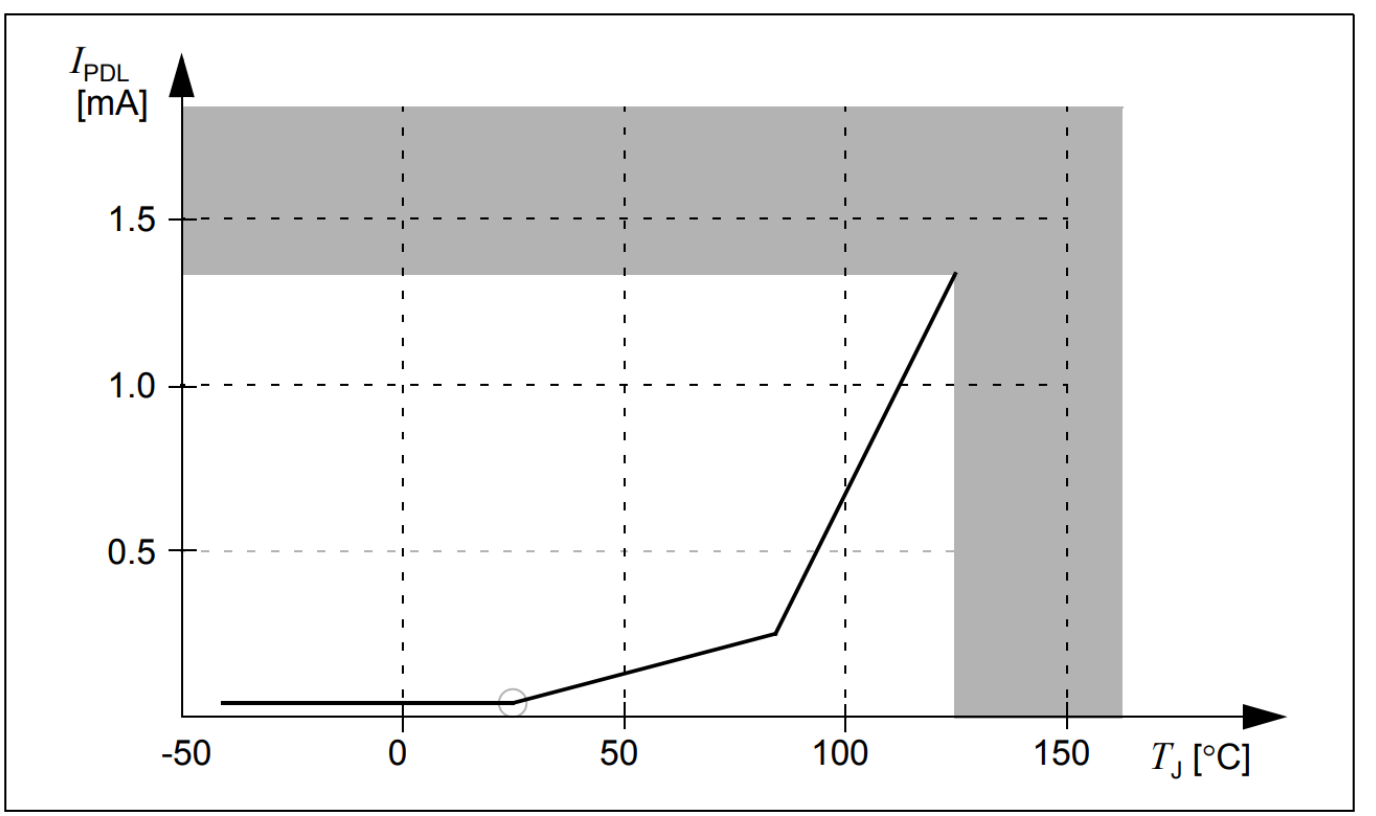



图 13 睡眠和掉电模式下，漏电流与温度的关系

## 4.3 A/D转换器参数

**表 14 A/D转换器特性**（适用工作条件）

| Parameter | Symbol | | Limit Values | | Unit | Test Condition |
|---|---|---|---|---|---|---|
| | | | Min. | Max. | | |
| Analog reference supply | $V_{AREF}$ | SR | 4.5 | $V_{DDP}$ + 0.1 | V | 1) |
| Analog reference ground | $V_{AGND}$ | SR | $V_{SS}$ - 0.1 | $V_{SS}$ + 0.1 | V | – |
| Analog input voltage range | $V_{AIN}$ | SR | $V_{AGND}$ | $V_{AREF}$ | V | 2) |
| Basic clock frequency | $f_{BC}$ | | 0.5 | 20 | MHz | 3) |
| Conversion time for 10-bit result[4] | $t_{C10P}$ | CC | $52 \times t_{BC} + t_S + 6 \times t_{SYS}$ | | – | Post-calibr. on |
| | $t_{C10}$ | CC | $40 \times t_{BC} + t_S + 6 \times t_{SYS}$ | | – | Post-calibr. off |
| Conversion time for 8-bit result[4] | $t_{C8P}$ | CC | $44 \times t_{BC} + t_S + 6 \times t_{SYS}$ | | – | Post-calibr. on |
| | $t_{C8}$ | CC | $32 \times t_{BC} + t_S + 6 \times t_{SYS}$ | | – | Post-calibr. off |
| Calibration time after reset | $t_{CAL}$ | CC | 484 | 11,696 | $t_{BC}$ | 5) |
| Total unadjusted error | TUE | CC | – | ±2 | LSB | 1) |
| Total capacitance of an analog input | $C_{AINT}$ | CC | – | 15 | pF | 6) |
| Switched capacitance of an analog input | $C_{AINS}$ | CC | – | 10 | pF | 6) |
| Resistance of the analog input path | $R_{AIN}$ | CC | – | 2 | kΩ | 6) |
| Total capacitance of the reference input | $C_{AREFT}$ | CC | – | 20 | pF | 6) |
| Switched capacitance of the reference input | $C_{AREFS}$ | CC | – | 15 | pF | 6) |
| Resistance of the reference input path | $R_{AREF}$ | CC | – | 1 | kΩ | 6) |

1) TUE 在$V_{AREF}$ =$V_{DDP}$ + 0.1 V、$V_{AGND}$ = 0 V 时进行测试。对于在所定义范围内的其他电压经由设计验证
如果模拟参考供电电压低于 4.5 V（如$V_{AREF} \geq$ 4.0 V）或超过电源供电电压 0.2 V（如$V_{AREF}$ = $V_{DDP}$ + 0.2 V），则最大 TUE 增加至± 3 LSB。该范围未经生产测试
仅当端口 5 引脚上的输入过载电流绝对总和（参见$I_{OV}$规范）不超过 10 mA，并且$V_{AREF}$和$V_{AGND}$在相应时间段内保持稳定时，才能保证指定的 TUE。在重置校准期间，最大 TUE 可能为±4 LSB

2) $V_{AIN}$可能超过$V_{AGND}$或$V_{AREF}$，直达绝对最大额定值。然而，在这种情况下，转换结果将分别为 $X000_H$或 $X3FF_H$

3) 选择外设频率和ADCTC设置时，不得超过 $f_{BC}$ 的限值

4) 该参数包括采样时间$t_S$、确定数字转换结果的时间、以及将转换结果加载到结果寄存器的时间 ($t_{SYS}$= 1/$f_{SYS}$)
基本时钟$t_{BC}$的值取决于编程，可从**表 15**中获取。当关闭后校准时，转换时间可减少12 x $t_{BC}$

5) 重置校准的实际持续时间取决于参考信号上的噪声。重置校准期间执行的转换会增加校准时间。这些转换的 TUE 可能会增加

6) 不适用于生产测试 - 由设计/特性验证
这些参数值涵盖了整个工作范围。在宽松的工作条件（温度、电源电压）下，可使用减小的数值进行计算。在室温和额定电源电压下，可使用以下典型值：
$C_{AINTtyp}$ = 12 pF，$C_{AINStyp}$ = 7 pF，$R_{AINtyp}$ = 1.5 kΩ，$C_{AREFTtyp}$ = 15 pF，$C_{AREFStyp}$ = 13 pF，$R_{AREFtyp}$ = 0.7 kΩ

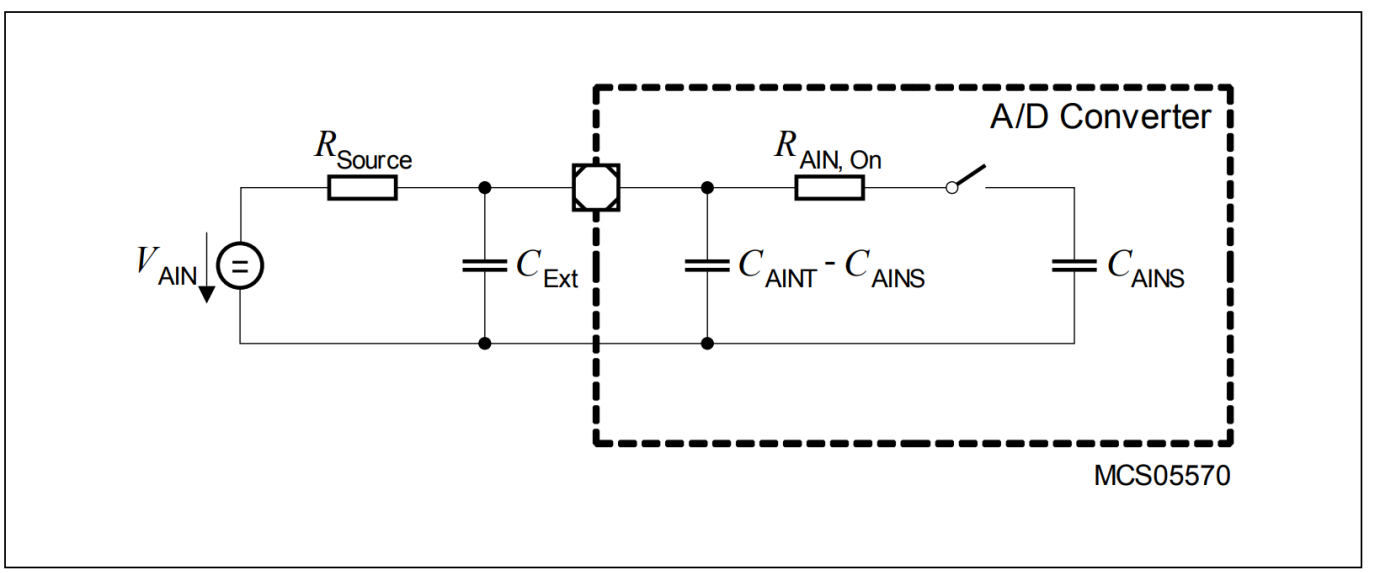



**图 14　　模拟输入等效电路**

XC164CS的A/D转换器的采样时间和转换时间是可编程的。在兼容模式下，可以使用表15计算上述的时序。

在选择 ADCTC 时，不得超过$f_{BC}$的限值。

**表15　　A/D转换器计算表[1)]**

| ADCON.15\|14 (ADCTC) | A/D Converter Basic Clock $f_{BC}$ | ADCON.13\|12 (ADSTC) | Sample Time $t_S$ |
|---|---|---|---|
| 00 | $f_{SYS}$ / 4 | 00 | $t_{BC} \times 8$ |
| 01 | $f_{SYS}$ / 2 | 01 | $t_{BC} \times 16$ |
| 10 | $f_{SYS}$ / 16 | 10 | $t_{BC} \times 32$ |
| 11 | $f_{SYS}$ / 8 | 11 | $t_{BC} \times 64$ |

1) 这些选择在兼容模式下可用。可以选择一种改进的机制来控制 ADC 输入时钟。

**转换器时序示例：**

假设：　$f_{SYS}$ = 40 MHz（即$t_{SYS}$ = 25 ns），ADCTC = '01'，ADSTC = '00'

基本时钟　$f_{BC}$ = $f_{SYS}$ / 2 = 20 MHz，即$t_{BC}$ = 50 ns

采样时间　$t_S$ = $t_{BC} \times 8$ = 400 ns

转换 10 位：

后校准启用：　$t_{C10P} = 52 \times t_{BC} + t_S + 6 \times t_{SYS}$ = (2600 + 400 + 150) ns = 3.15 µs

后校准关闭：　$t_{C10} = 40 \times t_{BC} + t_S + 6 \times t_{SYS}$ = (2000 + 400 + 150) ns = 2.55 µs

转换8位：

后校准启用：　$t_{C8P} = 44 \times t_{BC} + t_S + 6 \times t_{SYS}$ = (2200 + 400 + 150) ns = 2.75µs

后校准关闭：　$t_{C8} = 32 \times t_{BC} + t_S + 6 \times t_{SYS}$ = (1600 + 400 + 150) ns = 2.15µs

## 4.4 交流参数

### 4.4.1 内部时序定义

XC164CS的内部操作由内部主时钟 $f_{MC}$ 控制。
主时钟信号 $f_{MC}$ 可以通过不同的机制从振荡器时钟信号 $f_{OSC}$ 生成。主时钟周期 (TCM) 的持续时间及其变化（以及衍生的外部时序）取决于用于生成 $f_{MC}$ 的机制。在计算 XC164CS 的时序时，必须考虑这种影响。

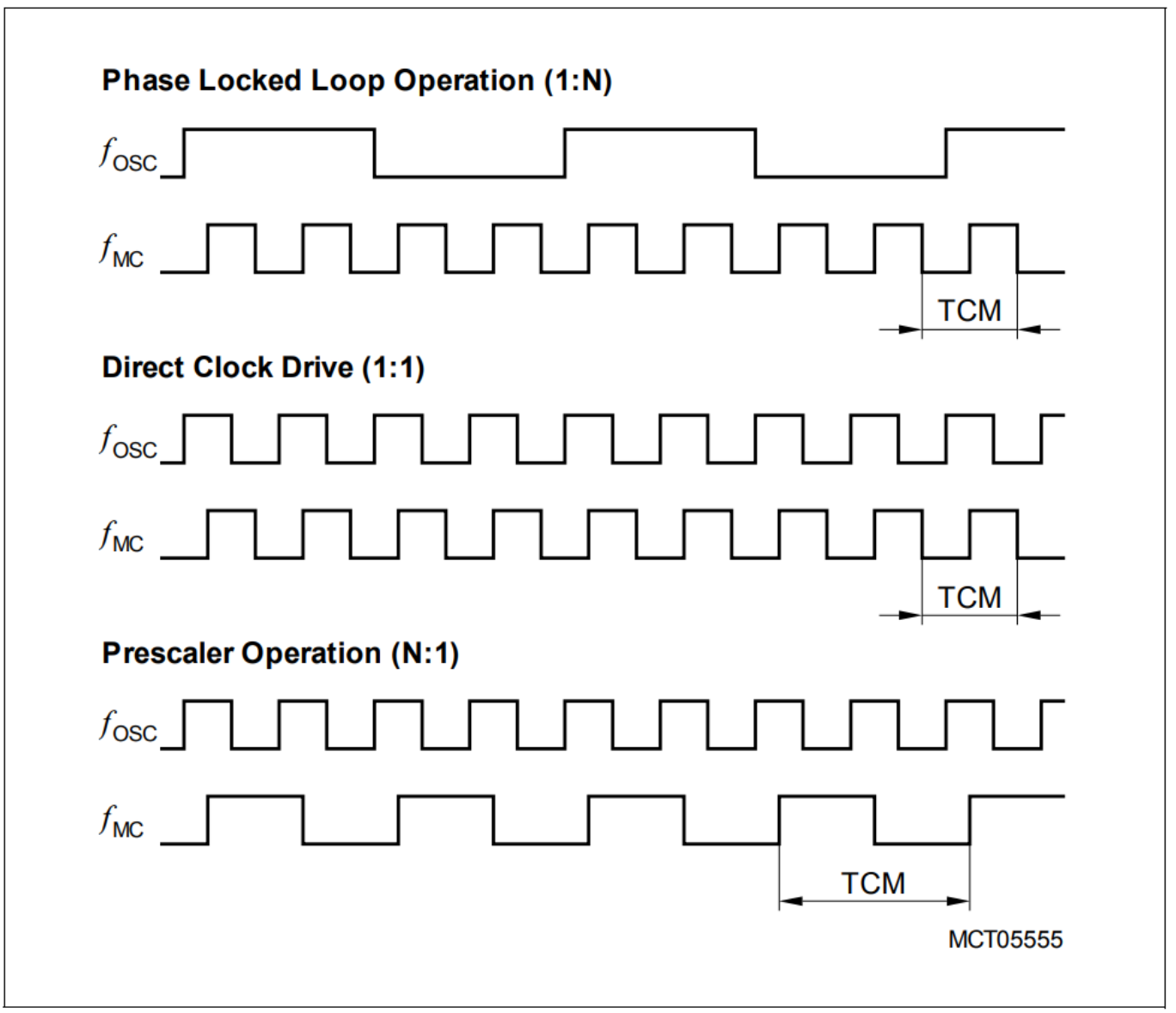



**图15 主时钟生成机制**

*注释: 图15 所示的PLL运行示例为1:4 PLL因子，预分频器运行示例为2:1 分频因子。*

可通过寄存器 PLLCON 选择生成主时钟所使用的机制。

CPU 和EBC 由CPU 时钟信号$f_{CPU}$提供时钟。 CPU 时钟频率可以等于主时钟频率 ($f_{CPU} = f_{MC}$)，也可以等于主时钟频率除以 2： $f_{CPU} = f_{MC} / 2$。该因子可通过寄存器 SYSCON1 中的CPSYS 位进行选择。

外部时序（交流特性）的规格取决于CPU时钟周期，称为“ TCP ”。

其余外设均由与CPU时钟 $f_{CPU}$ 频率相同的系统时钟 $f_{SYS}$ 提供。

### 旁路操作

当配置旁路操作（PLLCTRL = $0x_B$）时，主时钟由内部振荡器（输入时钟信号 XTAL1）通过输入和输出预分频器产生：

$f_{MC} = f_{OSC} / ((PLLIDIV+1) \times (PLLODIV+1))$。

如果两个分频因子都选择为“1”（PLLIDIV = PLLODIV =“0”），则 $f_{MC}$ 的直接跟随 $f_{OSC}$ 的频率，因此 $f_{MC}$ 的高电平和低电平时间由输入时钟 $f_{OSC}$ 的占空比定义。

两个分频因子均选择最大值可以实现最低的主时钟频率：

$f_{MC} = f_{OSC} / ((3 + 1) \times (14 + 1)) = f_{OSC} / 60$。

### 锁相环 (PLL)

当配置PLL 运行（PLLCTRL = $11_B$ ）时，片上锁相环被启用并提供主时钟。 PLL 将输入频率乘以因子**F** （ $f_{MC} = f_{OSC} \times$ **F**），该因子由输入分频器、乘法因子和输出分频器 (**F** = PLLMUL+1 / (PLLIDIV+1 × PLLODIV+1)) 产生。PLL 电路将主时钟与输入时钟同步。这种同步是平稳完成的，即主时钟频率不会突然剧烈改变。

为实现与输入时钟的适配， $f_{MC}$的频率会不断调整，最终锁定在 $f_{OSC}$ 上。轻微的变化会导致$f_{MC}$的抖动，从而影响各个 TCM 的持续时间。

交流特性中列出的时序指的是TCP。由于$f_{CPU}$是由 $f_{MC}$推导出来的，因此时序必须根据具体情况，使用尽可能最小的TCP来计算。

TCP 的实际最小值取决于 PLL 的抖动。由于 PLL 不断调整其输出频率，使其与所加的输入频率（晶振或振荡器）相对应，因此多个 TCP 周期的相对偏差低于单个 TCP 周期的相对偏差（参见公式和**图 16**）。

这对于使用等待周期的总线周期以及定时器、串行接口等的操作尤其重要。对于所有较慢的操作和较长的时间段（例如，脉冲序列生成或测量、较低波特率等），PLL 抖动引

起的偏差可以忽略不计。

累积的 PLL 抖动值取决于相应时间范围内连续VCO输出周期的数量。VCO输出时钟除以输出预分频因子(K = PLLODIV+1)以产生主时钟信号$f_{MC}$。所以，VCO的周期数量可以表示为 K × **N**，其中**N**为连续的$f_{MC}$周期数（TCM）。

对于 **N** × TCM 的周期， 累积的 PLL 抖动由偏差 $D_N$ 定义： $D_N$ [ns] =± (1.5 + 6.32 ×**N** / $f_{MC}$)；$f_{MC}$ 以 [MHz] 为单位，**N** = 连续 TCM 的数量。

因此，对于 3 个 TCMs @ 20 MHz 和 K = 12 的周期：$D_3$ =± (1.5 + 6.32 × **3** / 20) = 2.448 ns。

该公式适用于 K × **N** < 95。对于更长的周期，可使用 K× **N** = 95。该稳定值可近似计算如下：$D_{Nmax}$ [ns] =± (1.5 + 600 / (K× $f$MC))。

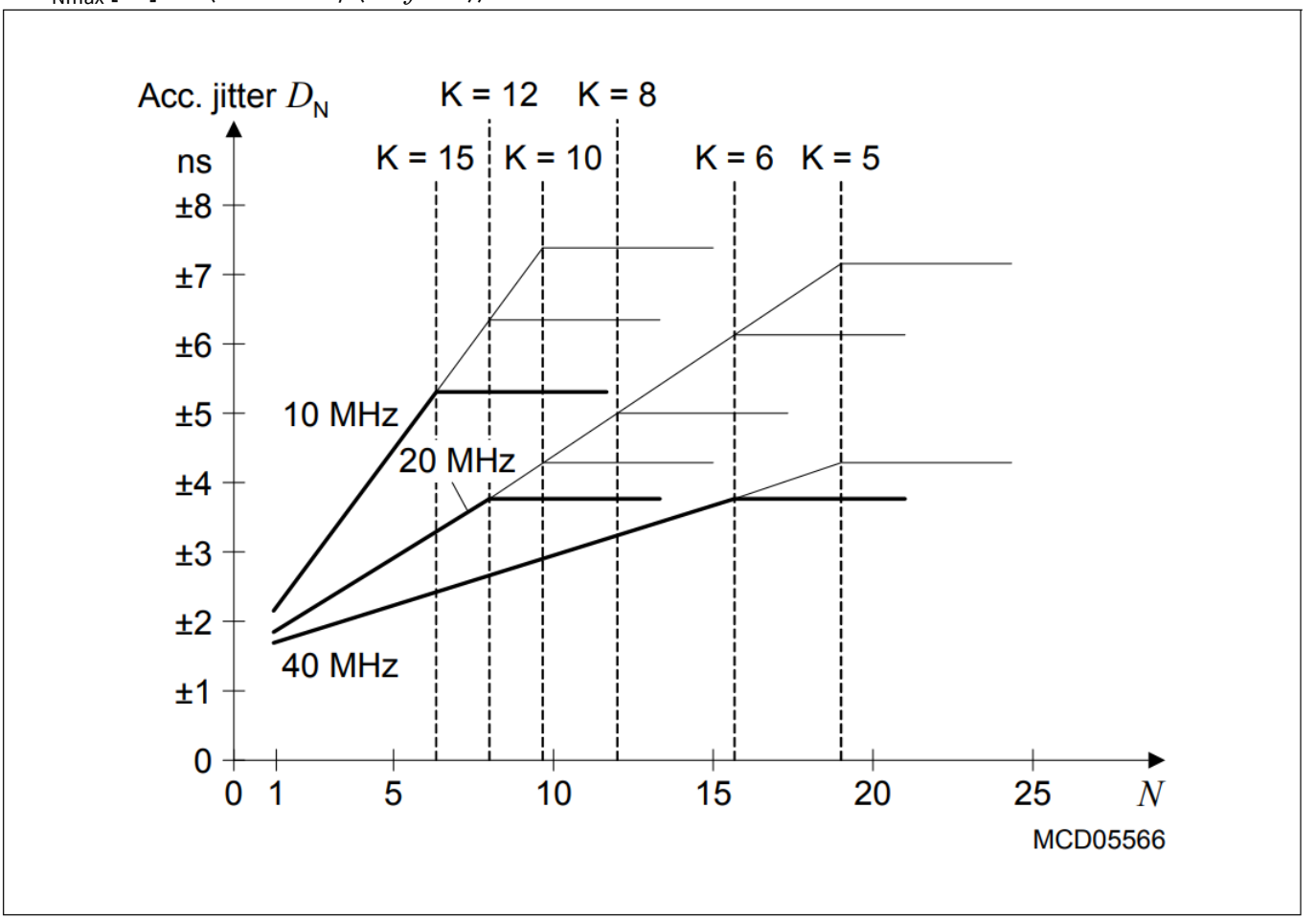



**图 16　　近似累积 PLL 抖动**

*注释：粗线表示最小的累积抖动，这可通过选择最大可能的输出预分频因子K 实现。*

可以为VCO选择不同的频率带，以便将PLL的操作调整到很宽的输入和输出频率范围：

表 16　PLL运行的VCO频段[1)]

| PLLCON.PLLVB | VCO Frequency Range | Base Frequency Range |
|---|---|---|
| 00 | 100 … 150 MHz | 20 … 80 MHz |
| 01 | 150 … 200 MHz | 40 … 130 MHz |
| 10 | 200 … 250 MHz | 60 … 180 MHz |
| 11 | Reserved | |

1）未经过生产测试 - 由设计/特性验证。

### 4.4.2 片上Flash操作

XC164CS 的Flash模块在固定的访问时间内传送数据（见表 17）。

对Flash模块的访问由 PMI 控制，需要 1 + WS 个时钟周期，其中 WS 是通过 IMBCTRL 中的位域 WSFLASH 配置的Flash等待周期数。访问持续时间必须涵盖Flash阵列的访问时间 $t_{ACC}$。因此，所需的Flash等待周期取决于可用的速度等级和实际的系统频率。

*注释：Flash访问等待周期仅影响非顺序访问。由于预取指机制，顺序访问的性能（取决于软件结构）仅部分受到等待周期的影响。*
*在典型的应用中，消除一个等待周期可使平均性能提高5% ... 15%。*

**表 17 Flash特性（适用工作条件）**

| Parameter | Symbol | | Limit Values | | | Unit |
|---|---|---|---|---|---|---|
| | | | Min. | Typ. | Max. | |
| Flash module access time (Standard) | $t_{ACC}$ | CC | – | – | 70[1)] | ns |
| Flash module access time (Grade A) | $t_{ACC}$ | CC | – | – | 50[1)] | ns |
| Programming time per 128-byte block | $t_{PR}$ | CC | – | 2[2)] | 5 | ms |
| Erase time per sector | $t_{ER}$ | CC | – | 200[2)] | 500 | ms |

1) 实际访问时间也受系统频率影响，因此频率范围并非完全线性。参见表 18。
2) 编程和擦除时间取决于系统频率。典型值适用于 40 MHz。

例如：对于 40 MHz 的工作频率（时钟周期 = 25 ns），标准器件必须在 2 个等待周期下运行：((2 + 1) × 25 ns) ≥ 70 ns。
A 级器件可在 1 个等待周期下运行：（(1 + 1) × 25 ns) ≥ 50 ns。
表 18 表示等待周期、系统频率和速度等级之间的相互关系。

**表 18 Flash访问等待周期**

| Required Waitstates | Frequency Range for Standard Flash Speed | Frequency Range for Flash Speed Grade A |
|---|---|---|
| 0 WS (WSFLASH = $00_B$) | $f_{CPU} \leq$ 16 MHz | $f_{CPU} \leq$ 20 MHz |
| 1 WS (WSFLASH = $01_B$) | $f_{CPU} \leq$ 28 MHz | $f_{CPU} \leq$ 40 MHz |
| 2 WS (WSFLASH = $10_B$) | $f_{CPU} \leq$ 40 MHz | $f_{CPU} \leq$ 40 MHz |

*注释：可实现的最大系统频率受各衍生器件特性的限制，如40 MHz（xxx-32F20F 器件为20 MHz）。*

### 4.4.3 外部时钟驱动 XTAL1

**表 19 外部时钟驱动特性**（适用工作条件）

| Parameter | Symbol | | Limit Values | | Unit |
|---|---|---|---|---|---|
| | | | Min. | Max. | |
| Oscillator period | $t_{OSC}$ | SR | 25 | 250[1] | ns |
| High time[2] | $t_1$ | SR | 6 | – | ns |
| Low time[2] | $t_2$ | SR | 6 | – | ns |
| Rise time[2] | $t_3$ | SR | – | 8 | ns |
| Fall time[2] | $t_4$ | SR | – | 8 | ns |

1) 最大限值仅与 PLL 工作有关，以确保 PLL 的最小输入频率。

2) 时钟输入信号必须达到规定的电平$V_{ILC}$和$V_{IHC}$。

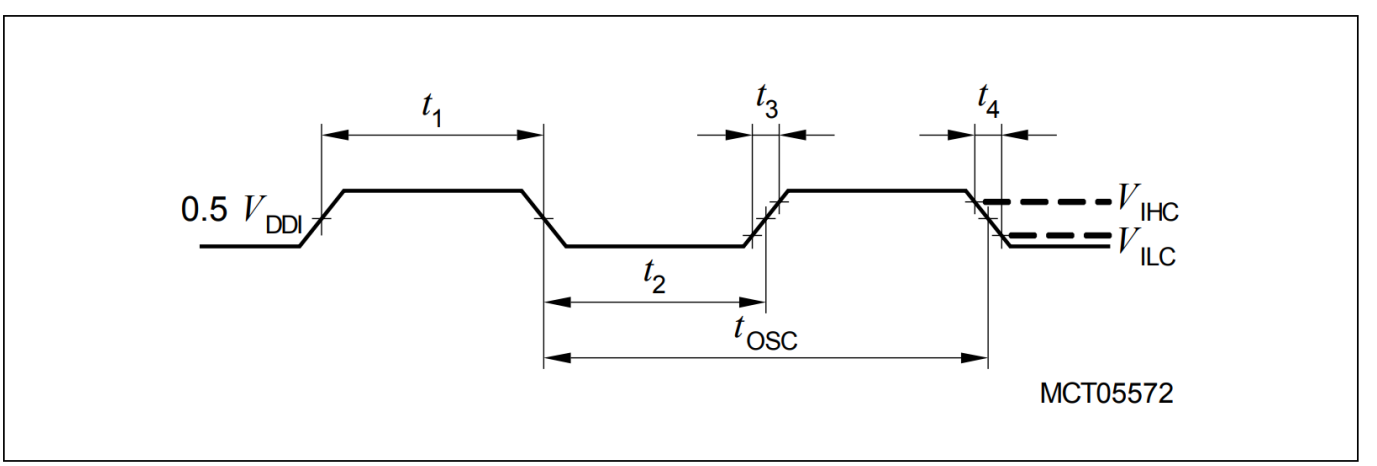


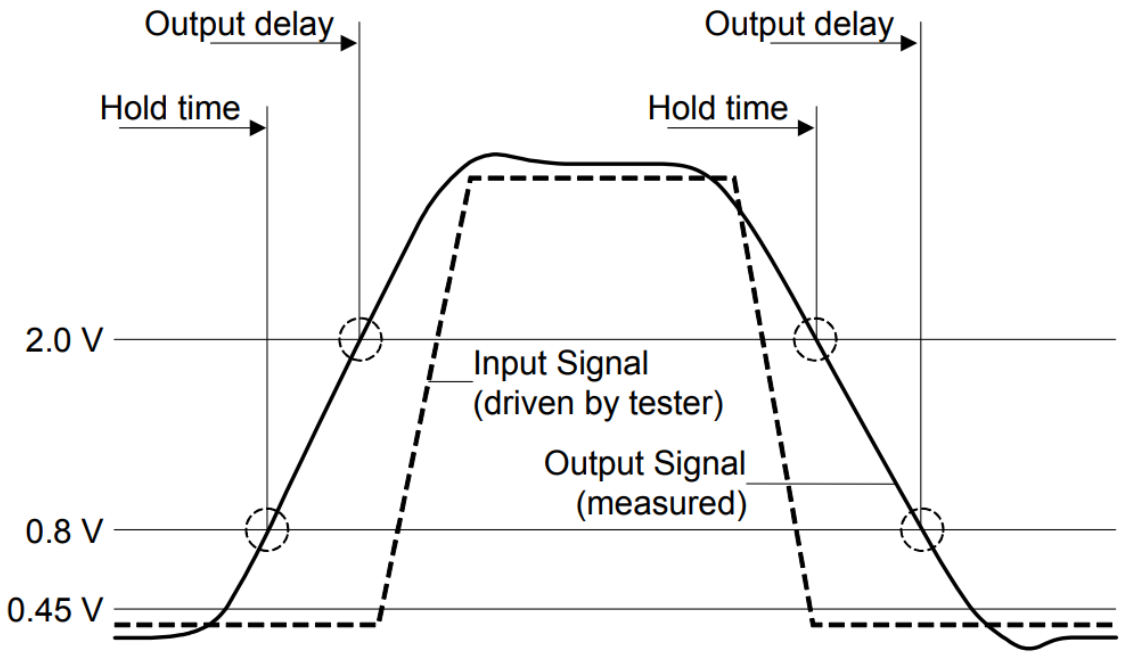

**图 17 外部时钟驱动 XTAL1**

*注释：如果片上振荡器与晶振或陶瓷谐振器一起使用，则振荡器频率限制在 4 MHz 至 16 MHz 范围内。*

*强烈建议测量最终目标系统（布局）中的振荡裕度（负阻），以确定振荡器运行的最佳参数。请参考晶振供应商指定的限制。*

*当由外部时钟信号驱动时，它将接受指定的频率范围。可以在较低的输入频率下运行，但只是通过设计验证（未经过生产测试）。*

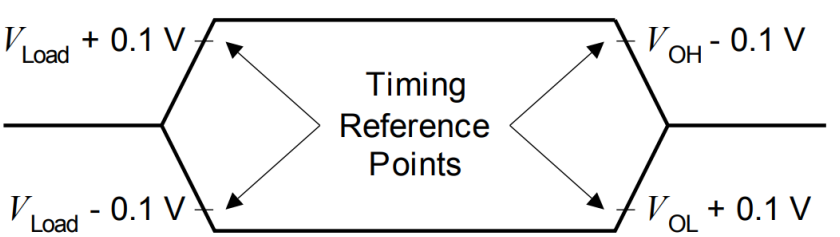
### 4.4.4 测试波形




Output timings refer to the rising edge of CLKOUT.
Input timings are calculated from the time, when the input signal reaches $V_{IH}$ or $V_{IL}$, respectively.

MCD05556

**图 18 输入输出波形**




For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs, but begins to float when a 100 mV change from the loaded $V_{OH}/V_{OL}$ level occurs ($I_{OH}/I_{OL}$ = 20 mA).

MCA05565

**图 19 浮动波形**

### 4.4.5 外部总线时序

**表 20 CLKOUT 基准信号**

| Parameter | Symbol | | Limit Values | | Unit |
|---|---|---|---|---|---|
| | | | Min. | Max. | |
| CLKOUT cycle time | $tc_5$ | CC | 40/30/25[1)] | | ns |
| CLKOUT high time | $tc_6$ | CC | 8 | – | ns |
| CLKOUT low time | $tc_7$ | CC | 6 | – | ns |
| CLKOUT rise time | $tc_8$ | CC | – | 4 | ns |
| CLKOUT fall time | $tc_9$ | CC | – | 4 | ns |

1) CLKOUT 周期时间受 PLL 抖动影响（给定值适用于$f_{CPU}$ = 25/33/40 MHz）。周期越长，相对偏差越小（参见 PLL 偏差公式）。

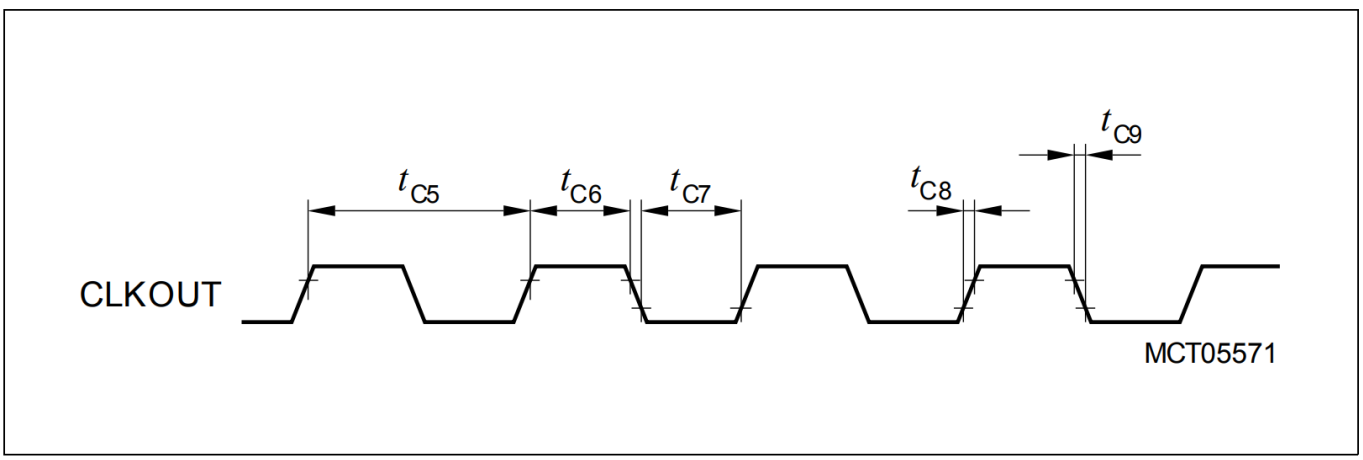



**图 20 CLKOUT 信号时序**

### 可变内存周期

XC164CS 的外部总线周期在五个连续的周期阶段（AB、C、D、E、F）中执行。每个周期阶段的持续时间是可编程的（通过 TCONCSx 寄存器），以根据相应的外部模块（内存、外设等）调整外部总线周期。

本表概述了各阶段及其各自可选择的持续时间。

**表 21　　可编程总线周期阶段**（见时序图）

| Bus Cycle Phase | Parameter | Valid Values | Unit |
|---|---|---|---|
| Address setup phase, the standard duration of this phase (1 … 2 TCP) can be extended by 0 … 3 TCP if the address window is changed | $tp_{AB}$ | 1 … 2 (5) | TCP |
| Command delay phase | $tp_{C}$ | 0 … 3 | TCP |
| Write Data setup/MUX Tristate phase | $tp_{D}$ | 0 … 1 | TCP |
| Access phase | $tp_{E}$ | 1 … 32 | TCP |
| Address/Write Data hold phase | $tp_{F}$ | 0 … 3 | TCP |

*注释：参数的带宽（最小值和最大值）涵盖整个工作范围（温度、电压）以及工艺偏差。然而，对于一个给定的器件，其带宽小于指定的范围。这也是由于某些参数之间存在相互依赖。其中一些相互依赖关系在附加注释中进行了描述（参见标准时序）。*

表 22　　外部总线周期时序（适用工作条件）

| Parameter | Symbol | | Limit Values | | Unit |
|---|---|---|---|---|---|
| | | | Min. | Max. | |
| Output valid delay for: $\overline{RD}$, $\overline{WR}$($\overline{L}$/$\overline{H}$) | $tc_{10}$ | CC | 1 | 15 | ns |
| Output valid delay for: $\overline{BHE}$, ALE | $tc_{11}$ | CC | -1 | 8 | ns |
| Output valid delay for: A23 … A16, A15 … A0 (on PORT1) | $tc_{12}$ | CC | 3 | 18 | ns |
| Output valid delay for: A15 … A0 (on PORT0) | $tc_{13}$ | CC | 3 | 18 | ns |
| Output valid delay for: $\overline{CS}$ | $tc_{14}$ | CC | 3 | 16 | ns |
| Output valid delay for: D15 … D0 (write data, MUX-mode) | $tc_{15}$ | CC | 3 | 19 | ns |
| Output valid delay for: D15 … D0 (write data, DEMUX-mode) | $tc_{16}$ | CC | 2 | 16 | ns |
| Output hold time for: $\overline{RD}$, $\overline{WR}$($\overline{L}$/$\overline{H}$) | $tc_{20}$ | CC | -3 | 4 | ns |
| Output hold time for: $\overline{BHE}$, ALE | $tc_{21}$ | CC | 0 | 11 | ns |
| Output hold time for: A23 … A16, A15 … A0 (on PORT0) | $tc_{23}$ | CC | 1 | 13 | ns |
| Output hold time for: $\overline{CS}$ | $tc_{24}$ | CC | -2 | 4 | ns |
| Output hold time for: D15 … D0 (write data) | $tc_{25}$ | CC | 1 | 13 | ns |
| Input setup time for: D15 … D0 (read data) | $tc_{30}$ | SR | 29 | – | ns |
| Input hold time D15 … D0 (read data)[1)] | $tc_{31}$ | SR | -5 | – | ns |

1) 读的数据在触发地址变化和读信号（$\overline{RD}$）上升沿的同一内部时钟边沿上被锁存。因此，$\overline{RD}$ 结束之前的地址变化不会影响（解复用的）读取周期。读取的数据可以在$\overline{RD}$上升沿后被删除。

*注释：阴影参数已通过特性验证。*
*未经生产测试。*

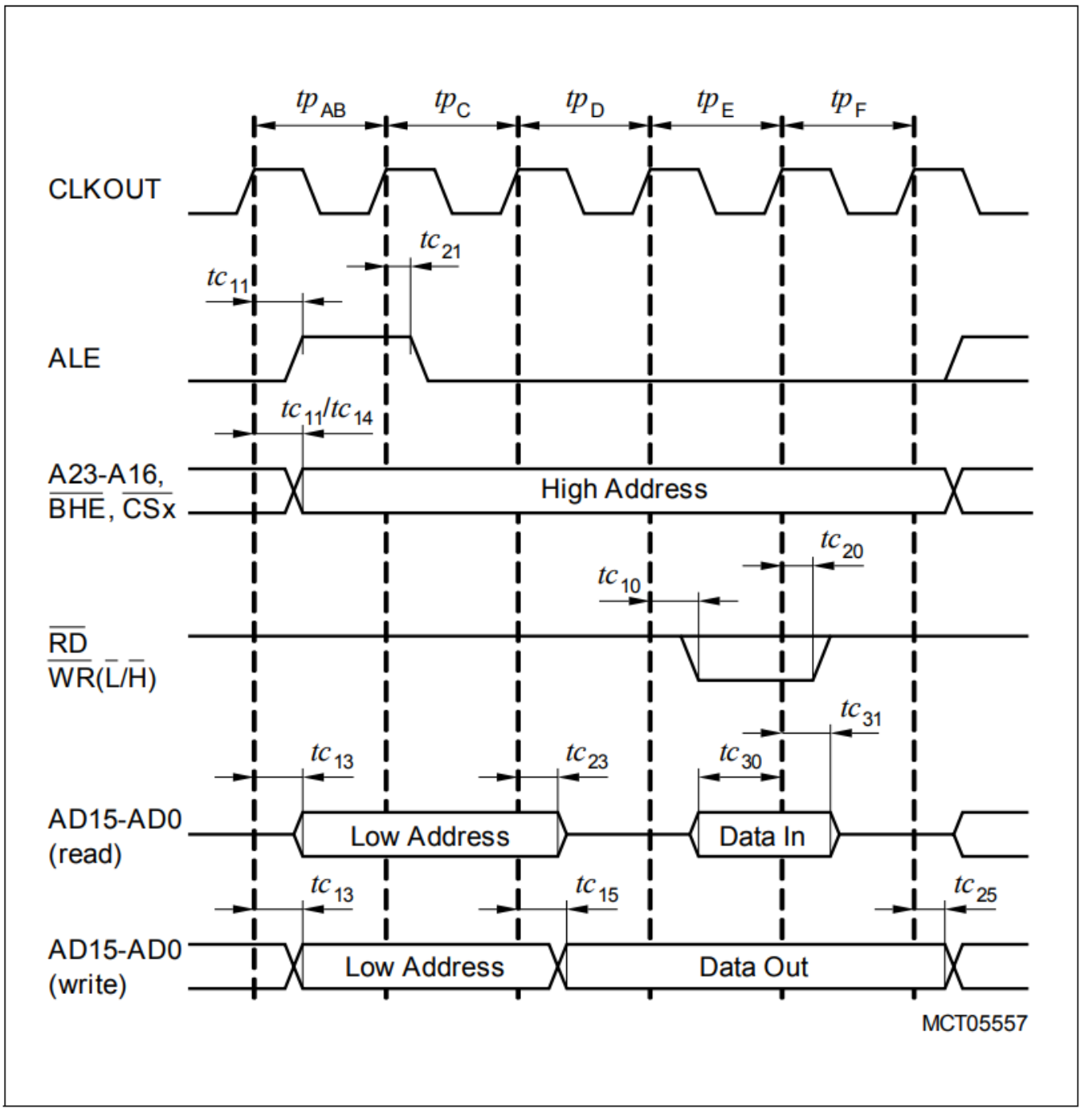



**图 21　　多路复用总线周期**

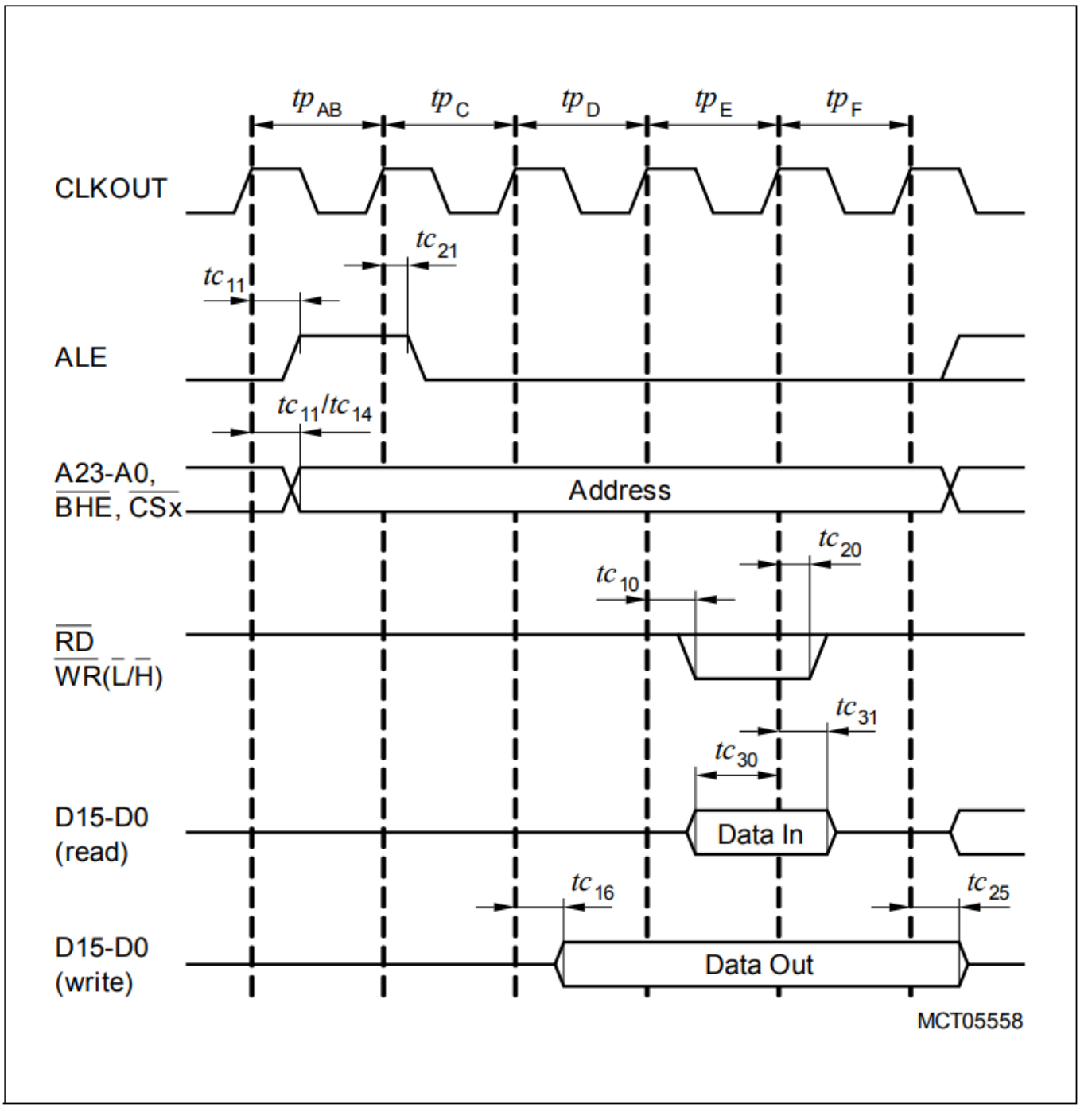

tp AB
tp C
tp D
tp E
tp F
CLKOUT
tc 21
tc 11
ALE
tc 11/tc 14
A23-A0,
BHE, CSx
Address
tc 20
tc 10
RD
WR(L/H)
tc 31
tc 30
D15-D0
(read)
Data In
tc 16
tc 25
D15-D0
(write)
Data Out
MCT05558

**图 22　　解复用总线周期**

# 5 封装与可靠性

## 5.1 封装信息

表 23 封装参数

| Parameter | Symbol | Limit Values | | Unit | Notes |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| **Green Package PG-TQFP-100-5** | | | | | |
| Thermal resistance junction to case | $R_{\Theta JC}$ | – | 8 | K/W | – |
| Thermal resistance junction to leads | $R_{\Theta JL}$ | – | 31 | K/W | – |
| **Standard Package P-TQFP-100-16** | | | | | |
| Thermal resistance junction to case | $R_{\Theta JC}$ | – | 7 | K/W | – |
| Thermal resistance junction to leads | $R_{\Theta JL}$ | – | 23 | K/W | – |

## 封装外形

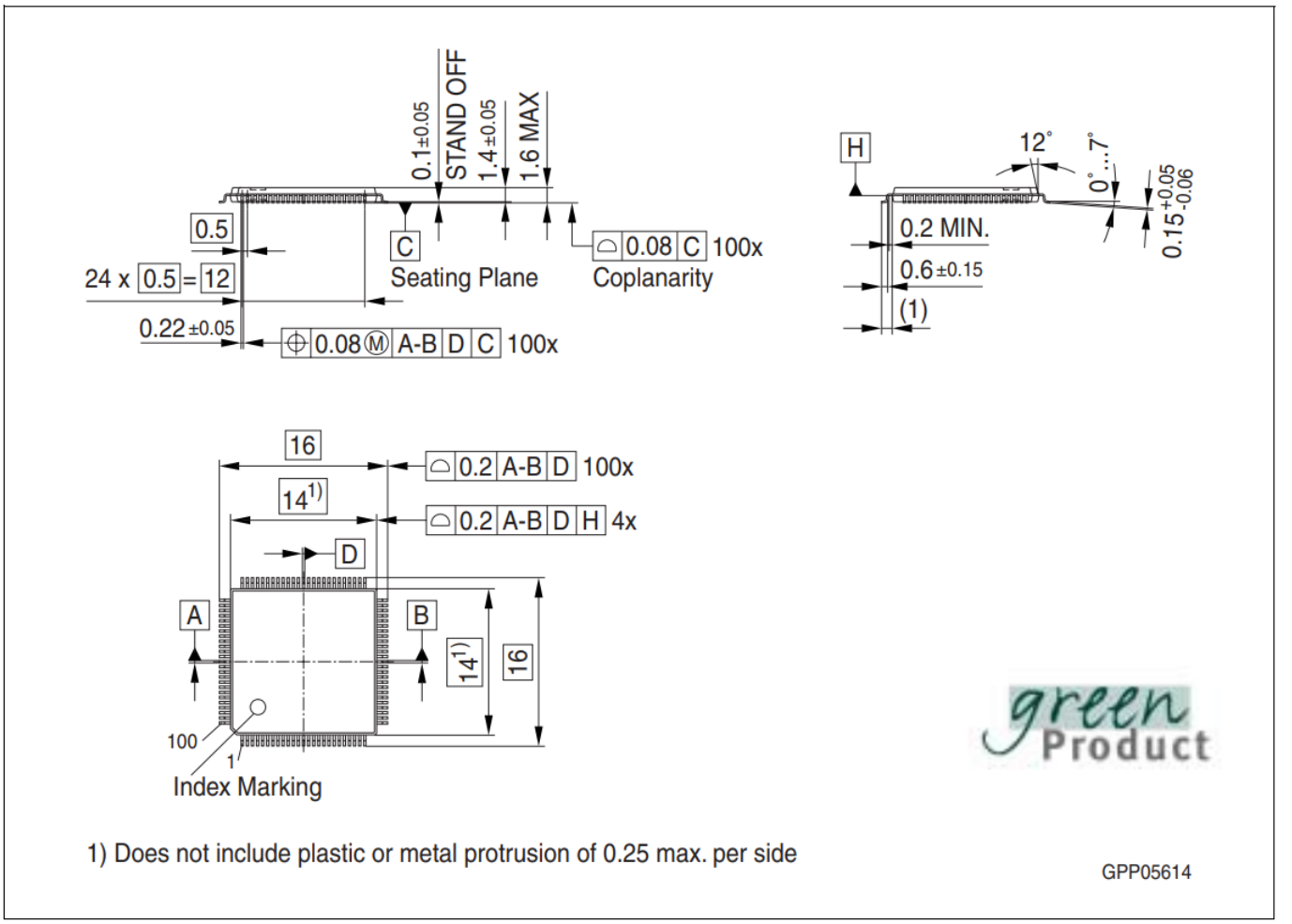



**图 23　　PG-TQFP-100-5**（塑料环保薄型四方扁平封装）

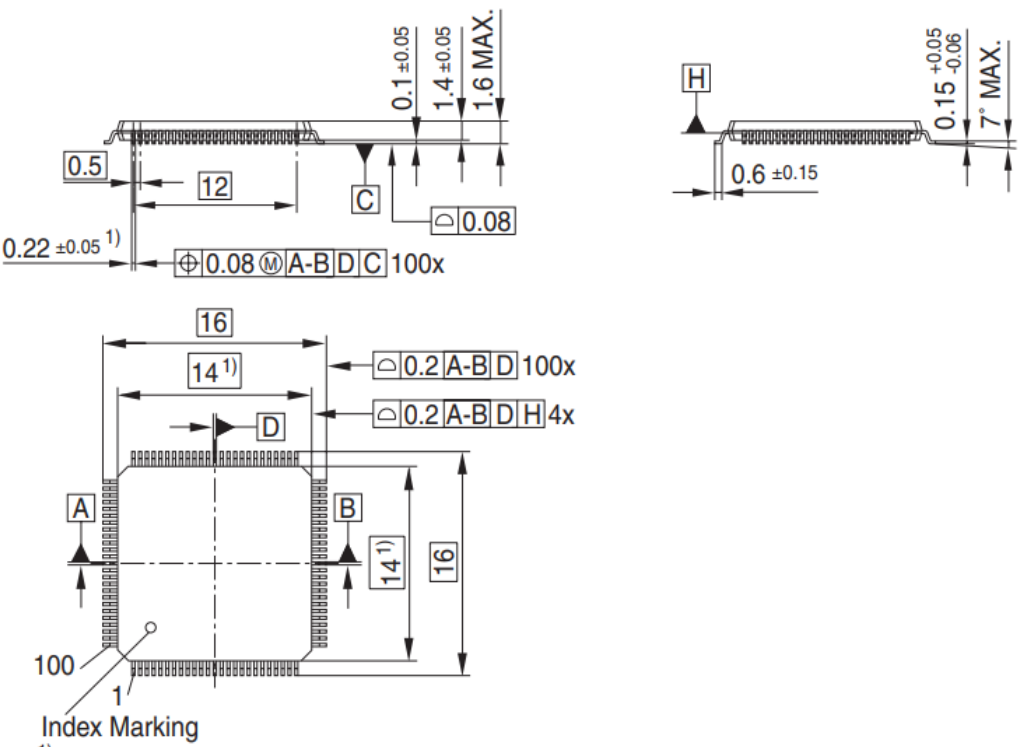



**图 24　　P-TQFP-100-16 （塑料薄型四方扁平封装）**

您可以访问英飞凌官方网站产品页 **http://www.infineon.com/products**
获取所有封装、包装以及其他相关信息。　　尺寸单位为毫米

## 5.2 闪存参数

XC164CS 闪存的数据保留时间（即存储的数据仍可被读取的时间）取决于闪存被擦除和编程的次数。

**表 24 Flash参数**(XC164CS, 256 Kbytes)

| Parameter | Symbol | Limit Values | | Unit | Notes |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| Data retention time | $t_{RET}$ | 15 | – | years | Max. $10^3$ erase/program cycles |
| Flash Erase Endurance | $N_{ER}$ | $20 \times 10^3$ | – | – | Max. data retention time 5 years |

w w w . i n f i n e o n . c o m

Published by Infineon Technologies AG

## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

**Trademarks**
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-11-04**

**Infineon Technologies AG** 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG**
及其关联公司。
保留所有权利。

**Do you have a question about this document?**

**Email:**

erratum@infineon.com

**重要通知**

**Infineon Technologies AG** 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。