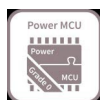


英飞凌 MOTIX™ TLE989x/TLE988x 微控制器

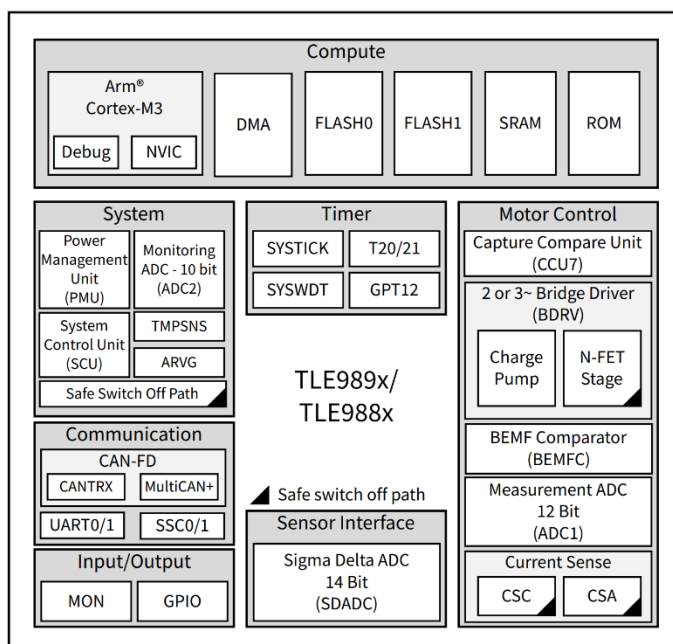
用于BLDC应用的 CAN FD 和 NFET 微控制器

AK step



特性

- 32-bit Arm® Cortex®-M3 core 最大 60 MHz
- 5.5 V 至 28 V 的单电源供电
- FLASH0 最大 32 KB, FLASH1 最大 256 KB (带 EEPROM 模拟), RAM 最大 32 KB
- 1x CAN-FD 协议处理器和收发器
- 2x UART (支持 LIN)、2x SSC
- 三相桥驱动器, 带电荷泵和PWM生成 (CCU7) 和安全关断路径
- 1x 低边分路器电流检测放大器和比较器
- 3x BEMF 比较器
- 1x 12 位 ADC, 19 个输入端; 1x 10 位 ADC, 14 个输入端
- 具有 2x2 差分输入的 14 位 SDADC, 用于旋转传感器测量
- 12x 16位定时器, 1x 24位定时器 (SYSTICK)
- 8/16 个 GPIO (包括 RESET、SWD) 和 7/10 GPI (包括 XTALI/O), 取决于封装 (TQFP-48/LQFP-64)
- 桥驱动器的故障安全机制和安全关断路径的错误处理 (根据 ISO26262 脱离上下文的安全元素, 满足高达 ASIL-B 的安全要求)
- 安全性: 分层访问权限管理、安全启动和密钥存储
- 温度范围 T_J : -40°C 至 175°C
- 采用 TQFP-48 和 LQFP-64 的超紧凑应用封装



潜在应用

- 用于泵、风扇、HVAC、执行器、天窗等辅助驱动器的汽车电机控制

产品验证

汽车应用认证。产品依据AEC-Q100进行验证

* Arm 和 Cortex 是英国 ARM Limited 的商标

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确保准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

目录

1	概述	6
2	框图	9
3	产品定义	10
3.1	器件引脚分布	10
3.1.1	器件引脚分布 48 引脚	10
3.1.2	器件引脚分布 64 引脚	11
3.2	器件封装和订购信息	12
3.3	引脚定义	14
3.4	特殊引脚功能	18
3.4.1	RESET 和 FIFO 引脚	18
3.4.2	编程	18
3.4.3	调试	18
3.4.4	时钟输入	18
3.4.5	模拟基准	18
3.5	器件启动	19
3.6	掉电	20
3.7	一般电气特性	21
3.7.1	绝对最大额定值	21
3.7.2	工作范围	26
3.7.3	电流消耗	28
3.7.4	热阻抗	32
3.7.5	时序特性	33
4	BLDC 驱动器应用信息	34
4.1	更多应用信息	36
5	电源管理单元 (PMU)	37
5.1	功能概述	37
5.2	框图	37
5.3	PMU 电气特性	39
5.3.1	电源特性	39
5.3.2	稳压器	39
5.3.2.1	主机供电特性	39
5.3.2.2	VDDP 特性	40
5.3.2.3	VDDC 特性	43
5.3.2.4	VDDEXT 特性	44
5.3.3	时钟发生器	47
5.3.3.1	主机时钟特性	47
5.3.3.2	安全基准时钟特性	47
5.3.4	系统状态控制	48
5.3.5	先进先出故障安全监测	49
5.3.6	监测和供电	50
6	系统控制单元 (SCU)	51
6.1	功能概述	51
6.2	框图	51
6.3	SCU 电气特性	52
6.3.1	振荡器和 PLL 特性	52

6.3.2	外部时钟特性 (XTAL1, XTAL2)	54
7	微控制器单元 (MCU)	55
7.1	功能概述.....	55
7.2	框图.....	56
7.3	电气特性闪存参数.....	57
7.3.1	FLASH0 和 FLASH1 特性.....	57
8	系统看门狗定时器 (SYSWDT)	59
8.1	功能概述.....	59
8.2	框图.....	59
9	通用异步收发器 (UART0/1)	60
9.1	功能概述.....	60
9.2	框图.....	61
10	高速同步串行接口 (SSC0/1)	62
10.1	功能概述.....	62
10.2	框图.....	63
10.3	SSC0/1 电气特性	64
10.3.1	SSC 时序特性	64
11	CAN 控制器 (MultiCAN+)	65
11.1	功能概述.....	65
11.2	框图.....	66
12	CAN 收发器 (CANTRX)	67
12.1	功能概述.....	67
12.2	框图.....	68
12.3	CANTRX 电气特性	69
12.3.1	CANTRX 特性	69
13	通用端口 (GPIO)	76
13.1	功能概述.....	76
13.2	框图.....	77
13.3	GPIO 电气特征.....	78
13.3.1	保持电流和强制电流的描述.....	78
13.3.2	端口 0、端口 1、TMS 和复位直流特性	80
13.3.3	端口 2 直流特性.....	83
14	高压监测器输入 (MON)	84
14.1	功能概述.....	84
14.2	框图.....	84
14.3	MON 电气特性.....	85
14.3.1	MON 特性.....	85
15	模拟基准电压生成 (ARVG)	86
15.1	功能概述.....	86
15.2	框图.....	86
15.3	ARVG 电气特性	87
15.3.1	VREF1V2 直流特性	87
15.3.2	VREF5 直流特性	88
16	模拟数字转换器 1 (ADC1)	89

16.1	功能概述.....	89
16.2	框图.....	90
16.3	ADC1 电气特性	91
16.3.1	模数转换器特性 ADC1	91
16.3.2	模拟输入特性.....	94
17	监测模拟数字转换器 2 (ADC2)	96
17.1	功能概述.....	96
17.2	框图.....	97
17.3	ADC2 电气特性	98
17.3.1	模数转换器特性 ADC2	98
17.3.2	衰减器特性.....	99
18	电流检测放大器 (CSA)	101
18.1	功能概述.....	101
18.2	框图.....	102
18.3	CSA 电气特性	103
18.3.1	电气参数描述.....	103
18.3.2	转移特性和错误定义.....	104
18.3.3	CSA 特性	105
19	电流检测比较器 (CSC)	107
19.1	功能概述.....	107
19.2	框图.....	107
19.3	CSC 电气特性	108
19.3.1	CSC 特性	108
20	温度传感器单元 (TMPSNS)	109
20.1	功能概述.....	109
20.2	框图.....	110
20.3	TMPSNS 电气特性.....	111
20.3.1	TMPSNS 特性.....	111
21	BEMF 比较器 (BEMFC)	112
21.1	功能概述.....	112
21.2	框图.....	112
21.3	BEMFC 电气特性	113
21.3.1	阈值和迟滞.....	113
21.3.2	BEMFC 特性	113
22	$\Sigma \Delta$ 模数转换器 (SDADC)	114
22.1	功能概述.....	114
22.2	框图.....	115
22.3	SDADC 电气特性	116
22.3.1	SDADC 特性	116
23	定时器 20 (T20) 和定时器 21 (T21)	119
23.1	功能概述.....	119
23.1.1	框图.....	119
24	通用定时器单元 (GPT12)	120
24.1	功能概述.....	120
24.2	框图.....	121

25	捕获/比较单元 7 (CCU7)	122
25.1	功能概述.....	122
25.2	框图.....	123
26	桥接器驱动器 (BDRV)	124
26.1	功能概述.....	124
26.2	框图.....	125
26.3	BDRV 电气特性	126
26.3.1	电气参数描述.....	126
26.3.1.1	开启参数	126
26.3.1.2	关断参数.....	127
26.3.1.3	栅极电流稳态特性.....	127
26.3.1.4	时序测量	128
26.3.2	MOSFET 驱动器输出特性	129
26.3.3	充放电电流时序特性.....	133
26.3.4	时序测量比较器特性.....	134
26.3.5	漏源监测特性.....	135
26.3.6	负载开路诊断电流特性.....	136
26.3.7	电荷泵特性.....	136
26.3.8	VSD 过压特性	137
27	封装信息	138
28	缩略语.....	141
29	修订记录	143

1 概述

TLE989x/TLE988x 具有以下特性：

- Arm® Cortex® -M3 内核系统
 - 最大 60 MHz CPU 和系统频率
 - Arm® NVIC 中断控制器具有 32 个中断请求和 32 个级别
 - Arm® Coresight debug 具有 2 个硬件断点和 2 线接口 (SWD)
 - Arm® μ DMA 具有 8 个通道直接存储器访问控制器
 - Arm® SysTick 系统定时器 (24 位)
- 单系统电源连接到电池电源 (VS 引脚)
 - 工作电压范围为 5.5 V 至 28 V，扩展工作电压范围为 3 V 至 40 V
 - 低压差稳压器 (LDO) 用于 pad、CAN 电源 (VDDP, VCAN) 和内核电源 (VDDC)
 - 5 V 低压差稳压器用于板载负载 (VDDEXT)
- 片上时钟发生器
 - 低功耗振荡器作为启动和省电模式下的时钟源，也可用作独立的安全看门狗定时器时钟
 - 高精度振荡器作为系统的基本时钟和后备时钟源支持时钟看门狗
 - 外部晶振/谐振器的振荡器电路，用于精确时钟源支持时钟看门狗
 - 两个低抖动锁相环电路 (PLL0/1)，带有可编程预分频器，用于具有失锁检测和回退时钟的系统时钟
- 用于切换系统状态的控制状态机
 - 激活模式：系统完全运行，并具有频率和外围设备的省电选项；桥驱动器处于激活模式、制动模式或关闭状态；电流消耗典型值 20mA 在 V_S (MCU 和 CAN 激活，桥驱动器关闭)
 - 停止模式：MCU 子系统停止，监控和通信外设处于监听状态
 - 睡眠模式：MCU 子系统未供电，唤醒监控激活；唤醒时间典型值 2 毫秒，电流典型值 30uA 在 V_S
 - 通过循环定时器事件或 CAN/MON 事件实现停止和睡眠模式的唤醒功能
- 片上存储器
 - 最大 256 KByte 的 FLASH1 用于非易失性代码和数据存储，带 ECC
 - 最大 32 KByte 的 FLASH0 用于非易失性代码和数据存储，带 ECC，支持 EEPROM 仿真
 - 1024 字节 100 次可编程存储器，带 ECC (100 TP)
 - 最大 32 KByte 的 RAM，带 ECC
 - 用于启动固件、引导程序加载器 (BSL) 和 flash 例程的 BootROM
 - 用于支持安全例程的密钥存储
- 加密特性
 - 安全启动机制作为现场软件更新的锚点
 - CMAC 和 AES 功能
 - 支持密钥管理的密钥存储
 - 分层访问权限管理

- 通信功能
 - MultiCAN+ 协议处理器，支持CAN-FD（最高 2 MBaud）和 32 个消息对象
 - CAN-FD 收发器符合 ISO11898-2 和 ISO11898-5 最高 5 MBaud
 - 2x 全双工异步串行接口（UART0/1），支持 LIN
 - 2x 同步串行通道 (SSC0/1)，最高 30 MHz（主模式）和 15 MHz（从模式）
- 具有唤醒功能的高压监控输入 (MONx)，输入范围为 -28 V 至 40 V（带串联电阻器）
- 通用 I/O 端口 (GPIO)，支持推挽、开漏和上拉/下拉配置
 - TQFP-48：8 个 GPIO（包括RESET, SWD）
 - LQFP-64：16 个 GPIO（包括RESET, SWD）
- 通用输入端口 (GPI)，支持上拉/下拉配置
 - TQFP-48：7 个 GPI（包括XTALI/O）
 - LQFP-64：10 个 GPI（包括XTALI/O）
- 针对 BLDC 电机控制功能优化
 - 三相桥驱动器，用于 N 沟道 MOSFET，具有可编程电流驱动输出级，在开启和关闭状态下具有各种诊断和保护功能。桥驱动器为 MOSFET 提供 EMC 和散热优化的开关性能，最大 6 x 150 nC，在 20 kHz 频率下
 - 2 级电荷泵可在低至 $V_{SD} = 5.4\text{ V}$ 的电压下运行，允许电机在 $V_S = 4.4\text{ V}$ 至 28 V 的宽电源范围内运行（启动和负载突降情况）
 - 高速电流检测放大器（CSA），用于测量接地路径中的单分流电阻电流，增益可编程
 - 电流检测比较器 (CSC) 具有可编程阈值，用于快速过流检测和安全关断请求
 - 12 位 ADC（ADC1），用于测量 8 路高压与 10 路中压输入，支持确定性采样触发、4 个时间触发序列及数字后处理功能
 - 3x BEMF 比较器，用于无传感器方波换相
 - 捕获/比较单元 (CCU7) 带有 5 个 16 位定时器，用于生成复杂的三相 PWM 模式
- 传感器接口
 - 用于旋转传感器的 14 位 Σ - Δ ADC (SDADC)，具有两个差分通道，支持 AMR/GMR/TMR 型传感器
- 通用定时器
 - GPT12 (5个16位)、Timer 20 (16位)、Timer 21 (16位)
- 监测ADC
 - 10 位 ADC（ADC2），用于后台监控 5 路外部及 8 路内部电压，支持可编程阈值、警告标志指示、关断及中断请求
- 故障安全机制和错误处理
 - 上电和欠压/掉电复位发生器
 - 监控所有系统电源电压
 - 对主时钟、外部时钟、系统时钟及锁相环（PLL）进行时钟监控，并进行错误处理
 - 过温检测可测量两个晶圆位置的结温，并带有警告标志指示和自动错误处理功能
 - 桥器驱动器漏源监测，用于短路检测（在开/关状态）和负载开路诊断（关状态）

- 所有存储器（Flash 与 RAM）均支持单比特纠错、双比特检错（SECDET）
- 2x 窗口看门狗（FS_WDT 和 SYSWDT）采用独立时钟源
- 桥驱动器在系统严重故障时安全关断（FS_WDT 溢出、过流、电源欠压/过压、有效故障输入），并依据 ISO 26262 安全要素断开故障指示，满足最高 ASIL-B 安全要求
- 温度范围 T_J ：-40°C 至 175°C
- 封装：TQFP-48 和 TQFP-64
- 绿色封装（符合 RoHS 要求）
- AEC认证（0级）

2 框图

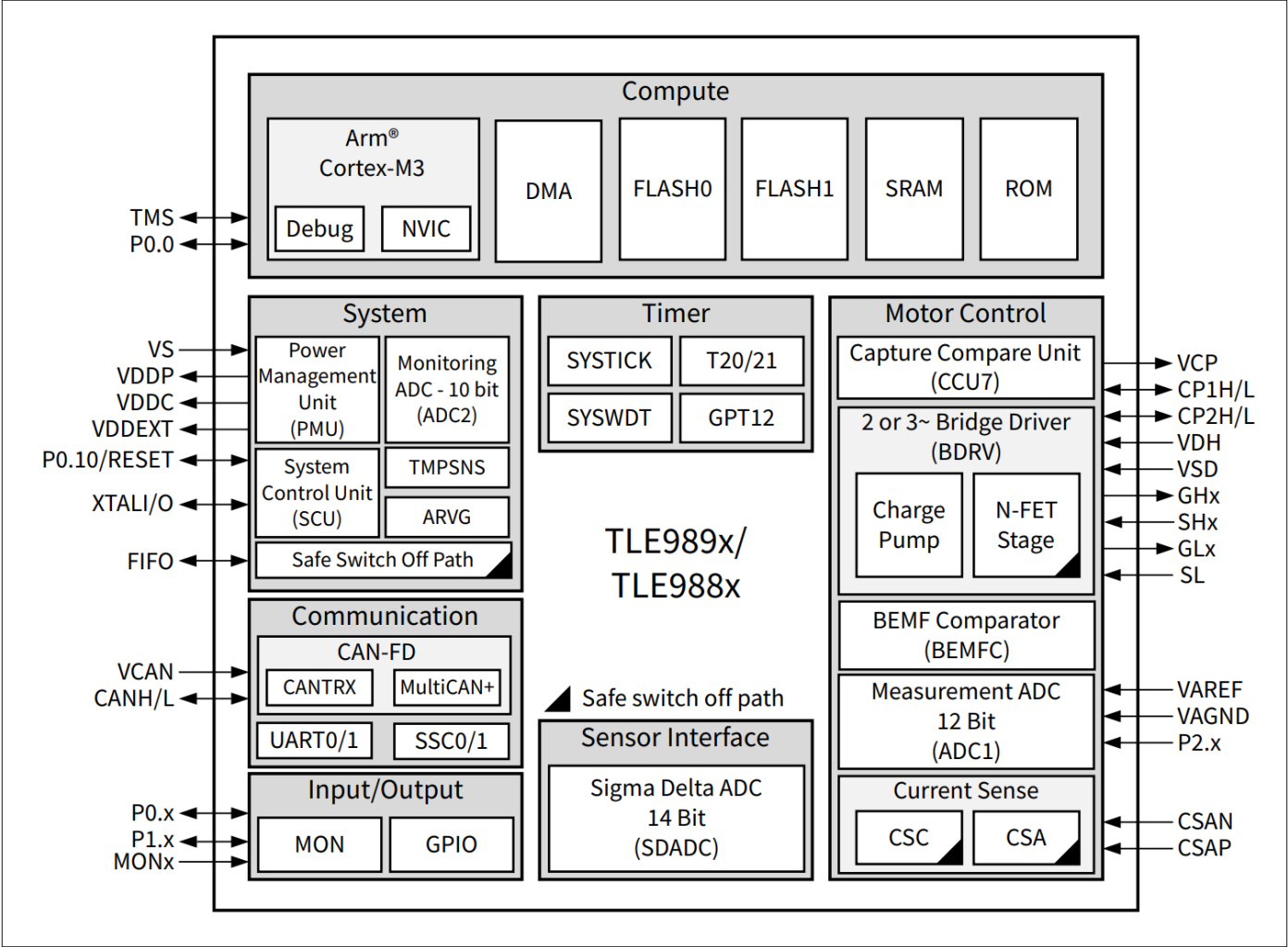


图 1 TLE989x/TLE988x 框图

3 产品定义

3.1 器件引脚分布

3.1.1 器件引脚分布 48 个引脚

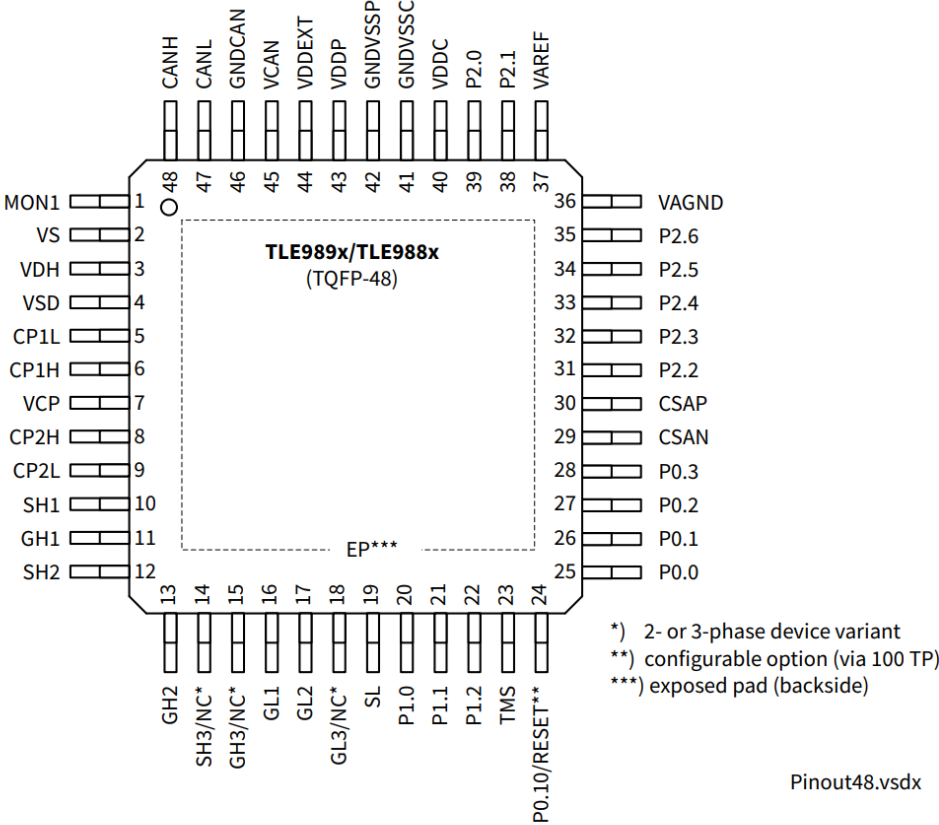


图 2 48 引脚封装的引脚分布

3.1.2 器件引脚分布 64 个引脚

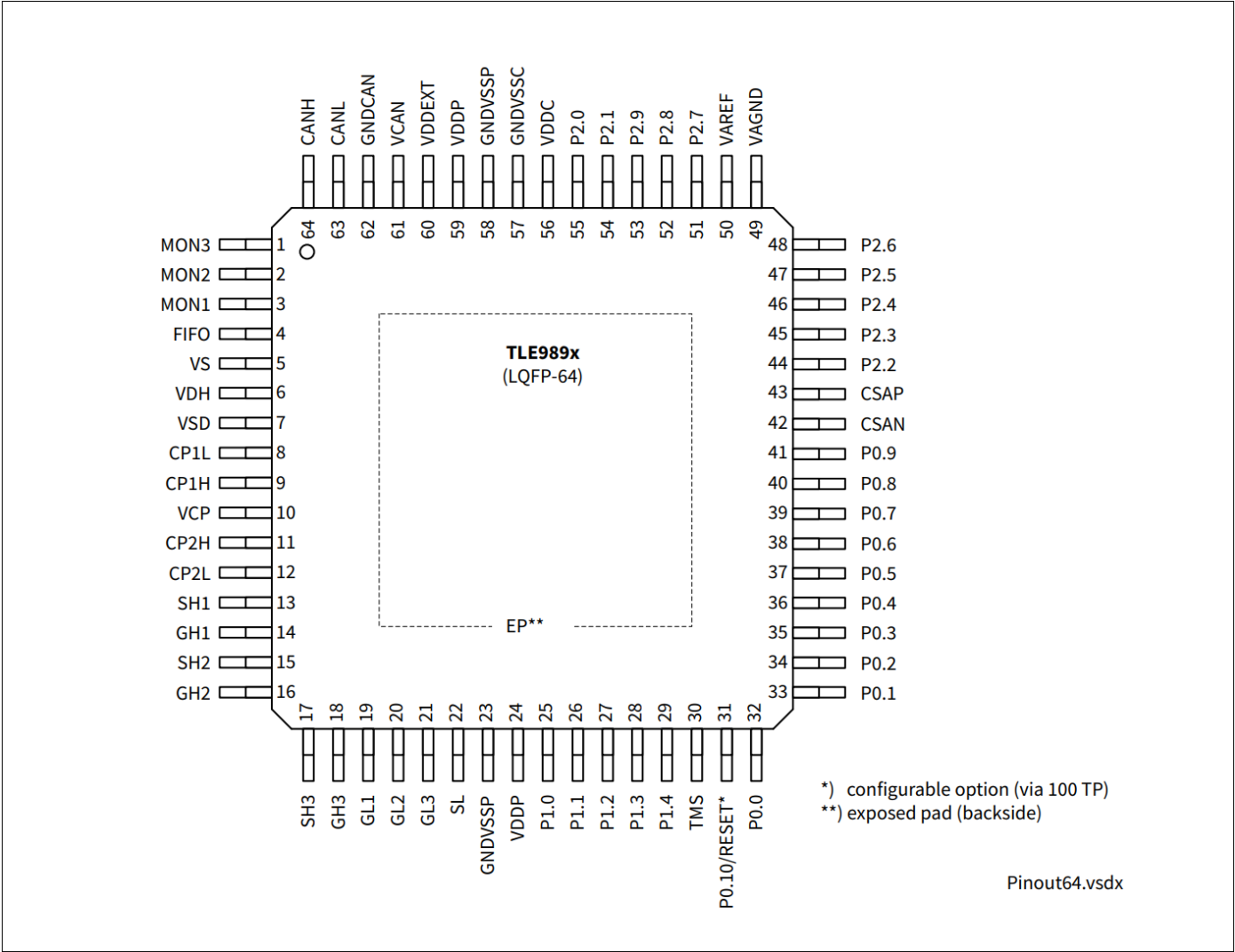


图 3 64 引脚封装的引脚分布

3.2 器件封装和订购信息

该器件提供以下封装，参见表 1。

表 1 器件封装

Name	Number of pins	Body size [mm ²]	Pin pitch [mm]	Epad	Designed for automatic lead tip inspection (LTI)
TQFP-48	48	7 x 7	0.5	yes	yes
LQFP-64	64	10 x 10	0.5	yes	yes

订购信息

本数据表涵盖了不同封装标识的产品。每个标识都有单独的订购编号。不同标识的特性描述如表 2。

表 2 订购信息

Marking	Package	FLASH1 [KB]	FLASH0/EEPROM _B [KB] 1)	RAM [KB]	Security [KB] 2)	CAN	SDADC	Functional safety
TLE989x Grade-0 (3 ph)								
TLE9893-2QKW62S	LQFP-64	248	24+8	31	8+1	CAN-FD	Yes	ASIL-B
TLE9893QKW62S	LQFP-64	248	24+8	31	8+1	CAN-FD	No	ASIL-B
TLE9893-2QTW62S	TQFP-48	248	24+8	31	8+1	CAN-FD	Yes	ASIL-B
TLE9891-2QTW61	TQFP-48	120	24+8	16	0	CAN-2.0	Yes	ASIL-B
TLE9891-2QTW60	TQFP-48	120	24+8	16	0	CAN-2.0	Yes	QM
TLE989x Grade-1 (3 ph)								
TLE9893-2QTA62S	TQFP-48	248	24+8	31	8+1	CAN-FD	Yes	ASIL-B
TLE9893-2QTA62	TQFP-48	248	24+8	31	0	CAN-FD	Yes	ASIL-B
TLE9891QTA61	TQFP-48	120	24+8	16	0	CAN-2.0	No	ASIL-B
TLE988x Grade-0 (2 ph)								
TLE9883-2QTW62S	TQFP-48	248	24+8	31	8+1	CAN-FD	Yes	ASIL-B
TLE9881-2QTW60	TQFP-48	120	24+8	16	0	CAN-2.0	Yes	QM
TLE988x Grade-1 (2 ph)								
TLE9883QTA62	TQFP-48	248	24+8	31	0	CAN-FD	No	ASIL-B

注释：

- EEPROM 在 FLASH0 中模拟，分配 8 KB，其余 24 KB 可用于用户功能。
- 安全功能分配 8 KB FLASH1 和 1 KB RAM。
- 功能安全术语“ASIL-B”指的是“安全关断”，另请参阅安全手册（Z8F63951407）。

JTAG ID

TLE989x/TLE988x 的 JTAG ID 为 0x1021 F083。

客户 ID

客户 ID 包含器件特定的变体信息。可以使用固件 API 例程读取，请参阅固件用户手册。客户 ID 的解码如下图所示。

Byte 0 Grade		Byte 1 Design Step		Byte 2 Package, Variant		Byte 3 Family	
Grade 0	20 _H	AA-Step	AA _H	48-pin	X7 _H	TLE988x	06 _H
Grade 1	00 _H	AB-Step	AB _H	64-pin	XB _H	TLE989x	07 _H
		AK-Step	BA _H	TLE98x1	1X _H		
				TLE98x3	3X _H		

Note: An 'X' within a hexadecimal value represents a "don't care" position.

图 4 客户ID解码

3.3 引脚定义

外部引脚的功能和默认状态列出在表3。存在以下引脚类型：

- I/O：输入或输出
- I：仅输入
- O：仅输出
- P：电源

复位后，所有引脚均具有定义的设置。可以有以下选项：

- 输入上拉器件启用 (I/PU)
- 输入下拉器件启用 (I/PD)
- 输入上拉和下拉均禁用 (I/HiZ)
- 输入电压电平浮动 (float)
- 输入/输出驱动器关闭 (HiZ)
- 输出驱动器关闭且下拉器件启用 (PD)
- 输出驱动器关闭，电压电平浮动 (float)
- 电源 (供电或接地)

表3 引脚定义及功能

Symbol	Pin no.		Type	Reset state	Function	Description
	64	48				
General purposes I/Os						
P0.0	32	25	I/O	I/HiZ	GPIO	Connect to SWDCLK for debugging; Leave open if not used
P0.1	33	26	I/O	I/HiZ	GPIO	Leave open if not used
P0.2	34	27	I/O	I/HiZ	GPIO	Leave open if not used
P0.3	35	28	I/O	I/HiZ	GPIO	Leave open if not used
P0.4	36	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.5	37	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.6	38	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.7	39	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.8	40	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.9	41	–	I/O	I/HiZ	GPIO	Leave open if not used
P0.10 or RESET	31	24	I/O	I/HiZ I/PU	GPIO or pin RESET	Configurable option (via 100TP); Leave open if not used
P1.0	25	20	I/O	I/HiZ	GPIO	Leave open if not used
P1.1	26	21	I/O	I/HiZ	GPIO	Leave open if not used
P1.2	27	22	I/O	I/HiZ	GPIO	Leave open if not used
P1.3	28	–	I/O	I/HiZ	GPIO	Leave open if not used
P1.4	29	–	I/O	I/HiZ	GPIO	Leave open if not used

表 3 引脚定义和功能 (续)

Symbol	Pin no.		Type	Reset state	Function	Description
	64	48				
Analog inputs						
P2.0	55	39	I	I/HiZ	GPI	Leave open if not used
P2.1	54	38	I	I/HiZ	GPI	Leave open if not used
P2.2	44	31	I	I/HiZ	GPI	Leave open if not used
P2.3	45	32	I	I/HiZ	GPI	Leave open if not used
P2.4	46	33	I	I/HiZ	GPI	Leave open if not used
P2.5	47	34	I	I/HiZ	GPI	Leave open if not used
P2.6	48	35	I	I/HiZ	GPI	Leave open if not used
P2.7	51	–	I	I/HiZ	GPI	Leave open if not used
P2.8	52	–	I	I/HiZ	GPI	Leave open if not used
P2.9	53	–	I	I/HiZ	GPI	Leave open if not used
CSAN	42	29	I	I/HiZ	CSA negative input	Connect via shunt resistor to CSAP; Connect to GNDVSSP if not used
CSAP	43	30	I	I/HiZ	CSA positive input	Connect via shunt resistor to CSAN; Connect to GNDVSSP if not used
Fail input/output						
FIFO	4	-	I/O	I/HiZ	Fail in /fail out	Connect via resistor to an external signal; Connect via 10 k pull-up to VDDP if not used
High-Voltage Monitoring inputs						
MON1	3	1	I	I/HiZ	HV monitor input 1	Connect via resistor to an external signal; Connect to GNDVSSP if not used
MON2	2	–	I	I/HiZ	HV monitor input 2	Connect via resistor to an external signal; Connect to GNDVSSP if not used
MON3	1	–	I	I/HiZ	HV monitor input 3	Connect via resistor to an external signal; Connect to GNDVSSP if not used
CAN interface						
CANH	64	48	I/O	HiZ	CAN high bus	Connect resistor to CANL; Leave open if not used
CANL	63	47	I/O	HiZ	CAN low bus	Connect resistor to CANH; Leave open if not used
VCAN	61	45	P	–	Supply input for CAN transceiver	Connect to VDDP; Connect capacitor to GNDCAN
GNDCAN	62	46	P	–	Ground for CAN transceiver	Connect to GNDVSSP; Connect capacitor to VCAN

表 3 引脚定义和功能 (续)

Symbol	Pin no.		Type	Reset state	Function	Description
	64	48				
Bridge Driver						
SL	22	19	I	GND	BDRV ground	Source low side FETs; Connect to GNDVSSP if not used
GL1	19	16	O	PD	BDRV gate low side 1	Connect to gate of low side MOSFET 1; Leave open if not used
GL2	20	17	O	PD	BDRV gate low side 2	Connect to gate of low side MOSFET 2; Leave open if not used
NC	21	18	–	–	–	2-phase device variant; Leave open
GL3	21	18	O	PD	BDRV gate low side 3	3-phase device variant; Connect to gate of low side MOSFET 3; Leave open if not used
SH1	13	10	I	Float to GND+1*Vdiode	BDRV source high 1	Connect to source of high side MOSFET 1; Leave open if not used
GH1	14	11	O	PD	BDRV gate high 1	Connect to gate of high side MOSFET 1; Leave open if not used
SH2	15	12	I	Float to GND+1*Vdiode	BDRV source high 2	Connect to source of high side MOSFET 2; Leave open if not used
GH2	16	13	O	PD	BDRV gate high 2	connect to gate of high side MOSFET 2; Leave open if not used
NC	17	14	–	–	–	2-phase device variant; Leave open
SH3	17	14	I	Float to GND+1*Vdiode	BDRV source high 3	3-phase device variant; Connect to source of high side MOSFET 3; Leave open if not used;
NC	18	15	–	–	–	2-phase device variant; Leave open
GH3	18	15	O	PD	BDRV gate high 3	3-phase device variant; Connect to gate of high side MOSFET 3; Leave open if not used;
Charge pump						
CP1L	8	5	O	HiZ	CP stage 1 out low	Connect external capacitor to CP1H; Leave open if not used
CP1H	9	6	O	Float to VSD-1*Vdiode	CP stage 1 out high	Connect external capacitor to CP1L; Leave open if not used
VCP	10	7	P	Float to VSD-1*Vdiode	charge pump output voltage	Connect via capacitor to star point of DC link high; Connect to VSD if not used
CP2L	12	9	O	HiZ	CP stage 2 out low	Connect external capacitor to CP2H; Leave open if not used

表 3 引脚定义和功能 (续)

Symbol	Pin no.		Type	Reset state	Function	Description
	64	48				
CP2H	11	8	O	Float to VSD-1*Vdiode	CP stage 2 out high	Connect external capacitor to CP2L; Leave open if not used
VSD	7	4	P	–	BDRV supply input	Connect with RC filter from star point of DC link high; Connect to VS if not used
VDH	6	3	I	I/HiZ	BRDV sense input	Connect with RC filter from star point of DC link high; Connect to SL if not used
Other pins						
TMS	30	23	I/O	I/PD	Test mode select input	Connect to SWDIO for debugging; Connect to GNDVSSP if not used
Power supply						
VS	5	2	P	–	Supply input	Connect via reverse polarity diode to VBAT; Connect capacitor to GNDVSSP
VDDP	24, 59	43	P	–	Output of VDDP regulator	Connect capacitor to GNDVSSP; Connect to VCAN
VDDC	56	40	P	–	Output of VDDC regulator	Connect capacitor to GNDVSSC
VDDEXT	60	44	P	–	Output of VDDEXT regulator	Connect capacitor to GNDVSSP; Connect to sensor supply input
GNDVSSP	23, 58	42	P	–	Ground of VDDP regulator	Connect capacitor to VDDP; Connect to module GND; Do not connect to GNDVSSC
GNDVSSC	57	41	P	–	Ground of VDDC regulator	Connect capacitor to VDDC; Do not connect to GNDVSSP
VAGND	49	36	P	–	Reference ground for mixed signal peripherals	If VREF5V is used: do not connect to GNDVSSP; If external reference is used: connect to GNDVSSP; Always connect via capacitor to VAREF
VAREF	50	37	P	–	Optional output of VREF5V regulator; Reference input for ADC1, SDADC, CSA, CSC	Connect to capacitor to VAGND; Optionally connect to VDDEXT or other reference; Leave open if not used
EP	–	–	P	–	Exposed pad	Connect to GNDVSSP

3.4 特殊引脚功能

3.4.1 RESET 和 FIFO 引脚

可用的复位和故障安全引脚如下：

- RESET 引脚：P0.10 可以通过配置扇区设置（通过 100TP）配置为双向复位功能（P0.10 默认为 GPIO）
- FIFO 引脚（仅在 64 引脚版本中）：这是一个具有双向安全关断 (SSO) 功能的专用引脚

3.4.2 编程

器件 flash 模块可以使用以下接口进行编程：

- 通过标准 Cortex SWD 接口（引脚 TMS 和 P0.0，启动时锁存，引导锁存）和 SWD 协议
- 通过引导程序加载器 (BSL) 接口（引脚 CANH 和 CANL）和基于 UART 协议的 CAN 收发器

注释： TMS 是专用引脚。在 TMS 高电平锁存的情况下，P0.0 被配置为 SWDCLK。

3.4.3 调试

该器件可通过标准 Cortex SWD 接口（引脚 TMS 和 P0.0）和 SWD 协议进行调试。

注释： TMS 是专用引脚。在 TMS 高电平锁存的情况下，P0.0 被配置为 SWDCLK。

3.4.4 时钟输入

- 外部晶振或谐振器可连接到 P2.0/XTALI 和 P2.1/XTALO
- P2.0/XTALI 可以连接外部数字时钟

3.4.5 模拟基准

- 引脚 VAREF 和 VAGND 用作 ADC1、CSA、CSC 和 SDADC 模拟基准电压的缓冲器和模拟基准接地
- 缓冲电容 (C_{VAREF} , P_ARVG_03_03) 必须在芯片外安装

3.5 器件启动

器件复位后，执行 BootROM 固件来初始化器件。

BootROM 固件的执行有一定的执行时间，直到执行权移交给用户应用程序。

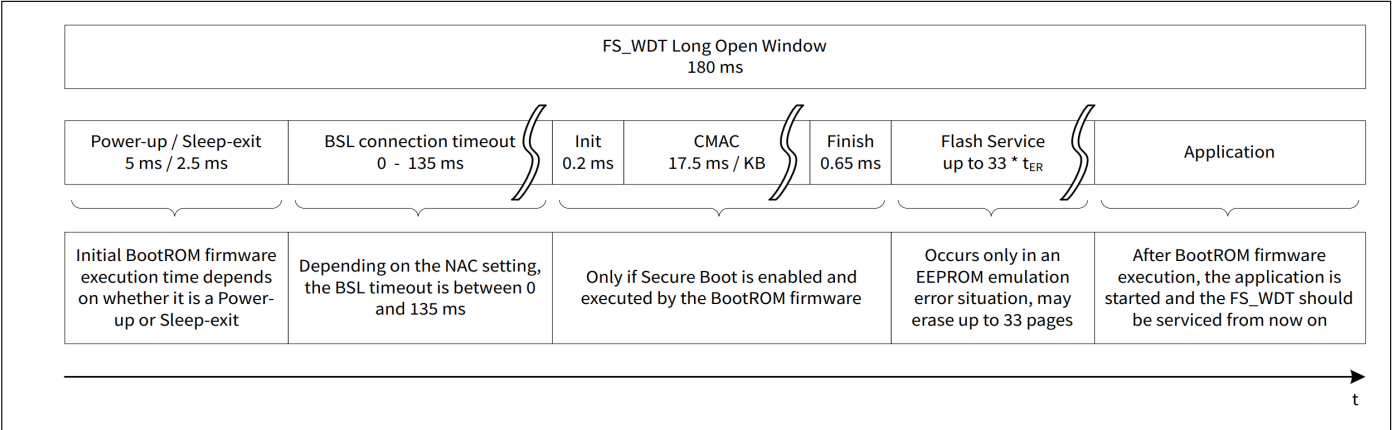


图 5 器件启动时序

注释： 上电、睡眠退出和FS_WDT 长开窗口时序均参考MCLK 典型值。BSL 连接超时和安全启动的时序参考HP_CLK 的典型值。

3.6 掉电

当 VS 引脚电压降至最低供电电压 (P_GEN_09_01) 以下时，集成 VDDP 稳压器将进入压降模式。结果是，稳压器将进入压降模式，并且不能再将其输出电压维持在调节限制内。

MCU子系统在扩展最低供电电压范围内 (P_GEN_09_03 和 P_GEN_09_14) 内仍保持全部功能。

在低供电条件下操作以下外设时应小心：

- VDDEXT、VREF5V (VAREF)、CSA、CSC、SDADC、MON、BDRV 的电气性能降额
- ADC1 电气性能降额（与 VREF5V (VAREF) 基准上的漂移相关）
- CAN 收发器接口

图 6 说明了低供电（欠压）条件下的运行情况：

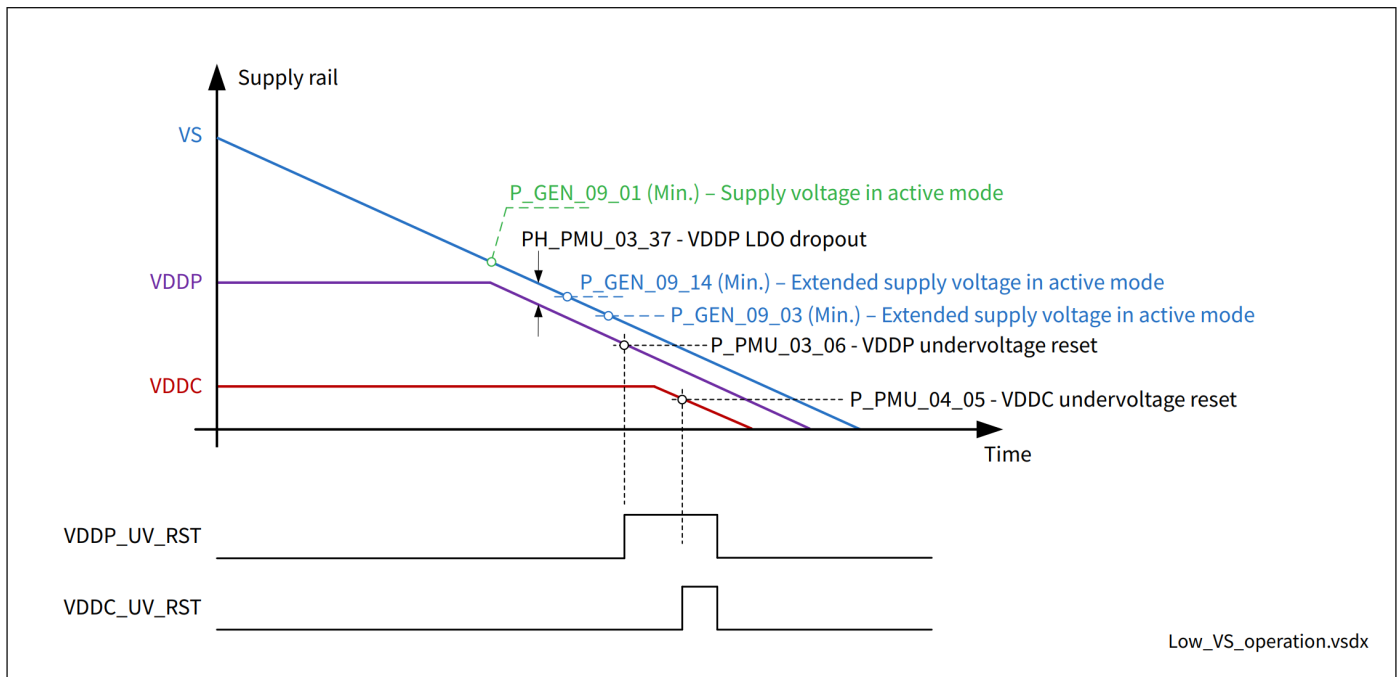


图 6 低供电 (欠压) 条件下的运行情况

3.7 一般电气特性

3.7.1 绝对最大额定值

表 4 电源引脚电压

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VS voltage	V_{S_max}	-0.3	-	40	V	¹⁾ Load dump; $t=400\text{ms}$	P_GEN_01_01
VSD voltage max1	V_{SD_max1}	-0.3	-	48	V	¹⁾	P_GEN_01_02
VSD voltage max2	V_{SD_max2}	-2.8	-	48	V	¹⁾ For -2.8V external 2.2Ω is required to limit the output current; $t=8\text{ms}$	P_GEN_01_03
VDDP voltage	V_{DDP_max}	-0.3	-	5.5	V	¹⁾	P_GEN_01_04
VDDEXT voltage	V_{DDEXT_max}	-0.3	-	$V_S+0.3$	V	¹⁾	P_GEN_01_05
VCAN voltage	V_{CAN_max}	-0.3	-	5.5	V	¹⁾	P_GEN_01_06
VDDC voltage	V_{DDC_max}	-0.3	-	1.6	V	¹⁾	P_GEN_01_07
Analog reference voltage	V_{AREF_max}	-0.3	-	VDDP +0.3	V	¹⁾ VAREF < VDDP_max; between pin VAREF and VAGND	P_GEN_01_08
Analog reference ground	V_{AGND_max}	-0.3	-	0.3	V	¹⁾	P_GEN_01_09

¹⁾ 无需经过生产测试, 由设计指定。

表 5 高压引脚电压

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage at MONx pins	V_{MON_max}	-28	-	40	V	¹⁾ The overload current must be limited via an external 1kΩ resistor at pin	P_GEN_02_01
Voltage at VDH pin	V_{VDH_max}	-2.8	-	48	V	¹⁾ The overload current must be limited via an external 1kΩ resistor at pin	P_GEN_02_02
Voltage at GHx pins	V_{GH}	-8	-	48	V	¹⁾	P_GEN_02_03

表 5 高压引脚电压 (续)

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage at GHx vs. SHx pins	V_{GHvsSH}	-0.3	-	14	V	¹⁾	P_GEN_02_04
Voltage at SHx pins	V_{SH}	-8	-	48	V	¹⁾	P_GEN_02_05
Voltage at GLx pins	V_{GL}	-8	-	48	V	¹⁾	P_GEN_02_06
Voltage at GLx vs. SL pins	V_{GLvsSL}	-0.3	-	14	V	¹⁾	P_GEN_02_07
Voltage at SL pin	V_{SL}	-8	-	48	V	¹⁾	P_GEN_02_08
Voltage at charge pump pins CP1H, CP1L, CP2H, CP2L, VCP	V_{CPx}	-0.3	-	48	V	¹⁾ Limit output current to $I_{CPx} > -200\mu\text{A}$	P_GEN_02_09
Voltage at FIFO pin	V_{FIFO_max}	-28	-	40	V	¹⁾ The overload current must be limited via an external 1 kΩ resistor at pin	P_GEN_02_10

1) 无需经过生产测试, 由设计指定。

表 6 CAN 收发器电压

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage on CANH, CANL	V_{Bus_max}	-27	-	40	V	¹⁾	P_GEN_03_01
Differential voltage	V_{diff}	-5	-	10	V	¹⁾ $V_{diff} = V_{CANH} - V_{CANL}$	P_GEN_03_02

1) 无需经过生产测试, 由设计指定。

表 7 GPIO 电压

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage on port pin P0.x, P1.x, P2.x, TMS	V_{IN}	-0.3	-	$V_{DDP} + 0.3$	V	¹⁾ $V_{IN} < V_{DDP_max}$	P_GEN_04_01

1) 无需经过生产测试, 由设计指定。

表 8 电流检测放大器输入电压

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input voltage CSAN, CSAP	V_{OAI}	-7	-	7	V	¹⁾	P_GEN_05_01

1) 无需经过生产测试, 由设计指定。

表 9 电流

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Max. current at VCP pin	I_{VCP}	-15	-	-	mA	¹⁾	P_GEN_06_02

1) 无需经过生产测试, 由设计指定。

表 10 过载电流

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overload current on digital inputs P0.x, P1.x, TMS	I_{ovdig}	-2	-	2	mA	¹⁾ ²⁾ ³⁾ Overload current must be limited, e.g. via series resistor	P_GEN_06_01
Overload current on analog inputs P2.x (except P2.0, P2.1 and P2.5)	I_{ovana}	-1	-	2	mA	¹⁾ ²⁾ ³⁾ Overload current must be limited, e.g. via series resistor	P_GEN_06_04
Sum of overload currents	I_{ovsum}	-4	-	4	mA	¹⁾ ²⁾ ³⁾ The number of pins with overload must be limited to maximum 4 pins	P_GEN_06_03

1) 以下运行模式允许过载电流: 无电模式、有源模式和睡眠模式

2) 如果超出标准工作条件, 就会出现过载情况, 即引脚的输入电压 V_{IN} 超出规定范围: $V_{\text{IN}} > V_{\text{DDP}} + 0.3 \text{ V}$ ($I_{\text{ov}} > 0$) 或 $V_{\text{IN}} < -0.3 \text{ V}$ ($I_{\text{ov}} < 0$)

3) 未经过生产测试, 由设计指定。

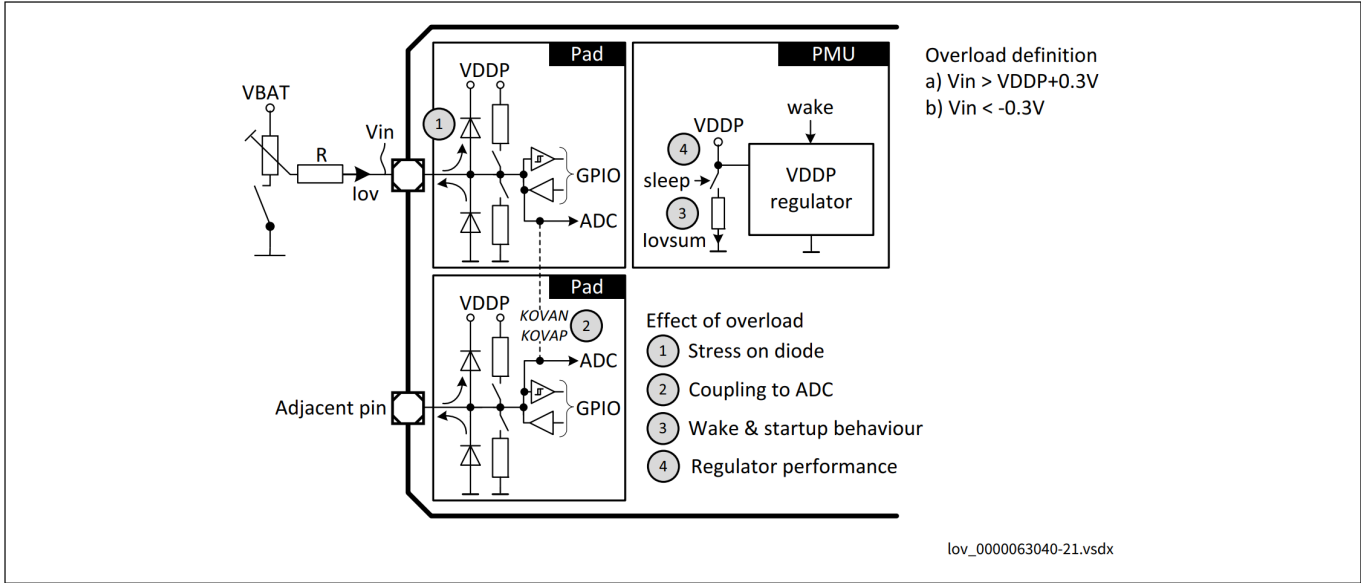


图7 过载电流

表 11 温度

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction temperature	T_j	-40	-	175	$^{\circ}\text{C}$	1)	P_GEN_07_01
Storage temperature	T_{stg}	-55	-	175	$^{\circ}\text{C}$	1)	P_GEN_07_02

1) 未经过生产测试, 由设计指定。

EMC

依据 BISS 通用集成电路测试规范（2.0. 版）判定的电磁兼容抗扰度

表12 ESD 耐受性

Grade 0 器件： $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$ ， Grade 1 器件： $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ ，所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ESD susceptibility HBM all pins	V_{ESD1}	-2	-	2	kV	1) 2)	P_GEN_08_01
ESD susceptibility CDM	$V_{\text{ESD_CDM}}$	-500	-	500	V	2) Charged device model, acc. JEDEC JESD22-C101	P_GEN_08_08
ESD susceptibility CDM on corner pins	$V_{\text{ESD_CDM_Corner}}$	-750	-	750	V	2) Charged device model, acc. JEDEC JESD22-C101	P_GEN_08_09

1) ESD 耐受性，“JEDEC HBM”，符合ANSI/ESDA/ JEDEC JS001（1.5 k Ω ，100 pF）

2) 未经过生产测试，由设计指定。

注释：

1. 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止 IC 在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

3.7.2 工作范围

注释： 在工作范围内，IC 按照电路描述正常工作。电气特性是在电气特性表中注明的条件下定义的。

表13 工作范围

Grade 0 器件： $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$ ，Grade 1 器件： $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ ，所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage at VS in active mode - voltage range 1	V_{S_act1}	5.5	-	28	V		P_GEN_09_01
Extended supply voltage at VS in active mode - voltage range 2	V_{S_act2}	28	-	40	V	Allowed for $t_{max} < 400\text{ms}$ with parameter deviation	P_GEN_09_02
Extended supply voltage at VS in active mode - voltage range 3	V_{S_act3}	3.0	-	5.5	V	Due to derived voltage dependency following modules show parameter deviation: VDDEXT, VREF5V, CSA, CSC, SDADC, MON, BDRV. Module CANTRX is out of its functional range	P_GEN_09_03
Extended supply voltage at VS in active mode - voltage range 4	V_{S_act4}	4.2	-	5.5	V	¹⁾ Due to dependency to VAREF, the ADC1 shows parameter deviations	P_GEN_09_14
Supply voltage at VS in sleep mode	V_{S_slpmin}	3.0	-	-	V		P_GEN_09_07
Supply voltage at VS in stop mode	V_{S_stpmin}	3.0	-	-	V		P_GEN_09_06
Supply voltage transients slew rate	$\Delta V_S / \Delta t$	-5	-	5	V/ μs	²⁾ For rising and falling transient: not faster than this	P_GEN_09_08
Supply voltage at VSD in active mode for bridge driver supply	V_{SD_act1}	5.4	-	29	V		P_GEN_09_04

表13 工作范围 (续)

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Extended maximum supply voltage at VSD in active mode for bridge driver supply	V_{SD_act2}	29	-	32	V	Allowed for $t_{max} < 400\text{ms}$ with parameter deviation	P_GEN_09_05
Extended supply voltage at VSD in active mode for bridge driver supply - active brake	V_{SD_ab}	29	-	40	V	Active brake mode with low-side drivers, charge pump off	P_GEN_09_16
Analog reference voltage	V_{AREF}	3.8	-	$V_{DDP} + 0.3$	V	2) between pin VAREF and VAGND	P_GEN_09_15
Analog reference voltage ground	V_{AGND}	-0.05	-	0.05	V	2) at VAGND pin	P_GEN_09_17
Output sum current for all GPIO pins	$I_{GPIO,sum}$	-50	-	50	mA	3) 2)	P_GEN_09_11
System frequency 0	f_{sys0}	5	-	60	MHz		P_GEN_09_12
System frequency 1	f_{sys1}	5	-	80	MHz		P_GEN_09_13

1) ADC1 校准在 $V_S = 13.5\text{V}$ 和 $V_{AREF} = 5.0\text{V}$ 时完成, 对于低 V_S 范围校准应禁用 ($CALEN.CALENi = 0$) 且将使用模数转换器 2 的基准电压测量值

2) 未经过生产测试, 由设计指定。

3) 这是系统要求; 必须确保电流保持在限制范围内

3.7.3 电流消耗

表 14 电流消耗

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption in active mode	I_{Vs_act60}	-	-	60	mA	$V_S = 3\text{ V}$ to 28 V ; see Table 15 Active mode current consumption	P_GEN_10_01
Current consumption in active mode with reduced frequency	I_{Vs_act20}	-	-	50	mA	$V_S = 3\text{ V}$ to 28 V ; see Table 15 Active mode current consumption	P_GEN_10_02
Current consumption in active mode at reduced frequency and with CAN communication only	I_{Vs_actCAN}	-	-	35	mA	$V_S = 3\text{ V}$ to 28 V ; see Table 15 Active mode current consumption	P_GEN_10_03
Current consumption in sleep mode at normal voltage and temperature range	I_{Vs_slp0}	-	-	35	μA	$V_S = 9\text{ V}$ to 28 V ; $T_J = -40^\circ\text{C}$ to 85°C ; see Table 16 Sleep mode current consumption	P_GEN_10_04
Current consumption in sleep mode at low voltage and normal temperature range	I_{Vs_slp1}	-	-	50	μA	$V_S = 5.5\text{ V}$ to 9 V ; $T_J = -40^\circ\text{C}$ to 85°C ; see Table 16 Sleep mode current consumption	P_GEN_10_05
Current consumption in sleep mode at extended voltage range and temperature range	I_{Vs_slp2}	-	-	250	μA	$V_S = 3\text{ V}$ to 28 V ; $T_J = -40^\circ\text{C}$ to 150°C ; see Table 16 Sleep mode current consumption	P_GEN_10_06
Current consumption in stop mode - temperature range 1	I_{Vs_stp1}	-	-	120	μA	$T_J = -40^\circ\text{C}$ to 25°C ; see Table 17 Stop mode current consumption	P_GEN_10_11
Current consumption in stop mode - temperature range 2	I_{Vs_stp2}	-	-	175	μA	$T_J = 25^\circ\text{C}$ to 85°C ; see Table 17 Stop mode current consumption	P_GEN_10_12

表 14 电流消耗 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption in stop mode - temperature range 3	I_{Vs_stp3}	-	-	2.2	mA	$T_J = 85^\circ\text{C}$ to 175°C ; see Table 17 Stop mode current consumption	P_GEN_10_13
Current consumption in stop mode - extended voltage range	I_{Vs_stp4}	-	-	6	mA	$V_S = 3\text{V}$ to 28V ; $T_J = -40^\circ\text{C}$ to 175°C ; see Table 17 Stop mode current consumption	P_GEN_10_14
Current consumption of one MONx as wake source in sleep or stop mode	I_{Vs_MONx}	-	-	1	μA	¹⁾ Additional to I_{Vs_slp} , I_{Vs_stp} if configured	P_GEN_10_23
Current consumption of CAN as wake source in sleep or stop mode	I_{Vs_CAN}	-	-	4	μA	¹⁾ Additional to I_{Vs_slp} , I_{Vs_stp} if configured	P_GEN_10_24
Current consumption of CYCLIC TIMER as wake source in sleep or stop mode	I_{Vs_CYC}	-	-	5	μA	¹⁾ Additional to I_{Vs_slp} , I_{Vs_stp} if configured; while VDDEXT is off	P_GEN_10_25
Current consumption of one GPIO as wake source in stop mode	I_{Vs_GPIO}	-	-	1	μA	¹⁾ Additional to I_{Vs_slp} , I_{Vs_stp} if configured	P_GEN_10_26
Current consumption at pin VSD - bridge driver fully operating	I_{VSD_on}	-	-	70	mA	3x HS/LS @ 20 kHz with 6x $C_L = 10\text{nF}$; $5.4\text{V} \leq V_{SD} \leq 29\text{V}$	P_GEN_10_18

表 14 电流消耗 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption at pin VSD - bridge driver in active brake mode	I_{VSD_ab}	-	-	10	mA	3x LS statically on; $5.4\text{V} \leq V_{SD} \leq 40\text{V}$	P_GEN_10_19
Current consumption at pin VSD - bridge driver off	I_{VSD_off}	-	-	5	μA	3x HS and LS off with passive pulldown	P_GEN_10_22

1) 无需经过生产测试, 由设计指定。

表 15 活动模式电流消耗

	I_{Vs_act60}	I_{Vs_act20}	I_{Vs_actCAN}
PLL0/PLL1	locked on XTAL	locked on XTAL	locked on XTAL
SYS0_CLK (for MCU)	60 MHz	20 MHz	20 MHz
SYS1_CLK (for CAN)	80 MHz	80 MHz	80 MHz
MCU subsystem	active	active	active with CPU DEEPSLEEP mode
Timers, UARTs, SSCs	active	active	disabled
ADC1, CSA/CSC	converting	converting	disabled
CANTRX, MultiCAN	receiving, 2 Mbit	receiving, 2 Mbit	receiving, 2 Mbit
BDRV, CP	PWM @3ph with 20 KHz	PWM @3ph with 20 KHz	disabled
VDDEXT	disabled	disabled	disabled
GPIO	input without load	input without load	input without load
Wake configuration	via MON1	via MON1	via MON1

表 16 睡眠模式电流消耗

	I_{Vs_slp0}	I_{Vs_slp1}	I_{Vs_slp2}	I_{Vs_slp3}
PLL0/PLL1	OFF	OFF	OFF	OFF
SYS0_CLK (for MCU)	OFF	OFF	OFF	OFF
SYS1_CLK (for CAN)	OFF	OFF	OFF	OFF
MCU subsystem	OFF	OFF	OFF	OFF
Timers, UARTs, SSCs	OFF	OFF	OFF	OFF
ADC1, CSA/CSC	OFF	OFF	OFF	OFF
CANTRX, MultiCAN	OFF	OFF	OFF	OFF

表 16 睡眠模式电流消耗

	I_{Vs_slp0}	I_{Vs_slp1}	I_{Vs_slp2}	I_{Vs_slp3}
BDRV, CP	SSO active	SSO active	SSO active	SSO active
VDDEXT	OFF	OFF	OFF	OFF
GPIO	no load	no load	no load	no load
Wake configuration	via MON1	via MON1	via MON1	via MON1

表 17 停止模式电流消耗

	I_{Vs_stp1}	I_{Vs_stp2}	I_{Vs_stp3}	I_{Vs_stp4}
PLL0/PLL1	OFF	OFF	OFF	OFF
SYS0_CLK (for MCU)	OFF	OFF	OFF	OFF
SYS1_CLK (for CAN)	OFF	OFF	OFF	OFF
MCU subsystem	stopped	stopped	stopped	stopped
Timers, UARTs, SSCs	OFF	OFF	OFF	OFF
ADC1, CSA/CSC	OFF	OFF	OFF	OFF
CANTRX, MultICAN	OFF	OFF	OFF	OFF
BDRV, CP	SSO active	SSO active	SSO active	SSO active
VDDEXT	OFF	OFF	OFF	OFF
GPIO	no load	no load	no load	no load
Wake configuration	via MON1	via MON1	via MON1	via MON1

3.7.4 热阻抗

表 18 热阻抗 - TQFP-48

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to case for TQFP-48	R_{thjc_T48}	-	6	-	K/W	¹⁾	P_GEN_12_01
Junction to ambient for TQFP-48	R_{thja_T48}	-	33	-	K/W	^{2) 1)}	P_GEN_12_02

1) 未经过生产测试，由设计指定。

2) 符合 Jedec JESD51-2,-5,-7 标准，在 FR4 2s2p 板上自然对流。电路板：76.2 × 114.3 × 1.5 mm³，带有两个内铜层（厚度35 μm），裸露焊盘下方设有导热过孔阵列，该阵列与第一层内部铜层相连，尺寸为 300 mm² 底层冷却面积（70 μm）。

表 19 热阻抗 - LQFP-64

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to case for LQFP-64	R_{thjc_L64}	-	6	-	K/W	¹⁾	P_GEN_13_01
Junction to ambient for LQFP-64	R_{thja_L64}	-	33	-	K/W	^{2) 1)}	P_GEN_13_02

1) 未经过生产测试，由设计指定。

2) 符合 Jedec JESD51-2,-5,-7 标准，在 FR4 2s2p 板上自然对流。电路板：76.2 × 114.3 × 1.5 mm³，带有两个内铜层（厚度35 μm），裸露焊盘下方设有导热过孔阵列，该阵列与第一层内部铜层相连，尺寸为 300 mm² 底层冷却面积（70 μm）。

3.7.5 时序特性

表 20 系统时序

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Power-up time	t_{startup}	-	-	5	ms	¹⁾ VS ramp-up (0 V to 14 V in 100 μs) until start of user code	P_GEN_14_01
Sleep-Exit	t_{slpex}	-	-	2.5	ms	¹⁾ CAN/MON wake event until start of user code	P_GEN_14_02
Sleep-Entry	t_{slpen}	-	-	0.2	ms	¹⁾ From setting PMCON0.SLEEP	P_GEN_14_03
Stop-Exit	t_{stpex}	-	-	0.3	ms	¹⁾ CAN/MON/GPIO wake event until start of user code	P_GEN_14_04
Stop-Entry	t_{stpen}	-	-	0.2	ms	¹⁾ From setting PMCON0.STOP	P_GEN_14_06

1) 无需经过生产测试, 由设计指定。

4 BLDC驱动器应用信息

图 8 展示了 TLE989x/TLE988x 在驱动无刷直流电机的电力驱动应用装置中的应用情况。

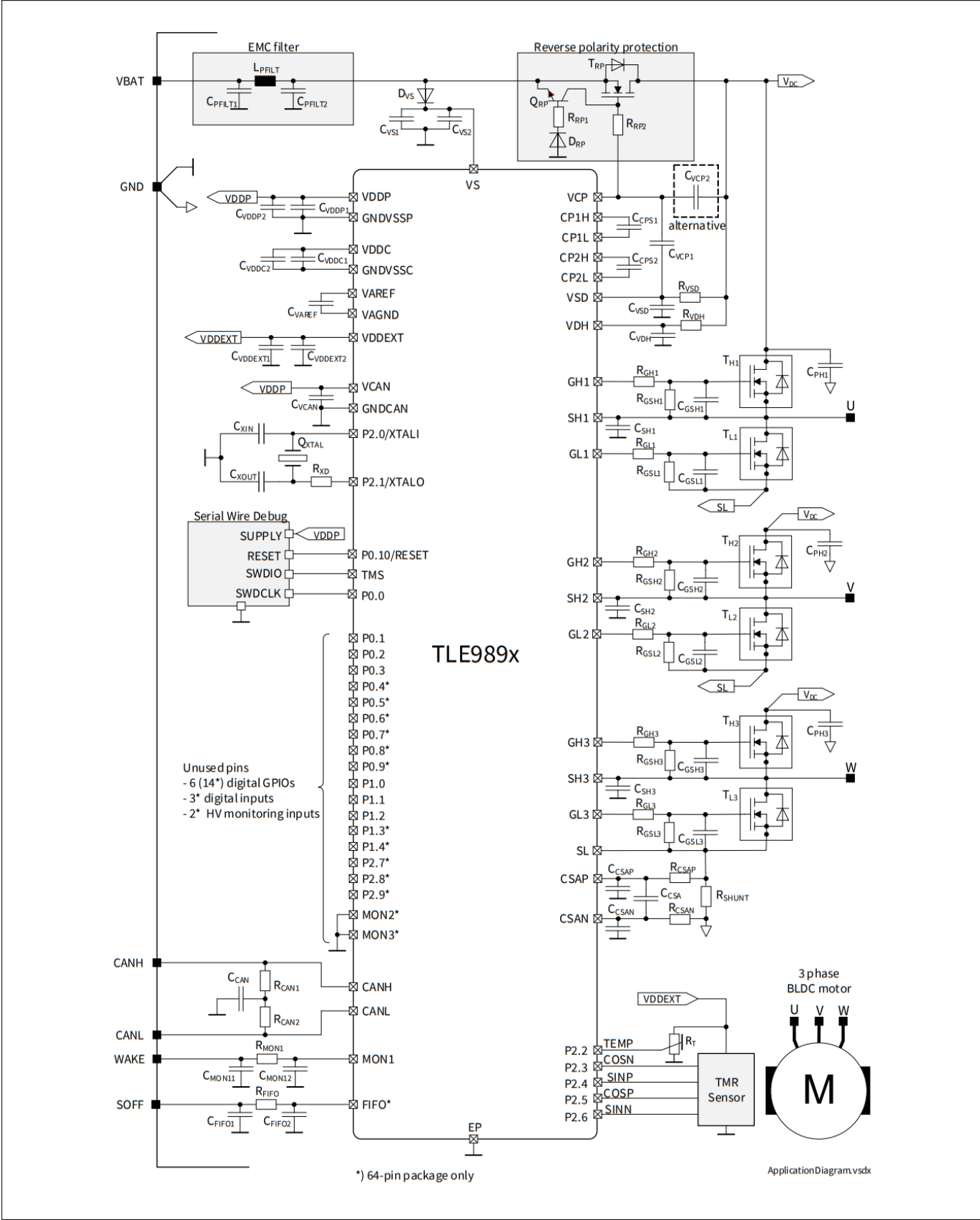


图 8 BLDC 系统的简化应用图示例

注释: 以下信息仅作为该器件的执行参考，不得视为对设备特定功能、运行条件或器件品质的描述及产品保修。这是一个经过大幅简化的应用电路及物料清单示例。该功能必须在实际应用中验证。

表 21 外部组件 (BOM)

Symbol	Function	Component
D _{VS}	Reverse polarity protection diode	e.g. BAS52-02V
C _{VS1}	Decoupling capacitor at VS pin	see P_PMU_01_06
C _{VS2}	Buffer capacitor at VS pin	see P_PMU_01_07
C _{VDDP1}	Decoupling capacitor at VDDP pin	see P_PMU_03_22
C _{VDDP2}	Stability capacitor at VDDP pin	see P_PMU_03_22
C _{VDDEXT1}	Decoupling capacitor at VDDEXT pin	see P_PMU_05_13
C _{VDDEXT2}	Stability capacitor at VDDEXT pin	see P_PMU_05_13
C _{VCAN}	Decoupling capacitor at VCAN pin	see P_PMU_03_23
C _{VDDC1}	Decoupling capacitor at VDDC pin	see P_PMU_04_21
C _{VDDC2}	Decoupling capacitor at VDDC pin	see P_PMU_04_21
C _{VAREF}	Stability capacitor at VAREF pin	see P_ARVG_03_03
C _{CP1}	Charge pump flying capacitor stage 1	application dependent, min. 100 nF
C _{CP2}	Charge pump flying capacitor stage 2	application dependent, min. 100 nF
C _{VCP1}	Charge pump storage capacitor (placing option 1)	application dependent, min. 220 nF
C _{VCP2}	Charge pump storage capacitor (placing option 2)	application dependent, min. 220 nF
R _{MON1}	Resistor at MON1 pin for ISO pulses	application dependent, e. g. 1 kΩ
C _{MON11}	Pi Filter Capacitor at MONx	application dependent, e. g. 10 nF
C _{MON12}	Pi Filter Capacitor at MONx	application dependent, e. g. 1 nF
R _{FIFO}	Resistor at FIFO pin for ISO pulses	application dependent, e. g. 1 kΩ
C _{FIFO1}	Pi Filter Capacitor at FIFO pin	application dependent, e. g. 10 nF
C _{FIFO2}	Pi Filter Capacitor at FIFO pin	application dependent, e. g. 1 nF
C _{PH1}	DC link capacitor	application dependent, e. g. 680 μF
C _{PH2}	DC link capacitor	application dependent, e. g. 680 μF
C _{PH3}	DC link capacitor	application dependent, e. g. 680 μF
C _{CSA}	Filter capacitor	application dependent, e. g. 1 nF
R _{CSAN}	Filter resistor (optional)	application dependent, e. g. 12 Ω
R _{CSAP}	Filter resistor (optional)	application dependent, e. g. 12 Ω
C _{CSAN}	Filter capacitor (optional)	application dependent, e. g. 1 nF
C _{CSAP}	Filter capacitor (optional)	application dependent, e. g. 1 nF
R _{SHUNT}	Shunt resistor	application dependent, e. g. 5 mΩ
R _{VSD}	Limitation of reverse current due to transient (-2 V, 8 ms)	2 Ω

表 21 外部组件 (BOM) (续)

Symbol	Function	Component
C _{VSD}	Capacitor	1 μ F
R _{VDH}	Filter resistor	optional, e. g. 1 k Ω
C _{VDH}	Filter capacitor	optional, e. g. 100 nF
R _{GH1/2/3}	Resistor	optional, 2 Ω
R _{GL1/2/3}	Resistor	optional, 2 Ω
R _{GSH1/2/3}	Resistor	optional, 100 k Ω
R _{GSL1/2/3}	Resistor	optional, 100 k Ω
C _{GSH1/2/3}	Capacitor	optional, 4.7 nF
C _{GSL1/2/3}	Capacitor	optional, 4.7 nF
T _{H1/2/3}	N-channel MOSFET	e.g. IPC70N04S5-4R6
T _{L1/2/3}	N-channel MOSFET	e.g. IPC70N04S5-4R6
T _{RP}	Reverse polarity protection MOSFET	e.g. IPC70N04S5-4R6
Q _{RP}	Reverse polarity protection transistor	e.g. BC817
R _{RP1}	Reverse polarity protection resistor 1	10 k Ω
R _{RP2}	Reverse polarity protection resistor 2	3.3 k Ω
D _{RP}	Reverse polarity protection circuit diode	e.g. BAS52-02V
L _{PFILT}	EMC filter coil	e.g. 4.7 μ H
C _{PFILT1/2}	EMC filter capacitor	e.g. 22 μ F
C _{SH1/2/3}	Capacitor	optional
R _{SH2}	Resistor	optional
R _{SH3}	Resistor	optional
Q _{XTAL}	Crystal or ceramic resonator	optional, e. g. NG3225GA, 16 MHz
R _{XD}	Damping resistor	optional, e. g. 330 Ω
C _{XIN}	Capacitor	optional, e. g. 0 Ω
C _{XOUT}	Capacitor	optional, e. g. 4.7 pF
C _{CAN}	Capacitor	optional, e. g. 4.7 nF
R _{CAN1/2}	Resistor	optional, e. g. 62 Ω
R _T	Thermal resistor (e. g. NTC)	optional
TMR	TMR sensor	optional, e. g. TLE5501

4.1 更多应用信息

- 如需了解引脚FMEA以及安全手册相关内容，请联系英飞凌科技
- 如需了解更多信息，请访问以下链接：<https://www.infineon.com/motixmcu>

5 电源管理单元 (PMU)

5.1 功能概述

电源管理单元 (PMU) 负责管控设备供电及其监测相关的所有功能。PMU 控制所有工作模式/运行模式转换并确保故障安全行为。

PMU 具备以下功能：

- 状态控制
 - 运行状态机 (启动、激活、停止、休眠及故障休眠)
 - 稳压器控制
 - 主机时钟生成 (MCLK) 充当 PMU 时钟
 - 复位管理控制整个器件的复位行为
 - 双向复位引脚 (P0.10/RESET) 作为复位输入和复位输出，指示内部产生的复位
 - 通过 MON、CAN、BDRV、GPIO、循环定时器对停止/睡眠模式下的唤醒进行唤醒控制
- 稳压器
 - 线性电压稳压器 (VMSUP)，用于器件的内部供电
 - 用于通用输入输出和CAN收发器电源的线性稳压器 (VDDP, 5 V 典型值)
 - 用于内部数字逻辑电源的线性稳压器 (VDDC, 1.5 V 典型值)
 - 基准电压生成 (VAREFSUP)
 - 用于外部传感器电源的线性稳压器 (VDDEXT, 5 V 典型值)
- 故障安全监控
 - 系统监测器、故障安全相关信号监测
 - 电源监测器，监测故障安全相关电压
 - 安全基准时钟 (REF_CLK) 和用于监测 MCLK 的时钟看门狗
 - 用于外部安全关断请求或指示的故障安全输入/输出 (FIFO 引脚)
 - 故障安全窗口看门狗 (FS_WDT) 用于监测 CPU 执行情况
 - 使桥接器驱动器 (BDRV) 进入安全关闭状态的安全关断机制
- 保持存储器 (96 位 GPUDATA)，用于休眠及故障休眠模式下的数据存储

5.2 框图

PMU模块由以下主要功能部分组成：

- 状态控制
- 稳压器
- 故障安全监控
- 保持性存储器

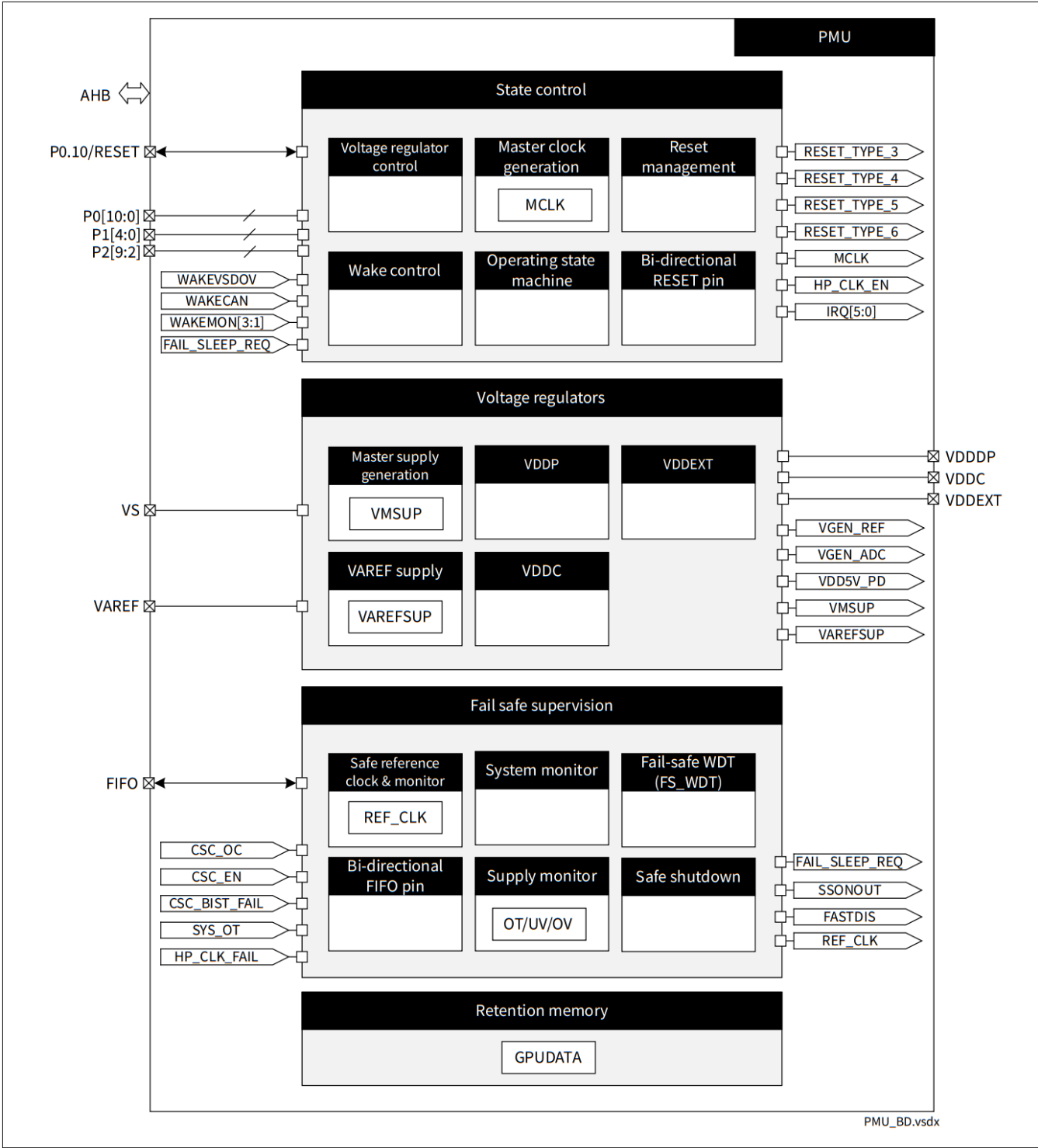


图 9 PMU框图

5.3 PMU电气特性

5.3.1 电源特性

表 22 PMU直流供电技术规范

Grade 0 器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, Grade 1 器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
External Supply in regulation mode	V_S	5.5	13.5	28	V	¹⁾	P_PMU_01_01
VS input voltage transient time	t_{VSSLEW}	5	-	-	μs	¹⁾ V_S voltage rise time rate from 0V to 28V	P_PMU_01_05
Required V_S input capacitance	C_{VS1}	0.1	-	-	μF	¹⁾ Buffering capacitor to cut off battery spikes, value depending on application requirements, ESR < 1 Ω ;	P_PMU_01_06
Required V_S input capacitance	C_{VS2}	10	-	-	μF	¹⁾	P_PMU_01_07

1) 无需经过生产测试, 由设计指定。

5.3.2 稳压器

5.3.2.1 主机供电特性

表 23 主机直流供电技术规范

$V_S = 5.5\text{V}$ 至 28V , 0 级器件: $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$, 1 级器件: $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Master Supply output voltage	V_{MSUP}	1.4	1.5	1.6	V	all parameters within specification limits	P_PMU_02_01
Master Supply overvoltage threshold	V_{MSUPOV}	1.65	1.72	1.79	V		P_PMU_02_02
Master Supply overvoltage filter time (analog)	$t_{VMSUPOVFT}$	1	-	3	μs	¹⁾ Step on V_{MSUP} from $V_{MSUP@typ}$ to $V_{MSUPOV@max}$	P_PMU_02_03

表 23 主机直流供电技术规范 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Master Supply input voltage in regulation mode	V_{MSUPIN}	5.5	12	28	V	1)	P_PMU_02_04
Master Supply undervoltage threshold	V_{MSUPUV}	1.2	1.275	1.35	V		P_PMU_02_06
Master Supply undervoltage filter time (analog)	$t_{MSUPUVFT}$	1	-	3	μs	1) Step on V_{MSUP} from $V_{MSUP@typ}$ to $V_{MSUPUV@min}$	P_PMU_02_07
Central PMU bandgap reference voltage measured at ADC2	V_{GEN_ADC}	1.0	1.1	1.3	V		PH_PMU_02_18

1) 无需经过生产测试, 由设计指定。

5.3.2.2 VDDP 特性

表 24 VDDP 直流电气规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDDP output voltage including line and load regulation	V_{DDP}	4.9	5.0	5.1	V	all parameters within specification limits $1\text{ mA} \leq I_{DDP} \leq 170\text{ mA}$; VDDP regulator in high current mode	P_PMU_03_01
VDDP output current @ High Current Mode (HCM)	I_{DDPHCM}	0	-	170	mA	1) external 5V Supply, Supply for VDDC regulator	P_PMU_03_03
VDDP output current @ Low Current Mode (LCMN and LCMA)	$I_{DDPLCM1}$	0	-	2	mA	1) external 5V Supply, Supply for VDDC regulator	P_PMU_03_04
VDDP output current @ Low Current Mode (LCMN and LCMA)	$I_{DDPLCM2}$	0	-	7	mA	1) external 5V Supply, Supply for VDDC regulator	P_PMU_03_05

表 24 VDDP 直流规格 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDDP undervoltage falling threshold	$V_{DDPUVFALL}$	2.55	2.67	2.77	V		P_PMU_03_06
VDDP undervoltage rising threshold	$V_{DDPUVRISE}$	2.65	2.77	2.87	V	¹⁾	P_PMU_03_07
VDDP undervoltage filter time	$t_{VDDPUVFT}$	0.85	1	1.15	μs	¹⁾	P_PMU_03_09
VDDP undervoltage warning falling threshold	$V_{DDPUVWFALL}$	4.34	4.52	4.7	V		P_PMU_03_10
VDDP undervoltage warning rising threshold	$V_{DDPUVWRISE}$	4.44	4.62	4.8	V	¹⁾	P_PMU_03_11
VDDP undervoltage warning filter time	$t_{VDDPUWFT}$	1	2	3	μs	¹⁾	P_PMU_03_12
VDDP overvoltage falling threshold	$V_{DDPOVFALL}$	5.554	5.785	6.016	V	¹⁾	P_PMU_03_13
VDDP overvoltage rising threshold	$V_{DDPOVRISE}$	5.666	5.902	6.138	V		P_PMU_03_14
VDDP current limitation	$I_{DDPILIM}$	500	700	900	mA	current flowing out of the pin, $V_{DDP} = 0\text{ V}$	P_PMU_03_16
VDDP current limitation filter time	$t_{VDDPILIMFT}$	2	4	6	μs	¹⁾	P_PMU_03_17
VDDP overtemperature threshold	$T_{JVDDPOTSHD}$	180	190	200	$^\circ\text{C}$	¹⁾	P_PMU_03_18
VDDP ripple rejection	$PSRR_{VDDP}$	40	-	-	dB	¹⁾ @10 ... 20 KHz; @0.5Vpp; $6\text{ V} \leq V_S \leq 28\text{ V}$; $I_{DDPHCM} = 85\text{ mA}$; VDDP regulator in high current mode	P_PMU_03_20
Required VDDP output buffer capacitance	C_{VDDP}	0.57	-	4.4	μF	¹⁾ ESR < 0.1 Ω ; the specified capacitor value is a value including tolerances	P_PMU_03_22

表 24 VDDP 直流规格 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Buffer Capacitance on CAN transceiver supply to counter EMI	C_{VCAN}	1	-	3.83	μF	¹⁾ Total capacitance of C_{VDDP1} , C_{VDDP2} and C_{VCAN} shall not exceed $4.4\mu\text{F}$ in order to ensure startup time within specification. The specified capacitor value is a value including tolerances	P_PMU_03_23
VDDP_REG current consumption@LCM 1, adaptive on or off	$I_{VDDPREGLCM1}$	-	-	29	μA	¹⁾ Low-Current Mode 1; $IDDPLCM1 \leq 60\mu\text{A}$; $-40^\circ\text{C} < T_J < 85^\circ\text{C}$	PH_PMU_03_24
VDDP_REG current consumption@LCM 2, adaptive on or off	$I_{VDDPREGLCM2}$	-	-	39	μA	¹⁾ Low-Current Mode 2; $IDDPLCM1 \leq 60\mu\text{A}$; $-40^\circ\text{C} < T_J < 85^\circ\text{C}$	PH_PMU_03_42
VDDP output voltage@short circuit on CAN, High Current Mode (HCM)	$V_{DDPSHORT}$	4.75	5.0	5.25	V	$170\text{mA} < I_{DDP} \leq 240\text{mA}$	PH_PMU_03_30
VDDP output voltage including line and load regulation@Low Current Mode (LCM)	$V_{DDPLCMN}$	4.9	-	5.15	V	$1\mu\text{A} \leq I_{DDP} \leq I_{DDPLCM1}/2 @ m_a$ x	PH_PMU_03_32
VDDP output drop	$V_{DDPDROP}$	0	-	450	mV	$I_{DDP} = 125\text{mA}$; $V_S = 3.0\text{V}$	PH_PMU_03_37

1) 无需经过生产测试, 由设计指定。

5.3.2.3 VDDC 特性

表 25 VDDC直流电气规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDDC output voltage including line and load regulation in HCM and LCM	V_{DDC}	1.47	1.5	1.56	V	all parameters within specification limits; $I_{DDC} \leq 60\text{ mA}$	P_PMU_04_01
VDDC output voltage in LCMN or LCMA mode	V_{DDCLCM}	0.88	0.9	0.97	V	No external load; MCU in stop mode; $2.6 \leq V_{DDP} \leq 5.5\text{ V}$	P_PMU_04_02
VDDC output current @ High Current Mode (HCM)	I_{DDCHCM}	0	-	60	mA	¹⁾ only used as internal core supply and supply of internal analog modules	P_PMU_04_03
VDDC output current @ Low Current Mode (LCMN and LCMA)	I_{DDCLCM}	0	-	2.5	mA	¹⁾ only used as internal core supply and supply of internal analog modules	P_PMU_04_04
VDDC undervoltage falling threshold	$V_{DDCUVFALL}$	1.2	1.25	1.3	V		P_PMU_04_05
VDDC undervoltage rising threshold	$V_{DDCUVRISE}$	1.23	1.28	1.33	V	¹⁾	P_PMU_04_06
VDDC undervoltage filter time (analog)	$t_{VDDCUVFT}$	0.85	2	4	μs	¹⁾	P_PMU_04_08
VDDC undervoltage warning falling threshold	$V_{DDCUVWFALL}$	1.317	1.372	1.427	V		P_PMU_04_09
VDDC undervoltage warning rising threshold	$V_{DDCUVWRISE}$	1.349	1.405	1.461	V	¹⁾	P_PMU_04_10
VDDC undervoltage warning filter time	$t_{VDDCUVWFT}$	27	32	37	μs	¹⁾	P_PMU_04_11
VDDC overvoltage falling threshold	$V_{DDCOVFALL}$	1.62	1.69	1.76	V	¹⁾ $V_S > 3\text{ V}$	P_PMU_04_12
VDDC overvoltage rising threshold	$V_{DDCOVRISE}$	1.65	1.72	1.79	V		P_PMU_04_13
VDDC overvoltage filter time	$t_{VDDCOVFT}$	1	2	3	μs	¹⁾	P_PMU_04_14
VDDC overcurrent falling threshold	$I_{DDCOCFALL}$	70	90	120	mA	¹⁾	P_PMU_04_15

表 25 VDDC 直流电气规格 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDDC overcurrent rising threshold	$I_{DDCOCRISE}$	80	100	130	mA		P_PMU_04_16
VDDC overcurrent filter time	$t_{VDDCOCFT}$	27	32	37	μs	¹⁾	P_PMU_04_17
VDDC current limitation	$I_{VDDCILIM}$	110	-	180	mA	¹⁾ current flowing out of the pin, $V_{DDC} = 0\text{ V}$	P_PMU_04_19
Required VDDC output buffer capacitance	C_{VDDC}	0.57	-	2	μF	¹⁾ $ESR \leq 0.1\Omega$; the specified capacitor value is a value including tolerances	P_PMU_04_21
VDDC_REG current consumption@LCM, adaptive on	$I_{VDDCREGLCMAON}$	-	-	23	μA	¹⁾ $-40^\circ\text{C} < T_J < 85^\circ\text{C}$	PH_PMU_04_23
VDDC under-voltage falling threshold 0.9 V mode	$V_{DDCUV0V9FALL}$	762	793	825	mV	$V_S > 3\text{ V}$	PH_PMU_04_24
VDDC under-voltage rising threshold 0.9 V mode	$V_{DDCUV0V9RISE}$	792	823	855	mV	$V_S > 3\text{ V}$	PH_PMU_04_25
VDDC_REG current consumption@LCM, adaptive off	$I_{VDDCREGLCMAOFF}$	-	-	20	μA	¹⁾ $-40^\circ\text{C} < T_J < 85^\circ\text{C}$	PH_PMU_04_31

1) 无需经过生产测试, 由设计指定。

5.3.2.4 VDDEXT 特性

表 26 VDDEXT 直流电气规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_J = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
External Sensor Supply Regulator output voltage	$V_{DDEXTILIM}$	4.9	5	5.1	V	$I_{DDEXT} \leq 20\text{ mA}$	P_PMU_05_14
External Sensor Supply Regulator output voltage	$V_{DDEXTTILIM}$	4.9	5	5.1	V	$I_{DDEXT} = 40\text{ mA}$; $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$	P_PMU_05_15

表 26 VDDEXT直流电气规格 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
External Sensor Supply Regulator output voltage	V_{DDEXT}	4.8	5	5.2	V	$-40^\circ\text{C} \leq T_j \leq 175^\circ\text{C}$	P_PMU_05_01
VDDEXT voltage drop with respect to V_S	$V_{\text{DDEXTDROP}}$	0	50	300	mV	$0\text{mA} \leq I_{\text{DDEXT}} \leq 20\text{mA}$; $3\text{V} \leq V_S \leq 5\text{V}$	P_PMU_05_02
VDDEXT output current	I_{DDEXT}	0	-	40	mA	¹⁾	P_PMU_05_03
VDDEXT load regulation	V_{DDEXTLOR}	-100	-	10	mV	¹⁾ $0\text{mA} \leq I_{\text{DDEXT}} \leq 40\text{mA}$	P_PMU_05_16
VDDEXT dynamic load regulation	$V_{\text{DDEXTLOR_DYN}}$	-130	-	50	mV	¹⁾ I_{DDEXT} jumping from 0mA to 40mA and from 40mA to 0mA with $\Delta I/\Delta t = 40\text{mA}/\mu\text{s}$	P_PMU_05_17
VDDEXT line regulation	V_{DDEXTLIR}	-60	-	60	mV	¹⁾ $0\text{mA} \leq I_{\text{DDEXT}} \leq 40\text{mA}$	P_PMU_05_18
VDDEXT dynamic line regulation	$V_{\text{DDEXTLIR_DYN}}$	-500	-	500	mV	¹⁾ V_S jumping from 5.5V to 18V and from 18V to 5.5V with $\Delta V/\Delta t = 5\text{V}/\mu\text{s}$	P_PMU_05_19
VDDEXT output discharge resistance	$R_{\text{VDDEXT_DISCHG}}$	16	20	24	k Ω	$I_{\text{VDDEXT}} = 0.2\text{mA}$, MCU in active state, $\text{VDDEXT_CTRL} = [00000000]\text{h}$	P_PMU_05_20
VDDEXT undervoltage shutdown threshold	V_{DDEXTUV}	1.55	1.9	2.1	V		P_PMU_05_04
VDDEXT undervoltage filter time	$t_{\text{VDDEXTUVFT}}$	6	8	10	μs	¹⁾	P_PMU_05_05
VDDEXT current limitation	$I_{\text{DDEXTILIM}}$	100	250	380	mA	¹⁾ current flowing out of the pin, $V_{\text{DDEXT}} = 0\text{ V}$	P_PMU_05_06
VDDEXT overtemperature threshold	$T_{j\text{VDDEXTOTSHD}}$	180	200	215	$^\circ\text{C}$	¹⁾	P_PMU_05_07
VDDEXT overtemperature filter time	$t_{\text{VDDEXTOTFT}}$	8	10	12	μs	¹⁾	P_PMU_05_08

表 26 VDDEXT直流电气规格 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDDEXT ripple rejection 1	$PSRR_{VDDEXT1}$	50	-	-	dB	¹⁾ @0mA ≤ Iload ≤ 20mA; @2Vpp @Vs=13.5V @ 0kHz < f ≤ 1kHz	P_PMU_05_09
VDDEXT ripple rejection 2	$PSRR_{VDDEXT2}$	38	-	-	dB	¹⁾ @2Vpp @Vs=13.5V; @1kHz ≤ f ≤ 10kHz	P_PMU_05_10
VDDEXT ripple rejection 3	$PSRR_{VDDEXT3}$	26	-	-	dB	¹⁾ @0.5Vpp @Vs=13.5V; @10kHz ≤ f ≤ 20kHz	P_PMU_05_11
Required VDDEXT output buffer capacitance	C_{VDDEXT}	0.43	-	2	μF	¹⁾ ESR < 0.1Ω; the specified capacitor value is a value including tolerances	P_PMU_05_13

1) 无需经过生产测试, 由设计指定。

5.3.3 时钟发生器

5.3.3.1 主机时钟特性

表 27 主机时钟规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Master clock frequency	f_{MCLK}	17	20	23	MHz		P_PMU_06_01
Master clock settling time	t_{MCLKRDY}	0.8	1	1.2	μs	¹⁾	P_PMU_06_03
Master clock failure detection time	$t_{\text{MCLKWDGFT}}$	20	30	40	μs	¹⁾ Timing is referred to REFCLK	P_PMU_06_04

1) 无需经过生产测试, 由设计指定。

5.3.3.2 安全基准时钟特性

表 28 安全基准时钟规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Safe reference clock frequency	f_{SAFERCLK}	85	100	115	kHz		P_PMU_07_01
Safe reference clock settling time	$t_{\text{SAFERCLKRDY}}$	40	50	60	μs	¹⁾	P_PMU_07_03

1) 无需经过生产测试, 由设计指定。

5.3.4 系统状态控制

表 29 系统状态控制

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Reset pin input filter time	$T_{\text{filt_RESET}}$	80	100	120	μs	Filter time starts when the configurable blanking/blind time expired	P_PMU_11_01
MONx wake source filter time	$t_{\text{MONx_FT}}$	27.2	32	36.8	μs	¹⁾ Two values configurable	P_PMU_08_01
Port0.x wake source filter time	$t_{\text{PORT0_x}}$	27.2	32	36.8	μs	¹⁾	P_PMU_08_02
Port1.x wake source filter time	$t_{\text{PORT1_x}}$	27.2	32	36.8	μs	¹⁾	P_PMU_08_03
Port2.x wake source filter time	$t_{\text{PORT2_x}}$	27.2	32	36.8	μs	¹⁾	P_PMU_08_04
Fail-Safe Sleep VDDP_TMOU trigger timeout	t_{VDDPUVTO}	0.8	1	1.2	ms	¹⁾	P_PMU_08_05
Fail-Safe Sleep VDDC_TMOU trigger timeout	t_{VDDCUVTO}	400	500	600	μs	¹⁾	P_PMU_08_06
Fail-Safe Sleep SYSTEM_CLK_WDG_FAIL	$t_{\text{LOSSFSYSFT}}$	27.2	32	36.8	μs	¹⁾	P_PMU_08_07
Fail-Safe Sleep SYSTEM_OT filter time	t_{SYSOTFT}	27.2	32	36.8	μs	¹⁾	P_PMU_08_08
Fail-Safe Sleep SAFE_WDT_FAIL	t_{FSWDTFT}	27.2	32	36.8	μs	¹⁾	P_PMU_08_09

1) 无需经过生产测试, 由设计指定。

5.3.5 先进先出故障安全监测

表 30 先进先出故障安全监测

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Fail safe output low voltage	$V_{FO,L}$	-	0.6	1	V	$I_{FO} < 4\text{ mA}$	P_PMU_10_01
Fail Safe input leakage current	$I_{FO,LK}$	-	-	2	μA	$V_{FO} < 28\text{ V}$	P_PMU_10_02
Fail-safe input threshold voltage	V_{FIth}	2	3	3.8	V		P_PMU_10_03
Fail safe input threshold hysteresis	$V_{FIth,hys}$	0.1	-	0.7	V		P_PMU_10_04
Fail-safe input filter time	$t_{FI,flt}$	6	8	10	μs	¹⁾	P_PMU_10_05
Fail-safe input pull-up resistor	$R_{FI,PU}$	30	40	50	$\text{k}\Omega$	¹⁾ Switchable resistor to V_S	P_PMU_10_06

1) 无需经过生产测试, 由设计指定。

5.3.6 监测和供电

表 31 监测基准及供电规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
PMU Failsafe Analog current consumption in sleep mode	$I_{PMUFSSLEEP}$	-	-	10	μA	¹⁾ Only VMON_SUP_REF and VMSUP_MON active; $-40^\circ\text{C} < T_j < 85^\circ\text{C}$	PH_PMU_10_01

1) 无需经过生产测试, 由设计指定。

表 32 VAREF 监测规范

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VAREF over-voltage rising threshold	$V_{AREFOVRISE}$	5.4	5.63	5.85	V		PH_PMU_11_02
VAREF over-voltage threshold hysteresis	$V_{AREFOVHST}$	-	100	-	mV	¹⁾	PH_PMU_11_03

1) 无需经过生产测试, 由设计指定。

6 系统控制单元（SCU）

6.1 功能概述

系统控制单元（SCU）具备以下功能：

- 可选择不同时钟源与预分频器，实现灵活的时钟管理。这让运行模式具备高度灵活性，并能在时钟出现故障时保障系统安全运行
- 在启用、停用外设，切换系统状态以及进行调试时，实现灵活的外设管理。SCU可在系统出现严重故障状态时，关断部分外设以及整个系统
- 将中断和异常请求事件分配给 NVIC，以及将 DMA 请求事件分配给 DMA 模块的操作是在 SCU 内部完成的

6.2 框图

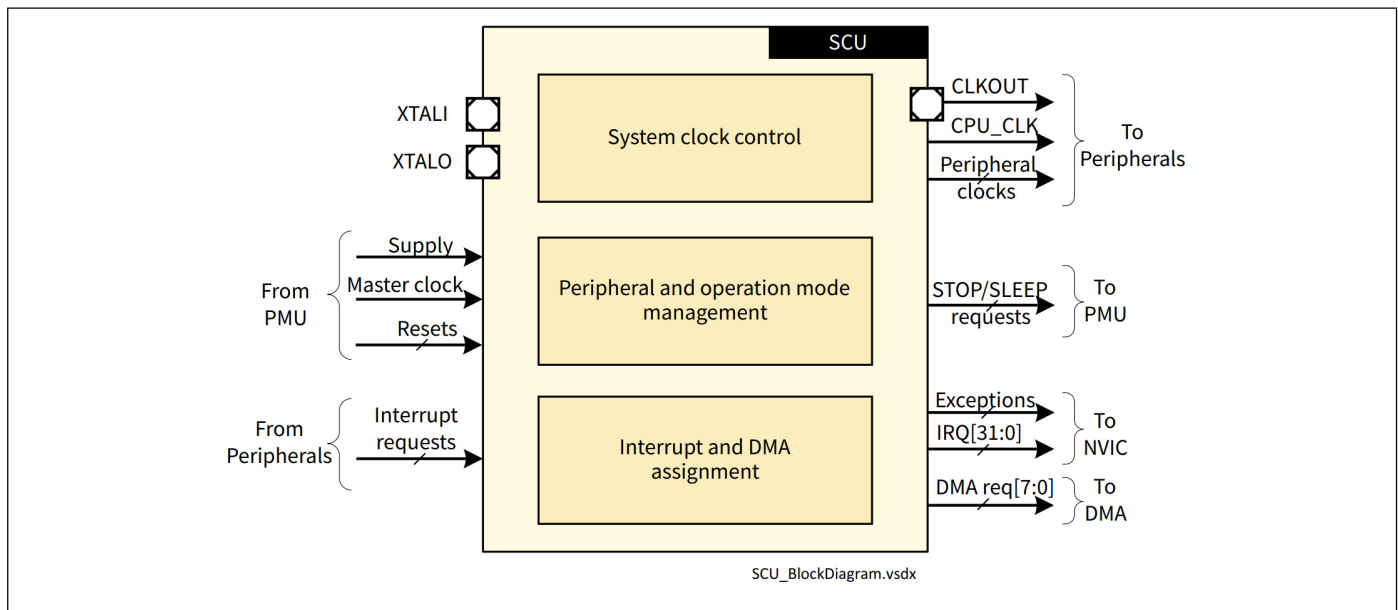


图10 SCU框图

6.3 SCU电气特性

6.3.1 振荡器和 PLL 特性

下表列出了所有系统振荡器和集成PLL的等效电容（EC）。

表 33 HP_CLK 振荡器（SCU 时钟控制）

$V_S = 5.5\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
HP_CLK frequency range	f_{HP}	78.4	80	81.6	MHz	This is the f_{HP} frequency range over all operating conditions	P_SCU_02_02
HP_CLK short term frequency deviation	f_{HPST}	-0.4%	-	0.4%	MHz	frequency deviation of f_{HP} within 100 ms, incl. VDDC variation (VDDCmin and VDDCmax) and temperature variation of 30 K	P_SCU_02_03
HP_CLK Start-up time	t_{HPUP}	-	-	1	μs	¹⁾ from power supply stable	P_SCU_02_04

1) 无需经过生产测试，由设计指定。

表 34 PLL0

$V_S = 5.5\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VCO reference frequency range	f_{REF0}	0.8	1	1.27	MHz	¹⁾ $f_{ref0} = f_{in0}/PDIV0$	P_SCU_03_01
VCO frequency (tuning) range	f_{VCO0}	48	-	160	MHz	¹⁾	P_SCU_03_02
Input frequency range	f_{in0}	4	-	40	MHz	¹⁾	P_SCU_03_03
Output frequency range	f_{PLL0}	5	-	80	MHz	¹⁾	P_SCU_03_04
Free-running frequency	$f_{VCOfree0}$	10	21.5	45	MHz	¹⁾	P_SCU_03_05

表 34 PLL0 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Accumulated jitter with external oscillator	t_{jacc0}	-5	-	5	ns	¹⁾ accumulated over 300 cycles; @ $f_{PLL0} = 60\text{ MHz}$, NDIV = 120, PDIV = 2; $f_{XTAL} = 16\text{ MHz}$	P_SCU_03_06
Lock-in time	t_{L0}	-	-	260	μs	¹⁾ from enable till lock	P_SCU_03_07

1) 无需经过生产测试, 由设计指定。

表 35 PLL1

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VCO reference frequency range	f_{REF1}	0.8	1	1.27	MHz	¹⁾ $f_{ref1} = f_{in1}/PDIV1$	P_SCU_04_01
VCO frequency (tuning) range	f_{VCO1}	48	-	160	MHz	¹⁾	P_SCU_04_02
Input frequency range	f_{in1}	4	-	40	MHz	¹⁾	P_SCU_04_03
Output frequency range	f_{PLL1}	5	-	80	MHz	¹⁾	P_SCU_04_04
Free-running frequency	$f_{VCOfree1}$	10	21.5	45	MHz	¹⁾	P_SCU_04_05
Accumulated jitter with external oscillator	t_{jacc1}	-5	-	5	ns	¹⁾ accumulated over 300 cycles; @ $f_{PLL1} = 80\text{ MHz}$, NDIV = 160, PDIV = 2; $f_{XTAL} = 16\text{ MHz}$	P_SCU_04_06
Lock-in time	t_{L1}	-	-	260	μs	¹⁾ from enable till lock	P_SCU_04_07

1) 无需经过生产测试, 由设计指定。

表 36 电流消耗

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
PLLx active current	$I_{DD_{PLL}}$	-	-	1	mA	¹⁾ @ $f_{PLL} = 20$ to 80 MHz	P_SCU_05_01

1) 无需经过生产测试, 由设计指定。

6.3.2 外部时钟特性 (XTAL1、XTAL2)

表 37 工作范围

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input voltage range for signal on XTALI	V_{IXI}	-0.2	-	1.7	V	¹⁾	P_SCU_06_01
Input amplitude on XTALI	V_{AXI}	0.6	-	-	V	¹⁾ Peak-to-peak voltage	P_SCU_06_02
XTALI input current	I_{IL}	-20	-	20	μA	¹⁾ $0\text{V} < V_{IN} < V_{DDC}$	P_SCU_06_03
Digital oscillator input frequency	f_{XTALI}	4	-	40	MHz	^{2) 1)} on XTALI	P_SCU_06_04
Analog oscillator input frequency	f_{XTAL}	4	-	16	MHz	¹⁾ connected to XTALI/XTALO	P_SCU_06_05
XTALI high time	t_1	6	-	-	ns	¹⁾ this is a system requirement and must be ensured by application	P_SCU_06_06
XTALI low time	t_2	6	-	-	ns	¹⁾ this is a system requirement and must be ensured by application	P_SCU_06_07
XTALI rise time	t_3	-	-	8	ns	¹⁾ this is a system requirement and must be ensured by application; 10% to 90%	P_SCU_06_08
XTALI fall time	t_4	-	-	8	ns	¹⁾ this is a system requirement and must be ensured by application; 90% to 10%	P_SCU_06_09

1) 未经过生产测试, 由设计指定。

2) 高于 24MHz 需要关闭迟滞 (参见寄存器 SCU_XTAL_CTRL)。

7 微控制器单元 (MCU)

7.1 功能概述

MCU（微控制器系统）具备以下功能：

- Arm® Cortex® -M3 处理器
 - Arm® Cortex® M3 处理器内核
 - Arm® 系统定时器 (SYSTICK)
 - 嵌套向量中断控制器 (NVIC)
 - Arm® CoreSight™ 调试单元 (SW-DP)
- 直接存储器访问 (DMA)
- 存储系统
 - 非易失性存储器未缓存 (FLASH0)
 - 非易失性存储器缓存 (FLASH1)
 - 程序SRAM存储器 (PSRAM)
 - 数据SRAM存储器 (DSRAM)
 - 只读存储器 (ROM)
- 缓存系统
- 多层总线矩阵
 - 总线矩阵互连拓扑
 - AHB 观察员
- 存储器访问控制 (MAC)
 - 存储器保护
 - 值得信赖的网关机制
 - 固件
- 外设桥接器(PBA0/1)

7.2 框图

图 11 展示了微控制器单元子系统的顶层架构。

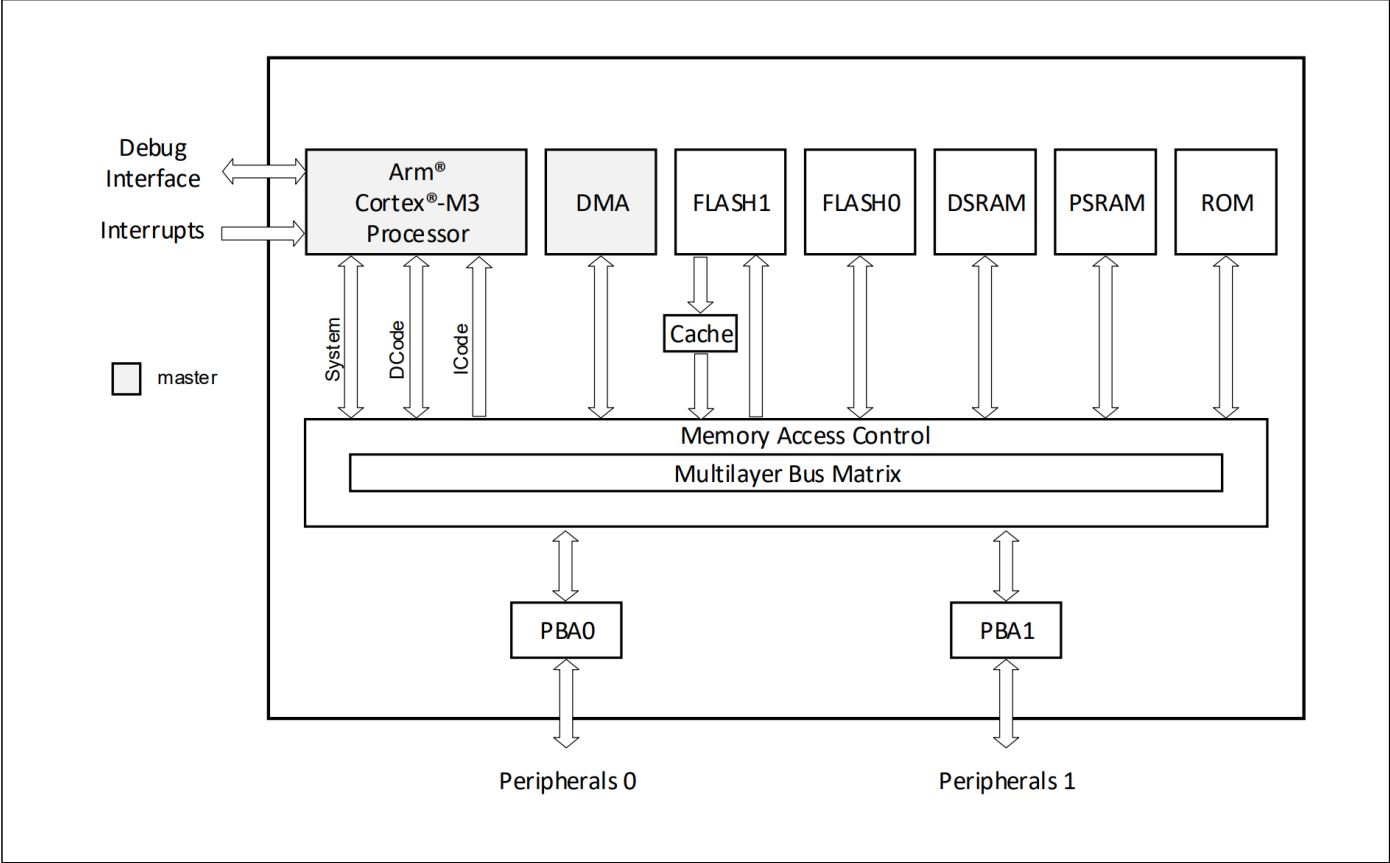


图11 MCU框图

7.3 电气特性闪存参数

7.3.1 FLASH0 和 FLASH1 的特性

本章介绍了嵌入式闪存模块的参数（包括配置扇区）。

表 38 闪存特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Read time	$t_{\text{read_ac}}$	-	-	75	ns	Read accesses to the flash module which is under write/erase/verify operation is not allowed; $3\text{V} \leq V_S \leq 28\text{V}$	P_NVM_01_01
Programming time per 128 Byte page	t_{PR}	-	3	3.5	ms	$3\text{V} \leq V_S \leq 28\text{V}$	P_NVM_01_02
Programming time per 128 Byte page incl. Firmware routine runtime for program operation	$t_{\text{PR_FW}}$	-	-	4	ms	$3\text{V} \leq V_S \leq 28\text{V}$	P_NVM_01_03
Erase time per sector/page	t_{ER}	-	4	4.5	ms	$3\text{V} \leq V_S \leq 28\text{V}$	P_NVM_01_04
Erase time per sector/page incl. Firmware routine runtime for erase operation	$t_{\text{ER_FW}}$	-	-	5	ms	$3\text{V} \leq V_S \leq 28\text{V}$	P_NVM_01_05
Data retention time	t_{RET}	20	-	-	years	@ N_{ER}	P_NVM_01_06
Data retention time for device storage	$t_{\text{RET_strg}}$	50	-	-	years	^{1) 2)} @ N_{ER} ; $T_j = 30^\circ\text{C}$	P_NVM_01_07
Flash endurance for page within user sectors for FLASH0	$N_{\text{ER_high}}$	30	-	-	kcycles	Valid for FLASH0	P_NVM_01_08
Flash erase endurance for security pages	N_{SEC}	10	-	-	cycles	Data retention time 20 years; $T_j = 25^\circ\text{C}$	P_NVM_01_09
Drain disturb limit	N_{DD}	32	-	-	kcycles	³⁾	P_NVM_01_10

表 38 闪存特性 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Flash endurance for page within user sectors for FLASH0/1	N_{ER}	1	-	-	kcycles	Valid for FLASH0 and FLASH1	P_NVM_01_11
Data retention time for high endurance	t_{RET_short}	5	-	-	years	@ N_{ER_high}	P_NVM_01_12

- 1) 基于寿命测试结果外推得出。
- 2) 未经过生产测试, 由设计指定。
- 3) 此参数限制了在未对该物理扇区中的特定页进行 (重新) 编程的情况下, 该扇区内后续编程操作的次数。如果反复使用字线擦除, 则适用漏极扰动限制。在正常的扇区擦除/编程循环中, 不会超过此限制。对于数据扇区, 集成的 EEPROM 仿真固件例程会自动处理此限制; 对于代码扇区 (不带 EEPROM 仿真) 的字线擦除, 建议执行基于软件的刷新, 该操作可利用集成的随机数生成器 NVMBRNG 来统计性地触发刷新。

8 系统看门狗定时器 (SYSWDT)

8.1 功能概述

系统看门狗定时器 (SYSWDT) 属于 MCU 子系统。如果 MCU 子系统在规定时间内未得到处理，SYSWDT 将重置该子系统。因此，如果软件因故障而未能按照其正常的时间表运行，该机制可将系统恢复到预定义的状态。

SYSWDT 提供以下功能：

- 16位窗口看门狗定时器
- 可编程看门狗周期和窗口
- 可选输入频率
- 用于调试的预警中断

8.2 框图

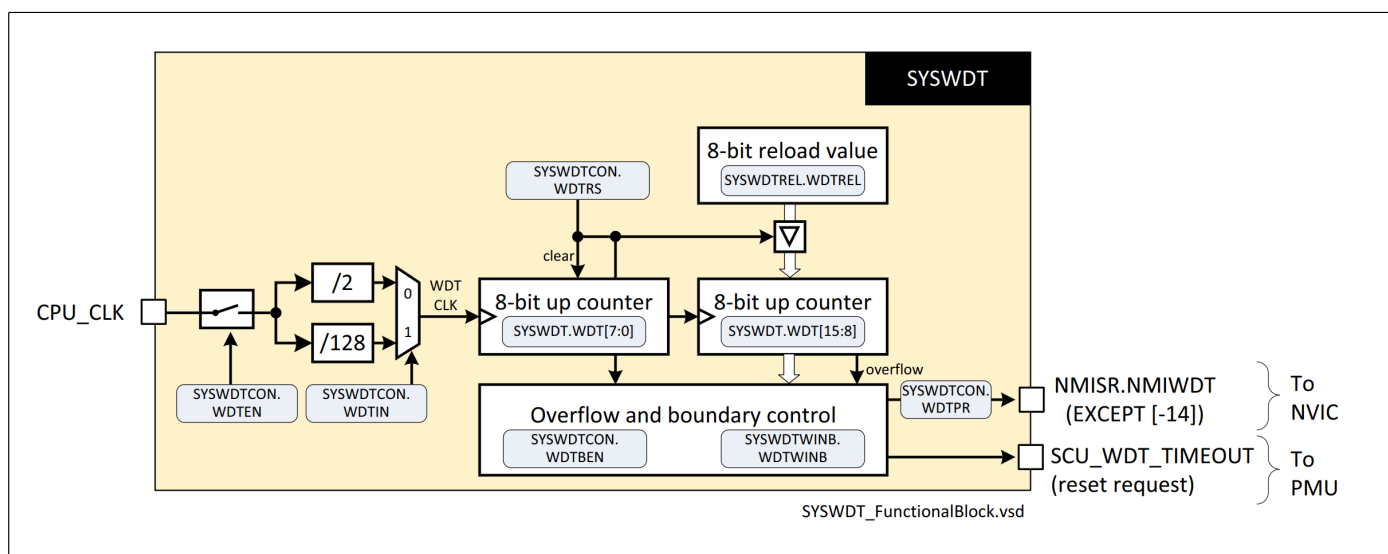


图 12 SYSWDT 框图

9 通用异步收发器 (UART0/1)

9.1 功能概述

UART0/1 提供了一个全双工异步收发器，即它可以同时进行发送和接收。它们还具有接收缓冲功能（1 字节），也就是说，在从接收寄存器中读取先前接收的字节之前，它们就可以开始接收后续字节。但如果在第二个字节接收完成时，第一个字节仍未被读取，那么前一个字节就会丢失。串行端口的接收和发送寄存器可通过特殊功能寄存器 (SFR) TXBUF 和 RXBUF 进行访问。向 TXBUF 写入数据会加载发送寄存器，而读取 RXBUF 则会访问一个物理上独立的接收寄存器。

UART0/1 提供以下功能：

- 全双工异步模式
 - 8 位或 9 位数据帧，LSB 优先
 - 固定或可变波特率
- 接收缓冲（1 字节）
- 传输缓冲（1 字节）
- 多处理器通信
- 数据收发完成时可触发中断
- 波特率发生器带有小数分频器，可产生多种波特率。例如 9.6 kBaud，19.2 kBaud，115.2 kBaud，125 kBaud，250 kBaud，500 kBaud，2 MBaud
- 用于空白字节和同步字节检测的硬件逻辑
- Tx 逆变器逻辑
- LIN 支持：连接至定时器通道，用于与 LIN 波特率同步

在所有模式下，传输均由以下任一情况触发：使用 TXBUF 作为目标寄存器的任何指令、写入起始位，或外部事件。启动选择功能可进行编程设置。当接收使能位（REN）为 1 时，接收功能会由输入的起始位按对应模式触发启动。

当帧的接收或完成时，串口还提供中断请求。对应的中断请求标志分别是 TI 或 RI。如果不使用串行中断（即串行中断未启用的），TI 和 RI 也可用于对串口进行轮询检测。

9.2 框图

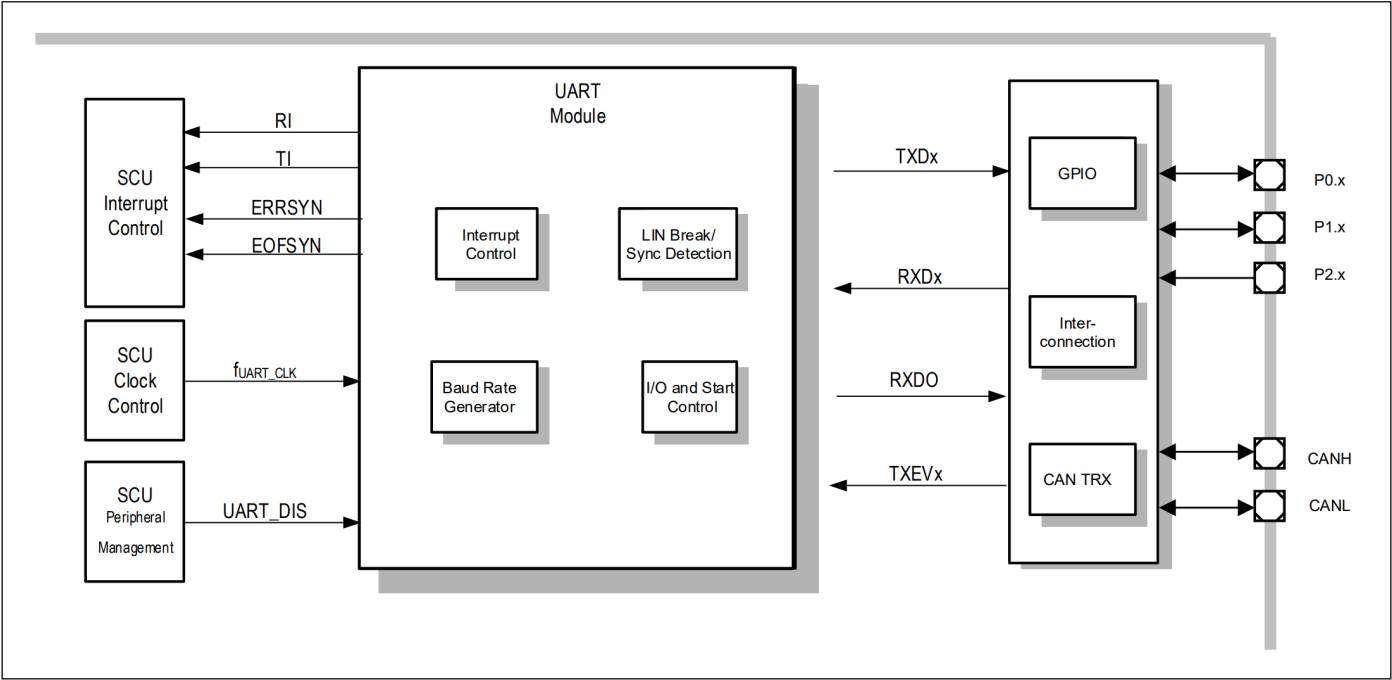


图 13 UART框图

10 高速同步串行接口(SSC0/1)

10.1 功能概述

高速串行同步接口 (SSC) 支持全双工和半双工串行同步通信。

SSC0/1 提供以下功能：

- 主模式和从模式运行
 - 全双工或半双工运行
- 传输和接收缓冲
- 灵活的数据格式
 - 可编程数据位数：2 至 64 位
 - 可编程移位方向：最小有效位 (LSB) 或最大有效位 (MSB) 先移位
 - 可编程时钟极性：移位时钟的空闲低电平或高电平状态
 - 可编程时钟/数据相位：利用移位时钟的前沿或后沿进行数据移位
- 可变波特率，最高 15 MBaud（从模式），30 MBaud（主模式）
- 片选 (主机), 适合 1 ... 4 个从机
- 片选 (从机)
- 兼容串行外设接口 (SPI)
- 中断生成
 - 发射器空状态中断
 - 接收器已满时的中断
 - 错误条件中断（接收、相位、波特率、传输错误）

10.2 框图

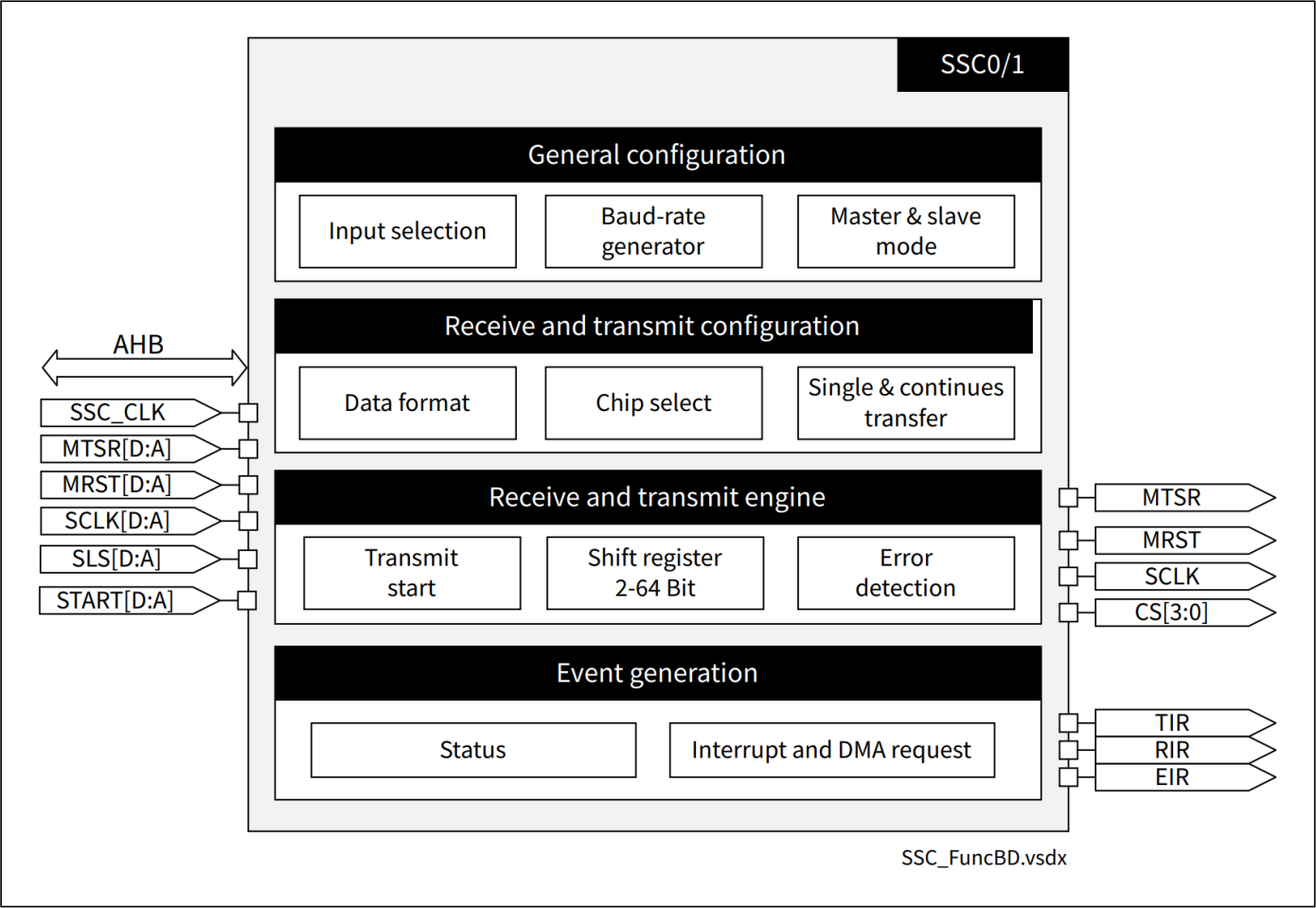


图 14 SSC框图

10.3 SSC0/1电气特性

10.3.1 SSC 时序特性

表 39 SSC 主模式时序（受工作条件限制，CL = 50 pF）

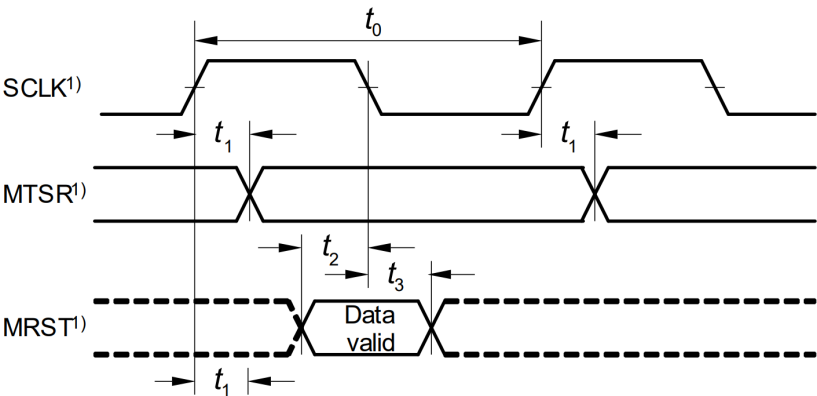
$V_S = 5.5\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SCLK clock period	t_0	$2 \cdot T_{SSC}$	-	-		^{1) 2)} $V_{DDP} > 2.7\text{ V}$	P_SSC_01_01
MTSR delay from SCLK	t_1	10	-	-	ns	²⁾ $V_{DDP} > 2.7\text{ V}$	P_SSC_01_02
MRST setup to SCLK	t_2	10	-	-	ns	²⁾ $V_{DDP} > 2.7\text{ V}$	P_SSC_01_03
MRST hold from SCLK	t_3	15	-	-	ns	²⁾ $V_{DDP} > 2.7\text{ V}$	P_SSC_01_04

1) $T_{SSCmin} = T_{CPU} = 1/f_{CPU}$.

若 $f_{CPU} = 20\text{ MHz}$ ，则 $t_0 = 100\text{ ns}$ 。 T_{CPU} 为 CPU 时钟周期。此外，还需要考虑通用输入输出的速度限制。

2) 未经过生产测试，由设计指定。



1) This timing is based on the following setup: CON.PH = CON.PO = 0.

SSC_Tmg1

图 15 SSC 主模式时序

11 CAN控制器 (MultiCAN+)

11.1 功能概述

MultiCAN+ 提供符合 CAN 规范 CAN FD ISO11898-1 (非 ISO CAN FD 格式和 ISO CAN FD) 的通信接口, 在传统 CAN (ISO 11898-1:2003(E) 模式和/或 CAN FD 高达 2 MBaud 数据速度, 取决于频率和节点) 中提供高达 1 Mbit/s 的通信。

TLE989x/TLE988x 的 MultiCAN+ 由 1 个模块组成 (即 MultiCAN 有 1 个 CAN 节点), 代表 1 个串行通信接口。所有节点均支持 CAN FD。每个 CAN 节点通过两个引脚 (TXD 和 RXD) 进行通信。用于 TXD 和 RXD 的器件端口可以在通用输入输出功能块中单独配置。可使用多种端口配置选项, 以满足不同应用场景的灵活需求。

MultiCAN+ 包含 1 个独立操作的 CAN 节点, 具有全 CAN 功能, 能够通过网关功能交换数据和远程帧。每个 CAN 节点可以接收和发送具有 11 位标识符的标准帧以及具有 29 位标识符的扩展帧。

所有 CAN 节点共享 32 个消息对象的公共置位。每个报文对象可以单独分配给一个 CAN 节点。除了作为传入和传出帧的存储容器外, 消息对象还可以组合起来在 CAN 节点之间构建网关或设置 FIFO 缓冲器。

消息对象以双链表的形式组织, 其中每个 CAN 节点都有自己的消息对象列表。CAN 节点仅将数据帧存储到分配至该节点报文对象列表的报文对象中, 且仅发送属于此报文对象列表的报文。一个强大的、指令驱动列表控制器执行所有报文对象列表操作。

CAN 节点的位控源自模块时钟 (f_{CAN}), 在传统 CAN (ISO 11898-1:2003(E) 模式下可编程数据传输速率高达 1 Mbit/s, 在 CAN FD 模式下可编程高达 2 MBaud。外部接口收发器通过一对接收和发送引脚连接到 CAN 节点。

MultiCAN+ 具备以下功能:

- 符合 ISO 11898 和 SAE J 1939 标准
- 支持具有灵活数据速率规范 CAN FD (非 ISO CAN FD 格式和 ISO CAN FD) 的 CAN, 最高 64 个数据字节
- 根据 ISO 11898-1:2003(E) 在传统 CAN 模式下运行时, 数据传输速率高达 1 Mbit/s
- 在 CAN FD 模式下运行时, 支持高达 2 MBaud。
- 支持异步时钟源来生成波特率
- 灵活而强大的信息传输控制和错误处理功能
- 借助帧计数器实现对每个 CAN 节点的高级 CAN 总线位时序分析与波特率检测
- 完整 CAN 总线功能: 一组 32 个报文对象可单独进行配置
 - 配置为发送或接收对象
 - 设置处理具有 11 位或 29 位标识符的帧
 - 通过帧计数器的时间戳进行识别
 - 配置为远程监测模式
- 高级接受筛选
 - 每个报文对象都配有独立的接收掩码, 用于筛选接入的数据帧
 - 消息对象可设置为仅接收标准帧、仅接收扩展帧, 或是同时接收标准帧与扩展帧
 - 消息对象可按不同优先级类别进行分组, 以便传输与接收

- 根据 CAN 总线仲裁规则，可依据帧标识符、IDE 位和 RTR 位来选择优先传输的报文，也可按照报文在列表中的排序进行选择
- 高级 CAN 节点功能
 - 分析器模式可在不主动接入总线的情况下，对总线流量进行监控
 - 内部回环模式可用于测试用途
 - 节点的数据传输可被中断，且不会影响数据接收
 - 两个连续消息之间的可编程最小延迟
- 高级报文对象功能
 - 可以将消息对象组合起来，构建任意大小的 FIFO 消息缓冲区，其大小仅受消息对象总数限制
- 高级数据管理
 - 消息对象以双向链表的形式组织
 - 消息对象最多可使用 8 个列表
 - 列表重组可在任何时候进行，即使在 CAN 节点正常运行期间也不例外
 - 一个功能强大的、基于命令的列表控制器负责管理列表结构的组织，并确保列表的一致性
 - 消息 FIFO 基于列表结构，在 CAN 运行期间可轻松调整其大小
- 高级中断处理
 - 会产生消息中断和节点中断
 - 中断请求可以分别路由到 3 条中断输出线中的任意一条
 - 消息后处理通知可灵活整合到一个专用的、包含 256 个通知位的寄存器字段中

11.2 框图

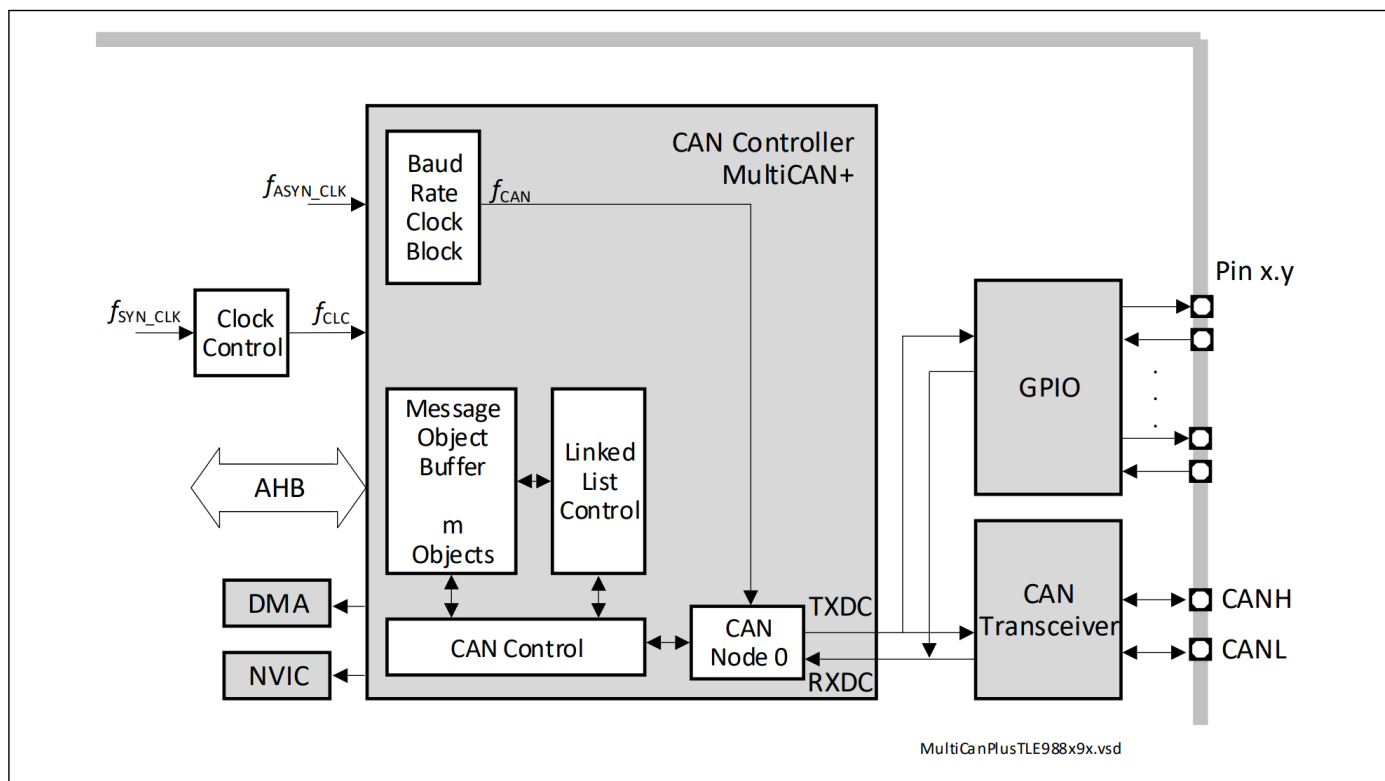


图 16 MultiCAN+ 框图

12 CAN收发器 (CANTRX)

12.1 功能概述

该CAN收发器 (CANTRX) 符合ISO 11898-2:2016《高速控制器局域网 (CAN) 规范》的物理层要求，为CAN总线与CAN协议控制器 (MultiCAN+) 之间提供了一个接口。

CANTRX 具有以下功能：

- 符合 ISO11898-2:2016 标准
- 符合经典 CAN 和 CAN FD 标准，最高速度可达 5 Mbps
- 满足 CAN 接口 (v1.2) OEM 硬件要求
- 支持四种运行模式：
 - 关闭模式
 - 正常模式 (Rx、Tx)
 - 仅接收模式 (Rx-only)
 - 低功耗运行的睡眠模式。唤醒时间：典型值<100 μ s。唤醒模式识别
- 与多个主机的接口：
 - MultiCAN+ 协议控制器
 - UART
 - GPIO
 - 定时器 GPT12 和定时器 2 (T2)
- CAN总线偏置控制。断电时的理想被动行为。
- 诊断：
 - CAN 电源 (VCAN) 欠压监测
 - CAN总线主控超时
 - CAN收发器输入 (TxD) 主导超时
- 过温保护

12.2 框图

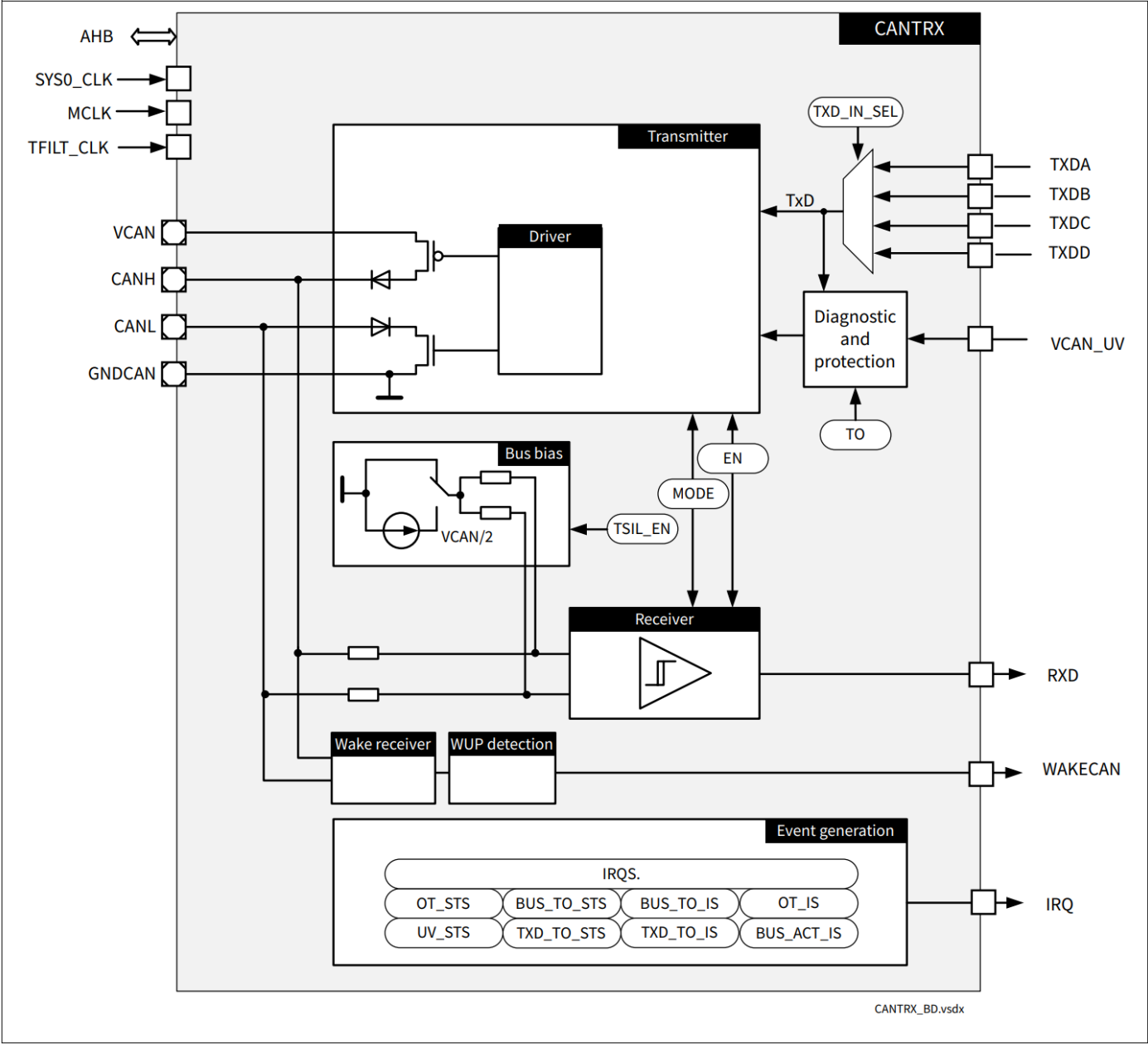


图 17 CANTRX 框图

12.3 CANTRX电气特性

12.3.1 CANTRX 特性

表 40 CAN 总线接收器

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,

$V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
"Dominant" differential range	V_{diff, D_range}	0.9	-	8.0	V	CAN Normal/Receive-only Mode; - $12\text{V} \leq V_{CM}(CAN) \leq 12\text{V}$; $V_{diff} = V_{CANH} - V_{CANL}$	P_CAN_01_01
"Recessive" differential range	V_{diff, R_range}	-3.0	-	0.5	V	CAN Normal/Receive-only Mode; - $12\text{V} \leq V_{CM}(CAN) \leq 12\text{V}$; $V_{diff} = V_{CANH} - V_{CANL}$	P_CAN_01_02
Common Mode Range	CMR	-12	-	12	V	¹⁾	P_CAN_01_03
CANH, CANL Input Resistance	R_{in}	20	40	50	k Ω	Recessive state; - $2\text{V} \leq V_{CANL/H} \leq 7\text{V}$	P_CAN_01_04
Differential Input Resistance	R_{in_diff}	40	80	100	k Ω	Recessive state; - $2\text{V} \leq V_{CANL/H} \leq 7\text{V}$	P_CAN_01_05
Input Resistance Deviation between CANH and CANL	DR_i	-3	-	3	%	¹⁾ Recessive state; $V_{CANL} = V_{CANH} = 5\text{V}$	P_CAN_01_06
Input Capacitance CANH, CANL versus GND	C_{in}	-	20	40	pF	¹⁾ Recessive state; S2P method @ $f=10\text{MHz}$	P_CAN_01_07
Differential Input Capacitance	C_{in_diff}	-	10	20	pF	¹⁾ Recessive state; S2P method @ $f=10\text{MHz}$	P_CAN_01_08
"Dominant" differential range, CAN Sleep Mode	V_{diff, D_range_sleep}	1.15	-	8.0	V	CAN Sleep Mode; - $12\text{V} \leq V_{CM}(CAN) \leq 12\text{V}$; $V_{diff} = V_{CANH} - V_{CANL}$	P_CAN_01_09
"Recessive" differential range, CAN Sleep Mode	V_{diff, R_range_sleep}	-3.0	-	0.4	V	CAN Sleep Mode; - $12\text{V} \leq V_{CM}(CAN) \leq 12\text{V}$; $V_{diff} = V_{CANH} - V_{CANL}$	P_CAN_01_10

1) 无需经过生产测试, 由设计指定。

表 41 CAN总线发射器

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,

$V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CANH/CANL Recessive Output Voltage	V_{CANL/H_NM}	2.0	-	3.0	V	CAN Normal/Receive-only Mode; no load	P_CAN_02_01
CANH/CANL Recessive Output Voltage, CAN Sleep Mode	V_{CANL/H_LP}	-0.1	-	0.1	V	CAN Sleep Mode; no load	P_CAN_02_02
CANH, CANL Recessive Output Voltage Difference	$V_{diff_r_N}$	-500	-	50	mV	CAN Normal/Receive-only Mode; no load; $V_{diff}=V_{CANH} - V_{CANL}$	P_CAN_02_03
CANH, CANL Recessive Output Voltage Difference, CAN Sleep Mode	$V_{diff_r_W}$	-200	-	200	mV	CAN Sleep Mode; no load; $V_{diff}=V_{CANH} - V_{CANL}$	P_CAN_02_04
CANL Dominant Output Voltage	V_{CANL}	0.5	-	2.25	V	CAN Normal Mode; $50\ \Omega \leq R_L \leq 65\ \Omega$; $V_{CAN}=5\text{V}$	P_CAN_02_05
CANH Dominant Output Voltage	V_{CANH}	2.75	-	4.5	V	CAN Normal Mode; $50\ \Omega \leq R_L \leq 65\ \Omega$; $V_{CAN}=5\text{V}$	P_CAN_02_06
CANH, CANL Dominant Output Voltage Difference	$V_{diff_d_N}$	1.5	-	2.5	V	CAN Normal Mode; $50\ \Omega \leq R_L \leq 65\ \Omega$; $4.9\text{V} \leq V_{CAN} \leq 5.25\text{V}$; $V_{diff}=V_{CANH} - V_{CANL}$	P_CAN_02_07
CANH, CANL Dominant Output Voltage Difference (resistance during arbitration)	$V_{diff_d_N}$	1.5	-	5.0	V	¹⁾ CAN Normal Mode; $R_L=2240\ \Omega$; $4.9\text{V} \leq V_{CAN} \leq 5.25\text{V}$; $V_{diff}=V_{CANH} - V_{CANL}$	P_CAN_02_08
CANH, CANL Dominant Output Voltage Difference (extended bus load range)	$V_{diff_d_N}$	1.4	-	3.3	V	¹⁾ CAN Normal Mode; $45\ \Omega \leq R_L \leq 70\ \Omega$; $4.9\text{V} \leq V_{CAN} \leq 5.25\text{V}$; $V_{diff}=V_{CANH} - V_{CANL}$	P_CAN_02_09
CANH, CANL output voltage difference slope, recessive to dominant	$V_{diff_slope_rd}$	-	-	70	V/ μs	¹⁾ 30% to 70% of measured differential bus voltage; $C_L=100\text{pF}$	P_CAN_02_14

表 41 CAN 总线发射器 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,
 $V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN 正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CANH, CANL output voltage difference slope, dominant to recessive	$V_{diff_slope_dr}$	-	-	70	V/ μs	¹⁾ 70% to 30% of measured differential bus voltage; $C_L=100\text{ pF}$	P_CAN_02_15
Driver Symmetry $V_{SYM} = V_{CANH} + V_{CANL}$	V_{SYM}	4.5	-	5.5	V	²⁾ CAN Normal Mode; ; $C_{SPLIT}=4.7\text{ nF}$; $50\ \Omega \leq R_L \leq 60\ \Omega$; $V_{CAN}=5\text{ V}$	P_CAN_02_10
CANH Short Circuit Current	I_{CANHsc}	-115	-80	-50	mA	CAN Normal Mode; $V_{CAN}=5\text{ V}$; $V_{CANHshort}=-3\text{ V}$	P_CAN_02_11
CANL Short Circuit Current	I_{CANLsc}	50	80	115	mA	CAN Normal Mode; $V_{CAN}=5\text{ V}$; $V_{CANLshort}=18\text{ V}$	P_CAN_02_12
Leakage Current	$I_{CANH,lk} / I_{CANL,lk}$	-	2	5	μA	³⁾ $R_{test}=0 / 47\text{ k}\Omega$; $0\text{ V} \leq V_{CANH,L} \leq 5\text{ V}$; $V_S=V_{CAN}=0\text{ V}$	P_CAN_02_13

1) 未经过生产测试, 由设计指定。

2) V_{SYM} 在主导状态和弱势状态下, 以及从主导状态向弱势状态过渡或反之的过程中, 均应遵守上述规定; 同时, TXD 由频率最高达 1 MHz (2 MBit/s) 的方波信号 (50% 占空比) 模拟

3) R_{test} 在 (V_S/V_{CAN}) 和 0V (GND) 之间

表 42 动态 CAN 收发器特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,
 $V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN 正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Min. Dominant Time for Bus Wake-up	t_{Wake1}	0.5	1.2	1.8	μs	¹⁾ CAN Sleep Mode; $T_j = -40^\circ\text{C}$ to 85°C ; - $12\text{ V} \leq V_{CM}(\text{CAN}) \leq 12\text{ V}$	P_CAN_03_01
Wake-up Time-out, Recessive Bus	t_{Wake2}	0.8		10	ms	^{2) 1)} CAN Sleep Mode	P_CAN_03_02
Wake-up reaction time (WUP)	t_{WU_WUP}	-	-	100	μs	^{3) 2) 4) 1)} Wake-up reaction time after a valid WUP	P_CAN_03_03
Loop delay (recessive to dominant)	$t_{LOOP,f}$	-	150	255	ns	⁵⁾ CAN Normal Mode; $C_L=100\text{ pF}$; $C_{RXD}=15\text{ pF}$; $R_L=60\ \Omega$	P_CAN_03_04
Loop delay (dominant to recessive)	$t_{LOOP,r}$	-	150	255	ns	⁵⁾ CAN Normal Mode; $C_L=100\text{ pF}$; $C_{RXD}=15\text{ pF}$; $R_L=60\ \Omega$	P_CAN_03_05

表 42 动态 CAN 收发器特性 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,
 $V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN 正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation Delay TXDCAN low to bus dominant	$t_{d(L),T}$	-	90	140	ns	CAN Normal Mode; $C_L=100\text{pF}$; $R_L=60\ \Omega$	P_CAN_03_06
Propagation Delay TXDCAN high to bus recessive	$t_{d(H),T}$	-	100	140	ns	CAN Normal Mode; $C_L=100\text{pF}$; $R_L=60\ \Omega$	P_CAN_03_07
Propagation Delay bus dominant to RXDCAN low	$t_{d(L),R}$	-	100	140	ns	CAN Normal Mode; $C_L=100\text{pF}$; $R_L=60\ \Omega$	P_CAN_03_08
Propagation Delay bus recessive to RXDCAN high	$t_{d(H),R}$	-	100	140	ns	CAN Normal Mode; $C_L=100\text{pF}$; $R_L=60\ \Omega$	P_CAN_03_09
Received Recessive bit width (CAN FD up to 2Mbps)	$t_{bit(RXD)}_{2M}$	400	-	550	ns	CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{RXD}=15\text{pF}$; $R_L=60\ \Omega$; $t_{bit(TXD)}=500\text{ns}$	P_CAN_03_11
Transmitted Recessive bit width (CAN FD up to 2Mbps)	$t_{bit(BUS)}_{2M}$	455	-	510	ns	CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{RXD}=15\text{pF}$; $R_L=60\ \Omega$; $t_{bit(TXD)}=500\text{ns}$	P_CAN_03_12
Receiver timing symmetry (CAN FD up to 2Mbps)	Δt_{Rec_2M}	-45	-	15	ns	⁶⁾ CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{RXD}=15\text{pF}$; $R_L=60\ \Omega$; $t_{bit(TXD)}=500\text{ns}$	P_CAN_03_13
Received Recessive bit width (CAN FD up to 5Mbps)	$t_{bit(RXD)}_{5M}$	120	-	220	ns	CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{RXD}=15\text{pF}$; $R_L=60\ \Omega$; $t_{bit(TXD)}=200\text{ns}$	P_CAN_03_14

表 42 动态 CAN 收发器特性 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,

$V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN 正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Transmitted Recessive bit width (CAN FD up to 5Mbps)	$t_{\text{bit}(\text{BUS})_5\text{M}}$	155	-	210	ns	CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{\text{RXD}}=15\text{pF}$; $R_L=60\ \Omega$; $t_{\text{bit}(\text{TXD})}=200\text{ns}$	P_CAN_03_15
Receiver timing symmetry (CAN FD up to 5Mbps)	$\Delta t_{\text{Rec_5M}}$	-45	-	15	ns	⁶⁾ CAN Normal Mode; Parameter definition according to ISO 11898-2; $C_L=100\text{pF}$; $C_{\text{RXD}}=15\text{pF}$; $R_L=60\ \Omega$; $t_{\text{bit}(\text{TXD})}=200\text{ns}$	P_CAN_03_16
CAN Transceiver Enabling Time	$t_{\text{CAN,EN}}$	8	12	18	μs	^{2) 1)} SFR "MODE" setting to first valid transmitted dominant bit	P_CAN_03_17
TXDCAN Dominant Time-out	$t_{\text{TXDCAN_TO}}$	1.6	2.0	2.4	ms	^{2) 1)} CAN Normal Mode	P_CAN_03_18
BUS Dominant Time-out	$t_{\text{BUS_CAN_TO}}$	2.0	2.5	3.0	ms	^{2) 1)} CAN Normal/Receive-only Mode	P_CAN_03_19
Time-out for bus inactivity	t_{SILENCE}	0.6	-	1.2	s	^{2) 1)}	P_CAN_03_20
Bus Bias reaction time	t_{Bias}	-	-	250	μs	^{2) 1)}	P_CAN_03_21

1) 未经过生产测试, 由设计指定。

2) 公差由内部振荡器公差定义

3) 唤醒通过 VDDC 电压上升来触发

4) 对于 WUP: 时间从 WUP 上一次主导相结束时开始计算

5) V_{SYM} 应在显性和隐状态期间以及显性到隐性的过渡期间观察到, 反之亦然, 而 TXD 通过频率高达 1 MHz (2 MBit/s) 的方波信号 (50% 占空比) 进行模拟

6) $\Delta t_{\text{Rec}} = t_{\text{bit}(\text{RXD})} - t_{\text{bit}(\text{BUS})}$

表 43 CAN过温特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$,
 $V_{CAN} = 4.75\text{ V}$ 至 5.25 V , $R_L = 60\ \Omega$, CAN正常模式, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CAN overtemperature threshold	T_{jCAN_OT}	175	185	195	$^\circ\text{C}$	1)	P_CAN_04_01
CAN overtemperature hysteresis	$T_{jCAN_OT,hys}$	-	10	-	K	1)	P_CAN_04_02
CAN overtemperature filter time	$t_{CAN_OT_FT}$	4	5	6	μs	1)	P_CAN_04_03

1) 无需经过生产测试, 由设计指定。

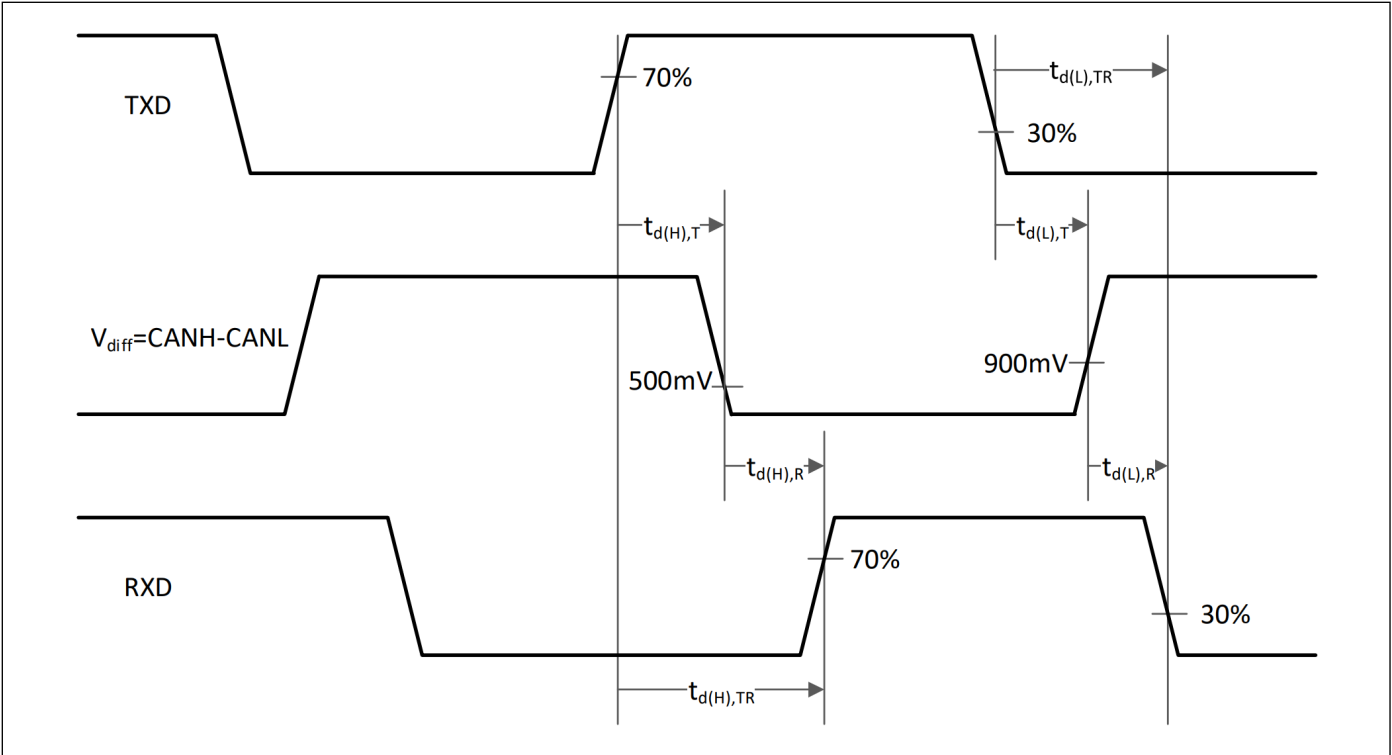


图18 动态特性时序图

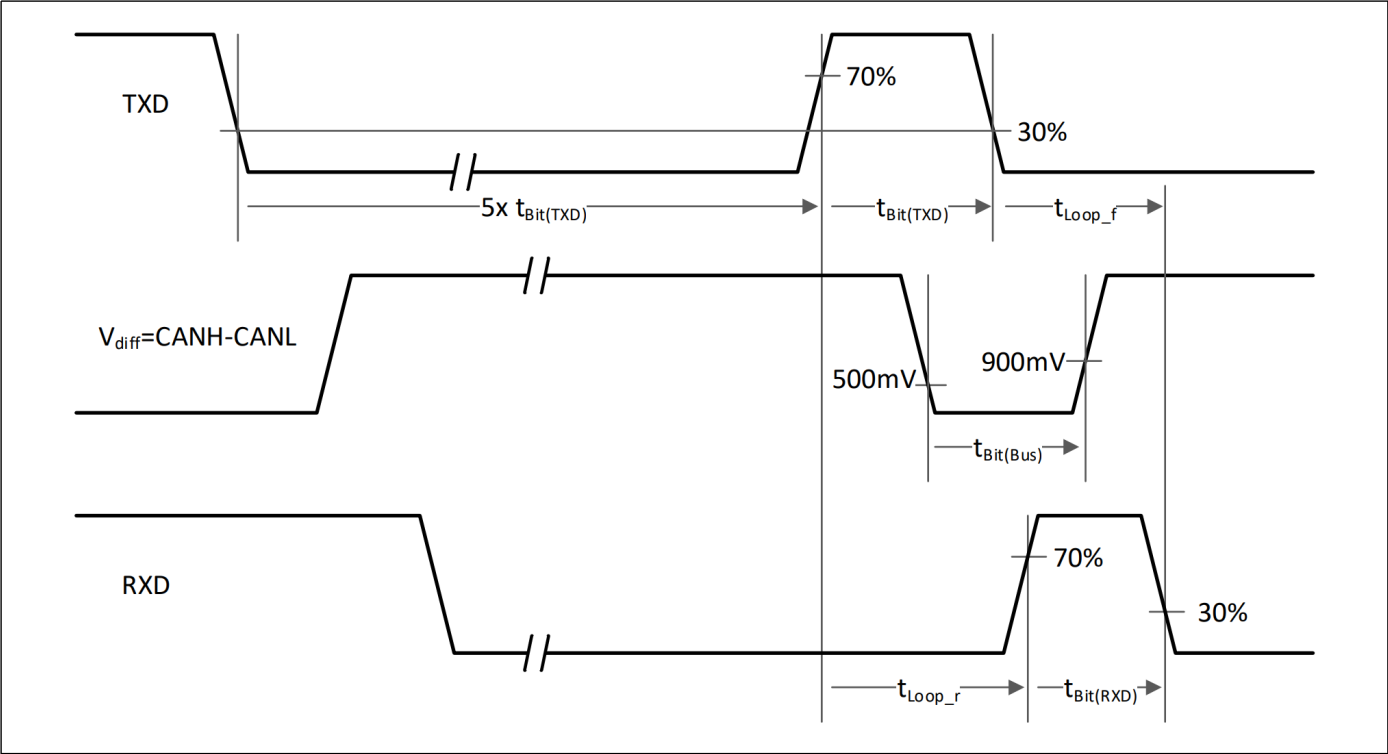


图 19 来自ISO 11898-2: t_{loop} 、 $t_{bit(TXD)}$ 、 $t_{bit(BUS)}$ 、 $t_{bit(RXD)}$ 定义

13 通用端口 (GPIO)

13.1 功能概述

TLE989x/TLE988x 有许多数字端口引脚，可用作通用 I/O（通用输入输出）并连接到片上外设单元。

TLE989x/TLE988x 的端口引脚分成三组并行端口：端口 0 (P0)、端口 1 (P1) 和端口 2 (P2)。每个端口引脚都有一对内部上拉和下拉回路，可以单独启用或禁用。P0 和 P1 是双向的，可以用作通用输入/输出 (GPIO) 或为片上外设执行备用输入/输出功能。对于配置为输出的端口，可选择漏极开路模式。在端口 2 (P2) 上，模拟输入与通用数字输入共享。

GPIO 为所有标准数字 I/O 提供通用且灵活的软件和硬件接口。每个端口都具备与通用 I/O 相同的操作软件接口，并进一步提供了与片上外设的连接功能以及对焊盘特性的控制。

通用输入输出端口具备以下功能：

- 双向端口特性 (P0、P1)
 - P0/P1：可配置引脚方向
 - P0/P1：可配置的上拉/下拉器件
 - P0/P1：可配置开漏模式
 - P0/P1：可配置驱动强度
 - P0/P1：可配置的斜率
 - P0/P1：通过数字输入和输出端口传输数据（通用 I/O）
 - P0/P1：当通用输入输出配置为输出时，可能会读回引脚状态（短路检测）
 - P0/P1：作为片上外设的复用输入/输出
 - P0/P1：最多可从外设选择七个备用输出连接。每个通用输入输出的三个配置位位于同一个寄存器中
 - P0/P1：单独的输入和输出寄存器，允许在输出处于启用状态时评估输入（真实性检查）
 - P0/P1：专用输出修改寄存器（启用置位、清除、切换功能）以避免读-修改-写操作
 - P0/P1：启动期间的默认配置为输入和浮动（无上拉/下拉）
- 模拟端口特性 (P2)
 - P2：可配置的上拉/下拉器件
 - P2：通过数字输入传输数据
 - P2：片上外设的备用输入接口
 - P2：禁用共用模拟输入端口上的数字输入级
- 唤醒特点
 - 可配置通过通用输入输出从停止模式唤醒（仅上升沿、仅下降沿、双沿），例如用于唤醒传感器信号
 - 总共有 6 个端口引脚可配置为唤醒，可从 P0/P1/P2 中自由选择
 - 无唤醒丢失，不受唤醒事件与停止接入指令之间的时序关系影响

13.2 框图

端口 0 和 端口 1

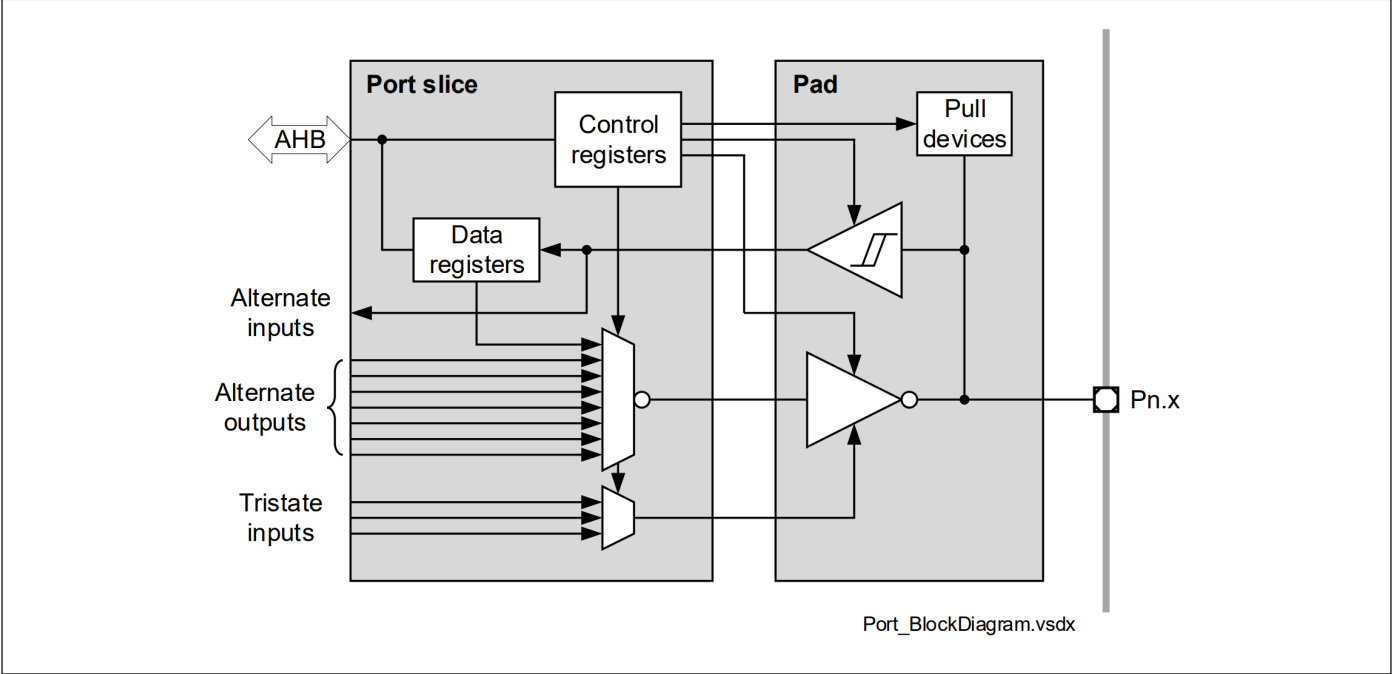


图20 双向端口 2 的总体结构

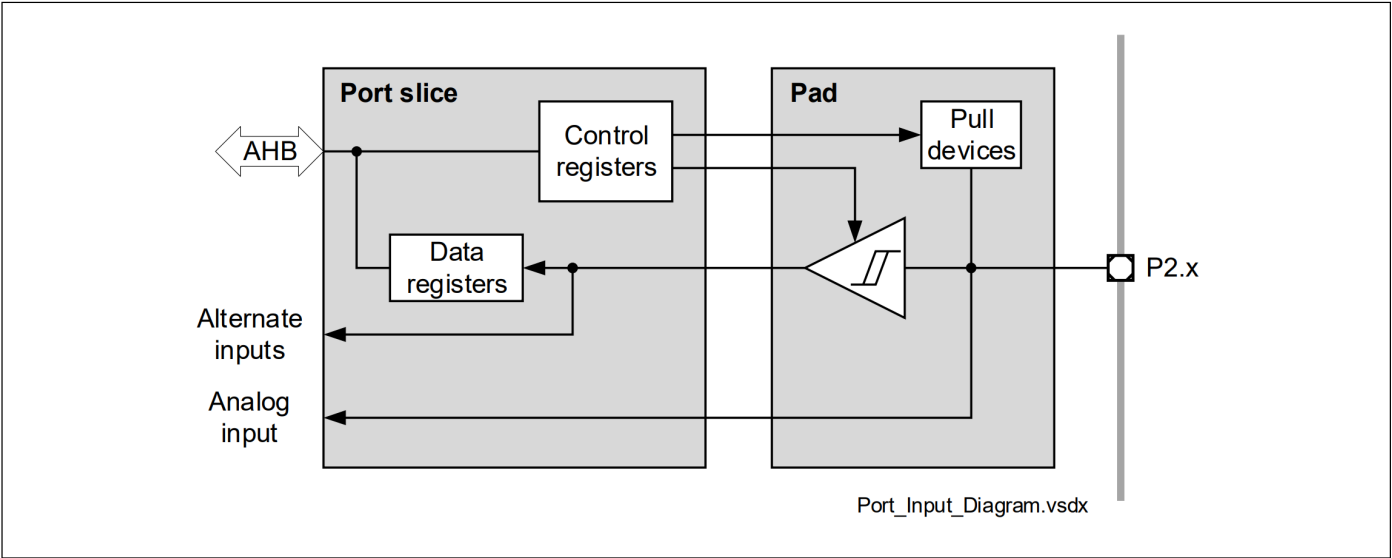


图21 输入端口的总体结构

13.3 GPIO 电气特性

13.3.1 保持电流和强制电流的描述

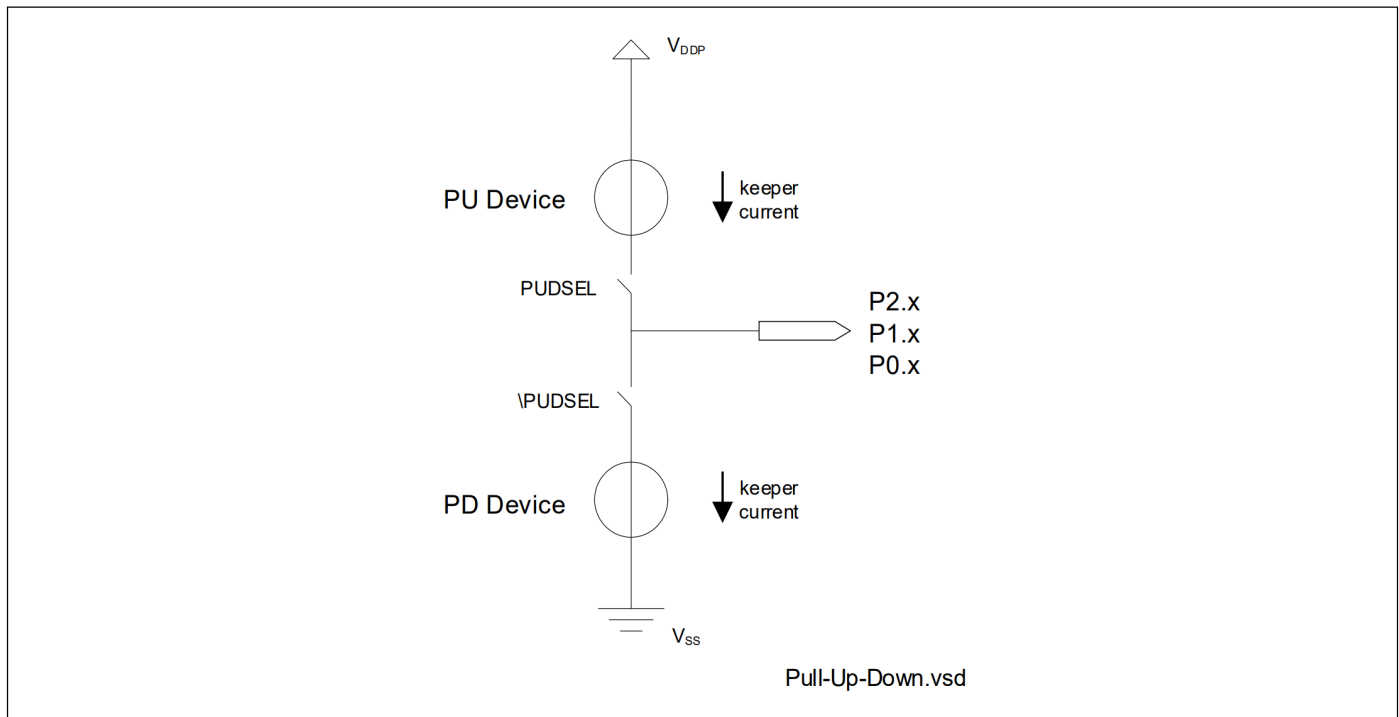


图 22 上拉/下拉器件

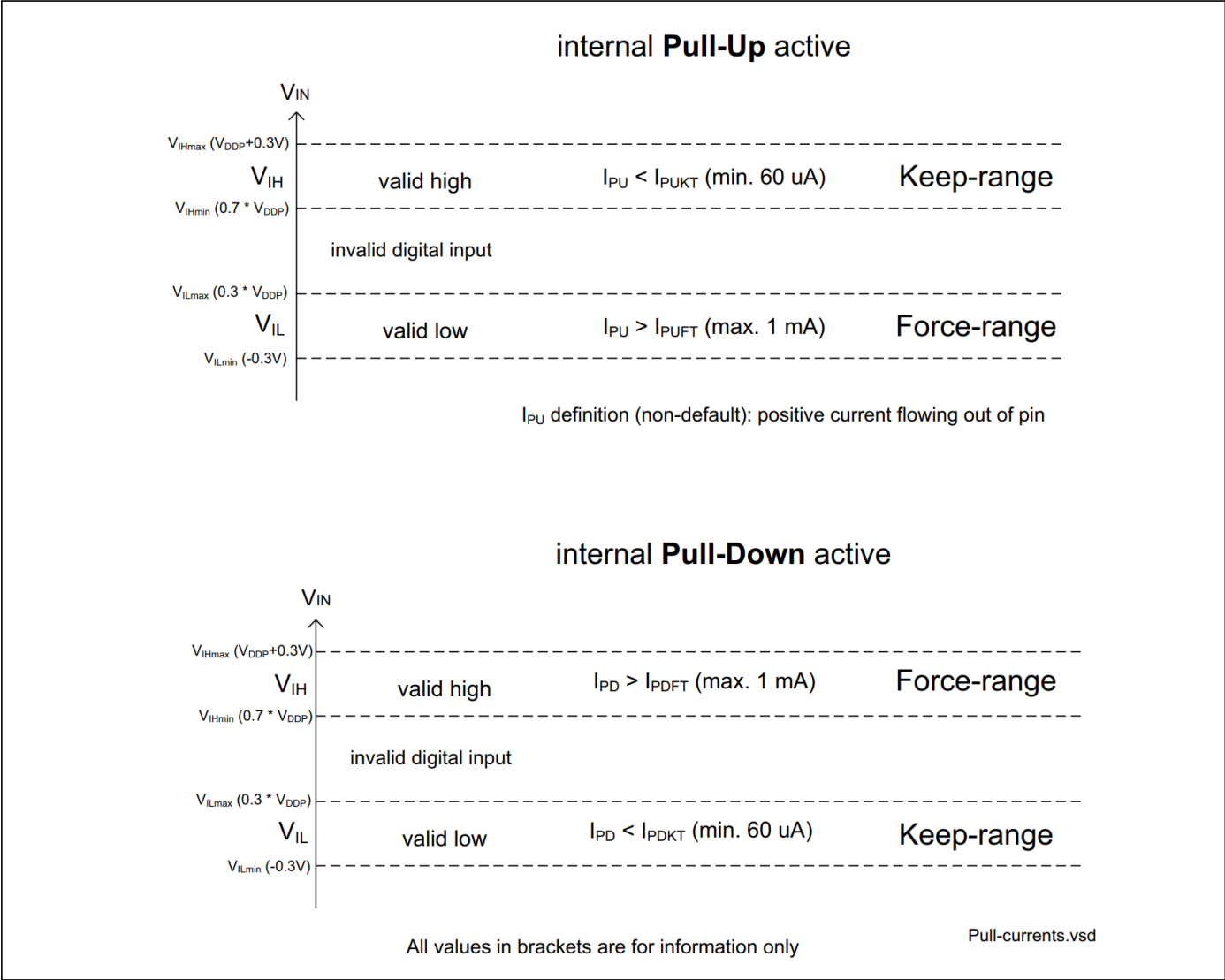


图 23 拉动电流、保持电流和强制电流

13.3.2 端口 0、端口 1、TMS 和复位直流特性

注释： 适用运行条件。

将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平，还请参考过载电流 I_{OV} 的规格。

表 44 端口 0、端口 1、TMS 和复位直流特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL}	-0.3	-	$0.3 \cdot \frac{V_{DDP}}{V_{DDP}}$	V	$2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_01
Input high voltage	V_{IH}	$0.7 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	$V_{DDP} + 0.3$	V	$2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_02
Input Hysteresis	Hys	$0.11 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	-	V	¹⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; Series Resistance=0 Ω	P_GPIO_01_03
Input Hysteresis	Hys _{ext}	$0.04 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	-	V	¹⁾ $2.55\text{V} \leq V_{DDP} < 4.5\text{V}$; Series Resistance=0 Ω	P_GPIO_01_04
Input leakage current	I_{OZ2}	-5	-	+5	μA	$T_j \leq 85^\circ\text{C}$; $0\text{V} < V_{IN} < V_{DDP}$	P_GPIO_01_05
Input leakage current	I_{OZ2ext}	-22	-	+22	μA	$0\text{V} < V_{IN} < V_{DDP}$	P_GPIO_01_06
Pull-up keep threshold	I_{PUKT}	60	-	-	μA	^{2) 3)} $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{IHmin}$	P_GPIO_01_07
Pull-up force threshold	I_{PUFT}	-	-	1	mA	^{2) 3)} $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{ILmax}$	P_GPIO_01_08
Pull-down keep threshold	I_{PDKT}	60	-	-	μA	²⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{ILmax}$	P_GPIO_01_09
Pull-down force threshold	I_{PDFT}	-	-	1	mA	²⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{IHmin}$	P_GPIO_01_10
Pin capacitance	C_{IO}	-	-	10	pF	¹⁾	P_GPIO_01_11
Output low voltage (max. current)	V_{OLmax_cur}	-	-	1.0	V	^{4) 5)} $I_{OL} \leq I_{OLmax}$; $2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_13
Output low voltage (nom. current)	V_{OLnom_cur}	-	-	0.4	V	^{4) 5)} $I_{OL} \leq I_{OLnom}$; $2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_14
Output high voltage (max. current)	V_{OHmax_cur}	$V_{DDP} - 1.0$	-	-	V	^{4) 5) 6)} $I_{OH} \leq I_{OHmax}$; $2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_15
Output high voltage (nom. current)	V_{OHnom_cur}	$V_{DDP} - 0.4$	-	-	V	^{4) 5) 6)} $I_{OH} \leq I_{OHnom}$; $2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_01_16

表 44 直流特性 Port0、Port1、TMS、复位 (续)

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Slope (strong driver, sharp edge), rise / fall time	$t_{\text{slope,sharp}}$	-	-	15	ns	⁷⁾ $C_L \leq 100\text{pF}$	P_GPIO_01_17
		-	-	5	ns	⁷⁾ $C_L \leq 20\text{pF}$	P_GPIO_01_18
Output Slope (medium driver), rise / fall time	$t_{\text{slope,medium}}$	-	-	50	ns	⁷⁾ $C_L \leq 100\text{pF}$	P_GPIO_01_19
		-	-	12	ns	⁷⁾ $C_L \leq 20\text{pF}$	P_GPIO_01_20

1) 未经过生产测试, 由设计指定。

2) 保持电流: 将通过该引脚的电流限制在阈值以下, 以便启用的上拉器件可以保持该引脚为低电平。

强制电流: 通过此引脚驱动至少阈值电流, 以覆盖由启用的上拉器件驱动的引脚电平。

另请参见图“拉动电流、保持电流和施加电流”。

这些值适用于专用引脚中的固定上拉器件以及在通用 I/O 引脚中用户可选的上拉器件。

3) I_{PU} 定义 (非默认): 从引脚流出的正向电流

4) 端口驱动器的最大可输出电流取决于所选的输出驱动器模式。必须遵守引脚组的限制。

5) I_{OLnom} 、 I_{OLmax} 、 I_{OHnom} 、 I_{OHmax} : 参见“端口输出驱动器的电流限制”表

6) I_{OH} 定义 (非默认): 从引脚流出的正向电流

7) 20% / 80% V_{DDP}

表 45 端口输出驱动器的电流限制

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Current, Strong Driver	I_{OLHs5}	-	1.6	5	mA	^{1) 2)} $V_{DDP} \geq 4.5\text{ V}$	P_GPIO_02_01
Output Current, Medium Driver	I_{OLHm5}	-	1.0	3	mA	^{1) 2)} $V_{DDP} \geq 4.5\text{ V}$	P_GPIO_02_02
Output Current, Weak Driver	I_{OLHw5}	-	0.25	0.5	mA	^{1) 2)} $V_{DDP} \geq 4.5\text{ V}$	P_GPIO_02_03
Output Current, Strong Driver	I_{OLHs3}	-	1.0	3	mA	^{1) 2)} $2.55\text{ V} \leq V_{DDP} < 4.5\text{ V}$	P_GPIO_02_04
Output Current, Medium Driver	I_{OLHm3}	-	0.8	1.8	mA	^{1) 2)} $2.55\text{ V} \leq V_{DDP} < 4.5\text{ V}$	P_GPIO_02_05
Output Current, Weak Driver	I_{OLHw3}	-	0.15	0.3	mA	^{1) 2)} $2.55\text{ V} \leq V_{DDP} < 4.5\text{ V}$	P_GPIO_02_06

1) 典型值: 标称输出电流 (I_{OLnom} , I_{OHnom})。

最大值: 最大输出电流 (I_{OLmax} , I_{OHmax})。

这些值对于低侧电流和高侧电流均有效。

2) I_{OH} 定义 (非默认): 从引脚流出的正向电流

13.3.3 端口 2 直流特性

注释： 适用运行条件。

将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平，还请参考过载电流 I_{ov} 的规格。

表 46 端口 2 的DC特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL_P2}	-0.3	-	$0.3 \cdot \frac{V_{DDP}}{V_{DDP}}$	V	$2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_03_01
Input high voltage	V_{IH_P2}	$0.7 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	$V_{DDP} + 0.3$	V	$2.55\text{V} \leq V_{DDP} \leq 5.5\text{V}$	P_GPIO_03_02
Input Hysteresis	Hys_{P2}	$0.11 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	-	V	¹⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; Series Resistance=0 Ω	P_GPIO_03_03
Input Hysteresis	Hys_{P2ext}	$0.04 \cdot \frac{V_{DDP}}{V_{DDP}}$	-	-	V	¹⁾ $2.55\text{V} \leq V_{DDP} < 4.5\text{V}$; Series Resistance=0 Ω	P_GPIO_03_04
Input leakage current	I_{OZ1_P2}	-400	-	+400	nA	²⁾ $T_j \leq 85^\circ\text{C}$; $0\text{V} < V_{IN} < 5.1\text{V}$	P_GPIO_03_05
Input leakage current	I_{OZ1_P2ext}	-1	-	+1	μA	²⁾ $0\text{V} < V_{IN} < 5.1\text{V}$	P_GPIO_03_06
Pull-up keep threshold	I_{PUKT_P2}	60	-	-	μA	^{3) 4)} $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{IHmin}$	P_GPIO_03_07
Pull-up force threshold	I_{PUFT_P2}	-	-	1	mA	^{3) 4)} $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{ILmax}$	P_GPIO_03_08
Pull-down keep threshold	I_{PDKT_P2}	60	-	-	μA	³⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{ILmax}$	P_GPIO_03_09
Pull-down force threshold	I_{PDFT_P2}	-	-	1	mA	³⁾ $4.5\text{V} \leq V_{DDP} \leq 5.5\text{V}$; $V_{IN} = V_{IHmin}$	P_GPIO_03_10
Pin capacitance (digital inputs/outputs)	C_{IO_P2}	-	-	10	pF	¹⁾	P_GPIO_03_11

1) 未经过生产测试，由设计指定。

2) 如果相邻引脚流过过载电流，将会产生额外的误差电流。

3) 保持电流：将通过该引脚的电流限制在阈值以下，以便启用的上拉器件可以保持该引脚为低电平。

强制电流：通过此引脚驱动至少阈值电流，以覆盖由启用的上拉器件驱动的引脚电平。

另请参见图“拉动电流、保持电流和施加电流”。

4) I_{PU} 定义（非默认）：从引脚流出的正向电流

14 高压监测器输入(MON)

14.1 功能概述

高压监测器输入 (MON) 专用于监测器外部电压高于或低于阈值 V_{MONth} 的情况。每个 MON_x 输入还可用于通过检测跨越阈值时的电平变化来创建唤醒事件。这适用于任何系统运行模式，特别是电源恢复模式。此外，每个 MON_x 输入均可由 ADC1 作为模拟输入进行采样。它还可以用作 Timer21 的高压脉宽调制输入信号。

MON工具主要有以下特点:

- 高压输入，阈值电压 3 V（典型值）
- 系统停止模式和系统睡眠模式的唤醒功能
- 可配置边沿触发唤醒功能，支持低电平转高电平、高电平转低电平或双向电平跳变模式
- 可在活动模式下读取监控输入电平状态（高 / 低）
- 在工作模式下，也可通过模数转换器 1 对 MON 输入信号进行检测，以此采集高压信号，并借助可调阈值来触发中断
- 可选上拉和下拉电流源
- MON 输入可作为定时器 21 的输入，用于检测高压脉宽调制输入信号
- MON 输入可用于边缘检测（针对低电平转高电平、高电平转低电平或双向电平跳变产生中断）

14.2 框图

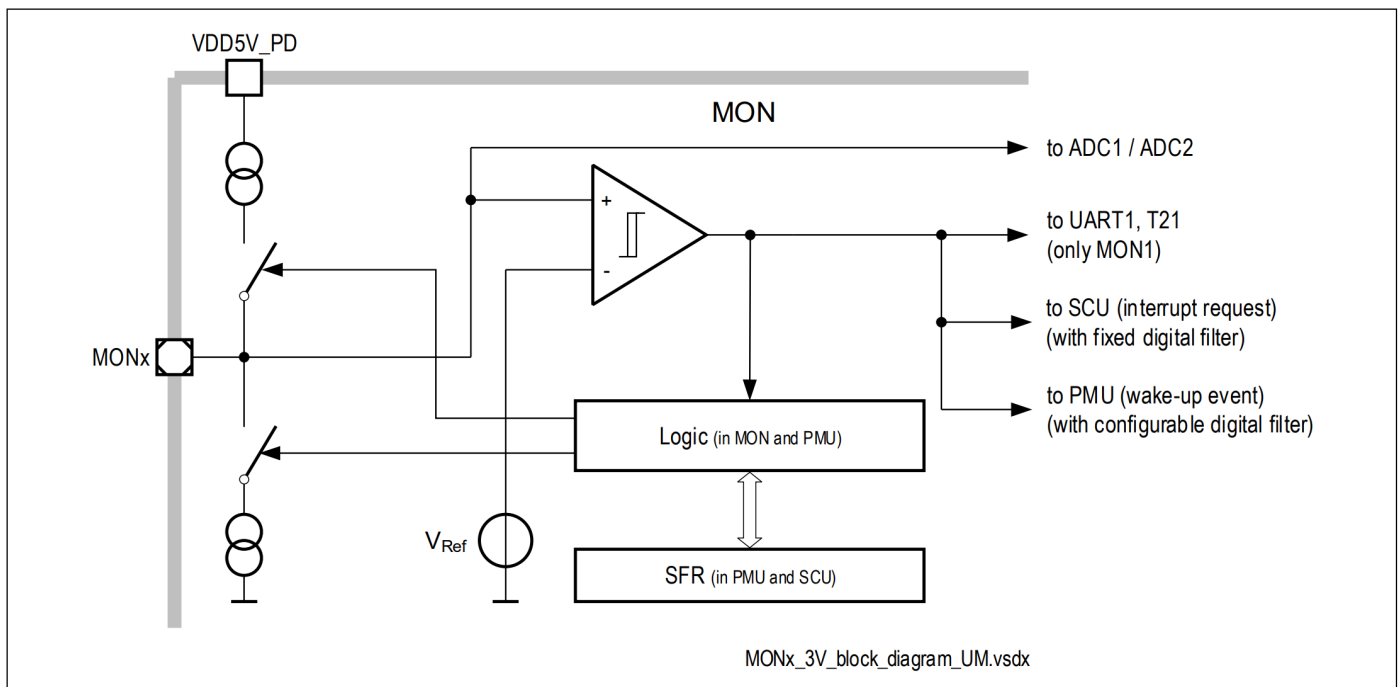


图 24 MON框图

14.3 MON电气特性

14.3.1 MON 特性

表 47 监测输入的电气特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Wake-up/monitoring threshold voltage	V_{MONth}	2	3	3.8	V	without external serial resistor R_s (with $R_s: dV = I_{\text{PD/PU}} * R_s$);	P_MON_02_01
Threshold hysteresis	$V_{\text{MONth,hys}}$	0.1	-	0.7	V	in all modes; without external serial resistor R_s (with $R_s: dV = I_{\text{PD/PU}} * R_s$);	P_MON_02_02
Pull-up current	$I_{\text{PU, MON}}$	-20	-10	-3	μA	$V_{\text{MON_IN}}=3.8\text{V}$	P_MON_02_03
Pull-down current	$I_{\text{PD, MON}}$	3	10	20	μA	$V_{\text{MON_IN}}=2\text{V}$	P_MON_02_04
Input leakage current	$I_{\text{LK, MON}}$	-2	-	2	μA	¹⁾ $0\text{V} < V_{\text{MON_IN}} < 40\text{V}$	P_MON_02_05

1) 对启用的模块有效。上拉和下拉电流功能已禁用; ADC1 关闭。

15 模拟基准电压生成 (ARVG)

15.1 功能概述

模拟基准电压生成模块 (ARVG) 负责生成器件中各种模拟外设可以使用的基准电压。

ARVG主要有以下特点:

- VREF1V2 用于 ADC2 和 NVM 的内部基准电压生成 (V_{REF1V2} 典型值 1.211 V)
- VREF1V2 由 ADC1 监控
- ADC1、CSA、CSC 和 SDADC 的VAREF 基准电压生成 (V_{REF5V} 5 V 典型值) ; VAREF 有一个引脚, 需要一个到 VAGND 的缓冲器电容 (参见 C_{VAREF})
- VAREF 有一个过流 (欠压) 监测器 (VAREF_OC)
- VAREF 在PMU内设有过压监测器 (VAREF_OV) , 详细信息请参见[电源管理单元 \(PMU\)](#) 章

15.2 框图

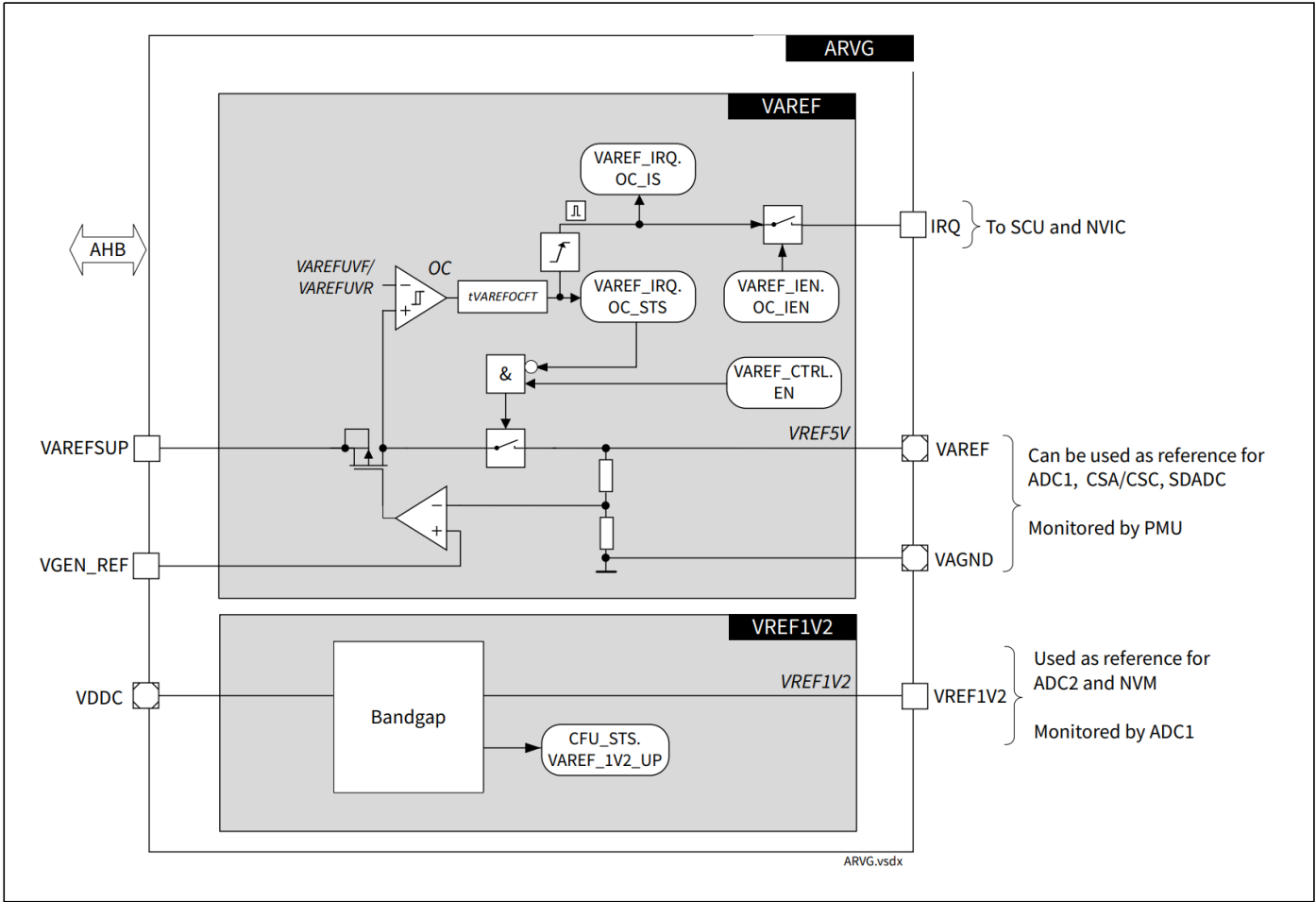


图 25 ARVG 框图

15.3 ARVG电气特性

15.3.1 VREF1V2 直流特性

表 48 VREF1V2 直流规格

$V_S = 3\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压均相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Reference output voltage	V_{REF1V2}	1.188	1.211	1.22	V	all parameters within specification limits	P_ARVG_02_01
Temperature drift	ΔV_{REF1V2}	0	-	1	%	^{1) 2)}	P_ARVG_02_02

1) $\Delta V_{\text{REF1V2}} = (V_{\text{REF1V2,max}} - V_{\text{REF1V2,min}}) / V_{\text{REF1V2,min}}$ 其中 $V_{\text{REF1V2,min}}$ 为温度范围内的最小 V_{REF1V2} ，而 $V_{\text{REF1V2,max}}$ 为温度范围内的最大 V_{REF1V2}

2) 未经过生产测试，由设计指定。

15.3.2 VREF5 直流特性

表 49 VREF5 直流规格

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Reference output voltage	V_{REF5V}	4.9	5	5.1	V	all parameters within specification limits	P_ARVG_03_01
Temperature drift	ΔV_{REF5V}	0	-	1	%	^{1) 2)}	P_ARVG_03_08
Power-up time	t_{WAKE}	50	-	200	μs	VREF5V_ENABLE to 99.9% of the final value; $C_{\text{ext}}=100\text{nF}$	P_ARVG_03_02
VAREF required buffer capacitance	C_{VAREF}	0.1	-	1	μF	²⁾ the specified capacitor value is a value including tolerances; $\text{ESR}<100\text{m}\Omega$	P_ARVG_03_03
VAREF undervoltage (overcurrent) threshold falling	$V_{\text{AREFU VF}}$	2.33	2.48	2.85	V		P_ARVG_03_04
VAREF undervoltage (overcurrent) threshold rising	$V_{\text{AREFU VR}}$	3.44	3.74	4	V	²⁾	P_ARVG_03_05
VAREF output current	I_{VAREF}	0	-	20	μA	²⁾	P_ARVG_03_06
VAREF OC filter time	$t_{\text{VAREFOCFT}}$	3.6	4	4.4	μs	²⁾	P_ARVG_03_07

1) $\Delta V_{\text{REF5V}} = (V_{\text{REF5V,max}} - V_{\text{REF5V,min}}) / V_{\text{REF5V,min}}$, 其中 $V_{\text{REF5V,min}}$ 是温度范围内的最小 V_{REF5V} , 而 $V_{\text{REF5V,max}}$ 是温度范围内的最大 V_{REF5V}

2) 未经过生产测试, 由设计指定。

16 模拟数字转换器 1 (ADC1)

16.1 功能概述

ADC1 是一种逐次逼近型模数转换器，可用于模拟信号测量，特别针对 BLDC 电机控制进行了优化。它对于样片事件和转换过程具有确定性的行为，甚至对于一系列转换也是如此。ADC1 可在后台独立运行，避免 CPU 或 DMA 的实时关键交互。

ADC1 具有以下功能

- A/D内核性能:
 - 所有模拟输入均为 12 位分辨率
 - 典型精度为输入范围的 0.5% (MV_{ACC} 、 HV_{ACC1})
 - 快速采样时间 ($tsamp_{MV}$ 、 $tsamp_{HV}$ 、 $tsamp_{SHx}$)
 - 快速总转换时间 (MV/HV 输入典型值为 800 ns, SHx 输入典型值为 1600 ns)
- 模拟输入 ANx:
 - 最多 11 个中间电压输入 (范围 MVRNG)
 - 8 个出厂校准的高压输入端 (范围 HVRNG1)
 - 通过内部 VAREF 或 VDDEXT 稳压器参考 VAREF/VAGND
- 具有通道控制和结果生成的数字通道:
 - 每个模拟输入可以自由分配到 20 个可能的数字通道中的一个或多个
 - 每个数字通道都有自己的结果寄存器，带有结果事件 (支持 IRQ)
 - 可以将 4 种转换类别中的一种分配给数字通道
 - 最多 4 个具有 8 位上限和下限阈值的数字比较器可以监测通道结果并生成比较事件 (IRQ 和/或互连信号)
 - 最多可将 4 个具有可编程特性的一阶 IIR 滤波器分配给一个通道结果
 - 每个通道的可编程重复特性
- 触发和门级控制:
 - 用于对时间精度和时间等距的复杂转换序列进行确定性控制
 - 可以选择 36 个触发输入作为转换序列的硬件或软件启动事件
 - 可选择 16 个门控输入，对触发事件进行硬件或软件门控
- 定序器:
 - 允许构建复杂且可变的转换方案
 - 最多可自由组合 4 组独立时序序列，每组最多支持 4 个数字通道
 - 具有确定性序列结束事件的硬件或软件序列触发器 (支持 IRQ)
 - 可能的触发功能：自触发或下一序列触发 (支持周期轮询任务)
 - 更新序列器配置时的数据一致性影子机制
- 转换类控制:
 - 可编程样片时间调整以适应模拟输入特性
 - 可编程降噪特点 (过采样、平均、样片点调整)
 - 外置传感器可编程断线检测功能

- 可编程调节原理可补偿漂移和温度影响
- 中断和 DMA:
 - ADC1 事件可以路由到 4 个中断节点指针（带有 4 条 IRQ 线）
 - ADC1 事件可映射到 8 个 DMA 通道

16.2 框图

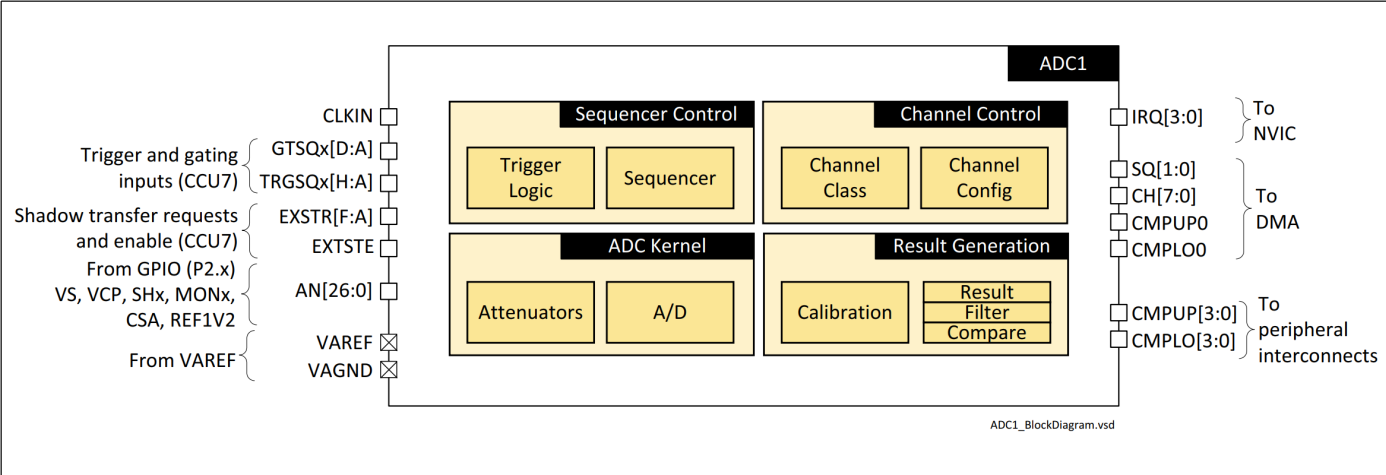


图 26 ADC1 框图

16.3 ADC1 电气特性

16.3.1 模数转换器 ADC1 特性

表 50 模数转换器 ADC1, 时序参数

$V_S = 4.2\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Reference ground	VAGND	-0.05	-	0.05	V	@VAGND pin; tested with VAREF=VREF5V, VAGND = n.c., blocking cap 100nF between VAREF and VAGND	P_ADC1_01_05
Module Clock Frequency	fadc	5	-	40	MHz	Internal ADC1 clock derived from module input clock via CLKDIV	P_ADC1_01_36
Sample Time HV input	tsamp _{HV}	200	-	-	ns	¹⁾ STC has to be programmed accordingly	P_ADC1_01_38
Sample Time SHx input	tsamp _{SHx}	1000	-	-	ns	¹⁾ STC has to be programmed accordingly	P_ADC1_01_44
Sample Time MV input	tsamp _{MV}	200	-	-	ns	¹⁾ STC has to be programmed accordingly	P_ADC1_01_40

1) 未经过生产测试, 由设计指定。

表 51 模数转换器 ADC1, 性能参数

$V_S = 4.2\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向电流流入引脚 (除非另有说明), 最低有效位 = VAREF/4096

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Integral Nonlinearity	INLE	-4	-	4	LSB		P_ADC1_01_18
Differential Nonlinearity	DNLE	-1	-	2	LSB	¹⁾ No two consecutive missing codes	P_ADC1_01_20
Total Unadjusted Error for HV inputs	TUE _{HV}	-7	-	7	LSB	²⁾ ¹⁾	P_ADC1_01_30
Total Unadjusted Error for MV inputs	TUE _{MV}	-6	-	6	LSB	²⁾ ¹⁾	P_ADC1_01_28
RMS Noise 1	RMS ₁	-	1.5	2	LSB	¹⁾	P_ADC1_01_32

表 51 模数转换器 ADC1，性能参数（续）

$V_S = 4.2\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于接地，正向电流流入引脚（除非另有说明），最低有效位 = VAREF/4096

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
RMS Noise 3	RMS_3	-	-	1.4	LSB	¹⁾ With averaging of 4 oversampling conversions	P_ADC1_01_34
Negative overload coupling factor	$KOVAN$	-	-	0.00015		³⁾ ⁴⁾ ⁵⁾ ¹⁾	P_ADC1_01_08
Positive overload coupling factor	$KOVAP$	-	-	0.00015		³⁾ ⁴⁾ ⁵⁾ ¹⁾	P_ADC1_01_09
Discharge current for broken wire detection setting 0	$lbwd$	60	80	100	μA		P_ADC1_01_06
Discharge current for broken wire detection setting 1	$lbwdh$	480	640	800	μA		P_ADC1_01_07
Analog input resistance	R_{AIN}	-	-	34	$\text{k}\Omega$	¹⁾ This is the internal resistive path from ANx pad via mux to the cap field	P_ADC1_01_12
Switched capacitance at ANx	C_{AIN}	-	-	660	fF	¹⁾ This is the capacitance which must be charged by the analog source within the minimum sampling time	P_ADC1_01_13
Analog reference input resistance	R_{AREF}	-	-	7	$\text{k}\Omega$	¹⁾ This is the internal resistive path from VAREF pad to cap field	P_ADC1_01_15
Switched capacitance at VAREF	C_{AREF}	-	-	330	fF	¹⁾ This is the capacitance which must be charged by VAREF source with the first successive approximation cycle	P_ADC1_01_17
Power Supply Rejection Ratio for High Voltage Inputs	$PSSR_{HV}$	25	-	-	dB	¹⁾ @VDDP with 3 kHz, 100 mV peak-to peak ripple	P_ADC1_01_42
Power Supply Rejection Ratio for Mid Voltage Inputs	$PSSR_{MV}$	5	-	-	dB	¹⁾ @VDDP with 3 kHz, 100 mV peak-to peak ripple	P_ADC1_01_43

1) 未经过生产测试，由设计指定。

2) $TUE = (INL \times GE) + OE$ ，无需通道校准。

- 3) 过载耦合因素 KOVAN/KOVAP (K) 定义了一个引脚处的过载条件 (I_{ov}) 与进入一个引脚的漏电流 ($I_{leaktot}$) 的最坏情况关系: $I_{leaktot} = \pm K \times |I_{ov}| + I_{oz1}$ 。因此, 过载条件可能会在相邻的模拟输入引脚处产生额外的误差电压。
- 4) 以下运行模式允许过载电流: 无电模式、有源模式和睡眠模式。
- 5) 如果超出标准工作条件, 就会出现过载情况, 即引脚的输入电压 V_{in} 超出规定范围: $V_{in} > V_{DDP} + 0.3V$ ($I_{ov} > 0$) 或 $V_{in} < -0.3V$ ($I_{ov} < 0$)。

16.3.2 模拟输入特性

表 52 带0型衰减器 (ATT_TYP0) 的高压输入

$V_S = 5.5\text{ V}$ 至 40 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 0	HV _{RNG0}	0	-	25.09	V	not calibrated	P_ADC1_02_01
Accuracy of measurement with ATT _{TYP0}	HV _{ACC0}	-250	-	250	mV	¹⁾ not calibrated	P_ADC1_02_02

1) 无需进行生产测试; 参照 V_{ino}

表 53 带1型衰减器 (ATT_TYP1) 的高压输入

$V_S = 5.5\text{ V}$ 至 40 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 1	HV _{RNG1}	0	-	35.555	V		P_ADC1_03_01
Accuracy of measurement with ATT _{TYP1} at input voltage range 1	HV _{ACC1_1}	-125	-	125	mV	¹⁾ with calibration enabled (CALENi=1); $0\text{V} < V_{IN} \leq 10.6\text{V}$	P_ADC1_03_03
Accuracy of measurement with ATT _{TYP1} at input voltage range 2	HV _{ACC1_2}	-150	-	150	mV	¹⁾ with calibration enabled (CALENi=1); $10.6\text{V} < V_{IN} \leq 17.7\text{V}$	P_ADC1_03_04
Accuracy of measurement with ATT _{TYP1} at input voltage range 3	HV _{ACC1_3}	-235	-	235	mV	¹⁾ with calibration enabled (CALENi=1); $17.7\text{V} < V_{IN} \leq 35.5\text{V}$	P_ADC1_03_02

1) 每个模拟输入的传输曲线有五个点; @热和@冷温度; 每个点取 16 次测量的平均值。

表 54 带2型衰减器 (ATT_TYP2) 的高压输入

$V_s = 5.5\text{ V}$ 至 40 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压均相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal MV input voltage range	MV_{RNG}	0	-	5	V	with calibration enabled (CALENi=1); in case VAREF is externally supplied the condition $VAREF < VDDP + 0.3\text{ V}$ must be met	P_ADC1_04_01
Accuracy of measurement with ATT_{TYP2}	MV_{ACC}	-35	-	35	mV	¹⁾ with calibration enabled (CALENi=1)	P_ADC1_04_02
Accuracy of measurement with ATT_{TYP2}	$MV_{\text{ACC_CSA}}$	-60	-	60	mV	for CSA (ADC1 channel 18); $G=40$; CTRL2.OFFS_SEL<1:0 $\geq 00_{\text{B}}$	P_ADC1_04_03
		-90	-	90	mV	for CSA (ADC1 channel 18)	P_ADC1_04_04

1) 每个模拟输入的传输曲线有五个点；@热和@冷温度；每个点取 16 次测量的平均值。

17 监测模拟数字转换器 2 (ADC2)

17.1 功能概述

ADC2 是一个逐次逼近型模数转换器，用于诊断内部系统电压。ADC2 有一个预先配置的转换序列，具有确定性的流程。它在后台完全自主运行，提供数字结果，并生成中断和互连事件。

ADC2 具有以下功能：

- A/D内核性能：
 - 所有模拟输入均为 10 位分辨率
 - 输入范围广，适用于典型值为 5 V 至 50 V 的中压和高压输入 (MV_{RNG} 、 $HV_{\text{RNG0/1/2/3}}$)
 - 典型精度高达输入范围的 1% (MV_{ACC} 、 $HV_{\text{ACC0/1/2/3}}$)
 - 快速采样时间 ($tsamp_{\text{MV}}$ 、 $tsamp_{\text{HV}}$)
 - 快速总转换时间 (MV 输入典型值 1 μs ，HV 输入典型值 2 μs)
- 模拟输入 ANx：
 - 8 个出厂校准的中间电压输入端 (范围 MV_{RNG})
 - 最多 7 个出厂校准的高压输入端 (量程 $HV_{\text{RNG0/1/2/3}}$)
 - 参考内部生成的 VREF1V2 基准电压 (参见[模拟基准电压生成 \(ARVG\)](#) 章节)
- 具有通道控制和结果生成的数字通道：
 - 每个模拟输入都分配给一个数字通道，并具有单独的结果寄存器
 - 预设 6 个数字通道，用于 BDRV 和 CANTRX 的监测和保护功能 (支持 NMI)
 - 2 个可自由选择的数字比较器，具有可编程的上限和下限阈值 (8 位)，用于用户定义的监测 (支持 IRQ)
 - 2 个可自由选择的具有可编程特性的一阶 IIR 滤波器，用于结果后处理
 - 用户软件可随时读取结果
- 定序器：
 - 预先编程了一个固定的转换序列，该序列在后台以循环方式自动运行
- 中断和 DMA：
 - ADC2 事件可能会产生 NMI
 - ADC2 事件可以映射到 2 个中断节点指针 (带有 2 条 IRQ 线)

17.2 框图

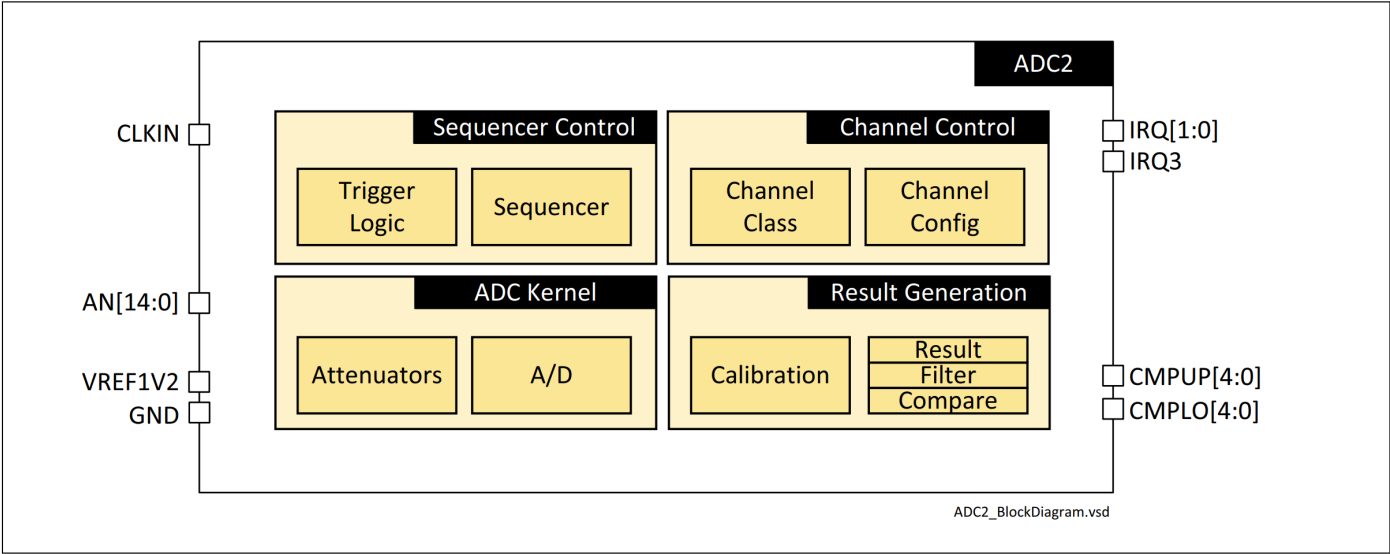


图 27 ADC2 框图

17.3 ADC2 电气特性

17.3.1 模数转换器 ADC2 特性

表 55 模数转换器 - 时序和交流特性参数

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Analog clock frequency	f_{ADC2}	5	-	40	MHz	Internal ADC2 clock derived from module input clock via CLKDIV	P_ADC2_02_02
Sampling time for high voltage inputs	$tsamp_{\text{HV}}$	1400	-	-	ns		P_ADC2_02_03
Sampling time for medium voltage input	$tsamp_{\text{MV}}$	400	-	-	ns		P_ADC2_02_05
RMS noise	RMS	0	-	1.8	LSB	^{1) 2)}	P_ADC2_02_10

1) 设计特性: 5000 个 $V_{\text{IN}}=4.75\text{ V}$ 时的样本; 1 sigma 时的值

2) 未经过生产测试, 由设计指定。

表 56 模数转换器 - DC 规格

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Differential nonlinearity	$DNLE$	-0.99	-	2	LSB	no missing codes	P_ADC2_03_01
Integral nonlinearity	$INLE$	-2	-	2	LSB	maximum deviation from linear best fit line	P_ADC2_03_02
Gain error	GE	-1.2	-	1.2	%	¹⁾	P_ADC2_03_03
Offset error	OE	-3	-	3	LSB	²⁾ $V_S=13.5\text{ V}$; $f_{\text{ADC2}}=30\text{ MHz}$	P_ADC2_03_04
Total unadjusted error	TUE	-8	-	8	LSB	²⁾	P_ADC2_03_05
On resistance of a HV analog input	$R_{\text{AON_HV}}$	4	5.5	7.5	k Ω	²⁾	P_ADC2_03_06
Input capacitance of a HV analog input	$C_{\text{AIN_HV}}$	80	180	310	fF	²⁾	P_ADC2_03_07

表 56 模数转换器 - 直流规格 (续)

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
On resistance of a MV analog input	RA_{ON_MV}	8	13	19	k Ω	²⁾	P_ADC2_03_08
Input capacitance of a MV analog input	CA_{IN_MV}	325	435	545	fF	²⁾	P_ADC2_03_09

1) 模拟输入校准后, 包括GE和VREF1V2的温漂; GE的温漂和VREF1V2的温漂可以相互补偿; GE是相对于满量程范围而言的; 半量程范围内的GE仅为满量程范围误差的一半

2) 未经过生产测试, 由设计指定。

17.3.2 衰减器特性

表 57 高压输入专用 0 型衰减器

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 0	HV_{RNG0}	0	-	25.83	V	$HV_{RNG0} = V_{REF1V2}(typ) / ATT_{TYP0}$	P_ADC2_04_01
Accuracy of measurement with ATT_{TYP0}	HV_{ACC0}	-220	-	220	mV	¹⁾	P_ADC2_04_02

1) 每个模拟输入的五条传输曲线点; @热和@冷温度; 每个点取 16 次测量的平均值

表 58 高压输入专用 1 型衰减器

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 1	HV_{RNG1}	0	-	31.00	V	$HV_{RNG1} = V_{REF1V2}(typ) / ATT_{TYP1}$	P_ADC2_05_01
Accuracy of measurement with ATT_{TYP1}	HV_{ACC1}	-250	-	250	mV	¹⁾ $V_S \geq 5.5\text{ V}$	P_ADC2_05_02
		-275	-	275	mV	¹⁾ $V_S < 5.5\text{ V}$	P_ADC2_05_03

1) 每个模拟输入的五条传输曲线点; @热和@冷温度; 每个点取 16 次测量的平均值

表 59 高压输入专用 2 型衰减器

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 2	HV_{RNG2}	0	-	51.67	V	$HV_{\text{RNG2}} = V_{\text{REF1V2}}(\text{typ}) / ATT_{\text{TYP2}}$	P_ADC2_06_01
Accuracy of measurement with ATT_{TYP2}	HV_{ACC2}	-500	-	500	mV	¹⁾	P_ADC2_06_02
		-450	-	450	mV	¹⁾ $T_j \leq 150^\circ\text{C}$	P_ADC2_06_03

1) 每个模拟输入的五条传输曲线点; @热和@冷温度; 每个点取 16 次测量的平均值

表 60 高压输入专用 3 型衰减器

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal HV input voltage range 3	HV_{RNG3}	0	-	8.15	V	$HV_{\text{RNG3}} = V_{\text{REF1V2}}(\text{typ}) / ATT_{\text{TYP3}}$	P_ADC2_07_01
Accuracy of measurement with ATT_{TYP3}	HV_{ACC3}	-100	-	100	mV	¹⁾	P_ADC2_07_02

1) 每个模拟输入的五条传输曲线点; @热和@冷温度; 每个点取 16 次测量的平均值

表 61 中压输入专用 4 型衰减器

$V_S = 3\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal MV input voltage range	MV_{RNG}	0	-	5.34	V	$MV_{\text{RNG}} = V_{\text{REF1V2}}(\text{typ}) / ATT_{\text{TYP4}}$	P_ADC2_08_01
Accuracy of measurement with ACC_{TYP4}	MV_{ACC}	-50	-	50	mV	¹⁾ MV measurements are dependent on V_{DDP} , therefore MV_{ACC} is valid for $V_{\text{IN}} < V_{\text{DDP}} + 0.2\text{ V}$	P_ADC2_08_02

1) 每个模拟输入的五条传输曲线点; @热和@冷温度; 每个点取 16 次测量的平均值

18 电流检测放大器 (CSA)

18.1 功能概述

电流检测放大器 (CSA) 在 图 28 中可用于通过 ADC1 测量近地差分电压。其增益和输出偏置电压可通过内部控制寄存器进行数字编程。

必须采用线性校准来实现高增益精度，例如线路末端校准，包含分流电阻。

图 28 显示电流检测放大器如何用作低边电流检测放大器，其中电机电流通过检流电阻 R_{SH} 转换为电压。使用电位放大器输入是为了消除由于杂散阻抗 R_{Stray} 的压降以及外部和内部接地之间的差异引起的测量误差。如果一个或两个输入 (CSAP/CSAN) 的电压超出工作范围，则必须考虑输入电路过载并且需要一定的指定恢复时间。

一般来说，外部低通滤波器应该抑制电磁干扰 (EMI) 。

CSA 具备以下功能：

- CSA 将近地差分输入电压放大为单端输出电压
- CSA 具有可编程增益设置：G = 10、20、40、60
- CSA 输出电压具有可编程偏移
- CSA 输出电压可以通过 ADC1 测量
- CSA 输出电压偏移可由 ADC1 测量，与 CSA 输入条件无关
- CSA 输出电压偏移源自 ADC1 基准电压 VAREF

18.2 框图

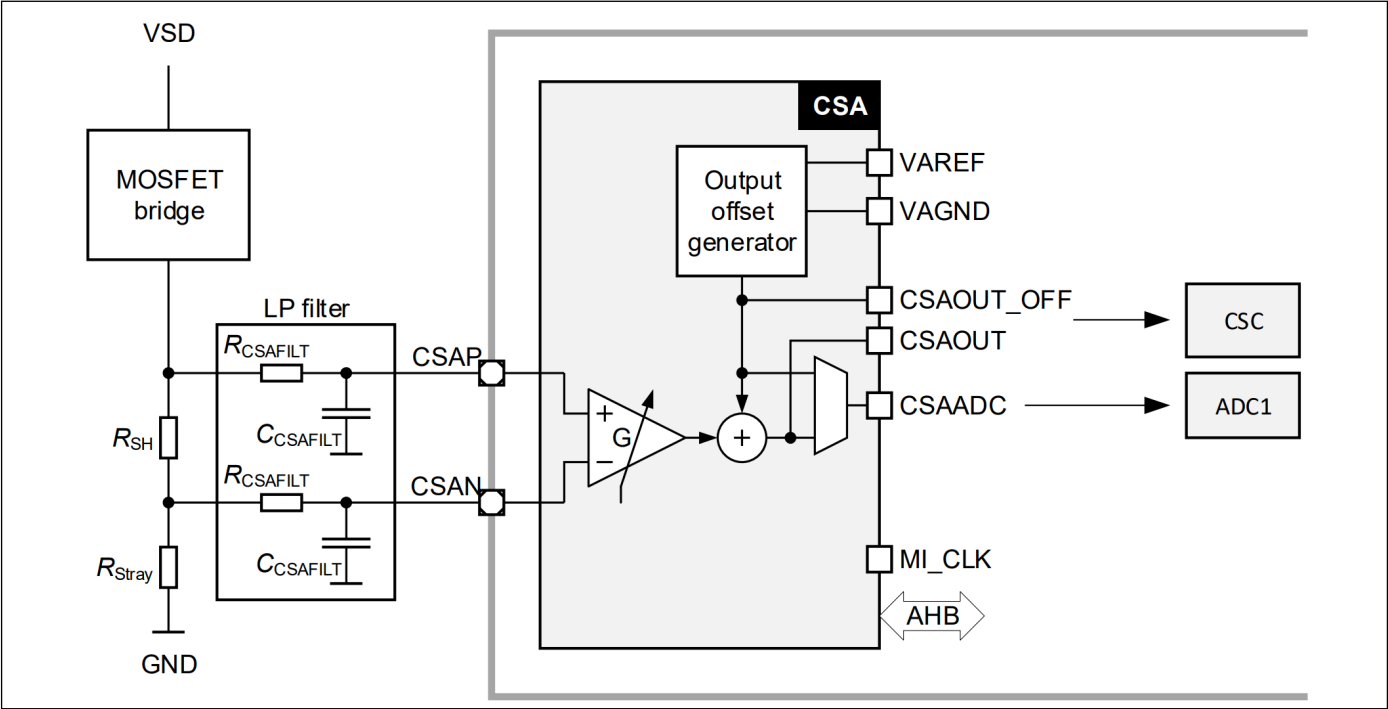


图 28 CSA 框图

18.3 CSA 电气特性

18.3.1 电气参数描述

Supply range	The CSA is operational for the whole VS supply range
Current consumption	The CSA contributes to the overall device current consumption for the operation modes active, stop, sleep. The overall targets must be achieved.
Differential linear input voltage range	• Difference of input voltages: $V_{CSAIN_DIFF} = V_{CSAP} - V_{CSAN}$ • Within this range the CSA characteristic is linear • Within this range the CSA errors are inside the specified limits • Symmetry of input voltage range depends on V_{CSAOUT_OFF}
Common mode input voltage range	Voltage range for V_{CSAP} and V_{CSAN}
Single-ended linear output voltage range	• Transfer function: $V_{CSAOUT} = V_{CSAOUT_OFF} + G * (V_{CSAP} - V_{CSAN})$ • Within this range the CSA characteristic is linear • Within this range the CSA errors are inside the specified limits
Output voltage offset range	• Defines V_{CSAOUT} under the condition $V_{CSAP} = V_{CSAN}$ • Determines the symmetry of input voltage range
Differential gain factor	• Nominal gain factors are 10, 20, 40, 60
Linearity error	• Maximum deviation from best fit line • 15 mV/1LSB12
Input differential mode offset	• Maximum differential input offset ($V_{CSAP} - V_{CSAN} = V_{INOFF}$) which is allowed to be added in order to get V_{CSAOUT_OFF} at the CSA output
Input resistance	Differential resistance between CSAP and CSAN input
Common mode rejection ratio	$CMRR = -20 * \log(\text{differential mode gain} / \text{common mode gain})$
Output settling time	Settling time upon a wide input range swing (into the saturation range)
Settling time after power on	Time the CSA needs to settle after power on

18.3.2 转移特性和错误定义

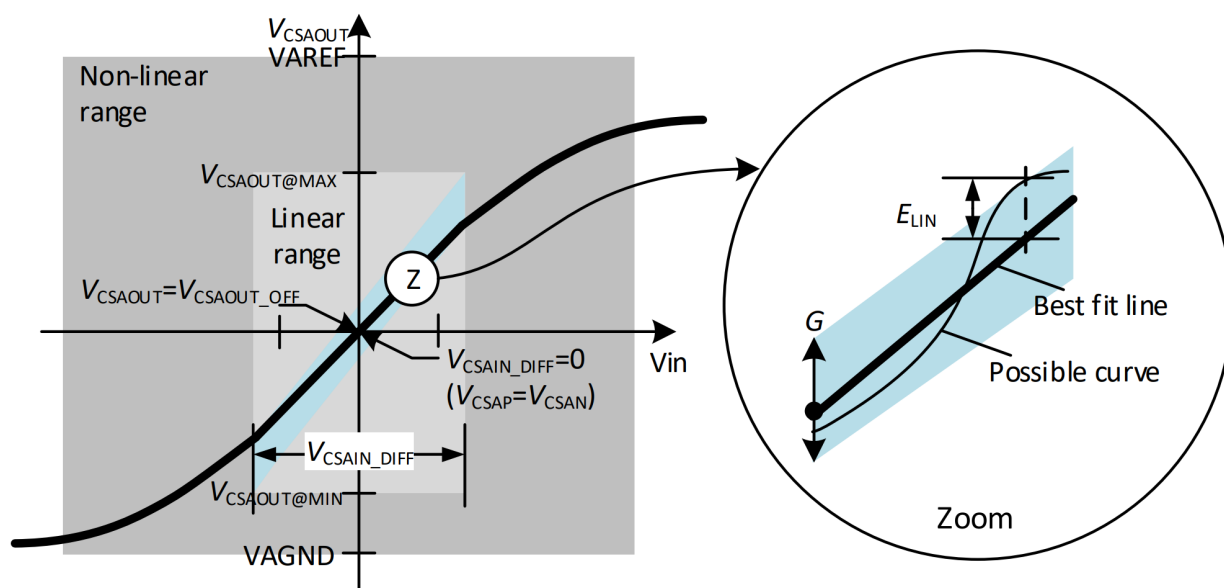


图 29 CSA转移特性

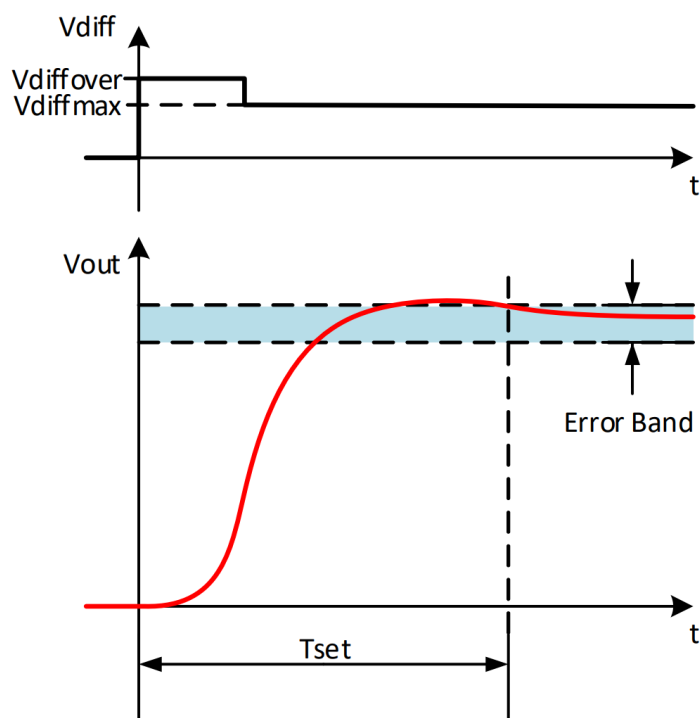


图 30 CSA 建立时间

18.3.3 CSA 特性

表 62 电流检测放大器电气特性

$V_s = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Differential Linear Input Voltage Range	V_{CSAIN_DIFF}	0	-	3 / G	V	$V_{CSAIN_DIFF} = V_{CSAP} - V_{CSAN}$, minimum setting for V_{CSAOUT_OFF}	P_CSA_01_09
		-1.5 / G	-	1.5 / G	V	$V_{CSAIN_DIFF} = V_{CSAP} - V_{CSAN}$, maximum setting for V_{CSAOUT_OFF}	P_CSA_01_10
Common Mode Input Voltage Range	V_{CSAx_CM}	-2.0	-	2.0	V		P_CSA_01_11
Single-Ended Linear Output Voltage Range	V_{CSAOUT}	0.39	-	3.5	V		P_CSA_01_12
Output Voltage Offset	V_{CSAOUT_OFF}	0.45	0.5	0.55	V	CTRL2.OFFS_SEL<1:0>>=00b	P_CSA_01_13
		0.95	1	1.05	V	CTRL2.OFFS_SEL<1:0>>=01b	P_CSA_01_27
		1.45	1.5	1.55	V	CTRL2.OFFS_SEL<1:0>>=10b	P_CSA_01_28
		1.95	2	2.05	V	CTRL2.OFFS_SEL<1:0>>=11b	P_CSA_01_29
Differential Gain	G	9.85	10	10.15		CTRL2.GAIN_SEL<1:0>=00 _B	P_CSA_01_14
		19.7	20	20.3		CTRL2.GAIN_SEL<1:0>=01 _B	P_CSA_01_15
		39.4	40	40.6		CTRL2.GAIN_SEL<1:0>=10 _B	P_CSA_01_16
		59.1	60	60.9		CTRL2.GAIN_SEL<1:0>=11 _B	P_CSA_01_17
Linearity error	E_{LIN}	-15	-	15	mV	maximum deviation from best fit line; G=40	P_CSA_01_18
Input Differential Mode Offset	V_{INOFF}	-1.3	-	1.3	mV	G=40; $V_{CSAN}=0\text{V}$; $V_{CSAP}=0\text{V}$; CTRL2.OFFS_SEL<1:0>>=00 _B	P_CSA_01_19
		-3	-	3	mV		P_CSA_01_31
Additional Input Offset	V_{CSAIN_OFF}	-15%	20	+15%	mV	CTRL2.ADD_INP_OFF S=1b	P_CSA_01_30

表 62 电流检测放大器的电气特性 (续)

$V_s = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input Bias Current	I_{CSAx}	-300	-	0	μA	$V_{CSAN}=0\text{V}; V_{CSAP}=0\text{V}$	P_CSA_01_20
Input Resistance	R_{IN}	1	1.3	1.6	$\text{k}\Omega$	Differential resistance between CSAP and CSAN	P_CSA_01_22
Common Mode Rejection Ratio	$CMRR_{CSA}$	58	80	-	dB	$V_{CSAP}-V_{CSAN}=0\text{V}; -2\text{V} \leq V_{CSAx} \leq 2\text{V}; G=40$	P_CSA_01_24
Output Settling Time	T_{SET}	-	800	1400	ns	Time until the CSA output voltage settles and stays within the error band under all input conditions	P_CSA_01_25

19 电流检测比较器 (CSC)

19.1 功能概述

电流检测比较器（CSC）用于快速检测并响应由电流检测器（CSA）通过分流测量所检测到的过流情况。

CSC 具备以下功能：

- CSC 将 CSA 的输出电压与可编程阈值电压进行比较，以检测流经分流器的正向过电流
- CSC 阈值电压源自 ADC1 基准电压
- CSC 提供可编程的滤波时间
- CSC 事件可触发 CCU7.CTRAP 事件
- CSC 事件可以触发中断请求
- CSC 事件可以安全关断桥接器驱动器输出（过流情况下安全关断）
- CSC 输出状态由易失性电平指示标志指示，显示实际状态
- CSC 输出状态由粘性状态标志指示，必须由软件清除
- CSC 输出状态由中断请求标志指示

19.2 框图

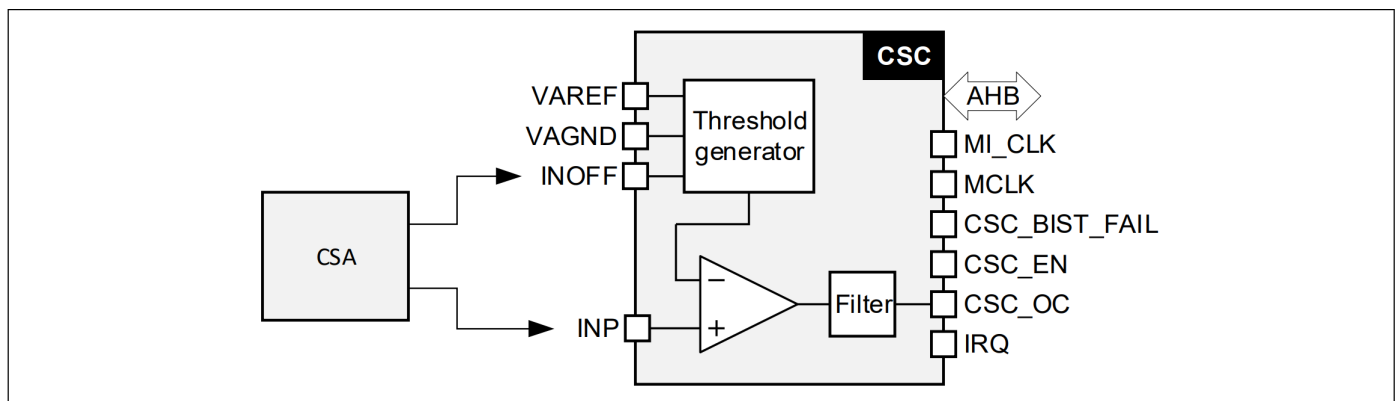


图 31 CSC框图

19.3 CSC 电气特性

19.3.1 CSC特性

表 63 电流检测比较器的电气特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CSC overcurrent threshold	V_{CSC_THR}	V_{CSAOU} T_{OFF}	-	3.5	V	programmable by SFR	P_CSC_01_01
CSC filter time	t_{CSC_FLT}	1.7	2	2.3	μs	CTRL2.TFILT_SEL=00 b	P_CSC_01_02
		3.6	4	4.4	μs	CTRL2.TFILT_SEL=01 b	P_CSC_01_03
		5.5	6	6.5	μs	CTRL2.TFILT_SEL=10 b	P_CSC_01_04
		7.5	8	8.5	μs	CTRL2.TFILT_SEL=11 b	P_CSC_01_05
CSC reaction time	t_{CSC_REACT}	-	-	2	μs		P_CSC_01_10

20 温度传感器单元 (TMPSNS)

20.1 功能概述

该SoC集成了多个分布在芯片各处的温度传感器。这些监控器位于关键区块并与之相关联，例如：

- PMU模块 (VDDP和VDDEXT线性稳压器)
- CAN收发器模块
- 栅极驱动器模块 (2级电荷泵)，TEMP0
- 片上系统磁芯逻辑，TEMP1

本章介绍温度传感器 TEMP0 和 TEMP1 的特性。与PMU和CAN收发器相关的过温保护机制在相应的模块章节中进行了描述。

TMPSNS 具有以下功能：

- 两个专用温度传感器，用于测量不同位置的片上温度：
 - TEMP0 测量栅极驱动器模块电荷泵中的芯片温度
 - TEMP1 测量芯片中心的芯片温度 (即系统温度)
- 在整个 $T_j = -40^{\circ}\text{C}$ 至 $+175^{\circ}\text{C}$ 温度范围内，正极输出斜率为 $2.5 \text{ mV}/^{\circ}\text{C}$ (典型值)
- 温度传感器内部连接到多输入模数转换器 (ADC2)。ADC2后处理和数字比较器功能用于背景温度监测
- 当电荷泵 (TEMP0) 中的芯片温度超过阈值 (典型值 190°C) 时，ADC2 会发出过温关断标志 (CP_OT)。
- 当系统温度 (TEMP1) 超过阈值 (典型值 135°C) 时，ADC2 会发出过温警告标志 (SYS_OTWARN)。
- 当系统温度 (TEMP1) 超过阈值 (典型值 190°C) 时，ADC2 会发出过温关断标志 (SYS_OT)。该事件会将片上系统自动切换至故障休眠系统电源模式 (详见 WAKE_FAIL_STS.SYS_OT 位说明)

20.2 框图

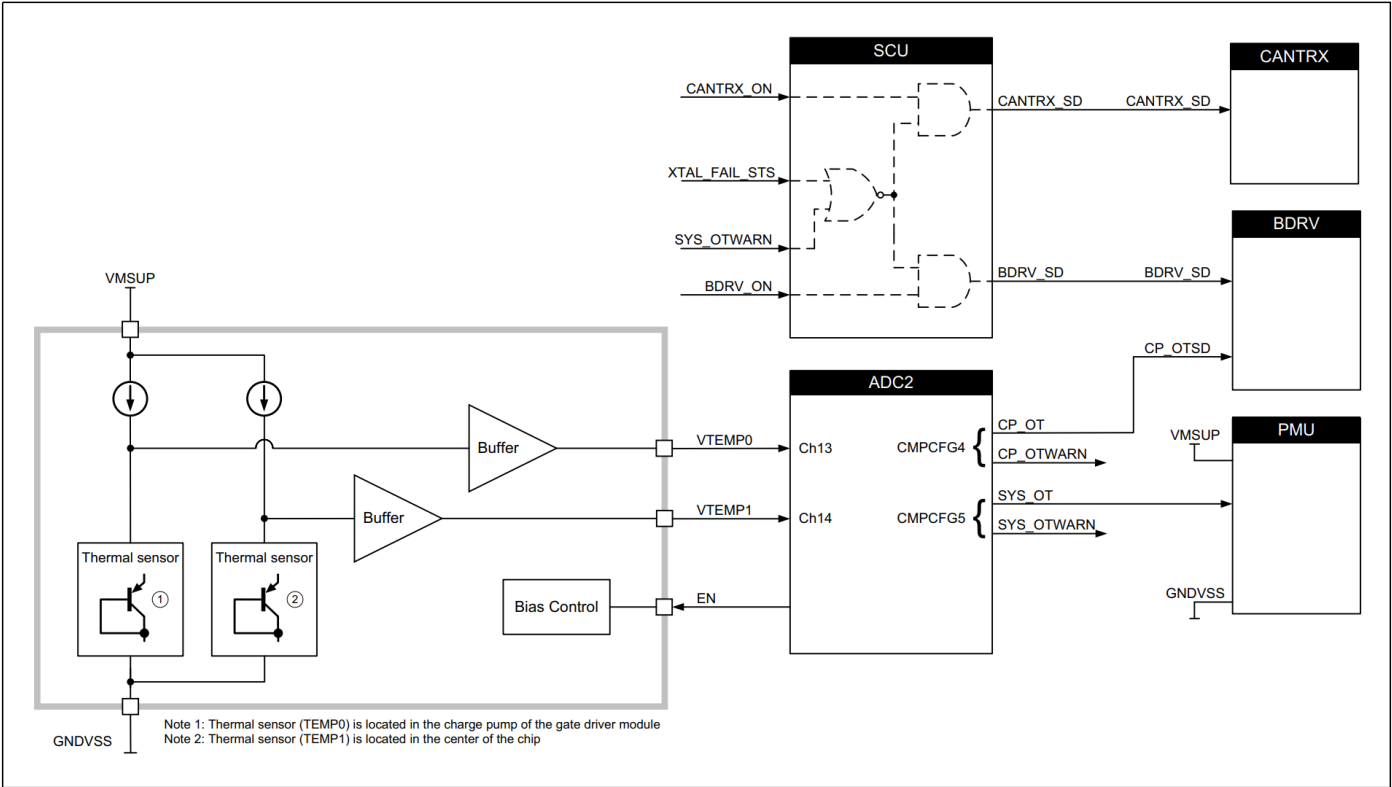


图 32 TSPSNS框图

20.3 TMPSNS电气特性

20.3.1 TMPSNS 特性

表 64 温度传感器参数规格

$V_s = 3\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压均相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Accuracy 1	Acc_1	-10	-	10	K	$-40^\circ\text{C} < T_j < 85^\circ\text{C}$	P_TEMP_02_04
Accuracy 2	Acc_2	-10	-	10	K	$125^\circ\text{C} < T_j < 175^\circ\text{C}$	P_TEMP_02_05
Accuracy 3	Acc_3	-5	-	5	K	$85^\circ\text{C} \leq T_j \leq 125^\circ\text{C}$	P_TEMP_02_06
Offset coefficient (a)	a	-	678	-	mV	¹⁾	P_TEMP_02_07
Gain coefficient (b)	b	-	2.5	-	mV/ $^\circ\text{C}$	¹⁾	P_TEMP_02_08

1) 无需经过生产测试，由设计指定。

表 65 系统热关断

$V_s = 3\text{ V}$ 至 28 V ，0 级器件： $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，1 级器件： $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压均相对于接地，正向流入引脚的电流（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
System Thermal Shutdown Threshold	$T_{j_SYS_TSD}$	180	190	200	$^\circ\text{C}$		P_TEMP_03_01
Bridge Driver Thermal Shutdown Threshold	$T_{j_BDRV_TSD}$	180	190	200	$^\circ\text{C}$		P_TEMP_03_02

21 BEMF 比较器 (BEMFC)

21.1 功能概述

无刷直流电机可利用反电动势 (BEMF) 信号完成转子位置检测。该 BEMF 信号始终在当前未工作的相位中进行检测。因此，在电机的每一相电路中，比较器会将反电动势电压与由另外两相电机电路构成的虚拟中性点进行比对，并通过后续处理功能生成有效的过零信号。

BEMFC 具备以下特性：

- BEMF 比较器模块由 3 个 BEMF 比较器组成，每个 SHx 引脚一个
- BEMF 比较器将相应 SHx 引脚上的电压与“虚拟星点”电压进行比较，该电压是其余两个 SHy 和 SHz 引脚上的电压的平均值（参见 V_{BEMFC_TH} ）
- BEMF 比较器提供较短的建立时间 t_{BEMFC_D}
- 如果不需要，可以关闭 BEMF 比较器，以避免额外的功耗以及在关机模式下产生不必要的输入电流
- BEMF 比较器的输出信号通过可编程滤波时间进行尖峰滤波
- 每台 BEMF 比较器均配备一个消隐滤波器，可在切换相应电机相位后，在可编程的时间内启用该滤波器以抑制振荡
- BEMF 比较器都有一个去磁滤波器，可以自动从 BEMF 比较器输出信号中去磁脉冲，从而仅获得有效的过零事件
- BEMF 比较器状态在上升沿和/或下降沿发生变化时可触发中断

21.2 框图

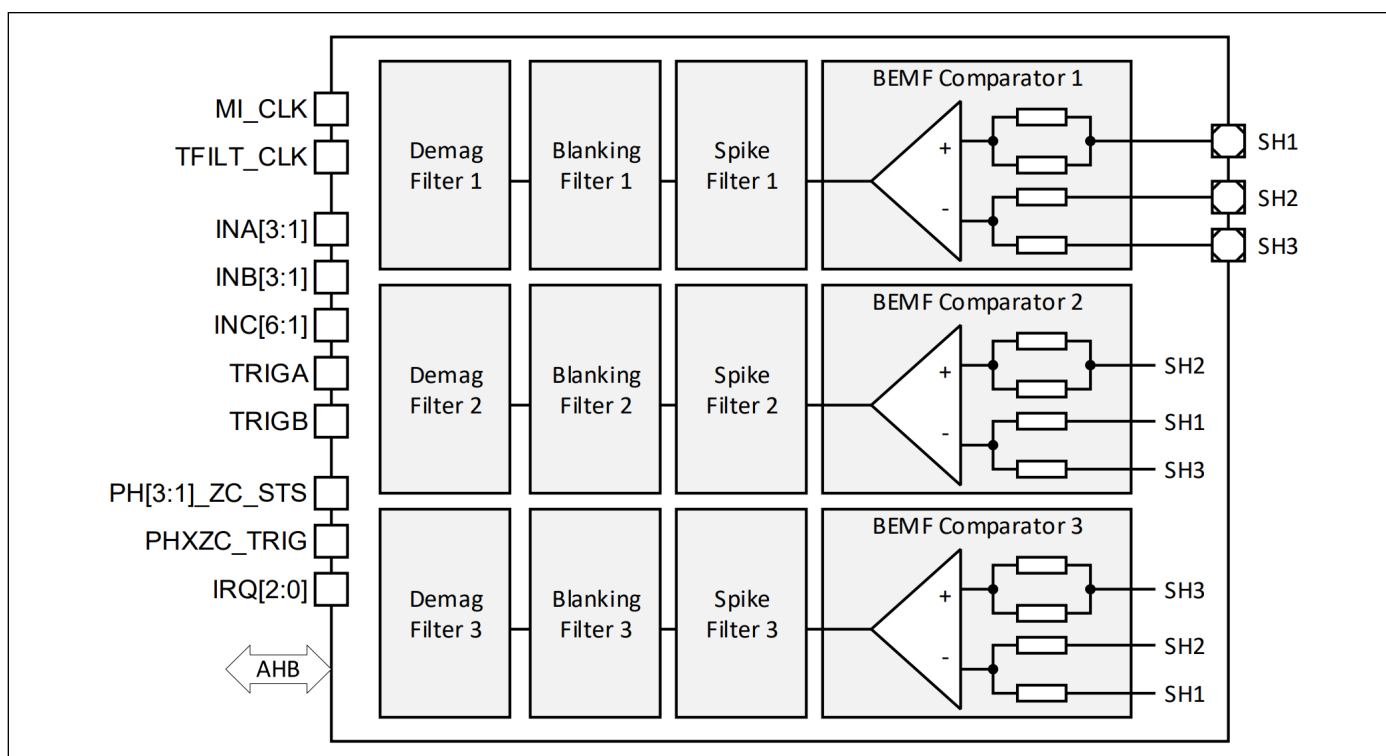


图 33 BEMFC框图

21.3 BEMFC电气特性

21.3.1 阈值和迟滞

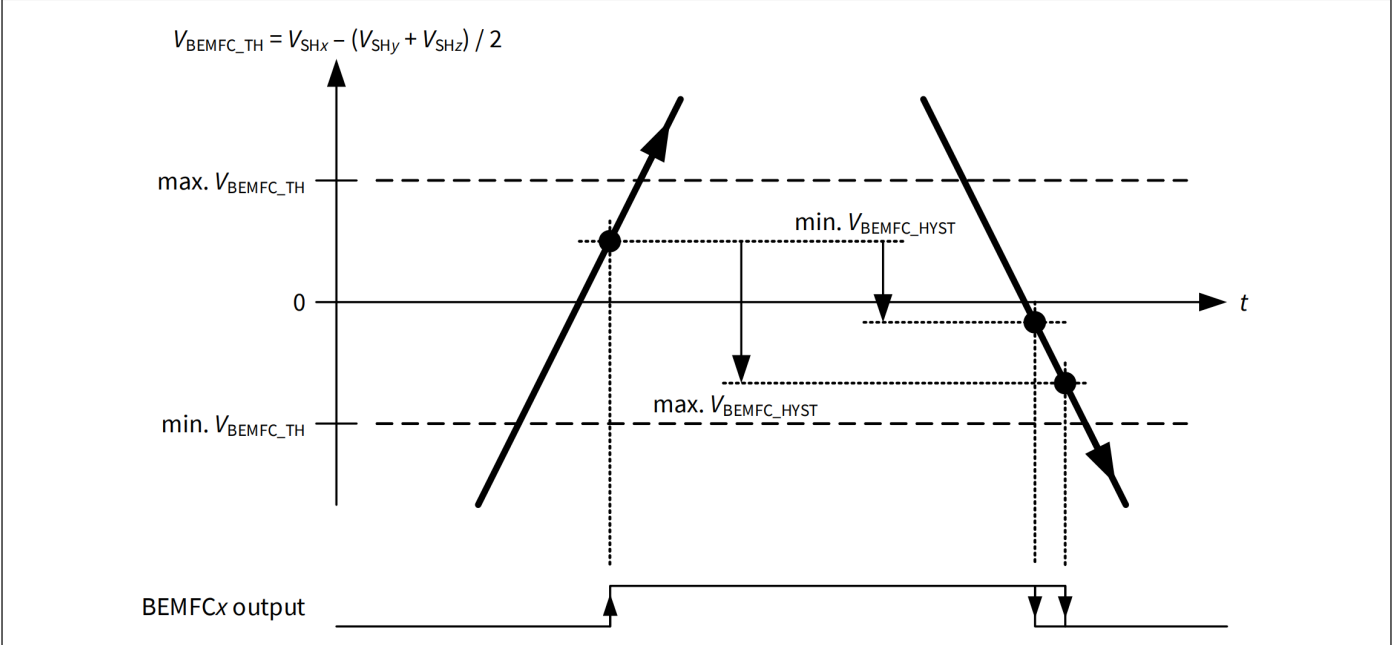


图 34 BEMFC 阈值和迟滞定义

21.3.2 BEMFC 特性

表 66 电气特性

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Detection threshold	V_{BEMFC_TH}	-50	-	50	mV	1) 2)	P_BEMFC_01_01
Comparator hysteresis	V_{BEMFC_HYST}	5	-	40	mV		P_BEMFC_01_02
Comparator delay	t_{BEMFC_D}	-	-	1	μs	Voltage step on V_{SHx} from 0 V to $V_{SD} + 500\text{ mV}$; $V_{SHy}=0\text{V}$; $V_{SHz}=V_{SD}$	P_BEMFC_01_03

1) 与"虚拟星点" 进行比较: $V_{BEMFC_TH} = V_{SHx} - (V_{SHy} + V_{SHz}) / 2$

2) 未经过生产测试, 由设计指定。

22 Σ - Δ ADC (SDADC)

22.1 功能概述

模块包含一个 Σ - Δ ADC (SDADC)，具有两个独立通道，包含输入级、二阶调制器、三阶 CIC 滤波器、结果处理和同步功能。SDADC 针对外部 AMR/GMR/TMR 类型传感器的使用进行了优化。应用配置如图 35 所示，框图如图 36 所示。

SDADC 具有以下功能：

- 性能
 - 采样频率高达 20 MHz（典型值）， $MCLK$ ， f_s
 - 输入频率高达 1 kHz（典型值）， f_{IN}
 - 线性输入范围为 $\pm 3.75V$ （典型值）， V_{DIFF_lin}
 - 均方根噪声小于 1 mV（典型值）， V_{rms}
 - SNDR 72 dB（典型值）， $SNDR$
- 输入级
 - 可配置为差分或单端输入类型
 - 两种可能的输入可选，以便同时使用两个传感器多路复用
 - 偏移补偿特点
- 调制器（二阶类型）
 - 正常模式（同时使用调制器和解调器）
 - 外部解调器模式（调制器的输出为替换功能，解调器外部）
 - 外部调制器模式（调制器旁路，解调器通过 GPIO 输入）
 - 用于消除死区和降低空闲音的抖动单元
- 解调器（三阶 CIC 滤波器类型）
 - 线性可编程抽取因子 (DECF) 从 16 到 512，具有自动结果缩放功能
 - 16 位有符号滤波器结果 (s16 格式，内部为 s29)
 - 两种滤波器模式：连续或触发（与 PWM 同步功能）
 - 在外部触发时添加时间戳以记录结果的生成时间（与 PWM 的同步功能）
 - 可编程数字比较器阈值三种模式（范围、过压、欠压）
- 中断、DMA 和事件
 - SDADC 事件可以映射到 2 个中断节点指针（带有 2 条 IRQ 线）
 - 结果事件可映射为 2 个 DMA 请求
 - 比较事件连接到 GPIO、CCU7 和 GPT12

22.2 框图

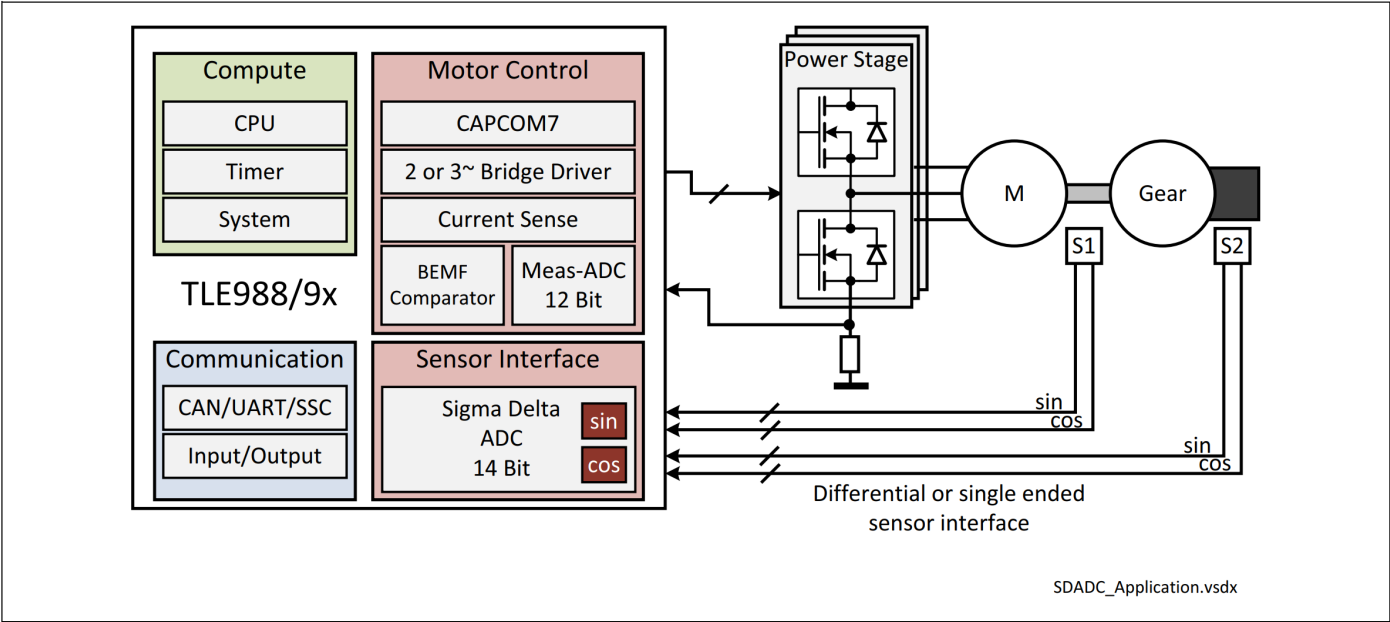


图 35 SDADC应用框图

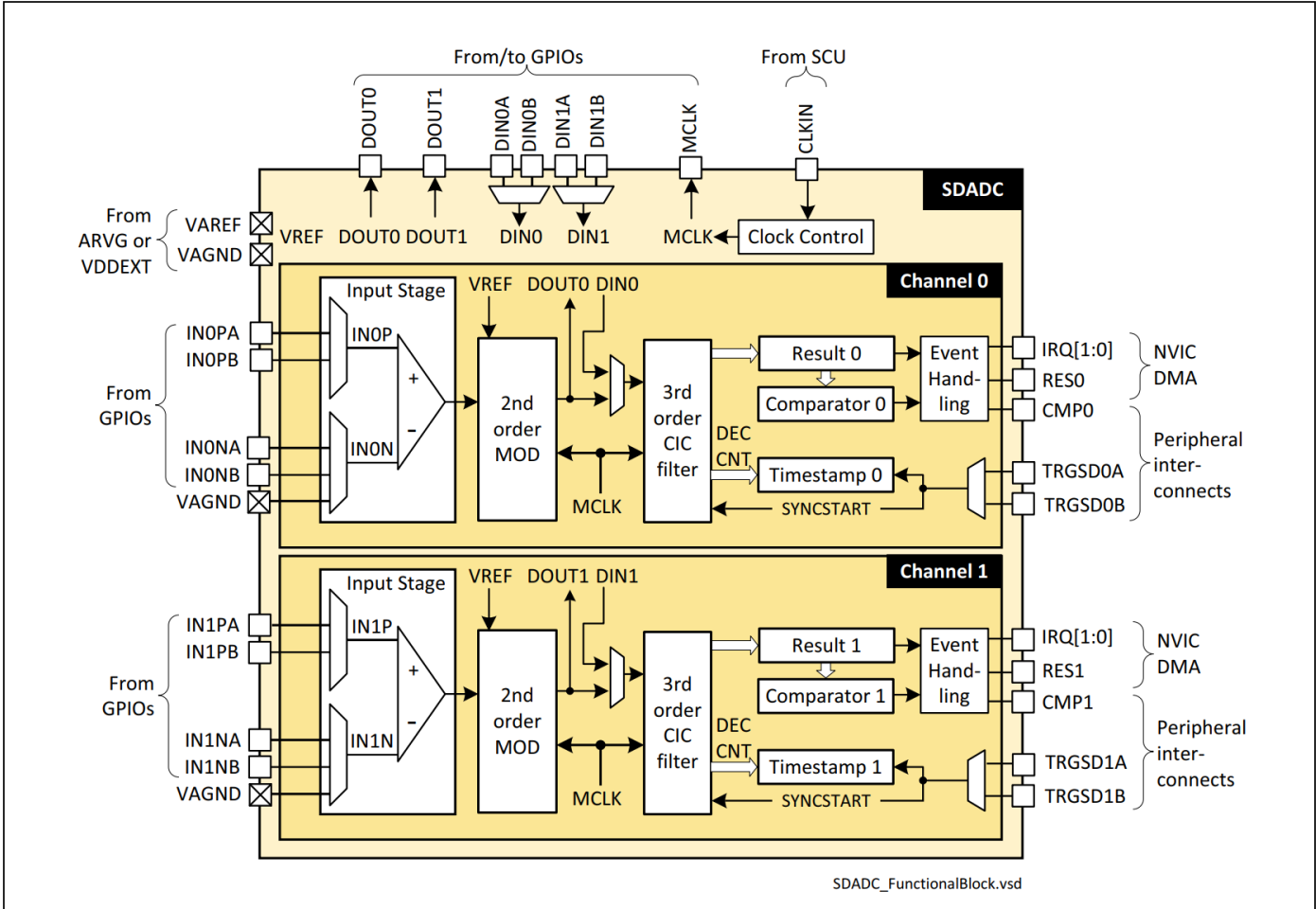


图 36 SDADC 框图

22.3 SDADC电气特性

22.3.1 SDADC 特性

表 67 SDADC 特性

$V_S = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Sampling frequency	f_s	5	-	20	MHz	f_s is identical to MCLK	P_SDADC_01_02
Decimation factor	DECF	16	-	512			P_SDADC_01_03
Input voltage	V_{IN}	0	-	VAREF	V	Input voltage on SDADC.INxP or SDADC.INxN $x=\{0,1\}$	P_SDADC_01_04
Differential linear input voltage	V_{DIFF_lin}	-3.75	-	3.75	V	$V_{DIFF} = V_{INxP} - V_{INxN}$; V_{INxP}, V_{INxN} within V_{IN} range; $x=\{0,1\}$	P_SDADC_01_06
Differential non-linear input voltage	V_{DIFF_nonlin}	-4	-	4	V	$V_{DIFF} = V_{INxP} - V_{INxN}$; V_{INxP}, V_{INxN} within V_{IN} range; $x=\{0,1\}$	P_SDADC_01_07
Single ended linear input voltage	V_{SINGL_lin}	0	-	3.75	V	$V_{SINGL} = V_{INxP}$; $V_{INxN} = 0\text{ V}$; $x=\{0,1\}$	P_SDADC_01_08
Single ended non-linear input voltage	V_{SINGL_nonlin}	0	-	4	V	$V_{SINGL} = V_{INxP}$; $V_{INxN} = 0\text{ V}$; $x=\{0,1\}$	P_SDADC_01_09
Full scale voltage	V_{FS}	3.75	-	-	V	At $V_{DIFF} = \pm V_{FS}$; $RESULT_{max}$ resp. $RESULT_{min}$ is reached (defined as linear voltage range)	P_SDADC_01_10
Input frequency	f_{IN}	0	-	1	kHz		P_SDADC_01_11
RMS noise	V_{RMS}	-	0.69	2.4	mV	¹⁾ Tested with DECF = 128 and VREF = VREF5V	P_SDADC_01_12
Effective resolution	ERES	10.61	12.4	-	Bits	¹⁾ Calculated, $ERES = \lg(V_{FS}/V_{RMS})$	P_SDADC_01_13
Effective number of bits	ENOB	-	11.7	-	Bits	¹⁾ $ENOB = (SNDR - 1.76\text{dB}) / 6.02\text{dB}$	P_SDADC_01_14
SNDR with a fully differential sinus - 6dBFS	SNDR	-	72	-	dB	¹⁾ Characterized, not tested in production	P_SDADC_01_15

表 67 SDADC 特性 (续)

$V_s = 5.5\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于接地, 正向流入引脚的电流 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Filter result linear range	$RESULT_{lin}$	-16384	-	16383	LSB	Linear range, represented in two's complement; $RESULT = (V_{DIFF} / V_{REF}) \times GAIN \times (2^{14} - 1)$	P_SDADC_01_16
Filter result non-linear range	$RESULT_{nonlin}$	-32768	-	32767	LSB	Linear range, represented in two's complement; $RESULT = (V_{DIFF} / V_{REF}) \times GAIN \times (2^{14} - 1)$	P_SDADC_01_17
Input gain	$GAIN$	-	4/3	-		²⁾	P_SDADC_01_18
Gain ratio	G_R	0.99	-	1.01		$G_R = G_{CH0} / G_{CH1}$; channel mismatch due to gain mismatch	P_SDADC_01_19
Dynamic input impedance	Z_{IN}	0.1	0.25	1	MΩ	¹⁾ $Z_{IN} = 1 / (2 \times f_s \times C_{IN})$	P_SDADC_01_21
Power up time	t_{up}	-	-	100	μs	Time after module RESET inactive to analog part in operating condition	P_SDADC_01_23
Coupling factor for negative overload current	$KOVAN$	-	-	0.0001		³⁾ ⁴⁾ ¹⁾	P_SDADC_01_24
Coupling factor for positive overload current	$KOVAP$	-	-	0.0001		³⁾ ¹⁾	P_SDADC_01_25

1) 未经过生产测试, 由设计指定。

2) 设计使然

3) 过载耦合因素 $KOVAN/KOVAP$ (K) 定义了一个引脚处的过载条件 (I_{ov}) 与进入一个引脚的漏电流 ($I_{leaktot}$) 的最坏情况关系: $I_{leaktot} = \pm K \times |I_{ov}| + I_{oz1}$ 。因此, 过载条件可能会在相邻的模拟输入引脚处产生额外的误差电压。

4) 以下运行模式允许过载电流: 无电模式、有源模式和睡眠模式。

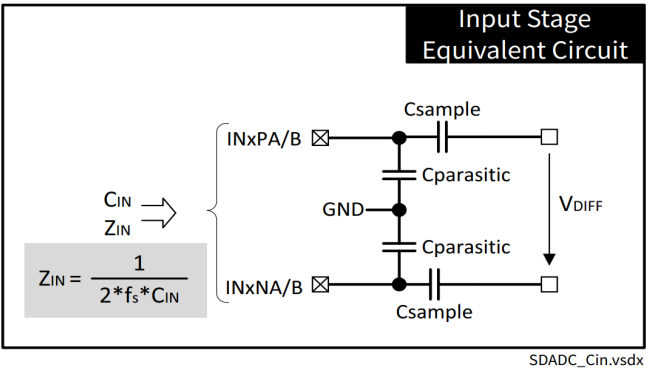


图 37 输入级等效电路

23 定时器 20 (T20) 和定时器 21 (T21)

23.1 功能概述

实现了两个功能相同的定时器：定时器 20 和定时器 21。描述也使用名称Timer2。

定时器模块是通用 16 位定时器。Timer2 在其每种模式下均可用作计时器或计数器。作为定时器，它使用 $f_{T2_CLK}/12$ 的输入时钟进行计数（如果预分频被禁用）。作为计数器，Timer2 对引脚 T2 上的 1 到 0 转换进行计数。在计数模式下，计数的最大精度为 $f_{T2_CLK}/24$ （如果禁用预分频）。

T20 和 T21 具有以下功能：

- 16 位自动重载模式
 - 可选择递增或递减计数
- 单通道16位捕获模式
- T20 和 T21 可配置为 ADC1 的触发源

23.1.1 框图

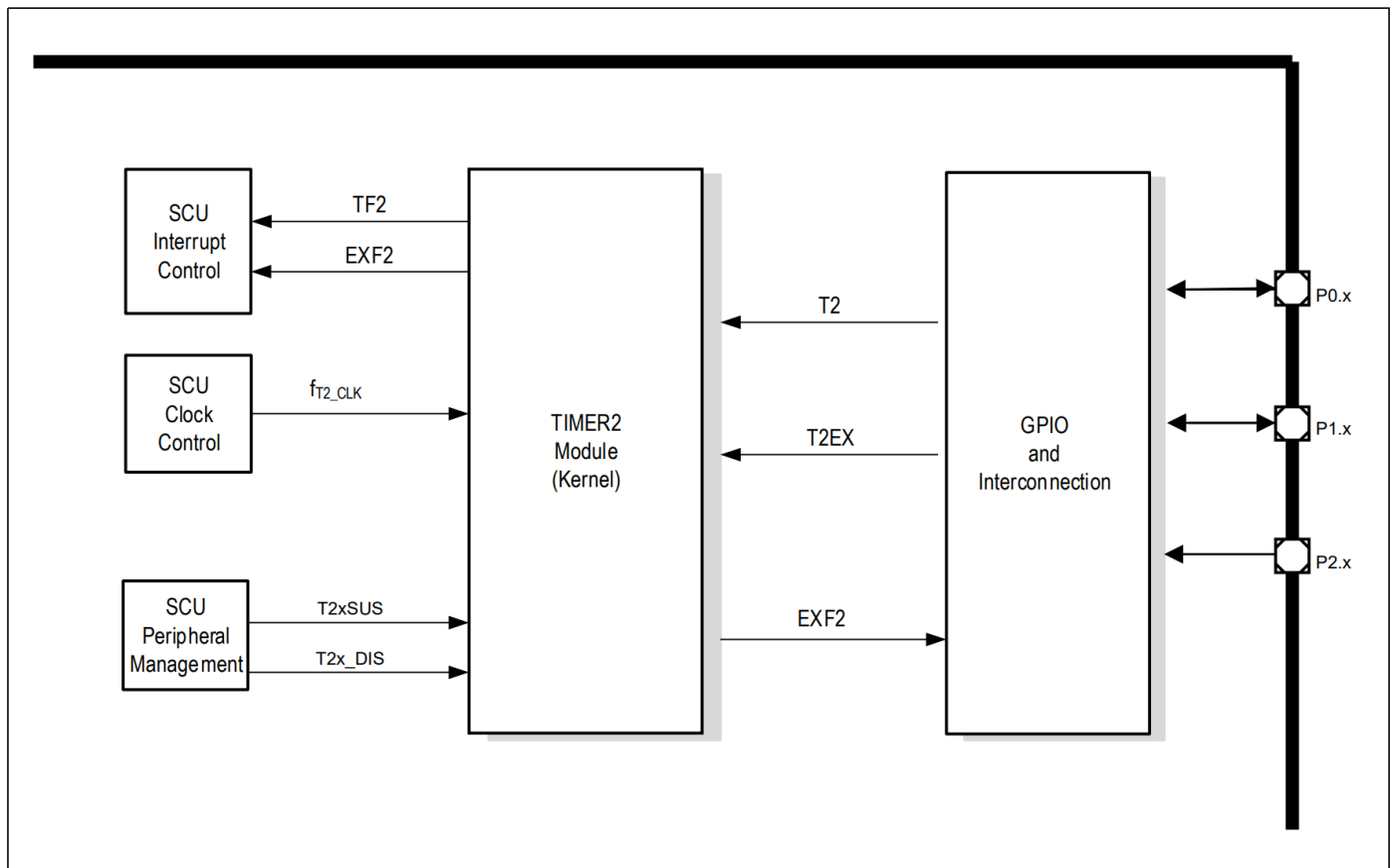


图 38 Timer2 框图

24 通用定时器单元 (GPT12)

24.1 功能概述

通用定时器单元 GPT1 和 GPT2 具有非常灵活的多功能定时器结构，可用于时序、事件计数、脉冲宽度测量、脉冲生成、频率倍增和其他目的。

它们包含五个 16 位定时器，分为两个定时器块 GPT1 和 GPT2。每个功能块中的每个计时器可以以多种不同模式独立操作，例如门控计时器或计数器模式，或者可以与同一功能块的另一个计时器串联。

每个功能块都有备用的输入/输出功能和与之相关的特定中断。输入信号可从多个信号源中选择。

GPT 模块的时钟由时钟 $f_{\text{GPT_CLK}}$ 提供。

GPT12 提供以下功能：

- 功能块 GPT1 的特点：
 - 最大分辨率 $f_{\text{GPT_CLK}}/4$
 - 3个独立定时器/计数器
 - 定时器/计数器可以连接
 - 4种运行模式：
 - 定时器模式
 - 门控定时器模式
 - 计数器模式
 - 增量接口模式
 - 重新加载和捕获功能
- 功能块 GPT2 的特点：
 - 最大分辨率 $f_{\text{GPT}}/2$
 - 2个独立定时器/计数器
 - 定时器/计数器可以连接
 - 3种运行模式：
 - 定时器模式
 - 门控定时器模式
 - 计数器模式
 - 扩展捕获/重新加载功能

24.2 框图

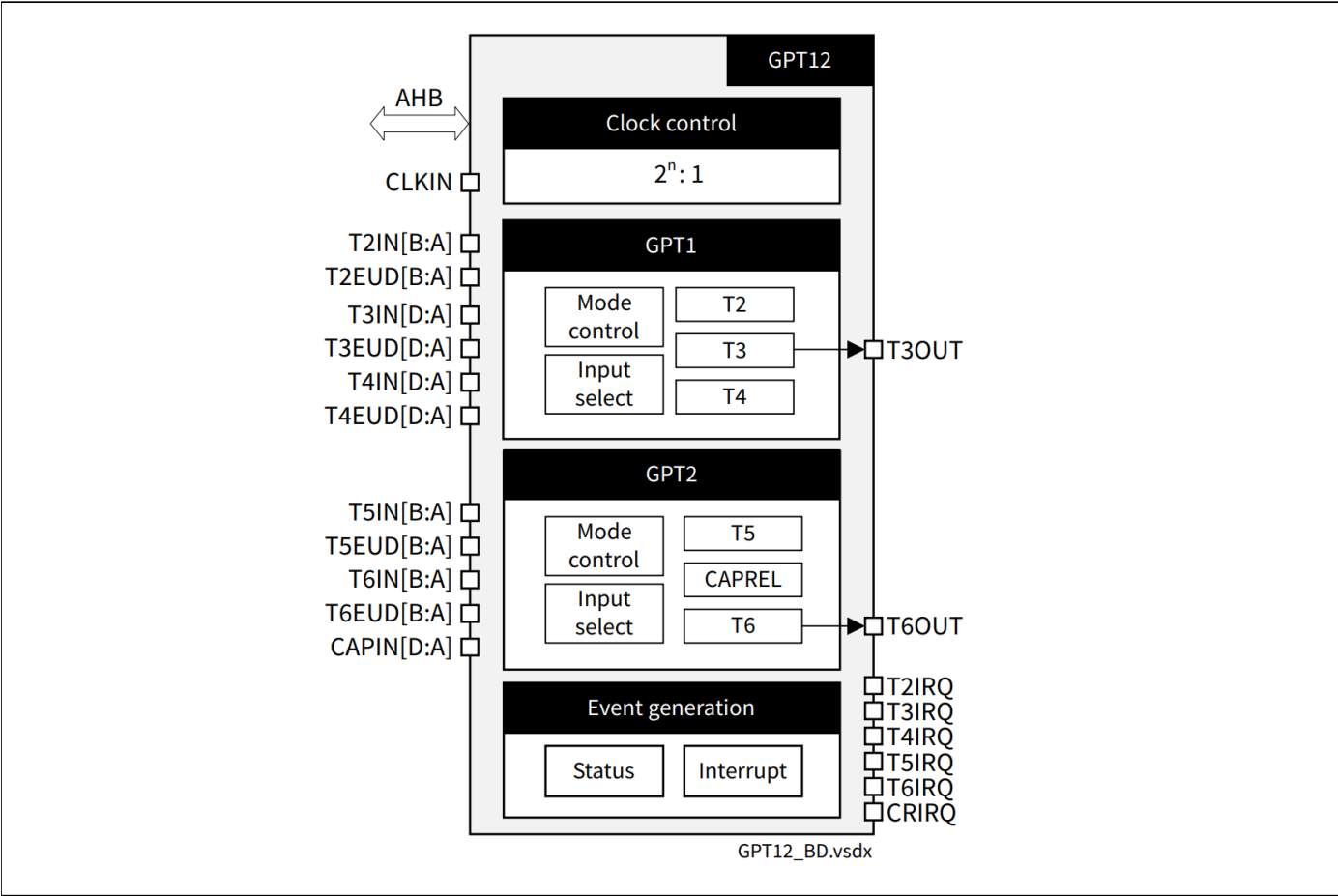


图 39 GPT12 框图

25 捕获/比较单元 7 (CCU7)

25.1 功能概述

CCU7 是一款高分辨率 16 位捕获和比较单元，具有特定应用模式，主要用于交流驱动控制。特殊操作模式支持使用霍尔传感器或反电动势检测来控制无刷直流电机。此外，还支持多相电机的分段换相及各类控制机制。

本章概述了各种构建模块及其主要特点。

CCU7 具备以下功能：

- 定时器 T12 模块功能：
 - 六个比较通道
 - 支持生成三相PWM（六路输出，高侧和低侧开关分别独立输出信号）
 - 16 位分辨率，最大计数频率（外设时钟）
 - 对每个通道进行死区时间控制，以避免功率级发生短路
 - T12 寄存器的并发更新
 - 可生成中心对齐和边缘对齐的PWM，以及上升沿和持续时间PWM脉冲
 - 支持单次触发模式（Single-shot mode）
 - 启动可以由外部事件控制
 - 能够对外部事件进行计数
- 定时器 T13 模块功能：
 - 一个独立的比较通道，带有一个输出
 - 16 位分辨率，最大计数频率（外设时钟）
 - T13 寄存器的并发更新
 - 可同步至T12
 - 周期匹配与比对匹配下的事件生成
 - 支持单次触发模式（Single-shot mode）
 - 启动可以由外部事件控制
 - 能够对外部事件进行计数
- 定时器T14、T15和T16功能块特点：
 - 每个都带有一个独立的比较通道，配有一个输出端口
 - 16位分辨率，最大计数频率（模块时钟）
 - 对每个通道进行死区时间控制，以避免功率级发生短路
 - T14、T15 和 T16 寄存器的同时更新
 - 可同步至T12
 - 周期匹配与比对匹配下的事件生成
 - 支持单次触发模式（Single-shot mode）
 - 启动可以由外部事件控制
 - 能够对外部事件进行计数

- 附加的特定功能：
 - 支持基于可编程状态模式、事件触发下一状态切换以及后台转速捕获的无刷直流驱动器的块换向
 - 带噪声滤波器的可编程霍尔传感器模式检测
 - 集成错误处理
 - 通过外部信号（CTRAP）快速紧急停止，无需 CPU 负载
 - 多通道交流驱动器的控制模式
 - 输出电平可根据功率级进行选择和调整

25.2 框图

CCU7 由具有六个捕获/比较通道的计时器 T12 功能块和各具有一个比较通道的计时器 T13、T14、T15 和 T16 功能块组成。T12 通道可独立生成 PWM 信号或接受捕捉触发器，也可合作生成控制信号模式，以驱动直流电机或逆变器。

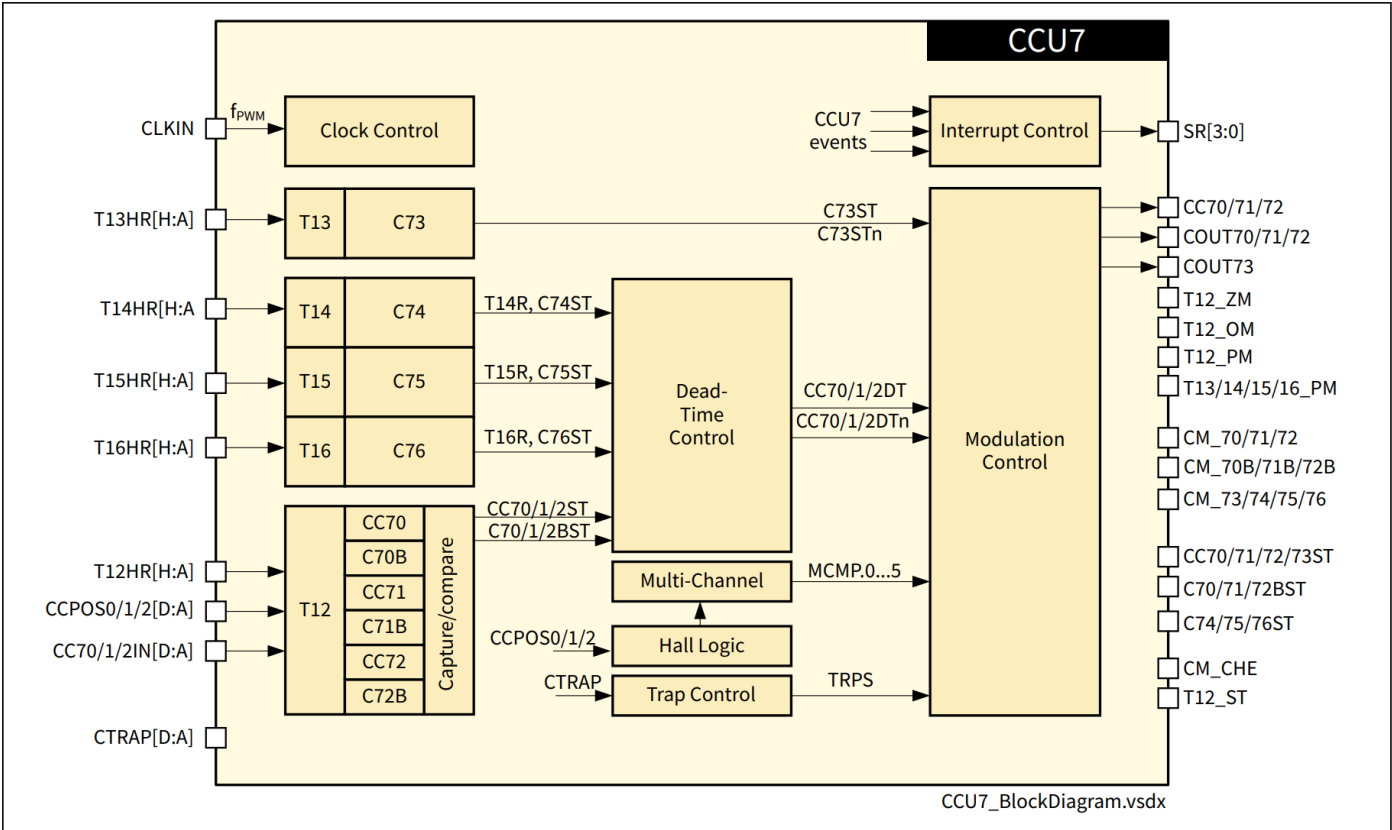


图 40 CCU7 框图

26 桥接器驱动器 (BDRV)

26.1 功能概述

BDRV 模块由 6 个栅极驱动器组成，用于控制外部标准电平 n 沟道 MOSFET，这些 MOSFET 排列成 3 个半桥，适用于三相电机控制应用。

BDRV 具备以下功能：

- 通过 SFR 对桥式驱动器模块、CCU7 模块的 PWM 输出信号或 GPIO 的其他功能进行灵活控制
- 电流驱动型输出级，用于控制外部 n 沟道 MOSFET 栅极，并具有灵活可编程的栅极电流波形
- 可调式交叉导通保护
- 高电流放电模式可减少死区时间，并在快速瞬变期间保持外部 MOSFET 关断
- 安全的关闭路径，用于在发生错误时以规定的方式关闭桥式驱动器
- 如果桥接器驱动器被禁用，无源下拉模式可保持外部 MOSFET 关闭
- 具有降低功耗功能的主动制动模式，用于静态开启外部 MOSFET
- 开/关延迟和开/关斜率持续时间的时序测量
- 自适应控制模式，可自动调节栅极电流值
- 集成式两级充电泵，适用于低电压工作及静态 MOSFET 栅极控制
- 桥接器驱动器供电电压 (VSD) 和桥接器输出电压 (VCP) 的可调电压监测
- 开启和关闭状态下的可调节短路检测
- 停机状态下的空载检测
- 过温检测及关断

26.2 框图

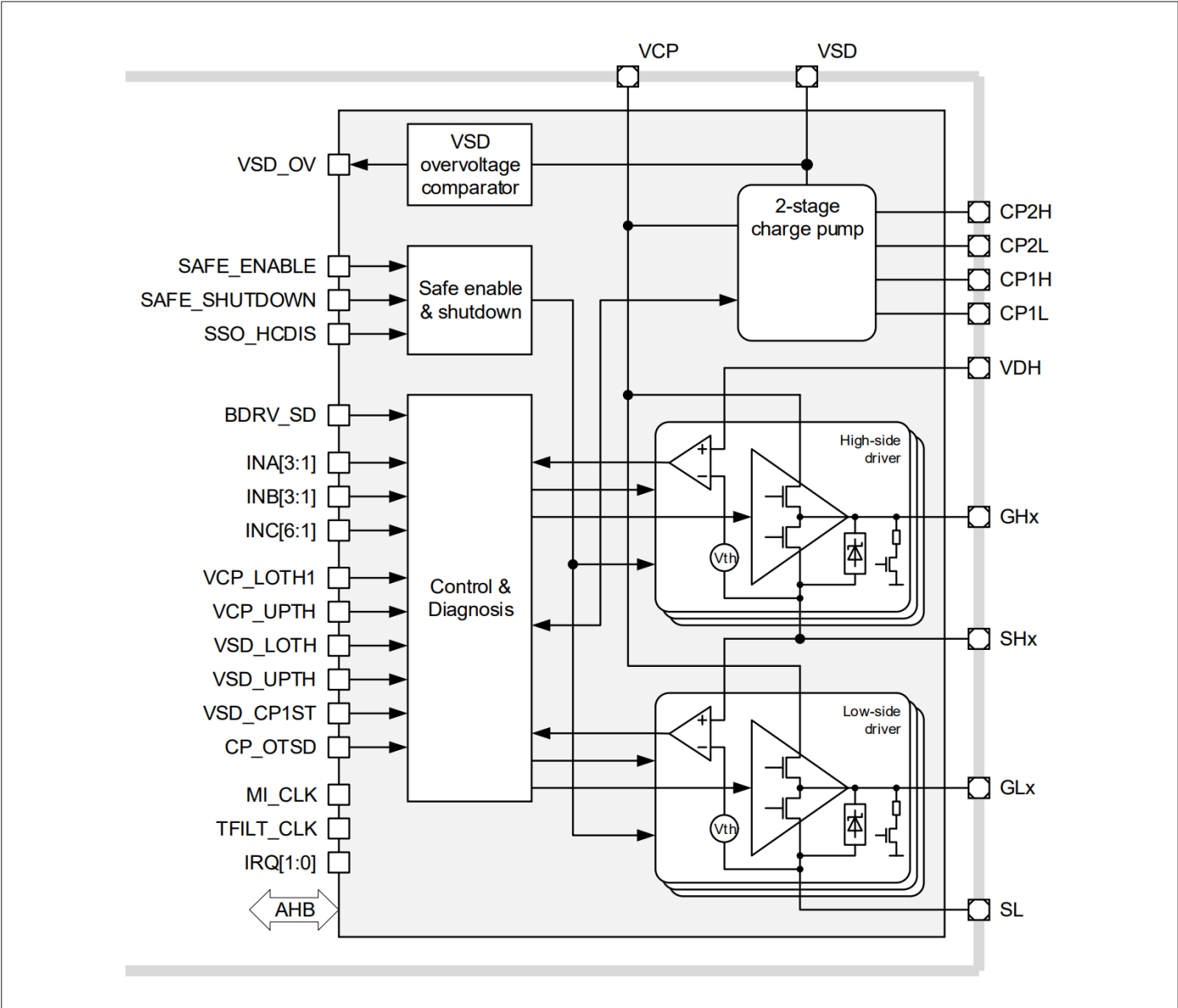


图 41 BDRV 框图

26.3 BDRV 电气特性

26.3.1 电气参数描述

26.3.1.1 开启参数

图 42 展示了栅极驱动器输出级在导通阶段的详细工作状态以及对应的电气特性参数。

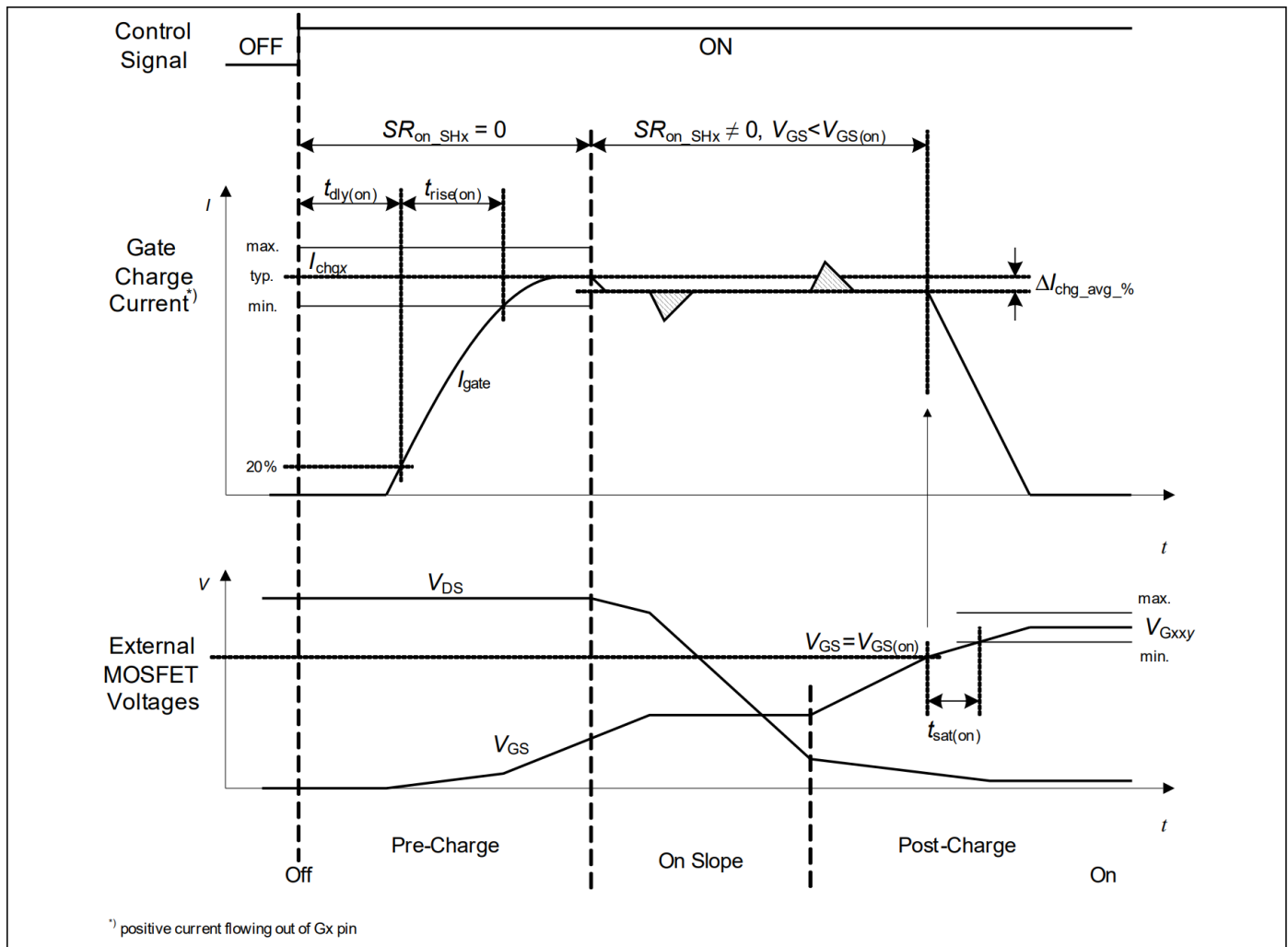


图 42 栅极驱动器输出级在导通阶段的详细工作特性

在初始导通延迟时间 $t_{dly(on)}$ 后，栅极电荷电流 I_{gate} 上升，并在额外的 $t_{rise(on)}$ 达到其指定的最小限值 $I_{chg@MIN}$ 后保持稳定，直到外部 MOSFET 的栅源电压达到 $V_{GS} = V_{GS(on)}$ 。在相应的 SHx 引脚的斜率期间（即斜率 $SR_{on_SHx} \neq 0$ ），平均栅极电流与编程的标称电流 $\Delta I_{chg_avg_}$ 的偏差小于 $I_{chg@}$ 。外部 MOSFET 的栅极进一步充电至栅极驱动器的高电平输出电压 V_{Gxxy} 。从超过 $V_{GS} = V_{GS(on)}$ 到达到 $V_{Gxxy@MIN}$ 的时间由 $t_{sat(on)}$ 定义。

26.3.1.2 关断参数

图 43展示了关断阶段栅极驱动器输出级的工作细节以及相应的电气特性参数。

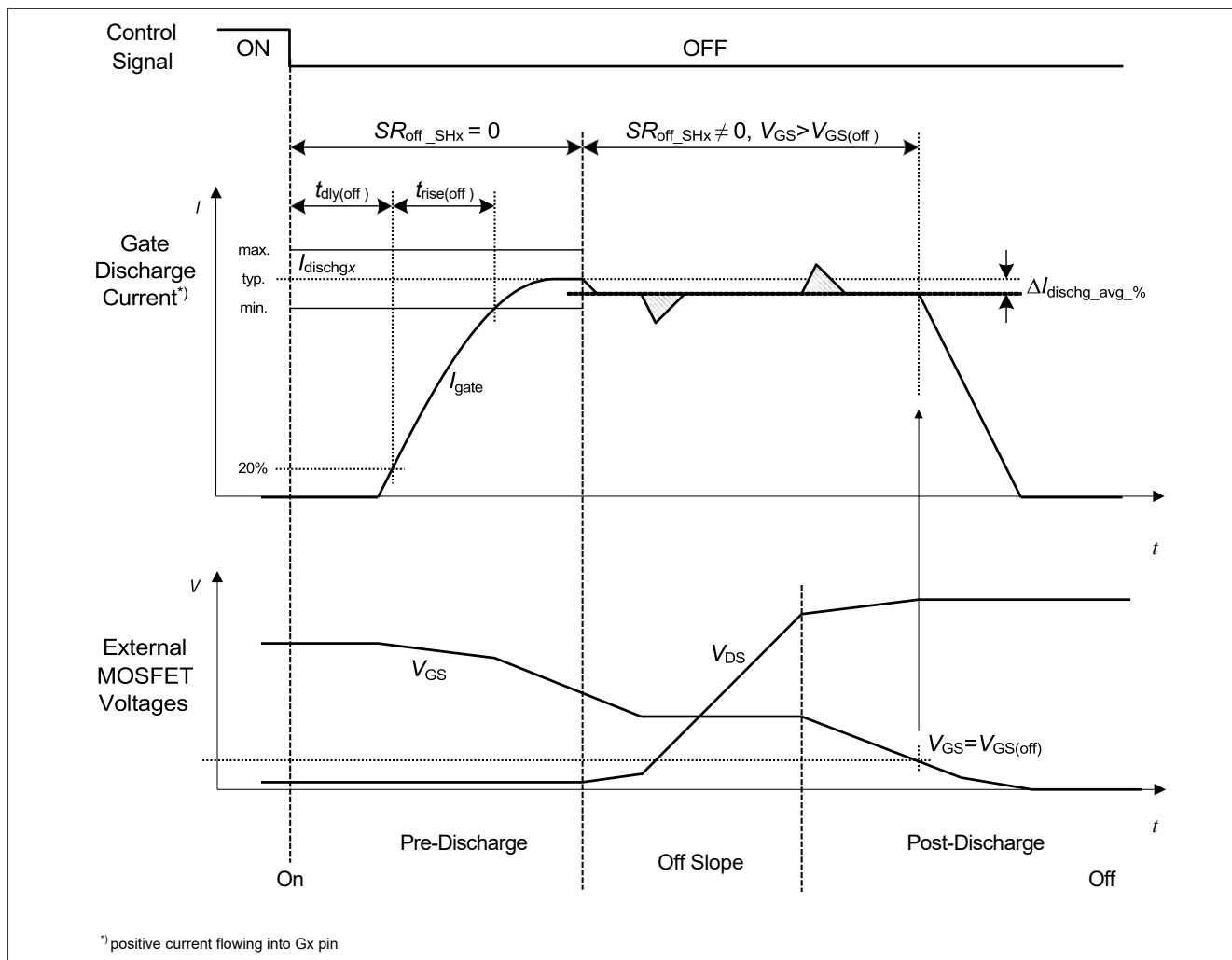


图 43 关断阶段门极驱动输出级的详细工作特性

经过初始关断延迟时间 $t_{dly(off)}$ 后，栅极放电电流 I_{gate} 上升，并在 $t_{rise(off)}$ 后达到其指定的最大限值 $I_{dischg@MAX}$ ，并保持稳定，直到外部 MOSFET 的栅源电压达到 $V_{GS} = V_{GS(off)}$ 。在相应的 SHx 引脚的斜率期间（即斜率 $SR_{off_SHx} \neq 0$ ），平均栅极放电电流与编程的标称电流 I_{dischg} 的偏差小于 $\Delta I_{dischg_avg_}\%$ 。

26.3.1.3 栅极电流稳定特性

在两个不同的栅极电流值设置之间切换时，实际的栅极驱动器输出电流稳定在新的感应电流值的 $t_{set(seq)}$ 内：

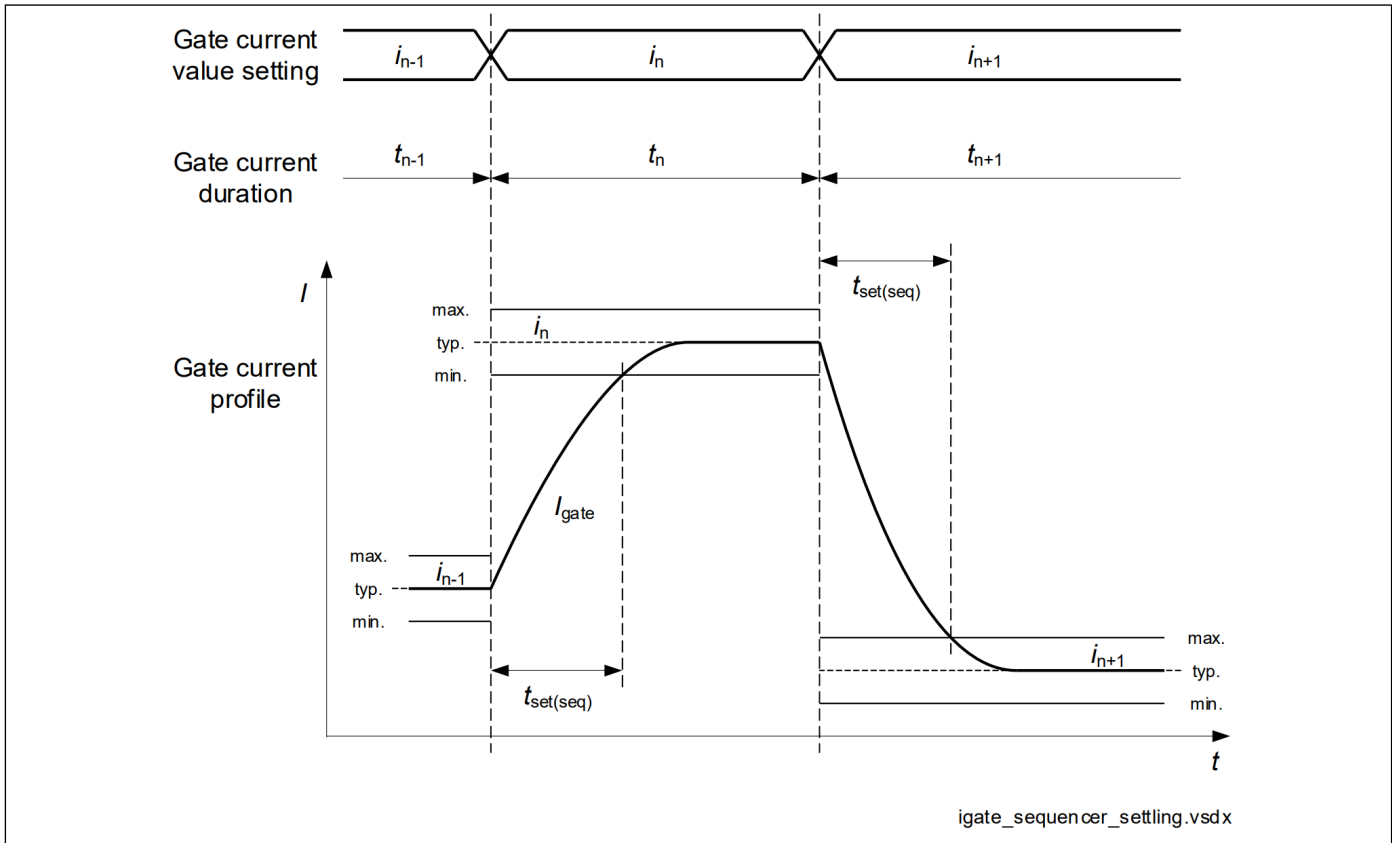


图 44 栅极电流建立时间

26.3.1.4 时序测量

图 45 显示了 $V_{SH(high)}$ 和 $V_{SH(low)}$ 以及传播延迟 $t_{cdly(high)}$ 和 $t_{cdly(low)}$ 的高速电压比较器在 V_{SHx} 的一个 PWM 周期内的表现：

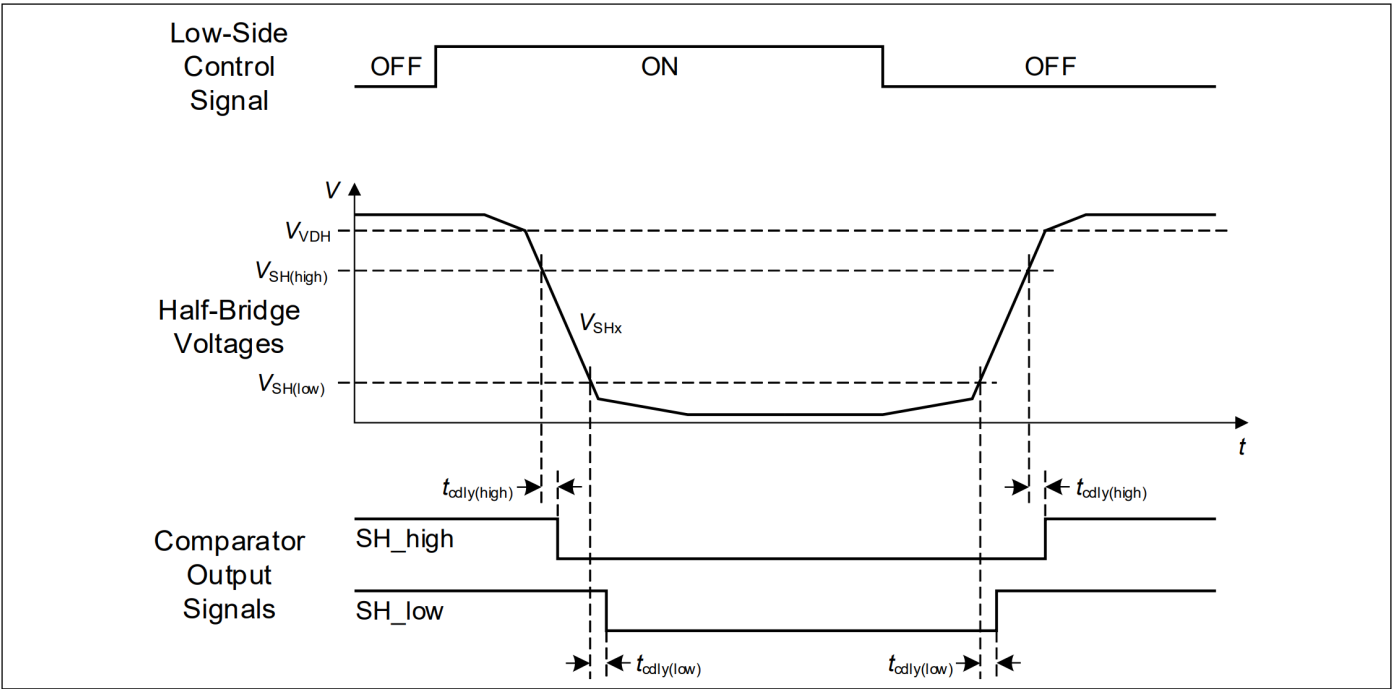


图 45 时序测量比较器阈值与延迟

26.3.2 MOSFET驱动器输出特性

表 68 MOSFET 驱动器输出

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Gate charge current	I_{chg0}	1.5	4	8	mA	¹⁾ $I_{CHARGE}=0D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_01
Gate charge current	I_{chg3}	5	10	15	mA	¹⁾ $I_{CHARGE}=3D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_02
Gate charge current	I_{chg7}	12	18	24	mA	¹⁾ $I_{CHARGE}=7D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_03
Gate charge current	I_{chg15}	33	45	57	mA	¹⁾ $I_{CHARGE}=15D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_04
Gate charge current	I_{chg31}	100	125	150	mA	¹⁾ $I_{CHARGE}=31D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_05
Gate charge current	I_{chg63}	290	340	390	mA	$I_{CHARGE}=63D$; $V_{GSx} \leq V_{GS(on)}$; $V_{SD} \geq 8V$	P_BDRV_02_06
Gate charge current dynamic average deviation	$\Delta I_{chg_avg_}\%$	-25%	-	+25%		¹⁾ Reference: typ. I_{chg} ; $SR_{on_SHx}=165V/\mu s$; $V_{GSx} \leq V_{GS(on)}$	P_BDRV_02_07
Gate discharge current	$I_{dischg0}$	1.5	5	8	mA	¹⁾ $I_{DISCHARGE}=0D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_08
Gate discharge current	$I_{dischg3}$	5	10	15	mA	¹⁾ $I_{DISCHARGE}=3D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_09
Gate discharge current	$I_{dischg7}$	13	20	27	mA	¹⁾ $I_{DISCHARGE}=7D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_10
Gate discharge current	$I_{dischg15}$	37	50	63	mA	¹⁾ $I_{DISCHARGE}=15D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_11
Gate discharge current	$I_{dischg31}$	100	125	150	mA	¹⁾ $I_{DISCHARGE}=31D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_12
Gate discharge current	$I_{dischg63}$	310	360	410	mA	$I_{DISCHARGE}=63D$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_13
Gate discharge current dynamic average deviation	$\Delta I_{dischg_avg_}\%$	-28%	-	+28%		¹⁾ Reference: typ. I_{dischg} ; $SR_{off_SHx}=165V/\mu s$; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq 8V$	P_BDRV_02_14
High level output voltage Gxx vs. Sxx	V_{Gxx1}	10	11	12	V	²⁾ All other drivers enabled but not ON; $C_L=15nF$; $I_{CP}=18.9mA$; $R_{GS}=100k\Omega$; $V_{SD} \geq 8V$	P_BDRV_02_17

表 68 MOSFET 驱动器输出 (续)

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
High level output voltage Gxx vs. Sxx	V_{Gxx2}	7	-	12	V	²⁾ All other drivers enabled but not ON; $C_L=15\text{nF}$; $I_{CP}=16.2\text{mA}$; $R_{GS}=100\text{k}\Omega$; $V_{SD}=7\text{V}$	P_BDRV_02_18
High level output voltage Gxx vs. Sxx	V_{Gxx3}	7	-	12	V	²⁾ All other drivers enabled but not ON; $C_L=7\text{nF}$; $I_{CHARGE}\leq 3I_D$; $I_{CP}=7.6\text{mA}$; $R_{GS}=100\text{k}\Omega$; $T_j\leq 150^\circ\text{C}$; $V_{SD}=5.4\text{V}$	P_BDRV_02_20
High level output voltage GLx vs. GND / GHx vs. SHx - Active Brake Mode	V_{Gxx_ABK}	7	-	12	V	all other Drivers enabled but not ON; $C_L=15\text{nF}$; $R_{GS}=100\text{k}\Omega$; $V_{SD}=5.4\text{V}$	P_BDRV_02_22
External MOSFET gate-to-source voltage - MOSFET on	$V_{GS(on)}$	5	-	-	V	¹⁾ $V_{SD}=5.4\text{V}$	P_BDRV_02_25
		7	-	-	V	¹⁾ $V_{SD}=8\text{V}$	P_BDRV_02_26
External MOSFET gate-to-source voltage - MOSFET off	$V_{GS(off)}$	-	-	2	V	¹⁾ $I_{DISCHARGE}\leq 3I_D$	P_BDRV_02_27
		-	-	3.5	V	¹⁾ $I_{DISCHARGE}\geq 3I_D$	P_BDRV_02_28
Rise time	t_{rise3_3nf}	40	70	100	ns	¹⁾ 25-75% of V_{Gxx1} ; $C_L=3.3\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_29
Fall time	t_{fall3_3nf}	40	70	100	ns	¹⁾ 75-25% of V_{Gxx1} ; $C_L=3.3\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_30
Rise time	$t_{risemax}$	50	-	350	ns	25-75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_31
Fall time	$t_{fallmax}$	50	-	350	ns	75-25% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_32
Rise time	$t_{risemin}$	5	-	25	μs	¹⁾ 25-75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{min}$; $I_{DISCHARGE}=\text{min}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_33

表 68 MOSFET 驱动器输出 (续)

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Fall time	$t_{fallmin}$	5	-	25	μs	¹⁾ 75-25% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{min}$; $I_{DISCHARGE}=\text{min}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_34
Absolute rise - fall time difference for all LSx	$t_{r_f(diff)}\text{LSx}$	-	-	100	ns	25-75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_35
Absolute rise - fall time difference for all HSx	$t_{r_f(diff)}\text{HSx}$	-	-	100	ns	25-75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{max}$; $I_{DISCHARGE}=\text{max}$; $V_{SD}\geq 8\text{V}$	P_BDRV_02_36
Resistor between GHx/GLx and GND	R_{GGND}	10	13.5	17	kOhm		P_BDRV_02_38
Resistor between SHx and GND	R_{SHGN}	15	20	27	kOhm	³⁾ This resistance is the resistance between GHx and GND connected through a diode to SHx. As a consequence the voltage at SHx can rise up to 0,6V typ. before it gets discharged through the resistor.	P_BDRV_02_39
Effective discharge RDSON	R_{ONCCP}	2.5	5	10	Ohm	50mA forced into Gx, Sx grounded; $I_{DISCHARGE}=63\text{D}$; $V_{CP}=V_{SD}+14.0\text{V}$; $V_{SD}=13.5\text{V}$	P_BDRV_02_40
Input propagation time (LS on)	$t_{P(ILN)}\text{min}$	3	-	12	μs	¹⁾ "ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{min}$	P_BDRV_02_42
Input propagation time (LS off)	$t_{P(ILF)}\text{min}$	3	-	12	μs	¹⁾ "ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{DISCHARGE}=\text{min}$	P_BDRV_02_43
Input propagation time (HS on)	$t_{P(IHN)}\text{min}$	3	-	12	μs	¹⁾ "ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{min}$	P_BDRV_02_44
Input propagation time (HS off)	$t_{P(IHF)}\text{min}$	3	-	12	μs	¹⁾ "ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{DISCHARGE}=\text{min}$	P_BDRV_02_45
Input propagation time (LS on)	$t_{P(ILN)}\text{max}$	-	200	350	ns	"ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{nF}$; $I_{CHARGE}=\text{max}$	P_BDRV_02_46

表 68 MOSFET 驱动器输出 (续)

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input propagation time (LS off)	$t_{P(ILF)max}$	-	200	300	ns	"ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{ nF}$; /DISCHARGE=max	P_BDRV_02_47
Input propagation time (HS on)	$t_{P(IHN)max}$	-	200	350	ns	"ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{ nF}$; /CHARGE=max	P_BDRV_02_48
Input propagation time (HS off)	$t_{P(IHF)max}$	-	200	300	ns	"ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{ nF}$; /DISCHARGE=max	P_BDRV_02_49
Absolute input propagation time difference between propagation times for all LSx (LSx on)	$t_{Pon(diff)LSx}$	-	-	100	ns	"ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{ nF}$; /CHARGE=max	P_BDRV_02_50
Absolute input propagation time difference between propagation times for all LSx (LSx off)	$t_{Poff(diff)LSx}$	-	-	100	ns	"ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{ nF}$; /DISCHARGE=max	P_BDRV_02_51
Absolute input propagation time difference between propagation times for all HSx (HSx on)	$t_{Pon(diff)HSx}$	-	-	100	ns	"ON"=1 to 25% of V_{Gxx1} ; $C_L=10\text{ nF}$; /CHARGE=max	P_BDRV_02_52
Absolute input propagation time difference between propagation times for all HSx (HSx off)	$t_{Poff(diff)HSx}$	-	-	100	ns	"ON"=0 to 75% of V_{Gxx1} ; $C_L=10\text{ nF}$; /DISCHARGE=max	P_BDRV_02_53

- 1) 未经过生产测试, 由设计指定。
- 2) I_{CP} 的值复制了来自 6 个 MOSFET 的 20 kHz PWM 操作的电荷泵的平均负载, 每个 MOSFET 的最大栅极电容为指定的 C_L , 假设低边栅极充电至 $V_{Gxx1@TYP}$, 高边栅极充电至相应的 $V_{Gxy@MIN}$ 。
- 3) 该电阻通过 SHx 和 GHx 之间的二极管接地。

26.3.3 充放电电流时序特性

表 69 充放电电流时序特性

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge current delay time	$t_{dly(on)}$	-	35	90	ns	¹⁾ from "ON"=1 to 20% of I_{chg_x} ($x=0\dots63$); $C_L=10\text{nF}$	P_BDRV_03_01
Charge current rise time	$t_{rise(on)}$	-	35	70	ns	¹⁾ from 20% of I_{chg_x} to $I_{chg_x@MIN}$ ($x=0\dots63$); $C_L=10\text{nF}$	P_BDRV_03_02
Gate Source Voltage Saturation Time	$t_{sat(on)}$	-	50	100	ns	¹⁾ from $V_{GS}=V_{GS(on)}$ to $0.9 \cdot V_{Gxy@MIN}$; $C_L=10\text{nF}$; $I_{CHARGE}=63$; $V_{SD} \geq 8\text{V}$	P_BDRV_03_03
Charge current settling time - sequencer mode	$t_{set_chg(seq)}$	-	-	150	ns	^{2) 1)} from any $I_{CHARGE(n)}$ to $I_{CHARGE(n+1)} = 0_D$ or 63_D ; $C_L=10\text{nF}$	P_BDRV_03_04
Discharge current settling time - sequencer mode	$t_{set_dischg(seq)}$	-	-	75	ns	^{3) 1)} from any $I_{DISCHARGE(n)}$ to $I_{DISCHARGE(n+1)} = 0_D$ or 63_D ; $C_L=10\text{nF}$	P_BDRV_03_05
Discharge current delay time	$t_{dly(off)}$	-	25	80	ns	¹⁾ from "ON"=0 to 20% of I_{dischg_x} ($x=0\dots63$); $C_L=10\text{nF}$	P_BDRV_03_06
Discharge current rise time	$t_{rise(off)}$	-	25	70	ns	¹⁾ from 20% of I_{dischg_x} to $I_{dischg_x@MIN}$ ($x=0\dots63$); $C_L=10\text{nF}$	P_BDRV_03_07

1) 未经过生产测试, 由设计指定。

2) $I_{CHARGE(n)}$ 和 $I_{CHARGE(n+1)}$ 是定序器模式下连续的感应电流置位点。

3) $I_{DISCHARGE(n)}$ 和 $I_{DISCHARGE(n+1)}$ 是定序器模式下连续的感应放电电流置位点。

26.3.4 时序测量比较器特性

表 70 时序测量比较器

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向流入引脚的电流

除非另有规定

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Low-side timing measurement comparator threshold voltage	$V_{SH(\text{low})}$	2	-	2.5	V		P_BDRV_04_01
High-side timing measurement comparator threshold voltage	$V_{SH(\text{high})}$	$V_{SD} - 2.5\text{V}$	-	$V_{SD} - 2\text{V}$	V		P_BDRV_04_02
Delay of low-side timing measurement comparator	$t_{cdly(\text{low})}$	5	-	20	ns	¹⁾	P_BDRV_04_03
Delay of high-side timing measurement comparator	$t_{cdly(\text{high})}$	5	-	25	ns	¹⁾	P_BDRV_04_04

1) 无需经过生产测试, 由设计指定。

26.3.5 漏源监测特性

表 71 漏源监测

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Drain source monitoring threshold	$V_{DSMONVTH}$	-25%	0.125	+25%	V	BDRV_CTRL3.DSMON VTH<2:0>=000 _B	P_BDRV_05_01
		-20%	0.25	+20%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=001 _B	P_BDRV_05_02
		-15%	0.5	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=010 _B	P_BDRV_05_03
		-15%	0.75	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=011 _B	P_BDRV_05_04
		-15%	1.00	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=100 _B	P_BDRV_05_05
		-15%	1.25	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=101 _B	P_BDRV_05_06
		-15%	1.5	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=110 _B	P_BDRV_05_07
		-15%	1.75	+15%	V	¹⁾ BDRV_CTRL3.DSMON VTH<2:0>=111 _B	P_BDRV_05_08
Drain source monitoring filter time	t_{DS_FILT}	0.7	1	1.3	μs	¹⁾ SFR setting 0	P_BDRV_05_09
		1.7	2	2.3	μs	¹⁾ SFR setting 1	P_BDRV_05_10
		3.6	4	4.4	μs	¹⁾ SFR setting 2	P_BDRV_05_11
		7.5	8	8.5	μs	¹⁾ SFR setting 3	P_BDRV_05_12
Drain source monitoring blanking time	t_{DS_BLANK}	0.7	1	1.3	μs	¹⁾ SFR setting 0	P_BDRV_05_13
		1.7	2	2.3	μs	¹⁾ SFR setting 1	P_BDRV_05_14
		3.6	4	4.4	μs	¹⁾ SFR setting 2	P_BDRV_05_15
		7.5	8	8.5	μs	¹⁾ SFR setting 3	P_BDRV_05_16

1) 无需经过生产测试, 由设计指定。

26.3.6 负载开路诊断电流特性

表 72 负载开路诊断电流

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pull-Up diagnosis current	I_{PUDiag}	-750	-	-350	μA	$I_{DISCHARGE}=0$; $V_{SD}\geq 6.4\text{V}$; $V_{SHx}=5\text{V}$; $V_S\geq 5.4\text{V}$	P_BDRV_06_01
Pull-Down diagnosis current	I_{PDDiag}	900	-	1600	μA	$I_{DISCHARGE}=0$; $V_{SD}\geq 6.4\text{V}$; $V_{SHx}=5\text{V}$; $V_S\geq 5.4\text{V}$	P_BDRV_06_02
Effective Pull-Down diagnosis current overdrive	I_{PDDiag_OD}	200	-	-	μA	$I_{DISCHARGE}=0$; $V_{SD}\geq 6.4\text{V}$; $V_{SHx}=5\text{V}$; $V_S\geq 5.4\text{V}$	P_BDRV_06_03

26.3.7 电荷泵特性

表 73 电荷泵

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage VCP vs. VSD	V_{CPmin1}	8	-	11	V	¹⁾ Bridge Driver enabled but not ON; $C_{CP1}=220\text{nF}$; $C_{CP2}=220\text{nF}$; $I_{CP}=7.6\text{mA}$; $V_{SD}=5.4\text{V}$; $f_{CP}=250\text{kHz}$	P_BDRV_07_01
Single-Stage Mode Output voltage VCP vs. VSD	$V_{CPsingle}$	11.7	-	16	V	¹⁾ Bridge Driver enabled but not ON, Charge Pump in single-stage mode; $C_{CP1}=220\text{nF}$; $C_{CP2}=220\text{nF}$; $I_{CP}=18.9\text{mA}$; $V_{SD}=18\text{V}$; $f_{CP}=250\text{kHz}$	P_BDRV_07_02
Regulated output voltage VCP vs. VSD	V_{CP}	11.7	-	16	V	¹⁾ Bridge Driver enabled but not ON; $C_{CP1}=220\text{nF}$; $C_{CP2}=220\text{nF}$; $I_{CP}=18.9\text{mA}$; $V_{SD}\geq 8\text{V}$; $f_{CP}=250\text{kHz}$	P_BDRV_07_03

表 73 电荷泵 (续)

$V_S = 4.4\text{ V}$ 至 28 V , $V_{SD} = 5.4\text{ V}$ 至 29 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Turn ON Time	t_{ON_VCP}	10	-	70	μs	^{2) 1)} from CPCLK_EN='1' to 25% of V_{CP} ; $C_{CP1}=220\text{nF}$; $C_{CP2}=220\text{nF}$; $C_{VCP}=470\text{nF}$; $V_{SD}\geq 8\text{V}$; $f_{CP}=250\text{kHz}$	P_BDRV_07_04
Rise time	t_{rise_VCP}	20	-	96	μs	^{2) 1)} from 25% to 75% of V_{CP} ; $C_{CP1}=220\text{nF}$; $C_{CP2}=220\text{nF}$; $C_{VCP}=470\text{nF}$; $V_{SD}\geq 8\text{V}$; $f_{CP}=250\text{kHz}$	P_BDRV_07_05

1) 未经过生产测试, 由设计指定。

2) 当位 DRV_CP_CLK_CTRL.CPCLK_EN 被置位时, 本计时规则生效

26.3.8 VSD过压特性

表 74 VSD 过压

$V_S = 4.4\text{ V}$ 至 28 V , 0 级器件: $T_j = -40^\circ\text{C}$ 至 $+175^\circ\text{C}$, 1 级器件: $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VSD Overvoltage Rising	V_{SD_OV}	32	-	38	V	¹⁾	P_BDRV_08_01
VSD Overvoltage Hysteresis	$V_{SD_OV_hyst}$	1.3	1.9	2.5	V	¹⁾	P_BDRV_08_02
VSD Overvoltage Filter Time	$t_{VSD_OV_filt}$	10	12	14	μs	¹⁾	P_BDRV_08_03

1) 无需经过生产测试, 由设计指定。

27 封装信息

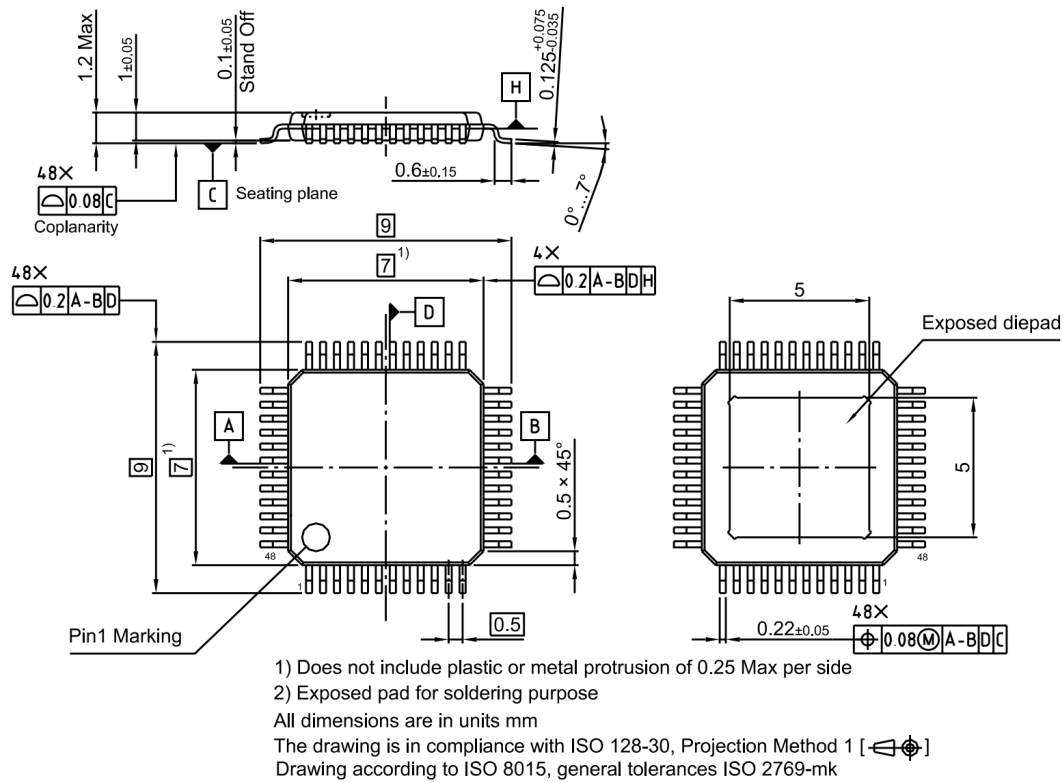


图 46 PG-TQFP-48-10

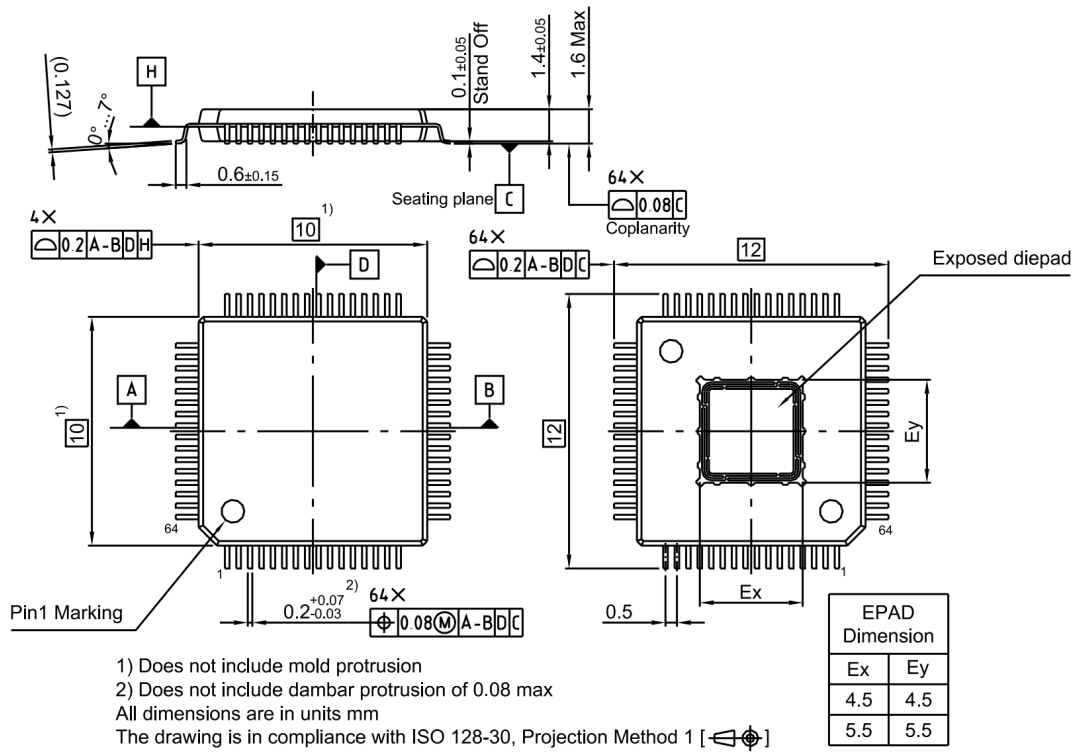


图 47 PG-LQFP-64-28

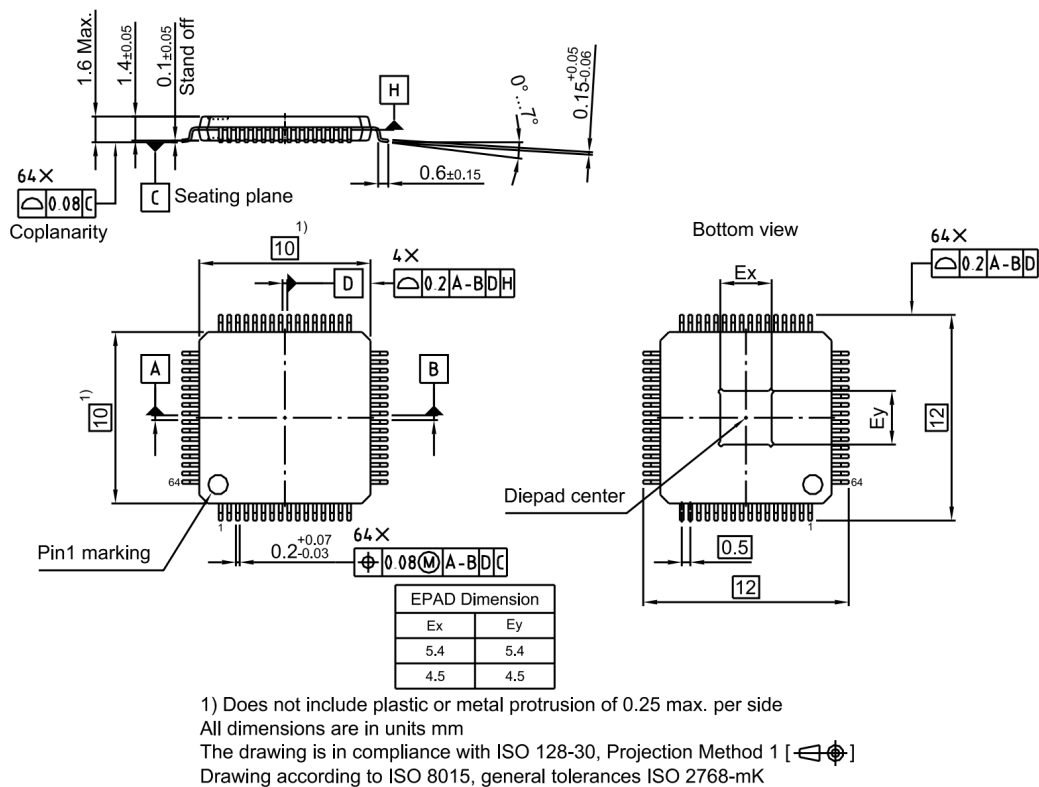


图 48 PG-LQFP-64-31

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即，引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

有关封装的更多信息，请访问

<https://www.infineon.com/packages>

28 缩略词

本档中使用以下首字母缩略词和术语。列表见表 75。

表 75 缩略词

Acronyms	Name
100TP	100 Time Programmable
AHB	Advanced High-performance Bus
APB	Advanced Peripheral Bus
ASIL	Automotive Safety Integrity Level
BEMF	Back Electro Magnetic Force
CAN	Controller Area Network
CP	Charge Pump for MOSFET driver
DMA	Direct Memory Access
ECC	Error Correction Code
EEPROM	Electrically Erasable Programmable Read Only Memory
FS	Functional Safety
FSM	Finite State Machine
GPIO	General Purpose Input Output
HiZ	High impedance
IEN	Interrupt Enable
LDO	Low DropOut voltage regulator
LOW	Long Open Window (for WDT)
LSB	Least Significant Bit
LQFP	Low profile Quad Flat Package
MCTRL	Motor control
MCU	Micro Controller Unit
MPU	Memory Protection Unit
MRST	Master Receive Slave Transmit
MSB	Most Significant Bit
MTSR	Master Transmit Slave Receive
N-FET	N-channel Field Effect Transistor
NMI	Non-Maskable Interrupt
NVIC	Nested Vector Interrupt Controller
NVM	Non-Volatile Memory
OSC	Oscillator
OT	Overtemperature
OTP	One Time Programmable
PBA	Peripheral Bridge
PC	Program Counter

表 75 缩略词 (续)

Acronyms	Name
PD	Pull Down
PLL	Phase Locked Loop
PMU	Power Management Unit
PPB	Private Peripheral Bus
PSRAM	Program Static Random Access Memory
PSW	Program Status Word
PU	Pull Up
PWM	Pulse Width Modulation
RAM	Random Access Memory
ROM	Read Only Memory
SCB	Short Circuit to Battery
SCG	Short Circuit to Ground
SECCED	Single Error Correction Double Error Detection
SFR	Special Function Register
SoC	System on Chip
SOW	Short Open Window (for WDT)
SPI	Serial Peripheral Interface
SRAM	Static Random Access Memory
SSO	Safe Switch Off (path)
SWD	Arm® Serial Wire Debug
TAP	Test Access Port (for test and debug)
TCCR	Temperature Compensation Control Register
TMS	Test Mode Select
TSD	Thermal Shut Down
TQFP	Thin Quad Flat Package
UART	Universal Asynchronous Receiver Transmitter
UV	Undervoltage
VBG	Voltage reference Band Gap
VCO	Voltage Controlled Oscillator
WDT	Watchdog timer in SCU-DM

29 修订记录

Revision	Date	Changes
Rev. 1.1	2023-06-19	Updated P_GEN_10_13
Rev. 1.0	2023-05-15	Initial version



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-07-16

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。