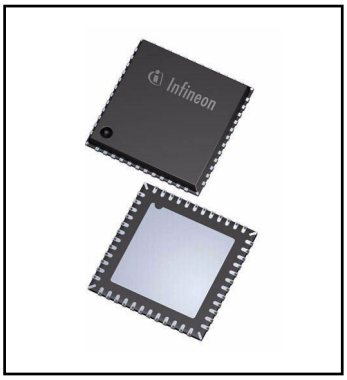
英飞凌 MOTIX™ TLE9853QX

带 LIN 和 H 桥 NFET 驱动器的 Arm® Cortex® -M0 微控制器，适用于汽车应用

AD 版



1 概述

特性

- 32 位Arm® Cortex® *-M0 内核
  - 40 MHz时钟频率
  - 单时钟周期
  - 单周期乘法器
- 片上存储器
  - 48 KB 闪存（含 EEPROM）
  - 4 KB EEPROM（在Flash中模拟）
  - 512字节的100次可编程存储器（100TP）
  - 4 KB RAM
  - 用于启动固件和flash的Boot ROM
- 带有除法器单元的数学协处理器，支持有符号与无符号 32 位除法运算
- 片上振荡器
- MOSFET 驱动器含电荷泵，用于 H 桥电机驱动应用
- 电流传感放大器
- 带循环检测与 PWM 功能的高侧开关，例如用于驱动 LED 或开关面板（最小 150 mA）
- 4 个高压监测输入引脚，用于唤醒功能，并支持带模拟测量的循环检测
- 10 个通用 I/O 端口 (GPIO)
- 5 个模拟输入端口
- 10 位 A/D 转换器，具有5 路模拟输入 + VBAT_SENSE + VS + 4 路高压监测输入
- 带 9 路输入的 8 位 A/D 转换器，用于电压与温度监测
- 内置 10 位 A/D 转换器及数据后处理模块，搭配 12 通道测量单元
- 16 位定时器 - GPT12、定时器 2 和定时器 21
- 用于PWM信号产生的捕捉/比较单元(CCU6)

* Arm 和 Cortex 是英国 Arm Limited 的注册商标

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

概述

- 2 路全双工串行接口（UART1、UART2），其中 UART1 支持 LIN 协议
- 2 个同步串行通道（SSC1、SSC2）
- 通过 2 线 SWD 实现片上调试支持
- 1 个 LIN 2.2 收发器
- 单电源供电 V_S = 5.5 V 到 28 V
- 扩展电源电压范围 V_S = *3 V 至 28 V*
- 低压差稳压器 (LDO)
- 用于外部负载的 5 V 电源 VDDEXT（例如霍尔传感器）
- 内核的逻辑部分供电电压为 1.5 V
- 具有独立片上时钟源的可编程窗口看门狗 (WDT1)
- 省电模式：
  - 微控制器单元减速模式
  - 带循环检测功能的休眠模式
  - 休眠模式下的周期性唤醒
  - 带循环检测功能的停机模式
- 上电和欠压/掉电复位发生器
- 过温保护含关机
- 所有稳压器与执行器（高侧开关）均具备短路保护功能
- 带故障安全模式的时钟丢失检测功能，用于电源开关
- 温度范围：T_j = *-40°C 到+150°C*
- 采用 LTI 功能的 VQFN-48-31 封装
- 绿色封装（符合 RoHS 要求）
- AEC 认证

潜在应用

- 窗户升降机
- 天窗
- 单相直流泵和风扇，例如暖通空调风机
- 单相 BLDC 泵和风扇，例如单相水泵
- ...以及其它支持 LIN 寻址的电机控制应用

产品验证

适合汽车应用。根据 AEC-Q100/101 进行产品验证

描述

英飞凌TLE985x 系列器件集成了 Arm® Cortex®-M0 处理器，以及用于电机控制、电源供电和通信的外设。内置两个测量单元（模数转换器），用于监测温度、电池电压以及四路监测输入，有助于节省引脚。这些输入可以直接通过电池电压进行操作，从而节省了外部分压器或关断晶体管等附加组件的成本。此外，该芯片还配备了两个支持 LIN 的全双工串行接口 (UART)。

概述

TLE985x 系列的一个新特点是其自适应 MOSFET 驱动器。该控制算法可根据所需开关时间自动调整栅极电流，从而补偿系统中 MOSFET 参数的离散性。这样可以同时优化系统有关 EME（电磁辐射、慢转换率）以及功率耗散（短死区时间）的问题。

该产品系列包含多种不同闪存大小（48-96KB）和温度范围（T_j 高达 175°C）的器件。此外，还提供不同数量的半桥驱动器，适用于单向或双向直流电机应用。

英飞凌所有 TLE985x 系列产品均与旗下其他嵌入式功率产品（TLE984x、TLE986x 和 TLE987x）共用相同的硬件与软件平台，可实现设计协同，并支持客户复用部分软件代码。该器件采用无引线 VQFN 封装，封装尺寸为 7 mm × 7 mm。

Type	Package	Marking
TLE9853QX	VQFN-48-31	TLE9853QX

目录

1 概述 1
特性 1
潜在应用 2
产品验证 2
描述 2
目录 4
2 框图 9
3 设备通用信息 10
3.1 引脚配置 10
3.2 引脚定义和功能 11
4 运行模式 14
5 电源管理单元（PMU） 17
5.1 特性 17
5.2 简介 17
5.2.1 框图 18
5.2.2 PMU 模式概述 20
5.3 电源生成模块（PGU） 21
5.3.1 稳压器 5.0 V（VDDP） 21
5.3.2 稳压器 1.5 V（VDDC） 23
5.3.3 外部稳压器 5.0 V （VDDEXT） 24
5.3.4 上电复位概念 25
6 系统控制单元 - 数字模块（SCU- DM） 26
6.1 特性 26
6.2 简介 26
6.2.1 框图 27
6.3 时钟生成单元 29
6.3.1 低精度时钟 29
6.3.2 时钟控制单元 30
7 系统控制单元 – 功率模块（SCU- PM） 32
7.1 特性 32
7.2 简介 32
7.2.1 框图 32
8 Arm® Cortex® -M0 内核 34
8.1 特性 34
8.2 简介 34
8.2.1 框图 34
9 地址空间结构 36
10 存储控制单元 37
10.1 特性 37
10.2 简介 37
10.2.1 框图 37

10.3 NVM 模块 （Flash 存储） 39
11 中断系统 40
11.1 特性 40
11.2 简介 40
11.2.1 概述 40
12 数学除法器模块 42
12.1 特性 42
12.2 简介 42
12.3 框图 42
13 看门狗定时器（WDT1） 43
13.1 特性 43
13.2 简介 44
14 GPIO 端口和外设 I/O 45
14.1 特性 45
14.2 简介 46
14.2.1 端口 0 和端口 1 46
14.2.2 端口 2 47
14.3 功能说明 47
14.3.1 备用功能 48
14.3.1.1 端口 0 功能 48
14.3.1.2 端口 1 功能 51
14.3.1.3 端口 2 功能 53
15 通用定时器单元（GPT12） 55
15.1 特性 55
15.1.1 功能模块 GPT1 55
15.1.2 功能模块 GPT2 55
15.2 简介 55
15.2.1 框图 GPT1 56
15.2.2 框图 GPT2 57
16 Timer2 和 Timer21 58
16.1 特性 58
16.2 简介 58
16.2.1 Timer2 和 Timer21 模式概述 59
17 捕获/比较单元 6（CCU6） 60
17.1 功能概述 60
17.2 简介 61
17.2.1 框图 62
18 UART1/2 63
18.1 特性 63
18.2 简介 63
18.2.1 框图 64
18.3 UART 模式 64
19 LIN 收发器 65
19.1 特性 65

19.2 简介 65
19.2.1 框图 66
20 高速同步串行接口 SSC1/2 67
20.1 特性 67
20.2 简介 67
20.2.1 框图 68
21 测量单元 69
21.1 特性 69
21.2 简介 69
21.2.1 框图 70
22 测量核心模块（含 ADC2） 71
22.1 特性 71
22.2 简介 71
22.2.1 框图 72
23 模拟数字转换器 ADC10B （ADC1） 73
23.1 特性 73
23.2 简介 74
23.2.1 框图 74
24 高压监测器输入 75
24.1 特性 75
24.2 简介 75
24.2.1 框图 75
25 高边开关 76
25.1 特性 76
25.2 简介 77
25.2.1 框图 77
25.2.2 一般描述 77
26 桥驱动器（含电荷泵） 78
26.1 特性 78
26.2 简介 79
26.2.1 框图 79
26.2.2 灵活控制 79
26.2.3 电流驱动输出级 80
26.2.3.1 概述 80
26.2.3.2 开通 81
26.2.3.3 关断 82
26.2.3.4 控制模式 82
26.2.4 可调节的交叉导通保护 84
26.2.5 大电流放电模式 84
26.2.6 无源下拉模式 84
26.2.7 制动模式 85
26.2.8 保持模式 85
26.2.9 时序模式 85
26.2.10 自适应控制模式 86
26.2.11 集成两级电荷泵 86

26.2.12 可调电压监测 87
26.2.13 可调短路检测 87
26.2.14 负载开路检测 87
26.2.15 过温 87
27 电流传 感 放大器 88
27.1 特性 88
27.2 简介 88
27.2.1 框图 89
28 应用信息 90
28.1 车窗升降器应用框图 90
28.2 未使用引脚的连接 92
28.3 SWD debug 模式下的 P0.2引脚的接线方式 92
28.4 连接 TMS 92
28.5 ESD 测试 92
29 电气 特性 94
29.1 一般特性 94
29.1.1 绝对最大额定值 94
29.1.2 工作范围 97
29.1.3 电流消耗 99
29.1.4 热阻 103
29.1.5 时序特性 103
29.2 电源管理单元（PMU） 104
29.2.1 PMU 输入电压 VS 104
29.2.2 PMU 输入/输出供电参数 VDDP 104
29.2.3 PMU 内核电源参数 VDDC 106
29.2.4 VDDEXT 稳压器 5.0 V 108
29.2.5 VPRE 稳压器（PMU 子块）参数 111
29.2.5.1 VPRE 调节器的负载分配场景 111
29.2.6 降压稳压器（PMU 子块） 参数 112
29.3 系统时钟 113
29.3.1 振荡器电气特性 113
29.4 Flash 参数 114
29.4.1 Flash 特性 114
29.5 并行端口（GPIO） 115
29.5.1 保持电流和强制电流的描述 115
29.5.2 直流参数 - 端口 0， 端口 1，TMS，复位 116
29.5.3 直流参数 - 端口 2 118
29.6 LIN 收发器 120
29.6.1 电气特性 120
29.7 高速同步串行接口 126
29.7.1 SSC 时序 126
29.8 测量单元 127
29.8.1 电气特性 127
29.8.2 中央温度传感器模块 133
29.8.2.1 电气特性 133
29.9 ADC1 (10-Bit) 134

29.9.1 电气特性 - ADC1 (10-Bit) 134
29.10 高压监控输入 135
29.10.1 电气特性 135
29.11 高边开关 136
29.11.1 电气特性 136
29.12 MOSFET 驱动器 140
29.12.1 电气特性 140
29.13 运算放大器 148
29.13.1 电气特性 148
30 封装外形 150
31 缩略词 151
32 修订记录 153

2 框图

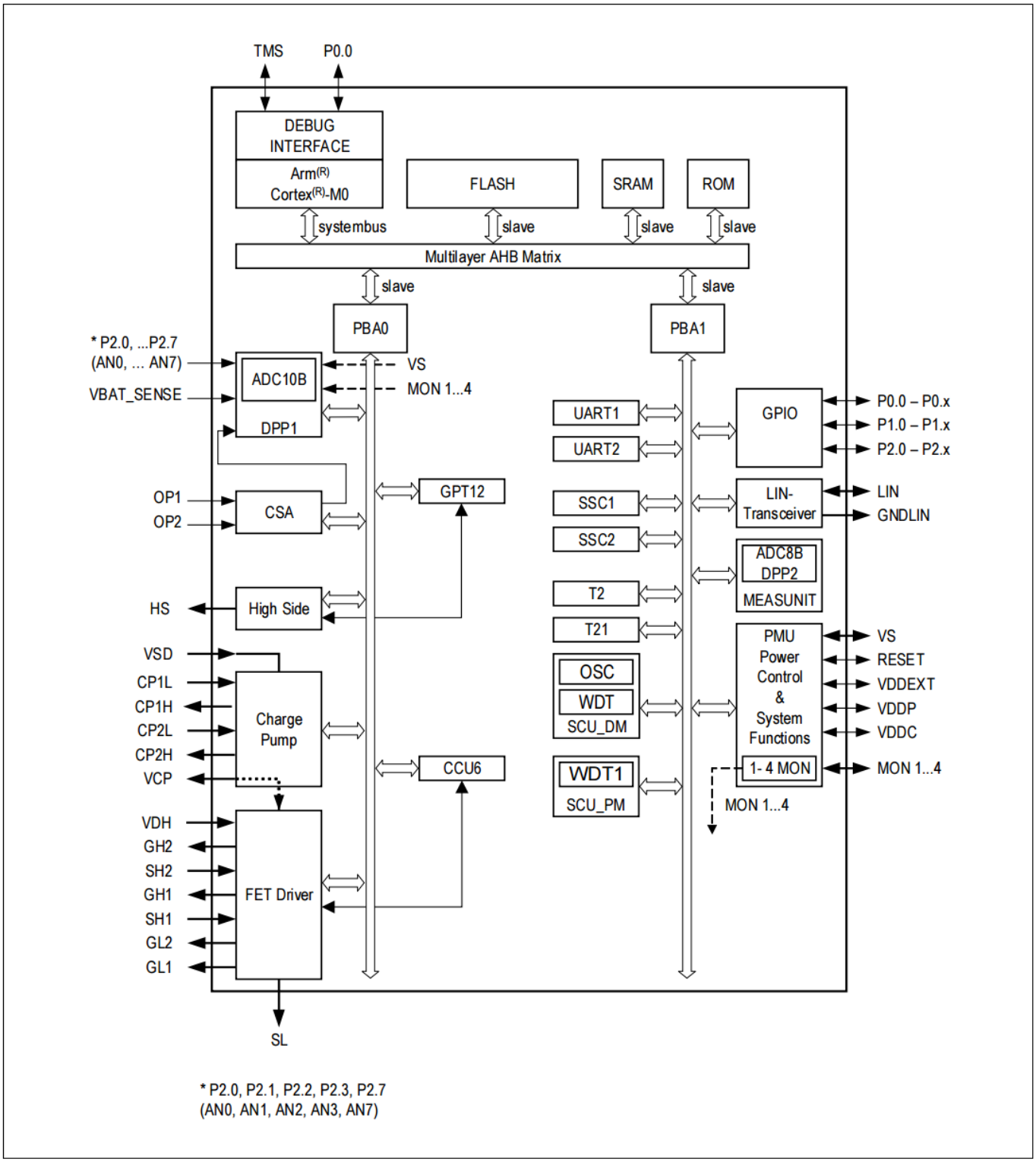


图 1 TLE9853QX 框图

3 设备通用信息

3.1 引脚配置

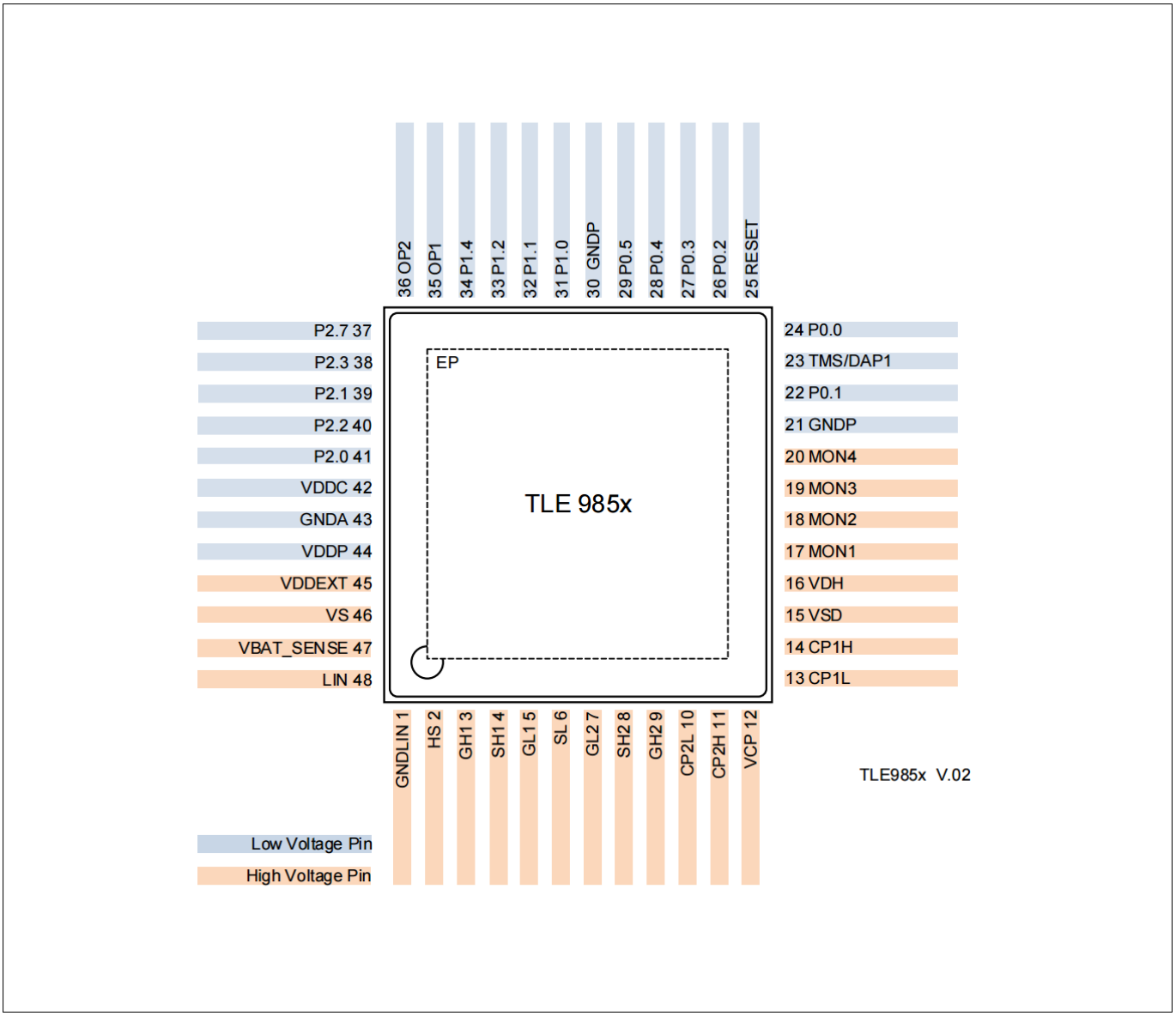


图 2 TLE9853QX 的 VQFN-48 引脚配置

3.2 引脚定义和功能

复位后，所有引脚均配置为输入（电源引脚与 LIN 引脚除外），并采用以下设置之一：

- 仅使能上拉（PU）
- 仅使能下拉（PD）
- 上拉与下拉均禁用的输入（I）
- 输出级禁用时的输出 = 高阻态（Hi-Z）

下表给出了 TLE9853QX 外部引脚的功能及默认状态。

类型：表示引脚类型。

- I/O：输入或输出
- I：仅输入
- O：仅输出
- P：电源

未列出所有备用功能，请参见**第 14 章**。

表 1 引脚定义和功能

Symbol	Pin Number	Type	Reset State	Function
P0				**Port 0** Port 0 is a 6-Bit bidirectional general purpose I/O port. Alternate functions can be assigned and are listed in the Port description. Main function is listed below.
P0.0	24	I/O	I/PU	SWD_CLK Serial Wire Debug Clock GPIO General Purpose IO Alternate function mapping see **Table 6**
P0.1	22	I/O	I/PU	GPIO General Purpose IO Alternate function mapping see **Table 6**
P0.2	26	I/O	I/PD	GPIO General Purpose IO Alternate function mapping see **Table 6**
P0.3	27	I/O	I/PU	GPIO General Purpose IO Alternate function mapping see **Table 6**
P0.4	28	I/O	I/PU	GPIO General Purpose IO Alternate function mapping see **Table 6**
P0.5	29	I/O	I/PU	GPIO General Purpose IO Alternate function mapping see **Table 6**
P1				**Port 1** Port 1 is a 4-Bit bidirectional general purpose I/O port. Alternate functions can be assigned and are listed in the Port description. Main function is listed below.
P1.0	31	I/O	I	GPIO General Purpose IO Alternate function mapping see **Table 7**
P1.1	32	I/O	I	GPIO General Purpose IO Alternate function mapping see **Table 7**
P1.2	33	I/O	I	GPIO General Purpose IO Alternate function mapping see **Table 7**

表 1 引脚定义和功能（续）

Symbol	Pin Number	Type	Reset State	Function	
P1.4	34	I/O	I	GPIO	General Purpose IO Alternate function mapping see **Table 7**
P2				**Port 2** Port 2 is a 5-Bit general purpose input-only port. Alternate functions can be assigned and are listed in the Port description. Main function is listed below.	
P2.0	41	I	I	AN0	ADC1 analog input channel 6 Alternate function mapping see **Table 8**
P2.1	39	I	I	AN1	ADC1 analog input channel 7 Alternate function mapping see **Table 8**
P2.2	40	I	I	AN2	ADC1 analog input channel 8 Alternate function mapping see **Table 8**
P2.3	38	I	I	AN3	ADC1 analog input channel 9 Alternate function mapping see **Table 8**
P2.7	37	I	I	AN7	ADC1 analog input channel 12 Alternate function mapping see **Table 8**
Power Supply					
VS	46	P	–	Battery supply input	
VDDP	44	P	–	I/O port supply (5.0 V). Do not connect external loads. For buffer and bypass capacitors.	
VDDC	42	P	–	Core supply (1.5 V during Active Mode, 0.9 V during Stop Mode). Do not connect external loads. For buffer/bypass capacitor.	
VDDEXT	45	P	–	External voltage supply output (5.0 V, 40 mA)	
GNDP	21, 30	P	–	Core supply ground	
GNDA	43	P	–	Analog supply ground	
GNDLIN	1	P	–	LIN ground	
Monitor Inputs					
MON1	17	I	I	High Voltage Monitor Input 1	
MON2	18	I	I	High Voltage Monitor Input 2	
MON3	19	I	I	High Voltage Monitor Input 3	
MON4	20	I	I	High Voltage Monitor Input 4	
High Side Switch Outputs					
HS	2	O	Hi-Z	High Side Switch output	
LIN Interface					
LIN	48	I/O	PU	LIN bus interface input/output	
Charge Pump					
CP1H	14	P	–	Charge Pump Capacity 1 High, connect external C	
CP1L	13	P	–	Charge Pump Capacity 1 Low, connect external C	

表 1 引脚定义和功能（续）

Symbol	Pin Number	Type	Reset State	Function
CP2H	11	P	–	Charge Pump Capacity 2 High, connect external C
CP2L	10	P	–	Charge Pump Capacity 2 Low, connect external C
VCP	12	P	–	Charge Pump Capacity
VSD	15	P	–	Battery supply input for Charge Pump
MOSFET Driver				
VDH	16	P	–	Voltage Drain High Side MOSFET Driver
GH1	3	P	–	Gate High Side FET 1
GH2	9	P	–	Gate High Side FET 2
SH1	4	P	–	Source High Side FET 1
SH2	8	P	–	Source High Side FET 2
GL1	5	P	–	Gate Low Side FET 1
GL2	7	P	–	Gate Low Side FET 2
SL	6	P	–	Source Low Side FETs
Others				
TMS	23	I	I/PD	TMS test mode select input DAP1
RESET	25	I/O	I/O/PU	Bidirectional reset input/output, not available during Sleep Mode
VBAT_SENSE	47	I	I	Battery supply voltage sense input
OP1	35	I	–	Negative current sense amplifier input
OP2	36	I	–	Positive current sense amplifier input
EP	–	–	–	Exposed Pad, connect to GND

4 运行模式

这款高集成度芯片包含模拟与数字功能模块。对于系统和接口控制，包含嵌入式 32 位Arm® Cortex® -M0 微控制器。对于内部和外部电源而言，存在片上低压差稳压器。内部振荡器（无需外部元件）提供有效且合适的时钟，尤其适用于LIN从机节点。作为通信接口，可以使用LIN收发器和多个具有可调阈值和滤波器的高压监测器输入。此外，还提供一个高边开关（例如用于驱动 LED 或开关供电）、一个用于 4 n-通道 MOSFETs 的驱动器，包括一个两级电荷泵和几个具有脉宽调制 (PWM) 功能的通用输入/输出 (GPIO)。

微控制器的监控与系统保护（含复位功能）由一片可编程窗口看门狗控制。具有片上的周期性唤醒电路、供电电压监控和温度传感器。

所有相关模块均提供省电模式，以支持终端 30 连接的汽车应用。可通过 LIN 总线报文、监测输入，或按可编程周期重复触发（循环唤醒），从省电模式唤醒。

该集成电路采用0.5 mm 间距的 VQFN-48-31 封装，专为承受汽车应用中的严苛工况而设计。

TLE9853QX 具有多种工作模式，主要用于支持低功耗要求。低功耗模式和状态转换如图 3以下所示。

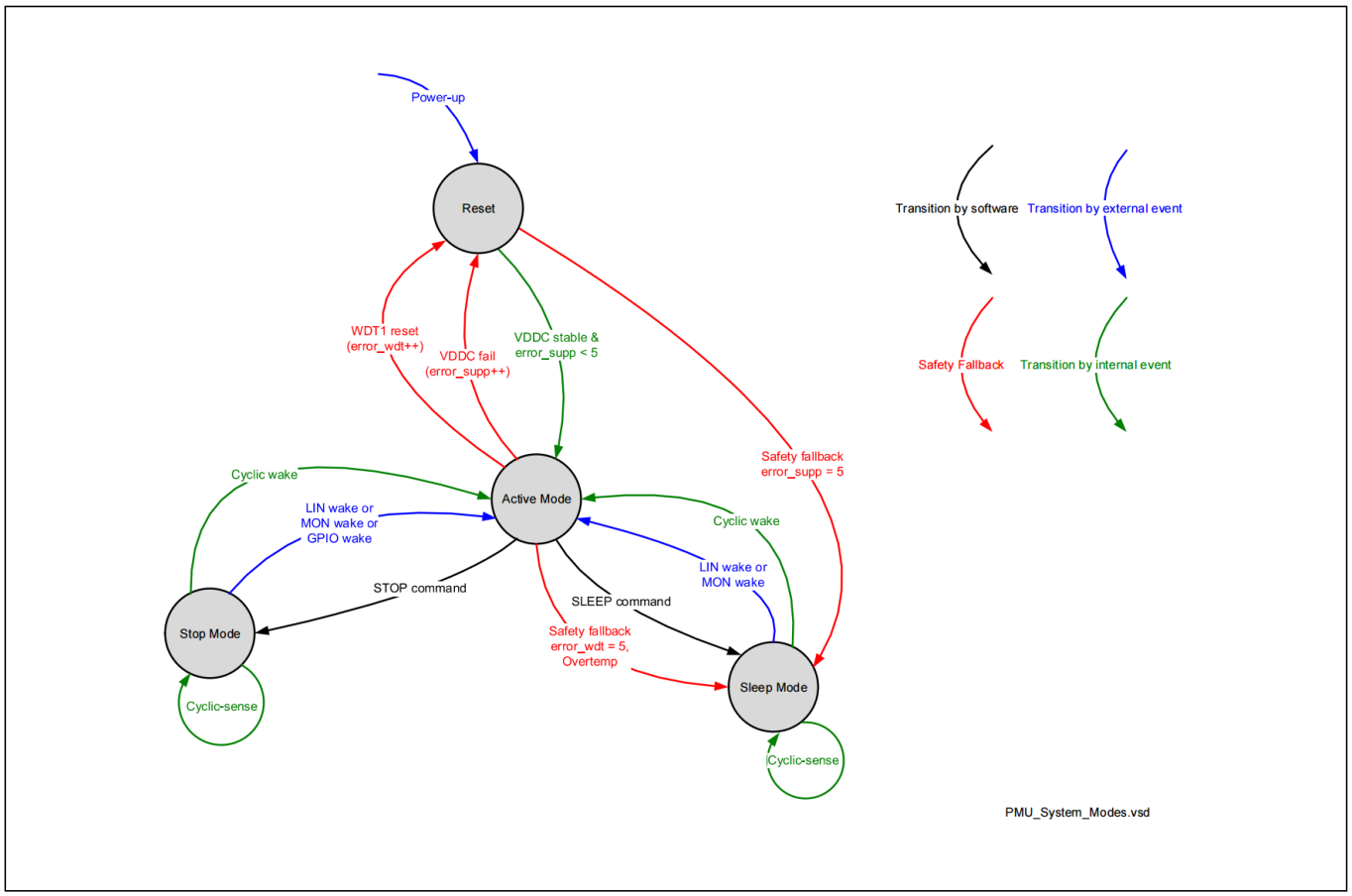


图 3 电源控制状态图

运行模式

复位模式

复位模式是一种过渡模式，例如在上电复位后、器件上电期间。在此模式下，片上电源使能，且所有其他模块完成初始化。一旦内核电源 VDDC 稳定，即进入工作模式。如果看门狗定时器 WDT1 发生四次以上故障，系统将自动安全切换至休眠模式。

活动模式

在工作模式下，所有模块均被激活，TLE9853QX 可完全正常运行。

停止模式

停止模式是两种主要低功耗模式中的一种。通过在模式控制寄存器中设置相应位，即可切换至低功耗模式。在停止模式下，片上微控制器仍保持供电，可实现更快的唤醒响应时间，但无时钟信号。可通过 LIN 总线活动、高压监测输入引脚或相应的 5V GPIO 从此模式唤醒。

睡眠模式

休眠模式是一种主要的低功耗模式。通过在微控制器模式控制寄存器中设置相应位，即可切换至低功耗模式。休眠时间是可配置的。在休眠模式下，片上微控制器电源被关闭，可实现最低的系统功耗，但与停止模式相比，唤醒时间更长。在此模式下，可使用一个64 位宽的缓冲区用于数据存储。可通过 LIN 总线活动、高压监测输入引脚或循环唤醒从此模式唤醒。从休眠模式唤醒的行为，与上电复位类似。切换至休眠模式期间，不会丢失任何输入的唤醒请求（即无死区时间）。即使 LIN 处于显性电平，仍可进入休眠模式。

循环唤醒模式

循环唤醒模式是休眠模式和停止模式下的一种专用工作模式。切换至循环唤醒模式的方法是：先在模式控制寄存器中设置相应位，随后执行 SLEEP 或 STOP 指令。除循环唤醒功能（可编程时间段后唤醒）外，普通停止模式与休眠模式的唤醒源同样有效。

循环检测模式

循环检测模式是休眠模式与停止模式下的一种特殊工作模式。向循环检测模式的切换流程为，先在模式控制寄存器中设置相应位，随后执行 STOP 或 SLEEP 指令。在循环检测模式下，高端开关可周期性导通，例如用于对部分开关进行偏置。唤醒条件可配置，当指定监测输入在关注窗口内的检测结果，相较于上一唤醒周期发生变化，或分别达到预设状态时触发。此时将立即进入工作模式。

下表分别列出了每个主要模块或功能可能的电源模式配置。

表 2 电源模式配置

Module/function	Active Mode	Sleep Mode	Stop Mode	Comment
VPRE, VDDP, VDDC	ON	OFF	ON	–
VDDEXT	ON/OFF	OFF	cyclic ON/OFF	–
HS	ON/OFF	cyclic ON/OFF	cyclic ON/OFF	cyclic sense

运行模式

表 2　　电源模式配置（续）

Module/function	Active Mode	Sleep Mode	Stop Mode	Comment
Bridge Driver	ON/OFF	OFF[1)]	OFF[1)]	–
LIN TRx	ON/OFF	wake-up only / OFF	wake-up only/ OFF	–
MONx (wake-up)	n.a.	disabled/static/ cyclic	disabled/static/ cyclic	cyclic: combined with HS=on
MONx (measurement)	ON/OFF	OFF	OFF	available on all channels
VS sense	ON/OFF brownout detection	brownout detection	brownout detection	brownout det. done in PCU
VBAT_SENSE	ON/OFF	OFF	OFF	–
GPIO 5V	ON	OFF	ON	–
WDT1	ON	OFF	OFF	–
CYCLIC WAKE	n.a.	cyclic wake-up/ cyclic sense/OFF	cyclic wake-up/ cyclic sense/OFF	cyclic sense with HS; wake-up needs MC for enter Sleep Mode again
Measurement	ON[2)]	OFF	OFF	–
Micro Controller Unit	ON/slow-down/STOP	OFF	OFF	–
CLOCK GEN (MC)	ON	OFF	OFF	–
LP_CLK (f_{LP_CLK})	ON	OFF	OFF	WDT1
LP_CLK2 (f_{LP_CLK2})	ON	ON	ON	for cyclic wake-up

1) 桥接器驱动器 “保持模式”在睡眠模式和停止模式下可用。

2) 由于安全原因可能无法关闭

唤醒源优先级

所有唤醒源具有相同的优先级。为了处理唤醒源的异步特性，第一个唤醒信号将初始化唤醒序列。尽管如此，所有唤醒源都被锁存，以便向应用软件提供所有唤醒事件。软件可以将唤醒源标志位清楚。确保不会丢失唤醒事件。

作为默认唤醒源，MON 输入和循环唤醒在上电复位后激活，LIN 默认被禁用作为唤醒源。

唤醒级别和转换

唤醒可以由每个监测器输入的上升沿、下降沿或两个信号沿单独触发。

5 电源管理单元（PMU）

5.1 特性

- 系统模式控制（启动、睡眠、停止和激活）
- 电源管理（循环唤醒、循环感应）
- 控制系统稳压器并带有诊断功能（过载、短路、过压）
- 系统出错时的故障安全模式检测和运行
- 唤醒源配置和管理（LIN、MON、GPIO）
- 系统错误记录

5.2 简介

电源管理单元的作用是确保系统IC具备故障安全特性。因此，电源管理单元控制所有系统模式，包括相应的转换。电源管理单元负责生成MCU （VDDC、VDDP）和外部供电（VDDEXT）所需的所有电压。此外，PMU 还为系统模式切换提供定义明确的时序序列，并生成分级复位优先级。复位优先级控制所有系统功能的复位行为，尤其是嵌入式MCU 的复位行为。所有这些功能均由有限状态机控制。PMU的系统主机功能需要生成独立的逻辑电源和系统时钟。因此，PMU 具有模块内部逻辑电源和系统时钟，其工作独立于MCU 时钟。

5.2.1 框图

下图所示为电源管理单元的结构。表 3 更详细地描述子模块。

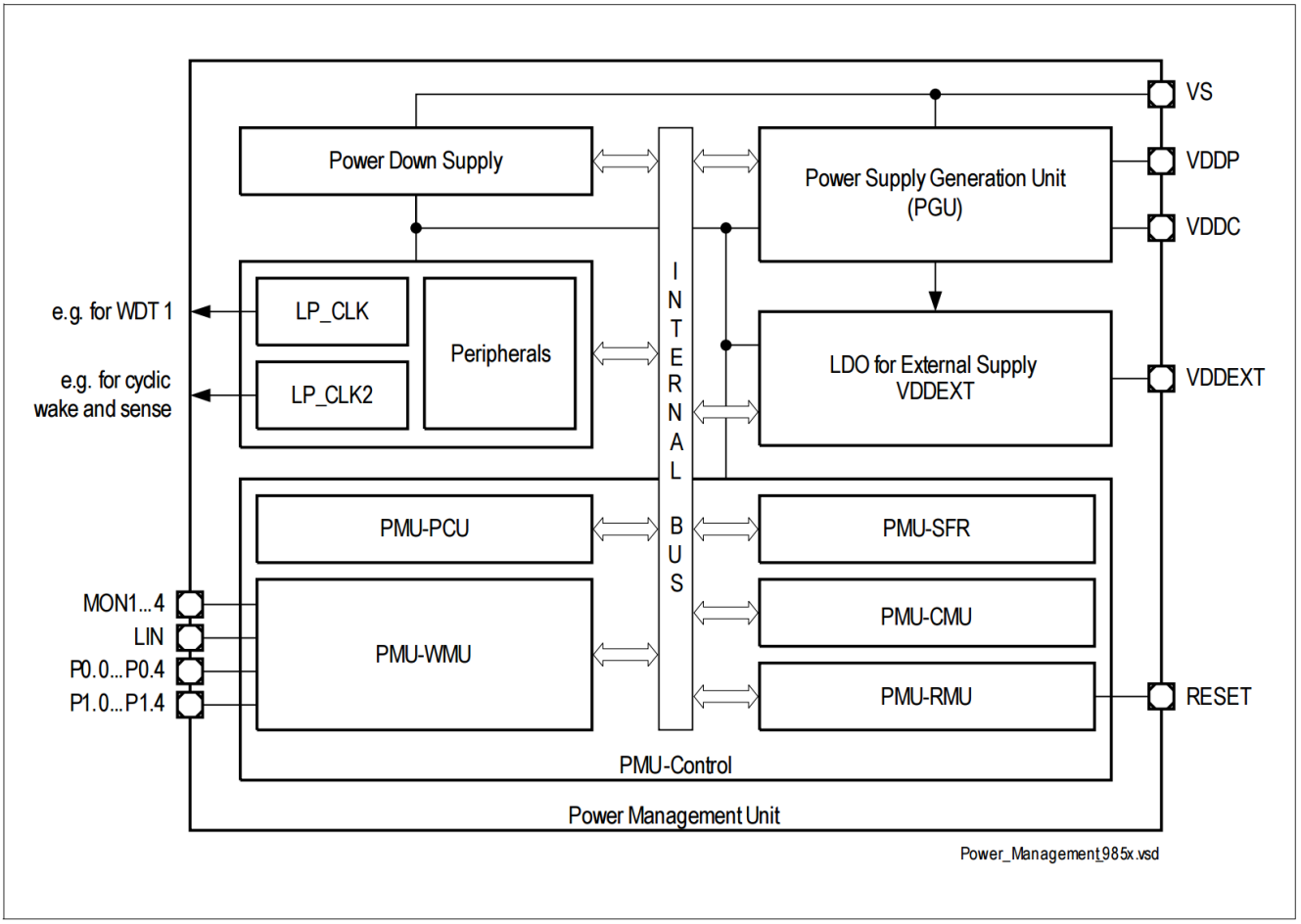


图 4 电源管理单元框图

表 3 PMU子模块描述

Mod. Name	Modules	Functions
Power Down Supply	Independent Supply Voltage Generation for PMU	This supply is dedicated to the PMU to ensure an independent operation from generated power supplies (VDDP, VDDC).
LP_CLK (= f_{LP_CLK})	• Clock Source for all PMU submodules • Backup Clock Source for System (can be selected as f_{sys} clock source through SCU_APCLK.SYSCLKSEL) • Clock Source for WDT1	This ultra low power oscillator generates the clock for the PMU. This clock is also used as independent clock source for WDT1.
LP_CLK2 (= f_{LP_CLK2})	Clock Source for PMU	This ultra low power oscillator generates the clock for the PMU in Stop Mode and in the cyclic modes.

表 3　　PMU 子模块描述（续）

Mod. Name	Modules	Functions
Peripherals	Peripheral Blocks of PMU	These blocks include the analog peripherals to ensure a stable and fail safe PMU startup and operation (bandgap, bias).
Power Supply Generation Unit (PGU)	Voltage regulators for VDDP and VDDC	This block includes the voltage regulators for the pad supply (VDDP) and the core supply (VDDC).
VDDEXT	Voltage regulator for VDDEXT to supply external modules (e.g. Sensors)	This voltage regulator is a dedicated supply for external modules.
PMU-SFR	All PMU relevant Extended Special Function Registers	This module contains all PMU relevant registers, which are needed to control and monitor the PMU.
PMU-PCU	Power Control Unit of the PMU	This block is responsible for controlling all power related actions within the PGU Module.It also contains all regulator related diagnosis like under- and overvoltage detection, overcurrent and short circuit diagnoses.
PMU-WMU	Wake-up Management Unit of the PMU	This block is responsible for controlling all Wake-up related actions within the PMU Module.
PMU-CMU	Cyclic Management Unit of the PMU	This block is responsible for controlling all actions within cyclic mode.
PMU-RMU	Reset Management Unit of the PMU	This block generates resets triggered by the PMU like undervoltage or short circuit reset, and passes all resets to the relevant modules and their register. A reset status register with every reset source is available.

5.2.2 PMU 模式概述

以下状态图显示了该器件的可用模式。

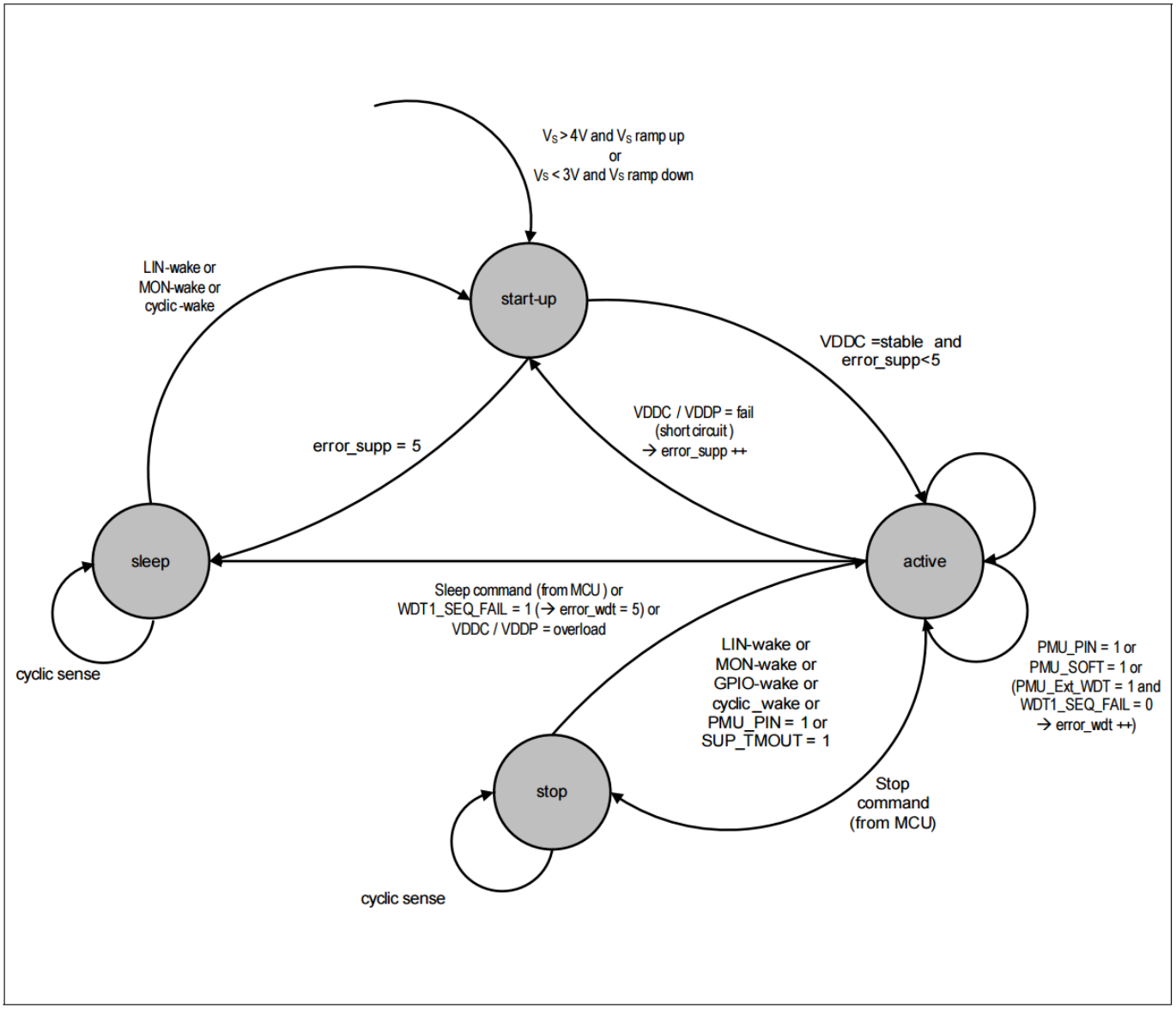


图 5 电源管理单元系统模式

5.3 电源生成单元（PGU）

5.3.1 稳压器 5.0 V (VDDP)

该模块代表 5 V 稳压器，为并行端口引脚和其他 5 V 模拟功能供电（例如 LIN 收发器）。

特性

- 5 V 低压差稳压器
- 带 MCU 信号（中断）进行过流监控和关断
- 带 MCU 信号（中断）的过压监控
- 带 MCU 信号（中断）的欠压监控
- 带复位功能的欠压监控（欠压复位，V_{DDPUV}）
- 带 MCU 信号通知（中断）的过热关断
- VDDC 调节器的预调节器
- GPIO 供电
- 仅在睡眠模式下在输出端下拉电流源

输出电容器 C_{VDDP} 为确保稳压器正常工作，该电容为必需配置。

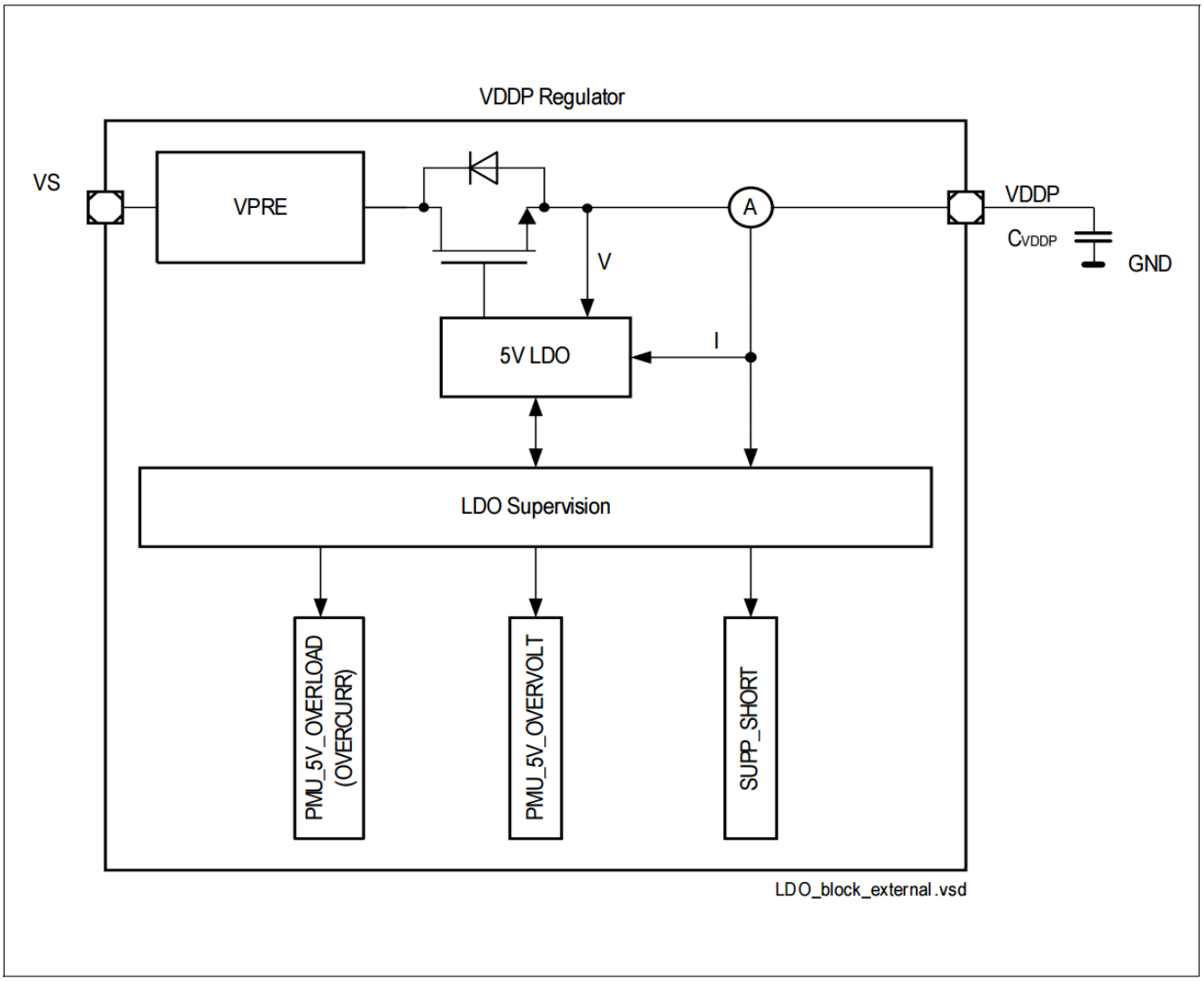


图 6　　VDDP 稳压器模块框图

5.3.2 稳压器1.5 V (VDDC)

该模块代表 1.5V 稳压器，为飓风磁芯、数字外设及其他芯片内部模拟1.5V功能（如 ADC）。

特性

- 1.5 V 低压差稳压器
- 带 MCU 信号（中断）进行过流监控和关断
- 带 MCU 信号（中断）的过压监控
- 带 MCU 信号（中断）的欠压监控
- 带复位的欠压监控
- 带 MCU 信号通知（中断）的过热关断
- 仅在睡眠模式下在输出端下拉电流源

输出电容器 C_{VDDC} 是必需的，以确保稳压器能够正常工作。

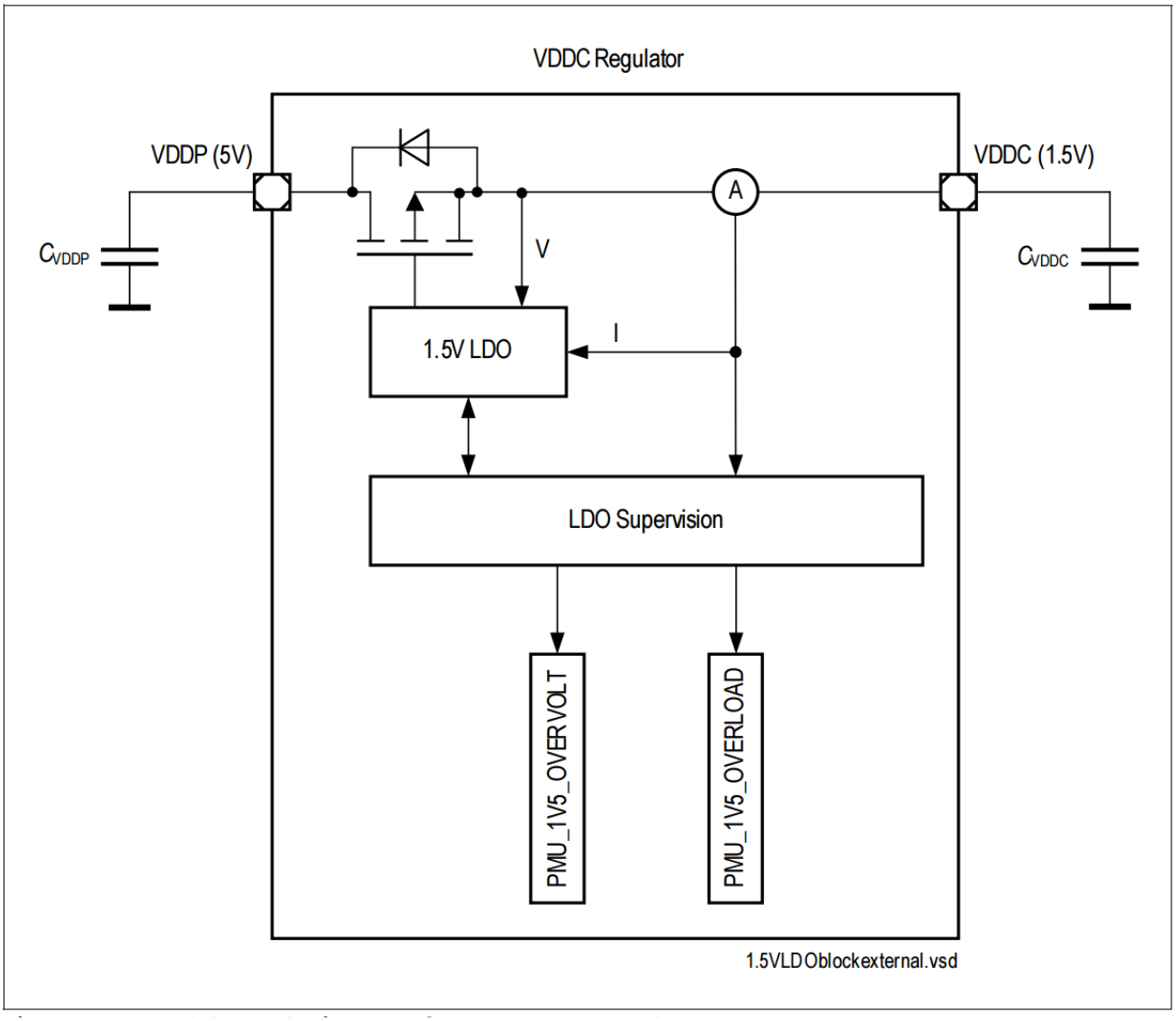


图 7 VDDC 稳压器模块框图

5.3.3 外部稳压器 5.0 V (VDDEXT)

该模块代表 5 V 稳压器，为外部电路供电。

例如，可用于为外部传感器、LED 或电位器供电。

特性

- 可通过软件切换的 5 V 低压差稳压器
- 为驱动小容性负载而设置的上电欠压屏蔽时间
- 固有电流限制
- 欠压监测与关断，并带有 MCU 信号通知（中断）
- 带 MCU 信号通知（中断）的过热关断
- 稳压器关闭时，输出端的阻性放电通路
- 与 GPIO 一起提供周期性感应
- 可进入低电流模式，以降低停机模式下的电流消耗。在此模式下，电流驱动能力会被降低至 I_{VDDEXT_LCM}

输出电容器 C_{VDDEXT} 是必需的，以确保稳压器能够正常工作。

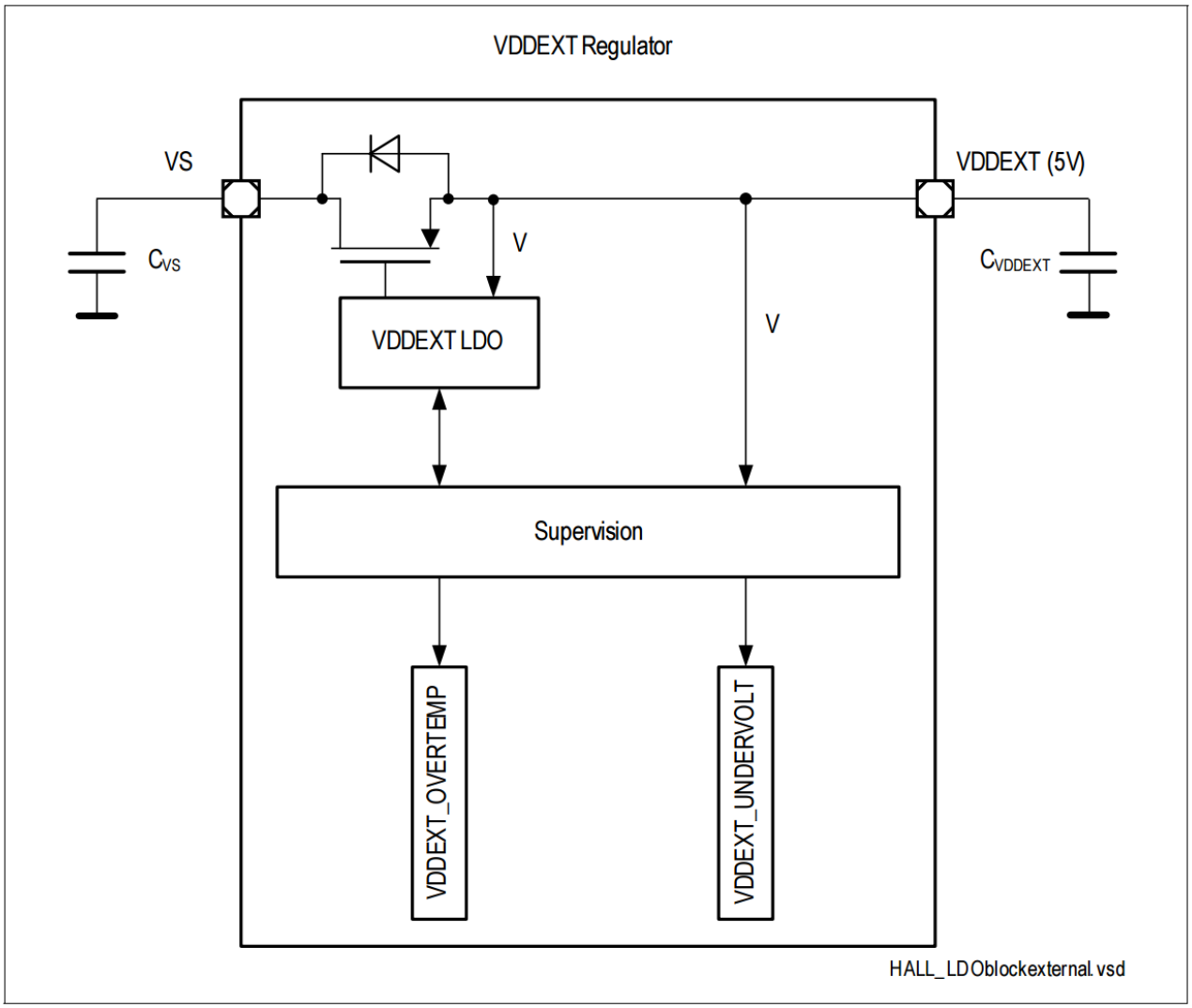


图 8 模块框图

5.3.4 上电复位概念

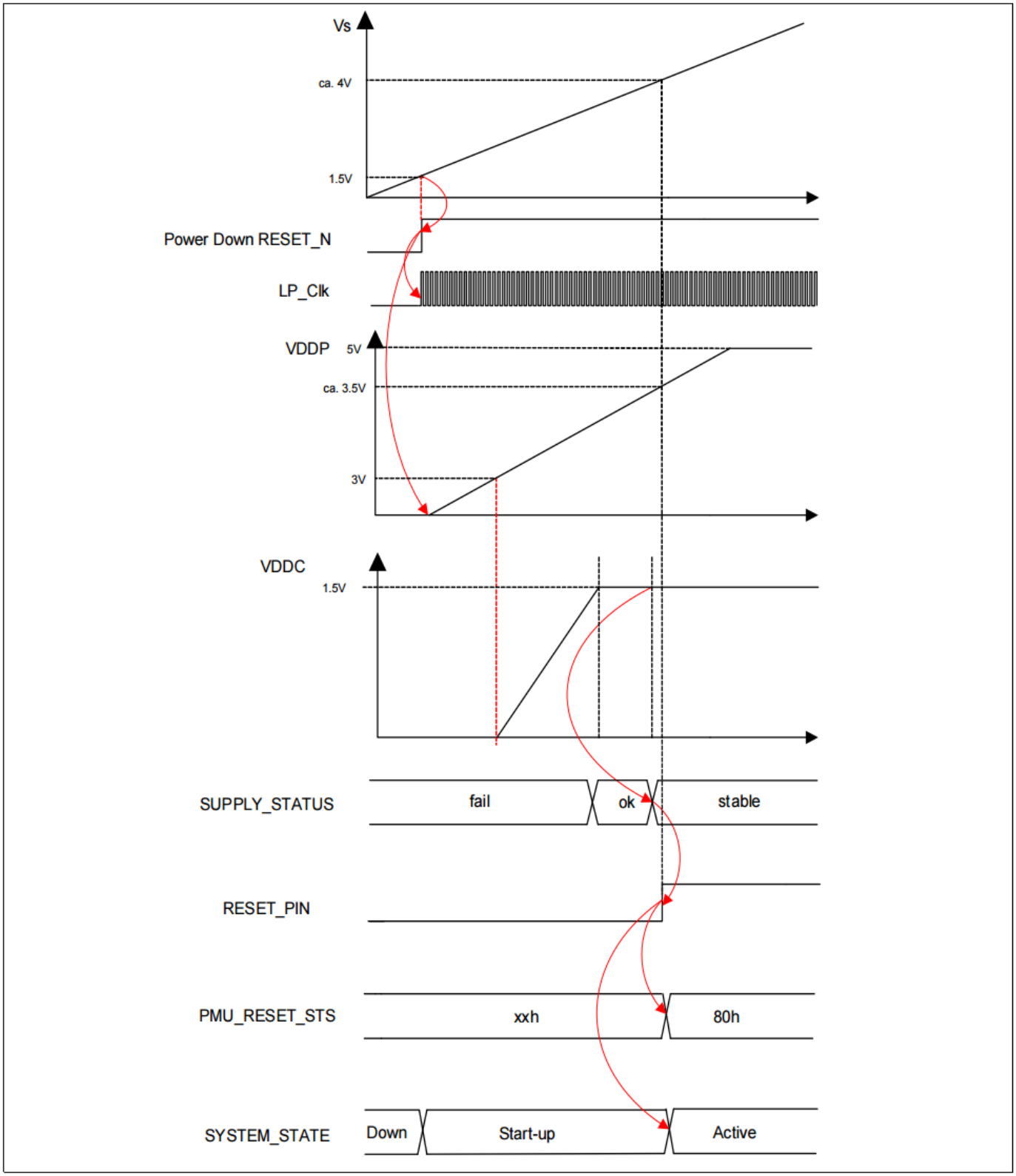


图 9 上电复位概念

6 系统控制单元 - 数字模块 (SCU-DM)

6.1 特性

- 灵活的时钟配置功能
- 所有系统重置的重置管理
- 所有功耗模式的系统模式控制（运行、掉电、休眠）
- 多个系统外设的中断使能
- 通用输入输出控制
- 系统外设的调试模式控制

6.2 简介

系统控制单元（SCU）支持 TLE9853QX 中的所有中央控制任务。SCU由以下子模块组成：

- 时钟系统和控制（CGU）
- 复位控制（RCU）
- 电源管理（PCU）
- 中断管理（ICU）
- 常规端口控制
- 灵活的外设管理
- 模块挂起控制
- 看门狗计时器（WDT）
- 数据存储器中的错误检测和纠正
- 杂项控制
- 寄存器映射

6.2.1 框图

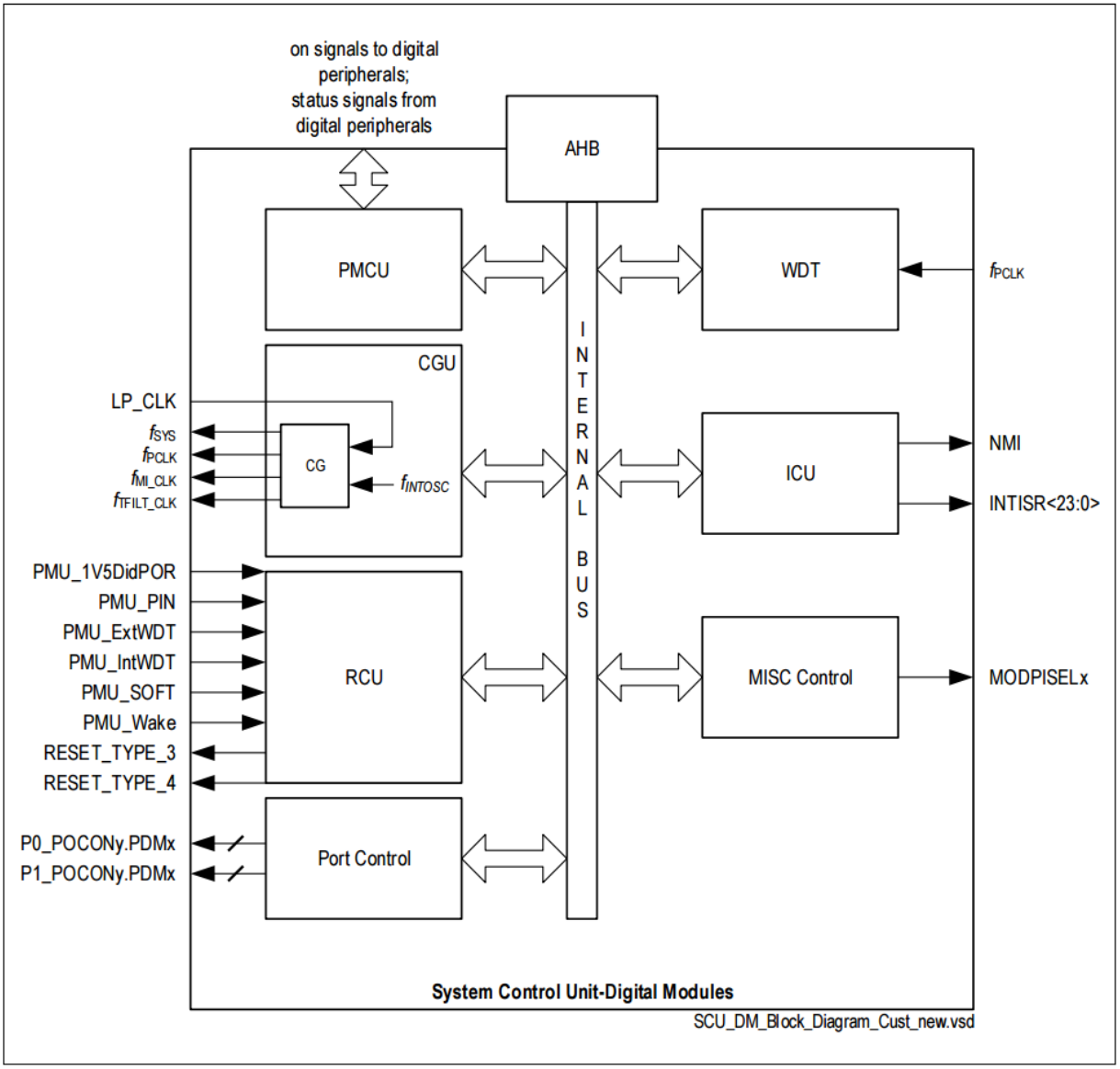


图 10 系统控制单元 - 数字模块框图

SCU_DM 的 IO 描述：

- CGU：
  - f_{sys}；系统时钟
  - LP_CLK；低功耗备用时钟
- RCU：
  - 1V5DidPOR; 掉电电源欠压复位
  - PMU_PIN; 复位引脚产生的复位
  - PMU_ExtWDT; WDT1 复位
  - PMU_IntWDT; WDT（SCU）复位

  - PMU_SOFT; 软件复位
  - PMU_Wake; 通过复位退出停止模式
  - Reset_Type_3; 外设复位（包含所有复位）
  - Reset_Type_4; 外设复位（不包含 SOFT 和WDT复位）
- 端口控制：
  - P0_POCONy.PDMx; 驱动能力控制位
  - P1_POCONy.PDMx; 驱动能力控制位
- MISC:
  - MODPISELx;UART（源选择）与定时器（触发或计数选择）的模式选择寄存器
- WDT（SCU-DM中的看门狗定时器）： f_{SYS} ； 系统时钟

6.3 时钟生成单元

时钟生成单元 (CGU) 为 TLE9853QX 提供灵活的时钟生成。在用户程序执行期间，可以对频率进行编程，以获得性能和功率消耗之间的最佳比率。因此功率消耗可以适应实际应用状态。

TLE9853QX 中的 CGU 由内部振荡器 (f_{INTOSC}) 和时钟控制单元 (CCU) 组成。

系统时钟 f_{SYS} 由以下可选时钟生成：

- 内部振荡器的直接输出 f_{INTOSC}
- 低精度时钟 f_{LP_CLK} （复位启动后和掉电唤醒期间由硬件使能）

以下内容描述了 CGU 的不同部分。

6.3.1 低精度时钟

时钟源 LP_CLK 是一个低精度 RC 振荡器（LP-OSC，请参阅 f_{LP_CLK}），由硬件启用，作为复位后和电源下降唤醒序列期间 TLE9853QX 启动的独立时钟源。f_{LP_CLK} 上无法进行用户配置。

6.3.2 时钟控制单元

时钟控制单元 (CCU) 接收来自内部输入时钟 f_{INTOSC}，或低精度输入时钟 f_{LP_CLK}。系统频率源自其中一个时钟源。

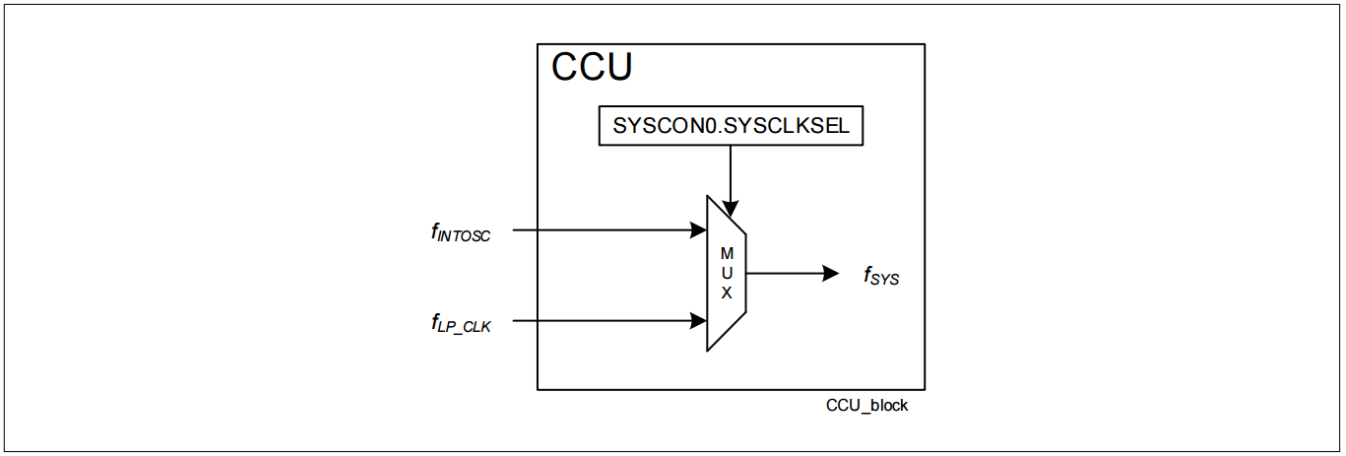


图 11 时钟控制单元的时钟输入

CCU 根据系统时钟生成微处理器内所有必要的时钟信号。它包括：

- 时钟减慢电路
- 用于时钟控制的集中式使能/禁止电路

在正常运行模式下，主模块频率（除非另有说明，否则同步）如下：

- 系统频率，f_{SYS} = 高达 40 MHz（测量接口时钟 MI_CLK 源自此时钟）
- CPU 时钟（CCLK、SCLK）= 最高 40 MHz（由 NVM 访问时钟分频得到）
- NVM 访问时钟 (NVMACCCLK) = 高达 40 MHz
- 外设时钟（PCLK、PCLK2、NVMCLK）= 最高 40 MHz（等于 CPU 时钟；必须相同或更高）

一些外设由 PCLK 提供时钟，其他外设由 PCLK2 提供时钟，而 NVM 由 NVMCLK 和 NVMACCCLK 提供时钟。在正常运行模式下，PCLK = PCLK2 = NVMCLK = CCLK。从掉电模式唤醒时，PCLK2 将与 NVMCLK 类似地被恢复。

为了优化NVM访问（读/写）并减少等待状态（多个），并且考虑到CPU操作频率的系统要求，提供了位字段NVMCLKFAC，用于设置NVM访问时钟NVMACCCLK和CPU时钟CCLK之间的频率系数。

对于减速模式，使用在位字段 CLKREL 处设置时钟分频器的减速电路来降低工作频率。仅当通过 SFR 寄存器位 PMCON0.SD 使能减速模式时，CLKREL 位域才有效。值得注意的是，位字段CLKREL的减速设置相应地降低了NVMACCCLK时钟。减慢设置不会影响 NVM 的擦除和写入周期。

外设 UART1、UART2、T2 和 T21 不受 CLKREL 或 NVMCLKFAC 的影响，从而允许在减速模式下进行功能性 LIN 通信。

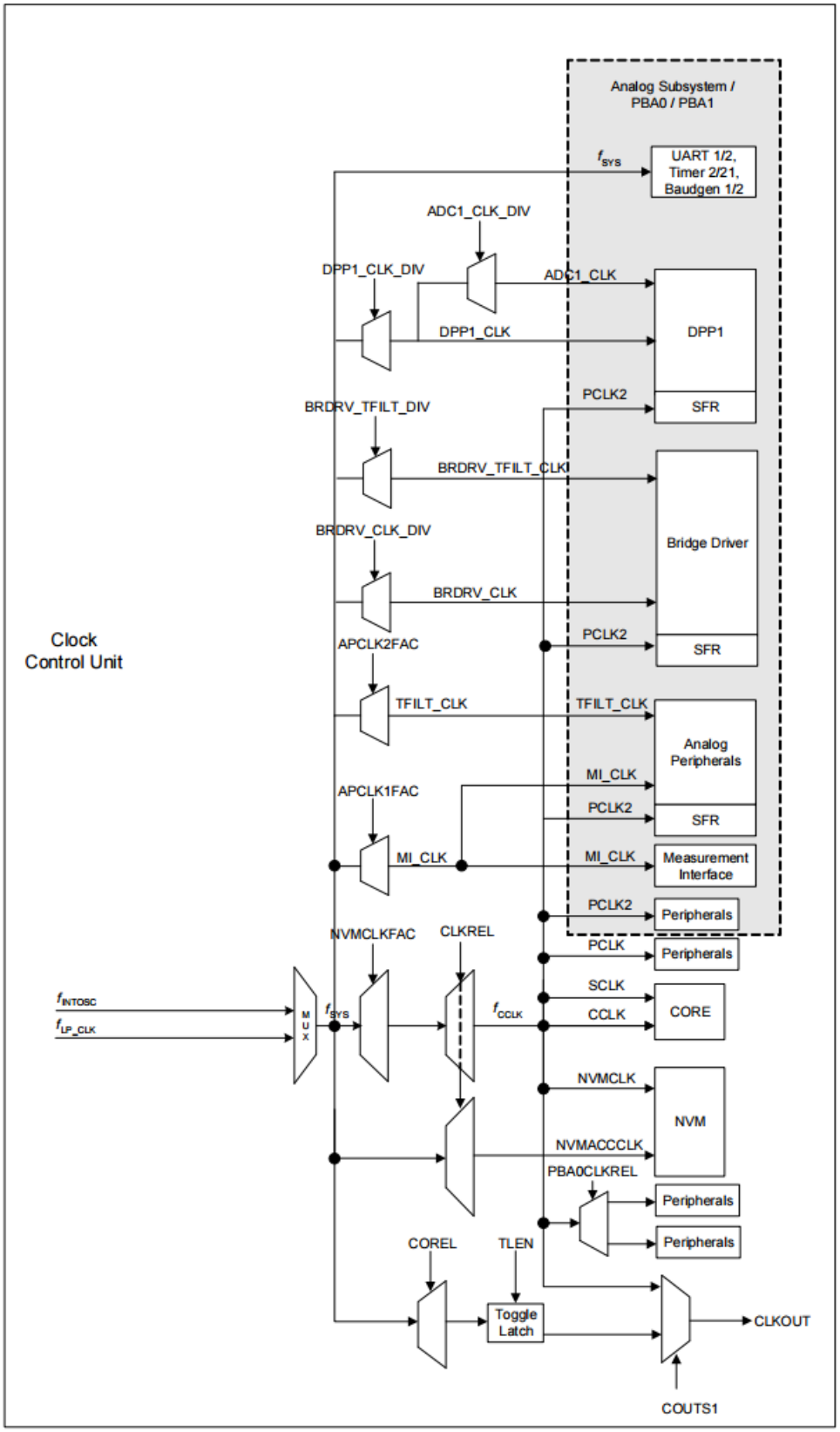


图 12　　由 f_{sys} 产生时钟；CLKOUT 生成

7 系统控制单元 - 功率模块 (SCU-PM)

7.1 特性

- 时钟监控单元（CWU）：监控所有与电源模块相关的时钟，并通过非屏蔽中断NMI上报。
- 中断控制单元（ICU）：所有系统相关的中断标志和状态标志。
- 电源控制单元 (PCU)：当器件进入和退出睡眠和停止模式时接管控制。
- 外部看门狗（WDT1）：独立的系统看门狗，用于监控系统活动

7.2 简介

7.2.1 框图

功率模块的系统控制单元由下图所示的子模块组成：

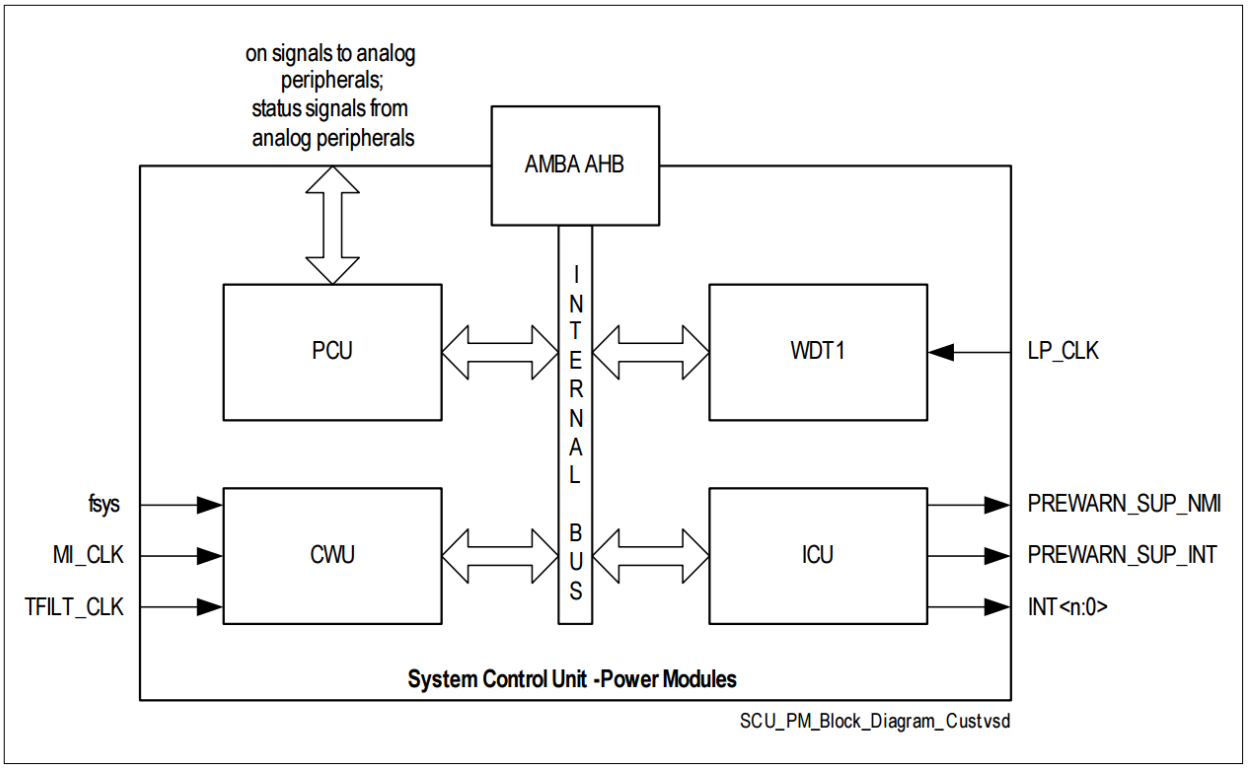


图 13 系统控制单元 - 电源模块框图

SCU_PM 的 I/O 描述：

- CWU：
  - 检查f_{sys} = 系统频率
  - 检查 MI_CLK = 测量接口时钟（模拟时钟）：由 f_{sys} 按分频因子 1/2/3/4 得出
  - 检查 TFILT_CLK = 用于数字滤波器的时钟： f_{sys} 由可配置分频因子从派生而来

- ICU：
  - PREWARN_SUP_NMI = 生成预警电源 NMI
  - PREWARN_CLK_INT = 生成预警时钟看门狗 NMI
  - INT = 产生MISC中断

8 Arm® Cortex® M0 内核

8.1 特性

已实现的 Arm® Cortex®-M0 关键特性如下所列。

处理器内核。门数极低的内核，具备低延迟中断处理能力：

- Thumb® + Thumb-2® 指令集
- 仅限堆栈指针 (SP)
- 处理程序和线程模式
- 指针和调试状态
- 可中断连续指令 LDM/STM、push/pop，实现低中断延迟
- 处理器状态自动保存与恢复，实现中断服务程序（ISR）低延迟进入和退出
- Arm® 架构 v6-M 风格
- Arm® v6 未对齐访问
- 系统定时器（典型值 1ms)

嵌套向量中断控制器（NVIC） 与处理器内核紧密集成，以实现低延迟中断处理：

- 外部中断，可配置为 1 至 24
- 7 个中断优先级寄存器，级别从 0 到 192，步长为 64
- 中断动态优先级调整
- 优先级分组。可实现抢占式中断优先级与非抢占式中断优先级的选择
- 支持尾随中断和延迟中断。这使得可实现背对背中断处理，中断之间无需状态保存与恢复的开销。
- 中断进入时自动保存处理器状态，中断退出时自动恢复，无指令开销

总线接口

- 精简高级高性能总线（AHB-Lite）接口

8.2 简介

Arm® Cortex®-M0 处理器是一款主流的 32 位处理器，面向微控制器、汽车车身系统及工业控制系统等广泛应用，提供高性能、成本优化的平台。与 Arm® Cortex® 系列其他处理器相同，Arm® Cortex®-M0 处理器采用 Thumb®-2 指令集架构。凭借优化的功能集，Arm® Cortex®-M0 在传统 8 位和 16 位微控制器的应用领域中，可提供 32 位性能。

8.2.1 框图

图 14 展示Arm® Cortex® -M0 的功能框图。

Arm® Cortex® M0 内核

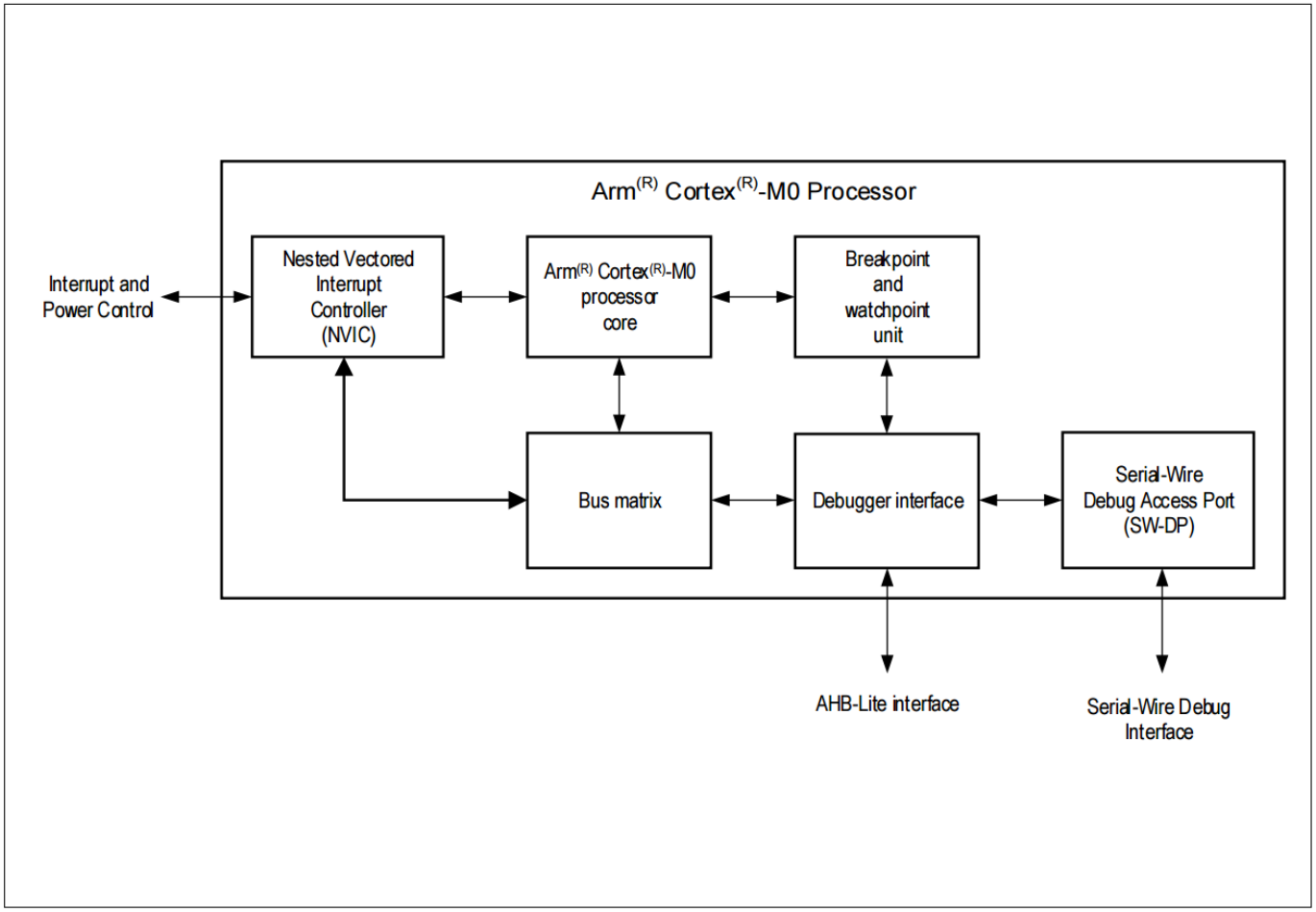


图 14　　Arm® Cortex® -M0 框图

9 地址空间结构

TLE9853QX 在以下存储空间中对操作数进行操作：

- 代码空间中有 48 KB 闪存
- 代码空间中的 24 KB 引导 ROM 存储器（用于引导代码与 IP 存储）
- 位于 Arm® Cortex®-M0 代码区的 4 KB RAM 存储器（该 RAM 可作为程序存储器进行取指、读 / 写操作）
- 位于外设线性地址空间中的特殊功能寄存器（SFR）

TLE9853QX 提供的片上存储器模块包括：

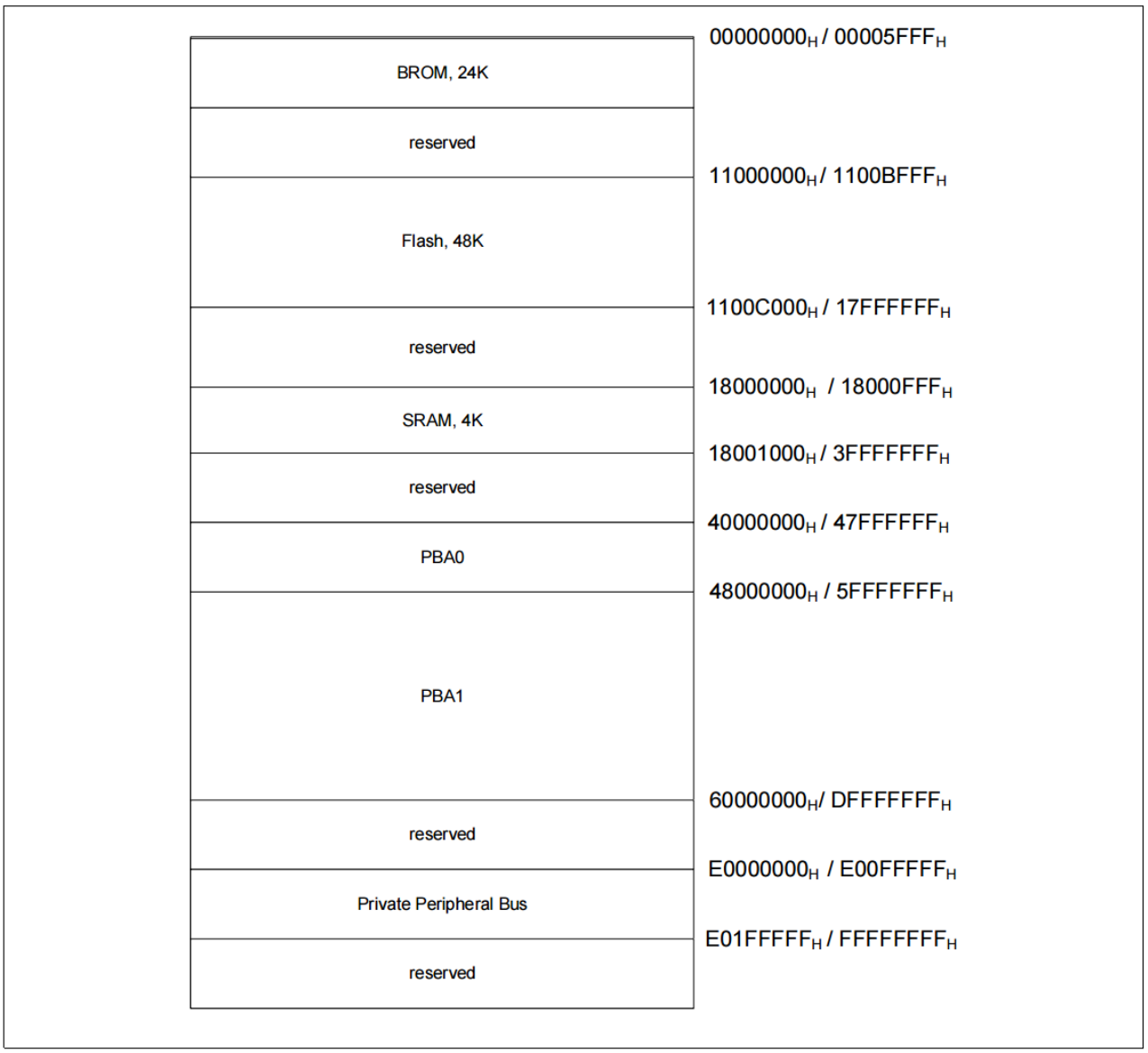


图 15 TLE9853QX存储器图

10 存储控制单元

10.1 特性

- 通过 AHB-Lite 接口提供对 ROM、RAM、NVM、配置扇区的存储器访问
- 用于 RAM 的 MBIST
- 用于 ROM 的 MBIST
- 通过 AHB-Lite 接口，利用特殊功能寄存器对 NVM 进行配置
- 硬件存储器保护逻辑
- 栈溢出检测

10.2 简介

10.2.1 框图

存储器控制单元（MCU）分为以下子模块：

- NVM存储模块（片上flash）
- RAM 存储模块
- BootROM 存储模块
- 存储器保护单元 (MPU)

存储控制单元

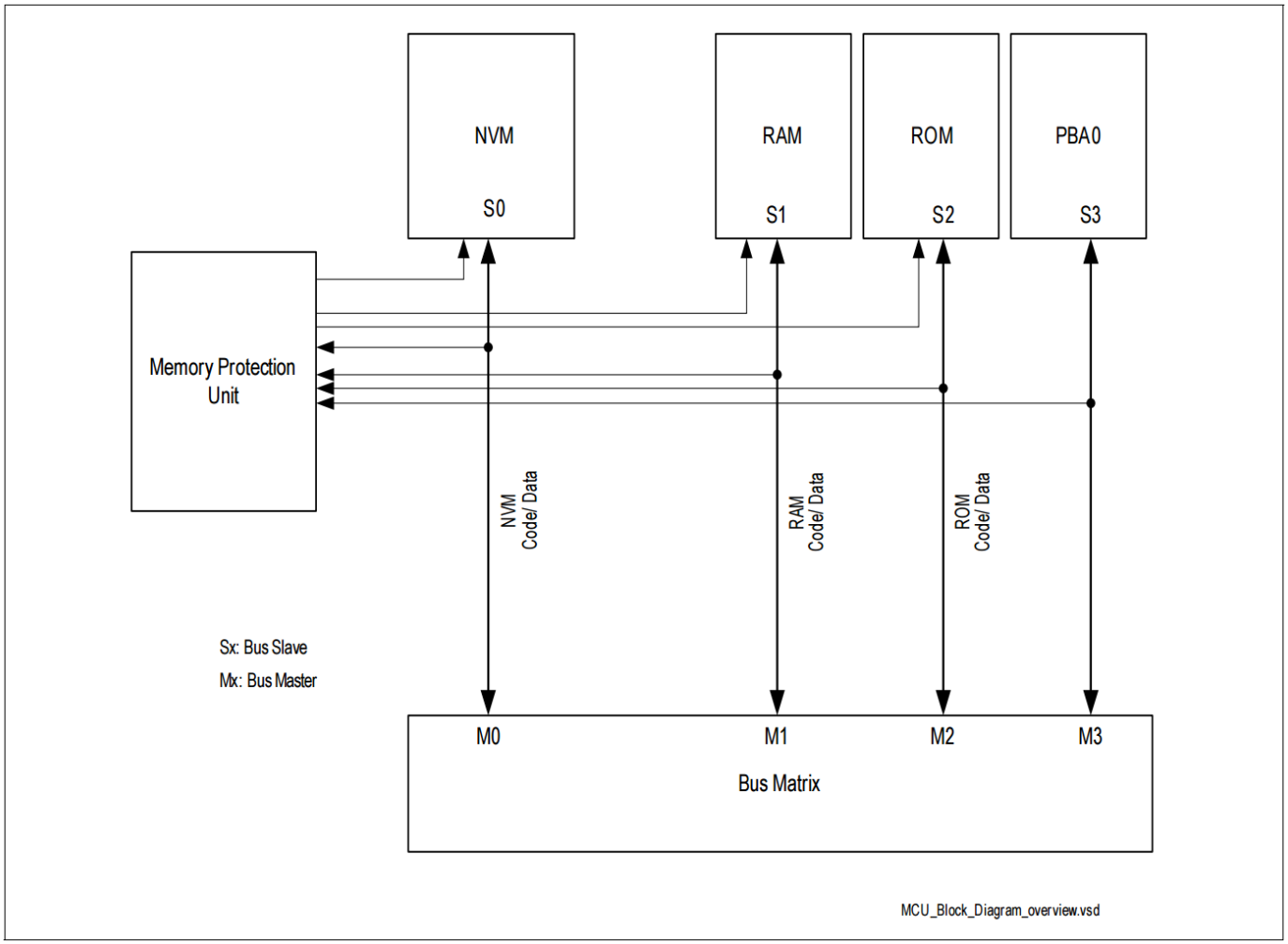


图 16　　存储器控制单元功能块视图

RAM 的功能特性

- 4 KB RAM
- 用于检测单独的一位错误和双位错误以及动态纠正单独的一位错误的错误纠正码 (ECC)
- 单字节访问

10.3 NVM （flash存储器）

该闪存提供嵌入式用户可编程非易失性存储器，可实现用户代码与数据的快速、可靠存储。

特性

- 通过LIN （Flash模式）和SWD进行系统内编程
- 数据块（双字，64 位）配备纠错码（ECC），可检测单比特与双比特错误，并对单比特错误进行动态纠错。
- 双比特错误会触发非屏蔽中断NMI进行中断与信号上报，且双比特错误的地址可通过固件FW API用户程序读取
- 可通过 ROM 程序检查单个比特错误的发生情况
- 程序宽度为 128 字节 (页)
- 最小可擦除宽度为 128 字节（页）
- 为模拟 EEPROM 仿真提供硬件支持
- 8字节读取访问
- 物理读取访问时间：最大值 75 ns
- 代码读取访问加速集成（读取缓冲区）
- 页编程时间：典型值 3 ms
- 页擦除（128 字节）和扇区擦除（4K 字节）时间：典型值. 4 ms
- 用于 NVM 用户 BSL 区、代码区、数据线性区和数据映射区的 4 个独立保护密码
- 安全选项，用于保护在应用程序运行模式下通过调试接口读取的内容
- 写入/擦除 100TP 访问权限（例如选项字节）可以通过调试接口实现

注释：　用户必须确保任何时候都不会中断任何改变 flash 内容的操作。

NVM 的时钟由系统频率 f_{sys}。提供集成固件例程以简化 NVM 和其他操作，并且包括 EEPROM 仿真。

11 中断系统

11.1 特性

- 23 个用于片内外设的中断节点
- 8 个用于关键系统事件的非屏蔽中断NMI节点
- 最大灵活性（对应对所有中断节点进行优先级与节点分组）

11.2 简介

11.2.1 概述

TLE9853QX 支持 24 个中断向量，具有 4 个中断优先级。这些中断向量中有 21 个分配给片内外设：GPT12、SSC1、SSC2、CCU6、高侧开关、唤醒模块、桥驱动器、电荷泵、差分单元、数学除法器、GPIO、MON、CSA 及 A/D 转换器各分配一个专用中断向量；而 UART1 与 Timer2，或 UART2、外部中断 2 与 Timer21 共用中断向量。两个向量专用于外部中断 0 和 1。

表 4 中断向量表

Service Request	Node ID	Description
GPT1	0	GPTimer 1 Interrupt
GPT2	1	GPTimer 2 Interrupt
MU	2	MU interrupt / ADC2, VBG interrupt
ADC1	3	ADC10 Bit interrupt
CCU0	4	CCU6 node 0 interrupt
CCU1	5	CCU6 node 1 interrupt
CCU2	6	CCU6 node 2 interrupt
CCU3	7	CCU6 node 3 interrupt
SSC1	8	SSC1 interrupt (receive, transmit, error)
SSC2	9	SSC2 interrupt (receive, transmit, error)
UART1	10	UART1 interrupt (receive, transmit), Timer2, LIN sync, LIN
UART2	11	UART2 interrupt (receive, transmit), Timer21, External Interrupt (EINT2)
EXINT0	12	External interrupt (EINT0), wake-up
EXINT1	13	External interrupt (EINT1)
WAKEUP	14	Wake-up interrupt (generated by a wake-up event)
Math Div	15	Hardware Divider Unit Interrupt
rfu	16	Reserved for future use
CP	17	Charge Pump
BDRV	18	Bridge Driver

中断系统

表 4　　中断向量表（续）

Service Request	Node ID	Description
HS	19	High Side Interrupt
CSA	20	Current Sense Amplifier Overcurrent Measurement
DU	21	Differential Unit - DPP1
MONx	22	MONx Interrupt
Port 2.x	23	Port 2.x - DPP1

表 5　　NMI 中断表

Service Request	Node	Description
Watchdog Timer NMI	NMI	Watchdog Timer overflow
MI_CLK Watchdog Timer NMI	NMI	MI_CLK Watchdog Timer Overflow
Overtemperature NMI	NMI	System Overtemperature
Oscillator Watchdog NMI	NMI	Oscillator Watchdog
NVM Map Error NMI	NMI	NVM Map Error
ECC Error NMI	NMI	RAM / NVM Uncorrectable ECC Error
Supply Prewarning NMI	NMI	Supply Prewarning
Stack overflow	NMI	Stack Overflow

12 数学除法器模块

12.1 特性

数学协处理器具有以下特性：

- 除法功能，支持操作数预处理与结果后处理
- AHB 接口支持字节 / 半字 / 字的寄存器访问
- 支持内核时钟快于接口时钟，以实现快速执行

12.2 简介

数学协处理器（MATH）模块通过除法单元（DIV）为 CPU 的高运算量计算提供支持，可执行有符号和无符号 32 位除法操作。

12.3 框图

图 17 给出了数学协处理器的功能框图。

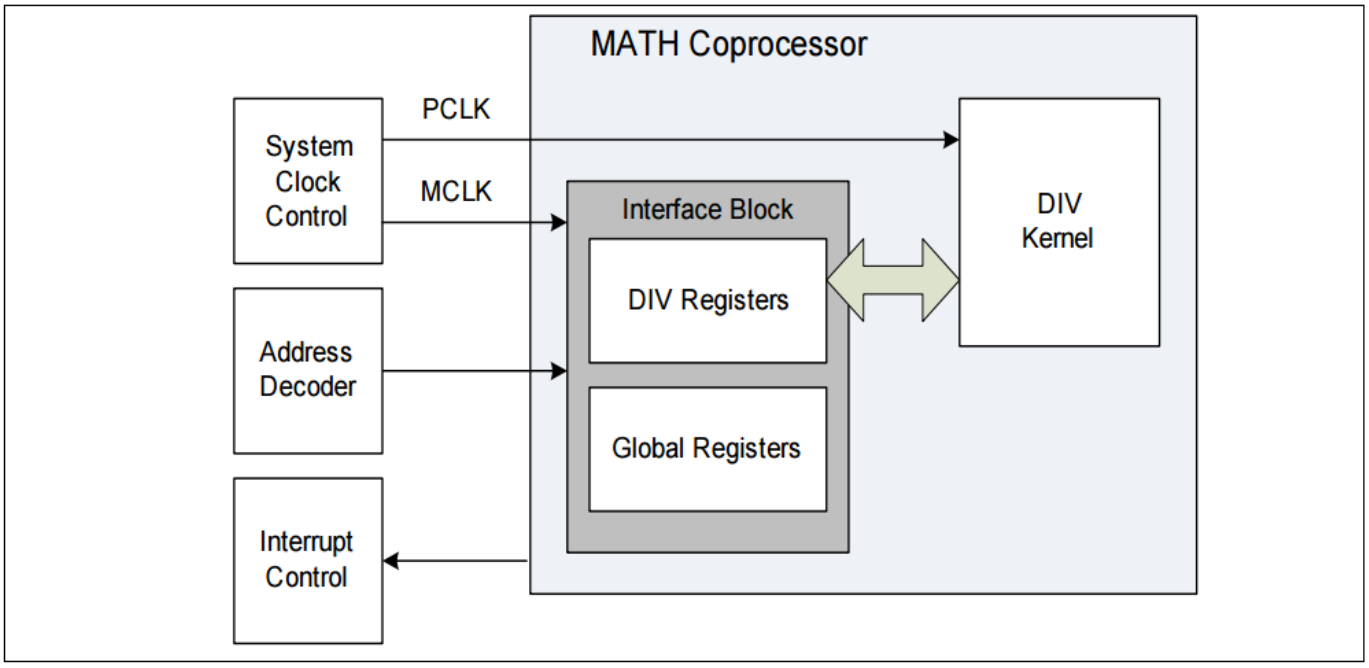


图 17 MATH 协处理器框图

13 看门狗定时器（WDT1）

13.1 特性

在运行模式下，WDT1 充当窗口看门狗定时器，它提供了一种高度可靠且安全的方法来从软件或硬件故障中恢复。

WDT1 始终在有源模式下启用。在睡眠模式、停止模式和调试模式下，WDT1 被禁用。

功能特性

- 看门狗定时器采用来自系统时钟（f_{SYS}）的独立时钟源（f_{LP_CLK}）
- 窗口看门狗定时器，在工作模式下可配置定时周期（16、32、48……1008 ms周期）
- 在上电、复位、唤醒后为长开窗（200 ms）
- 短开窗口（30 ms），便于 Flash 编程
- 错过 5 次 WDT1 服务后，安全关机，进入睡眠模式
- 调试模式下看门狗被禁用
- 正常模式下无法停用看门狗
- 看门狗复位存储在复位状态寄存器中

13.2 简介

主动模式下看门狗定时器的行为如图 18 所示。

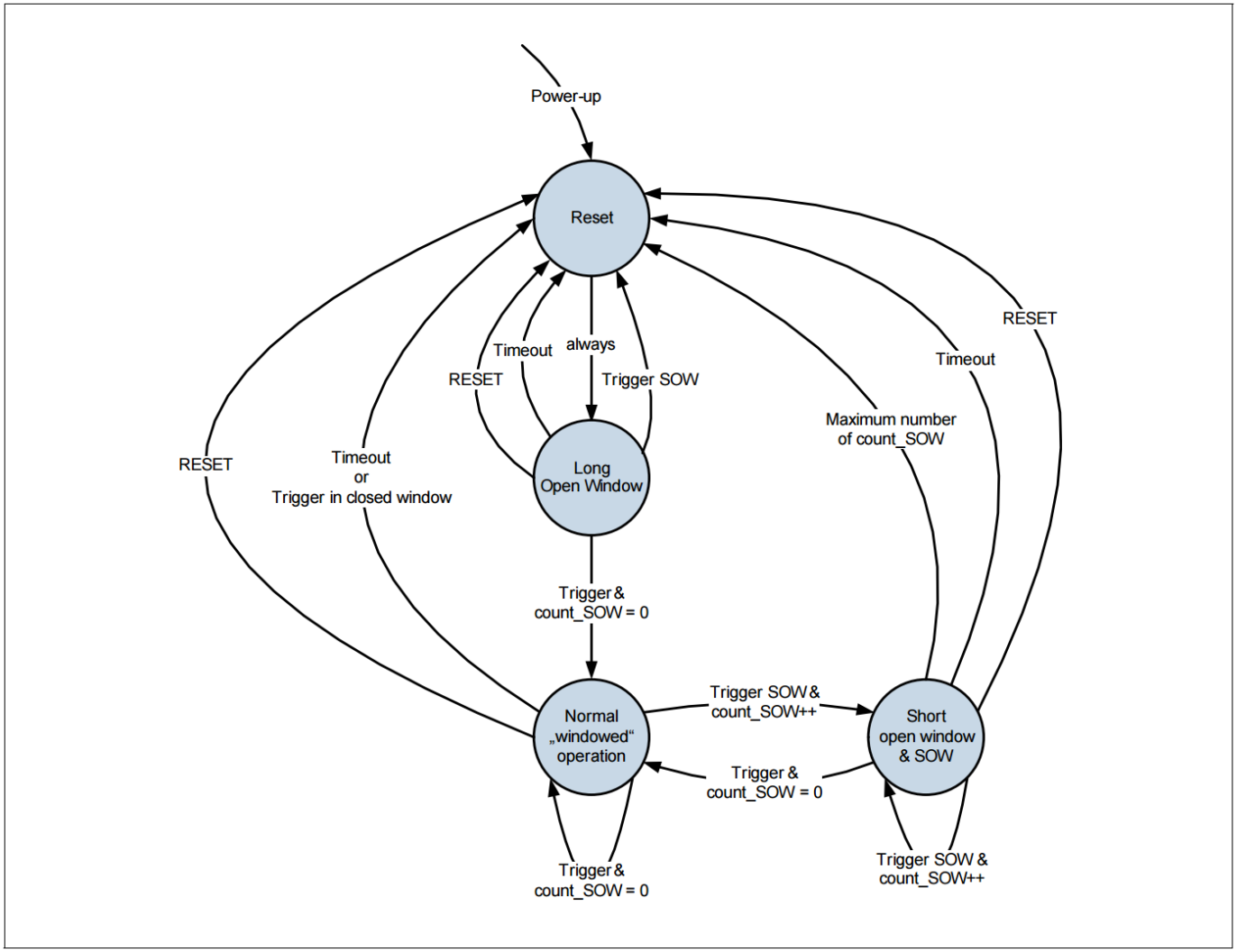


图 18 看门狗定时器行为

14 GPIO 端口和外设 I/O

TLE9853QX 有 15 个端口引脚，分成三组并行端口：端口 0 (P0)、端口 1 (P1) 和端口 2 (P2)。每个端口引脚都有一对内部上拉和下拉回路，可以单独启用或禁用。P0 和 P1 是双向的，可以用作通用输入/输出（GPIO）或为片上外设执行备用输入/输出功能。对于配置为输出的端口，可选择漏极开路模式。在端口 2 (P2) 上，模拟输入与通用输入共享。

14.1 特性

- 10 个 GPIO 和 5 个模拟输入。
- 复位引脚和霍尔输入处强上拉（P2.x 除外）

双向端口特性（P0、P1）

- 可配置的引脚方向
- 可配置的上拉/下拉回路
- 可配置的开漏模式
- 可配置的驱动电流大小
- 通过数字输入和输出（通用 I/O）传输数据
- 当 GPIO 配置为输出时，可回读引脚状态（用于短路检测）
- 作为片上外设的备用输入/输出

模拟端口功能（P2）

- 可配置的上拉/下拉回路
- 可以通过数字输入传输数据
- 作为片上外设的备用输入

14.2 简介

14.2.1 端口 0 和 端口 1

图 19 显示了TLE9853QX双向端口引脚的框图。每个端口引脚都配备有许多控制位和数据位，因此可以非常灵活地使用引脚。

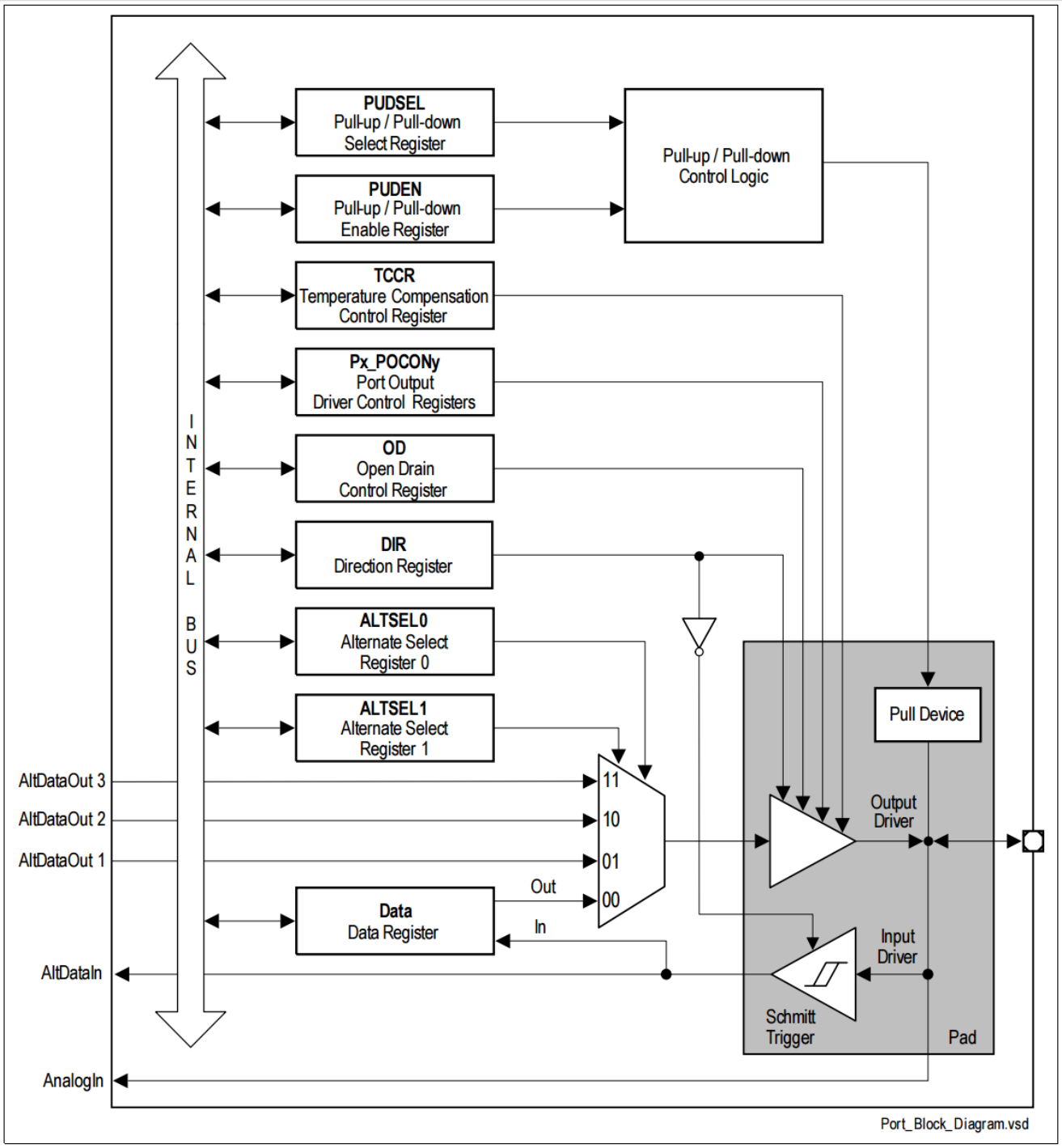


图 19 双向端口总体结构

14.2.2 端口 2

图 20 显示了仅输入端口引脚的结构。每个P2引脚只能在输入模式下运行。寄存器P2_DIR用于使能或禁用输入驱动器。当输入驱动器启用时，端口引脚上的实际电压电平通过施密特触发器转换为逻辑0或1，并可通过寄存器P2_DATA读取。还可对每个引脚进行编程，以激活内部弱上拉或下拉器件。寄存器P2_PUDSEL可选择激活上拉或下拉器件，而寄存器P2_PUDEN则可使能或禁用上拉或下拉器件。模拟输入（AnalogIn）绕过数字电路和施密特触发器，直接传送到ADC输入通道。

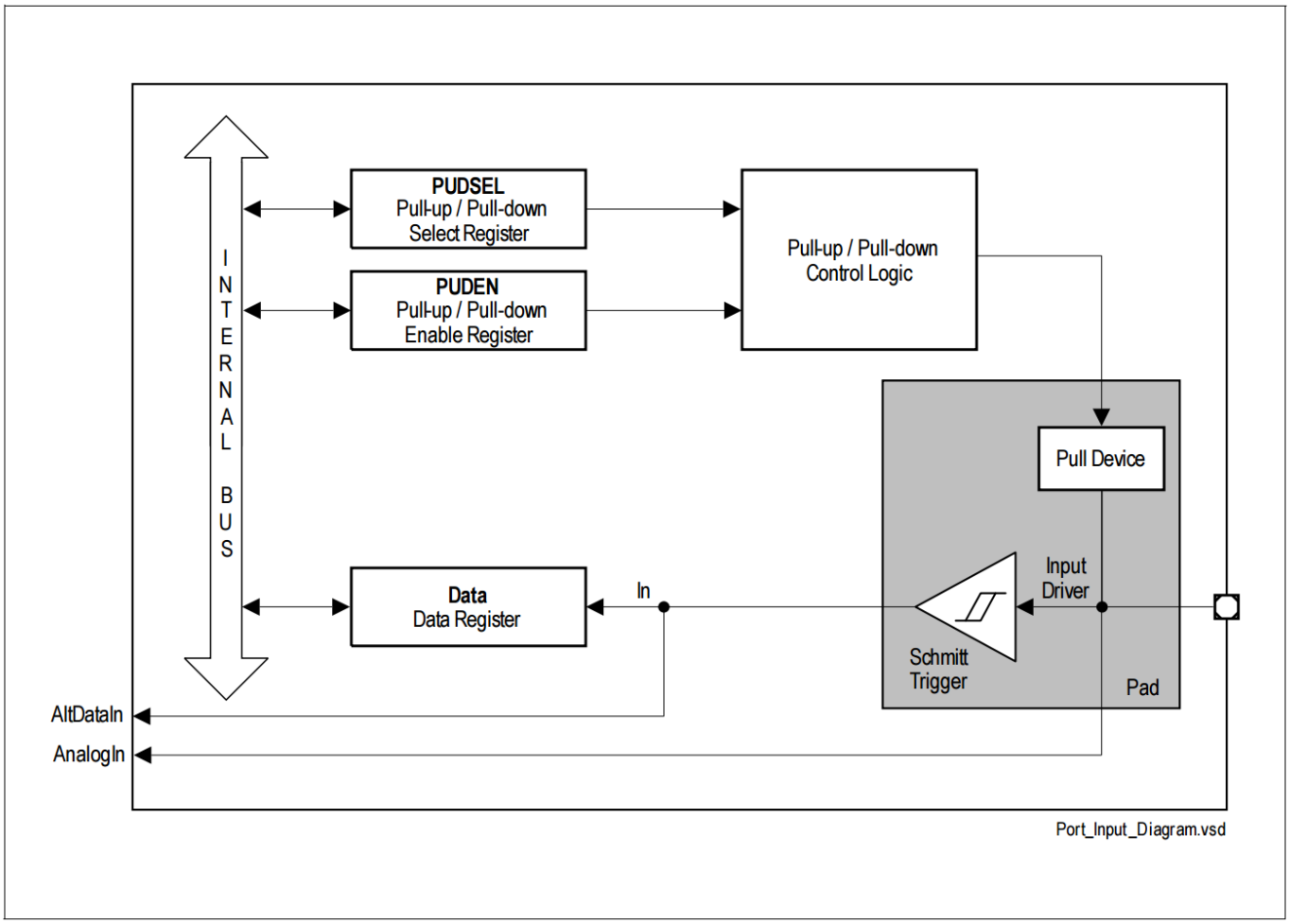


图 20 输入端口的总体结构

14.3 功能说明

GPIO 的可用替代功能的概述请参见第 14.3.1 章。

14.3.1 备用功能

以下各章将介绍端口 x.y映射到它们的备用功能。

14.3.1.1 端口 0 功能

端口 0 复用功能映射详见表 6

表 6 端口 0 输入/输出功能

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P0.0	Input	GPI	P0_DATA.P0	
		INP1	T12HR_0	CCU6
		INP2	T4INA	GPT12
		INP3	T2_0	Timer 2
		INP4	SWD_CLK	SWD
		INP5	EXINT2_3	SCU
	Output	GPO	P0_DATA.P0	
		ALT1	T3OUT_0	GPT12
		ALT2	EXF21_0	Timer 21
		ALT3	UART2_RXDO	UART2
P0.1	Input	GPI	P0_DATA.P1	
		INP1	T13HR_0	CCU6
		INP2	UART1_RXD	UART1
		INP3	T2EX_1	Timer 2
		INP4	T21_0	Timer 21
		INP5	EXINT0_3	SCU
		INP6	T4INC	GPT12
		INP7	CAPINA	GPT12
		INP8	SSC12_S_SCK_0	SSC1/2
		INP9	CC62_0	CCU6
	Output	GPO	P0_DATA.P1	
		ALT1	T6OUT_0	GPT12
		ALT2	CC62_0	CCU6
		ALT3	SSC12_M_SCK	SSC1/2

表 6 端口 0 输入/输出功能（续）

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P0.2	Input	GPI	P0_DATA.P2	
		INP1	T2EUDA	GPT12
		INP2	CTRAP_0	CCU6
		INP3	SSC12_M_MRST_0	SSC1/2
		INP4	T21EX_0	Timer 21
		INP5	EXINT1_3	SCU
	Output	GPO	P0_DATA.P2	
		ALT1	SSC12_S_MRST	SSC1/2
		ALT2	UART1_TXD	UART1
		ALT3	EXF2_0	Timer 2
P0.3	Input	GPI	P0_DATA.P3	
		INP1	SSC1_S_SCK	SSC1
		INP2	T4EUDA	GPT12
		INP3	CAPINB	GPT12
		INP4	EXINT1_2	SCU
		INP5	T3EUDD	GPT12
		INP6	CCPOS0_1	CCU6
	Output	GPO	P0_DATA.P3	
		ALT1	SSC1_M_SCK	SSC1
		ALT2	T6OFL	GPT12
		ALT3	T6OUT_1	GPT12
P0.4	Input	GPI	P0_DATA.P4	
		INP1	SSC1_S_MTSR	SSC1
		INP2	CC60_0	CCU6
		INP3	T21_2	Timer 21
		INP4	EXINT2_2	SCU
		INP5	T3EUDA	GPT12
		INP6	CCPOS1_1	CCU6
	Output	GPO	P0_DATA.P4	
		ALT1	SSC1_M_MTSR	SSC1
		ALT2	CC60_0	CCU6
		ALT3	CLKOUT_0	SCU

表 6 端口 0 输入/输出功能（续）

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P0.5	Input	GPI	P0_DATA.P5	
		INP1	SSC1_M_MRST	SSC1
		INP2	EXINT0_0	SCU
		INP3	T21EX_2	Timer 21
		INP4	T5INA	GPT12
		INP5	CCPOS2_1	CCU6
	Output	GPO	P0_DATA.P5	
		ALT1	SSC1_S_MRST	SSC1
		ALT2	COUT60_0	CCU6
		ALT3	LIN_RXD	LIN

14.3.1.2 端口 1 功能

端口 1 替换功能映射见表 7

表 7 端口 1 输入/输出功能

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P1.0	Input	GPI	P1_DATA.P0	
		INP1	T3INC	GPT12
		INP2	CC61_0	CCU6
		INP3	SSC2_S_SCK	SSC2
		INP4	T4EUDB	GPT12
	Output	GPO	P1_DATA.P0	
		ALT1	SSC2_M_SCK	SSC2
		ALT2	CC61_0	CCU6
		ALT3	UART2_TXD	UART2
P1.1	Input	GPI	P1_DATA.P1	
		INP1	T6EUDA	GPT12
		INP2	T5INB	GPT12
		INP3	T3EUDC	GPT12
		INP4	SSC2_S_MTSR	SSC2
		INP5	T21EX_3	Timer 21
		INP6	UART2_RXD	UART2
	Output	GPO	P1_DATA.P1	
		ALT1	SSC2_M_MTSR	SSC2
		ALT2	COUT61_0	CCU6
		ALT3	EXF21_1	Timer 21
P1.2	Input	GPI	P1_DATA.P2	
		INP1	EXINT0_1	SCU
		INP2	T21_1	Timer 21
		INP3	T2INA	GPT12
		INP4	SSC2_M_MRST	SSC2
		INP5	CCPOS2_2	CCU6
	Output	GPO	P1_DATA.P2	
		ALT1	SSC2_S_MRST	SSC2
		ALT2	COUT63_0	CCU6
		ALT3	T3OUT_1	GPT12

表 7 端口 1 的输入/输出功能（续）

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P1.4	Input	GPI	P1_DATA.P4	
		INP1	EXINT2_1	SCU
		INP2	T21EX_1	Timer 21
		INP3	T2INB	GPT12
		INP4	T5EUDA	GPT12
		INP5	SSC12_S_MTSR_0	SSC1/2
		INP6	CCPOS1_2	CCU6
	Output	GPO	P1_DATA.P4	
		ALT1	CLKOUT_1	SCU
		ALT2	COUT62_0	CCU6
		ALT3	SSC12_M_MTSR	SSC1/2

14.3.1.3 端口 2 功能

端口 2 替换功能映射见表 8

表 8 端口 2 输入功能

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P2.0	Input	GPI	P2_DATA.P0	
		INP1	EXINT1_1	SCU
		INP2	CCPOS0_2	CCU6
		INP3	T5EUDB	GPT12
		INP4	T13HR_2	CCU6
		ANALOG	AN0	ADC
P2.1	Input	GPI	P2_DATA.P1	
		INP1	CCPOS0_0	CCU6
		INP2	EXINT1_0	SCU
		INP3	T12HR_1	CCU6
		INP4	CC61_1	CCU6
		INP5	T4EUDD	GPT12
		INP6	T2EX_3	Timer2
		INP7	LIN_TXD	LIN
		INP8	SSC12_S_SCK_1	SSC1/2
		ANALOG	AN1	ADC
P2.2	Input / Output	GPI	P2_DATA.P2	
		INP1	T6EUDB	GPT12
		INP2	T2EX_0	Timer 2
		INP3	T12HR_2	CCU6
		INP4	CTRAP_2	CCU6
		ANALOG	AN2	ADC
P2.3	Input	GPI	P2_DATA.P3	
		INP1	CCPOS1_0	CCU6
		INP2	EXINT0_2	SCU
		INP3	CTRAP_1	CCU6
		INP4	T3IND	GPT12
		INP5	CC60_1	CCU6
		INP6	T2EUDB	GPT12
		INP7	T2_2	Timer2
		INP8	T2EX_2	Timer2
		INP9	SSC12_S_MTSR_1	SSC1/2
		ANALOG	AN3	ADC

表 8 端口 2 输入功能（续）

Port Pin	Input/Output	Select	Connected Signal(s)	From/to Module
P2.7	Input	GPI	P2_DATA.P7	
		INP1	CCPOS2_0	CCU6
		INP2	EXINT2_0	SCU
		INP3	T13HR_1	CCU6
		INP4	CC62_1	CCU6
		INP5	T3EUDB	GPT12
		INP6	T4EUDC	GPT12
		INP7	T2_1	Timer2
		INP8	SSC12_M_MRST_1	SSC1/2
		ANALOG	AN7	ADC

15 通用定时器单元（GPT12）

15.1 特性

15.1.1 功能模块 GPT1

以下列表总结了所支持的功能：

- 最大分辨率 $f_{GPT}/4$
- 3个独立定时器/计数器
- 定时器/计数器可以连接
- 4 种运行模式：
  - 定时器模式
  - 门控定时器模式
  - 计数器模式
  - 增量接口模式
- 重新加载和捕获功能
- 共享中断：节点0

15.1.2 功能模块 GPT2

以下列表总结了所支持的功能：

- 最大分辨率$f_{GPT}/2$
- 2 个独立定时器/计数器
- 定时器/计数器可以连接
- 3 种运行模式：
  - 定时器模式
  - 门控定时器模式
  - 计数器模式
- 通过 16 位捕获/重载寄存器 CAPREL 扩展捕获/重载功能
- 共享中断：节点 1

15.2 简介

通用定时器单元GPT1和GPT2具有非常灵活的多功能定时器结构，可用于时序、事件计数、脉冲宽度测量、脉冲生成、频率倍增和其他目的。

它们包含五个 16 位定时器，分为两个定时器块 GPT1 和 GPT2。 每个功能块中的每个计时器可以以多种不同模式独立操作，例如门控计时器或计数器模式，或者可以与同一功能块的另一个计时器串联。

每个功能块都有备用的输入/输出功能和与之相关的特定中断。可以通过寄存器 PISEL 从多个来源选择输入信号。

GPT 模块的时钟为 f_{GPT}。 f_{GPT} 是源自 f_{SYS} 的时钟。

15.2.1 GPT1 框图

GPT1功能块 包含三个定时器/计数器：核定时器 T3 和两个辅助定时器 T2 和 T4。最大精度为 f_{GPT} /4。GPT1 的辅助定时器可选择配置为核定时器的重载或捕获寄存器。

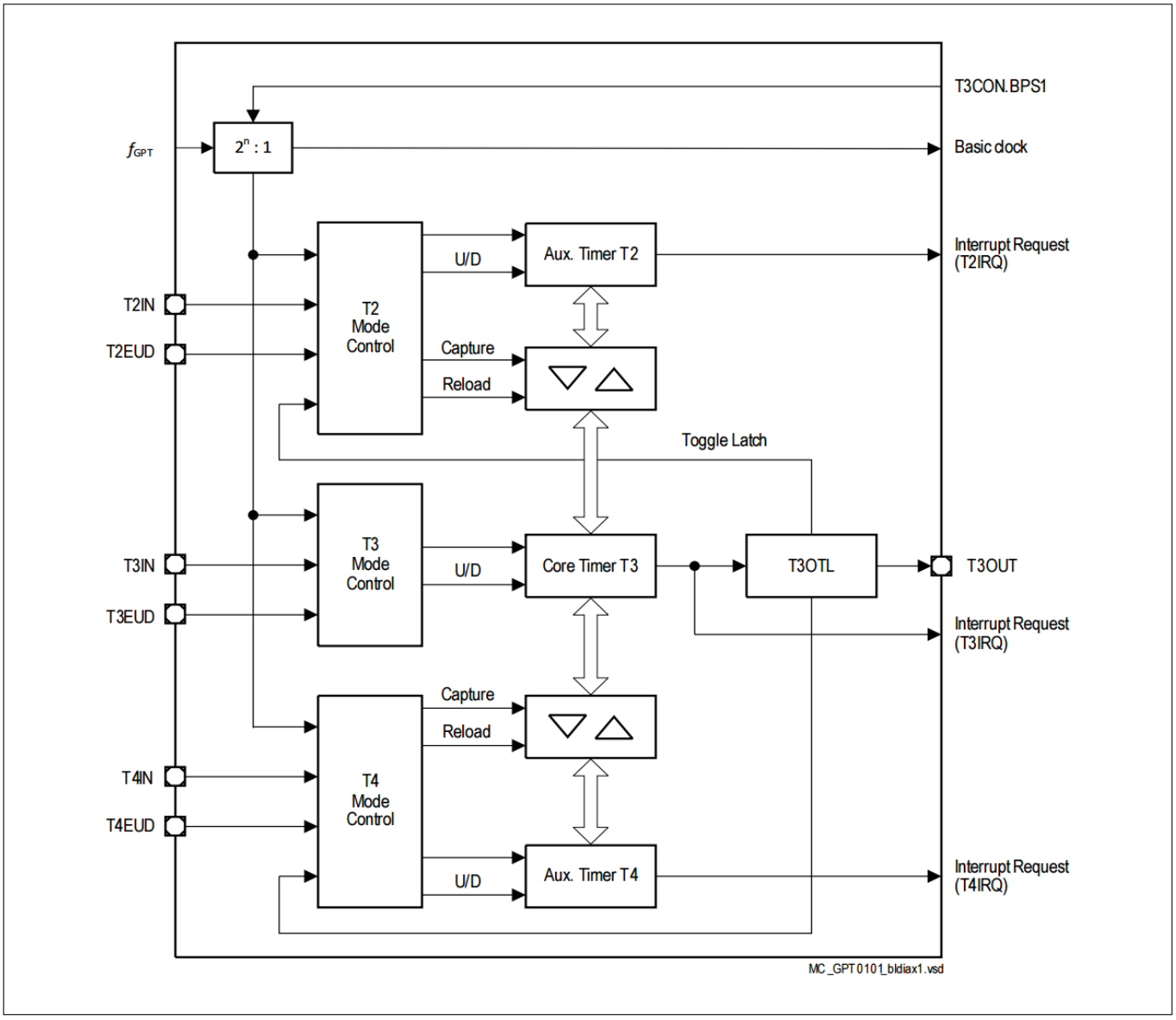


图 21 GPT1 框图（n = 2 ... 5）

15.2.2 GPT2 框图

GPT2 功能块包含两个定时器/计数器：核心定时器 T6 和辅助定时器 T5。最大分辨率为 $f_{GPT}/2$。附加的捕获/重载寄存器 (CAPREL) 支持具有扩展功能的捕获和重载操作。

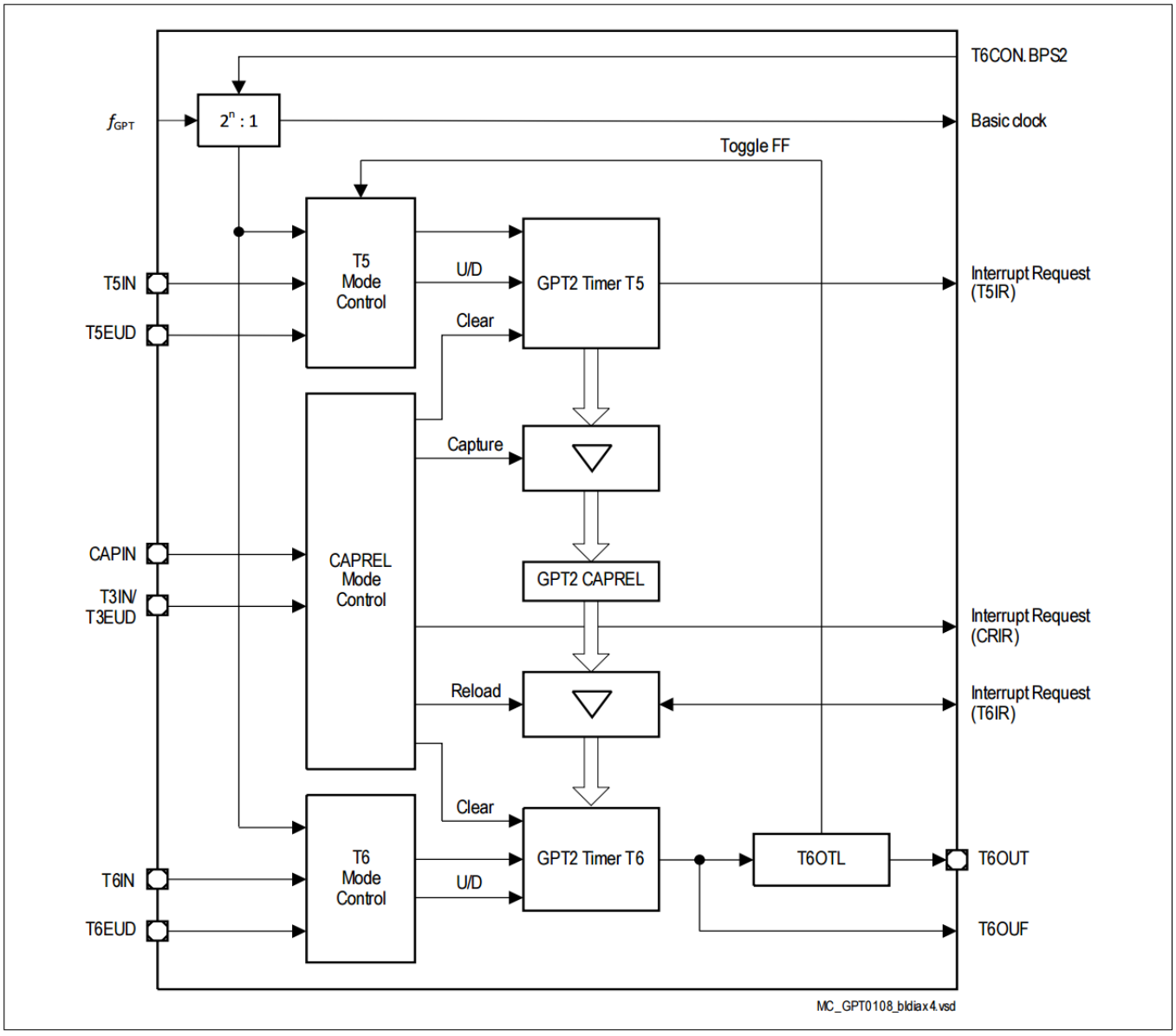


图 22 GPT2 框图

16 Timer2 和 Timer21

16.1 特性

- 16 位自动重载模式
  - 可选择递增计数或递减计数
- 单通道 16 位捕获模式
- U(S)ART 波特率发生器

16.2 简介

内置两个功能完全相同的定时器：定时器 2 和 21。该描述仅适用于定时器 2，但也适用于定时器 21。

定时器模块为通用 16 位定时器。定时器 2 在其每种模式下均可用作计时器或计数器。作为定时器，它使用 f_{sys} /12 的输入时钟进行计数（如果预分频被禁用）。作为一个计数器，定时器 2 对引脚 T2 上的 1 到 0 的转换进行计数。在计数模式下，计数的最大精度为f_{sys} /24（如果禁用预分频）。

16.2.1 Timer2 和 Timer21 模式概述

表 9 端口寄存器

Mode	Description
Auto-reload	**Up/Down Count Disabled** • Count up only • Start counting from 16-Bit reload value, overflow at $FFFF_H$ • Reload event configurable for trigger by overflow condition only, or by negative/positive edge at input pin T2EX as well • Programmable reload value in register RC2 • Interrupt is generated with reload events.
Auto-reload	**Up/Down Count Enabled** • Count up or down, direction determined by level at input pin T2EX • No interrupt is generated • Count up – Start counting from 16-Bit reload value, overflow at $FFFF_H$ – Reload event triggered by overflow condition – Programmable reload value in register RC2 • Count down – Start counting from $FFFF_H$, underflow at value defined in register RC2 – Reload event triggered by underflow condition – Reload value fixed at $FFFF_H$
Channel capture	• Count up only • Start counting from 0000_H, overflow at $FFFF_H$ • Reload event triggered by overflow condition • Reload value fixed at 0000_H • Capture event triggered by falling/rising edge at pin T2EX • Captured timer value stored in register RC2 • Interrupt is generated with reload or capture event

17 捕获/比较单元 6 (CCU6)

17.1 功能概述

本节概述了不同的构建模块及其主要特征。

Timer12 模块特点

- 三个捕获/比较通道。每个通道都可以用作捕获通道或比较通道
- 支持生成三相PWM （六个输出，高边和低边开关的单独信号）
- 16 位分辨率，最大计数频率=外设时钟
- 每个通道的死区时间控制，以避免功率级短路
- 同时更新 T12 寄存器
- 可以生成中心对齐和边缘对齐的 PWM
- 支持单次触发模式
- 启动可以由外部事件控制
- 能够对外部事件进行计数
- 多个中断请求源
- 类磁滞控制模式

Timer13 模块特点

- 一个独立的比较通道，带有一个输出
- 16 位分辨率，最大计数频率=外设时钟
- 同时更新 T13 寄存器
- 可同步至 T12
- 周期匹配和比较匹配时产生中断
- 支持单次触发模式
- 启动可以由外部事件控制
- 能够对外部事件进行计数

其他特定功能

- 实现无刷直流驱动器的分波换向
- 通过霍尔传感器模式进行位置检测
- 位置输入信号支持噪声滤波功能
- 方波换向的自动转速测量和换向控制
- 集成错误处理
- 通过外部信号（$\overline{\text{CTRAP}}$）快速紧急停止，无需 CPU 负载
- 多通道交流驱动的控制模式
- 可根据功率级选择和调整输出电平

17.2 简介

CCU6 单元由带有三个捕获/比较通道的 T12 定时器块和带有一个比较通道的 T13 定时器块组成。T12 通道可独立生成 PWM 信号或接受捕捉触发，也可共同生成控制信号模式，以驱动交流电机或逆变器。

一组丰富的状态位、通过影子寄存器同步更新参数值，以及灵活生成的中断请求信号，提供了高效的软件控制功能。

注释： *捕获/比较模块本身被称为CCU6（捕获/比较单元6）。该模块内部的捕获/比较通道被称为CC6x。*

17.2.1 框图

定时器 T12 的三个通道可工作在捕获和/或比较模式。这些模式也可以组合起来（例如，一个通道工作在比较模式，而另一个通道工作在捕获模式）。定时器 T13 只能在比较模式下工作。多通道控制单元产生的输出模式可由 T12 和/或 T13 调制。可以选择和组合调制源进行信号调制。

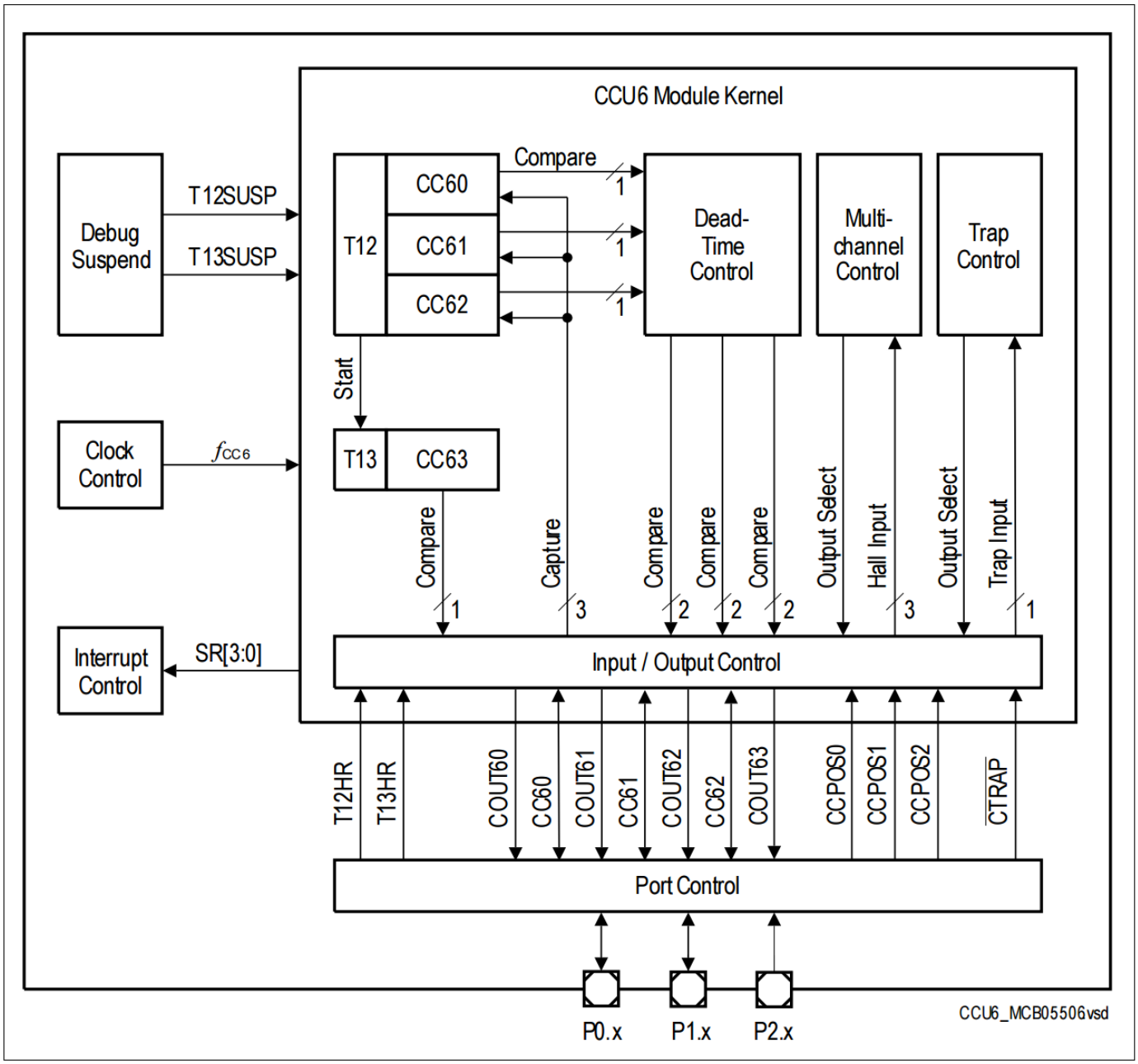


图 23 CCU6 框图

18 UART1/2

18.1 特性

- 全双工异步模式
  - 8 位或 9 位数据帧，LSB 优先
  - 固定或可变波特率
- 接收缓冲（1 字节）
- 多处理器通讯
- 数据收发完成时可触发中断
- 带分数除法器的波特率发生器，用于生成宽范围的波特率，例如：9.6kBaud、19.2kBaud、115.2kBaud、125kBaud、250kBaud、500kBaud
- 硬件逻辑用于间隔和同步字节检测
- 对于 UART1：LIN 支持：连接到定时器通道以同步 LIN 波特率

在所有模式下，任何使用SBUF作为目标寄存器的指令都会启动传输。如果 REN = 1，则接收由传入的起始位在模式下启动。

当帧的发送或接收完成时，串口还提供中断请求。对应的中断请求标志分别是TI或RI。如果不使用串行中断（即串行中断未启用），TI 和 RI 也可用于轮询串行接口。

18.2 简介

UART1/2 提供全双工异步接收器/发送器，即可以同时发送和接收。它还具有接收缓冲功能，可以在接收寄存器读出之前接收的字节之前开始接收第二个字节。然而，如果在第二个字节接收完成时仍未读取第一个字节，则第一个字节将丢失。串口接收和发送寄存器都是通过特殊的函数寄存器（SFR）SBUF 访问的。写入 SBUF 会加载发送寄存器，而读取 SBUF 则会访问物理上独立的接收寄存器。

18.2.1 框图

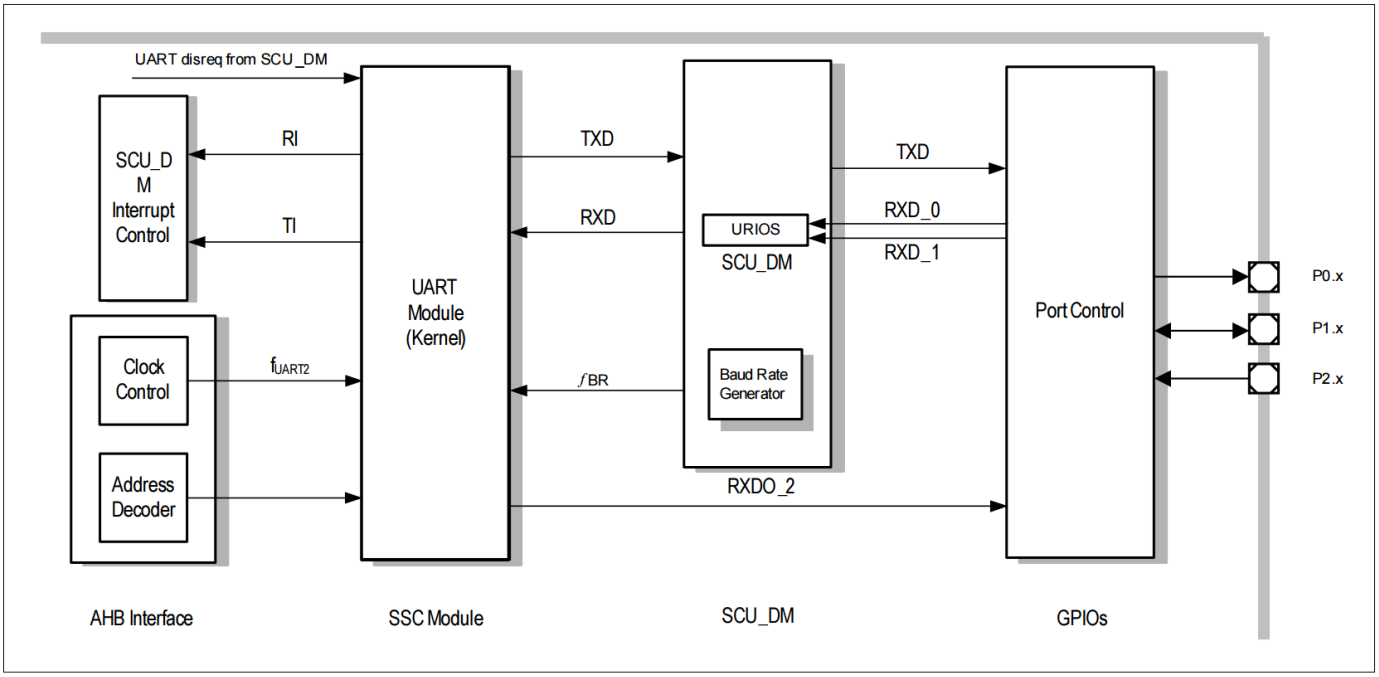


图 24 UART 框图

18.3 UART模式

UART1/2 可以用于四种不同的模式。在模式 0 下，它作为 8 位移位寄存器工作。在模式 1 下，它作为 8 位串行端口工作。在模式 2 和 3 下，它作为 9 位串行端口工作。模式 2 和模式 3 唯一的区别是波特率，模式 2 中波特率是固定的，而模式 3 中波特率是可变的。可变波特率由专用波特率发生器的溢出频率设定。

通过将 SM0 和 SM1 位设置为相应的值来选择不同的模式，如**表 10** 所示。

模式 1 示例：8 个数据位、1 个起始位、1 个停止位、无奇偶校验选择、16 倍过采样、接收和发送寄存器双缓冲、Tx/Rx IRQ(s)。

表 10 UART 模式

SM0	SM1	Operating Mode	Baud Rate
0	0	Mode 0: 8-Bit shift register	$f_{sys}/2$
0	1	Mode 1: 8-Bit shift UART	Variable
1	0	Mode 2: 9-Bit shift UART	$f_{sys}/64$ or $f_{sys}/32$
1	1	Mode 3: 9-Bit shift UART	Variable

19 LIN 收发器

19.1 特性

一般功能特性

- 符合LIN2.2标准，向下兼容LIN1.3、LIN2.0和LIN 2.1
- 符合SAE J2602（斜率、接收器滞回）

特殊功能

- 通过Timer2测量LIN主机波特率
- 可通过SFR位配置 LIN 接口为输入 / 输出。
- TxD 超时特点
- 过流限制和过温保护
- 可通过全局使能位实现 LIN 模块的完全复位

工作模式特点

- LIN 睡眠模式 (LSLM)
- LIN 仅接收模式 (LROM)
- LIN 正常模式 (LNM)
- 高压输入/输出模式（LHVIO）

斜率模式特点

- 正常斜率模式 (20 kbit/s)
- 低电平斜率模式（10.4 kbit/s）
- 快速斜率模式（62.5 kbit/s）
- 闪存模式（115 kbit/s、250 kbit/s）

唤醒功能

- LIN 总线唤醒

19.2 简介

LIN模块是本地互连网络 (LIN) 的收发器，符合 LIN2.2标准，向下兼容 LIN1.3、LIN2.0 和 LIN2.1。它可以作为协议控制器和物理网络之间的总线驱动器。LIN 总线是一种单线双向总线，通常用于车载网络，波特率介于 2.4 kBaud和 20 kBaud之间。此外，波特率最高可达 62.5 kBaud。

LIN 模块提供几种不同的操作模式，包括 LIN 睡眠模式和 LIN 正常模式。集成的斜率控制功能可支持多种数据传输速率，同时实现了优化的电磁兼容性能。对于末端的数据传输，采用闪存模式，最高可达 115 k波特。该闪存模式可用于特殊条件下高达 250 kbit/s 的数据传输（在生产环境中，减少线长和有限供电电压的点对点通信）。

19.2.1 框图

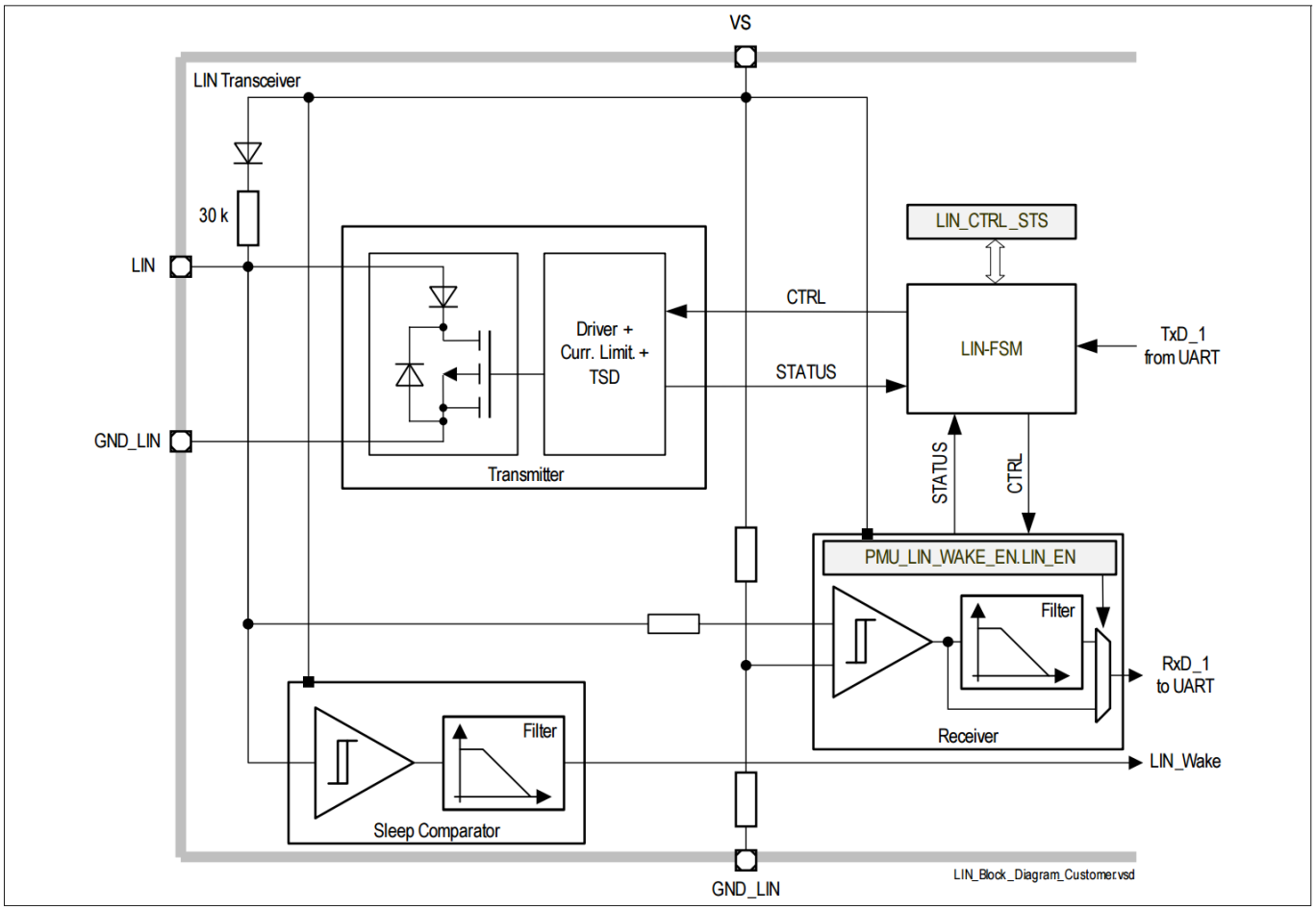


图 25 LIN 收发器框图

20 高速同步串行接口 SSC1/2

20.1 特性

- 主模式和从模式运行
  - 全双工或半双工运行
- 发送和接收双缓冲
- 灵活的数据格式
  - 可编程数据位数：2 至 16 位
  - 可编程移位方向：最小有效位 (LSB) 或最大有效位 (MSB) 先移位
  - 可编程时钟极性：移位时钟的空闲低电平或高电平状态
  - 可编程时钟/数据相位：利用移位时钟的前沿或后沿进行数据移位
- 可变波特率，例如 250kBaud - 8MBaud
- 兼容串行外设接口 (SPI)
- 中断生成
  - 在发射器空条件下
  - 在接收器满条件下
  - 在错误条件下（接收错误、相位错误、波特率错误、发送错误）
  - 在传输完成条件下
- 端口方向选择，请参阅**第 14 章**

20.2 简介

高速串行同步接口 (SSC) 支持全双工和半双工串行同步通讯。串行时钟信号可由 SSC 利用自身的 16 位波特率发生器在内部生成（主站模式），也可从外部主站接收（从站模式）。数据宽度、移位方向、时钟极性和相位都是可编程的。这样就可以与 SPI 兼容设备以及使用其他同步串行接口的设备进行通信。

数据通过 TXD 和 RXD 线传输或接收，这两条线通常与 MTSR（主发、从收）和 MRST（主收、从发）引脚相连。时钟信号通过 MS_CLK（主串行移位时钟）线输出，或通过 SS_CLK（从串行移位时钟）线输入。两条线通常都连接到 SCLK 引脚。数据传输和接收采用双缓冲。

20.2.1 框图

图 26 显示与 SSC 内核相关的所有功能接口。

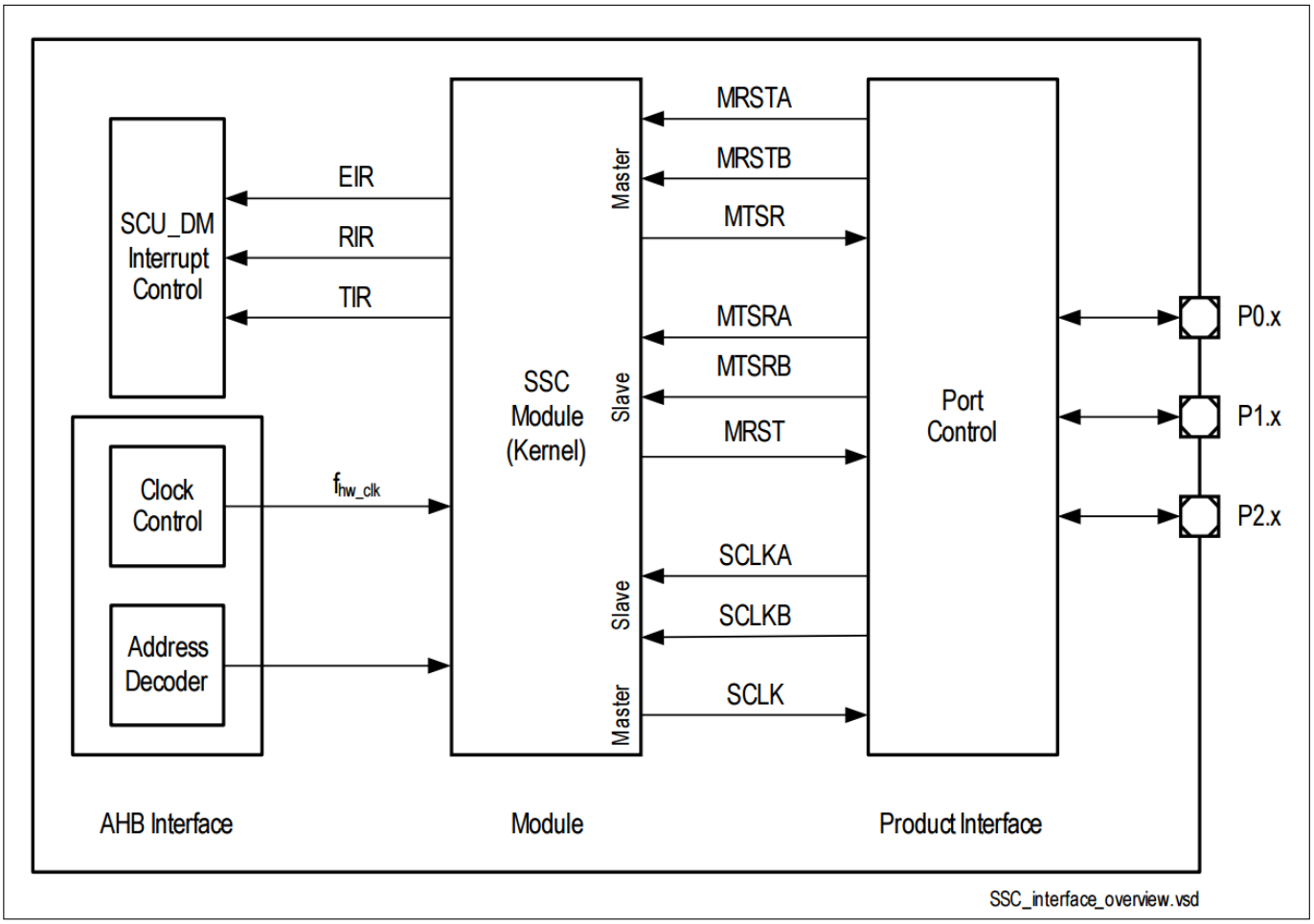


图 26 SSC接口框图

21 测量单元

21.1 特性

- 1 x 10位 ADC，带有 12 个输入
- 具有衰减功能的电源电压衰减器**VBAT_SENSE** 、 **VS** 、 **MONx** 、 **P2.x** 、 **CSA**。
- 1 x 8 位 ADC，带有 9 个输入
- 具有衰减功能的电源电压衰减器**VS**、**VDDEXT**、**VSD**、**VCP**、**VDDP**、**VBG**、**VDDC**、**T_SENSE1（中央温度传感器）**、**T_SENSE2（桥驱动器电荷泵温度传感器）** 。
- 通过 8 位 ADC 监测PMU带隙以支持功能安全要求。
- 温度传感器监测芯片的温度和桥驱动器电荷泵的温度。
- 补充模块，包括基准电压生成器、偏置电流生成器、NVM 基准电压缓冲器、模拟模块基准电压缓冲器和测试接口。

21.2 简介

测量单元是一个功能单元，由以下子模块组成：

表 11 测量功能和相关模块

Module Name	Modules	Functions
Central Functions Unit	Bandgap reference circuit + current reference circuit	The bandgap-reference sub-module provides two reference voltages 1. an accurate reference voltage for the 10-bit and 8-bit ADCs. A local dedicated bandgap circuit is implemented to avoid deterioration of the reference voltage caused e.g. by crosstalk or ground voltage shift. 2. the reference voltage for the NVM module
10-bit ADC (ADC1)	10-bit ADC module with 12 multiplexed analog inputs	VBAT_SENSE, VS and MONx measurement. Five (5V) analog inputs from Port 2.x
8-bit ADC (ADC2)	8-bit ADC module with 9 multiplexed inputs	VS/VDDEXT/VSD/VCP/VDDP/VBG/VDDC/BDrv CP Temperature Sensor and Central Temperature Sensor measurement.
Temperature Sensor	Temperature sensor readout amplifier with two multiplexed ΔV_{be}-sensing elements	Generates output voltage which is a linear function of the local chip (Tj) temperature.
Measurement Core Module	Digital signal processing and ADC control unit	1. Generates the control signal for the 8-bit ADC 2 and the synchronous clock for the switched capacitor circuits (temperature sensor) 2. Performs digital signal processing functions and provides status outputs for interrupt generation.

测量单元

21.2.1 框图

测量功能模块的结构如下图所示。

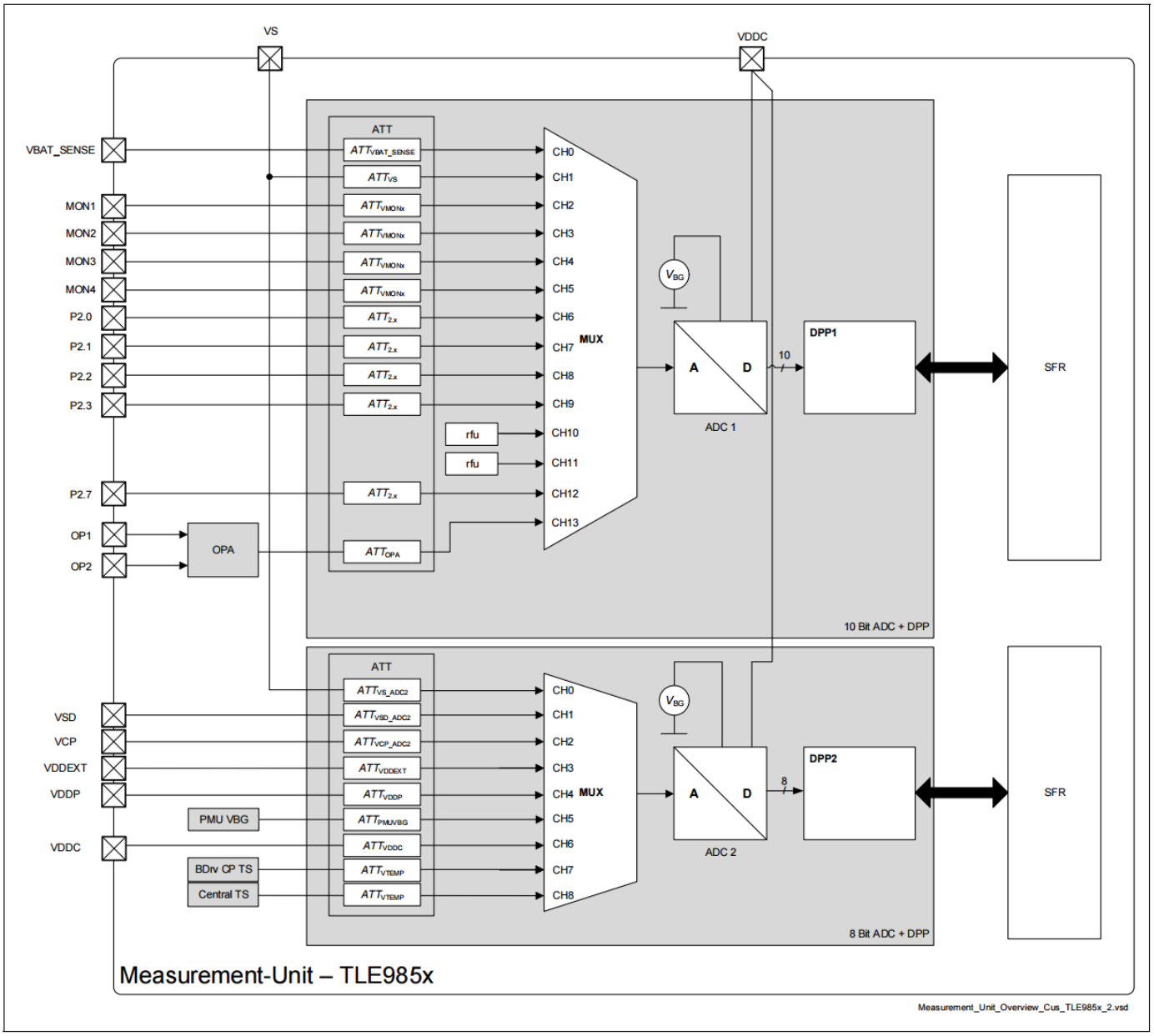


图 27 测量单元概述

22 测量核心模块（含ADC2）

22.1 特性

- 9 个可单独编程的通道分为用户可配置和用户不可配置两组
- 测量单元采用通道优先级独立可编程方案
- 每个通道有两个独立的滤波器，具有可编程的低通和时间滤波器特性
- 双通道配置：
  - 可编程的上限和下限触发阈值，包括完全可编程的滞回
  - 两个可单独编程的触发阈值，且可设置极限滞回参数
- 所有通道阈值的状态
- 整个系统的工作可降至复位阈值

22.2 简介

该功能块的基本功能是对多个数字化的模拟测量信号进行滤波、电平比较、中断生成等数字后处理。测量后处理模块由连接到 9 路 8 位 ADC（ADC2）输出端的 9 个相同通道单元组成。它可处理 9个通道，通道顺序和优先级在很大范围内可编程。

22.2.1 框图

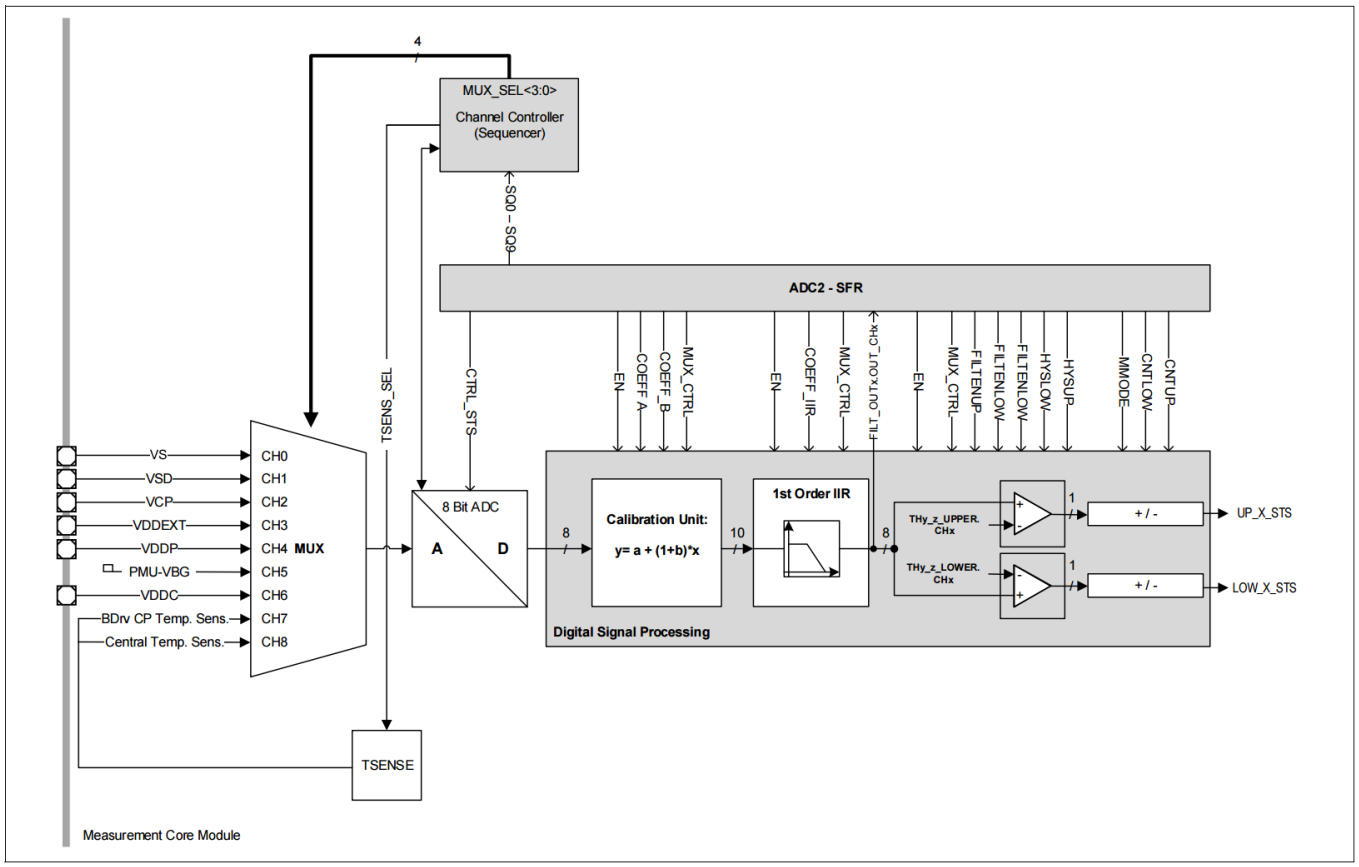


图 28 模块框图

23 模拟数字转换器 ADC10B (ADC1)

23.1 特性

该功能块的基本功能是对多个数字化的模拟测量信号进行滤波、电平比较、中断生成等数字后处理。测量后处理功能块由连接到 10 位 ADC 输出的相同数量的通道单元构成。它可处理所有通道，通道顺序和优先级在很大范围内可编程。

功能特性

- 10 位 SAR ADC，转换时间为 17 个时钟周期
- 用于序列发生器和 ADC 的可编程时钟分频器
- 12 个可单独编程的通道：
  - 6 个高压通道：VS、VBAT_SENSE、MON1...MON4
  - 5 个低压通道：P2.0、P2.1、P2.2、P2.3、P2.7
  - 1 个电流检测放大器通道
- 所有通道均经过全面校准；校准可以由用户启用/禁用
- 用于数字后处理（dpp）的单独可编程通道优先级方案
- 每个通道有两个独立的滤波器，具有可编程的低通和时间滤波器特性
- 双通道配置：
  - 可编程的上限和下限触发阈值，包括完全可编程的滞回
  - 两个可单独编程的触发阈值，且可设置极限滞回参数
- 所有通道的阈值可单独编程上限阈值和下限阈值中断和状态
- 一个额外差分通道（MON1-MON2），具有后处理和中断生成功能
- ADC基准电压完全集成

注释： *如果 ADC1 采集 MONx 信号，建议在器件的 MONx 引脚附近添加 6.8nF 电容器，以构建外部RC滤波器来限制输入信号的带宽。*

23.2 简介

23.2.1 框图

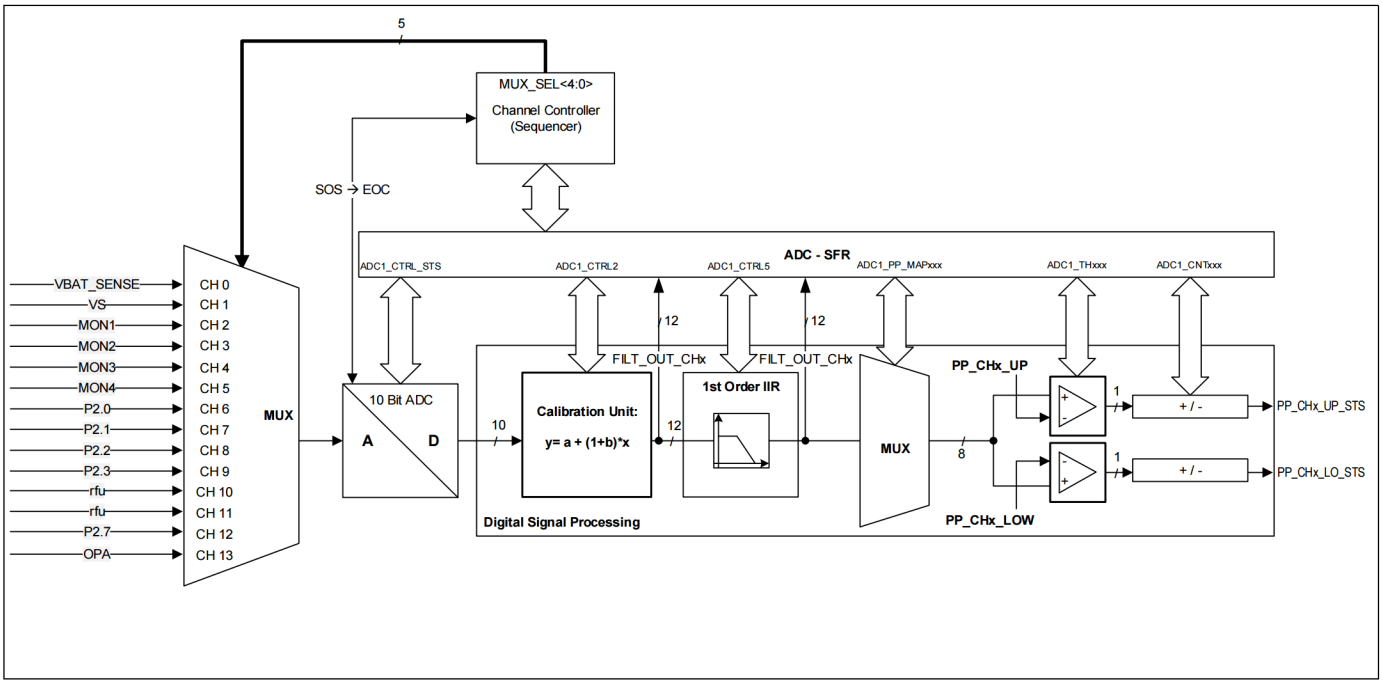


图 29 模块框图

24 高压监测器输入

24.1 特性

- 四个高压输入，阈值电压为 VS/2
- 系统停止模式和系统睡眠模式的唤醒功能
- 边沿唤醒功能可配置用于从低到高、高到低或两个方向的转换
- MON输入信号也可由ADC在工作模式下采集，并可使用可调阈值
- 可选上拉和下拉电流源

24.2 简介

该模块专用于监测器外部电压高于或低于指定阈值的情况。每个 MONx 引脚还可以通过检测超过选定阈值的电平变化来检测唤醒事件。这适用于任何功率模式。此外，每个 MONx 引脚都可以由 ADC 采样作为模拟输入。

24.2.1 框图

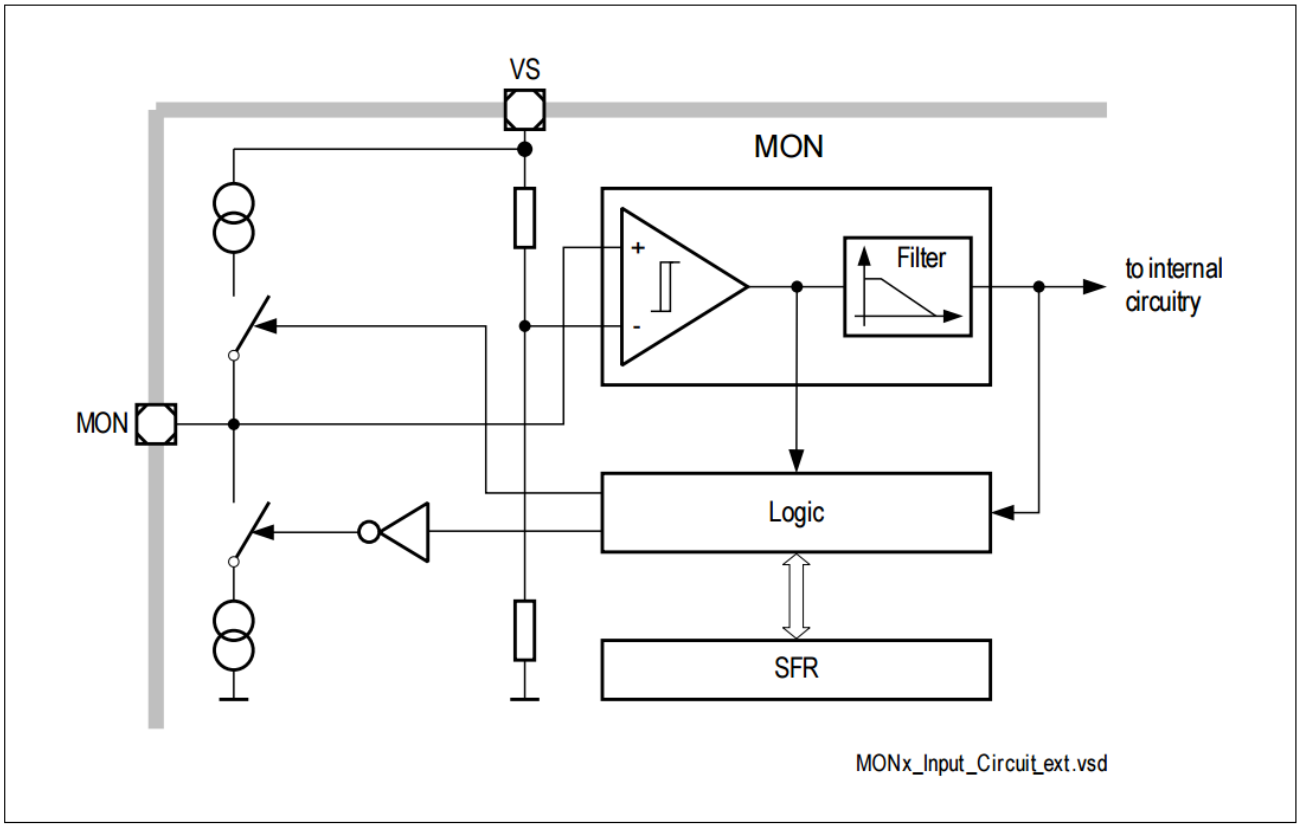


图 30 监测输入模块框图

25 高边开关

25.1 特性

高侧开关经过优化，适用于驱动电阻性负载。只允许较小的线路电感。典型应用包括仪表盘中的单颗或多颗LED、开关背光照明或其他需要高侧开关的负载。

系统在睡眠模式或停止模式期间也可进行循环开关激活。

功能特性

- 适用于电阻性负载连接的多功能高侧开关（仅允许小线圈电感）
- 过流钳位
- 通过可调节过流检测和自动关断功能选择电流能力（25 mA/50 mA/100 mA/150 mA）
- 过温检测及自动关断
- 导通模式下具备开路检测功能，典型开路电流为1.4 mA
- 过流、过温和负载开路状态的中断信号上报
- 睡眠模式和停止模式下的循环切换激活，支持循环检测功能，驱动能力降低：最大40 mA
- PWM 能力高达 25 kHz
- 系统PWM发生器（CCU6）的内部连接
- 斜率控制，实现低 EMI 特性

应用提示

- HSx 端的电压不得超过电源电压 0.3 V，以防止从 HSx 到 VS 的反向电流。

25.2 简介

25.2.1 框图

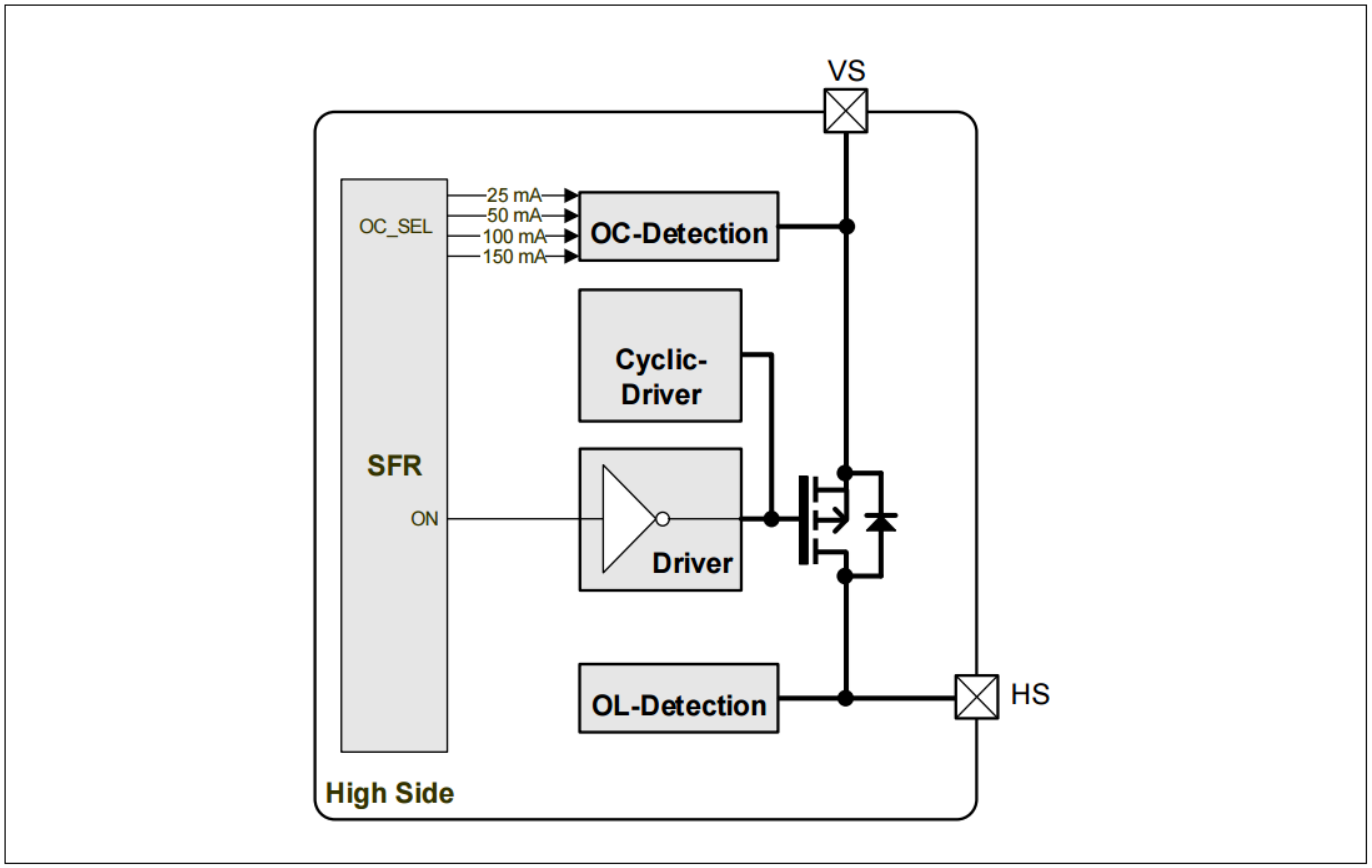


图 31 高边模块框图（含子模块）

25.2.2 一般描述

高侧开关通常可通过三种不同方式进行控制：

- 在正常模式下，输出级可通过**SFR**寄存器**HSx_CTRL**完全控制。具有过流、过温、负载开路检测等保护功能。
- PWM 模式也可以通过 **HSx_CTRL - SFR** 位启用。PWM配置必须在相应的PWM模块中完成。所有保护功能在此模式下也可用。最大PWM 信号频率不得超过 25 kHz（仅禁用斜率控制）。
- 高侧开关还可在所有低功耗模式（睡眠模式和停止模式）下实现周期性开关激活。在此配置下，其功能有限且电流能力受限。在此模式下诊断功能不可用。

26 桥驱动器（含电荷泵）

26.1 特性

桥驱动器旨在驱动桥配置中的外部标准电平 MOSFET，并提供丰富的故障诊断功能。

功能特性

- **进行灵活控制**通过桥驱动器模块的SFR或CCU6模块的PWM输出信号
- **电流驱动输出级**可通过灵活可编程的栅极电流控制外部 n 沟道MOSFET栅极
- **可调节的交叉导通保护**
- **高电流放电模式**可减少死区时间，并在快速瞬变期间保持外部 MOSFET 关断
- **无源下拉模式**如果桥驱动器被禁用，可保持外部 MOSFET 关闭
- **制动模式**可降低静态导通外部 MOSFET 的电流消耗
- **保持模式**如果桥驱动器被禁用，可低电流消耗打开外部低边 MOSFET
- **时序测量**来测量导通 / 关断延时、导通 / 关断斜坡时长
- **自适应控制模式**，自动调整栅极电流值
- **集成式两级充电泵**，适用于低电压工作及静态MOSFET栅极控制
- **可调电压监测**用来监测桥驱动器供电电压(VSD)和电荷泵输出电压(VCP)
- **可调节短路检测**在开启和关闭状态下
- **负载开路检测**在关闭状态下
- **过温**检测及关断保护

26.2 简介

26.2.1 框图

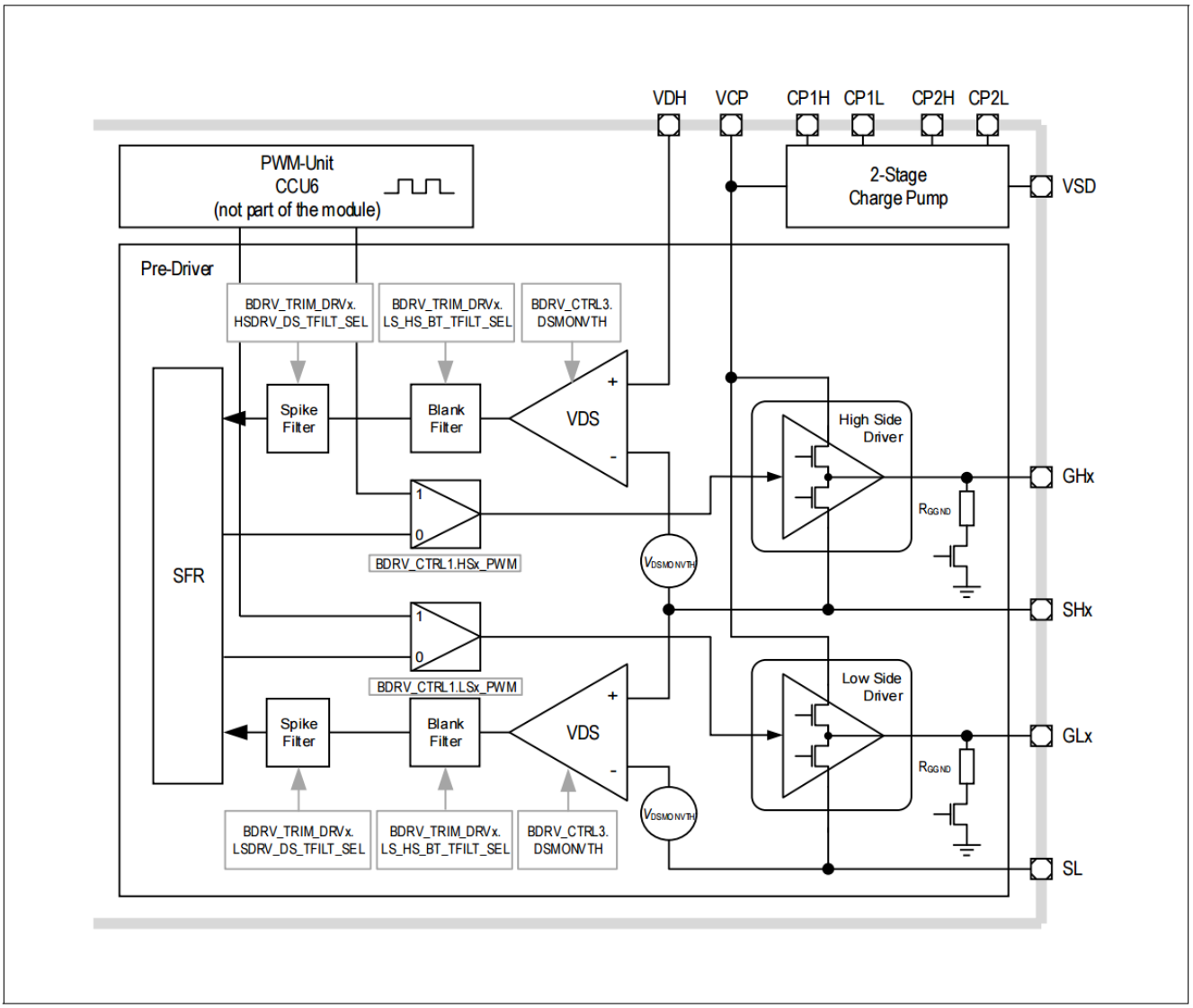


图 32 驱动器模块框图（包括系统连接）

26.2.2 灵活控制

桥驱动器模块的每个栅极驱动器可以通过两种不同的方式打开和关闭：

- 静态模式： 栅极驱动器由桥驱动器模块 SFR 静态打开或关闭。
- PWM 模式：栅极驱动器由系统 PWM 模块 (CCU6) 进行 PWM 控制。从 CCU6 输出通道与栅极驱动器的互连由桥驱动器模块的 SFR 设置。

在两种模式下，所有诊断和保护功能（短路、负载开路和过温检测）均可用。

26.2.3 电流驱动输出级

桥驱动器输出级产生拉电流与灌电流，对外部n沟道MOSFET的栅极进行充、放电。栅极电流值可编程，以改变电桥输出端的压摆率。

26.2.3.1 概述

图 33 展示了外接 MOS 单个开关周期的工作全过程。

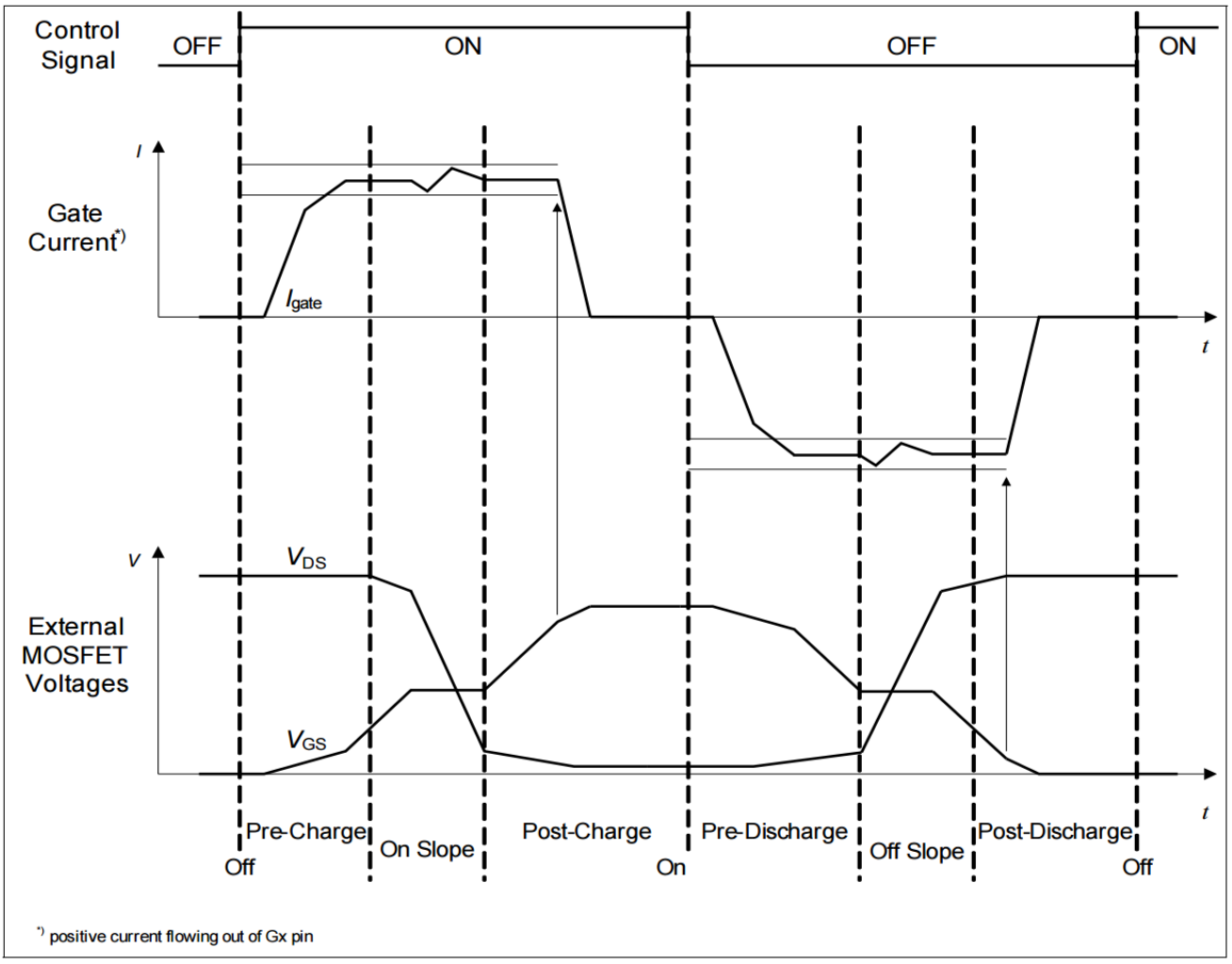


图 33 开关周期

控制输入信号将栅极驱动器设置为充电或放电模式，即，它产生流出驱动器的拉电流来对外部 MOSFET 的栅极充电，或者产生流入驱动器的灌电流来对外部 MOSFET 的栅极放电。

根据外部MOSFET漏源电压的变化，充电和放电阶段可分别分为三个子阶段。

充电子阶段：

- 预充电子阶段：外部 MOSFET 的栅极预充电， V_{DS} 保持不变；外部 MOSFET 仍然处于关断状态
- 关于导通斜率子阶段：在外部 MOSFET 导通并产生 V_{DS} 处的导通斜率时，其栅极会进一步充电

- 后充电子阶段：外部 MOSFET 的栅极进行后充电，直到达到栅极驱动器能够提供的最大 V_{GS}；外部 MOSFET 导通，其 $R_{DS(on)}$ 降至最小值

放电子阶段：

- 预放电子阶段：外部 MOSFET 的栅极预放电，
  V_{DS} 没有显著变化；外部 MOSFET 仍然导通，但其 $R_{DS(on)}$增加
- 关断斜率子阶段：外部 MOSFET 的栅极进一步放电，同时外部 MOSFET 关断并在 V_{DS} 处产生关断斜率
- 放电后子阶段：外部 MOSFET 的栅极进行后放电，直到 V_{GS} 等于 0V；外部 MOSFET 关断并保持关断状态

26.2.3.2 开通

图 34 栅极驱动器输出级导通阶段的详细工作状态，以及对应的电气特性参数。

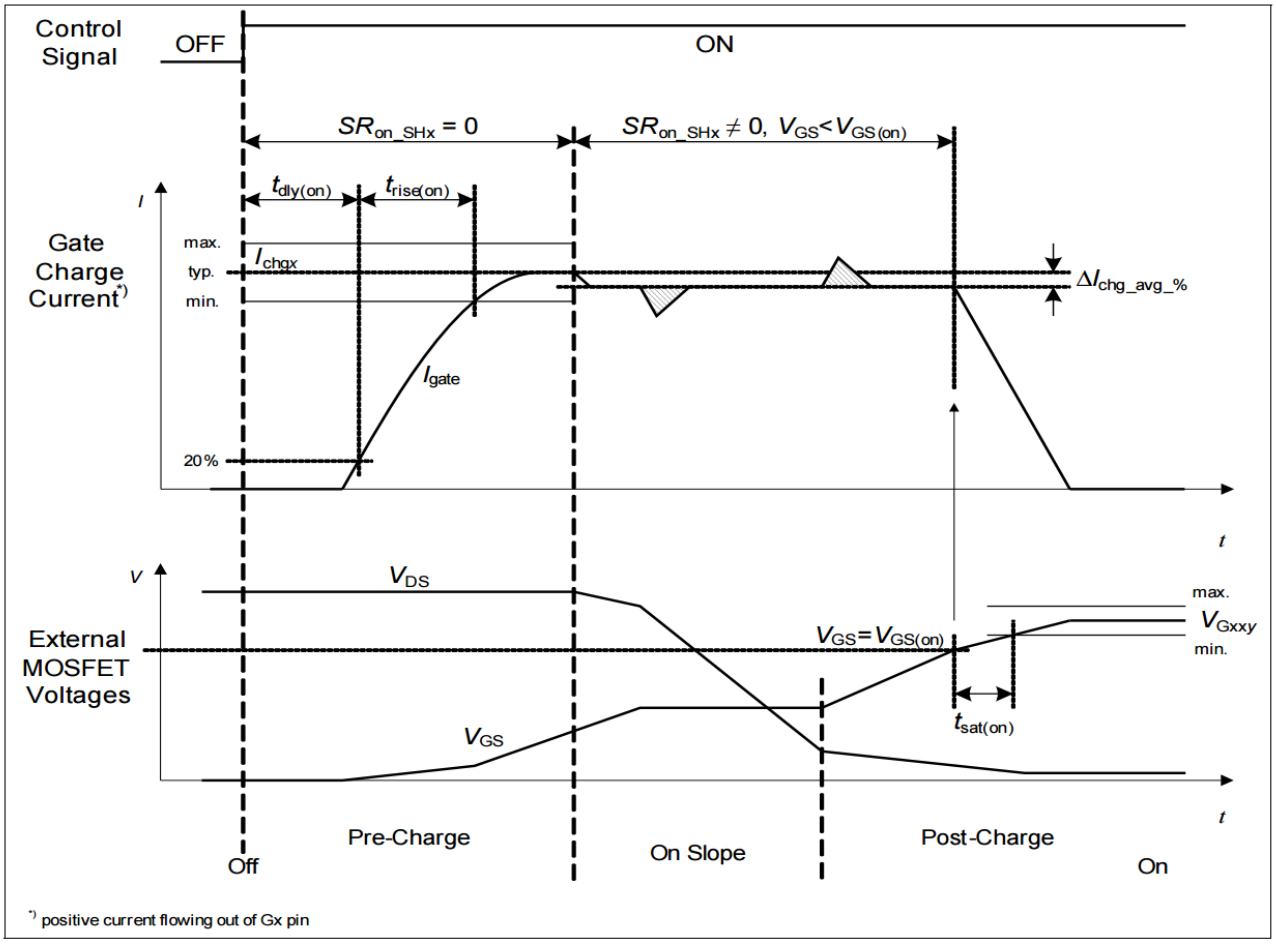


图 34 导通阶段中栅极驱动器输出级的详细行为

在初始通导延迟时间 $t_{dly(on)}$ 后， 栅极充电电流 I_{gate} 上升，并在额外的 $t_{rise(on)}$ 达到其指定的最小限值 $I_{chgx,min}$ 后保持稳定，直到外部的MOSFET栅源电压达到 $V_{GS} = V_{GS(on)}$。 在相应 SHx 引脚的斜率期间（即 $SR_{on_SHx} \neq 0$），平均栅极电流相对设定值 I_{chgx} 偏差小于Δ $I_{chg_avg_\%}$。 外部 MOSFET 的栅极进一步充电至栅极驱动器的高电平输出电压 V_{Gxxy}。 从超过 $V_{GS} = V_{GS(on)}$ 到达到 $V_{Gxxy,min}$ 的时间定义为 $t_{sat(on)}$。

26.2.3.3 关断

图 35 显示了在关断阶段中栅极驱动器输出级的详细行为以及相应的电气特性参数。

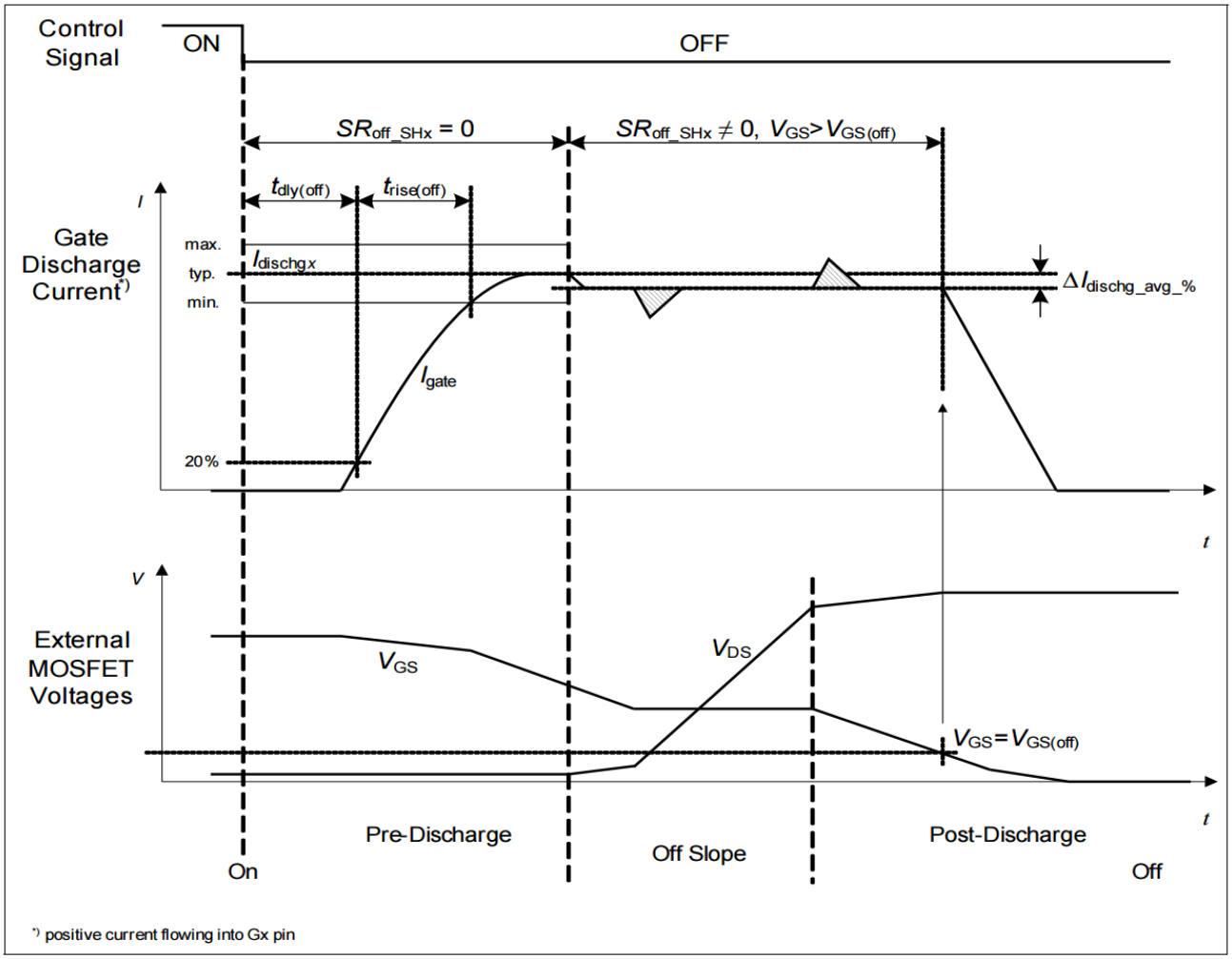


图 35 关断阶段中栅极驱动器输出级的详细行为

在初始关断延迟时间 $t_{dly(off)}$ 后，栅极放电电流 I_{gate} 上升，并在 $t_{rise(off)}$ 后达到指定的最小限值 $I_{dischgx,min}$，并保持稳定，直到外部的MOSFET栅源电压达到 $V_{GS} = V_{GS(off)}$。在相应 SHx 引脚的斜率期间（即 $SR_{off_SHx} \neq 0$），平均栅极放电电流相对设定值 $I_{dischgx}$ 的偏差小于 $\Delta I_{dischg_avg_\%}$。

26.2.3.4 控制模式

有两种基本模式可对输出级的栅极电流置设定值进行编程：恒定模式和时序序列模式。

- 在恒定模式下，SFR定义了一个简单的栅极电流分布，其中栅极充电阶段和栅极放电阶段各有两个电流设定点值和一个持续时间值。第二个电流设定点值保持有效，直到驱动器从充电模式变为放电模式，反之亦然，其目的是在降低的电流水平下静态地保持外部MOSFET开启或关闭，以防止外部栅极引脚处的短路。

- 在时序序列模式下，SFR 定义了先进的栅极电流分布，其中栅极充电阶段和栅极放电阶段均被分成连续的子阶段，并具有单独的电流设置值和持续时间值（参见图 36）：
  - 对于栅极充电阶段，5 个电流设置值 ($i_{x(on)}$) 和 4 个持续时间值 ($t_{x(on)}$) 由 SFR 定义。
  - 第五电流设定值$I_{5(on)}$保持有效直到驱动器改变到放电模式。该充电电流旨在以较低的栅极电流水平静态地保持外部MOSFET （例如驱动外部R_{GS}）的导通，以防止外部栅极到源极短路。
  - 对于栅极放电阶段 5 电流置设置值 ($i_{x(off)}$) 和 4 持续时间值 ($t_{x(off)}$) 由 SFR 定义。
  - 第五电流设定值$I_{5(off)}$保持有效直到驱动器改变到充电模式。该放电电流旨以较低的栅极电流水平静态地保持外部MOSFET （例如，在快速电压瞬变或EMI期间）关断，以防止外部栅极到源极短路。
  - 在两个栅极电流设置点之间的过渡处，实际的栅极驱动器输出电流在$t_{set(seq)}$内稳定到新的感应电流设置点（见图 37）。

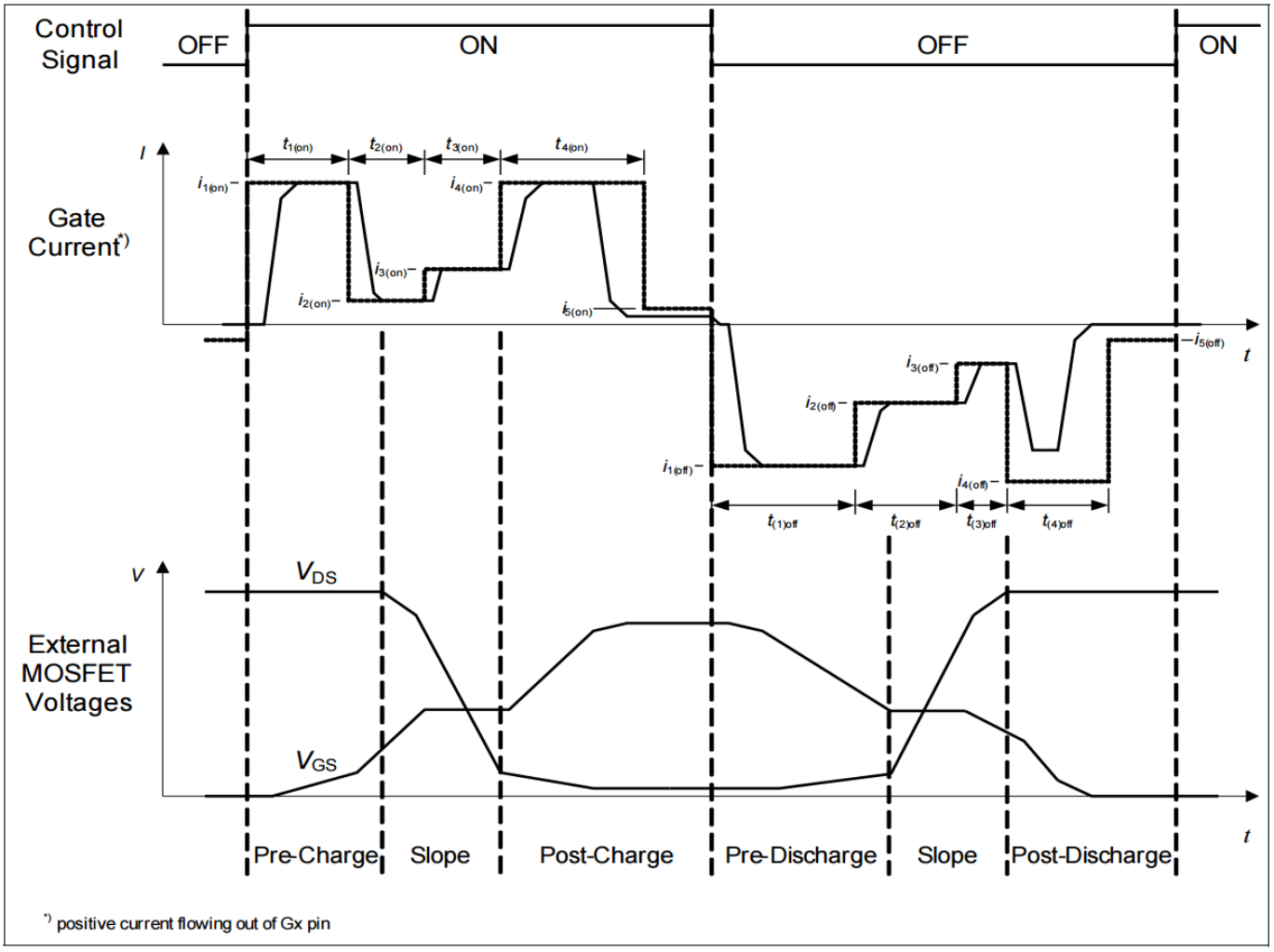


图 36　　时序序列生成的栅极电流设定值

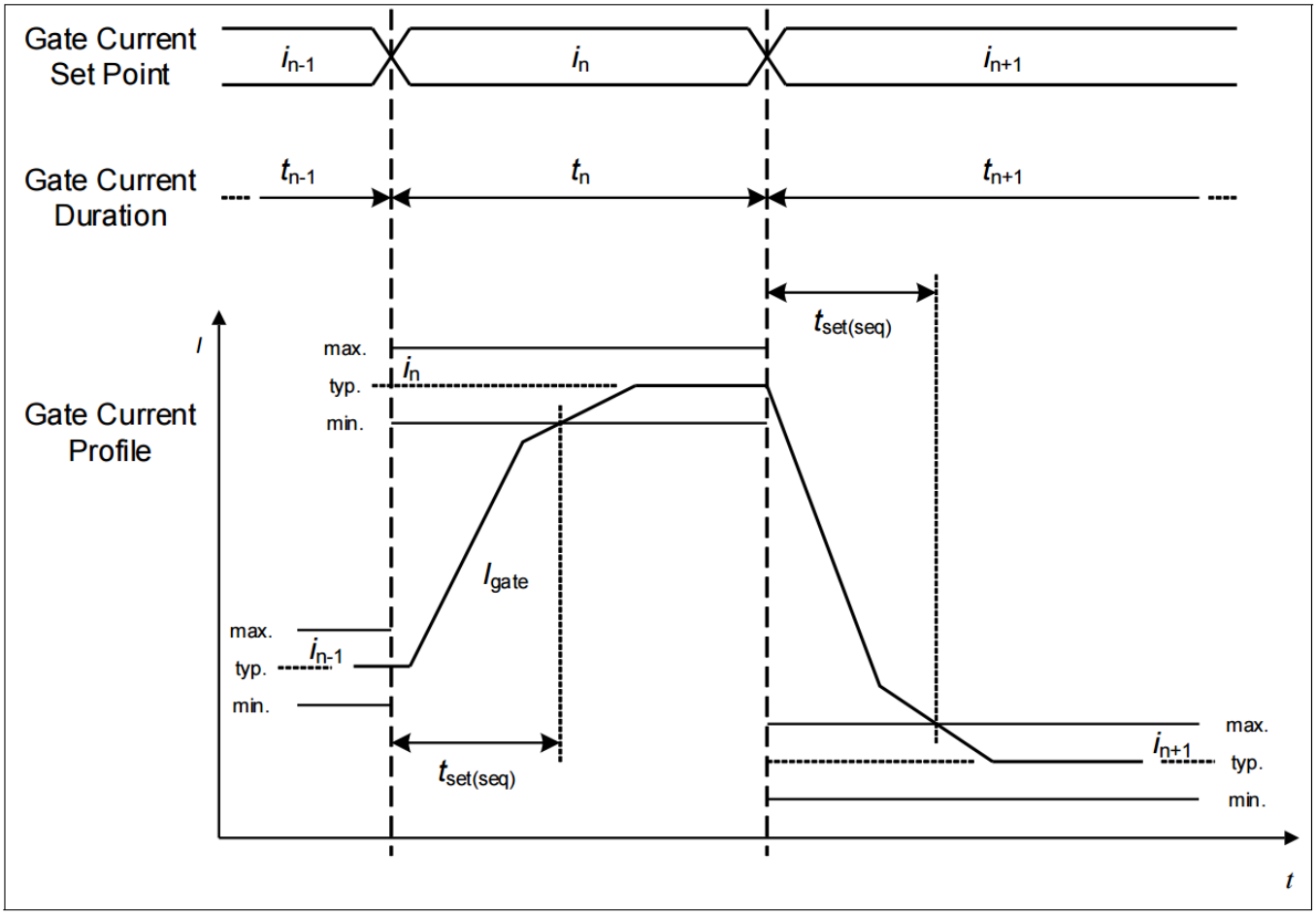


图 37　　栅极电流建立时间

26.2.4　可调节的交叉导通保护

桥驱动器保护外部 MOSFET 的半桥免遭直通。在关闭半桥的一个 MOSFET 后，互补MOSFET无法在由 SFR 定义的可选可编程时间内打开。

26.2.5　大电流放电模式

大电流放电模式在 Gx 和 Sx 引脚之间提供低欧姆路径，对外部MOSFET栅极进行快速放电，并在漏极或源极端子处的快速电压瞬变期间保持外部MOSFET关断。

大电流放电模式在以下情况下激活：

- 在检测到错误条件后紧急停机、
- 如果互补的外部MOSFET导通，避免外部半桥中的直通。

如果可调直通保护的功能被启用，则大电流放电模式会延迟，并与互补 MOSFET 的接通控制信号同时启动。

26.2.6　无源下拉模式

如果桥驱动器模块被禁用，无源下拉模式会激活 Gx 引脚和接地之间的电阻R_{GGND}，以被动地保持外部 MOSFET 的栅极放电。在正常操作期间，这些下拉电阻器被关闭。

26.2.7 制动模式

在制动模式下，两个外部高边 MOSFET 或两个外部低边 MOSFET 静态导通，使电机线圈短路，从而制动电机，或在静止期间保持其主动闭锁。由于在制动模式下不需要PWM 功能，因此电荷泵被设置为低功耗模式，以减少 VSD 引脚的电流消耗 I_{VSD_BK}。

26.2.8 保持模式

在保持模式下，外部低边 MOSFET 可以切换到辅助栅极电压V_{Gxx_HM}，以便在桥驱动器及其电荷泵被禁用的所有情况下（包括桥驱动器默认禁用的停止模式和睡眠模式）关断电机引脚。这导致较低的电流消耗 I_{VSD_SMHM} 和 I_{VSD_STPMHM}在VSD引脚。保持模式由电源管理单元中的 SFR 配置，其中定义了停止或睡眠模式期间的行为。配置包括保持模式的静态和循环激活以及可编程定时之间进行信道单独选择。

注释：　在保持模式下，桥驱动器的监测和保护不可用。

26.2.9 时序测量

桥驱动器提供快速比较器具有低传输延迟t_{cdly} 在SHx引脚，用于测量控制信号变化与 SHx 引脚上相应斜坡之间的开通和关断延迟 $t_{sdly(on)}$和 $t_{sdly(off)}$。此外，这些比较器还能够测量 SHx 引脚上的开启和关闭斜率持续时间 $t_{sdur(on)}$和 $t_{sdur(off)}$。测量值存储在 SFR 中，供软件或自适应控制模式进一步评估（参见第 26.2.10 章）。

图 38 显示了 快速比较器的阈值 $V_{SH(high)}$ 和 $V_{SH(low)}$ 以及传输延迟 t_{cdly} ,以及在外部低边 MOSFET 的 PWM 驱动期间测得的斜率时序参数$t_{sdly(on)}$、 $t_{sdur(on)}$、 $t_{sdly(off)}$ 和 $t_{sdur(off)}$。

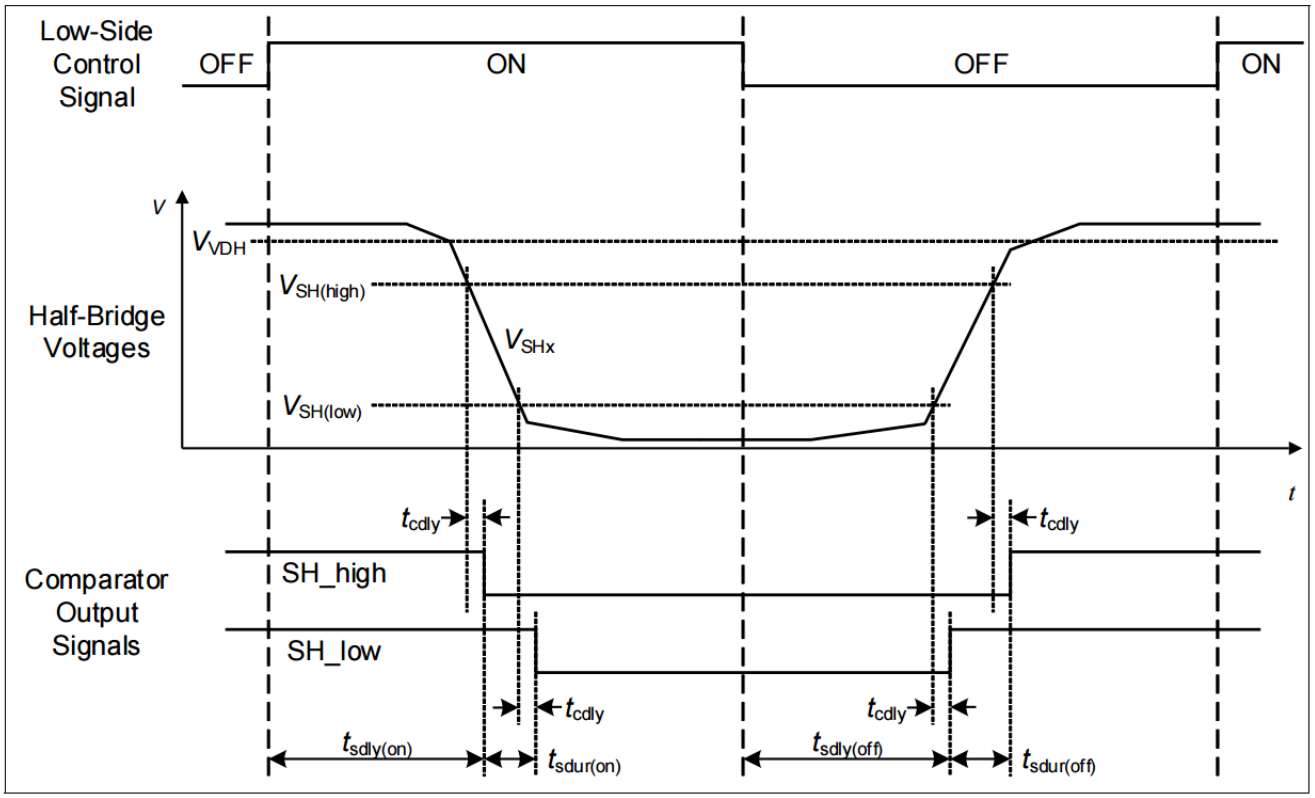


图 38　低边PWM期间的比较器阈值和时序参数

桥驱动器（含电荷泵）

图 39 显示了 快速比较器的阈值 $V_{SH(high)}$ 和 $V_{SH(low)}$ 以及传输延迟 t_{cdly}，以及在外部高边 MOSFET 的 PWM 驱动期间测得的斜率时序参数$t_{sdly(on)}$、 $t_{sdur(on)}$、 $t_{sdly(off)}$ 和 $t_{sdur(off)}$。

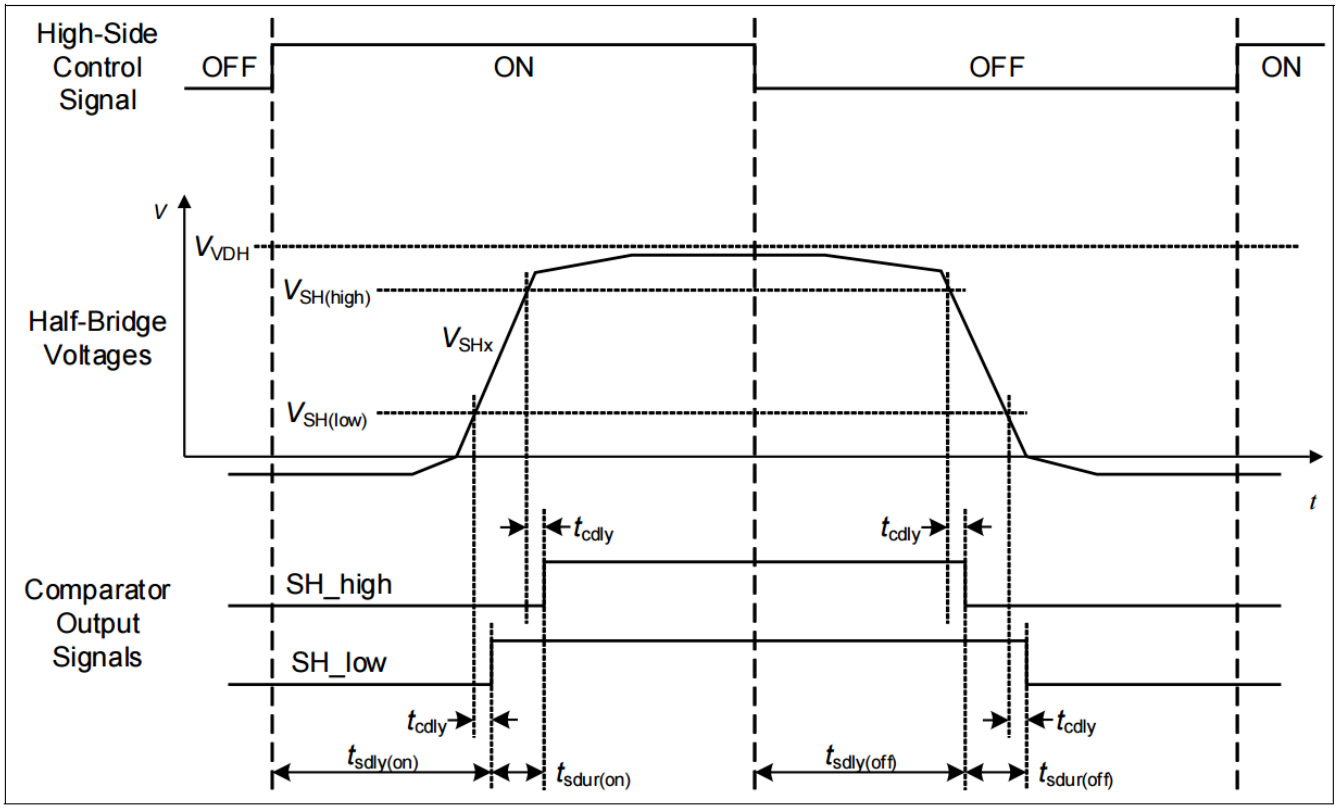


图 39 高边PWM期间的比较器阈值和时序参数

为了对快速比较器和指定的定时测量计数器进行合理性检查，还增加了一个额外的通道开/关延迟测量计数器，该计数器可切换到每个通道的控制信号和相应的漏源电压监控比较器输出。

26.2.10 自适应控制模式

如果输出级由序列器模式控制，桥驱动器将提供可选的自适应控制模式。开启和关闭延迟的目标值由特SFR 定义。为了达到这些目标值，自适应控制算法会读取时序测量结果，并相应地调整第一个栅极充电子系统 $i_{1(on)}$和第一个栅极放电子系统$i_{1(off)}$的电流设置点。

26.2.11 集成两级电荷泵

桥驱动器由集成的 2 级电荷泵供电，可提供高于电池电压的稳定电压V_{CP} 。这使得桥驱动器能够在低电池电压值下运行并静态地开启外部 MOSFET。

电荷泵输出电压可由 SFR 编程。电荷泵频率在 SFR 定义的两个边界频率之间连续变化。

26.2.12 可调电压监测

桥驱动器的电源电压（VSD 和 VCP）由测量单元监控。在监测信号欠压或过压时，可以选择性地禁用包括电荷泵的桥驱动器。

26.2.13 可调短路检测

对于短路检测，桥驱动器的漏源比较器被用于比较外部 MOSFET 上的电压降和可编程电压阈值 $V_{DSMONVTH}$。在从关到开的转换期间（反之亦然），比较器输出信号在 SFR 定义的可编程消隐时间内被忽略。

在导通状态下，如果检测到一个SFR可编程滤波时间的稳定短路条件并生成中断，则外部 MOSFET 会自动关闭。可以通过SFR来选择，是所有 MOSFET 都关断还是仅关断检测到短路条件的 MOSFET。

在关闭状态下，电机相可以通过诊断电流 I_{PUDiag} 和 I_{PDDiag} 上拉或下拉。 SFR 可以读取漏源比较器的输出信号，以检查电机相电压是否根据激活的诊断电流而变化。

26.2.14 负载开路检测

对于关闭状态下的负载开路检测，一个半桥的上拉诊断电流I_{PUDiag}和另一个半桥的下拉诊断电流I_{PDDiag}被激活。下拉诊断电流I_{PDDiag}能够强行拉低上拉诊断电流I_{PUDiag} （通过I_{PDDiag_OD} ）。因此，在连接电机的情况下，两个电机相电压都被下拉。在电机断开的情况下，根据诊断电流设置，一个电机相电压被下拉，而另一个电机相电压被上拉。电机相电压可以通过桥驱动器的漏源比较器及其相应的SFR状态位来查看。

26.2.15 过温

桥驱动器电荷泵的温度被测量单元的专用温度传感器监控，用于发出温度警告信号和桥驱动器的过温关断。

27 电流传感放大器

27.1 特性

主要特性

- 可编程增益设置：G = 10、20、40、60
- 差分输入电压：±1.5V/G
- 宽共模输入范围 ±2V
- 低建立时间 < 1.4 µs

27.2 简介

电流检测放大器在图40，可通过10位ADC测量近地差分电压。其增益可通过内部控制寄存器进行数字化编程。

必须采用线性校准来实现高增益精度，例如包括检流电阻校准的生产线末端校准。

图 40 显示电流检测放大器如何用作低边电流检测放大器，其中电机电流通过检流电阻 R_{SH} 转换为电压。使用差分放大器输入是为了消除由于杂散阻抗R_{stray}的压降以及内外部接地之间的差异造成的测量误差。如果一路或两路输入电压超出工作范围，则必须考虑输入电路已过载并且需要一定的指定**恢复时间**。

一般来说，外部低通滤波器可以抑制 EMI。

27.2.1 框图

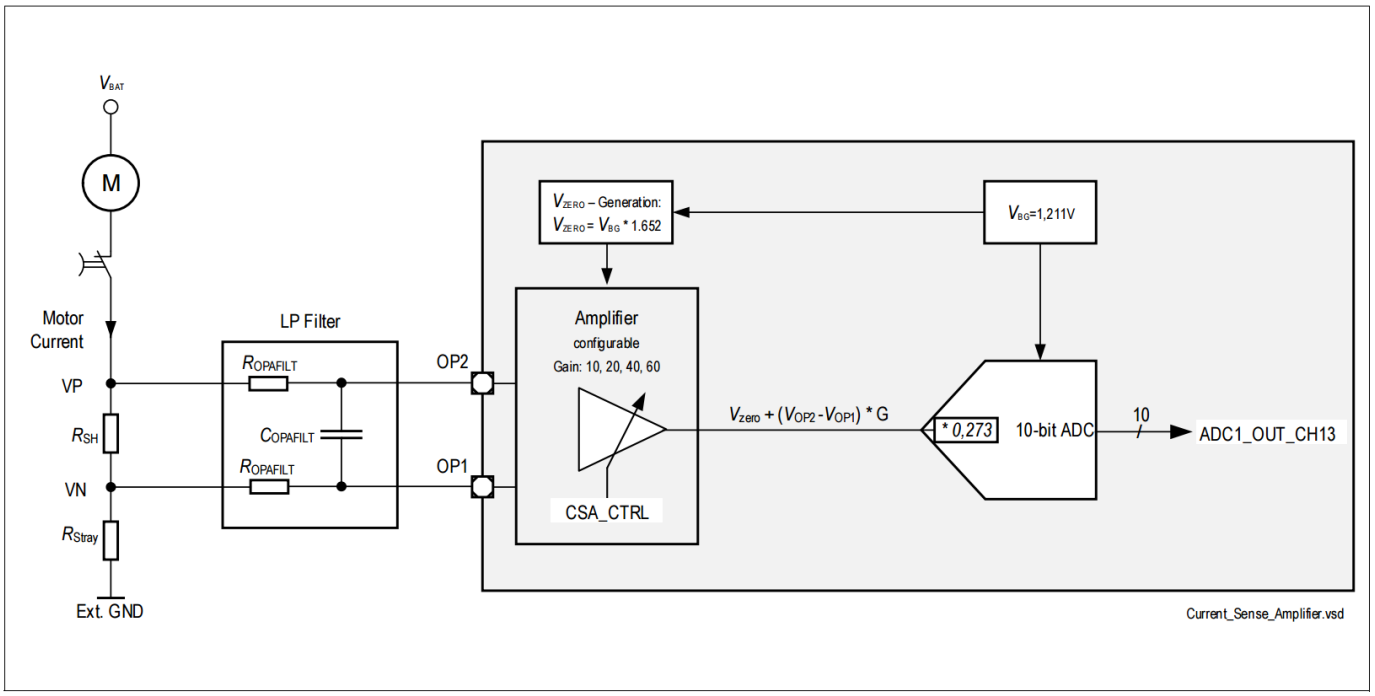


图 40 简化应用框图

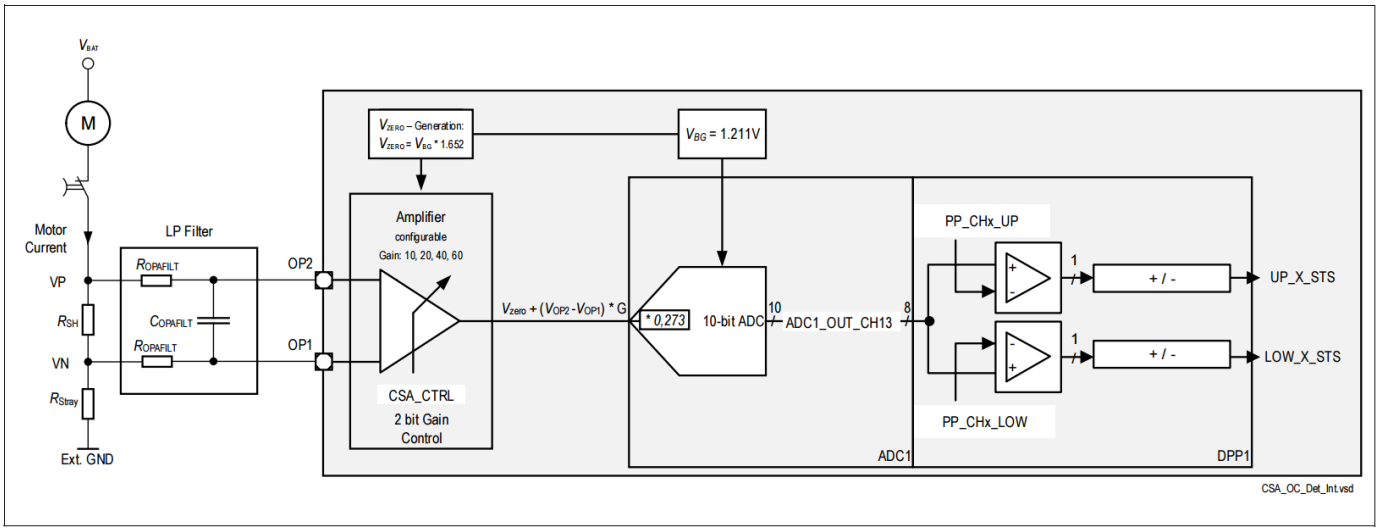


图 41 软短路检测简化应用框图

28 应用信息

注释：　以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

28.1 车窗升降器应用框图

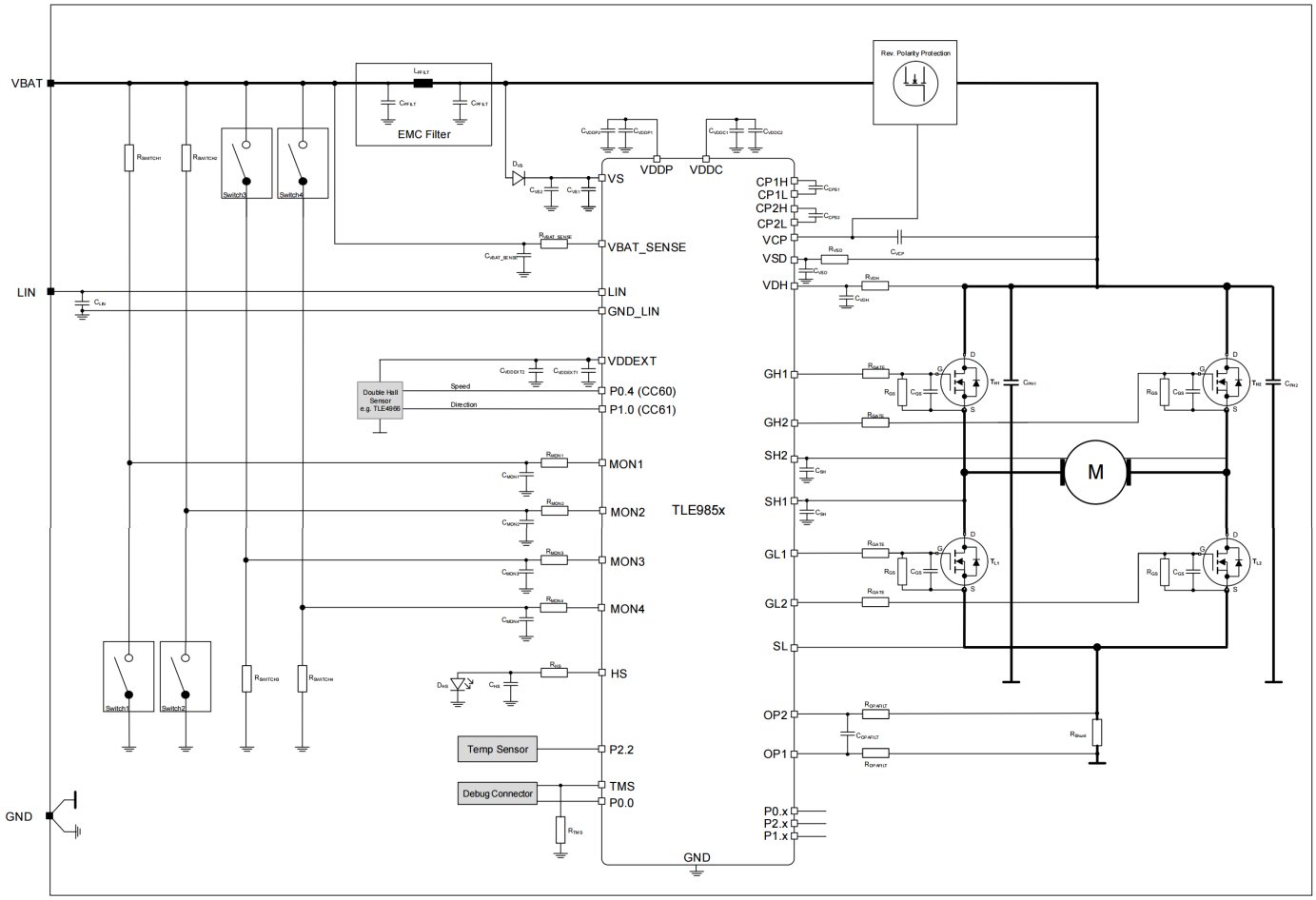


图 42　简化应用框图示例

注释：　这是一个非常简化的应用电路和物料清单的示例。功能必须在实际应用中进行验证。

表 12　外部组件（BOM）

Symbol	Function	Component
C_{VS1}	Capacitor 1 at VS pin	22 µF[1)]
C_{VS2}	Capacitor 2 at VS pin	100 nF[2)3)]
D_{VS}	Reverse-polarity protection diode	

应用信息

表 12　　外部组件（BOM）（续）

Symbol	Function	Component
$C_{VDDEXT1}$	Capacitor 1 at VDDEXT pin	470 nF[3]
$C_{VDDEXT2}$	Capacitor 2 at VDDEXT pin	470 nF
C_{VDDC1}	Capacitor 1 at VDDC pin	100 nF[3]
C_{VDDC2}	Capacitor 2 at VDDC pin	330nF
C_{VDDP1}	Capacitor 1 at VDDP pin	470 nF[3]
C_{VDDP2}	Capacitor 2 at VDDP pin	470 nF
R_{MONx}	Resistor at MONx pin	1 kΩ
C_{MONx}	Capacitor at MONx pin	10 nF
R_{VBAT_SENSE}	Resistor at VBAT_SENSE pin	1 kΩ
C_{VBAT_SENSE}	Capacitor at VBAT_SENSE pin	10 nF
C_{LIN}	Capacitor at LIN pin	220 pF
R_{HS}	Resistor at HS pin	160 Ω[4]
C_{HS}	Capacitor at HS pin	6.8 nF or 33 nF (dependant on ESD GUN requirements)
D_{HS}	LED	
R_{VSD}	Limitation of reverse currents due to transients (-2V, 8ms)	2 Ω
C_{VSD}	Filter C for charge pump and driver	1 µF
C_{CPS1}	Charge pump flying capacitor 1	220 nF
C_{CPS2}	Charge pump flying capacitor 2	220 nF
C_{VCP}	Charge pump storage capacitor	470 nF
R_{VDH}	Resistor	1 kΩ
C_{VDH}	Capacitor	1 nF
C_{PH1}	DC-link buffer capacitor phase 1	220 µF
C_{PH2}	DC-link buffer capacitor phase 2	220 µF
R_{Shunt}	Shunt resistor	5 mΩ
$R_{OPAFILT}$	Resistor	12 Ω
$C_{OPAFILT}$	Capacitor	100 nF
C_{SH}	Capacitor	1 nF
R_{GATE}	Resistor	optional
R_{GS}	Resistor	100 kΩ
C_{GS}	Capacitor	4.7 nF (depends on MOSFET C_{GS})
L_{PFILT}	PI filter inductor	
C_{PFILT}	PI filter capacitor	10 µF
$R_{SWITCHx}$	Resistor	
R_{TMS}	Resistor	

1) 根据应用要求确定选型参数
2) 为了减少 Vs 快速瞬态电压的影响，这些电容器应放置在靠近器件引脚的位置
3) 陶瓷电容。

4) 计算为 24V（应急启动）

28.2 未使用引脚的连接

表 13 给出应用中闲置引脚的推荐接线方案。

表 13 未使用引脚的连接建议

type	pin number	recommendation 1 (if unused)	recommendation 2 (if unused)
LIN	48	open	
HS	2	VS	open
MON	17, 18, 19, 20	GND	open + configure internal PU/PD
GPIO	22, 24, 26, 27, 28, 29, 31, 32, 33, 34, 37, 38, 39, 40, 41	GND	external PU/PD or open + configure internal PU/PD
TMS	23	GND	
RESET	25	open	
VDDEXT	45	open	
VBAT_SENSE	47	VS	

28.3 SWD debug模式下 P0.2 引脚的接线方式

要进入SWD debug 模式，P0.2 需要在复位信号上升沿时为 0。

P0.2 有内部下拉，所以进入 debug 模式时只需要保证 P0.2 没有外部 1 即可。

28.4 连接 TMS

对于 debug 模式，TMS 引脚需要在复位信号上升沿时置为 1。这由调试器控制。TMS 引脚内部有 PD。

为了避免器件在最终应用中意外进入 debug 模式，建议添加额外的外部下拉。

28.5 ESD 测试

注释： *根据 IEC61000-4-2“枪测试”（150pF，330Ω）进行ESD 稳健性测试。结果和测试条件将在测试报告中提供。测试的指标值见表 14 。*

应用信息

表 14 ESD “枪测试”

Performed Test	Result	Unit	Remarks
ESD at pin LIN, versus GND	>6	kV	1)positive pulse
ESD at pin LIN, versus GND	< -6	kV	1)negative pulse
ESD at pin VS, VBAT_SENSE, MONx, HS, versus GND	>6	kV	1)2)positive pulse
ESD at pin VS, VBAT_SENSE, MONx, HS, versus GND	< -6	kV	1)2)negative pulse

1) ESD 耐受性采用“ESD GUN”，由外部测试机构测试（IBEE Zwickau，EMC 测试报告Nr.2019年7月1日），根据“ LIN 2.1 LIN 一致性测试规范包，2008年10月10 ”和“汽车应用中LIN 、 CAN和FlexRay接口的硬件要求 - AUDI、BMW、Daimler、Porsche、Volkswagen - 版本 1.3/ 2012”

2) 配外围电路如图 42。

29 电气特性

本章包含产品TLE9853QX的所有相关电气特性。

29.1 一般特征

29.1.1 绝对最大额定值

表 15 电源供电引脚

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VS voltage	$V_{S,max}$	-0.3	-	40	V	1) Load dump	P_1.1.1
VSD voltage	$V_{SD,max}$	-0.3	-	48	V	1)	P_1.1.34
VSD voltage	$V_{SD,max_extended}$	-2.8	-	48	V	2) 1) Series resistor; R_{VSD}=2.2Ω; t=8ms	P_1.1.35
VDDP voltage	$V_{DDP,max}$	-0.3	-	5.5	V	1)	P_1.1.2
VDDEXT voltage	$V_{DDEXT,max}$	-0.3	-	V_S+ 0.3	V	1)	P_1.1.3
VDDC voltage	$V_{DDC,max}$	-0.3	-	1.6	V	1)	P_1.1.4

1) 未经过生产测试，由设计指定。

2) 条件和最小值由反接故障的应用工况推导得出。

表16 高压引脚

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage at VBAT_SENSE pin	$V_{BAT_SENSE,max}$	-28	-	40	V	1) 2)	P_1.1.5
Voltage at HS pin	$V_{HS,max}$	-0.3	-	V_S+0.3	V	2)	P_1.1.6
Voltage at LIN pin	$V_{LIN,max}$	-28	-	40	V	2)	P_1.1.7
Voltage at MONx pins	$V_{MON,max}$	-28	-	40	V	1) 2)	P_1.1.8
Voltage at VDH pin	$V_{VDH,max}$	-2.8	-	48	V	3) 2)	P_1.1.36
Voltage at GHx pins	V_{GH}	-8	-	48	V	4) 2)	P_1.1.37
Voltage at GHx vs. SHx pins	V_{GHvsSH}	-	-	14	V	2)	P_1.1.38
Voltage at SHx pins	V_{SH}	-8	-	48	V	2)	P_1.1.39
Voltage at GLx pins	V_{GL}	-8	-	48	V	5) 2)	P_1.1.40

电气特性

表 16 高压引脚（续）

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage at GLx vs. SL pins	V_{GLvsSL}	-	-	14	V	2)	P_1.1.41
Voltage at SL pin	V_{SL}	-8	-	48	V	2)	P_1.1.49
Voltage at charge pump pins CP1H, CP1L, CP2H, CP2L, VCP	V_{CPx}	-0.3	-	48	V	6) 2)	P_1.1.42

1) 对于-28V，需要外接1 kΩ电阻来限制输出电流。

2) 未经过生产测试，由设计指定。

3) 对于-2.8V，需要外接1 kΩ电阻来限制输出电流。

4) 为了达到此引脚的最大额定值，必须考虑参数 P_1.1.38，从而产生以下关联关系：$V_{GH} < V_{SH} + V_{GHvsSH_max}$ 以及 $V_{SH} < V_{GH} + 0.3$ V

5) 为了达到此引脚的最大额定值，必须考虑参数 P_1.1.41，从而产生以下关联关系：$V_{GL} < V_{SL} + V_{GLvsSL_max}$ 以及 $V_{SL} < V_{GL} + 0.3$ V

6) 如果从引脚流出的最大电流不超过 200 µA 的限制，则可以保持这些限制

表 17 GPIO 电压

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage on port pin P0.x, P1.x, P2.x, TMS and RESET	$V_{IO,max}$	-0.3	-	V_{DDP} + 0.3	V	1) in consideration of $V_{IO,max} < V_{DDP@MAX}$	P_1.1.10

1) 未经过生产测试，由设计指定。

表 18 电流检测放大器输入电压

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input voltage OP1, OP2	V_{OAI}	-7	-	7	V	1)	P_1.1.43

1) 未经过生产测试，由设计指定。

电气特性

表 19 电流

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Injection current in Sleep Mode on P0.x, P1.x, P2.x, TMS and RESET	I_{xx}	-	-	5	mA	1) maximum allowed injection current on single pin or sum of pins in Sleep Mode and unpowered device	P_1.1.11
Injection current on HS	I_{HS}	-	-	150	mA	1) current flowing into HS pin (back supply in case of short to battery)	P_1.1.12
Max. current at VCP pin	I_{VCP}	-15	-	-	mA	1)	P_1.1.44

1) 未经过生产测试，由设计指定。

表 20 温度

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction Temperature	T_j	-40	-	150	°C	1)	P_1.1.14
Storage Temperature	T_{stg}	-55	-	150	°C	1)	P_1.1.15

1) 未经过生产测试，由设计指定。

表21 ESD耐受性

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ESD Susceptibility **HBM** all pins	V_{ESD1}	-2	-	2	kV	1) 2) JEDEC HBM	P_1.1.16
ESD Susceptibility **HBM** pins LIN vs. LINGND	V_{ESD3}	-6	-	6	kV	1) 2) JEDEC HBM	P_1.1.17

表 21　　ESD 耐受性（续）

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ESD Susceptibility **CDM**	V_{ESD_CDM}	-500	-	500	V	2) Charged device model, acc. JEDEC JESD22-C101	P_1.1.18
ESD Susceptibility **CDM** corner pins: 1, 12, 13, 24, 25, 36, 37, 48	$V_{ESD_CDM_Corner}$	-750	-	750	V	2) Charged device model, acc. JEDEC JESD22-C101	P_1.1.48

1) ESD 耐受性，"JEDEC HBM" 基于ANSI/ESDA/JEDEC JS001（1.5 kΩ，100 pF）。

2) 未经过生产测试，由设计指定。

注释：

1. *超过此处所列的应力可能会对器件造成永久性损坏。 长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。*
2. *集成的保护功能旨在防止IC在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。*

29.1.2　工作范围

注释：　在工作范围内， IC 按照电路描述正常工作。 电气特性是在电气特性表中注明的条件下指定的。

表 22　　工作范围

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage in Active Mode	V_{S_AM}	5.5	-	28	V		P_1.2.1
Extended Supply voltage in Active Mode-range 1	$V_{S_AM_extend_1}$	28	-	40	V	1) Functional with parameter deviation	P_1.2.24
Extended Supply voltage in Active Mode	$V_{S_AM_extend_2}$	3.0	-	28	V	2) Functional with parameter deviation	P_1.2.2
Supply voltage in Active Mode for MOSFET Driver Supply	V_{SD_AM}	5.4	-	29	V		P_1.2.12

表 22　　工作范围（续）

T_j = -40°C 至 +150°C；所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Extended maxiumum supply voltage in Active Mode for MOSFET Driver Supply	$V_{SD_AM_max_extended}$	29	-	32	V	[1] Functional with parameter deviation	P_1.2.13
Supply voltage for LIN Transceiver	$V_{S_AM_LIN}$	5.5	-	18	V	Parameter Specification	P_1.2.3
Extended Supply voltage for LIN Transceiver and Monitoring Inputs (MONx) for all device modes	$V_{S_AM_LIN_extend}$	4.0	-	28	V	Functional with parameter deviation	P_1.2.4
Supply voltage in Stop Mode	$V_{S_Stopmin}$	3.0	-	-	V		P_1.2.5
Min. Supply voltage in Sleep Mode	$V_{S_Sleepmin}$	3.0	-	-	V		P_1.2.6
Supply Voltage transients slew rate	dV_S/dt	-5	-	5	V/µs	[3]	P_1.2.7
Output current on any GPIO	I_{OH}, I_{OL}	-5	-	5	mA	[3]	P_1.2.8
Output sum current for all GPIO pins	$I_{GPIO,sum}$	-50	-	50	mA	[3]	P_1.2.9
Junction Temperature	T_j	-40	-	150	°C		P_1.2.11

1) 该工作电压范围仅允许短时工作： t_{max} < 400 ms

2) 霍尔供电、ADC、 SPI 、 UART 、 NVM 、RAM、CPU 全功能正常工作且参数符合规格在V_s = 3 V。执行器（高边开关、 MOSFET驱动器）在 V_s范围从 3 V < V_s < 5.5 V（高边开关）或 3 V < V_s < 4.4 V（ MOSFET驱动器）功能正常，但某些参数可能超出规格

3) 未经过生产测试，由设计指定。

29.1.3 电流消耗

表 23 电流消耗

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current Consumption in Active Mode at pin VS	I_{Vs_40M}	-	-	30	mA	all digital modules enabled and functional, ADCs converting in sequencer mode, no loads on GPIOs, VDDEXT off, LIN in recessive state (no communication), HSx enabled but off, Charge Pump on, MOSFET Driver enabled and on (PWM running at 25kHz with a capacitive load of C_{Load}= 10 nF), CSA enabled.; 3V≤V_s≤28V; f_{sys}=40MHz	P_1.3.18
Current consumption in Active Mode at pin VSD	I_{VSD}	-	-	50	mA	Charge Pump on, MOSFET Driver enabled and on (PWM running at 25kHz with a capacitive load of C_{Load}= 10 nF).	P_1.3.8
Current consumption in Active Mode at pin VSD - Brake Mode	I_{VSD_BK}	-	-	25	mA	Charge Pump on and in single-stage mode, MOSFET Driver enabled and 2 Low- Side Drivers on, but not switching; I_{CHARGE}=15_D	P_1.3.33

表 23　　电流消耗（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption in Sleep Mode at pin VSD -Hold Mode	I_{VSD_SMHM}	-	-	16	µA	Device in Sleep mode, but Low Side Gates are charged statically to keep low side MOSFETs on. Current does not include static Gate to Source current caused by external Gate to Source resistor.; -40°C≤T_j≤85°C	P_1.3.34
Current consumption in Sleep Mode at pin VSD -Hold Mode (extended Temperature Range)	$I_{VSD_SMHM(T_extend)}$	-	-	19	µA	Device in Sleep mode, but Low Side Gates are charged statically to keep low side MOSFETs on. Current does not include static Gate to Source current caused by external Gate to Source resistor.; 85°C<T_j≤150°C	P_1.3.35
Current consumption in Stop Mode at pin VSD - Hold Mode	I_{VSD_STPMHM}	-	-	16	µA	Device in Stop mode, but Low Side Gates are charged statically to keep low side MOSFETs on. Current does not include static Gate to Source current caused by external Gate to Source resistor.; -40°C≤T_j≤85°C	P_1.3.37

表 23　　电流消耗（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption in Stop Mode at pin VSD - Hold Mode (extended Temperature Range)	$I_{VSD_STPMHM(T_extend)}$	-	-	19	µA	Device in Stop mode, but Low Side Gates are charged statically to keep low side MOSFETs on. Current does not include static Gate to Source current caused by external Gate to Source resistor.; 85°C<T_j≤150°C	P_1.3.38
Current consumption in Sleep Mode at pin VS	I_{Sleep}	-	-	25	µA	System in Sleep Mode, microcontroller not powered, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; -40°C≤T_j≤25°C	P_1.3.2
Current consumption in Sleep Mode at pin VS (extended Temperature Range)	$I_{Sleep(T_extend)}$	-	-	35	µA	[1)] System in Sleep Mode, microcontroller not powered, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; 25°C<T_j≤85°C; 3V≤V_s≤18V	P_1.3.3
Current consumption in Sleep Mode at pin VS (extended Voltage and Temperature Range)	$I_{Sleep(V_T_extend)}$	-	-	40	µA	[1)] System in Sleep Mode, microcontroller not powered, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; 25°C<T_j≤85°C; 3V≤V_s≤28V	P_1.3.4
Current consumption in Sleep Mode at pin VS with cyclic wake	I_{Cyclic}	-	-	30	µA	during sleep period; -40°C≤T_j≤25°C; 3V≤V_s≤28V	P_1.3.5

电气特性

表 23　　电流消耗（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption in Sleep Mode at pin VS with cyclic wake (extended Temperature Range)	$I_{Cyclic(T_extend)}$	-	-	40	µA	[1] during sleep period; 25°C<T_j≤85°C; 3V≤V_s≤28V	P_1.3.6
Current consumption in Stop Mode at pin VS	I_{Stop}	-	-	60	µA	System in Stop Mode, microcontroller not clocked, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; -40°C≤T_j≤25°C; 5.5V≤V_s≤18V	P_1.3.22
Current consumption in Stop Mode at pin VS (extended Temperature Range)	$I_{Stop(T_extend)}$	-	90	110	µA	[1] System in Stop Mode, microcontroller not clocked, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; 25°C<T_j≤85°C	P_1.3.19
Current consumption in Stop Mode at pin VS	$I_{Stop_V_extend}$	-	-	4.0	mA	System in Stop Mode, microcontroller not clocked, Wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; -40°C≤T_j≤85°C; 3V≤V_s<5.5V	P_1.3.21
Current consumption in Stop Mode at pin VS with cyclic sense	I_{Stop_CS}	-	95	115	µA	[1] System in Stop Mode (during stop period), microcontroller not clocked, Wake capable via LIN and MON; VDDEXT off; High Side off; GPIOs open (no loads) or connected to GND or VDDP; -40°C≤T_j≤85°C; 5.5V≤V_s≤18V	P_1.3.20

1) 无需经过生产测试，由设计指定。

29.1.4 热阻

表 24 热阻

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Case	$R_{th(JC)}$	-	6	-	K/W	1) measured to Exposed Pad	P_1.4.1
Junction to Ambient	$R_{th(JA)}$	-	33	-	K/W	2)	P_1.4.2

1) 未经过生产测试，由设计指定。

2) 根据 Jedec JESD51-2,-5,-7 标准， FR4 2s2p 板上自然对流条件下。板子：76.2x114.3x1.5 mm^3 ， 有2个内铜层（35µm 厚），裸露焊盘下有导热过孔阵列，与第一个内铜层连接， 底层有 300 mm^2 冷却区域（70µm）。

29.1.5 时序特性

系统模式之间的转换时间在此指定。一般来说，时序定义为从寄存器PMCON0中相应位置位开始，直到序列终止为止。

表 25 系统时序

V_S = 5.5 V 至 28 V， T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Wake-up over battery	t_{start}	-	-	2.5	ms	1) Battery ramp-up till MCU software is running.	P_1.5.1
Sleep-Exit	$t_{sleep\ -\ exit}$	-	-	2.5	ms	1) rising/falling edge of any wake-up signal (LIN, MON) till MCU software running.	P_1.5.2
Sleep-Entry	$t_{sleep\ -\ entry}$	-	-	330	µs	2) 1)	P_1.5.3

1) 未经过生产测试，由设计指定。

2) 进入休眠过程中产生的唤醒事件会被寄存，待器件进入休眠模式后触发唤醒。

29.2 电源管理单元（PMU）

本章包括电源管理单元的所有电气特性。

29.2.1 PMU输入电压VS

表 26 电气特性

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Required decoupling capacitance	C_{VS1}	0.1	-	-	µF	ESR<1Ω	P_2.1.12
Required buffer capacitance for stability (load jumps)	C_{VS2}	10	-	-	µF	1)	P_2.1.13

1) 无需经过生产测试，由设计指定。

29.2.2 PMU 输入输出供电参数 VDDP

表 27 电气特性

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Specified Output Current	I_{VDDP}	0	-	50	mA	1)	P_2.1.1
Required decoupling capacitance	C_{VDDP1}	0.47	-	-	µF	2) 3) ESR<1Ω	P_2.1.2
Total required buffer capacitance for stability (load jumps, line steps)	C_{VDDP2}	0.47	-	2.2	µF	3) 4)	P_2.1.3
Output Voltage including line and load regulation @ Active Mode	V_{DDPOUT}	4.9	5.0	5.1	V	5) I_{load}<90mA; V_s≥5.5V	P_2.1.4
Output Voltage including line and load regulation @ Stop Mode	$V_{DDPOUTSTOP}$	4.5	5.0	5.25	V	5) I_{load}=$I_{load_internal}$+$I_{load_external}$; $I_{load_external}$=5mA; $I_{load_internal}$=2mA; V_s≥5.5V	P_2.1.5
Output Drop	$V_{sV\ DDPout}$	-	50	+400	mV	6) I_{VDDP}=50mA; V_s=3V	P_2.1.6

电气特性

表 27 电气特性（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Load Regulation	$V_{VDDPLOR}$	-50	-	50	mV	2mA≤I_{load}≤90mA; T_j≤150°C; C=C_{VDDP1}+C_{VDDP2}	P_2.1.7
Line Regulation	$V_{VDDPLIR}$	-50	-	50	mV	5.5V≤V_s≤28V	P_2.1.8
Overvoltage detection	V_{DDPOV}	5.14	-	5.4	V	Overvoltage leads to SUPPLY_NMI; V_s≥5.5V	P_2.1.9
Under Voltage Reset	V_{DDPUV}	2.55	2.7	2.8	V		P_2.1.10
Voltage stable detection range [7]	ΔV_{DDPSTB}	-220	-	+220	mV	[4]	P_2.1.15
Over Current Diagnostic	I_{VDDPOC}	90	-	220	mA	current including VDDC current consumption	P_2.1.11
Short-Circuit Diagnostic	I_{VDDPSC}	270	-	600	mA	[4]	P_2.1.31
Pull Down Strength in Sleep Mode	$I_{VDDPPDSLP}$	5.1	-	8.9	mA	V_{DDP}=5V	P_2.1.29

1) 标称输出电流为端口供电及 VDDP 外接其他负载所用，不含芯片内部耗电

2) 仅对最小值进行测试

3) 引脚 VDDP 上的总电容由 C_{VDDP2} 和 C_{VDDP1} 决定。

4) 未经过生产测试，由设计指定。

5) 负载电流包括内部供电。

6) I_{VDDP} 加上内部电源的输出压降

7) 绝对电压值是参数之和 V_{VDDP} = V_{VDDP} + Δ $V_{VDDPSTB}$

表 28 时序参数

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overvoltage detection filter time	t_{FILT_VDDPOV}	465	665	865	µs	[1] [2]	P_2.1.16
Overcurrent diagnostic filter time	t_{FILT_VDDPOC}	21	30	39	µs	[1] [2]	P_2.1.17
Overcurrent diagnostic shutdown time	$t_{FILT_VDDPOC_SD}$	615	920	1250	µs	[1] [2]	P_2.1.18

表 28　　时序参数（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Short-circuit diagnostic filter time	t_{FILT_VDDPSC}	5	10	13	µs	1) 2)	P_2.1.34
Short-circuit diagnostic shutdown time	$t_{FILT_VDDPSC_SD}$	50	75	105	µs	1) 2)	P_2.1.35

1) 滤波时间及其变化源自时基 $t_{LP_CK} = 1 / f_{LP_CLK}$

2) 未经过生产测试，由设计指定。

29.2.3　PMU 内核电源参数 VDDC

表 29　　电气特性

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Required decoupling capacitance	C_{VDDC1}	0.1	-	1	µF	1) ESR<1Ω	P_2.2.1
Required buffer capacitance for stability (load jumps)	C_{VDDC2}	0.33	-	1	µF	2)	P_2.2.2
Output Voltage including line regulation @ Active Mode	V_{DDCOUT}	1.44	1.5	1.56	V	I_{load}<40mA	P_2.2.3
Output Voltage including line regulation @ Stop Mode	V_{DDCOUT_Stop1}	1.44	1.5	1.56	V	with setting of VDDC output voltage to 1.5V in Stop Mode; $I_{load_internal}$<2mA	P_2.2.26
Output Voltage including line regulation @ Stop Mode - Reduced Core Supply Voltage	V_{DDCOUT_Stop2}	0.8	-	1.3	V	with setting of VDDC output voltage to 0.9V in Stop Mode; $I_{load_internal}$<2mA	P_2.2.25
Load Regulation	V_{DDCLOR}	-50	-	50	mV	2mA≤I_{load}≤40mA; C=C_{VDDC1}+C_{VDDC2}	P_2.2.4
Line Regulation	V_{DDCLIR}	-25	-	25	mV	5.5V≤V_s≤28V	P_2.2.5

电气特性

表 29 电气特性（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Over Voltage Detection	V_{DDCOV}	1.58	-	-	V	Overvoltage leads to SUPPLY_NMI	P_2.2.6
Under Voltage Reset	V_{DDVUV}	1.10	-	1.19	V		P_2.2.7
Over Current Diagnostic	I_{VDDCOC}	40	-	80	mA		P_2.2.8
Short-Circuit Diagnostic	I_{VDDCSC}	120	-	240	mA	2)	P_2.2.28
Pulldown Strength in Sleep Mode	$I_{VDDCPDSLP}$	0.75	1.5	2.7	mA	V_{DDC}=1.5V	P_2.2.27

1) 仅对最小值进行测试

2) 未经过生产测试，由设计指定。

表 30 时序参数

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overvoltage detection filter time	t_{FILT_VDDCOV}	465	665	865	µs	1) 2)	P_2.2.11
Overcurrent diagnostic filter time	t_{FILT_VDDCOC}	21	30	39	µs	1) 2)	P_2.2.12
Overcurrent diagnostic shutdown time	$t_{FILT_VDDCOC_SD}$	615	920	1250	µs	1) 2)	P_2.2.13
Short-circuit diagnostic filter time	t_{FILT_VDDCSC}	5	10	13	µs	1) 2)	P_2.2.29
Short-circuit diagnostic shutdown time	$t_{FILT_VDDCSC_SD}$	50	75	105	µs	1) 2)	P_2.2.30

1) 滤波时间及其变化源自时基 $t_{LP_CLK} = 1 / f_{LP_CLK}$。

2) 未经过生产测试，由设计指定。

29.2.4 VDDEXT 稳压器 5.0V

表 31 VDDEXT 稳压器激活模式

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Specified Output Current	I_{VDDEXT}	0	-	40	mA		P_2.3.1
Required decoupling capacitance	$C_{VDDEXT1}$	330	-	1000	nF	ESR<1Ω	P_2.3.2
Required buffer capacitance for stability (load jumps)	$C_{VDDEXT2}$	100	-	1000	nF	1)	P_2.3.3
Output voltage including line and load regulation - Load 1	V_{DDEXT_LD1}	4.9	5.0	5.1	V	I_{load}≤20mA; V_s≥5.5V	P_2.3.4
Output voltage including line and load regulation - Load 2	V_{DDEXT_LD2}	4.9	5.0	5.1	V	I_{load}≤40mA; -40°C≤T_j≤150°C; V_s≥5.5V	P_2.3.45
Output Drop - Load 1	$V_{s\text{-}VDDEXT_L1}$	-	50	+300	mV	2) 0mA≤I_{load}≤20mA; 3V≤V_s≤5V; C=$C_{VDDEXT1}$+$C_{VDDEXT2}$	P_2.3.5
Output Drop - Load 2	$V_{s\text{-}VDDEXT_L2}$	-	-	+600	mV	20mA<I_{load}≤40mA; 3V≤V_s≤5V; C=$C_{VDDEXT1}$+$C_{VDDEXT2}$	P_2.3.17
Load Regulation	$V_{DDEXTLOR}$	-100	-	10	mV	2) 0mA≤I_{load}≤40mA; V_s≥5.5V; C=$C_{VDDEXT1}$+$C_{VDDEXT2}$	P_2.3.6
Line Regulation - Load 1	$V_{VDDEXTLIR}$	-50	-	50	mV	2) 0mA≤I_{load}≤20mA; 5.5V≤V_s≤28V	P_2.3.7
Line Regulation - Load 2	$V_{VDDEXTLIR}$	-60	-	60	mV	20mA<I_{load}≤40mA; 5.5V≤V_s≤28V	P_2.3.50
Power Supply Rejection Ratio	$PSRR_{VDDEXT1}$	50	-	-	dB	1) 0mA≤I_{load}≤20mA; V_r=2Vpp ; V_s=13.5V; 0kHz<f≤1kHz	P_2.3.8
Under Voltage Shutdown	$V_{VDDEXTUV}$	1.55	1.9	2.1	V	3)	P_2.3.9

电气特性

表 31 VDDEXT 稳压器激活模式（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Over Current Limitation	$I_{VDDEXTOC}$	100	250	380	mA	1)	P_2.3.10
VDDEXT output discharge resistance	R_{VDDEXT_DISCHG}	16	20	24	kOhm		P_2.3.11

1) 未经过生产测试，由设计指定。

2) 测试电流为 10 uA。

3) 当条件满足时，位 VDDEXT_CTRL.VDDEXT_UV_IS 将被置位。

表 32 热关断（结温）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Thermal shutdown temp.	T_{jSD}	180	200	215	°C	1)	P_2.3.48
Thermal shutdown hyst.	ΔT	5	10	15	K	1)	P_2.3.49

1) 未经过生产测试，由设计指定。

表 33 VDDEXT 稳压器低电流模式

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Specified Output Current	I_{VDDEXT_LCM}	0	-	5	mA		P_2.3.28
Output Voltage including line and load regulation	V_{DDEXT_LCM}	4.6	5.0	5.1	V	I_{load}≤5mA; V_s≥5.5V	P_2.3.29
Output Drop	$V_{s\text{-}VDDEXT_LCM}$	-	50	+300	mV	I_{load}≤5mA; 3V≤V_s≤5V; C=$C_{VDDEXT1}$+$C_{VDDEXT2}$	P_2.3.30
Load Regulation	$V_{DDEXTLOR_LCM}$	-250	-	250	mV	1) 0mA≤I_{load}≤5mA; V_s≥5.5V; C=$C_{VDDEXT1}$+$C_{VDDEXT2}$	P_2.3.31

表 33 VDDEXT 稳压器低电流模式（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Line Regulation	$V_{VDDEXTLIR_LCM}$	-300	-	300	mV	1) 0mA≤I_{load}≤5mA; 5.5V≤V_s≤28V	P_2.3.32
Power Supply Rejection Ratio	$PSRR_{VDDEXT_LCM}$ 1	50	-	-	dB	2) 0mA≤I_{load}≤5mA; V_r=2Vpp ; V_s=13.5V; 0kHz<f≤1kHz	P_2.3.33

1) 测试电流为 10 uA。

2) 未经过生产测试，由设计指定。

29.2.5 VPRE 稳压器（PMU 子块）参数

表 34 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Specified Output Current	I_{VPRE}	0	-	90	mA	1)	P_2.4.1

1) 无需经过生产测试，由设计指定。

29.2.5.1 VPRE稳压器的负载分配场景

下图显示了VPRE稳压器的负载分配场景。

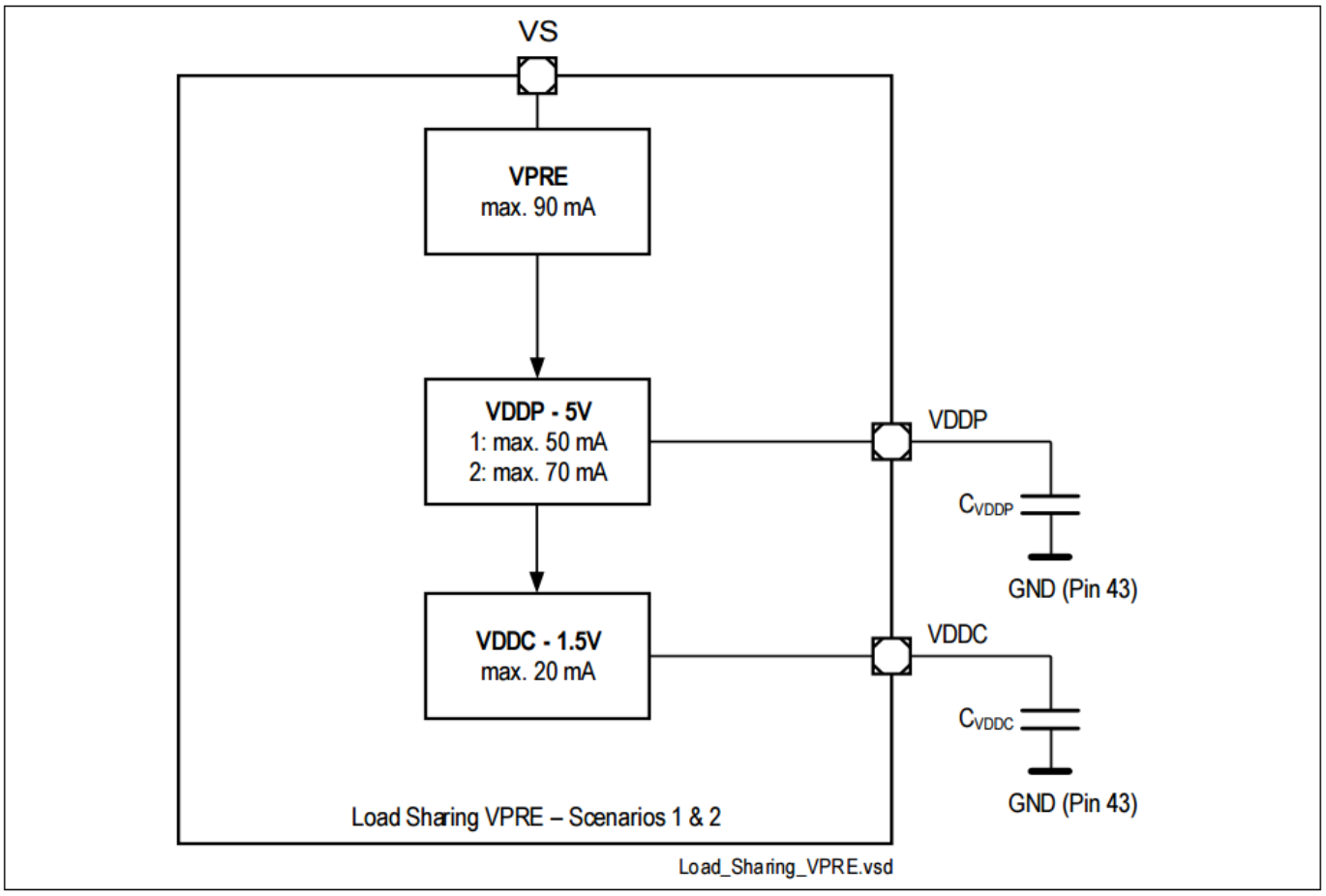


图 43 VPRE 和 VDDP 稳压器的负载分配场景

29.2.6 降压稳压器（PMU子块）参数

PMU 降压稳压器由两个子块组成：

- 降压预稳压器：VDD5VPD
- 内核降压稳压器：VDD1V5_PD（用于 GPUDATAxy 寄存器的供电）

两个稳压器均用作纯内部电源。下表包含所有相关参数：

表 35 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Power-On Reset Threshold	$V_{DD1V5_PD_RSTTH}$	1.2	-	1.5	V	[1] I_{load}=internal load connected to VDD1V5_PD	P_2.5.1

1) 无需经过生产测试，由设计指定。

29.3 系统时钟

29.3.1 振荡器电气特性

表 36 PMU 振荡器（电源管理单元）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Frequency of LP_CLK	f_{LP_CLK}	17	20	23	MHz	this clock is used at startup	P_3.1.1
Frequency of LP_CLK2	f_{LP_CLK2}	70	100	130	kHz	this clock is used for cyclic wake	P_3.1.2

表 37 CGU 振荡器 (时钟生成单元微控制器)

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Frequency of internal oscillator	f_{INTOSC}	-1.49 %	40	+1.49 %	MHz	Including temperature and lifetime drift and supply variation; T_j≤150°C	P_3.1.4
Short term frequency deviation	f_{TRIMST}	-0.4 %	-	+0.4 %	MHz	within any 100 ms, e.g. after synchronization to a LIN frame	P_3.1.3
CGU-OSC Start-up time	t_{OSC}	-	-	10	µs	[1] startup time OSC from Sleep Mode, power supply stable	P_3.1.5

1) 无需经过生产测试，由设计指定。

29.4 Flash 参数

本章包括 48 kB 嵌入式 Flash 模块的参数（包括扇区配置）。

29.4.1 Flash特性

表 38 Flash特性

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Read time	t_{read_ac}	-	-	75	ns	1) 3V<V_s<28V	P_4.1.22
Programming time per 128 Byte page	t_{PR}	-	3	3.5	ms	1) 3V<V_s<28V	P_4.1.1
Programming time per 128 Byte page incl. Firmware routine runtime for program operation	t_{PR_FW}	-	-	4	ms	1) 3V<V_s<28V	P_4.1.20
Erase time per sector/page	t_{ER}	-	4	4.5	ms	1) 3V<V_s<28V	P_4.1.2
Erase time per sector/page incl. Firmware routine runtime for erase operation	t_{ER_FW}	-	-	5	ms	1) 3V<V_s<28V	P_4.1.21
Data retention time	t_{RET}	20	-	-	years	1) 1,000 erase / program cycles	P_4.1.3
Data retention time	t_{RET}	50	-	-	years	2) 1) 1,000 erase / program cycles; T_j=30°C	P_4.1.4
Flash erase endurance for user sectors	N_{ER}	30	-	-	kcycles	1) Data retention time 5 years	P_4.1.5
Flash erase endurance for security pages	N_{SEC}	10	-	-	cycles	1) Data retention time 20 years; T_j=25°C	P_4.1.6
Drain disturb limit	N_{DD}	32	-	-	kcycles	3) 1)	P_4.1.7

1) 未经过生产测试，由设计指定。

2) 通过寿命试验外推法得出。

3) 该参数限制了在一个物理扇区内进行后续编程操作而不对该扇区内的指定页面进行（重新）编程的次数。如果重复使用字行擦除，则适用耗尽干扰限制。对于正常的扇区擦除/编程循环，不会违反这一限制。对于数据扇区，集成的 EEPROM 仿真固件例程会自动处理此限制，对于代码扇区中的字线损耗（无 EEPROM 仿真），建议执行基于软件的刷新，这可以利用集成的随机数据生成器 NVMBRNG 来统计启动刷新。

29.5 并行端口 (GPIO)

29.5.1 保持电流和强制电流的描述

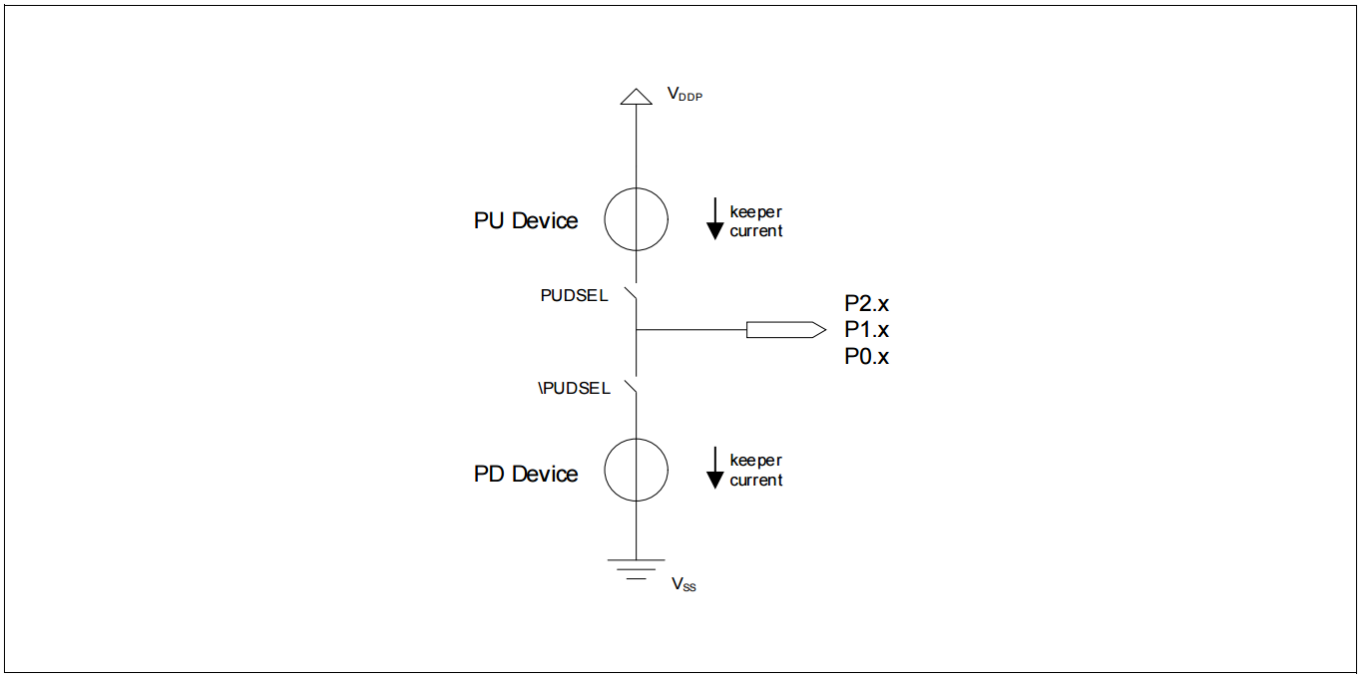


图 44 上拉/下拉器件

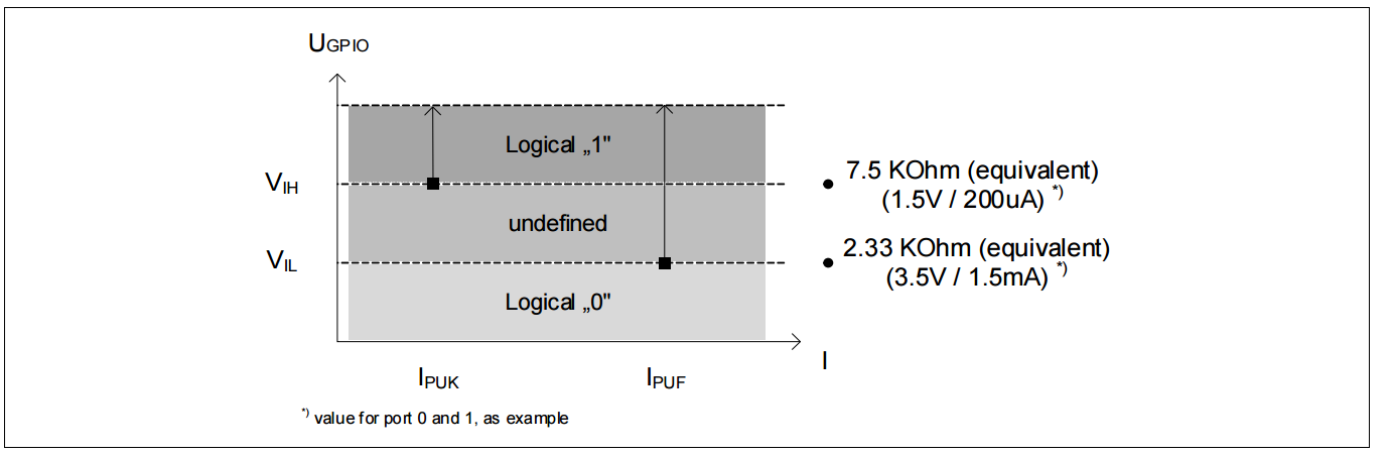


图 45 上拉保持电流和强制电流

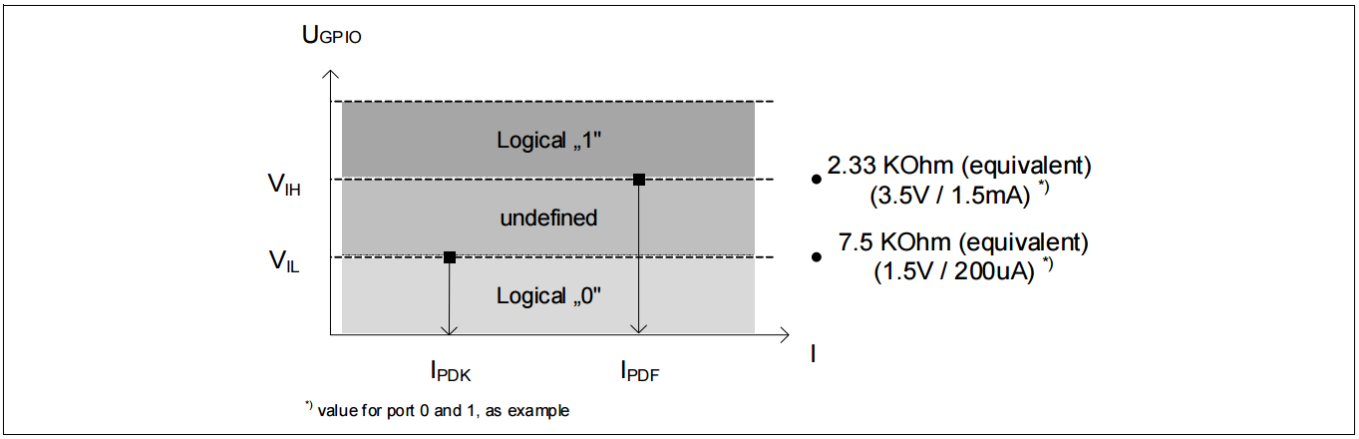


图 46　　下拉保持电流和强制电流

29.5.2　直流参数-端口 0, 端口1, TMS, 复位

注释：　适用运行条件。
将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平，还请参考过载电流 I_{OV}的规格。

表 39　　直流特性-端口0, 端口1, TMS, 复位

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL}	-0.3	-	0.3 x V_{DDP}	V	2.55V≤V_{DDP}<5.5V	P_5.2.1
Input high voltage	V_{IH}	0.7 x V_{DDP}	-	V_{DDP} + 0.3	V	2.55V≤V_{DDP}<5.5V	P_5.2.2
Input Hysteresis	*HYS*	0.11 x V_{DDP}	-	-	V	[1] 4.5V≤V_{DDP}≤5.5V; Series Resistance=0Ω	P_5.2.3
Input Hysteresis	*HYSextend*	0.04 x V_{DDP}	-	-	V	[1] 2.55V≤V_{DDP}<4.5V; Series Resistance=0Ω	P_5.2.16
Output low voltage	V_{OL}	-	-	1.0	V	[2] [3] I_{OL}≤I_{OLmax}; 2.55V≤V_{DDP}<5.5V	P_5.2.4
Output low voltage	V_{OL}	-	-	0.4	V	[2] [3] I_{OL}≤I_{OLnom}; 2.55V≤V_{DDP}<5.5V	P_5.2.5
Output high voltage	V_{OH}	V_{DDP} - 1.0	-	-	V	[2] [3] I_{OH}≥I_{OHmax}; 2.55V≤V_{DDP}<5.5V	P_5.2.6
Output high voltage	V_{OH}	V_{DDP} - 0.4	-	-	V	[2] [3] I_{OH}≥I_{OHnom}; 2.55V≤V_{DDP}<5.5V	P_5.2.7
Input leakage current	I_{OZ2}	-5	-	+5	µA	[4] T_j≤85°C; 0V<V_{IN}<V_{DDP}	P_5.2.8
Input leakage current	$I_{OZ2_T_extend}$	-15	-	+15	µA	[4] T_j≤150°C; 0V<V_{IN}<V_{DDP}	P_5.2.9

表 39　直流特性-端口0, 端口1, TMS, 复位（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pull-up level keep current	I_{PUK}	-	-	-200	µA	5) $V_{PIN} \geq V_{IH}$	P_5.2.10
Pull-up level force current	I_{PUF}	-1.5	-	-	mA	5) $V_{PIN} \leq V_{IL}$	P_5.2.11
Pull-down level keep current	I_{PDK}	200	-	-	µA	5) $V_{PIN} \leq V_{IL}$	P_5.2.26
Pull-down level force current	I_{PDF}	-	-	1.5	mA	5) $V_{PIN} \geq V_{IH}$	P_5.2.27
Pin capacitance	C_{IO}	-	-	10	pF	1)	P_5.2.12
Reset Pin Input Filter Time	T_{filt_RESET}	3	4.5	6	µs	6)	P_5.2.13

1) 未经过生产测试，由设计指定。

2) I_{OLnom}、I_{OLmax}、I_{OHnom}、I_{OHmax} 的值 取决于驱动器强度设置（参见寄存器位字段 SCU_Px_POCON0.Px_PDMy），由 P_5.2.20 ... P_5.2.25 定义

3) 端口驱动器的最大输出电流取决于选择的输出驱动模式。必须遵守引脚组的限制（参见 P_1.2.9）。

4) 给出的值是最坏情况下的数值。在生产测试中，该泄漏电流仅在 150°C 时进行测试；其他值通过关联换算来保证。如需降额使用，请参考以下说明：
泄漏降额取决于温度 (T_J = 结温 [°C])： $I_{OZ} = 0.05 \times e^{(1.5 + 0.028 \times TJ)}$ [µA]。例如，在 95°C 的温度下，产生的漏电流为 3.2µA。
泄漏降额取决于电压电平 (DV = V_{DDP} - V_{PIN}[V])： $I_{OZ} = I_{OZtempmax}$ - (1.6 x DV) [µA] 此电压降额公式是适用于最高温度的近似值计算。

5) 保持电流：将通过该引脚的电流限制在指定值，以便启用的上下拉器件能保持默认引脚电平： $V_{PIN} \geq V_{IH}$为上拉；$V_{PIN} \leq V_{IL}$为下拉。
强制电流：向该引脚驱动指定的最小电流，以更改由启用的上拉装置驱动的默认引脚电平：$V_{PIN} \leq V_{IL}$ 为上拉；$V_{PIN} \geq V_{IH}$ 为下拉。
这些值适用于专用引脚中的固定上拉器件以及在通用 I/O 引脚中用户可选的上拉器件。

6) 滤波时间及其变化源自时基 $t_{LP_CLK} = 1 / f_{LP_CLK}$。

表 40　端口输出驱动器的电流限制

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Current, Strong Driver	I_{OLs5}	-	1.6	5	mA	1) $V_{DDP} \geq 4.5V$	P_5.2.20
Output Current, Medium Driver	I_{OLm5}	-	1.0	3	mA	1) $V_{DDP} \geq 4.5V$	P_5.2.21
Output Current, Weak Driver	I_{OLw5}	-	0.25	0.5	mA	1) $V_{DDP} \geq 4.5V$	P_5.2.22

表 40　　端口输出驱动器的电流限制（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Current, Strong Driver	I_{OLs3}	-	1.0	3	mA	1) 2.55V<V_{DDP}<4.5V	P_5.2.23
Output Current, Medium Driver	I_{OLm3}	-	0.8	1.8	mA	1) 2.55V<V_{DDP}<4.5V	P_5.2.24
Output Current, Weak Driver	I_{OLw3}	-	0.15	0.3	mA	1) 2.55V<V_{DDP}<4.5V	P_5.2.25

1) 这些值适用于 P_5.2.4 ... P_5.2.7：典型值代表“标称输出电流”（I_{OLnom}，$-I_{OHnom}$），最大值代表“最大输出电流”（I_{OLmax}，$-I_{OHmax}$）

29.5.3　直流参数-端口2

注释：　适用运行条件。
将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平，还请参考过载电流 I_{OV}的规格。

表 41　　直流参数-端口2

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL_P2}	-0.3	-	0.3 x V_{DDP}	V	2.55V≤V_{DDP}<5.5V	P_5.3.1
Input high voltage	V_{IH_P2}	0.7 x V_{DDP}	-	V_{DDP} + 0.3	V	2.55V≤V_{DDP}<5.5V	P_5.3.2
Input Hysteresis	HYS_{P2}	0.11 x V_{DDP}	-	-	V	1) 4.5V≤V_{DDP}≤5.5V; Series Resistance=0Ω	P_5.3.3
Input Hysteresis	HYS_{P2_extend}	0.04 x V_{DDP}	-	-	V	1) 2.55V≤V_{DDP}<4.5V; Series Resistance=0Ω	P_5.3.10
Input leakage current	I_{OZ1_P2}	-400	-	+400	nA	; T_j≤85°C; 0V<V_{IN}<V_{DDP}	P_5.3.4
Input leakage current (extended temperature range)	$I_{OZ1_P2_T_extend}$	-1	-	+1	µA	; T_j≤150 °C ; 0V<V_{IN}<V_{DDP}	P_5.3.11
Pull-up level keep current	I_{PUK_P2}	-	-	-30	µA	2) V_{PIN}≥V_{IH}	P_5.3.5
Pull-up level force current	I_{PUF_P2}	-750	-	-	µA	2) V_{PIN}≤V_{IL}	P_5.3.6

电气特性

表 41　　直流参数-端口2（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pull-down level keep current	I_{PDK_P2}	30	-	-	µA	2) $V_{PIN} \leq V_{IL}$	P_5.3.12
Pull-down level force current	I_{PDF_P2}	-	-	750	µA	2) $V_{PIN} \geq V_{IH}$	P_5.3.13
Pin capacitance (digital inputs/outputs)	C_{IO_P2}	-	-	10	pF	1)	P_5.3.7

1) 未经过生产测试，由设计指定。

2) 保持电流：将通过该引脚的电流限制在指定值，以便启用的上下拉器件能保持默认引脚电平： $V_{PIN} \geq V_{IH}$为上拉；$V_{PIN} \leq V_{IL}$为下拉。
强制电流：通过此引脚驱动指示的最小电流，以改变由该引脚驱动的默认引脚电平使能器件上/下拉： $V_{PIN} \leq V_{IL}$为上拉； $V_{PIN} \geq V_{IH}$为下拉。

29.6 LIN 收发器

29.6.1 电气特性

表 42 总线接收器接口

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Receiver threshold voltage, recessive to dominant edge	V_{th_dom}	0.4 x V_S	0.45 x V_S	0.53 x V_S	V	SAE J2602	P_6.1.1
Receiver dominant state	V_{BUSdom}	-27	-	0.4 x V_S	V	LIN Spec 2.2 (Par. 17)	P_6.1.2
Receiver threshold voltage, dominant to recessive edge	V_{th_rec}	0.47 x V_S	0.55 x V_S	0.6 x V_S	V	SAE J2602	P_6.1.3
Receiver recessive state	V_{BUSrec}	0.6 x V_S	-	1.15 x V_S	V	[1] LIN Spec 2.2 (Par. 18)	P_6.1.4
Receiver center voltage	V_{BUS_CNT}	0.475 x V_S	0.5 x V_S	0.525 x V_S	V	[2] LIN Spec 2.2 (Par. 19)	P_6.1.5
Receiver hysteresis	V_{HYS}	0.07 V_S	0.12 x V_S	0.175 x V_S	V	[3] LIN Spec 2.2 (Par. 20)	P_6.1.6
Wake-up threshold voltage	$V_{BUS,wk}$	0.4 x V_S	0.5 x V_S	0.6 x V_S	V		P_6.1.7
Dominant analog filter time for bus wake-up	$t_{WK_ana,bus}$	3	-	15	µs	analog filtertime of transceiver	P_6.1.88
Dominant time for bus wake-up	$t_{WK,bus}$	30	-	150	µs	including analog and digital filter time. Digital filter time can be adjusted by PMU.CNF_WAKE_FILTER	P_6.1.8

1) 设计指定的最大限制。

2) $V_{BUS_CNT} = (V_{th_dom} + V_{th\,rec})/2$

3) $V_{HYS} = V_{BUSrec} - V_{BUSdom}$

表 43 总线收发器器接口

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Bus recessive output voltage	$V_{BUS,ro}$	0.8 x V_S	-	V_S	V	V_{TxD}=high Level	P_6.1.9
Bus short circuit current	$I_{BUS,sc}$	40	100	150	mA	Current Limitation for driver dominant state driver on V_{BUS}=18V; LIN Spec 2.2 (Par. 12)	P_6.1.10
Leakage current	$I_{BUS_NO_GND}$	-1000	-450	0	µA	LIN Spec 2.2 (Par. 15); V_{BUS}=-12V; V_s=0V	P_6.1.11
Leakage current	$I_{BUS_NO_BAT}$	-	10	20	µA	LIN Spec 2.2 (Par. 16); V_{BUS}=18V; V_s=0V	P_6.1.12
Leakage current	$I_{BUS_PAS_dom}$	-1	-	-	mA	LIN Spec 2.2 (Par. 13); V_{BUS}=0V; V_s=18V	P_6.1.13
Leakage current	$I_{BUS_PAS_rec}$	-	-	20	µA	LIN Spec 2.2 (Par. 14); V_{BUS}=18V; V_s=8V	P_6.1.14
Bus pull-up resistance	R_{BUS}	20	30	47	kOhm	Normal mode LIN Spec 2.2 (Par. 26), also present in Sleep mode	P_6.1.15

表 44 交流特性 - 收发器正常斜率模式

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation delay bus dominant to RxD LOW	$t_{d(L),R}$	0.1	1	6	µs	LIN Spec 2.2 (Param. 31)	P_6.1.16
Propagation delay bus recessive to RxD HIGH	$t_{d(H),R}$	0.1	1	6	µs	LIN Spec 2.2 (Param. 31)	P_6.1.17
Receiver delay symmetry	$t_{sym,R}$	-2	-	2	µs	LIN Spec 2.2 (Par. 32); $t_{sym,R}$=$t_{d(L),R}$ - $t_{d(H),R}$	P_6.1.18

表 44　交流特性 - 收发器正常斜率模式（续）

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Duty cycle D1 Normal Slope Mode(for worst case at 20 kbit/s)	t_{duty1}	0.396	-	-		[1] duty cycle 1, LIN Spec 2.2 (Par. 27); $D1=t_{bus_rec(min)}/2\ t_{bit}$; $TH_{Dom}(max)=0.581xV_S$; $TH_{Rec}(max)=0.744xV_S$; 5.5V≤V_s≤18V; t_{bit}=50µs	P_6.1.19
Duty cycle D2 Normal Slope Mode(for worst case at 20 kbit/s)	t_{duty2}	-	-	0.581		[1] duty cycle 2, LIN Spec 2.2 (Par. 28); $D2=t_{bus_rec(max)}/2\ t_{bit}$; $TH_{Dom}(max)=0.284xV_S$; $TH_{Rec}(max)=0.422xV_S$; 5.5V≤V_s≤18V; t_{bit}=50µs	P_6.1.20

1）有关 LIN规范 2.2 的总线负载：Load 1 = 1 nF / 1 kΩ = C_{BUS} / R_{BUS}, Load 2 = 6.8 nF / 660 Ω = C_{BUS} / R_{BUS}, Load 3 = 10 nF / 500 Ω = C_{BUS} / R_{BUS}

表 45　交流特性 - 收发器低斜率模式

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation delay bus dominant to RxD LOW	$t_{d(L),R_LSM}$	0.1	1	6	µs	LIN Spec 2.2 (Param. 31)	P_6.1.21
Propagation delay bus recessive to RxD HIGH	$t_{d(H),R_LSM}$	0.1	1	6	µs	LIN Spec 2.2 (Param. 31)	P_6.1.22
Receiver delay symmetry	t_{sym,R_LSM}	-2	-	2	µs	LIN Spec 2.2 (Par. 32); $t_{sym,R}=t_{d(L),R}-t_{d(H),R}$	P_6.1.23

表 45 交流特性 - 收发器低斜率模式（续）

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Duty cycle D3(for worst case at 10.4 kbit/s)	t_{duty1_LSM}	0.417	-	-		[1] duty cycle 3 LIN Spec 2.2 (Par. 29); $D3=t_{bus_rec(min)}/2\ t_{bit}$; TH_{Dom}(max)=0.616xV_S ; TH_{Rec}(max)=0.778xV_S ; 5.5V≤V_s≤18V; t_{bit}=96µs	P_6.1.24
Duty cycle D4(for worst case at 10.4 kbit/s)	t_{duty2_LSM}	-	-	0.590		[1] duty cycle 4 LIN Spec 2.2 (Par. 30); $D4=t_{bus_rec(max)}/2\ t_{bit}$; TH_{Dom}(max)=0.251xV_S ; TH_{Rec}(max)=0.389xV_S ; 5.5V≤V_s≤18V; t_{bit}=96µs	P_6.1.25

1）有关 LIN规范 2.2 的总线负载：Load 1 = 1 nF / 1 kΩ = C_{BUS} / R_{BUS}, Load 2 = 6.8 nF / 660 Ω = C_{BUS} / R_{BUS}, Load 3 = 10 nF / 500 Ω = C_{BUS} / R_{BUS}

表 46 交流特性 - 收发器快速斜率模式

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation delay bus dominant to RxD LOW	$t_{d(L),R_FSM}$	0.1	1	6	µs		P_6.1.26
Propagation delay bus recessive to RxD HIGH	$t_{d(H),R_FSM}$	0.1	1	6	µs		P_6.1.27
Receiver delay symmetry (LIN Spec V1.3 supply voltage range)	$t_{sym,R_VS_SpecV1.3}$	-1.5	-	1.5	µs	7V≤V_s≤18V; $t_{sym,R}=t_{d(L),R} - t_{d(H),R}$	P_6.1.28
Receiver delay symmetry	t_{sym,R_FSM}	-2.0	-	2.0	µs	$t_{sym,R}=t_{d(L),R} - t_{d(H),R}$	P_6.1.42

表 46　交流特性 - 收发器快速斜率模式（续）

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Duty cycle D5(used for 62.5 kbit/s)	t_{duty1_FSM}	0.395	-	-		[1] duty cycle 5; $D1=t_{bus_rec(min)}/2\ t_{bit}$; $TH_{Dom}(max)=0.581xV_S$; $TH_{Rec}(max)=0.744xV_S$; 5.5V≤V_s≤18V; t_{bit}=25µs	P_6.1.29
Duty cycle D6(used for 62.5 kbit/s)	t_{duty2_FSM}	-	-	0.581		[1] duty cycle 6; $D2=t_{bus_rec(max)}/2\ t_{bit}$; $TH_{Dom}(max)=0.284xV_S$; $TH_{Rec}(max)=0.422xV_S$; t_{bit}=25µs	P_6.1.30

1）有关 LIN规范 2.2 的总线负载：Load 1 = 1 nF / 1 kΩ = C_{BUS} / R_{BUS}, Load 2 = 6.8 nF / 660 Ω = C_{BUS} / R_{BUS}, Load 3 = 10 nF / 500 Ω = C_{BUS} / R_{BUS}

表 47　交流特性 - Flash 模式

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation delay bus dominant to RxD LOW	$t_{d(L),R_FM}$	0.1	0.5	6	µs		P_6.1.31
Propagation delay bus recessive to RxD HIGH	$t_{d(H),R_FM}$	0.1	0.5	6	µs		P_6.1.32
Receiver delay symmetry (LIN Spec V1.3 supply voltage range)	$t_{sym,R_VS_SpecV1_3}$	-1.0	-	1.5	µs	7V≤V_s≤18V; $t_{sym,R}=t_{d(L),R} - t_{d(H),R}$	P_6.1.33
Receiver delay symmetry	t_{sym,R_FM}	-2.0	-	2.0	µs	$t_{sym,R}=t_{d(L),R} - t_{d(H),R}$	P_6.1.86
Duty cycle D7(for worst case at 115 kbit/s)for +1 us Receiver delay symmetry (used for 250 kbit/s programming)	t_{duty1_FM}	0.395	-	-		[1] duty cycle D7; $D7=t_{bus_rec(min)}/(2 \times t_{bit})$; $TH_{Dom}(max)=0.581xV_S$; $TH_{Rec}(max)=0.744xV_S$; t_{bit}=8.7µs	P_6.1.34

表 47 交流特性 - Flash 模式（续）

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Duty cycle D8(for worst case at 115 kbit/s)for +1 us Receiver delay symmetry (used for 250 kbit/s programming)	t_{duty2_FM}	-	-	0.578		1) duty cycle 8; $D8=t_{bus_rec(max)}/(2 \times t_{bit})$; $TH_{Dom}(max)=0.284xV_S$; $TH_{Rec}(max)=0.422xV_S$; t_{bit}=8.7µs	P_6.1.35
LIN input capacity	C_{LIN_IN}	-	15	30	pF	2)	P_6.1.36

1) 总线负载：负载 1 = 1 nF / 500 Ω = C_{BUS}/ R_{BUS}

2) 未经过生产测试，由设计指定。

表 48 交流特性 - 其他时序

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
TxD dominant time out	$t_{timeout}$	6	12	20	ms	V_{TxD}=0V	P_6.1.37

表 49 热关断（结温）

V_S = 5.5 V 至 18 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Thermal shutdown temp.	T_{jSD}	180	200	215	°C	1)	P_6.1.38
Thermal shutdown hyst.	ΔT	-	10	-	K	1)	P_6.1.39

1) 未经过生产测试，由设计指定。

29.7 高速同步串行接口

29.7.1 SSC时序

下表提供了 TLE9853QX 中的 SSC 时序：

表 50 SSC 主机模式时序 （适用操作条件 CL = 50 pF）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SCLK clock period	t_0	2 x T_{SSC}	-	-		1) 2) V_{DDP}>2.7V	P_7.1.1
MTSR delay from SCLK	t_1	10	-	-	ns	2) V_{DDP}>2.7V	P_7.1.2
MRST setup to SCLK	t_2	10	-	-	ns	2) V_{DDP}>2.7V	P_7.1.3
MRST hold from SCLK	t_3	15	-	-	ns	2) V_{DDP}>2.7V	P_7.1.4

1) $T_{SSCmin} = T_{CPU} = 1/f_{CPU}$.

如果 f_{CPU} = 20 MHz，则 t_0 = 100 ns。T_{CPU} 是 CPU 时钟周期。

2) 未经过生产测试，由设计指定。

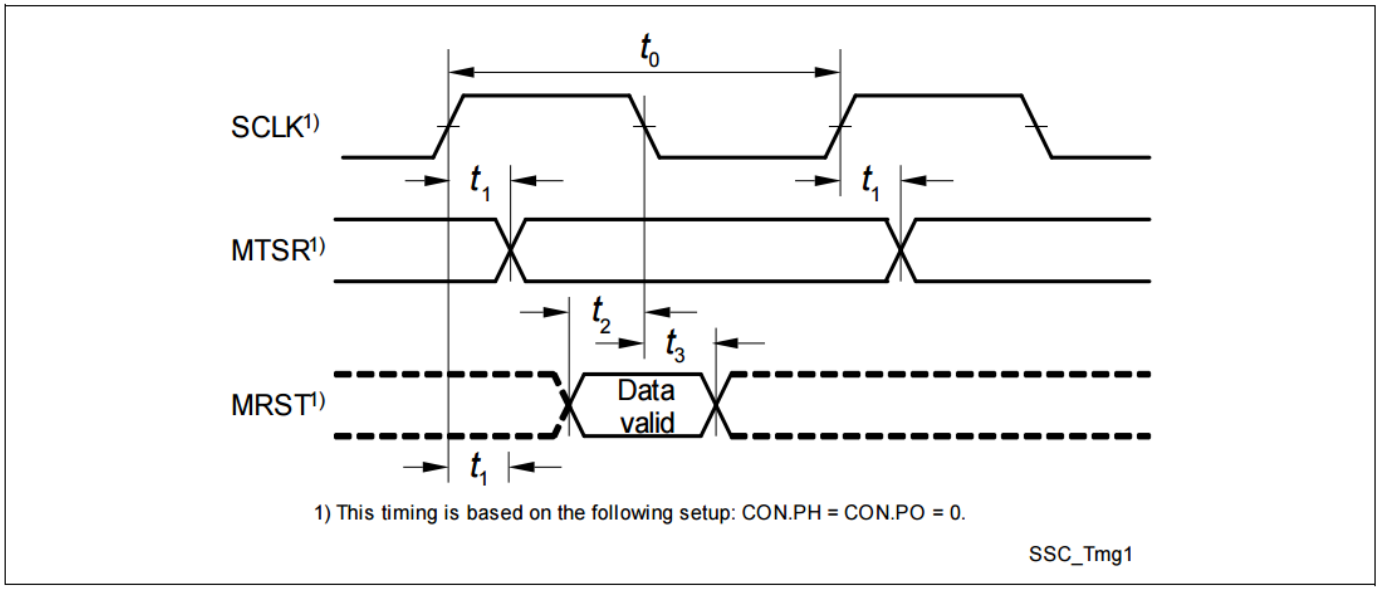


图 47 SSC 主机模式时序

29.8 测量单元

29.8.1 电气特性

表 51 ADC1 - 电池/供电电压测量 V_{BAT_SENSE}, V_S

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: V_{BAT_SENSE}/V_S	ATT_{VBAT_SENSE}, ATT_{VS}	-	0.047	-			P_8.1.10
Nominal operating input voltage range V_{BAT_SENSE}/V_S	$V_{BAT_SENSE,range}$, $V_{S,range}$	0	-	25.77	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VBAT_SENSE}	P_8.1.11
Accuracy of V_{BAT_SENSE}/V_S after calibration - with IIR filter	$\Delta V_{BAT_SENSE_IIR}$, ΔV_{S_IIR}	-200	-	200	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V; ADC1_FILTCOEFF0_13 .CHx=11_B ; f_{ADCI}=f_{sys_max}	P_8.1.12
Accuracy of V_{BAT_SENSE}/V_S after calibration	ΔV_{BAT_SENSE}, ΔV_S	-300	-	300	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V; f_{ADCI}=f_{sys_max}	P_8.1.49

1) 无需经过生产测试，由设计指定。

表 52 ADC1 - 监测输入电压测量V_{MONx}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: VMONx	ATT_{VMONx}	-	0.039	-			P_8.1.13
Nominal operating input voltage range VMONx	$V_{MONx,range}$	0	-	31.05	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VMONx}	P_8.1.14

表 52 ADC1 - 监测输入电压测量V_{MONx}（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Accuracy of V_{MONx} sense after calibration - with IIR filter	ΔV_{MONx_IIR}	-250	-	250	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V; ADC1_FILTCOEFF0_13.CHx=11_B ; f_{ADCI}=f_{sys_max}	P_8.1.33
Accuracy of V_{MONx} sense after calibration	ΔV_{MONx}	-361	-	361	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V; f_{ADCI}=f_{sys_max}	P_8.1.50

1) 无需经过生产测试，由设计指定。

表 53 ADC1 - Port 2.x 电压测量$V_{2.x}$

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: VPort2.x	$ATT_{2.x}$	-	0.227	-			P_8.1.15
Nominal operating input voltage range VPort2.x	$V_{Port2.x,range}$	0	-	V_{DDPOUT}	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. $ATT_{2.x}$	P_8.1.16
Accuracy of $V_{Port2.x}$ sense after calibration - with IIR filter	$\Delta V_{Port2.x_IIR}$	-50	-	50	mV	ADC1_FILTCOEFF0_13.CHx=11_B ; f_{ADCI}=f_{sys_max}	P_8.1.34
Accuracy of $V_{Port2.x}$ sense after calibration	$\Delta V_{Port2.x}$	-67	-	67	mV	f_{ADCI}=f_{sys_max}	P_8.1.51

1) 未经过生产测试，由设计指定。

表 54 ADC1 - OPA 电压测量V_{OPA}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: V_{OPA}	ATT_{OPA}	-	0.265	-			P_8.1.36
Nominal operating input voltage range V_{OPA}	$V_{OPA,range}$	0	-	4.57	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{OPA}	P_8.1.37
Accuracy of V_{OPA} sense after calibration - with IIR filter 2)	ΔV_{OPA_IIR}	- 75	-	75	mV	V_{OP1}=0V; V_{OP2}=0V; 5.5V≤V_s≤28V; ADC1_FILTCOEFF0_13 .CHx=11_B; CSA gain=40 ; f_{ADCI}=f_{sys_max}	P_8.1.38
Accuracy of V_{OPA} sense after calibration 2)	ΔV_{OPA}	-95	-	95	mV	V_{OP1}=0V; V_{OP2}=0V; 5.5V≤V_s≤28V; CSA gain=40 ; f_{ADCI}=f_{sys_max}	P_8.1.52

1) 未经过生产测试，由设计指定。

2) CSA + ADC1（如 P_8.1.38包括 P_13.1.5 和 P_13.1.7）

表 55 ADC2 - 供电电压测量V_S

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: V_S	ATT_{VS_ADC2}	-	0.039	-			P_8.1.1
Nominal operating input voltage range V_S	$V_{S,ADC2}$	3	-	31.05	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VS_ADC2}	P_8.1.2
Accuracy of V_S after calibration	$\Delta V_{S,ADC2}$	-320	-	320	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V	P_8.1.3

1) 未经过生产测试，由设计指定。

表 56 ADC2 - 供电电压测量V_{SD}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: V_{SD}	ATT_{VSD_ADC2}	-	0.039	-			P_8.1.44
Nominal operating input voltage range V_{SD}	$V_{SD,ADC2}$	3	-	31.05	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VSD_ADC2}	P_8.1.39
Accuracy of V_{SD} after calibration	$\Delta V_{SD,ADC2}$	-320	-	320	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V	P_8.1.40

1) 未经过生产测试，由设计指定。

表 57 ADC2 - 供电电压测量V_{CP}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: V_{CP}	ATT_{VCP_ADC2}	-	0.023	-			P_8.1.41
Nominal operating input voltage range V_{CP}	$V_{CP,ADC2}$	3	-	52.65	V	1) 2) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VCP_ADC2}	P_8.1.42
Accuracy of V_{CP} after calibration	$\Delta V_{CP,ADC2}$	-650	-	650	mV	-40°C≤T_j≤150°C; 5.5V≤V_s≤28V	P_8.1.43

1) 这是测量链的理论标称满量程输入范围。引脚允许的输入电压范围在“绝对最大额定值”部分给出。

2) 未经过生产测试，由设计指定。

表 58 ADC2 - VDDEXT 电压测量V_{DDEXT}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input to output voltage attenuation: VDDEXT	ATT_{VDDEXT}	-	0.195	-			P_8.1.17
Nominal operating input voltage range VDDEXT	$V_{DDEXT,range}$	0	-	5.97	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VCP_VDDEXT}	P_8.1.18

1) 未经过生产测试，由设计指定。

表 59 ADC2 - 供电电压测量V_{VDDP}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input-to-output voltage attenuation: VDDP	ATT_{VDDP}	-	0.195	-			P_8.1.4
Nominal operating input voltage range VDDP	$V_{DDP,range}$	0	-	V_{DDPOUT} + 0.3	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VDDP}	P_8.1.5

1) 未经过生产测试，由设计指定。

表 60 ADC2 - 基准电压测量V_{PMUBG}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input-to-output voltage attenuation: VBG	ATT_{PMUVBG}	-	0.75	-		1)	P_8.1.6

电气特性

表 60 ADC2 - 基准电压测量V_{PMUBG}（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Nominal operating input voltage range VBG	$V_{PMUBG,range}$	0.8	-	V_{DDC} - 0.1	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VBG}	P_8.1.7
Value of ADC2-V_{PMUBG} measurement after calibration	V_{PMUBG}	0.9	1.0	1.1	V		P_8.1.45

1) 未经过生产测试，由设计指定。

表 61 ADC2 - 内核供电电压测量V_{DDC}

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input-to-output voltage attenuation: VDDC	ATT_{VDDC}	-	0.75	-			P_8.1.8
Nominal operating input voltage range VDDC	$V_{DDC,range}$	0.6	-	V_{DDC} + 0.1	V	1) Max. value corresponds to typ. ADC full scale input; calculated: typ. V_{BG}/ typ. ATT_{VDDC}	P_8.1.9

1) 未经过生产测试，由设计指定。

29.8.2 中央温度传感器模块

29.8.2.1 电气特性

表 62 传感器的温度规格

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage V_{TEMP} at T_0=0°C (273 K)	*a*	-	0.628	-	V	1) T_0=0°C	P_8.2.1
Temperature sensitivity b	*b*	-	2.31	-	mV/K	1)	P_8.2.2
Accuracy_1	*Acc_1*	-10	-	10	°C	2) -40°C<T_j<85°C	P_8.2.3
Accuracy_2	*Acc_2*	-10	-	10	°C	1) 125°C<T_j<150 °C	P_8.2.4
Accuracy_3	*Acc_3*	-5	-	5	°C	85°C<T_j<125°C	P_8.2.5

1) 未经过生产测试，由设计指定。

2) 参考片上温度校准测量的精度，对模式 1 有效

29.9 ADC1 (10-Bit)

29.9.1 电气特性- ADC1 (10-Bit)

这些参数描述了实现最佳 ADC 性能的条件。

注释：　适用运行条件。

表 63　时序和交流电气规格

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Analog clock frequency	f_{ADCI}	5	-		MHz	1)	P_9.2.1

1) 选择外设频率和预分频器设置时，不得超过 f_{ADCI} 的限值。

表 64　直流规格

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C；所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
DNL error	EA_{DNL}	-2	-	2	LSB		P_9.2.8
INL error	EA_{INL}	-2	-	2	LSB	T_j≤150°C	P_9.2.9
Gain error	EA_{GAIN}	-1.2	-	1.2	% of FSR	1) 2) Already calibrated by implemented calibration unit	P_9.2.10
Offset error	EA_{OFF}	-2.5	-	2.5	LSB	2) already calibrated; T_j≤150°C	P_9.2.11
Total unadjusted error	EA_{TUE}	-10	-	10	LSB	2) already calibrated	P_9.2.33
Cross-coupling Attenuation between LV Channels	EA_{CCOUP}	-2	-	2	LSB	2)	P_9.2.12
Input capacitance of a HV analog input	C_{AINT_HVI}	-	-	200	fF	2)	P_9.2.13
Input capacitance of a LV analog input	C_{AINT_LVI}	-	-	200	fF	2)	P_9.2.19

1) 此增益误差由英飞凌产线终端校准

2) 未经过生产测试，由设计指定。

29.10 高压监控输入

29.10.1 电气特性

表 65 监测输入电气特性

V_S = 5.5 V 至 28 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Wake-up/monitoring threshold voltage	V_{MONth}	0.4 x V_S	0.5 x V_S	0.6 x V_S	V	without external serial resistor R_s (with R_s:dV = $I_{PD/PU}$* R_s);	P_10.1.1
Threshold hysteresis	$V_{MONth,hys}$	0.02 x V_S	0.06 x V_S	0.12 x V_S	V	in all modes; without external serial resistor R_s (with R_s:dV = $I_{PD/PU}$* R_s);	P_10.1.2
Pull-up current	$I_{PU, MON}$	-20	-10	-5	µA	V_{MON_IN}=0.6*V_s	P_10.1.3
Pull-down current	$I_{PD, MON}$	5	10	20	µA	V_{MON_IN}=0.4*V_s	P_10.1.4
Input leakage current	$I_{LK,MON}$	-2	-	2	µA	1) T_j<150°C; 0V<V_{MON_IN}<28V	P_10.1.5
Wake-up filter time	$t_{FT,MON}$	-	20	-	µs	2)	P_10.1.6

1) 对于启用的模块有效。上拉和下拉电流功能已禁用；ADC1 关闭。

2) 在上拉、下拉电流已禁用的前提下。

29.11 高边开关

29.11.1 电气特性

表 66 操作区域

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
PWM frequency of HS with Slew Rate Control	$f_{PWM_W_SR}$	0	-	10	kHz	1) Frequency must be configured in the PWM Generator	P_11.1.1
PWM frequency of HS without Slew Rate Control	f_{PWM_W/O_SR}	0	-	25	kHz	2) 1) Frequency must be configured in the PWM Generator (minimum ON / OFF time 5 us)	P_11.1.2

1) 未经过生产测试，由设计指定。

2) 参考串联一个47Ω电阻给外部功率MOS栅极充电。

表 67 输出 HS

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ON-State Resistance	R_{ON}	3.5	10	15	Ohm	V_s=13.5V; Ids=100mA	P_11.1.3
Output leakage Current	$I_{leakage}$	-1.5	-	-	µA	Output OFF; -0.3V<V_{HS}<V_S	P_11.1.4
Output Slew Rate (rising) with slow Slew Rate setting (Slew Rate 1)	SR_{raise_SR1}	1.5	-	7	V/µs	20% to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.5
Output Slew Rate (falling) with slow Slew Rate setting (Slew Rate 1)	SR_{fall_SR1}	-7	-	-1.5	V/µs	80% to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.6
Output Slew Rate (rising) with fast Slew Rate setting (Slew Rate 2)	SR_{raise_SR2}	21	-	80	V/µs	20% to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.7
Output Slew Rate (falling) with fast Slew Rate setting (Slew Rate 2)	SR_{fall_SR2}	-30	-	-3	V/µs	80% to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.8

表 67　　输出 HS （续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Slew Rate (rising) with Slew Rate setting for low Emission (Slew Rate 3)	SR_{raise_SR3}	0.3	-	1.8	V/µs	20% to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.59
Output Slew Rate (falling) with Slew Rate setting for low Emission (Slew Rate 3)	SR_{fall_SR3}	-1.8	-	-0.3	V/µs	80% to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.60
Turn ON Delay time (Slew Rate 1)	$t_{IN\text{-}HS_SR1}$	1.1	2.2	3.6	µs	ON=1 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.9
Turn ON time (Slew Rate 1)	t_{ON_SR1}	2.1	-	8.8	µs	HS_ON=1 to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.10
Turn OFF time (Slew Rate 1)	t_{OFF_SR1}	5	-	16	µs	HS_ON=0 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.11
Turn ON Delay time (Slew Rate 2)	$t_{IN\text{-}HS_SR2}$	0.08	0.22	0.38	µs	ON=1 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.55
Turn ON time (Slew Rate 2)	t_{ON_SR2}	0.2	-	1.2	µs	HS_ON=1 to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.56
Turn OFF time (Slew Rate 2)	t_{OFF_SR2}	1.1	-	2.7	µs	HS_ON=0 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.57
Turn ON Delay time (Slew Rate 3)	$t_{IN\text{-}HS_SR3}$	3.5	8.2	13.5	µs	ON=1 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.61
Turn ON time (Slew Rate 3)	t_{ON_SR3}	7.8	-	36	µs	HS_ON=1 to 80% of V_S; C_L=1nF; R_L=300Ω	P_11.1.62
Turn OFF time (Slew Rate 3)	t_{OFF_SR3}	18	-	64	µs	HS_ON=0 to 20% of V_S; C_L=1nF; R_L=300Ω	P_11.1.63

电气特性

表 68　　过流检测

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overcurrent threshold 0,trimmed	I_{octh0}	26	40.5	56	mA	V_s=13.5V; HSx_OC_SEL=00	P_11.1.12
Overcurrent threshold 0 hysteresis	$I_{octh0,hyst}$	2.5	5	12	mA	1) HSx_OC_SEL=00	P_11.1.13
Overcurrent threshold 1,trimmed	I_{octh1}	51	65	86	mA	V_s=13.5V; HSx_OC_SEL=01	P_11.1.14
Overcurrent threshold 1 hysteresis	$I_{octh1,hyst}$	4	8	17	mA	1) HSx_OC_SEL=01	P_11.1.15
Overcurrent threshold 2,trimmed	I_{octh2}	101	134	180	mA	V_s=13.5V; HSx_OC_SEL=10	P_11.1.16
Overcurrent threshold 2 hysteresis	$I_{octh2,hyst}$	11	17	33	mA	1) HSx_OC_SEL=10	P_11.1.17
Overcurrent threshold 3,trimmed	I_{octh3}	151	201	270	mA	V_s=13.5V; HSx_OC_SEL=11	P_11.1.18
Overcurrent threshold 3 hysteresis	$I_{octh3,hyst}$	22	35	67	mA	1) HSx_OC_SEL=11	P_11.1.19
Overcurrent shutdown response time	t_{ocft}	8	-	80	µs	1) HS_ON to OC_SD (including switch-on time); R_L=100Ω; V_s=13.5V	P_11.1.20

1)　未经过生产测试，由设计指定。

表69　　导通状态下的负载开路检测

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Open load threshold	I_{OLONth}	0.35	-	2.15	mA		P_11.1.21
Hysteresis	$I_{OLONhys}$	0.015	-	0.3	mA		P_11.1.22

表 70　　循环检测模式

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current capability	$I_{HS\ max\ sleep_pd}$	40	-	-	mA	Sleep Mode / Stop Mode Cyclic Operation	P_11.1.23
ON-State Resistance	$R_{ON,static}$	-	-	105	Ohm	Ids=40mA	P_11.1.24
Output Slew Rate (rising)	SR_{rise_cyc}	0.9	-	18	V/µs	20% to 80% of V_S; R_L=300Ω; V_s≤18V	P_11.1.25
Output Slew Rate (falling)	SR_{fal_cycl}	-34	-	-2.5	V/µs	80% to 20% of V_S; R_L=300Ω; V_s≤18V	P_11.1.26
Delay Time CYCLIC_ON-HS	t_{IN_cyc}	0.2	-	5.6	µs	ON=1 to 20% of V_S; R_L=300Ω; V_s≤18V	P_11.1.27
Turn-ON time	t_{ON_cyc}	1.5	-	15	µs	ON=1 to 80%; R_L=300Ω; V_s≤18V	P_11.1.28
Turn-OFF time	t_{OFF_cyc}	0.8	-	3.4	µs	ON=0 to 20% of V_S; R_L=300Ω; V_s≤18V	P_11.1.29

29.12 MOSFET 驱动器

29.12.1 电气特性

表 71 MOSFET 驱动器输出

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Gate charge current	I_{chg0}	3	7	12	mA	1) C_L=10nF; I_{CHARGE}=0_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.80
Gate charge current	I_{chg3}	8	15	23	mA	1) C_L=10nF; I_{CHARGE}=3_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.81
Gate charge current	I_{chg7}	16	26	36	mA	1) C_L=10nF; I_{CHARGE}=7_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.82
Gate charge current	I_{chg15}	38	53	68	mA	1) C_L=10nF; I_{CHARGE}=15_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.83
Gate charge current	I_{chg31}	96	125	154	mA	1) C_L=10nF; I_{CHARGE}=31_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.84
Gate charge current	I_{chg63}	260	320	380	mA	C_L=10nF; I_{CHARGE}=63_D; V_{GSx}≤$V_{GS(on)}$; V_{SD}≥7.4V	P_12.1.44
Gate charge current dynamic average deviation	$\Delta I_{chg_avg_\%}$	-25 %	-	+25 %		1) Reference: typ. I_{chgx}; C_L=10, 33nF; SR_{on_SHx}=165V/µs; V_{GSx}≤$V_{GS(on)}$	P_12.1.85
Gate discharge current	$I_{dischg0}$	3	7	12	mA	1) C_L=10nF; $I_{DISCHARGE}$=0_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.86
Gate discharge current	$I_{dischg3}$	8	15	23	mA	1) C_L=10nF; $I_{DISCHARGE}$=3_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.87
Gate discharge current	$I_{dischg7}$	16	26	36	mA	1) C_L=10nF; $I_{DISCHARGE}$=7_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.88
Gate discharge current	$I_{dischg15}$	38	53	68	mA	1) C_L=10nF; $I_{DISCHARGE}$=15_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.89
Gate discharge current	$I_{dischg31}$	96	125	154	mA	1) C_L=10nF; $I_{DISCHARGE}$=31_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.90
Gate discharge current	$I_{dischg63}$	260	320	380	mA	C_L=10nF; $I_{DISCHARGE}$=63_D; V_{GSx}≥$V_{GS(off)}$; V_{SD}≥7.4V	P_12.1.45

表 71 MOSFET 驱动器输出（续）

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Gate discharge current dynamic average deviation	$\Delta I_{dischg_avg_\%}$	-28 %	-	+28 %		[1] Reference: typ. $I_{dischgx}$; C_L=10, 33nF; SR_{off_SHx}=165V/µs; $V_{GSx} \geq V_{GS(off)}$; $V_{SD} \geq$7.4V	P_12.1.91
High level output voltage Gxx vs. Sxx	V_{Gxx1}	10	-	12	V	[2] all other Drivers enabled but not ON; C_L=10nF; I_{CP}=6mA; $V_{SD} \geq$7.4V	P_12.1.3
High level output voltage GHx vs. SHx	V_{Gxx2}	8	-	-	V	[2] [1] all other Drivers enabled but not ON; C_L=10nF; I_{CP}=6mA; V_{SD}=6.4V	P_12.1.4
High level output voltage GHx vs. SHx	V_{Gxx3}	7	-	-	V	[2] all other Drivers enabled but not ON; C_L=10nF; $I_{CHARGE} \leq 31_D$; I_{CP}=6mA; V_{SD}=5.4V	P_12.1.5
High level output voltage GLx vs. GND	V_{Gxx6}	8	-	-	V	[2] [1] all other Drivers enabled but not ON; C_L=10nF; I_{CP}=6mA; V_{SD}=6.4V	P_12.1.6
High level output voltage GLx vs. GND	V_{Gxx7}	7	-	-	V	[2] all other Drivers enabled but not ON; C_L=10nF; I_{CP}=6mA; V_{SD}=5.4V	P_12.1.7
High level output voltage GLx vs. GND / GHx vs. SHx - Brake Mode	V_{Gxx_BM}	7	-	-	V	all other Drivers enabled but not ON; C_L=10nF; R_{GS}=100kΩ; V_{SD}=5.4V	P_12.1.66
High level output voltage GLx vs. GND - Hold Mode	V_{Gxx_HM}	2.5	-	7.1	V	; C_L=10nF; R_{GS}=100kΩ; $V_{SD} \geq$5.4V	P_12.1.67
		4.2	-	7.4	V	[1] ; C_L=10nF; R_{GS}=100kΩ; $V_{SD} \geq$7.4V	P_12.1.102
External MOSFET gate-to-source voltage - MOSFET on	$V_{GS(on)}$	5	-	-	V	[1] V_{SD}=5.4V	P_12.1.103
		7	-	-	V	[1] V_{SD}=7.4V	P_12.1.95
External MOSFET gate-to-source voltage - MOSFET off	$V_{GS(off)}$	-	-	2	V	[1] $I_{DISCHARGE} < 31_D$	P_12.1.104
		-	-	3.5	V	[1] $I_{DISCHARGE} \geq 31_D$	P_12.1.96

表 71 MOSFET 驱动器输出（续）

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Rise time	t_{rise3_3nf}	65	100	130	ns	[1] 25-75% of V_{Gxx1}; C_L=3.3nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.8
Fall time	t_{fall3_3nf}	65	100	130	ns	[1] 75-25% of V_{Gxx1}; C_L=3.3nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.9
Rise time	$t_{risemax}$	100	250	450	ns	25-75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.57
Fall time	$t_{fallmax}$	100	250	450	ns	75-25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.58
Rise time	$t_{risemin}$	4	-	15	µs	[1] 25-75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=min ; $I_{DISCHARGE}$=min ; V_{SD}≥7.4V	P_12.1.14
Fall time	$t_{fallmin}$	3.5	-	12	µs	[1] 75-25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=min ; $I_{DISCHARGE}$=min ; V_{SD}≥7.4V	P_12.1.15
Absolute rise - fall time difference for all LSx	$t_{r_f(diff)LSx}$	-	-	100	ns	25-75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.35
Absolute rise - fall time difference for all HSx	$t_{r_f(diff)HSx}$	-	-	100	ns	25-75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max ; $I_{DISCHARGE}$=max ; V_{SD}≥7.4V	P_12.1.36
Resistor between GHx/GLx and GND	R_{GGND}	30	40	50	kOhm		P_12.1.11

表 71　　MOSFET 驱动器输出（续）

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚 （除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Resistor between SHx and GND	R_{SHGN}	30	40	50	kOhm	[3] This resistance is the resistance between GHx and GND connected through a diode to SHx. As a consequence the voltage at SHx can rise up to 0,6V typ. before it gets discharged through the resistor.	P_12.1.10
Effective dischargeRDSON	R_{ONCCP}	-	9	12	Ohm	50mA forced into Gx, Sx grounded; $I_{DISCHARGE}$=63_D; V_{VCP}=V_{VSD}+14.0V; V_{VSD}=13.5V	P_12.1.50
Input propagation time (LS on)	$t_{P(ILN)min}$	-	3	8	µs	[1] "ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=min	P_12.1.37
Input propagation time (LS off)	$t_{P(ILF)min}$	-	3	8	µs	[1] "ON"=0 to 75% of V_{Gxx1}; C_L=10nF; $I_{DISCHARGE}$=min	P_12.1.38
Input propagation time (HS on)	$t_{P(IHN)min}$	-	3	8	µs	[1] "ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=min	P_12.1.39
Input propagation time (HS off)	$t_{P(IHF)min}$	-	3	8	µs	[1] "ON"=0 to 75% of V_{Gxx1}; C_L=10nF; $I_{DISCHARGE}$=min	P_12.1.40
Input propagation time (LS on)	$t_{P(ILN)max}$	-	200	350	ns	"ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.26
Input propagation time (LS off)	$t_{P(ILF)max}$	-	200	300	ns	"ON"=0 to 75% of V_{Gxx1}; C_L=10nF; $I_{DISCHARGE}$=max	P_12.1.27
Input propagation time (HS on)	$t_{P(IHN)max}$	-	200	350	ns	"ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.28
Input propagation time (HS off)	$t_{P(IHF)max}$	-	200	300	ns	"ON"=0 to 75% of V_{Gxx1}; C_L=10nF; $I_{DISCHARGE}$=max	P_12.1.29

电气特性

表 71 MOSFET 驱动器输出（续）

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Absolute input propagation time difference between propagation times for all LSx (LSx on)	$t_{Pon(diff)LSx}$	-	-	100	ns	"ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.30
Absolute input propagation time difference between propagation times for all LSx (LSx off)	$t_{Poff(diff)LSx}$	-	-	100	ns	"ON"=0 to 75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.41
Absolute input propagation time difference between propagation times for all HSx (HSx on)	$t_{Pon(diff)HSx}$	-	-	100	ns	"ON"=1 to 25% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.42
Absolute input propagation time difference between propagation times for all HSx (HSx off)	$t_{Poff(diff)HSx}$	-	-	100	ns	"ON"=0 to 75% of V_{Gxx1}; C_L=10nF; I_{CHARGE}=max	P_12.1.43

1) 未经过生产测试，由设计指定。

2) 工况 I_{CP} = 6 mA，模拟 H 桥驱动，2路 MOSFET 开关频率为 25 kHz，C_L = 10 nF。

3) 该电阻通过 SHx 和 GHx 之间的二极管接地。

表 72 充放电电流时序特性

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge current delay time	$t_{dly(on)}$	-	35	90	ns	1) from "ON"=1 to 20% of I_{chgx} (x=0...63); C_L=10nF	P_12.1.63
Charge current rise time	$t_{rise(on)}$	-	35	70	ns	1) from 20% of I_{chgx} to $I_{chgx,min}$ (x=0...63); C_L=10nF	P_12.1.64
Gate Source Voltage Saturation Time	$t_{sat(on)}$	-	50	100	ns	1) from V_{GS}=$V_{GS(on)}$ to $V_{Gxy,min}$; C_L=10nF; I_{CHARGE}=63	P_12.1.68

电气特性

表 72 充放电电流时序特性（续）

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚 （除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge current settling time - sequencer mode	$t_{set_chg(seq)}$	-	-	150	ns	[2) 1)] from any $I_{CHARGE(n)}$ to $I_{CHARGE(n+1)} = 0_D$ or 63_D; C_L=10nF	P_12.1.69
Discharge current settling time - sequencer mode	$t_{set_dischg(seq)}$	-	-	75	ns	[3) 1)] from any $I_{DISCHARGE(n)}$ to $I_{DISCHARGE(n+1)} = 0_D$ or 63_D; C_L=10nF	P_12.1.70
Discharge current delay time	$t_{dly(off)}$	-	25	80	ns	[1)] from "ON"=0 to 20% of $I_{dischgx}$ (x=0...63); C_L=10nF	P_12.1.71
Discharge current rise time	$t_{rise(off)}$	-	25	50	ns	[1)] from 20% of $I_{dischgx}$ to $I_{dischgx,min}$ (x=0...63); C_L=10nF	P_12.1.72

1) 未经过生产测试，由设计指定。

2) $I_{CHARGE(n)}$和$I_{CHARGE(n+1)}$是时序模式下连续的栅极充电电流设置值。

3) $I_{DISCHARGE(n)}$和$I_{DISCHARGE(n+1)}$是时序模式下连续的栅极放电电流设置值。

表 73 比较器时序测量

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Low-side timing measurement comparator threshold	$V_{SH(low)}$	2	-	2.5	V		P_12.1.73
High-side timing measurement comparator threshold	$V_{SH(high)}$	V_{SD} - 2.5V	-	V_{SD} - 2V	V		P_12.1.74
Delay of low-side timing measurement comparator	$t_{cdly(low)}$	5	-	20	ns		P_12.1.75
Delay of high-side timing measurement comparator	$t_{cdly(high)}$	5	-	25	ns		P_12.1.76

表 74 漏源监测

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Drain source monitoring threshold	$V_{DSMONVTH}$	0.112	0.145	0.178	V	BDRV_CTRL3.DSMON VTH<2:0>=000_B	P_12.1.46
		0.229	0.27	0.311	V	BDRV_CTRL3.DSMON VTH<2:0>=001_B	P_12.1.105
		0.425	0.5	0.575	V	BDRV_CTRL3.DSMON VTH<2:0>=010_B	P_12.1.106
		0.637	0.75	0.863	V	BDRV_CTRL3.DSMON VTH<2:0>=011_B	P_12.1.107
		0.85	1.00	1.15	V	BDRV_CTRL3.DSMON VTH<2:0>=100_B	P_12.1.108
		1.06	1.25	1.44	V	BDRV_CTRL3.DSMON VTH<2:0>=101_B	P_12.1.109
		1.27	1.5	1.73	V	BDRV_CTRL3.DSMON VTH<2:0>=110_B	P_12.1.110
		1.48	1.75	2.02	V	BDRV_CTRL3.DSMON VTH<2:0>=111_B	P_12.1.111

表 75 负载开路诊断电流

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pull-Up diagnosis current	I_{PUDiag}	-700	-	-300	µA	$I_{DISCHARGE}$=0 ; V_{SD}≥6.4V; V_{SHx}=5V; V_s≥5.4V	P_12.1.47
Pull-Down diagnosis current	I_{PDDiag}	800	-	1450	µA	$I_{DISCHARGE}$=0 ; V_{SD}≥6.4V; V_{SHx}=5V; V_s≥5.4V	P_12.1.48
Effective Pull-Down diagnosis current overdrive	I_{PDDiag_OD}	200	-	-	µA	$I_{DISCHARGE}$=0 ; V_{SD}≥6.4V; V_{SHx}=5V; V_s≥5.4V	P_12.1.100

表 76 电荷泵

V_S = 4.4 V 至 28 V， V_{SD} = 5.4 V 至 29 V， T_j = -40°C 至 +150°C，所有电压相对于地，正向电流流入引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage VCP vs. VSD	V_{CPmin1}	7.7	-	10.1	V	1) Bridge Driver enabled but not ON; C_{CP1}=220nF; C_{CP2}=220nF; 100µA≤I_{CP}≤6mA; V_{VSD}=5.4V; f_{CP}=250kHz	P_12.1.53
Single-Stage Mode Output voltage VCP vs. VSD	$V_{CPsingle}$	10.5	-	12.5	V	1) Bridge Driver enabled but not ON, Charge Pump in single-stage mode; C_{CP1}=220nF; C_{CP2}=220nF; 100µA≤I_{CP}≤6mA; V_{VSD}=13.5V; f_{CP}=250kHz	P_12.1.101
Regulated output voltage VCP vs. VSD	V_{CP}	11.8	14.8	16.8	V	1) Bridge Driver enabled but not ON; C_{CP1}=220nF; C_{CP2}=220nF; I_{CP}=6mA; V_{SD}≥7.4V; f_{CP}=250kHz	P_12.1.49
Regulated output voltage VCP vs. VSD	V_{CP_9V}	7.4	9.4	11.4	V	1) Bridge Driver enabled but not ON; C_{CP1}=220nF; C_{CP2}=220nF; I_{CP}=6mA; V_{SD}≥7.4V; f_{CP}=250kHz; VCP9V_SET=1	P_12.1.98
Turn ON Time	t_{ON_VCP}	27	-	90	µs	2) 1) 3) from CPCLK_EN='1' to 25% of V_{CP}; C_{CP1}=220nF; C_{CP2}=220nF; C_{VCP}=470nF; V_{SD}≥7.4V; f_{CP}=250kHz	P_12.1.59
Rise time	t_{rise_VCP}	55	-	130	µs	2) 1) 3) from 25% to 75% of V_{CP}; C_{CP1}=220nF; C_{CP2}=220nF; C_{VCP}=470nF; V_{SD}≥7.4V; f_{CP}=250kHz	P_12.1.60

1) Ichgx = 63d, Idischgx = 63d, BDRV_CTRL3.DSMONVTH<2:0>=111B

2) 该时间适用于 DRV_CP_CLK_CTRL.bit.CPCLK_EN 位置位的情况

3) 未经过生产测试，由设计指定。

29.13 运算放大器

29.13.1 电气特性

表 77 运算放大器的电气特性

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Differential gain (uncalibrated)	G	9.5	10	10.5		CSA_CTRL.CSA_GAIN<1:0>=00_B	P_13.1.6
		19	20	21		[1] CSA_CTRL.CSA_GAIN<1:0>=01_B	P_13.1.28
		38	40	42		[1] CSA_CTRL.CSA_GAIN<1:0>=10_B	P_13.1.29
		57	60	63		[1] CSA_CTRL.CSA_GAIN<1:0>=11_B	P_13.1.30
Differential input operating voltage range OP2 - OP1	V_{IX}	-1.5 / G	-	1.5 / G	V		P_13.1.1
Operating. common mode input voltage range (referred to GND (OP2 - GND) or (OP1 - GND)	V_{CM}	-2.0	-	2.0	V		P_13.1.2
Max. input voltage range (referred to GND) (OP2 - GND) or (OP1 - GND)	V_{IX_max}	-7.0	-	7.0	V	max. rating of operational amplifier inputs, where measurement is not done	P_13.1.3
Single ended output voltage range (linear range)	V_{OUT}	V_{zero} - 1.5	-	V_{zero} + 1.5	V	[2] [1]	P_13.1.4
Linearity error	E_{LIN}	-15	-	15	mV	maximum deviation from best fit straight line divided by max. value of differential output voltage range (0.5V - 3.5V); this parameter is determined at G = 40.	P_13.1.5

表 77　　运算放大器的电气特性（续）

V_S = 5.5 V 至 28 V，T_j = -40°C 至 +150°C，所有电压相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Gain drift	ΔG	-1	-	1	%	Gain drift after calibration at G = 40.	P_13.1.7
DC input voltage common mode rejection ratio	*DC- CMRR*	58	80	-	dB	CMRR (in dB)=-20*log (differential mode gain/ common mode gain); -2V≤V_{CMI}≤2V; V_{OP2}-V_{OP1}=0V; G=40	P_13.1.8
Settling time to 98%	T_{SET}	-	800	1400	ns	1) derived from 80 - 20 % rise fall times for ±2V overload condition (3 Tau value of settling time constant)	P_13.1.9
Current Sense Amplifier Input Resistance @ OP1, OP2	$R_{in_OP1_OP2}$	1	1.25	1.5	kOhm	1)	P_13.1.25

1) 未经过生产测试，由设计指定。

2) 标称 V_{zero} = 2 V（由带隙基准电压推导得出： V_{zero} = 1.652 * V_{BG} ）

30 封装外形

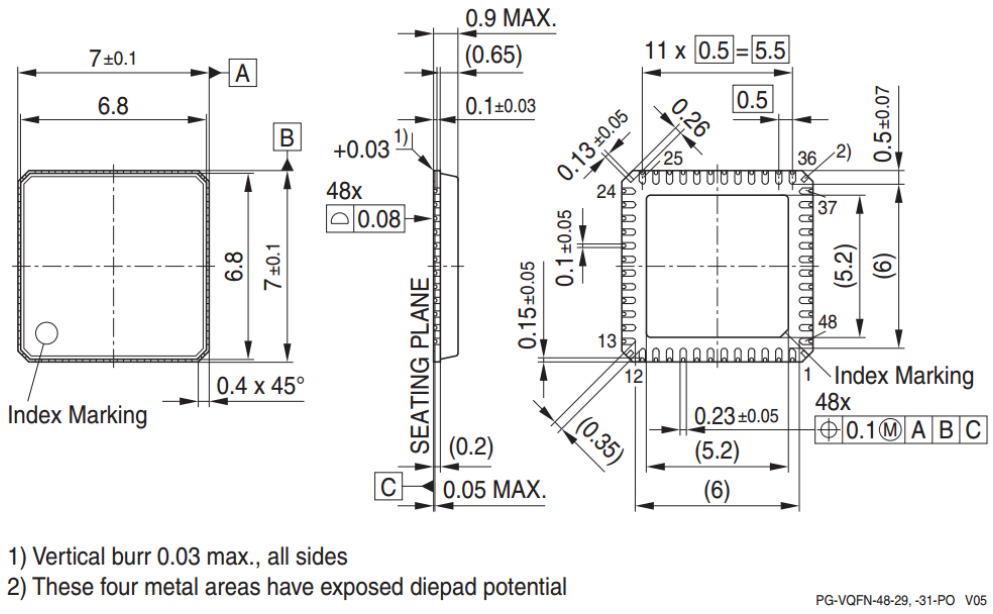


图 48 VQFN-48-31 (带 LTI)

绿色产品（符合 RoHS 要求）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合RoHS标准（即，引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020标准，适用于无铅焊接）。

有关替代封装的更多信息，请访问我们的网站：
http://www.infineon.com/packages.

Dimensions in mm

31 缩略词

本文档中使用以下首字母缩略词和术语。列表见表 78 。

表 78 缩略词

Acronyms	Name
AHB	Arm® Advanced High-Performance Bus
CCU6	Capture Compare Unit 6
CGU	Clock Generation Unit
CLKMU	Clock Management Unit
CMU	Cyclic Management Unit
CSA	Current Sense Amplifier
DPP	Data Post Processing
ECC	Error Correction Code
EEPROM	Electrically Erasable Programmable Read Only Memory
GPIO	General Purpose Input Output
HV	High Voltage
ICU	Interrupt Control Unit
LDO	Low DropOut voltage regulator
LIN	Local Interconnect Network
LSB	Least Significant Bit
LTI	Lead Tip Inspection
LV	Low Voltage
MCU	Memory Control Unit
MF	Measurement Functions
MPU	Memory Protection Unit
MRST	Master Receive / Slave Transmit, corresponds to MISO in SPI
MSB	Most Significant Bit
MTSR	Master Transmit / Slave Receive, corresponds to MOSI in SPI
MU	Measurement Unit
NMI	Non Maskable Interrupt
NVIC	Nested Vector Interrupt Controller
OSC	Oscillator
OTP	One Time Programmable
PBA	Peripheral Bridge
PC	Program Counter
PCU	Power Control Unit
PD	Pull Down
PGU	Power supply Generation Unit
PMU	Power Management Unit

缩略词

表 78　　缩略词

Acronyms	Name
PPB	Private Peripheral Bus
PSW	Program Status Word
PU	Pull Up
PWM	Pulse Width Modulation
RAM	Random Access Memory
RCU	Reset Control Unit
rfu	reserved for future use
RMU	Reset Management Unit
ROM	Read Only Memory
SCU	System Control Unit
SOW	Short Open Window (for WDT1)
SPI	Serial Peripheral Interface
SSC	Synchronous Serial Channel
SWD	Arm® Serial Wire Debug
TCCR	Temperature Compensation Control Register
TMS	Test Mode Select
TSD	Thermal Shut Down
UART	Universal Asynchronous Receiver Transmitter
VBG	Voltage reference Band Gap
WDT	Watchdog timer in SCU-DM (System Control Unit - Digital Modules)
WDT1	Watchdog timer in SCU-PM (System Control Unit - Power Modules)
WMU	Wake-up Management Unit
100TP	100 Times Programmable

32 修订记录

Revision	Date	Changes
Rev. 1.1	2023-03-20	
		All chapters Added trademark: MOTIX™
		Overview • Features – Up to 40 MHz: Deleted “up to” – Deleted “and PLL for clock generation” – Deleted “PLL loss-of-lock detection”
		Block Diagram • Figure “Block diagram TLE985xQX” – Deleted “+PLL”
		General Device Information • Figure “Pin Configuration VQFN-48”: – Deleted “XTAL1” and “XTAL2” • Pin Definitions and Functions, deleted: – P2.0, XTAL1, External oscillator input – P2.2, O, Hi-Z, XTAL2, External oscillator input – Footnote “configurable by user”
		Power Management Unit (PMU) • Table “Description of PMU Submodules” – “This clock is also used as backup clock for the system in case of PLL Clock failure and as independent clock source for WDT1”. Deleted: “backup clock for the system in case of PLL Clock failure and as”

修订记录

Revision	Date	Changes
		System Control Unit - Digital Modules (SCU-DM) • Chapter “Block Diagram”, figure “System Control Unit - Digital Modules Block Diagram” – Deleted “XTAL1” and “XTAL2”, changed CGU. • Chapter “Clock Generation Unit” – Changed from “The CGU in the TLE9853QX consists of one oscillator circuit (OSC_HP), a Phase-Locked Loop (PLL) module including an internal oscillator (OSC_PLL) and a Clock Control Unit (CCU). The CGU can convert a low-frequency input/external clock signal to a high-frequency internal clock.” to “The CGU in the TLE9853QX consists of an internal oscillator (f_{INTOSC}) and a Clock Control Unit (CCU).” – Deleted “PLL clock output f_{PLL}” – Deleted “Direct clock from oscillator OSC_HP f_{OSC}” • Chapter “High Precision Oscillator Circuit (OSC_HP)”: Deleted • Chapter "Clock Control Unit": – The Clock Control Unit (CCU) receives the clock from the PLL f_{PLL}, the external input clock f_{OSC}, the internal input clock f_{INTOSC}, or the low-precision input clock f_{LP_CLK}. Deleted: "PLL f_{PLL}, the external input clock f_{OSC}". – Figure "Clock Inputs to Clock Control Unit": Deleted "f_{PLL}" and "f_{OSC}". – "On wake-up from power-down mode, PCLK2 is restored similarly like NVMCLK, whereas PCLK is restored only after PLL is locked." Deleted: "whereas PCLK is restored only after PLL is locked". – Figure "Clock Generation from f_{sys}; CLKOUT Generation": Deleted "f_{PLL}" and "f_{OSC}".
		System Control Unit - Digital Modules (SCU-PM) • Chapter “Block Diagram” – “check of f_{sys} = system frequency: output of PLL”. Deleted “output of PLL”
		Interrupt System • Table “NMI Interrupt Table” – Deleted “PLL NMI, NMI, PLL loss of lock”.
		GPIO Ports and Peripheral I/O • Table “Port 2 Input Functions” – P2.0, deleted “IN, XTAL (in), XTAL, and footnote “configurable by user” – P2.2, deleted “OUT, XTAL (out), XTAL”, and footnote “configurable by user”
		LIN Transceiver • Chapter “Features” – “TxD Timeout Feature (optional, on by default)”, deleted: “(optional, on by default)”

修订记录

Revision	Date	Changes
		Application Information • Table "Recommendation for connecting unused pins", deleted – "P2/XTAL out, 40, open" – "P2/XTAL in, 41, GND"
		Electrical characteristic • P_1.3.18, Note or Test Condition – Deleted “PLL running” • Chapter “Electrical Characteristics Oscillators and PLL” – Deleted “and PLL” • P_3.1.1, Note or Test Condition – Deleted “and can be used in case the PLL fails”. • P_3.1.4 – Parameter: Changed from “Absolute accuracy” to “Frequency of internal oscillator” – Symbol: Changed from “$f_{TRIMABSA}$” to “f_{INTOSC}” – Values, Typ.: Added “40” • Deleted table “PLL (Clock Generation Unit Microcontroller)” – Deleted: P_3.1.25, P_3.1.21, P_3.1.6, P_3.1.23, P_3.1.7, P_3.1.24, P_3.1.8, P_3.1.10, P_3.1.11 • Deleted chapter “External Clock Parameters XTAL1, XTAL2” – Deleted: P_3.2.1, P_3.2.2, P_3.2.3, P_3.2.4, P_3.2.5, P_3.2.6, P_3.2.7, P_3.2.8, P_3.2.9, P_3.2.10, P_3.2.11, P_3.2.12, P_3.2.13 • P_8.1.33 added • P_8.1.50 added • P_8.1.34 added • P_8.1.51 added • P_9.2.11, Note or Test Condition: Added “$T_j \leq 150°C$”
		Abbreviations • Deleted “PLL, Phase Locked Loop” and “VCO, Voltage Controlled Oscillator”.
1.0	2019-07-26	Initial version for AD-Step

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-07-14**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG** 及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。