

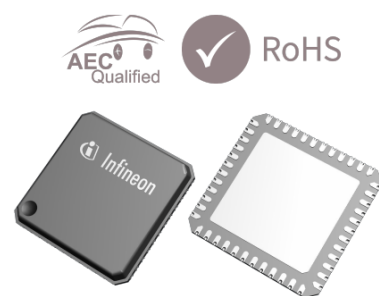
英飞凌 MOTIX™ TLE9844-2QX

适用于汽车应用的LIN总线微控制器及电源开关

AE 和 UD 版

特性

- 32 位 Arm®* Cortex® -M0 内核：高达 40 MHz 时钟频率
- 片上存储器：64 KB 闪存（包括 EEPROM），4 KB EEPROM（通过闪存模拟实现），768 字节 100 次可编程存储器（100TP），4 KB RAM，用于启动固件和闪存例程的引导 ROM
- 省电模式：微控制器单元降速模式、带周期性检测选项的睡眠模式、睡眠模式期间周期性唤醒、带周期性检测选项的停止模式
- 单电源供电范围为 3.0 V 至 28 V，集成 5 V 外部负载供电接口 VDDEXT，例如霍尔传感器
- 集成 LIN 收发器
- 用于时钟生成的片上 OSC 和 PLL
- 测量单元：8 位 ADC（7 通道）用于电压与温度监测，10 位 ADC（13 通道，含 6 个模拟输入、5 个高压监测输入及电池检测功能），片上温度和电池电压测量
- 2 个高边开关、2 个低边开关，具有 PWM 功能
- LIN 引导加载程序用于通过 LIN 总线编程闪存（LIN BSL）
- 1 级温度器件



Product type	Package	Marking
TLE9844-2QX	VQFN-48-31	TLE9844-2QX
	VQFN-48-37	
	UD step only	
	VQFN-48-79	
	UD step only	

潜在应用

- 窗户升降机

产品验证

汽车应用认证。

产品依据 AEC-Q100 进行验证。

* Arm 和 Cortex 是英国 Arm Limited 的注册商标

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

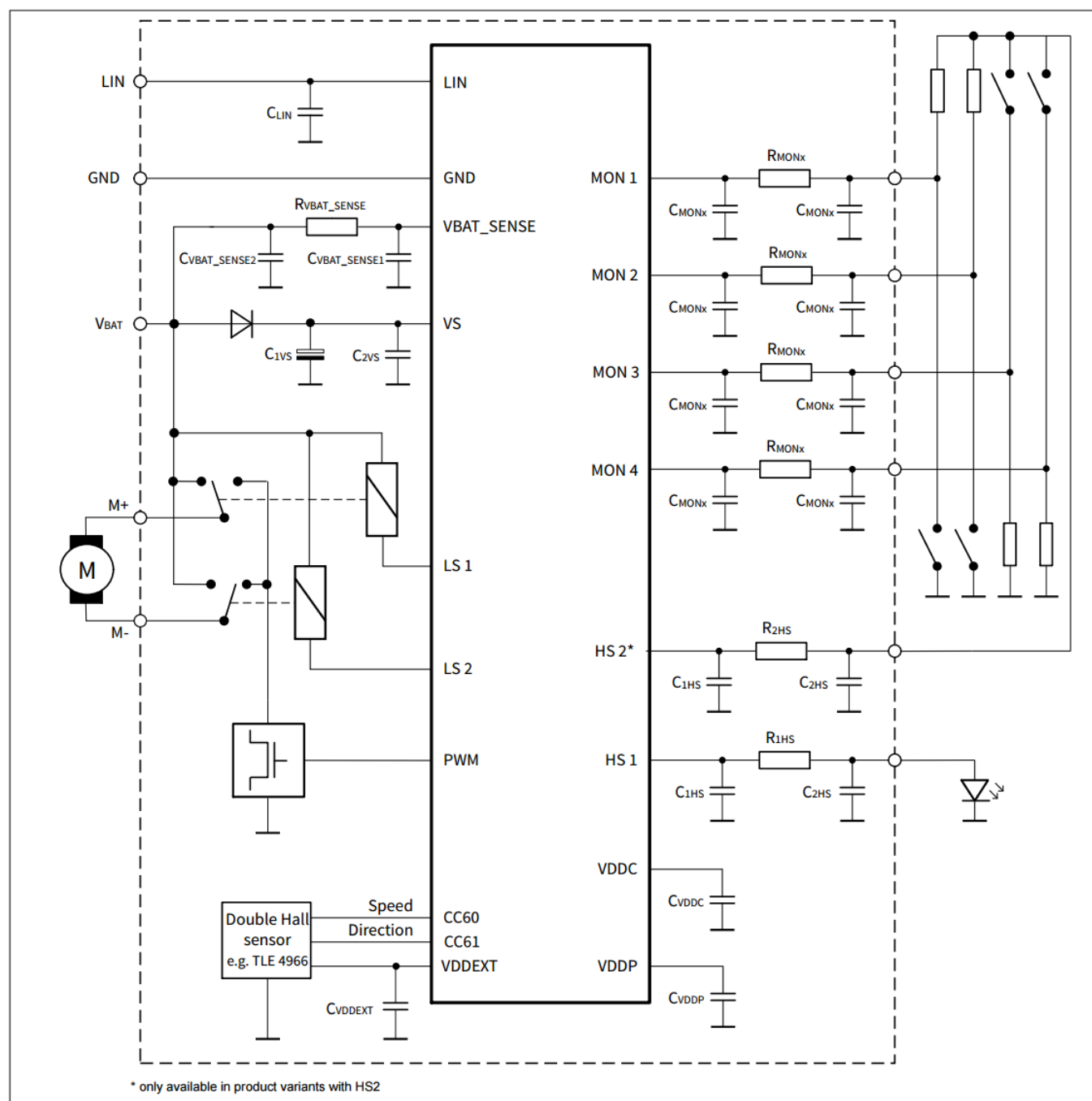


图 1 典型应用

目录

	特性	1
	潜在应用	1
	产品验证	1
	目录	3
1	框图	8
2	器件引脚分配和引脚配置	9
2.1	器件引脚分布	9
2.2	引脚配置	10
3	简介	13
4	运行模式	14
5	电源管理单元 (PMU)	16
5.1	特性	16
5.2	简介	16
5.2.1	框图	17
5.2.2	PMU 模式概述	19
5.3	电源生成单元 (PGU)	20
5.3.1	稳压器 5.0 V (VDDP)	20
5.3.2	稳压器 1.5 V (VDDC)	21
5.3.3	外部稳压器 5.0 V (VDDEXT)	22
5.3.4	低 V_S 操作	23
6	系统控制单元 - 数字模块 (SCU-DM)	24
6.1	特性	24
6.2	简介	24
6.2.1	框图	25
6.3	时钟产生单元	26
6.3.1	低精度时钟	26
6.3.2	高精度振荡器电路 (OSC_HP)	26
6.3.2.1	外部输入时钟模式	26
6.3.2.2	外部晶振模式	26
6.3.3	时钟控制单元	28
7	系统控制单元 - 功率模块 (SCU-PM)	30
7.1	功率模块系统控制单元描述	30
7.2	简介	30
7.2.1	框图	30
8	Arm® Cortex®-M0 内核	31
8.1	特性	31

Table of contents

8.2	简介.....	32
8.2.1	框图	32
9	地址空间结构.....	33
10	存储控制单元.....	35
10.1	特性.....	35
10.2	简介.....	35
10.2.1	框图	35
11	NVM 模块 (存储器).....	37
11.1	定义.....	38
11.1.1	通用定义.....	38
12	中断系统	40
12.1	特性.....	40
12.2	简介.....	40
12.2.1	概述	40
13	看门狗定时器 (WDT1)	42
13.1	特性.....	42
13.2	简介.....	43
14	GPIO 端口和外设I/O	44
14.1	特性.....	44
14.2	简介.....	45
14.2.1	端口 0 和 端口 1	45
14.2.2	端口 2.....	46
14.3	端口执行详情.....	47
14.3.1	端口 0.....	47
14.3.1.1	端口 0 功能.....	47
14.3.2	端口 1.....	50
14.3.2.1	端口 1 功能.....	50
14.3.3	端口 2.....	52
14.3.3.1	端口 2 功能.....	52
15	通用定时器单元 (GPT12)	54
15.1	特性.....	54
15.1.1	功能模块 GPT1.....	54
15.1.2	功能模块 GPT2.....	54
15.2	简介.....	54
15.2.1	功能块图 GPT1.....	55
15.2.2	功能块图 GPT2.....	56
16	定时器 2 和 定时器 21.....	57
16.1	特性.....	57
16.2	简介.....	57
16.2.1	定时器 2 和 定时器 21 模式概览	57

17	捕获/比较单元 (CCU6)	59
17.1	功能概述	59
17.2	简介	60
17.2.1	框图	60
18	UART1/UART2	61
18.1	特性	61
18.2	简介	61
18.2.1	框图	62
18.3	UART 模式	63
19	LIN 收发器 (TRX)	64
19.1	特性	64
19.1.1	一般功能特性	64
19.1.2	运行模式	64
19.1.3	特殊功能	64
19.1.4	斜率模式功能	64
19.1.5	唤醒功能	64
19.2	简介	65
19.2.1	框图	66
20	高速同步串行接口 SSC1/SSC2	67
20.1	特性	67
20.2	简介	67
20.2.1	框图	68
21	测量单元	69
21.1	特性	69
21.2	简介	69
21.2.1	框图	70
22	测量核心模块 (含 ADC2)	71
22.1	特性	71
22.2	简介	71
22.2.1	框图	71
23	10位模拟数字转换器 (ADC1)	72
23.1	特性	72
23.2	简介	73
23.2.1	框图	73
24	高压监测器输入	74
24.1	特性	74
24.2	简介	74
24.2.1	框图	74
25	高边切换	75

25.1	特性.....	75
25.2	简介.....	76
25.2.1	框图	76
25.2.2	通用	76
26	低侧开关	77
26.1	特性.....	77
26.2	简介.....	78
26.2.1	框图	78
26.2.2	通用	78
27	应用信息	79
27.1	继电器车窗升降器应用框图.....	79
27.2	连接 N.C. 引脚	80
27.3	连接未使用的引脚.....	81
27.4	SWD 调试模式的 P0.2 连接	81
27.5	连接 TMS.....	81
27.6	静电防护抗扰度符合 ISO10605	82
28	电气特性.....	83
28.1	基本特性.....	83
28.1.1	绝对最大额定值.....	83
28.1.2	工作范围.....	85
28.1.3	电流消耗.....	86
28.1.4	热阻抗.....	90
28.1.5	时序特性.....	90
28.2	电源管理单元 (PMU)	91
28.2.1	PMU 输入电压 VS	91
28.2.2	PMU I/O 电源参数 VDDP	91
28.2.3	PMU 核心供电参数 VDDC	93
28.2.4	VDDEXT 稳压器 5.0 V.....	94
28.2.5	VPRE 稳压器 (PMU 子块) 参数.....	96
28.2.5.1	VPRE 调节器的负载分配.....	96
28.2.6	掉电稳压器 (PMU 子块) 参数	97
28.3	系统时钟.....	98
28.3.1	振荡器与 PLL 电气特性.....	98
28.3.2	外部时钟参数 XTAL1、XTAL2	99
28.4	闪存模块参数.....	101
28.4.1	闪存模块特性.....	101
28.5	并行端口 (GPIO)	102
28.5.1	保持电流和强制电流的描述.....	102
28.5.2	直流参数端口 0, 端口 1、TMS、复位.....	103
28.5.3	端口 2 的直流参数	105
28.5.4	工作条件.....	106

28.6	LIN 收发器 (TRX)	108
28.6.1	收发器的一般特性.....	108
28.6.1.1	发射器接口	109
28.6.1.2	接收器接口	109
28.6.2	LIN 收发器	110
28.6.2.1	接收器接口	110
28.6.2.2	发射器接口	111
28.6.2.3	LIN 波形图.....	113
28.6.3	参数测试电路.....	114
28.7	高速同步串行接口.....	115
28.7.1	SSC 时序.....	115
28.8	测量单元.....	116
28.8.1	电气特性.....	116
28.8.2	中央温度传感器模块.....	119
28.8.2.1	电气特性	119
28.9	ADC1 (10-位)	120
28.9.1	ADC1 基准电压	120
28.9.2	ADC1 (10位) 的电气特性.....	120
28.10	高压监测输入.....	122
28.10.1	电气特性.....	122
28.11	高边开关.....	123
28.11.1	电气特性.....	123
28.12	低边开关.....	126
28.12.1	电气特性.....	126
29	封装信息	128
30	缩略词.....	130
	修订记录	132
	免责声明	134

1 框图

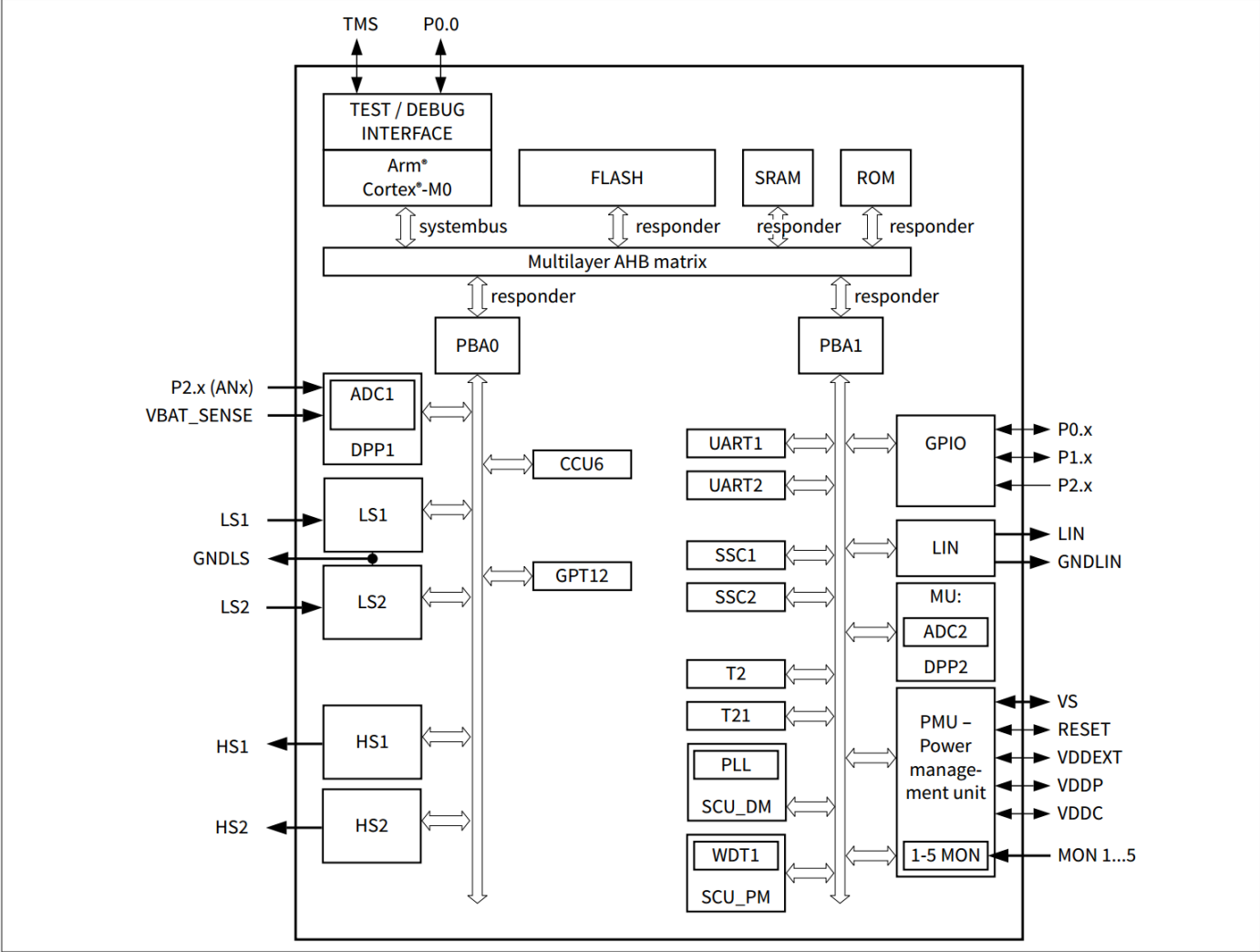


图 2 TLE9844-2QX 框图

2 器件引脚分布和引脚配置

2.1 器件引脚分布

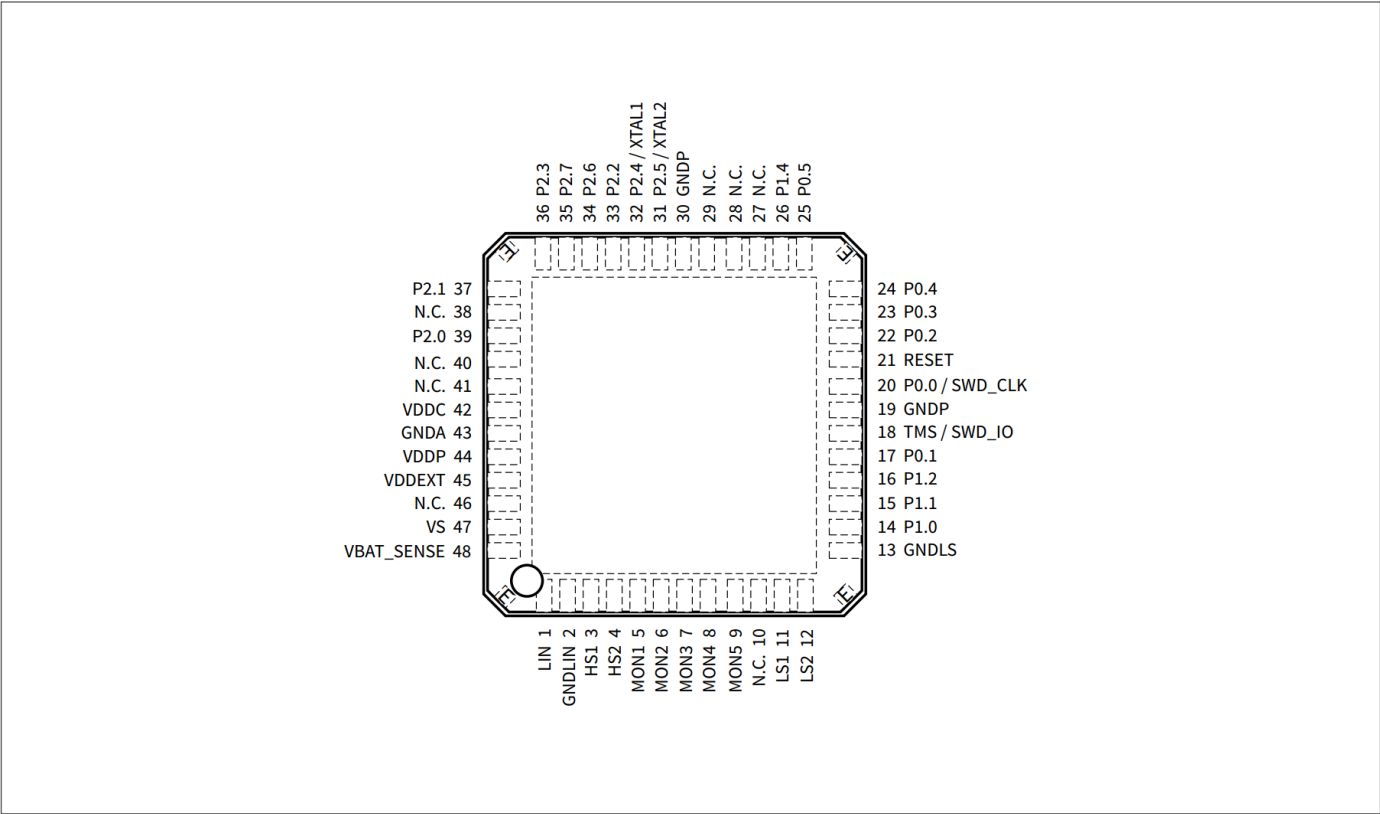


图 3 TLE9844-2QX器件引脚排列

2.2 引脚配置

复位后，所有引脚均配置为输入模式（电源引脚和LIN引脚除外）。下表列出了设备引脚类型、功能及复位状态。并非所有备用功能均在此列出，更多详情请参阅第 14 章。

表 1 引脚定义和功能

Symbol	Pin number	Type	Reset state	Function	
P0				Port 0 is a 6-bit bidirectional general purpose I/O port. Alternate functions can be assigned and are listed in the port description section. Only main functions are listed below.	
P0.0	20	I/O	I/PU	SWD_CLK GPIO	Serial wire debug clock General purpose IO Alternate function mapping see Table 7
P0.1	17	I/O	I/PU	GPIO	General purpose IO Alternate function mapping see Table 7
P0.2	22	I/O	I/PD	GPIO	General purpose IO Alternate function mapping see Table 7
P0.3	23	I/O	I/PU	GPIO	General purpose IO Alternate function mapping see Table 7
P0.4	24	I/O	I/PU	GPIO	General purpose IO Alternate function mapping see Table 7
P0.5	25	I/O	I/PU	GPIO	General purpose IO Alternate function mapping see Table 7
P1				Port 1 is a 4-bit bidirectional general purpose I/O port. Alternate functions can be assigned and are listed in the port description section. Only main functions are listed below.	
P1.0	14	I/O	I	GPIO	General purpose I/O Alternate function mapping see Table 8
P1.1	15	I/O	I	GPIO	General purpose I/O Alternate function mapping see Table 8
P1.2	16	I/O	I	GPIO	General purpose I/O Alternate function mapping see Table 8
P1.4	26	I/O	I	GPIO	General purpose I/O Alternate function mapping see Table 8
P2				Port 2 is a 8-bit general purpose I/O port. Alternate functions can be assigned and are listed in the port description section. Only the main functions are listed below.	
P2.0	39	I	I	AN0	ADC1 analog input channel 12 Alternate function mapping see Table 9

(表格续下页.....)

表 1 (续) 引脚定义和功能

Symbol	Pin number	Type	Reset state	Function	
P2.1	37	I	I	AN1	ADC1 analog input channel 7 Alternate function mapping see Table 9
P2.2	33	I	I	AN2	ADC1 analog input channel 8 Alternate function mapping see Table 9
P2.3	36	I	I	AN3	ADC1 analog input channel 9 Alternate function mapping see Table 9
P2.4	32	I	I	XTAL1	External oscillator input Alternate function mapping see Table 9
P2.5	31	I/O	I	XTAL2	External oscillator output Alternate function mapping see Table 9
P2.6	34	I	I	AN6	ADC1 analog input channel 10 Alternate function mapping see Table 9
P2.7	35	I	I	AN7	ADC1 analog input channel 11 Alternate function mapping see Table 9

Power supply

VS	47	P	–	Battery supply input	
VDDP	44	P	–	I/O port supply (5.0 V). Do not connect external loads. For buffer and bypass capacitors	
VDDC	42	P	–	Core supply (1.5 V during active mode, reduced voltage during stop mode). Do not connect external loads. For buffer/ bypass capacitor	
VDDEXT	45	P	–	External voltage supply output (5.0 V, 20 mA)	
GNDLS	13	P	–	Low-side ground LS1, LS2	
GNDP	19, 30	P	–	Core supply ground	
GNDA	43	P	–	Analog supply ground	
GNDLIN	2	P	–	LIN ground	

Monitor inputs

MON1	5	I	I	High voltage monitor input 1	
MON2	6	I	I	High voltage monitor input 2	
MON3	7	I	I	High voltage monitor input 3	
MON4	8	I	I	High voltage monitor input 4	
MON5	9	I	I	High voltage monitor input 5	

High-side switch/low-side switch outputs

LS1	11	O	Hi-Z	Low-side switch output 1	
LS2	12	O	Hi-Z	Low-side switch output 2	

(表格续下页.....)

表 1 (续) 引脚定义和功能

Symbol	Pin number	Type	Reset state	Function	
HS1	3	O	Hi-Z	High-side switch output 1	
HS2	4	O	Hi-Z	High-side switch output 2	
LIN interface					
LIN	1	I/O	PU	LIN bus interface input/output	
Others					
TMS	18	I	I/PD	TMS SWD_IO	Test mode select input Serial wire debug input/output
RESET	21	I/O	I/O/PU	Reset input/output, not available during sleep mode	
VBAT_SENSE	48	I	I	Battery supply voltage sense input	
N.C.	27, 28, 29, 38, 40, 41	–	–	No internal connection, should be connected to GND	
	10, 46	–	–	No internal connection, should be connected to GND or left open	
EP	–	–	–	Exposed pad, connect to GND	

上表中使用的类型和默认状态缩写：

- I/O：输入/输出
- I：仅输入
- O：仅输出
- P：电源
- PU：已启用上拉
- PD：已启用下拉
- Hi-Z：高阻抗

3 简介

该高度集成的电路包含模拟和数字功能模块。系统和接口控制采用嵌入式32位Arm处理器® Cortex® -M0。该微控制器内置低压差稳压器，可同时满足内部与外部供电需求。其内部振荡器（无需外部元件）能提供经济高效且适配的时钟信号，尤其适用于LIN响应节点。通信接口方面，配备LIN收发器及多个高压监测输入端，支持可调阈值与滤波功能。此外，还配备两个高侧开关（例如用于驱动LED或供电开关）、两个低侧开关（例如用于继电器）以及多个具有脉宽调制（PWM）功能的通用输入/输出（GPIO）接口。

微控制器单元的监控和系统保护（包括复位功能）由可编程窗口看门狗控制。芯片内置循环唤醒电路、供电电压监控功能及集成温度传感器。

所有相关模块均提供节能模式，以支持终端 30 连接的汽车应用。可以通过 LIN 总线消息、监控输入或使用可编程时间段（周期性唤醒）将芯片从省电模式唤醒。

该集成电路采用间距 0.5 毫米的封装，专为承受汽车应用中的严苛环境而设计。

4 运行模式

TLE9844-2QX 有多种操作模式，主要是为了支持低功耗要求。

活动模式

在运行模式下，所有模块均处于激活状态，TLE9844-2QX芯片可全功能运行。

停止模式

停止模式是两种主要低功耗模式之一。通过设置模式控制寄存器中的相应位来执行低功耗模式的转换。在停止模式下，嵌入式微控制器仍保持供电状态，从而实现更快的唤醒响应时间，但不进行时钟驱动。通过LIN总线活动、高压监测输入引脚或相应的5V GPIO引脚可唤醒此模式。

休眠模式

睡眠模式是一种低功耗模式。到低功耗模式的转换是通过设置寄存器单元模式控制寄存器中的相应位来完成的。睡眠时间是可配置的。睡眠模式下，嵌入式微控制器的电源供应被关闭，从而实现最低的系统功耗，但相较于停止模式，唤醒时间更长。在此模式下，可使用64位宽的缓冲器用于数据存储。通过LIN总线活动、高压监测输入引脚或周期唤醒功能可将设备从该模式唤醒。从睡眠模式唤醒的行为类似于上电复位。当切换到睡眠模式时，不会丢失任何传入的唤醒请求（这意味着没有死区时间）。即使LIN信号占主导，仍可能进入睡眠模式。

循环唤醒

循环唤醒是睡眠和停止模式的一个特殊功能。启用循环唤醒功能需先在模式控制寄存器中设置相应位，随后执行SLEEP或STOP指令。

除循环唤醒行为（在可编程时间段后唤醒）外，正常停止模式和睡眠模式的唤醒源同样可用。

循环检测

循环是睡眠模式和停止模式的特殊功能。启用循环需先在模式控制寄存器中设置相应位，随后发出STOP或SLEEP指令。例如，在循环里高侧开关可定期导通来对某些开关施加偏置。唤醒条件可配置：当特定监测输入在目标时间窗口内的检测结果相较于前次唤醒周期发生变化，或达到各自的预设状态时，系统将触发唤醒。在这种情况下，将立即进入激活模式。

下表分别列出了每个主要模块或功能的可能电源模式配置。

表 2 功率模式配置

Module/function	Active mode	Sleep mode	Stop mode	Comment
VPRE, VDDP, VDDC	ON	OFF	ON	–
VDDEXT	ON/OFF	OFF	Cyclic/ON/OFF	–
HSx	ON/OFF	Cyclic	Cyclic	Cyclic sense
LSx	ON/OFF	OFF	OFF	–
LIN	ON/OFF	Wake-up only/OFF	Wake-up only/OFF	–

（表格续下页.....）

表 2 (续) 功率模式配置

Module/function	Active mode	Sleep mode	Stop mode	Comment
MONx (wake-up)	n.a.	Disabled/static/cyclic	Disabled/static/cyclic	Cyclic: combined with HS=on
MONx (measurement)	ON/OFF	OFF	OFF	Available on all channels
VS sense	ON/OFF brownout detection	Brownout detection	Brownout detection	Brownout detection done in PCU
VBAT_SENSE	ON/OFF	OFF	OFF	–
GPIO 5V	ON	OFF	ON	–
WDT1	ON	OFF	OFF	–
CYCLIC WAKE	n.a.	Cyclic wake-up/cyclic sense/OFF	Cyclic wake-up/cyclic sense/OFF	Cyclic sense with HS; wake-up needs MC for enter sleep mode again
Measurement	ON ¹⁾	OFF	OFF	–
Microcontroller unit	ON/slow-down/STOP	OFF	OFF	–
CLOCK GEN (MC)	ON	OFF	OFF	–
LP_CLK (f_{LP_CLK})	ON	OFF	OFF	WDT1
LP_CLK2 (f_{LP_CLK2})	ON	ON	ON	For cyclic wake-up

1) 由于安全原因可能无法关闭。

唤醒源优先级

所有唤醒源具有相同的优先级。为处理唤醒源的异步特性，首个唤醒信号将启动唤醒序列。然而所有唤醒源均处于锁存状态，以便将所有唤醒事件传递给应用程序软件。只有软件才能清除唤醒源标志。确保不会丢失任何唤醒事件，因为唤醒事件在任何时候都会被捕获（活动模式、状态转换、睡眠模式、停止模式）。

作为默认唤醒源，MON 输入和循环唤醒在上电复位后激活，LIN 默认被禁用作为唤醒源。

唤醒级别和转换

唤醒可由每个监控输入和每个GPIO的上升沿、下降沿或两者共同触发。

5 电源管理单元(PMU)

5.1 特性

- 系统模式控制（启动、睡眠、停止和运行）
- 电源管理（周期唤醒）
- 控制系统稳压器并带有诊断功能（过载、短路、过压）
- 系统错误（看门狗故障）时的故障安全模式检测与运行
- 唤醒源配置和管理（LIN、MON、GPIO）
- 系统错误记录

5.2 简介

电源管理单元负责为嵌入式微控制器（VDDC、VDDP）和外部电源（VDDEXT）生成所有所需的电压电源。此外，PMU 为系统模式转换提供了明确定义的顺序并生成了分层的复位优先级。复位优先级控制所有系统功能的复位行为，特别是嵌入式MCU的复位行为。电源管理单元的另一个目的是确保系统 IC 的故障安全运行。

因此，电源管理单元控制所有系统模式及其相应的状态转换。为确保PMU的这种系统指挥角色，内部设置了独立的逻辑电源和系统时钟，它们的运行独立于MCU时钟。

5.2.1 框图

下图为电源管理单元的结构。下面的表格更详细地描述了各个子模块。

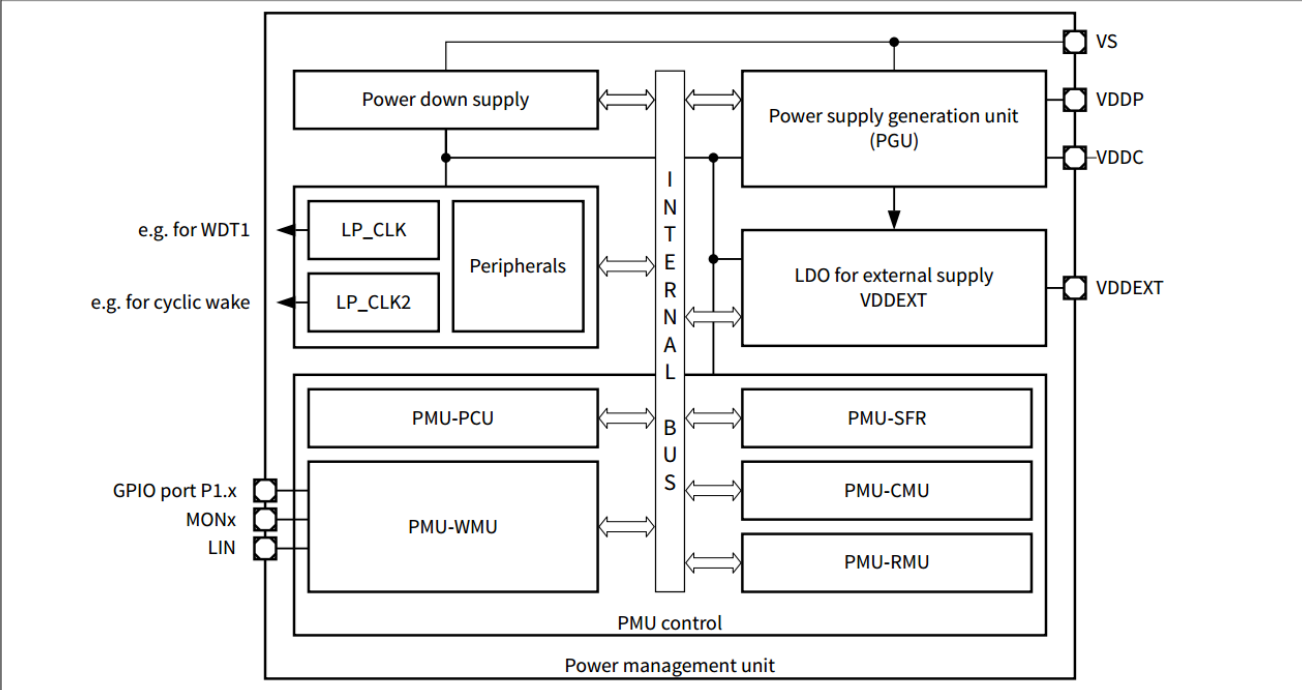


图 4 电源管理单元框图

表 3 PMU 子模块描述

Mod. name	Modules	Functions
Power down supply	Independent supply voltage generation for PMU	This supply is dedicated to the PMU to ensure an independent operation from generated power supplies (VDDP, VDDC)
LP_CLK (= f_{LP_CLK})	• Clock source for all PMU submodules • Backup clock source for system • Clock source for WDT1	This ultra low power oscillator generates the clock for the PMU This clock is also used as backup clock for the system in case of PLL clock failure and as independent clock source for WDT1
LP_CLK2 (= f_{LP_CLK2})	Clock source for PMU	This ultra low power oscillator generates the clock for the PMU in stop mode and in the cyclic modes
Peripherals	Peripheral blocks of PMU	These blocks include the analog peripherals to ensure a stable and fail safe PMU start-up and operation (bandgap, bias)
Power supply generation unit (PGU)	Voltage regulators for VDDP and VDDC	This block includes the voltage regulators for the pad supply (VDDP) and the core supply (VDDC)

(表格续下页.....)

表 3 (续) PMU 子模块描述

Mod. name	Modules	Functions
VDDEXT	Voltage regulator for VDDEXT to supply external modules (e.g. sensors)	This voltage regulator is a dedicated supply for external modules
PMU-SFR	All PMU relevant extended special function registers	This module contains all PMU relevant registers, which are needed to control and monitor the PMU
PMU-PCU	Power control unit of the PMU	This block is responsible for controlling all power related actions within the PGU module. It also contains all regulator related diagnosis like under- and overvoltage detection, overcurrent and short circuit diagnoses
PMU-WMU	Wake-up management unit of the PMU	This block is responsible for controlling all wake-up related actions within the PMU module
PMU-CMU	Cyclic management unit of the PMU	This block is responsible for controlling all actions within cyclic mode
PMU-RMU	Reset management unit of the PMU	This block generates resets triggered by the PMU like undervoltage or short circuit reset, and passes all resets to the relevant modules and their register. A reset status register with every reset source is available

5.2.2 PMU 模式概述

PMU 提供四种运行模式：

- 活动模式：嵌入式系统电源 VDDP 和 VDDC 处于运行状态，且用户软件可启用 VDDEXT
- 睡眠模式：所有嵌入式系统电源 VDDC、VDDP 和 VDDEXT 均关闭
- 故障睡眠模式：与睡眠模式相同
- 停止模式：VDDP、VDDEXT 和 VDDC 处于工作状态。VDDEXT 可由用户关闭或用于循环检测

活动模式是允许嵌入式系统全面运行的 PMU 状态，因此也是允许用户软件 and 应用程序运行的状态。

为降低空闲应用实例的功耗，用户可将系统及电源设置为停止模式或睡眠模式。在预定义的故障安全场景下，PMU 将能够引导系统进入故障睡眠模式，该模式同时支持低功耗运行。

5.3 电源生成单元 (PGU)

5.3.1 稳压器 5.0 V (VDDP)

该模块代表 5 V 稳压器，为并行端口引脚和其他 5 V 模拟功能供电（例如 LIN 收发器）。

特性

- 5 V 低压差稳压器
- 通过 MCU 信号（中断）进行过流监控和关断
- 利用 MCU 信号（中断）进行过压监控
- 利用 MCU 信号（中断）进行欠压监控
- 带复位功能的欠压监控（欠压复位， V_{DDPUV} ）
- 带 MCU 信号（中断）的过温关断
- VDDC 稳压器的预稳压器
- GPIO 供电
- 仅在休眠模式下输出端设有下拉电流源（典型值 5 mA）

为了确保调节器功能正常，输出电容器 C_{VDDP} 是必需的。

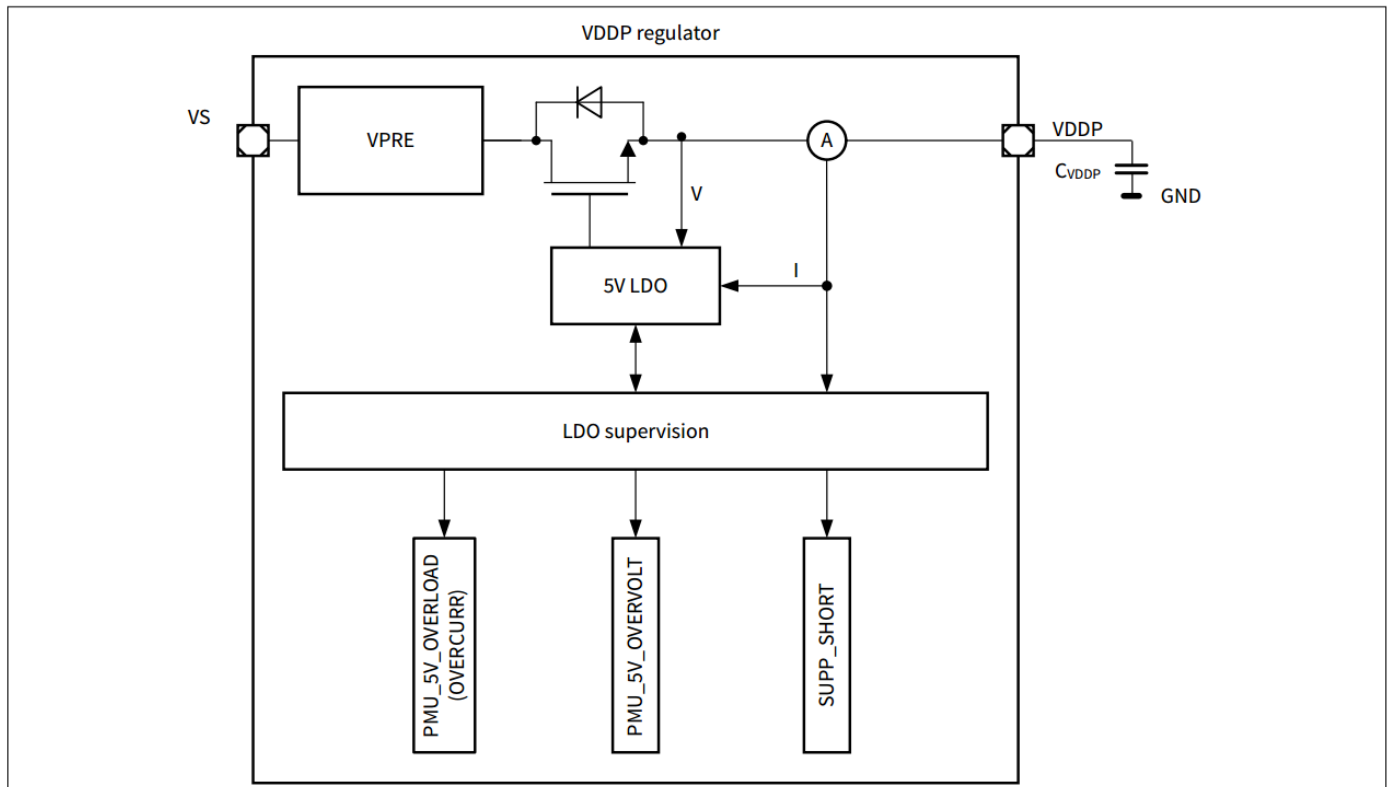


图 5 VDDP 电压调节器模块框图

5.3.2 稳压器1.5 V (VDDC)

该模块代表 1.5 V 稳压器，为微控制器内核、数字外设及其他芯片内部模拟1.5 V功能（例如 ADC）。

特性

- 1.5 V 低压差稳压器
- 通过 MCU 信号（中断）进行过流监控和关断
- 利用 MCU 信号（中断）进行过压监控
- 利用 MCU 信号（中断）进行欠压监控
- 带复位的欠压监控
- 带MCU信号（中断）的过温关断
- 仅在睡眠模式下输出端的下拉电流源（典型值100μA）

输出电容器 C_{VDDC} 是必需的，以确保稳压器能够正常工作。

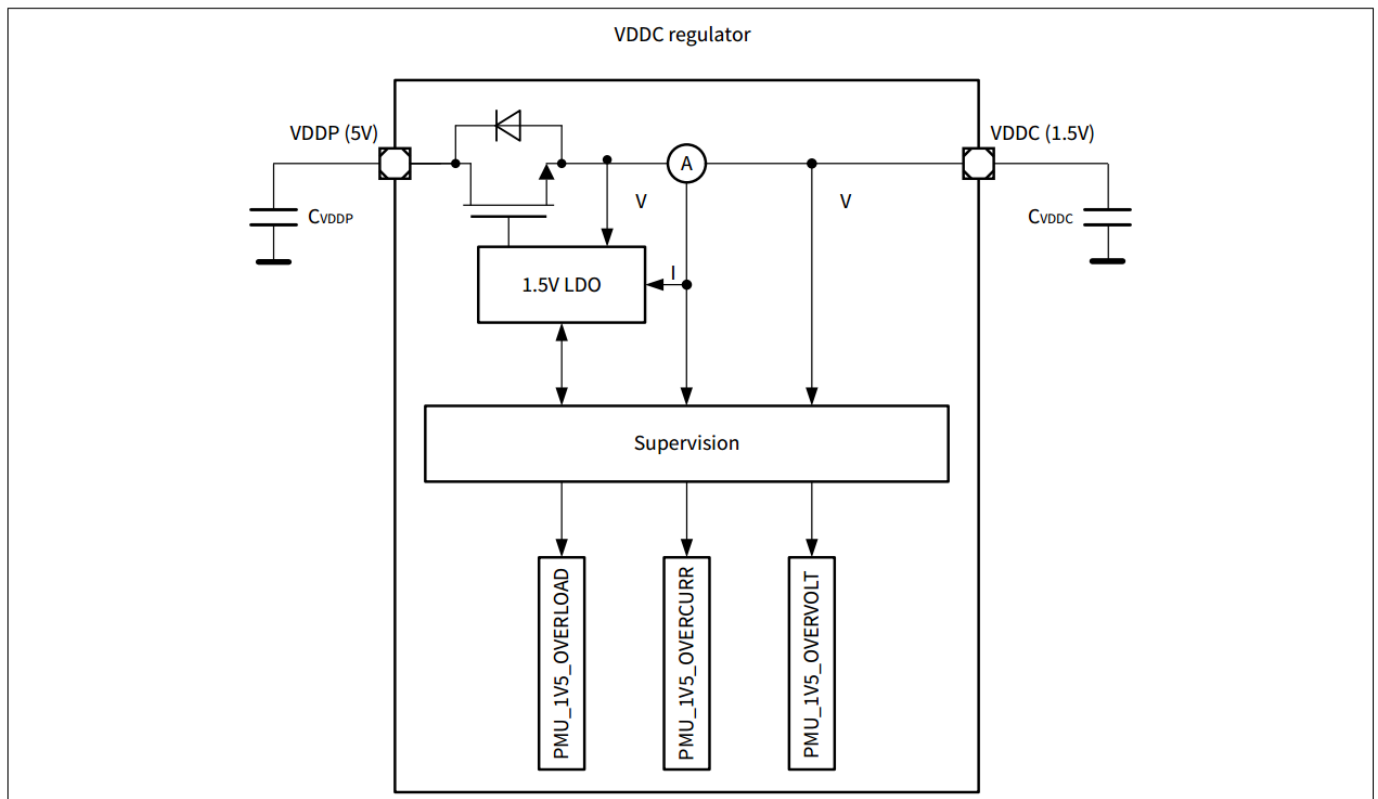


图 6 VDDC 电压稳压器模块框图

5.3.3 外部稳压器 5.0 V (VDDEXT)

该模块代表 5 V 稳压器，为外部电路供电。例如，可用于为外部传感器、LED 或电位器供电。

特性

- 可通过软件切换的 +5 V 低压差稳压器
- 开启低电压消除时间以驱动小型电容负载
- 固有电流限制
- 欠压监控与通过MCU信号（中断）实现的关机功能
- 带 MCU 信号（中断）的过温关断
- 仅在睡眠模式下输出端的下拉电流源（典型值100μA）
- 带 GPIO 的循环感应选项（仅限停止模式）
- 低电流模式可用，可确保降低停止模式下的电流消耗。在此模式下，电流承载能力降低至 I_{VDDEXT_LCM}

输出电容器 C_{VDDEXT} 是必需的，以确保稳压器能够正常工作。

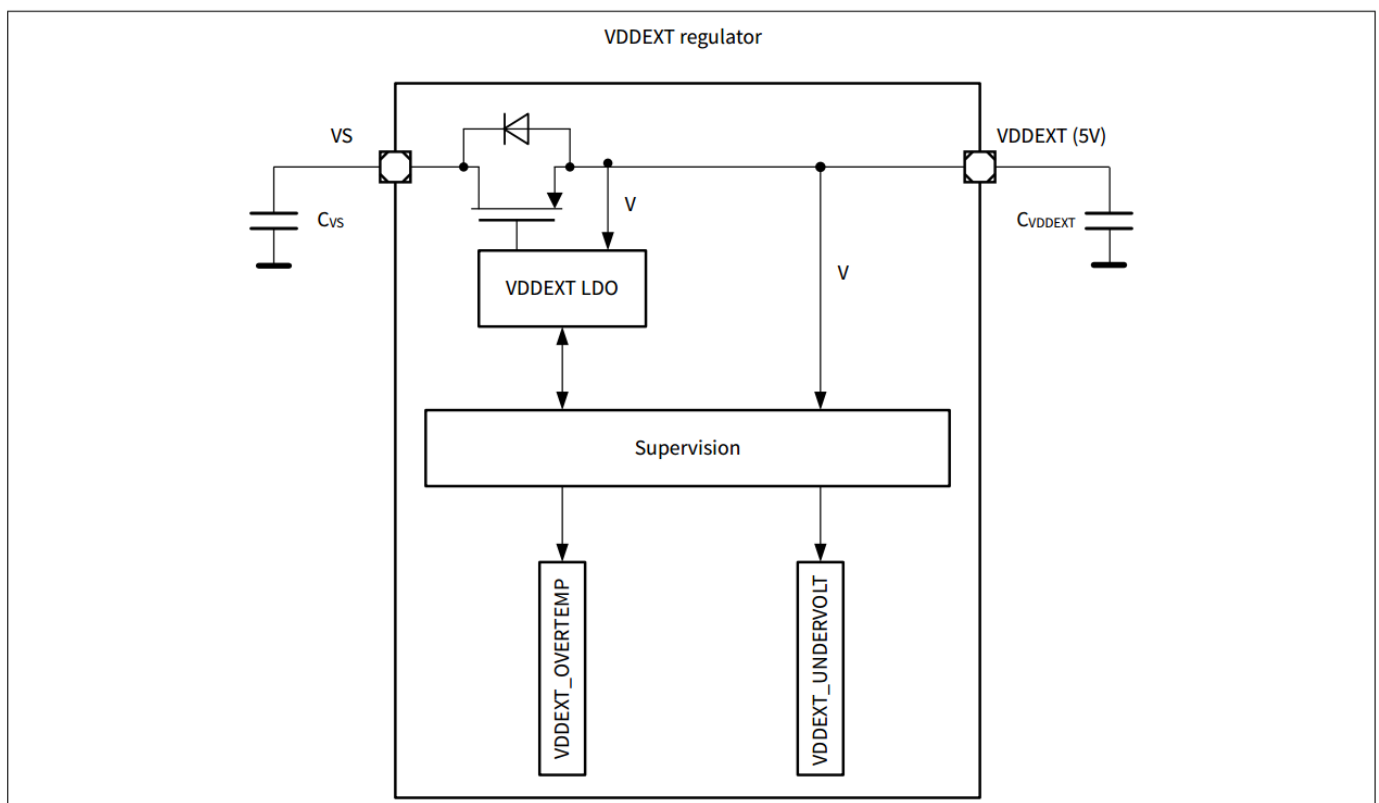


图 7 模块框图

5.3.4 低 V_S 操作

当 VDDP 调节器的 VS 引脚电压降至最小值以下时，该集成 VDDP 调节器将进入压降模式。因此，调节器将进入降压状态，无法再将输出电压维持在调节范围内。

MCU 子系统在最低扩展供电电压范围内仍能保持完全功能。

在低供电条件下操作以下外设时应小心：

- 低边、高边开关
- GPIOs
- 收发器接口
- VDDEXT 调节器

下图展示了低供电条件下的运行情况：

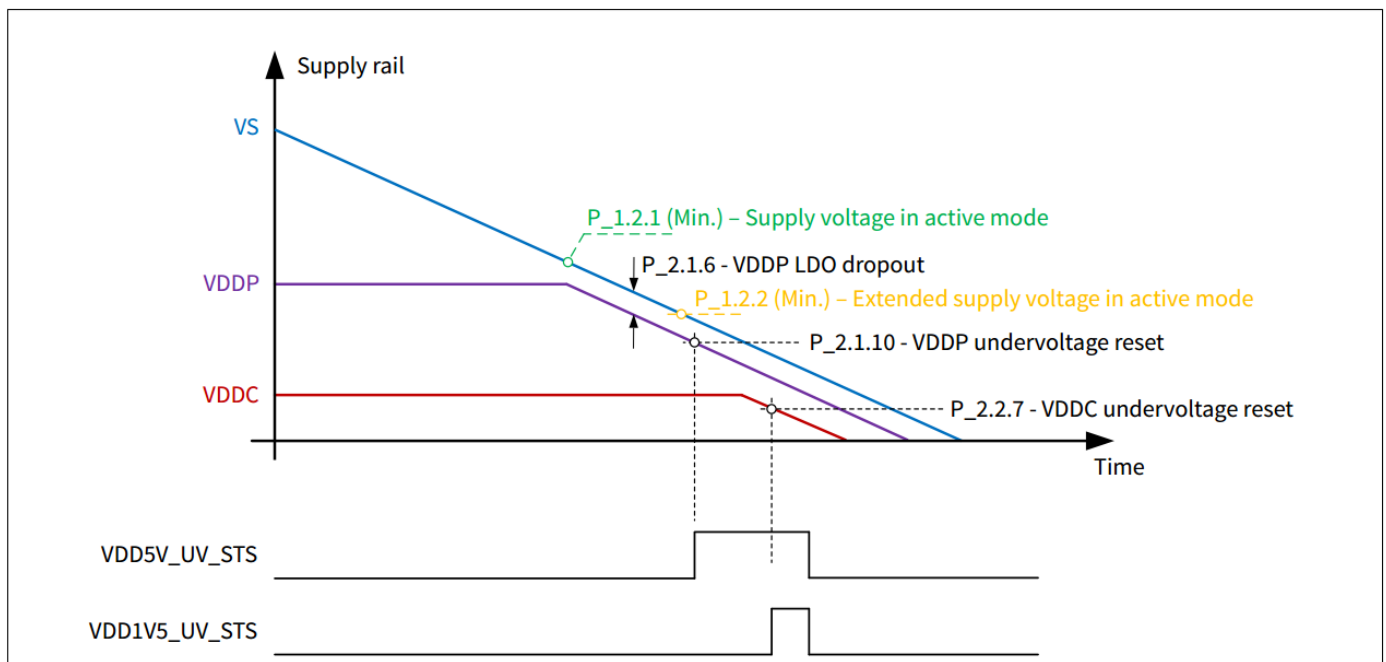


图 8 低 V_S 操作¹⁾

¹⁾ P_*: 详情请参阅“电气特性”章节。

6 系统控制单元 - 数字模块 (SCU-DM)

6.1 特性

- 灵活的时钟配置功能
- 所有系统重置的重置管理
- 所有功耗模式的系统模式控制（运行、掉电、休眠）
- 许多系统外设的中断使能
- 通用输入输出控制
- 系统外设的调试模式控制

6.2 简介

系统控制单元（SCU）支持 TLE9844-2QX 中的所有中央控制任务。SCU由以下子模块组成：

- 时钟系统和控制（CGU）
- 复位控制（RCU）
- 电源管理（PCU）
- 中断管理（ICU）
- 常规端口控制
- 灵活的外设管理
- 模块暂停控制
- 数据存储器中的错误检测和纠正
- 杂项控制
- 寄存器映射

6.2.1 框图

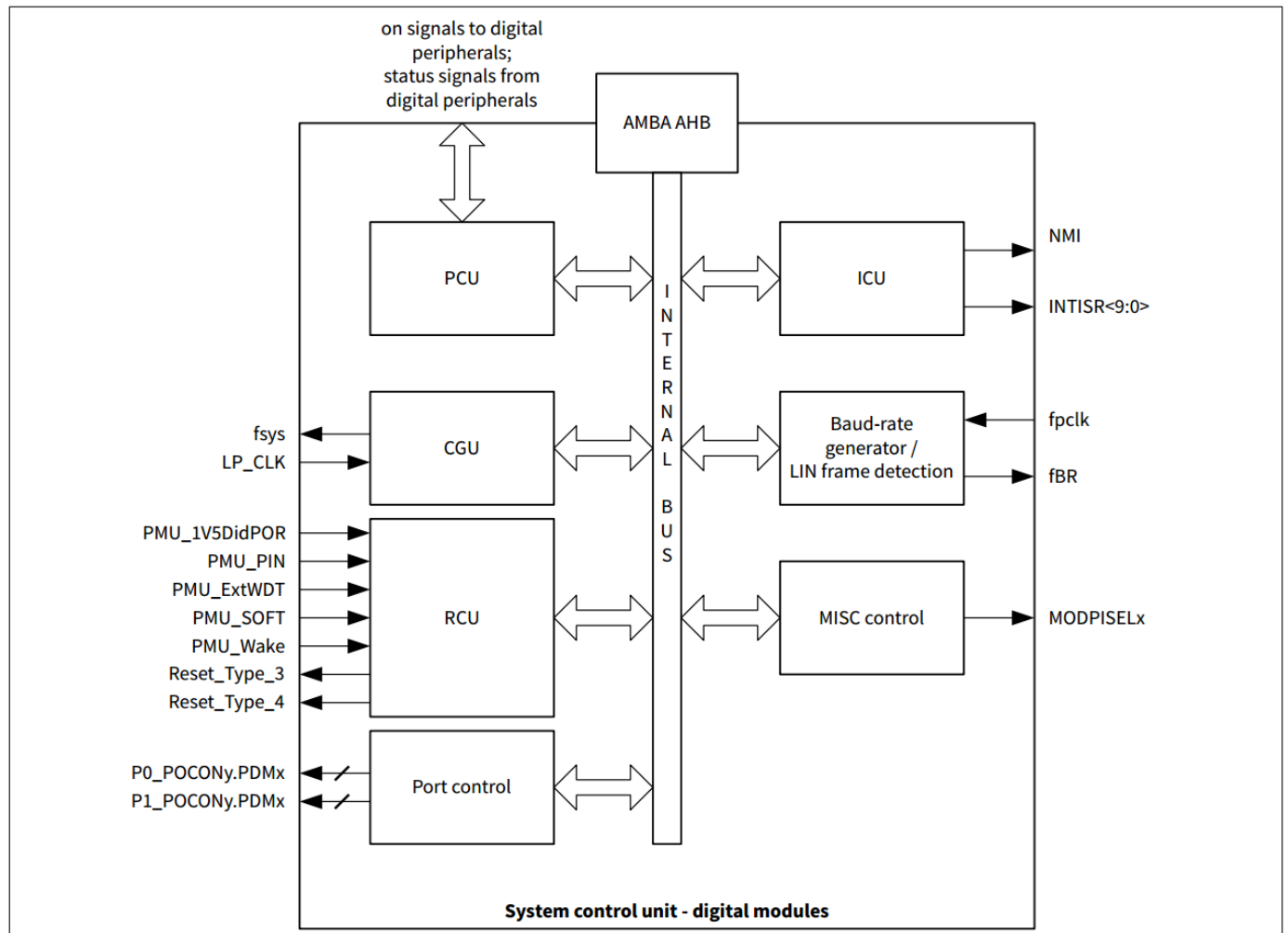


图 9 系统控制单元 - 数字模块框图

SCU_DM 的 I/O 描述

- CGU:
 - f_{sys} : 系统时钟
 - LP_CLK: 低功耗备用时钟
- RCU:
 - 1V5DidPOR: 断电电源的欠压复位
 - PMU_PIN: 由复位引脚产生的复位
 - PMU_ExtWDT: WDT1 复位
 - PMU_SOFT: 软件复位
 - PMU_Wake: 停止模式退出并复位
 - Reset_Type_3: 外设复位 (包含所有复位)
 - Reset_Type_4: 外设复位 (无 SOFT)
- 波特率发生器:
 - f_{BR} : UART 的波特率时钟

- 端口控制：
 - P0_POCONy.PDMx: 驱动器强度控制
 - P1_POCONy.PDMx: 驱动器强度控制
- MISC:
 - MODPISELx: 用于UART（源选择）和定时器（触发或计数选择）的模式选择寄存器

6.3 时钟产生单元

时钟生成单元 (CGU) 为 TLE9844-2QX 提供灵活的时钟生成功能。在用户程序执行期间，可以对频率进行编程，以实现性能和功耗之间的最佳平衡。因此功率消耗可以适应实际应用状态。

TLE9844-2QX 中的 CGU 由一个振荡电路 (OSC_HP)、一个带内部晶振的锁相环 (PLL) 模块 (OSC_PLL) 和一个时钟控制单元 (CCU) 组成。CGU 可以将低频输入/外部时钟信号转换为高频内部时钟。

系统时钟 f_{SYS} 由下列可选时钟生成：

- PLL 时钟输出 f_{PLL}
- 直接来自振荡器的时钟 OSC_HP f_{OSC}
- 内部振荡器的直接输出 f_{INTOSC}
- 低精度时钟 f_{LP_CLK} （硬件支持复位后的启动以及断电唤醒序列）

以下各节将介绍CGU的不同部分。

6.3.1 低精度时钟

时钟源 LP_CLK 是一个低精度 RC 振荡器 (LP-OSC，请参阅 f_{LP_CLK})，通过硬件启用作为独立时钟源，用于 TLE9844-2QX 在复位后的启动阶段及断电唤醒序列期间。无法进行用户配置 f_{LP_CLK} 。

6.3.2 高精度振荡器电路 (OSC_HP)

高精度振荡器电路可与外部晶体振荡器或外部稳定时钟源配合使用，包含一个反相放大器，以 XTAL1 为输入，XTAL2 为输出。

图 10 显示了两种工作模式（外部晶体模式和外部输入时钟模式）的推荐外部电路配置。

6.3.2.1 外部输入时钟模式

当直接提供时钟信号时（不使用外部晶振且绕过振荡器），若使用PLL压控振荡器部分，输入频率需在P_3.1.6规定的允许范围内（参见电气特性）。

使用外部时钟信号时，必须将其连接到 XTAL1。XTAL2 保持开路（未连接）。

6.3.2.2 外部晶振模式

当使用外部晶振时，其频率可在 P_3.1.23 规定的允许范围内 (参见电气特性)。必须使用外部振荡器负载电路，该电路连接到 XTAL1 和 XTAL2 两个引脚。它通常由两个负载电容 C1 和 C2 组成，某些晶体可能需要串联阻尼电阻。具体数值及相关工作范围取决于晶体特性，需与晶体供应商共同采用负电阻法进行测定与优化。作为评估的起点，可以使用以下负载电容值：

表 4 外部电容器

Fundamental mode crystal frequency (approx., MHz)	Load caps C ₁ , C ₂ (pF)
4	33
5	22
6	18

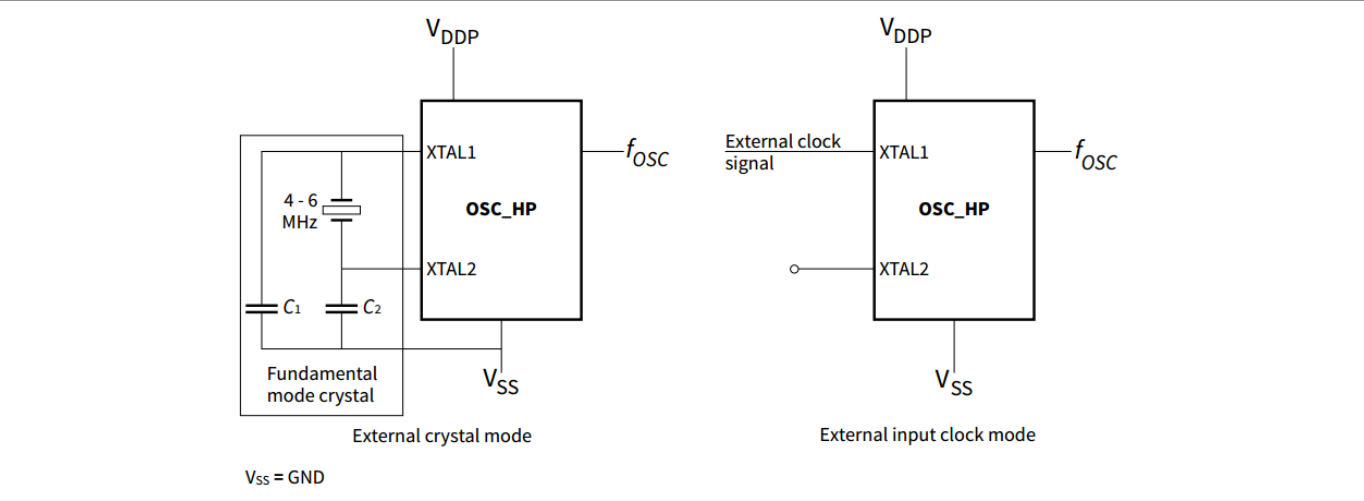


图 10 OSC_HP 外部电路

6.3.3 时钟控制单元

时钟控制单元 (CCU) 接收来自 PLL 的时钟 f_{PLL} 、外部输入时钟 f_{OSC} 、内部输入时钟 f_{INTOSC} 或低精度输入时钟 f_{LP_CLK} 。系统频率源自这些时钟源之一。

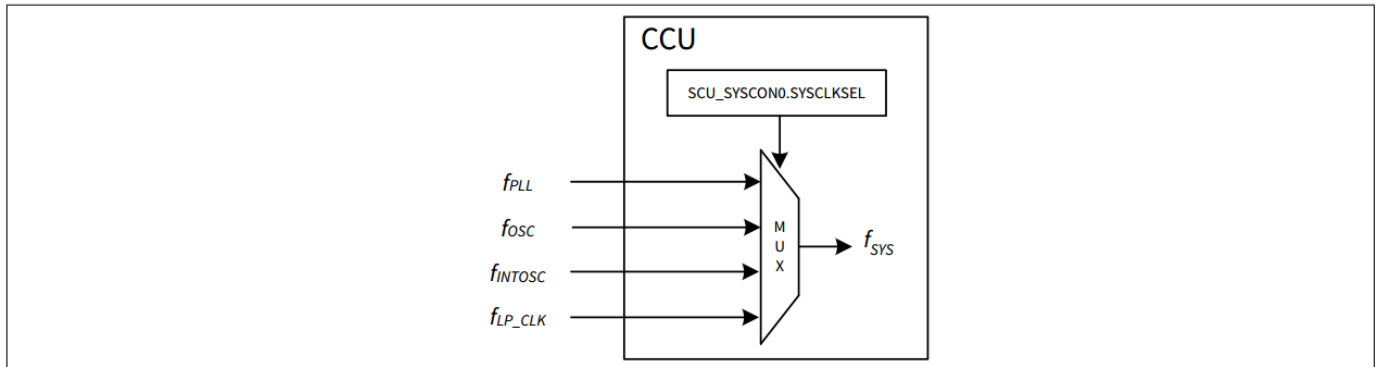


图 11 时钟控制单元的时钟输入

CCU从系统时钟中生成微控制器内部所需的所有时钟信号。它包括：

- 时钟减速电路
- 时钟控制集中式启用/禁用电路

在正常运行模式下，主模块频率（除非另有说明，否则均为同步频率）如下：

- 系统频率， f_{SYS} = 高达 40 MHz（测量接口时钟 MI_CLK 源自此时钟）
- CPU 时钟（CCLK、SCLK）= 高达 40 MHz（NVM 访问时钟分频）
- NVM 访问时钟（NVMACCCLK）= 高达 40 MHz
- 外设时钟（PCLK、PCLK2、NVMCLK）= 高达 40 MHz（等于 CPU 时钟；必须相同或更高）

部分外设由PCLK时钟驱动，另一些则由PCLK2时钟驱动，而NVM则同时由NVMCLK和NVMACCCLK时钟驱动。在正常运行模式下，PCLK = PCLK2 = NVMCLK = CCLK。从电源下降模式唤醒时，PCLK2 的恢复方式与NVMCLK 类似，但 PCLK 必须在 PLL 锁定后才能恢复。

为优化NVM访问（读/写）性能、减少等待状态，并满足系统对CPU工作频率的要求，特提供位字段 NVMCLKFAC用于设置NVM访问时钟NVMACCCLK与CPU时钟CCLK之间的频率因子。

对于减速模式，使用在位字段 CLKREL 处设置时钟分频器的减速电路来降低工作频率。位域 CLKREL 仅在通过 SFR 位 PMCON0.SD 位启用降速模式时生效。注意，位域CLKREL的降速设置会相应降低 NVMACCCLK时钟频率。降慢设置不会影响 NVM 的擦除和写入周期。

外设UART1、UART2、T2和T21不受CLKREL影响，也不受NVMCLKFAC影响，以确保在降速模式下LIN通信功能正常运行。

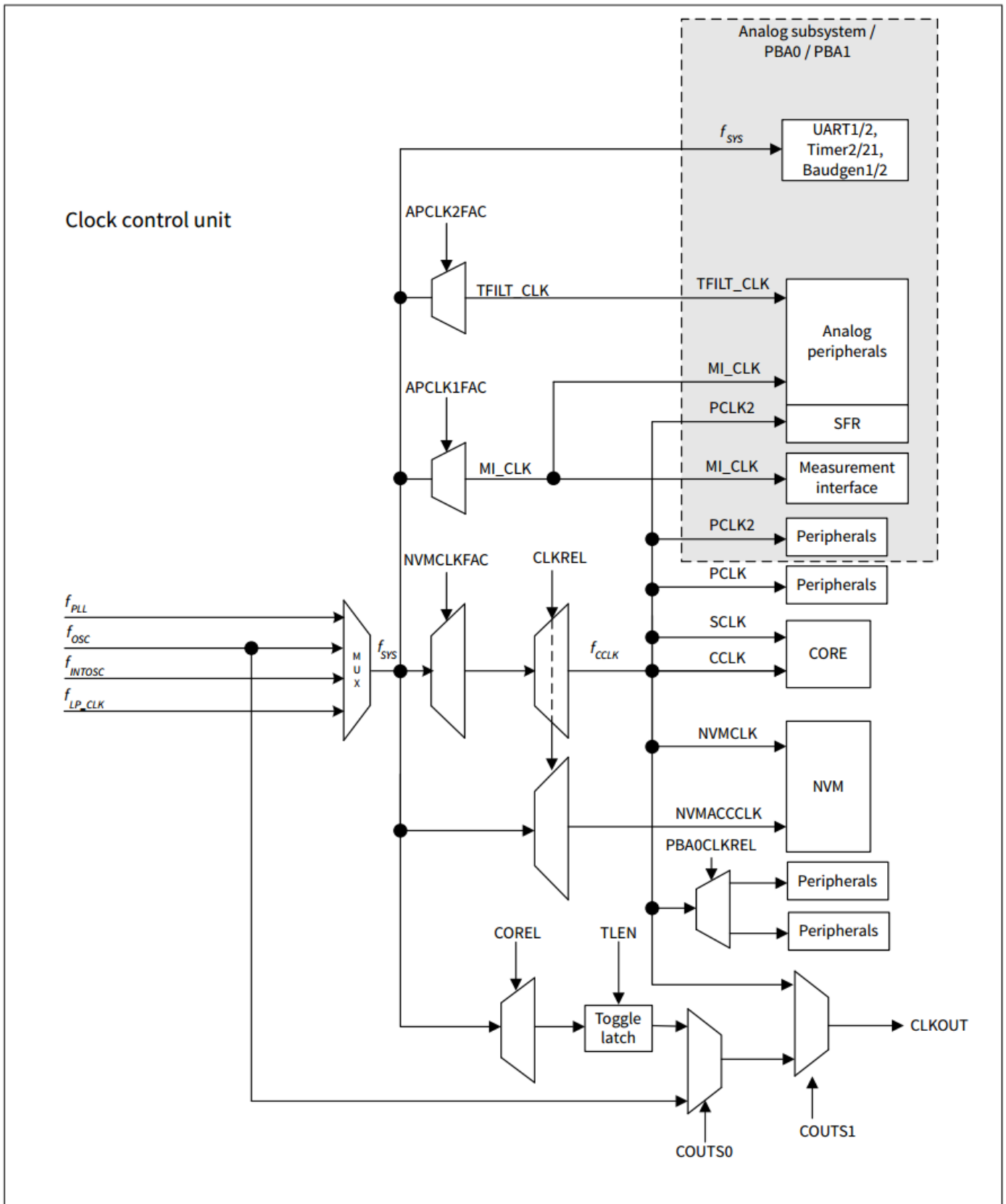


图 12 f_{sys} 的时钟生成；CLKOUT 生成

7 系统控制单元 – 功率模块 (SCU-PM)

7.1 功率模块系统控制单元描述

功率模块的系统控制单元由以下子模块组成：

- 时钟看门狗单元 (CWU)：通过NMI信令监控所有功率模块相关时钟
- 中断控制单元 (ICU)：所有系统相关的中断标志和状态标志
- 电源控制单元 (PCU)：在设备进入和退出睡眠模式及停止模式时接管控制权
- 外部看门狗 (WDT1)：独立的系统看门狗，用于监控系统活动

7.2 简介

7.2.1 框图

电源模块的系统控制单元由下图所示的子模块组成：

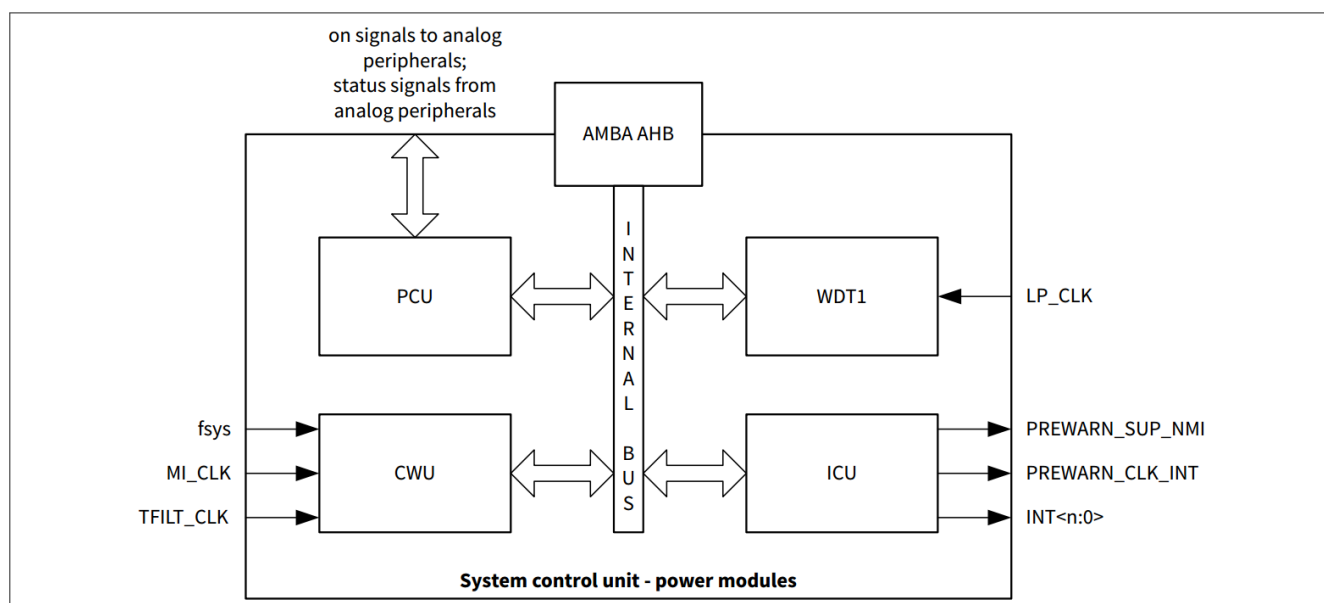


图 13 系统控制单元-电源模块的框图

SCU_PM的I/O描述

- CWU (时钟看门狗单元)
 - 检查 f_{sys} = 系统频率：PLL 的输出
 - 检查 MI_CLK = 测量接口时钟（模拟时钟）：由 f_{sys} 按除法因子 1/2/3/4 得出
 - 检查 TFILT_CLK = 用于数字滤波器的时钟： f_{sys} 由可配置分频因子从派生而来
- ICU (中断控制单元)
 - PREWARN_SUP_NMI = 生成预警电源 NMI
 - PREWARN_CLK_INT = 生成预警时钟看门狗 NMI
 - INT = 生成 MISC 中断

8 Arm® Cortex® M0 内核

8.1 特性

实现的 Arm® Cortex® -M0 的核心特性如下所列。

处理器内核：低门数内核，具备低延迟中断处理功能

- Thumb® + Thumb-2® 指令集
- 仅限堆栈指针 (SP)
- 处理程序和线程模式
- 指针和调试状态
- 可中断连续指令 LDM/STM、push/pop，实现低中断延迟
- 低延迟中断服务例程 (ISR) 进入与退出时的自动处理器状态保存与恢复
- Arm® 架构 v6-M 风格
- Arm® v6 未对齐访问
- SysTick（典型值 1 ms）

嵌套中断向量控制器（NVIC）与处理器核心紧密集成，实现低延迟中断处理

- 外部中断，可配置为 1 至 24
- 7 个中断优先级寄存器，用于设置从 0 到 192 的优先级，每级间隔 64
- 中断的动态重新优先级排序
- 优先级分组。这使得能够选择抢占式中断级别和非抢占式中断级别
- 支持尾链式中断和延迟中断。这使得背靠背中断处理成为可能，而无需在中断之间进行状态保存和恢复
- 处理器状态在中断进入时自动保存，在中断退出时自动恢复，且不产生指令开销

总线接口

- 先进的高性能精简总线 (AHB-Lite) 接口

8.2 简介

Arm® Cortex® -M0 处理器是一款领先的 32 位处理器，为包括微控制器、汽车车身系统和工业控制系统在内的广泛应用提供高性能和成本优化的平台。与其他 Arm® Cortex® 系列处理器一样，Arm® Cortex® -M0 处理器实现了 Thumb® -2 指令集架构。凭借优化的功能集，Arm® Cortex® -M0 在通常与 8 位和 16 位微控制器相关的应用空间中提供 32 位性能。

8.2.1 框图

下图显示了 Arm® Cortex® -M0 的功能模块。

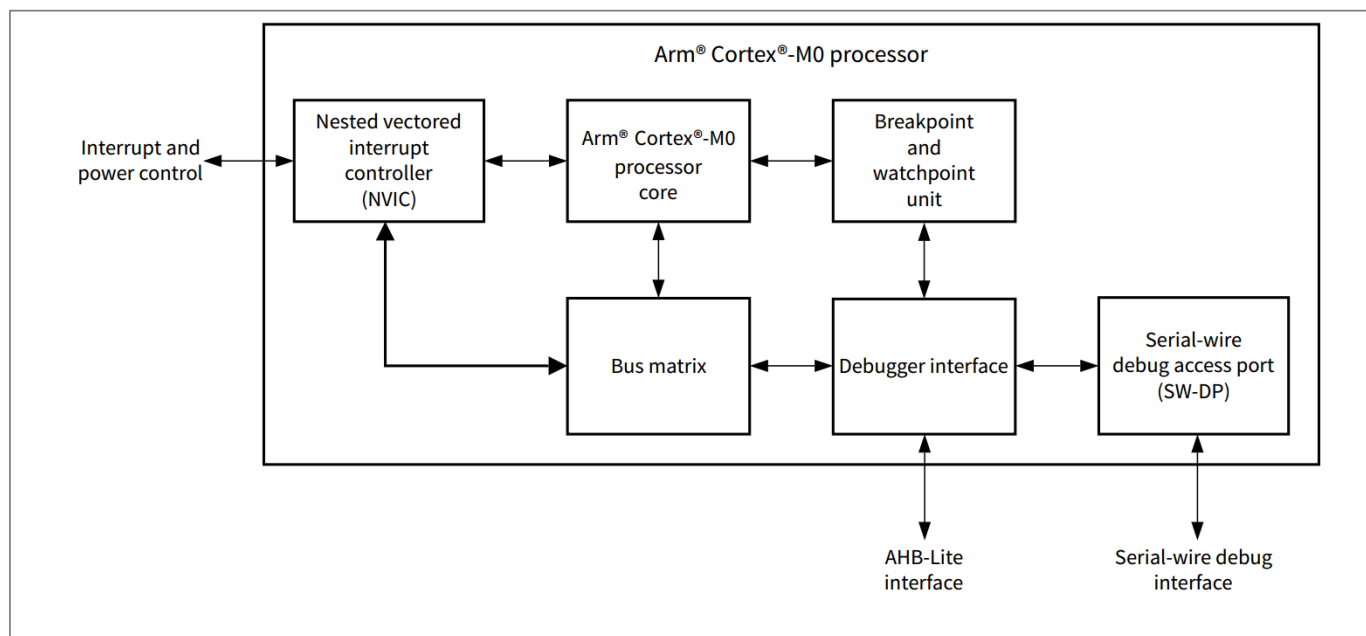


图 14 Arm® Cortex® -M0 框图

9 地址空间结构

嵌入式 Arm® Cortex® -M0 MCU 提供以下地址空间组织：

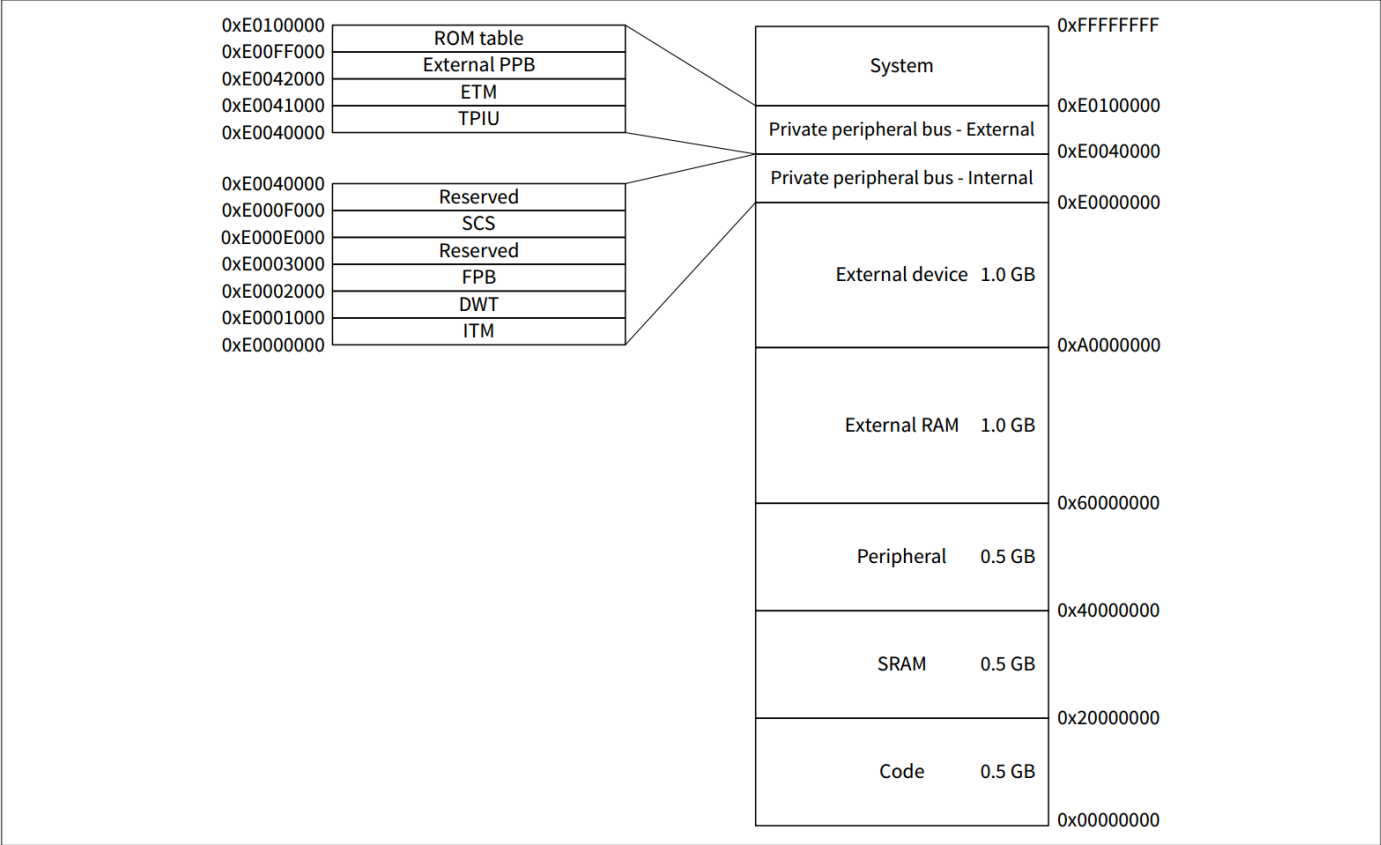


图 15 原始 Arm® Cortex® -M0存储器图

TLE9844-2QX可在以下存储空间中操作操作数：

- 代码区间中有 64 KB 闪存
- 24 KB 启动 ROM 存储器位于代码空间（用于存储启动代码和 IP 地址）
- 代码区和数据区中的 4 KB RAM 存储器（RAM 可以作为程序存储器或外部数据储存器进行读写）
- 外设线性地址空间中的特殊功能寄存器（SFR），最大支持0.5 GB

下图展示了TLE9844-2QX的详细地址对齐方式。

TLE9844-2QX 中可用的片上存储器模块包括：

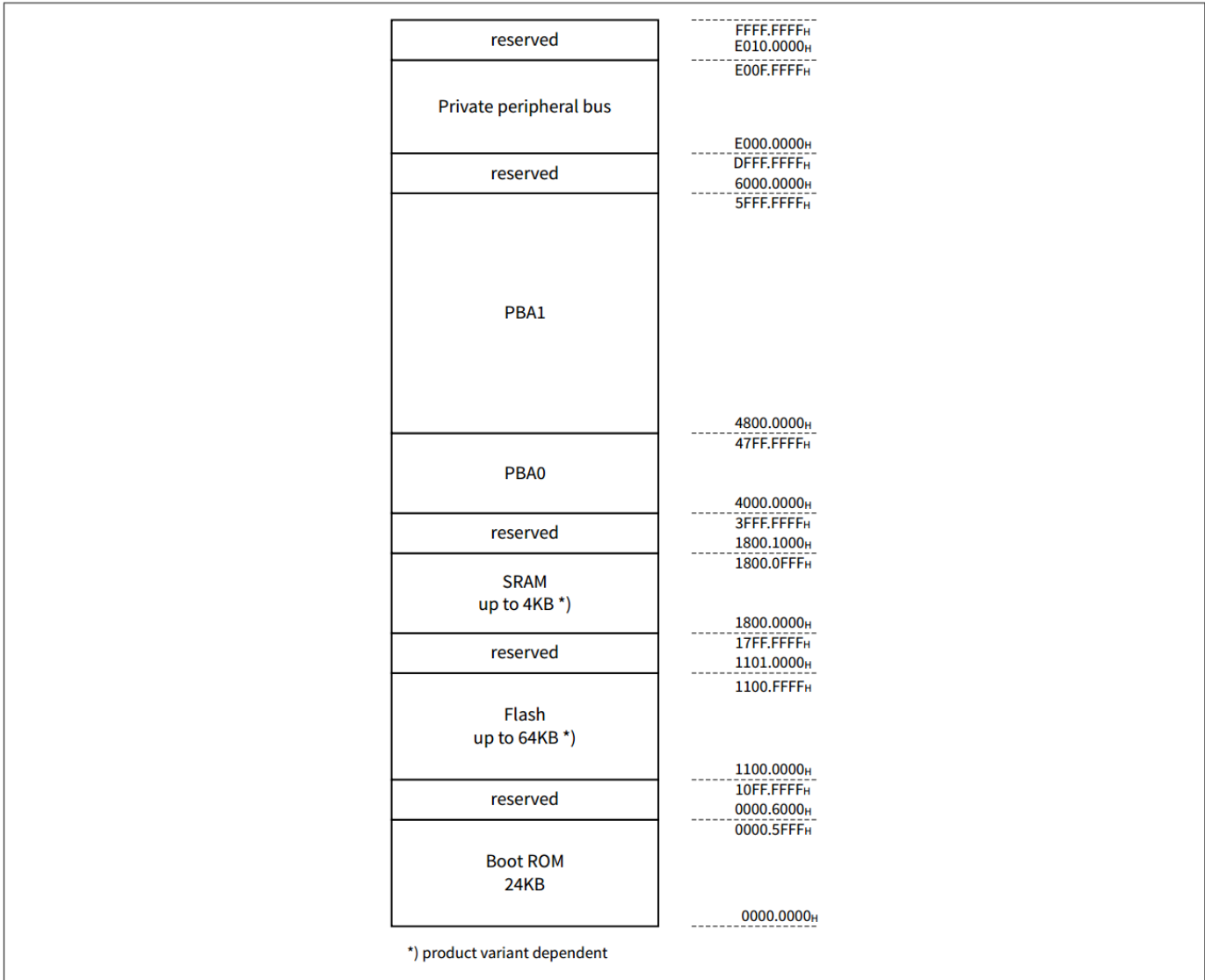


图 16 TLE9844-2QX存储器图

10 存储控制单元

10.1 特性

- 通过 AHB-Lite 接口提供对 ROM、RAM、NVM、配置扇区的工厂访问
- 用于 RAM 的 MBIST
- 用于 ROM 的 MBIST
- 通过 AHB-Lite 接口使用特殊功能寄存器进行 NVM 配置
- 硬件内存保护逻辑

10.2 简介

10.2.1 框图

存储器控制单元分为以下子模块：

- NVM存储模块（片上flash）
- RAM 存储模块
- BootROM 存储模块
- 存储器保护单元 (MPU)

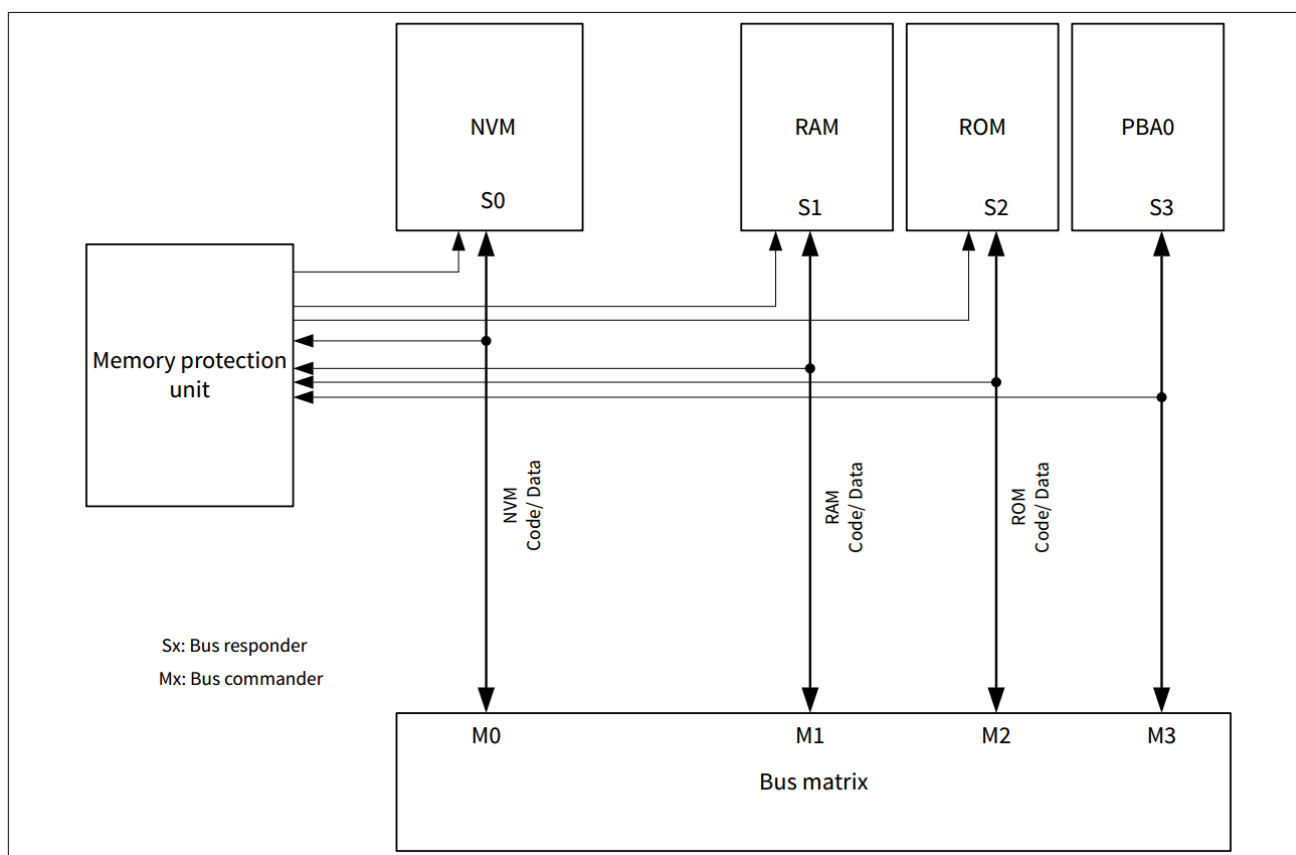


图 17 存储器控制单元功能块视图

RAM 的功能特性

- 4 Kbytes RAM

- 用于检测单个位错误和双位错误以及动态纠正单个位错误的错误纠正码 (ECC)
- 单一字节访问

11 NVM 模块（存储器）

闪存提供嵌入式用户可编程非易失性存储器，可快速可靠地存储用户代码和数据。

特性

- 通过LIN（闪存模式）和SWD进行在系统编程
- 纠错码（ECC）用于检测单个位和双位错误以及动态校正数据功能块（双字，64位）上的单个位错误。
- 通过NMI中断和信号指示双比特错误，双比特错误地址可通过固件API用户程序读取。
- 通过ROM例程检测单独一位错误发生的可能性
- 程序宽度为128字节（页）
- 最小擦除宽度为128字节（页）
- 对EEPROM仿真功能的硬件集成支持
- 8字节读取访问
- 物理读取访问时间：典型值75 ns
- 代码读取访问加速集成；读取缓冲区
- 页编程时间：典型值3 ms
- 通过调试接口对64千字节进行编程的时间：<1800毫秒（典型值）
- 页擦除（128字节）和扇区擦除（4千字节）时间：典型值4 ms
- 3个独立按键分别用于数据区、程序区和BSL区
- 密码保护功能适用于三个可配置的程序闪存区域，并配备三个独立密钥分别管理数据、程序及BSL区域
- 在应用程序运行模式下，通过调试接口保护读取数据的选项。提供NVM保护模式，可通过密码启用/禁用
- 写入/擦除100TP访问权限（例如选项字节）可以通过调试接口实现

注释： 用户必须确保任何时候都不会中断任何改变闪存内容的操作。

NVM的时钟由系统频率 f_{sys} 提供。提供集成固件程序以简化NVM和其他操作（包括EEPROM仿真）。

TLE9844-2QX NVM模块不仅实现了存储器模块的物理执行，还提供了必要的补充功能及与核心的接口。

模块通过两个AHB-Lite接口提供对内存的正确访问：一个用于NVM内部寄存器访问的8位数据接口，以及一个用于代码/数据访问的32位数据接口，两者均在Arm® Cortex® -M0系统线路上复用。

TLE9844-2QX NVM模块由存储单元阵列及访问该阵列所需的所有控制电路和寄存器组成。64 KB数据模块映射在Arm® Cortex® -M0代码地址范围11000000_H - 1100FFFF_H中，而专用SFR映射在Arm® Cortex® -M0系统地址范围58004000_H - 58007FFF_H中。

NVM模块的访问是通过AMBA矩阵功能块授予的，该模块根据预定义的优先级策略，将指挥器生成的请求转发至内存模块的AHB-Lite接口。

11.1 定义

本节定义了术语和一些缩写。所使用的闪存是一种基于浮栅单晶体管单元的非易失性存储器（NVM）。之所以称为非易失性，是因为当存储器电源关闭时，存储器内容仍能保留。

11.1.1 通用定义：

逻辑和物理状态

擦除

单元格的擦除状态为‘1’。将NVM单元强制置于此状态称为擦除。擦除可以以页为粒度（见下文）。

写

该单元的写入状态是‘0’。将NVM单元强制置于此状态称为写入。每个位都可以单独写入。

编程

擦除和写入的结合称为“编程”。编程通常也意味着写入先前已擦除的页。

术语“写入”或“写操作”也用于访问特殊功能寄存器和汇编缓冲区。因此，其含义取决于上下文。

上述列出的流程存在某些限制：

保持时间：这是闪存单元数据能够被可靠读取的时间段。保留时间是一个统计数值，取决于闪存阵列的工作条件（温度分布）以及对闪存阵列的访问情况。随着编程/擦除循环次数的增加（参见耐用性），数据保持能力会降低。漏极和栅极干扰也会降低数据保留率。

耐久性：如上所述，随着编程/擦除循环次数的增加，数据保留能力会降低。闪存单元每次擦除其页面或扇区时都会经历一个周期。这个数字被称为“耐力”。正如关于保持期的说明，该数值是统计数据，取决于运行条件、闪存单元的使用情况以及所需的质量等级。

漏极干扰：由于采用所谓的“单晶体管”闪存单元，每次程序访问都会对同一扇区内的所有页面造成轻微干扰。长期以来，这些“漏极干扰”使得0和1值无法区分，从而引发读取错误。这种效果又与保留率相互关联。遭受大量漏极干扰的单元将具有较低的保持能力。闪存阵列的物理扇区彼此隔离。因此不同扇区的页面不会引起漏极干扰。因此，在使用页面擦除功能或重新编程已编程页面时（这会隐含地导致在写入新数据前先擦除该页面），必须考虑此效应。

数据部分

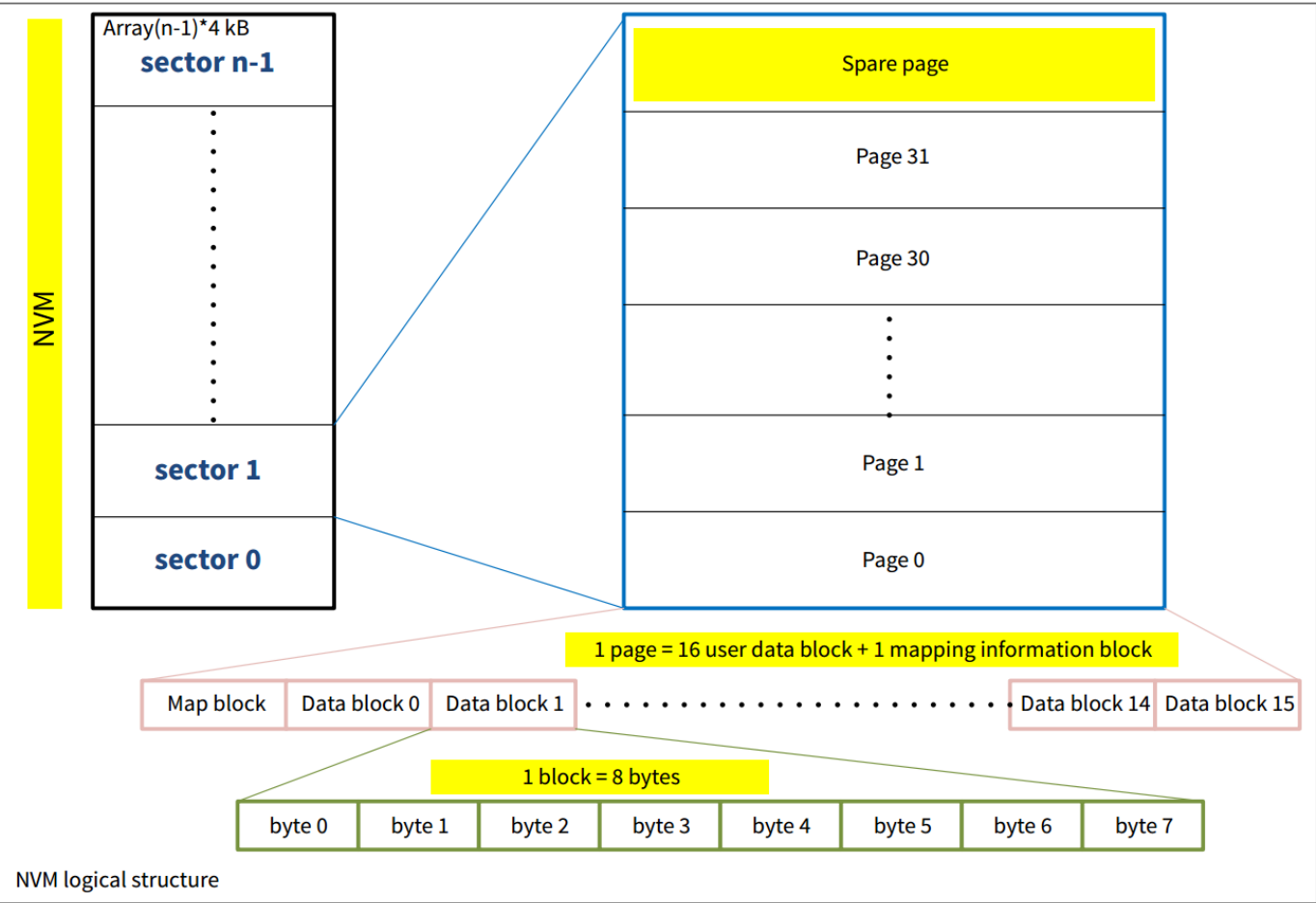


图 18 NVM核心的逻辑结构

双字

双字由 64 位组成。双字代表在单次访问周期内从NVM核心模块读取或写入的数据大小。

模块

一个数据块由一个双字及其关联的ECC数据（64位数据和8位ECC）组成。一个块代表在汇编缓冲区中可被修改的最小数据单元。由于ECC保护64位数据，当字节写入组装缓冲区时，会自动触发NVM内部对完整块的读取操作。随后该字节及其ECC校验位将被更新，最终整个块数据会被写回组装缓冲区。

映射块

映射块由特定数量的ECC保护位组成，这些位存储了将物理页映射到逻辑页所需的信息。

页

一页由16个区块和一个映射功能块组成。

备用页

备用页是每个编程例程中用于实现防撕裂编程的扇区内额外页面。

扇区

一个扇区由 32 个逻辑页面和 33 个物理页面组成。

12 中断系统

12.1 特性

- 最多 24 个片上外设中断节点
- 最多 8 个 NMI 节点用于处理关键系统事件
- 所有 24 个中断节点均具备最大灵活性

12.2 简介

12.2.1 概述

TLE9844-2QX 支持 24 个中断向量，具有 4 个优先级。其中 22 个中断向量分配给片上外设：GPT12、SSC1、SSC2、CCU6、低侧开关、高侧开关和模数转换器各占用一个专用中断向量；而 UART1 与定时器 2 或 UART2、外部中断 2 与定时器 21 则共享中断向量。两个向量专用于外部中断 0 和 1。

表 5 中断向量表

Service request	Node ID	Description
GPT1	0	GPT1 interrupt
GPT2	1	GPT2 interrupt
MU	2	MU interrupt / ADC2, VBG interrupt
ADC1	3	ADC1 interrupt
CCU0	4	CCU6 node 0 interrupt
CCU1	5	CCU6 node 1 interrupt
CCU2	6	CCU6 node 2 interrupt
CCU3	7	CCU6 node 3 interrupt
SSC1	8	SSC1 interrupt (receive, transmit, error)
SSC2	9	SSC2 interrupt (receive, transmit, error)
UART1	10	UART1 (ASC-LIN) interrupt (receive, transmit), t2, linsync1, LIN
UART2	11	UART2 interrupt (receive, transmit), t21, external interrupt (EINT2)
EXINT0	12	External interrupt (EINT0)
EXINT1	13	External interrupt (EINT1)
WAKEUP	14	Wake-up interrupt (generated by a wake-up event)
rfu	15	Reserved for future use
rfu	16	Reserved for future use
LS1	17	Low-side 1 interrupt
LS2	18	Low-side 2 interrupt
HS1	19	High-side 1 interrupt
HS2	20	High-side 2 interrupt

(表格续下页.....)

表 5 (续) 中断向量表

Service request	Node ID	Description
rfu	21	Reserved for future use
MONx	22	MONx interrupt
Port 2.x	23	Port 2.x - DPP1

表 6 NMI 中断表

Service request	Node	Description
PLL NMI	NMI	PLL loss-of-lock
NVM operation complete NMI	NMI	NVM operation complete
Overtemperature NMI	NMI	System overtemperature
Oscillator watchdog NMI	NMI	Oscillator watchdog and MI_CLK watchdog timer overflow
NVM Map error NMI	NMI	NVM map error
ECC error NMI	NMI	RAM/NVM uncorrectable ECC error
Supply prewarning NMI	NMI	Supply prewarning

13 看门狗定时器 (WDT1)

13.1 特性

在运行模式下，WDT1 充当窗口看门狗定时器，它提供了一种高度可靠且安全的方法来从软件或硬件故障中恢复。

WDT1在活动模式下始终处于启用状态。在睡眠模式、停止模式和调试模式下，WDT1 被禁用。

功能特性

- 看门狗定时器采用来自系统时钟 (f_{SYS}) 的独立时钟源 ($f_{\text{LP_CLK}}$)
- 带可编程定时功能的窗口看门狗定时器 (周期为16、32、48、...、1008 ms) ，工作于活动模式
- 在上电、复位、唤醒后保持窗口打开 (200 ms)
- 短开窗口 (30 ms) 以实现闪存编程
- 系统安全关机至睡眠模式，发生5次WDT1服务中断后
- 调试模式下看门狗功能被禁用
- 在正常模式下无法停用看门狗功能
- 看门狗复位存储在复位状态寄存器中

13.2 简介

看门狗定时器在活动模式下的行为如图 19 所示。

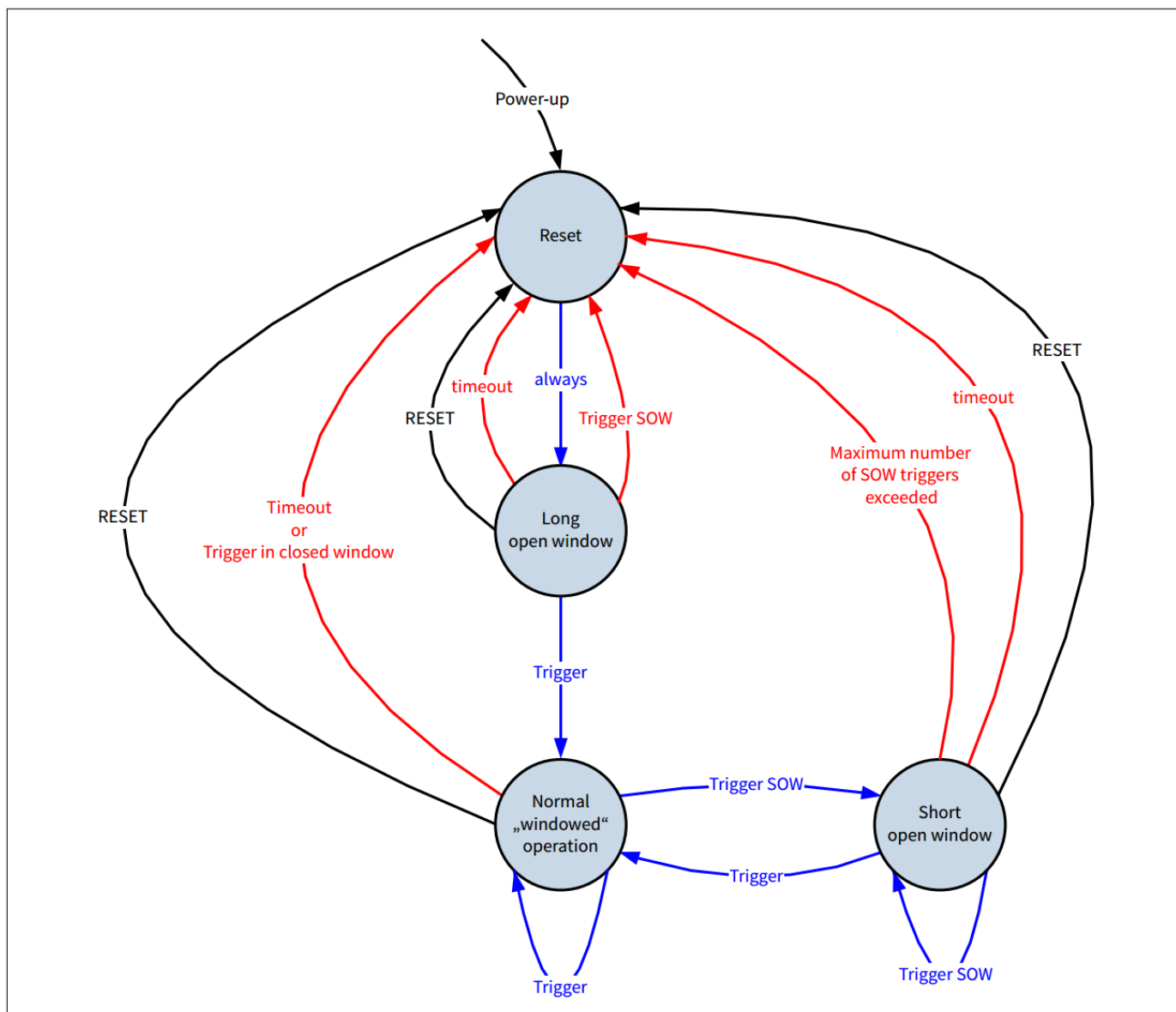


图 19 看门定时器行为

14 GPIO 端口和外设 I/O

TLE9844-2QX 具有 18 个端口引脚，这些引脚被组织成三个并行端口：端口 0（P0）、端口 1（P1）和端口 2（P2）。每个端口引脚都配有一对内部上拉和下拉装置，可单独启用或禁用。P0 和 P1 为双向引脚，可作为通用输入输出（GPIO）使用，或为片上外设执行替代输入输出功能。当配置为输出时，可选择漏极开路模式。在端口 2（P2）上，模拟输入与通用输入共享。

14.1 特性

- 10 个 GPIO（P0.x 和 P1.x）、6 个模拟输入（P2.x）和两个与 XTAL 功能共享附加模拟输入（P2.4, P2.5）.
- 复位引脚和霍尔传感器输入端具有强上拉功能（P2.x 除外）

双向端口特性（P0、P1）

- 可配置的引脚方向
- 可配置的上拉/下拉回路
- 可配置的开漏模式
- 可配置的驱动电流大小
- 通过数字输入和输出（通用 I/O）传输数据
- 作为片上外设的备用输入/输出

模拟端口特性（P2）

- 可配置的上拉/下拉回路
- 可以通过数字输入传输数据
- 作为片上外设的备用输入

14.2 简介

14.2.1 端口 0 和 端口 1

图 20 显示了 TLE9844-2QX 双向端口引脚的框图。每个端口引脚都配备了多个控制位和数据位，因此引脚的使用非常灵活。

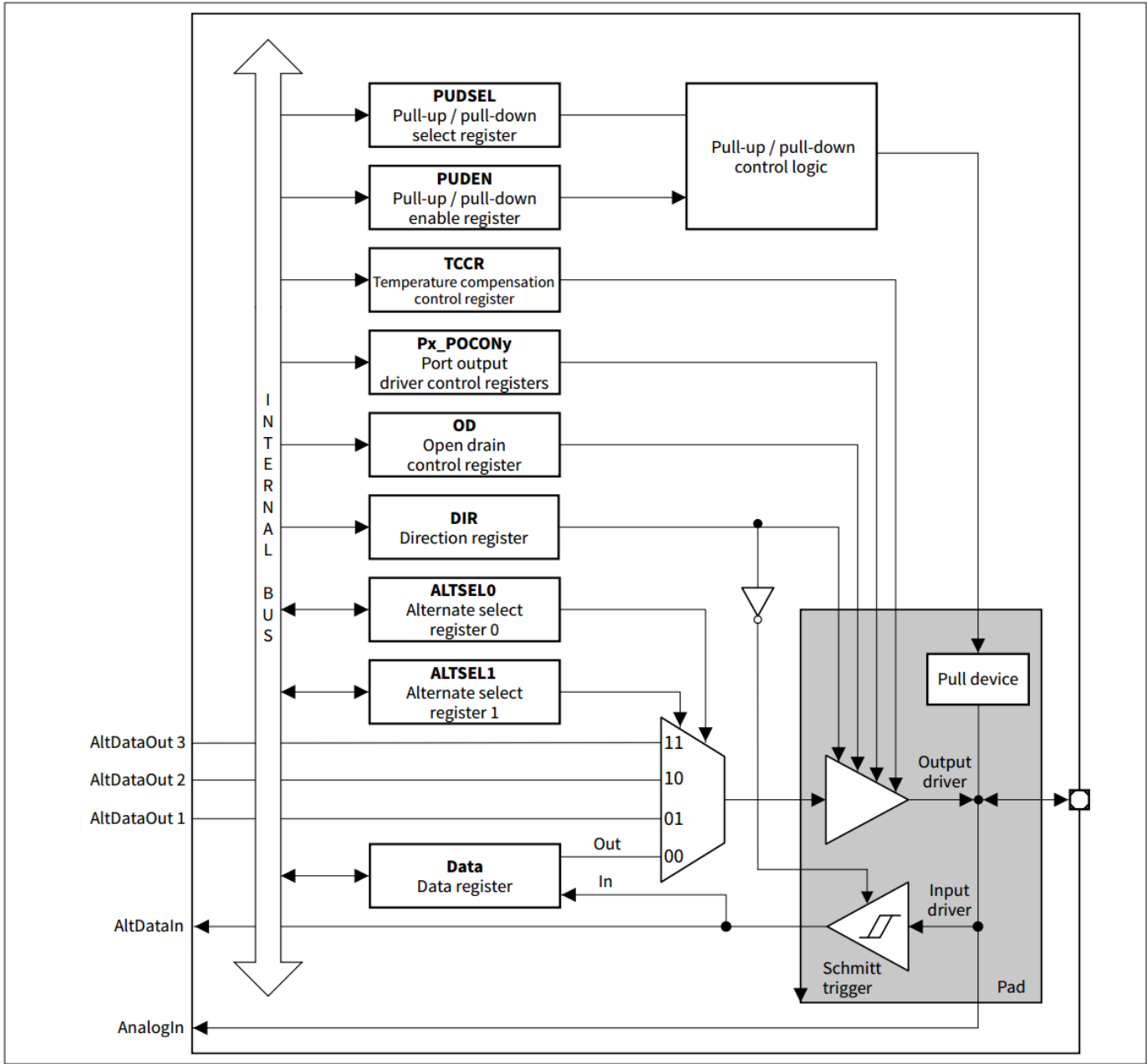


图 20 双向端口总体结构

14.2.2 端口 2

图 21 展示了仅输入端口引脚的结构。每个 P2 引脚仅能工作于输入模式。通过寄存器 P2_DIR 可启用或禁用输入驱动器。当输入驱动器启用时，端口引脚上的实际电压电平经施密特触发器转换为逻辑 0 或 1，并可通过寄存器 P2_DATA 读取。每个引脚还可编程激活内部弱上拉或下拉装置。寄存器 P2_PUDSEL 选择激活上拉或下拉装置，而寄存器 P2_PUDEN 用于启用或禁用拉动装置。模拟输入（AnalogIn）绕过数字电路和施密特触发器装置，直接馈通至 ADC 输入通道。

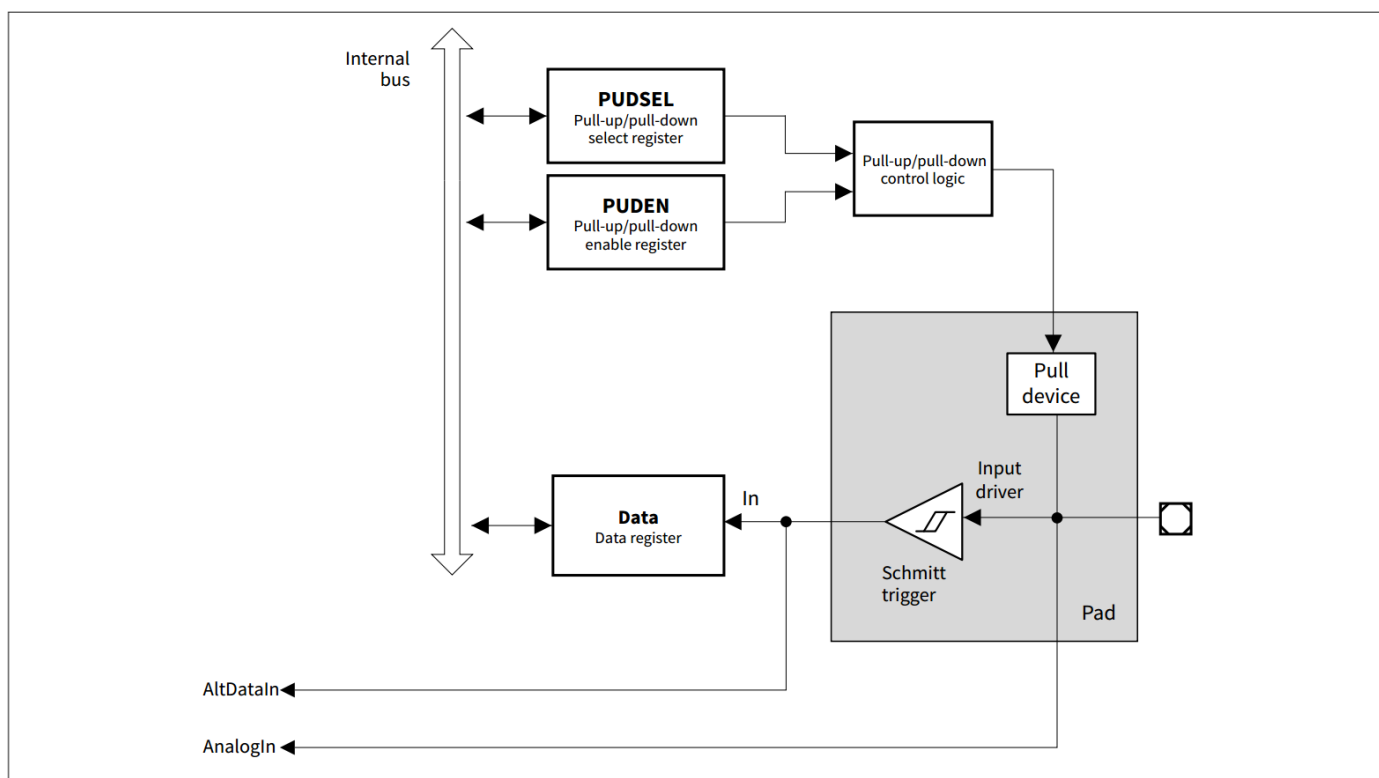


图 21 输入端口的总体结构

14.3 端口执行详情

14.3.1 端口0

14.3.1.1 端口 0 功能

端口0替代功能映射参照表 7

表 7 端口 0 输入/输出功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
P0.0	Input	GPI	P0_DATA.P0	
		INP1	T12HR_0	CCU6
		INP2	T4INA	GPT12
		INP3	T2_0	Timer 2
		INP4	SWD_CLK	SWD
		INP5	EXINT2_3	SCU
	Output	GPO	P0_DATA.P0	
		ALT1	T3OUT_0	GPT12
		ALT2	EXF21_0	Timer 21
		ALT3	UART2_RXDO	UART2
P0.1	Input	GPI	P0_DATA.P1	
		INP1	T13HR_0	CCU6
		INP2	UART1_RXD	UART1
		INP3	T2EX_1	Timer 2
		INP4	T21_0	Timer 21
		INP5	EXINT0_3	SCU
		INP6	T4INC	GPT12
		INP7	CAPINA	GPT12
		INP8	SSC12_S_SCK	SSC1/2
		INP9	CC62_0	CCU6
	Output	GPO	P0_DATA.P1	
		ALT1	T6OUT_0	GPT12
		ALT2	CC62_0	CCU6
		ALT3	SSC12_M_SCK	SSC1/2
P0.2	Input	GPI	P0_DATA.P2	
		INP1	T2EUDA	GPT12
		INP2	CTRAP_0	CCU6

(表格续下页.....)

表 7 (续) 端口 0 输入/输出功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
		INP3	SSC12_M_CRRT	SSC1/2
		INP4	T21EX_0	Timer 21
		INP5	EXINT1_3	SCU
	Output	GPO	P0_DATA.P2	
		ALT1	SSC12_S_CRRT	SSC1/2
		ALT2	UART1_TXD	UART1
		ALT3	EXF2_0	Timer 2
P0.3	Input	GPI	P0_DATA.P3	
		INP1	SSC1_S_SCK	SSC1
		INP2	T4EUDA	GPT12
		INP3	CAPINB	GPT12
		INP4	EXINT1_2	SCU
		INP5	T3EUDD	GPT12
		INP6	CCPOS0_1	CCU6
	Output	GPO	P0_DATA.P3	
		ALT1	SSC1_M_SCK	SSC1
		ALT2	T6OFL	GPT12
		ALT3	T6OUT_1	GPT12
P0.4	Input	GPI	P0_DATA.P4	
		INP1	SSC1_S_CTRR	SSC1
		INP2	CC60_0	CCU6
		INP3	T21_2	Timer 21
		INP4	EXINT2_2	SCU
		INP5	T3EUDA	GPT12
		INP6	CCPOS1_1	CCU6
	Output	GPO	P0_DATA.P4	
		ALT1	SSC1_M_CTRR	SSC1
		ALT2	CC60_0	CCU6
		ALT3	CLKOUT_0	SCU
P0.5	Input	GPI	P0_DATA.P5	
		INP1	SSC1_M_CRRT	SSC1
		INP2	EXINT0_0	SCU
		INP3	T21EX_2	Timer 21

(表格续下页.....)

表 7 (续) 端口 0 输入/输出功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
		INP4	T5INA	GPT12
		INP5	CCPOS2_1	CCU6
	Output	GPO	P0_DATA.P5	
		ALT1	SSC1_S_CRRT	SSC1
		ALT2	COU60_0	CCU6
		ALT3	LIN_RXD	LIN

14.3.2 端口1

14.3.2.1 端口 1 功能

端口 1 替代功能映射参照表 8

表 8 端口 1 输入/输出功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
P1.0	Input	GPI	P1_DATA.P0	
		INP1	T3INC	GPT12
		INP2	CC61_0	CCU6
		INP3	SSC2_S_SCK	SSC2
		INP4	T4EUDB	GPT12
	Output	GPO	P1_DATA.P0	
		ALT1	SSC2_M_SCK	SSC2
		ALT2	CC61_0	CCU6
P1.1	Input	ALT3	UART2_TXD	UART2
		GPI	P1_DATA.P1	
		INP1	T6EUDA	GPT12
		INP2	T5INB	GPT12
		INP3	T3EUDC	GPT12
		INP4	SSC2_S_CTRR	SSC2
		INP5	T21EX_3	Timer 21
		INP6	UART2_RXD	UART2
	Output	GPO	P1_DATA.P1	
		ALT1	SSC2_M_CTRR	SSC2
		ALT2	COUT61_0	CCU6
		ALT3	EXF21_1	Timer 21
P1.2	Input	GPI	P1_DATA.P2	
		INP1	EXINT0_1	SCU
		INP2	T21_1	Timer 21
		INP3	T2INA	GPT12
		INP4	SSC2_M_CRRT	SSC2
		INP5	CCPOS2_2	CCU6
	Output	GPO	P1_DATA.P2	
		ALT1	SSC2_S_CRRT	SSC2
		ALT2	COUT63_0	CCU6

(表格续下页.....)

表 8 (续) 端口 1 输入/输出功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
		ALT3	T3OUT_1	GPT12
P1.4	Input	GPI	P1_DATA.P4	
		INP1	EXINT2_1	SCU
		INP2	T21EX_1	Timer 21
		INP3	T2INB	GPT12
		INP4	T5EUDA	GPT12
		INP5	SSC12_S_CTRR	SSC1/2
		INP6	CCPOS1_2	CCU6
	Output	GPO	P1_DATA.P4	
		ALT1	CLKOUT_1	SCU
		ALT2	COUT62_0	CCU6
		ALT3	SSC12_M_CTRR	SSC1/2

14.3.3 端口 2

14.3.3.1 端口 2 功能

端口 2 替换功能映射参照表 9

表 9 端口 2 输入功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
P2.0	Input	GPI	P2_DATA.P0	
		INP1	EXINT1_1	SCU
		INP2	CCPOS0_2	CCU6
		INP3	T5EUDB	GPT12
		ANALOG	AN0	ADC
P2.1	Input	GPI	P2_DATA.P1	
		INP1	CCPOS0_0	CCU6
		INP2	EXINT1_0	SCU
		INP3	T12HR_1	CCU6
		INP4	CC61_1	CCU6
		ANALOG	AN1	ADC
P2.2	Input	GPI	P2_DATA.P2	
		INP1	T6EUDB	GPT12
		INP2	T2EX_0	Timer 2
		INP3	T12HR_2	CCU6
		ANALOG	AN2	ADC
P2.3	Input	GPI	P2_DATA.P3	
		INP1	CCPOS1_0	CCU6
		INP2	EXINT0_2	SCU
		INP3	CTRAP_1	CCU6
		INP4	T3IND	GPT12
		INP5	CC60_1	CCU6
		ANALOG	AN3	ADC
P2.4	Input	GPI	P2_DATA.P4	
		INP1	T2EUDB	GPT12
		INP2	T2_2	Timer 2
		INP3	T2EX_2	Timer 2
		INP4	CCPOS0_3	CCU6
		INP5	CTRAP_2	CCU6

(表格续下页.....)

表 9 (续) 端口 2 输入功能

Port pin	Input/output	Select	Connected signal(s)	From/to module
		IN	XTAL (in) ¹⁾	XTAL
P2.5	Input / Output	GPI	P2_DATA.P5	
		INP1	T3EUDB	GPT12
		INP2	T4EUDC	GPT12
		INP3	T2_1	Timer 2
		INP4	LIN_TXD	LINTRX
		INP5	CCPOS1_3	CCU6
		OUT	XTAL (out) ¹⁾	XTAL
P2.6	Input	GPI	P2_DATA.P6	
		INP1	T4EUDD	GPT12
		INP2	T2EX_3	Timer 2
		INP3	CCPOS2_3	CCU6
		INP4	T13HR_2	CCU6
		ANALOG	AN6	ADC
P2.7	Input	GPI	P2_DATA.P7	
		INP1	CCPOS2_0	CCU6
		INP2	EXINT2_0	SCU
		INP3	T13HR_1	CCU6
		INP4	CC62_1	CCU6
		ANALOG	AN7	ADC

1) 可由用户配置。

15 通用定时器单元 (GPT12)

15.1 特性

15.1.1 功能模块 GPT1

以下列表总结了所支持的功能：

- 最大分辨率 $f_{GPT}/4$
- 3个独立定时器/计数器
- 定时器/计数器可以连接
- 4种运行模式：
 - 定时器模式
 - 门控定时器模式
 - 计数器模式
 - 增量接口模式
- 重新加载和捕获功能
- 共享中断：节点 0

15.1.2 功能模块 GPT2

以下列表总结了所支持的功能：

- 最大分辨率 $f_{GPT}/2$
- 2个独立定时器/计数器
- 定时器/计数器可以连接
- 3种运行模式：
 - 定时器模式
 - 门控定时器模式
 - 计数器模式
- 通过 16 位捕获/重载寄存器 CAPREL 扩展捕获/重载功能
- 共享中断：节点 1

15.2 简介

通用定时器单元模块 GPT1 和 GPT2 具有高度灵活的多功能定时器结构，可用于计时、事件计数、脉冲宽度测量、脉冲生成、频率倍增及其他用途。

它们包含五个 16 位定时器，分为两个定时器块 GPT1 和 GPT2。每个功能块中的每个计时器可以以多种不同模式独立操作，例如门控计时器或计数器模式，或者可以与同一功能块的另一个计时器串联。

每个功能块都有备用的输入/输出功能和与之相关的特定中断。输入信号可通过寄存器 PISEL 从多个源中进行选择。

GPT模块由时钟 f_{GPT} 驱动。 f_{GPT} 是源自 f_{SYS} 的时钟。

15.2.1 功能块图 GPT1

GPT1 功能块包含三个定时器/计数器：核心定时器 T3 以及两个辅助定时器 T2 和 T4。最大精度为 $f_{GPT}/4$ 。

GPT1 的辅助定时器可以选择性地配置为核心定时器的重载寄存器或捕获寄存器。

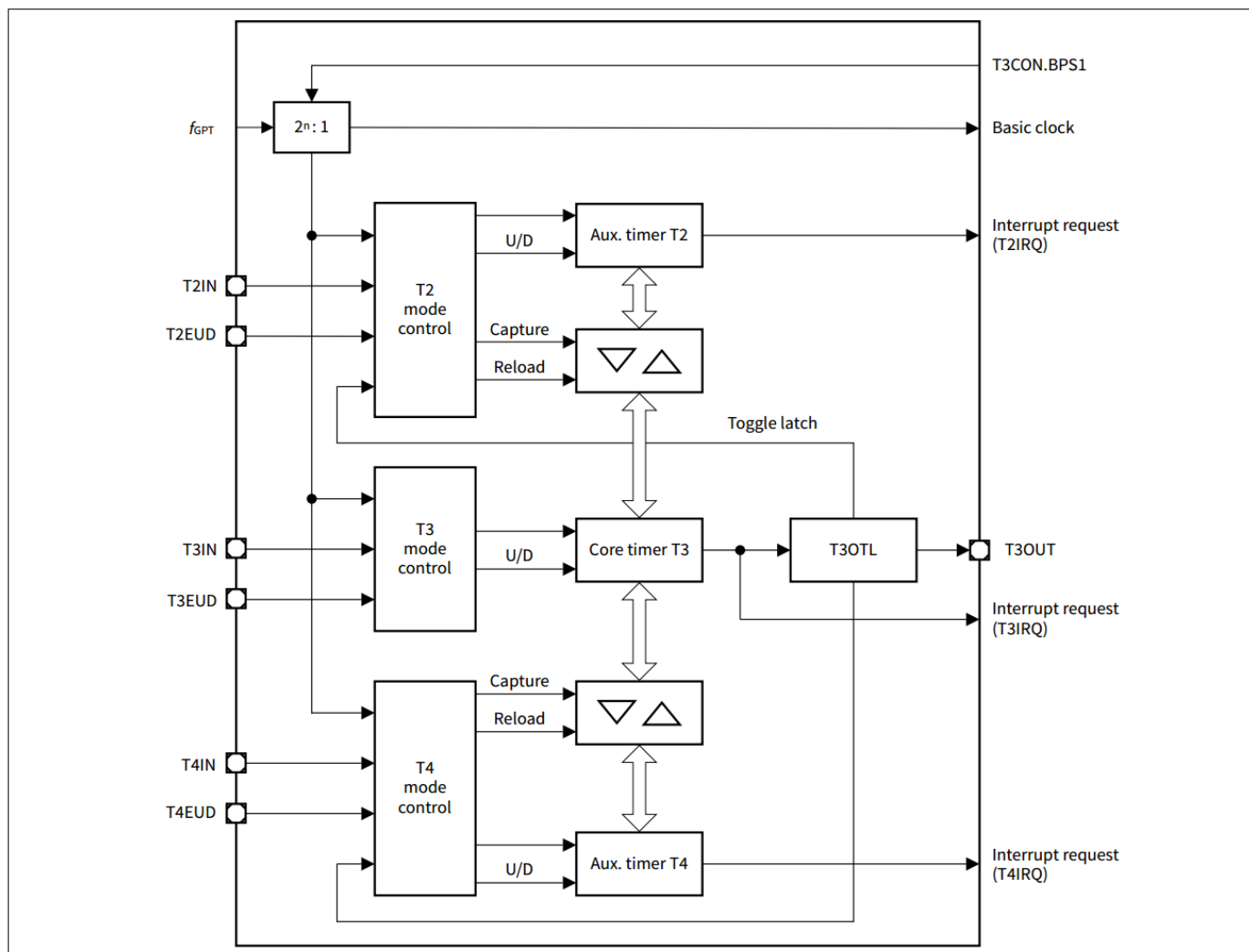


图 22 GPT1 框图 ($n = 2 \dots 5$)

15.2.2 功能块图 GPT2

功能块 GPT2 包含两个定时器/计数器：核心定时器 T6 和辅助定时器 T5。最大精度为 $f_{\text{GPT}}/2$ 。额外的捕获/重载寄存器支持具有扩展功能的捕获和重载操作。

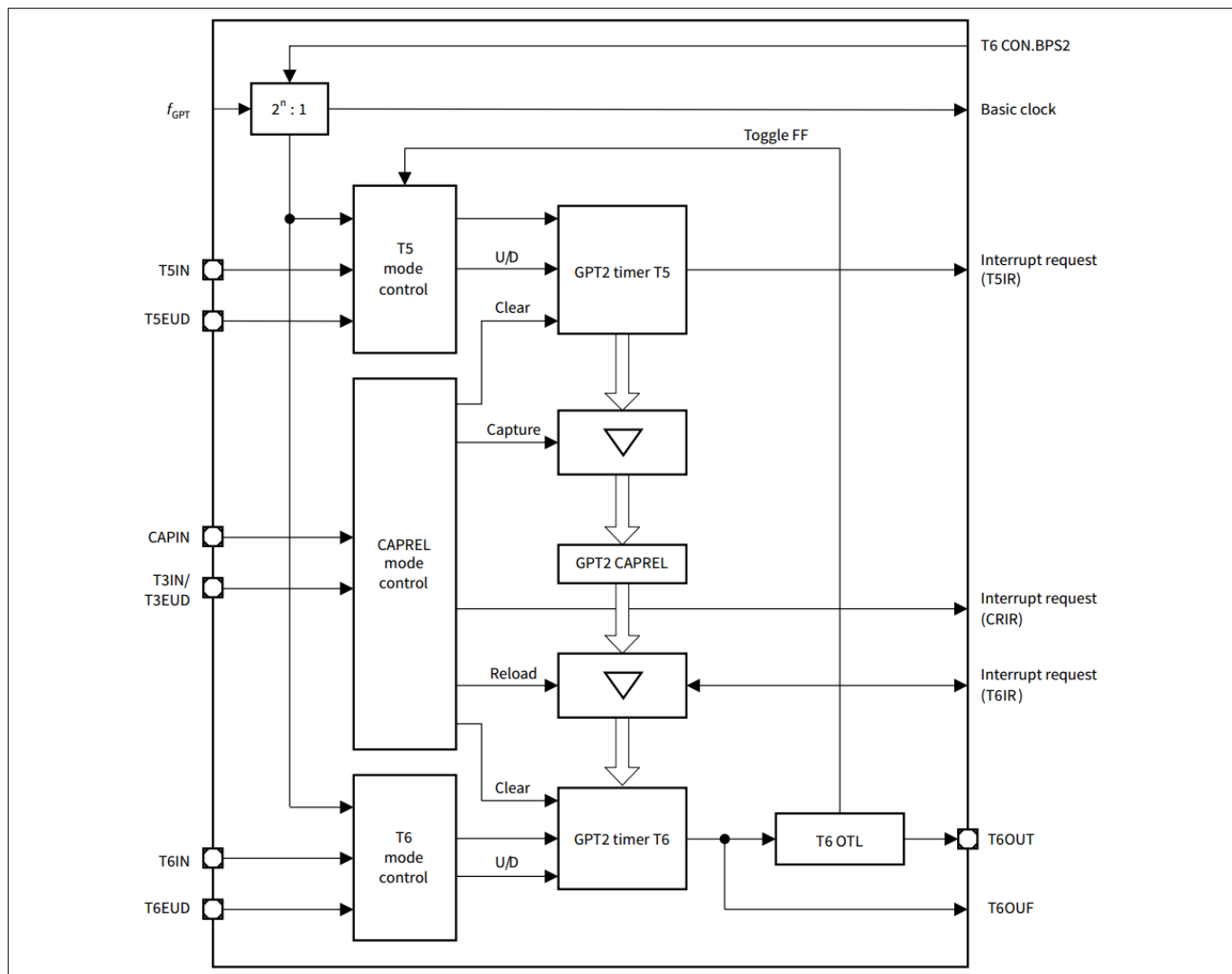


图 23 GPT2 框图 ($n = 1 \dots 4$)

16 定时器2 和 定时器21

16.1 特性

- 16 位自动重载模式
 - 可选择递增计数或递减计数
- 单通道16位捕获模式
- U(S)ART 波特率发生器

16.2 简介

内置两个功能完全相同的定时器：定时器 2 和定时器 21。该描述仅适用于定时器 2，但也适用于定时器 21。定时器模块为通用 16 位定时器。定时器 2 在其每种模式下均可用作计时器或计数器。作为定时器，它以 $f_{sys}/12$ 的输入时钟进行计数（如果预分频被禁用）。作为计数器，定时器2 对引脚 T2 上的 1 到 0 转换进行计数。在计数模式下，计数的最大精度为 $f_{sys}/24$ （如果禁用预分频）。

16.2.1 定时器2 和定时器21 模式概览

表 10 定时器2 和 定时器21 模式

Mode	Description
Auto-reload	Up/down count disabled • Count up only • Start counting from 16-bit reload value, overflow at $FFFF_H$ • Reload event configurable for trigger by overflow condition only, or by negative/ positive edge at input pin T2EX as well • Programmable reload value in register RC2 • Interrupt is generated with reload events
Auto-reload	Up/down count enabled • Count up or down, direction determined by level at input pin T2EX • No interrupt is generated • Count up - Start counting from 16-bit reload value, overflow at $FFFF_H$ - Reload event triggered by overflow condition - Programmable reload value in register RC2 • Count down - Start counting from $FFFF_H$, underflow at value defined in register RC2 - Reload event triggered by underflow condition - Reload value fixed at $FFFF_H$

（表格续下页.....）

表 10 (续) 定时器2 和 定时器21 模式

Mode	Description
Channel capture	• Count up only • Start counting from 0000_H, overflow at FFFF_H • Reload event triggered by overflow condition • Reload value fixed at 0000_H • Capture event triggered by falling/rising edge at pin T2EX • Captured timer value stored in register RC2 • Interrupt is generated with reload or capture event

17 捕获/比较单元 (CCU6)

17.1 功能概述

本节概述了不同的构建模块及其主要特征。

定时器12 模块特点

- 三个捕获/比较通道，每个通道都可以用作捕获通道或比较通道
- 生成三相 PWM 信号（六路输出，分别针对高侧和低侧开关）
- 16 位分辨率，最大计数频率 = 外设时钟
- 各通道的死区时间控制，以避免功率级中的短路
- T12 寄存器并发更新
- 可以生成中心对齐和边缘对齐的 PWM 信号
- 支持单次触发模式
- 启动可以由外部事件控制
- 能够对外部事件进行计数
- 多个中断请求源
- 类磁滞控制模式

定时器13 模块特点

- 一个独立带有一个输出的比较通道
- 16 位分辨率，最大计数频率 = 外设时钟
- T13 寄存器并发更新
- 可同步至 T12
- 在周期匹配和比较匹配时产生中断
- 支持单次触发模式
- 启动可以由外部事件控制
- 能够对外部事件进行计数

其他特定功能

- 实现无刷直流驱动器的换向控制
- 通过霍尔传感器模式进行位置检测
- 位置输入信号支持噪声滤波器
- 自动转速测量与块换向控制
- 集成错误处理
- 通过外部信号实现快速紧急停止，不占用 CPU 资源 ($\overline{\text{CTRAP}}$)
- 多通道交流驱动器的控制模式
- 输出电平可根据功率级进行选择和调整

17.2 简介

CCU6 单元由一个带三个捕获/比较通道的定时器 T12 模块和一个带一个比较通道的定时器T13模块组成。T12 通道可独立生成 PWM 信号或接受捕捉触发器，也可合作生成控制信号模式，以驱动直流电机或逆变器。丰富的状态位集、通过影子寄存器同步更新参数值，以及灵活生成中断请求信号，共同构成了高效软件控制的实现手段。

注释：捕获/比较模块本身称为CCU6（捕获/比较单元6）。该模块内部的捕获/比较通道称为CC6x。

17.2.1 框图

定时器 T12 的三个通道可工作在捕获和/或比较模式。这些模式也可以组合起来（例如，一个通道工作在比较模式，而另一个通道工作在捕获模式）。计时器 T13 只能工作在比较模式。多通道控制单元产生的输出模式可由 T12 和/或 T13 调制。调制源可被选取并组合用于信号调制。

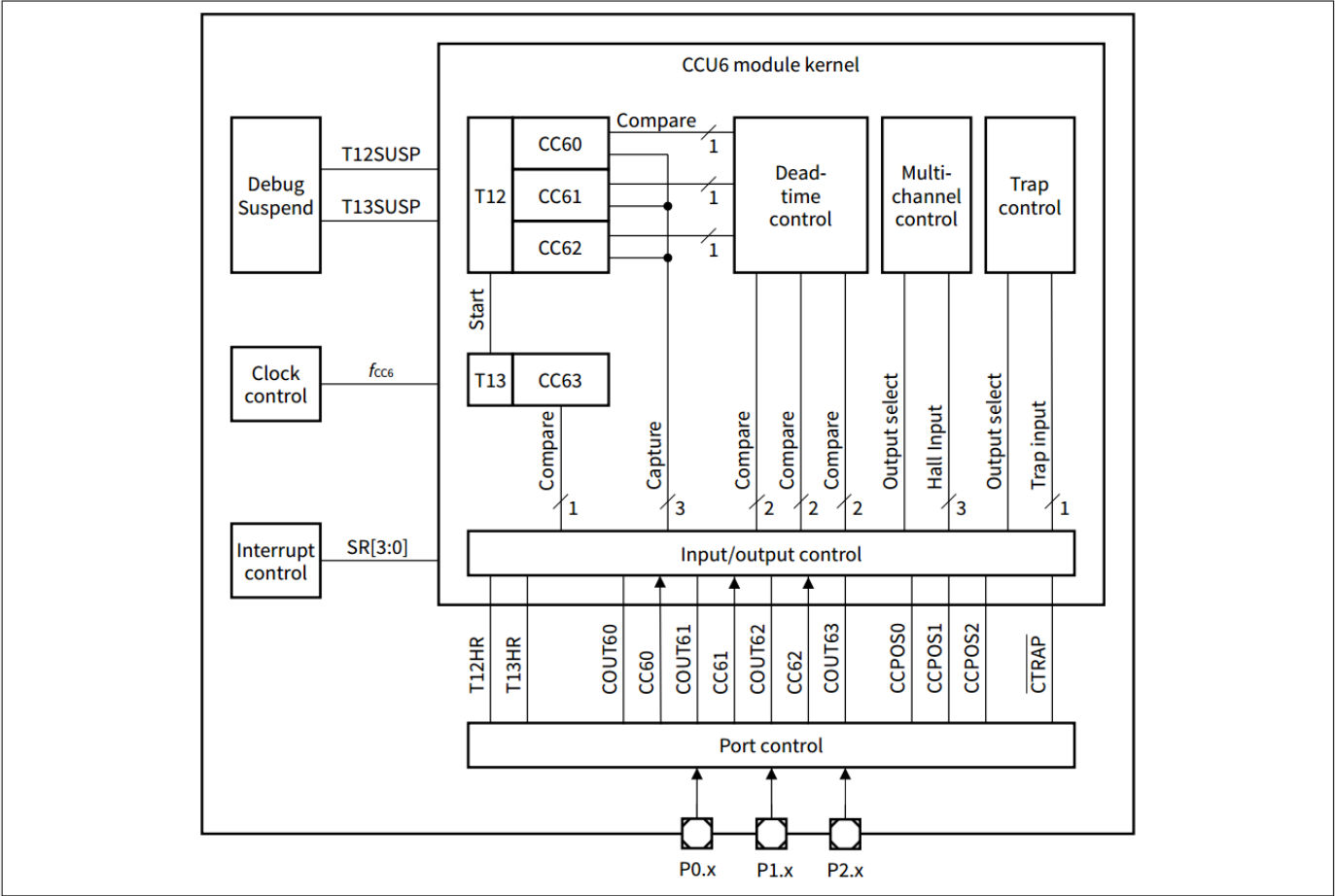


图 24 CCU6 功能块图

18 UART1/UART2

18.1 特性

- 全双工异步模式
 - 8 位或 9 位数据帧，LSB 优先
 - 固定或可变波特率
- 接收缓冲数据（1 字节）
- 多处理器通讯
- 在数据传输或接收完成时生成中断
- 带分数除法器的波特率发生器，用于生成宽范围的波特率，例如：9.6 kBaud，19.2 kBaud，115.2 kBaud，125 kBaud，250 kBaud，500 kBaud
- 硬件逻辑用于断开和同步字节检测
- 对于 UART1：LIN 支持：连接到定时器通道以同步到 LIN 波特率

在所有模式下，只要指令将 SBUF 用作目标寄存器，就会触发传输操作。当接收使能位（REN）为 1 时，接收操作由模式中的起始位触发。

串行接口在帧传输或接收完成时也会发出中断请求。对应的中断请求标志分别是 TI 或 RI。如果未使用串行中断（即未启用串行中断），则也可使用 TI 和 RI 信号轮询串行接口。

18.2 简介

UART 提供全双工异步接收器/发送器，即可以同时发送和接收。它们还具有接收缓冲功能，即在先前接收的字节尚未从接收寄存器读取之前，即可开始接收第二个字节。然而，如果在第二个字节接收完成时仍未读取第一个字节，则其中一个字节将丢失。串行端口的接收和发送寄存器均通过特殊功能寄存器（SFR）SBUF 进行访问。写入 SBUF 会加载发送寄存器，而读取 SBUF 则会访问物理上独立的接收寄存器。

18.2.1 框图

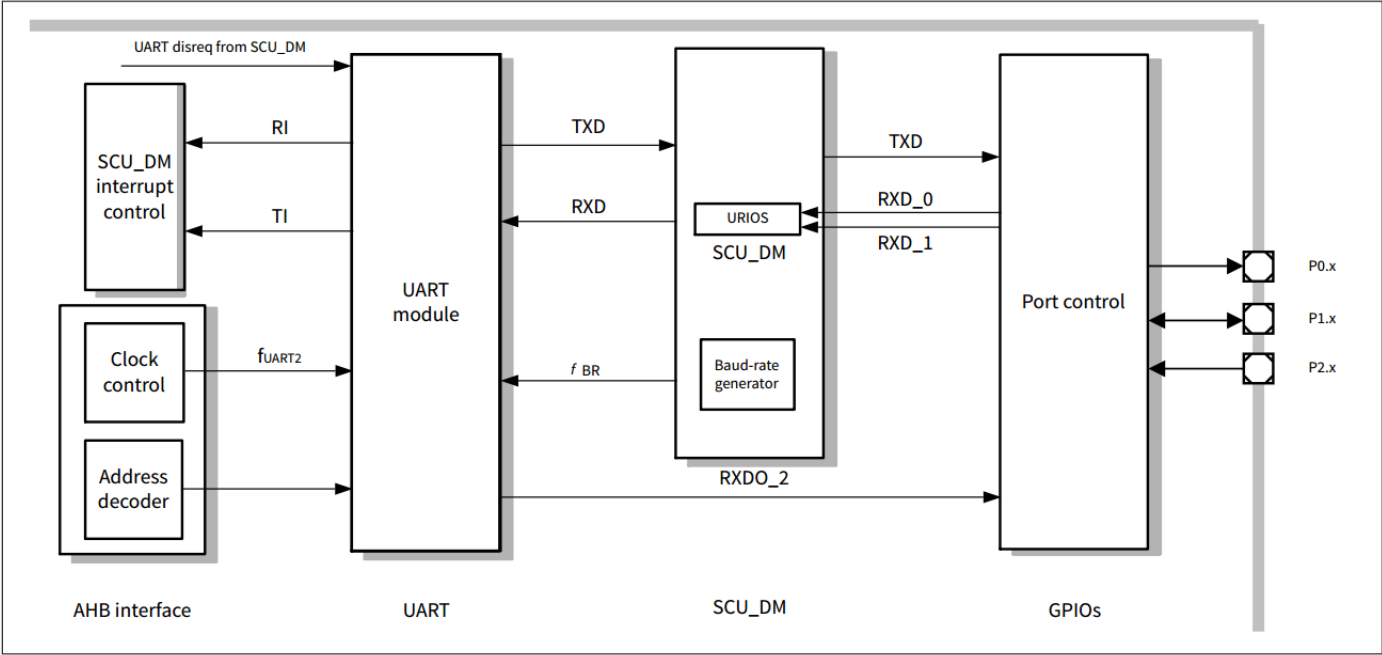


图 25 UART 框图



18.3 UART模式

UART1/UART2 可在四种不同模式下工作。在模式 0 中，其作为 8 位移位寄存器运行。在模式 1 中，其作为 8 位串行端口运行。在模式 2 和模式 3 中，其作为 9 位串行端口运行。模式 2 与模式 3 的唯一区别在于波特率：模式 2 中波特率固定，模式 3 中波特率可变。可变波特率由专用波特率发生器的下溢速率设定。

通过将SM0和SM1位设置为对应值来选择不同模式，具体如下表所示。

模式 1 示例：8 个数据位、1 个起始位、1 个停止位、无奇偶校验选择、16 倍过采样（第 6、7、8 位多数决定）、接收和发送寄存器双缓冲、Tx/Rx IRQ(s)。

表 11 UART 模式

SM0	SM1	Operating mode	baud-rate
0	0	Mode 0: 8-bit shift register	$f_{sys}/2$
0	1	Mode 1: 8-bit shift UART	Variable
1	0	Mode 2: 9-bit shift UART	$f_{sys}/64$ or $f_{sys}/32$
1	1	Mode 3: 9-bit shift UART	Variable

19 LIN收发器 (TRX)

19.1 特性

19.1.1 一般功能特性

- 符合 LIN2.2 标准的 LIN 收发器，向下兼容 LIN2.1、LIN2.0 及 LIN1.3 标准
- 符合 SAE-J2602 标准的 LIN 收发器（上升/下降时间、接收器迟滞特性）
- 通过 UART1 接口支持 LIN 通信

19.1.2 运行模式

- 收发器正常模式
- 收发器仅接收模式
- 收发器睡眠（可唤醒）模式
- 收发器关闭模式

19.1.3 特殊功能

- 通过 定时器2 测量 LIN 波特率
- 主导 TXD 超时功能。
- 收发器端口可通过特殊功能寄存器配置为标准 HV I/O (LHVIO)
- 收发器端口过流限制和过温保护
- 收发器可通过使能位完全重置

19.1.4 斜率模式功能

- LIN 正常斜率模式（最高 20 kbits/s）
- LIN 低斜率模式（最高 10.4 kbits/s）
- LIN 快速斜率模式（最高 62.5 kbits/s）
- LIN 闪存模式（最高 115 kbits/s 或 250 kbits/s）

19.1.5 唤醒功能

- LIN 网络唤醒

19.2 简介

该收发器支持符合 LIN2.2 标准的本地互连网络（LIN），并向下兼容 LIN1.3、LIN2.0 和 LIN2.1 标准。收发器作为总线驱动器，位于协议控制器与物理网络之间。LIN 网络是一种单线双向总线，其波特率范围为 2.4 千波特至 20 千波特。额外实现了高达 62.5 千波特的波特率。

集成的斜率控制允许使用多种数据传输速率，并优化电磁兼容性能。在线路末端的数据传输中，实现了最高支持 115 千波特速率的闪存模式。

该收发器通过采用限流波形驱动器，将 TXD 输入端的数据流转换为总线信号，从而降低电磁辐射（EME）。接收器将数据流转换为逻辑电平信号，并通过 RXD 输出发送出去。

通过睡眠（可唤醒）模式，设备能够实现超低功耗运行，该模式支持通过通信网络进行唤醒。

此外，该收发器可作为由 SFR 位控制的高压输入/输出（LHVIO）使用（参见 LIN_CTRL.TXD 和 LIN_CTRL.RXD 位说明）。

19.2.1 框图

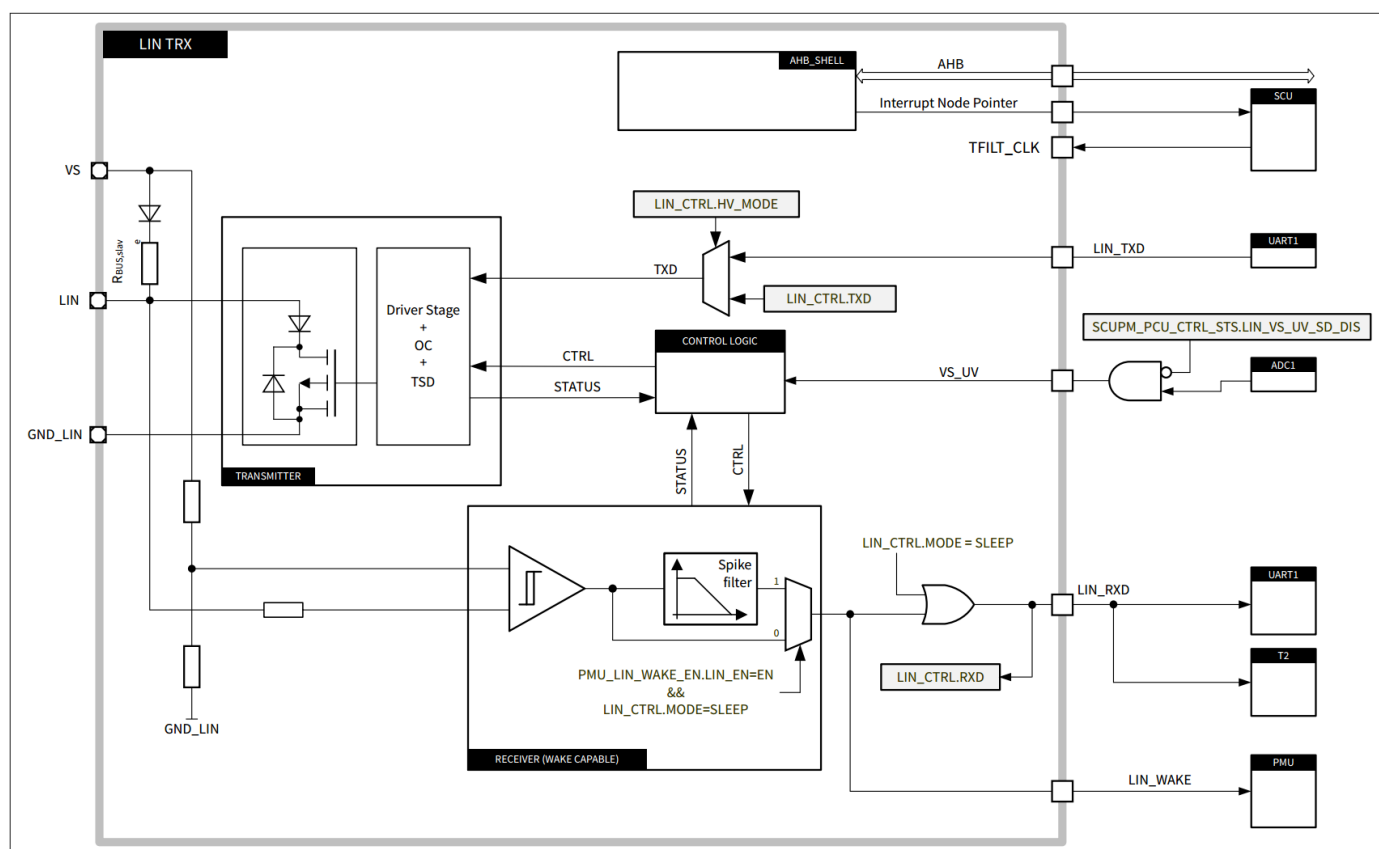


图 26 LIN 收发器功能块图

20 高速同步串行接口 SSC1/SSC2

20.1 特性

- 指挥模式与响应模式操作
 - 全双工或半双工运行
- 发送和接收双缓冲
- 灵活的数据格式
 - 可编程数据位数：2 至 16 位
 - 可编程移位方向：最小有效位 (LSB) 或最大有效位 (MSB) 先移位
 - 可编程时钟极性：移位时钟的空闲低电平或高电平状态
 - 可编程时钟/数据相位：利用移位时钟的前沿或后沿进行数据移位
- 可变波特率，例如 250 kBaud 至 8 MBaud
- 兼容串行外设接口 (SPI)
- 中断生成
 - 发射器空载状态
 - 接收器满载状态
 - 在错误条件下（接收错误、相位错误、波特率错误、发送错误）
 - 在转移完成的条件下
- 端口方向选择，请参阅[第 14 章](#)

20.2 简介

高速同步串行接口 (SSC) 同时支持全双工和半双工串行同步通信。串行时钟信号可由 SSC 内部生成（指挥模式），使用其自身的 16 位波特率发生器，或从外部指挥器接收（应答模式）。数据宽度、移位方向、时钟极性和相位都是可编程的。这使得能够与 SPI 兼容设备或使用其他同步串行接口的设备进行通信。

数据通过 TXD 和 RXD 线传输或接收，这两条线通常与 CTRR（指令发送/应答器接收）和 CRRT（指令接收/应答器发送）引脚相连。时钟信号通过 MS_CLK 线（命令方串行移位时钟）输出，或通过 SS_CLK 线（响应方串行移位时钟）输入。两条线通常都连接到 SCLK 引脚。数据传输和接收采用双缓冲。

20.2.1 框图

下图展示了与SSC内核相关的所有功能接口。

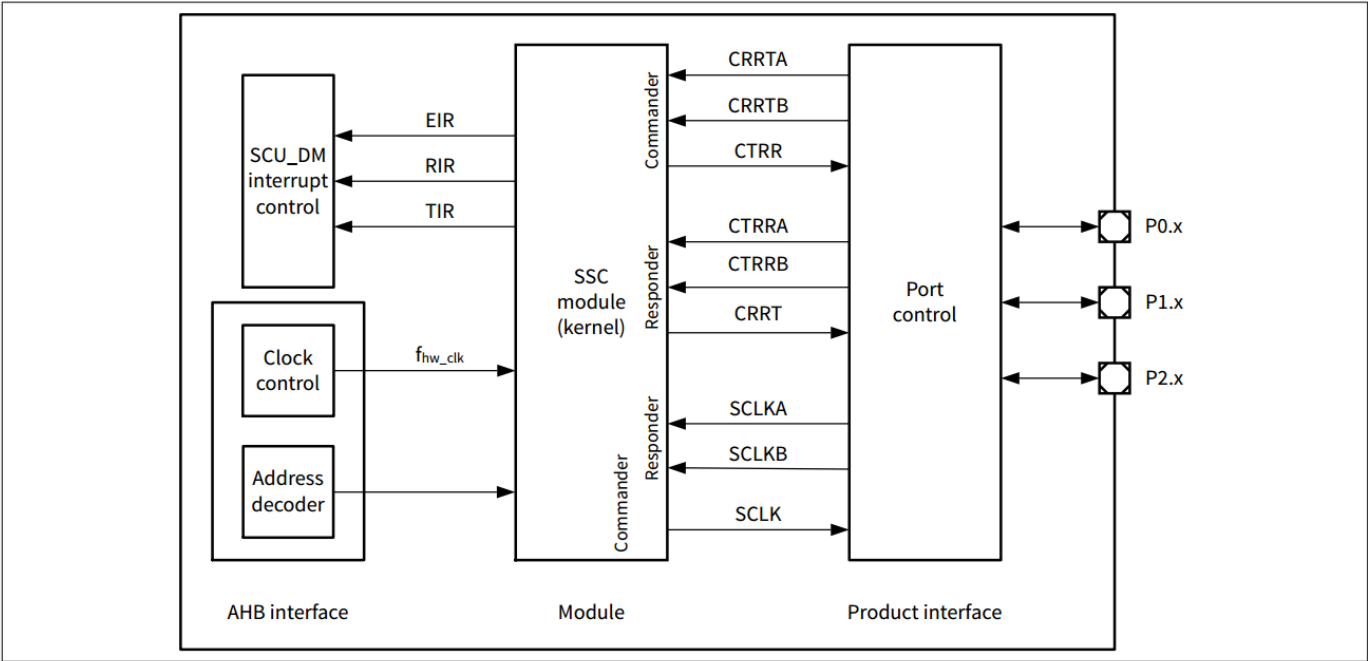


图 27 SSC接口图

21 测量单元

21.1 特性

- 1×10位ADC，配备13个输入通道（含衰减器），可测量高压输入信号
- 提供具有衰减功能的供电电压衰减器，适用于VBAT_SENSE、VS、MONx、P2.x
- 1×8位ADC，具有7个输入（包括衰减器），可测量高压输入信号
- 提供具有衰减功能的电源电压衰减器，适用于VS、VDDEXT、VDDP、VBG、VDDC、TSENSE_LS、TSENSE_CENTRAL等电压
- 8位ADC的VBG监测以满足功能安全要求
- 用于监测芯片温度和低侧模块温度的温度传感器
- 补充模块包含参考电压生成、偏置电流生成、非易失性存储器参考电压缓冲器、模拟模块参考电压缓冲器及测试接口

21.2 简介

测量单元是一个功能单元，包含以下相关子模块：

表 12 测量功能和相关模块

Module Name	Modules	Functions
Central functions unit	Bandgap reference circuit + current reference circuit	The bandgap-reference submodule provides two reference voltages: 1. An accurate reference voltage for the 10-bit and 8-bit ADCs. A local dedicated bandgap circuit is implemented to avoid deterioration of the reference voltage arising e.g. from crosstalk or ground voltage shift 2. The reference voltage for the NVM module
10-bit ADC (ADC1)	10-bit ADC module with 13 multiplexed analog inputs	VBAT_SENSE, VS and MONx measurement Six (5 V) analog inputs from port 2.x
8-bit ADC (ADC2)	8-bit ADC module with 7 multiplexed inputs	VS/VDDEXT//VDDP/VBG/VDDC/TSENSE_LS and TSENSE_CENTRAL measurement
Temperature sensor	Temperature sensor readout amplifier with two multiplexed ΔV_{be} -sensing elements	Generates outputs voltage which is a linear function of the local chip (T_j) temperature
Measurement core module	Digital signal processing and ADC control unit	1. Generates the control signal for the 8-bit ADC2 and the synchronous clock for the switched capacitor circuits (temperature sensor) 2. Performs digital signal processing functions and provides status outputs for interrupt generation

21.2.1 框图

测量函数模块的结构如图所示。

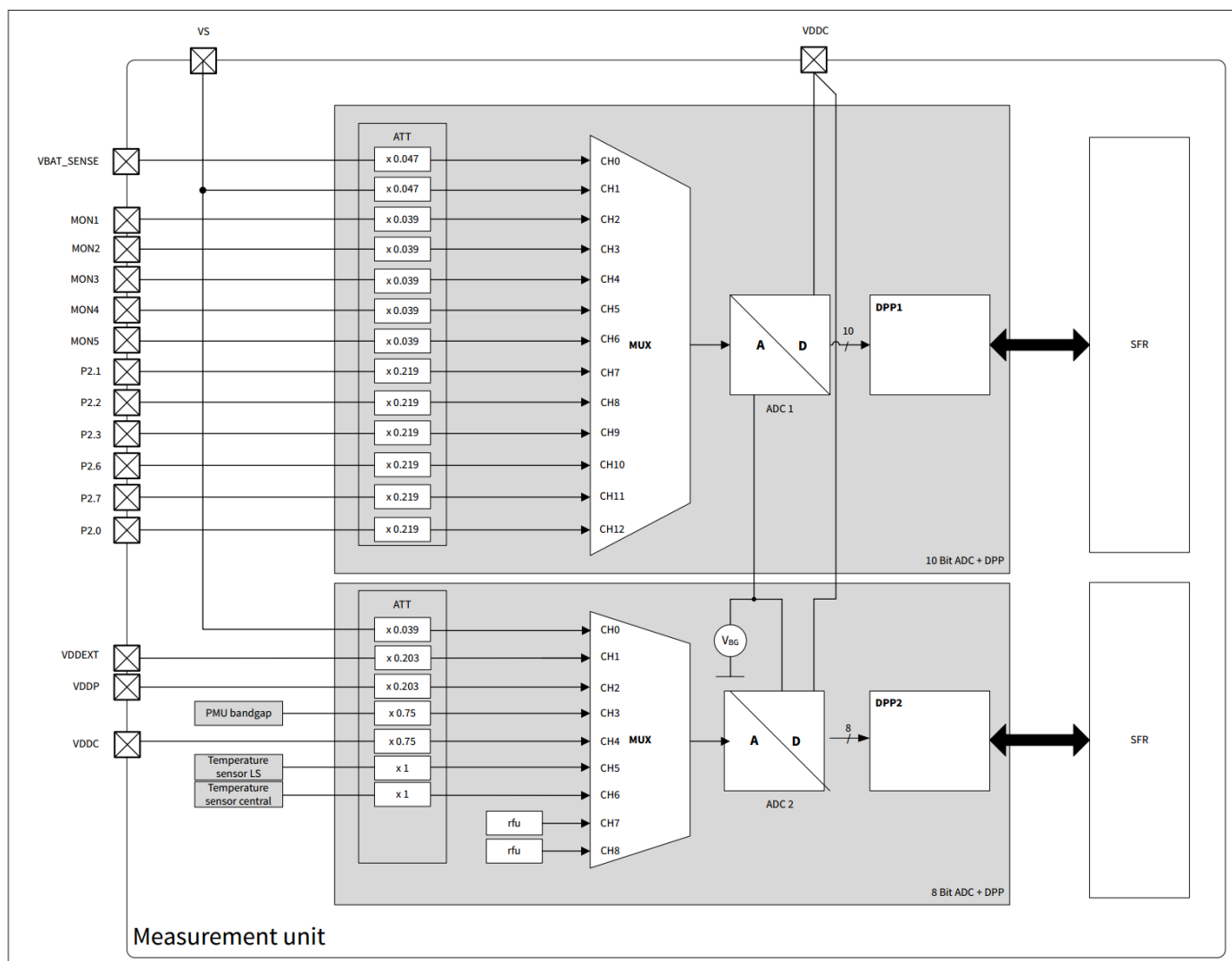


图 28 **TLE9844-2QX测量单元概述**

22 测量核心模块（含ADC2）

22.1 特性

- 7 个独立可编程通道分为两组：用户可配置组与非用户可配置组
- 测量单元独立可编程通道优先级方案
- 每个通道配备两个独立滤波级，具备可编程低通滤波器特性与时间滤波特性
- 双通道配置：
 - 可编程的上触发阈值和下触发阈值，包含完全可编程的迟滞特性
 - 两个可独立编程的触发阈值，带限位迟滞设置
- 所有通道阈值的独立可编程中断与状态
- 整个系统的操作降至复位阈值

22.2 简介

该模块的基本功能是通过滤波、电平比较和中断生成，对若干模拟数字化测量信号进行数字后处理。测量后处理模块由七个相同的通道单元构成，这些单元连接在7通道8位模数转换器（ADC2）的输出端。它处理七个通道，其中通道序列和优先级可在宽范围内进行编程设置。

22.2.1 框图

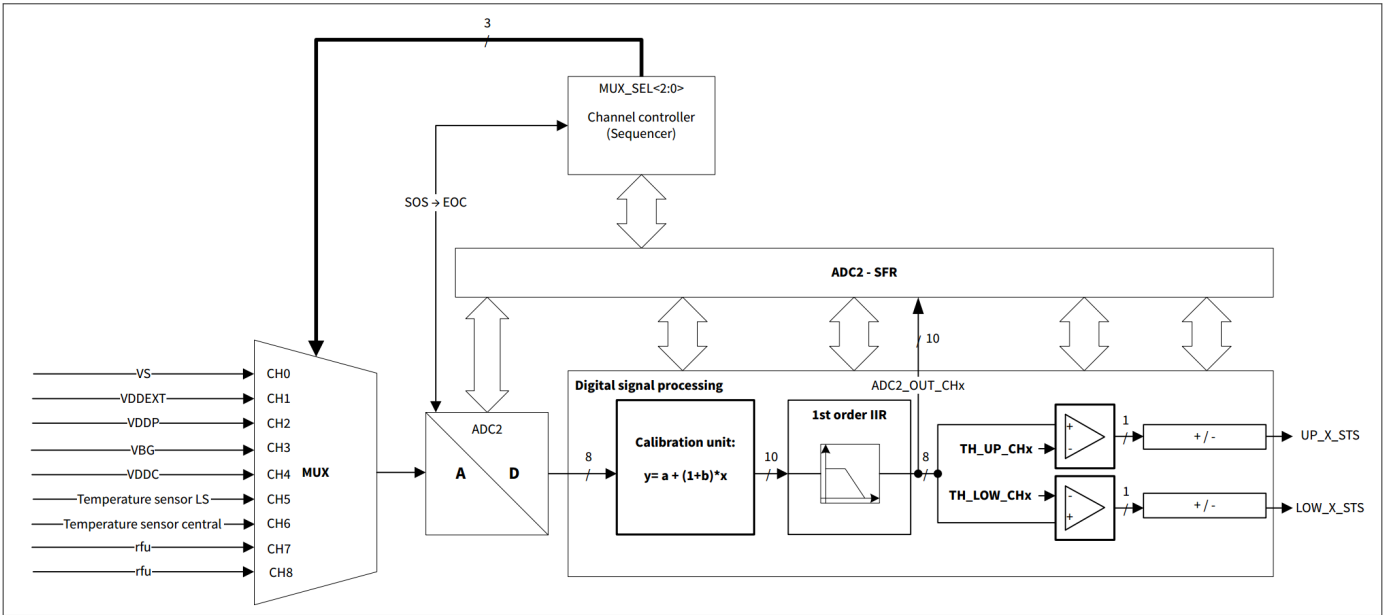


图 29 模块框图

23 10 位模拟数字转换器 (ADC1)

23.1 特性

该模块的基本功能是通过滤波、电平比较和中断生成，对若干模拟数字化测量信号进行数字后处理。测量后处理模块由十二个相同的通道单元构成，这些单元连接在13通道10位模数转换器的输出端。它处理十二个通道，其中通道序列和优先级可在宽泛范围内进行编程设置。

功能特性

- 10 位 SAR 模数转换器，转换时间为17个时钟周期
- 用于时序器和模数转换器的可编程时钟分频器
- 12 个可单独编程的通道（ch0...ch11）：
 - 7 个 HV 通道：VS、VBAT_SENSE、MON1...MON5
 - 5 个 LV 通道：P2.1、P2.2、P2.3、P2.6、P2.7
- 额外增加一个通道，即通道12，连接至 P2.0。该通道仅可在软件模式下编程，此时无法进行校准且不支持数字后处理
- 所有通道均已完成全面校准，并支持用户自定义配置
- 数字后处理（dpp）的独立可编程通道优先级方案
- 每个通道配备两个独立滤波级，具备可编程低通滤波器特性与时间滤波特性
- 双通道配置：
 - 可编程的上触发阈值和下触发阈值，包含完全可编程的迟滞特性
 - 两个可独立编程的触发阈值，带限位迟滞设置
- 所有通道阈值均支持独立编程的上阈值和下阈值中断及状态
- ADC 基准电压完全集成

注释： 若需通过ADC1评估MON_x，建议在器件MON_x引脚附近添加6.8nF电容，以构成外部RC滤波器，从而限制输入信号的带宽。

23.2 简介

23.2.1 框图

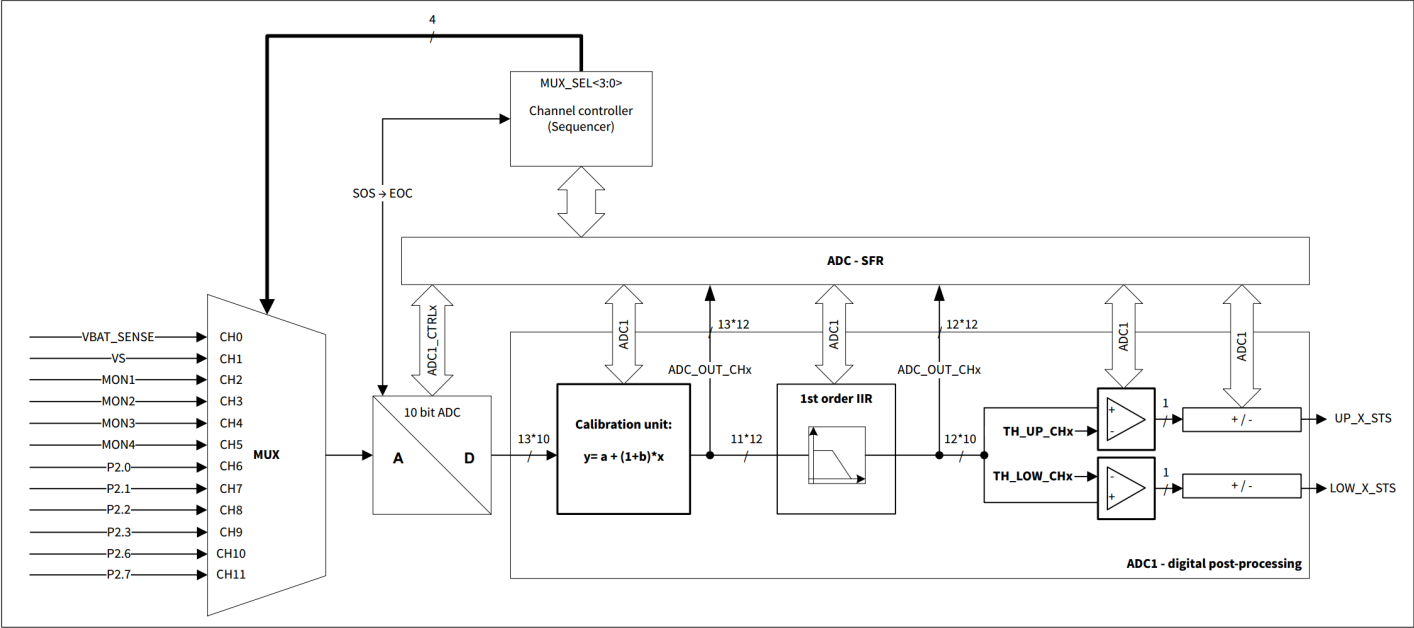


图 30 模块框图

24 高压监测器输入

24.1 特性

特性

- 5 个高压监测输入，带 $V_{S/2}$ 阈值电压
- 系统停止模式和系统睡眠模式的唤醒功能
- 边缘敏感唤醒功能，可配置为低电平到高电平、高电平到低电平或双向转换模式
- MON 输入也可通过 ADC 在有源模式下进行评估，采用可调阈值（另见第 23 章）
- 可选的上拉和下拉电流源可用

24.2 简介

本模块专用于监测外部电压水平是否超过或低于指定阈值。每个 MONx 引脚还可用于检测唤醒事件，通过检测电平变化是否超过选定阈值来实现。这适用于任何电源模式。此外，每个 MONx 引脚均可由 ADC 作为模拟输入进行采样。

24.2.1 框图

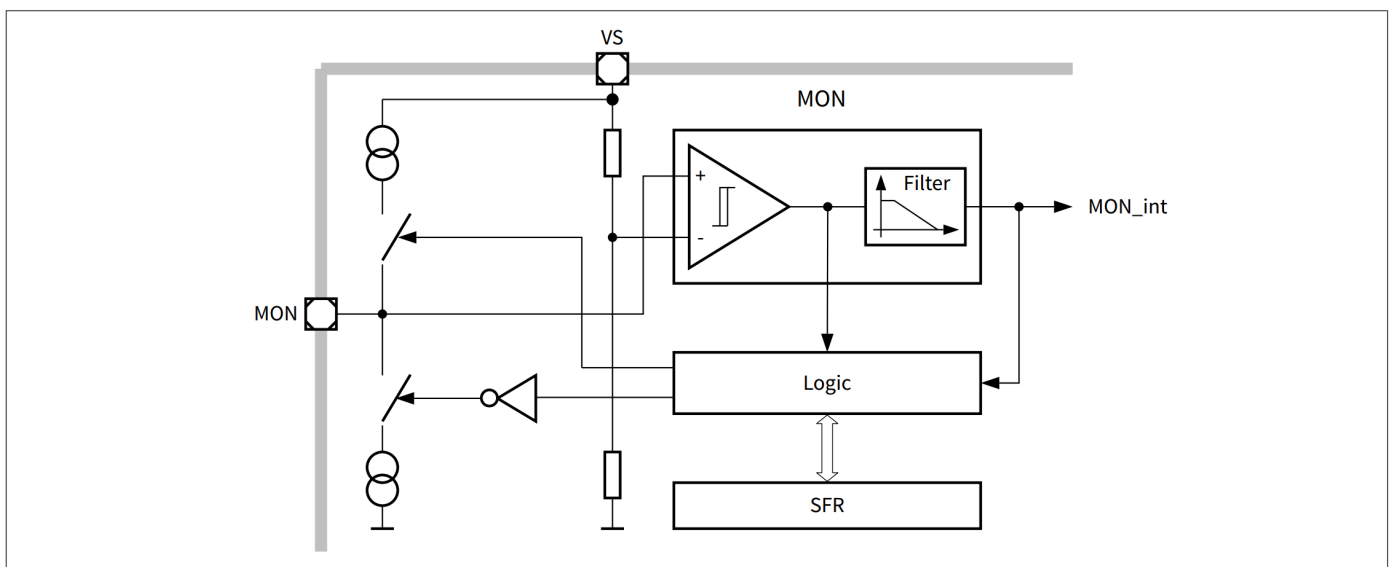


图 31 监测输入框图

25 高边切换

25.1 特性

高侧开关经过优化，适用于驱动电阻性负载。仅允许使用小线圈电感。典型应用包括仪表盘中的单颗或多颗LED、开关背光照明或其他需要高侧开关的负载。

系统在睡眠模式或停止模式期间也可进行循环开关激活。

功能特性

- 适用于电阻性负载连接的多功能高侧开关（仅允许小线圈电感）
- 过流钳位
- 过流检测阈值：25 mA、50 mA、100 mA、150 mA 和自动关断
- 过温检测及自动关断
- 负载开路检测处于开启模式，开路负载电流最大值为 1.5 mA
- 过流、过温和负载开路条件中断信号
- 睡眠模式和停止模式下的循环开关激活，支持循环检测且驱动能力降低：最大值 40 mA
- PWM 能力高达 25 kHz
- 系统 PWM 发生器（CCU6）的内部连接
- 低电磁干扰特性的斜率控制

应用程序提示

- HSx 端的电压不得超过电源电压 0.3V，以防止从 HSx 到 VS 的反向电流

25.2 简介

25.2.1 框图

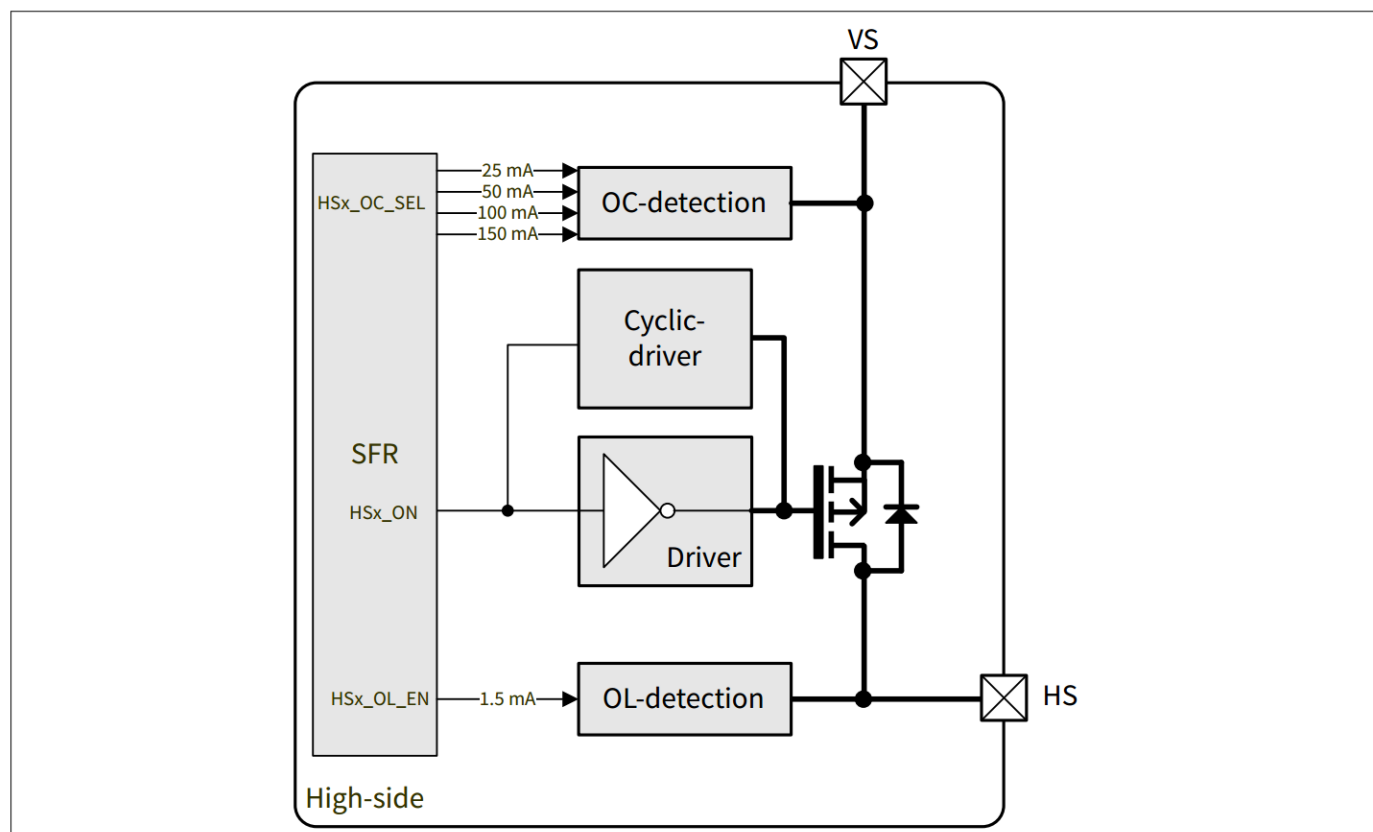


图 32 高侧模块框图（包括子模块）

25.2.2 通用

高侧开关通常可通过三种不同方式进行控制：

- 在正常模式下，输出级可通过SFR寄存器HSx_CTRL实现完全控制。提供过流、过温和空载检测等保护功能
- PWM 模式也可通过 HSx_CTRL - SFR位启用。PWM配置必须在相应的PWM模块中完成。所有保护功能在此模式下同样可用。最大PWM信号频率不得超过 25 kHz（仅禁用斜率控制）
- 高侧开关还可在所有低功耗模式（睡眠模式和停止模式）下实现周期性开关激活。在此配置下，其功能有限且电流能力受限。此模式下无法使用诊断功能

26 低侧开关

26.1 特性

通用型低侧开关经过优化，可用于控制板载继电器。低侧开关提供嵌入式保护功能，包括过流和过温检测。该模块专为车载连接而设计。

已实施标准静电放电（HBM）和电磁兼容性（EMC）抗扰度措施。

功能特性

- 专为驱动继电器优化的多功能低侧开关：
 - 简易继电器驱动器
 - PWM继电器驱动器
- 集成式钳位装置，可作为简易继电器驱动器使用
- 过流检测和自动关断
- 过温检测及自动关断
- 过流和过温条件的中断信号
- 开路检测带中断信号
- PWM 能力高达 25 kHz（仅适用于带有外部钳位电路的电感负载）
- 可选PWM源：专用CCU6通道
- 当前驱动能力最高可达最小值 270 mA

应用程序提示

- 不建议在PWM模式下使用该开关而未配备外部续流二极管。

26.2 简介

26.2.1 框图

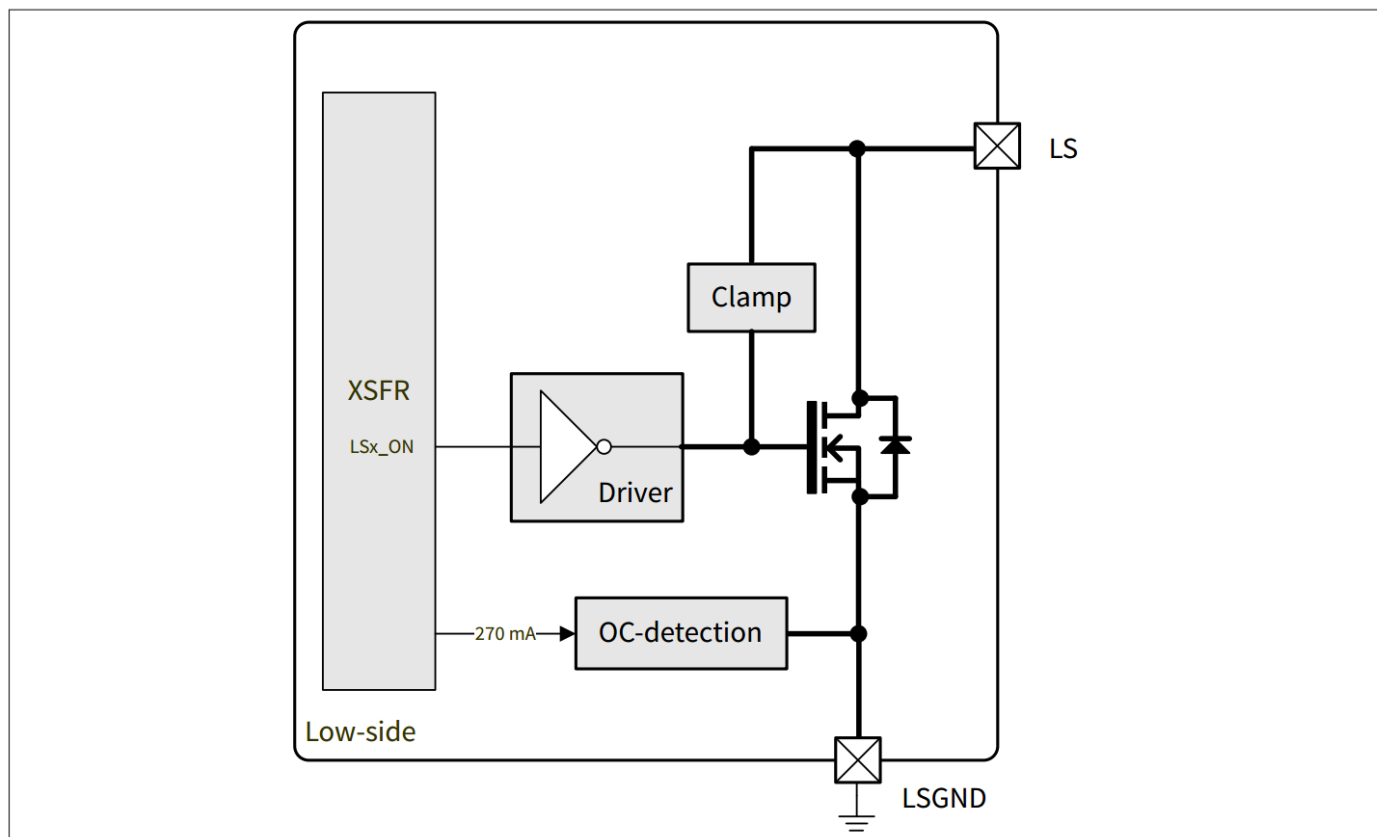


图 33 低边模块框图

26.2.2 通用

低边开关通常可以通过两种不同的方式控制：

- 在正常模式下，输出级可通过特殊功能寄存器寄存器 **LSx_CTRL** 完全控制。提供过流和过温保护功能
- PWM模式也可通过**LSx_CTRL** - SFR位启用。PWM 配置必须在相应的PWM模块（CCU6）中完成。所有保护功能在此模式下同样可用。最大PWM频率不得超过25 kHz（仅限快速上升时间）

27 应用信息

注释： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

27.1 继电器车窗升降器应用框图

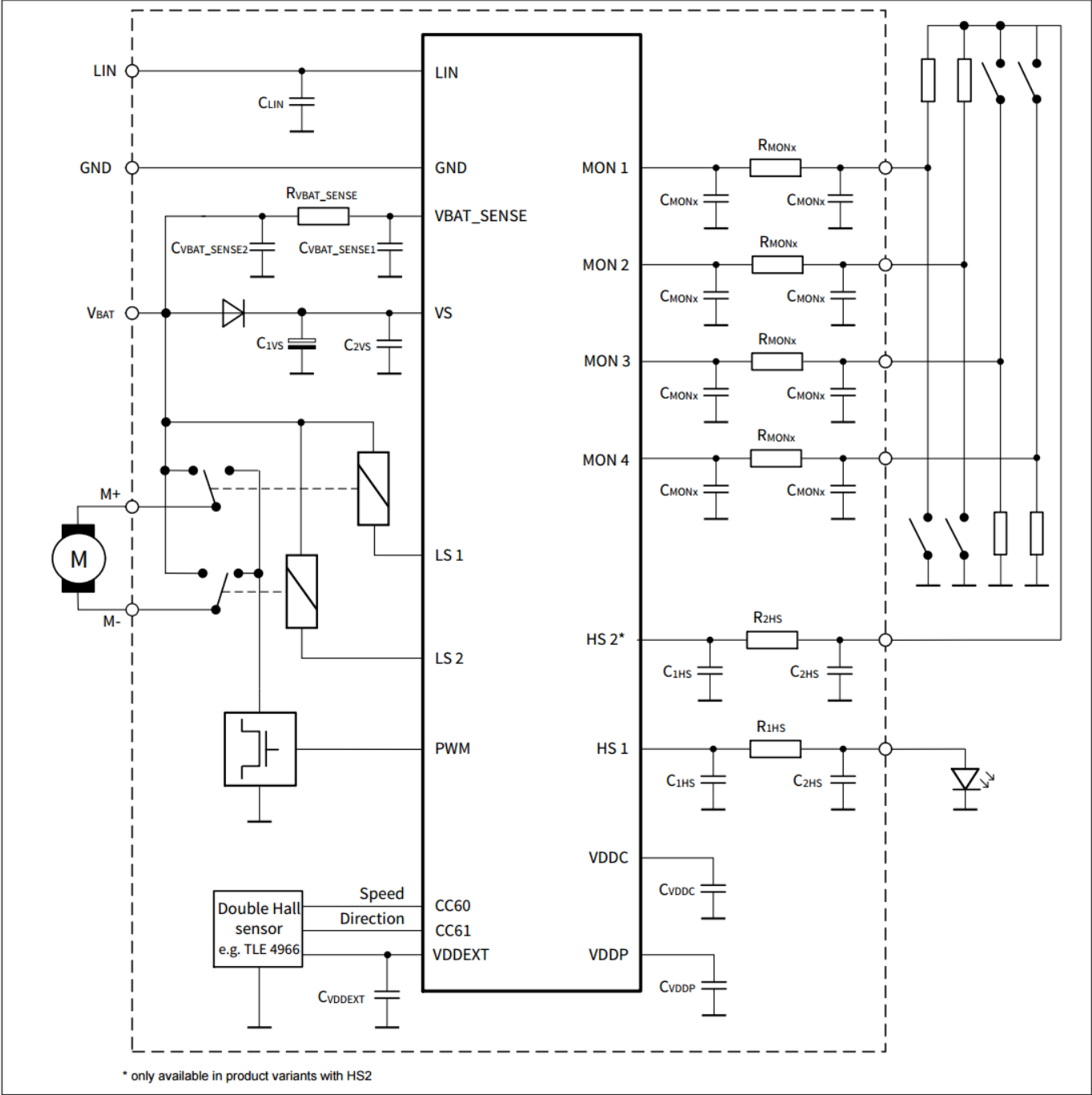


图 34 简化应用示意图示例

注释： 这是应用电路和物料清单的一个极简化示例。实际应用中必须验证其功能。

表 13 外部组件 (BOM)

Symbol	Function	Component
C_{1VS}	Capacitor 1 at VS pin	22 μF ¹⁾
C_{2VS}	Capacitor 2 at VS pin	100 nF ^{2) 3)}
C_{VDDEXT}	Capacitor at VDDEXT pin	330 nF ²⁾
C_{VDDC}	Capacitor at VDDC pin	100 nF ^{2) 3)} + 330 nF ²⁾
C_{VDDP}	Capacitor at VDDP pin	470 nF ^{2) 3)} + 470 nF ²⁾
R_{MONx}	Resistor at MONx pin	3.9 k Ω
C_{MONx}	Capacitor at MONx connector	6.8 nF ⁴⁾
R_{VBAT_SENSE}	Resistor at VBAT_SENSE pin	3.9 k Ω
C_{VBAT_SENSE1}	Capacitor 1 at VBAT_SENSE pin	10 nF ²⁾
C_{VBAT_SENSE2}	Capacitor 2 at VBAT_SENSE connector	6.8 nF ⁴⁾
C_{LIN}	Capacitor at LIN pin	220 pF
R_{1HS}	Resistor at HS pin for LED	e.g. 2.7 k Ω
R_{2HS}	Resistor at HS pin	160 Ω ⁵⁾
C_{1HS}	Capacitor at HS pin	6.8 nF ²⁾
C_{2HS}	Capacitor at HS connector	33 nF ⁴⁾

1) 根据应用要求进行尺寸标注。

2) 为了减少 V_s 快速瞬态电压的影响, 这些电容器应放置在靠近器件引脚的位置。

3) 瓷片电容。

4) 用于静电防护枪。

5) 可选, 用于短路至电池保护, 按 24 伏 (跳跃启动) 计算。

27.2 连接N.C.引脚

该器件包含多个 N.C. (未连接, 无接合线) 引脚。

表 14 N.C.引脚的连接建议

Type	Pin number	Recommendation 1	Recommendation 2	Comment
N.C.	27, 28, 29, 38, 40, 41	GND	–	–
N.C.	10, 46	open	GND	Neighboring high-voltage pins

27.3 连接未使用的引脚

下表提供了引脚连接的建议方案，适用于应用程序无需使用这些引脚的情况。

表 15 未使用引脚的连接建议

Type	Pin number	Recommendation 1 (if unused)	Recommendation 2 (if unused)
LIN	1	open	–
HS1, HS2	3, 4	VS	open
MON	5, 6, 7, 8, 9	GND	open + configure internal PU/PD
LS1, LS2	11, 12	GNDLS	open
GPIO	14, 15, 16, 17, 20, 22, 23, 24, 25, 26, 33, 34, 35, 36, 37, 39	GND	External PU/PD or open + configure internal PU/PD
TMS	18	GND	–
Reset	21	open	–
P2/XTAL out	31	open	–
P2/XTAL in	32	GND	–
VDDEXT	45	open	–
VBAT_SENSE	48	VS	–

27.4 SWD 调试模式的 P0.2 连接

要进入SWD调试模式，复位信号上升沿时P0.2引脚必须为0。

P0.2引脚具有内部下拉电阻，因此只需确保进入调试模式时P0.2引脚上没有外部1电平即可。

27.5 连接 TMS

对于调试模式，TMS 引脚需要在复位信号上升沿时置为 1。这由调试器控制。TMS 引脚具有内部 PD。

为避免设备在最终应用中意外进入调试模式，建议额外添加一个外部下拉电阻。

27.6 静电防护抗扰度符合 ISO10605

注释： 根据ISO10605标准的“枪式测试”（150 pF，330 Ω）进行了静电放电（ESD）抗扰度测试。
测试结果及测试条件详见测试报告。测试获得的数值如下表所示。

表 16 静电防护“枪测试”

Performed test	Result	Unit	Remarks
ESD at pin LIN, versus GND	≥8	kV	¹⁾ Positive pulse
ESD at pin LIN, versus GND	≤-8	kV	¹⁾ Negative pulse
ESD at pin VS, VBAT_SENSE, MONX, HS, versus GND	≥6	kV	¹⁾ Positive pulse
ESD at pin VS, VBAT_SENSE, MONX, HS, versus GND	≤-6	kV	¹⁾ Negative pulse

1) ESD 耐受性“ESD GUN”，由外部测试机构（茨维考IBEE）依据IEC62228-2（LIN）标准进行测试。

28 电气特性

本章包含产品TLE9844-2QX的所有相关电气特性。

28.1 基本特性

28.1.1 绝对最大额定值

表 17 绝对最大额定值¹⁾

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Voltages supply pins							
VS voltage	$V_{S,max}$	-0.3	–	40	V	Load dump	P_1.1.1
VDDP voltage	$V_{DDP,max}$	-0.3	–	5.5	V	–	P_1.1.2
VDDEXT voltage	$V_{DDEXT,max}$	-0.3	–	$V_S+0.3$	V	–	P_1.1.3
VDDC voltage	$V_{DDC,max}$	-0.3	–	1.6	V	–	P_1.1.4
Voltages high voltage pins							
Voltage at <i>VBAT_SENSE</i> pin	$V_{BAT_SENSE,max}$	-28	–	40	V	²⁾	P_1.1.5
Voltage at <i>HS</i> pin	$V_{HS,max}$	-0.3	–	$V_S+0.3$	V	–	P_1.1.6
Voltage at <i>LIN</i> pin	$V_{LIN,max}$	-28	–	40	V	–	P_1.1.7
Voltage at <i>MON_X</i> pins	$V_{MON,max}$	-28	–	40	V	²⁾	P_1.1.8
Voltage at <i>LS</i> pin	$V_{LS,max}$	-0.3	–	40	V	Internal clamping structure > 40 V	P_1.1.9
Voltages GPIOs							
Voltage on port pin <i>P0.X</i> , <i>P1.X</i> , <i>P2.X</i> , <i>TMS</i> and <i>RESET</i>	$V_{IO,max}$	-0.3	–	$V_{DDP}+0.3$	V	$V_{IN} < V_{DDPmax}$	P_1.1.10
Currents							
Injection current in sleep mode on <i>P0.X</i> , <i>P1.X</i> , <i>P2.X</i> , <i>TMS</i> and <i>RESET</i>	I_{xx}	–	–	5	mA	Maximum allowed injection current on single pin or sum of pins in sleep mode and unpowered device	P_1.1.11
Injection current on <i>HS</i>	I_{XLO}	–	–	150	mA	Current flowing into HS pin (back supply in case of short to battery)	P_1.1.12

(表格续下页.....)

表 17 (续) 绝对最大额定值¹⁾

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Output current on LS	I_{LS}	-300	–	–	mA	Current flowing out of LS pin, e.g. reverse polarity event (defined in LV124) or ISO Pulse event (defined in ISO 7637-2)	P_1.1.13
Temperatures							
Junction temperature	T_J	-40	–	150	$^{\circ}\text{C}$	–	P_1.1.14
Storage temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_1.1.15
ESD susceptibility							
ESD susceptibility HBM all pins	V_{ESD1}	-2	–	2	kV	JEDEC HBM ³⁾	P_1.1.16
ESD susceptibility HBM pins LIN versus LINGND	V_{ESD3}	-6	–	6	kV	JEDEC HBM ³⁾	P_1.1.17
ESD susceptibility CDM	V_{ESD_CDM}	-500	–	500	V	Charged device model, acc. JEDEC JESD22-C101	P_1.1.18
ESD susceptibility CDM pins 1, 12, 13, 24, 25, 36, 37, 48 (corner pins)	V_{ESD_CDM}	-750	–	750	V	Charged device model, acc. JEDEC JESD22-C101	P_1.1.19

1) 未经过生产测试, 由设计指定。

2) 对于 -28 V 电压, 需外接 3.9 k Ω 电阻以限制输出电流。

3) ESD 耐受性, “JEDEC HBM” 根据 ANSI/ESDA/JEDEC JS001 (1.5 k Ω , 100 pF)。

注释:

1. 超过此处所列的压力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止 IC 在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

28.1.2 工作范围

注释： 在工作范围内，该集成电路的工作状态符合电路描述所述。其电气特性在相关电气特性表所列条件下均符合规定。

表 18 工作范围

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于地，正电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Supply voltage in active mode	V_{S_AM}	5.5	–	28	V	–	P_1.2.1
Extended supply voltage in active mode - range 1	$V_{S_AM_extended_1}$	28	–	40	V	Functional with parameter deviation ¹⁾	P_1.2.12
Extended supply voltage in active mode with reduced functionality (microcontroller/flash with full operation) - range 2	$V_{S_AM_extended_2}$	3.0	–	5.5	V	Functional with parameter deviation ²⁾	P_1.2.2
Specified supply voltage for LIN transceiver - active mode	$V_{S_AM_LIN}$	5.5	–	18	V	Parameter specification	P_1.2.3
Extended supply voltage for LIN transceiver - active mode	$V_{S_AM_LIN_extend}$	4.8	–	40	V	Functional with parameter deviation ^{1) 3)}	P_1.2.4
Extended supply voltage for LIN and monitoring input (MON) - stop and sleep mode	$V_{S_SSM_LIN_MON_extended}$	3.6	–	5.5	V	Wake-up functionality ensured	P_1.2.13
Min. supply voltage in stop mode	$V_{S_Stopmin}$	3.0	–	–	V	–	P_1.2.5
Min. supply voltage in sleep mode	$V_{S_Sleepmin}$	3.0	–	–	V	–	P_1.2.6
Supply voltage transients slew rate	$\Delta V_S / \Delta t$	-5	–	5	V/ μs	⁴⁾	P_1.2.7
Output current on any GPIO	I_{OH}, I_{OL}	-10	–	10	mA	⁴⁾	P_1.2.8
Output sum current for all GPIO pins	$I_{GPIO, sum}$	-50	–	50	mA	⁴⁾	P_1.2.9
Operating frequency	f_{sys} ⁵⁾	5	–	40	MHz	⁴⁾	P_1.2.10
Junction temperature	T_j	-40	–	150	$^{\circ}\text{C}$	–	P_1.2.11

1) 该工作电压范围仅允许短时间内使用： $t_{max} \leq 400 \text{ ms}$ 。

2) 霍尔电源、ADC、SPI、UART、NVM、RAM、CPU 完全正常工作，且在低至 3 V 的 V_S 的范围内符合规格。执行器 (HS、LS) 在 $3 \text{ V} < V_S < 5.5 \text{ V}$ 的 V_S 范围内正常工作，但某些参数可能超出规格。

3) $18 \text{ V} < V_S < 40 \text{ V}$ 可能存在电气参数偏差。 $4.8 \text{ V} < V_S < 5.5 \text{ V}$ 可能存在电气参数偏差。

4) 未经过生产测试，由设计指定。

5) 超出限制时未指定函数。

28.1.3 电流消耗

表 19 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Current consumption at VS pin							
Current consumption in active mode	I_{V_S}	–	19	22	mA	$f_{\text{sys}} = 40 \text{ MHz}$ $V_S = 5.5 \text{ V to } 28 \text{ V}$ All digital modules enabled and functional, ADCs converting in sequencer mode, PLL running, no loads on GPIOs, VDDEXT off, LIN in recessive state (no communication), HSx and LSx enabled but off	P_1.3.18
Current consumption in active mode	$I_{V_S_f\text{reduced}}$	–	–	15	mA	$f_{\text{sys}} = 10 \text{ MHz}$ $V_S = 13.5 \text{ V}$ All digital modules enabled and functional, ADCs converting in sequencer mode, PLL running, no loads on GPIOs, VDDEXT off, LIN in recessive state (no communication), HSx and LSx enabled but off ¹⁾	P_1.3.1
Current consumption in sleep mode	I_{Sleep}	–	–	15	μA	System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = -40^{\circ}\text{C to } 25^{\circ}\text{C};$ $V_S = 13.5 \text{ V}$	P_1.3.2
Current consumption in sleep mode	I_{Sleep}	–	–	20	μA	UD step only System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = -40^{\circ}\text{C to } 25^{\circ}\text{C};$ $V_S = 13.5 \text{ V}$	P_1.3.102

(表格续下页.....)

表 19 (续) 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Current consumption in sleep mode (extended temperature range)	$I_{\text{Sleep}(T_{\text{ext}}^{\text{end}})}$	–	–	25	μA	System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = 25^\circ\text{C}$ to 85°C ; $V_s = 13.5\text{ V}$	P_1.3.3
Current consumption in sleep mode (extended temperature range)	$I_{\text{Sleep}(T_{\text{ext}}^{\text{end}})}$	–	–	35	μA	UD step only System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = 25^\circ\text{C}$ to 85°C ; $V_s = 13.5\text{ V}$	P_1.3.103
Current consumption in sleep mode (extended voltage and temperature range)	$I_{\text{Sleep}(V_{\text{T_e}}^{\text{xtend}})}$	–	–	30	μA	System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 5.5\text{ V}$ to 18 V	P_1.3.4
Current consumption in sleep mode (extended voltage and temperature range)	$I_{\text{Sleep}(V_{\text{T_e}}^{\text{xtend}})}$	–	–	35	μA	UD step only System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 5.5\text{ V}$ to 18 V	P_1.3.104

(表格续下页.....)

表 19 (续) 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Current consumption in sleep mode (extended voltage and temperature range 2)	$I_{\text{Sleep}(V_{T_e} \text{ extend2})}$	–	–	40	μA	System in sleep mode, microcontroller not powered, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND: $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 3\text{ V}$ to 28 V	P_1.3.7
Current consumption in sleep mode with cyclic wake	I_{Cyclic}	–	–	15	μA	$T_j = -40^\circ\text{C}$ to 25°C ; $V_s = 13.5\text{ V}$; during sleep period	P_1.3.5
Current consumption in sleep mode with cyclic wake	I_{Cyclic}	–	–	20	μA	UD step only $T_j = -40^\circ\text{C}$ to 25°C ; $V_s = 13.5\text{ V}$; during sleep period	P_1.3.105
Current consumption in sleep mode with cyclic wake (extended temperature range)	$I_{\text{Cyclic}(T_{\text{ext}} \text{ end})}$	–	–	30	μA	$T_j = 25^\circ\text{C}$ to 85°C ; $V_s = 13.5\text{ V}$; during sleep period	P_1.3.6
Current consumption in sleep mode with cyclic wake (extended temperature range)	$I_{\text{Cyclic}(T_{\text{ext}} \text{ end})}$	–	–	35	μA	UD step only $T_j = 25^\circ\text{C}$ to 85°C ; $V_s = 13.5\text{ V}$; during sleep period	P_1.3.106
Current consumption in stop mode	I_{stop}	–	65	115	μA	System in stop mode, microcontroller not clocked, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; GPIOs are set to PD enabled in test condition $T_j = -40^\circ\text{C}$ to 85°C	P_1.3.19

(表格续下页.....)

表 19 (续) 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Current consumption in stop mode	I_{stop}	–	90	140	μA	UD step only System in stop mode, microcontroller not clocked, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; GPIOs are set to PD enabled in test condition $T_j = -40^\circ\text{C}$ to 85°C	P_1.3.119
Current consumption in stop mode	$I_{\text{stop_V_exte}}^{\text{nd}}$	–	3.5	4.0	mA	System in stop mode, microcontroller not clocked, wake capable via LIN and MON; GPIOs open (no loads) or connected to GND; $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 3\text{ V}$	P_1.3.21
Current consumption in stop mode with cyclic sense	$I_{\text{stop_CS}}$	–	70	125	μA	System in stop mode (during stop period), microcontroller not clocked, wake capable via LIN and MON; VDDEXT off; High Side off; GPIOs open (no loads) or connected to GND or VDDP; $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 5.5\text{ V}$ to 28 V	P_1.3.20
Current consumption in stop mode with cyclic sense	$I_{\text{stop_CS}}$	–	85	140	μA	UD step only System in stop mode (during stop period), microcontroller not clocked, wake capable via LIN and MON; VDDEXT off; High Side off; GPIOs open (no loads) or connected to GND or VDDP; $T_j = -40^\circ\text{C}$ to 85°C ; $V_s = 5.5\text{ V}$ to 28 V	P_1.3.120

1) 未经过生产测试, 由设计指定。

28.1.4 热阻抗

表 20 热阻抗

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Junction to case	$R_{th(JC)}$	–	6	–	K/W	¹⁾ Measured to exposed pad	P_1.4.1
Junction to ambient	$R_{th(JA)}$	–	33	–	K/W	²⁾	P_1.4.2

1) 未经过生产测试，由设计指定。

2) 根据 JEDEC JESD51-2、-5、-7 标准，在 FR4 双面双层电路板上采用自然对流。电路板：76.2 × 114.3 × 1.5 mm³，含两层内层铜箔（厚度35微米），裸露焊盘下方设有热导通孔阵列连接第一内层铜箔，底层（厚度 70 微米）配备 300 平方毫米散热区域。

28.1.5 时序特性

系统模式之间的转换时间在此处指定。通常，定时器的时间定义是从寄存器 PMCON0 中对应位被置位开始，直至序列终止为止。

表 21 系统时序¹⁾

$V_S = 5.5\text{ V}$ 至 28 V ， $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于地，正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Wake-up over battery	t_{start}	–	–	1	ms	Battery ramp-up till MCU reset is released; $V_S > 3\text{ V}$ and RESET = '1'	P_1.5.1
Sleep-exit	$t_{sleep - exit}$	–	–	2.4	ms	Rising/falling edge of any wake-up signal (LIN, MON) till MCU software running	P_1.5.2
Sleep-entry	$t_{sleep - entry}$	–	–	330	μs	²⁾	P_1.5.3

1) 未经过生产测试，由设计指定。

2) 睡眠期间的唤醒事件被存储，并在达到睡眠模式后导致唤醒。

28.2 电源管理单元(PMU)

本章包括电源管理单元的所有电气特性。

28.2.1 PMU 输入电压 VS

表 22 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Required decoupling capacitance	C_{VS1}	0.1	–	–	μF	¹⁾ ESR < 1 Ω	P_2.1.12
Required buffer capacitance for stability (load jumps)	C_{VS2}	10	–	–	μF	²⁾	P_2.1.13

1) 仅对最小值进行测试。

2) 未经过生产测试, 由设计指定。

28.2.2 PMU I/O 电源参数 VDDP

表 23 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Specified output current	I_{VDDP}	0	–	50	mA	²⁾	P_2.1.1
Required decoupling capacitance	C_{VDDP1}	0.47	–	–	μF	^{3) 4)} ESR < 1 Ω	P_2.1.2
Required buffer capacitance for stability (load jumps)	C_{VDDP2}	0.47	–	1	μF	^{4) 5)}	P_2.1.3
Output voltage including line and load regulation at active mode	V_{DDPOUT}	4.9	5.0	5.1	V	⁶⁾ $I_{load} < 90\text{ mA}$; $V_S > 5.5\text{ V}$	P_2.1.4
Output voltage including line and load regulation at stop mode	$V_{DDPOUTSTOP}$	4.5	5.0	5.25	V	⁶⁾ I_{load} is only internal; $V_S > 5.5\text{ V}$	P_2.1.5
Output drop	$V_{SVDDPout}$	–	50	+400	mV	⁷⁾ $I_{VDDP} = 50\text{ mA}$; $V_S = 3\text{ V}$;	P_2.1.6
Load regulation	$V_{VDDPLOR}$	-50	–	50	mV	2 ... 90 mA; $C = C_{VDDP1} + C_{VDDP2}$	P_2.1.7
Line regulation	$V_{VDDPLIR}$	-50	–	50	mV	$V_S = 5.5 \dots 28\text{ V}$	P_2.1.8

(表格续下页.....)

表 23 (续) 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Overvoltage detection	V_{DDPOV}	5.14	–	5.4	V	$V_s > 5.5\text{ V}$; Overvoltage leads to SUPPLY_NMI	P_2.1.9
Undervoltage reset	V_{DDPUV}	2.55	2.7	2.8	V	–	P_2.1.10
Overcurrent diagnostic	I_{VDDPOC}	90	–	200	mA	Current including VDDC current consumption	P_2.1.11

- 1) 本表中使用的电流为正向电流, 但从 VDDP 引脚流出。
- 2) 端口供电及连接至 VDDP 的其他附加外部负载的指定输出电流, 不包括片上电流消耗。
- 3) 仅对最小值进行测试。
- 4) VDDP 上的总电容不得超过 $2.2\text{ }\mu\text{F}$ 。
- 5) 未经过生产测试, 由设计指定。
- 6) 负载电流包括内部供电。
- 7) 输出压降适用于 I_{VDDP} 加内部电源。

28.2.3 PMU 核心供电参数 VDDC

表 24 电气特性

$V_S = 5.5 \text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Required decoupling capacitance	C_{VDDC1}	0.1	–	–	μF	¹⁾ $\text{ESR} < 1 \Omega$	P_2.2.1
Required buffer capacitance for stability (load jumps)	C_{VDDC2}	0.33	–	1	μF	²⁾	P_2.2.2
Output voltage including line regulation at active mode/stop mode	V_{DDCOUT}	1.44	1.5	1.56	V	$I_{\text{load}} < 40 \text{ mA}$; with setting of VDDC output voltage to 1.5 V in stop mode	P_2.2.3
Load regulation	V_{DDCLOR}	-50	–	50	mV	2 ... 40 mA; $C = C_{VDDC1} + C_{VDDC2}$	P_2.2.4
Line regulation	V_{DDCLIR}	-25	–	25	mV	$V_S = 5.5 \dots 28 \text{ V}$	P_2.2.5
Overvoltage detection	V_{DDCOV}	1.58	–	1.68	V	Overvoltage leads to SUPPLY_NMI	P_2.2.6
Undervoltage reset	V_{DDVUV}	1.10	–	1.19	V	–	P_2.2.7
Overcurrent diagnostic	I_{VDDCOC}	40	–	80	mA	–	P_2.2.8

1) 仅对最小值进行测试。

2) 未经过生产测试, 由设计指定。

28.2.4 VDDEXT 稳压器 5.0 V

表 25 电气特性

$V_S = 5.5 \text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
VDDEXT regulator active mode							
Specified output current	I_{VDDEXT}	0	–	20	mA	Current flowing out of pin VDDEXT	P_2.3.1
Required decoupling capacitance	$C_{VDDEXT1}$	330	–	1000	nF	²⁾ ESR < 1 Ω	P_2.3.2
Required buffer capacitance for stability (load jumps)	$C_{VDDEXT2}$	100	–	1000	nF	³⁾	P_2.3.3
Output voltage including line and load regulation	V_{DDEXT}	4.9	5.0	5.1	V	$I_{load} < 20 \text{ mA}$; $V_s \geq 5.5 \text{ V}$	P_2.3.4
Output drop	$V_s - V_{DDEXT}$		50	+400	mV	$I_{load} < 20 \text{ mA}$; $3 \text{ V} < V_s < 5.0 \text{ V}$	P_2.3.5
Load regulation	$V_{DDEXTLOR}$	-80	–	20	mV	0.01 ... 20 mA; $C = C_{VDDEXT1} + C_{VDDEXT2}$; $V_s \geq 5.5 \text{ V}$	P_2.3.6
Line regulation	$V_{VDDEXTLIR}$	-50	–	50	mV	$V_s = 5.5 \dots 28 \text{ V}$	P_2.3.7
Power supply ripple rejection	$P_{SSRVDDEXT}$	50	–	–	dB	³⁾ $V_s = 13.5 \text{ V}$; $f = 0 \dots 1 \text{ KHz}$; $V_r = 2 \text{ Vpp}$; 0 ... 20 mA	P_2.3.8
Undervoltage shutdown	$V_{VDDEXTUV}$	1.55	1.9	2.2	V	⁴⁾	P_2.3.9
Overcurrent limitation	$I_{VDDEXTOC}$	100	250	380	mA	³⁾	P_2.3.10
VDDEXT output discharge resistance	R_{VDDEXT_DISCHG}	16	20	24	kΩ	–	P_2.3.11
VDDEXT regulator low current mode							
Specified output current	I_{VDDEXT_LCM}	0	–	5	mA	–	P_2.3.28
Output voltage including line and load regulation - load 1	V_{DDEXT_LCM1}	4.6	5.0	5.1	V	$I_{load} \leq 5 \text{ mA}$; $V_s \geq 5.5 \text{ V}$	P_2.3.29
Output drop - load 1	$V_s - V_{DDEXT_LCM1}$	–	50	+300	mV	$I_{load} \leq 5 \text{ mA}$; $3 \text{ V} < V_s \leq 5 \text{ V}$; $C = C_{VDDEXT1} + C_{VDDEXT2XT2}$	P_2.3.30

(表格续下页.....)

表 25 (续) 电气特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Load regulation - load 1	$V_{\text{DDEXTLOR_L}}$ CM1	-250	–	250	mV	0 ... 5 mA; $C = C_{\text{VDDEXT1}} + C_{\text{VDDEXT2}}$; $V_s \geq 5.5\text{ V}$	P_2.3.31
Line regulation - load 1	$V_{\text{VDDEXTLIR_L}}$ CM1	-300	–	300	mV	$I_{\text{load}} \leq 5\text{ mA}$; $V_s = 5.5 \dots 28\text{ V}$	P_2.3.32
Power supply ripple rejection	$P_{\text{SSRVDEXT_LCM}}$	50	–	–	dB	³⁾ $V_s = 13.5\text{ V}$; $f = 0 \dots 1\text{ KHz}$; $V_r = 2\text{ Vpp}$; 0 ... 5 mA	P_2.3.33

- 1) 本表中使用的电流为正向电流, 但从引脚 VDDEXT 流出。
 2) 仅对最小值进行测试。
 3) 未经过生产测试, 由设计指定。
 4) 当条件满足时, 将设置 VDDEXT_CTRL.VDDEXT_UV_IS 位置位。

28.2.5 VPRE 稳压器 (PMU 子块) 参数

PMU VPRE 稳压器作为 VDDP 和 VDDC 电压稳压器的电源。

表 26 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Specified output current	I_{VPRE}	–	–	90	mA	1)	P_2.4.1

1) 未经过生产测试，由设计指定。

28.2.5.1 VPRE调节器的负载分配

下图展示了VPRE调节器的负载分配原理。

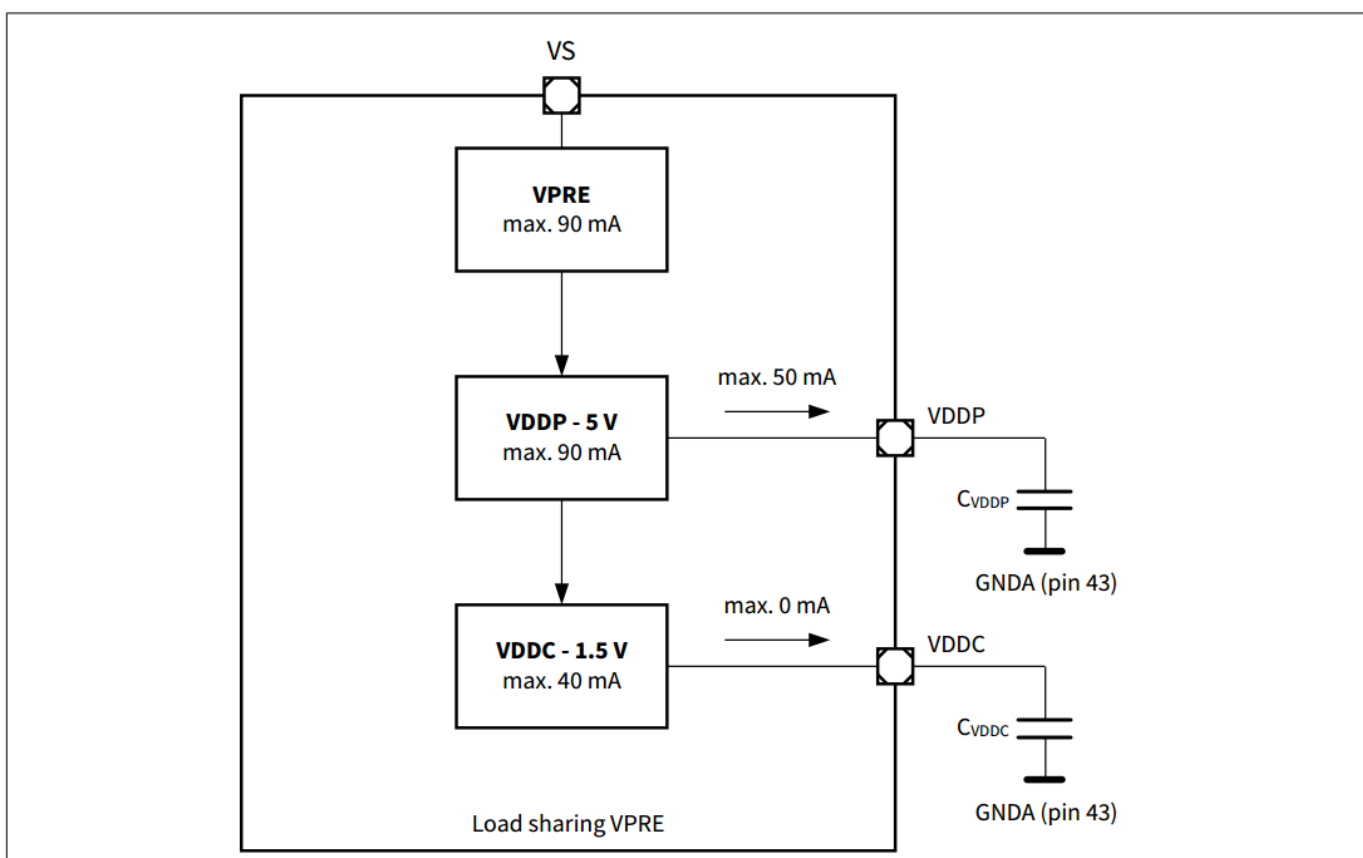


图 35 VPRE 调节器的负载分配

28.2.6 掉电稳压器（PMU子块）参数

PMU 掉电稳压器由两个子块组成：

- 掉电预调节器：VDD5VPD
- 掉电内核调节器：VDD1V5_PD（用于 GPUDATAx_y 寄存器的电源）

两个调节器均用作纯内部电源。下表包含所有相关参数。

表 27 **工作范围**

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Power-on reset threshold	V _{DD1V5_PD_RSTTH}	1.2	–	1.5	V	¹⁾ I _{load} = internal load connected to VDD1V5_PD	P_2.5.1

1) 未经过生产测试，由设计指定。

28.3 系统时钟

28.3.1 振荡器与PLL电气特性

表 28 系统时钟电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
PMU oscillators (power management unit)							
Frequency of LP_CLK	$f_{\text{LP_CLK}}$	17	20	23	MHz	This clock is used at start-up and can be used in case the PLL fails	P_3.1.1
Frequency of LP_CLK2	$f_{\text{LP_CLK2}}$	70	100	130	kHz	This clock is used for cyclic wake	P_3.1.2
CGU oscillator (clock generation unit microcontroller)							
Short term frequency deviation ¹⁾	f_{TRIMST}	-0.4	–	+0.4	%	Within any 100 ms, e.g. after synchronization to a LIN frame (includes PLL accumulated jitter value). Assumption: T_{j} is varying < 30°C.	P_3.1.3
Absolute accuracy	f_{TRIMABSA}	-1.49	–	+1.49	%	Including temperature and lifetime drift and supply variation	P_3.1.4
CGU-OSC start-up time	t_{OSC}	–	–	10	μs	²⁾ Start-up time OSC from sleep mode, power supply stable	P_3.1.5
PLL (clock generation unit microcontroller) ²⁾							
VCO reference frequency range	f_{REF}	0.8	1	1.25	MHz	–	P_3.1.25
VCO frequency (tuning) range	f_{VCO}	75	–	160	MHz	–	P_3.1.21
Input frequency range	f_{OSC}	4	–	6	MHz	³⁾ External input clock mode	P_3.1.6
XTAL1 input freq. range	f_{OSCHP}	4	–	6	MHz	³⁾ External crystal mode	P_3.1.23
Output freq. range	f_{PLL}	15	–	40	MHz	^{3) 4)}	P_3.1.7
Free-running frequency	f_{VCOfree}	–	34	–	MHz	–	P_3.1.24
Input clock high/low time	$t_{\text{high/low}}$	10	–	–	ns	–	P_3.1.8

(表格续下页.....)

表 28 (续) 系统时钟电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Peak period jitter	t_{jp}	-500	–	500	ps	For K = 2; this parameter value is only valid with the combination of an external quartz oscillator (e.g. 5 MHz)	P_3.1.9
Accumulated jitter with external oscillator	$jacc_ext$	–	–	5	ns	For K = 2; this parameter value is only valid with the combination of an external quartz oscillator (e.g. 5 MHz).	P_3.1.10
Lock-in time	t_L	–	–	260	μs	This parameter represents the duration from module power-on to assertion of lock signal	P_3.1.11

- 1) 典型的振荡器频率为 40MHz
- 2) 未经过生产测试, 由设计指定。
- 3) 需要满足 f_{VCO} 和 f_{REF} 的规定限值, 适用 PDIV、NDIV、K2DIV 设置的限制。
- 4) 参数 P_3.1.7 规定了输出频率范围的限值, 且不考虑内部振荡器的绝对精度。

28.3.2 外部时钟参数 XTAL1、XTAL2

表 29 工作范围

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input voltage range limits for signal on XTAL1	V_{IX1_SR}	$-1.7 + V_{DDC}$	–	1.7	V	²⁾	P_3.2.1
Input voltage (amplitude) on XTAL1	V_{AX1_SR}	$0.3 \times V_{DDC}$	–	–	V	³⁾ Peak-to-peak voltage	P_3.2.2
XTAL1 input current	I_{IL}	–	–	± 20	μA	$0\text{ V} < V_{IN} < V_{DDI}$	P_3.2.3
Oscillator frequency - external input clock mode	f_{OSC_EXT}	4	–	6	MHz	⁴⁾ Clock signal	P_3.2.4
Oscillator frequency - external crystal mode	f_{OSC_XTAL}	4	–	6	MHz	Crystal or resonator	P_3.2.5
High time	t_{1_VCOBYP}	6	–	–	ns	^{5) 6)}	P_3.2.6

(表格续下页.....)

表 29 (续) 工作范围

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)¹⁾

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Low time	t_{2_VCOBYP}	6	–	–	ns	5) 6)	P_3.2.7
Rise time	t_{3_VCOBYP}	–	8	8	ns	5) 6)	P_3.2.8
Fall time	t_{4_VCOBYP}	–	8	8	ns	5) 6)	P_3.2.9
High time	t_{1_PLLNM}	12	–	–	ns	6) 7)	P_3.2.10
Low time	t_{2_PLLNM}	12	–	–	ns	6) 7)	P_3.2.11
Rise time	t_{3_PLLNM}	–	7	7	ns	6) 7)	P_3.2.12
Fall time	t_{4_PLLNM}	–	7	7	ns	6) 7)	P_3.2.13

1) 未经过生产测试, 由设计指定。

2) 引脚 XTAL1 上不得出现过载情况。

3) 振幅电压 V_{AX1} 是指偏置电压 V_{OFF} 。该偏置电压在操作期间必须稳定, 并且产生的电压峰值必须保持在由 V_{IX1} 定义的限制内。

4) 适用于矩形全振幅输入信号。

5) 该性能仅对预分频模式 (压控振荡器旁路模式) 有效。

6) 使用 $V_{IN_Low} \equiv 0\text{ V}$ 至 $V_{IN_High} \equiv V_{DDC}$ 的矩形信号进行测试。

7) 此性能仅对 PLL 正常模式有效。

28.4 闪存模块参数

本章包括 64 kB 嵌入式闪存模块的参数。

28.4.1 闪存模块特性

表 30 闪存模块特性¹⁾

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Programming time per 128 byte page	t_{PR}	–	3 ²⁾	3.5	ms	$3\text{ V} < V_S < 28\text{ V}$	P_4.1.1
Erase time per sector/page	t_{ER}	–	4 ²⁾	4.5	ms	$3\text{ V} < V_S < 28\text{ V}$	P_4.1.2
Data retention time	t_{RET}	20	–	–	years	1,000 erase / program cycles	P_4.1.3
Data retention time	t_{RET}	50	–	–	years	1,000 erase / program cycles $T_J = 30^\circ\text{C}$ ³⁾	P_4.1.4
Flash erase endurance for user sectors	N_{ER}	30	–	–	kcycles	Data retention time 5 years	P_4.1.5
Flash erase endurance for security pages ⁴⁾	N_{SEC}	10	–	–	cycles	Data retention time 20 years	P_4.1.6
Drain disturb limit	N_{DD}	32	–	–	kcycles	⁵⁾	P_4.1.7

1) 未经过生产测试, 由设计指定。

2) 编程和擦除时间取决于内部闪存时钟源。控制状态机需要几个系统时钟周期。该要求仅适用于极低的系统频率。

3) 通过寿命试验外推法得出。

4) 温度: 25°C 。

5) 该参数限制了在物理扇区内后续编程操作的次数, 在此期间该扇区内的特定页面不会被 (重新) 编程。如果重复使用字行擦除, 则适用耗尽干扰限制。对于正常的扇区擦除/编程循环, 不会违反这一限制。对于数据扇区, 集成EEPROM仿真固件例程会自动处理此限制; 而在代码扇区 (无EEPROM仿真) 执行字线擦除时, 建议执行基于软件的刷新操作, 该操作可利用集成随机数生成器NVMBRNG以统计方式启动刷新。

28.5 并行端口 (GPIO)

28.5.1 保持电流和强制电流的描述

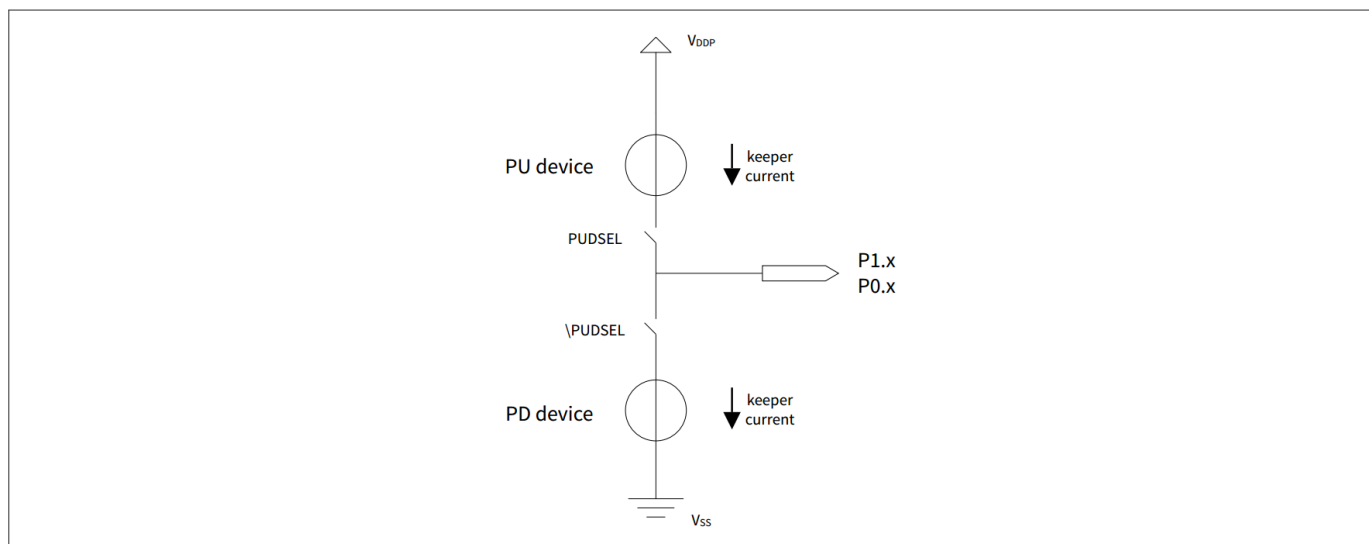


图 36 上拉/下拉器件

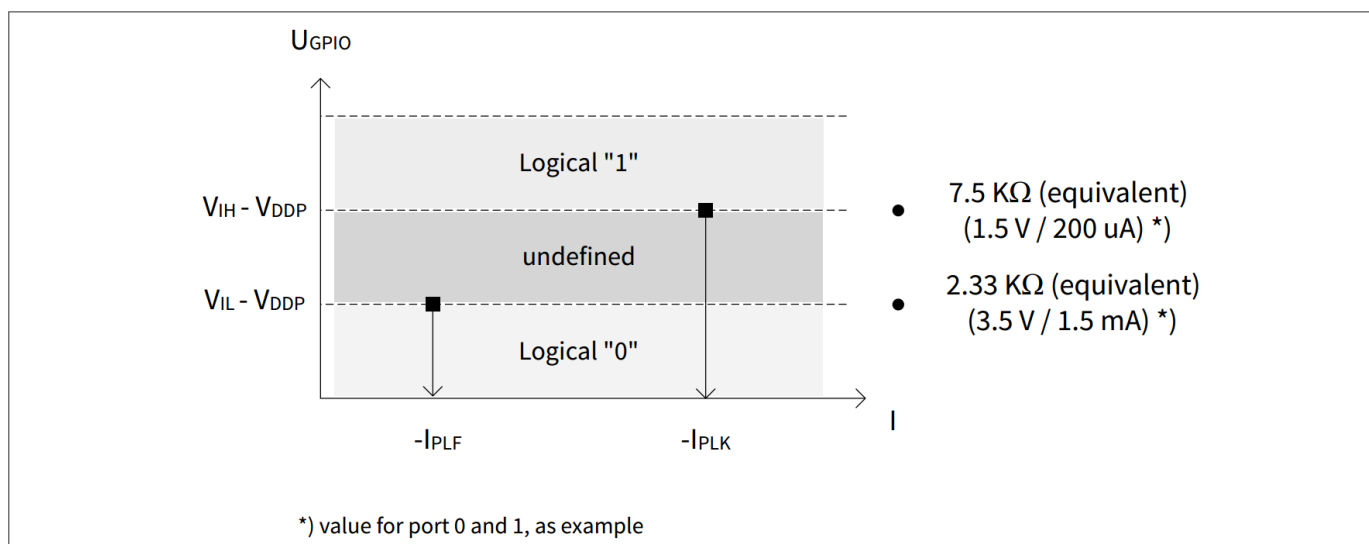


图 37 上拉保持电流和强制电流

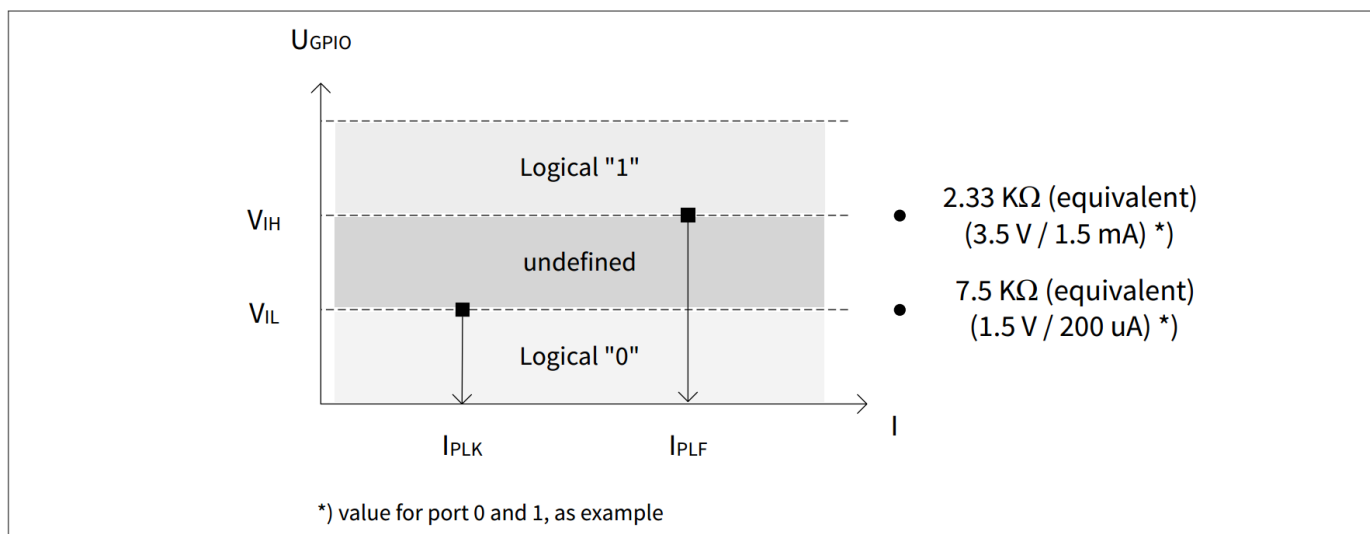


图 38 下拉保持电流和强制电流

28.5.2 直流参数端口0、端口1、TMS、复位

表 31 端口 0、端口 1 的直流特性

$V_s = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL}	-0.3	–	$0.3 \times V_{DDP}$	V	¹⁾ $4.5\text{ V} \leq V_{DDP} \leq 5.5\text{ V}$	P_5.2.1
Input low voltage	V_{IL_extend}	-0.3	$0.42 \times V_{DDP}$	–	V	²⁾ $2.6\text{ V} \leq V_{DDP} < 4.5\text{ V}$	P_5.2.14
Input high voltage	V_{IH}	$0.7 \times V_{DDP}$	–	$V_{DDP} + 0.3$	V	¹⁾ $4.5\text{ V} \leq V_{DDP} \leq 5.5\text{ V}$	P_5.2.2
Input high voltage	V_{IH_extend}	–	$0.52 \times V_{DDP}$	$V_{DDP} + 0.3$	V	²⁾ $2.6\text{ V} \leq V_{DDP} < 4.5\text{ V}$	P_5.2.15
Input hysteresis	HYS	$0.11 \times V_{DDP}$	–	–	V	²⁾ $4.5\text{ V} \leq V_{DDP} \leq 5.5\text{ V}$; Series resistance = $0\ \Omega$	P_5.2.3
Input hysteresis	HYS_{extend}	–	$0.09 \times V_{DDP}$	–	V	²⁾ $2.6\text{ V} \leq V_{DDP} < 4.5\text{ V}$; Series resistance = $0\ \Omega$	P_5.2.16
Output low voltage	V_{OL}	–	–	1.0	V	^{3) 4)} $I_{OL} \leq I_{OLmax}$	P_5.2.4
Output low voltage	V_{OL}	–	–	0.4	V	^{3) 5)} $I_{OL} \leq I_{OLnom}$	P_5.2.5
Output high voltage	V_{OH}	$V_{DDP} - 1.0$	–	–	V	^{3) 4)} $I_{OH} \geq I_{OHmax}$	P_5.2.6
Output high voltage	V_{OH}	$V_{DDP} - 0.4$	–	–	V	^{3) 5)} $I_{OH} \geq I_{OHnom}$	P_5.2.7

(表格续下页.....)

表 31 (续) 端口 0、端口 1 的直流特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input leakage current	I_{OZ2}	-5	–	+5	μA	⁶⁾ $T_j \leq 85^\circ\text{C}$, $0.45\text{ V} < V_{IN} < V_{DDP}$	P_5.2.8
Input leakage current	I_{OZ2}	-15	–	+15	μA	$T_j \leq 150^\circ\text{C}$, $0.45\text{ V} < V_{IN} < V_{DDP}$	P_5.2.9
Pull level keep current ⁷⁾	I_{PLK}	–	–	± 200	μA	⁸⁾ $V_{PIN} \geq V_{IH}$ (up) $V_{PIN} \leq V_{IL}$ (dn)	P_5.2.10
Pull level force current ⁷⁾	I_{PLF}	± 1.5	–	–	mA	⁸⁾ $V_{PIN} \geq V_{IL}$ (up) $V_{PIN} \leq V_{IH}$ (dn)	P_5.2.11
Pin capacitance	C_{IO}	–	–	10	pF	²⁾	P_5.2.12

Reset pin timing

Reset pin input filter time	$T_{\text{filt_RESET}}$	–	5	–	μs	⁹⁾	P_5.2.13
-----------------------------	--------------------------	---	---	---	---------------	---------------	----------

1) 测试电压为 $V_{DDP} = 5\text{ V}$, 指定电压为 $2.55\text{ V} < V_{DDP} < 5.1\text{ V}$ 。

2) 未经过生产测试, 由设计指定。

3) 端口驱动器的最大输出电流取决于选择的输出驱动模式。必须遵守引脚组的限制。

4) 测试电压为 $2.55\text{ V} < V_{DDP} < 5.1\text{ V}$, $I_{OL} = 4\text{ mA}$, $I_{OH} = -4\text{ mA}$, 指定电压为 $2.7\text{ V} < V_{DDP} < 5.1\text{ V}$ 。

5) 一般来说, 随着输出电流的减小, 输出电平接近相应的电源电平 ($V_{OL} \rightarrow GND$, $V_{OH} \rightarrow V_{DDP}$)。测试于 $2.55\text{ V} < V_{DDP} < 5.1\text{ V}$, $I_{OL} = 1\text{ mA}$, $I_{OH} = -1\text{ mA}$ 。

6) 给定值为最坏情况下的数值。在生产测试中, 仅在 125°C 下测试该漏电流; 其他数值通过相关性分析予以保证。降额处理请参照以下说明: 漏电流降额取决于温度 ($T_j = \text{结温 } [^\circ\text{C}]$): $I_{OZ} = 0.05 \times e^{(1.5 + 0.028 \times T_j)} [\mu\text{A}]$ 。例如, 在 95°C 温度下产生的漏电流为 $3.2\text{ }\mu\text{A}$ 。漏电流降额取决于电压电平 ($DV = V_{DDP} - V_{PIN} [\text{V}]$): $I_{OZ} = I_{OZ\text{tempmax}} - (1.6 \times DV) [\mu\text{A}]$ 。此电压降额公式是适用于最高温度的近似值。

7) 负电流表示上拉; 正电流表示下拉。

8) 保持电流: 限制流经该引脚的电流为指示值, 以便启用的上拉器件可以保持默认的引脚电平: $V_{PIN} \geq V_{IH}$ 为上拉; $V_{PIN} \leq V_{IL}$ 为下拉。

强制电流: 向该引脚驱动指定的最小电流, 以更改由启用的上拉装置驱动的默认引脚电平: $V_{PIN} \leq V_{IL}$ 为上拉; $V_{PIN} \geq V_{IH}$ 为下拉。

这些值适用于专用引脚中的固定上拉器件, 以及通用输入输出引脚中用户可选的上拉器件。

9) 该滤波时间及其变化源自时基 $t_{LP_CLK} = 1 / f_{LP_CLK}$ 。

注释: 适用操作条件。

将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平, 还请参考过载电流 I_{OV} 的规格。

表 32 端口输出驱动器的电流限制¹⁾

Port output driver mode	Maximum output current (I_{OLmax} , - I_{OHmax})		Output current (I_{OLnom} , - I_{OHnom})		Number
	$V_{DDP} \geq 4.5 \text{ V}$	$2.55 \text{ V} < V_{DDP} < 4.5 \text{ V}$	$V_{DDP} \geq 4.5 \text{ V}$	$2.55 \text{ V} < V_{DDP} < 4.5 \text{ V}$	
Strong driver	5 mA	3 mA	1.6 mA	1.0 mA	P_5.2.20
Medium driver	3 mA	1.8 mA	1.0 mA	0.8 mA	P_5.2.21
Weak driver	0.5 mA	0.3 mA	0.25 mA	0.15 mA	P_5.2.22

1) 未经过生产测试，由设计指定。

28.5.3 端口2的直流参数

这些参数适用于输入输出电压范围， $2.55 \text{ V} \leq V_{DDP} \leq 5.5 \text{ V}$ 。

注释： 适用操作条件。

将信号电平保持在本表规定的限值内可确保操作不会出现过载情况。对于超出这些规格的信号电平，还请参考过载电流 I_{OV} 的规格。

表 33 端口 2 的直流特性

$V_S = 5.5 \text{ V}$ 至 28 V ， $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压相对于地，正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input low voltage	V_{IL_P2}	-0.3	–	$0.3 \times V_{DDP}$	V	¹⁾ $4.5 \text{ V} \leq V_{DDP} \leq 5.5 \text{ V}$	P_5.3.1
Input low voltage	$V_{IL_P2_ext}$ end	-0.3	$0.42 \times V_{DDP}$	–	V	²⁾ $2.6 \text{ V} \leq V_{DDP} < 4.5 \text{ V}$	P_5.3.8
Input high voltage	V_{IH_P2}	$0.7 \times V_{DDP}$	–	$V_{DDP} + 0.3$	V	¹⁾ $4.5 \text{ V} \leq V_{DDP} \leq 5.5 \text{ V}$	P_5.3.2
Input high voltage	$V_{IH_P2_ext}$ end	–	$0.52 \times V_{DDP}$	$V_{DDP} + 0.3$	V	²⁾ $2.6 \text{ V} \leq V_{DDP} < 4.5 \text{ V}$	P_5.3.9
Input hysteresis	HYS_{P2}	$0.11 \times V_{DDP}$	–	–	V	²⁾ $4.5 \text{ V} \leq V_{DDP} \leq 5.5 \text{ V}$; Series resistance = 0Ω	P_5.3.3
Input hysteresis	HYS_{P2_ext} end	–	$0.09 \times V_{DDP}$	–	V	²⁾ $2.6 \text{ V} \leq V_{DDP} < 4.5 \text{ V}$; Series resistance = 0Ω	P_5.3.10
Input leakage current	I_{OZ1_P2}	-400	–	+400	nA	$4.5 \text{ V} \leq V_{DDP} \leq 5.5 \text{ V}$ $T_j \leq 85^\circ\text{C}$, $0 \text{ V} < V_{IN} < V_{DDP}$	P_5.3.4

(表格续下页.....)

表 33 (续) 端口 2 的直流特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input leakage current (extended temperature range)	$I_{OZ1_P2_T_extend}$	-1	–	+1	uA	$2.6\text{ V} \leq V_{DDP} < 4.5\text{ V}$ $T_j \leq 150^\circ\text{C}$, $0\text{ V} < V_{IN} < V_{DDP}$	P_5.3.11
Pull level keep current ⁴⁾	I_{PLK_P2}	–	–	± 30	μA	³⁾ $V_{PIN} \geq V_{IH}$ (up) $V_{PIN} \leq V_{IL}$ (dn)	P_5.3.5
Pull level force current ⁴⁾	I_{PLF_P2}	± 750	–	–	μA	³⁾ $V_{PIN} \leq V_{IL}$ (up) $V_{PIN} \geq V_{IH}$ (dn)	P_5.3.6
Pin capacitance (digital inputs/outputs)	C_{IO_P2}	–	–	10	pF	²⁾	P_5.3.7

1) 测试电压为 $V_{DDP} = 5\text{ V}$, 指定电压为 $4.9\text{ V} < V_{DDP} < 5.1\text{ V}$ 。

2) 未经过生产测试, 由设计指定。

3) 保持电流: 限制流经该引脚的电流为指示值, 以便启用的上拉器件可以保持默认的引脚电平: $V_{PIN} \geq V_{IH}$ 为上拉; 对于下拉, $V_{PIN} \leq V_{IL}$ 。强制电流: 通过该引脚驱动指示的最小电流, 以改变由启用的上拉器件驱动的默认引脚电平: $V_{PIN} \leq V_{IL}$ 为上拉; $V_{PIN} \geq V_{IH}$ 为下拉。

4) 负电流表示上拉; 正电流表示下拉。

28.5.4 工作条件

为确保 TLE9844-2QX 正确运行, 不得超过以下操作条件。除非另有说明, 以下部分中指定的所有参数均指这些操作条件。

注释: 典型参数值指的是室温和标称供电电压, 最小/最大参数值还包括最小/最大温度和最小/最大供电电压条件。在适用的情况下描述了其他详细信息。

表 34 工作条件参数

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Digital core supply voltage	V_{DDC}	1.35	–	1.6	V	Full active mode	P_5.4.1
Digital supply voltage for IO pads	V_{DDP}	2.55	5.0	5.5	V	¹⁾	P_5.4.2
Digital ground voltage	V_{SS}	0	–	0	V	Reference voltage	P_5.4.3
Overload current	I_{OV}	- 5.0	–	5.0	mA	Per IO pin ^{2) 3)}	P_5.4.4
Overload current	I_{OV}	- 2.0	–	5.0	mA	Per analog input pin ^{2) 3)}	P_5.4.5

(表格续下页.....)

表 34 (续) 工作条件参数

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Overload positive current coupling factor for analog inputs ⁴⁾	K_{OVA}	–	1.0×10^{-6}	1.0×10^{-4}	–	$I_{OV} > 0$ ³⁾	P_5.4.6
Overload negative current coupling factor for analog inputs	K_{OVA}	–	2.5×10^{-4}	1.5×10^{-3}	–	$I_{OV} < 0$ ³⁾	P_5.4.7
Overload positive current coupling factor for digital I/O pins	K_{OVD}	–	1.0×10^{-4}	5.0×10^{-3}	–	$I_{OV} > 0$ ³⁾	P_5.4.8
Overload negative current coupling factor for digital I/O pins	K_{OVD}	–	1.0×10^{-2}	3.0×10^{-2}	–	$I_{OV} < 0$ ³⁾	P_5.4.9
Absolute sum of overload currents	$\Sigma I_{OV} $	–	–	80	mA	³⁾	P_5.4.10

- 1) 垫驱动器、模数转换器和闪存模块的性能取决于 V_{DDP} 。如果外部供电电压 V_{DDP} 低于指定的工作范围, 则必须生成电源复位。否则, 由于寄生效应, 核心电源电压 V_{DDI} 可能会超过其规定的操作范围。电源复位可由片上SWD产生。若禁用SWD, 则必须通过激活PORST输入产生电源复位。
- 2) 如果超出标准工作条件, 即任何引脚上的电压超过规定范围, 即 $V_{OV} > V_{IHmax}$ ($I_{OV} > 0$) 或 $V_{OV} < V_{ILmin}$ ($I_{OV} < 0$), 则会发生过载情况。所有引脚上的输入过载电流的绝对值之和不得超过 50 mA。电源电压必须保持在规定的范围内。过载条件下的正常工作取决于具体应用。引脚 XTAL1 (由 V_{DDIM} 供电) 上不得出现过载情况。
- 3) 未经过生产测试, 由设计指定。
- 4) 通过引脚的过载电流 (I_{OV}) 将误差电流 (I_{INJ}) 注入到相邻的引脚中。该误差电流会添加到该引脚的漏电流 (I_{OZ}) 中。误差电流的值取决于过载电流, 并由过载耦合因子 K_{OV} 定义。注入误差电流的极性与产生它的过载电流的极性相反。通过引脚的总电流为 $|I_{TOT}| = |I_{OZ}| + (|I_{OV}| \times K_{OV})$ 。额外的误差电流可能会使模拟输入上的输入电压失真。

28.6 LIN收发器 (TRX)

28.6.1 收发器的一般特性

表 35 总线接口直流特性

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Input leakage current	$I_{BUS_PAS_d}$ om	-1			mA	$V_S = 18\text{ V}$ $V_{BUS} = 0\text{ V}$ Network is in dominant state. Transmitter output is recessive state	P_6.1.13
Input leakage current	$I_{BUS_PAS_r}$ ec			20	μA	$V_S = 8\text{ V}$ $V_{BUS} = 18\text{ V}$ Network is in recessive state. Transmitter output is recessive state	P_6.1.14
Leakage current (loss of ground)	$I_{BUS_NO_G}$ ND	-1	-0.45	0	mA	$V_{BUS} = -12\text{ V}$ $V_S = 0\text{ V}$	P_6.1.11
Leakage current (loss of supply)	$I_{BUS_NO_B}$ AT		10	20	μA	$V_{BUS} = 18\text{ V}$ $V_S = 0\text{ V}$	P_6.1.12
Network pull-up resistance (responder node)	$R_{BUS,resp}$ $nder$	20	30	47	k Ω	1)	P_6.1.15
Transceiver input pin capacity	C_{LIN_IN}		15	30	pF	2)	P_6.1.36

1) 上拉电阻在睡眠模式下 (同样) 存在。

2) 未经过生产测试, 由设计指定。

表 36 热关断

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Thermal shutdown temperature	T_{JSD}	160	180	200	$^\circ\text{C}$	1)	P_6.1.38
Thermal shutdown hysteresis	ΔT		10		$^\circ\text{C}$	1)	P_6.1.39

1) 未经过生产测试, 由设计指定。

28.6.1.1 发射器接口

表 37 直流电气特性

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Network recessive output voltage (transmitter)	$V_{BUS,ro}$	$0.8 \cdot V_S$		V_S	V	TXD input high; LIN pin unconnected	P_6.1.9
Network short circuit current	$I_{BUS,sc}$	40	100	150	mA	$V_{BUS} = 18\text{ V}$ Current limit for transmitter dominant state	P_6.1.10

表 38 时序特性

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
TxD dominant timeout	$t_{timeout}$	6	12	20	ms	Transmitter dominant state	P_6.1.37

28.6.1.2 接收器接口

表 39 直流电气特性

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于接地, 正向电流流入引脚 (除非另有说明)。收发器配置为正常斜率模式操作

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Receiver node dominant threshold voltage	$V_{th_dom_LIN}$	$0.4 \cdot V_S$			V		P_6.1.1
Receiver dominant state	V_{BUSdom_LIN}	-27		$0.4 \cdot V_S$	V		P_6.1.2
Receiver node recessive threshold voltage	$V_{th_rec_LIN}$			$0.6 \cdot V_S$	V		P_6.1.3
Receiver recessive state	V_{BUSrec_LIN}	$0.6 \cdot V_S$		$1.15 \cdot V_S$	V		P_6.1.4
Receiver center voltage	V_{BUS_CNT}	$0.475 \cdot V_S$		$0.525 \cdot V_S$	V	1)	P_6.1.5
Receiver hysteresis	V_{HYS_LIN}	$0.07 \cdot V_S$		$0.175 \cdot V_S$	V	2)	P_6.1.6

1) $V_{BUS_CNT} = 0.5 \times (V_{BUSdom} + V_{BUSrec})$

2) $V_{HYS} = V_{BUSrec} - V_{BUSdom}$

表 40 唤醒静态特性

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Wake-up threshold voltage	$V_{BUS, wk}$	$0.4 \cdot V_S$	$0.5 \cdot V_S$	$0.6 \cdot V_S$	V		P_6.1.7

28.6.2 LIN 收发器

28.6.2.1 接收器接口

表 41 时序要求

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			

Transceiver Normal Slope mode

Propagation delay network dominant to RxD LOW	$t_{d(L),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.16
Propagation delay network recessive to RxD HIGH	$t_{d(H),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.17
Receiver delay symmetry	$t_{sym,R}$	-2		2	μs	LIN Spec ISO17987-4 (Param. 32) ¹⁾	P_6.1.18

Transceiver Low Slope mode

Propagation delay network dominant to RxD LOW	$t_{d(L),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.21
Propagation delay network recessive to RxD HIGH	$t_{d(H),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.22
Receiver delay symmetry	$t_{sym,R}$	-2		2	μs	LIN Spec ISO17987-4 (Param. 32) ¹⁾	P_6.1.23

Transceiver Fast Slope mode

Propagation delay network dominant to RxD LOW	$t_{d(L),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.26
Propagation delay network recessive to RxD HIGH	$t_{d(H),R}$	0.1	1	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.27
Receiver delay symmetry	$t_{sym,R}$	-2		2	μs	LIN Spec ISO17987-4 (Param. 32) ¹⁾	P_6.1.42

(表格续下页.....)

表 41 (续) 时序要求

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Transceiver Flash mode							
Propagation delay network dominant to RxD LOW	$t_{d(L),R}$	0.1	0.5	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.31
Propagation delay network recessive to RxD HIGH	$t_{d(H),R}$	0.1	0.5	6	μs	LIN Spec ISO17987-4 (Param. 31)	P_6.1.32
Receiver delay symmetry	$t_{sym,R}$	-1		2	μs	LIN Spec ISO17987-4 (Param. 32) ¹⁾	P_6.1.44

1) $t_{sym,R} = t_{d(L),R} - t_{d(H),R}$

表 42 唤醒时序特性

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Wake-up dominant pulse width	$t_{WK,bus}$	30		150	μs		P_6.1.8

28.6.2.2 发射器接口

表 43 时序特性

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Transceiver Normal Slope mode							
Duty-cycle D1: Normal Slope mode (for worst case at 20 kBit/s)	t_{duty1}	0.396			-	$7\text{ V} \leq V_S \leq 18\text{ V}; t_{bit} = 52\text{ }\mu\text{s};$ $TH_{Rec(max)} = 0.744 \times V_S;$ $TH_{Dom(max)} = 0.581 \times V_S;$ ^{1);2)}	P_6.2.52
Duty-cycle D1: Normal Slope mode (for worst case at 20 kBit/s)	t_{duty1}	0.396			-	$5.5\text{ V} \leq V_S \leq 7\text{ V}; t_{bit} = 52\text{ }\mu\text{s};$ $TH_{Rec(max)} = 0.665 \times V_S;$ $TH_{Dom(max)} = 0.499 \times V_S;$ ^{1);2)}	P_6.2.53
Duty-cycle D2: Normal Slope mode (for worst case at 20 kBit/s)	t_{duty2}			0.581	-	$7.6\text{ V} \leq V_S \leq 18\text{ V}; t_{bit} = 52\text{ }\mu\text{s}; TH_{Rec(min)} = 0.422 \times V_S;$ $TH_{Dom(min)} = 0.284 \times V_S;$ ^{3);2)}	P_6.2.54

(表格续下页.....)

表 43 (续) 时序特性

$V_S = 5.5\text{ V}$ 至 18 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or condition	P-Number
		Min.	Typ.	Max.			
Duty-cycle D2: Normal Slope mode (for worst case at 20 kBit/s)	t_{duty2}			0.581	-	$6.1\text{ V} \leq V_S \leq 7.6\text{ V}$; $t_{bit} = 52\text{ }\mu\text{s}$; $TH_{Rec(min)} = 0.496 \times V_S$; $TH_{Dom(min)} = 0.361 \times V_S$; 3); 2)	P_6.2.55
Duty-cycle D3: Normal Slope mode (for worst case at 10.4 kBit/s)	t_{duty3}	0.417			-	$7\text{ V} \leq V_S \leq 18\text{ V}$; $t_{bit} = 96\text{ }\mu\text{s}$; $TH_{Rec(max)} = 0.778 \times V_S$; $TH_{Dom(max)} = 0.616 \times V_S$; 1); 2)	P_6.2.56
Duty-cycle D3: Normal Slope mode (for worst case at 10.4 kBit/s)	t_{duty3}	0.417			-	$5.5\text{ V} \leq V_S \leq 7\text{ V}$; $t_{bit} = 96\text{ }\mu\text{s}$; $TH_{Rec(max)} = 0.665 \times V_S$; $TH_{Dom(max)} = 0.499 \times V_S$; 1); 2)	P_6.2.57
Duty-cycle D4: Normal Slope mode (for worst case at 10.4 kBit/s)	t_{duty4}			0.590	-	$7.6\text{ V} \leq V_S \leq 18\text{ V}$; $t_{bit} = 96\text{ }\mu\text{s}$; $TH_{Rec(min)} = 0.389 \times V_S$; $TH_{Dom(min)} = 0.251 \times V_S$; 3); 2)	P_6.2.58
Duty-cycle D4: Normal Slope mode (for worst case at 10.4 kBit/s)	t_{duty4}			0.590	-	$6.1\text{ V} \leq V_S \leq 7.6\text{ V}$; $t_{bit} = 96\text{ }\mu\text{s}$; $TH_{Rec(min)} = 0.496 \times V_S$; $TH_{Dom(min)} = 0.361 \times V_S$; 3); 2)	P_6.2.59

Transceiver Fast Slope mode

Duty-cycle D5: Fast Slope mode (for worst case at 62.5 kBit/s)	t_{duty5}	0.395			-	$5.5\text{ V} \leq V_S \leq 18\text{ V}$. $t_{bit} = 16\text{ }\mu\text{s}$. $TH_{Rec(max)} = 0.744 \times V_S$. $TH_{Dom(max)} = 0.581 \times V_S$; 1); 4)	P_6.1.29
Duty-cycle D6: Fast Slope mode (for worst case at 62.5 kBit/s)	t_{duty6}			0.581	-	$5.5\text{ V} \leq V_S \leq 18\text{ V}$; $t_{bit} = 16\text{ }\mu\text{s}$; $TH_{Rec(min)} = 0.422 \times V_S$; $TH_{Dom(min)} = 0.284 \times V_S$; 3); 4)	P_6.1.30

Transceiver Flash mode

Duty-cycle D7: Flash mode (for worst case at 115 kBit/s)	t_{duty7}	0.42		0.55	-	$V_S = 13.5\text{ V}$; $T_J = 25^\circ\text{C}$; $t_{bit} = 8.7\text{ }\mu\text{s}$; $TH_{Rec(max)} = 0.6 \times V_S$; $TH_{Dom(max)} = 0.4 \times V_S$; 1); 5)	P_6.2.60
--	-------------	------	--	------	---	--	----------

1) $Duty-cycle = t_{bus_rec(min)} / (2 \times t_{bit})$

2) 收发器配置为在正常斜率模式下进行 LIN 操作。LIN 网络负载条件:

- $C_{BUS} = 1\text{ nF}$, $R_{BUS(PULL-UP)} = 1\text{ k}\Omega$

- $C_{BUS} = 6.8 \text{ nF}$, $R_{BUS(PULL-UP)} = 660 \Omega$

- $C_{BUS} = 10 \text{ nF}$, $R_{BUS(PULL-UP)} = 500 \Omega$

LIN Spec ISO17987-4

3) $Duty-cycle = t_{bus_rec(max)} / (2 \times t_{bit})$

4) 收发器配置为在快速斜率模式下进行 LIN 操作。LIN 网络负载条件：

- $C_{BUS} = 220 \text{ pF}$, $R_{BUS(PULL-UP)} = 500 \Omega$

5) 收发器配置为在闪光模式下进行 LIN 操作。LIN 网络负载条件：

- $C_{BUS} = 220 \text{ pF}$, $R_{BUS(PULL-UP)} = 500 \Omega$

28.6.2.3 LIN 波形图

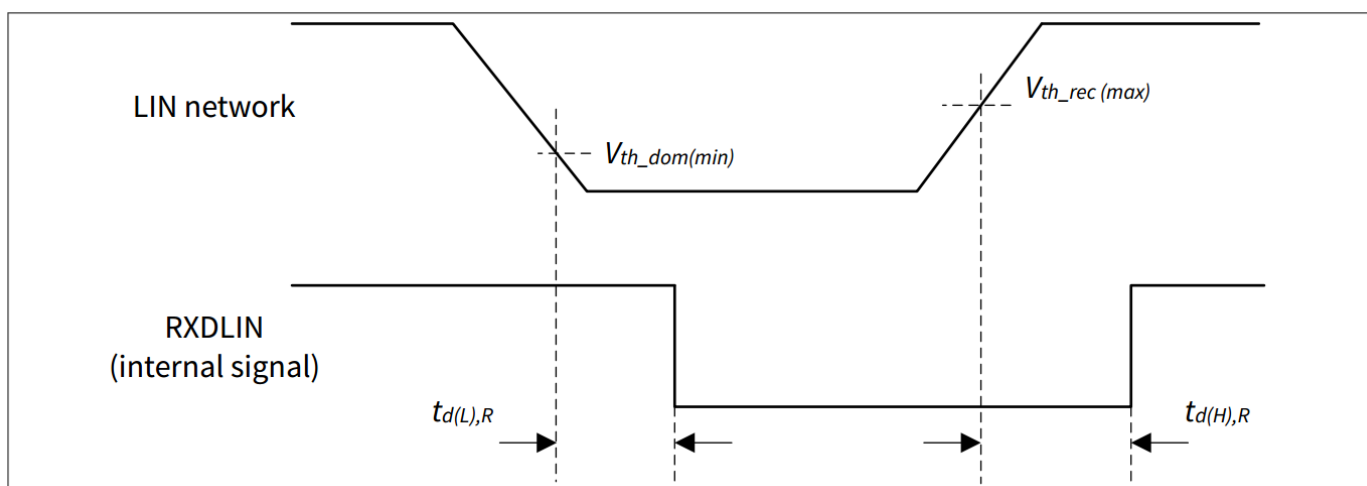


图 39 接收器传输延迟

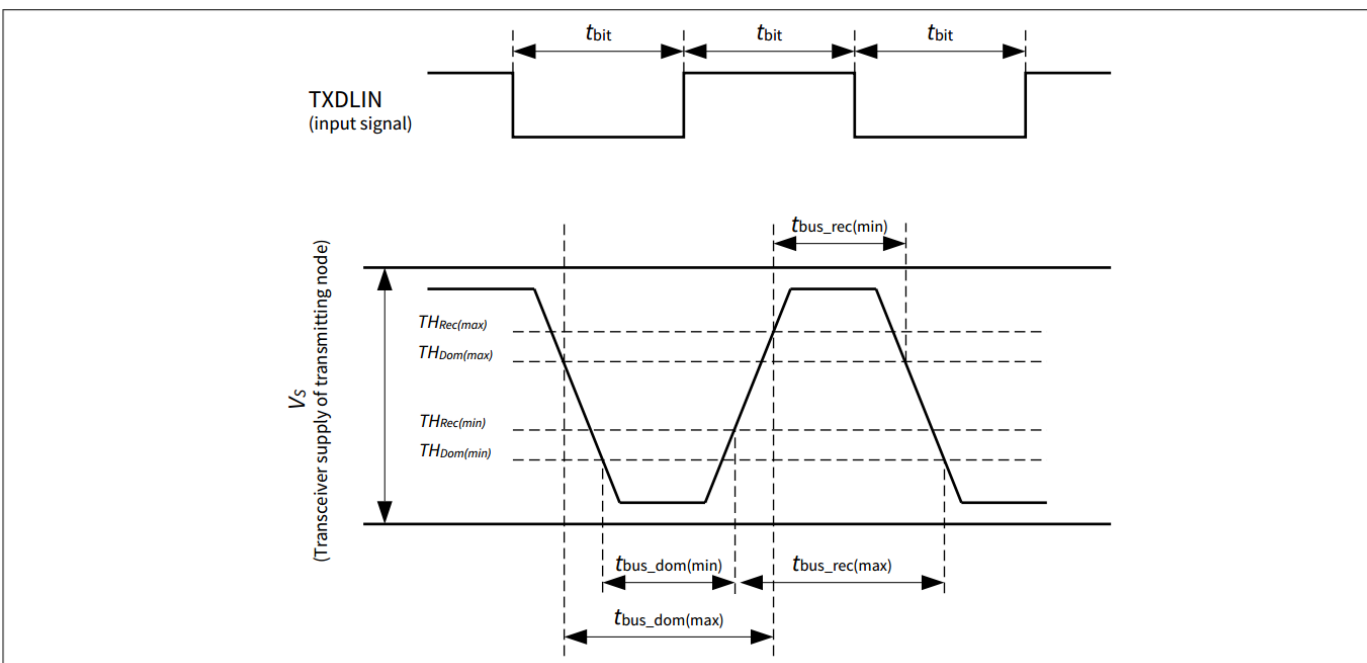


图 40 LIN 网络时序参数

28.6.3 参数测试电路

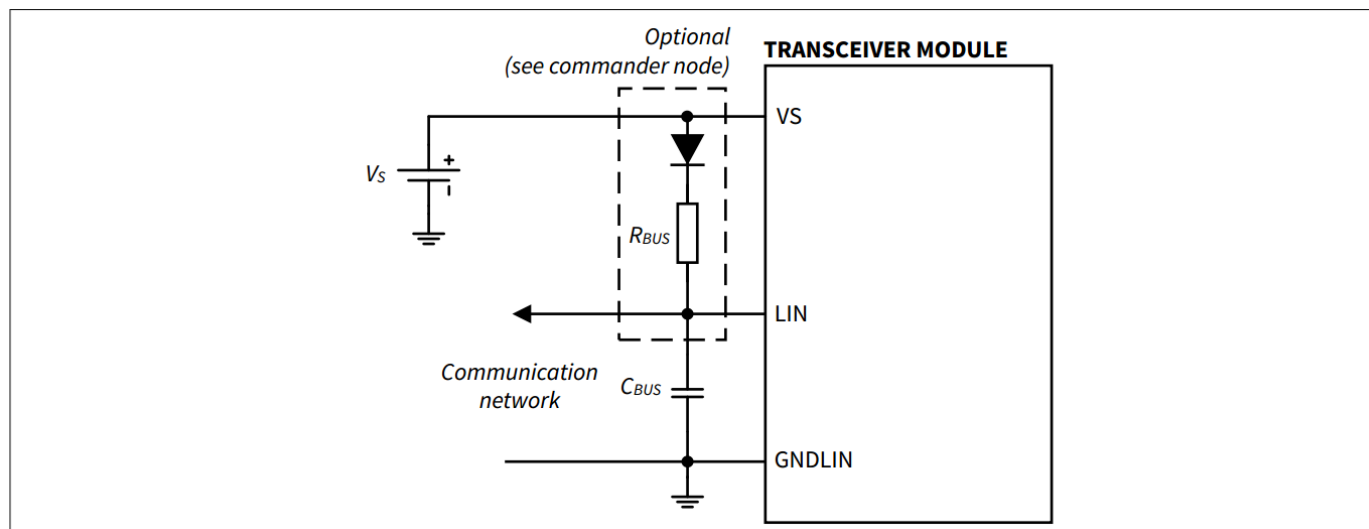


图 41 参数测试电路

28.7 高速同步串行接口

28.7.1 SSC时序

下表提供了TLE9844-2QX中的SSC定时参数。

表 44 SSC指挥模式时序 (适用操作条件; $C_L = 50 \text{ pF}$)

$V_S = 5.5 \text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
SCLK clock period	t_0	¹⁾ $2 \times T_{SSC}$	–	–		²⁾ $V_{DDP} > 2.7 \text{ V}$	P_7.1.1
CTRR delay from SCLK	t_1	10	–	–	ns	²⁾ $V_{DDP} > 2.7 \text{ V}$	P_7.1.2
CRRT setup to SCLK	t_2	10	–	–	ns	²⁾ $V_{DDP} > 2.7 \text{ V}$	P_7.1.3
CRRT hold from SCLK	t_3	15	–	–	ns	²⁾ $V_{DDP} > 2.7 \text{ V}$	P_7.1.4

1) $T_{SSCmin} = T_{CPU} = 1/f_{CPU}$ 。如果 $f_{CPU} = 20 \text{ MHz}$, 则 $t_0 = 100 \text{ ns}$ 。 T_{CPU} 是 CPU 时钟周期。

2) 未经过生产测试, 由设计指定。

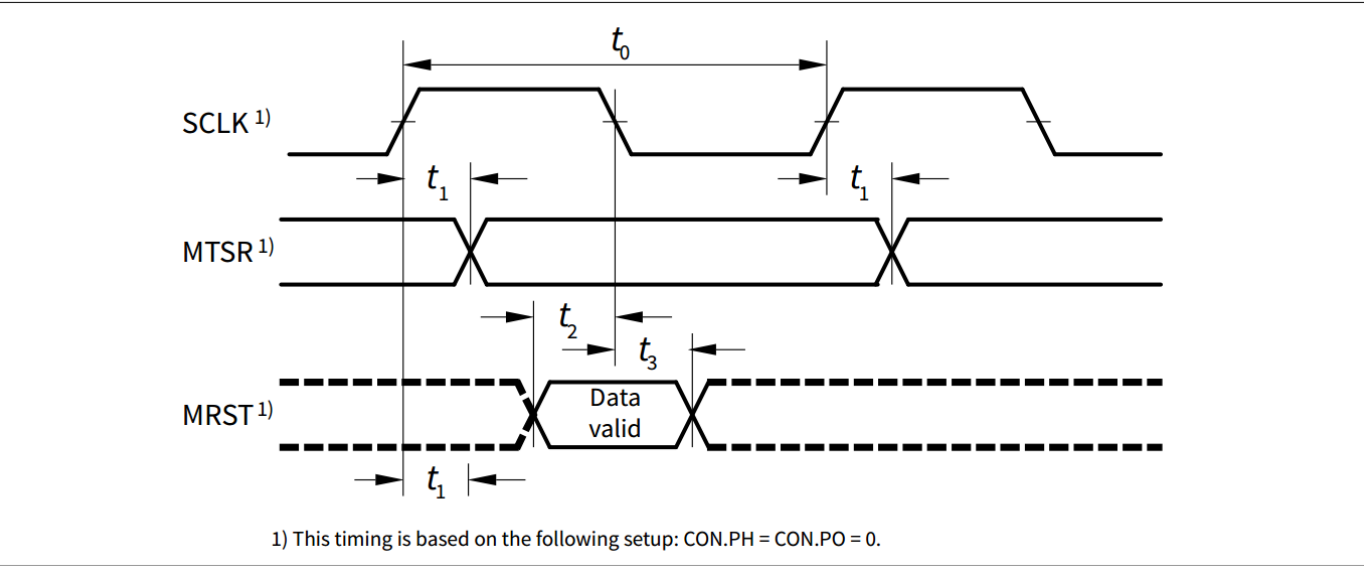


图 42 SSC 指挥模式时序

28.8 测量单元

28.8.1 电气特性

表 45 供电电压信号调节

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			

ADC1 - battery/supply voltage measurement $V_{\text{BAT_SENSE}} / V_S$

Input to output voltage attenuation: $V_{\text{BAT_SENSE}} / V_S$	$ATT_{V_{\text{BAT_SENSE}}},$ ATT_{V_S}	–	0.047	–		–	P_8.1.10
Nominal operating input voltage range $V_{\text{BAT_SENSE}} / V_S$	$V_{\text{BAT_SENSE}},$ range, V_S , range	0	–	25.77	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.11
Accuracy of $V_{\text{BAT_SENSE}} / V_S$ after calibration - with IIR filter	$\Delta V_{\text{BAT_SENSE_IIR}},$ V_{S_IIR}	-200	–	200	mV	$V_S = 5.5\text{ V}$ to 18 V , $f_{\text{ADC1}} = f_{\text{sys_max}}$ ADC1_FILTCOEFF0_11.C Hx = 11'b	P_8.1.12
Accuracy of $V_{\text{BAT_SENSE}} / V_S$ after calibration	$\Delta V_{\text{BAT_SENSE}},$ V_S	-300	–	300	mV	$V_S = 5.5\text{ V}$ to 18 V , $f_{\text{ADC1}} = f_{\text{sys_max}}$	P_8.1.36

ADC1 - monitoring input voltage measurement V_{MONx}

Input to output voltage attenuation: V_{MONx}	$ATT_{V_{\text{MONx}}}$	–	0.039	–		–	P_8.1.13
Nominal operating input voltage range V_{MONx}	$V_{\text{MONx,range}}$	0	–	31.05	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.14
Accuracy of V_{MONx} sense after calibration - with IIR filter	$\Delta V_{\text{MONx_IIR}}$	-241	–	241	mV	$V_S = 5.5\text{ V}$ to 18 V , $f_{\text{ADC1}} = f_{\text{sys_max}}$ ADC1_FILTCOEFF0_11.C Hx = 11'b	P_8.1.33
Accuracy of V_{MONx} sense after calibration - Reduced Operating Range - with IIR filter	$\Delta V_{\text{MONx_ROR_IIR}}$	-170	–	170	mV	²⁾ $V_S = 5.5\text{ V}$ to 18 V , $V_{\text{MONx,range}} = 0\text{ V}$ to 12 V , $f_{\text{ADC1}} = f_{\text{sys_max}}$, ADC1_FILTCOEFF0_11.C Hx = 11'b	P_8.1.20
Accuracy of V_{MONx} sense after calibration	ΔV_{MONx}	-361	–	361	mV	²⁾ $V_S = 5.5\text{ V}$ to 18 V , $f_{\text{ADC1}} = f_{\text{sys_max}}$	P_8.1.37

(表格续下页.....)

表 45 (续) 供电电压信号调节

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
ADC1 - port 2.x voltage measurement $V_{2.x}$							
Input to output voltage attenuation: $V_{\text{Port2.x}}$	$ATT_{2.x}$	–	0.219	–		–	P_8.1.15
Nominal operating input voltage range $V_{\text{Port2.x}}$	$V_{\text{Port2.x,range}}$	0	–	5.53 ¹⁾	V	²⁾ max. value corresponds to typ. ADC full scale input;	P_8.1.16
Accuracy of $V_{\text{Port2.x}}$ sense after calibration - with IIR filter	$\Delta V_{\text{Port2.x_IIR}}$	-43	–	43	mV	$V_s = 5.5\text{ V}$ to 18 V , $f_{\text{ADCI}} = f_{\text{sys_max}}$ ADC1_FILTcoeff0_11.C Hx = 11'b	P_8.1.34
Accuracy of $V_{\text{Port2.x}}$ sense after calibration	$\Delta V_{\text{Port2.x}}$	-67	–	67	mV	$V_s = 5.5\text{ V}$ to 18 V , $f_{\text{ADCI}} = f_{\text{sys_max}}$	P_8.1.38
ADC2 - supply voltage measurement V_s							
Input to output voltage attenuation: V_s	$ATT_{V_s_ADC2}$	–	0.039	–		–	P_8.1.1
Nominal operating input voltage range V_s	V_{s_ADC2}	3	–	31.05	V	²⁾ max. value corresponds to typ. ADC full scale input; $3\text{ V} < V_s < 28\text{ V}$	P_8.1.2
Accuracy of V_s after calibration	ΔV_{s_ADC2}	-270	–	270	mV	$V_s = 5.5\text{ V}$ to 18 V , $T_j = -40 \dots 125^\circ\text{C}$	P_8.1.3
ADC2 - VDDEXT voltage measurement V_{DDEXT}							
Input to output voltage attenuation: V_{DDEXT}	$ATT_{V_{\text{DDEXT}}}$	–	0.203	–		–	P_8.1.17
Nominal operating input voltage range V_{DDEXT}	$V_{\text{DDEXT,range}}$	0	–	5.96	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.18
ADC2 - pad supply voltage measurement V_{VDDP}							
Input-to-output voltage attenuation: V_{VDDP}	$ATT_{V_{\text{VDDP}}}$	–	0.203	–		–	P_8.1.4

(表格续下页.....)

表 45 (续) 供电电压信号调节

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Nominal operating input voltage range V_{DDP}	$V_{DDP,range}$	0	–	5.96	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.5

ADC2 - reference voltage measurement V_{BG}

Input-to-output voltage attenuation: V_{BG}	ATT_{VBG}	–	0.75	–		–	P_8.1.6
Nominal operating input voltage range V_{BG}	$V_{BG,range}$	0.8	–	$V_{DDC} - 0.1\text{ V}$	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.7
Value of ADC2- V_{BG} measurement after calibration	V_{BG_PMU}	0.90	1.0	1.1	V	–	P_8.1.39

ADC2 - core supply voltage measurement V_{DDC}

Input-to-output voltage attenuation: V_{DDC}	ATT_{VDDC}	–	0.75	–		–	P_8.1.8
Nominal operating input voltage range V_{DDC}	$V_{DDC,range}$	0.6	–	$V_{DDC} + 0.1\text{ V}$	V	²⁾ max. value corresponds to typ. ADC full scale input	P_8.1.9

1) 由于内部静电放电钳位结构将电压限制在最大值, 因此未达到典型的理论满量程 5.2 V 。

2) 未经过生产测试, 由设计指定。

28.8.2 中央温度传感器模块

28.8.2.1 电气特性

表 46 温度传感器模块的电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Output voltage V_{TEMP} at $T_0 = 0^\circ\text{C}$ (273 K) ²⁾	a	–	0.628	–	V	$T_0 = 0^\circ\text{C}$ (273 K)	P_8.2.1
Temperature sensitivity b ²⁾	b	–	2.31	–	mV/K	–	P_8.2.2
Accuracy_1	Acc_1	-10	–	10	$^\circ\text{C}$	¹⁾ $-40^\circ\text{C} < T_J < 85^\circ\text{C}$	P_8.2.3
Accuracy_2	Acc_2	-15	–	15	$^\circ\text{C}$	$125^\circ\text{C} < T_J < 175^\circ\text{C}$	P_8.2.4
Accuracy_3	Acc_3	-5	–	5	$^\circ\text{C}$	²⁾ $85^\circ\text{C} < T_J < 125^\circ\text{C}$	P_8.2.5

1) 基于片上温度校准测量的精度。

2) 未经过生产测试, 由设计指定。

28.9 ADC1 (10 位)

28.9.1 ADC1 基准电压

表 47 DC 规格

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Reference voltage	V_{BG}	-1%	1.211	+1%	V	–	P_9.1.10
Temperature drift	ΔV_{BG}	-1%	–	+1%	V	–	P_9.1.11

28.9.2 ADC1 (10位) 的电气特性

这些参数描述了实现最佳 ADC 性能的条件。

注释: 适用操作条件。

表 48 模数转换器特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$; 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Analog clock frequency	f_{ADCI}	5	–	40	MHz	¹⁾	P_9.2.1
DNL error	EA_{DNL}	–	–	± 2	LSB	²⁾	P_9.2.8
INL error	EA_{INL}	–	–	± 1.5	LSB	–	P_9.2.9
Gain error	EA_{GAIN}	–	–	± 0.54	% of FSR ³⁾	⁴⁾ calibrated; gain error is calibrated by implemented calibration unit	P_9.2.10
Offset error	EA_{OFF}	–	–	± 2.5	LSB	⁴⁾ calibrated; offset error is calibrated by implemented calibration unit	P_9.2.11
Total unadjusted error	EA_{TUE}	–	–	± 8	LSB	Already calibrated	P_9.2.33
Total unadjusted error, without filter	$EA_{\text{TUE_nofilt}}$	–	–	± 12.4	LSB	⁴⁾ already calibrated, without filter	P_9.2.35

(表格续下页.....)

表 48 (续) 模数转换器特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$; 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Input referred noise	$V_{\text{Noise_LSB}}$	–	–	1.5	LSB rms	4)	P_9.2.34
Cross-coupling attenuation between LV channels	EA_{CCOUP}	–	± 1	± 2	LSB	4)	P_9.2.12
Input capacitance of a HV analog input	$C_{\text{AINT_HVI}}$	–	–	200	fF	4)	P_9.2.13
Input capacitance of a LV analog input	$C_{\text{AINT_LVI}}$	–	–	200	fF	4)	P_9.2.19

1) 选择外设频率和预分频器设置时, f_{ADCI} 的限值不得超过。

2) 此参数是在禁用硬件校准的情况下测量的。

3) 该增益误差由英飞凌生产线末端校准。

4) 未经过生产测试。

28.10 高压监控输入

28.10.1 电气特性

表 49 监测输入电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
MON input pin characteristics							
Wake-up/monitoring threshold voltage	V_{MONth}	$0.4 \times V_s$	$0.5 \times V_s$	$0.6 \times V_s$	V	Without external serial resistor R_s (with R_s : $dV = I_{\text{PD/PU}} \times R_s$);	P_10.1.1
Threshold hysteresis	$V_{\text{MONth,hy}_s}$	$0.015 \times V_s$	$0.06 \times V_s$	$0.10 \times V_s$	V	In all modes; without external serial resistor R_s (with R_s : $dV = I_{\text{PD/PU}} \times R_s$); $5.5 \text{ V} < V_s < 18 \text{ V}$	P_10.1.2
Threshold hysteresis-extended supply voltage range	$V_{\text{MONth,hy}_s\text{-VS_extended}}$	$0.02 \times V_s$	$0.06 \times V_s$	$0.12 \times V_s$	V	In all modes; without external serial resistor R_s (with R_s : $dV = I_{\text{PD/PU}} \times R_s$); $18 \text{ V} < V_s < 28 \text{ V}$	P_10.1.7
Pull-up current	$I_{\text{PU, MON}}$	-20	-10	-5	μA	$0.6 \times V_s$	P_10.1.3
Pull-down current	$I_{\text{PD, MON}}$	5	10	20	μA	$0.4 \times V_s$	P_10.1.4
Input leakage current	$I_{\text{LK, MON}}$	-2	–	2	μA	$0 \text{ V} < V_{\text{MON_IN}} < 28 \text{ V}$	P_10.1.5
Timing							
Wake-up filter time	$t_{\text{FT, MON}}$	–	20	–	μs	1)	P_10.1.6

1) 在上拉、下拉电流已禁用的前提下。

28.11 高边开关

28.11.1 电气特性

表 50 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
PWM frequency of HS with slew rate control	$f_{\text{PWM_W_SR}}$	0	–	10	kHz	¹⁾ Frequency must be configured in the PWM generator	P_11.1.1
PWM frequency of HS without slew rate control	$f_{\text{PWM_W/O_SR}}$	0	–	25 ²⁾	kHz	¹⁾ Frequency must be configured in the PWM generator	P_11.1.2
Output HS							
ON-state resistance	R_{ON}	2	10	18	Ω	$5.5\text{ V} < V_S < 28\text{ V}$ $I_{\text{DS}} = 100\text{ mA}$ $T_j = 25^\circ\text{C}$	P_11.1.3
Output leakage current	I_{leakage}	–	–	2	μA	Output OFF $0\text{ V} < V_{\text{XLO}} < V_S$ $T_j \leq 150^\circ\text{C}$	P_11.1.4
Output slew rate (rising) with slow slew rate setting (slew rate 1)	$SR_{\text{raise_SR1}}$	1	–	10	$\text{V}/\mu\text{s}$	20% to 80% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$ ¹⁾	P_11.1.5
Output slew rate (falling) with slow slew rate setting (slew rate 1)	$SR_{\text{fall_SR1}}$	-10	–	-1	$\text{V}/\mu\text{s}$	80% to 20% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$ ¹⁾	P_11.1.6
Output slew rate (rising) with fast slew rate setting (slew rate 2)	$SR_{\text{raise_SR2}}$	18.0	–	55.0	$\text{V}/\mu\text{s}$	20% to 80% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$ ¹⁾	P_11.1.7
Output slew rate (falling) with fast slew rate setting (slew rate 2)	$SR_{\text{fall_SR2}}$	-43.4	–	-12.5	$\text{V}/\mu\text{s}$	80% to 20% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$ ¹⁾	P_11.1.8
Turn ON delay time (slew rate 1)	$t_{\text{IN-HS_SR1}}$	–	–	4.5	μs	ON = 1 to 20% of V_S $R_L = 300\ \Omega$	P_11.1.9
Turn ON time (slew rate 1)	$t_{\text{ON_SR1}}$	1	–	15	μs	$V_S = 9\text{ to }18\text{ V}$ HS_ON = 1 to 80% of $V_S R_L = 300\ \Omega$ $T_j = 25^\circ\text{C}$	P_11.1.10

(表格续下页.....)

表 50 (续) 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Turn OFF time (slew rate 1)	$t_{\text{OFF_SR1}}$	1	–	15	μs	$V_S = 9$ to 18 V $\text{HS_ON} = 0$ to 20% of V_S $V_S R_L = 300\ \Omega$ $T_J = 25^\circ\text{C}$	P_11.1.11
Turn ON delay time (slew rate 2)	$t_{\text{IN-HS_SR2}}$	–	–	1	μs	$\text{ON} = 1$ to 20% of V_S $R_L = 300\ \Omega$	P_11.1.55
Turn ON time (slew rate 2)	$t_{\text{ON_SR2}}$	–	–	3	μs	$V_S = 9$ to 18 V $\text{HS_ON} = 1$ to 80% of V_S $V_S R_L = 300\ \Omega$ $T_J = 25^\circ\text{C}$	P_11.1.56
Turn OFF time (slew rate 2)	$t_{\text{OFF_SR2}}$	–	–	3	μs	$V_S = 9$ to 18 V $\text{HS_ON} = 0$ to 20% of V_S $V_S R_L = 300\ \Omega$ $T_J = 25^\circ\text{C}$	P_11.1.57

Overcurrent detection

Overcurrent threshold 0	I_{OCTH0}	26	42	60	mA	$V_S = 13.5\text{ V}$ $\text{HSx_OC_SEL} = 00$	P_11.1.12
Overcurrent threshold 0 hysteresis	$I_{\text{OCTH0,hyst}}$	–	14	–	mA	¹⁾ $\text{HSx_OC_SEL} = 00$	P_11.1.13
Overcurrent threshold 1	I_{OCTH1}	51	60	80	mA	$V_S = 13.5\text{ V}$ $\text{HSx_OC_SEL} = 01$	P_11.1.14
Overcurrent threshold 1 hysteresis	$I_{\text{OCTH1,hyst}}$	–	17	–	mA	¹⁾ $\text{HSx_OC_SEL} = 01$	P_11.1.15
Overcurrent threshold 2	I_{OCTH2}	101	123	150	mA	$V_S = 13.5\text{ V}$ $\text{HSx_OC_SEL} = 10$	P_11.1.16
Overcurrent threshold 2 hysteresis	$I_{\text{OCTH2,hyst}}$	–	25	–	mA	¹⁾ $\text{HSx_OC_SEL} = 10$	P_11.1.17
Overcurrent threshold 3	I_{OCTH3}	151	176	210	mA	$V_S = 13.5\text{ V}$ $\text{HSx_OC_SEL} = 11$	P_11.1.18
Overcurrent threshold 3 hysteresis	$I_{\text{OCTH3,hyst}}$	–	30	–	mA	¹⁾ $\text{HSx_OC_SEL} = 11$	P_11.1.19

(表格续下页.....)

表 50 (续) 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Overcurrent shutdown response time	t_{ocft}	8	–	80	μs	¹⁾ $V_S = 13.5\text{ V}$ $R_L = 100\ \Omega$, HS_ON to OC_SD (including switch-on time)	P_11.1.20
ON-state open load detection							
Open load threshold	I_{OLONth}	0.46	1.32	2.2	mA	–	P_11.1.21
Hysteresis	I_{OLONhys}	35	155	300	μA	–	P_11.1.22
Cyclic sense mode							
Current capability	$I_{\text{HS max sleep_pd}}$	40	–	–	mA	Sleep mode/stop mode	P_11.1.23
ON-State resistance	$R_{\text{ON,static}}$	–	–	40	Ω	$I_{\text{ds}} = 40\text{ mA}$	P_11.1.24
Output slew rate (rising)	$SR_{\text{rise_cyc}}$	1	–	–	V/ μs	20% to 80% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$	P_11.1.25
Output slew rate (falling)	$SR_{\text{fal_cycl}}$	–	–	-1	V/ μs	80% to 20% of V_S $V_S = 9\text{ to }18\text{ V}$ $R_L = 300\ \Omega$	P_11.1.26
Delay time CYCLIC_ON-HS	$t_{\text{IN_cyc}}$	–	–	2	μs	ON = 1 to 20% of V_S $R_L = 300\ \Omega$	P_11.1.27
Turn-ON time	$t_{\text{ON_cyc}}$	–	–	15	μs	$V_S = 9\text{ to }18\text{ V}$ ON = 1 to 80% $R_L = 300\ \Omega$	P_11.1.28
Turn-OFF time	$t_{\text{OFF_cyc}}$	–	–	15	μs	$V_S = 9\text{ to }18\text{ V}$ ON = 0 to 20% of V_S $R_L = 300\ \Omega$ $T_j = 25^\circ\text{C}$	P_11.1.29

1) 未经过生产测试, 由设计指定。

2) 这是额外要求, 指的是需要一个47欧姆的串联电阻来给外部功率MOS管栅极充电。

28.12 低边开关

28.12.1 电气特性

表 51 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
PWM frequency of LS	f_{PWM}	–	–	25	kHz	¹⁾ $R_L = 270\ \Omega$	P_12.1.1
Output LS							
Overcurrent limitation	I_{LSTyp}	270	300	330	mA	–	P_12.1.2
ON-state resistance	R_{ON}	1	4	10	Ω	$I_{\text{ds}} = 100\text{ mA}$	P_12.1.3
Leakage current	I_{leakage}	–	–	2	μA	$0\text{ V} < V_{\text{LS}} < V_{\text{S}}$; $T_j < 85^\circ\text{C}$	P_12.1.5
Turn ON delay time, slow mode	$t_{\text{dOn-LS}}$	–	–	50	μs	²⁾ $\text{LS_ON} = 1$ to $0.9 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.6
Turn ON delay time, PWM mode	$t_{\text{dOn,f-LS}}$	–	–	0.5	μs	$\text{LS_ON} = 1$ to $0.9 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.7
Turn ON fall time, PWM mode	$t_{\text{ONF,PWM}}$	–	1	1.25	μs	$V_{\text{LS}} 0.9 \times V_{\text{S}}$ to $0.1 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.8
Turn ON fall time, slow mode	$t_{\text{ONF,Slow}}$	–	100	150	μs	²⁾ $V_{\text{LS}} 0.9 \times V_{\text{S}}$ to $0.1 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.9
Turn OFF delay time, slow mode	$t_{\text{dOff-LS}}$	–	–	50	μs	²⁾ $\text{LS_ON} = 0$ to $0.1 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.10
Turn OFF delay time, PWM mode	$t_{\text{dOff,f-LS}}$	–	–	2	μs	$\text{LS_ON} = 0$ to $0.1 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.11
Turn OFF rise time, PWM mode	$t_{\text{OFFR,PWM}}$	–	1	1.25	μs	$V_{\text{LS}} 0.1 \times V_{\text{S}}$ to $0.9 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.12
Turn OFF rise time, slow mode	$t_{\text{OFFR,Slow}}$	–	100	150	μs	²⁾ $V_{\text{LS}} 0.1 \times V_{\text{S}}$ to $0.9 \times V_{\text{S}}$; $V_{\text{S}} = 13.5\text{ V}$, $R_L = 270\ \Omega$	P_12.1.13
Minimum duty cycle pulse width variation	ton_{MIN}	1.5	2	3.5	μs	$ton(\text{dig}) = 2\ \mu\text{s}$ ¹⁾	P_12.1.14
Typical (systematic) pulse width increase LS_ON to VLS	$d\ ton_{\text{TYP}}$	–	1.25	–	μs	$ton(\text{dig}) = 2\ \mu\text{s}$ ¹⁾	P_12.1.15
Zener clamp voltage	V_{AZ}	–	50	–	V	Values are valid at $T_j = 25^\circ\text{C}$	P_12.1.16
Clamping energy (repetitive)	E_{clamp}	–	–	2	mJ	^{1) 3)} 1.000.000 cycles, at $I_{\text{max}} = 90\text{ mA}$	P_12.1.17

(表格续下页.....)

表 51 (续) 电气特性

$V_S = 5.5\text{ V}$ 至 28 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or test condition	Number
		Min.	Typ.	Max.			
Clamping energy	E_{clamp}	–	–	14	mJ	^{1) 3)} 10 cycles, $T_{\text{start}} = 25^\circ\text{C}$, at $I_{\text{max}} = 230\text{ mA}$	P_12.1.18
Clamping energy (single), hot	E_{clamp}	–	–	7	mJ	^{1) 3)} 10 cycles, $T_{\text{start}} = 85^\circ\text{C}$, at $I_{\text{max}} = 230\text{ mA}$	P_12.1.19

1) 未经过生产测试, 由设计指定。

2) 静态开启模式 (无 PWM)。

3) 仅适用于单侧低压侧, 不可同时适用于两侧。

29 封装信息

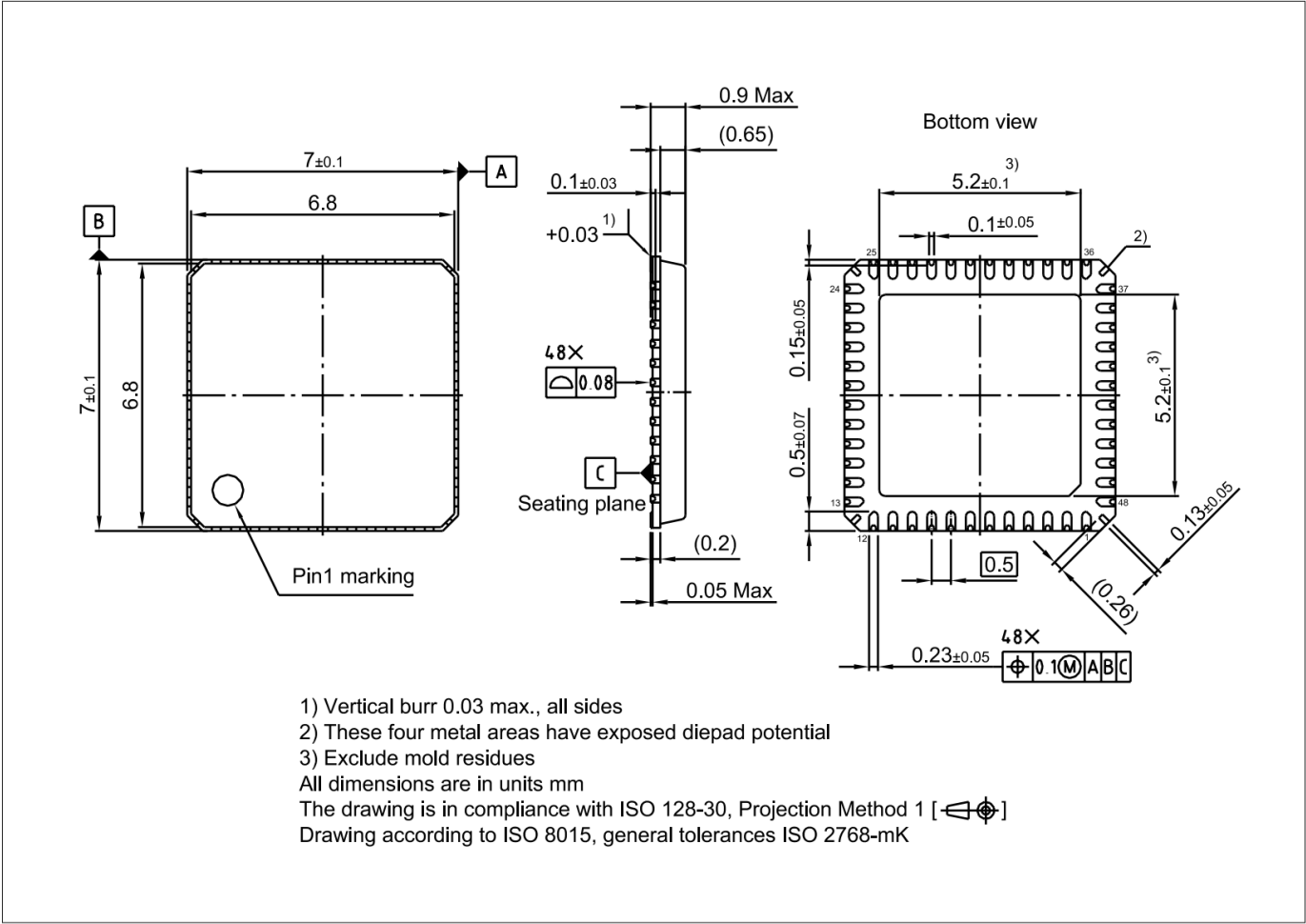


图 43 封装外形 VQFN-48-31（带 LTI）和 VQFN-48-37（仅 UD 版）²⁾

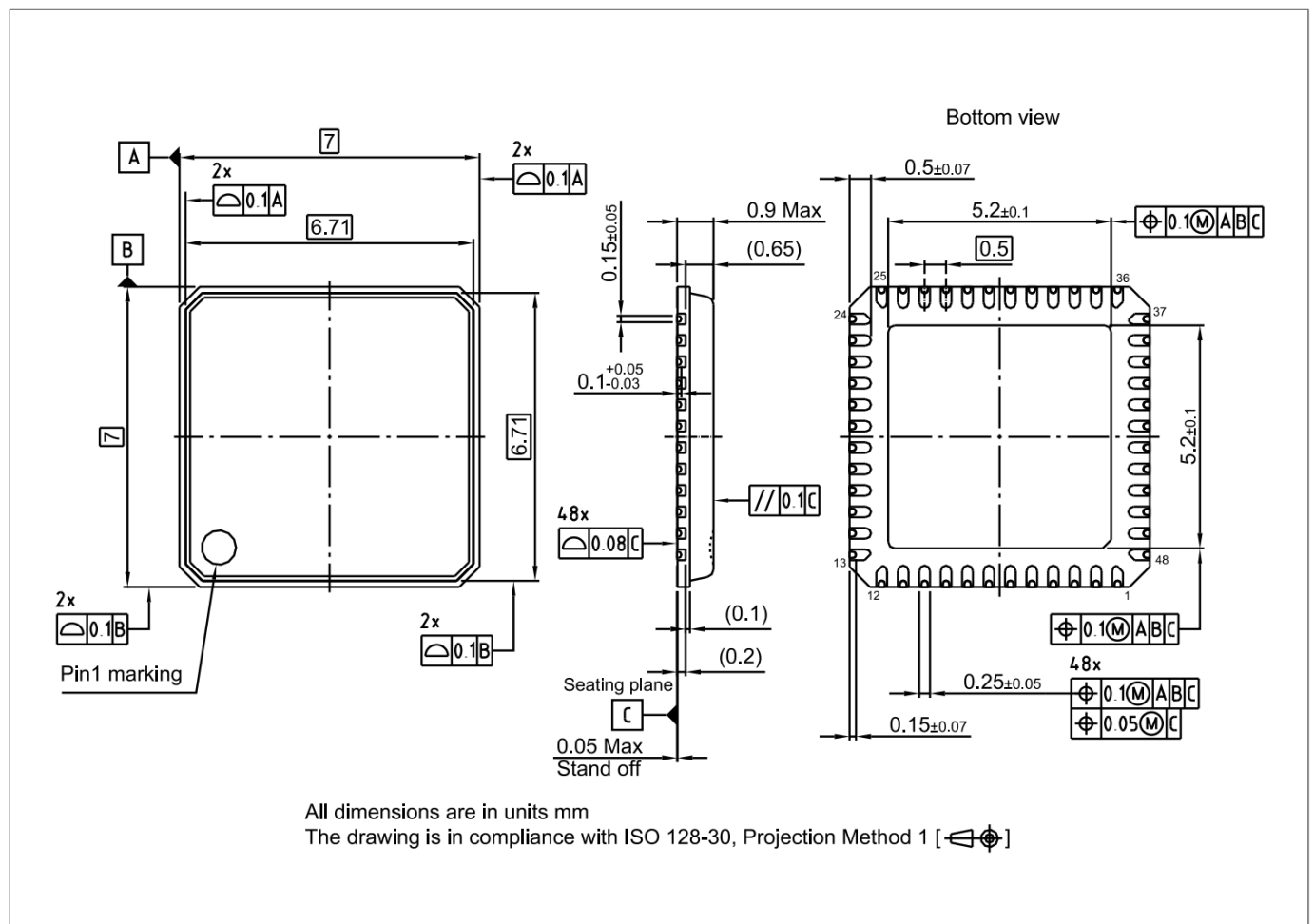


图 44 封装外形 VQFN-48-79 (仅 UD 版) ³⁾

绿色产品 (符合 RoHS 要求)

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

有关封装的更多信息，请访问

<https://www.infineon.com/packages>

30 缩略词

本文档使用了以下缩写词和术语。

表 52 缩略词

Acronyms	Name
AHB	Arm® advanced high-performance bus
CCU6	Capture compare unit 6
CGU	Clock generation unit
CLKMU	Clock management unit
CMU	Cyclic management unit
CRRT	Commander receive/responder transmit, corresponds to MISO in SPI
CTRR	Commander transmit/responder receive, corresponds to MOSI in SPI
DPP	Data post processing
ECC	Error correction code
EEPROM	Electrically erasable programmable read only memory
GPIO	General purpose input output
HV	High voltage
ICU	Interrupt control unit
LDO	Low dropout voltage regulator
LIN	Local interconnect network
LSB	Least significant bit
LTI	Lead tip inspection
LV	Low voltage
MCU	Microcontroller unit
MF	Measurement functions
MPU	Memory protection unit
MSB	Most significant bit
MU	Measurement unit
NMI	Non-maskable interrupt
NVIC	Nested vector interrupt controller
OSC	Oscillator
OTP	One time programmable
PBA	Peripheral bridge
PC	Program counter
PCU	Power control unit
PD	Pull down

(表格续下页.....)

表 52 (续) 缩略词

Acronyms	Name
PGU	Power supply generation unit
PLL	Phase locked loop
PMU	Power management unit
PPB	Private peripheral bus
PSW	Program status word
PU	Pull up
PWM	Pulse width modulation
RAM	Random access memory
RCU	Reset control unit
rfu	Reserved for future use
RMU	Reset management unit
ROM	Read only memory
SCU	System control unit
SOW	Short open window (for WDT1)
SPI	Serial peripheral interface
SSC	Synchronous serial channel
SWD	Arm® serial wire debug
TCCR	Temperature compensation control register
TMS	Test mode select
TSD	Thermal shut down
UART	Universal asynchronous receiver transmitter
VBG	Voltage reference band gap
VCO	Voltage controlled oscillator
WDT1	Watchdog timer in SCU-PM (system control unit – power modules)
WMU	Wake-up management unit
100TP	100 times programmable

修订记录

Document version	Date of release	Description of changes
Rev. 1.3	2025-09-15	Added package VQFN-48-37 Updated revision history for Rev. 1.2 Editorial changes
Rev. 1.2	2024-01-15	Updated FrontCover Added UD step Updated pin configuration: removed footnote for XTAL1 and XTAL2 Updated "Modes of operation" chapter: removed figure; removed Reset mode Updated clock inputs to clock control unit diagram Removed "Power-on Reset Concept" chapter Added "Low- V_s operation" chapter Updated "External input clock mode" and "External input clock mode" chapters Updated "LIN transceiver (TRX)" chapter including electrical characteristics: - P_6.1.13, P_6.1.14, P_6.1.11, P_6.1.12, P_6.1.9, P_6.1.5: changed Note - P_6.1.39: changed Unit - P_6.1.1: $V_{th_dom_LIN}$; removed Typ., Max., and Note - P_6.1.2: V_{BUSdom_LIN}; removed Note - P_6.1.3: $V_{th_rec_LIN}$; removed Min., Typ., and Note - P_6.1.4: V_{BUSrec_LIN}; removed Note - P_6.1.6: V_{HYS_LIN}; removed Typ., and Note - P_6.1.15: renamed parameter/Symbol - P_6.1.26, P_6.1.27, P_6.1.42, P_6.1.31, P_6.1.32, P_6.1.44: updated/removed Note - P_6.1.19: replaced with new parameters P_6.2.52 and P_6.2.53 - P_6.1.20: replaced with new parameters P_6.2.54 and P_6.2.55 - P_6.1.24: replaced with new parameters P_6.2.56 and P_6.2.57 - P_6.1.25: replaced with new parameters P_6.2.58 and P_6.2.59 - P_6.1.29: updated Symbol to t_{duty5}; updated Note - P_6.1.30: updated Symbol to t_{duty6}; updated Note - P_6.1.34: replaced with new parameter P_6.2.60 - P_6.1.35: parameter removed Updated measurement core module block diagram Updated high-side switch and low-side switch block diagrams Updated relay windows lift application diagram Updated ESC immunity according to ISO10605 Added VQFN-48-79 package (UD step only)

Document version	Date of release	Description of changes
		Updated electrical parameters: • P_1.2.4: changed Max., and updated Note • P_1.3.19: updated Note • P_1.3.102, P_1.3.103, P_1.3.104, P_1.3.105, P_1.3.106, P_1.3.119, P_1.3.120: new parameter added for UD step only • P_1.5.2: changed Max. • P_3.1.3 and P_3.1.4: fixed unit • P_3.1.6, P_3.1.23, P_3.1.7: updated Note • P_3.2.4, P_3.2.5: changed Parameter, Symbol, Max., and updated Note • P_8.1.12, P_8.1.36, P_8.1.33, P_8.1.20, P_8.1.37, P_8.1.34, P_8.1.38: removed temperature range (T_j) from Note • P_9.2.9: changed Max. • P_9.2.10: changed Max. • P_9.2.33: changed Max. and updated Note • P_9.2.35: new parameter added • P_9.2.34: changed Note Renamed master to commander and slave to responder; MTSR to CTRR and MRST to CRRT Editorial changes
Rev. 1.1	2022-05-11	Table 1 for VDDC changed value 0.9 V to reduced voltage Editorial changes: Updated Arm® trademarks Power-on reset concept: changed “PMU_RST_STS” to “PMU_RESET_STS” NVM module (flash memory): added system address range “58004000H - 58007FFFH” Table 5: removed “wake-up” at nodes 12 and 22 Table 10: changed table title from “Port Registers” to “Timer2 and Timer21 modes” Moved the “Abbreviations” to the end of the datasheet P_1.1.10: removed footnote
Rev. 1.0	2016-05-06	Initial revision



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-07-01

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。