

英飞凌TLE92464ED四通道低边电磁线圈驱动IC

四通道低边电磁线圈驱动IC

质量要求类别：汽车

特性

- 四个独立的低边通道，内部集成 MOSFET ($R_{DSon} = 115m\Omega$)
- <1% 电流控制精度
- 可编程电流设定点从 0 mA 到 1.5 A
- 负载电流（包括颤振）1.8 A
- 并联模式电流 2.7 A
- 集成了颤振发生器，具有可编程幅值、频率和波形
- 15 位电流设定点分辨率
- 集成检测电阻 $R_{SHUNT} = 140m\Omega$
- 对负载供电电压的巨大变化具有出色的抗扰性
- VDD 引脚电压低至 3.5 V 时可运行
- 32 位 SPI 与 8 位 CRC（循环冗余校验）和 SPI 看门狗
- 每个通道在开启和关闭状态下均具有完善的保护和诊断功能
 - 每个通道均有独立的热关断
 - 诊断功能（负载开路、接地短路、过流）
 - 电压监控
 - 过温保护
- 两个独立的电流反馈路径
- 带有时钟看门狗的集成系统时钟
- 温度范围 -40°C 至 175 °C
- 小功率封装 PG-DSO-36-72
- 绿色产品：符合 RoHS 标准
- 无铅（符合 RoHS 要求）封装
- 符合 AEC-Q100 Grade 0 标准
- ISO 26262 安全要素，安全要求达到 ASIL C 级



潜在应用

- 可变力螺线管（例如自动变速箱和驱动电机系统）
- 其他恒流螺线管
 - 怠速进气控制
 - 废气再循环
 - 蒸汽管理阀
 - 悬挂控制

产品验证

适合对温度要求更高的汽车应用。产品依据 AEC-Q100, Grade 0 进行验证。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 infineon.com 参考最新的英文版本（控制文档）。

产品类型及封装表

产品类型及封装表

Product type	Package
TLE92464ED	PG-DSO-36 Dual-Gauge (300 mil)

描述

TLE92464ED是一款灵活的单芯片电磁线圈驱动IC，设计用于自动变速箱、电子稳定性控制和主动悬架应用中的线性螺线管控制。该器件包含驱动晶体管和电流检测电阻器，以最大限度地减少外部元件的数量。

器件控制负载电流，误差小于 1%。目标电流从 0 到 1500 mA 可以以 15 位的分辨率进行编程。该器件支持高达 1800 mA 的颤振电流。颤振发生器在编程的电流设定点上叠加具有可编程幅值、频率和形状的三角波形或梯形波形。一个 32 位 SPI 接口用于控制 4 个通道和监控的诊断功能的状态。SPI 通讯通过 8 位 CRC（循环校验校验）和可编程超时看门狗进行保护。

低电平有效复位输入（RESN）用于使所有通道停用，并将内部寄存器复位为默认值。高电平有效使能引脚（EN）可启用或停用输出通道，而无需禁用 SPI 接口。每当检测到故障时，故障输出引脚（FAULTN）信号可用作变压器的外部中断。

目录

目录

	特性	1
	潜在应用	1
	产品验证	1
	产品类型及封装表	2
	描述	2
	目录	3
1	框图	6
2	引脚配置	7
3	电气特性及参数	9
3.1	绝对最大额定值	9
3.1.1	绝对最大电压额定值	9
3.1.2	绝对最大电流额定值	10
3.1.3	绝对最大温度额定值	10
3.1.4	静电防护稳健性	11
3.2	工作范围	11
3.2.1	工作范围	11
3.2.2	150°C 以上参数	13
3.2.3	热阻抗	13
4	功能说明	14
4.1	电源	14
4.1.1	TDS_电源	14
4.1.2	TDS_电压监控	14
4.1.3	电源电气特性	15
4.2	输入/输出	16
4.2.1	TDS_时钟	16
4.2.2	TDS_时钟看门狗	17
4.2.3	TDS_I/O引脚	17
4.2.4	I/O电气特性	18
4.3	IC 操作状态	19
4.3.1	TDS_IC操作状态	19
4.4	通道模式	21
4.4.1	TDS_通道模式	21
4.4.2	通道模式	21
4.4.3	TDS_测量模式 - (4/6CHx)	21
4.4.4	TDS_附加信息通道模式	21
4.5	功率级	21
4.5.1	TDS_通道概述 - (4CHx)	21

目录

4.5.2	TDS_并联通道操作 - (4CHx).....	22
4.5.3	功率级电气特性	23
4.6	电流控制.....	23
4.6.1	TDS_平均电流设定值.....	23
4.6.2	积分电流控制器(ICC).....	24
4.6.3	电气特性电流控制.....	28
4.7	颤振.....	29
4.7.1	TDS_颤振配置.....	29
4.7.2	TDS_颤振参数更新	30
4.7.3	TDS_颤振与PWM同步	30
4.7.4	TDS_仅 ICC.....	31
4.7.5	TDS_颤振与电流设定值同步	31
4.7.6	TDS_仅 ICC.....	31
4.7.7	TDS_深度颤振.....	31
4.7.8	TDS_仅ICC	32
4.8	直接驱动.....	32
4.8.1	TDS_直接驱动.....	32
4.9	诊断功能.....	32
4.9.1	TDS_概述.....	32
4.9.2	TDS_开路负载/短路到地(OLSG).....	34
4.9.3	TDS_OLSG 警告	36
4.9.4	TDS_开路负载(OL).....	37
4.9.5	TDS_短路到地(SG).....	37
4.9.6	TDS_过流(OC)	38
4.9.7	TDS_寄存器/ OTP ECC.....	39
4.9.8	TDS_内置自检(BIST)	39
4.9.9	电气特性诊断功能.....	39
4.10	电流监控.....	40
4.10.1	TDS_独立电流反馈.....	40
4.10.2	TDS_平均反馈值.....	41
4.10.3	TDS_更新/冻结机制	42
4.10.4	TDS_lavg16, 最小/最大电流/PWM 反馈.....	43
4.11	保护功能.....	44
4.11.1	TDS_过温保护.....	44
4.11.2	TDS_过流保护.....	44
4.11.3	电气特性保护功能.....	45
5	串行外设接口(SPI).....	46
5.1	接口描述.....	46
5.1.1	TDS_常规信息.....	46
5.1.2	TDS_循环冗余校验(CRC).....	46
5.1.3	TDS_时序图.....	47
5.1.4	电气特性SPI接口	47

目录

5.2	协议描述	49
5.2.1	TDS_数据流.....	49
5.2.2	TDS_SPI看门狗	49
5.2.3	TDS_SPI帧定义	49
5.3	寄存器描述.....	53
5.3.1	寄存器类型概述	53
5.3.2	中央寄存器.....	54
5.3.3	通道寄存器.....	82
6	应用信息	102
6.1	TDS_应用信息.....	102
7	封装尺寸	103
7.1	TDS_封装尺寸.....	103
	修订记录	104
	免责声明	105

框图

1 框图

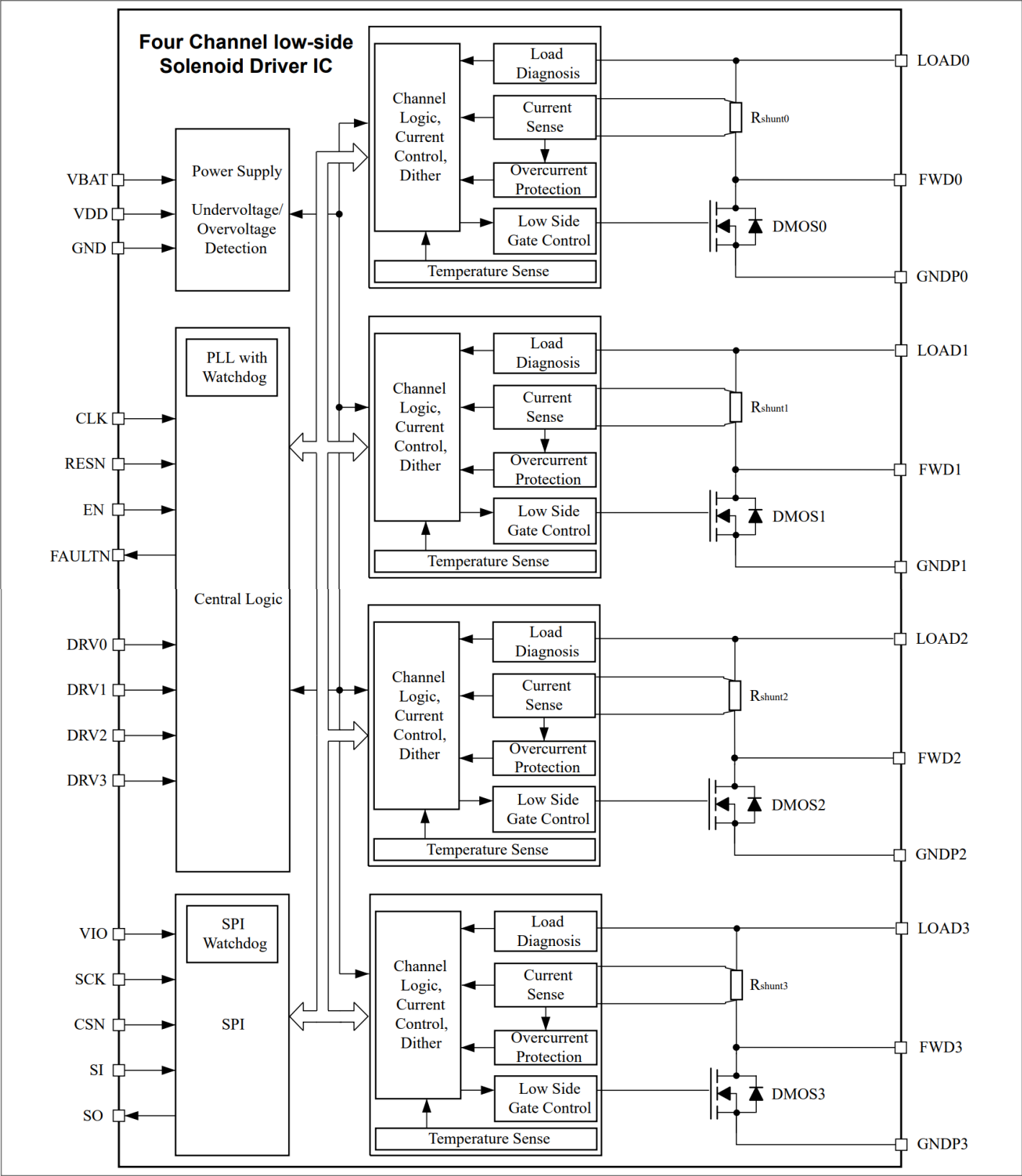


图 1 框图

引脚配置

2 引脚配置

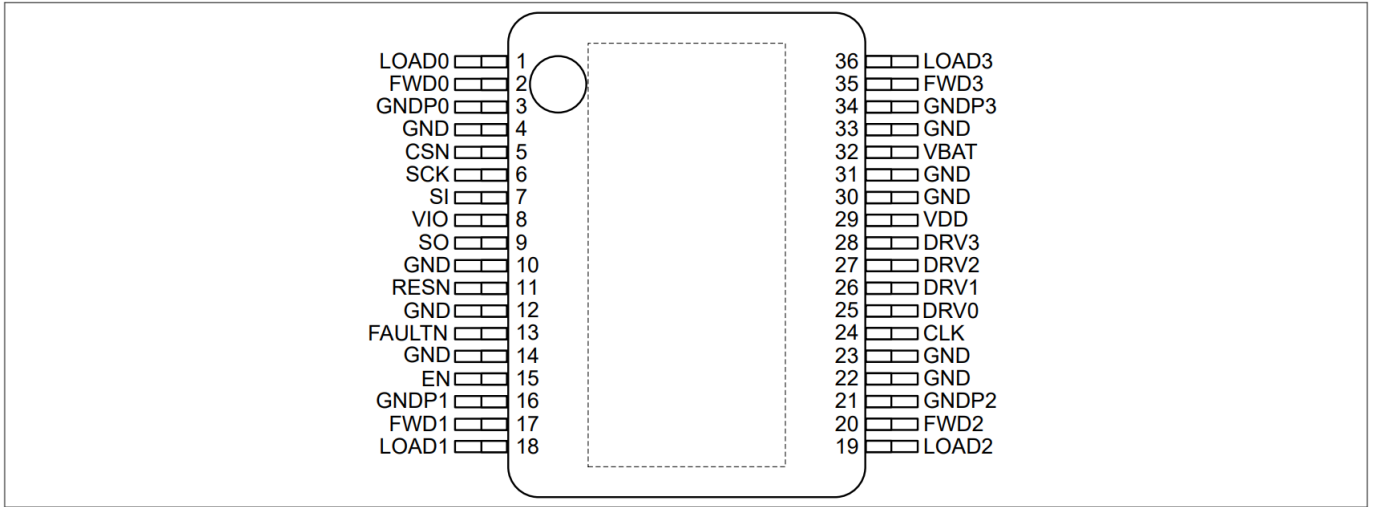


图 2 引脚分配

引脚定义和功能

表1 引脚定义及功能

Pin	Symbol	Function
1	LOAD0	Output; for channel 0.
2	FWD0	Free wheeling diode; for channel 0.
3	GNDP0	Ground; for channel 0 power stage.
4	GND	Ground; connect to GND.
5	CSN	SPI chip select input; digital input: 3.3 V or 5.0 V logic levels.
6	SCK	SPI clock input; digital input: 3.3 V or 5.0 V logic levels.
7	SI	SPI input; digital input: 3.3 V or 5.0 V logic levels.
8	VIO	Supply SPI Slave Out (SO) pin; connected to 3.3 V or 5.0 V supply.
9	SO	SPI output; push pull output compatible to 3.3 V or 5.0 V logic levels.
10	GND	Ground; signal ground. Internally connected to cooling tab.
11	RESN	Control input; digital input: 3.3 V or 5.0 V logic levels. Active low reset input.
12	GND	Ground; signal ground. Internally connected to cooling tab.
13	FAULTN	Status output; open drain output. In case not used, keep open.
14	GND	Ground; connect to GND.
15	EN	Control input; digital input: 3.3 V or 5.0 V logic levels. Active high enable input.
16	GNDP1	Ground; ground connection for channel 1 power stage.
17	FWD1	Free wheeling diode; for channel 1.
18	LOAD1	Output; for channel 1.
19	LOAD2	Output; for channel 2.

(表格续下页.....)

引脚配置

表 1 (续) 引脚定义和功能

Pin	Symbol	Function
20	FWD2	Free wheeling diode; for channel 2.
21	GNDP2	Ground; ground connection for channel 2 power stage.
22	GND	Ground; connect to GND.
23	GND	Ground; signal ground. Internally connected to cooling tab.
24	CLK	Clock input; Main system clock.
25	DRV0	Direct drive input for channel 0: 3.3 V or 5.0 V logical levels.
26	DRV1	Direct drive input for channel 1: 3.3 V or 5.0 V logical levels.
27	DRV2	Direct drive input for channel 2: 3.3 V or 5.0 V logical levels.
28	DRV3	Direct drive input for channel 3: 3.3 V or 5.0 V logical levels.
29	VDD	Supply voltage; supplies digital circuits. Connected to 5.0 V supply voltage.
30	GND	Ground; signal ground. Internally connected to cooling tab.
31	GND	Ground; connect to GND
32	VBAT	Supply voltage; connected to battery voltage with reverse protection diode and filter against EMC.
33	GND	Ground; connect to GND.
34	GNDP3	Ground; for channel 3 power stage.
35	FWD3	Free wheeling diode; for channel 3.
36	LOAD3	Output; for channel 3.
37	Cooling Tap	Connect externally to GND and heat sink area

电气特性及参数

3 电气特性及参数

3.1 绝对最大额定值

3.1.1 绝对最大电压额定值

表 2 绝对最大电压额定值

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ ，所有电压相对于地，正向电流流入引脚（除非另有规定）。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Max. supply voltage	$V_{DD,max}$	-0.3	–	19	V	
Max. supply voltage (VBAT)	$V_{BAT,max}$	-0.3	–	40	V	
Max. supply voltage (VIO)	$V_{VIO,max}$	-0.3	–	19	V	
Max. digital input pin voltage (CLK, RESN, EN, DRVx, CSN, SI)	$V_{CLK,max}$ $V_{RESN,max}$ $V_{EN,max}$ $V_{DRVx,max}$ $V_{SCK,max}$ $V_{CSN,max}$ $V_{SI,max}$	-0.3	–	19	V	
Max. open drain output voltage	$V_{FAULTN,max}$	-0.3	–	19	V	
Max. Push Pull Output (SO)	$V_{SO,max}$	-0.3	–	19	V	
Max. LOADx voltage	$V_{LOADx,max}$	-0.3 ¹⁾	–	40	V	¹⁾ During negative pulses ($V_{LOADx} < -0.3\text{ V}$) the maximum energy of $E_{LOADx} = -V_{LOADx} * (I_{LOADx} + I_{FWDx}) * t_{pulse} \leq 2\text{ mJ}$ shall not be
Max. FWDx voltage	$V_{FWDx,max}$	-0.3 ¹⁾	–	40	V	¹⁾ During negative pulses ($V_{FWDx} < -0.3\text{ V}$) the maximum energy of $E_{FWDx} = -V_{FWDx} * (I_{LOADx} + I_{FWDx}) * t_{pulse} \leq 2\text{ mJ}$ shall not be violated.
Max. GNDPx voltage	$V_{GNDPx,max}$	-0.3	–	0.3	V	

电气特性及参数

3.1.2 绝对最大电流额定值

表 3 绝对最大电流额定值

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 正向电流流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Max. current range	$I_{\text{FWDx,max}}$ $I_{\text{LOADx,max}}$	-2	–	2	A	DC In the case of an active overcurrent shutdown the specification at the LOADx pin can be exceeded.
Max. Output Current (FAULTN)	$I_{\text{FAULTN,max}}$	-5	–	0	mA	
Max. output current (SO)	$I_{\text{SO,max}}$	-5	–	5	mA	DC
Max. input current (CLK, RESN, EN, DRVx, SCK, CSN, SI)	$I_{\text{CLK,max}}$ $I_{\text{RESN,max}}$ $I_{\text{EN,max}}$ $I_{\text{DRVx,max}}$ $I_{\text{SCK,max}}$ $I_{\text{CSN,max}}$ $I_{\text{SI,max}}$	-5	0	5	mA	Maximum allowed forward and reverse current through ESD structure.

3.1.2.1 TDS_最大额定值

注释: 超过此处所列的压力可能会对器件造成永久性损坏。长时间暴露在绝对最大额定值条件下可能会影响器件的可靠性。集成的保护功能旨在防止IC在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

3.1.3 绝对最大温度额定值

表 4 绝对最大温度额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Junction temperature (T _J)	T_j	-40	–	150	°C	
Extended junction temperature (T _J extended)	T_{Jext}	150	–	175	°C	parameter deviations are possible

(表格续下页.....)

电气特性及参数

表 4 (续) 绝对最大温度额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Storage temperature (TSTG)	T_{STG}	-55	–	150	°C	

3.1.4 静电防护稳健性

表 5 静电防护稳健性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
ESD robustness HBM (all pins)	V_{HBMall}	-2	–	2	kV	ESD robustness Human Body Model (HBM) according to ANSI/ESDA/JEDEC JS-001.
ESD robustness HBM (VBAT, LOADx)	$V_{HBMglobal}$	-4	–	4	kV	VBAT, LOADx vs. all Grounds shorted ESD robustness Human Body Model (HBM) according to ANSI/ESDA/JEDEC JS-001.
ESD robustness CDM (all pins)	V_{CDMall}	-500	–	500	V	ESD robustness Charged Device Model (CDM) according to JEDEC JESD22-C101
ESD robustness CDM (corner pins)	$V_{CDMcorner}$	-750	–	750	V	ESD robustness Charged Device Model (CDM) according to JEDEC JESD22-C101

3.2 工作范围

3.2.1 工作范围

表 6 工作范围

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Functional range (VDD)	V_{DD}	4.5	–	5.5	V	
Extended Functional range (VDD)	$V_{DD,ext}$	3.5	–	19	V	Outside of the normal Functional Range of V_{DD} : $V_{DD} < V_{DD,UV,TH}$: SPI communication functional; Power-stage off $V_{DD} > V_{DD,OV,TH}$: SPI communication functional; Power-stage off
Functional range (VBAT)	V_{BAT}	6	–	18	V	

(表格续下页.....)

电气特性及参数

表 6 (续) 工作范围

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Extended functional range (VBAT)	$V_{BAT,ext}$	4	–	38	V	Outside of the normal functional V_{BAT} range parameter deviations are possible: V_{BATL} 4 V...6 V: Parameter deviation possible V_{BATH} 18 V...38 V: Parameter deviation possible
Functional range (VIO)	V_{IO}	3.0	–	5.5	V	
Extended functional range (VIO)	$V_{IO,ext}$	5.5	–	19	V	Parameter deviation possible
Functional range (FWDx)	V_{FWDx}	-0.3 ¹⁾	–	40	V	¹⁾ During negative pulses ($V_{FWDx} < -0.3$ V) the maximum energy of $E_{FWDx} = -V_{FWDx} * (I_{LOADx} + I_{FWDx}) * t_{pulse} \leq 2$ mJ shall not be violated.
Functional range (LOADx)	V_{LOADx}	-0.3 ¹⁾	–	40	V	¹⁾ During negative pulses ($V_{LOADx} < -0.3$ V) the maximum energy of $E_{LOADx} = -V_{LOADx} * (I_{LOADx} + I_{FWDx}) * t_{pulse} \leq 2$ mJ shall not be violated.
Functional range clock frequency (CLK)	f_{CLK}	1	–	8	MHz	
System clock frequency	f_{SYS}	27.5	28	28.5	MHz	For use of external clock, clock divider must be set accordingly
System clock watchdog	$f_{SYS,WD}$	27	–	29	MHz	
Target PWM frequency	f_{PWM}	110	–	4000	Hz	PWM frequency control configuration range
Junction temperature	T_J	-40	–	150	°C	
Extended junction temperature	$T_{J,ext}$	150	–	175	°C	In the temperature range of 150 - 175°C parameter deviations are possible

3.2.1.1 TDS_功能范围

注： 在工作范围内，IC按照电路说明中的描述运行。电气特性是在相关电气特性表中注明的条件下指定的。

电气特性及参数

3.2.2 150°C以上参数

表 7 150°C 以上参数

$T_J = 150^\circ\text{C}$ 至 175°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Shunt resistance	R_{shunt}	-	-	190	mΩ	
ON resistance	$R_{DS(on)}$	-	-	215	mΩ	
Average current control error, absolut	$I_{err,absolut}$	-6	-	6	mA	$I_{set} = 10 - 500\text{ mA}$ $V_{BAT} = 13\text{ V}$ Single channel operation
Average current control error, absolut - parallel	$I_{err,absolut,par}$	-12	-	12	mA	$I_{set,par} = 20 - 1000\text{ mA}$ $V_{BAT} = 13\text{ V}$ Parallel channel operation
Average current control error, relative	$I_{err,relative}$	-1.2	-	1.2	%	$I_{set} > 500\text{ mA}$; single channel operation $I_{set,par} > 1000\text{ mA}$; parallel channel operation $V_{BAT} = 13\text{ V}$
Diagnosis Current 0	I_{HS} I_{LS}	-	-	130	μA	$<I_DIAG> = 00_B$

3.2.3 热阻抗

表 8 热阻抗

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Junction to case	R_{thJC}	-	-	3	K/W	
Junction to ambient	R_{thJA}	-	18.5	-	K/W	Depending on the mounting conditions. Specified R_{thJA} value is according to JEDEC JESD51 -5, -7 at natural convection on FR4 2s2p board; the product (chip and package) was simulated on a 76.2 x 114.3 x 1.5 mm board with 2 inner copper layers (2 x 70 μm, 2 x 35 μm CU).

功能说明

4 功能说明

4.1 电源

4.1.1 TDS_电源

VDD 引脚

VDD 引脚和 GND 引脚是数字电路块的电源和接地引脚。通过这些引脚的电流包含高频成分。为了获得良好的电磁兼容性性能，需要使用陶瓷电容器去耦和仔细的PCB布局。

VIO 引脚

VIO 引脚为 SPI 输出引脚 (SO) 供电。它应该连接到微处理器的 I/O 电源 (3.3 V 或 5.0 V)。VIO 电压电平可以通过 GLOBAL_CONFIG 寄存器中的 <VIO_SEL> 位进行配置。

VBAT 引脚

VBAT 引脚是输入引脚，用于测量和监测电池电压以及馈送诊断电流源。该引脚应连接至反向保护电源轨，并通过陶瓷电容器去耦。

GND/GNDP 引脚

GND 引脚是逻辑的接地引脚，而 GNDP 引脚是功率级的功率地引脚。建议将所有 GNDP 引脚外部连接到 GND 网络。

上电复位

如果内部逻辑由于欠压而无法工作，内部复位上电 (POR) 电路会将器件保持在复位状态。所有供电恢复至其功能状态后，上电复位恢复范围和复位持续时间 t_{POR} 已过。上电复位时间后即可访问 SPI 接口。任何复位上电都会将 GLOBAL_DIAG0 寄存器中的位 <POR_EVENT> 置为 1。这可用于检查自上次该位被清 0 后是否发生过上电复位。

4.1.2 TDS_电压监控

电源引脚 V_{BAT} 、 V_{IO} 和 V_{DD} 的电压电平以及所有内部电压 (ADC 基准电压、内部电源电压) 均受到监控。如果电压超过相应的过压 (OV) 阈值或低于相应的欠压 (UV) 阈值，则检测到电压故障。除 VBAT OV/UV 外，欠压/过压故障会通过将所有 <EN_CH> 位设置为“0”来禁用输出级。除 V_{BAT} 和内部预调节器 (<VPRE_OV>) 故障外，OV/UV 故障条件会导致器件进入状态机配置模式。

通过将 GLOBAL_DIAG0 寄存器中的相应标志位设置为 1 来指示外部供电电压 (V_{BAT} 、 V_{IO} 、 V_{DD}) 故障，而 IC 内部电压故障则列在 GLOBAL_DIAG1 寄存器中。电压故障指示位只能通过写入清除。如果检测到任何内部或外部电压故障，FB_STAT 寄存器中的标志位 <SUP_NOK_INT> 和 <SUP_NOK_EXT> 可提供汇总指示。

V_{BAT} 的欠压和过压阈值可在 VBAT_TH 寄存器中调整和置位。

$$V_{BAT, UV, TH} = <VBAT_UV_TH> \cdot 0.16208V$$

$$V_{BAT, OV, TH} = <VBAT_OV_TH> \cdot 0.16208V$$

公式 1

FB_VOLTAGE1 寄存器提供测量到的 V_{IO} 和 V_{DD} 电压。 V_{BAT} 电压值可从 FB_VOLTAGE2 寄存器中读出。

外部和内部电压的监控机制可通过设置

GLOBAL_CONFIG 寄存器中的 <UV_OV_SWAP> 位置为“1”来进行测试。如果测试成功，则 OV/UV 检测位 <VDD_OV/UV>、<VIO_OV/UV>、<VBAT_OV/UV>、<VDD2V5_OV/UV>、<VR_IREF_OV/UV>、<VPRE_OV> 和

功能说明

<REF_OV/ UV> 置位。可以通过将 GLOBAL_CONFIG 寄存器中的位<V1V5_OV_TEST> 或<V1V5_UV_TEST> 设置为“1”来测试由于欠压或过压导致的上电复位(POR)

4.1.3 电源电气特性

表 9 电源电气特性

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
VBAT current consumption normal mode	I_{VBAT}	–	–	1	mA	$V_{BAT} = 18\text{ V}$ Diagnosis off
VBAT current consumption inactive mode	$I_{VBAT,inactive}$	–	–	10	μA	$V_{BAT} = 18\text{ V}$ $V_{DD} = 0\text{ V} = V_{IO}$
VDD current consumption	I_{VDD}	10	21	30	mA	$V_{DD} = 5.5\text{ V}$
VIO current consumption	I_{VIO}	–	–	1	mA	$V_{DD} = 5.5\text{ V}$ $V_{CSN} > V_{CSN,high}$
VBAT undervoltage threshold	$V_{BAT,UV,TH}$	$(x*8-17)*0.01965$	$x*0.16208$	$(x*8+17)*0.02087$	V	$x = \langle V_{BAT_UV_TH} \rangle$ V_{BAT} voltage is falling.
VBAT overvoltage threshold	$V_{BAT,OV,TH}$	$(x*8-17)*0.01965$	$x*0.16208$	$(x*8+17)*0.02087$	V	$x = \langle V_{BAT_OV_TH} \rangle$ V_{BAT} voltage rising.
VDD undervoltage threshold	$V_{DD,UV,TH}$	3.7	–	4.5	V	V_{DD} falling
VDD overvoltage threshold	$V_{DD,OV,TH}$	5.5	–	6.4	V	V_{DD} rising
VIO undervoltage threshold 3.3 V	$V_{IO,UV,3V3,TH}$	2.6	–	3	V	V_{IO} falling
VIO overvoltage threshold 3.3 V	$V_{IO,OV,3V3,TH}$	3.6	–	4.1	V	V_{IO} rising
VIO undervoltage threshold 5 V	$V_{IO,UV,5V,TH}$	3.7	–	4.5	V	V_{IO} falling
VIO overvoltage threshold 5 V	$V_{IO,OV,5V,TH}$	5.5	–	6.4	V	V_{IO} rising
Power on reset time initialized with RESN	t_{RESN}	–	–	0.1	ms	Logic circuits are functional after t_{RESN}

(表格续下页.....)

功能说明

表 9 (续) 电源电气特性

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Power on reset time initialized with undervoltage reset	t_{POR}	–	–	10	ms	Logic circuits are functional after t_{POR}

4.2 输入/输出

4.2.1 TDS_时钟

芯片系统时钟 f_{SYS} 由集成 PLL (锁相环) 生成, 用于为内部模拟数字转换器和逻辑提供时钟。PLL 可由内部振荡器或施加在 CLK 引脚上的外部矩形时钟信号提供时钟。可通过编程 CLK_DIV 寄存器中的<EXT_CLK> 位来选择 PLL 时钟源 f_{CLK} 。只能在状态机配置模式下更改时钟源。在更改时钟源期间, 时钟看门狗被禁用, 并且<INIT_DONE> 位被清除。时钟源成功转换后, FB_STAT 寄存器中的<INIT_DONE>位置为1, 并且时钟看门狗被启用。

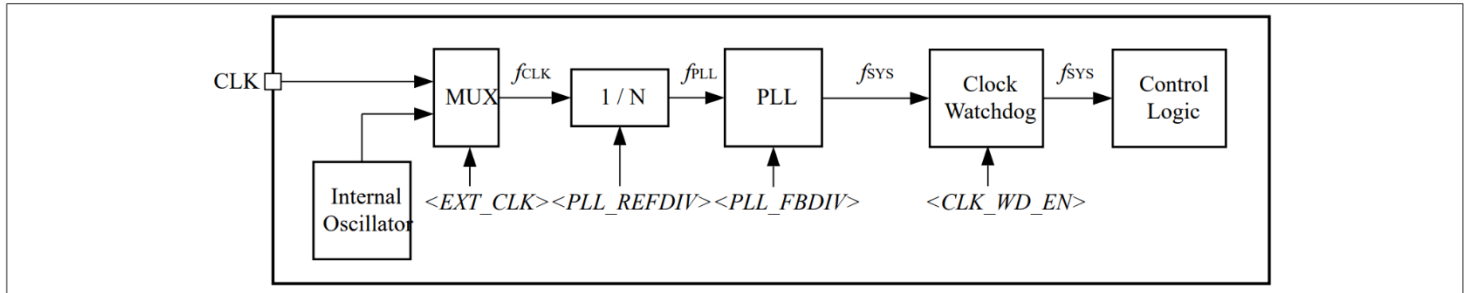


图 3 时钟生成

系统时钟频率 f_{SYS} 由下式给出:

$$f_{SYS} = f_{CLK} \cdot \frac{\langle PLL_FBDIV \rangle}{2 \cdot \langle PLL_REFDIV \rangle}$$

公式 2

通过选择外部时钟输入, 必须设置 PLL 分频器以满足系统时钟频率 f_{SYS} (见表“时钟控制寄存器设置”)。如果使用内部时钟振荡器, 则分频器位字段的内容将被忽略。PLL 基准分频器<PLL_REFDIV>和 PLL 反馈分频器<PLL_FBDIV> 的值位于 CLK_DIV 寄存器中。

$$\langle PLL_REFDIV \rangle = \text{round}\left(\frac{f_{CLK}}{1\text{MHz}}\right)$$

$$\langle PLL_FBDIV \rangle = \frac{56\text{MHz} \cdot \langle PLL_REFDIV \rangle}{f_{CLK}}$$

公式 3

功能说明

表10 时钟控制寄存器设置

f_{CLK} (MHz)	<PLL_REFDIV>	<PLL_FBDIV>	f_{SYS} (MHz)	Error (%)
1	1	56	28	0.00
1.5	1	37	27.75	-0.89
2	2	56	28	0.00
2.5	2	45	28.13	0.45
3	3	56	28	0.00
3.5	3	48	28	0.00
4	4	56	28	0.00
4.5	4	50	28.13	0.45
5	5	56	28	0.00
5.5	5	51	28.05	0.18
6	6	56	28	0.00
6.5	6	52	28.17	0.60
7	7	56	28	0.00
7.5	7	52	27.86	-0.51
8	8	56	28	0.00

4.2.2 TDS_时钟看门狗

内部系统时钟 f_{SYS} 可由单独的时钟看门狗监控。通过将 GLOBAL_CONFIG 寄存器中的 <CLK_WD_EN> 位设置为 0，可禁用时钟看门狗。只有在配置模式下，且 FB_STAT 寄存器中的 <INIT_DONE> 位为 1 时，才可以更改时钟看门狗配置。如果系统时钟 f_{SYS} 超出允许的频率范围 $f_{SYS,WD}$ ，则通过将 GLOBAL_DIAG0 寄存器中的 <CLK_NOK> 设置为 1 来指示时钟看门狗故障，所有功率级均被禁用，器件进入配置模式。如果时钟看门狗检测到时钟速度过快，器件将立即进入严重故障状态。

4.2.3 TDS_I/O 引脚

RESN 引脚

RESN 引脚是低电平有效引脚。如果该引脚为低电平，则所有通道均关闭，器件处于复位状态，并且所有寄存器均置位为其默认值。GLOBAL_DIAG0 寄存器中的位<RES_EVENT>表示通过 RESN 引脚触发的复位。RESN 输入引脚在内部被拉低电平 (GND)。

EN 引脚

EN 引脚是高电平有效引脚。当此引脚为低电平时，所有通道均关闭。EN 输入引脚在内部被拉低电平 (GND)。

FAULTN 引脚

FAULTN 引脚是开漏输出。如果功率上升后没有出现故障，则 FAULTN 引脚最初处于高位。当器件转换为严重故障状态、RESN 引脚为低电平或检测到未屏蔽故障时，FAULTN 引脚被拉低电平。可以通过设置 FAULT_MASK 寄存器中的相应屏蔽位来屏蔽 FAULTN 引脚上的故障指示。

- 通道相关：
 - CHx ICC 调节警告

功能说明

- CHx PWM 调节警告
- CHx 过热警告
- CHx 负载开路
- CHx 短路到电源
- CHx 短路到地
- 中央过热警告
- 中央过热错误
- SPI 看门狗错误
- 时钟太慢错误
- 数据错误
- EN 引脚状态指示
- 内部/外部电源故障

CLK 引脚

如果使用外部时钟输入，则必须在 CLK 引脚上施加数字输入时钟信号 f_{CLK} 。使用内部时钟时，引脚应连接到 GND。CLK 输入引脚在内部被拉至低电平 (GND)。

DRV 引脚

如果通道通过 DRV 引脚配置为直接驱动模式，则 DRV 引脚可以直接控制输出级。DRV 输入引脚在内部被下拉到低电平 (GND)。未使用的 DRV 引脚应连接至 GND。

SI、SO、CSN、SCK 引脚

SI、SO、CSN 和 SCK 引脚组成 SPI 接口。详细信息请参阅 SPI 章节。

4.2.4 I/O 电气特性

4.2.4.1 控制输入 EN、RESN、CLK、DRVx

表 11 控制输入 EN、RESN、CLK、DRVx

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压，正向电流流入引脚（除非另有说明）。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Digital high threshold voltage (EN, RESN, CLK, DRVx)	$V_{EN,high}$ $V_{RESN,high}$ $V_{CLK,high}$ $V_{DRVx,high}$	2	-	-	V	
Digital low threshold voltage (EN, RESN, CLK, DRVx)	$V_{EN,low}$ $V_{RESN,low}$ $V_{CLK,low}$ $V_{DRVx,low}$	-	-	0.8	V	
Digital input hysteresis (EN, RESN, CLK, DRVx)	$V_{IN_HYS,EN}$ $V_{IN_HYS,RESN}$ $V_{IN_HYS,CLK}$ $V_{IN_HYS,DRVx}$	-	50	-	mV	
Pull down current (EN, RESN, CLK)	$I_{PD,EN}$ $I_{PD,RESN}$ $I_{PD,CLK}$	10	-	50	μA	$V_{IN} = 0.8\text{ V}$

(表格续下页.....)

功能说明

表 11 (续) 控制输入 EN、RESN、CLK、DRVx

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
RESN, CLK, DRVx)	$I_{PD,DRVx}$					

4.2.4.2 FAULTN

表 12 FAULTN

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Output low threshold voltage (FAULTN)	$V_{FAULTN,LOW}$	0	–	0.4	V	$I_{FAULTN} = 2\text{ mA}$
Output leakage current (FAULTN)	$I_{FAULTN,LGK}$	-100	–	100	μA	No fault present $0\text{ V} < V_{FAULTN} < V_{IO}$

4.3 IC 操作状态

4.3.1 TDS_IC 操作状态

复位状态:

- 对SPI指令的应答是 16 位应答帧。
- 当产品离开复位状态时, 所有SPI寄存器的值都被复位为默认值。

配置模式:

- 所有通道均被禁用。<EN_CH>位都为0, 不能置位。
- 通道诊断已禁用 (HS 和 LS 电流源已禁用)。
- 通道模式、全局配置、并行通道操作和PLL分频器只能在Config Mode下配置。

任务模式:

- 这些通道及其各自的诊断仅在任务模式下有效。

严重故障状态:

- IC 将使用严重故障帧回复所有 SPI 交互。
- FAULTN 引脚被拉低电平。

下面的状态图概述了转换条件。

功能说明

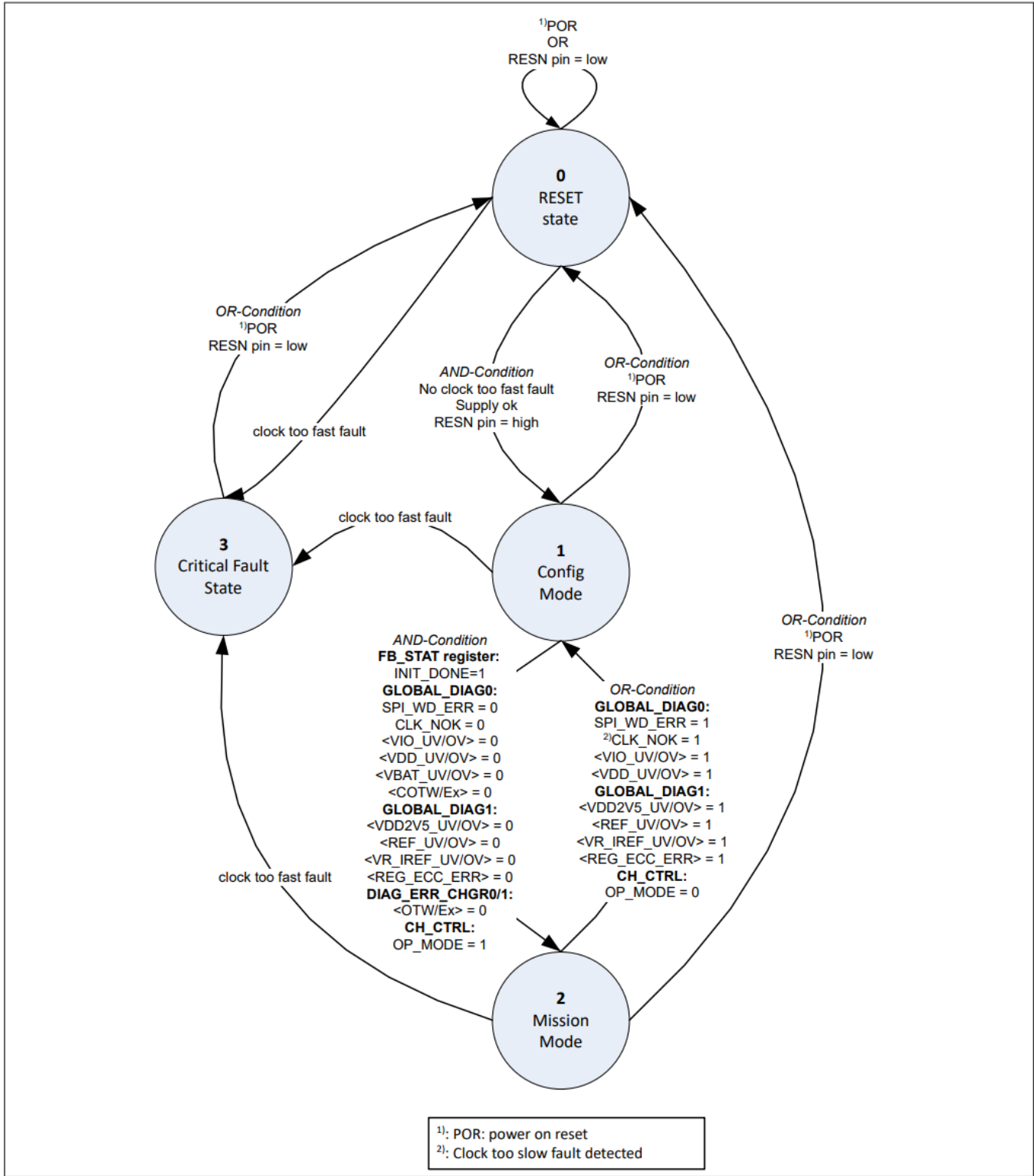


图 4 操作状态和转换

功能说明

4.4 通道模式

4.4.1 TDS_通道模式

IC提供不同的模式来控制通道的输出级。可以通过编程MODE寄存器来选择通道模式。仅在配置模式下才可以更改通道模式。这平均反馈值的测量周期 T_{meas} 取决于所选的通道模式（参见“电流监控”章节）。

4.4.2 通道模式

Channel Mode	Measurement Period T_{meas} for Feedback Values
Channel off	No measurement active
Current Control ICC	Dither Period T_{Dither}
Direct Drive via on-time (TON register)	Dither Period T_{Dither}
Direct Drive via DRV pin	- If configured Dither Period T_{Dither}, else - Time between two rising edges at DRV pin
Measurement Mode*	Dither Period T_{Dither}

4.4.3 TDS_测量模式 - (4/6CHx)

注释： 采样电阻上的电流测量可用于高精度电流测量应用。在测量模式下，内部低边开关不导通。

4.4.4 TDS_附加信息通道模式

注释： 有关“电流控制”和“直接驱动”模式的详细信息，请参阅相应的章节。

4.5 功率级

4.5.1 TDS_通道概述- (4CHx)

该器件集成了四个独立的输出通道。每个通道的输出功率级由低边N型DMOS晶体管和电流检测电阻组成。内置过流和过温检测电路可保护开关和检流电阻免受外部故障的影响。高边负载可以连接到LOADx引脚。对于感性负载，必须在FWDx引脚处添加二极管以实现外部续流。功率级的输出电压斜率可以在CH_CONFIG寄存器中编程。

功能说明

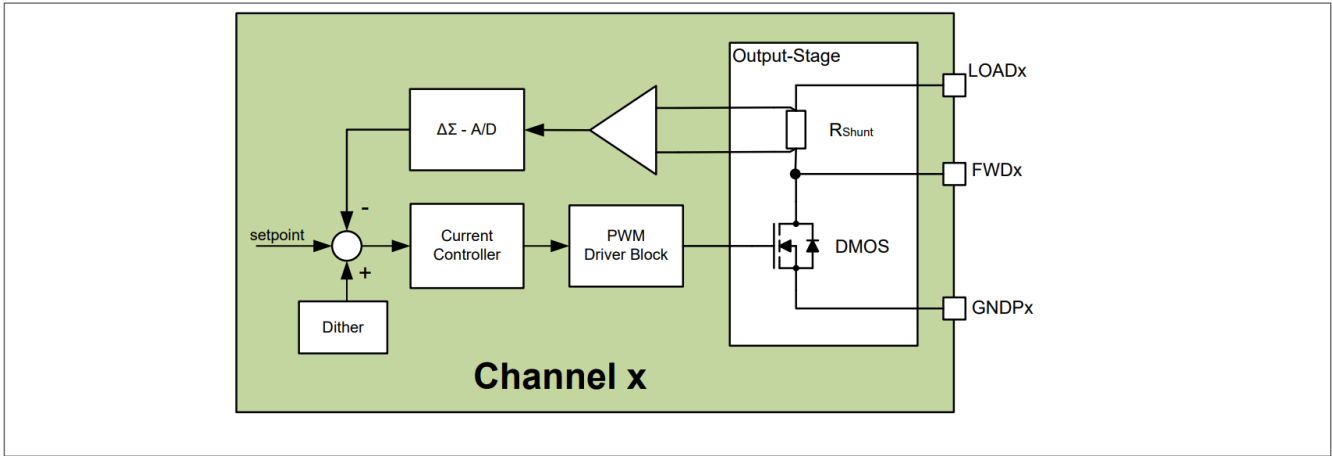


图5 通道框图

4.5.2 TDS_并联通道操作 - (4CHx)

该IC具有输出级并联模式，可增加器件的最大电流能力。通道0和3以及通道1和2可以互相并联。通道0和通道1为主通道，通道2和通道3为从通道。仅主通道可以通过 SPI 配置。当器件处于配置模式时，可以在 CH_CTRL 寄存器中启用或禁用并联通道模式。

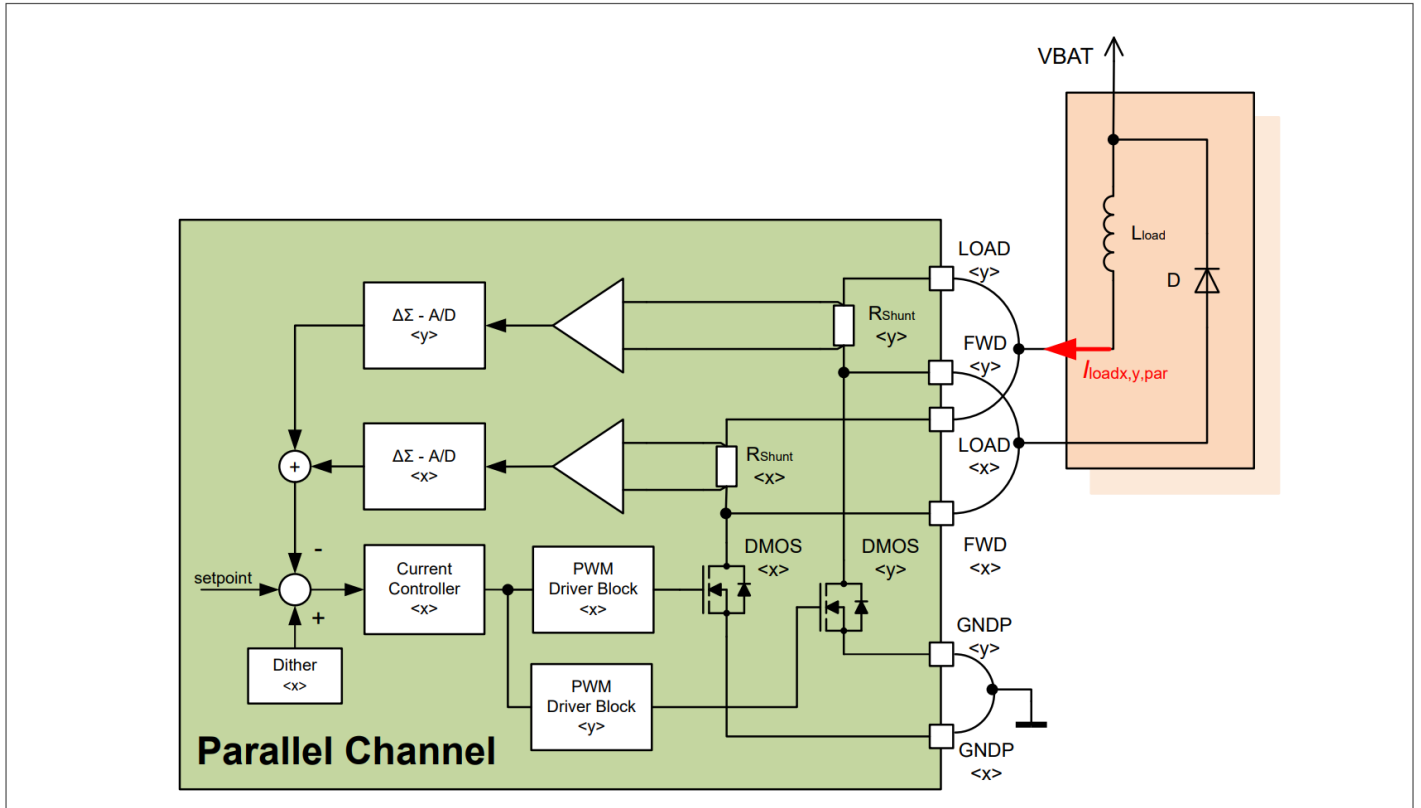


图 6 并联通道配置 从通道

电流控制器和从通道的关断状态诊断被禁用。对从通道的 MODE 寄存器的写入访问将被忽略并读回零。从通道的电流设定值不能设置，读回为零。从通道的所有反馈寄存器都必须被忽略。对从通道 <EN_CH> 位的写入将被忽略并读回 0。禁用并联通道模式后，必须将从通道重新配置为所需的通道行为。

电流设定值

功能说明

在并联通道模式下，使用主通道的配置电流设定值。因此，电流设定值的低字节（最低有效位）是翻倍的。

诊断功能

固定 OLSG（负载开路/短路到地）阈值的最低有效位按两倍缩放。OC（过流）保护功能在主和从通道上都有效。如果主通道或从通道检测到 OC 故障，则两个通道都将被停用。

反馈功能

FB_I_AVG 寄存器中的电流反馈代表主通道和从通道的采样电阻上的总电流。可以从主通道读取占空比反馈。

4.5.3 功率级电气特性

表 13 功率级电气特性

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压，正向电流流入引脚（除非另有说明）。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Shunt resistance	R_{shunt}	–	140	185	m Ω	
ON resistance	$R_{DS(on)}$	–	115	200 ¹⁾	m Ω	¹⁾ $T_J = 150^{\circ}\text{C}$, $I_{LOADx} = 2.0\text{ A}$
Leakage current (LOADx, FWDx)	$I_{LOADx,LKG}$ $I_{FWDx,LKG}$	-100	–	100	μA	$V_{BAT} = 18\text{ V}$; Setpoint = 0 mA; Diagnosis off
Slew rate 0	SR0	0.5	1	2	V/ μs	$V_{BAT}=14\text{V}$; $R_{LOAD}=10\Omega$ 20% to 80% of applied load voltage <SLEWR> = 00 _B
Slew rate 1	SR1	1.25	2.5	5	V/ μs	$V_{BAT}=14\text{V}$; $R_{LOAD}=10\Omega$ 20% to 80% of applied load voltage <SLEWR> = 01 _B
Slew rate 2	SR2	2.5	5	10	V/ μs	$V_{BAT}=14\text{V}$; $R_{LOAD}=10\Omega$ 20% to 80% of applied load voltage <SLEWR> = 10 _B
Slew rate 3	SR3	5	10	20	V/ μs	$V_{BAT}=14\text{V}$; $R_{LOAD}=10\Omega$ 20% to 80% of applied load voltage <SLEWR> = 11 _B

4.6 电流控制

4.6.1 TDS_平均电流设定值

平均电流设定值由 SETPOINT 寄存器中 <TARGET> 的内容决定。当前规定的准确度范围如下图所示。精度是在器件的正常工作范围内指定的（包括正常工作结温范围）。

功能说明

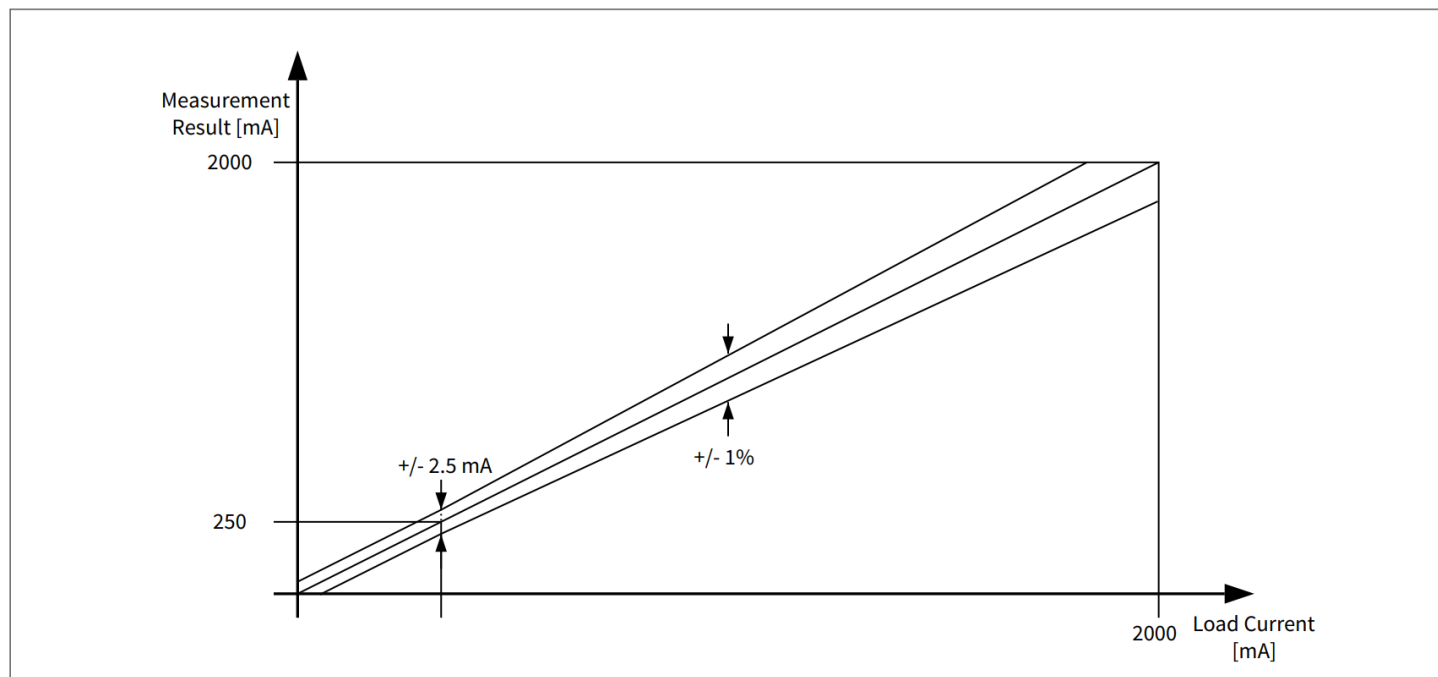


图 7 **电流精度**

4.6.2 积分电流控制器 (ICC)

4.6.2.1 TDS_积分电流控制器 (ICC)

电流控制器通过打开和关闭内部晶体管自动将负载电流调节至用户定义的设定值。如果内部晶体管导通，流经感性负载的电流将增加。如果内部晶体管关闭，电流将继续流过续流二极管并逐渐衰减。

积分电流控制器 (ICC) 基于一个PWM周期内的积分电流误差为零的要求。这意味着一个PWM周期后的平均电流恰好等于目标电流。控制器积分电流偏差（负载电流和设定点之间的差异）并相应地切换输出级：当积分电流偏差低于可配置积分器阈值时，功率级打开。在这个阶段负载电流将会增加。当积分电流误差超过确定的积分器阈值时，功率级关闭，电流通过续流二极管重新循环。当积分电流偏差过零点时，平均电流达到设定值，这也决定了一个新的 PWM 周期的开始。ICC 开关特性提供了物理上最快的电流响应，这使得它能够非常稳定地抵御负载电压下降。

功能说明

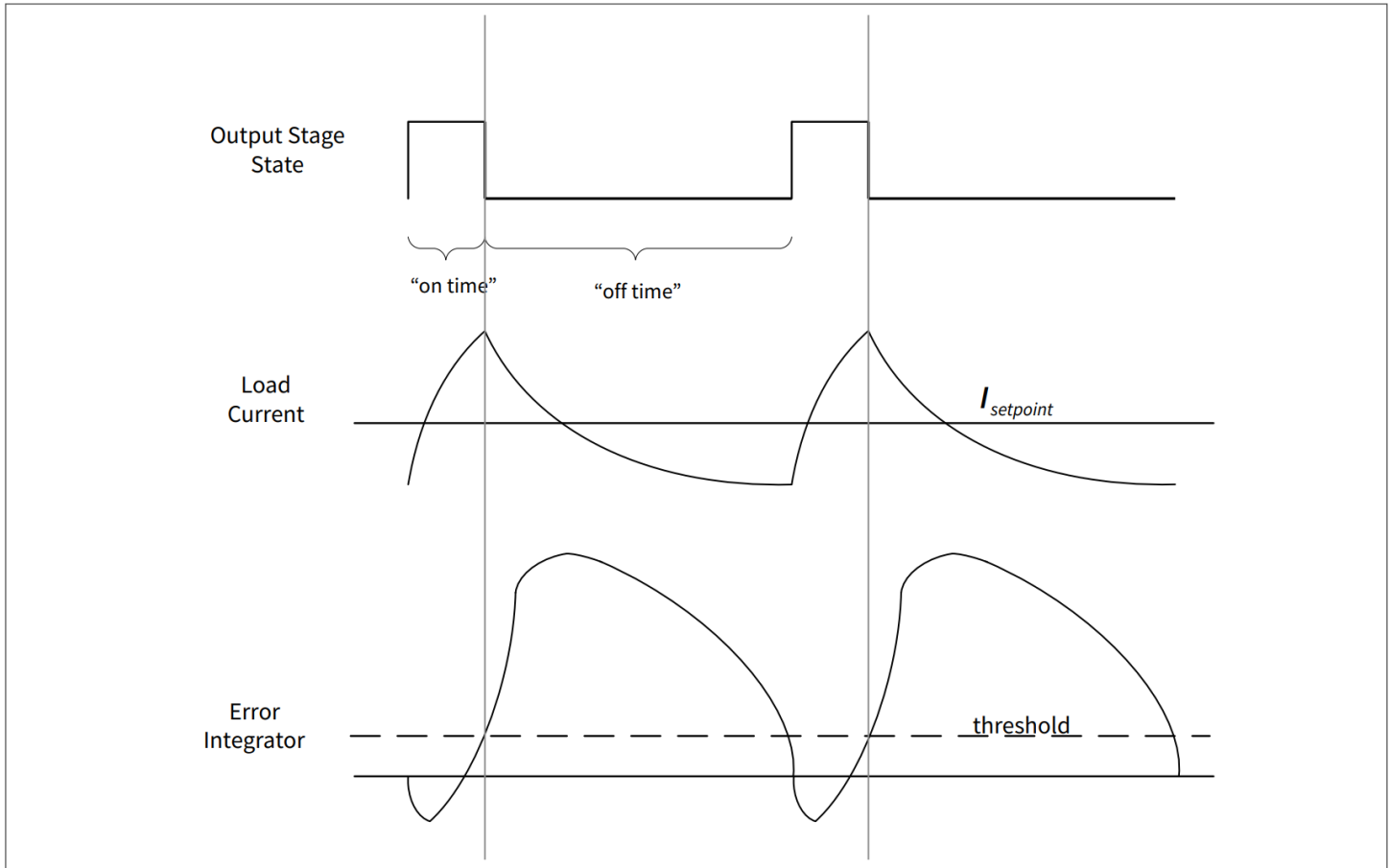


图8 **电流控制波形**

4.6.2.2 TDS_积分器限制值

为了避免积分器跑飞，ICC 积分器可以饱和。积分器限制值可通过 INTEGRATOR_LIMIT 寄存器中的 +/- <LIM_VALUE_ABS> 配置。

为了避免设定值改变后电流超调，引入了自动限制值功能。在电流设定值改变后最多两个PWM周期，该器件将积分器的值限制为 +/-<AUTO_LIM_VALUE_ABS>（INTEGRATOR_LIMIT 寄存器）。自动限制值完成后，ICC自动恢复到正常积分器限值+/-<LIM_VALUE_ABS>。自动限制值功能可通过对SETPOINT寄存器的<AUTO_LIMIT_DIS> 位写入1来禁用。

功能说明

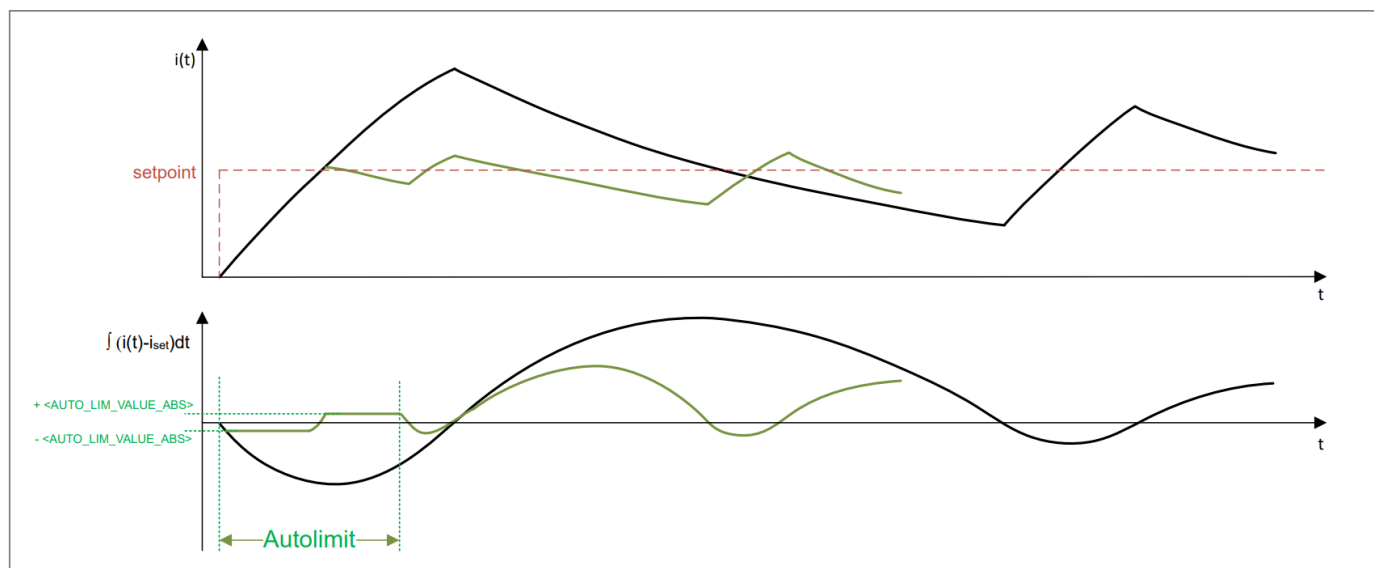


图9 自动限制值特点

4.6.2.3 TDS_PWM 频率控制

负载特性和负载供电电压影响ICC控制器的PWM输出频率。可以通过修改积分器阈值来调整LS-FET的导通时间，从而调整PWM周期。积分器阈值越大，导通时间越长。尽管配置的积分器阈值为正值，但实际阈值可能为负值，因为它参考的是导通阶段捕获的最低电流偏差整数值。这意味着可以实现非常短的导通时间配置。

最短导通时间是通过将积分器阈值限制为可通过CTRL寄存器中的<MIN_INT_THRESH>配置的最小值来确定的。

有两个选项可设置积分器阈值来调整PWM信号频率。

手动设置导通时间

通过在CTRL_INT_THRESH寄存器中编程固定积分器阈值<INT_THRESH>，可以手动设置驱动器导通时间以及目标PWM周期。必须通过将PERIOD寄存器中的<PERIOD_MANT>设置为0来禁用PWM频率控制器。

自动PWM控制

PWM信号频率控制器使用具有可编程增益KI的“积分”控制环路来调节PWM信号频率。该控制环路监视实际PWM周期，并将其与PWM周期寄存器中的PWM周期目标设置进行比较和减去。PWM周期内的误差乘以增益KI，然后在每个PWM周期进行积分。控制器的输出调整PWM信号的导通时间直到实际PWM周期与设定的PWM周期匹配。可以通过在PERIOD寄存器中设定一个目标PWM周期 T_{period} 来激活内部PWM信号频率控制器。

$$T_{period} = \frac{\langle PERIOD_MANT \rangle \cdot 2^{\langle PERIOD_EXP \rangle}}{f_{SYS}}$$

公式 4

通过设置位<LOW_FREQ_RANGE_EN>来实现配置更低的目标PWM信号频率，按如下计算。

$$T_{period} = \frac{\langle PERIOD_MANT \rangle \cdot 8 \cdot 2^{\langle PERIOD_EXP \rangle}}{f_{SYS}}$$

公式 5

功能说明

CTRL_INT_THRESH 寄存器中的位 <INT_THRESH> 决定电流设定值改变或 PWM 控制器激活后使用的积分器阈值。在应用新的设定点之前，必须配置 <INT_THRESH> 值。PWM 信号频率控制器计算出的阈值可以从 FB_INT_THRESH 寄存器中获取。PWM 信号频率控制器计算出的阈值可以从 FB_INT_THRESH 寄存器中读回。阈值可用于对 <INT_THRESH> 进行编程，以减少 PWM 信号频率控制器的建立时间，例如在电流设定值更改后。

注意：自动限制值阈值必须大于 ICC 正常运行的阈值下限配置(<AUTO_LIM_VALUE_ABS> > <MIN_INT_THRESH>+0x3)。

PWM 信号频率控制参数 KI 可以通过 PERIOD 寄存器中的 <PWM_CTRL_PARAM> 设置。积分器参数 KI 决定增益，从而决定 PWM 信号频率控制环路的响应速度。KI 值为 0 会导致 PWM 控制速度更慢但更稳定。

在深度颤振设置期间，可能会出现较长的关闭时间，最终导致下一个上升的颤振斜率中的高频率。频率控制器不考虑下降的颤振斜率，通过设置 CTRL 寄存器中的 <PWM_PERIOD_CALC_MODE>。

4.6.2.4 TDS_PWM 调节警告

如果 ICC 积分器值下降到导通阶段捕获的最小积分值以下，则会发出 ICC PWM 调节警告。如果从 PWM 控制计算出负绝对积分器阈值并且负载的惯性太大，就会发生这种情况。这意味着积分电流偏差不能超过零电平，因此功率级将不再开启。

可以通过将 CTRL 寄存器中的 <MIN_INT_THRESH> 编程为大于 1 的值来避免负积分器阈值。恢复过程通过触发自动限制值功能来维持电流调节。自动限制值完成后，使用 <INT_THRESH> 位域中配置的积分器阈值。通过置位 DIAG_WARN_CHGR 寄存器中的 <PWM_REG_WARN> 位来发出 PWM 调节警告信号。

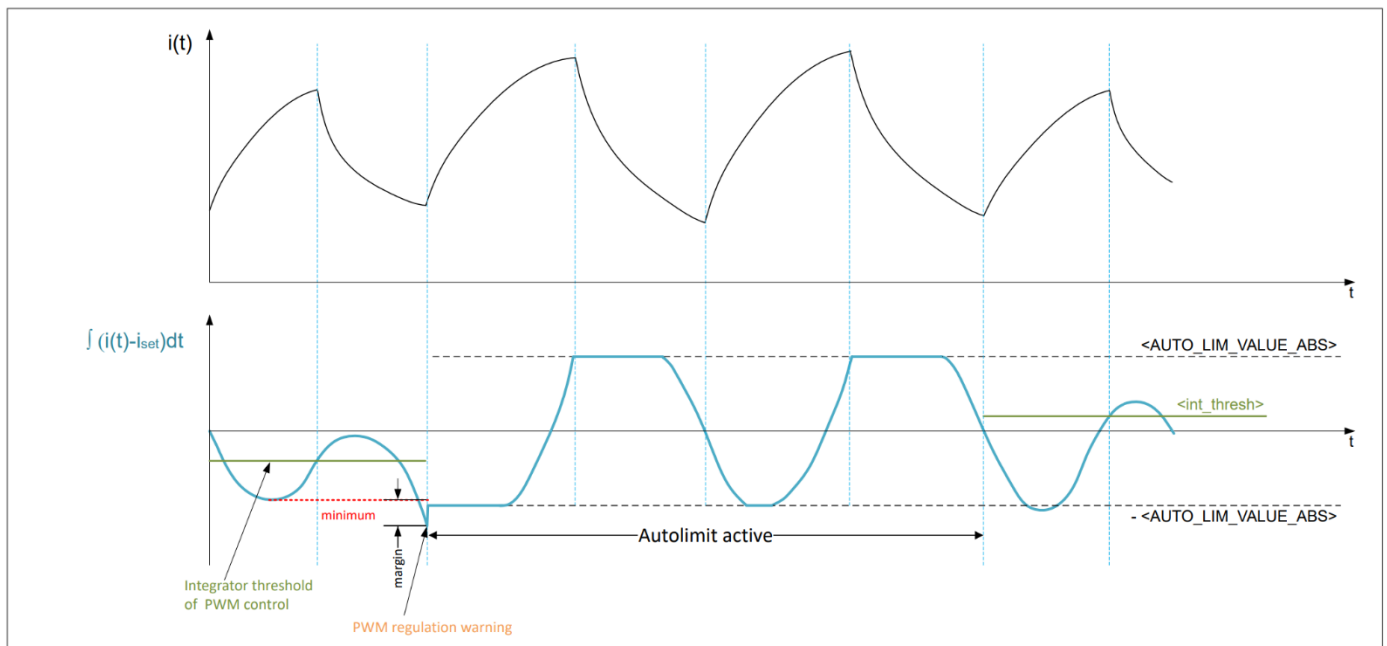


图 10 ICC PWM 调节警告

4.6.2.5 TDS_电流调节警告

如果 ICC 积分器值达到绝对积分器限值，则会出现 ICC 电流调节警告<LIM_VALUE_ABS> 位于 INTEGRATOR_LIMIT 寄存器中。例如，在电压下降时可能会发生这种情况。恢复过程通过触发自动限制值功能来维持电流调节。积分器阈值将复位至位于 CTRL_INT_THRESH 寄存器中的 <INT_THRESH>。通过置位 DIAG_WARN_CHGR 寄存器中的相应 <I_REG_WARN> 位来发出警告信号。

功能说明

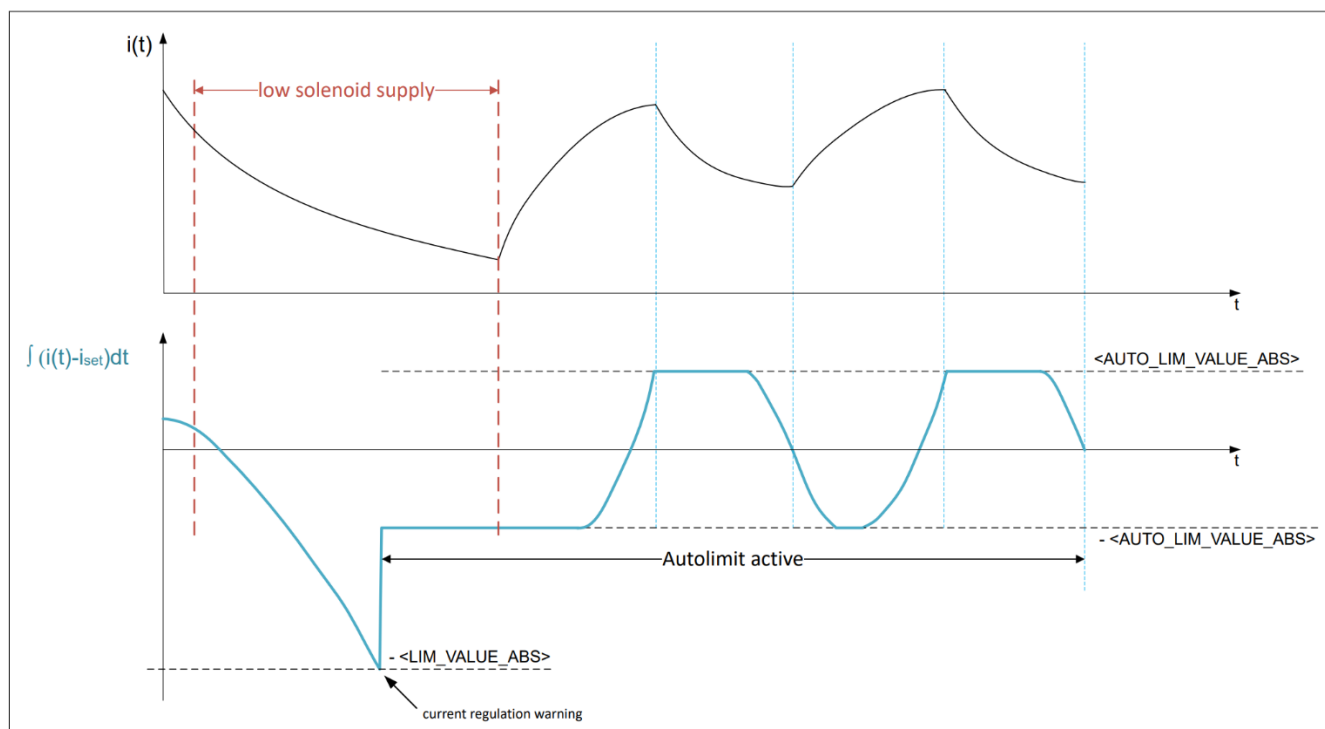


图 11 ICC 电流调节警告

4.6.3 电气特性 电流控制

表 14 电气特性电流控制

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Average current control error, absolut	$I_{err.absolut}$	-2.5	–	2.5	mA	$I_{set} = 10 - 250\text{ mA}$ Single channel operation
Average current control error, absolut - parallel	$I_{err.absolut,par}$	-5	–	5	mA	$I_{set,par} = 20 - 500\text{ mA}$ Parallel channel operation
Average current control error, relative	$I_{err.relative}$	-1	–	1	%	$I_{set} > 250\text{ mA}$; single channel operation $I_{set,par} > 500\text{ mA}$; parallel channel operation
Load current	I_{set}	0	–	1500	mA	DC setpoint current Single channel operation
Dither current	$I_{set} + I_{Dither}$	0	–	1800	mA	DC setpoint current incl. dither current amplitude Single channel operation
Measurement current	I_{LOADx}	0	–	2000	mA	DC setpoint incl. dither current amplitude and overshoot Single channel operation

(表格续下页.....)

功能说明

表 14 (续) 电气特性电流控制

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
						The user must take care that the maximum value is not exceeded
Measurement current - parallel	$I_{LOADx,y,par}$	0	-	2700	mA	DC setpoint current incl. dither current amplitude and overshoot Parallel channel operation Single channel measurement range I_{LOADx} of each Channel shall not be violated

4.7 颤振

4.7.1 TDS_颤振配置

一个可配置的颤振波形可以被添加到平均电流设定值, 以减少驱动电磁阀线圈的滞后。颤振波形操作是在电流设定值上叠加三角形或梯形波。颤振波形是通过根据编程的形状永久改变电流设定值来生成的。可以通过设置 DITHER_STEP 和 DITHER_CTRL 寄存器中的 <STEPS>、<STEP_SIZE> 和 <FLAT> 值来配置颤振形状。<STEP_SIZE> 值缩放每个颤振阶梯的高度, 其中最低有效位等于设定寄存器中的 <TARGET>。<STEPS> 的值决定了颤振波形每个半周期上升沿和下降沿的步数。<FLAT> 的值决定了颤振波形的最小和最大平台处的水平步数。

颤振电流幅值 I_{Dither} 可以如下计算。

$$I_{Dither} = \langle \text{STEPS} \rangle \cdot \langle \text{STEP_SIZE} \rangle \cdot \frac{2A}{2^{15} - 1}$$

公式 6

应注意不要配置负的颤振幅值 ($I_{set} - I_{Dither} > 0$), 并且可能的超调不会违反指定的测量电流范围 I_{LOADx} 或 $I_{LOADx,par}$ (并联通道操作)。如果目标电流设定值设置为 0, 则颤振叠加 I_{Dither} 会被禁用。

颤振的周期 T_{Dither} 由 DITHER_CLK_DIV 寄存器的 <MANT>, <EXP> 值决定。颤振周期 T_{Dither} 和颤振参考时钟 t_{ref_clk} 可以如下计算。

$$T_{Dither} = (4 \cdot \langle \text{STEPS} \rangle + 2 \cdot \langle \text{FLAT} \rangle) \cdot t_{ref_clk}$$

公式 7

功能说明

$$t_{ref_clk} = \frac{\langle MANT \rangle \cdot 2^{\langle EXP \rangle}}{f_{SYS}}$$

公式 8

$$t_{flat} = \langle FLAT \rangle \cdot t_{ref_clk}$$

公式 9

注释：如果 $\langle STEPS \rangle = 0$ 且 $\langle FLAT \rangle = 0$ ，则颤振周期 $T_{Dither} = t_{ref_clk}$

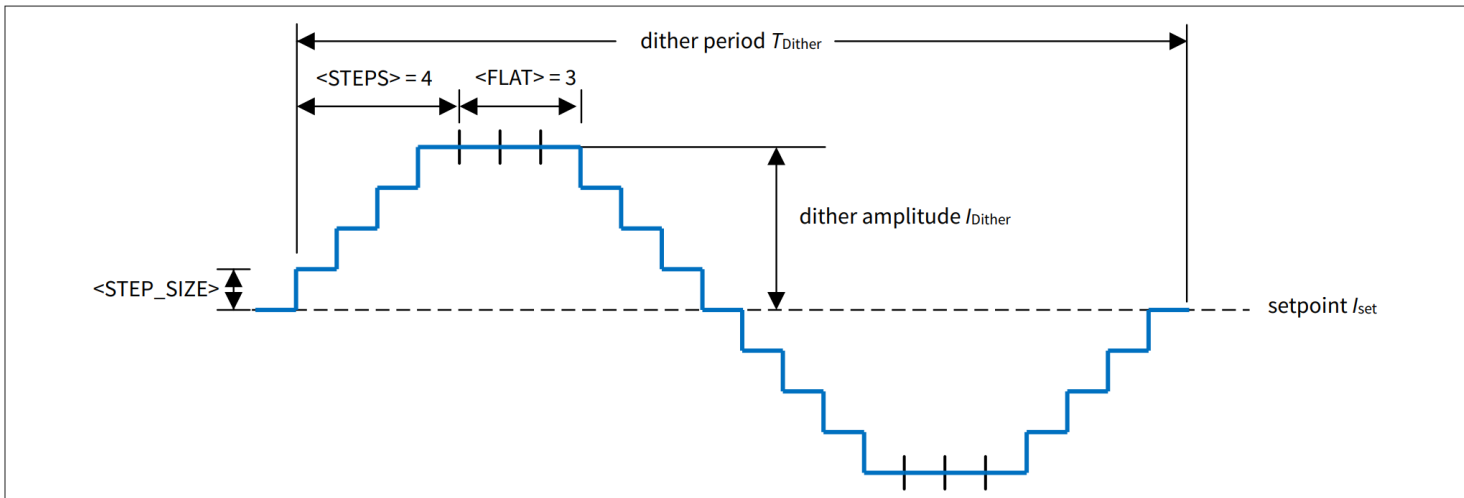


图 12 颤振波形配置

4.7.2 TDS_颤振参数更新

所有位于寄存器 DITHER_STEP 和 DITHER_CTRL 中的颤振参数在写入 DITHER_CTRL 寄存器后，在下一个颤振周期开始时生效。在当前颤振周期内触发更新事件（写入 DITHER_CTRL）后，最后收到的颤振配置（DITHER_STEP/ DITHER_CTRL）会被采用。参考时钟的更新

DITHER_CLK_DIV 寄存器控制的基准时钟 t_{ref_clk} 的更新将立即生效。如果通过清除 $\langle STEP_SIZE \rangle$ 来禁用颤振幅值，则当前颤振周期会被执行完毕。如果 $\langle EN_CH \rangle$ 位转换为 1，则配置的颤振周期和叠加将立即（重新）开始。

4.7.3 TDS_颤振与PWM 同步

颤振与PWM的同步功能会在下一个PWM周期开始时启动新的颤振周期同步，从而使每个颤振周期具有相同的起始条件。PWM周期的开始定义为输出级的开启。颤振周期的开始被定义为当颤振在上升斜率上增加到零以上一步时。颤振与PWM同步可以通过设置

DITHER_CLK_DIV 寄存器中的 $\langle DITHER_PWM_SYNC_EN \rangle$ 位来使能。当 $\langle DITHER_PWM_SYNC_EN \rangle$ 位置位为 0 时，颤振波形是自由运行的，与PWM频率异步。

功能说明

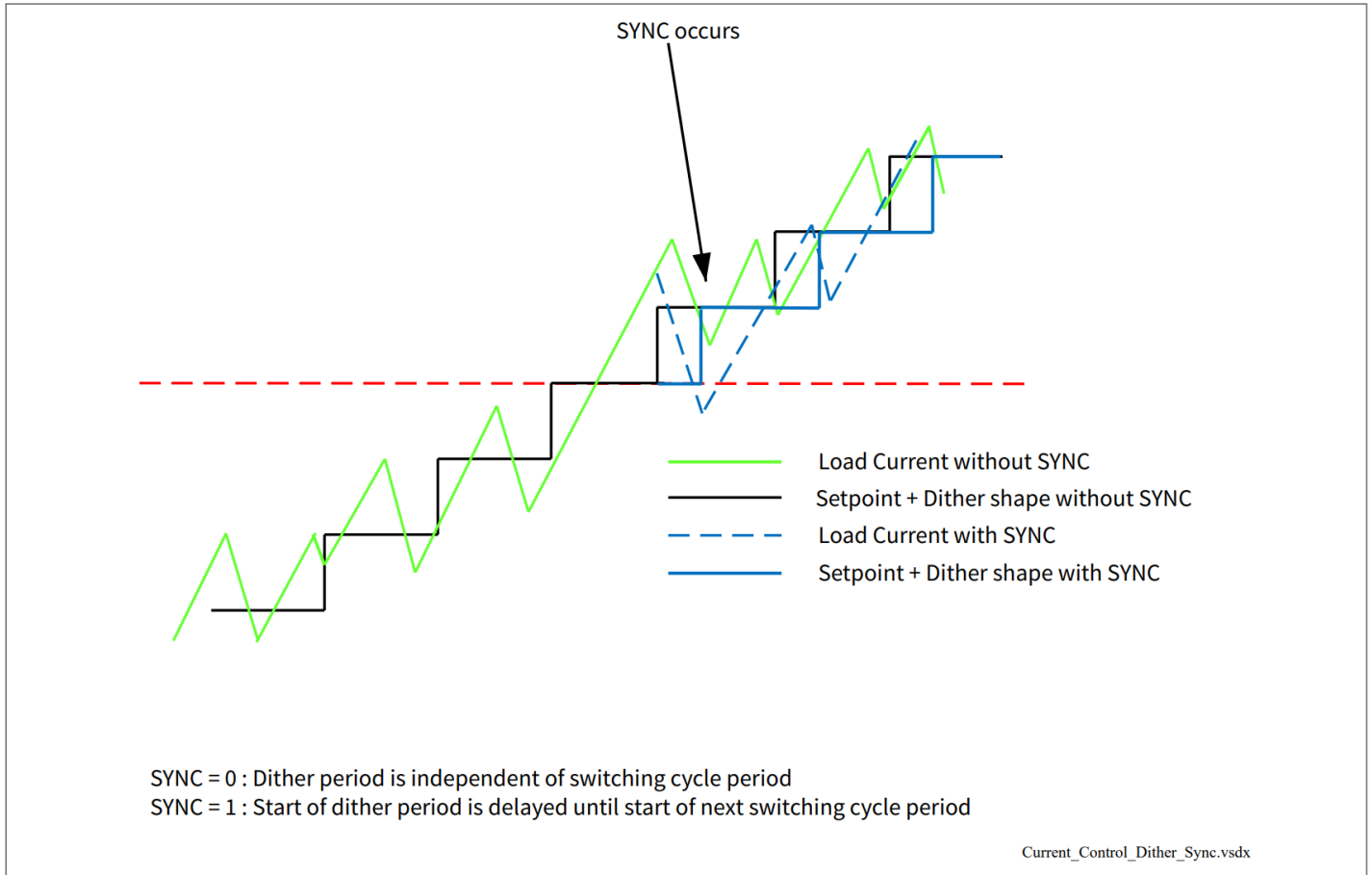


图 13 颤振同步

4.7.4 TDS_仅 ICC

注意：此特点仅在ICC 通道模式下可用。

4.7.5 TDS_颤振与电流设定值同步

颤振与电流设定值同步特点是在设定值改变后以最短的时间内更新通道的平均反馈值 (FB_DC, FB_I_AVG, FB_VBAT)。当达到新的设定点时，颤振与电流设定值同步会重新启动颤振周期。因此，反馈值的测量周期 T_{meas} (抖动周期) 总是与电流设定值变化保持同步，并且平均反馈值 (FB_DC, FB_I_AVG, FB_VBAT) 不存在延迟。可以通过编程DITHER_CLK_DIV寄存器中的<DITHER_SETPOINT_SYNC_EN>来启用颤振周期与电流设定值变化的同步。

DITHER_CLK_DIV寄存器中的bit位如果使用电流设定值“0”禁用通道，则启用的电流设定值同步会使用最后一个有效测量结果冻结平均反馈寄存器 (FB_DC、FB_I_AVG、FB_VBAT)。

4.7.6 TDS_仅 ICC

注意：此特点仅在ICC 通道模式下可用。

4.7.7 TDS_深度颤振

陡峭而深的颤振指令相当于电流设定值的巨大变化。通过永久启用自动限制值功能，深度颤振功能可减少非常陡峭的颤振过冲和下冲。通过设置 DITHER_CTRL 寄存器中的<DEEP_DITHER> 位可以实现深度颤振功能。

功能说明

4.7.8 TDS_仅ICC

注意：此特点仅在 ICC 通道模式下可用。

4.8 直接驱动

4.8.1 TDS_直接驱动

在直接驱动中，通道的输出级由用户直接控制。为了实现输出级切换，必须通过将 <EN_CH> 位设置为 1 并将目标电流设定值设为不同于零来激活相应的通道。必须通过编程 MODE 寄存器来选择直接驱动模式。

通过 DRV 引脚的直接驱动模式

在直接驱动模式下，通过 DRV 引脚，通道的输出级根据相应 DRV 引脚处的逻辑电平进行切换。如果 DRV 引脚为高电平，则通道打开；如果 DRV 引脚为低电平，则通道关闭。

通过 SPI 开启时间实现直接驱动模式

在 SPI 直接驱动模式下，通道的输出级根据可配置的周期进行切换。周期 T_{period} 由 DITHER_CLK_DIV 寄存器中的位字段 <MANT> 和 <EXP> 设置。一个周期内的导通时间 t_{on} 可以用 TON 寄存器中的 <TON_MANT> 位字段配置。

$$T_{period} = \frac{\langle MANT \rangle \cdot 2^{\langle EXP \rangle}}{f_{SYS}}$$

$$t_{on} = \frac{\langle TON_MANT \rangle \cdot 2^{\langle EXP \rangle}}{f_{SYS}}$$

公式 10

4.9 诊断功能

4.9.1 TDS_概述

每个 IC 通道都有独立的负载开路 (OL)、过流 (OC) 和短路 (SG) 诊断。

应考虑以下几点：

- 所有故障模式均仅被认为发生在板外布线的 LOAD 引脚上。
- 诊断指示位通过写操作清零。
- 仅当器件处于任务模式时才能启用诊断

诊断包括 ON 状态诊断和 OFF 状态诊断。应使用两种诊断状态来实现完整的故障分析覆盖范围。

ON 状态诊断

如果 <EN_CH> 置位并且电流设定值不为 0 mA，则通道处于 ON 状态。ON 状态下的所有诊断功能都依赖于通过检流电阻测量电流。ON 状态诊断无法区分接地短路 (SG) 故障和负载开路 (OL) 故障。这些故障被归纳为 ON 状态下的负载开路 / 接地短路故障 (OLSG)。需要通过 OFF 状态诊断来区分是否存在 OL 或 SG。

OFF 状态诊断

如果出现以下情况，则通道处于关闭状态

1. 电流设定值为 0，且 <EN_CH> 位置位为 1（使用 OFF 状态诊断状态机时 EN 引脚必须为高）
2. 电流设定值非零，且 <EN_CH> 位为 0。

功能说明

第一个条件可用于初步测试应用电路。第二个条件是在 ON 状态诊断检测到故障后出现的。

在 OFF 状态下，LOADx 引脚的内部上下拉电流源 I_{HS} 和 I_{LS} 被开启。 I_{HS} 和 I_{LS} 的开关配置和电流强度可以在 CH_CONFIG 寄存器中配置。

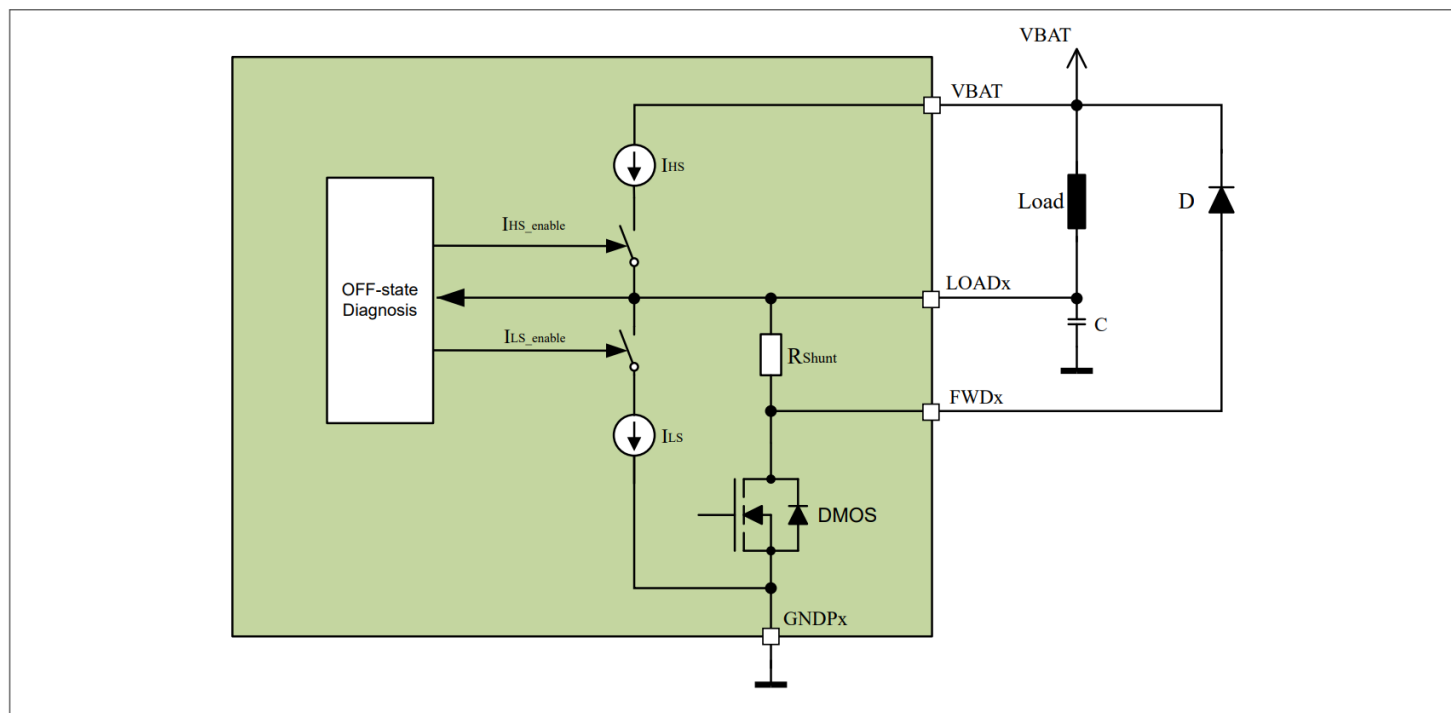


图14 OFF状态诊断电路

将 CH_CONFIG 寄存器中的 <OFF_DIAG_CH> 位设置为“0”，激活 OFF 状态诊断。OFF 状态诊断通过执行以下负载引脚电压检查来检测并指示负载开路 (OL) 或接地短路 (SG) 故障。

1. 下拉诊断电流源 I_{LS} 启用，上拉诊断电流源 I_{HS} 禁用。
 - 如果 $V_{LOAD} > V_{TH_BAT/2}$ ，则检测到无故障。
 - 如果 $V_{LOAD} < V_{TH_BAT/2}$ ，则控制时序继续。
2. 上拉诊断电流 I_{HS} 启用，下拉诊断电流 I_{LS} 禁用。
 - 如果 $V_{LOAD} > V_{TH_BAT/2}$ ，则检测到 OL 并在 DIAG_ERR_CHGR 寄存器中指示。
 - 如果 $V_{LOAD} < V_{TH_BAT/2}$ ，则会检测到 SG 并在 DIAG_ERR_CHGR 寄存器中指示。

OFF 状态诊断按顺序处理所有通道。OFF 状态诊断序列需要 $T_{off,sequence}$ 。

功能说明

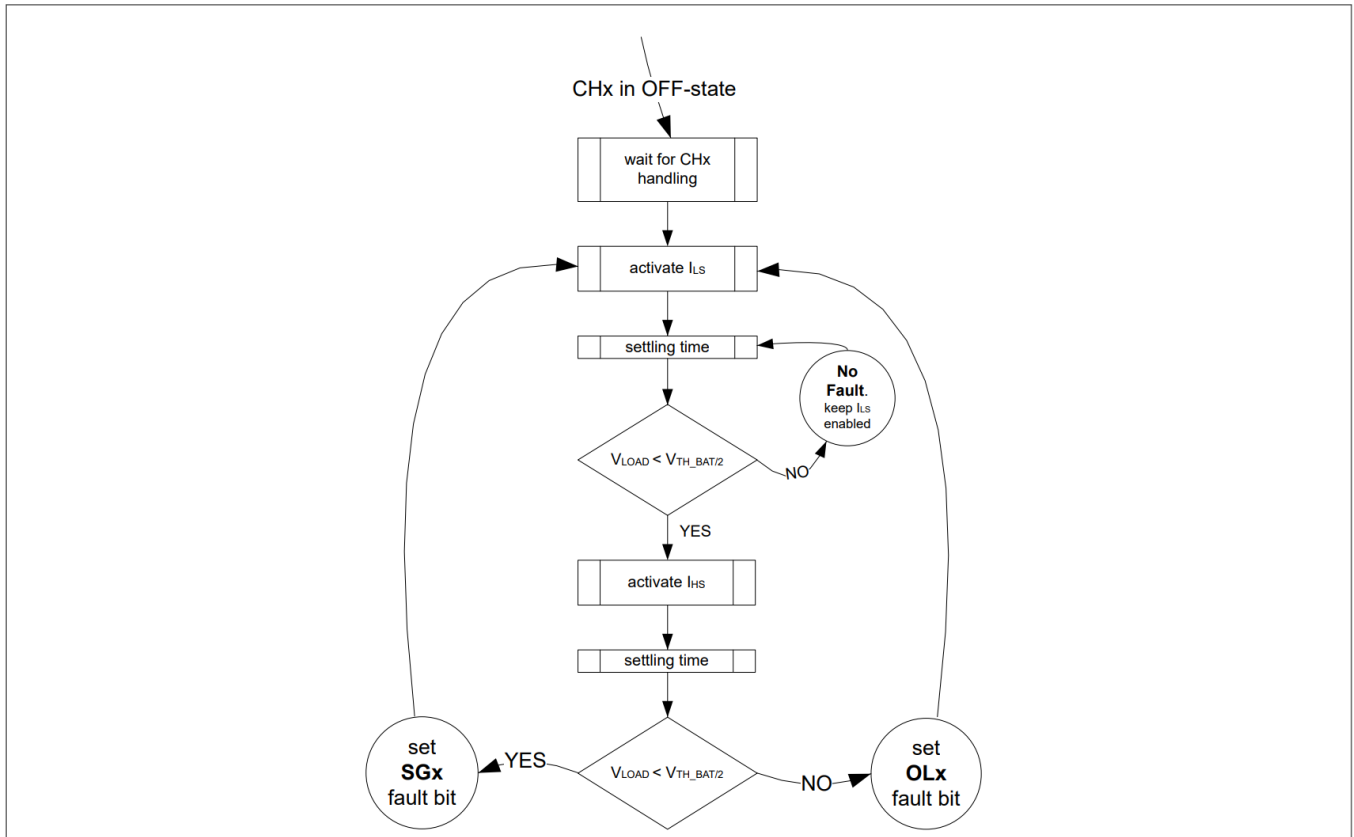


图 15 **OFF 状态诊断顺序**

4.9.2 TDS_负载开路/短路到地 (OLSG)

负载开路 (OL) 和短路到地 (SG) 都会减少流经检流电阻的电流。因此，这些故障在 ON 状态下无法区分，归纳为 OLSG 故障。如果驱动端导通时间累积等于 T_{OLSGON} 并且负载电流 I_{LOAD} 低于负载开路阈值 I_{OLTH} ，则检测到 OLSG。

功能说明

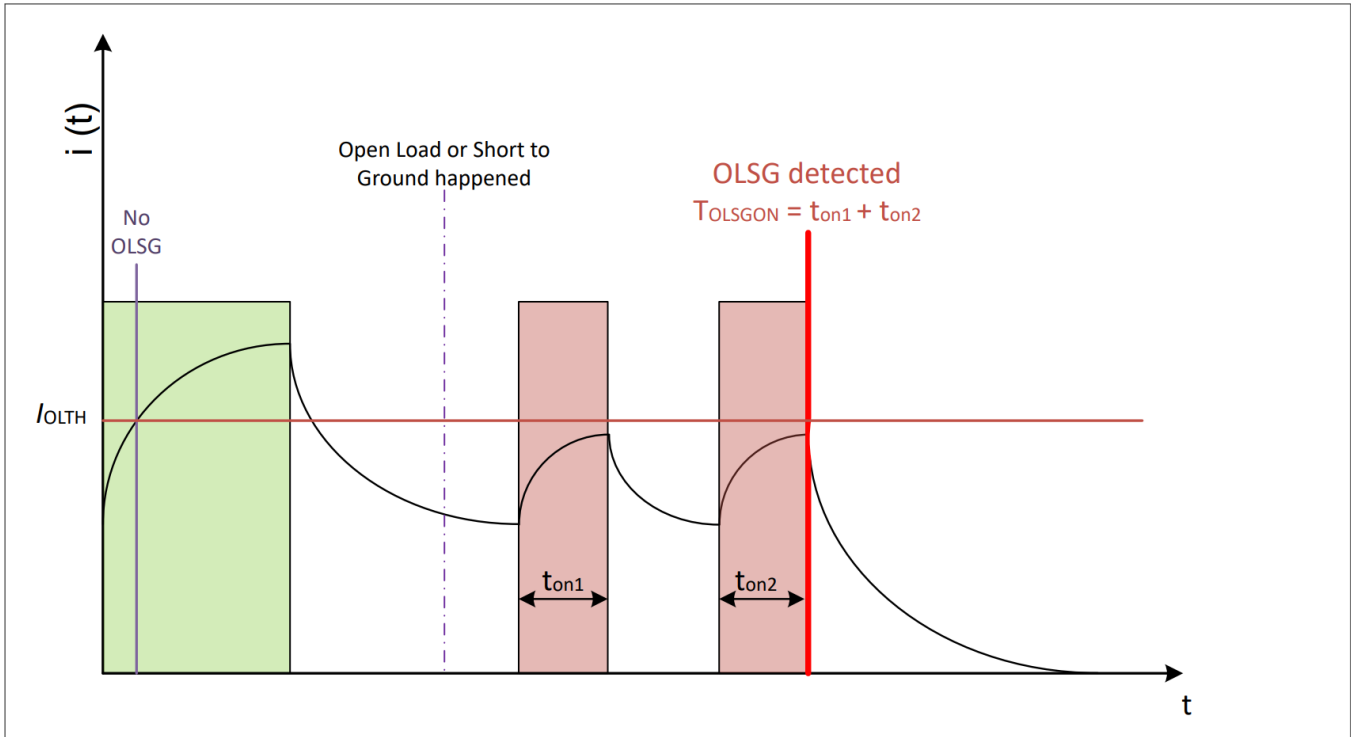


图 16 简化的OLSG检测机制

OLSG 故障会关闭相应的功率级，并通过设置 DIAG_ERR_CHGR 寄存器中的相应 OLSG 位来指示。该器件保持通道禁用直到故障消除、诊断位被清除并且<EN_CH>位再次置位为“1”。

R_{OLmin} 是通过 OLSG 故障检测 ON 状态的 OL 的最小阻抗。

$$R_{OLmin} = \frac{V_{BAT}}{I_{OLTH}} - (R_{LOAD} + R_{shunt} + R_{DSon})$$

公式 11

R_{SGmax} 是通过 OLSG 故障检测 ON 状态的 SG 的最大阻抗。

$$R_{SGmax} = \frac{R_{LOAD} \cdot (R_{shunt} + R_{DSon})}{R_{OLmin}}$$

公式 12

4.9.2.1 TDS_OL阈值配置

负载开路阈值 I_{OLTH} 可以通过 CH_CONFIG 寄存器设置为固定阈值或相对于设定点的阈值。通过将两个 OL 阈值设置为 0 来禁用 OLSG 诊断。

固定OL阈值

固定负载开路阈值可通过位字段<OL_TH_FIXED>进行编程。

功能说明

$$I_{OLTH} = \frac{<OL_TH_FIXED> \cdot 128 \cdot 2000\text{mA}}{2^{15} - 1}$$

$$I_{OLTH, parallel} = \frac{<OL_TH_FIXED> \cdot 128 \cdot 4000\text{mA}}{2^{15} - 1}$$

公式 13

注释：直接驱动模式下的OL 检测仅可通过固定阈值配置实现。

相对 OL 阈值

相对阈值是指实际电流设定值 I_{set} ，包括颤振幅值 I_{dither} 。相对负载开路阈值可在位字段<OL_TH>中调整。通过将<OL_TH>设置为0来禁用相对负载开路阈值。

$$I_{OLTH} = (I_{set} + I_{Dither}) \cdot \frac{<OL_TH>}{8}$$

公式 14

注释：相对阈值仅在电流控制模式下可用。

过渡阶段

在过渡阶段期间，始终使用固定的 OL 阈值。过渡阶段发生在通道开启或者设定电流值发生变化之后。一个过渡阶段持续一个PWM周期或一个驱动器导通时间的最大值

T_{OLSGON} (PWM周期 $> T_{OLSGON}$)。可以通过配置 TON 寄存器中的 $t_{OLSG_TIMEOUT}$ 来延长或缩短过渡阶段。过渡阶段完成后，OLSG 检测从固定 OL 阈值切换到相对 OL 阈值。如果<OL_TH_FIXED> 位字段置位为 0，则在过渡阶段不会检测到任何 OLSG过渡阶段。

$$t_{OLSG_TIMEOUT} = \frac{(<OLSG_TIMEOUT> \cdot 256 + 255) \cdot 64}{f_{SYS}}$$

公式 15

4.9.3 TDS_OLSG 警告

一个额外的 OLSG-Warning 检查 LOAD 引脚上的电压在续流阶段结束时是否大于 $V_{TH_BAT/20}$ 。每次关闭输出级时都会触发消隐时间 $t_{OLwindow}$ 。如果在 $t_{OLwindow}$ 内打开输出级，则无法检查电压。这通过设置来指示

DIAG_WARN_CHGR 寄存器中的 <OLSG_WARN_CHK_NOK> 为 1。通过读取可清除 <OLSG_WARN_CHK_NOK> 位。

如果检查成功，则通过将 DIAG_WARN_CHGR 寄存器中的 <OLSG_WARN> 设置为 1 来指示检测到 OLSG 警告。OLSG 警告最初是启用的，可以通过清除 CTRL 寄存器中的位 <OLSG_WARN_EN> 来禁用。清除 DIAG_WARN_CHGR 寄存器中的<OLSG_WARN>后，OLSG 警告检查位<OLSG_WARN_CHK_NOK>置位为 1。

$t_{OLwindow}$ 可以在 CTRL 寄存器中配置。

$$t_{OLwindow} = \frac{(<OLSG_WARN_WINDOW> + 1) \cdot 64}{f_{SYS}}$$

公式 16

功能说明

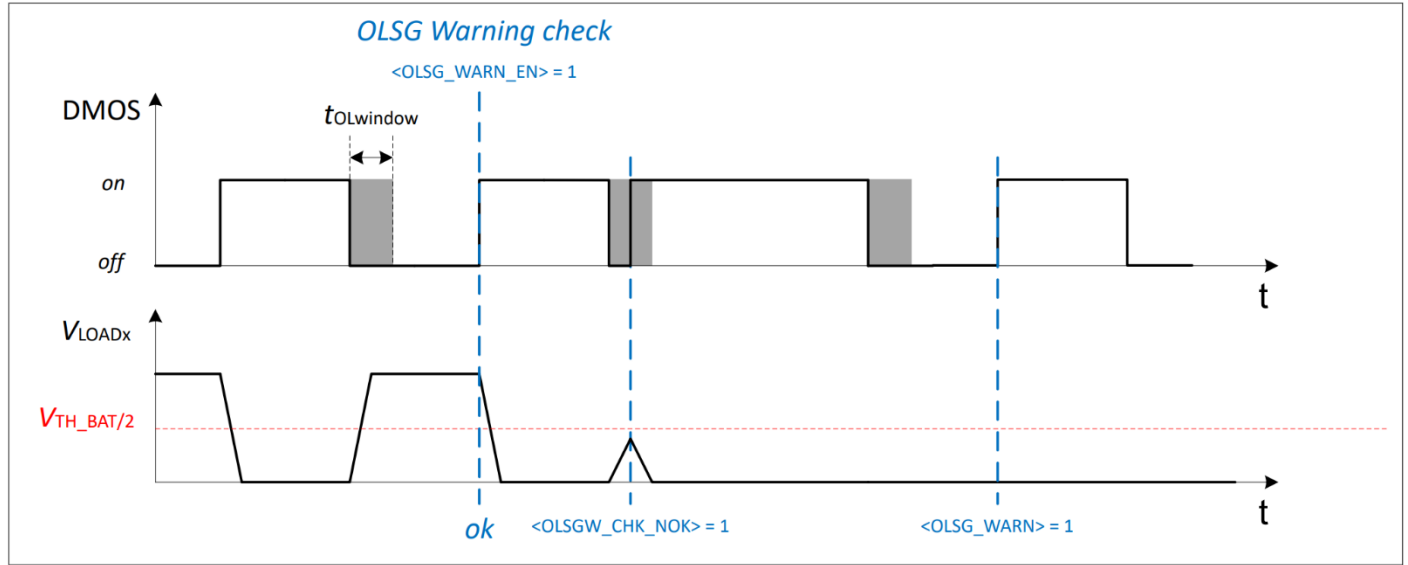


图 17 OLSG-Warning 和 OLSG 警告检查概述

4.9.4 TDS_负载开路 (OL)

在 ON 状态下，负载开路通过 DIAG_ERR_CHGR 寄存器中的 <OLSG> 位指示。识别负载开路的最终故障判别是通过 OFF 状态诊断来完成的。该器件通过设置 DIAG_ERR_CHGR 寄存器中的相应 位来指示故障。该器件保持通道禁用直到故障消除、诊断位被清除并且 <EN_CH> 位再次置位为“1”。

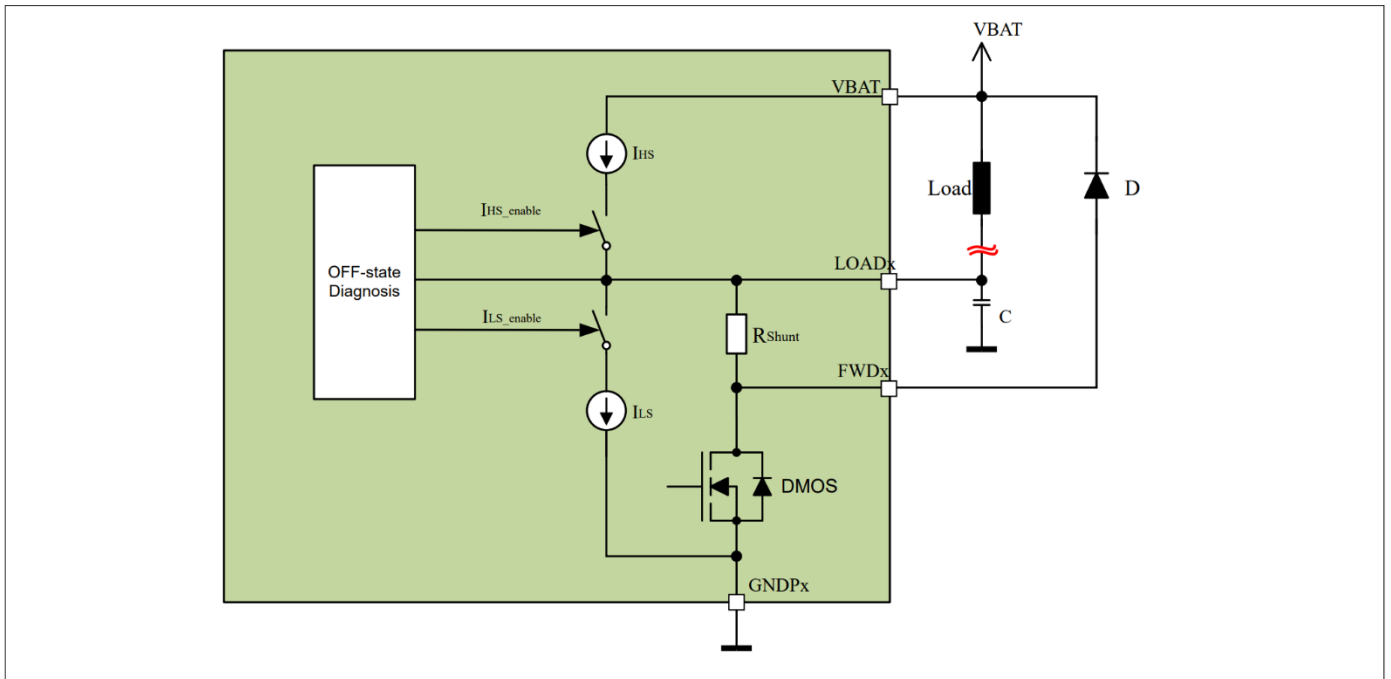


图 18 负载开路

4.9.5 TDS_短路到地 (SG)

在 ON 状态下，通过 DIAG_ERR_CHGR 寄存器中的 <OLSG> 位检测接地短路。最终的故障鉴别是通过断路状态诊断来识别接地短路。该器件通过设置 DIAG_ERR_CHGR 寄存器中的相应 <SG> 位来指示故障。该器件保持通道禁用直到故障消除、诊断位被清除并且 <EN_CH> 位再次置位为“1”。

功能说明

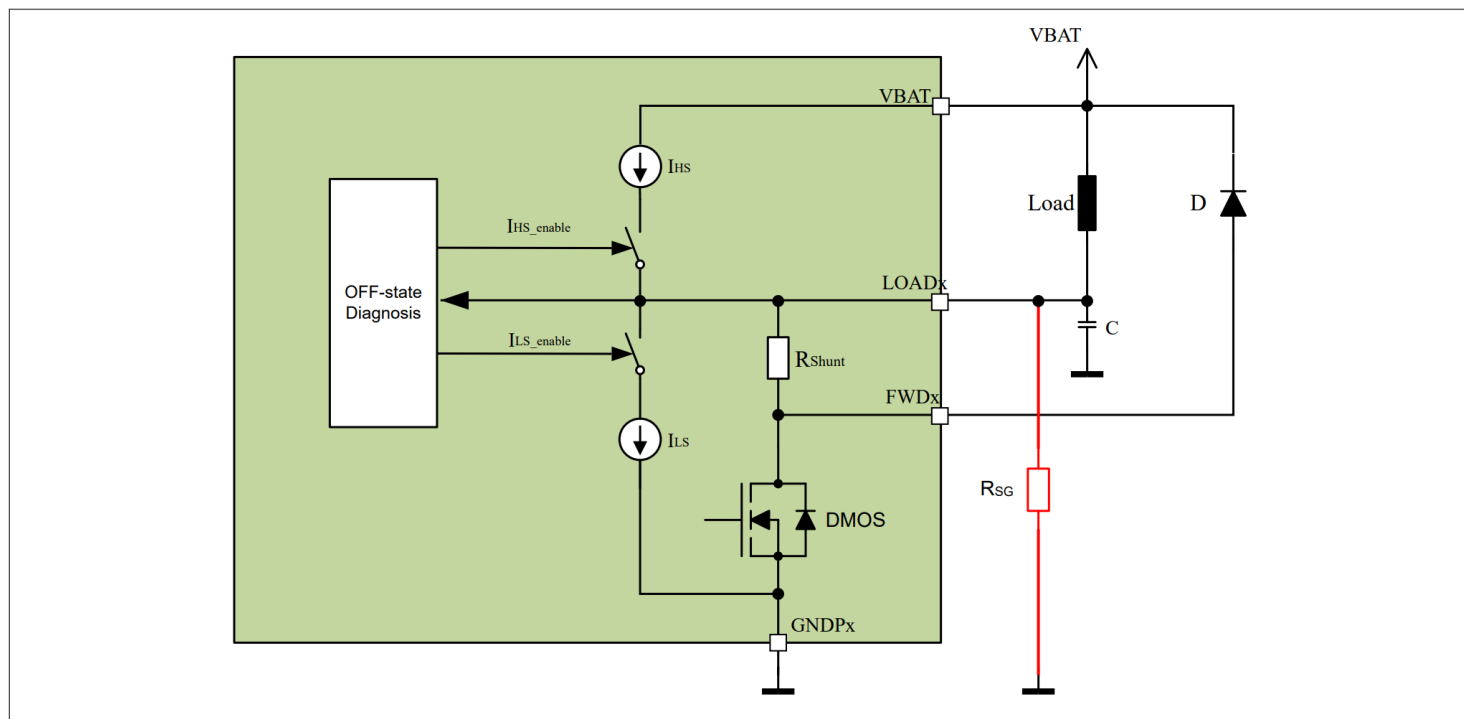


图 19 短路到地

4.9.6 TDS_过流 (OC)

过流故障 (OC) 是负载端子和电池轨之间的意外低阻抗连接，因此绕过了负载阻抗。

如果流过功率级的电流超过 I_{OC} ，则检测到过流。因此，在OFF状态必须打开功率级一小段时间 t_{OCon} 才能检测到。可以通过将CH_CONFIG 寄存器中的<OC_DIAG_EN> 位和CH_CTRL 寄存器中的相应<EN_CH> 位设置为 1 来触发驱动器导通时间 t_{OCono} 。必须在执行 OC 检测之前配置驱动器导通时间 t_{OCono} 。

$$t_{OCon} = \frac{(<TON_MANT> + 1) \cdot 2^{<EXP>}}{f_{SYS}}$$

公式17

尾数<TON_MANT>位于TON寄存器中，指数<EXP>位于DITHER_CLK_DIV中。启用的OFF状态诊断在 t_{OCon} 期间保持有效。

<OC_DIAG_EN>在 t_{OCon} 到期后复位。如果出现过流，则<EN_CH> 位被清除，并且DIAG_ERR_CHGR 寄存器中的标志位<OC>置位为1。器件保持通道禁用，直到故障消除，该诊断位需要两次清除指令才能被清除，<EN_CH>位再次置位“1”。

功能说明

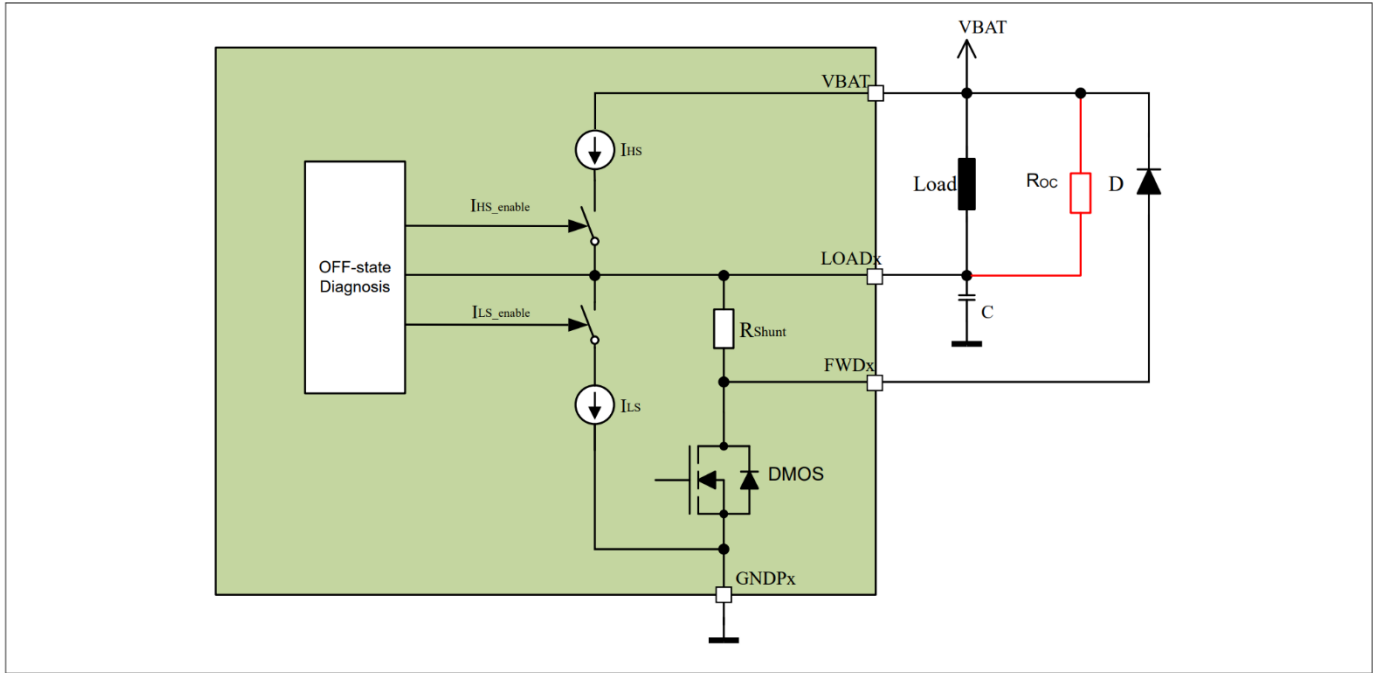


图 20 过流

4.9.7 TDS_寄存器/OTP ECC

寄存器/OTP（一次性可编程存储器）错误将由连续错误检查和纠正 (ECC) 机制检测到。如果无法纠正，则检测到寄存器/OTP ECC 错误，并且GLOBAL_DIAG2 寄存器中的 <REG_ECC_ERR>/<OTP_ECC_ERR> 位将被置位。<OTP_ECC_ERR>只能通过发送两次清除指令才能被清除。寄存器 ECC 错误会禁用所有功率级并且产品进入状态机“配置模式”。GLOBAL_DIAG2 中的<OTP_VIRGIN>位表示未编程的 OTP 存储器。此位必须始终为 0。

4.9.8 TDS_内置自检 (BIST)

该器件提供了自检功能，以检查安全关键寄存器的内置错误检测和纠正特性。BIST 测试检测可纠正和不可纠正错误的能力。仅能通过将“1”写入 SFF_BIST 寄存器中的 <SMU_SLF_TST_EN> 位在配置模式下触发 BIST。

安全触发器BIST序列完成后，位<SMU_SLF_TST_DONE>、<SMU_SLF_TST_UERR> 和 <SMU_SLF_TST_CERR> 被置位以指示已完成的测试序列。

安全触发器BIST结果存储在SFF_BIST寄存器中的<SMU_SLF_TST_FAIL>位中。写入 0 时，SFF_BIST 寄存器中的所有结果和状态位都将被清除。成功测试的安全触发器错误（无法纠正的故障）会设置 GLOBAL_DIAG2 寄存器中的相应错误位 <REG_ECC_ERR>。

4.9.9 电气特性诊断功能

表 15 电气特性诊断功能

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压，正向电流流入引脚（除非另有说明）。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
OLSG threshold single	I_{OLTH}	0	–	492	mA	fixed OLSG threshold in single channel mode

(表格续下页.....)

功能说明

表 15 (续) 电气特性诊断功能

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
OLSG threshold parallel	$I_{OLTH,parallel}$	0	-	984	mA	fixed OLSG threshold in parallel mode
OLSG filter detection time	T_{OLSGON}	-	2^{15}	-	cycles	f_{SYS} cycles
OFF-state LOADx threshold voltage	$V_{TH_BAT/2}$	-	$V_{BAT}/2$	-	V	
OFF-state sequence time	$T_{off,sequence}$	1.2	-	4.8	ms	
Diagnosis Current 0	I_{HS} I_{LS}	30	80	120	μA	$\langle I_DIAG \rangle = 00_B$
Diagnosis Current 1	I_{HS} I_{LS}	105	190	275	μA	$\langle I_DIAG \rangle = 01_B$
Diagnosis Current 2	I_{HS} I_{LS}	510	720	910	μA	$\langle I_DIAG \rangle = 10_B$
Diagnosis Current 3	I_{HS} I_{LS}	910	1250	1520	μA	$\langle I_DIAG \rangle = 11_B$

4.10 电流监控

4.10.1 TDS_独立电流反馈

该器件提供了独立的电流反馈路径, 用于对负载电流进行合理性检查。通过内部分流器测量的平均负载电流可以直接读回。这独立测量的占空比和电池电压可用于通过负载模型计算平均负载电流。

功能说明

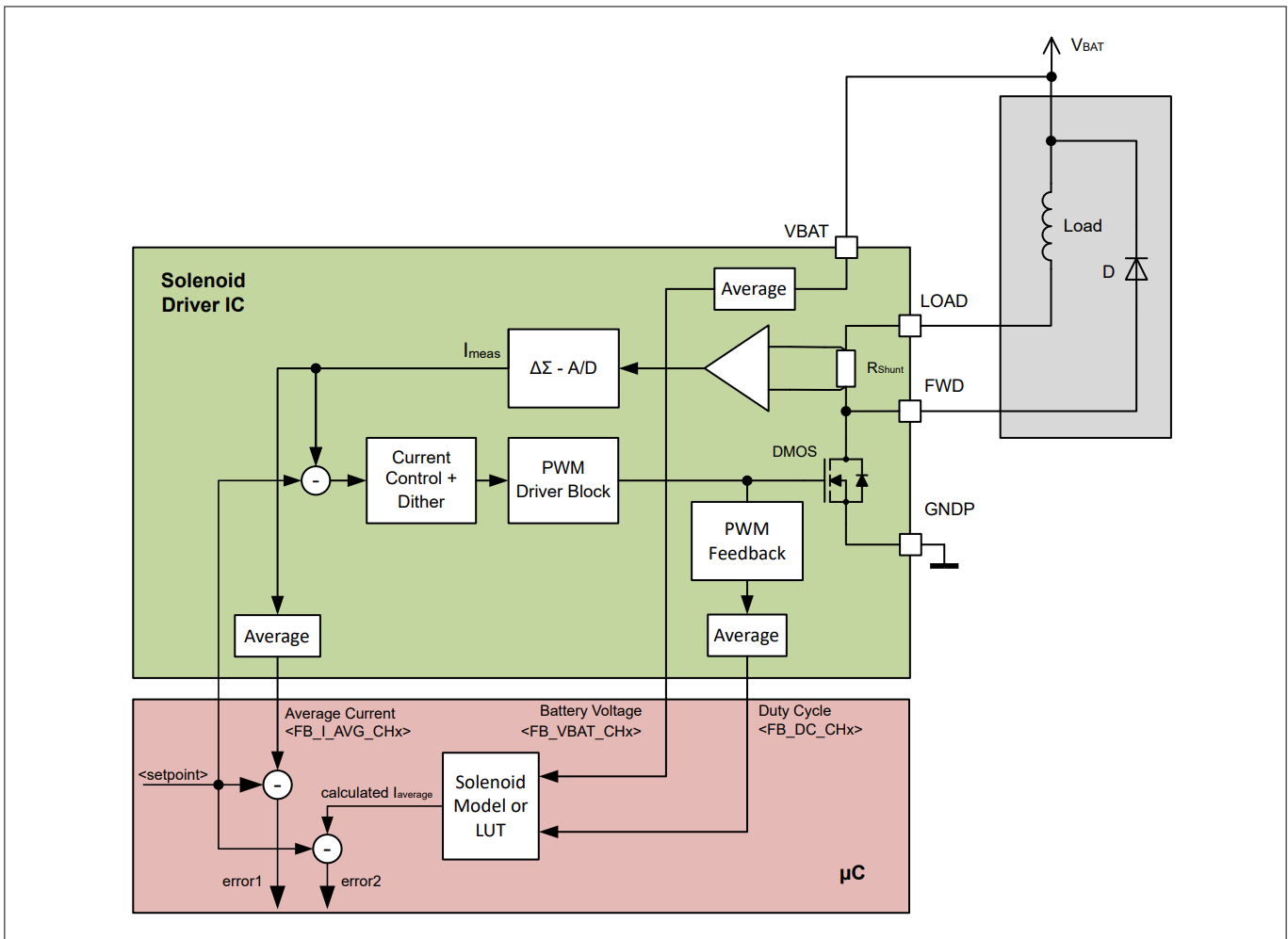


图 21 电流监控

4.10.2 TDS_平均反馈值

反馈值在寄存器 FB_DC、FB_VBAT、FB_I_AVG 中提供。反馈值在配置的测量周期 T_{meas} 内取平均值（参见“通道模式”）。寄存器内容在每个测量周期 T_{meas} 后更新。

反馈值可按如下方式计算：

- 测量周期：

$$T_{meas} = \frac{\langle TP_MANT \rangle \cdot 2^{\langle EXP \rangle}}{f_{SYS}}$$

公式 18

- PWM导通时间：

$$t_{on} = \frac{\langle TO_MANT \rangle \cdot 2^{\langle EXP \rangle}}{f_{SYS}}$$

公式 19

- 占空比

功能说明

$$DC = \frac{\langle TO_MANT \rangle}{\langle TP_MANT \rangle}$$

公式 20

- 电池电压

$$V_{BAT} = 41.47V \cdot \frac{\langle VBAT_AVG_MANT \rangle}{\langle TP_MANT \rangle}$$

公式 21

- 平均负载电流（有符号数）：

$$I_{avg} = 4A \cdot \frac{\langle I_AVG_MANT \rangle}{\langle TP_MANT \rangle}$$

公式 22

位域<TP_MANT> 和 <TO_MANT> 位于 FB_DC 寄存器中。位域<VBAT_AVG_MANT> 和 <EXP> 位于 FB_VBAT 寄存器中。位域<I_AVG_MANT> 位于 FB_I_AVG 寄存器中。位域<I_AVG_MANT>表示带符号的当前值（二进制补码）。

4.10.3 TDS_更新/冻结机制

应采用更新/冻结机制来正确读出每个测量采样系列。IC 通过将 FB_UPD 寄存器中的相应 <CH> 位设置为 1 来指示新的反馈数据。将 FB_FRZ 寄存器中的 <CH> 位设置为 1，停止更新并冻结反馈的最新测量结果寄存器 FB_DC、FB_VBAT、FB_I_AVG、FB_PERIOD_MIN_MAX、FB_IMIN_IMAX。将 FB_FRZ 寄存器中的<CH> 位设置为 0，也会清除 FB_UPD 寄存器中的相应<CH>位并启用反馈值的更新。以下状态图显示了对反馈值读数的建议。

功能说明

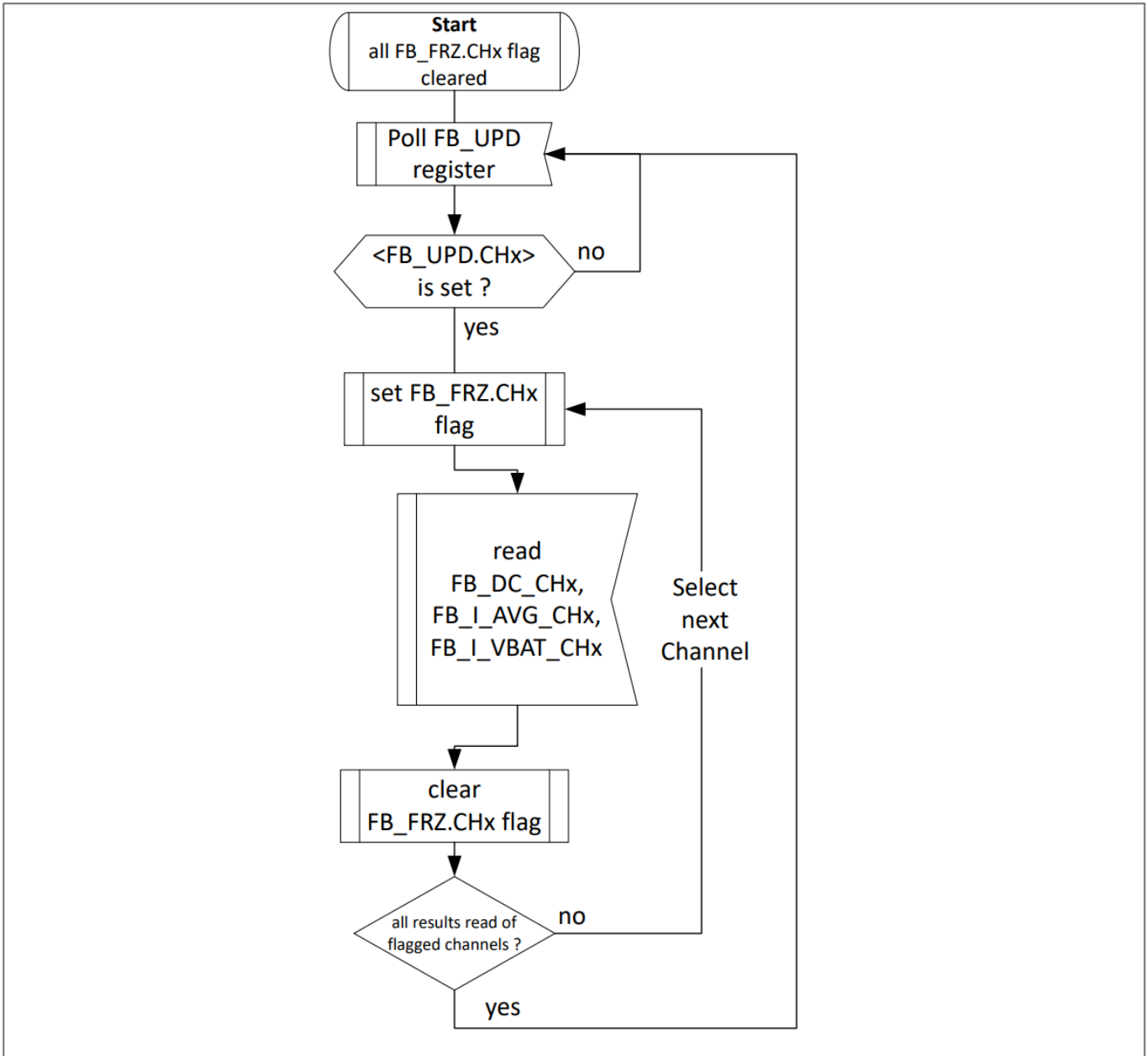


图 22 反馈值的读数建议

4.10.4 TDS_1avg16, 最小/最大电流/PWM 反馈

IC 提供 2^{16} 个系统时钟自由运行周期内的平均负载电流 I_{avg16} ，作为 FB_I_AVG_s16 寄存器中的有符号 16 位值。此值不适用于闭环操作或电流监控。该值作为附加信息提供，可用于校准目的。

$$I_{avg16} = 4A \cdot \frac{\langle I_AVG_s16 \rangle}{2^{16} - 1}$$

公式 23

该 IC 提供最小 (min) 和最大 (max) 电流和 PWM 周期的测量。
 最小/最大值表示测量周期 T_{meas} 内捕获的最高/最低电流和最短/最长 PWM 周期。如果未定义测量周期 T_{meas} ，则最小/最大寄存器为

功能说明

当测量到新的最小或最大电流/PWM 时永久更新。电流值保存在 FB_IMIN_IMAX 寄存器中，PWM 值可以从 FB_PERIOD_MIN_MAX 寄存器读取。FB_IMIN_IMAX 寄存器中的当前值表示为带符号的 9 位值（二进制补码）。

$$I_{min} = 4A \cdot \frac{\langle IMIN \rangle}{2^9 - 1}$$

$$I_{max} = 4A \cdot \frac{\langle IMAX \rangle}{2^9 - 1}$$

公式 24

$$T_{PWM_min} = \langle PMIN \rangle \cdot \frac{256}{f_{SYS}}$$

$$T_{PWM_max} = \langle PMAX \rangle \cdot \frac{256}{f_{SYS}}$$

公式 25

4.11 保护功能

4.11.1 TDS_过温保护

该器件通过测量中央 IC 温度和每个功率级温度来提供过热保护。如果测量到过热 $T_{J,ot}$ ，则关闭相应的功率级，并设置 DIAG_ERR_CHGRx 寄存器中的相应 <OT> 位。IC 中央过热会禁用所有功率级，并设置 GLOBAL_DIAG0 寄存器中的 <COTERR> 位。

如果相应的功率级已冷却至 $T_{J,ot} - T_H$ ，则可以重新开启功率级。如果功率级温度超过预警阈值 T_p ，则诊断寄存器中的预警位为置位。

可以通过将 GLOBAL_CONFIG 寄存器中的 <OT_TEST> 位设置为“1”来测试过温检测。此测试将过温阈值设置为最低可能值，并且置位相应的过温指示位。

该器件提供温度反馈 T_{FB} ，可从 FB_VOLTAGE2 寄存器中的位字段 <TEMP_VALUE> 读取。温度反馈 T_{FB} 的计算公式为

$$T_{FB} = \frac{\langle TEMP_VALUE \rangle \cdot 0.000593 - 0.819^{*})}{-0.0016^{*})} ^{\circ}C$$

公式 26

如果要求温度反馈 T_{FB} 有更高精度，则必须在系统电平上进行参数校准^{*)}。

4.11.2 TDS_过流保护

器件每个功率级的最大电流是有限的。如果负载电流超过 I_{OC} ，则检测到过流条件。过流检测最长需要 $t_{OC,DETECT}$ 。过流会导致通道关闭，并通过将 DIAG_ERR_CHGR 寄存器中的相应 <OC> 位设置为 1 来指示。必须通过两个 SPI 写指令清除 <OC> 位。

功能说明

4.11.3 电气特性保护功能

4.11.3.1 过温保护

表 16 过温保护

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Overtemperature pre-warning threshold	T_P	150	-	175	$^{\circ}\text{C}$	
Overtemperature threshold	$T_{J,OT}$	175	-	200	$^{\circ}\text{C}$	
Thermal hysteresis	T_H	10	-	15	$^{\circ}\text{C}$	
Temperature feedback accuracy	T_{FB}	-20	-	20	$^{\circ}\text{C}$	

4.11.3.2 过流保护

表 17 过流保护

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Overcurrent protection threshold	I_{OC}	2.05	-	6	A	
Overcurrent protection filter time	$t_{OC,DETECT}$	-	-	1.5	μs	$f_{SYS} = 28\text{ MHz}$

串行外设接口 (SPI)

5 串行外设接口 (SPI)

5.1 接口描述

5.1.1 TDS_概述

通讯接口基于标准串行外设接口 (SPI)。SPI是一个全双工同步串行从机接口，使用四根信号线：SO、SI、SCK和CSN。数据通过SI和SO线路以SCK给出的数据传输速率进行传输。CSN的下降沿指示数据存取的开始。数据在SCK的下降沿从SI线采样，在SCK的上升沿从SO线移出。每个访问必须由CSN的上升沿终止。计数器确保仅当传输了32位时才获取数据。如果传输的位数不是32，则忽略该数据帧。

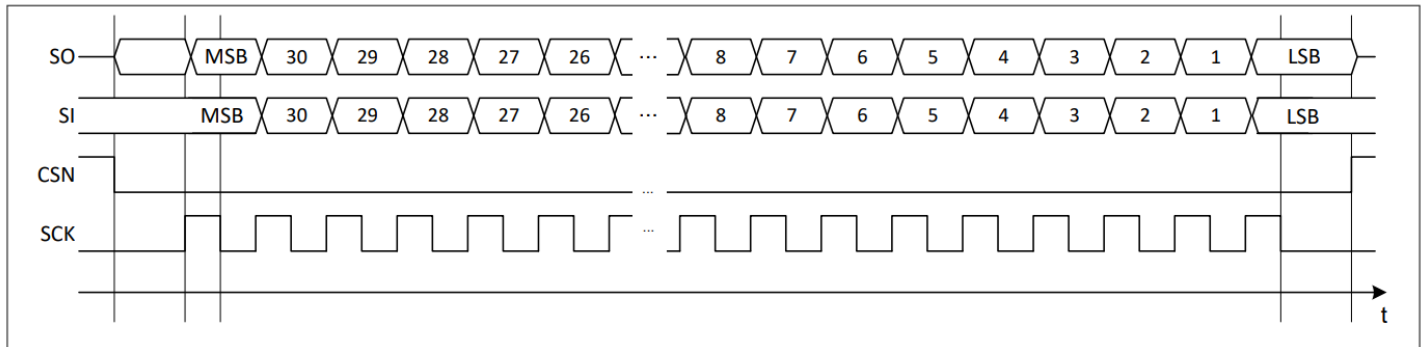


图 23 SPI信号概述

5.1.2 TDS_循环冗余校验 (CRC)

所有 SPI 通讯帧中都会添加8位循环冗余码 (CRC-8 SAE-J1850) SPI，以检测损坏的数据并避免IC的错误配置。采用CRC-8 SAE-J1850 计费公式进行计算：

$$x^8 + x^4 + x^3 + x^2 + 1 \text{ or } 0x1D$$

注释：CRC（循环冗余校验）由Aurix TC26x、TC27x 和 TC29x 的灵活CRC 引擎(FCE) 支持。

CRC（循环校验）字节的初始值为0xFF。CRC（循环校验）结果与0xFF进行异或运算。CRC（循环校验）-字节位于SPI帧的最高有效字节中。CRC（循环校验）计算的字节序列如下：

- 第1^个字节：SPI 帧[7:0]
- 第2^个字节：SPI 帧[15:8]
- 第3^个字节：SPI 帧[23:16]

框架编码器/解码器实体定义支持不同的生成多项式，但具体执行不是重用模块的一部分。产品设计人员必须相应地修改项目设计环境中的帧编码器/解码器源代码。

CRC（循环校验）字节位于最高位的帧字节[31:24]中。每当检测到SPI帧CRC（循环校验）错误时，就会在后续SPI事务中发送指示SPI CRC（循环校验）错误状态的SPI 16 位回复帧。

可以通过将 GLOBAL_CONFIG 寄存器中的 <CRC_EN> 位设置为“0”来禁用 CRC（循环校验）检查。

串行外设接口 (SPI)

5.1.3 TDS_时序图

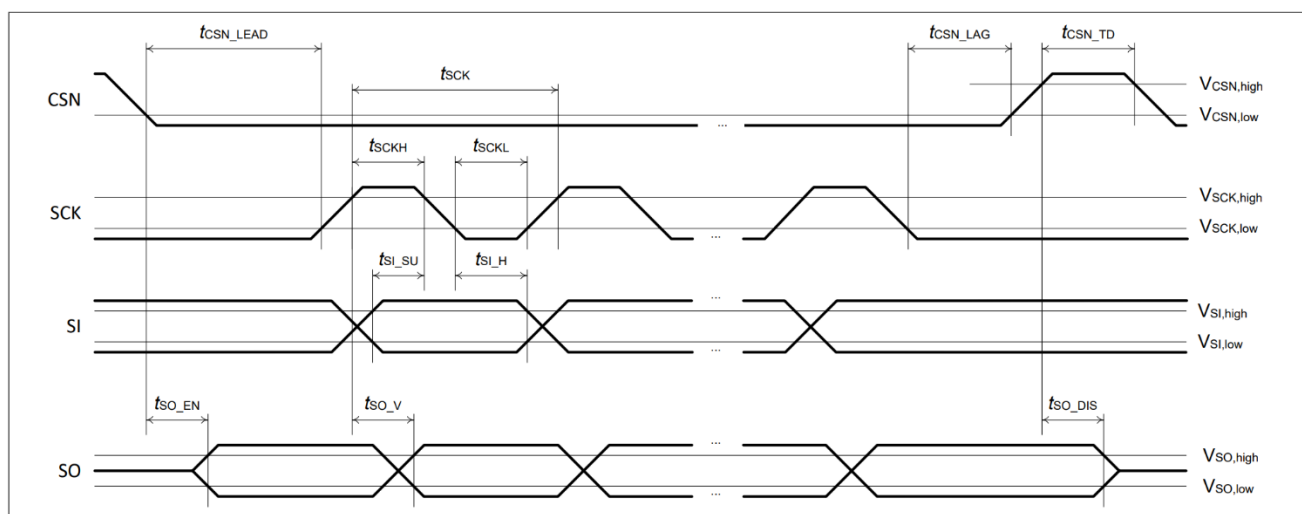


图 24 SPI 信号时序图

5.1.4 电气特性SPI接口

表 18 电气特性 SPI 接口

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Serial clock high time	t_{SCKH}	50	–	–	ns	
Serial clock low time	t_{SCKL}	50	–	–	ns	
Enable lead time	t_{CSN_LEAD}	250	–	–	ns	falling CSN to rising SCK
Enable lag time	t_{CSN_LAG}	250	–	–	ns	falling SCK to rising CSN
Transfer delay time	t_{CSN_TD}	600	–	–	ns	rising CSN to falling CSN
Data setup time	t_{SI_SU}	20	–	–	ns	required time SI to falling SCK
Data hold time	t_{SI_H}	20	–	–	ns	required time falling SCK to SI
Output disable time	t_{SO_DIS}	–	–	200	ns	rising CSN to SO tri-state $C_L = 150\text{ pF}$
Output enable time	t_{SO_EN}	–	–	200	ns	falling CSN to SO valid $C_L = 150\text{ pF}$
Output data valid time	t_{SO_V}	–	–	100	ns	$C_L = 150\text{ pF}$
Functional range SPI clock	f_{SCK}	–	–	8	MHz	

(表格续下页.....)

串行外设接口 (SPI)

表 18 (续) 电气特性 SPI 接口

$T_J = -40^{\circ}\text{C}$ 至 150°C ; $V_{DD} = 4.5 - 5.5\text{ V}$; $V_{IO} = 3.0 - 5.5\text{ V}$; $V_{BAT} = 6 - 18\text{ V}$; 所有相对于地的电压, 正向电流流入引脚 (除非另有说明)。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
frequency (SCK)						
SPI watchdog decrement frequency	$f_{\text{SPI,WD}}$	-	$f_{\text{SYS}} / 2_{14}$	-	MHz	$f_{\text{SYS}} = 28\text{ MHz}$
Input pin capacitance (CSN, SCK, SI, CLK)	C_{IN}	-	-	10	pF	$V_{\text{bias}} = 2\text{ V}$; $V_{\text{test}} = 20\text{ mVpp}$; $f = 1\text{ MHz}$
Output pin capacitance (SO)	$C_{\text{SO,HIZ}}$	-	-	15	pF	Tri-state Output $V_{\text{bias}} = 2\text{ V}$; $V_{\text{test}} = 20\text{ mVpp}$; $f = 1\text{ MHz}$
SPI High Threshold Voltage (SI, SCK, CSN)	$V_{\text{SI,high}}$ $V_{\text{SCK,high}}$ $V_{\text{CSN,high}}$	-	-	2	V	
SPI Low Threshold Voltage (SI, SCK, CSN)	$V_{\text{SI,low}}$ $V_{\text{SCK,low}}$ $V_{\text{CSN,low}}$	0.8	-	-	V	
SPI Input hysteresis (SI, SCK, CSN)	$V_{\text{IN,HYS,SI}}$ $V_{\text{IN,HYS,SCK}}$ $V_{\text{IN,HYS,CSN}}$	-	50	-	mV	
SPI output high voltage (SO)	$V_{\text{SO,high}}$	$V_{\text{IO}} - 0.5$	-	V_{IO}	V	pull down current $I_{\text{SO}} = -0.5\text{ mA}$ / $3.0\text{ V} < V_{\text{IO}} < 5.5\text{ V}$
SPI output low voltage (SO)	$V_{\text{SO,low}}$	0	-	0.5	V	pull up current $I_{\text{SO}} = 0.5\text{ mA}$
SPI output leakage current (SO)	$I_{\text{SO,OFF}}$	-10	-	10	μA	$V_{\text{CSN}} > V_{\text{CSN,high}}$ $0\text{ V} < V_{\text{SO}} < V_{\text{IO}}$
Pull down current (SI, SCK)	$I_{\text{PD,SI}}$ $I_{\text{PD,SCK}}$	10	-	50	μA	$V_{\text{IN}} = 2\text{ V}$
Pull up current (CSN)	$I_{\text{PU,CSN}}$	-50	-	-10	μA	$V_{\text{CSN}} = 0.8\text{ V}$

串行外设接口（SPI）

5.2 协议描述

5.2.1 TDS_数据流

来自微控制器的报文必须首先发送最高有效位。来自 SO 引脚的数据首先发送最高有效位。对于 SPI 接口的 SI 引脚接收到的每个指令，同时在 SO 引脚上返回串行数据流。SO 数据帧的内容取决于前一帧中 SI 引脚上接收到的指令。读取命令（R/W = 0）在一个 SPI 帧之后返回寻址寄存器的内容。读取命令中的数据位将被忽略。

写入命令（R/W = 1）将把 SPI 字中的数据位写入寻址寄存器。寻址寄存器的实际内容将在下一个 SPI 帧期间返回到 SPI 主机（微处理器）。

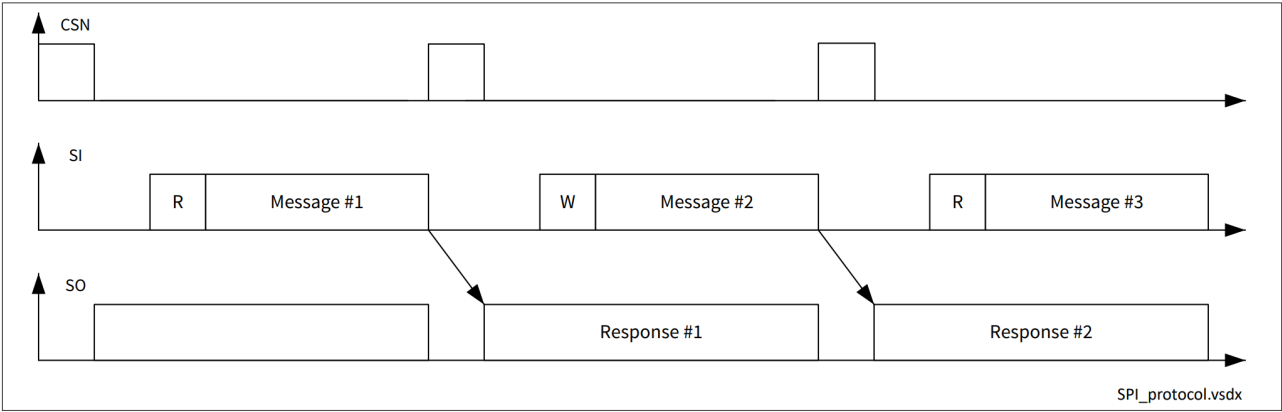


图25 SPI协议

5.2.2 TDS_SPI 看门狗

SPI看门狗检查SPI总线上的通讯。SPI看门狗可以通过设置GLOBAL_CONFIG 寄存器中的 <SPI_WD_EN>来启用。如果启用了SPI看门狗，则 WD_RELOAD 寄存器中的 <WD_TIME> 值会随着 $f_{SPI,WD}$ 不断递减。为了避免SPI看门狗错误，必须不断更新 WD_RELOAD 寄存器。

如果 WD_RELOAD 寄存器的 <WD_TIME> 值从 1 变为 0，则 GLOBAL_DIAG0 寄存器中的 <SPI_WD_ERR> 位被置位，并且 IC 转换到配置模式。

只要存在SPI看门狗故障，器件就无法进入任务模式。SPI错误标志位如果 WD_RELOAD 寄存器包含非零值，则 <SPI_WD_ERR> 被置位为 0。

SPI 看门狗超时 $t_{SPI,WD}$ 由以下公式给出：

$$t_{SPI,WD} = \frac{\langle WD_TIME \rangle}{f_{SPI,WD}}$$

公式 27

5.2.3 SPI帧定义

5.2.3.1 TDS_MOSI-写入帧

MOSI SPI 写入帧
从设备帧内数据

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

串行外设接口 (SPI)

CRC								Address							R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data															
Field	Bits	Description													
CRC	31:24	CRC check (SAE CRC8 J1850)													
Address	23:17	Address field													
R/W	16	MOSI Read/Write Indicator 0 _B : Read operation 1 _B : Write operation													
Data	15:0	Data bits are defined in register description													

5.2.3.2 TDS_MOSI-读取帧

MOSI SPI 读取帧

从设备帧内数据

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC								-							R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
地址															

Field	Bits	Description													
CRC	31:24	CRC check (SAE CRC8 J1850)													
-	23:17	Don't care													
R/W	16	MOSI Read/Write Indicator 0 _B : Read operation 1 _B : Write operation													
Address	15:0	Read Address													

5.2.3.3 TDS_MISO - 16 位回复帧

MISO SPI 16位回复框

从设备16位数据输出帧

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC								Reply Mode		Status					R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data															

Field	Bits	Description													
CRC	31:24	CRC check (SAE CRC8 J1850)													

串行外设接口 (SPI)

Field	Bits	Description
Reply Mode	23:22	Indicates type of reply frame: 00 _B : 16 bit Reply Frame 01 _B : 22 bit Reply Frame 10 _B : Critical Fault Frame
Status	21:17	Status indication of the current Frame: 00 _B : no error 01 _B : SPI frame error 10 _B : Parity/CRC error 11 _B : Write to read only register 100 _B /101 _B /110 _B : Internal bus fault <i>NOTE: The highest priority has the lowest encoding</i>
R/W	16	Indicator mirrored from previous MOSI frame 0 _B : Read indicator 1 _B : Write indicator
Data	15:0	Data bits are defined in register description

5.2.3.4 TDS_MISO - 22 位回复帧

MISO SPI 22位回复帧
 从设备22位数据输出帧

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC								0	1	Data					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

数据 (续)

Field	Bits	Description
CRC	31:24	CRC check (SAE CRC8 J1850)
Reply Mode	23:22	Indicates type of reply frame: 00 _B : 16 bit Reply Frame 01 _B : 22 bit Reply Frame 10 _B : Critical Fault Frame
Data	21:0	22 data bits used for feedback registers defined in register description

5.2.3.5 TDS_MISO—关键故障回复帧

MISO SPI关键故障回复帧 从设备关键故障帧

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Don't care								1	0	Don't care					

串行外设接口 (SPI)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Don't care (cont'd)								1V5	2V5	BG	CLK_ TOO_ SLO W	CLK_ _TOO_ FAST	DIG_ CLK_ TOO_ SLO W	DIG_ CLK_ TOO_ FAST	WD_ REF_ CLK

Field	Bits	Description
Don't care	31:24	-
Reply Mode	23:22	Indicates type of reply frame: 00 _B : 16 bit Reply Frame 01 _B : 22 bit Reply Frame 10 _B : Critical Fault Frame
Don't care	21:8	-
1V5	7	0 _B : 1V5 supply not ok 1 _B : 1V5 supply ok
2V5	6	0 _B : 2V5 supply not ok 1 _B : 2V5 supply ok
BG	5	0 _B : ADC Bandgap not ok 1 _B : ADC Bandgap ok
CLK_TOO_SLOW	4	0 _B : No clock fault detected 1 _B : Clock is too slow for IC operation
CLK_TOO_FAST	3	0 _B : No clock fault detected 1 _B : Clock is too fast for IC operation
DIG_CLK_TOO_SLOW	2	0 _B : No clock fault detected 1 _B : Digital Clock is too slow <i>Note: clock watchdog must be enabled.</i>
DIG_CLK_TOO_FAST	1	0 _B : No clock fault detected 1 _B : Digital Clock is too fast <i>Note: clock watchdog must be enabled.</i>
WD_REF_CLK	0	0 _B : Clock watchdog reference clock is ok 1 _B : Clock watchdog reference clock is missing

串行外设接口 (SPI)

5.3 寄存器描述

5.3.1 寄存器类型概述

Bit type short name	Bit type description	Note
r	Bits are readable (read)	bitfields "RES" do not care
rh	Bits are readable (read) and modifiable by the IC (hardware)	bitfields "RES" do not care
rw	Bits are read- and writeable (read-write)	bitfields "RES" do not care, write "0"
rwh	Bits are read- and writeable (read-write) and modifiable by the IC (hardware)	bitfields "RES" do not care, write "0"

串行外设接口 (SPI)

5.3.2 中央寄存器

5.3.2.1 寄存器概述 -centralRegs (升序偏移地址)

表 19 寄存器概述-centralRegs (升序偏移地址)

Short name	Long name	Offset address	Page number
CH_CTRL	Channel Control Register	0000 _H	55
GLOBAL_CONFIG	Global Configuration Register	0002 _H	56
GLOBAL_DIAG0	Global Diagnosis Register 0	0003 _H	57
GLOBAL_DIAG1	Global Diagnosis Register 1	0004 _H	59
GLOBAL_DIAG2	Global Diagnosis Register 2	0005 _H	60
VBAT_TH	VBAT Threshold Register	0006 _H	61
FB_FRZ	Feedback Freeze Register	0007 _H	62
FB_UPD	Feedback Update Register	0008 _H	63
WD_RELOAD	SPI Watchdog Register	0009 _H	64
DIAG_ERR_CHGR0	Diagnosis Error Register 0	000A _H	65
DIAG_ERR_CHGR1	Diagnosis Error Register 1	000B _H	66
DIAG_WARN_CHGR0	Diagnosis Warning Register 0	0010 _H	67
DIAG_WARN_CHGR1	Diagnosis Warning Register 1	0011 _H	69
FAULT_MASK0	Fault Mask Register 0	0016 _H	71
FAULT_MASK1	Fault Mask Register 1	0017 _H	72
FAULT_MASK2	Fault Mask Register 2	0018 _H	73
CLK_DIV	Clock Control Register	0019 _H	74
SFF_BIST	BIST Register	003F _H	75
ICVID	Version Register	0200 _H	76
PIN_STAT	Pin Status Register	0201 _H	77
FB_STAT	Feedback Status Register	0202 _H	78
FB_VOLTAGE1	Feedback Voltage Register 1	0203 _H	80
FB_VOLTAGE2	Feedback Voltage Register 2	0204 _H	81

5.3.2.2 寄存器地址空间-centralRegs

表 20 寄存器地址空间 - centralRegs

Module	Base address	End address	Note
apb	00000000 _H	0000FFFE _H	

串行外设接口 (SPI)

5.3.2.3 通道控制寄存器

通道使能位 EN_CHx 只能在任务模式下设置。并行模式配置位 CH_PAR_x 只能在配置模式下设置。

CH_CTRL

Offset address: 0000_H

Channel Control Register

value: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP_M ODE	CH_ PAR_ 1_2	CH_ PAR_ 0_3	Res									EN_C H3	EN_C H2	EN_C H1	EN_C H0
rw	rw	rw	r									rw	rw	rw	rw

Field	Bits	Type	Description
EN_CH0	0	rw	Enable Channel 0 0 _B Disabled 1 _B Enabled
EN_CH1	1	rw	Enable Channel 1 0 _B Disabled 1 _B Enabled
EN_CH2	2	rw	Enable Channel 2 0 _B Disabled 1 _B Enabled
EN_CH3	3	rw	Enable Channel 3 0 _B Disabled 1 _B Enabled
CH_PAR_0_3	13	rw	Parallel Operation Channel 0/3 0 _B Disabled 1 _B Enabled
CH_PAR_1_2	14	rw	Parallel Operation Channel 1/2 0 _B Disabled 1 _B Enabled
OP_MODE	15	rw	Chip Operation Mode 0 _B Config Mode 1 _B Mission Mode

串行外设接口 (SPI)

5.3.2.4 全局配置寄存器

全局配置寄存器：写访问/访问只能在配置模式下进行

GLOBAL_CONFIG

偏移地址：0002_H

全局配置寄存器

值：4005_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	VIO_SEL	UV_OV_SWAP	OT_TEST	Res						V1V5_OV_TEST	V1V5_UV_TEST	Res	CRC_EN	SPI_WD_EN	CLK_WD_EN
r	rw	rw	rw	r						rw	rw	r	rw	rw	rw

Field	Bits	Type	Description
CLK_WD_EN	0	rw	Clock Watchdog 0 _B Disabled 1 _B Enabled
SPI_WD_EN	1	rw	SPI Watchdog 0 _B Disabled 1 _B Enabled
CRC_EN	2	rw	SPI CRC Check 0 _B Disabled 1 _B Enabled
V1V5_UV_TEST	4	rw	Test Internal Supply Undervoltage Detection 0 _B Disabled 1 _B Enabled
V1V5_OV_TEST	5	rw	Test Internal Supply Overvoltage Detection 0 _B Disabled 1 _B Enabled
OT_TEST	12	rw	Test Overtemperature Detection 0 _B Disabled 1 _B Enabled
UV_OV_SWAP	13	rw	Test Undervoltage/Overvoltage Detection 0 _B Disabled 1 _B Enabled
VIO_SEL	14	rw	VIO voltage selection 0 _B 3.3 V 1 _B 5.0 V

串行外设接口 (SPI)

5.3.2.5 全局诊断寄存器 0

全局诊断寄存器 0

GLOBAL_DIAG0

偏移地址: 0003_H

全局诊断寄存器0

值: 0600_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	SPI_WD_ERR	Res			POR_EVENT	RES_EVENT	COTWARN	COTERR	CLK_NOK	VDD_OV	VDD_UV	VIO_OV	VIO_UV	VBAT_OV	VBAT_UV
r	rwh	r			rw	rw	rwh	rwh	rwh	rwh	rwh	rwh	rwh	rwh	rwh
Field		Bits	Type	Description											
VBAT_UV		0	rwh	VBAT Undervoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
VBAT_OV		1	rwh	VBAT Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
VIO_UV		2	rwh	VIO Undervoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
VIO_OV		3	rwh	VIO Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
VDD_UV		4	rwh	VDD Undervoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
VDD_OV		5	rwh	VDD Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected											
CLK_NOK		6	rwh	Clock Fault Detection 0 _B No Fault Detected 1 _B Fault Detected											
COTERR		7	rwh	Central Overtemperature Error 0 _B No Fault Detected 1 _B Fault Detected											
COTWARN		8	rwh	Central Overtemperature Warning 0 _B No Fault Detected 1 _B Fault Detected											
RES_EVENT		9	rw	Reset occurred due to RESN-pin low 0 _B No Event Occurred 1 _B Event Occurred											

(表格续下页.....)

串行外设接口 (SPI)

(续)

Field	Bits	Type	Description
POR_EVENT	10	rw	Event Occurred 0 _B No Event Occurred 1 _B A Power On Reset Event occurred since previous read out
SPI_WD_ERR	14	rwh	SPI Watchdog Fault Detection 0 _B No Fault Detected 1 _B Fault Detected

串行外设接口 (SPI)

5.3.2.6 全局诊断寄存器 1

全局诊断寄存器 1

GLOBAL_DIAG1

偏移地址: 0004_H

全局诊断寄存器1

值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HVADC_ERR	Res								VPRE_OV	REF_OV	REF_UV	VDD2V5_OV	VDD2V5_UV	VR_IREF_OV	VR_IREF_UV
rwh	r								rwh	rwh	rwh	rwh	rwh	rwh	rwh

Field	Bits	Type	Description
VR_IREF_UV	0	rwh	Internal Bias Current too Low Detection 0 _B No Fault Detected 1 _B Fault Detected
VR_IREF_OV	1	rwh	Internal Bias Current too High Detection 0 _B No Fault Detected 1 _B Fault Detected
VDD2V5_UV	2	rwh	Internal 2V5 Supply Undervoltage Detection 0 _B No Fault Detected 1 _B Fault Detected
VDD2V5_OV	3	rwh	Internal 2V5 Supply Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected
REF_UV	4	rwh	Internal Reference Undervoltage Detection 0 _B No Fault Detected 1 _B Fault Detected
REF_OV	5	rwh	Internal Reference Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected
VPRE_OV	6	rwh	Internal Pre-Regulator Overvoltage Detection 0 _B No Fault Detected 1 _B Fault Detected
HVADC_ERR	15	rwh	Internal Monitoring ADC Error Detection 0 _B No Fault Detected 1 _B Fault Detected

5.3.2.7 全局诊断寄存器 2

全局诊断寄存器 2

GLOBAL_DIAG2 偏移地址: 0005_H
 全局诊断寄存器2 值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res											OTP _ VIRG IN	OTP_ ECC _ ERR	Res	REG_ ECC _ ERR	Res
r											rwh	rwh	r	rwh	r

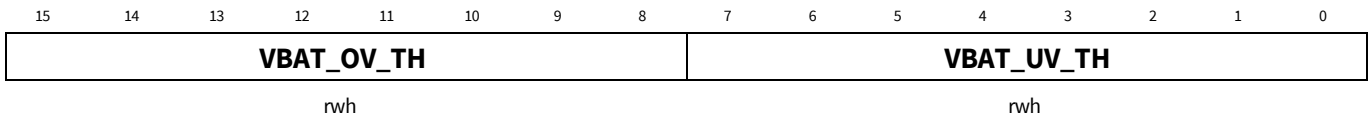
Field	Bits	Type	Description
REG_ECC_ERR	1	rwh	Register ECC Error 0 _B No Error 1 _B Multi Bit Flip Detected
OTP_ECC_ERR	3	rwh	OTP ECC Error 0 _B No Error 1 _B None Repairable Multi Bit Flip Detected
OTP_VIRGIN	4	rwh	OTP Memory Configured Complete 0 _B OTP completely configured 1 _B Virgin OTP Address Detected

串行外设接口 (SPI)

5.3.2.8 VBAT 阈值寄存器

VBAT 过压和欠压阈值寄存器

VBAT_TH 偏移地址: 0006_H
 VBAT阈值寄存器 值: FF19_H



Field	Bits	Type	Description
VBAT_UV_TH	7:0	rwh	VBAT Undervoltage Threshold $V_{BAT_UV} = \langle VBAT_UV_TH \rangle * 0.16208\text{ V}$
VBAT_OV_TH	15:8	rwh	VBAT Overvoltage Threshold $V_{BAT_OV} = \langle VBAT_OV_TH \rangle * 0.16208\text{ V}$

串行外设接口 (SPI)

5.3.2.9 反馈冻结寄存器

反馈冻结寄存器

反馈值在寄存器 FB_DC、FB_VBAT、FB_I_AVG 中提供

FB_FRZ 偏移地址: 0007_H
 反馈冻结寄存器 值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res												FR_C H3	FR_C H2	FR_C H1	FR_C H0
r												rw	rw	rw	rw

Field	Bits	Type	Description
FR_CH0	0	rw	Freeze of CH0 Feedback Values 0 _B Disabled 1 _B Enabled
FR_CH1	1	rw	Freeze of CH1 Feedback Values 0 _B Disabled 1 _B Enabled
FR_CH2	2	rw	Freeze of CH2 Feedback Values 0 _B Disabled 1 _B Enabled
FR_CH3	3	rw	Freeze of CH3 Feedback Values 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.2.10 反馈更新寄存器

反馈更新寄存器

反馈值在寄存器 FB_DC、FB_VBAT、FB_I_AVG 中提供

FB_UPD 偏移地址: 0008_H
 反馈更新寄存器 值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res												UD_CH3	UD_CH2	UD_CH1	UD_CH0
r												rh	rh	rh	rh

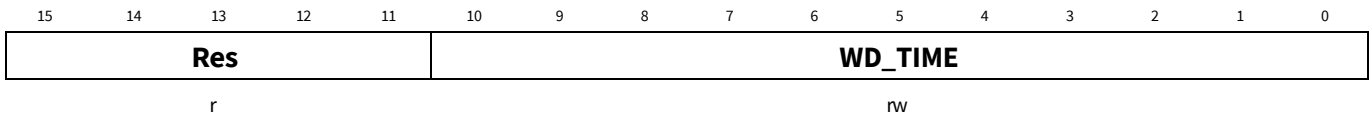
Field	Bits	Type	Description
UD_CH0	0	rh	Indication of CH0 Feedback Values Update 0 _B No new Feedback Values available 1 _B New Feedback Values available
UD_CH1	1	rh	Indication of CH1 Feedback Values Update 0 _B No new Feedback Values available 1 _B New Feedback Values available
UD_CH2	2	rh	Indication of CH2 Feedback Values Update 0 _B No new Feedback Values available 1 _B New Feedback Values available
UD_CH3	3	rh	Indication of CH3 Feedback Values Update 0 _B No new Feedback Values available 1 _B New Feedback Values available

串行外设接口 (SPI)

5.3.2.11 SPI 看门狗寄存器

SPI 看门狗计数器重载寄存器

WD_RELOAD 偏移地址: 0009_H
 SPI看门狗寄存器 值: 0001_H



Field	Bits	Type	Description
WD_TIME	10:0	rw	Reload value of SPI watchdog timeout t_SPI_WD $\langle \text{WD_TIME} \rangle = \text{rounddown}(t_{\text{SPI_WD}} * f_{\text{SYS}} / 2^{14})$

串行外设接口 (SPI)

5.3.2.12 诊断错误寄存器0

诊断错误寄存器通道组0

DIAG_ERR_CHGR0

诊断错误寄存器 0

偏移地址:

000A_H

值:

0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res		OTE1	SG1	OC1	OL1	OL S G1	Res		OTE0	SG0	OC0	OL0	OL S G0		
r		rwh	rwh	rwh	rwh	rwh	r		rwh	rwh	rwh	rwh	rwh		

Field	Bits	Type	Description
OLSG0	0	rwh	Open Load or Short to Ground Detection CH0 0 _B No Fault Detected 1 _B Fault Detected
OL0	1	rwh	Open Load Detection CH0 0 _B No Fault Detected 1 _B Fault Detected
OC0	2	rwh	Overcurrent Detection CH0 0 _B No Fault Detected 1 _B Fault Detected
SG0	3	rwh	Short to Ground Detection CH0 0 _B No Fault Detected 1 _B Fault Detected
OTE0	4	rwh	Overtemperature Error Detection CH0 0 _B No Fault Detected 1 _B Fault Detected
OLSG1	8	rwh	Open Load or Short to Ground Detection CH1 0 _B No Fault Detected 1 _B Fault Detected
OL1	9	rwh	Open Load Detection CH1 0 _B No Fault Detected 1 _B Fault Detected
OC1	10	rwh	Overcurrent Detection CH1 0 _B No Fault Detected 1 _B Fault Detected
SG1	11	rwh	Short to Ground Detection CH1 0 _B No Fault Detected 1 _B Fault Detected
OTE1	12	rwh	Overtemperature Error Detection CH1 0 _B No Fault Detected 1 _B Fault Detected

串行外设接口 (SPI)

5.3.2.13 诊断错误寄存器1

诊断错误寄存器通道组1

DIAG_ERR_CHGR1

诊断错误寄存器1

偏移地址:

000B_H

值:

0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	OTE3	SG3	OC3	OL3	OL S G3	Res	OTE2	SG2	OC2	OL2	OL S G2				
r	rwh	rwh	rwh	rwh	rwh	r	rwh	rwh	rwh	rwh	rwh				

Field	Bits	Type	Description
OLSG2	0	rwh	Open Load or Short to Ground Detection CH2 0 _B No Fault Detected 1 _B Fault Detected
OL2	1	rwh	Open Load Detection CH2 0 _B No Fault Detected 1 _B Fault Detected
OC2	2	rwh	Overcurrent Detection CH2 0 _B No Fault Detected 1 _B Fault Detected
SG2	3	rwh	Short to Ground Detection CH2 0 _B No Fault Detected 1 _B Fault Detected
OTE2	4	rwh	Overtemperature Error Detection CH2 0 _B No Fault Detected 1 _B Fault Detected
OLSG3	8	rwh	Open Load or Short to Ground Detection CH3 0 _B No Fault Detected 1 _B Fault Detected
OL3	9	rwh	Open Load Detection CH3 0 _B No Fault Detected 1 _B Fault Detected
OC3	10	rwh	Overcurrent Detection CH3 0 _B No Fault Detected 1 _B Fault Detected
SG3	11	rwh	Short to Ground Detection CH3 0 _B No Fault Detected 1 _B Fault Detected
OTE3	12	rwh	Overtemperature Error Detection CH3 0 _B No Fault Detected 1 _B Fault Detected

串行外设接口 (SPI)

5.3.2.14 诊断警告寄存器0

诊断警告寄存器通道组0

DIAG_WARN_CHGR0

诊断警告寄存器 0

偏移地址:

0010_H

值:

1010_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res		OLS G_W ARN 1_CH K_N OK	OLS G_W ARN 1	OTW 1	I_RE G_W ARN 1	PWM _REG _WA RN1	Res		OLS G_W ARN 0_CH K_N OK	OLS G_W ARN 0	OTW 0	I_RE G_W ARN 0	PWM _REG _WA RN0		
r		rwh	rwh	rwh	rwh	rwh	r		rwh	rwh	rwh	rwh	rwh		

Field	Bits	Type	Description
PWM_REG_WARN0	0	rwh	ICC PWM Regulation Warning Detection CH0 0 _B No Warning Detected 1 _B Warning Detected
I_REG_WARN0	1	rwh	ICC Current Regulation Warning CH0 0 _B No Warning Detected 1 _B Warning Detected
OTW0	2	rwh	Overtemperature Warning Detection CH0 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN0	3	rwh	Open Load or Short to Ground Warning Detection CH0 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN0_CHK_NOK	4	rwh	Open Load or Short to Ground Warning Detection performed CH0 0 _B OLSG Warning Detection performed 1 _B OLSG Warning Detection not possible
PWM_REG_WARN1	8	rwh	ICC PWM Regulation Warning Detection CH1 0 _B No Warning Detected 1 _B Warning Detected
I_REG_WARN1	9	rwh	ICC Current Regulation Warning CH1 0 _B No Warning Detected 1 _B Warning Detected
OTW1	10	rwh	Overtemperature Warning Detection CH1 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN1	11	rwh	Open Load or Short to Ground Warning Detection CH1 0 _B No Warning Detected 1 _B Warning Detected

(表格续下页.....)

串行外设接口 (SPI)

(续)

Field	Bits	Type	Description
OLSG_WARN1_CHK_NOK	12	rwh	Open Load or Short to Ground Warning Detection performed CH1 0 _B OLSG Warning Detection performed 1 _B OLSG Warning Detection not possible

串行外设接口 (SPI)

5.3.2.15 诊断警告寄存器1

诊断警告寄存器通道组1

DIAG_WARN_CHGR1

诊断警告寄存器1

偏移地址:

0011_H

值:

1010_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res		OLS G_W ARN 3_CH K_N OK	OLS G_W ARN 3	OTW 3	I_RE G_W ARN 3	PWM _REG _WA RN3	Res		OLS G_W ARN 2_CH K_N OK	OLS G_W ARN 2	OTW 2	I_RE G_W ARN 2	PWM _REG _WA RN2		
r		rwh	rwh	rwh	rwh	rwh	r		rwh	rwh	rwh	rwh	rwh		

Field	Bits	Type	Description
PWM_REG_WARN2	0	rwh	ICC PWM Regulation Warning Detection CH2 0 _B No Warning Detected 1 _B Warning Detected
I_REG_WARN2	1	rwh	ICC Current Regulation Warning CH2 0 _B No Warning Detected 1 _B Warning Detected
OTW2	2	rwh	Overtemperature Warning Detection CH2 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN2	3	rwh	Open Load or Short to Ground Warning Detection CH2 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN2_CHK_NOK	4	rwh	Open Load or Short to Ground Warning Detection performed CH2 0 _B OLSG Warning Detection performed 1 _B Warning Detected
PWM_REG_WARN3	8	rwh	ICC PWM Regulation Warning Detection CH3 0 _B No Warning Detected 1 _B Warning Detected
I_REG_WARN3	9	rwh	ICC Current Regulation Warning CH3 0 _B No Warning Detected 1 _B Warning Detected
OTW3	10	rwh	Overtemperature Warning Detection CH3 0 _B No Warning Detected 1 _B Warning Detected
OLSG_WARN3	11	rwh	Open Load or Short to Ground Warning Detection CH3 0 _B No Warning Detected 1 _B Warning Detected

(表格续下页.....)

串行外设接口 (SPI)

(续)

Field	Bits	Type	Description
OLSG_WARN3_CHK_NOK	12	rwh	Open Load or Short to Ground Warning Detection performed CH3 0 _B OLSG Warning Detection performed 1 _B OLSG Warning Detection not possible

串行外设接口 (SPI)

5.3.2.16 故障屏蔽寄存器 0

FAULTN 引脚屏蔽 0 寄存器

FAULT_MASK0

偏移地址: 0016_H

故障屏蔽寄存器 0

值: C00F_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SUP_ NOK_ EXT_ MASK	SUP_ NO K_IN T_M ASK	EN_ P IN_M ASK	Res										CH3 _ ERR _ MAS K	CH2 _ ERR _ MAS K	CH1 ERR_ MAS K	CH0 ERR_ MAS K
rw	rw	rw	r										rw	rw	rw	rw

Field	Bits	Type	Description
CH0_ERR_MASK	0	rw	OC0, SG0, OL0, OTE0, OLSG0 FAULTN-pin Indication 0 _B Disabled 1 _B Enabled
CH1_ERR_MASK	1	rw	OC1, SG1, OL1, OTE1, OLSG1 FAULTN-pin Indication 0 _B Disabled 1 _B Enabled
CH2_ERR_MASK	2	rw	OC2, SG2, OL2, OTE2, OLSG2 FAULTN-pin Indication 0 _B Disabled 1 _B Enabled
CH3_ERR_MASK	3	rw	OC3, SG3, OL3, OTE3, OLSG3 FAULTN-pin Indication 0 _B Disabled 1 _B Enabled
EN_PIN_MASK	13	rw	EN-pin Status at FAULTN-pin Indication 0 _B Disabled 1 _B Enabled
SUP_NOK_INT_MASK	14	rw	Internal Supply UV/OV at FAULTN-pin Indication (SUP_NOK_INT) 0 _B Disabled 1 _B Enabled
SUP_NOK_EXT_MASK	15	rw	External Supply UV/OV at FAULTN-pin Indication (SUP_NOK_EXT) 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.2.17 故障屏蔽寄存器 1

FAULTN 引脚屏蔽 1 寄存器

FAULT_MASK1

偏移地址:

0017_H

故障屏蔽寄存器 1

值:

700F_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	CLK _LOW _MA _SK	COTE RR_ MAS K	COT WAR N_M ASK	Res								CH3_ WAR N_M ASK	CH2_ WAR N_M ASK	CH1_ WAR N_M ASK	CH0_ WAR N_M ASK
r	rw	rw	rw	r								rw	rw	rw	rw

Field	Bits	Type	Description
CH0_WARN_M ASK	0	rw	CH0 Warning at FAULTN-pin Indication (OTW, I_REG_WARN, PWM_REG_WARN, OLSG_WARN) 0 _B Disabled 1 _B Enabled
CH1_WARN_M ASK	1	rw	CH1 Warning at FAULTN-pin Indication (OTW, I_REG_WARN, PWM_REG_WARN, OLSG_WARN) 0 _B Disabled 1 _B Enabled
CH2_WARN_M ASK	2	rw	CH2 Warning at FAULTN-pin Indication (OTW, I_REG_WARN, PWM_REG_WARN, OLSG_WARN) 0 _B Disabled 1 _B Enabled
CH3_WARN_M ASK	3	rw	CH3 Warning at FAULTN-pin Indication (OTW, I_REG_WARN, PWM_REG_WARN, OLSG_WARN) 0 _B Disabled 1 _B Enabled
COTWARN_MA SK	12	rw	Central Overtemperature Warning at FAULTN-pin Indication (COTWRN) 0 _B Disabled 1 _B Enabled
COTERR_MAS K	13	rw	Central Overtemperature Error at FAULTN-pin Indication (COTERR) 0 _B Disabled 1 _B Enabled
CLK_LOW_MA SK	14	rw	Clock too Slow at FAULTN-pin Indication (DIG_CLK_TOO_SLOW, CLK_TOO_SLOW) 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.2.18 故障屏蔽寄存器 2

FAULTN 引脚屏蔽 2 寄存器

FAULT_MASK2 偏移地址: 0018_H
 故障屏蔽寄存器 2 值: C000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI_ WD_ MASK	DATA _ERR _MA SK	Res													
rw	rw	r													

Field	Bits	Type	Description
DATA_ERR_MASK	14	rw	Data Error at FAULTN-pin Indication (DATA_ERR) 0 _B Disabled 1 _B Enabled
SPI_WD_MASK	15	rw	SPI Watchdog Fault at FAULTN-pin Indication (SPI_WD_ERR) 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.2.19 时钟控制寄存器

时钟控制寄存器：写访问/访问只能在配置模式下进行

CLK_DIV 偏移地址: 0019_H
 时钟控制寄存器 值: 0438_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXT_CLK		PLL_REFDIV						PLL_FBDIV							

rwh rw rwl

Field	Bits	Type	Description
PLL_FBDIV	8:0	rw	PLL feedback divider $\langle \text{PLL_FBDIV} \rangle = 56 \text{ MHz} * \langle \text{PLL_REFDIV} \rangle / f_{\text{CLK}}$
PLL_REFDIV	14:9	rw	PLL reference divider $\langle \text{PLL_REFDIV} \rangle = \text{round}(f_{\text{CLK}} / 1 \text{ MHz})$
EXT_CLK	15	rwh	Clock Source Selection 0 _B Internal Clock 1 _B External clock (CLK-pin)

串行外设接口 (SPI)

5.3.2.20 BIST寄存器

内置自检 (BIST) 寄存器：仅在配置模式下才可以进行写入访问

SFF_BIST

偏移地址：

003F_H

BIST寄存器

值：

0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res											SMU _SLF _TST _CER R	SMU _SLF _TST _UE RR	SMU _SLF _TST _FAI L	SMU _SLF _TST _DO NE	SMU _SLF _TST _EN
r											rwh	rwh	rwh	rwh	rwh

Field	Bits	Type	Description
SMU_SLF_TST_EN	0	rwh	BIST Enable 0 _B BIST not triggered 1 _B BIST triggered
SMU_SLF_TST_DONE	1	rwh	BIST Done 0 _B BIST not done 1 _B BIST done
SMU_SLF_TST_FAIL	2	rwh	BIST Sequence 0 _B Passed 1 _B Failed
SMU_SLF_TST_UERR	3	rwh	BIST Uncorrectable Errors 0 _B Not Tested 1 _B Tested
SMU_SLF_TST_CERR	4	rwh	BIST Correctable Errors 0 _B Not Tested 1 _B Tested

串行外设接口 (SPI)

5.3.2.21 Version Register

IC version and ID

ICVID

Offset address: 0200_H

Version Register

value: C1XX_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MANUFACTURER								VERSION							
rh								rh							

Field	Bits	Type	Description
VERSION	7:0	rh	Chip Version FC _H B11 Design Step FD _H B12 Design Step FE _H B13 Design Step FF _H B15 Design Step
MANUFACTURER	15:8	rh	Manufacturer ID

串行外设接口 (SPI)

5.3.2.22 引脚状态寄存器

引脚状态反馈寄存器

PIN_STAT

偏移地址: 0201_H

引脚状态寄存器

值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res									FAU L TN_ F B	FAU L TN	EN	DRV3	DRV2	DRV1	DRV0
r									rh	rh	rh	rh	rh	rh	rh

Field	Bits	Type	Description
DRV0	0	rh	Logic Level of DRV0-pin 0 _B Low 1 _B High
DRV1	1	rh	Logic Level of DRV1-pin 0 _B Low 1 _B High
DRV2	2	rh	Logic Level of DRV2-pin 0 _B Low 1 _B High
DRV3	3	rh	Logic Level of DRV3-pin 0 _B Low 1 _B High
EN	4	rh	Logic Level of EN-pin 0 _B Low 1 _B High
FAULTN	5	rh	Internal Status of FAULTN-pin according to Fault Mask Configuration 0 _B Fault detected 1 _B No Fault detected
FAULTN_FB	6	rh	Logic Level of FAULTN-pin 0 _B Low 1 _B High

串行外设接口 (SPI)

5.3.2.23 反馈状态寄存器

通用状态寄存器

FB_STAT

反馈状态寄存器

偏移地址: 0202_H

复位值见: 表 21

										21	20		19	18	17	16	
										INIT _ DON E	SPI_ WD_ ERR		Res				
										rh	rh		r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ERR_ CHGR 1	ERR _CHG R0	SUP _NO K_I NT	SUP _NO K_E XT	DATA _err	POR _eve nt	RES_ even t	COT WAR N	COTE RR	CLK_ NOK	Res	OLS G_W ARN_ _CH K_N OK_ _CH G R1	OLS G_W ARN_ _CH K_N OK_ _CH G R0	Res	DIAG _WA RN_ CHG R1	DIAG _WA RN_ CHG R0		
rh	rh	rh	rh	rh	rh	rh	rh	rh	rh	r	rh	rh	r	rh	rh		

Field	Bits	Type	Description
DIAG_WARN_C HGR0	0	rh	Current status of DIAG_WARN_CHGR0 register (excluding <OLSG_WARNx_CHK_NOK>) 0 _B No Warning detected 1 _B Warning detected
DIAG_WARN_C HGR1	1	rh	Current status of DIAG_WARN_CHGR1 register (excluding <OLSG_WARNx_CHK_NOK>) 0 _B No Warning detected 1 _B Warning detected
OLSG_WARN_ CHK_NOK_CH GR0	3	rh	Current status of <OLSG_WARNx_CHK_NOK> bit in the DIAG_WARN_CHGR0 register 0 _B No Warning detected 1 _B Warning detected
OLSG_WARN_ CHK_NOK_CH GR1	4	rh	Current status of <OLSG_WARNx_CHK_NOK> bit in the DIAG_WARN_CHGR1 register 0 _B No Warning detected 1 _B Warning detected
CLK_NOK	6	rh	Current status of CLK_NOK in GLOBAL_DIAG0 register 0 _B No Fault detected 1 _B Fault detected
COTERR	7	rh	Current status of COTERR in GLOBAL_DIAG0 register 0 _B No Fault detected 1 _B Fault detected

(表格续下页.....)

串行外设接口 (SPI)

(续)

Field	Bits	Type	Description
COTWARN	8	rh	Current status of COTWARN in GLOBAL DIAG0 register 0 _B No Warning detected 1 _B Warning detected
RES_event	9	rh	Current status of RES_event in GLOBAL DIAG0 register 0 _B No Reset Event 1 _B Reset occurred
POR_event	10	rh	Current status of POR_event in GLOBAL DIAG0 register 0 _B No power on Reset 1 _B Power on Reset occurred
DATA_err	11	rh	Current status of <OTP_ECC_ERR>, <OTP_VIRGIN>, <HV_ADC_ERR> 0 _B No Fault detected 1 _B Fault detected
SUP_NOK_EXT	12	rh	Current status of <VIO_UV/OV>, <VDD_UV/OV>, <VBAT_UV/OV> 0 _B No Fault detected 1 _B Fault detected
SUP_NOK_INT	13	rh	Current status of <VDD2V5_UV/OV>, <REF_UV/OV>, <VR_IREF_UV/OV>, <VPRE_OV> 0 _B No Fault detected 1 _B Fault detected
ERR_CHGR0	14	rh	Current status of DIAG_ERR_CHGR1 register 0 _B No Fault detected 1 _B Fault detected
ERR_CHGR1	15	rh	Current status of DIAG_ERR_CHGR2 register 0 _B No Fault detected 1 _B Fault detected
SPI_WD_ERR	20	rh	Current status of <SPI_WD_ERR> 0 _B No Fault detected 1 _B Fault detected
INIT_DONE	21	rh	Chip Initialization 0 _B Not Done 1 _B Done

表 21 FB_STAT 的复位值

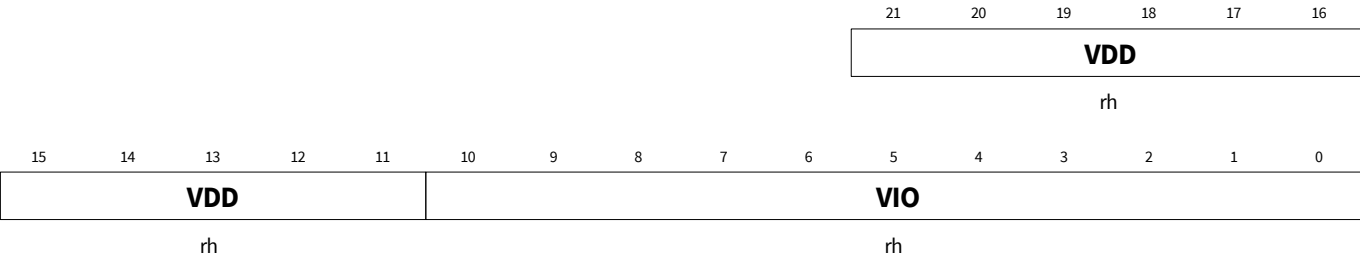
Reset type	Reset value	Note
	10 0000 0000 0110 0001 1000 _B	

串行外设接口（SPI）

5.3.2.24 反馈电压寄存器 1

供电电压反馈寄存器1

FB_VOLTAGE1 偏移地址: 0203_H
 反馈电压寄存器 1 值: XX XXXX_H



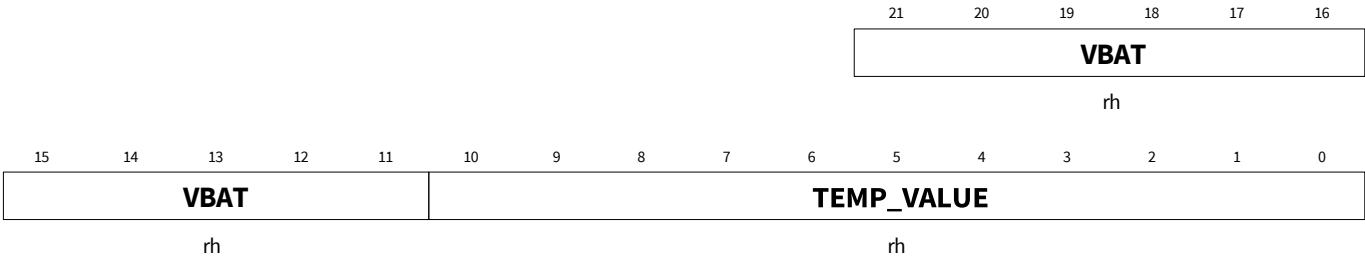
Field	Bits	Type	Description
VIO	10:0	rh	VIO Voltage $V_{IO} = 0.0034534 \text{ V} * <\text{VIO}>$
VDD	21:11	rh	VDD Voltage $V_{DD} = 0.0034534 \text{ V} * <\text{VDD}>$

串行外设接口 (SPI)

5.3.2.25 反馈电压寄存器2

供电电压反馈寄存器2

FB_VOLTAGE2 偏移地址: 0204_H
 反馈电压寄存器2 值: XX XXXX_H



Field	Bits	Type	Description
TEMP_VALUE	10:0	rh	Temperature Feedback $T_{FB} = (<TEMP_VALUE> * 0.000593 - 0.819) / (-0.0016)$ [Celsius]
VBAT	21:11	rh	VBAT Voltage $V_{BAT} = 41.47\text{ V} * <VBAT> / (2^{11} - 1)$

串行外设接口 (SPI)

5.3.3 通道寄存器

5.3.3.1 寄存器概述 - channelRegs (升序偏移地址)

表 22 寄存器概述 - channelRegs (升序偏移地址)

Short Name	Long Name	Offset Address	Page Number
SETPOINT	Setpoint Register	0000 _H	83
CTRL	Control Register	0001 _H	84
PERIOD	ICC PWM Frequency Controller Register	0002 _H	85
INTEGRATOR_LIMIT	ICC Integrator Limitation Register	0003 _H	86
DITHER_CLK_DIV	Dither Clock Register	0004 _H	87
DITHER_STEP	Dither Step Register	0005 _H	88
DITHER_CTRL	Dither Control Register	0006 _H	89
CH_CONFIG	Channel Configuration Register	0007 _H	90
MODE	Channel Mode Register	000C _H	92
TON	On-Time Register	000D _H	93
CTRL_INT_THRESH	ICC Integrator Threshold Control Register	000E _H	94
FB_DC	Feedback Duty Cycle Register	0200 _H	95
FB_VBAT	Feedback Average VBAT	0201 _H	96
FB_I_AVG	Feedback Average Current	0202 _H	97
FB_IMIN_IMAX	Feedback Min/Max Current	0203 _H	98
FB_I_AVG_s16	Feedback signed Current	0204 _H	99
FB_INT_THRESH	Feedback ICC Integrator Threshold	0205 _H	100
FB_PERIOD_MIN_MAX	Feedback Min/Max PWM Period	0206 _H	101

5.3.3.2 寄存器地址空间 - channelRegs

表 23 寄存器地址空间 - channelRegs

Module	Base Address	End Address	Note
CH0	00000040 _H	0001003E _H	
CH1	00000050 _H	0001004E _H	
CH2	00000060 _H	0001005E _H	
CH3	00000070 _H	0001006E _H	

串行外设接口 (SPI)

5.3.3.3 电流设定值寄存器

电流设定值寄存器

SETPOINT	偏移地址:	0000 _H
电流设定值寄存器	值	0000 _H



Field	Bits	Type	Description
TARGET	14:0	rwh	Current Setpoint Target $I_{set} = 2A * <TARGET> / (2^{15} - 1)$ $I_{set,par} = 4A * <TARGET> / (2^{15} - 1)$ NOTE: Values higher than 0x6000 are saturated
AUTO_LIMIT_DISEN	15	rwh	Autolimit Feature 0 _B Enabled 1 _B Disabled

串行外设接口 (SPI)

5.3.3.4 控制寄存器

通道控制寄存器

CTRL 偏移地址: 0001_H
 控制寄存器 值 4600_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	OLSG_WARN_EN	OLSG_WARN_WINDOW						PWM_PERIOD_CALC_MODE	MIN_INT_THRESH						
r	rw	rw						rw	rw						

Field	Bits	Type	Description
MIN_INT_THRESHOLD	7:0	rw	Minimum limit for ICC integrator threshold The value is signed: -128 to 127
PWM_PERIOD_CALC_MODE	8	rw	ICC PWM controller does not consider falling Dither Slope 0 _B No disabling of threshold calculation 1 _B Skip threshold calculation on falling dither
OLSG_WARN_WINDOW	13:9	rw	OLSG Warning Detection Blanking Time $t_{OLwindow} = (<OLSG_WARN_WINDOW> + 1) * 64 * 1 / f_{sys}$
OLSG_WARN_EN	14	rw	OLSG Warning Detection 0 _B Disable warning 1 _B Enable warning

串行外设接口 (SPI)

5.3.3.5 ICC PWM频率控制寄存器

ICC PWM信号频率控制器寄存器

周期 偏移地址: 0002_H
 ICC PWM信号频率控制器寄存器 值 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWM_CTRL_PARAM				LOW_FREQ_RANGE_EN	PERIOD_EXP			PERIOD_MANT							
rw				rw	rw			rw							

Field	Bits	Type	Description
PERIOD_MANT	7:0	rw	Mantissa of PWM Target Frequency $t_{PWM} = \langle \text{PERIOD_MANT} \rangle * 2^{\langle \text{PERIOD_EXP} \rangle} * 1/f_{sys}$ $\langle \text{PERIOD_MANT} \rangle = 0$ disables the ICC PWM Frequency Controller
PERIOD_EXP	10:8	rw	Exponent of PWM Target Frequency $t_{PWM} = \langle \text{PERIOD_MANT} \rangle * 2^{\langle \text{PERIOD_EXP} \rangle} * 1/f_{sys}$
LOW_FREQ_RANGE_EN	11	rw	Low PWM Frequency Range $t_{PWM} = \langle \text{PERIOD_MANT} \rangle * 8 * 2^{\langle \text{PERIOD_EXP} \rangle} * 1/f_{sys}$ 0 _B Disabled 1 _B Enabled
PWM_CTRL_PARAM	15:12	rw	Control parameter ki of PWM Frequency Controller

串行外设接口 (SPI)

5.3.3.6 ICC 积分器限制值寄存器

ICC 积分器限制值寄存器

INTEGRATOR_LIMIT 偏移地址: 0003_H

ICC 积分器限制寄存器 值 43FF_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	AUTO_LIM_VALUE_ABS					LIM_VALUE_ABS									
r	rw					rw									

Field	Bits	Type	Description
LIM_VALUE_ABS	9:0	rw	Absolut Integrator Limit of ICC
AUTO_LIM_VALUE_ABS	14:10	rw	Integrator Limit of ICC after a setpoint update (Autolimit)

串行外设接口 (SPI)

5.3.3.7 颤振时钟寄存器

颤振周期配置

DITHER_CLK_DIV 偏移地址: 0004_H
 颤振时钟寄存器 值 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DITHER_SETPOINT_SYNC_EN	DITHER_PWM_SYNC_EN	EXP				MANT									
rw	rw	rw				rw									

Field	Bits	Type	Description
MANT	9:0	rw	Mantissa of Dither Reference Clock $t_{ref_clk} = (<MANT> * 2^{<EXP>}) * 1/f_{sys}$
EXP	13:10	rw	Exponent of Dither Reference Clock $t_{ref_clk} = (<MANT> * 2^{<EXP>}) * 1/f_{sys}$
DITHER_PWM_SYNC_EN	14	rw	Synchronization of Dither Period with PWM Period 0 _B Disabled 1 _B Enabled
DITHER_SETPOINT_SYNC_EN	15	rw	Synchronization of the Dither Period to a setpoint change 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.3.8 颤振步进寄存器

颤振幅值配置

DITHER_STEP 偏移地址: 0005_H
 颤振步进寄存器 值 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STEPS								FLAT							
rw								rw							

Field	Bits	Type	Description
FLAT	7:0	rw	Number of flat Dither Reference Clocks tref_clk on top and bottom of the Dither waveform $t_{\text{flat}} = \text{<FLAT>} * t_{\text{ref_clk}}$
STEPS	15:8	rw	Number of Dither steps within a quarter Dither Period $T_{\text{Dither}} = [4 * \text{<STEPS>} + 2 * \text{<FLAT>}] * t_{\text{ref_clk}}$ $I_{\text{Dither}} = \text{<STEPS>} * \text{<STEP_SIZE>} * 2 A / (2^{15} - 1)$ NOTE: If <STEP_SIZE> = 0, the dither overlay I_{Dither} is disabled. NOTE: If <STEPS> = 0, the dither overlay I_{Dither} is disabled and the dither period T_{Dither} is determined by <FLAT> NOTE: If <STEPS> = 0 and <FLAT> = 0, the dither period $T_{\text{Dither}} = t_{\text{ref_clk}}$

串行外设接口 (SPI)

5.3.3.9 颤振控制寄存器

颤振控制寄存器

DITHER_CTRL

偏移地址: 0006_H

颤振控制寄存器

值 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	DEE P_DI THE R	Res	STEP_SIZE												
r	rw	r	rw												

Field	Bits	Type	Description
STEP_SIZE	11:0	rw	Size of Dither Steps resulting in a Dither Amplitude $I_{Dither} = \langle STEPS \rangle * \langle STEP_SIZE \rangle * 2 A / (2^{15} - 1)$
DEEP_DITHER	13	rw	Deep Dither Feature 0 _B Disabled 1 _B Enabled

串行外设接口 (SPI)

5.3.3.10 通道配置寄存器

通道配置寄存器

CH_CONFIG

通道配置寄存器

偏移地址: 0007_H
值 0003_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFF_DIAG_CH		OC_DIAG_EN	OL_TH_FIXED					OL_TH		I_DIAG		SLEWR			
rwh		rwh	rw					rw		rw		rw			

Field	Bits	Type	Description
SLEWR	1:0	rw	Channel Slew Rate 00 _B 1.0 V/us 01 _B 2.5 V/us 10 _B 5.0 V/us 11 _B 10.0 V/us
I_DIAG	3:2	rw	OFF-state Diagnosis Current Strength 00 _B 80 uA 01 _B 190 uA 10 _B 720 uA 11 _B 1250 uA
OL_TH	6:4	rw	Open Load Threshold relative to Setpoint 000 _B Disabled 001 _B 1/8 of Current Setpoint 010 _B 2/8 of Current Setpoint 011 _B 3/8 of Current Setpoint 100 _B 4/8 of Current Setpoint 101 _B 5/8 of Current Setpoint 110 _B 6/8 of Current Setpoint 111 _B 7/8 of Current Setpoint
OL_TH_FIXED	12:7	rw	Fixed Open Load Threshold $I_{OLTH} = \langle OL_TH_FIXED \rangle * 128 * 2000\text{mA} / (2^{15} - 1)$ $I_{OLTH,parallel} = \langle OL_TH_FIXED \rangle * 128 * 4000\text{mA} / (2^{15} - 1)$
OC_DIAG_EN	13	rwh	OC Diagnosis in OFF-state 0 _B Disabled 1 _B Enable Output Stage for t_OCon $t_{OCon} = [(\langle TON_MANT \rangle + 1) * 2^{\langle EXP \rangle}] * 1/f_{sys}$ NOTE: <TON_MANT> is located in the TON register. NOTE: <EXP> is located in the DITHER_CLK_DIV register.
OFF_DIAG_CH	15:14	rwh	OFF-state Diagnosis Current Sources Control 00 _B OFF-state Diagnosis Enabled 01 _B Low Side Current Source Enabled 10 _B High Side Current Source Enabled

(表格续下页.....)

串行外设接口 (SPI)

(续)

Field	Bits	Type	Description
			11 _B OFF-state Diagnosis Disabled

串行外设接口（SPI）

5.3.3.11 通道模式寄存器

通道模式寄存器：写访问/访问只能在配置模式下进行

MODE	偏移地址：	000C _H
通道模式寄存器	值	0000 _H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res												CH_MODE			
rrw															

Field	Bits	Type	Description
CH_MODE	3:0	rw	Channel Operation Mode 0 _H Off 1 _H ICC Current Control 2 _H Direct Drive Mode via SPI on-time setting (TON register) 3 _H Direct Drive Mode via DRVx-pin C _H Free running Measurement (2 ¹⁶ samples)

串行外设接口 (SPI)

5.3.3.12 开启时间寄存器

驱动器开启时间配置寄存器

TON 偏移地址: 000D_H

开启时间寄存器 值 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OLSG_TIMEOUT										TON_MANT					
rw										rw					

Field	Bits	Type	Description
TON_MANT	9:0	rw	On-Time of Output stage (SPI Direct Drive Mode/OC-Detection) $t_{OCon} = [(<TON_MANT> + 1) * 2^{<EXP>}] * 1/f_{sys}$ NOTE: For OC detection in OFF-state the maximum t_{on} period is 300ms and $<TON_MANT>$ must be different to 0. $t_{on} = (<TON_MANT> * 2^{<EXP>}) * 1/f_{sys}$ NOTE: The Period is derived from the Dither Period (DITHER_CLK_DIV) NOTE: $<EXP>$ is located in the DITHER_CLK_DIV register
OLSG_TIMEOUT	15:10	rw	Time out period for OLSG detection $t_{OLSG_TIMEOUT} = (<OLSG_TIMEOUT> * 256 + 255) * 64 * 1/f_{sys}$

串行外设接口 (SPI)

5.3.3.13 ICC 积分器阈值控制寄存器

ICC 积分器阈值控制寄存器

CTRL_INT_THRESH 偏移地址: 000E_H

ICC 积分器阈值控制寄存器 值 0003_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res							INT_THRESH								
rw															

Field	Bits	Type	Description
INT_THRESH	8:0	rw	ICC Integrator Threshold which determines the on-time of the PWM period NOTE: <INT_THRESH> is used as initial threshold value for the ICC PWM Frequency Controller.

串行外设接口 (SPI)

5.3.3.14 反馈占空比寄存器

Duty Cycle Feedback Value

Read Only Register

FB_DC

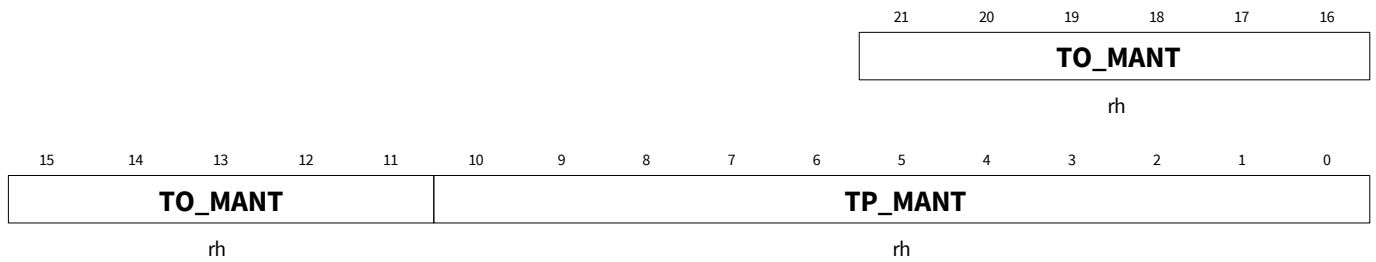
Feedback Duty Cycle Register

Offset address:

0200_H

Value

00 0000_H



Field	Bits	Type	Description
TP_MANT	10:0	rh	Period Mantissa $T_{\text{meas}} = \langle \text{TP_MANT} \rangle * 2^{\langle \text{EXP} \rangle} * 1/f_{\text{sys}}$ NOTE: <EXP> is located in the FB_VBAT or FB_I_AVG register.
TO_MANT	21:11	rh	On-time Mantissa $t_{\text{ON}} = \langle \text{TO_MANT} \rangle * 2^{\langle \text{EXP} \rangle} * 1/f_{\text{sys}}$ $DC = \langle \text{TO_MANT} \rangle / \langle \text{TP_MANT} \rangle$ NOTE: <EXP> is located in the FB_VBAT or FB_I_AVG register.

串行外设接口 (SPI)

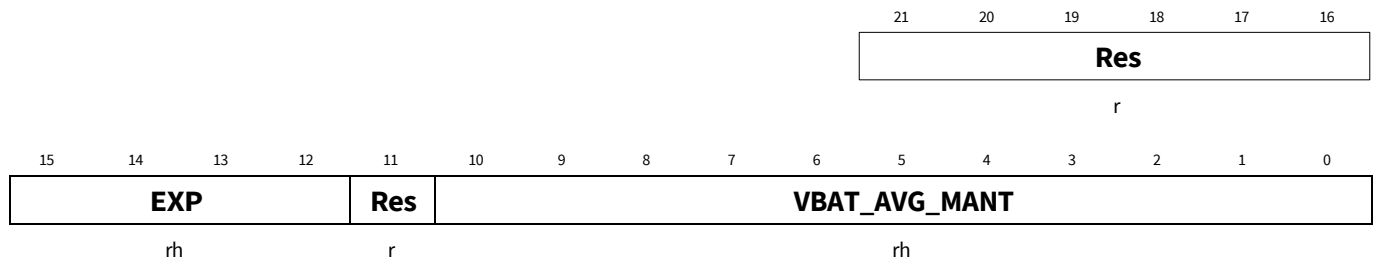
5.3.3.15 反馈平均 VBAT

Average Battery Voltage (VBAT) Feedback Register
 Read Only Register

FB_VBAT

Feedback Average VBAT

Offset address: 0201_H
 Value 00 0000_H



Field	Bits	Type	Description
VBAT_AVG_MANT	10:0	rh	Average Battery Voltage Mantissa $V_{BAT} = 41.47V * <VBAT_AVG_MANT>/<TP_MANT>$ NOTE: <TP_MANT> is located in the FB_DC register
EXP	15:12	rh	Measurement Exponent

串行外设接口 (SPI)

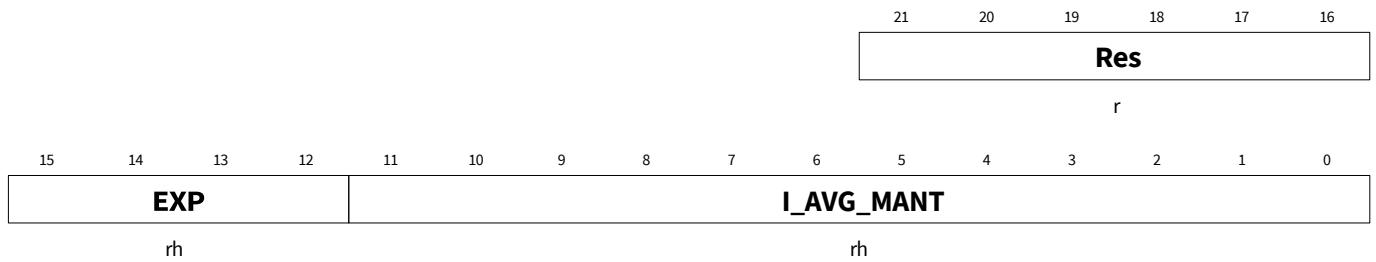
5.3.3.16 反馈平均电流

Average Current Feedback
Value Read Only Register

FB_I_AVG

Feedback Average Current

Offset address: 0202_H
Value 00 0000_H



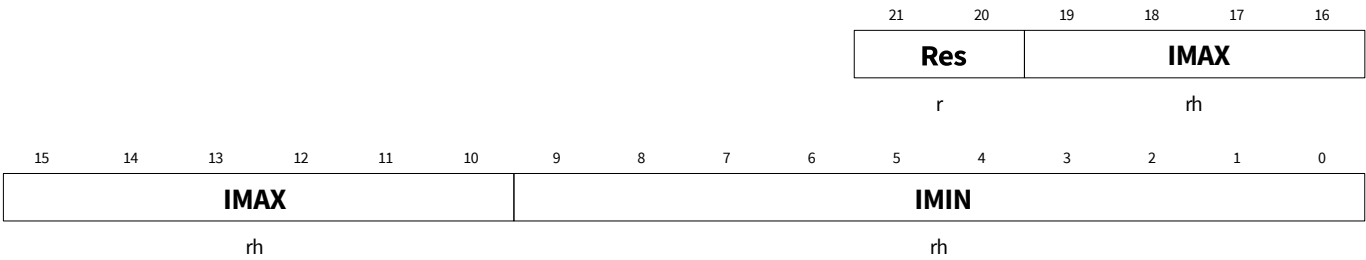
Field	Bits	Type	Description
I_AVG_MANT	11:0	rh	Signed Mantissa of Average Current Feedback (two's complement) $I_{avg} = 4A * <I_AVG_MANT> / <TP_MANT>$ NOTE: <TP_MANT> is located in the FB_DC register
EXP	15:12	rh	Measurement Exponent

串行外设接口（SPI）

5.3.3.17 反馈最小/最大电流

Minimum/Maximum Current Feedback Register
 Read Only Register

FB_IMIN_IMAX Offset address: 0203_H
 Feedback Min/Max Current Value 00 0000_H



Field	Bits	Type	Description
IMIN	9:0	rh	Signed Minimum Current of last measurement period (two's complement) $I_{min} = <IMIN> * 4A / (2^9 - 1)$
IMAX	19:10	rh	Signed Maximum Current of last measurement period (two's complement) $I_{max} = <IMAX> * 4A / (2^9 - 1)$

串行外设接口 (SPI)

5.3.3.18 反馈电流 (符号数)

自由运行期间 ($2^{16} f_{\text{sys}}$ 周期) 的有符号平均电流测量,

只读寄存器

FB_I_AVG_s16

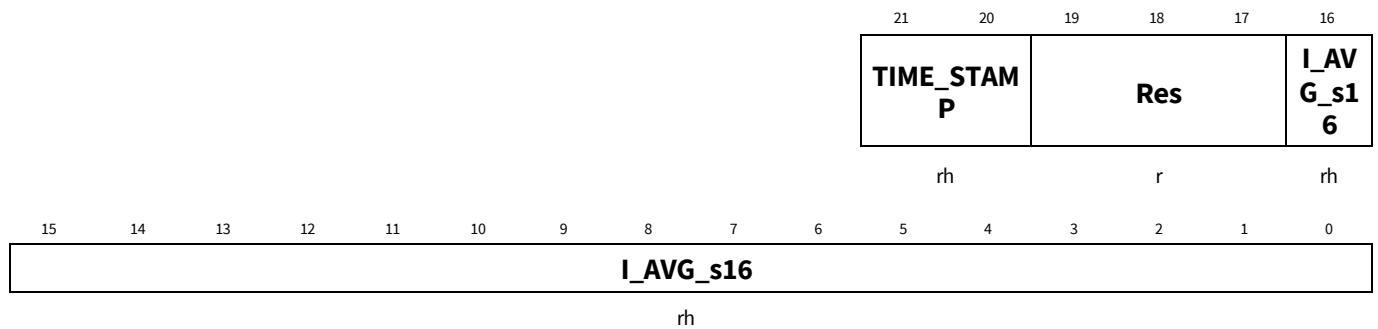
Feedback signed Current

Offset address:

0204_H

Value

00 0000_H

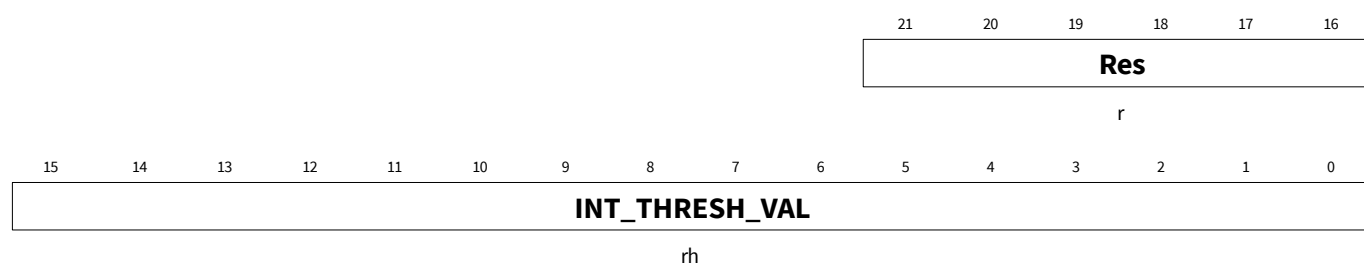


Field	Bits	Type	Description
I_AVG_s16	16:0	rh	Average Current Measurement over free running period ($2^{16} f_{\text{sys}}$ cycles) - two's complement $I_{\text{avg16}} = 4A \cdot \langle I_AVG_s16 \rangle / (2^{16}-1)$
TIME_STAMP	21:20	rh	Time Stamp for signed Average Current Measurement over free running period

ICC PWM Frequency Controller Integrator Thershold Feedback Read Only Register

Offset address: 0205_H

Value	00 0180 _H
-------	----------------------



Field	Bits	Type	Description
INT_THRESH_VAL	15:0	rh	ICC PWM Frequency Controller Calculated Integrator Threshold Value

串行外设接口 (SPI)

5.3.3.20 反馈最小/最大 PWM 周期

最后测量周期的最小和最大PWM信号频率反馈只读寄存器

FB_PERIOD_MIN_MAX

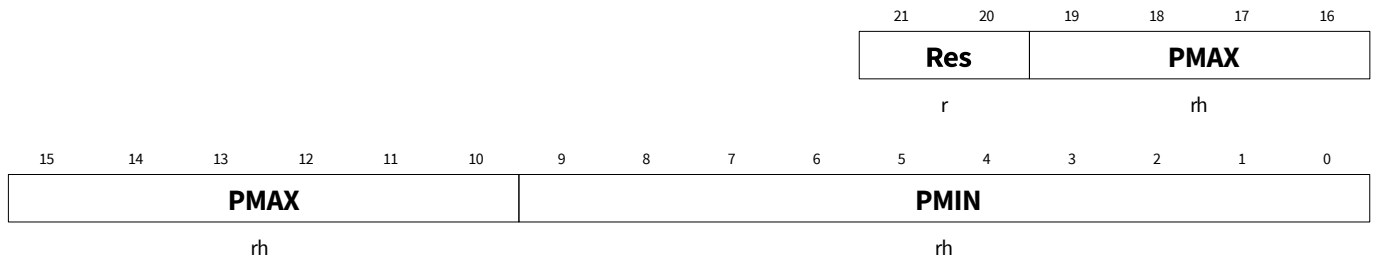
Feedback Min/Max PWM Period

Offset address:

0206_H

Value

00 0000_H



Field	Bits	Type	Description
PMIN	9:0	rh	Minimum PWM period of last Measurement period $f_{PWM_min} = f_{sys} / (<PMIN> * 256)$
PMAx	19:10	rh	Maximum PWM period of last Measurement period $f_{PWM_max} = f_{sys} / (<PMAx> * 256)$

应用信息

6 应用信息

6.1 TDS_应用信息

下列应用图显示了该 IC 在其环境中的使用方式。

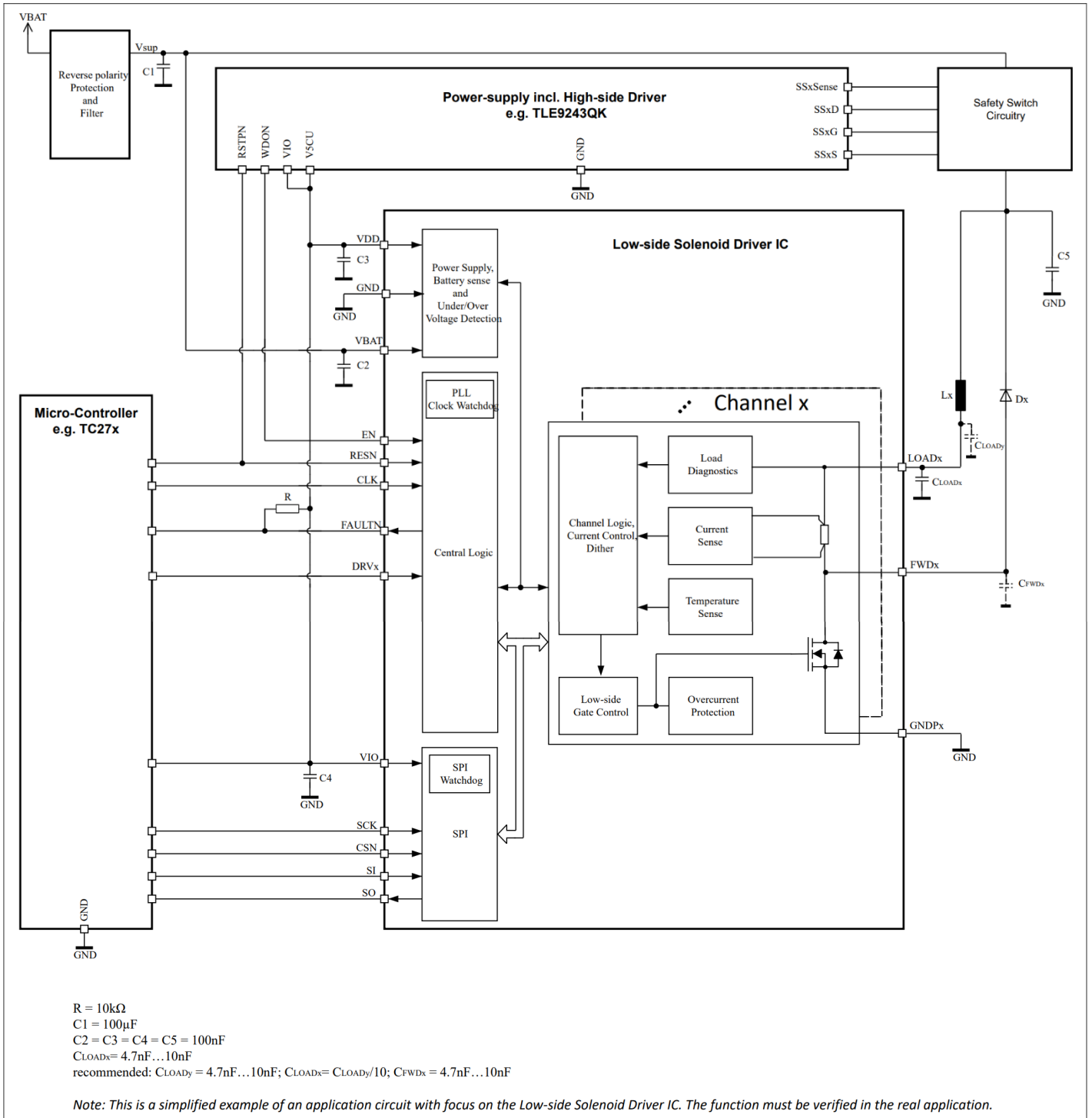


图 26 简化应用电路

7.1 TDS_封装尺寸

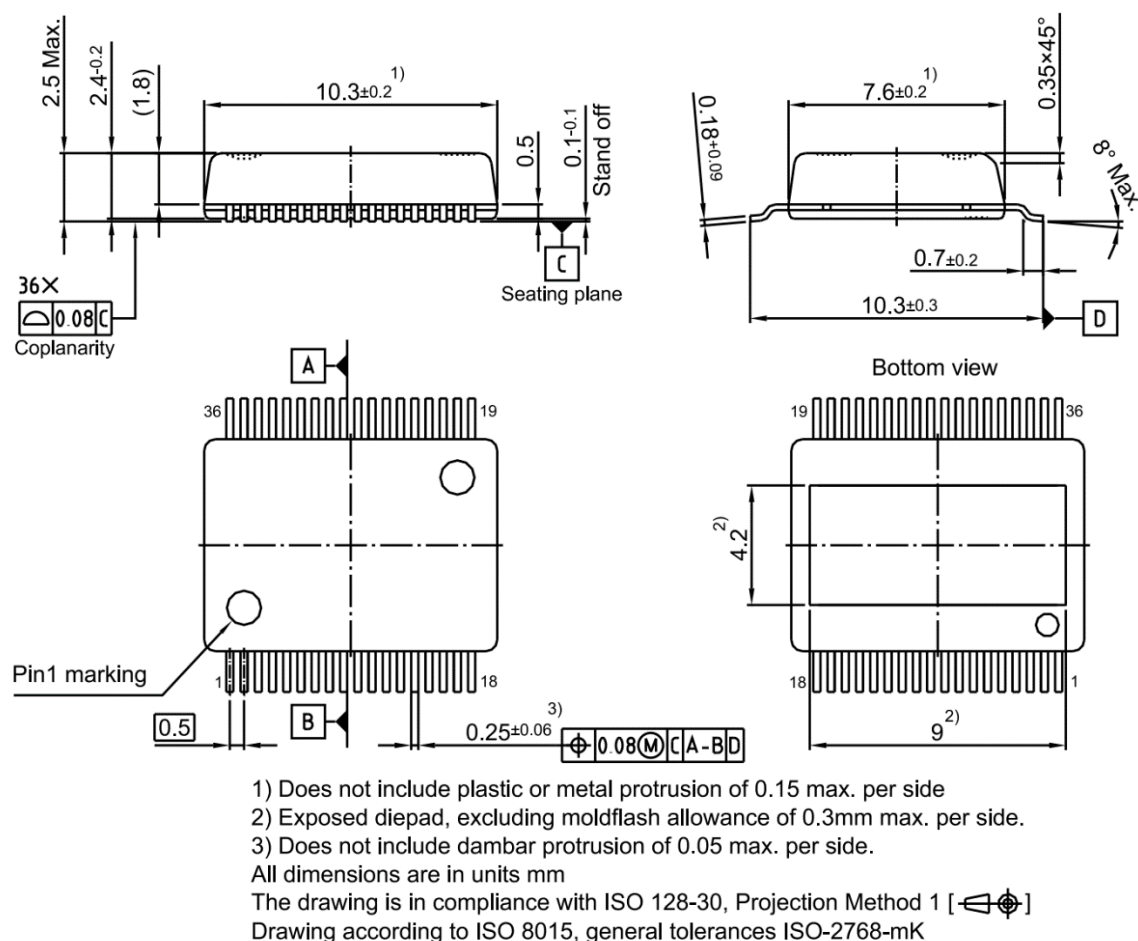


图 27 封装外形绿色产品

为了满足全球客户对环保产品的要求，并符合政府规定，该设备可作为绿色产品提供。绿色产品：符合 RoHS 标准（引线表面采用无铅处理，适合于符合 IPC/JEDEC J-STD-020 的无铅焊接）。

修订记录

修订记录

Revision	Date	Changes
Datasheet v1.2	2022-02-01	- new Package Drawing Layout (no changes in dimensions) - changes in register "GLOBAL_DIAG2"
Datasheet v1.1	2020-11-20	- Equation for T_{Dither} added in "Dither configuration" chapter - Equation in chapter "Average feedback values" T_{periode} renamed to T_{meas} - Equation for ROL: "*" replaced by "-" - Pin list: cooling tap comment updated to "Connect externally to GND and heat sink area" non-content updates (e.g. typo correction/wording refinement) in section: - Voltage Monitoring - Operation States - PWM frequency control - Dither parameter update - Dither setpoint synchronization - Direct Drive - OL-Threshold configuration - Overcurrent
Datasheet v1.0	2020-07-17	initial release



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-09-05

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。