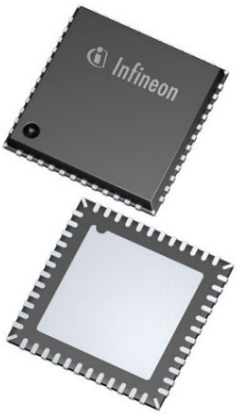
英飞凌TLE92108-231QX

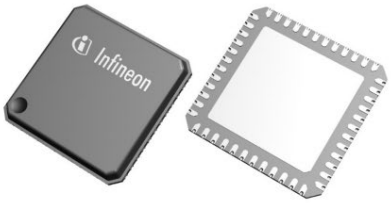
多MOSFET驱动 IC

扫码加入myInfineon
获取更多配套资源

特性

- 八个用于外部N沟道MOSFET的半桥栅极驱动器
- 电池防反MOSFET控制
- 自适应 MOSFET 栅极控制
  - 改善电磁辐射
  - 降低PWM模式下的开关损耗
- 24位串行外设接口
- 两个具有可配置增益的电流检测放大器
  - 高边和低边均具有保护和诊断功能
- 用于短路检测的VDS监控
- 过温警告与关断
- 超时看门狗
- 通过SPI进行详细的关断状态诊断（负载开路、对电池短路或对地短路）
- 三路PWM输入
  - 支持高边和低边PWM控制
  - 主动续流
  - 最高 25 kHz 的PWM信号频率
- 睡眠模式下的低电流消耗
- 无引脚功率封装，支持光学引脚尖端检测
- 绿色产品：符合 RoHS 标准
- AEC 认证





RoHS

AEC Qualified

潜在应用

- 座椅控制及扩展功能（转向柱调节、油门踏板调节）
- 中央门锁
- 车身控制模块（行李厢盖、清洗泵、车窗升降器、后雨刮器...）

产品验证

汽车应用认证。依据 AEC-Q100 完成产品验证。

描述

英飞凌 TLE92108-231QX 是一款多MOSFET驱动IC ，专用于控制多达十六个 n 沟道 MOSFET。它包括八个半桥，用于直流电机控制应用，例如汽车电动座椅控制或其他应用。

24 位串行外设接口 (SPI) 用于配置 TLE92108-231QX 并控制半桥。它还允许读取状态寄存器以用于诊断。

TLE92108-231QX 提供广泛的诊断功能，例如监测供电电压、电荷泵电压、温度警告和过温关断。每个栅极驱动器独立地监控其外部 MOSFET 漏源电压是否存在故障情况。

该器件封装在 VQFN-48 中，带有支持引线尖端检查的裸露散热焊盘。该封装具有良好的热性能并最大限度地减少了所需的 PCB 空间。

Type	Package	Marking
TLE92108-231QX	PG-VQFN-48	TLE92108-231QX

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。 为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

特性 1
潜在应用 1
产品验证 1
描述 1
目录 2
1 框图 6
1.1 电压和电流定义 7
2 引脚配置 8
2.1 引脚分配 8
2.2 引脚定义和功能 9
3 产品一般特性 11
3.1 绝对最大额定值 11
3.2 工作范围 12
3.3 热阻 14
4 概述 15
4.1 电源 15
4.2 工作模式 15
4.2.1 正常模式 16
4.2.2 睡眠模式 16
4.2.3 故障安全模式 16
4.3 复位行为 16
4.4 电荷泵 18
4.5 频率调制 18
4.6 电气特性 19
4.6.1 电气特性：电源 19
4.6.2 电气特性：逻辑输入 PWMx、EN 22
4.6.3 电气特性：电荷泵 22
5 浮动栅极驱动器 24
5.1 桥驱动器处于主动模式时的MOSFET控制（BD_PASS = 0 且 EN = 高） 26
5.2 桥驱动器处于主动模式时的静态激活（BD_PASS = 0） 26
5.2.1 高边 MOSFET 静态激活 27
5.2.2 低边 MOSFET 静态激活 30
5.2.3 半桥高边和低边 MOSFET 的关断 30
5.3 PWM 桥驱动器处于主动模式时的操作（BD_PASS = 0） 31
5.3.1 主动和续流 MOSFET 的确定 32
5.3.2 PWM 模式下的配置 34
5.3.3 具有自适应栅级控制的PWM工作模式 36

5.3.3.1 具有自适应栅极控制的高边PWM，电机作为负载运行 38
5.3.3.2 具有自适应栅极控制的低边PWM，电机作为负载运行 43
5.3.3.3 具有自适应栅极控制的高边PWM，电机作为发电机运行 44
5.3.3.4 具有自适应栅极控制的低边PWM，电机作为发电机运行 46
5.3.3.5 用于调节导通和关断延迟的状态位 48
5.3.3.6 当 EN_DEEP_AD = 1 时的预充电和预放电阶段 48
5.3.4 无自适应栅极控制的 PWM 工作模式 51
5.3.4.1 无自适应栅极控制的PWM工作模式，AGC[1:0] = (0,0) 51
5.3.4.2 无自适应栅极控制的PWM工作模式，AGC[1:0] = (0,1) 52
5.3.5 高电平和低电平占空比下的PWM模式 54
5.3.6 栅极驱动器电流 57
5.4 被动放电 61
5.5 被动模式下的桥驱动器 61
5.6 栅极驱动器电气特性 62
6 保护和诊断 65
6.1 反极性保护 65
6.2 安全切换（可选） 65
6.3 主动模式下桥驱动器漏源电压监控 65
6.4 交叉电流保护和漏源过压空白时间 66
6.4.1 交叉电流保护 67
6.4.2 桥驱动器激活模式下的漏源过压空白时间 67
6.4.3 交叉电流保护和空白时间的映射 70
6.5 断电状态诊断 71
6.6 温度监测 71
6.7 V_S过压和欠压关断 72
6.7.1 V_S 欠压 72
6.7.2 V_S 过压与主动模式下的桥驱动器 72
6.7.3 V_{DD} 欠压 73
6.7.4 电荷泵欠压 73
6.8 PWM 模式下 MOSFET 的开关参数 74
6.9 超时看门狗 74
6.10 电流检测放大器 75
6.10.1 单向和双向模式 75
6.10.2 增益配置 76
6.10.3 高边和低边设置 76
6.10.4 过流检测 76
6.10.5 CSO 输出电容器 78
6.11 电气特性：保护和诊断 79
7 串行外设接口- SPI 84
7.1 具有独立从机选择的 SPI 协议 84
7.2 全局错误标志（GEF） 86

7.3 全局状态字节 ... 86
7.4 SPI 错误检测 ... 88
7.5 菊花链 ... 89
7.6 SPI 电气特性：时序 ... 92
8 寄存器规格 ... 95
8.1 控制寄存器 ... 95
8.1.1 通用控制寄存器和保护设置 ... 96
8.1.1.1 通用控制寄存器 1 ... 96
8.1.1.2 通用控制寄存器 2 ... 97
8.1.1.3 漏源监控阈值 HB1-4 ... 99
8.1.1.4 漏源监控阈值 HB5-8 ... 101
8.1.1.5 交叉电流保护和空白时间设置 1 ... 102
8.1.1.6 有源 MOSFET的交叉电流保护和空白时间设置 2 ... 103
8.1.1.7 续流 MOSFET 的交叉电流保护和空白时间设置 2 ... 105
8.1.2 半桥控制 ... 107
8.1.2.1 半桥模式 ... 107
8.1.2.2 PWM 通道设置 ... 108
8.1.2.3 PWM 预充电和预放电时间 ... 109
8.1.2.4 半桥诊断电流控制 ... 110
8.1.2.5 静态充放电电流选择 ... 112
8.1.2.6 PWM 有源 MOSFET 预充电电流初始化 ... 113
8.1.2.7 有源 MOSFET 的 PWM 充电电流 ... 114
8.1.2.8 续流 MOSFET 的 PWM 充电/放电电流 ... 114
8.1.2.9 有源 MOSFET 的 PWM 放电电流 ... 115
8.1.2.10 PWM 有源 MOSFET 预放电电流初始化 ... 116
8.1.2.11 PWM 最大驱动电流选择及主动 tCCP4, tBLANK 3/4 ... 116
8.1.2.12 PWM 最大驱动电流选择及续流 tCCP4, tBLANK 3/4 ... 117
8.1.2.13 PWM 通道 1 MOSFET导通和关断延迟的选择 ... 118
8.1.2.14 PWM 通道 2 MOSFET导通和关断延迟的选择 ... 119
8.1.2.15 PWM 通道 3 MOSFET导通和关断延迟的选择 ... 119
8.2 状态寄存器 ... 121
8.2.1 通用状态寄存器 ... 121
8.2.2 漏源过压 1 ... 123
8.2.3 半桥输出电压状态 ... 124
8.2.4 PWM1 的有效 MOSFET 导通和关断延迟 ... 126
8.2.5 PWM2 的有效 MOSFET 导通和关断延迟 ... 127
8.2.6 PWM3 的有效 MOSFET导通和关断延迟 ... 127
8.2.7 PWM通道 1 的有效 MOSFET 上升和下降时间 ... 128
8.2.8 PWM通道 2 的有效 MOSFET 上升和下降时间 ... 128
8.2.9 PWM通道 3 的有效 MOSFET 上升和下降时间 ... 129
8.2.10 器件标识符 ... 129

9 应用信息 130

10 封装外形 132

11 修订记录 133

免责声明 134

1 框图

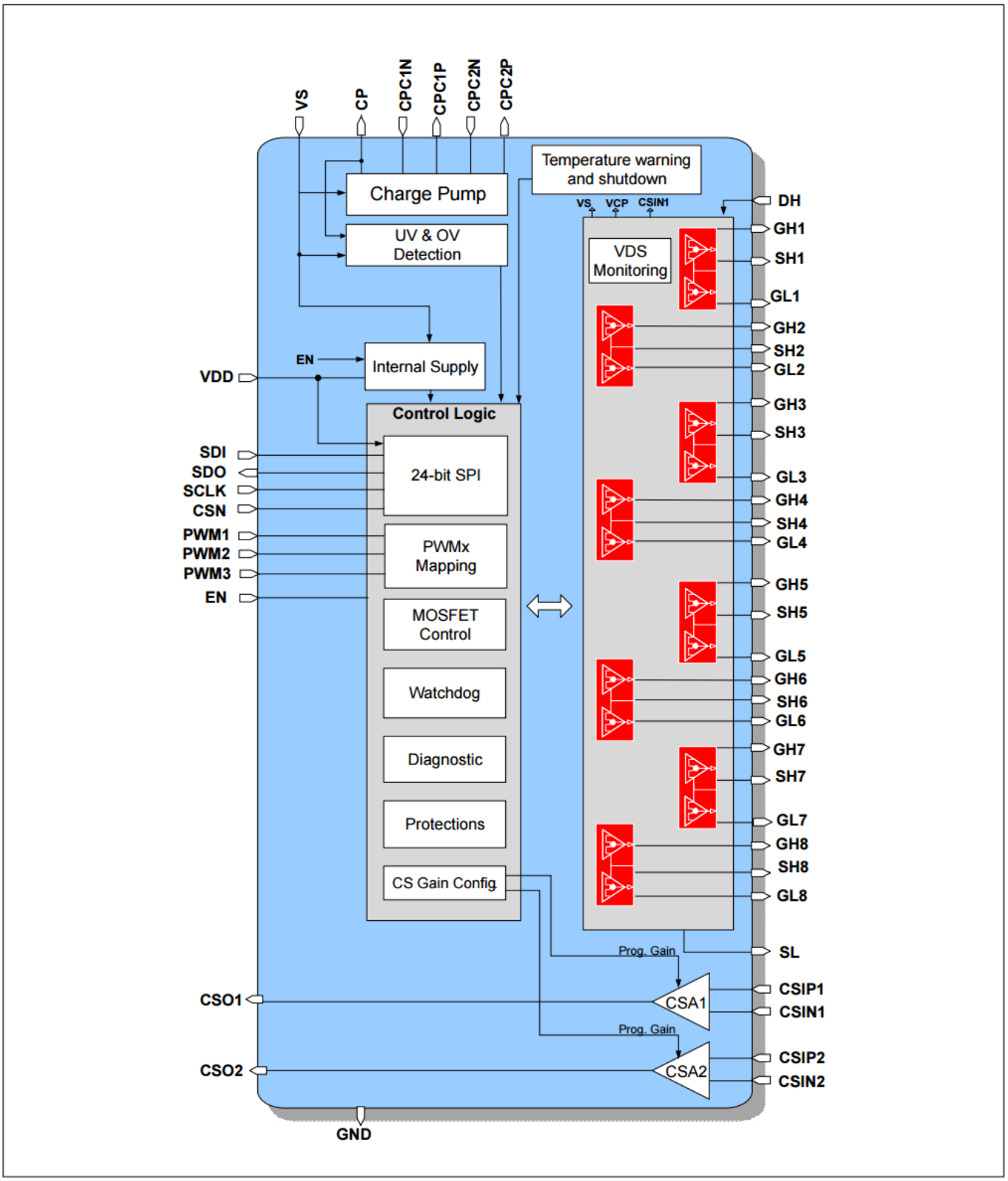

VS
CP
CPC1N
CPC1P
CPC2N
CPC2P
Temperature warning and shutdown
Charge Pump
UV & OV Detection
VDS Monitoring
VS
VCP
CSIN1
DH
GH1
SH1
GL1
GH2
SH2
GL2
GH3
SH3
GL3
GH4
SH4
GL4
GH5
SH5
GL5
GH6
SH6
GL6
GH7
SH7
GL7
GH8
SH8
GL8
EN
Internal Supply
VDD
Control Logic
SDI
SDO
SCLK
CSN
24-bit SPI
PWM1
PWM2
PWM3
PWMx Mapping
EN
MOSFET Control
Watchdog
Diagnostic
Protections
CS Gain Config
Prog. Gain
SL
CSO1
CSA1
CSIP1
CSIN1
Prog. Gain
CSO2
CSA2
CSIP2
CSIN2
GND

图 1 框图

1.1 电压和电流定义

图 2 显示本数据手册中使用的所有术语以及与正值相关的约定。

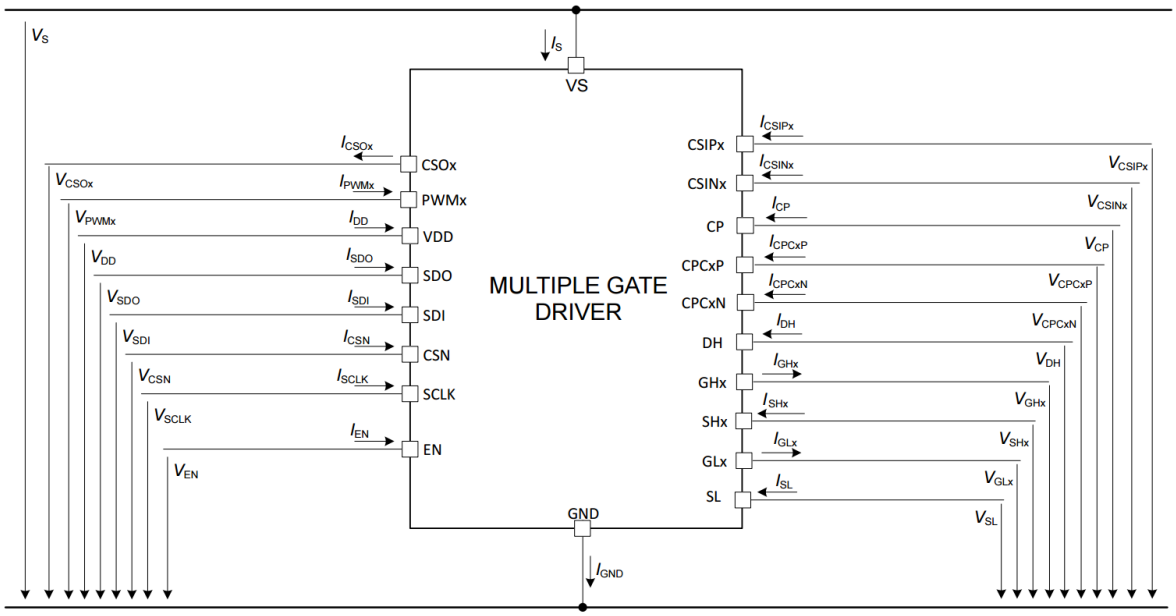


图 2 电压和电流定义

2 引脚配置

2.1 引脚分配

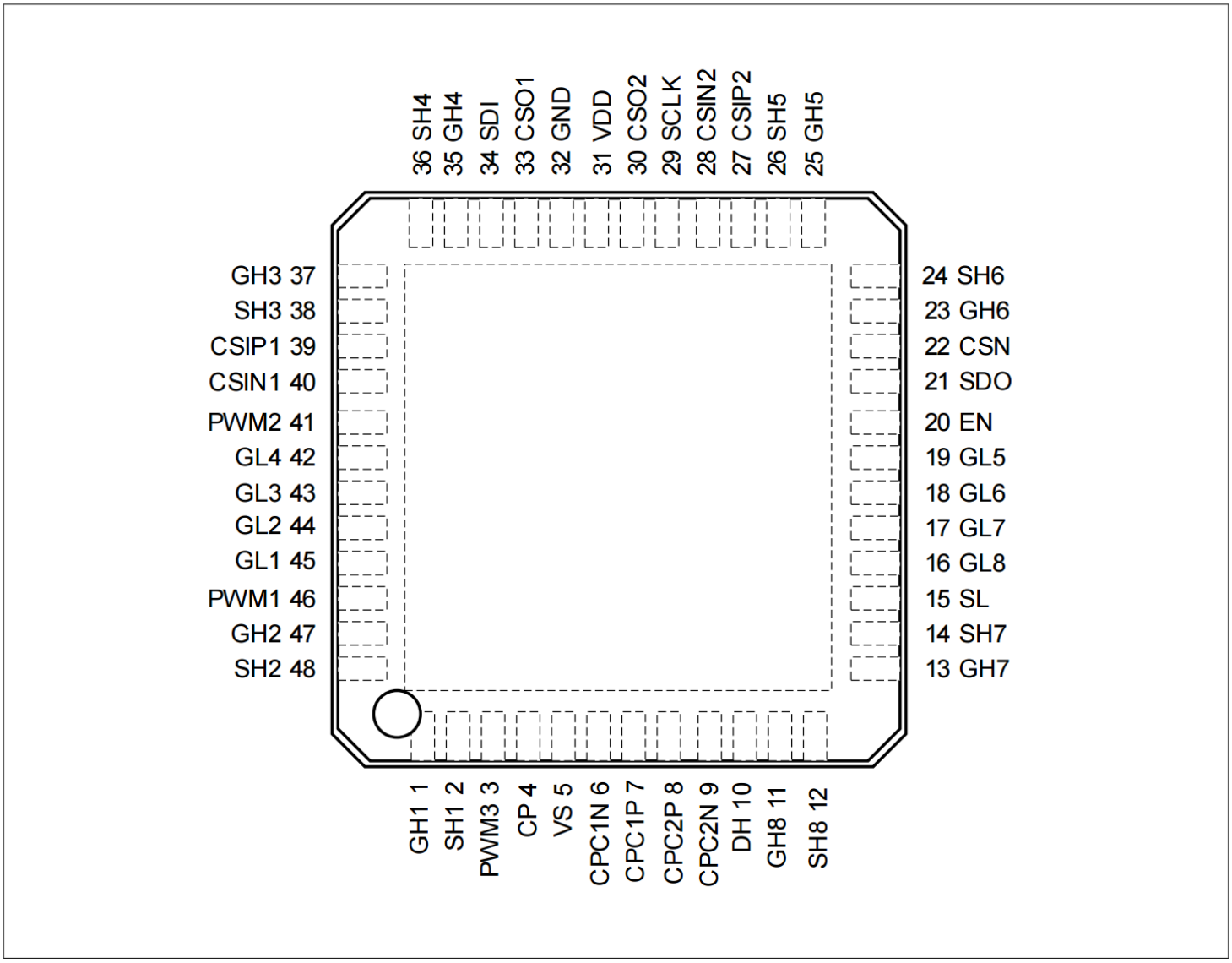


图 3 TLE92108-231QX 引脚配置

2.2 引脚定义和功能

表 1 TLE92108-231QX 引脚配置

Pin	Symbol	Function
1	GH1	**Gate high-side 1** Analog I/O pin to turn on/off high-side MOSFET 1. Connect to the gate of high-side MOSFET 1.
2	SH1	**Source high-side 1** Connection to source of high-side MOSFET 1.
3	PWM3	**PWM input 3**
4	CP	**Charge Pump Output**
5	VS	**Supply Voltage** Device supply voltage. Connect this pin to the supply (battery) voltage with a reverse battery protection circuit.
6	CPC1N	**Negative connection to Charge Pump Capacitor 1**
7	CPC1P	**Positive connection to Charge Pump Capacitor 1**
8	CPC2P	**Positive connection to Charge Pump Capacitor 2**
9	CPC2N	**Negative connection to Charge Pump Capacitor 2**
10	DH	**Drain input for high-sides** Input for the drains of high-side MOSFETs. Refer to Chapter 6.3.
11	GH8	**Gate high-side 8**
12	SH8	**Source high-side 8**
13	GH7	**Gate high-side 7**
14	SH7	**Source high-side 7**
15	SL	**Source low-side** Common connection to the source of the low-side MOSFETs.
16	GL8	**Gate low-side 8**
17	GL7	**Gate low-side 7**
18	GL6	**Gate low-side 6**
19	GL5	**Gate low-side 5**
20	EN	**Enable input** with internal pull-down
21	SDO	**Serial Data Output**
22	CSN	**Chip Select Not** with internal pull-up
23	GH6	**Gate high-side 6**
24	SH6	**Source high-side 6**
25	GH5	**Gate high-side 5**
26	SH5	**Source high-side 5**
27	CSIP2	**Non-Inverting input of the Current Sense Amplifier 2**

（表格续下页.....）

表 1 （续）TLE92108-231QX 引脚配置

Pin	Symbol	Function
28	CSIN2	**Inverting input of the Current Sense Amplifier 2**
29	SCLK	**Serial Clock Input** with internal pull-down
30	CSO2	**Current Sense Amplifier Output 2**
31	VDD	**Logic supply**
32	GND	**Ground connection**
33	CSO1	**Current Sense Amplifier Output1**
34	SDI	**Serial Data Input** with internal pull-down
35	GH4	**Gate high-side 4**
36	SH4	**Source high-side 4**
37	GH3	**Gate high-side 3**
38	SH3	**Source high-side 3**
39	CSIP1	**Non-inverting input of the Current Sense Amplifier 1**
40	CSIN1	**Inverting input of the Current Sense Amplifier 1** . This pin can be used as reference for the high-side MOSFET drain if CSA1 is configured as high-side. Refer to Chapter 6.3
41	PWM2	**PWM input 2**
42	GL4	**Gate low-side 4**
43	GL3	**Gate low-side 3**
44	GL2	**Gate low-side 2**
45	GL1	**Gate low-side 1**
46	PWM1	**PWM input 1**
47	GH2	**Gate high-side 2**
48	SH2	**Source high-side 2**
	E.P.	**Exposed pad** For cooling purpose only, do not use as electrical GND[1)] .

1） 封装底部的裸露焊盘可通过PCB更好得为TLE92108-231QX散热。为获得最佳的电磁兼容性和散热性能，裸露焊盘必须保持悬空或接地（推荐接地）。

3 产品一般特性

3.1 绝对最大额定值

表 2 绝对最大额定值[1)]

Tj= -40°C 至 150°C；所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltages							
Supply voltage	V_S	-0.3	–	40	V	–	P_4.1.1
PWM input voltages (PWMx)	V_{PWMx}	-0.3	–	V_{DD} + 0.3	V	$\|I\|$ < 10 mA	P_4.1.2
Logic input voltages (SDI, SCLK, CSN, EN)	V_{SDI}, V_{SCLK}, V_{CSN}, V_{EN}	-0.3	–	V_{DD} + 0.3	V	$\|I\|$ < 10 mA	P_4.1.3
Voltage range and SDO	V_{SDO}	-0.3	–	V_{DD} + 0.3	V	$\|I\|$ < 10 mA	P_4.1.4
Voltage range at CSIPx and CSINx	V_{CSIP}, V_{CSIN}	-8.0	–	40	V	–	P_4.1.5
Differential input voltage range CSIPx - CSINx	$V_{CSIDiff}$	-8.0	–	8.0	V	–	P_4.1.21
Voltage range at DH	V_{DH}	-0.3	–	40	V	–	P_4.1.6
Voltage range at SL	V_{SL}	-8.0	–	6.0	V	–	P_4.1.7
Voltage range at SHx	V_{SH}	-8.0	–	48	V	–	P_4.1.8
Voltage range at GHx	V_{GH}	-8.0	–	48	V	–	P_4.1.9
Voltage range at GLx	V_{GL}	-8.0	–	24	V	–	P_4.1.10
Voltage difference between GLx and SL	V_{GS_LS}	-0.3	–	16	V	–	P_4.1.11
Voltage difference between GHx and SHx	V_{GS_HS}	-1.0	–	16	V	[2)]	P_4.1.23
Voltage range at charge pump pins CP	V_{CP}	V_S -0.3	–	V_S +17	V	–	P_4.1.12
Voltage range at charge pump pins CPC1P, CPC2P	V_{CPCxP}	-0.3	–	V_S +17	V	–	P_4.1.22
Voltage range at charge pump pins CPC1N, CPC2N	V_{CPCxN}	-0.3	–	V_S +0.3	V	–	P_4.1.24
Logic supply voltage	V_{DD}	-0.3	–	5.5	V	–	P_4.1.13
Voltage at CSOx	V_{CSOx}	-0.3	–	V_{DD} + 0.3	V	–	P_4.1.14
Temperatures							
Junction temperature	T_j	-40	–	150	°C	–	

（表格续下页.....）

表 2　　（续）绝对最大额定值[1)]

Tj = -40°C 至 150°C；所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Storage temperature	T_{stg}	-55	–	150	°C	–	P_4.1.16
ESD susceptibility							
ESD susceptibility all pins	$V_{ESDHBM1}$	-2	–	2	kV	HBM[3)]	P_4.1.17
ESD susceptibility of VS and DH pins versus GND	$V_{ESDHBM2}$	-4	–	4	kV	HBM[3)]	P_4.1.18
ESD susceptibility all pins	$V_{ESDCDM1}$	-500	–	500	V	CDM[4)]	P_4.1.19
ESD susceptibility pin corner pins	$V_{ESDCDM2}$	-750	–	750	V	CDM[4)]	P_4.1.20

1)　未经过生产测试，由设计指定。
2)　仅当注入 SHx 的电流低于 4 mA 时，V_{GS_GH} 才可能在 -1.0 至 -0.3V 之间
3)　ESD 耐受性，基于ANSI/ESDA/JEDEC JS001 的HBM模型 （1.5 kΩ，100 pF）。
4)　ESD 耐受性，带电器件模型“CDM”，符合 JEDEC JESD22-C101。

注：

1. *超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。*
2. *集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。*

3.2　工作范围

表 3　　工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage range for normal operation	$V_{S(nor)}$	6.0	–	28	V	–	P_4.2.1
Extended supply voltage range	$V_{S(ext)}$	5.5	–	6	V	[1)] Parameter deviations possible	P_4.2.7
Extended supply voltage range	$V_{S(ext)}$	28	–	V_{SOV_OFF2} (max)	V	[1)] Parameter deviations possible	P_4.2.2
Supply voltage transients slew rate	dV_S/dt	-10	–	10	V/µs	[1)]	P_4.2.3
Logic supply voltage	V_{DD}	3.0	–	5.5	V	–	P_4.2.4
SPI logic input voltage	V_{SDI}, V_{SCLK}, V_{CSN}	0	–	V_{DD}	V	–	P_4.2.5
Junction temperature	T_j	-40	–	150	°C	–	P_4.2.6

1) 未经过生产测试，由设计指定。

注: 在功能范围或工作范围内，IC 按照电路说明中的描述运行。电气特性是在相关电气特性表中注明的条件下指定的。

3.3 热阻

注： *热学数据是根据 JEDEC JESD51 标准生成的。如需了解更多信息，请访问 www.jedec.org。*

表 4 热阻

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to case	R_{thJC}	–	4.4	–	K/W	1)	
Junction to ambient	R_{thJA}	–	27	–	K/W	1) 2)	

1) 未经过生产测试，由设计指定。

2) 指定的R_{thJA}值是根据 Jedec JESD51-2,-5,-7，在FR4 2s2p 板上自然对流条件下的仿真得到的；产品（芯片 + 封装）在具有 2 个内铜层（2 × 70 mm Cu、2 × 35 mm Cu）的 76.2 × 114.3 × 1.5 mm 板上进行模拟。在适用的情况下，裸散热焊盘下的导热过孔阵列与第一内铜层接触。

4 概述

4.1 电源

多MOSFET驱动IC需要两个电源：V_S和V_{DD}。

V_{DD}为 I/O 缓冲器（包括 SPI引脚）和逻辑电路的内部稳压器供电。V_{DD} 支持 3.3 V 或 5.0 V 逻辑接口的灵活选择。

V_S 为MOSFET栅极驱动器提供电荷泵。V_S 引脚必须通过防反接保护连接到电池。

两个电源是分开的，因此当V_S发生压降时，逻辑电路中存储的信息仍能保持完整。

V_{DD}和V_S应通过连接在电源和接地平面附近的陶瓷电容器进行去耦。

4.2 工作模式

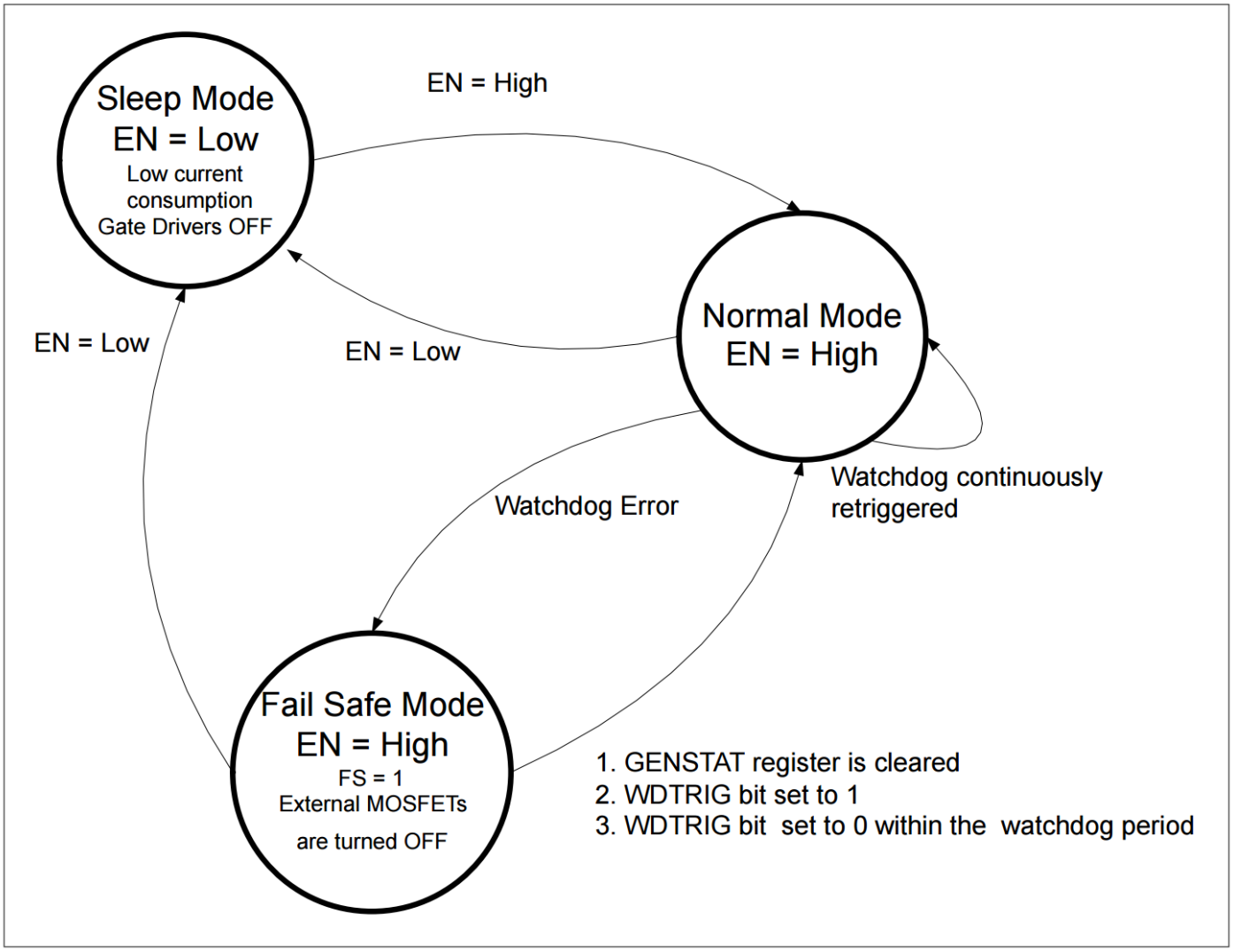


图 4 状态图

注： *该状态图仅适用于V_S和V_{DD}处于标称工作范围内的情况。若V_S和V_{DD}超出额定范围，请分别参阅第 6.7 章和第 4.2.2 章。*

4.2.1 正常模式

通过将 EN 引脚设置为高电平并等待 SPI 设置时间t_{SET_SPI}, TLE92108-231QX 即可进入正常模式。在正常模式下，MOSFET栅极驱动器处于启用状态，并可通过SPI接口进行配置，前提是施加在V_{DD}和V_S上的电压在工作范围内。为了保持正常模式，必须正确重新触发看门狗（参见 第6.9章 ）。

4.2.2 睡眠模式

通过将 EN 引脚设置为低电平，多MOSFET驱动IC进入睡眠模式。转换到睡眠模式会延迟tDSLEEP[1]（有源半桥的最大 tCCP + 3 µs），以便主动关闭外部 MOSFET。在此模式下，内部调节器和内部电路将停用，SPI寄存器会复位。V_{DD} 的电流消耗降低至 IDD_Q，V_S 的电流消耗降低至 ISQ 或 ISQ + ISQ_BRAKE。

如果V_S 在进入睡眠模式后从未低于 VSLEEP_SET， 则 V_S 的电流消耗为 ISQ。

V_S电流消耗为 ISQ + ISQ_BRAKE，如果 V_S 已从低于 VSLEEP_SET 的电压恢复。（即 V_S 已从低于 VSLEEP_SET 的电压上升）， 或者 V_S 已降至低于 VSLEEP_SET ）。

GHx/GLx与GND之间的内部电阻R_{GGND}被激活，以释放外部MOSFET的栅极电荷。

注： *如果 EN 置位为低电平的持续时间短于（tENL_FILT，最大 8 µs），并且 EN 再次置位为高电平，则器件不会进入休眠模式，并且寄存器不会复位。当 EN 为高电平时，半桥根据控制寄存器的设置重新激活。*

4.2.3 故障安全模式

如果出现看门狗错误（请参阅第 6.9 章），器件将进入故障安全模式，FS 位被置位（请参阅全局状态字节），外部 MOSFET 在最大配置 tHBxCCP 有效时间内（第 6.4.1 章）以静态放电电流（第 5.2 章）主动放电。然后桥驱动器设置为无源模式（无源放电路径被激活， 第 5.4 章中，所有外部 MOSFET 均被锁断，并且电荷泵被停用）。要恢复正常模式，必须执行以下序列[2]：

1. 清除 GENSTAT 寄存器。
2. 在看门狗周期内将WDTRIG 位写为 1 (GENCTRL1)。
3. 在看门狗周期内将 WDTRIG 位写入 0[3]。

在故障安全模式下，除了WDTRIG、CCSO、CSA1L、CSA2L之外，控制寄存器被冻结为默认值。在此模式下，任何写入命令（WDTRIG位除外）或清除命令（GENSTAT除外）都将被丢弃，并设置 SPIE 位（全局状态字节）。

在故障安全模式下向GENSTAT发出的明确指令不会重置此状态寄存器报告的任何故障标志。

在退出时序开始前，无需设置SPIE位，就可以在此模式下读取控制和状态寄存器。

4.3 复位行为

以下事件触发上电复位：

1 在tDSLEEP期间 SPI 帧将被忽略。

2 必须严格遵循退出时序才能离开故障安全模式。如果添加了不属于该序列的SPI帧，则该器件将保持故障安全模式，并且微控制器必须重新启动整个时序才能进入正常模式。

3 在故障安全模式下，充电泵被禁用，且 CPUV 被设置。因此，从故障安全模式恢复时， GENSTAT 必须在故障安全退出序列结束时再次清除，以重新激活栅极驱动器。

V_{DD}欠压复位：

如果V_{DD}<$V_{DD\ PoffR}$，则数字模块将被禁用，且输出被关闭。一旦 V_{DD}> $V_{DD\ POR}$，数字模块被复位。NPOR 位（取反的上电复位位，参见 全局状态字节）被复位为 0，以报告复位状态。

EN 引脚复位：

如果 EN 引脚被拉低，则逻辑内容将被重置，器件进入休眠模式。一旦器件进入正常模式（tSET_SPI 之后，当 EN = 高且 V_{DD}>$V_{DD\ POR}$ 时，NPOR 位重置为 0，以报告复位状态。

当 GENSTAT 被清除时， NPOR 置位为 1 。

4.4 电荷泵

双级电荷泵为高边和低边 MOSFET 栅极驱动器供电。它需要在 CPC1N 和 CPC1P、CPC2N 和 CPC2P、VS 和 CP 之间连接三个外部电容。

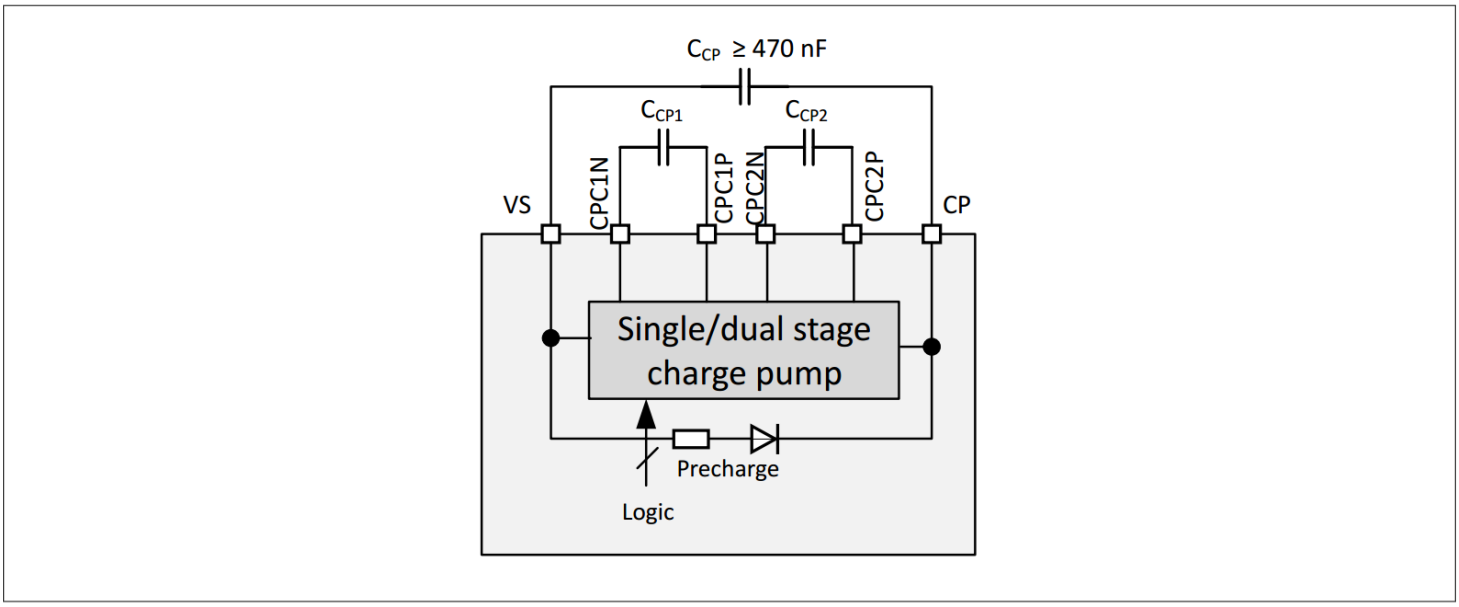


图 5 电荷泵

当CPSTGA = 0（默认值，参见GENCTRL2），器件采用双级电荷泵工作。

如果 CPSTGA = 1 (GENCTRL2)，器件自动切换至单级或双级电荷泵：

- 如果V_S>$V_{CPSO\ DS}$：TLE92108-231QX 从双级电荷泵切换到单级电荷泵
- 如果 V_S < $V_{CPSO\ SD}$：TLE92108-231QX 从单级电荷泵切换至双级电荷泵。单级电荷泵运行

会降低 VS 引脚的电流消耗。

4.5 频率调制

可以激活电荷泵的频率调制以降低峰值辐射。在电磁兼容测试过程中，可以根据峰值检测器的分辨率带宽来选择调制频率。

调制频率由GENCTRL1中的控制位FMODE设置

- FMODE = 0：无调制。
- FMODE = 1：调制频率 = 15.6 kHz（默认值）。

4.6 电气特性

4.6.1 电气特性：电源

表5 电气特性：电源

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current consumption, EN = LOW)							
Supply quiescent current	I_{SQ}	–	2	5	µA	T_j < 85°C, V_S = 13.5 V	P_5.5.1
Supply quiescent current	I_{SQ2}	–	5	7	µA	T_j < 85°C, V_S < 25 V	P_5.5.61
Additional supply quiescent current, brake enabled	I_{SQ_BRAKE}	–	5	7.5	µA	T_j < 85°C, V_S = 13.5 V [1]	P_5.5.60
Logic Supply quiescent current	I_{DD_Q}	–	1	3	µA	T_j < 85°C	P_5.5.3
Total quiescent current	$I_{DD_Q} + I_{SQ}$	–	3	8	µA	T_j < 85°C, V_S = 13.5 V	P_5.5.5
EN Low filter time	t_{DSLEEP}	–	–	Max. tCCP + 3 µs	µs	[2] [3] BD_PASS = 0	P_5.5.49
EN Low filter time	t_{ENL_FILT}	1	–	8	µs	[2]	P_5.5.51
VS for LS1-4 setting	V_{SLEEP_SET}	–	–	5.5	V		P_5.5.63
Current consumption, EN = HIGH							
Supply current	I_{S1}	–	45	55	mA	HBxVDSTH = 001_B, BD_PASS = 0, I_{CP} = 0 mA	P_5.5.6
Supply current	I_{S2}	–	83	100	mA	8 V < V_S < 28 V HBxVDSTH = 001_B, BD_PASS = 0, I_{CP} = -12 mA, dual stage CP	P_5.5.7
Supply current	I_{S3}	–	55	70	mA	18 V < V_S < 28 V HBxVDSTH = 001_B, BD_PASS = 0, I_{CP} = -12 mA[2], single stage CP	P_5.5.56

（表格续下页……）

表 5　　（续） 电气特性：电源

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply current	I_{S4}	–	55	70	mA	V_S = 6 V, HBxVDSTH = 001_B, BD_PASS = 0, I_{CP} = - 6 mA[2]	P_5.5.57
Supply current	$I_{S_BD_PASS}$	–	10	20	mA	HBxMODE=00_B, BD_PASS = 1	P_5.5.54
Logic supply current	I_{DD1}	–	3	4	mA	SPI not active, CSA1 and CSA2 off, all I_{PDDiag} off, BD_PASS=0	P_5.5.8
Logic supply current	I_{DD2}	–	3	3.8	mA	[4] Additional VDD current per CSA on, VCSOx = 4.5 V, LS shunt, CCSO = 1 CSAxL = 0, I_{PDDiag} off	P_5.5.52
Logic supply current	I_{DD3}	–	2	2.8	mA	[4] Additional VDD current per CSA on, CCSO = 0, VCSOx = 4.5 V, LS shunt, CSAxL = 0, I_{PDDiag} off	P_5.5.55
Logic supply current	I_{DD4}	–	6	7	mA	[5] Additional VDD current per CSA on, VCSOx = 4.5 V, HS shunt, VSOVTH = 1 CSAxL = 1, I_{PDDiag} off	P_5.5.58

（表格续下页……）

表 5　　（续） 电气特性：电源

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Logic supply current	I_{DD5}	–	4.2	5.2	mA	5) Additional VDD current per CSA on, VSOVTH = 0, VCSOx = 4.5 V, HS shunt, CSAxL = 1, I_{PDDiag} off	P_5.5.59
Additional logic supply current pull-down	I_{DD_PDDiag}	–	1.5	2	mA	Additional VDD current when all I_{PDDiag} are on	P_5.5.53
VS with active bridge driver (BD_PASS = 0)							
UV switch ON voltage	$V_{SUV\ ON}$	–	–	5.5	V	V_S increasing	P_5.5.11
UV switch OFF voltage	$V_{SUV\ OFF}$	4.0	4.5	5.0	V	V_S decreasing	P_5.5.12
UV ON/OFF hysteresis	$V_{SUV\ HY}$	–	0.5	–	V	$V_{SUV\ ON}$ - $V_{SUV\ OFF}$ 2)	P_5.5.13
OV switch OFF voltage VSOVTH = 0	$V_{SOV\ OFF1}$	19	–	21	V	V_S increasing	P_5.5.14
OV switch ON voltage VSOVTH = 0	$V_{SOV\ ON1}$	18	–	20	V	V_S decreasing	P_5.5.15
OV switch OFF voltage VSOVTH = 1	$V_{SOV\ OFF2}$	29	–	31	V	V_S increasing	P_5.5.16
OV switch ON voltage VSOVTH = 1	$V_{SOV\ ON2}$	28	–	30	V	V_S decreasing	P_5.5.17
OV ON/OFF hysteresis	$V_{SOV\ HY}$	–	1	–	V	$V_{SUV\ ON}$ - $V_{SUV\ OFF}$ 2)	P_5.5.18
VS undervoltage filter time	t_{VSUV_FILT}	7	10	13	µs	1)	P_5.5.47
VS overvoltage filter time	t_{VSOV_FILT}	7	10	13	µs	2)	P_5.5.48
CP turn-off delay after VS overvoltage detection	t_{D_CPVSOV}	12.8	16	19.2	µs	2)	P_5.5.50
VDD							
V_{DD} Power-On-Reset	$V_{DD\ POR}$	2.40	2.60	2.80	V	V_{DD} increasing	P_5.5.19
V_{DD} Power-Off-Reset	$V_{DD\ POffR}$	2.30	2.50	2.70	V	V_{DD} decreasing	P_5.5.20
V_{DD} Power-On-Reset Hysteresis	$V_{DD\ POR\ HY}$	–	0.1	–	V	$V_{DD\ POR}$ - $V_{DD\ POffR}$ 2)	P_5.5.21

1) 如果 VS 降至VSLEEP_SET以下，则会产生额外的静态电流。
2) 未经过生产测试，由设计指定。
3) 驱动半桥的最大交叉电流保护时间。

4) 参数独立于 VSOVTH 。
5) 参数独立于 CCSO 。

4.6.2 电气特性：逻辑输入PWMx、 EN

表 6 电气特性：PWMx、 EN

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
EN high voltage	V_{ENH}	0.7 × V_{DD}	–	–	V	–	P_5.5.22
EN low voltage	V_{ENL}	–	–	0.3 × V_{DD}	V	–	P_5.5.23
EN hysteresis	V_{ENHY}	–	0.12 × V_{DD}	–	V	*1)*	P_5.5.24
EN pull-down resistor	R_{PD_EN}	30	40	50	kΩ	–	P_5.5.25
PWMx high voltage	V_{PWMH}	0.7 × V_{DD}	–	–	V	–	P_5.5.26
PWMx low voltage	V_{PWML}	–	–	0.3 × V_{DD}	V	–	P_5.5.27
PWMx hysteresis	V_{PWMHY}	–	0.12 × V_{DD}	–	V	*1)*	P_5.5.28
PWMx pull-down resistor	R_{PD_PWMx}	30	40	50	kΩ	–	P_5.5.29

1) 未经过生产测试，由设计指定。

4.6.3 电荷泵电气特性

表 7 电气特性：电荷泵

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge Pump Frequency	f_{CP}	–	250	–	kHz	*3)*	P_5.5.30
Output Voltage VCP vs. VS	V_{CPmin}	8.5	–	–	V	V_S = 6 V, I_{CP} = - 6 mA	P_5.5.31
Regulated output voltage VCP vs. VS, CPSTGA = 0	V_{CP1}	11	15	17	V	8 V < V_S < 28 V, I_{CP} = - 12 mA	P_5.5.32
Regulated output voltage VCP vs. VS, CPSTGA = 1	V_{CP2}	12	15	17	V	18 V < V_S < 28 V, I_{CP} = - 12 mA	P_5.5.41

（表格续下页……）

表 7 （续）电气特性：电荷泵

如果VSOVTH = 0，则VS= 6.0 V 至 18 V； 如果 VSOVTH =1，则 VS= 6.0 V 至 28 V； VDD = 3.0 V 至 5.5 V，Tj = -40°C 至 150°C，所有电压相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Turn-on time, CPSTGA = 0	t_{ON_VCP1}	10	40	80	µs	8 V < V_S < 28 V (25%) *1) 2) 3) 4)*	P_5.5.34
Rise time, CPSTGA = 0	t_{RISE_VCP1}	10	60	100	µs	8 V < V_S < 28 V (25%-75%) *1) 2) 3) 4)*	P_5.5.35
Turn-on time, CPSTGA = 1	t_{ON_VCP2}	10	40	80	µs	18 V < V_S < 28 V (25%) *1) 2) 3) 5)*	P_5.5.36
Rise time, CPSTGA = 1	t_{RISE_VCP2}	10	60	100	µs	18 V < V_S < 28 V (25%-75%) *1) 2) 3) 5)*	P_5.5.37
Charge Pump Undervoltage (referred to VS)	V_{CPUV1}	5.5	6	6.5	V	CPUVTH = 0, VCP falling	P_5.5.38
Charge Pump Undervoltage (referred to VS)	V_{CPUV2}	7	7.5	8	V	CPUVTH = 1, VCP falling	P_5.5.42
Automatic switch over dual to single stage charge pump	$V_{CPSO\ DS}$	16	17	18	V	CPSTGA = 1	P_5.5.43
Automatic switch over single to dual stage charge pump	$V_{CPSO\ SD}$	15.5	16.5	17.5	V	CPSTGA = 1	P_5.5.44
Charge pump switch over hysteresis	$V_{CPSO\ HY}$	–	0.5	–	V	*3)* CPSTGA = 1, $V_{CPSO\ DS}$ - $V_{CPSO\ SD}$	P_5.5.45
Charge Pump Undervoltage Filter Time	t_{CPUV}	51	64	77	µs	*3)*	P_5.5.39
Charge pump minimum output current	I_{CPOC1}	–	–	-12	mA	*2) 3) 4)* V_S = 13.5 V; CPSTGA = 0	
Charge pump minimum output current	I_{CPOC2}	–	–	-12	mA	*2) 3) 5)* V_S = 18 V; CPSTGA = 1	

1) 参数取决于电容 C_{CPo}
2) C_{CPC1} = C_{CPC2} = 220 nF, C_{CP} = 470 nF, I_{CP} = 0 mA.
3) 未经过生产测试，由设计指定。
4) 双级电荷泵。
5) 单级电荷泵。

5 浮动栅极驱动器

TLE92108-231QX 集成了十六个浮动栅极驱动器，能够控制各种 n 沟道 MOSFET。配置为八个高边和低边，共八个半桥。

本节介绍栅极驱动器对 MOSFET 的控制。

上电复位后，桥驱动器工作在无源模式（BD_PASS 的默认值 = 1 且所有 HBxMODE = 00_B）。参考第 5.4 章 和第 5.5 章。

桥驱动器通过将 BD_PASS 设置为 0 进入主动模式。 第 5.1 章、 第 5.2 章 以及 第 5.3 章 介绍了主动模式下的静态控制和 PWM 控制。

注意：强烈建议在设置 BD_PASS 为 0之前将所有 HBxMODE 位设置为 00_B 或 11_B 以避免漏源过压错误检测。

表 8 栅极驱动器工作模式

EN	BD_PASS	HBxMODE[1:0]	Gate driver	Comment	Chapter
High	0	x	Active [1)]		Chapter 5.1 Chapter 5.2 Chapter 5.3
High	1	One HBxMODE = 01_B or 10_B	Active [1)]	Equivalent to EN=High and BD_PASS = 0	Chapter 5.1 Chapter 5.2 Chapter 5.3
High	1	All HBxMODE=00_B or 11_B	Passive		Chapter 5.5
Low	x	x	Passive		Chapter 5.5

1) 前提是未检测到 VS 过压、VS 欠压、CP 欠压或过温故障，并且 TLE92108-231QX 未处于故障安全模式。

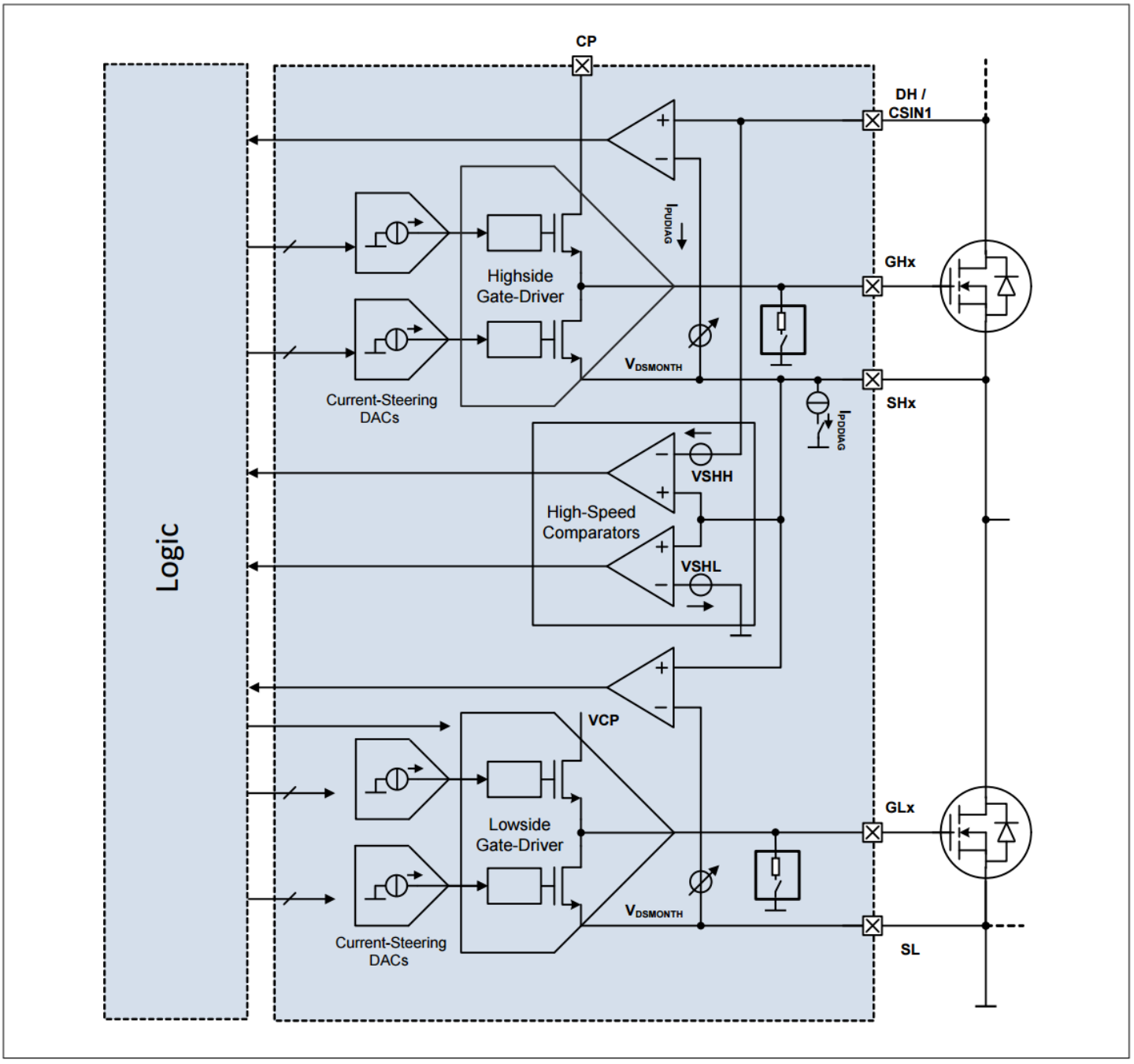


图 6　　框图 - 一个半桥的栅极驱动器

5.1 桥驱动器处于主动模式时的 MOSFET控制（BD_PASS = 0 且 EN = 高）

取决于配置位 HBxMODE[1:0] (HBMODE，表 9 和 表 11 ），每个高边和低边 MOSFET 可以是：

- 停用
- 激活（持续，无PWM）
- 在PWM模式下激活（第 5.3章，PWMSET）

表 9 半桥模式选择

HBxMODE[1:0][1]	Configuration of HSx/LSx[1]
00_B	LSx and HSx MOSFETs are actively kept OFF (default)
01_B	LSx MOSFET is ON (static or PWM, refer to Table 11), HSx MOSFET is actively kept OFF
10_B	HSx MOSFET is ON (static or PWM, refer to Table 11), LSx MOSFET is actively kept OFF
11_B	Reserved - LSx and HSx MOSFETs are actively kept OFF

1) x = 1 … 8.

5.2 桥驱动器处于主动模式时的静态激活（BD_PASS = 0)

本节考虑半桥 x 的高边和低边MOSFET的静态激活情况，x = 1…8。参见表 11 用于静态或PWM控制中高边或低边的设置。

如果 HBx 没有映射到任何激活的PWM通道，则通过分别设置 HBxMODE[1:0] 为 (0,1) 或 (1,0)，HBx 的低边或高边MOSFET被静态激活（无PWM ）。

配置的交叉电流保护和半桥 x 的漏源过压消隐时间记为 $t_{HBxCCP\ Active}$和 $t_{HBxBLANK\ Active}$（参见第 6.4 章）。
施加到静态控制半桥 x 的充电和放电电流记为 ICHGSTx (ST_ICHG)。

IHARDOFF 是栅极驱动器可以吸收的最大电流。它对应于 IDCHGx[4:0] = 31_D时的放电电流（参见 PWM_IDCHG_ACT）。
当同一半桥的对侧的MOSFET导通时，该电流用于保持MOSFET关断。这一功能避免了寄生交叉电流直通。

ICHGSTx 是由栅极驱动器产生或吸收的电流，以导通高边 x 或低边 x。ICHGSTx 在控制寄存器ST_ICHG中配置。

表 10 静态充放电电流

ICHGSTx[3:0][1]	Nom. charge current [mA][2]	Nom. discharge current [mA][3]	Max. deviation to typ. values
0000_B	1.0	1.0	+/- 60%
0001_B	2.0	2.8	+/- 60 %
0010_B	4.5	5.7	+/- 60 %
0011_B	8.0	9.4	+/- 38 %
0100_B	12.5	14.2	+/- 38 %
0101_B	17.8	19.7	+/- 38 %
0110_B	23.9	26.0	+/- 38 %
0111_B	30.0	32.0	+/- 28 %

（表格续下页……）

表 10 （续）静态充放电电流

ICHGSTx[3:0][1]	Nom. charge current [mA][2]	Nom. discharge current [mA][3]	Max. deviation to typ. values
1000_B	37.1	39.5	+/- 28 %
1001_B	44.3	46.8	+/- 28 %
1010_B	52.3	54.7	+/- 28 %
1011_B	60.2	62.5	+/- 28 %
1100_B	68.3	70.6	+/- 28 %
1101_B	76.8	78.5	+/- 28 %
1110_B	86.0	87.0	+/- 28 %
1111_B	96.0	95.0	+/- 25 %

1) 参考 ST_ICHG
2) 若 ICHGSTx ≤ 7_D，V_S ≥ 8V 且 V_{GS} ≤ VGS(ON)1; 若ICHGSTX ≥ 8_D，V_S ≥ 8V 且 V_{GS} ≤ VGS(ON)2
3) 若 ICHGSTx ≤ 7_D，V_{GS} ≥ VGS(OFF)1；若 ICHGSTx ≥ 8_D，V_{GS} ≥ VGS(OFF)2

IHOLD 是用于将外部 MOSFET 的栅极保持在期望状态的保持电流。该参数可通过GENCTRL2中的 IHOLD控制位配置。

如果IHOLD = 0：

- MOSFET 保持导通状态，电流为I_{CHG8}（典型值 12.5 mA）
- MOSFET 保持关断状态，电流为I_{DCHG8}（典型值为 14.2 mA）。

如果IHOLD = 1：

- MOSFET 保持导通状态，电流为I_{CHG12}（典型值 23.9 mA）
- MOSFET 保持关断状态，电流为I_{DCHG12}（典型值 26.0 mA）

当桥驱动器处于主动模式且发生以下故障时，静态放电电流用于关断 MOSFET：

- V_S欠压/过压
- 过温
- V_{DS}过压
- 电荷泵欠压
- OCEN = 1时发生过流

5.2.1 高边MOSFET静态激活

开通时的交叉电流保护

如果 LSx 处于导通状态（HBxMODE[1:0] = 01_B），在 HSx 激活（HBxMODE[1:0] = 10_B）之前，高边MOSFET会在交叉电流保护时间后导通（参考图 7）：

- 在 CSN 上升沿之后且在$t_{HBxCCP\ Active}$期间：
  - 高边MOSFET通过电流 -ICHGSTx 保持关断状态，
  - 低边 MOSFET 的栅极通过电流 -ICHGSTx 放电

- 在$t_{HBxCCP\ Active}$结束时且在$t_{HBxBLANK\ Active}$+t_{FVDS} 持续时间内：
  - 高边MOSFET的栅极由电流 ICHGSTx 充电
  - 低边MOSFET通过电流 -IHARDOFF保持关断状态（硬关断阶段）
- 在t_{FVDS}结束时：
  - 高边MOSFET的驱动电流降低至IHOLD
  - 低边MOSFET的驱动电流置位至 -IHOLD

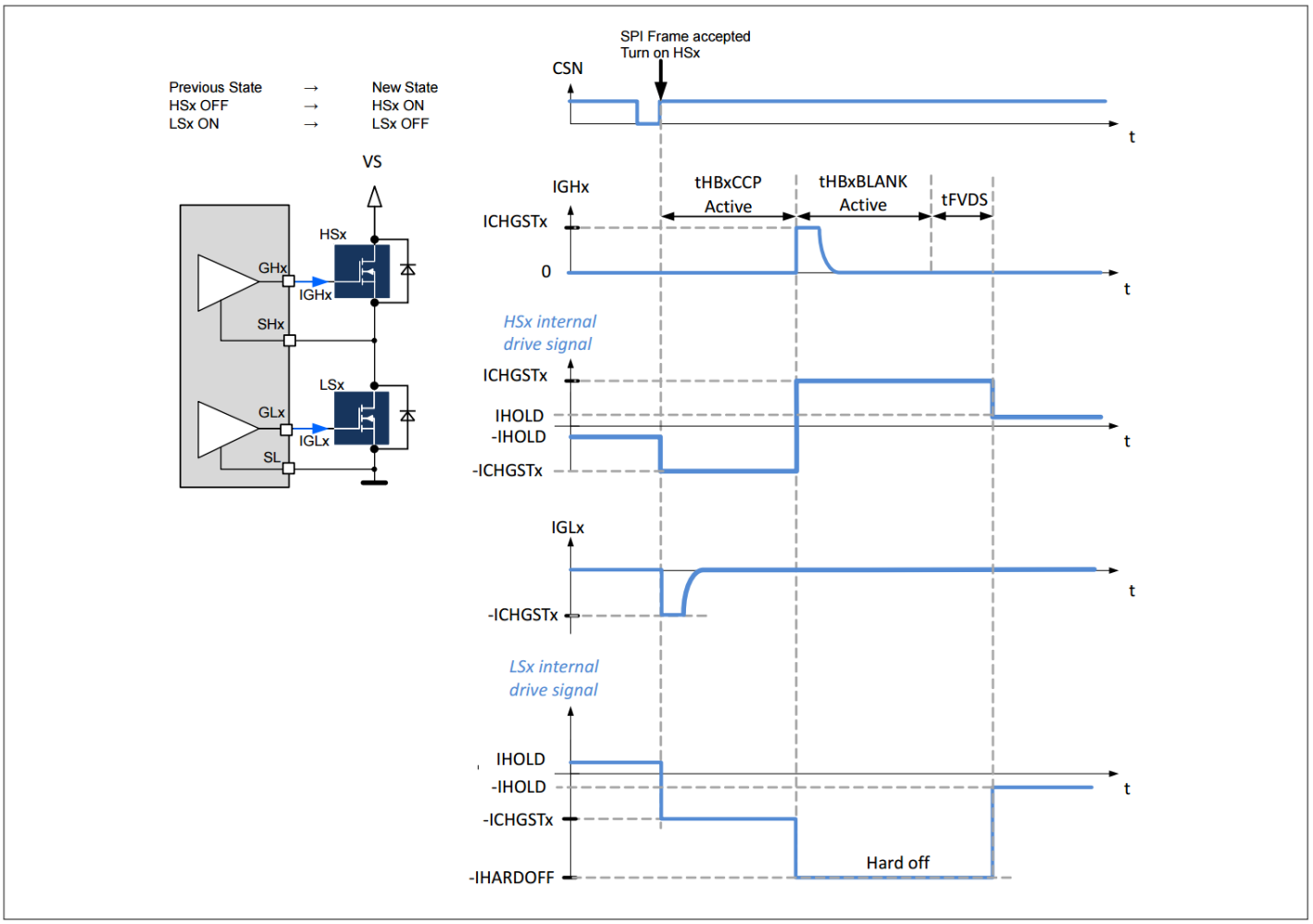


图 7　　带交叉电流保护的高边MOSFET导通

注： *CSN 上升沿必须与器件逻辑同步。因此，SPI指令在CSN 上升沿之后最多延迟3 µs 执行。*

开通时无交叉电流保护

如果在HSx 激活（HBxMODE[1:0] = 10_B ）之前 LSx处于关闭状态（HBxMODE[1:0] = 00_B），则高边MOSFET 在没有交叉电流保护的情况下导通（参见图 8 ）：

- 在 CSN 上升沿之后，持续时间为 $t_{HBxBLANK\ Active}$+ t_{FVDS}：
  - 高边MOSFET的栅极由电流 ICHGSTx 充电
  - 低边 MOSFET 保持关断状态，电流为 -IHARDOFF
- 在 t_{FVDS} 结束时：
  - 高边MOSFET的驱动电流降低至 IHOLD
  - 低边MOSFET的驱动电流置位至 -IHOLD

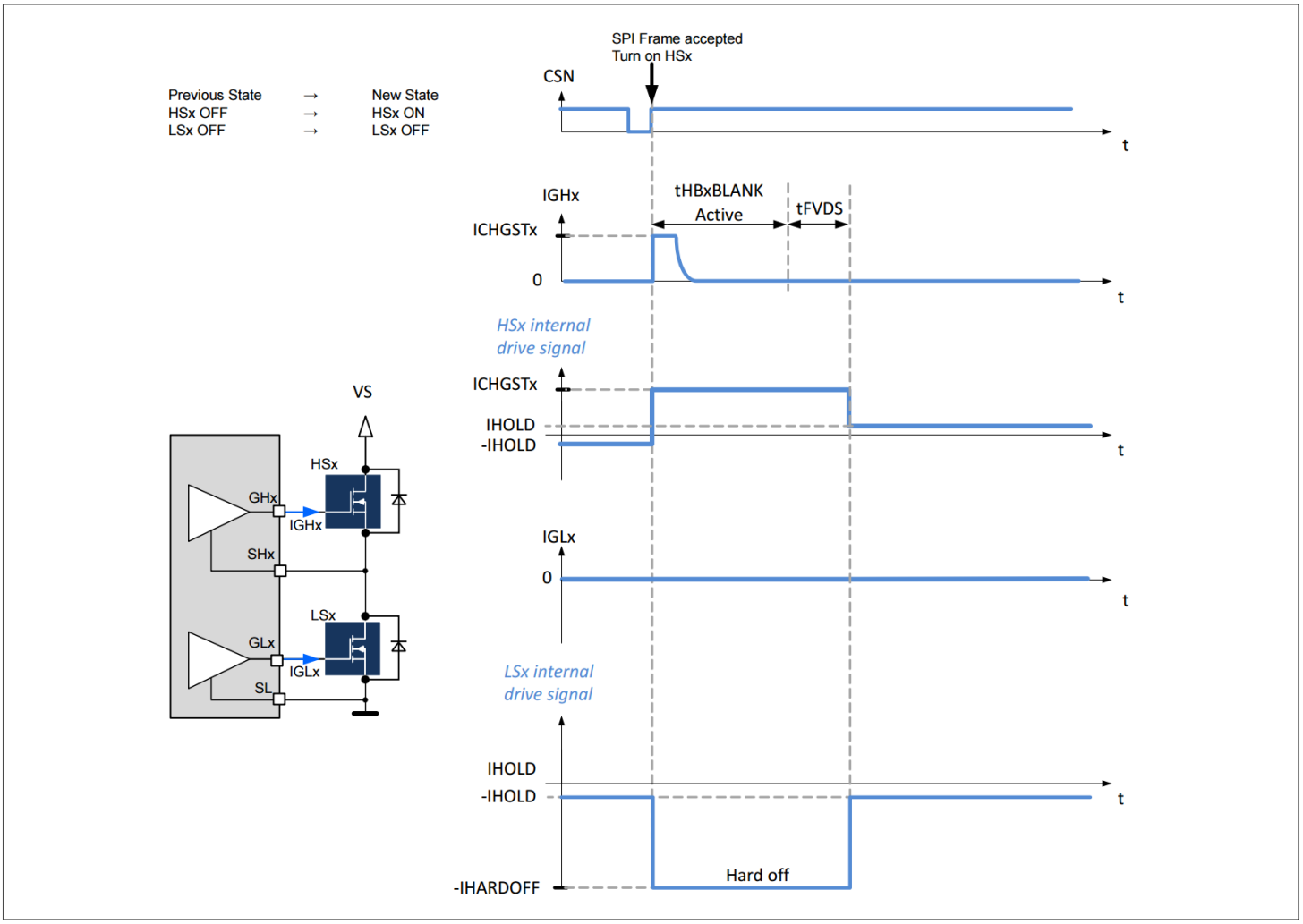


图 8　　无交叉电流保护的高边MOSFET导通

注： *CSN 上升沿必须与器件逻辑同步。因此， SPI指令在CSN 上升沿之后最多延迟3 µs 执行。*

5.2.2 低边 MOSFET 的静态激活

低边x静态激活的描述与 第 5.2.1 章 的描述仅在高边x和低边x交换方面不同。

5.2.3 半桥高边和低边 MOSFET 的关断

当 TLE92108-231QX 接收到 SPI 命令以关断半桥 x 的高边和低边 MOSFET（HBxMODE[1:0] = (0,0) 或 (1,1)）时：

- HSx 和 LSx 的栅极在$t_{HBxCCP\ Active}$时间内（图 9）通过电流 -ICHGSTx 放电
- 在$t_{HBxCCP\ Active}$ 结束时，HSx 和 LSx 的驱动电流降至 -IHOLD

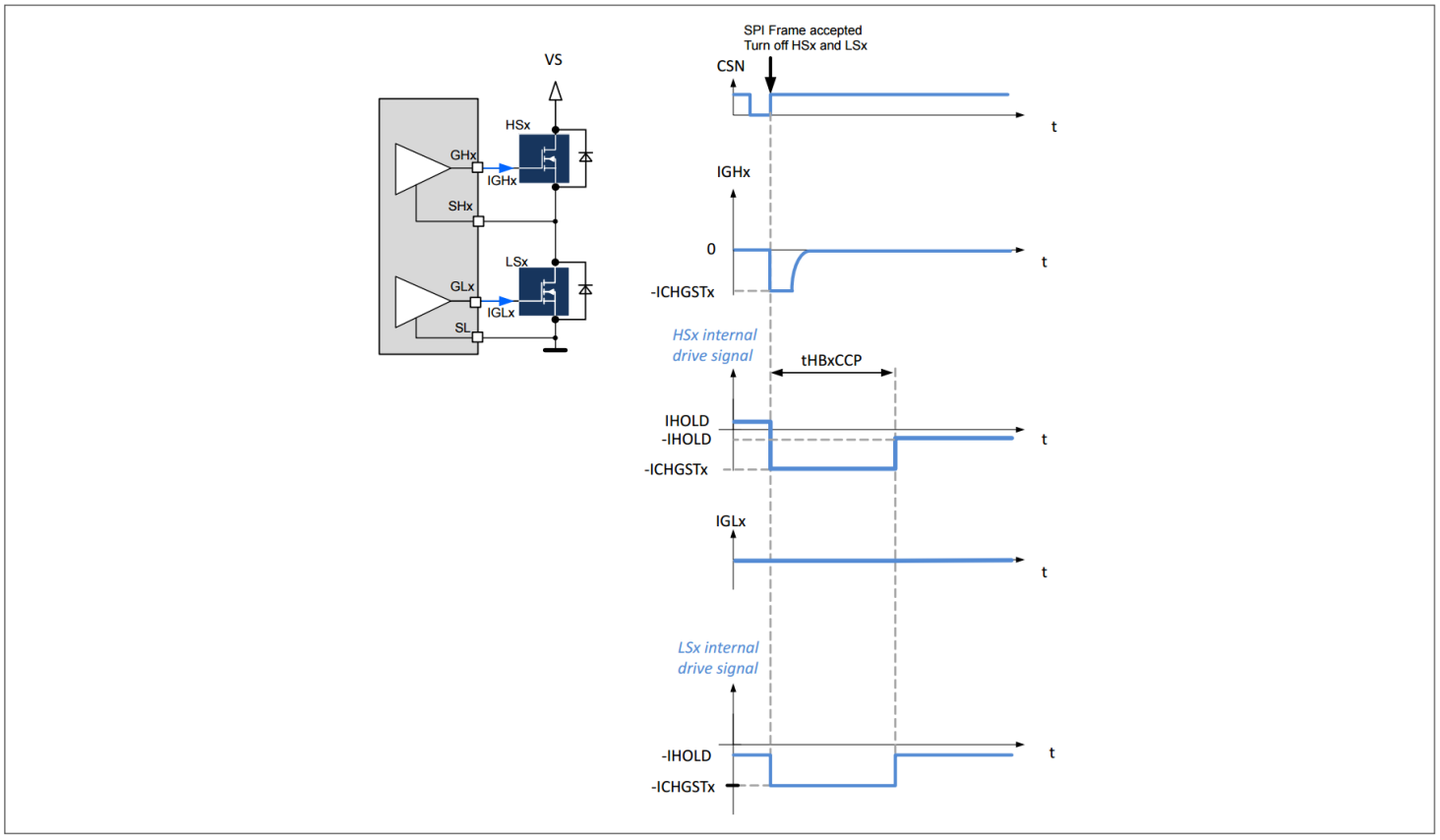


图 9 半桥高边和低边MOSFET的关断

注： *CSN 上升沿必须与器件逻辑同步。因此，SPI指令在CSN 上升沿之后最多延迟3 µs 执行。*

5.3 PWM桥驱动器处于主动模式时的操作（BD_PASS = 0)

TLE92108-231QX 集成了三个PWM通道。PWM1、PWM2、PWM3引脚为各个PWM通道提供PWM信号。

根据控制寄存器 HBMODE 和 PWMSET 的设置 （参见 表 11），一个半桥可以映射到其中一个 PWM 通道：

- PWMSET 中的PWMxEN，启用或禁用 PWM 通道 x
- PWMSET中的控制位PWMx_HB[2:0] 选择半桥
- 由 PWMx_HB[2:0] 选择的半桥的控制位 HBMODE[1:0]（HBMODE ）配置 PWM 模式下的低边或高边 MOSFET

例如：必须置位以下位才能将 HB3 的低边映射到PWM通道 2（以PWM启动序列）：

1. 设置 HB3MODE[1:0] 至 (0,0)：HB3 处于高阻态
2. 将 PWM2_HB[2:0] 设置为 (0,1,0)，并将 PWM2EN 设置为 1（HB3 保持高阻状态，独立于 PWM2 引脚上存在的信号）
3. 设置 HB3MODE[1:0] 为 (0,1): PWM2 映射于 HB3 的低边

表 11 PWM通道设置

PWMxEN[1)]	PWMx_HB[2:0][1)]	HByMODE[1:0][2)]	PWMx channel setting[1)]
0_B	don’t care	don’t care	no PWM operation
don’t care	don’t care	00_B	no PWM operation on the selected HB
don’t care	don’t care	11_B	no PWM operation on the selection HB
1_B	000_B	01_B	Low-side of HB1 is mapped to PWMx
1_B	001_B	01_B	Low-side of HB2 is mapped to PWMx
1_B	010_B	01_B	Low-side of HB3 is mapped to PWMx
1_B	011_B	01_B	Low-side of HB4 is mapped to PWMx
1_B	100_B	01_B	Low-side of HB5 is mapped to PWMx
1_B	101_B	01_B	Low-side of HB6 is mapped to PWMx
1_B	110_B	01_B	Low-side of HB7 is mapped to PWMx
1_B	111_B	01_B	Low-side of HB8 is mapped to PWMx
1_B	000_B	10_B	High-side of HB1 is mapped to PWMx
1_B	001_B	10_B	High-side of HB2 is mapped to PWMx
1_B	010_B	10_B	High-side of HB3 is mapped to PWMx
1_B	011_B	10_B	High-side of HB4 is mapped to PWMx
1_B	100_B	10_B	High-side of HB5 is mapped to PWMx
1_B	101_B	10_B	High-side of HB6 is mapped to PWMx
1_B	110_B	10_B	High-side of HB7 is mapped to PWMx
1_B	111_B	10_B	High-side of HB8 is mapped to PWMx

1) x = 1…3
2) 半桥 y 由 PWMx_HB[2:0] 位选择

注：　如果一个半桥映射到多个激活的PWM通道，则会报告SPI错误。在这种情况下，受影响的半桥的外部MOSFET将被关闭，并且HBVOUT_PWMERR 寄存器中的对应状态位(HBxPWME)会被置位。

5.3.1　主动和续流 MOSFET 的确定

当半桥在PWM模式下被激活时，会自动实现主动续流，以减少续流（FW）MOSFET的功率耗散：如果主动 MOSFET 处于关断状态，则同一半桥中的另一侧（续流）MOSFET会被主动导通。参见图 11、图 12、图 13、图 14。

如果EN_GEN_CHECK = 0：PWM MOSFET 被视为有源 MOSFET，而同一半桥的对侧的 MOSFET 被视为续流 MOSFET。

如果EN_GEN_CHECK = 1：在每个MOSFET的交叉电流保护时间 (tHBxCCP Active, tHBxCCP FW) 结束时（两个 MOSFET 都应该关闭），该器件检测半桥的哪个MOSFET是有源MOSFET，哪个MOSFET是 FW MOSFET（图 10）。

- 如果 VSHx > VSHH：高边 MOSFET 为续流 MOSFET，低边 MOSFET 为有源 MOSFET
- 如果 VSHx < VSHL：则低边 MOSFET 为续流 MOSFET，高边 MOSFET 为有源 MOSFET
- 若 VSHL < VSHx < VSHH：无法明确区分续流MOSFET与有源 MOSFET之间，需要导通的 MOSFET 被视为有源 MOSFET。

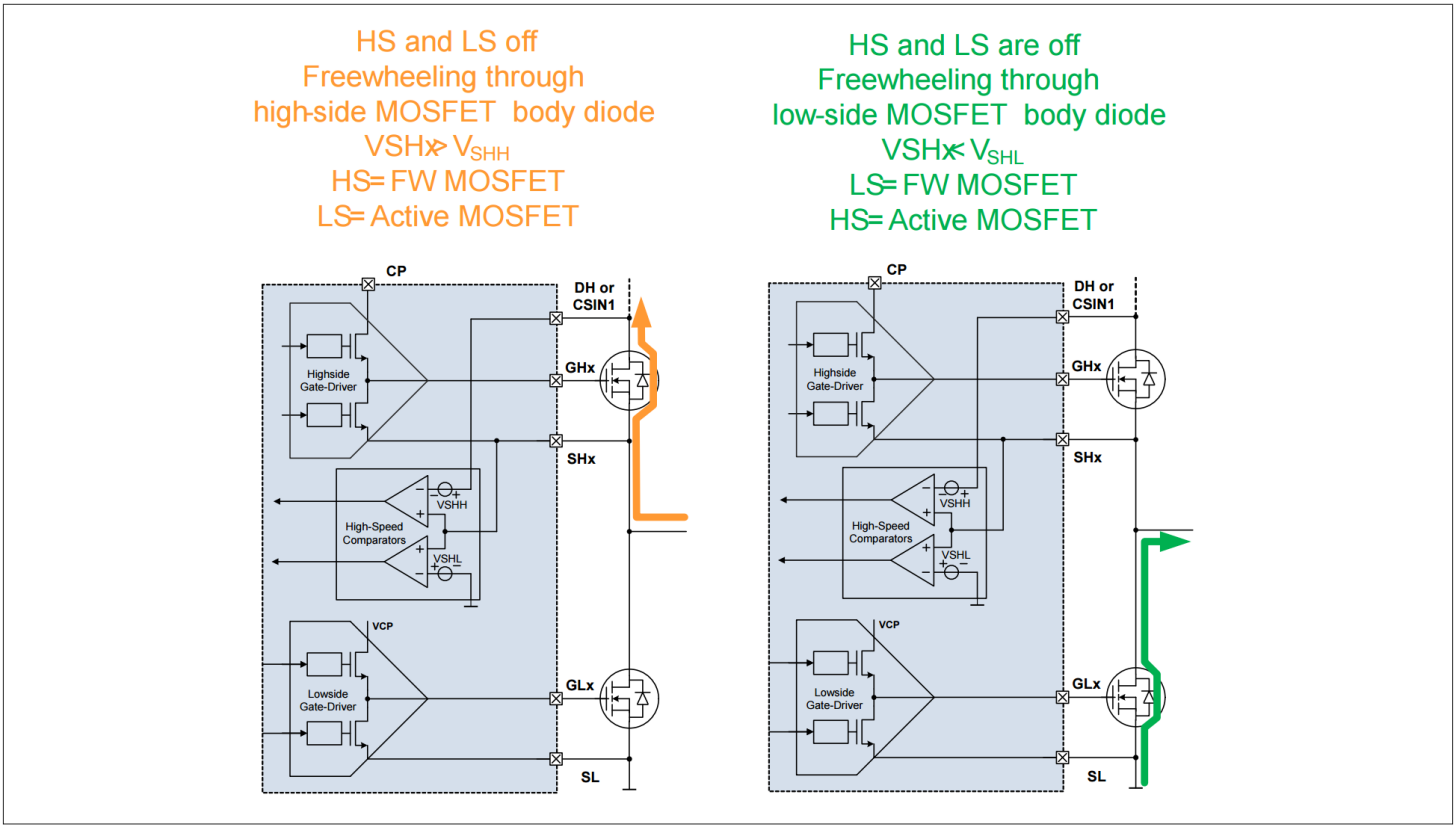


图 10　主动和续流 MOSFET 检测原理

注：　PWM信号应用于HBxMODE[1:0] 选择的MOSFET，与续流和有源MOSFET无关。

注：　如果PWM 导通时间短于tHBxCCP FW，则无法确定有源MOSFET 或续流MOSFET，或者如果PWM 关断时间短于tHBxCCP Active（参见第 5.3.5 章）。在这种情况下，PWM MOSFET 被视为有源MOSFET。换言之，假设电机作为负载运行。

图 11、图 12 展示电机作为负载运行时续流和有源MOSFET的示例。

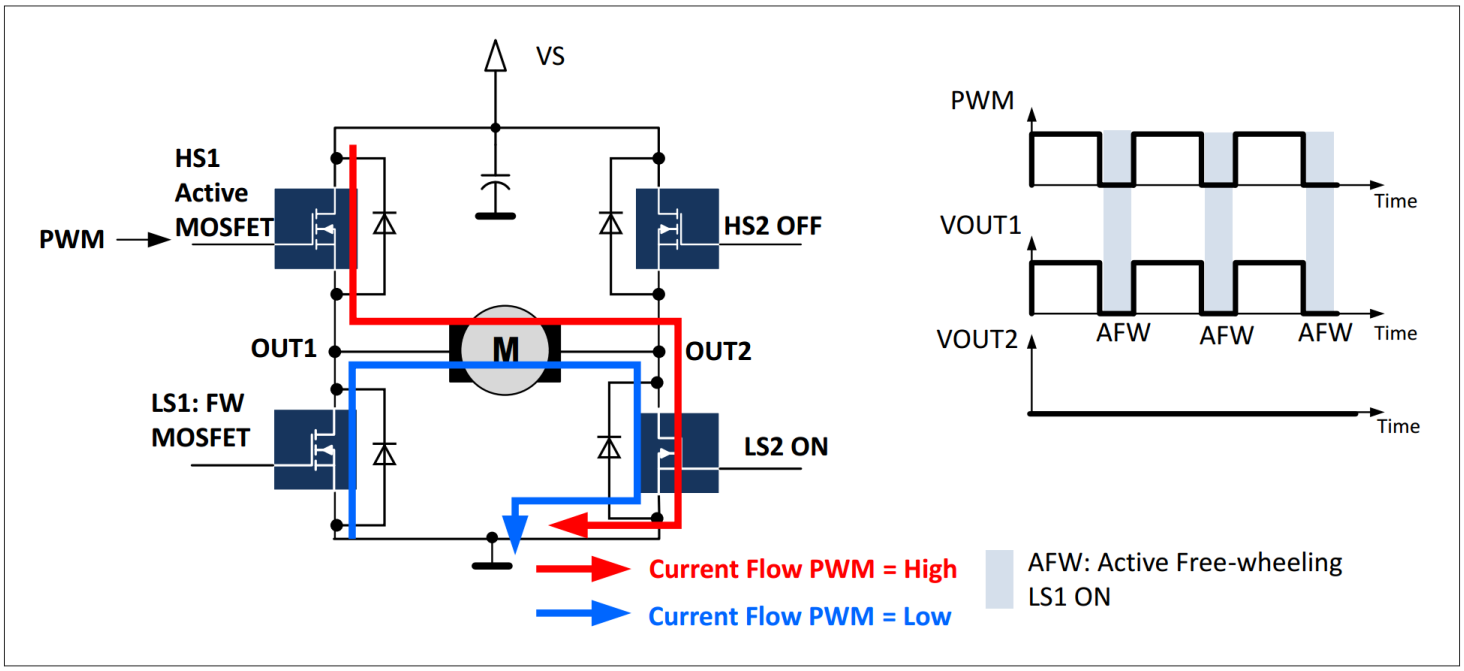


图 11　　HB1 上的主动续流：PWM1EN = 1。PWM 应用于 HS1（HB1MODE[1:0] = 10_B）。电机作为负载运行：HS1 为有源 MOSFET，LS1 为 FW MOSFET。

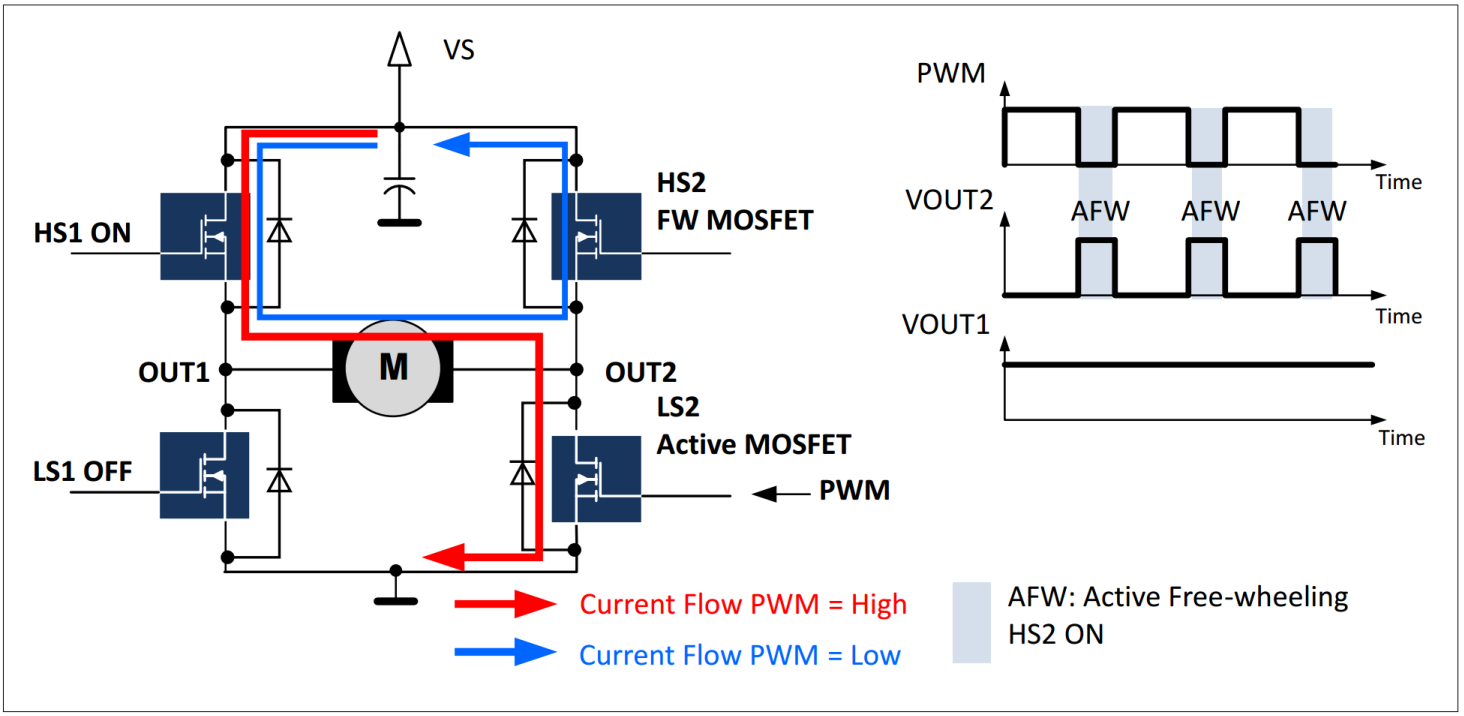


图 12　　HB2 上的主动续流：PWM1EN = 1。PWM 应用于 LS2 (HB2MODE[1:0] = 01_B)。电机作为负载运行：LS2 为有源 MOSFET，HS2 为 FW MOSFET。

图13 和 图 14 显示电机作为发电机运行时续流和有源MOSFET的示例。

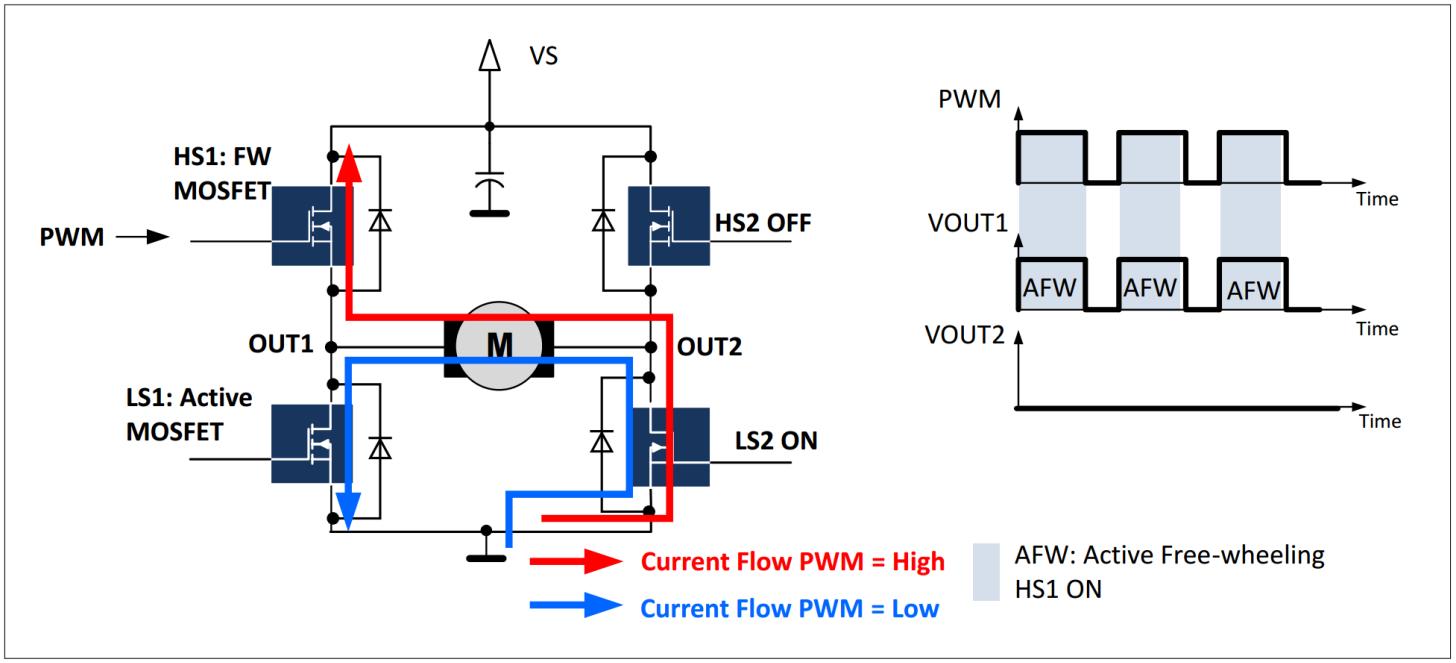


图 13　　HB1 上的主动续流： PWM1EN = 1。 PWM应用于 HS1 (HB1MODE[1:0] = 10_B)。 电机作为发电机运行：LS1 是有源MOSFET ， HS1 是续流MOSFET 。

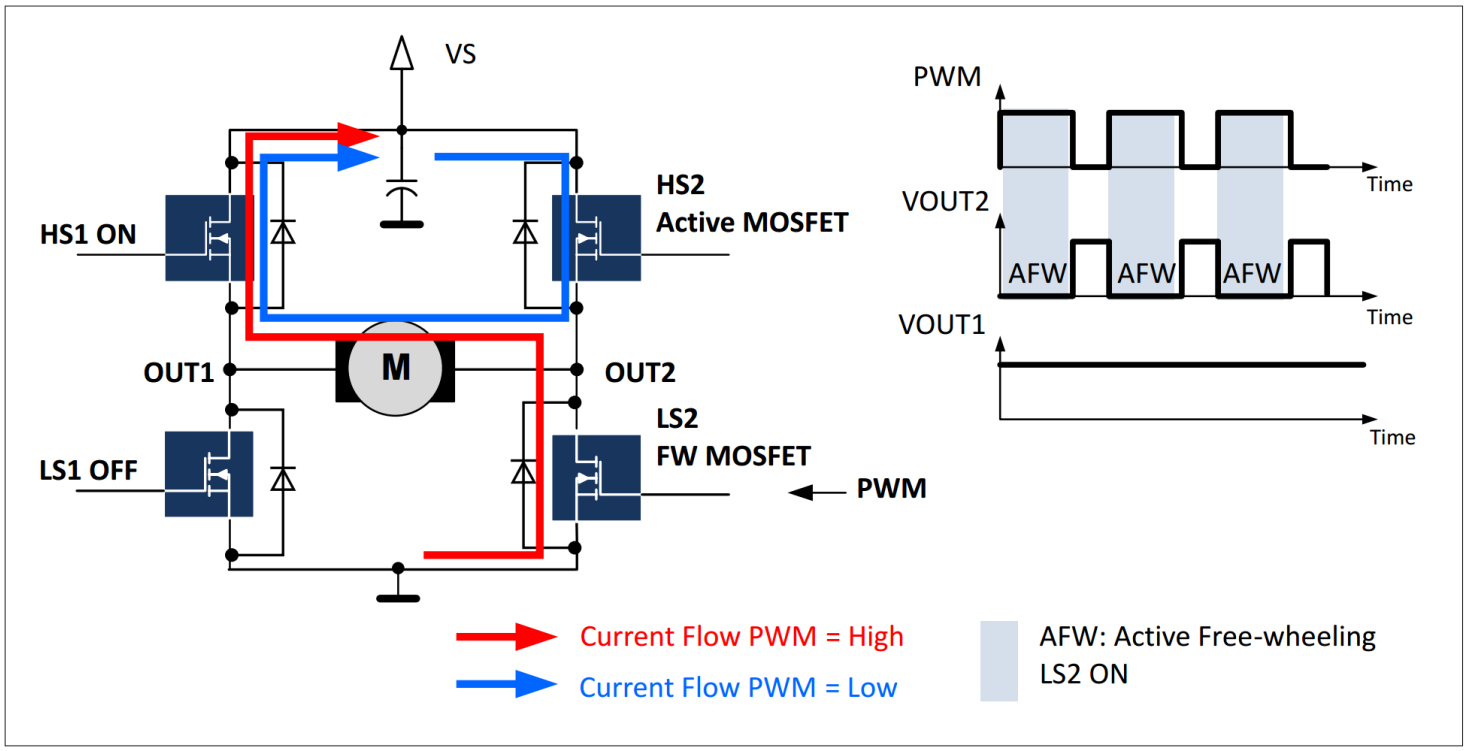


图 14　　HB2 上的主动续流：PWM1EN = 1。PWM 应用于 LS2 (HB2MODE[1:0] = 01_B）。电机作为发电机运行：HS2 是有源MOSFET ， LS2 是 FW MOSFET 。

5.3.2　PWM模式下的配置

以下章节描述了PWM模式下的不同控制方案。它们在预充电和预放电阶段有所不同（图15）：

- 自适应栅极控制（AGC[1:0]=（1,0）或（1,1），GENCTRL2 ）：在此模式下，预充电电流和预放电电流应用于PWM MOSFET的栅极。这些电流用于将有效导通和关断延迟调节至各自的目标值。请参阅 第 5.3.3 章。
- 无自适应栅极控制 (AGC[1;0] = (0,0))：在此模式下，预充电和预放电阶段均停用。请参阅第 5.3.4.1 章。
- 无自适应栅极控制 (AGC[1;0] = (0,1))。在此模式下：
  - 预充电阶段已停用
  - 在预放电阶段，映射到 PWM 通道 x（x = 1...3）的 PWM MOSFET 栅极将以配置电流 IPCHGINIT 进行放电（参阅 PWM_PCHG_INIT 和 第 5.3.4.2 章）

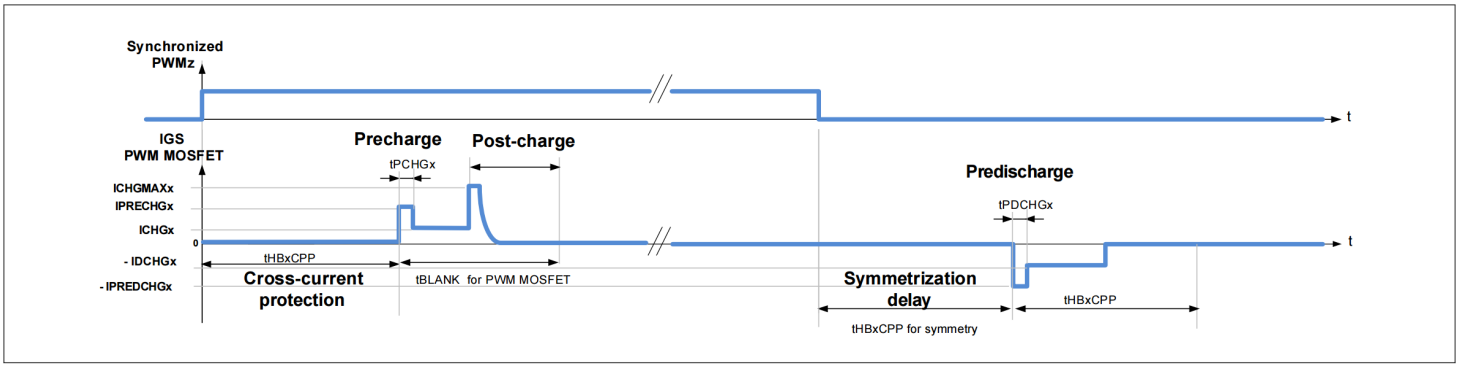


图 15　PWM 概述显示预充电、预放电和后充电阶段，AGC[1:0] = 10_B 或 11_B，POCHGDIS = 1_B。

5.3.3 具有自适应栅级控制的 PWM 工作模式

本节介绍当自适应栅极控制启用（AGC[1:0] = (1,0) 或 (1,1),GENCTRL2） 时高边或低边PWM操作期间的 MOSFET 控制。

请参阅 第 5.3.1 章 了解根据 AGC 设置的主动和续流 MOSFET 的定义。假设：一个高边或低边 MOSFET 驱动器被映射到 PWM 通道 z，其中 z = 1、2 或 3。
请参阅 图 16 了解高边 PWM 的开关阶段描述，参阅 图 19 了解低边 PWM 的开关阶段描述。

TLE92108-231QX 分别调整预充电电流和预放电电流，以使有效导通延迟 (t_{DON}) 和有效关断延迟 (t_{DOFF}) 与配置值相匹配。

各PWM MOSFET的配置导通和关断延迟时间由寄存器 TDON_OFF1、 TDON_OFF2、 TDON_OFF3 进行设置。

各个有源MOSFET 的有效导通和关断延迟是从状态寄存器 EFF_TDON_OFF1、EFF_TDON_OFF2、EFF_TDON_OFF3 中读取的。

表 12 PWM配置中自适应导通和关断阶段的缩写

Abbreviation	Definition
Suffix x	Related to the half-bridge x (x = 1 … 8)
Suffix z	Related to the PWM channel z (z = 1,2 or 3)
VGS_HSx	Gate-Source voltage of high-side MOSFET x
IGS_HSx	Gate current of high-side MOSFET x IGS_HSx is positive when the current flows out of GHx.
VGS_LSx	Gate-Source voltage of low-side MOSFET x
IGS_LSx	Gate current of low-side MOSFET x IGS_LSx is positive when the current flows out of GLx.
tHBxCCP ACTIVE	Active cross-current protection time of HBx. See control registers CCP_BLK1, CCP_BLK2_ACT, PWM_ICHGMAX_CCP_BLK3_ACT and Chapter 6.4.
tHBxBLANK ACTIVE	Active Drain-source overvoltage blank time of HBx. See control registers CCP_BLK1, CCP_BLK2_ACT, PWM_ICHGMAX_CCP_BLK3_ACT and Chapter 6.4.
tHBxCCP FW	Freewheeling cross-current protection time of HBx. See control registers CCP_BLK1, CCP_BLK2_FW, PWM_ICHGMAX_CCP_BLK3_FW and Chapter 6.4
tHBxBLANK FW	Freewheeling drain-source overvoltage blank time of HBx. See control registers CCP_BLK1, CCP_BLK2_FW, PWM_ICHGMAX_CCP_BLK3_FW and Chapter 6.4
PWMz	External PWM signal applied to the input pin PWMz.
ICHGMAXz	Maximum drive current of the half-bridge mapped to PWM channel z during the pre-charge and pre-discharge phases. See control registers PWM_ICHGMAX_CCP_BLK3_ACT and PWM_ICHGMAX_CCP_BLK3_FW ICHGMAXz is also the drive current for the post-charge phase IPRECHGz and IPREDCHGz are limited to ICHGMAXz.
IPRECHGz	Pre-charge current sourced by the gate driver mapped to the PWM channel z during tPCHGz. Internal and self-adaptive parameter (if AGC = (1,0) or (1,1), GENCTRL2) IPRECHGz is clamped between I_{CHG0} and ICHGMAXz.
IPCHGINITz	Initial value of IPRECHGz. Refer to PWM_PCHG_INIT

（表格续下页……）

表 12 （续）PWM配置中自适应导通和关断阶段的缩写

Abbreviation	Definition
IPREDCHGz	Pre-discharge-current sunk by the gate driver mapped to the PWM channel z during tPDCHGz. Internal and self-adaptive parameter. (AGC = (1,0) or (1,1), GENCTRL2) IPREDCHGz is clamped between I_{DCHG0} and IDCHGMAXz.
IPDCHGINITz	Initial value of IPREDCHGz. Refer to PWM_PDCHG_INIT
ICHGz	Current sourced by the gate driver mapped to the PWM channel z during the charge phase. See control register PWM_ICHG_ACT.
IDCHGz	Current sunk by the gate driver mapped to the PWM channel z during the discharge phase. See control register PWM_IDCHG_ACT.
ICHGFWz	Current source or sunk by the gate driver to turn on / turn off the freewheeling MOSFET of the half-bridge mapped to the PWM channel z. See PWM_ICHG_ACT.
tPCHGz	Duration of the pre-charge phase of PWM channel z. tPCHGz is configurable by SPI. See control register TPRECHG, configuration bits TPCHGz[1:0].
tPDCHGz	Duration of the pre-discharge phase of PWM channel z. tPDCHGz is configurable by SPI. See control register TPRECHG, configuration bits TPDCHGz[1:0].
tDONz	Turn-on delay of the PWM MOSFET mapped to the PWM channel z: • for high-side PWM: time between the end of the cross-current protection and when VSHx increases to V_{SHL} (Figure 17). • for low-side PWM: time between the end of the cross-current protection and when VSHx decreases to V_{SHH} .
tDOFFz	Turn-off delay of the PWM MOSFET mapped to the PWM channel z: • for high-side PWM: time between the end of the symmetrization delay (t_{HBxCCP}) and when VSHx decreases to VSHH (Figure 18). • for low-side PWM: time between the end of the symmetrization delay (t_{HBxCCP}) and when VSHx increases to VSHL .
IHOLD	Hold current sourced or sunk by the gate driver to keep the MOSFET in the desired state. See IHOLD control bit in GENCTRL2.
IHARDOFF	IHARDOFF is the maximum current that the gate drivers can sink. It corresponds to the discharge current when IDCHGx[4:0] = 31_D (100 mA typ.).
TFVDS	Drain-Source overvoltage filter time. See GENCTRL2.

5.3.3.1 具有自适应栅极控制的高边PWM，电机作为负载运行

下面介绍当电机工作时，将PWM信号施加到一个半桥的高边MOSFET时的MOSFET控制。

假设： PWM通道z，z = 1,2或 3，应用于半桥 x 的高边MOSFET，x = 1 … 8。

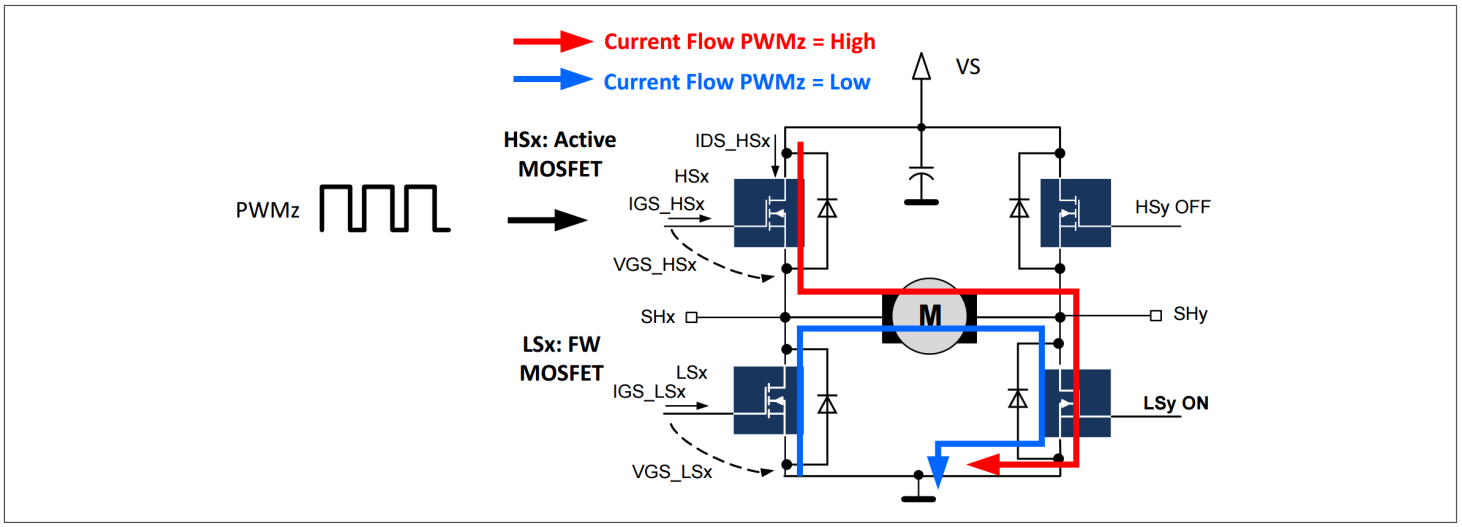


图 16 PWM通道 z 映射到高边 x，电机作为负载运行

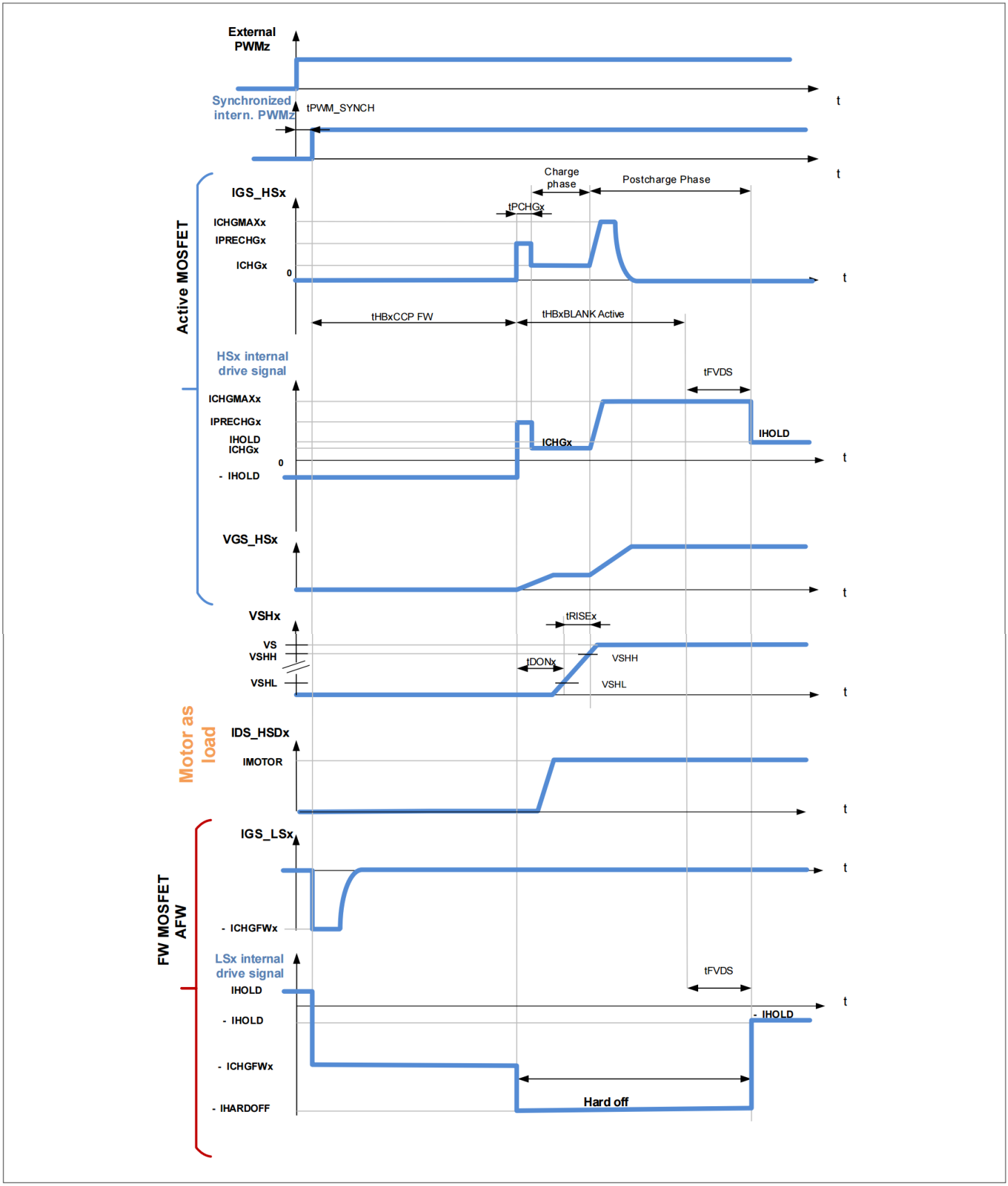


图 17　　自适应导通，高边PWM，AGC[1:0] = (1,0) 或 (1,1)，电机作为负载运行

高边PWM期间的自适应导通

高边MOSFET的导通分四个阶段完成（参见图 17）：

1. **交叉电流保护阶段：**交叉电流保护 tHBxCCP FW 在内部 PWMz信号的上升沿开始[4]。在 tHBxCCP FW 期间，低边 MOSFET x 以放电电流 – ICHGFWx 关断，同时高边 MOSFET x 保持关闭。
2. **预充电：**tHBxCCP FW 过后，高边MOSFET x 的栅极会以电流 IPRECHGz进行预充电，充电持续时间为 tPCHGz。IPRECHGz[5]是一个内部参数，具有自适应性（见下一节）。
3. **充电：**tPCHGz 之后，充电电流从 IPRECHGz 降至 ICHGz。测量有效的 tDONz[6]，并将其与配置的 tDONz进行比较，以自动调整 IPRECHGz （参见预充电电流的自适应控制）。当 VSHx达到VSHH 时，充电阶段结束。
4. **充电后：**充电阶段后，HSx 充电电流的控制信号每 62.5 ns (典型值) 增加一个电流阶跃。至 ICHGMAXx。

注：　通过设置 POCHGDIS 至1 可以停用后充电功能。参考 GENCTRL2 。

预充电电流的自适应控制

有关预放电电流的信息，参考第 5.3.6 章。

如果 AGC[1:0] = (1,0) 或 (1,1)（参见GENCTRL2 ）， 预充电电流 IPRECHGz 是一个自适应参数。它在 tPCHGz 期间施加（参见TPRECHG ）。TLE92108-231QX 会调整 IPRECHGz，使有效 tDONz 与配置值匹配。

IPRECHGz 被钳位在I_{CHG0}（典型值 1 mA）和 ICHGMAXz 之间（参见 PWM_ICHGMAX_CCP_BLK3_ACT ）。

当 TLE92108-231QX 通过 SPI 接收到将 PWMz_EN 设置为 1 的指令（参见 PWMSET ）时，IPRECHGz 初始化为 min(IPCHGINITz, ICHGMAXz)（参见 PWM_PCHG_INIT ）。

可以选择以下调节方案：

AGCFILT = 0 (GENCTRL2)：不使用滤波

- 如果有效的 tDONz 比配置的 tDONz 长，则在下一个预充电阶段 IPRECHGz 会增加。
- 如果有效 tDONz 短于配置的 tDONz，则在下一个预充电阶段 IPRECHGz 会减少。
- 如果控制位IPCHGADT在控制寄存器 GENCTRL1 中置位分别为 0 和 1，预充电电流会分别增加或减少1个或2个电流阶跃（第 5.3.6 章）。

AGCFILT = 1：应用滤波器

- 如果**最后两个PWM 周期**的有效tDONz比配置的 tDONz 长，则在下一个预充电阶段 IPRECHGz 会增加。
- 如果**最后两个PWM 周期的**有效 tDONz 短于配置的 tDONz，则在下一个预充电阶段 IPRECHGz 会减少。
- 如果控制位IPCHGADT在控制寄存器 GENCTRL1 中置位分别为 0 和 1，预充电电流会分别增加或减少1个或2个电流阶跃（第 5.3.6 章）。
- 如果这两种情况都不适用，则在下一个预充电阶段，IPRECHGz 保持不变。

4　外部PWMz信号与内部器件时钟同步，导致内部和外部PWMz信号之间存在延迟 t_{PWM_SYNCH} 。
5　IPRECHGz 被钳位在 ICHGMAXz 和 I_{CHG0} 之间。
6　可读取有效的 tDON。参考 EFF_TDON_OFF1、 EFF_TDON_OFF2、EFF_TDON_OFF3

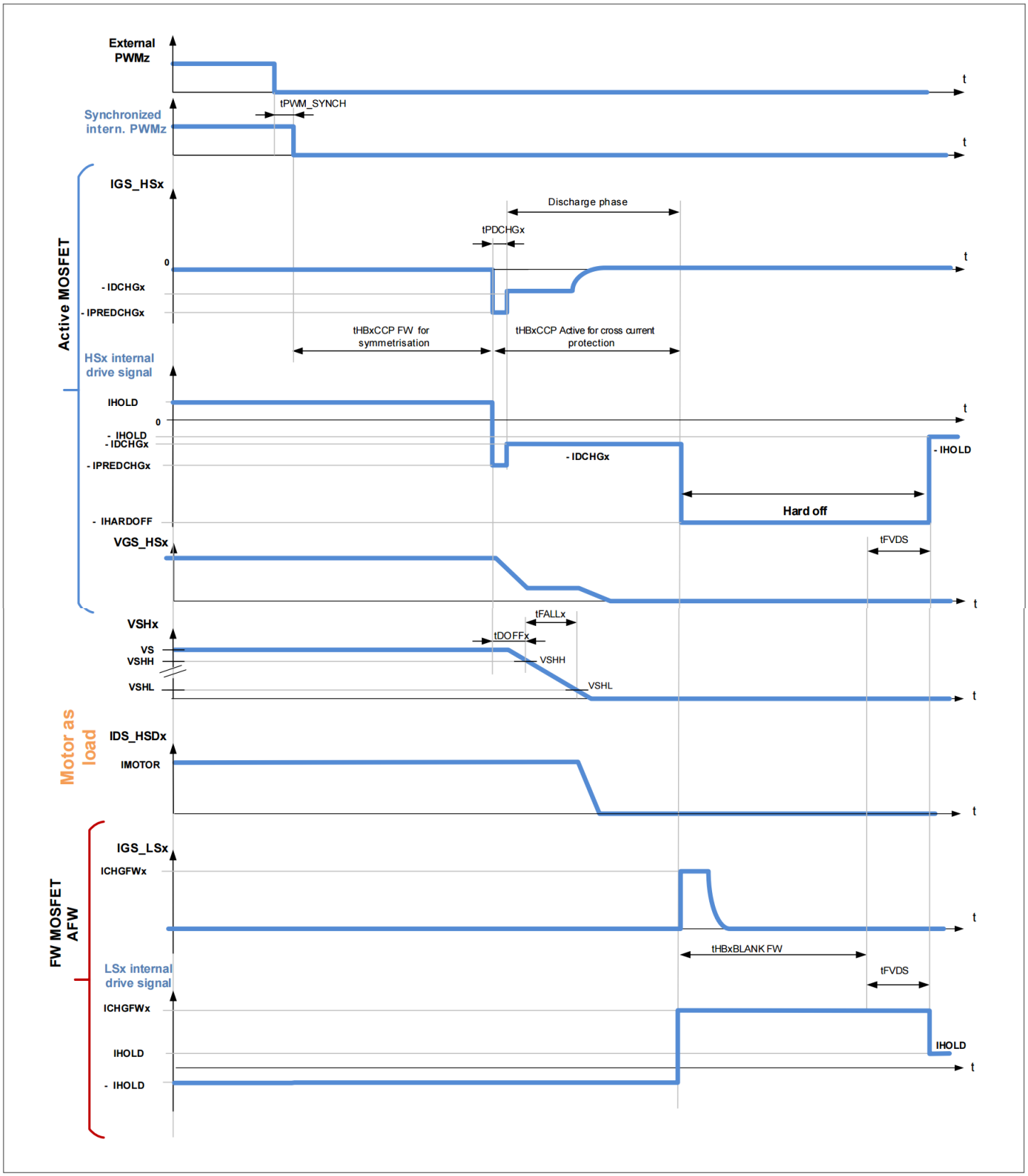


图 18　　自适应关断，高边PWM，AGC[1:0] = (1,0) 或 (1,1)，电机作为负载运行

高边PWM期间的自适应关断

高边MOSFET的关断分四个阶段完成（参见图 18）:

1. **PWM 信号**对称关断延迟时间：HSx在内部 PWMz 信号的下降沿后延迟tHBxCCP FW[7]，以补偿导通时交叉电流保护时间引起的失真。
2. **预放电：**一旦达到对称化所需的时间tHBxCCP FW结束，高边MOSFET x的栅极将以电流 - IPREDCHGz进行预放电，持续时间为tDPCHGz。IPREDCHGz是器件内部参数，具有自适应性（参见下一节）。
3. **放电：**在tPREDCHGz之后，预放电电流的绝对值从IPREDCHGz[8] 降至IDCHGz。测量有效的 tDOFF[9] 并将其与配置的 tDOFFz 进行比较，以自动调整IPREDCHGz（参见预放电电流的自适应控制）。放电阶段在 tHBxCCP 到期时结束，从而实现交叉电流保护。
4. **交叉电流保护阶段：**交叉电流保护与高边MOSFET的预放电和放电同时进行。交叉电流保护阶段在对称化关断延迟结束时启动，持续时间为tHBxCCP active。在tHBxCCP active期间，低边MOSFETx保持关断状态。tHBxCCP active结束后，如果MOSFET V_{SHx}<V_{SHL}，则低边MOSFET x的栅极将通过 ICHGFWz 电流充电，直至tFVDS 结束。

预放电电流的自适应控制

有关预放电电流的信息，参考第 5.3.6 章。

如果 AGC[1:0] = (1,0) 或 (1,1)（参见GENCTRL2 ），则预放电电流 IPREDCHGz 是一个自适应参数。TLE92108-231QX 会调整 IPREDCHGz，使测得的t_{DOFFz} 与配置值匹配。

IPREDCHGz 被钳位在I_{DCHG0}（典型值 1 mA）和 ICHGMAXz 之间（参见 PWM_ICHGMAX_CCP_BLK3_ACT ）。

当 TLE92108-231QX 收到将SPI PWMz_EN 设置为 1 的指令（参见 PWMSET ） 时，IPREDCHGz 初始化为 min(IPDCHGINITz, ICHGMAXz)（参见 PWM_PDCHG_INIT ）

如果控制位IPCHGADT在控制寄存器 GENCTRL1 中置位分别为 0 和 1， 预放电电流会分别增加或减少一个或两个电流阶跃（ 第 5.3.6 章）。

可以选择以下调节方案：

AGCFILT = 0 (GENCTRL2)：不使用滤波

- 如果有效 tDOFFz 比配置的 tDOFFz 长，则在下一次预放电期间 IPREDCHGz 会增加
- 如果有效 tDOFFz 短于配置的 tDOFFz，则在下一次预放电期间 IPREDCHGz 会减小
- 如果控制位IPCHGADT在控制寄存器 GENCTRL1 中置位分别为 0 和 1，预充电电流会分别增加或减少1个或2个电流阶跃（第 5.3.6 章)。

AGCFILT = 1：应用滤波器

- **如果最后两个PWM 周期的**有效 tDOFFz 比配置的 tDOFFz 长，则 IPREDCHGz 在下一个预充电阶段会增加。
- **如果最后两个PWM 周期的** 有效 tDOFFz短于配置的 tDOFFz，则 IPREDCHGz 在下一个预充电阶段会减小。
- 如果这两种情况都不适用，则在下一个预充电阶段，IPRECHGz 保持不变。
- 如果控制位 IPCHGADT 置位为 0 和 1，则预充电电流分别增加或减少一个或两个电流阶跃。

7 外部PWMz信号与内部器件时钟同步，导致内部和外部PWMz信号之间存在延迟 t_{PWM_SYNCH}。
8 IPREDCHGz 被钳位在 ICHGMAXz 和 I_{DCHG0} 之间。
9 可以读取有效 tDOFF。参考 EFF_TDON_OFF1、 EFF_TDON_OFF2、 EFF_TDON_OFF3。

5.3.3.2 具有自适应栅极控制的低边PWM，电机作为负载运行

以下部分描述了当 PWM 信号施加到一个半桥的低边 MOSFET 时的 MOSFET 控制。

假设：PWM 通道 z，z = 1、2 或 3，应用于半桥 x 的低边 MOSFET，x = 1 ... 8（图 19）。

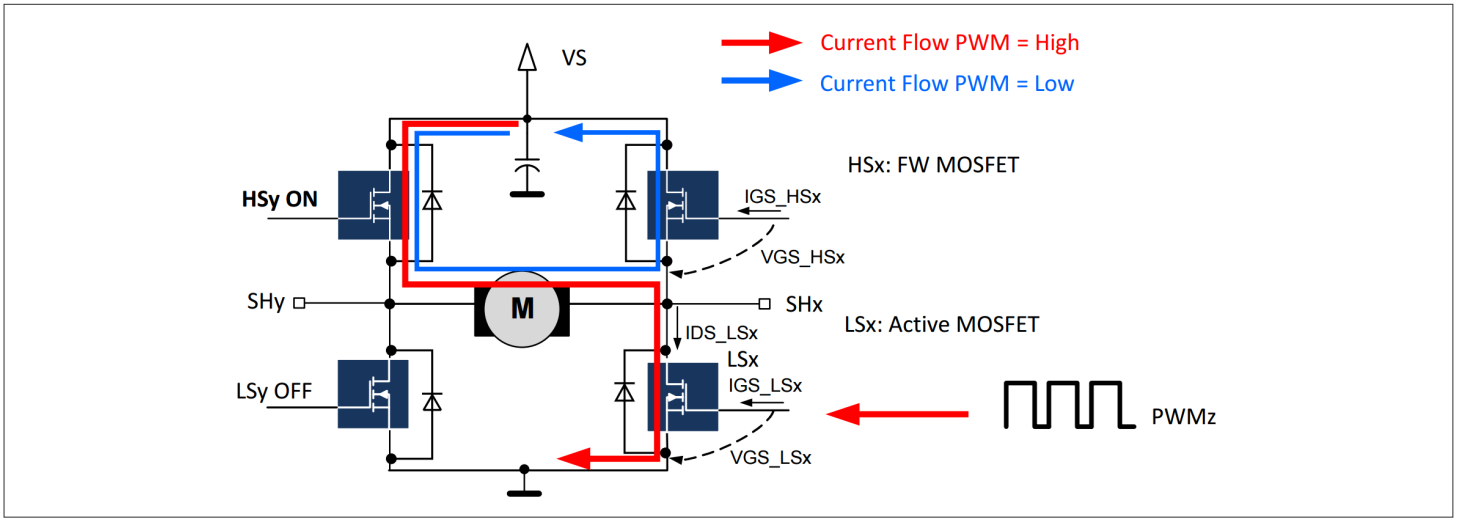


图 19 PWM 通道 z 映射到低侧 x，电机作为负载运行

PWM半桥控制的描述与 第 5.3.3.1 章 的描述不同，仅需交换高边 x 和低边 x 以及阈值 VSHH 和 VSHL 。

5.3.3.3 具有自适应栅极控制的高边PWM，电机作为发电机运行

发电机模式下高边PWM时的控制方案（参见图 20) 相当于负载模式下的低边MOSFET，具有外部脉宽调制输入的互补信号。

对有源MOSFET施加并测量导通、关断延迟时间以及上升和下降时间。

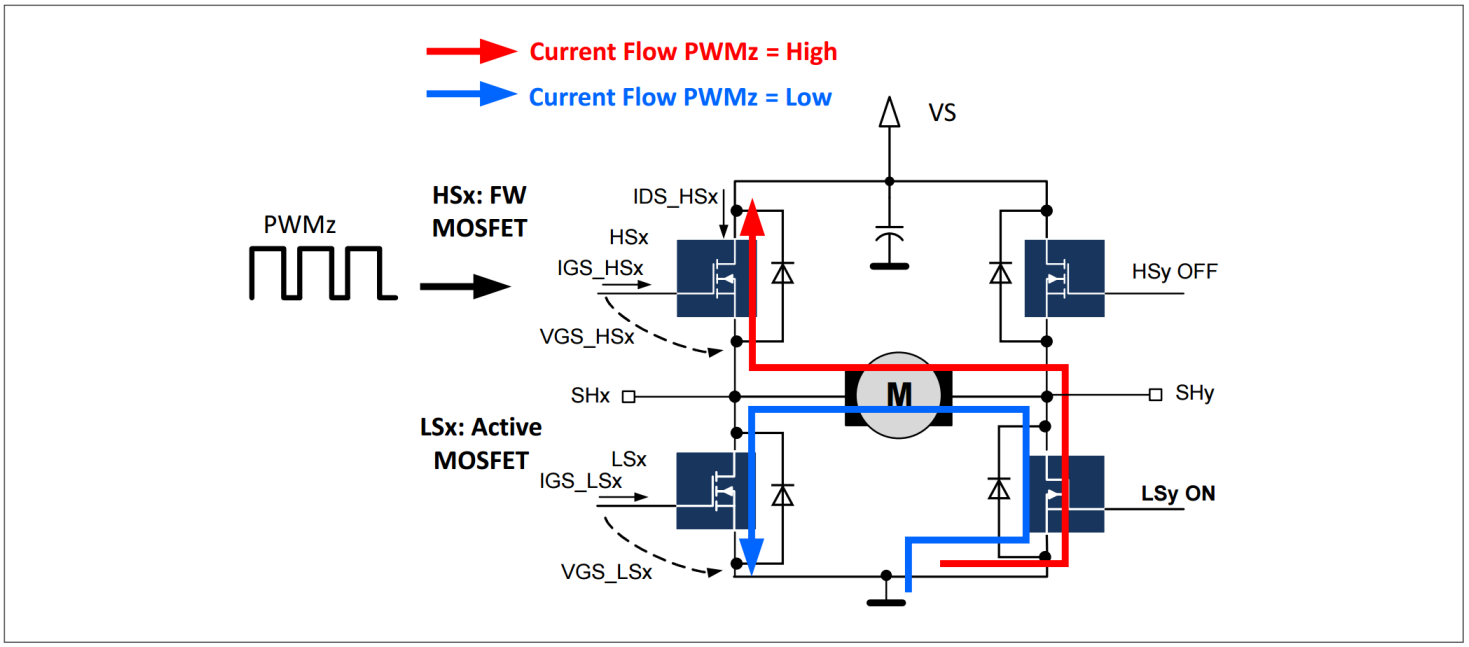


图 20 脉宽调制输入 z 映射到高边 x，电机作为发电机运行

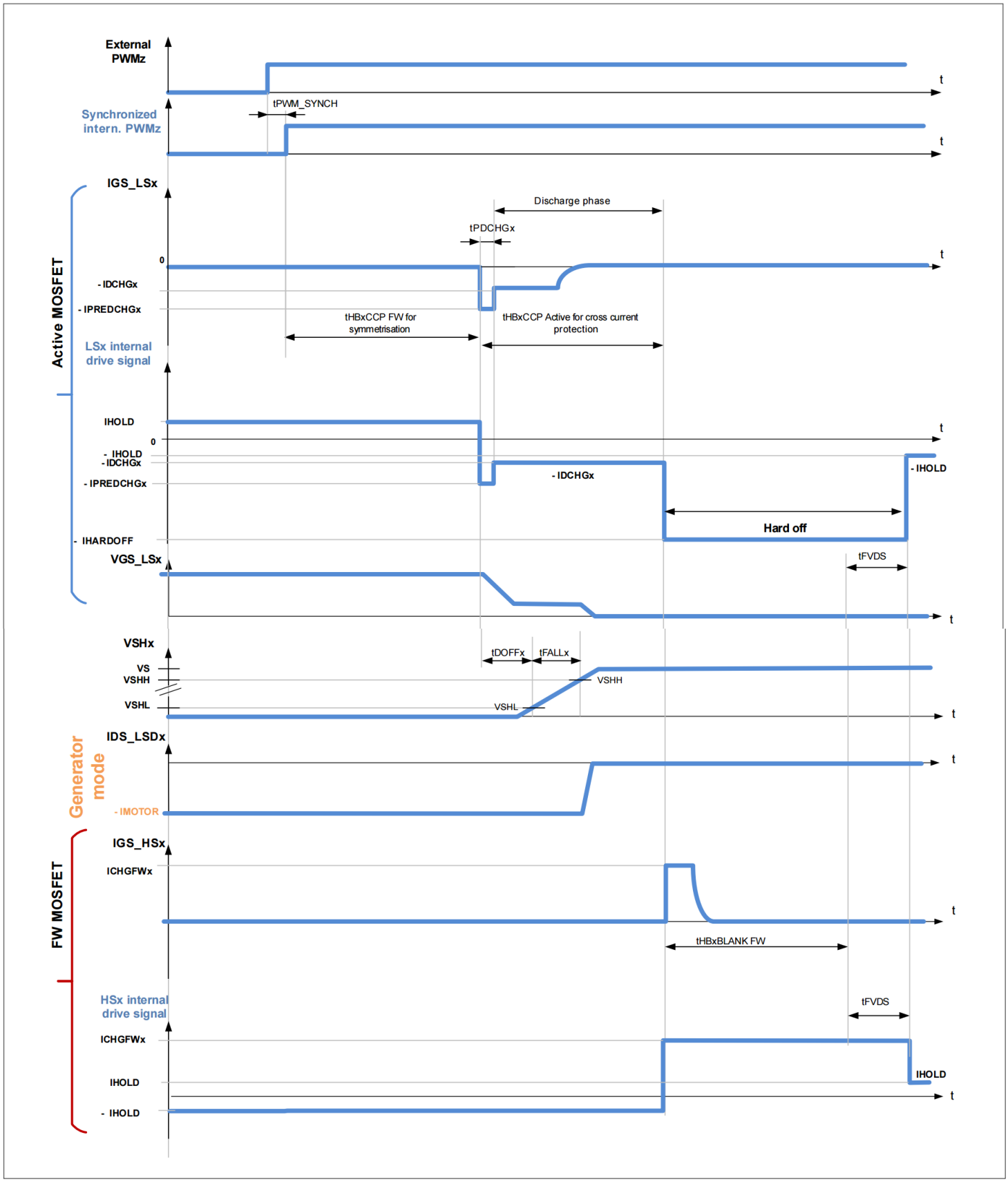


图 21　　自适应导通，高边PWM ，AGC[1:0] = (1,0) 或 (1,1)，电机作为发电机运行

5.3.3.4 具有自适应栅极控制的低边PWM，电机作为发电机运行

发电机模式下高边PWM时的控制方案（参见图 20) 相当于负载模式下的低边PWM，具有外部脉宽调制输入的互补信号。

对有源 MOSFET导通、关断延迟时间以及上升和下降时间进行了映射和测量。

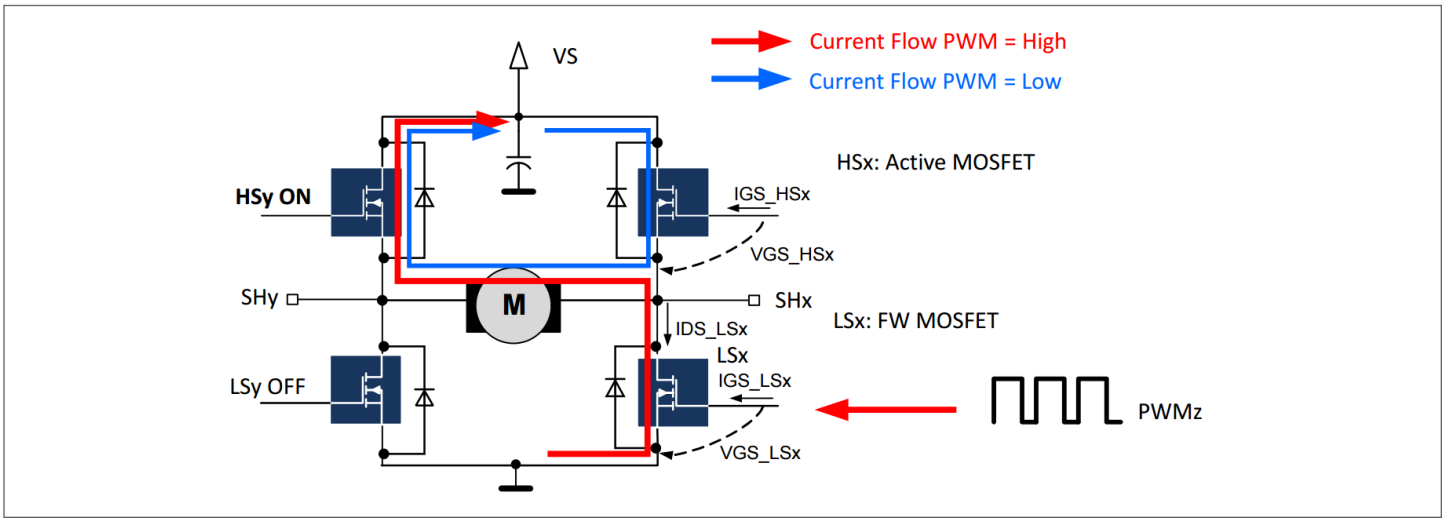


图 22 脉宽调制输入 z 映射到低边 x，电机作为发电机运行

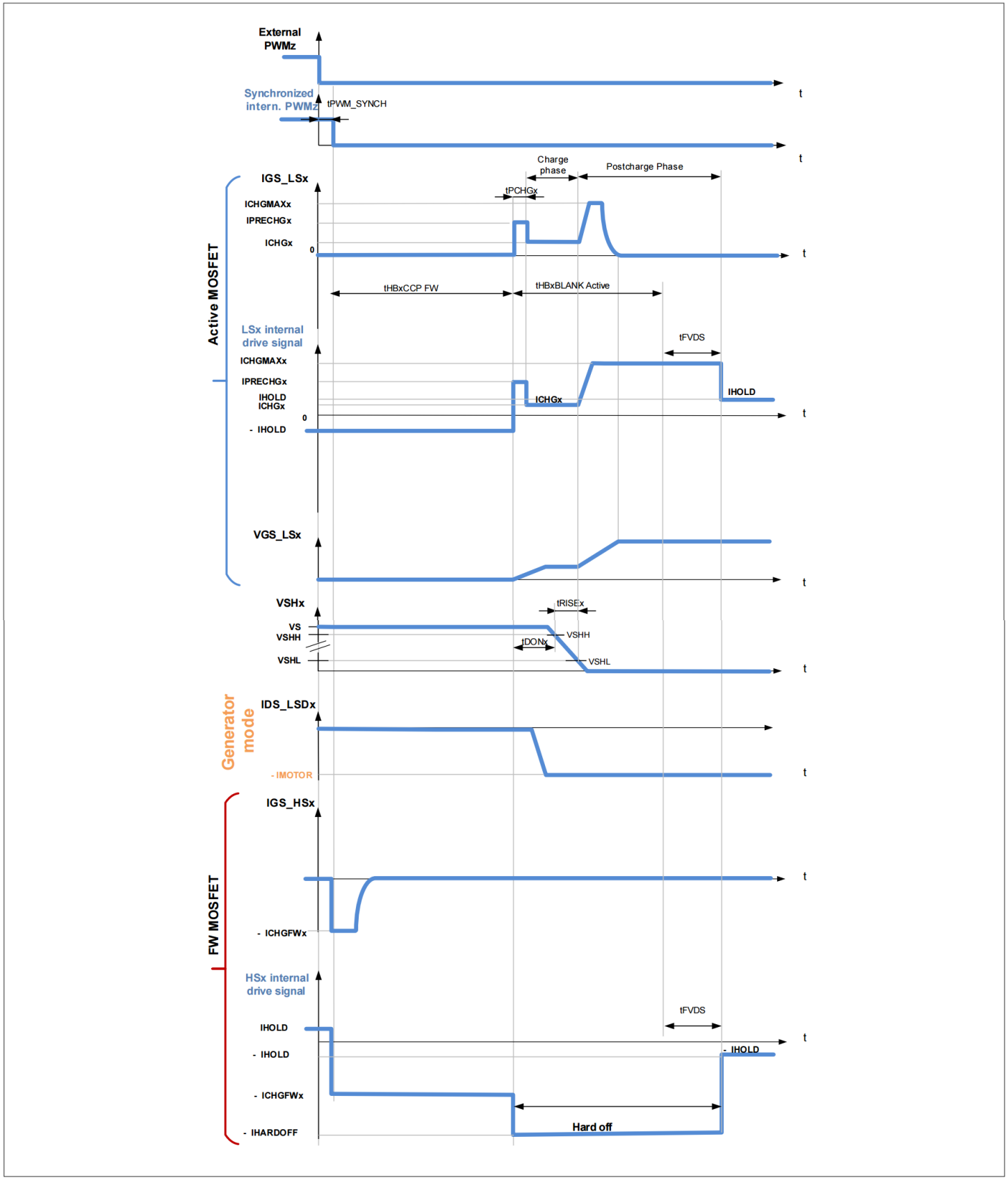


图 23　　带高边PWM的自适应关断，AGC[1:0] = (1,0) 或 (1,1)，电机作为发电机运行

5.3.3.5 用于调节导通和关断延迟时间的状态位

控制位 TDREGx (GENSTAT) 指示使用自适应栅极控制方案 (AGC[1:0] = 10_B或 11_B) 的 PWM 通道 x 的 tDONx 和 tDOFFx 是否处于调节状态。

如果满足以下条件之一，则认为 PWM 通道处于调节状态：

- 有效导通和关断延迟等于至少八个连续PWM周期的配置延迟
- 在最后 8 个 PWM 周期内有效延迟和配置延迟之间的误差至少改变符号三次

5.3.3.6 当 EN_DEEP_AD = 1 时的预充电和预放电阶段

如果 EN_DEEP_AD =1， 则本节适用。启用此功能会导致预充电和预放电电流的粒度降低（即电流步进更粗）。

图 24 中预充电过程中的示例说明了这一原理。同样的原则也适用于预放电阶段。

如果EN_DEEP_AD = 1：

- 预充电阶段可分为两个部分，在此期间施加不同的预充电电流阶跃
- 预放电阶段可分为两个部分，在此期间施加不同的预放电电流阶跃

如果无法调节 t_{DON} 和 t_{DOFF} 并且无法进一步划分预充电时间的分辨率， 则器件退出“深度调节模式”。然后，在预充电时间内施加一个电流阶跃（ 图 25）。

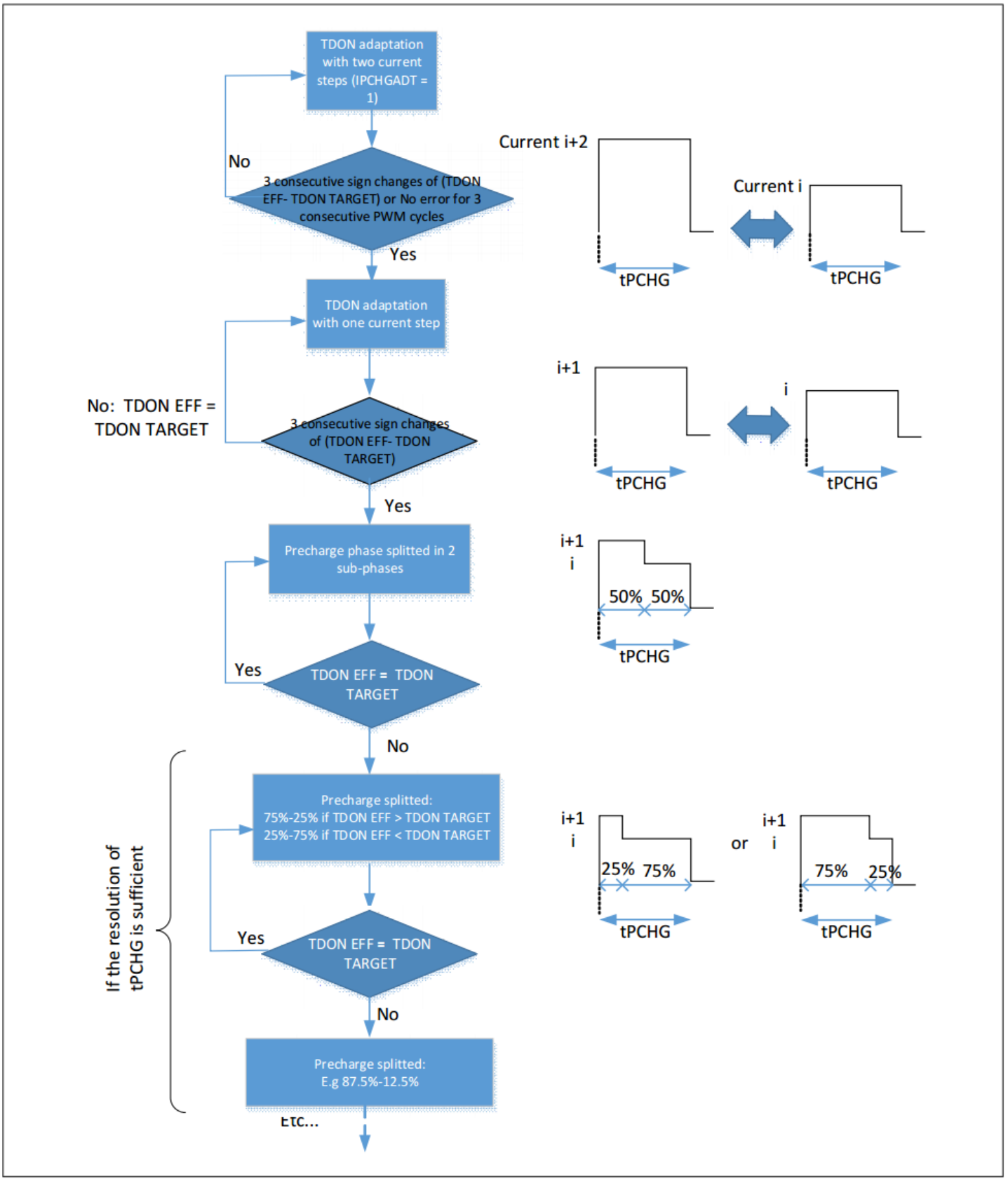


图 24　　预充电阶段的预充电电流调制示例， EN_DEEP_AD = 1

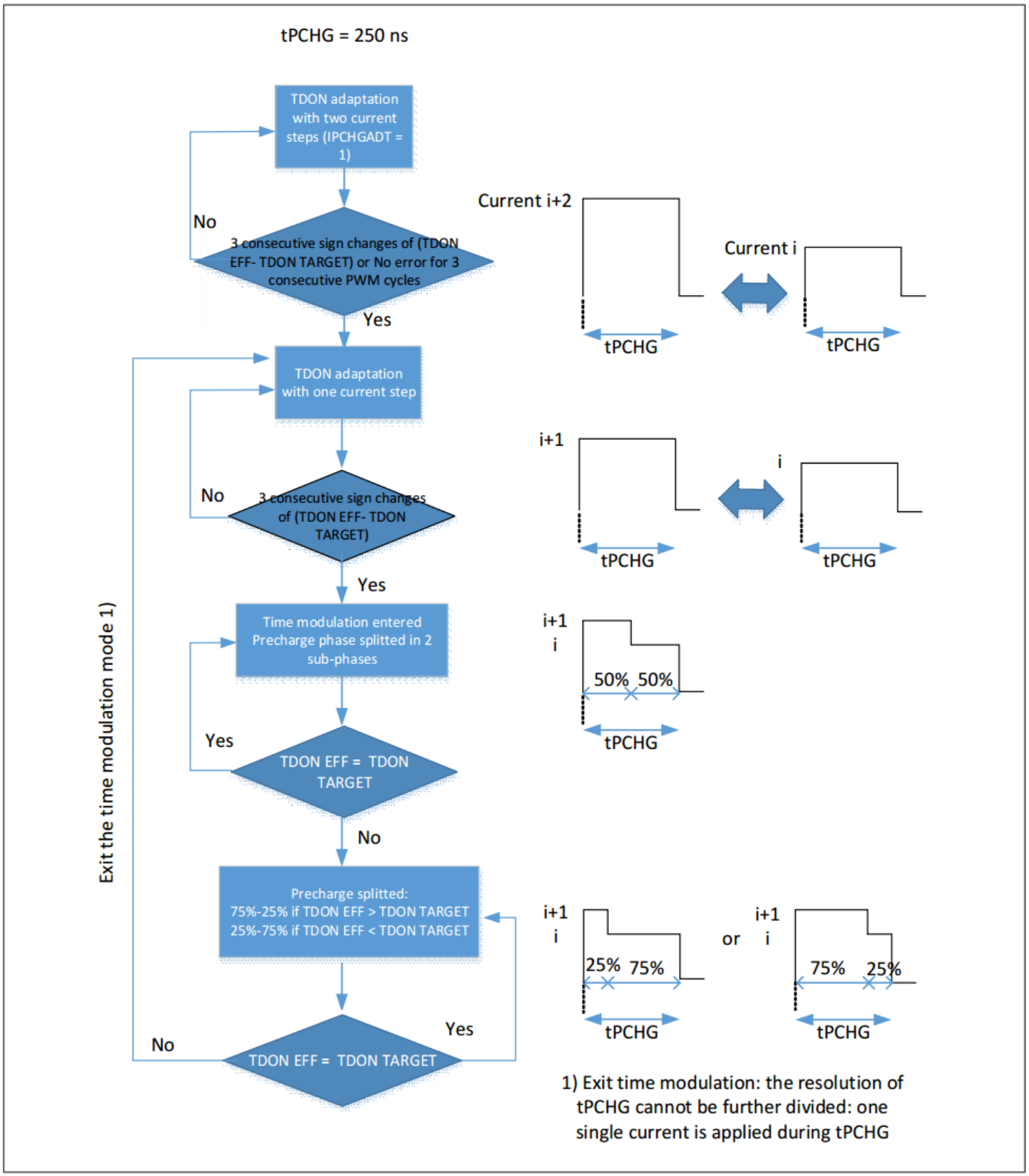


图 25　　退出时间调制的标准， EN_DEEP_AD = 1

5.3.4 无自适应栅极控制的 PWM 工作模式

如果 AGC[1:0] 设置为 (0,0) 或 (0,1)，则禁用自适应栅极控制。PWM MOSFET 的有效导通和关断延迟不受调节。可以选择两种模式。

不再规定PWM MOSFET 的目标导通和关断延迟时间（在TDON_OFF1、TDON_OFF2、TDON_OFF3中配置）。尽管如此，状态寄存器EFF_TDON_OFF1、EFF_TDON_OFF2 、EFF_TDON_OFF3 仍报告 PWM MOSFET 的有效导通和关断时间。

5.3.4.1 无自适应栅极控制的PWM工作模式，AGC[1:0] = (0,0)

当 AGC[1:0] = (0,0)（参见GENCTRL2 ）时，PWM 模式下栅极驱动器的控制与 第 5.3.3 章，“具有自适应栅极控制的 PWM 工作模式” 的描述不同 ， 仅在于预充电和预放电阶段的抑制方面有所不同。

5.3.4.2 无自适应栅极控制的PWM工作，AGC[1:0] = (0,1)

当 AGC[1:0] = (0,1) 时（见GENCTRL2 ）， PWM模式下的栅极驱动器的控制与第5.3.4.1 章， “无自适应栅极驱动器控制的 PWM 工作模式，AGC[1:0] = (0,0) ” 的描述不同，不同之处仅在于增加了一个预放电阶段。在 tPDCHGz 期间，映射到PWM通道 z 的PWM MOSFET的栅极通过电流 -IPDCHGINITz 进行放电（见PWM_PDCHG_INIT）。

参考图 26 具有PWM控制的高边PWM MOSFET的关断。

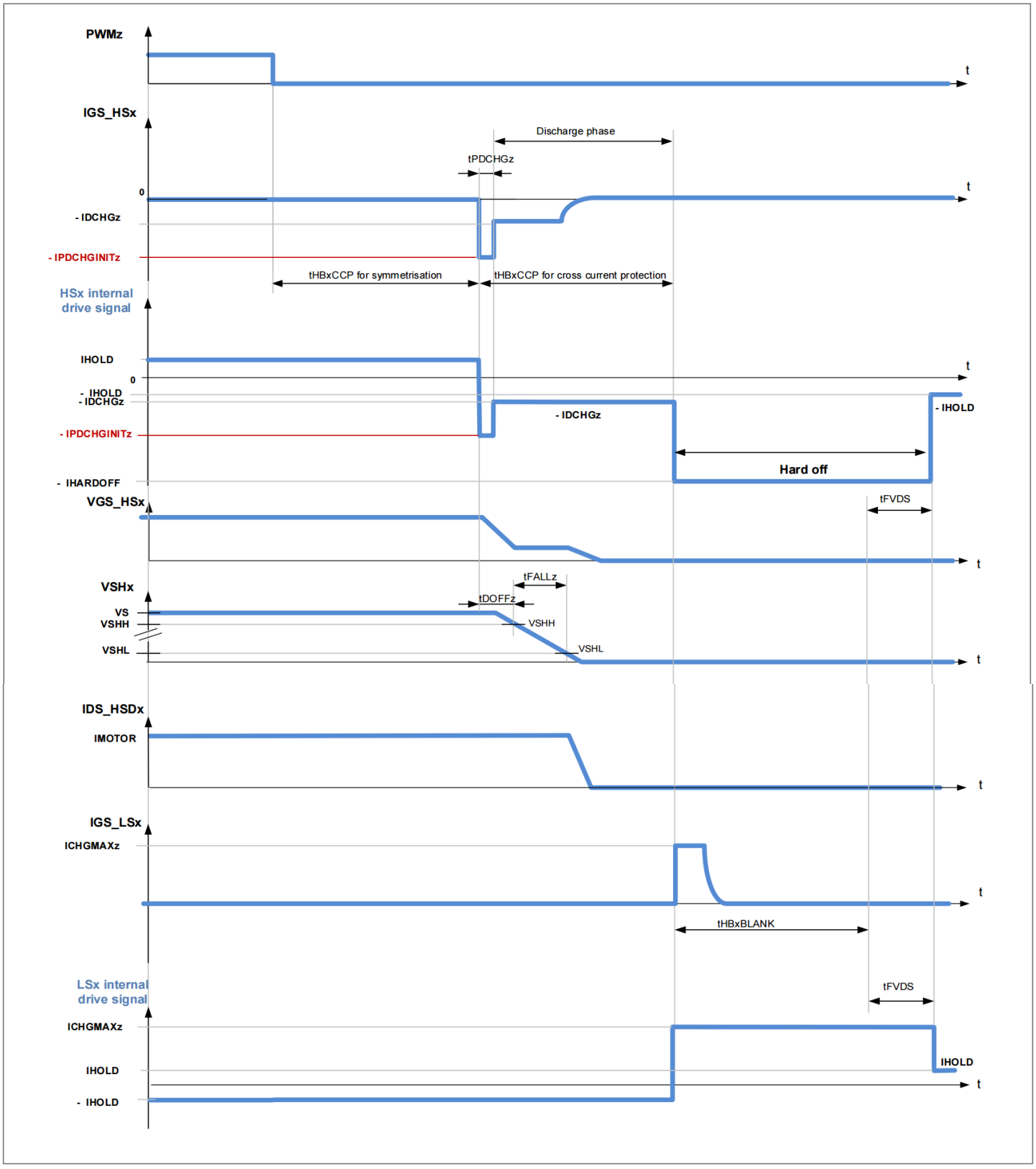


图 26　　高边 PWM 工作模式 - 无自适应栅极控制的关断，AGC[1:0] = (0,1)

5.3.5 高电平和低电平占空比下的 PWM 工作模式

本节描述当电机作为负载或发电机工作时，主动和续流 MOSFET的内部PWM信号。特别是在低电平和高占空比时，主动续流被禁用。

注: 建议在非常高或非常低的占空比条件下（tON < tHBxCCP FW 或tOFF < tHBxCCP active）清除 EN_GEN_CHECK（将EN_GEN_CHECK 置为0）。在这些条件下，无法正确检测发电机模式。因此，有源MOSFET和续流MOSFET的控制方案可能会反转。

注: 该器件无法测量非常高或非常低的占空比下的开关时间tDON、tDOFF、tRISE 和tFALL：tON < tHBxCCP FW 或 tOFF < tHBxCCP active。

一般情况下，电机作为负载运行，tON > tHBxCCP FW 且 tOFF > tHBxCCP active

图 27 展示了电机带负载时PWM MOSFET和续流MOSFET的内部控制信号：

- tON 大于续流交叉电流保护时间 (tHBxCCP FW)
- tOFF 大于主动交叉电流保护时间 (tHBxCCP Active)

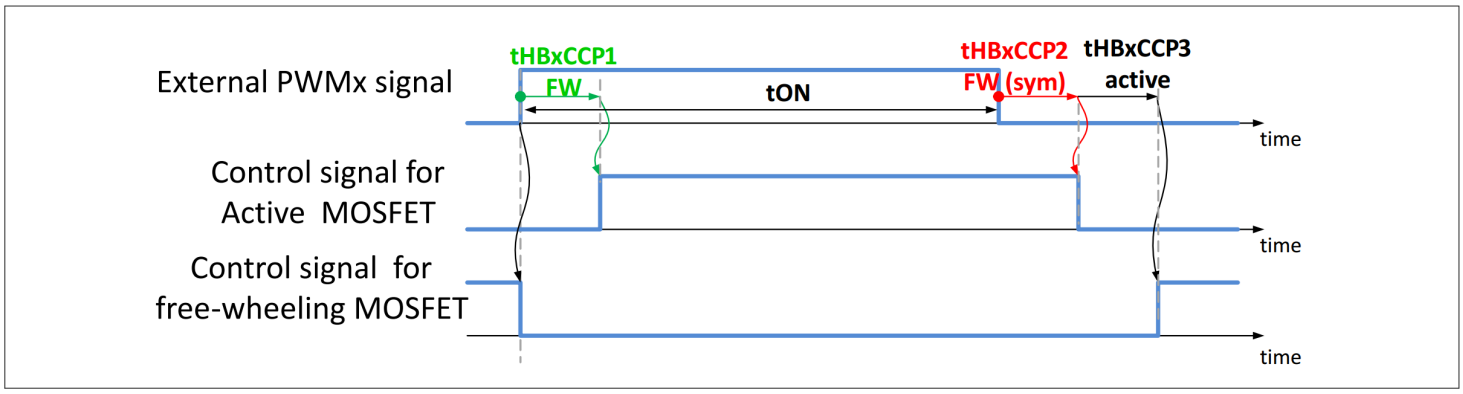


图 27 PWM 工作模式的内部信号 - 一般情况 tON > tHBxCCP FW，tOFF > tHBxCCP active，电机作为负载运行

一般情况，电机作为发电机运行，tOFF > tHBxCCP FW 且 tON > tHBxCCP active

图 28 显示电机作为发电机运行时PWM MOSFET 和续流MOSFET的内部控制信号：

- tOFF 大于 FW 交叉电流保护时间 (tHBxCCP FW)
- tON 大于主动交叉电流保护时间 (tHBxCCP Active)

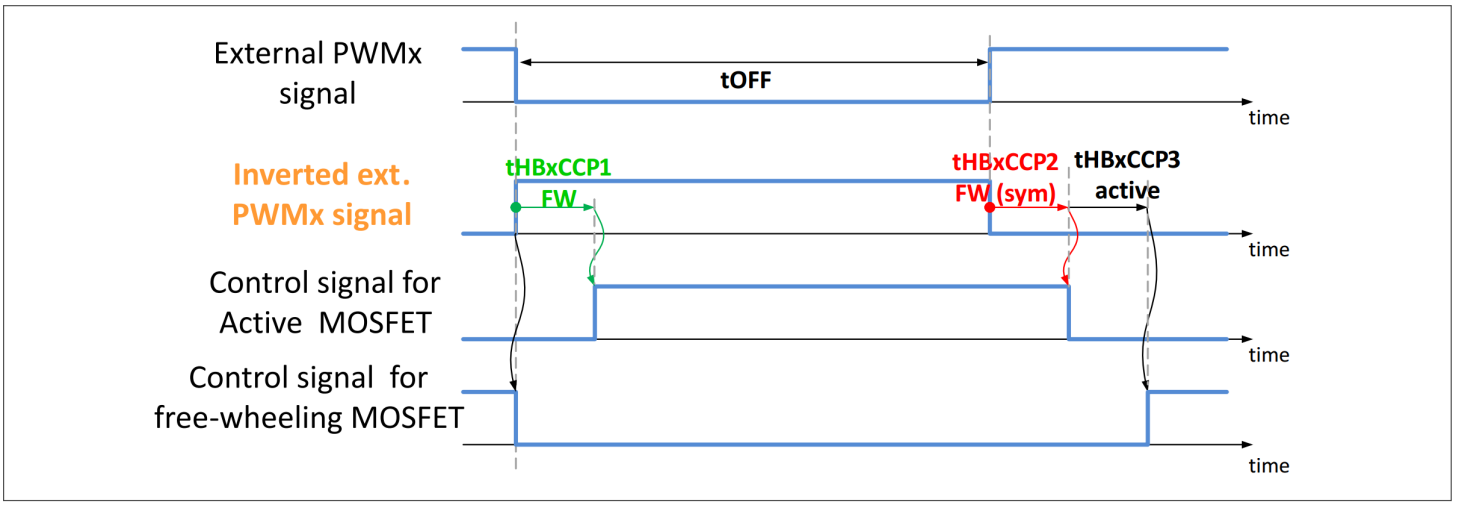


图 28　　PWM 工作模式的内部信号 - 一般情况：tOFF > tHBxCCP FW，tON > tHBxCCP active，电机作为发电机运行

高占空比：tOFF < tHBxCCP active

当外部PWM信号的关断时间短于配置的主动交叉电流保护时间时，有源MOSFET和续流 MOSFET之间无法区分。因此， PWM MOSFET （由HBxMODE[1:0] PWM选择）被作为为有源 MOSFET 。换句话说，假定电机作为负载工作。PWM MOSFET的控制信号与外部PWM信号相比，偏移了一个续流交叉电流保护时间。与PWM MOSFET相对的MOSFET保持关断（被动续流）。参考图 29。

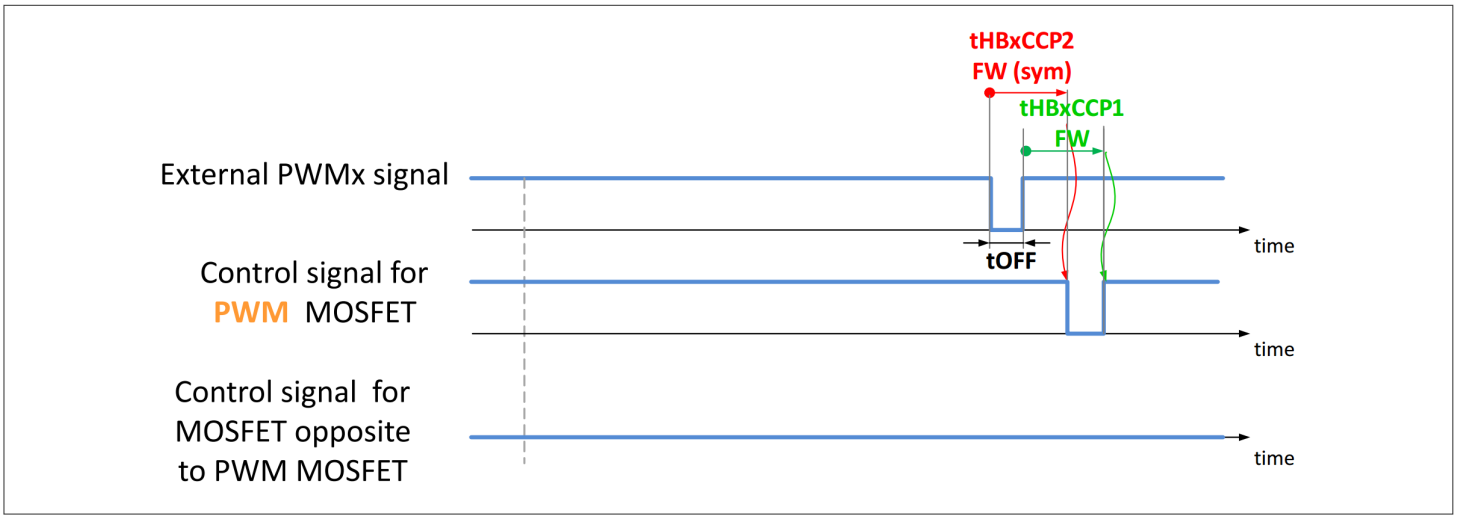


图 29　　PWM 工作模式在高占空比时的内部信号 ，tOFF < tHBxCCP active

低电平占空比：tON < tHBxCCP FW

当外部 PWM 信号的导通时间短于配置的续流交叉电流保护时间时，有源 MOSFET 和续流 MOSFET 之间无法区分。因此，PWM MOSFET（由 HBxMODE[1:0] 选择）被作为有源 MOSFET 进行控制。换句话说，假设电机作为负载运行。PWM MOSFET 的控制信号与外部 PWM 信号相比，偏移了一个交叉电流保护时间。参见 图 30。

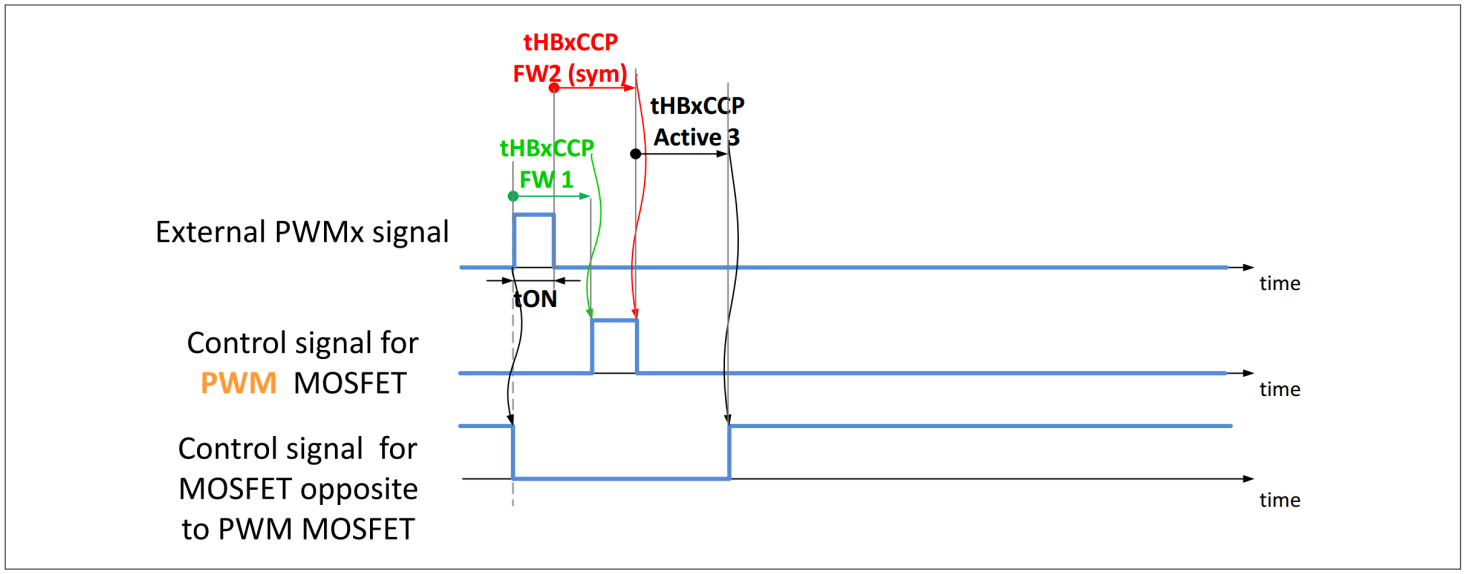


图 30　　低占空比下PWM工作模式的内部信号， tON < tHBxCCP FW

5.3.6 栅极驱动器电流

每个栅极驱动器都能够拉出和灌入从 1.0 mA 到 100 mA 的电流，分为 32 个档位，如图 31 和图 32所示。

有源 MOSFET 和续流 MOSFET 的充电和放电电流分别通过以下方式配置：

- REG_BANK 位（GENCTRL1）
- 控制寄存器PWM_ICHG_ACT、PWM_IDCHG_ACT、PWM_ICHG_FW

有源 MOSFET 的充电电流由PWM_ICHG_ACT 配置（REG_BANK = 0)

有源 MOSFET的放电电流由PWM_IDCHG_ACT 配置（REG_BANK = 0)

续流 MOSFET 的充电和放电电流由PWM_ICHG_FW 配置（REG_BANK = 1)

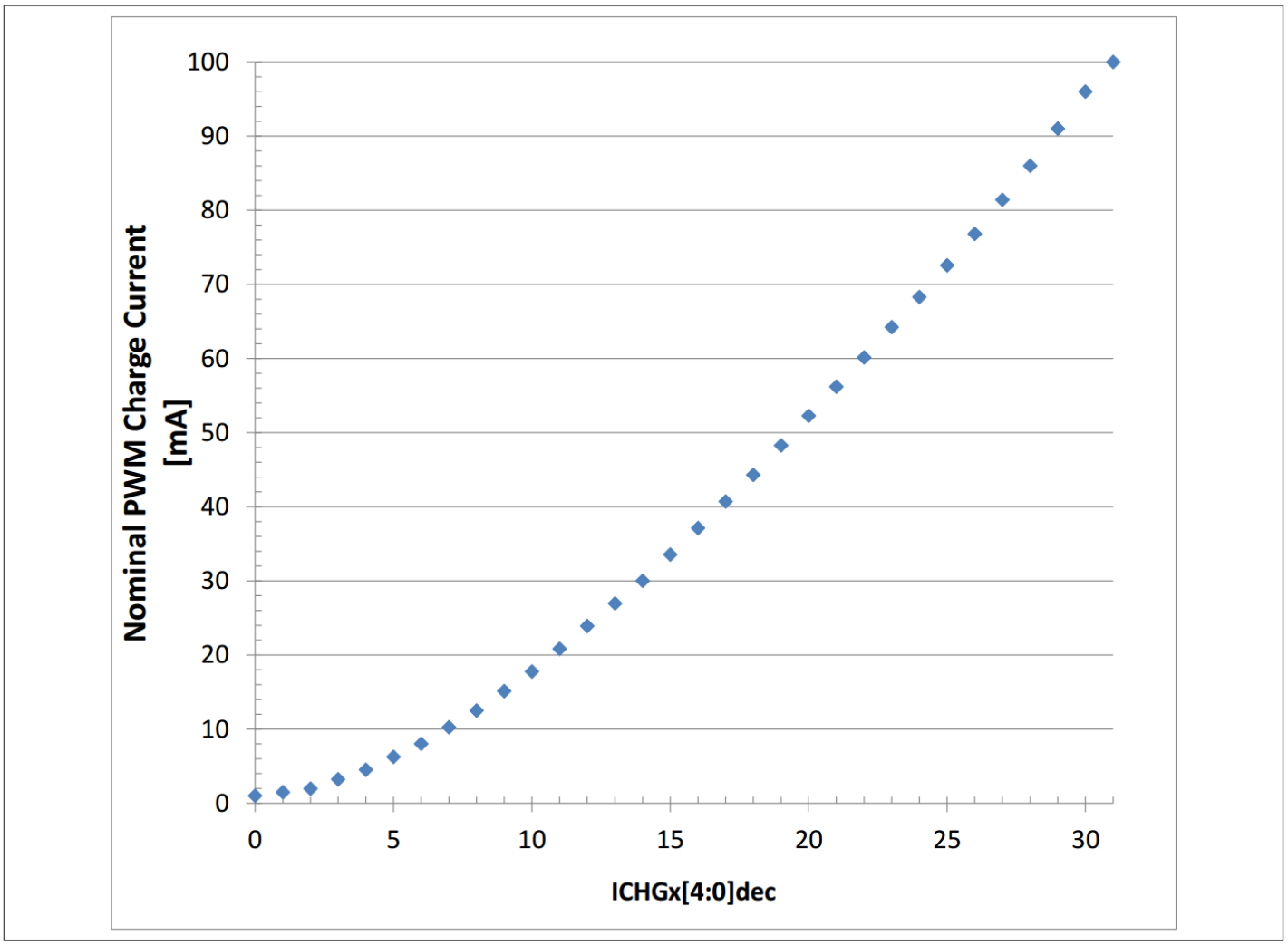


图 31　　PWM 工作模式下的可配置充电电流

表 13　　PWM 工作模式下的充电电流

ICHGx[4:0], ICHGxFW[4:0], IPCHGINITx[4:0]	Nom. charge current [mA]1)	Max. deviation to nominal values [%]
00000_B	1.0	+/- 60 %
00001_B	1.5	+/- 60 %

（表格续下页……）

表 13 （续）PWM 工作模式下的充电电流

ICHGx[4:0], ICHGxFW[4:0], IPCHGINITx[4:0]	Nom. charge current [mA]1)	Max. deviation to nominal values [%]
00010_B	2.0	+/- 60 %
00011_B	3.2	+/- 60 %
00100_B	4.5	+/- 60 %
00101_B	6.3	+/- 60 %
00110_B	8.0	+/- 38 %
00111_B	10.3	+/- 38 %
01000_B	12.5	+/- 38 %
01001_B	15.1	+/- 38 %
01010_B	17.8	+/- 38 %
01011_B	20.8	+/- 38 %
01100_B	23.9	+/- 38 %
01101_B	27.0	+/- 38 %
01110_B	30.0	+/- 28 %
01111_B	33.5	+/- 28 %
10000_B	37.1	+/- 28 %
10001_B	40.7	+/- 28 %
10010_B	44.3	+/- 28 %
10011_B	48.3	+/- 28 %
10100_B	52.3	+/- 28 %
10101_B	56.2	+/- 28 %
10110_B	60.1	+/- 28 %
10111_B	64.2	+/- 28 %
11000_B	68.3	+/- 28 %
11001_B	72.5	+/- 28 %
11010_B	76.8	+/- 28 %
11011_B	81.4	+/- 28 %
11100_B	86.0	+/- 28 %
11101_B	91.0	+/- 28 %
11110_B	96.0	+/- 25 %
11111_B	100	+/- 25 %

1) $V_S \geq 8V$ 且$V_{GS} \leq$ VGS(ON)1 （当 ICHGx/ICHGxFW ≤ 14_D时），$V_S \geq 8V$ 且 $V_{GS} \leq$ VGS(ON)2（当 ICHGx/ICHGxFW ≥ 15_D 时）

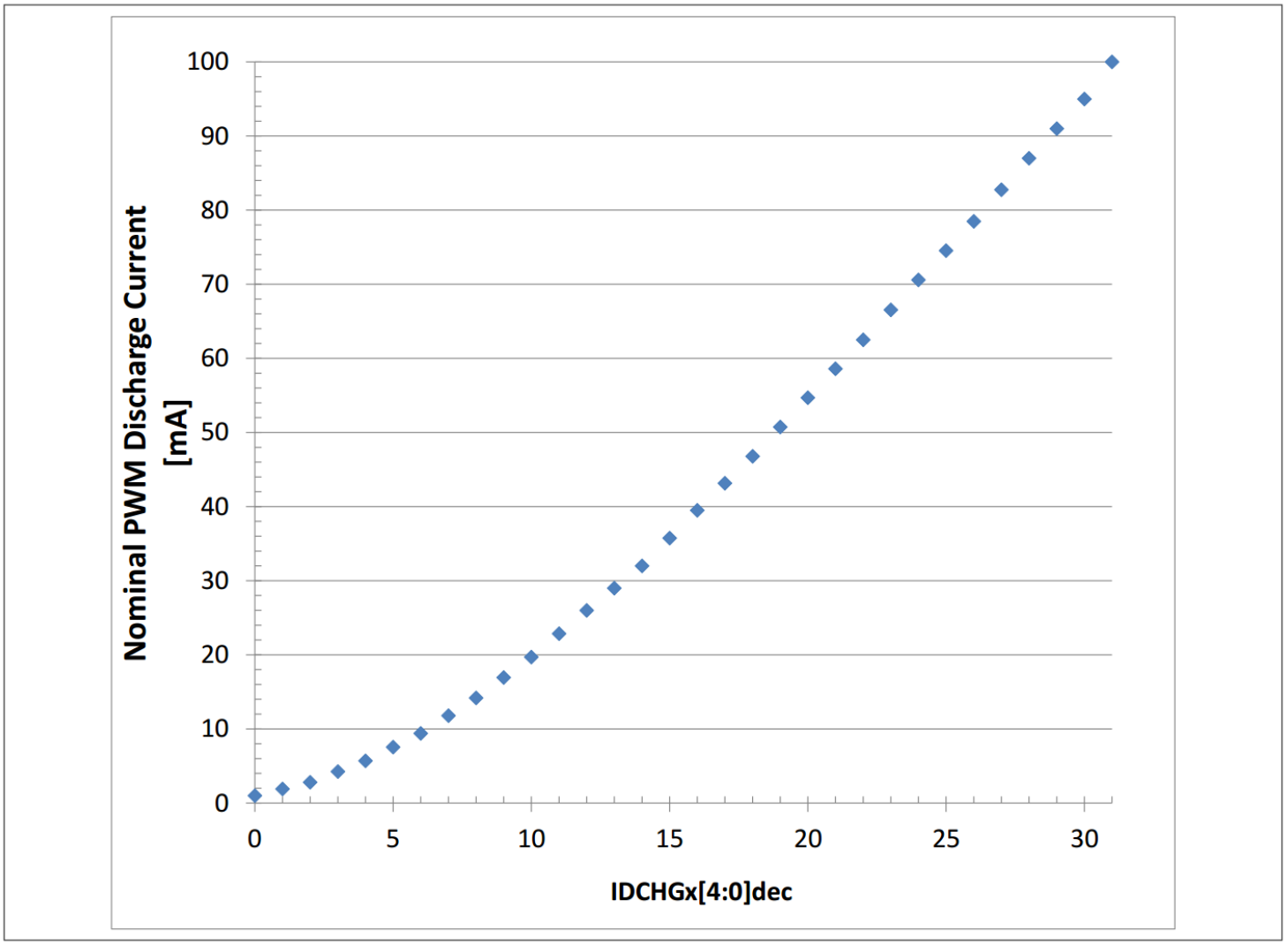


图 32　　PWM工作模式下的可配置放电电流

表14　　PWM工作模式下的放电电流

IDCHGx[4:0], IDCHGxFW[4:0], IPDCHGINITx[4:0]	Nom. discharge current [mA][1)]	Max. deviation to nominal values [%]
00000_B	1.0	+/- 60 %
00001_B	1.9	+/- 60 %
00010_B	2.8	+/- 60 %
00011_B	4.3	+/- 60 %
00100_B	5.7	+/- 60 %
00101_B	7.5	+/- 60 %
00110_B	9.4	+/- 38 %
00111_B	11.8	+/- 38 %
01000_B	14.2	+/- 38 %
01001_B	17.0	+/- 38 %

（表格续下页……）

表 14 （续） PWM 工作模式下的放电电流

IDCHGx[4:0], IDCHGxFW[4:0], IPDCHGINITx[4:0]	Nom. discharge current [mA][1)]	Max. deviation to nominal values [%]
01010_B	19.7	+/- 38 %
01011_B	22.9	+/- 38 %
01100_B	26.0	+/- 38 %
01101_B	29.0	+/- 38 %
01110_B	32.0	+/- 28 %
01111_B	35.8	+/- 28 %
10000_B	39.5	+/- 28 %
10001_B	43.1	+/- 28 %
10010_B	46.8	+/- 28 %
10011_B	50.8	+/- 28 %
10100_B	54.7	+/- 28 %
10101_B	58.6	+/- 28 %
10110_B	62.5	+/- 28 %
10111_B	66.6	+/- 28 %
11000_B	70.6	+/- 28 %
11001_B	74.6	+/- 28 %
11010_B	78.5	+/- 28 %
11011_B	82.8	+/- 28 %
11100_B	87.0	+/- 28 %
11101_B	91.0	+/- 28 %
11110_B	95.0	+/- 25 %
11111_B	100	+/- 25 %

1) $V_{GS} \geq V_{GS(OFF)1}$ （当 IDCHGx ≤ 14_D时），$V_{GS} \geq V_{GS(OFF)2}$ （当 IDCHGxFW ≥ 15_D时）

5.4 被动放电

GHx 与GND之间以及 GLx 与GND之间的电阻（R_{GGND}）可确保当 EN= 低电平或 V_{DD} <$V_{DDPOffR}$时，外部 MOSFET 处于关断状态。

正常模式下使用BD_PASS 位复位 (GENCTRL2) 时，若无故障导致栅极驱动器停用，这些下拉电阻将被关闭。MOSFET 通过放电电流 IHOLD 保持关闭状态。

在正常模式中，如果发生故障导致栅极驱动器停用（电荷泵欠压、VS 欠压和过压、热关断），或者在故障安全模式下， R_{GGND} 将被激活，与 BD_PASS 的设置无关。

栅极驱动器掉电

在正常模式下通过将BD_PASS设置为 1 **且**所有 HBxMODE[1:0]=00 或 11，栅极驱动器会被停用。VS 输入的消耗电流降至IS_BD_PASS 并且 R_{GGND} 被激活。

5.5 被动模式下的桥驱动器

桥驱动器处于被动模式：

- 在正常模式下，如果BD_PASS = 1 且所有 HBxMODE[1:0]=00_B 或 11_B。
- 处于休眠模式（EN = 低电平）。
- 如果 V_{DD} < VDD POffR。

所有MOSFET均处于无源放电状态（参见无源放电）：

- 在正常模式下
- 在睡眠模式下，只要 V_S > VSLEEP_SET
- 如果V_{DD} < VDD POffR，只要V_S > VSOV PASS OFF

请注意，在睡眠模式下，恢复后V_S降至VSLEEP_SET ，或者当V_{DD} < VDD POffR，LS1-LS4 在V_S > VSOV PASS OFF 时激活（过压制动）

5.6 栅极驱动器电气特性

与栅极驱动器相关的电气特性在V_{CP} >V_S + 8.5 V 时有效。

表 15 电气特性：栅极驱动器

如果VSOVTH = 0，则VS= 6.0 V 至 18 V；如果VSOVTH =1，则 VS= 6.0 V 至 28 V；VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C

V_{CP}> V_S+ 8.5 V，所有电压均相对于地。除 I_{GLx}和 I_{GHx}外 （除非另有说明），正向电流流入引脚。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Comparators							
SHx High Threshold	V_{SHH}	V_S - 2.5	–	V_S - 2.0	V		P_6.5.1
SHx Low Threshold	V_{SHL}	2	–	2.5	V	Referred to GND	P_6.5.2
SHx comparator delay	t_{SHx}	–	5	30	ns	1)	P_6.5.26
MOSFET Driver Output							
High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 0	V_{GH1}	10	–	12.2	V	V_S> 8 V C_{Load} = 10 nF I_{CP} = - 12 mA 2)	P_6.5.3
High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 0	V_{GH3}	7	–	–	V	V_S> 6.0 V C_{Load} = 10 nF I_{CP} = - 6 mA 2)	P_6.5.5
High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 1	V_{GH4}	10	–	12.2	V	1) V_S> 18 V, C_{Load} = 10 nF I_{CP} = - 12 mA 2)	P_6.5.6
Charge current	I_{CHG0}	0.4	1.0	1.6	mA	ICHG = 0_D C_{Load} = 10 nF V_{GS} ≤ VGS(ON)1	P_6.5.30
Charge current	I_{CHG6}	5.0	8.0	11.0	mA	ICHG = 6_D C_{Load} = 10 nF V_{GS} ≤ VGS(ON)1	P_6.5.31
Charge current	I_{CHG14}	21.6	30.0	38.4	mA	ICHG = 14_D C_{Load} = 10 nF V_{GS} ≤ VGS(ON)1	P_6.5.33
Charge current	I_{CHG30}	72	96	120	mA	ICHG = 30_D C_{Load} = 10 nF V_{GS} ≤ VGS(ON)2	P_6.5.35
Discharge current	I_{DCHG0}	-1.6	-1.0	-0.4	mA	IDCHG = 0_D C_{Load} = 10 nF V_{GS} ≥ VGS(OFF)1	P_6.5.36

（表格续下页.....）

表 15　　（续）电气特性：栅极驱动器

如果VSOVTH = 0，则VS= 6.0 V 至 18 V；如果VSOVTH =1，则 VS= 6.0 V 至 28 V；VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C

$V_{CP} > V_S + 8.5$ V，所有电压均相对于地。除 I_{GLx} 和 I_{GHx} 外 （除非另有说明），正向电流流入引脚。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Discharge current	I_{DCHG6}	-13.0	-9.4	-5.8	mA	IDCHG = 6_D C_{Load} = 10 nF $V_{GS} \geq$ VGS(OFF)1	P_6.5.37
Discharge current	I_{DCHG14}	-41.0	-32.0	-23.0	mA	IDCHG = 14_D C_{Load} = 10 nF $V_{GS} \geq$ VGS(OFF)1	P_6.5.39
Discharge current	I_{DCHG30}	-119	-95	-71	mA	IDCHG = 30_D C_{Load} = 10 nF $V_{GS} \geq$ VGS(OFF)2	P_6.5.41
Passive discharge resistance between GHx/GLx and GND	R_{GGND}	10	20	30	kΩ	1)	P_6.5.11
Resistor between SHx and GND	R_{SHGND}	10	20	30	kΩ	1)	P_6.5.12
Low RDSON mode	R_{ONCCP}	–	22	40	Ω	V_S = 13.5 V $V_{CP} = V_S$ + 14 V $I_{CHG} = I_{DCHG}$ = 31 (max)	P_6.5.13
Gate Drivers Dynamic Parameters							
External MOSFET gate-to-source voltage - ON	$V_{GS(ON)1}$	9	–	–	V	1) $V_S \geq$ 8V ICHGx ≤ 14_D	P_6.5.50
External MOSFET gate-to-source voltage - ON	$V_{GS(ON)2}$	7	–	–	V	1) $V_S \geq$ 8V ICHGx ≥ 15_D	P_6.5.51
External MOSFET gate-to-source voltage - OFF	$V_{GS(OFF)1}$	–	–	2	V	1) IDCHGx ≤ 14_D	P_6.5.52
External MOSFET gate-to-source voltage - OFF	$V_{GS(OFF)2}$	–	–	5	V	1) IDCHGx ≥ 15_D	P_6.5.53
PWM synchronization delay	t_{PWM_SYNCH}	50	–	150	ns	1)	P_6.5.46
Pre-charge time	t_{PCHG00}	100	125	150	ns	1) TPCHG = 00_B	P_6.5.18
Pre-charge time	t_{PCHG01}	200	250	300	ns	1) TPCHG = 01_B	P_6.5.19
Pre-charge time	t_{PCHG10}	400	500	600	ns	1) TPCHG = 10_B	P_6.5.20
Pre-charge time	t_{PCHG11}	800	1000	1200	ns	1) TPCHG = 11_B	P_6.5.21
Pre-discharge time	$t_{DPCHG00}$	100	125	150	ns	1) TDPCHG = 00_B	P_6.5.22
Pre-discharge time	$t_{DPCHG01}$	200	250	300	ns	1) TDPCHG = 01_B	P_6.5.23

（表格续下页……）

表 15　　（续）电气特性：栅极驱动器

如果VSOVTH = 0，则VS= 6.0 V 至 18 V；如果VSOVTH =1，则 VS= 6.0 V 至 28 V；VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C

$V_{CP} > V_S + 8.5$ V，所有电压均相对于地。除 I_{GLx} 和 I_{GHx} 外 （除非另有说明），正向电流流入引脚。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pre-discharge time	$t_{DPCHG01}$	400	500	600	ns	1) TDPCHG = 10_B	P_6.5.24
Pre-discharge time	$t_{DPCHG01}$	800	1000	1200	ns	1) TDPCHG = 11_B	P_6.5.25

1)　未经过生产测试，由设计指定。
2)　ICHGx[4:0] = 11111_B (典型值 100 mA)

6 保护和诊断

6.1 反极性保护

电荷泵（CP 引脚）的输出可用于为外部 n 沟道MOSFET供电，从而建立主动反极性保护。参见图50。

6.2 安全切换（可选）

电荷泵（CP 引脚）的输出可用于为可选的外部 n 沟道MOSFET供电，该MOSFET用作安全开关。例如，微控制器或安全逻辑可主动关闭安全开关，以断开MOSFET的供电，且此操作独立于TLE92108-231QX。参考图 50。

6.3 主动模式下桥驱动器漏源电压监控

当 EN =高且BD_PASS = 0（桥驱动器处于主动模式），电压比较器监测激活的 MOSFET，以保护高边 MOSFET 和低边 MOSFET 在导通状态期间分别防止对地和对电池短路。

如果检测到漏源过压，则相应的半桥被锁断。

如果 HBxD = 0， x =1..8 (VDS1 和VDS2)：如果 DH 和 VSHx 之间的电压差超过由VDS1 和VDS2 配置的阈值电压，则半桥 x 被锁断 （见表16 ）。

如果 HBxD = 1， x =1..8（见VDS1 和VDS2)：如果 CSIN1 和 VSHx 之间的电压差超过由VDS1 和 VDS2 配置的阈值电压，则半桥x 被锁断 （见表 16 ）。

通过监测 VSHx 和 SL 之间的电压差来检测低边MOSFET 与 VS 的短路（见表16 ）。

表 16　　漏源过压阈值，EN = 高， BD_PASS = 0

HBxVDSTH[1] [2:0]	Drain-Source overvoltage threshold for HSx and LSx[1] (typical)
000_B	150 mV
001_B	200 mV (default)
010_B	250 mV
011_B	300 mV
100_B	400 mV
101_B	500 mV
110_B	600 mV
111_B	2 V

1)　x = 1 … 8。

注意:*　*HBxVDSTH[2:0] = 111_B（2 V 阈值）专用于关闭状态下的诊断。强烈建议在完成关闭状态下的诊断程序后选择另一个漏源过压阈值，以避免 VS 和电荷泵产生额外消耗电流。

如果满足两个条件，器件将报告漏源过压错误：

- 在空白时间后
- 如果漏源电压监测超过配置阈值的持续时间长于配置的滤波时间（参见表 17 和 GENCTRL2 TFVDS 位）。

注：
- *在**消隐时间结束之前**发生短路，静态激活的MOSFET 是例外情况：MOSFET 在**消隐时间**+ t_{FVDS} 和**消隐时间**+ 2 x t_{FVDS} 之间关闭*
- *PWM 模式中的有源MOSFET 的例外情况：*
  - *对于低边MOSFET：当LS MOSFET在PWM导通时间结束时关断时，如果漏源电压高于漏源过压阈值，则无论触发时间如何，都可能检测到漏源过压。然后将漏源过压报告给受影响半桥的低边。*
  - *对于高边MOSFET：当HS MOSFET 在PWM导通时间结束时关断时，如果漏源电压高于漏源过压阈值，则无论滤波时间如何，都可能检测到漏源过压。然后漏源过压被报告给受影响半桥的**低边**。*

表 17　　漏源过压滤波时间

TFVDS[1:0]	Drain-Source overvoltage filter time (typical)
00_B	0.5 µs (default)
01_B	1 µs
10_B	2 µs
11_B	3 µs

如果漏源电压监控检测到短路：

- 受影响的半桥被锁定。
  - 放电电流根据ST_ICHG 的设置而定，就好像 MOSFET 之前被静态激活一样。
- 状态寄存器DSOV 中对应位置位。
- 全局状态寄存器中 VDSE 全局状态字节置位。

如果检测到其中一个 MOSFET 存在漏源过压，则状态寄存器DSOV 必须清除才能重新启用故障半桥。

6.4　　交叉电流保护和漏源过压空白时间

所有栅极驱动器都具有交叉电流保护时间和漏源过压空白时间。

交叉电流保护避免同一半桥的高边和低边 MOSFET 直通。

在空白时间内，漏源过压检测被禁用，以避免在MOSFET激活期间发生错误的故障检测。

注：

1. *仅当所有PWMx_EN 位均已复位（x = 1 … 3）时，交叉电流保护和空白时间的设置才可以通过微控制器更改。*
2. *更改半桥x (HBx) 导通状态(HBxMODE[1:0]=(0,1) 或(1,0)) 的漏源过压可能会导致HBx 上的VDS 过压检测错误。因此强烈建议在HBxMODE[1:0]=(0,0) 或(1,1) 时更改此阈值。*

6.4.1 交叉电流保护

通过控制寄存器 CCP_BLK1 ， 可以将四对交叉电流保护和空白时间（（tCCPx，tBLANKx），x = 1…4）映射到每个半桥。

有源 MOSFET和续流 MOSFET的交叉电流保护时间是独立设置的。

- 有源 MOSFET 的交叉电流保护时间由控制位 TCCPx_ACT（ CCP_BLK2_ACT 、 PWM_ICHGMAX_CCP_BLK3_ACT）和 CCP_BLK1 配置
- 续流 MOSFET 的交叉电流保护时间由控制位 TCCPx_FW（ CCP_BLK2_FW 、 PWM_ICHGMAX_CCP_BLK3_FW ）和CCP_BLK1配置

表 18 交叉电流保护时间

TCCPx_ACT[2:0], TCCPx_FW[2:0],x = 1…4	Cross-current protection time tCCPx_ACT/tCCPx_FW, x = 1…4 (typical)
000_B	375 ns
001_B	625 ns
010_B	1 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1) 当对半桥施加 16 µs 的交叉电流保护时间时，用于该半桥的最大驱动电流必须设置在 30 mA 以下，以避免桥驱动器过热。

6.4.2 桥驱动器激活模式下的漏源过压空白时间

可配置空白时间（参见表 19 ）漏源监控应用于MOSFET的导通时。在空白时间内，漏源过压错误被屏蔽。

续流 MOSFET 和有源 MOSFET的空白时间独立设置：

- 有源 MOSFET 的消隐时间由控制位 TBLANKx_ACT（ CCP_BLK2_ACT 、 PWM_ICHGMAX_CCP_BLK3_ACT ）和 CCP_BLK1 配置
- 续流 MOSFET 的空白时间由控制位 TBLANKx_FW（CCP_BLK2_FW、PWM_ICHGMAX_CCP_BLK3_FW ）和 CCP_BLK1配置

PWM 模式下的半桥

如果发电机模式检测被禁用（EN_GEN_CHECK = 0):

- PWM MOSFET的空白时间从 FW MOSFET的交叉电流保护时间 (tHBxCCP FW) 结束时开始。参见图 33。
- PWM MOSFET关闭 (tHBxCCP Active) 时，交叉电流保护时间结束后，FW MOSFET的空白时间开始。参见图 33。

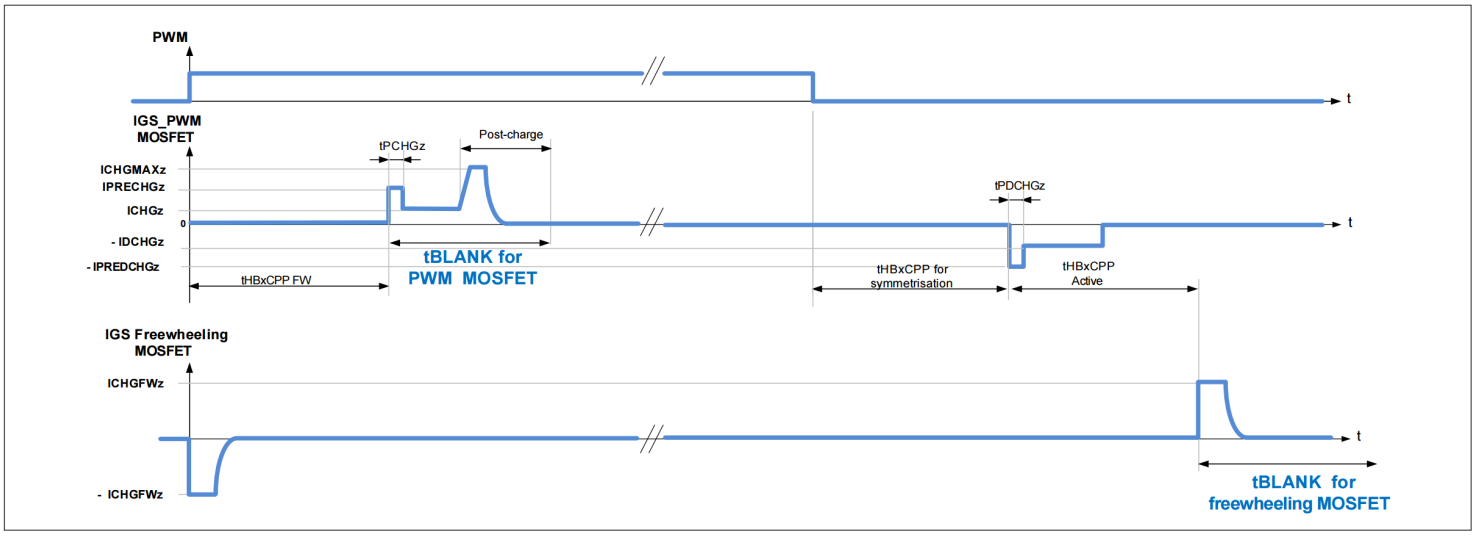


图 33　　PWM工作模式中半桥的空白时间，禁用发电机模式检测（EN_GEN_CHECK = 0）

如果检测到发电机模式是启用的（EN_GEN_CHECK = 1):

- 有源 MOSFET的空白时间从FW MOSFET的交叉电流保护时间（tHBxCCP FW）结束后开始。参见图 34 和图 35。
- FW MOSFET的空白时间在有源 MOSFET关闭时的交叉电流保护时间结束后开始（tHBxCCP Active）。参见图 34 和图 35 。

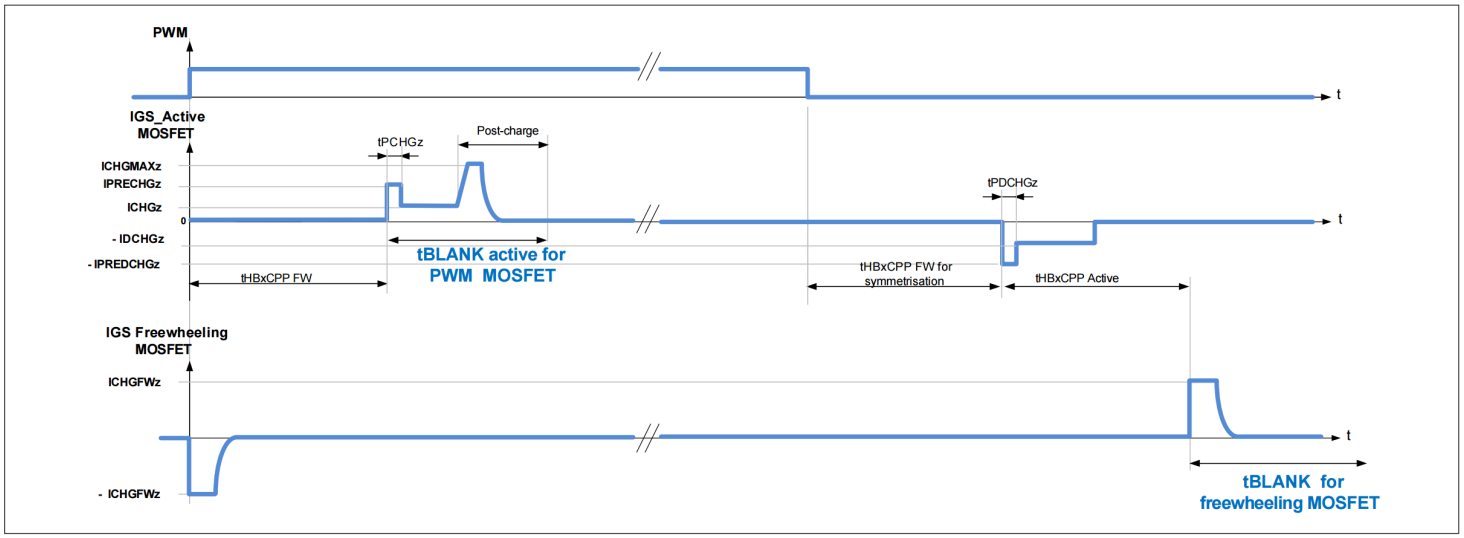


图 34　　PWM工作模式中半桥的空白时间，检测发电机模式启用的 (EN_GEN_CHECK = 1)，电机作为负载运行

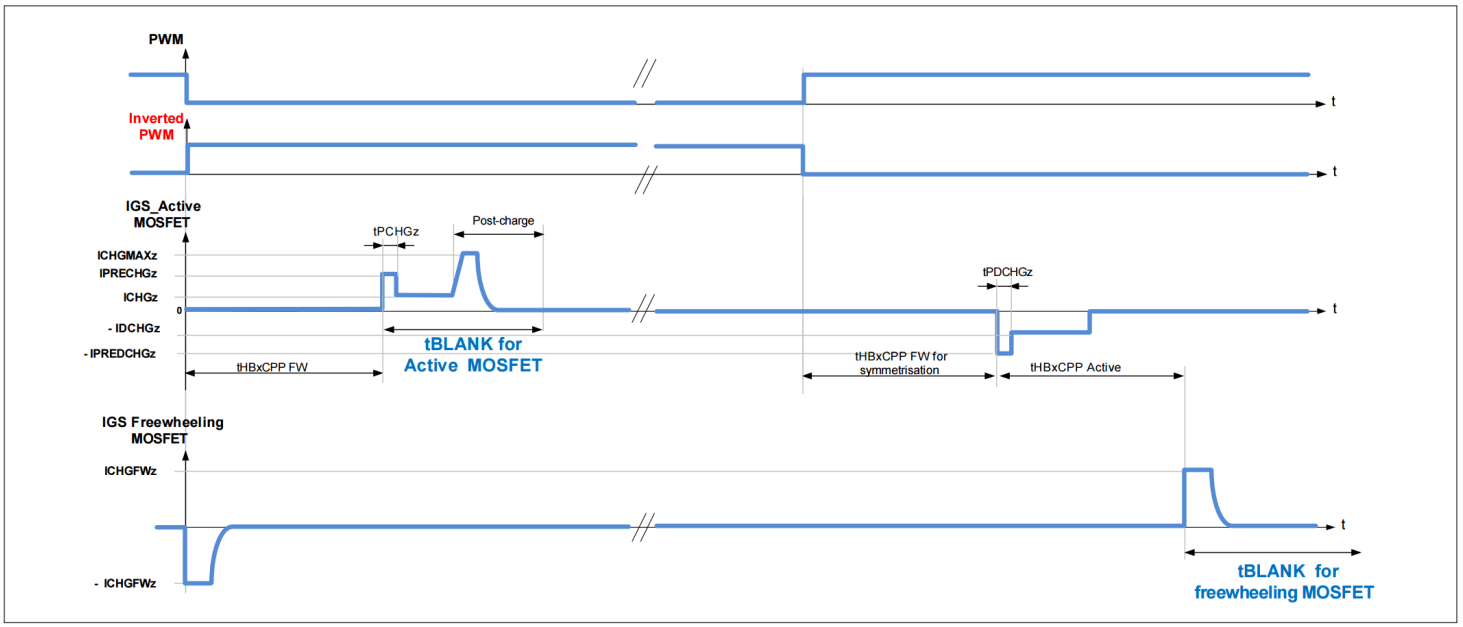


图 35　　PWM工作模式中半桥的空白时间，检测发电机模式启用的 (EN_GEN_CHECK = 1)，电机作为发电机运行

对于静态激活的半桥，空白时间开始于：

- 情况 1：主动交叉电流保护结束时（图 7），如果对侧的 MOSFET 之前已被激活。
- 情况 2： SPI 指令解码后立即导通 MOSFET，如果半桥处于高阻态（图8）。

空白时间可以使用以下控制寄存器进行配置：对于有源 MOSFET，可使用寄存器CCP_BLK2_ACT 和 PWM_ICHGMAX_CCP_BLK3_ACT；对于续流 MOSFET，可使用寄存器CCP_BLK2_FW 和 PWM_ICHGMAX_CCP_BLK3_FW。

表 19　　漏源过压空白时间

TBLANKx[2:0], x = 1...4	Drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000_B	625 ns
001_B	1 µs
010_B	1.25 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1)　当对半桥施加 16 µs 的消隐时间时，用于该半桥的最大驱动电流必须设置在 30 mA 以下，以避免桥驱动器过热。

注：　*消隐时间在MOSFET的每次激活时启动，包括从 VS 欠压、VS 过压恢复。*

6.4.3 交叉电流保护和空白时间的映射

根据表20，通过配置控制寄存器 CCP_BLK1，将四对中的一对交叉电流保护和消隐时间映射到每个半桥上。

表 20 tCCP 和 tBLANK 到半桥的映射

HBxCCPBLK[1:0], x =1..8	tCCP and tBLANK applied to HBx
00_B	(tCCP1,tBLANK1) are mapped to HBx[1)]
01_B	(tCCP2,tBLANK2) are mapped to HBx
10_B	(tCCP3,tBLANK3) are mapped to HBx
11_B	(tCCP4,tBLANK4) are mapped to HBx

1) 例如：(tHBxCCP，tHBxBLANK) = (tCCP1，tBLANK1)，x = 1 … 4。

6.5 断电状态诊断

为了支持断态诊断，当驱动器处于激活状态时（BD_PASS = 0），每个 MOSFET 的栅极驱动器在 SHx 引脚上提供上拉（450 µA 典型值）和下拉电流（1250 µA 典型值）。在这些条件下，上拉电流源是活跃的。

注意： ***只有当桥驱动器有效（BD_PASS =0）并且相应的半桥关闭（HBxMODE = 00b 或 11b）时，才可以进行断态诊断。***

每个栅极驱动器的下拉电流由控制位 HBxIDIAG (HBIDIAG 寄存器）激活。

在微控制器执行断态诊断程序期间，相关半桥的漏源过压阈值必须设置为 2 V 标称。参见表16。例程完成后，强烈建议将漏源过压阈值降低至较低值，以避免 VS 输入产生额外的消耗电流。

可以检测到以下故障：

- MOSFET对地短路。
- MOSFET对电池短路。
- 负载开路（断开的电机）。

当相应的半桥处于关断状态（HBxMODE[1:0] = 00 或 11）时，可通过状态位 HBxVOUT（寄存器 HBVOUT_PWMERR）读取输出电压 VOUTx（其中 x = 1 … 8）的状态。

注： *如果半桥x 未处于关闭状态（HBxMODE[1:0] = (0,1) 或(1,0)），则HBxVOUT = 0。*

请参阅 第 9 章应用信息，了解关于当检流电阻位于电机相中时断态诊断的相关内容。

6.6 温度监测

温度传感器集成在器件中。温度监控电路将测量的温度与警告阈值和关断阈值进行比较。

温度警告

如果温度传感器达到T_{jW}，则TW 置位（参见GENSTAT）。如果热警告条件消失，该位被锁存，并通过清除 GENSTAT 来复位。输出阶段仍然保持激活状态。参见图 36。

温度关断

如果温度传感器达到T_{jSD}，**则所有栅极驱动器都被锁定，电荷泵被停用**； SUPE位（电源错误位，参见全局状态字节），TSD (热关断位) 和 CPUV (电荷泵欠压) 置位 (参见GENSTAT)。所有输出保持停用状态，直到温度关断条件消失并且GENSTAT 已清除。参见图 36。
放电电流根据ST_ICHG 的设置而定，就好像 MOSFET 之前被静态激活一样。
为了恢复栅极驱动器的正常功能（在过温条件消失的情况下，或验证故障是否仍然存在），则微控制器应清除 GENSTAT 。

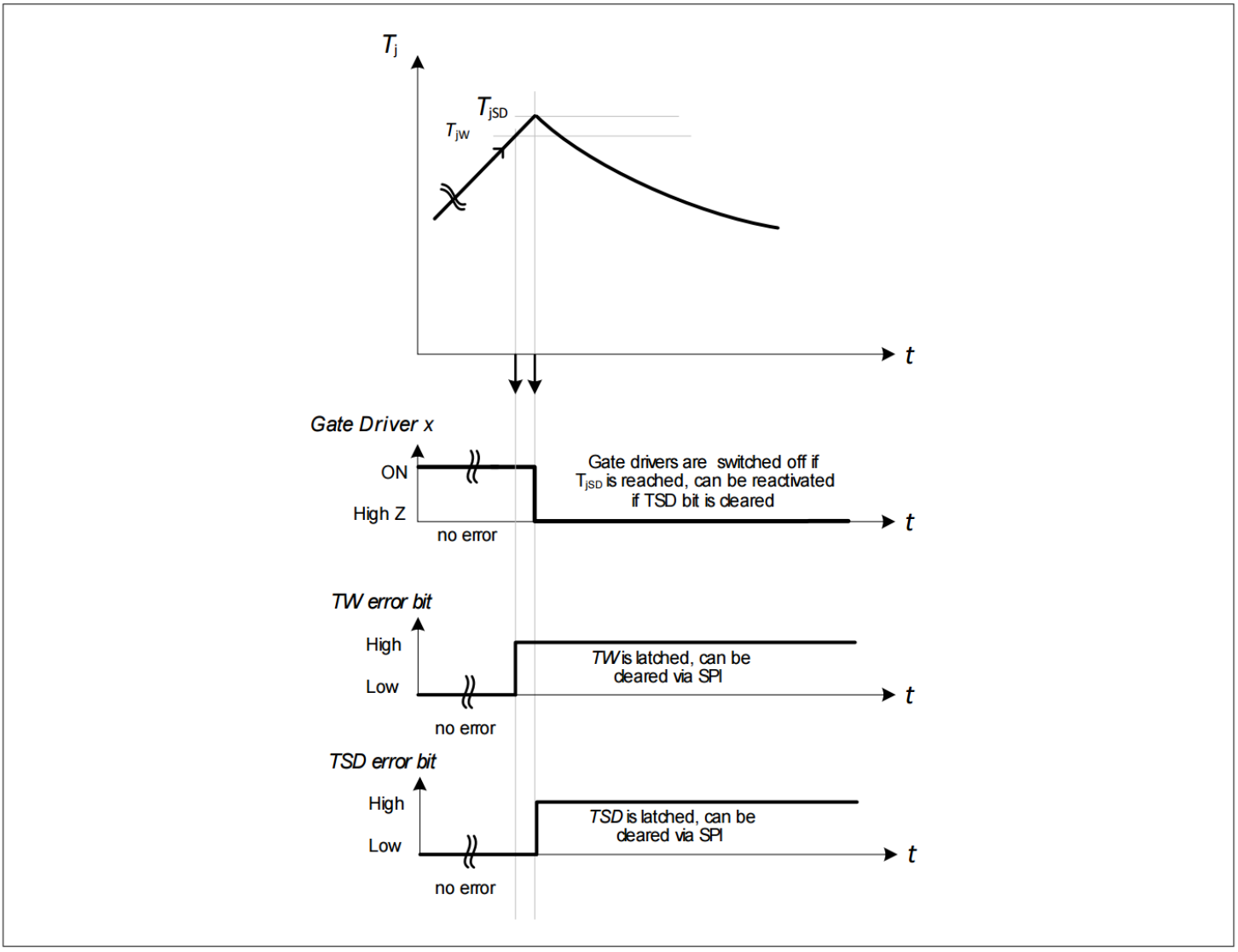


图 36　　过温行为

6.7 V_S 过压和欠压关断

电源轨V_S 和V_{DD} 均受到监控，以防电源波动。 V_S 电源会受到欠压和过压情况的监控，而 V_{DD} 电源则会受到欠压情况的监控。

6.7.1 V_S欠压

如果V_S降至$V_{SUV\,OFF}$以下，则所有外部 MOSFET 均被锁断，不过，只要 V_{DD}> $V_{DD\,POR}$，逻辑信息就会保持完整且不会被破坏。

SUPE（电源错误位，请参阅全局状态字节)、VSUV 和 CPUV 位（参见 GENSTAT ）被置位并被锁存。

VSUV位通过清除 GENSTAT 来复位，以重新启用 MOSFET。

如果满足以下条件，VSUV 复位：

- V_S>$V_{SUV\,ON}$（见图 37）。
- TLE92108-231QX 接收到 GENSTAT 的清除指令。

6.7.2 V_S 过压与主动模式下的桥驱动器

如果 V_S 超过关断电压（当 VSOVTH=0 时为 $V_{SOV\,OFF1}$，当 VSOVTH=1 时为 $V_{SOV\,OFF2}$），所有外部 MOSFET 均被锁定为关断状态，且电荷泵被停用。 SUPE位（参见全局状态字节）、VSOV 位（V_S过压位，参见 GENSTAT）和 CPUV 位将被置位并锁存。如果 V_S降至 $V_{SOV\,ON}$以下 ，则电荷泵将自动重新启用。必须将 VSOV 位复位，才能重新启用MOSFET。

如果满足以下条件，VSOV位得以复位：

- V_S < $V_{SOV\,ON}$ （见图 37）。
- TLE92108-231QX 接收到 GENSTAT 的清除指令。

放电电流根据ST_ICHG 的设置而定 ，就好像 MOSFET 之前被静态激活一样。

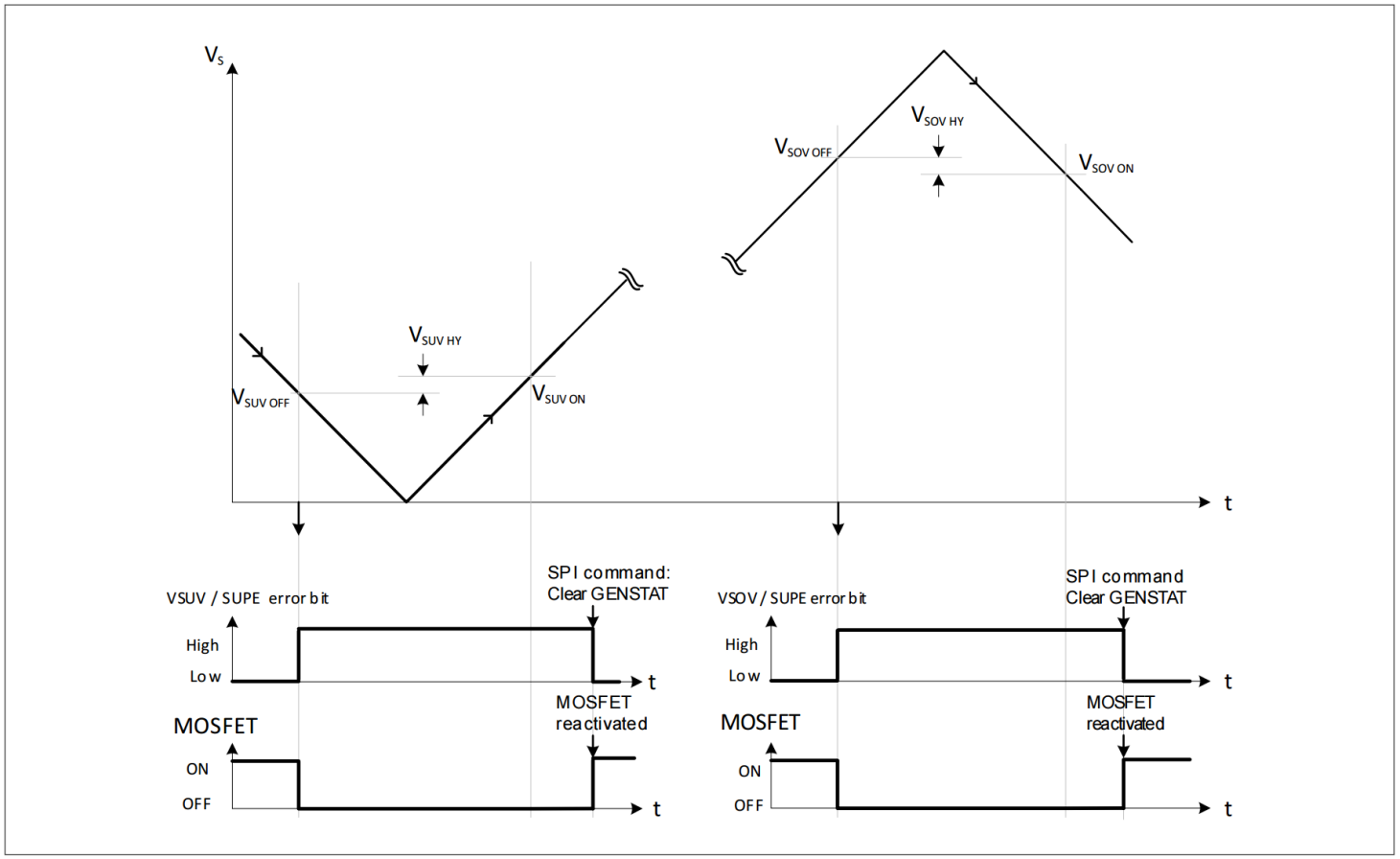


图 37　　V_S 过压和欠压条件下的输出行为

6.7.3　　V_{DD}欠压

如果V_{DD}逻辑电源降至低于欠压阈值$V_{DD\ POffR}$，则SPI接口将不再起作用。数字功能块将被复位，并且栅极驱动器被关闭。一旦V_{DD}电压高于欠压阈值$V_{DD\ POR}$，欠压复位即被释放。

6.7.4　　电荷泵欠压

监控电荷泵输出（VCP）的电压，以确保正确控制外部 MOSFET。

如果 VCP 低于配置的电荷泵欠压阈值：

- 外部 MOSFET 通过电流 ICHGSTx 主动放电持续时间为 tHBxCCP，然后栅极驱动器关闭。
- CPUV（GENSTAT）、SUPE 位（全局状态字节）以及全局错误标志（第 7.2 章）被设置并锁存。

如果 GENSTAT 被清除，且 VCP> VCPUV，则 CPUV 和 SUPE 位被复位，且恢复正常运行。[10)]

10　从 VS 欠压/过压和热关断恢复时，CPUV 位只能在 64 µs 后清除

注：

1. *上电复位后，当连接到VCP 的电容器的充电时间超过tCPUV时，会报告电荷泵欠压事件。*
2. *在一次VS 欠压、一次VS 过压和一次热关断后，电荷泵被停用，导致电荷泵欠压。因此CPUV 和SUPE 位与VSOV 、 VSUV 或TSD位同时置位（参见GENSTAT ）。*

6.8 PWM模式下MOSFET的开关参数

有源 MOSFET 的有效开关参数（ EN_GEN_CHECK =1）或 PWM MOSFET （ EN_GEN_CHECK =0) 可以从专用状态寄存器中读取：

- 导通延迟和关断延迟（记为 tDON 和 tDOFF）由状态寄存器 EFF_TDON_OFF1、 EFF_TDON_OFF2 、EFF_TDON_OFF3报告。
- 上升和下降时间（记为 tRISE 和 tFALL）由状态寄存器 TRISE_FALL1 、 TRISE_FALL2 、 TRISE_FALL3 报告。

参考第 5.3 章 tDON、tDOFF、tRISE 和 tFALL 的定义。

如果在电机模式下，tHBxBLANK active 已经过去，则在测量有效 tDON 之前，器件会报告与 tHBxBLANK active 对应的有效 tDON。

如果 tHBxCCP active 已过，同时EN_GEN_CHECK =0[11]在测量有效 tDOFF 之前，器件报告与 tHBxCCP active 对应的有效 tDOFF。

6.9 超时看门狗

集成的超时看门狗监测微控制器的通信完整性。看门狗周期可由WDPER位设置（参见GENCTRL1 ）。
上电复位后，看门狗定时器启动，微控制器必须翻转控制寄存器 GENCTRL1 中的 WDTRIG 位的逻辑值。 WDTRIG 的默认值为 0。看门狗正确触发会立即重置看门狗计数并开始下一个循环。

如果出现以下情况，器件会报告看门狗故障：

- 在看门狗周期内未处理看门狗触发位（看门狗超时事件）。参见图 38 [12] 。
- 微控制器写入相同的值进入WDTRIG 。换句话说，如果WDTRIG 值为 0 且微控制器重写WDTRIG 为 0，或 WDTRIG 为 1，则微控制器重写WDTRIG 为1，则报看门狗错误。

如果检测到看门狗故障，则 FS 位（参见全局状态字节）将被置位并被锁定，并且控制寄存器将被冻结为其默认值。因此，所有外部 MOSFET 均被主动关闭。

为了恢复正常工作，微控制器必须： 1. 清除GENSTAT 。2. 在看门狗周期内将WDTRIG 置位为 1。3. 在看门狗周期内将WDTRIG 置位为0[13] 。

看门狗周期可通过SPI配置到TWDPER1 或 TWDPER2 （参见 WDPER）。

监控看门狗定时器

状态位WDMON [1:0] 报告看门狗定时器与看门狗周期的相对位置。参见表 21 和图 38。这允许检测与看门狗计时器相关的潜在故障：微控制器可以验证看门狗计时器正在运行。

11 如果 EN_GEN_CHECK = 1 并且 tDOFF 在 tHBxCCP 结束之前无法测量，则器件认为电机作为发电机运行
12 当 WD 周期配置为 50 ms 时，WDMON[1:0]（GENSTAT）在 WD 超时后不会复位
13 必须严格遵循退出时序才能离开故障安全模式。如果添加了不属于该序列的 SPI 帧（包括读取命令），则器件保持故障安全模式，并且微控制器必须重新启动整个时序才能进入正常模式。

表 21 监控看门狗定时器

WDMON[1:0]	Position of the watchdog timer
00_B	watchdog timer is between [0%, 25%[of the watchdog period
01_B	watchdog timer is between [25%, 50%[of the watchdog period
10_B	watchdog timer is between [50%, 75%[of the watchdog period
11_B	watchdog timer is between [75%, 100%[of the watchdog period

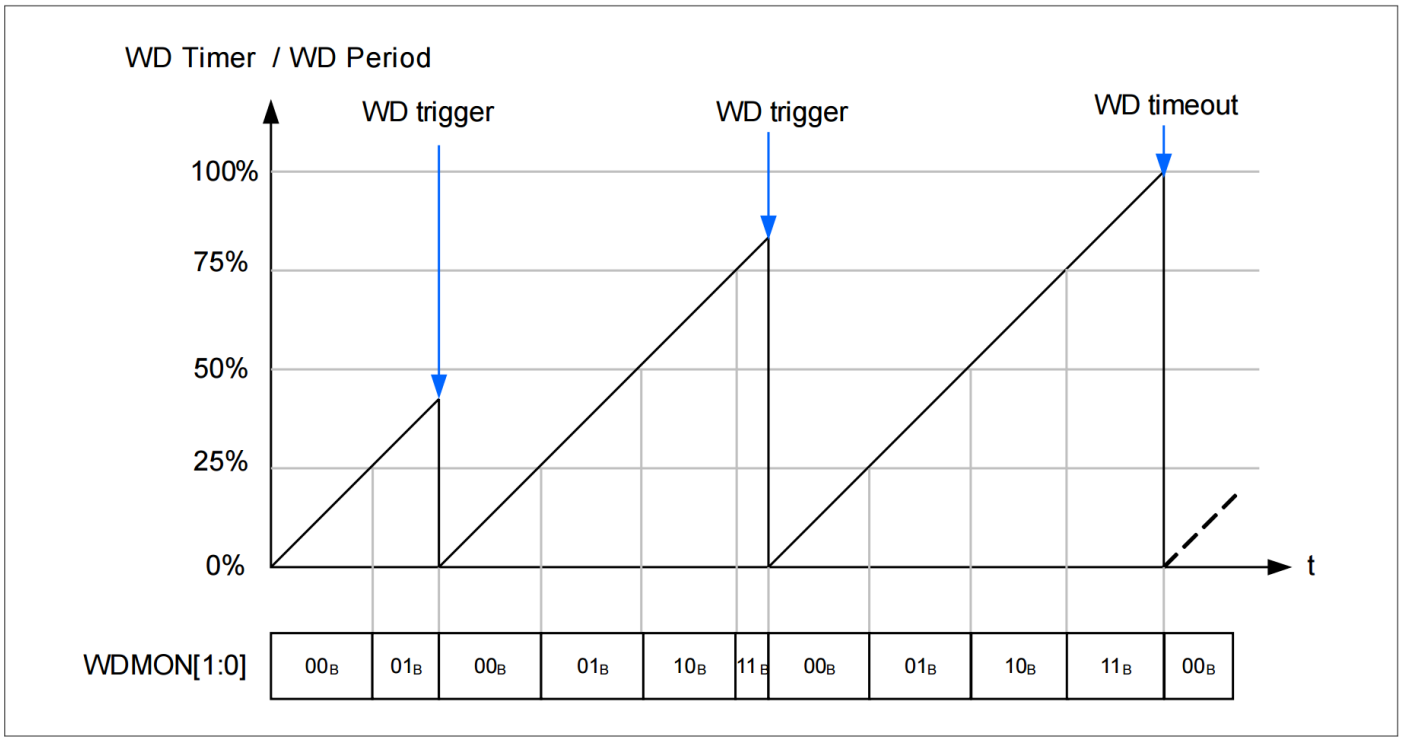


图 38 看门狗监测和看门狗超时示例 禁用看门狗

默认情况下，看门狗是启用的。

仅当发送以下 SPI 序列时才会禁用它：

- 第一帧：设置UNLOCK 位为“1”(GENCTRL1)。注释： UNLOCK 在下一帧结束时自动复位为“0”。
- 下一帧：设置WDDIS 位为“1”（GENCTRL2）。

通过将 WDDIS 设置为“0”，可以直接重新启用看门狗。

6.10 电流检测放大器

两个电流检测放大器可以监测电机电流。差分输入级测量外部检流电阻的压降。

输入共模范围允许在高边、低边配置或电机相中进行电流检测。

6.10.1 单向和双向模式

电流检测放大器 (CSA) 可以用作单向或双向 CSA。参见CSD1 和CSD2。

单向操作 CSDx = 0

在单向操作中，CSAx（x = 1 或 2）经过优化，用于在 VCSIPx≥VCSINx 时测量流过外部检流电阻的电流。

VCSOx = $V_{REF\ Unidir}$ + (VCSIPx - VCSINx + VOS) x $G_{DIFF,}$ 前提是 VCSOx 在线性范围内[14) 15)]。

双向操作 CSDx = 1

在双向操作中，CSAx（x = 1 或 2）测量两个方向上流过外部检流电阻的电流：VCSIPx ≥ VCSINx 或 VCSIPx ≤ VCSINx。

输出 CSOx 工作在半量程范围：VCSOx = $V_{REF\ Bidir}$ + (VCSIPx - VCSINx + VOS) xG_{DIFF}（前提是 VCSOx 在线性范围内[15)]。

当电流检测放大器停用时（VS 欠压、VS 过压、CP 欠压或过温，或 CSAx_OFF = 1），CSOx 被拉低电平（接地至 150 mV 之间）

6.10.2 增益配置

电流检测放大器的增益可通过配置位CSAGx位进行配置。参见表 22 和 GENCTRL1。

表 22 电流检测放大器增益的配置

CSAGx[1:0]	Typical current sense amplifier gain G_{DIFF}
00_B	10 V/V
01_B	20 V/V
10_B	40 V/V
11_B	80 V/V

6.10.3 高边和低边设置

在指定的共模范围内， CSA既可以用于高边配置，也可以用于低边配置。

控制位 CSA1L 和 CSA2L (HBIDIAG) 通过通知器件有关CSA输入的共模电压来优化 VDD 消耗电流：

- 如果检流电阻处于低边配置（即连接到接地点或连接到激活的低边的输出），则 CSAxL 必须设置为 0。
- 如果检流电阻处于高边配置（即连接到 VS 或连接到激活的高边输出），则 CSAxL 必须设置为 1。

注：

1. *如果检流电阻处于高边配置，而其 CSAxL 位设置为 0，则无法确保 CSA 输出的正确信息。*
2. *检流电阻可能处于低边配置，而其 CSAxL 位设置为 1。此时，来自 VDD 的消耗电流高于 CSAxL 设置为 0 时的消耗电流。*

6.10.4 过流检测

CSOx 上的比较器检测过流情况。过流阈值可通过 OCTHx 位进行配置。关于单向操作，参见表 23；关于双向操作，参见表 24。

14 当 0.5 V ≤ VCSOx ≤ VDD - 0.5 V 时有效。

15 VCSOx 钳位在 VDD 和 GND 之间。

表 23　　单向模式下的过流检测阈值（CSDx = 0）

OCTHx[1:0]	Typical Overcurrent Detection Threshold
00_B	$V_{CSOx} > V_{DD/2}$
01_B	$V_{CSOx} > V_{DD/2} + V_{DD}/10$
10_B	$V_{CSOx} > V_{DD/2} + 2 \times V_{DD}/10$
11_B	$V_{CSOx} > V_{DD/2} + 3 \times V_{DD}/10$

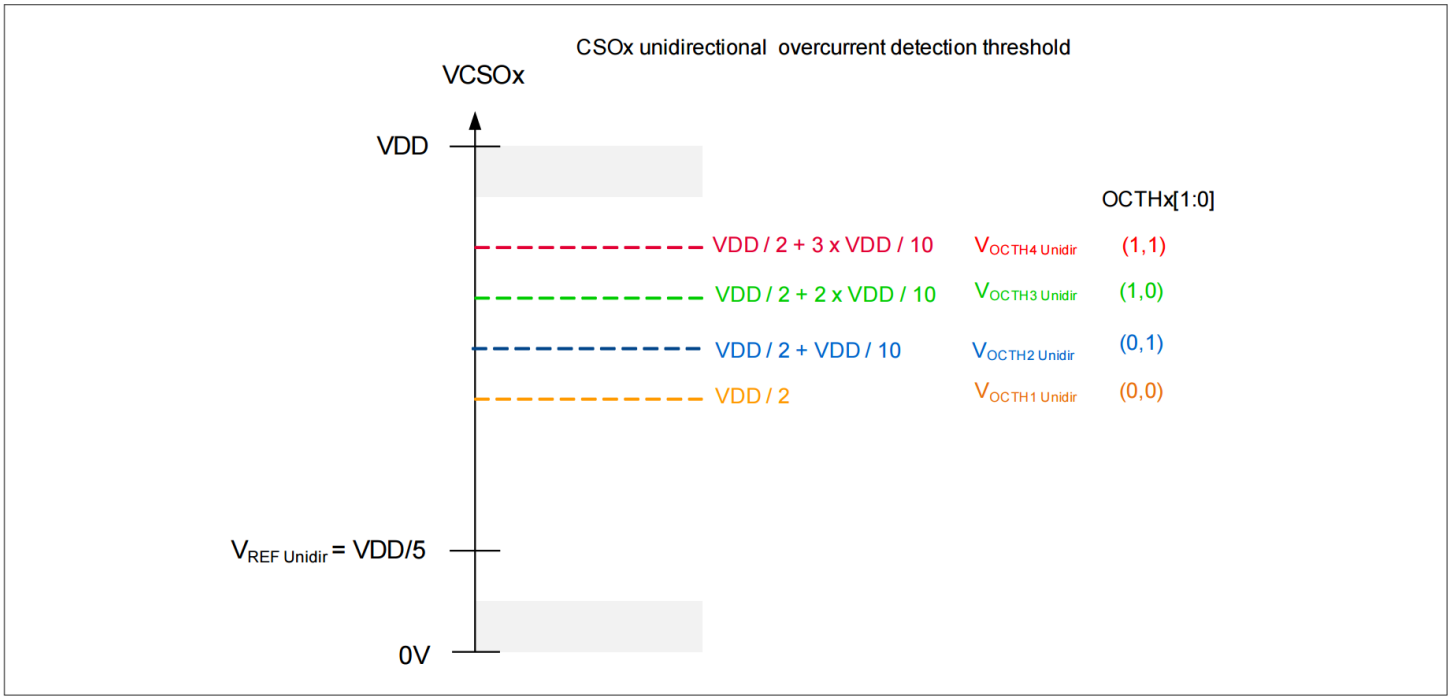


图 39　　单向运行时的过流检测阈值（CSDx = 0）

表 24　　双向运行时的过流检测阈值（CSDx = 1）

OCTHx[1:0]	Typical Overcurrent Detection Threshold
00_B	$V_{CSOx} > V_{DD}/2 + 2 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 2 \times V_{DD}/20$
01_B	$V_{CSOx} > V_{DD}/2 + 4 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 4 \times V_{DD}/20$
10_B	$V_{CSOx} > V_{DD}/2 + 5 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 5 \times V_{DD}/20$
11_B	$V_{CSOx} > V_{DD}/2 + 6 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 6 \times V_{DD}/20$

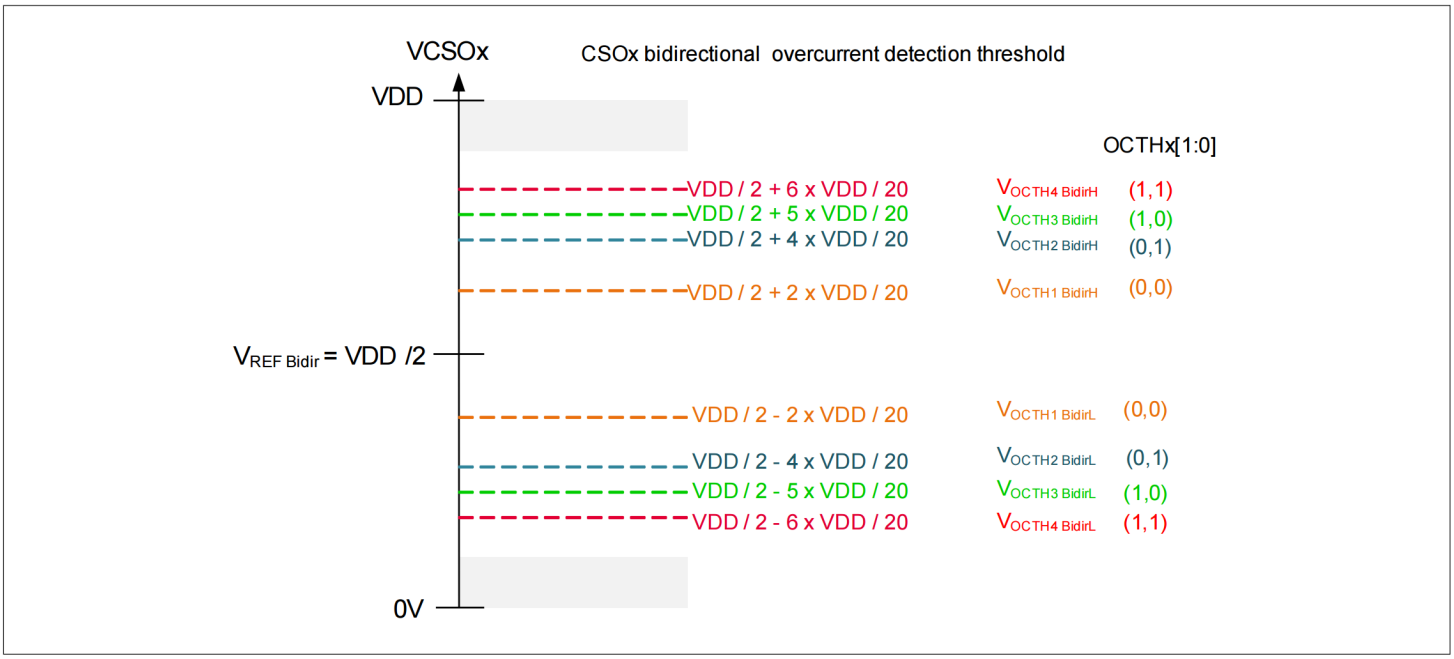


图 40　　双向模式下的过流检测阈值 (CSDx = 1)

当检测到过流条件时，可以对器件行为进行编程：

- OCEN 位 = 0（参见 GENCTRL1）：器件仅报告过流事件（GENSTAT 中的 OC、OC1 或 OC2，且全局错误标志已设置），而栅极驱动器的状态保持不变
  - 如果过流条件在超过t_{FOC}时间内不存在，则过流状态位将由器件自动清除。
- OCEN 位 = 1（参见GENCTRL1）：器件报告过流事件（GENSTAT 中的 OC、OC1 或 OC2以及全局错误标志置位）并以静态放电电流关闭所有 MOSFET。
  - 可以通过清除 GENSTAT 重新激活 MOSFET 或者通过重置 OCEN 位。
  - 仅当过流条件不再存在并且微控制器清除GENSTAT时，过流状态位才会复位。

过流滤波时间可通过控制位 OCxFILT（参见 HBIDIAG）配置（参见 t_{FOC}）。

t_{FOC} 是指电流检测放大器的输出。过流滤波时间不考虑 CSO 建立时间（最大 2 µs，t_{SET}）和模拟传输延迟（< 1 µs）。

6.10.5　　CSO 输出电容器

直接连接到 CSOx (CCSOx) 的电容器必须在 10 pF 和 400 pF 之间（请参阅第 9 章）。

控制位 CCSO（请参阅 PWM_IDCHG_ACT、PWM_PDCHG_INIT）针对 CCSOx < 100 pF 或 CCSOx > 100 pF 优化 VDD 电流消耗。

6.11 电气特性：保护和诊断

与电流检测放大器相关的指定漏源监测阈值、过流阈值和电气特性适用于V_{CP}>V_S+ 8 V

表 25 电气特性：

如果 VSOVTH = 0，则VS= 6.0 V 至18 V； 如果VSOVTH =1，则VS= 6.0V 至28V； VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C
V_{CP} > V_S + 8 V
所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Watchdog							
Watchdog period 1	T_{WDPER1}	40	50	60	ms	1) WDPER = 0	P_7.11.52
Watchdog period 2	T_{WDPER2}	160	200	240	ms	1) WDPER = 1	P_7.11.53
Off-state Open load diagnosis							
Pull-up diagnosis current	I_{PUDiag}	-630	-450	-270	µA	1)	P_7.11.1
Pull-down diagnosis current	I_{PDDiag}	900	1250	1600	µA	1)	P_7.11.2
Diagnosis current ratio	I_{Diag_ratio}	2.5	3.0	–		Ratio I_{PDDiag} / I_{PUDiag}	P_7.11.77
Drain source monitoring threshold							
Drain-source monitoring thresholds	$V_{VDSMONTH0}$	0.12	0.15	0.18	V	HBxVDSTH[2:0] = 000_B	P_7.11.3
Drain-source monitoring thresholds	$V_{VDSMONTH1}$	0.16	0.20	0.24	V	HBxVDSTH[2:0] = 001_B	P_7.11.4
Drain-source monitoring thresholds	$V_{VDSMONTH2}$	0.20	0.25	0.30	V	HBxVDSTH[2:0] = 010_B	P_7.11.5
Drain-source monitoring thresholds	$V_{VDSMONTH3}$	0.24	0.30	0.36	V	HBxVDSTH[2:0] = 011_B	P_7.11.6
Drain-source monitoring thresholds	$V_{VDSMONTH4}$	0.32	0.40	0.48	V	HBxVDSTH[2:0] = 100_B	P_7.11.7
Drain-source monitoring thresholds	$V_{VDSMONTH5}$	0.40	0.50	0.62	V	HBxVDSTH[2:0] = 101_B	P_7.11.8
Drain-source monitoring thresholds	$V_{VDSMONTH6}$	0.48	0.60	0.72	V	HBxVDSTH[2:0] = 110_B	P_7.11.9
Drain-source monitoring thresholds	$V_{VDSMONTH7}$	1.6	2.0	2.4	V	HBxVDSTH[2:0] = 111_B	P_7.11.54
Drain-source monitoring blank time							
DS monitoring blank time	t_{DSMON_BLK0}	500	625	850	ns	TBLANKx[2:0] = 000_B 1)	P_7.11.10
DS monitoring blank time	t_{DSMON_BLK1}	0.8	1	1.2	µs	TBLANKx[2:0] = 001_B 1)	P_7.11.11

（表格续下页……）

表 25　　（续）电气特性：

如果 VSOVTH = 0，则VS= 6.0 V 至18 V； 如果VSOVTH =1，则VS= 6.0V 至28V； VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C
$V_{CP} > V_S + 8$ V
所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
DS monitoring blank time	t_{DSMON_BLK2}	1	1.25	1.5	µs	TBLANKx[2:0] = 010_B 1)	P_7.11.12
DS monitoring blank time	t_{DSMON_BLK3}	1.2	1.5	1.8	µs	TBLANKx[2:0] = 011_B 1)	P_7.11.13
DS monitoring blank time	t_{DSMON_BLK4}	1.6	2	2.4	µs	TBLANKx[2:0] = 100_B 1)	P_7.11.57
DS monitoring blank time	t_{DSMON_BLK5}	2.4	3	3.6	µs	TBLANKx[2:0] = 101_B 1)	P_7.11.58
DS monitoring blank time	t_{DSMON_BLK6}	3.2	4	4.8	µs	TBLANKx[2:0] = 110_B 1)	P_7.11.59
DS monitoring blank time	t_{DSMON_BLK7}	12.8	16	19.2	µs	TBLANKx[2:0] = 111_B 1)	P_7.11.60
Drain-source monitoring filter time							
DS monitoring filter time	t_{DSMON_FILT0}	0.4	0.5	0.85	µs	TFVDS[1:0] = 00_B 1)	P_7.11.14
DS monitoring filter time	t_{DSMON_FILT1}	0.8	1	1.4	µs	TFVDS[1:0] = 01_B 1)	P_7.11.15
DS monitoring filter time	t_{DSMON_FILT2}	1.6	2	2.4	µs	TFVDS[1:0] = 10_B 1)	P_7.11.16
DS monitoring filter time	t_{DSMON_FILT3}	2.4	3	3.6	µs	TFVDS[1:0] = 11_B 1)	P_7.11.17
Cross-current protection time							
Cross current protection time	$t_{HBxCCP0}$	300	375	450	ns	THBxCCP[2:0] = 000_B 1)	P_7.11.18
Cross current protection time	$t_{HBxCCP1}$	500	625	750	ns	THBxCCP[2:0] = 001_B 1)	P_7.11.19
Cross current protection time	$t_{HBxCCP2}$	0.8	1	1.2	µs	THBxCCP[2:0] = 010_B 1)	P_7.11.20
Cross current protection time	$t_{HBxCCP3}$	1.2	1.5	1.8	µs	THBxCCP[2:0] = 011_B 1)	P_7.11.21
Cross current protection time	$t_{HBxCCP4}$	1.6	2	2.4	µs	THBxCCP[2:0] = 100_B 1)	P_7.11.22
Cross current protection time	$t_{HBxCCP5}$	2.4	3	3.6	µs	THBxCCP[2:0] = 101_B 1)	P_7.11.23
Cross current protection time	$t_{HBxCCP6}$	3.2	4	4.8	µs	THBxCCP[2:0] = 110_B 1)	P_7.11.24
Cross current protection time	$t_{HBxCCP7}$	12.8	16	19.2	µs	THBxCCP[2:0] = 111_B 1)	P_7.11.25

(表格续下页……)

表 25　　（续）电气特性：

如果 VSOVTH = 0，则VS= 6.0 V 至18 V； 如果VSOVTH =1，则VS= 6.0V 至28V； VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C
$V_{CP} > V_S + 8$ V
所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Passive V_S overvoltage	$V_{SOV\ PASS\ OFF}$	28	31.5	35	V	V_S increasing	P_7.11.66
Current sense amplifier							
Operating common mode input voltage range referred to GND (CSIPx - GND) or (CSINx - GND)	V_{CM}	-2.0	–	28	V		P_7.11.26
Common Mode Rejection Ratio	CMRR	69 75 81 81	– – – –	– – – –	dB	CSAG = (0,0) CSAG = (0,1) CSAG = (1,0) CSAG = (1,1) DC to 50 kHz V_{CM} = -2 … 28 V 1) $V_{CSIPx} = V_{CSINx}$	P_7.11.27
Settling time to 98%	t_{SET}	–	1500	2000	ns	1)	P_7.11.28
Settling time to 98% after gain change	t_{SET_GAIN}	–	–	5000	ns	1) After gain change from CSN rising edge	P_7.11.65
Input Offset voltage	V_{OS}	-1.5	0	1.5	mV		P_7.11.29
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF10}	9.9	10	10.1	V/V	CSAG = (0,0)	P_7.11.30
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF20}	19.8	20	20.2	V/V	CSAG = (0,1)	P_7.11.31
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF40}	39.6	40	40.4	V/V	CSAG = (1,0)	P_7.11.32
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF80}	79.2	80	80.8	V/V	CSAG = (1,1)	P_7.11.33
Gain drift	G_{DRIFT}	-0.5	–	0.5	%	1) Gain drift after calibration	P_7.11.34
CSOx single ended output voltage range (linear range)	V_{CSOx}	0.5	–	V_{DD} - 0.5	V	1)	P_7.11.35
Reference voltage for unidirectional CSAx	$V_{REF\ Unidir}$	-1%	V_{DD} /5	+1%	V	CSDx = 0 $V_{CSIPx} = V_{CSINx}$	P_7.11.36
Reference voltage for bidirectional CSAx	$V_{REF\ Bidir}$	-1%	V_{DD} /2	+1%	V	CSDx = 1 $V_{CSIPx} = V_{CSINx}$	P_7.11.37

（表格续下页……）

表 25　　（续）电气特性：

如果 VSOVTH = 0，则VS= 6.0 V 至18 V； 如果VSOVTH =1，则VS= 6.0V 至28V； VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C
$V_{CP} > V_S + 8$ V
所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overcurrent detection							
Overcurrent filter time	t_{FOC}	4 7 40 85	6 10 50 100	8 13 60 115	µs	OCxFILT = 00_B OCxFILT = 01_B OCxFILT = 10_B OCxFILT = 11_B *1) 2)*	P_7.11.38
OC threshold, unidirectional	$V_{OCTH1\ Unidir}$	-4%	V_{DD}/2	+4%	V	CSDx = 0, OCTH[1:0]= 00_B	P_7.11.39
OC threshold, unidirectional	$V_{OCTH2\ Unidir}$	-4%	V_{DD}/2 + V_{DD}/10	+4%	V	CSDx = 0, OCTH[1:0]= 01_B	P_7.11.40
OC threshold, unidirectional	$V_{OCTH3\ Unidir}$	-4%	V_{DD}/2 + 2x V_{DD}/10	+4%	V	CSDx = 0, OCTH[1:0]= 10_B	P_7.11.41
OC threshold, unidirectional	$V_{OCTH4\ Unidir}$	-4%	V_{DD}/2 + 3x V_{DD}/10	+4%	V	CSDx = 0, OCTH[1:0]= 11_B	P_7.11.42
High OC threshold, bidirectional	$V_{OCTH1\ BidirH}$	-4%	V_{DD}/2 + 2x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 00_B	P_7.11.43
High OC threshold, bidirectional	$V_{OCTH2\ BidirH}$	-4%	V_{DD}/2 + 4x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 01_B	P_7.11.44
High OC threshold, bidirectional	$V_{OCTH3\ BidirH}$	-4%	V_{DD}/2 + 5x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 10_B	P_7.11.45
High OC threshold, bidirectional	$V_{OCTH4\ BidirH}$	-4%	V_{DD}/2 + 6x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 11_B	P_7.11.46
Low OC threshold, bidirectional	$V_{OCTH1\ BidirL}$	-4%	V_{DD}/2 - 2x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 00_B	P_7.11.61
Low OC threshold, bidirectional	$V_{OCTH2\ BidirL}$	-4%	V_{DD}/2 - 4x V_{DD}/20	+4%	V	CSDx = 1, OCTH[1:0]= 01_B	P_7.11.62

（表格续下页.....）

表 25　　（续）电气特性：

如果 VSOVTH = 0，则VS= 6.0 V 至18 V； 如果VSOVTH =1，则VS= 6.0V 至28V； VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C
$V_{CP} > V_S + 8$ V
所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Low OC threshold, bidirectional	$V_{OCTH3\ BidirL}$	-4%	$V_{DD}/2$ - 5x $V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0]= 10_B	P_7.11.63
Low OC threshold, bidirectional	$V_{OCTH4\ BidirL}$	-4%	$V_{DD}/2$ - 6x $V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0]= 11_B	P_7.11.64
Thermal warning and shutdown							
Thermal warning junction temperature	T_{jW}	120	140	160	°C	See Figure 36 1)	P_7.11.48
Thermal shutdown junction temperature	T_{jSD}	160	180	200	°C	See Figure 36 1)	P_7.11.49
Thermal shutdown hysteresis	T_{jHYS}	–	10	–	°C	1)	P_7.11.50
Ratio of T_{jSD} to T_{jW}	T_{jSD}/T_{jW}	–	1.20	–	–	1)	P_7.11.51
Thermal warning filter time	t_{jW_FILT}	7	10	13	µs	1)	P_7.11.55
Thermal shutdown filter time	t_{jSD_FILT}	7	10	13	µs	1)	P_7.11.56

1)　未经过生产测试，由设计指定。

2)　t_{FOC} 是指电流检测放大器的输出。过流滤波时间不考虑 CSO 建立时间（最大 2 µs， t_{SET} ）和模拟传输延迟（< 1 µs）。

7 串行外设接口 (SPI)

24 位串行外设接口 (SPI) 可实现微控制器和 TLE92108-231QX 之间的通信。它允许配置和控制器件，并读取用于诊断目的的状态寄存器。MOSFET 驱动 IC作为SPI从机，而微控制器作为SPI主机。

该接口具有一个串行数据输入引脚 (SDI)，用于将数据传输到器件；一个串行数据输出引脚 (SDO)，用于从器件读回数据；以及一个串行时钟引脚 (SCLK)，用于将数据输入和输出器件。芯片选择引脚 (CSN) 启用或禁用串行接口。

SPI 帧从 CSN 的下降沿开始。在 CSN 的下降沿期间，SCLK 必须为低电平（时钟极性 CPOL = 0）。SDI 上接收的数据在 SCLK 的下降沿移入。SDO 发送的数据在 SCLK 的上升沿移出（时钟相位 CPHA = 1）。参见图 42。

最高有效位（MSB，位23）先移入/移出。

写入和清除指令在CSN 的上升沿执行。

SPI 协议支持独立从机选择和菊花链配置。

7.1 具有独立从机选择的 SPI 协议

通过单独从机选择，微控制器可以单独控制每个SPI从机的 CSN 引脚（图 41）。

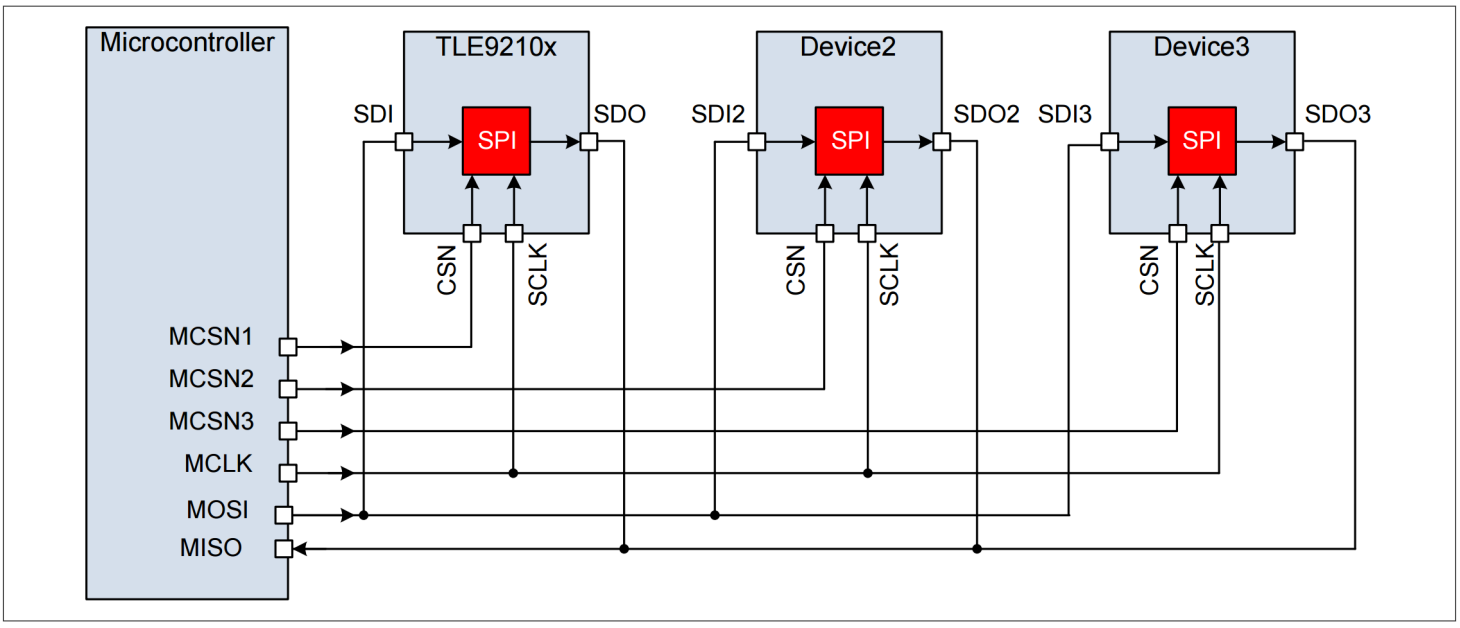


图 41 三个从机器件的单独从机选择

一个SPI通讯由 24 位帧组成（图 42):

- SDI 接收一个地址字节，后跟两个数据字节。
- SDO 传输全局错误标志和全局状态字节，然后传输两个响应字节。

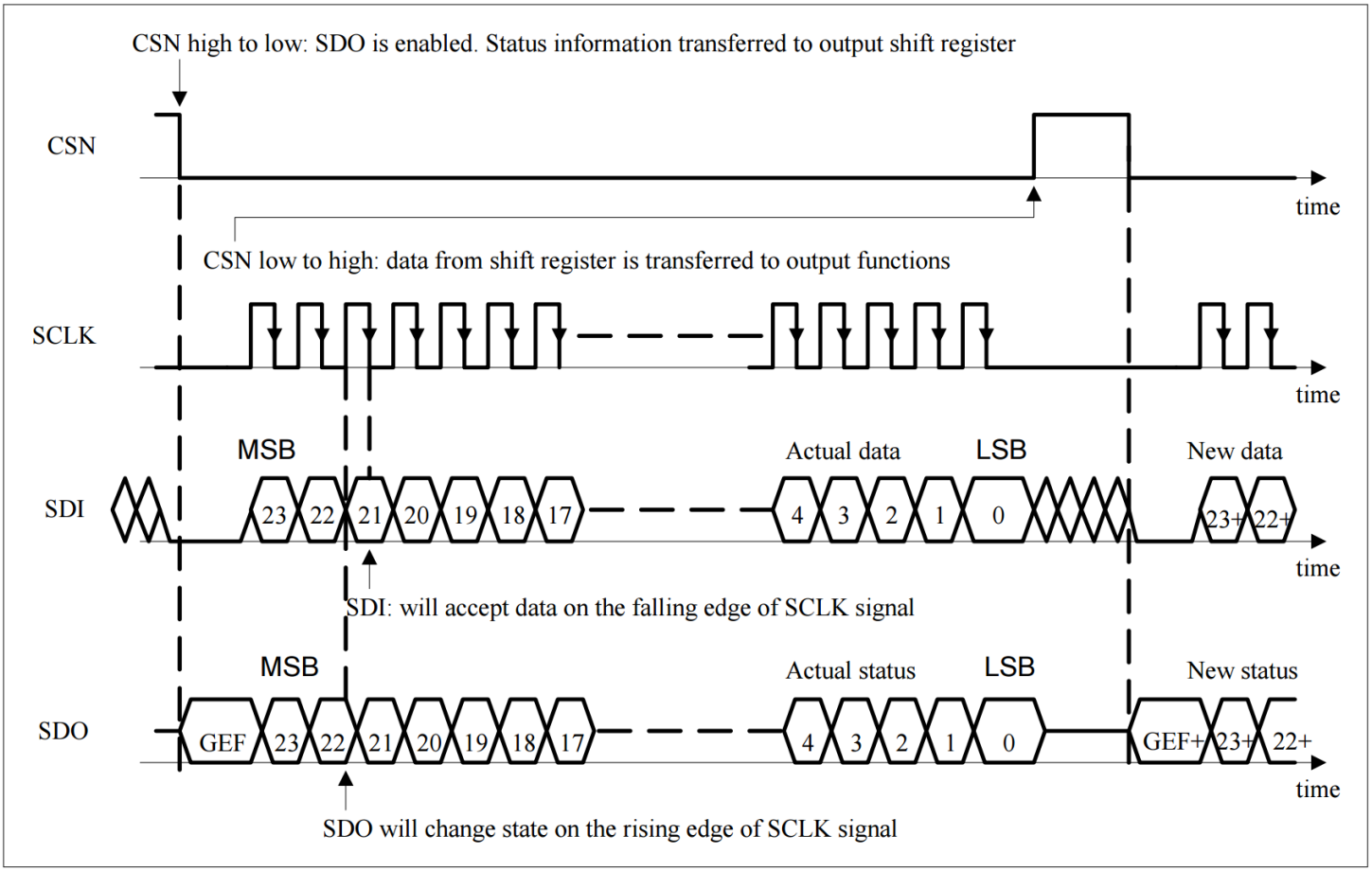


图 42 SPI数据传输

地址字节的MSB必须设置为 ‘1’。

地址字节指定（见图 43):

- 目标寄存器（A[4:0]）
- 操作类型：
  - 对于控制寄存器：
    - 只读: OP 位[16] = ‘0’
    - 读写：OP位= '1'
  - 对于状态寄存器：
    - 只读：OP位 = '0'
    - 读取并清零: OP 位 = '1'

对于单独的从机选择，最后地址字节标记 (LABT) 必须设置为“1”。

帧内响应

SPI 协议包含一个帧内响应：寻址寄存器的内容在同一个 SPI 帧内由 SDO 移出。这个特点减少了读取控制或状态寄存器期间的SPI总线负载。

16 OP 位是该地址字节的最低有效位，参见图43

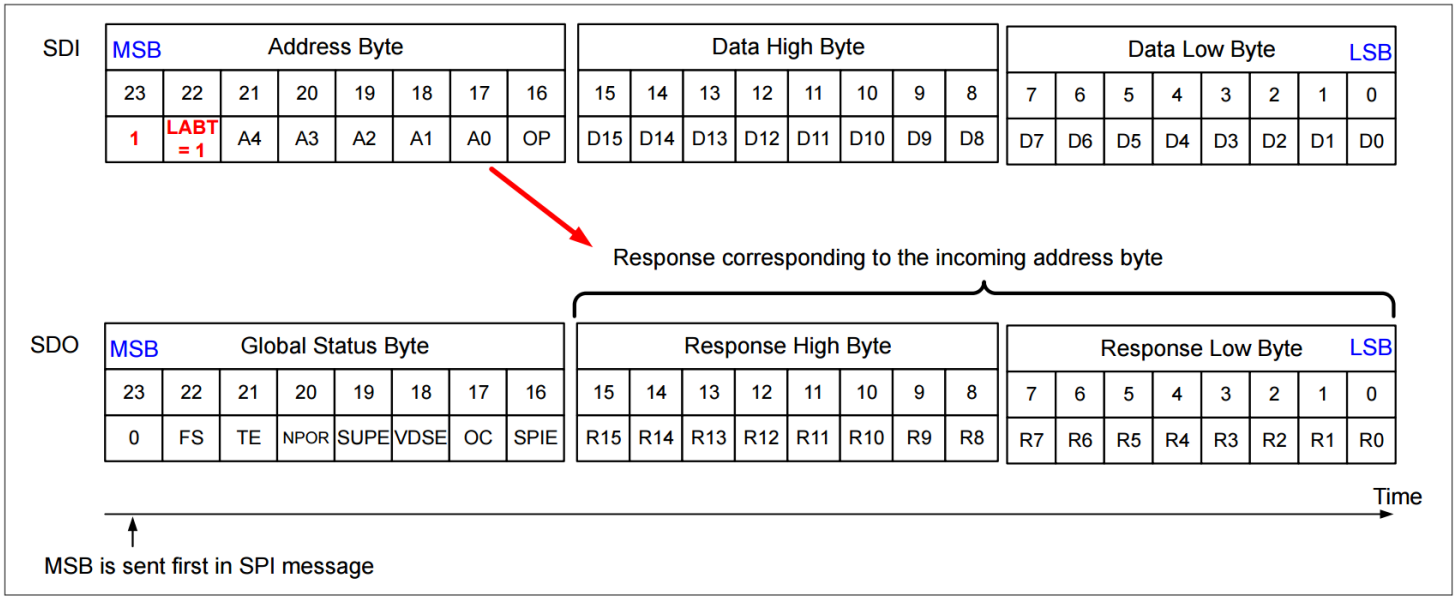


图 43　　单独从机选择的帧内响应

7.2　　全局错误标志（GEF）

在 CSN 下降沿和第一个SCLK上升沿之间的 SDO 上报告全局错误标志 (GEF)。如果检测到故障条件或器件来自上电复位 (POR)，则 GEF 置位。因此，无需任何SPI时钟脉冲即可进行快速器件诊断（图 44 ）。

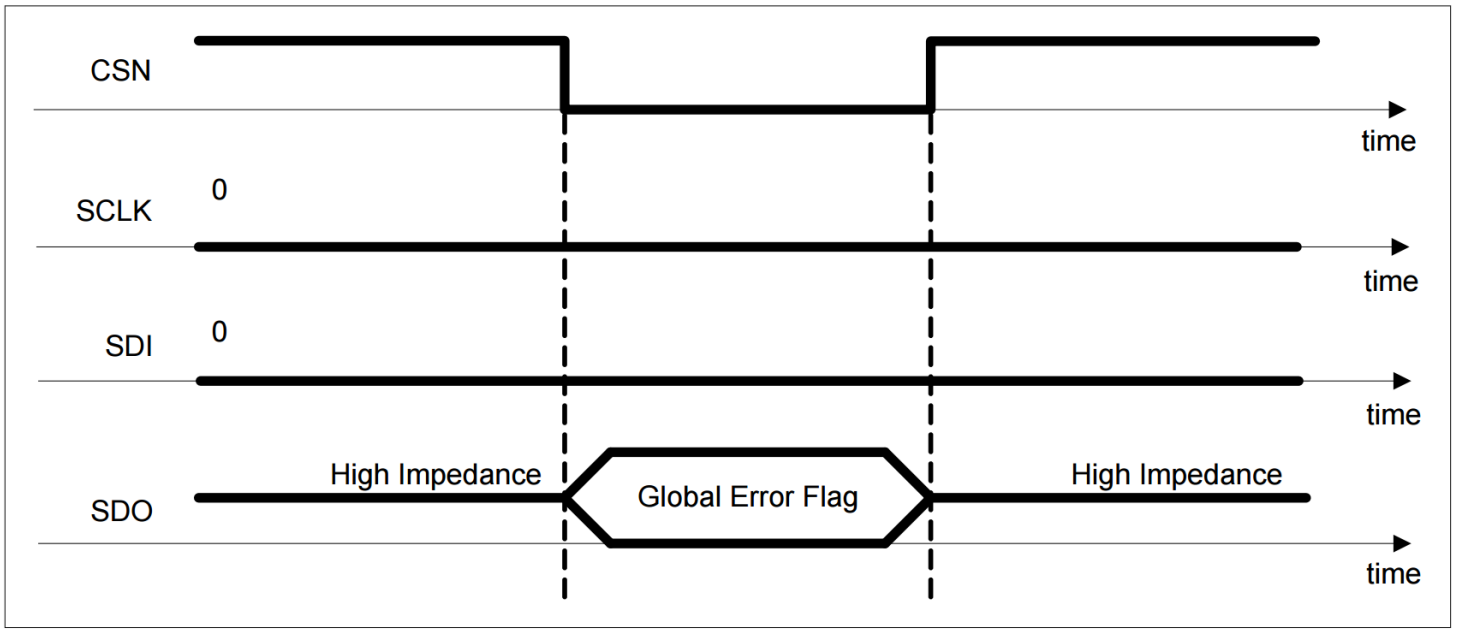


图 44　　GEF - 0 时钟周期诊断

7.3　　全局状态字节

SDO 在前八个 SCLK 周期内移出全局状态字节。该寄存器提供了器件状态的概述。该字节报告以下错误情况：

- 故障安全（FS 位）。
- 温度错误（TE 位）：热警告（TW）和热关断（TSD）之间的逻辑或组合。
- **取反**上电复位（NPOR 位，参考第4.3 章 复位条件）。

- 电源错误（SUPE 位）：VS 欠压关断（VSUV）、VS 过压关断（VSOV）和电荷泵欠压（CPUV）之间的逻辑或组合。
- VDS 监控误差（VDSE 位）： DSOV寄存器位之间的逻辑或组合。
- 过流（OC位）：OC1和OC2状态位之间的逻辑或组合（GENSTAT 寄存器）。
- SPI 协议错误（SPIE 位）。

注： *全局错误标志是全局状态字节中所有位与 TDREGx 中所有位的逻辑 OR 组合：GEF = (FS) OR (TE) OR (**NOT(NPOR)**) OR (SUPE) OR (VDSE) OR (OC) OR (SPIE) OR **(NOT(TDREGx) AND (PWMx_EN =1) AND (NOT (MSKTDREG)))**, x = 1 ... 3.*

下表显示了如何在全局状态字节和错误标志中报告故障：

表 26　　全局状态字节和全局错误标志中报告的故障

Type of Error	Failure reported in the Global Status Byte	Global Error Flag
Fail safe	FS = 1	1
Thermal error	TE = 1	1
Power ON reset	**NPOR = 0**	1
Supply error	SUPE = 1	1
Drain source voltage monitoring	VDSE = 1	1
Overcurrent	OC = 1	1
SPI protocol error	SPIE = 1	1
TDREGx, x = 1 ... 3[1] (see GENSTAT)	-	1 if MSKTDREG = 0[2] 0 if MSKTDREG = 1[2]
No error and no power ON reset	SPIE = 0 OC = 0 VDSE = 0 SUPE= 0 **NPOR = 1** TE = 0 FS = 0 TDREGx = 0,	0

1) 参见状态寄存器 GENSTAT。
2) 参见控制寄存器 GENCTRL2。

注： *NPOR 的默认值（上电复位后）为0，因此 GEF 的默认值为1。*

在故障安全模式下，除了 WDTRIG 位之外，控制寄存器被冻结为默认值（请参阅 第 4.2.3 章）。故障安全模式下的任何写访问（WDTRIG 位除外）都将被丢弃，并且 SPIE 位将被置位。

7.4 SPI 错误检测

SPI 在全局状态字节 (SPIE) 中加入一个错误标志来监督和维护数据完整性。如果在特定帧期间检测到SPI协议错误，则 SPIE 位将置于下一个SPI通讯中。

在下列错误条件下，SPIE 位被置位：

- CSN为低电平时接收到的SCLK时钟脉冲数为（协议错误）：
  - 不为零
  - 或少于 24
  - 或超过 24 但不是 8 的倍数
- 微控制器将SPI指令发送到未使用的地址（协议错误）。
- 检测到时钟极性错误（见图 45 情况 2 和情况 3)：在 CSN 上升沿或下降沿期间，输入时钟信号为高（协议错误）。
- 未检测到地址字节或最后一个地址字节（协议错误）。
- 在菊花链中：微控制器不会按顺序发送第一个地址字节，直到最后一个地址字节（即两个地址字节之间有间隙）。在这种情况下，在SPI帧[17]剩余部分期间，SDO信号置位为“0”，以防止其他设备执行错误的指令（协议错误）。
- 对地址 0x1F (器件 ID 寄存器，偏移地址 = 0x1F)的清除指令。
- 同一个半桥分配给多个激活的PWM通道。
- 在故障安全模式下收到的任何写入或清除指令并且不属于退出序列（请参阅第 4.2.3 章）。

注： *用于激活映射到多个PWM通道的半桥的SPI指令将被忽略。*

在故障安全模式下，除了写入 WDTRIG 之外，不能访问控制寄存器。此模式下的无效写入命令会设置 SPIE 位。

为确保SPI通讯正常：

- CSN 下降沿之前，SCLK 必须保持低电平至少 t_{BEF}；在 CSN 下降沿之后， SCLK 必须保持低电平至少 t_{lead}。
- CSN 上升沿之前，SCLK 必须保持低电平至少 t_{lag}；在 CSN 上升沿之后，SCLK 必须保持低电平至少 t_{BEH}。

17 前提是 SPI 帧具有正确的极性

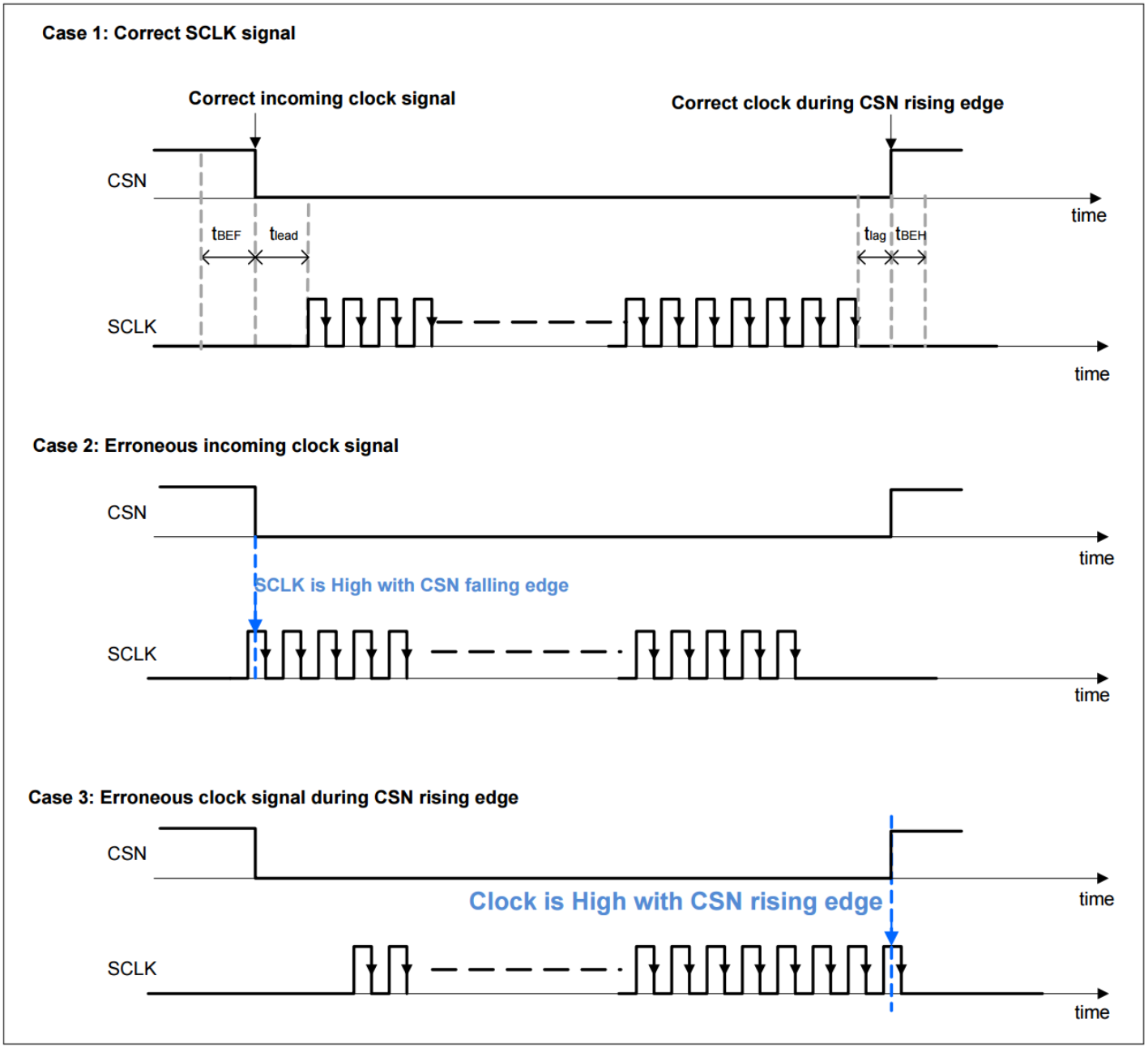


图 45　　时钟极性错误

SPIE 位的复位条件取决于错误的原因：

- 在正常模式下：
  - 如果一个半桥被分配给多个 PWM 通道。微控制器必须清除 HBVOUT_PWMERR 。
  - 对于 SPIE 报告的其他错误，微控制器必须发送正确的SPI帧。
- 如果SPIE已置于故障安全模式，则器件必须先进入正常模式。

7.5　　菊花链

在菊花链配置中，主机输出/从机输入（标记为MOSI ）连接到从机 SDI。第一个从机 SDO 连接到链中的下一个从机 SDI。链中最后一个的 SDO 连接到主机输入/从机输出（标记为 MISO）。

在菊花链配置中，微控制器的 MCSN 连接到所有从机的 CSN 输入（图 46）。

为了支持菊花链配置，TLE92108-231QX 接受超过 24 位的 SPI 帧，前提是位数是 8 的倍数，并且遵循地址字节的结构。

在菊花链中，TLE92108-231QX 的工作方式如下：

1. TLE92108-231QX 作为 8 位移位寄存器运行，直到它接收到第一个地址字节。第一个接收到的地址字节被器件视为它自己的地址字节。
2. TLE92108-231QX 直接将 SDI 复制到 SDO，直到检测到最后一个地址字节。
3. TLE92108-231QX 将地址字节对应的响应高位字节和低位字节移出。
4. 在最后一个地址字节之后，TLE92108-231QX 作为 16 位移位寄存器运行，直到 SPI 帧结束。

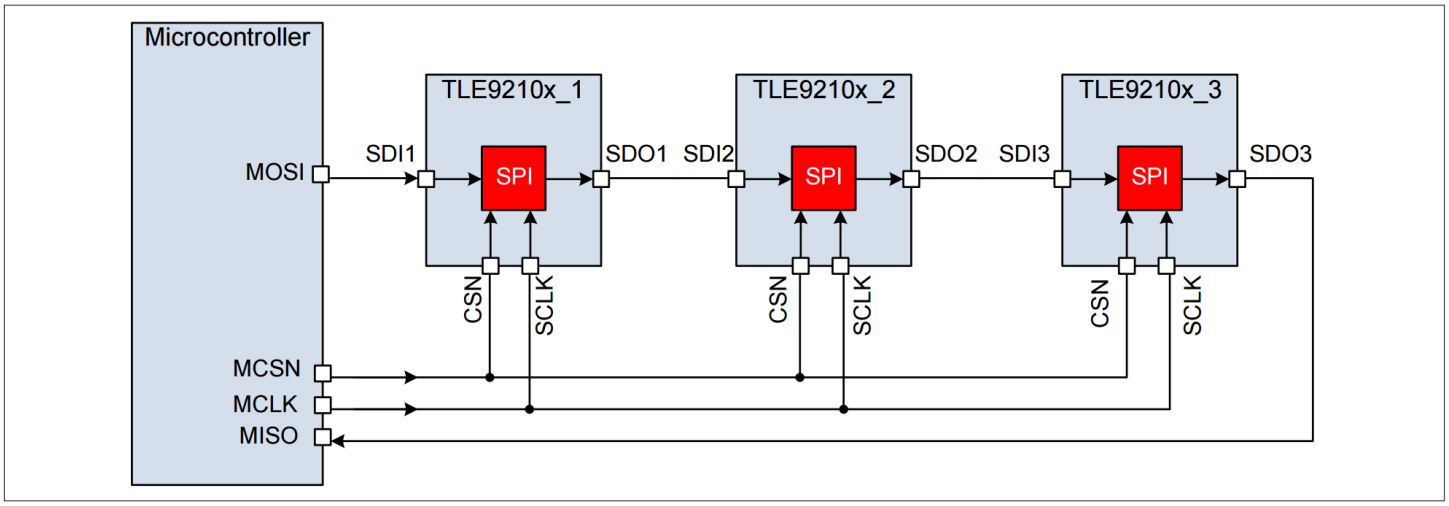


图 46　　三个TLE9210x器件的菊花链配置

在菊花链配置中（图 46), 微控制器必须按以下顺序发送地址和数据字节(图 47):

1. 首先将地址字节全部发送：
   - 首先发送地址字节 1（对于 TLE9210x_1），然后发送地址字节 2（对于 TLE9210x_2），然后发送地址字节 3（对于 TLE9210x_3）。
   - 最后一个地址字节的 LABT 位必须为“1”，而所有其他地址字节的 LABT 位必须为“0”。
2. 一旦传输了地址字节，数据字节就会按照**相反的顺序**一起发送：
   - 首先发送TLE9210x_3 的高位字节数据，然后发送TLE9210x_3 的低位字节数据。
   - 然后发送TLE9210x_2 的高位字节数据，接着发送TLE9210x_2 的低位字节数据。
   - 然后发送 TLE9210x_1 的高位字节数据，接着发送 TLE9210x_1 的低位字节数据。

连接到菊花链中最后一个器件的 SDO 的主机输入/从机输出 (MISO) 接收：

1. SPI 帧开始时、CSN 下降沿和第一个 SCLK 上升沿之间的所有全局错误标志 (GEF) 的逻辑或组合。
2. 每个 TLE9210x 的全局状态字节（**按反向顺序**）：
   - 首先接收对应于 TLE9210x_3 的全局状态字节 3 (GSB3)，然后接收 GSB2（对应于 TLE9210x_2），最后接收 GSB1（对应于 TLE9210x_1）。
3. 每个 TLE9210x 的响应**按相反顺序排列**：
   - 首先收到 TLE9210x_3 的响应高位字节，接着收到 TLE9210x_3 的响应低位字节

- 然后收到 TLE9210x_2 的响应高位字节，接着收到 TLE9210x_2 的响应低位字节
- 然后收到 TLE9210x_1 的响应高位字节，接着收到 TLE9210x_1 的响应低位字节

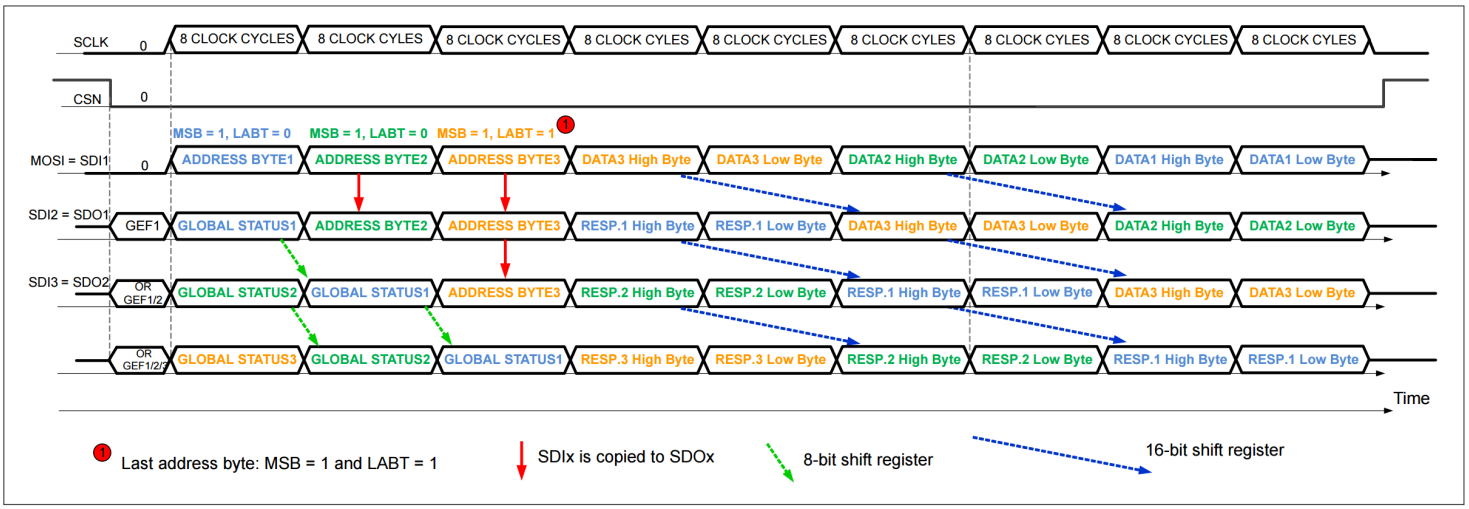


图 47　　三个 TLE9210x 器件菊链配置的 SPI 帧

7.6 SPI电气特性：时序

表 27 电气特性： SPI 接口

如果VSOVTH = 0，则VS= 6.0 V 至 18V； 如果VSOVTH =1，则 VS= 6.0V至28 V；VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C，所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SPI frequency							
Maximum SPI frequency	$f_{SPI,max}$	–	–	4	MHz	1)	P_8.6.1
Delay from EN rising edge to first SPI frame							
SPI interface setup time2)	t_{SET_SPI}	–	–	150	µs	1)	P_8.6.32
SPI interface, logic inputs SDI, SCLK, CSN							
High input voltage threshold	V_{IH}	0.7 x V_{DD}	–	–	V		P_8.6.2
Low input voltage threshold	V_{IL}	–	–	0.3 x V_{DD}	V		P_8.6.3
Hysteresis of input voltage	V_{IHY}	–	0.12 x V_{DD}	–	V	1)	P_8.6.4
Pull up resistor at pin CSN	R_{PU_CSN}	20	40	80	kΩ	V_{CSN} = 0.7 x V_{DD}	P_8.6.5
Pull down resistor at pin SDI, SCLK	R_{PD_SDI}, R_{PD_SCLK}	20	40	80	kΩ	V_{SDI} , V_{SCLK} = 0.2 x V_{DD}	P_8.6.6
Input capacitance at pin CSN, SDI or SCLK	C_I	–	10	–	pF	1) 0 V < V_{DD} < 5.5 V	P_8.6.7
Input interface, logic outputs SDO							
H-output voltage level	V_{SDOH}	0.8 x V_{DD}	–	–	V	I_{SDOH} = -1.6 mA	P_8.6.8
L-output voltage level	V_{SDOL}	–	–	0.2 x V_{DD}	V	I_{SDOL} = 1.6 mA	P_8.6.9
Tri-state Leakage Current	I_{SDOLK}	-10	–	10	µA	1) V_{CSN} = V_{DD} ; 0 V < V_{SDO} < V_{DD}	P_8.6.10
Tri-state input capacitance	C_{SDO}	–	10	15	pF	1)	P_8.6.11
Data input timing. See Figure 41							
SCLK Period	t_{pCLK}	250	–	–	ns	1)	P_8.6.12
SCLK High Time	t_{SCLKH}	0.45 x t_{pCLK}	–	0.55 x t_{pCLK}	ns	1)	P_8.6.13
SCLK Low Time	t_{SCLKL}	0.45 x t_{pCLK}	–	0.55 x t_{pCLK}	ns	1)	P_8.6.14
SCLK Low before CSN Low	t_{BEF}	125	–	–	ns	1)	P_8.6.15
CSN Setup Time	t_{lead}	250	–	–	ns	1)	P_8.6.16

（表格续下页……）

表 27 (续) 电气特性：SPI 接口

如果VSOVTH = 0，则VS= 6.0 V 至 18V； 如果VSOVTH =1，则 VS= 6.0V至28 V；VDD = 3.0V 至 5.5V，Tj = -40°C 至 150°C，所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SCLK Setup Time	t_{lag}	250	–	–	ns	1)	P_8.6.17
SCLK Low after CSN High	t_{BEH}	125	–	–	ns	1)	P_8.6.18
SDI Setup Time	t_{SDI_setup}	100	–	–	ns	1)	P_8.6.19
SDI Hold Time	t_{SDI_hold}	50	–	–	ns	1)	P_8.6.20
Input Signal Rise Time at pin SDI, SCLK, CSN	t_{rIN}	–	–	50	ns	1)	P_8.6.21
Input Signal Fall Time at pin SDI, SCLK, CSN	t_{fIN}	–	–	50	ns	1)	P_8.6.22
Delay time from EN falling edge to standby mode	t_{DMODE}	–	–	6	µs	1)	P_8.6.23
Minimum CSN High Time	t_{CSNH}	3	–	–	µs	1)	P_8.6.24
Data output timing. See Figure 42 **.**							
SDO Rise Time	t_{rSDO}	–	30	80	ns	1) C_{load} = 100 pF	P_8.6.25
SDO Fall Time	t_{fSDO}	–	30	80	ns	1) C_{load} = 100 pF	P_8.6.26
SDO Enable Time after CSN falling edge	t_{ENSDO}	–	–	50	ns	1) Low Impedance	P_8.6.27
SDO Disable Time after CSN rising edge	t_{DISSDO}	–	–	50	ns	1) High Impedance	P_8.6.28
Duty cycle of incoming clock at SCLK	$duty_{SCLK}$	45	–	55	%	1)	P_8.6.29
SDO Valid Time for V_{DD} = 5V	t_{VASDO5}	–	–	50	ns	1) V_{SDO} < 0.2 x V_{DD} V_{SDO} > 0.8 x V_{DD} C_{load} = 100 pF	P_8.6.31

1) 未经过生产测试，由设计指定
2) EN 上升沿与器件可接受SPI指令之间所需的延迟

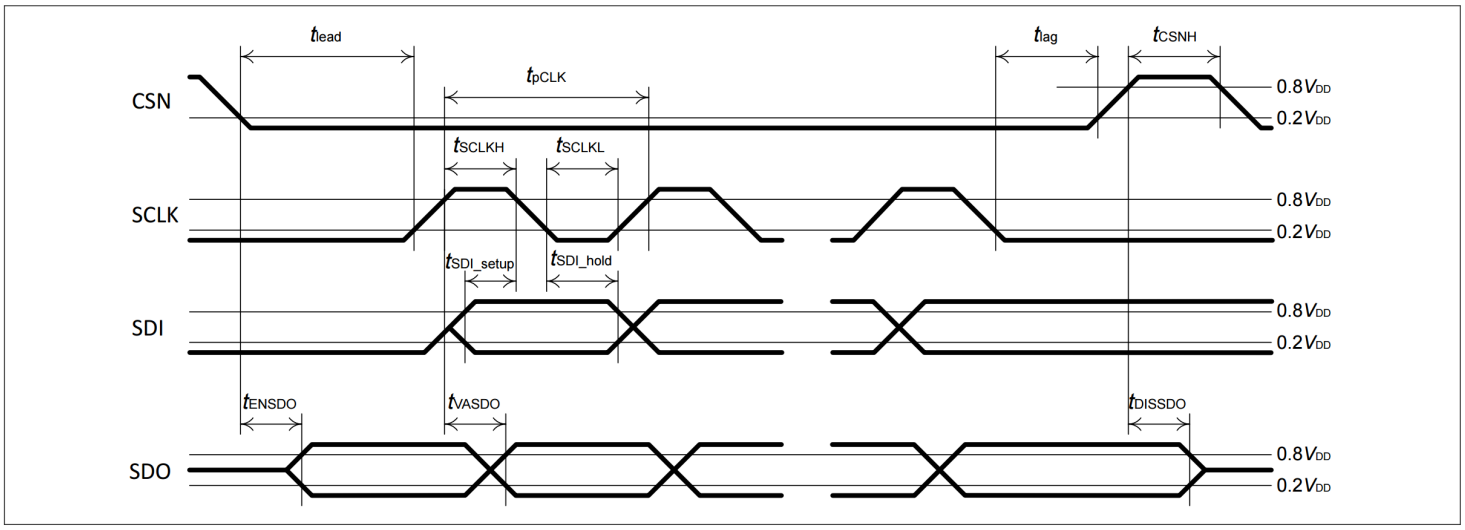


图 48　　SPI 时序参数

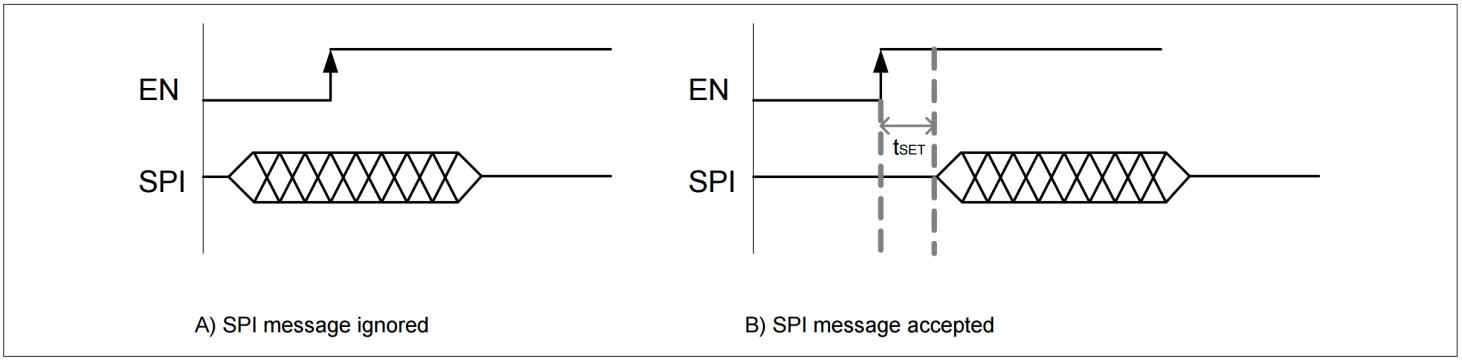


图 49　　从 EN 上升沿到第一个SPI通讯的建立时间

8 寄存器规格

8.1 控制寄存器

表 28 寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
GENCTRL1	General control register 1	0x00 and REG_BANK = 0 or 1	0x0026
GENCTRL2	General control register 2	0x01 and REG_BANK = 0 or 1	0x4180
VDS1	Drain-source monitoring HB1-4	0x02 and REG_BANK = 0 or 1	0x0249
VDS2	Drain-source monitoring HB5-8	0x03 and REG_BANK = 0 or 1	0x0249
CCP_BLK1	Cross current protection and blank times setting 1	0x04 and REG_BANK = 0 or 1	0x0000
CCP_BLK2_ACT	Cross current protection and blank times setting **for active MOSFETs** 1)	0x05 and REG_BANK = 0	0x4924
CCP_BLK2_FW	Cross current protection and blank times setting **for FW MOSFETs**1)	0x05 and REG_BANK = 1	0x4924
HBMODE	Half-bridge mode	0x06 and REG_BANK = 0 or 1	0x0000
PWMSET	Setting of PWM channels	0x07 and REG_BANK = 0 or 1	0x6C60
TPRECHG	PWM pre-charge and pre-discharge time	0x08 andREG_BANK = 0 or 1	0x0000
HBIDIAG	Half-bridge diagnostic current control	0x09 and REG_BANK = 0 or 1	0xC000
ST_ICHG	Charge current for static half-bridges	0x0A and REG_BANK = 0	0x0044
PWM_PCHG_INIT	Precharge current initialization	0x0A and REG_BANK = 1	0x18C6
PWM_ICHG_ACT	Charge current for half-bridges in PWM **(active MOSFETs** 1) **)**	0x0B and REG_BANK = 0	0x18C6
PWM_ICHG_FW	Charge current for half-bridges in PWM **(FW MOSFETs** 1))	0x0B and REG_BANK = 1	0x18C6
PWM_IDCHG_ACT	Discharge current of **active MOSFETs**1) in PWM operation	0x0C and REG_BANK = 0	0x1CE7
PWM_PDCHG_INIT	Predischarge current initialization	0x0C and REG_BANK = 1	0x318C
PWM_ICHGMAX_CCP_BLK3_ACT	Max. pre-charge / pre-discharge currents for half-bridges in PWM 2) , **tCCP and tBLANK setting for active MOSFETS**1)	0x0D and REG_BANK =0	0x4900
PWM_ICHGMAX_CCP_BLK3_FW	Max. pre-charge / pre-discharge currents for half-bridges in PWM2) , **tCCP and tBLANK setting for FW MOSFETS**1)	0x0D and REG_BANK =1	0x4900
TDON_OFF1	Turn-on and turn-off delays for PWM channel1	0x0E and REG_BANK = 0 or 1	0x0A0A

（表格续下页……）

表 28 （续）寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
TDON_OFF2	Turn-on and turn-off delays for PWM channel2	0x0F and REG_BANK = 0 or 1	0x0A0A
TDON_OFF3	Turn-on and turn-off delays for PWM channel3	0x10 and REG_BANK = 0 or 1	0x0A0A

1) 参考第 5.3.1 章关于有源和续流MOSFET的定义，该定义取决于AGC的设置
2) ICHGMAX 也是后放电阶段施加到有源 MOSFET 的电流。

8.1.1 通用控制寄存器和保护设置

8.1.1.1 通用控制寄存器 1

GENCTRL1 **地址:** $0\ 0000_B$

通用控制寄存器 1 **复位值:** $0000\ 0000\ 0010\ 0110_B$

15	14 13	12	11 10	9	8	7	6	5	4	3	2	1	0
CSD2	CSAG2	CSD1	CSAG1	REG_BANK	VSOVTH	UNLOCK	Reserved	FMODE	Reserved	IPCHGADT	OCEN	WDPER	WDTRIG
rw	rw	rw	rw	rw	rw	rw	r	rw	r	rw	rw	rw	rw

Field	Bits	Type	Description
CSD2	15	rw	Direction of the current sense amplifier 2 0_B The current sense is unidirectional (default) 1_B The current sense is bidirectional
CSAG2	14:13	rw	Gain of the current sense amplifier 2 00_B 10 V/V (default) 01_B 20 V/V 10_B 40 V/V 11_B 80 V/V
CSD1	12	rw	Direction of the current sense amplifier 1 0_B The current sense is unidirectional (default) 1_B The current sense is bidirectional
CSAG1	11:10	rw	Gain of the current sense amplifier 1 00_B 10 V/V (default) 01_B 20 V/V 10_B 40 V/V 11_B 80 V/V

（表格续下页……）

（续）

Field	Bits	Type	Description
REG_BANK	9	rw	Register banking 0_B (Default) refer to CCP_BLK2_ACT, PWM_ICHGMAX_CCP_BLK3_ACT, PWM_ICHG_ACT, ST_ICHG, PWM_IDCHG_ACT 1_B Refer to CCP_BLK2_FW, PWM_ICHGMAX_CCP_BLK3_FW, PWM_ICHG_FW, PWM_PDCHG_INIT, PWM_PCHG_INIT
VSOVTH	8	rw	VS Overvoltage threshold 0_B $V_{SOV\ OFF} = V_{SOV\ OFF1}$ (min. 19 V, default) 1_B $V_{SOV\ OFF} = V_{SOV\ OFF2}$ (min. 29V)
UNLOCK	7	rw	Unlock bit to disable the watchdog 0_B WDDIS cannot be reset (default) 1_B WDDIS (GENCTRL2) can be reset in the following SPI frame
Reserved	6	r	Reserved. Always read as ‘0’
FMODE	5	rw	Frequency modulation 0_B No modulation 1_B Modulation frequency 15.6 kHz (default)
Reserved	4	r	Reserved. Always read as ‘0’
IPCHGADT	3	rw	Adaptation of the pre-charge and pre-discharge current 0_B 1 current step (default) 1_B 2 current steps
OCEN	2	rw	Overcurrent shutdown Enable 0_B Disabled 1_B Enabled (default)
WDPER	1	rw	Watchdog period 0_B 50 ms 1_B 200 ms (default)
WDTRIG	0	rw	Watchdog trigger bit This bit must be inverted within a watchdog period. After power on reset, the default value is 0.

注意： ***对此寄存器的任何写访问都必须翻转 WDTRIG 位。否则，器件进入故障安全模式。请参阅*** 第 4.2.3 章 。

8.1.1.2 通用控制寄存器 2

GENCTRL2 **地址:** $0\ 0001_B$

通用控制寄存器 2 **复位值:** $0100\ 0001\ 1000\ 0000_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POCHGDIS	BD_PASS	AGCFILT	AGC		IHOLD	WDDIS	MSKTDREG	CPUVTH	CPSTGA	TFVDS		OCTH2		OCTH1	
rw	rw	rw	rw		rw	rw	rw	rw	rw	rw		rw		rw	

Field	Bits	Type	Description
POCHGDIS	15	rw	Postcharge disable bit 0_B The postcharge phase is enabled during PWM (default) 1_B The postcharge phase is disabled during PWM
BD_PASS	14	rw	Bridge driver passive mode 0_B Bridge driver is in active mode 1_B Bridge driver is in passive mode (Default)
AGCFILT	13	rw	Filter for adaptive gate control ***Note**:* *Refer to* Adaptive control of pre-charge current *and* Adaptive control of pre-discharge current 0_B No filter applied (default) 1_B Filter applied
AGC	12:11	rw	Adaptive gate control 00_B (default) Adaptive gate control disabled, pre-charge and pre-discharge disabled 01_B Adaptive gate control disabled, precharge is disabled, predischarge is enabled with IPREDCHG = IPDCHGINIT (Refer to PWM_PCHG_INIT) 10_B Adaptive gate control enabled, IPRECHG and IPREDCHG are self adapted 11_B Reserved. Adaptive gate control enabled, IPRECHG and IPREDCHG are self adapted
IHOLD	10	rw	Gate driver hold current IHOLD 0_B (default) Charge: I_{CHG8} (12.5 mA typ.), discharge I_{DCHG8} (14.2 mA typ.) 1_B Charge: I_{CHG12} (23.9 mA typ.), discharge: I_{DCHG12} (26.0 mA typ.)
WDDIS	9	rw	Watchdog disable bit 0_B the watchdog is enabled (default) 1_B the watchdog is disabled if the previous SPI frame has set UNLOCK bit (GENCTRL1) Once the watchdog is disabled, it is directly re-enabled by resetting WDDIS
MSKTDREG	8	rw	Masking of the turn-on/off delay error in the Global Error Flag 0_B Turn-on/off delay error is reported in the GEF 1_B Turn-on/off delay error is masked in the GEF (default)
CPUVTH	7	rw	Charge pump undervoltage detection threshold 0_B V_{CPUV} (referred to VS) = 6.0V typ. 1_B VCPUV (referred to VS)= 7.5 V typ. (default)
CPSTGA	6	rw	Automatic switch-over between dual and single charge pump stage 0_B Automatic switch over deactivated (default) 1_B Automatic switch over activated

（表格续下页……）

（续）

Field	Bits	Type	Description
TFVDS	5:4	rw	Filter time of drain-source voltage monitoring 00_B 0.5 µs (default) 01_B 1 µs 10_B 2 µs 11_B 3 µs
OCTH2	3:2	rw	Overcurrent detection threshold of CSO2 with CSD2 = 0 00_B $V_{CSO2} > V_{DD/2}$ (default) 01_B $V_{CSO2} > V_{DD/2} + V_{DD}/10$ 10_B $V_{CSO2} > V_{DD/2} + 2 \times V_{DD}/10$ 11_B $V_{CSO2} > V_{DD/2} + 3 \times V_{DD}/10$ Overcurrent detection threshold of CSO2 with CSD2 = 1 00_B $V_{CSO2} > V_{DD/2} + 2 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 2 \times V_{DD}/20$ (default) 01_B $V_{CSO2} > V_{DD/2} + 4 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 4 \times V_{DD}/20$ 10_B $V_{CSO2} > V_{DD/2} + 5 \times V_{DD}/20$ or $V_{CSO2} <$ VDD/2 - 5 x$V_{DD}/20$ 11_B $V_{CSO2} > V_{DD/2} + 6 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 6 \times V_{DD}/20$
OCTH1	1:0	rw	Overcurrent detection threshold of CSO1 with CSD1 = 0 00_B $V_{CSO1} > V_{DD/2}$ (default) 01_B $V_{CSO1} > V_{DD/2} + V_{DD}/10$ 10_B $V_{CSO1} > V_{DD/2} + 2 \times V_{DD}/10$ 11_B $V_{CSO1} > V_{DD/2} + 3x\ V_{DD}/10$ Overcurrent detection threshold of CSO1 with CSD1 = 1 00_B $V_{CSO1} > V_{DD/2} + 2 \times V_{DD}/20$ or $V_{CSOx} < V_{DD/2} - 2x\ V_{DD}/20$ (default) 01_B $V_{CSO1} > V_{DD/2} + 4x\ V_{DD}/20$ or $V_{CSOx} < V_{DD/2} - 4x\ V_{DD}/20$ 10_B $V_{CSO1} > V_{DD/2} + 5 \times V_{DD}/20$ or $V_{CSOx} < V_{DD/2} - 5 \times V_{DD}/20$ 11_B $V_{CSO1} > V_{DD/2} + 6x\ V_{DD}/20$ or $V_{CSOx} < V_{DD/2} - 6x\ V_{DD/20}$

8.1.1.3 漏源监控阈值 HB1-4

VDS1 **地址:** $0\ 0010_B$

漏源监控阈值HB1-4 **复位值:** $0000\ 0010\ 0100\ 1001_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB4D	**HB3D**	**HB2D**	**HB1D**	**HB4VDSTH**			**HB3VDSTH**			**HB2VDSTH**			**HB1VDSTH**		
rw	rw	rw	rw	rw			rw			rw			rw		

Field	Bits	Type	Description
HB4D	15	rw	HS4 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH4 (default) 1_B Drain-source monitoring: CSIN1 - VSH4
HB3D	14	rw	HS3 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH3 (default) 1_B Drain-source monitoring: CSIN1 - VSH3

（表格续下页.....）

（续）

Field	Bits	Type	Description
HB2D	13	rw	HS2 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH2 (default) 1_B Drain-source monitoring: CSIN1 - VSH2
HB1D	12	rw	HS1 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH1 (default) 1_B Drain-source monitoring: CSIN1 - VSH1
HB4VDSTH	11:9	rw	HB4 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V
HB3VDSTH	8:6	rw	HB3 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V
HB2VDSTH	5:3	rw	HB2 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V
HB1VDSTH	2:0	rw	HB1 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V

1) 适用于 HSx。LSx 的漏源过压是通过监控 VSHx - VSL 来完成的。

8.1.1.4 漏源监控阈值 HB5-8

VDS2 **地址:** $0\ 0011_B$

漏源监控阈值 HB5-8 **复位值:** $0000\ 0010\ 0100\ 1001_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8D	**HB7D**	**HB6D**	**HB5D**	**HB8VDSTH**			**HB7VDSTH**			**HB6VDSTH**			**HB5VDSTH**		
rw	rw	rw	rw	rw			rw			rw			rw		

Field	Bits	Type	Description
HB8D	15	rw	HS8 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH8 (default) 1_B Drain-source monitoring: CSIN1 - VSH8
HB7D	14	rw	HS7 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH7 (default) 1_B Drain-source monitoring: CSIN1 - VSH7
HB6D	13	rw	HS6 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH6 (default) 1_B Drain-source monitoring: CSIN1 - VSH6
HB5D	12	rw	HS5 Drain-source monitoring[1)] 0_B Drain-source monitoring: DH - VSH5 (default) 1_B Drain-source monitoring: CSIN1 - VSH5
HB8VDSTH	11:9	rw	HB8 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V
HB7VDSTH	8:6	rw	HB7 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V

（表格续下页……）

（续）

Field	Bits	Type	Description
HB6VDSTH	5:3	rw	HB6 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V
HB5VDSTH	2:0	rw	HB5 drain-source overvoltage threshold 000_B 0.15 V 001_B 0.20 V (default) 010_B 0.25 V 011_B 0.30 V 100_B 0.40 V 101_B 0.50 V 110_B 0.60 V 111_B 2.0 V

1) 适用于 HSx。LSx 的漏源过压是通过监控 VSHx - VSL 来完成的。

8.1.1.5 交叉电流保护和空白时间设置 1

CCP_BLK1 **地址:** $0\ 0100_B$

CCP 和空白时间设置 1 **复位值:** $0000\ 0000\ 0000\ 0000_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8CCPBLK		**HB7CCPBLK**		**HB6CCPBLK**		**HB5CCPBLK**		**HB4CCPBLK**		**HB3CCPBLK**		**HB2CCPBLK**		**HB1CCPBLK**	
rw		rw		rw		rw		rw		rw		rw		rw	

Field	Bits	Type	Description
HB8CCPBLK	15:14	rw	Cross-current protection and blank times applied to HB8 00_B (tHB8CCP, tHB8BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB8CCP, tHB8BLANK) = (tCCP2, tBLANK2) 10_B (tHB8CCP, tHB8BLANK) = (tCCP3, tBLANK3) 11_B (tHB8CCP, tHB8BLANK) = (tCCP4, tBLANK4)
HB7CCPBLK	13:12	rw	Cross-current protection and blank times applied to HB7 00_B (tHB7CCP, tHB7BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB7CCP, tHB7BLANK) = (tCCP2, tBLANK2) 10_B (tHB7CCP, tHB7BLANK) = (tCCP3, tBLANK3) 11_B (tHB7CCP, tHB7BLANK) = (tCCP4, tBLANK4)

（表格续下页……）

（续）

Field	Bits	Type	Description
HB6CCPBLK	11:10	rw	Cross-current protection and blank times applied to HB6 00_B (tHB6CCP, tHB6BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB6CCP, tHB6BLANK) = (tCCP2, tBLANK2) 10_B (tHB6CCP, tHB6BLANK) = (tCCP3, tBLANK3) 11_B (tHB6CCP, tHB6BLANK) = (tCCP4, tBLANK4)
HB5CCPBLK	9:8	rw	Cross-current protection and blank times applied to HB5 00_B (tHB5CCP, tHB5BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB5CCP, tHB5BLANK) = (tCCP2, tBLANK2) 10_B (tHB5CCP, tHB5BLANK) = (tCCP3, tBLANK3) 11_B (tHB5CCP, tHB5BLANK) = (tCCP4, tBLANK4)
HB4CCPBLK	7:6	rw	Cross-current protection and blank times applied to HB4 00_B (tHB4CCP, tHB4BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB4CCP, tHB4BLANK) = (tCCP2, tBLANK2) 10_B (tHB4CCP, tHB4BLANK) = (tCCP3, tBLANK3) 11_B (tHB4CCP, tHB4BLANK) = (tCCP4, tBLANK4)
HB3CCPBLK	5:4	rw	Cross-current protection and blank times applied to HB3 00_B (tHB3CCP, tHB3BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB3CCP, tHB3BLANK) = (tCCP2, tBLANK2) 10_B (tHB3CCP, tHB3BLANK) = (tCCP3, tBLANK3) 11_B (tHB3CCP, tHB3BLANK) = (tCCP4, tBLANK4)
HB2CCPBLK	3:2	rw	Cross-current protection and blank times applied to HB2 00_B (tHB2CCP, tHB2BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB2CCP, tHB2BLANK) = (tCCP2, tBLANK2) 10_B (tHB2CCP, tHB2BLANK) = (tCCP3, tBLANK3) 11_B (tHB2CCP, tHB2BLANK) = (tCCP4, tBLANK4)
HB1CCPBLK	1:0	rw	Cross-current protection and blank times applied to HB1 00_B (tHB1CCP, tHB1BLANK) = (tCCP1, tBLANK1) (default) 01_B (tHB1CCP, tHB1BLANK) = (tCCP2, tBLANK2) 10_B (tHB1CCP, tHB1BLANK) = (tCCP3, tBLANK3) 11_B (tHB1CCP, tHB1BLANK) = (tCCP4, tBLANK4)

有关 (tCCPx, tBLANKx) 的设置（其中 x = 1 … 4），请参阅 CCP_BLK2_ACT、 PWM_ICHGMAX_CCP_BLK3_ACT、CCP_BLK2_FW 以及 PWM_ICHGMAX_CCP_BLK3_FW。

8.1.1.6 有源 MOSFET 的交叉电流保护和空白时间设置 2

注意： ***该寄存器通过*** REG_BANK ***= 0 且偏移地址 0 0101B 访问。tCCP 和 tBLANK 适用于有源 MOSFET。***

CCP_BLK2_ACT

有源 CCP 和空白时间设置 2

地址: $0\ 0101_B$

复位值: $0100\ 1001\ 0010\ 0100_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TCCP3_ACT			TBLANK2_ACT			TCCP2_ACT			TBLANK1_ACT			TCCP1_ACT		
r	rw			rw			rw			rw			rw		

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
TCCP3_ACT	14:12	rw	Cross-current protection - tCCP3 Active Refer to Table 29 Default: 100_B: typ. 2000 ns
TBLANK2_ACT	11:9	rw	Blank time - tBLANK2 Active Refer to Table 30 Default: 100_B: typ. 2000 ns
TCCP2_ACT	8:6	rw	Cross-current protection - tCCP2 Active Refer to Table 29 Default: 100_B: typ. 2000 ns
TBLANK1_ACT	5:3	rw	Blank time - tBLANK1 Active Refer to Table 30 Default: 100_B: typ. 2000 ns
TCCP1_ACT	2:0	rw	Cross-current protection - tCCP1 Active Refer to Table 29 Default: 100_B: typ. 2000 ns

表 29　有源 MOSFET 的交叉电流保护时间

TCCPx_ACT[2:0], x = 1...4	Active cross-current protection HBx, x = 1...4 (typical)
000_B	375 ns
001_B	625 ns
010_B	1 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1) 当对半桥施加 16 µs 的交叉电流保护时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免栅极驱动器过热。关于静态控制半桥，请参阅寄存器 ST_ICHG；关于PWM控制的半桥，请参阅 PWM_IDCHG_ACT 。

表 30　有源 MOSFET 的漏源过压空白时间

TBLANKx_ACT[2:0], x = 1...4	Active drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000_B	625 ns

（表格续下页……）

表 30 （续）有源 MOSFET 的漏源过压空白时间

TBLANKx_ACT[2:0], x = 1...4	Active drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
001_B	1 µs
010_B	1.25 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1) 当对半桥施加 16 µs 的漏源过压空白时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免栅极驱动器过热。关于静态控制半桥，请参阅寄存器 ST_ICHG；关于PWM控制的半桥，请参阅 PWM_ICHG_ACT。

关于有源 MOSFET 的 tBLANK4、tCCP4 和 tBLANK3 的设置，请参阅PWM_ICHGMAX_CCP_BLK3_ACT；关于将 (tCCPx,tBLANKx) 映射到半桥，请参阅CCP_BLK1。

8.1.1.7 FW MOSFET 的交叉电流保护和空白时间设置 2

注意： ***该寄存器通过*** REG_BANK ***= 1 且偏移地址 0 0101B 访问。tCCP 和 tBLANK 适用于 FW MOSFET。***

CCP_BLK2_FW **地址:** $0\ 0101_B$

续流 CCP 和空白时间设置 2 **复位值:** $0100\ 1001\ 0010\ 0100_B$

15	14 13 12	11 10 9	8 7 6	5 4 3	2 1 0
Reserved	**TCCP3_FW**	**TBLANK2_FW**	**TCCP2_FW**	**TBLANK1_FW**	**TCCP1_FW**
r	rw	rw	rw	rw	rw

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
TCCP3_FW	14:12	rw	Cross-current protection - tCCP3 Freewheeling Refer to Table 31 Default: 100_B: typ. 2000 ns
TBLANK2_FW	11:9	rw	Blank time - tBLANK2 Freewheeling Refer to Table 32 Default: 100_B: typ. 2000 ns
TCCP2_FW	8:6	rw	Cross-current protection - tCCP2 Freewheeling Refer to Table 31 Default: 100_B: typ. 2000 ns

（表格续下页.....）

（续）

Field	Bits	Type	Description
TBLANK1_FW	5:3	rw	Blank time - tBLANK1 Freewheeling Refer to Table 32 Default: 100_B: typ. 2000 ns
TCCP1_FW	2:0	rw	Cross-current protection - tCCP1 Freewheeling Refer to Table 31 Default: 100_B: typ. 2000 ns

表 31　　FW MOSFET 的交叉电流保护时间

TCCPx_FW[2:0], x = 1...4	FW cross-current protection HBx, x = 1...4 (typical)
000_B	375 ns
001_B	625 ns
010_B	1 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1)　当对半桥施加 16 µs 的交叉电流保护时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免栅极驱动器过热。关于静态控制半桥，请参阅寄存器ST_ICHG；关于PWM控制的半桥，请参阅PWM_ICHG_FW。

表 32　　续流 MOSFET 的漏源过压空白时间

TBLANKx_FW[2:0], x = 1...4	FW Drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000_B	625 ns
001_B	1 µs
010_B	1.25 µs
011_B	1.5 µs
100_B	2 µs (default)
101_B	3 µs
110_B	4 µs
111_B	16 µs[1)]

1)　当对半桥施加 16 µs 的漏源过压空白时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免栅极驱动器过热。关于静态控制半桥，请参阅寄存器 ST_ICHG；关于PWM控制的半桥，请参阅 PWM_ICHG_FW。

关于FW MOSFET 的 tBLANK4、tCCP4 和 tBLANK3 的设置，请参阅PWM_ICHGMAX_CCP_BLK3_FW 。

关于将 (tCCPx,tBLANKx) 映射到半桥，请参阅CCP_BLK1 。

8.1.2 半桥控制

8.1.2.1 半桥模式

HBMODE **地址:** $0\ 0110_B$

半桥模式 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8MODE		**HB7MODE**		**HB6MODE**		**HB5MODE**		**HB4MODE**		**HB3MODE**		**HB2MODE**		**HB1MODE**	
rw		rw		rw		rw		rw		rw		rw		rw	

Field	Bits	Type	Description
HB8MODE	15:14	rw	Half-bridge output 8 mode selection 00_B HB8 is in high impedance (default) 01_B LS8 is ON 10_B HS8 is ON 11_B Reserved - HB8 is in high impedance
HB7MODE	13:12	rw	Half-bridge output 7 mode selection 00_B HB7 is in high impedance (default) 01_B LS7 is ON 10_B HS7 is ON 11_B Reserved - HB7 is in high impedance
HB6MODE	11:10	rw	Half-bridge output 6 mode selection 00_B HB6 is in high impedance (default) 01_B LS6 is ON 10_B HS6 is ON 11_B Reserved - HB6 is in high impedance
HB5MODE	9:8	rw	Half-bridge output 5 mode selection 00_B HB5 is in high impedance (default) 01_B LS5 is ON 10_B HS5 is ON 11_B Reserved - HB5 is in high impedance
HB4MODE	7:6	rw	Half-bridge output 4 mode selection 00_B HB4 is in high impedance (default) 01_B LS4 is ON 10_B HS4 is ON 11_B Reserved - HB4 is in high impedance
HB3MODE	5:4	rw	Half-bridge output 3 mode selection 00_B HB3 is in high impedance (default) 01_B LS3 is ON 10_B HS3 is ON 11_B Reserved - HB3 is in high impedance

（表格续下页……）

（续）

Field	Bits	Type	Description
HB2MODE	3:2	rw	Half-bridge output 2 mode selection 00_B HB2 is in high impedance (default) 01_B LS2 is ON 10_B HS2 is ON 11_B Reserved - HB2 is in high impedance
HB1MODE	1:0	rw	Half-bridge output 1 mode selection 00_B HB1 is in high impedance (default) 01_B LS1 is ON 10_B HS1 is ON 11_B Reserved - HB1 is in high impedance

8.1.2.2 PWM通道设置

PWMSET **地址:** $0\ 0111_B$

PWM 通道设置 **复位值:** $0110\ 1100\ 0110\ 0000_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**Reserved**	**Reserved**		**PWM3_HB**			**PWM3_EN**	**PWM2_HB**			**PWM2_EN**	**PWM1_HB**			**PWM1_EN**
r	rw	rw		rw			rw	rw			rw	rw			rw

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
Reserved	14	rw	Reserved. Default value = 1
Reserved	13:12	rw	Reserved. Reserved. Default value = 10_B
PWM3_HB	11:9	rw	Allocation of the PWM channel 3 000_B HB1 001_B HB2 010_B HB3 011_B HB4 100_B HB5 101_B HB6 110_B HB7 (default) 111_B HB8
PWM3_EN	8	rw	PWM channel 3 enable 0_B PWM3 is disabled (default) 1_B PWM3 is enabled

（表格续下页……）

（续）

Field	Bits	Type	Description
PWM2_HB	7:5	rw	Allocation of the PWM channel 2 000_B HB1 001_B HB2 010_B HB3 011_B HB4 (Default) 100_B HB5 101_B HB6 110_B HB7 111_B HB8
PWM2_EN	4	rw	PWM channel 2 enable 0_B PWM2 is disabled (default) 1_B PWM2 is enabled
PWM1_HB	3:1	rw	Allocation of the PWM channel 1 000_B HB1 (default) 001_B HB2 010_B HB3 011_B HB4 100_B HB5 101_B HB6 110_B HB7 111_B HB8
PWM1_EN	0	rw	PWM channel 1 enable 0_B PWM1 is disabled (default) 1_B PWM1 is enabled

如果同一个半桥映射到多个激活的 PWM 通道，则会报告 SPI 错误，并且受影响的半桥处于高阻抗。

8.1.2.3 PWM 预充电和预放电时间

TPRECHG **地址:** $0\ 1000_B$

充电和预充电时间 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**EN_DEEP_AD**	**Reserved**	**EN_GEN_CHECK**	**TPDCHG3**		**TPCHG3**		**TPDCHG2**		**TPCHG2**		**TPDCHG1**		**TPCHG1**	
rw	rw	rw	rw	rw		rw		rw		rw		rw		rw	

Field	Bits	Type	Description
Reserved	15	rw	Reserved. To be programmed as '0'.

（表格续下页……）

（续）

Field	Bits	Type	Description
EN_DEEP_AD	14	rw	Deep adaptation enabled 0_B Deep adaptation disabled (default) 1_B Deep adaptation enabled. Refer to Chapter 5.3.3.6
Reserved	13	rw	Reserved. This bits must be set to ‘0’
EN_GEN_CHECK	12	rw	Enable generator check 0_B Detection of generator mode disabled (default) 1_B Detection of generator mode enabled.
TPDCHG3	11:10	rw	Pre-discharge time of PWM channel 3 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns
TPCHG3	9:8	rw	Pre-charge time of PWM channel 3 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns
TPDCHG2	7:6	rw	Pre-discharge time of PWM channel 2 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns
TPCHG2	5:4	rw	Pre-charge time of PWM channel 2 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns
TPDCHG1	3:2	rw	Pre-discharge time of PWM channel 1 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns
TPCHG1	1:0	rw	Pre-charge time of PWM channel 1 00_B 125 ns (default) 01_B 250 ns 10_B 500 ns 11_B 1000 ns

8.1.2.4 半桥诊断电流控制

HBIDIAG

半桥诊断电流控制

地址: $0\ 1001_B$

复位值: $1100\ 0000\ 0000\ 0000_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSA2L	CSA1L	OC2FILT		OC1FILT		CSA2_OFF	CSA1_OFF	HB8IDIAG	HB7IDIAG	HB6IDIAG	HB5IDIAG	HB4IDIAG	HB3IDIAG	HB2IDIAG	HB1IDIAG
rw	rw	rw		rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
CSA2L	15	rw	Level of CSA2 0_B CSA2 is configured as low-side 1_B CSA2 is configured as high-side (default)
CSA1L	14	rw	Level of CSA1 0_B CSA1 is configured as low-side 1_B CSA1 is configured as high-side (default)
OC2FILT	13:12	rw	Overcurrent filter time for CSO2 00_B 6 µs (default) 01_B 10 µs 10_B 50 µs 11_B 100 µs
OC1FILT	11:10	rw	Overcurrent filter time for CSO1 00_B 6 µs (default) 01_B 10 µs 10_B 50 µs 11_B 100 µs
CSA2_OFF	9	rw	Disable of CSA2 0_B CSA2 enabled(default) 1_B CSA2 disabled
CSA1_OFF	8	rw	Disable of CSA1 0_B CSA1 enabled (default) 1_B CSA1 disabled
HB8IDIAG	7	rw	Control of HB8 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB7IDIAG	6	rw	Control of HB7 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB6IDIAG	5	rw	Control of HB6 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB5IDIAG	4	rw	Control of HB5 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated

（表格续下页……）

（续）

Field	Bits	Type	Description
HB4IDIAG	3	rw	Control of HB4 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB3IDIAG	2	rw	Control of HB3 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB2IDIAG	1	rw	Control of HB2 off-state current source and current sink 0_B Pull-down deactivated (default) 1_B Pull-down activated
HB1IDIAG	0	rw	Control of HB1 pull-down for off-state diagnostic 0_B Pull-down deactivated (default) 1_B Pull-down activated

8.1.2.5 静态充放电电流选择

注意： ***该寄存器只有当*** REG_BANK ***= 0 且具有相应的偏移地址时才能访问。***

ST_ICHG **地址:** $0\ 1010_B$

静态充放电电流选择 **复位值:** $0000\ 0000\ 0100\ 0100_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8ICHGST	**HB7ICHGST**	**HB6ICHGST**	**HB5ICHGST**	**HB4ICHGST**	**HB3ICHGST**	**HB2ICHGST**	**HB1ICHGST**	**ICHGST2**				**ICHGST1**			
rw	rw	rw	rw	rw	rw	rw	rw	rw				rw			

Field	Bits	Type	Description
HB8ICHGST	15	rw	HB8 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 8 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 8.
HB7ICHGST	14	rw	HB7 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 7 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 7.
HB6ICHGST	13	rw	HB6 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 6 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 6.

（表格续下页……）

（续）

Field	Bits	Type	Description
HB5ICHGST	12	rw	HB5 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 5 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 5.
HB4ICHGST	11	rw	HB4 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 4 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 4.
HB3ICHGST	10	rw	HB3 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 3 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 3.
HB2ICHGST	9	rw	HB2 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 2 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 2.
HB1ICHGST	8	rw	HB1 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half-bridge 1 (default). 1_B The static charge/discharge current 2 is applied to the half-bridge 1.
ICHGST2	7:4	rw	Static gate driver charge and discharge currents 2 Refer to Table 10 Default: 0100_B - Charge 12.5 mA typ., discharge 14.2 mA typ.
ICHGST1	3:0	rw	Static gate driver charge and discharge currents 1 Refer to Table 10 Default: 0100_B - charge 12.5 mA typ., discharge 14.2 mA typ.

8.1.2.6 PWM 有源 MOSFET 预充电电流初始化

注意： ***该寄存器只有当*** REG_BANK ***= 1 且具有相应的偏移地址时才能访问。***

PWM_PCHG_INIT **地址：** $0\ 1010_B$

初始PWM预充电电流选择 **复位值：** $0001\ 1000\ 1100\ 0110_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**PCHGINIT3**					**PCHGINIT2**					**PCHGINIT1**				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
PCHGINIT3	14:10	rw	Initial precharge current of PWM Channel 3 Refer to Table 13 Default: 00110_B: typ. 8.0 mA
PCHGINIT2	9:5	rw	Initial precharge current of PWM Channel 2 Refer to Table 13 Default: 00110_B: typ. 8.0 mA
PCHGINIT1	4:0	rw	Initial precharge current of PWM Channel 1 Refer to Table 13 Default: 00110_B: typ. 8.0 mA

8.1.2.7 有源 MOSFET 的 PWM 充电电流

注意： ***该寄存器通过*** REG_BANK ***= 0 且偏移地址为 0 1011B 访问。充电电流施加到有源 MOSFET （ICHG1-3）。***

PWM_ICHG_ACT **地址:** $0\ 1011_B$

有源PWM充电电流 **复位值:** $0001\ 1000\ 1100\ 0110_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**ICHG3**					**ICHG2**					**ICHG1**				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
ICHG3	14:10	rw	Gate driver charge current of PWM Channel 3 (Active MOSFET) Refer to Table 13 Default: 00110_B: typ. 8.0 mA
ICHG2	9:5	rw	Gate driver charge current of PWM Channel 2 (Active MOSFET) Refer to Table 13 Default: 00110_B: typ. 8.0 mA
ICHG1	4:0	rw	Gate driver charge current of PWM Channel 1 (Active MOSFET) Refer to Table 13 Default: 00110_B: typ. 8.0 mA

8.1.2.8 续流 MOSFET 的 PWM 充电/放电电流

注意： ***该寄存器通过*** REG_BANK ***= 1 且偏移地址为 0 1011B 访问。充电和放电电流施加到续流 MOSFET (ICHGFW1-3）。***

PWM_ICHG_FW **地址:** $0\ 1011_B$

FW PWM的充电/放电电流 **复位值:** $0001\ 1000\ 1100\ 0110_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**ICHG3_FW**					**ICHG2_FW**					**ICHG1_FW**				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
ICHG3_FW	14:10	rw	Gate driver charge and discharge currents of PWM Channel 3 (FW MOSFET) Refer to Table 13, Table 14 Default: 00110B. Typ. charge 8.0 mA, typ. discharge: 9.4 mA
ICHG2_FW	9:5	rw	Gate driver charge and discharge currents of PWM Channel 2 (FW MOSFET) Refer to Table 13, Table 14 Default: 00110B. Typ. charge 8.0 mA, typ. discharge: 9.4 mA
ICHG1_FW	4:0	rw	Gate driver charge and discharge currents of PWM Channel 1 (FW MOSFET) Refer to Table 13, Table 14 Default: 00110B. Typ. charge 8.0 mA, typ. discharge: 9.4 mA

注: *所选电流应用于FW MOSFET 的导通和关断。*

8.1.2.9 有源 MOSFET 的PWM放电电流

注意: ***该寄存器只有当*** REG_BANK ***= 0 且具有相应的偏移地址时才能访问。***

PWM_IDCHG_ACT **地址:** $0\ 1100_B$

PWM 放电电流 **复位值:** $0001\ 1100\ 1110\ 0111_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCSO	**IDCHG3**					**IDCHG2**					**IDCHG1**				
rw	rw					rw					rw				

Field	Bits	Type	Description
CCSO	15	rw	Capacitor connected to the current sense amplifier outputs 0_B Capacitor connected to CSO < 100 pF (default) 1_B Capacitor connected to CSO < 400 pF
IDCHG3	14:10	rw	Discharge current for PWM Channel 3 (Active MOSFET) Refer to Table 14 Default: 00111_B: typ. 11.8 mA

(表格续下页.....)

（续）

Field	Bits	Type	Description
IDCHG2	9:5	rw	Discharge current for PWM Channel 2 (Active MOSFET) Refer to Table 14 Default: 00111_B: typ. 11.8 mA
IDCHG1	4:0	rw	Discharge current of PWM Channel 1 (Active MOSFET) Refer to Table 14 Default: 00111_B: typ. 11.8 mA

8.1.2.10 PWM 有源 MOSFET 预放电电流初始化

注意： ***该寄存器只有当*** REG_BANK ***= 1 且具有相应的偏移地址时才能访问。***

PWM_PDCHG_INIT **地址:** $0\ 1100_B$

初始 PWM 预放电电流选择 **复位值:** $0011\ 0001\ 1000\ 1100_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCSO	**PDCHGINIT3**					**PDCHGINIT2**					**PDCHGINIT1**				
rw	rw					rw					rw				

Field	Bits	Type	Description
CCSO	15	rw	Capacitor connected to the current sense amplifier outputs 0_B Capacitor connected to CSO < 100 pF (default) 1_B Capacitor connected to CSO < 400 pF
PDCHGINIT3	14:10	rw	Initial predischarge current of PWM Channel 3 Refer to Table 14 Default: 01100B: typ. 26.0 mA
PDCHGINIT2	9:5	rw	Initial predischarge current of PWM Channel 2 Refer to Table 14 Default: 01100B: typ. 26.0 mA
PDCHGINIT1	4:0	rw	Initial predischarge current of PWM Channel 1 Refer to Table 14 Default: 01100B: typ. 26.0 mA

8.1.2.11 PWM最大驱动电流选择及有源 tCCP4、tBLANK 3/4

注意： ***该寄存器通过*** REG_BANK ***= 0 且偏移地址 0 1101$_B$ 访问。tCCP 和 tBLANK 适用于有源 MOSFET。***

PWM_ICHGMAX_CCP_BLK3_ACT **地址:** $0\ 1101_B$

PWM 最大驱动电流 **复位值:** $0100\ 1001\ 0000\ 0000_B$

15	14 13 12	11 10 9	8 7 6	5 4	3 2	1 0
Reserved	TBLANK4_ACT	TCCP4_ACT	TBLANK3_ACT	ICHGMAX3	ICHGMAX2	ICHGMAX1
r	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
TBLANK4_ACT	14:12	rw	Blank time[1)] - tBLANK4 Active Refer to Table 30 Default: 100_B: typ. 2000 ns
TCCP4_ACT	11:9	rw	Cross-current protection[1)] - tCCP4 Active Refer to Table 29 Default: 100_B: typ. 2000 ns
TBLANK3_ACT	8:6	rw	Blank time[1)] - tBLANK3 Active Refer to Table 30 Default: 100_B: typ. 2000 ns
ICHGMAX3	5:4	rw	Maximum drive current of half-bridge mapped to PWM channel 3 during the pre-charge phase and pre-discharge phases[2)] 00_B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01_B charge: typ. 41mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX2	3:2	rw	Maximum drive current of half-bridge mapped to PWM channel 2 during the pre-charge phase and pre-discharge phases[2)] 00_B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01_B charge: typ. 41 mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX1	1:0	rw	Maximum drive current of half-bridge mapped to PWM channel 1 during the pre-charge and pre-discharge phases[2)] 00_B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01_B charge: typ. 41 mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA

1) 关于将 (tCCPx,tBLANKx) 映射到半桥，请参阅 CCP_BLK1 。

2) ICHGMAX 也是 PWM MOSFET 后充电期间施加的电流，请参阅表 12。

8.1.2.12 PWM最大驱动电流选择及续流 tCCP4、tBLANK 3/4

注意： ***该寄存器通过*** REG_BANK ***= 1 且偏移地址 0 1101B 访问。tCCP 和 tBLANK 适用于 FW MOSFET。***

PWM_ICHGMAX_CCP_BLK3_FW

PWM 最大驱动电流

地址: $0\ 1101_B$

复位值: $0100\ 1001\ 0000\ 0000_B$

15	14 13 12	11 10 9	8 7 6	5 4	3 2	1 0
Reserved	TBLANK4_FW	TCCP4_FW	TBLANK3_FW	ICHGMAX3	ICHGMAX2	ICHGMAX1
r	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
TBLANK4_FW	14:12	rw	Blank time[1] - tBLANK4 Freewheeling Refer to Table 32 Default: 100B: typ. 2000 ns
TCCP4_FW	11:9	rw	Cross-current protection[1] - tCCP4 Freewheeling Refer to Table 31 Default: 100B: typ. 2000 ns
TBLANK3_FW	8:6	rw	Blank time[1] - tBLANK3 Freewheeling Refer to Table 32 Default: 100B: typ. 2000 ns
ICHGMAX3	5:4	rw	Maximum drive current of half-bridge mapped to PWM channel 3 during the pre-charge phase and pre-discharge phases[2] 00_B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01_B charge: typ. 41mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX2	3:2	rw	Maximum drive current of half-bridge mapped to PWM channel 2 during the pre-charge phase and pre-discharge phases[2] 00_B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01_B charge: typ. 41mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX1	1:0	rw	Maximum drive current of half-bridge mapped to PWM channel 1 during the pre-charge and pre-discharge phases[2] 00_B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01_B charge: typ. 41mA, discharge: typ. 43 mA 10_B charge: typ. 77 mA, discharge: typ. 79 mA 11_B charge: typ. 100 mA, discharge: typ. 100 mA

1) 关于将 (tCCPx,tBLANKx) 映射到半桥，请参阅 CCP_BLK1 。

2) ICHGMAX 也是 PWM MOSFET 后充电期间施加的电流，请参阅表 12。

8.1.2.13 PWM通道1 MOSFET导通和关断延迟的选择

TDON_OFF1 **地址:** $0\ 1110_B$

PWM通道1 MOSFET导通和关断延迟 **复位值:** $0000\ 1010\ 0000\ 1010_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF1								TDON1							
rw								rw							

Field	Bits	Type	Description
TDOFF1	15:8	rw	Turn-off delay time of PWM Channel 1. Typical TDOFF1 = 62.5 x TDOFF1[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.
TDON1	7:0	rw	Turn-on delay time of PWM Channel 1. Typical TDON1 = 62.5 x TDON1[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.

8.1.2.14 PWM通道2 MOSFET导通和关断延迟的选择

TDON_OFF2 **地址:** 0 1111$_B$

PWM通道 2 MOSFET导通/关断延时 **复位值:** 0000 1010 0000 1010$_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF2								TDON2							
rw								rw							

Field	Bits	Type	Description
TDOFF2	15:8	rw	Turn-off delay time of PWM Channel 2. Typical TDOFF2 = 62.5 x TDOFF2[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.
TDON2	7:0	rw	Turn-on delay time of PWM Channel 2. Typical TDON2 = 62.5 x TDON2[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.

8.1.2.15 PWM通道3 MOSFET导通和关断延迟的选择

TDON_OFF3 **地址:** 1 0000$_B$

PWM 通道 3 MOSFET 导通/关断延迟 **复位值:** 0000 1010 0000 1010$_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF3								TDON3							
rw								rw							

Field	Bits	Type	Description
TDOFF3	15:8	rw	Turn-off delay time of PWM Channel 3. Typical TDOFF3 = 62.5 x TDOFF3[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.

（表格续下页.....）

（续）

Field	Bits	Type	Description
TDON3	7:0	rw	Turn-on delay time of PWM Channel 3. Typical TDON3 = 62.5 x TDON3[7:0]$_D$ ns Default: 0000 1010$_B$: 625 ns typ.

8.2 状态寄存器

表 33 寄存器总览

Register Short Name	Register Long Name	Offset Address	Reset Value
GENSTAT	General status register	11_H	0_H
DSOV	Drain-source overvoltage	12_H	0_H
HBVOUT_PWMERR	Half-Bridge output voltage	13_H	0_H
EFF_TDON_OFF1	Effective MOSFET turn-on and turn-off delays for PWM Channel 1	14_H	0_H
EFF_TDON_OFF2	Effective MOSFET turn-on and turn-off delays for PWM Channel 2	15_H	0_H
EFF_TDON_OFF3	Effective MOSFET turn-on and turn-off delays for PWM Channel 3	16_H	0_H
TRISE_FALL1	Effective MOSFET rise and fall times for PWM Channel 1	17_H	0_H
TRISE_FALL2	Effective MOSFET rise and fall times for PWM Channel 2	18_H	0_H
TRISE_FALL3	Effective MOSFET rise and fall times for PWM Channel 3	19_H	0_H
DEVID	Device identifier	$1F_H$	03_H

8.2.1 通用状态寄存器

GENSTAT **地址:** $1\ 0001_B$

通用状态寄存器 **复位值:** 0_B

15	14 13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	WDMON	PWM3STAT	PWM2STAT	PWM1STAT	TDREG3	TDREG2	TDREG1	TSD	TW	OC2	OC1	VSOV	VSUV	CPUV
r	r	r	r	r	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
WDMON	14:13	r	Watchdog Monitoring 00_B WD Timer is between [0%;25%[of the WD period (default) 01_B WD Timer is between [25%;50%[of the WD period 10_B WD Timer is between [50%;75%[of the WD period 11_B WD Timer is between [75%;100 %[of the WD period
PWM3STAT	12	r	Status of PWM3 input 0_B PWM3 is low (default) 1_B PWM3 is high

（表格续下页……）

（续）

Field	Bits	Type	Description
PWM2STAT	11	r	Status of PWM2 input 0_B PWM2 is low (default) 1_B PWM2 is high
PWM1STAT	10	r	Status of PWM1 input 0_B PWM1 is low (default) 1_B PWM1 is high
TDREG3	9	rc	PWM channel 3 - Regulation of turn-on and turn-off delays 0_B the turn-on delay or the turn-off delay are not in regulation (default) 1_B the turn-on and turn-off delays are in regulation
TDREG2	8	rc	PWM channel 2 - Regulation of turn-on and turn-off delays 0_B the turn-on delay or the turn-off delay are not in regulation (default) 1_B the turn-on and turn-off delays are in regulation
TDREG1	7	rc	PWM channel 1 - Regulation of turn-on and turn-off delays 0_B the turn-on delay or the turn-off delay are not in regulation (default) 1_B the turn-on and turn-off delays are in regulation
TSD	6	rc	Thermal Shutdown 0_B No thermal shutdown is detected (default) 1_B A thermal shutdown is detected 1)
TW	5	rc	Thermal Warning 0_B No thermal warning is detected (default) 1_B A thermal warning is detected
OC2	4	rc	Overcurrent detection of CSO2 0_B No overcurrent detection on CSO2 (default) 1_B Overcurrent detected on CSO2 2)
OC1	3	rc	Overcurrent detection of CSO1 0_B No overcurrent detection on CSO1 (default) 1_B Overcurrent detected on CSO1 2)
VSOV	2	rc	VS Overvoltage 0_B No overvoltage on V_S detected (default value) 1_B Overvoltage on V_S detected 1)
VSUV	1	rc	VS Undervoltage 0_B No undervoltage on V_S detected (default value) 1_B Undervoltage on V_S detected 1)
CPUV	0	rc	Charge Pump Undervoltage 0_B No charge pump undervoltage (default) 1_B A charge pump undervoltage is detected 1)

1) 错误被锁存并且外部 MOSFET 被关闭。

2) 外部 MOSFET 的状态取决于 OCEN 位的设置（参见 GENCTRL1）。

8.2.2 漏源过压 1

DSOV **地址:** $1\ 0010_B$

漏源过压 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LS8D SOV	HS8D SOV	LS7D SOV	HS7D SOV	LS6D SOV	HS6D SOV	LS5D SOV	HS5D SOV	LS4D SOV	HS4D SOV	LS3D SOV	HS3D SOV	LS2D SOV	HS2D SOV	LS1D SOV	HS1D SOV
rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
LS8DSOV	15	rc	Drain-Source overvoltage on low-side 8 0_B No overvoltage on drain-source of low-side 8 (default) 1_B Overvoltage on drain-source of low-side 8 detected.
HS8DSOV	14	rc	Drain-Source overvoltage on high-side 8 0_B No overvoltage on drain-source of high-side 8 (default) 1_B Overvoltage on drain-source of high-side 8 detected.
LS7DSOV	13	rc	Drain-Source overvoltage on low-side 7 0_B No overvoltage on drain-source of low-side 7(default) 1_B Overvoltage on drain-source of low-side 7 detected.
HS7DSOV	12	rc	Drain-Source overvoltage on high-side 7 0_B No overvoltage on drain-source of high-side 7 (default) 1_B Overvoltage on drain-source of high-side 7 detected.
LS6DSOV	11	rc	Drain-Source overvoltage on low-side 6 0_B No overvoltage on drain-source of low-side 6 (default) 1_B Overvoltage on drain-source of low-side 6 detected.
HS6DSOV	10	rc	Drain-Source overvoltage on high-side 6 0_B No overvoltage on drain-source of high-side 6 (default) 1_B Overvoltage on drain-source of high-side 6 detected.
LS5DSOV	9	rc	Drain-Source overvoltage on low-side 5 0_B No overvoltage on drain-source of low-side 5 (default) 1_B Overvoltage on drain-source of low-side 5 detected.
HS5DSOV	8	rc	Drain-Source overvoltage on high-side 5 0_B No overvoltage on drain-source of high-side 5 (default) 1_B Overvoltage on drain-source of high-side 5 detected.
LS4DSOV	7	rc	Drain-Source overvoltage on low-side 4 0_B No overvoltage on drain-source of low-side 4 (default) 1_B Overvoltage on drain-source of low-side 4 detected.
HS4DSOV	6	rc	Drain-Source overvoltage on high-side 4 0_B No overvoltage on drain-source of high-side 4 (default) 1_B Overvoltage on drain-source of high-side 4 detected.

（表格续下页.....）

（续）

Field	Bits	Type	Description
LS3DSOV	5	rc	Drain-Source overvoltage on low-side 3 0_B No overvoltage on drain-source of low-side 3 (default) 1_B Overvoltage on drain-source of low-side 3 detected.
HS3DSOV	4	rc	Drain-Source overvoltage on high-side 3 0_B No overvoltage on drain-source of high-side 3 (default) 1_B Overvoltage on drain-source of high-side 3 detected.
LS2DSOV	3	rc	Drain-Source overvoltage on low-side 2 0_B No overvoltage on drain-source of low-side 2 (default) 1_B Overvoltage on drain-source of low-side 2 detected.
HS2DSOV	2	rc	Drain-Source overvoltage on high-side 2 0_B No overvoltage on drain-source of high-side 2 (default) 1_B Overvoltage on drain-source of high-side 2 detected.
LS1DSOV	1	rc	Drain-Source overvoltage on low-side 1 0_B No overvoltage on drain-source of low-side 1 (default) 1_B Overvoltage on drain-source of low-side 1 detected.
HS1DSOV	0	rc	Drain-Source overvoltage on high-side 1 0_B No overvoltage on drain-source of high-side 1 (default) 1_B Overvoltage on drain-source of high-side 1 detected.

注：　如果检测到漏源过压，受影响的MOSFET将被锁断。

8.2.3 半桥输出电压状态

HBVOUT_PWMERR　　**地址:**　　$1\ 0011_B$

半桥输出电压和PWM错误　　**复位值:**　　0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8PWME	**HB7PWME**	**HB6PWME**	**HB5PWME**	**HB4PWME**	**HB3PWME**	**HB2PWME**	**HB1PWME**	**HB8VOUT**	**HB7VOUT**	**HB6VOUT**	**HB5VOUT**	**HB4VOUT**	**HB3VOUT**	**HB2VOUT**	**HB1VOUT**
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Field	Bits	Type	Description
HB8PWME	15	r	PWM Error on HB8 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB8[1)]
HB7PWME	14	r	PWM Error on HB7 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB7[1)]
HB6PWME	13	r	PWM Error on HB6 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB6[1)]

（表格续下页……）

（续）

Field	Bits	Type	Description
HB5PWME	12	r	PWM Error on HB5 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB5[1)]
HB4PWME	11	r	PWM Error on HB4 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB4[1)]
HB3PWME	10	r	PWM Error on HB3 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB3[1)]
HB2PWME	9	r	PWM Error on HB2 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB2[1)]
HB1PWME	8	r	PWM Error on HB1 0_B No PWM error (default) 1_B More than one activated PWM channels is mapped to HB1[1)]
HB8VOUT	7	r	Voltage level at SH8 when HB8MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH8| >$V_{VDSMONTHx}$[2)] if HB8D = 0 |VCSIN1 - VSH8| >$V_{VDSMONTHx}$ if HB8D = 1 1_B High: |VDH - VSH8| <$V_{VDSMONTHx}$ if HB8D = 0; |VCSIN1 - VSH8| < $V_{VDSMONTHx}$ if HB8D = 1 ***Note**: HB8VOUT = 0 if HB8MODE[1:0]= (0,1) or (1,0)*
HB7VOUT	6	r	Voltage level at SH7 when HB7MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH7| >$V_{VDSMONTHx}$[2)] if HB7D = 0 |VCSIN1 - VSH7| >$V_{VDSMONTHx}$ if HB7D = 1 1_B High: |VDH - VSH7| <$V_{VDSMONTHx}$ if HB7D = 0; |VCSIN1 - VSH7| < $V_{VDSMONTHx}$ if HB7D = 1 ***Note**: HB7VOUT = 0 if HB7MODE[1:0]= (0,1) or (1,0)*
HB6VOUT	5	r	Voltage level at SH6 when HB6MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH6| >$V_{VDSMONTHx}$[2)] if HB6D = 0 |VCSIN1 - VSH6| >$V_{VDSMONTHx}$ if HB6D = 1 1_B High: |VDH - VSH6| <$V_{VDSMONTHx}$ if HB6D = 0; |VCSIN1 - VSH6| < $V_{VDSMONTHx}$ if HB6D = 1 ***Note**: HB6VOUT = 0 if HB6MODE[1:0]= (0,1) or (1,0)*

（表格续下页……）

（续）

Field	Bits	Type	Description
HB5VOUT	4	r	Voltage level at SH5 when HB5MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH5| >$V_{VDSMONTHx}$ [2] if HB5D = 0 |VCSIN1 - VSH5| >$V_{VDSMONTHx}$ if HB5D = 1 1_B High: |VDH - VSH5| <$V_{VDSMONTHx}$ if HB5D = 0; |VCSIN1 - VSH5| < $V_{VDSMONTHx}$ if HB5D = 1 ***Note**: HB5VOUT = 0 if HB5MODE[1:0]= (0,1) or (1,0)*
HB4VOUT	3	r	Voltage level at SH4 when HB4MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH4| >$V_{VDSMONTHx}$ [2] if HB4D = 0 |VCSIN1 - VSH4| >$V_{VDSMONTHx}$ if HB4D = 1 1_B High: |VDH - VSH4| <$V_{VDSMONTHx}$ if HB4D = 0; |VCSIN1 - VSH4| < $V_{VDSMONTHx}$ if HB4D = 1 ***Note**: HB4VOUT = 0 if HB4MODE[1:0]= (0,1) or (1,0)*
HB3VOUT	2	r	Voltage level at SH3 when HB3MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH3| >$V_{VDSMONTHx}$ [2] if HB3D = 0 |VCSIN1 - VSH3| >$V_{VDSMONTHx}$ if HB3D = 1 1_B High: |VDH - VSH3| <$V_{VDSMONTHx}$ if HB3D = 0; |VCSIN1 - VSH3| < $V_{VDSMONTHx}$ if HB3D = 1 ***Note**: HB3VOUT = 0 if HB3MODE[1:0]= (0,1) or (1,0)*
HB2VOUT	1	r	Voltage level at SH2 when HB2MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH2| >$V_{VDSMONTHx}$ [2] if HB2D = 0 |VCSIN1 - VSH2| >$V_{VDSMONTHx}$ if HB2D = 1 1_B High: |VDH - VSH2| <$V_{VDSMONTHx}$ if HB2D = 0; |VCSIN1 - VSH2| < $V_{VDSMONTHx}$ if HB2D = 1 ***Note**: HB2VOUT = 0 if HB2MODE[1:0]= (0,1) or (1,0)*
HB1VOUT	0	r	Voltage level at SH1 when HB1MODE[1:0] = (0,0) or (1,1): 0_B Low: |VDH - VSH1| >$V_{VDSMONTHx}$ [2] if HB1D = 0; |VCSIN1 - VSH1| >$V_{VDSMONTHx}$ if HB1D = 1 1_B High: |VDH - VSH1| <$V_{VDSMONTHx}$ if HB1D = 0; |VCSIN1 - VSH1| < $V_{VDSMONTHx}$ if HB1D = 1 ***Note**: HB1VOUT = 0 if HB1MODE[1:0]= (0,1) or (1,0)*

1) 仅当有一个PWM通道或没有PWM通道映射到半桥时，该位才复位（参见 PWMSET）。

2) $V_{VDSMONTHx}$ 为对应半桥选择的漏源监控阈值。

8.2.4 PWM1 的有效 MOSFET 导通和关断延迟

EFF_TDON_OFF1 **地址:** $1\ 0100_B$

有效的MOSFET导通/关断延迟 PWM1 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF1EFF								TDON1EFF							
r								r							

Field	Bits	Type	Description
TDOFF1EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 1 Effective turn-off delay = 62.5 x TDOFF1EFF[7:0]D ns Default: 0_B
TDON1EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 1 Effective turn-on delay = 62.5 x TDON1EFF[7:0]D ns Default: 0_B

8.2.5 PWM2 的有效MOSFET导通和关断延迟

EFF_TDON_OFF2 **地址:** $1\ 0101_B$

有效的MOSFET导通/关断延迟 PWM2 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF2EFF								TDON2EFF							
r								r							

Field	Bits	Type	Description
TDOFF2EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 2 Effective turn-off delay = 62.5 x TDOFF2EFF[7:0]D ns Default: 0_B
TDON2EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 2 Effective turn-on delay = 62.5 x TDON2EFF[7:0]D ns Default: 0_B

8.2.6 PWM3 的有效MOSFET 导通和关断延迟

EFF_TDON_OFF3 **地址:** $1\ 0110_B$

有效的MOSFET导通/关断延迟 PWM3 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDOFF3EFF								TDON3EFF							
r								r							

Field	Bits	Type	Description
TDOFF3EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 3 Effective turn-off delay = 62.5 x TDOFF3EFF[7:0]D ns Default: 0_B
TDON3EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 3 Effective turn-on delay = 62.5 x TDON3EFF[7:0]D ns Default: 0_B

8.2.7 PWM 通道 1 的有效 MOSFET 上升和下降时间

TRISE_FALL1 **地址:** $1\ 0111_B$

PWM1 的有效 PWM MOSFET 上升和下降时间 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TFALL1								**TRISE1**							
r								r							

Field	Bits	Type	Description
TFALL1	15:8	r	MOSFET fall time of PWM Channel 1 MOSFET fall time = 62.5 x TFALL1[7:0]$_D$ ns Default: 0_B
TRISE1	7:0	r	MOSFET rise time of PWM Channel 1 MOSFET rise time = 62.5 x TRISE1[7:0]$_D$ ns Default: 0_B

8.2.8 PWM 通道 2 的有效 MOSFET 上升和下降时间

TRISE_FALL2 **地址:** $1\ 1000_B$

PWM2 的有效 PWM MOSFET 上升和下降时间 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TFALL2								**TRISE2**							
r								r							

Field	Bits	Type	Description
TFALL2	15:8	r	MOSFET fall time of PWM Channel 2 MOSFET fall time = 62.5 x TFALL2[7:0]$_D$ ns Default: 0_B
TRISE2	7:0	r	MOSFET rise time of PWM Channel 2 MOSFET rise time = 62.5 x TRISE2[7:0]$_D$ ns Default: 0_B

8.2.9 PWM 通道 3 的有效 MOSFET 上升和下降时间

TRISE_FALL3 **地址:** $1\ 1001_B$

PWM3 的有效 PWM MOSFET 上升和下降时间 **复位值:** 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TFALL3								**TRISE3**							
r								r							

Field	Bits	Type	Description
TFALL3	15:8	r	MOSFET fall time of PWM Channel 3 MOSFET fall time = 62.5 x TFALL3[7:0]$_D$ ns Default: 0_B
TRISE3	7:0	r	MOSFET rise time of PWM Channel 3 MOSFET rise time = 62.5 x TRISE3[7:0]$_D$ ns Default: 0_B

8.2.10 器件标识符

DEVID **地址:** 11111_B

器件标识符 **复位值:** 0000 0011 $_B$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	**Reserved**							**Reserved**	**Reserved**		**Reserved**		**DEV_ID**		
r	r							r	r		r		r		

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
Reserved	14:8	r	Reserved. Always read as ‘0’
Reserved	7	r	Reserved. Always read as ‘0’.
Reserved	6:5	r	Reserved.
Reserved	4:3	r	Reserved.
DEV_ID	2:0	r	Device derivative identifier 000_B Reserved 001_B TLE92108-232 010_B Reserved 011_B TLE92108-231 100_B Reserved 101_B Reserved 110_B Reserved 111_B Reserved

9 应用信息

注： *以下信息仅作为器件实现的参考提示，不应被视为对器件某种功能、状态或质量的描述或保证。*

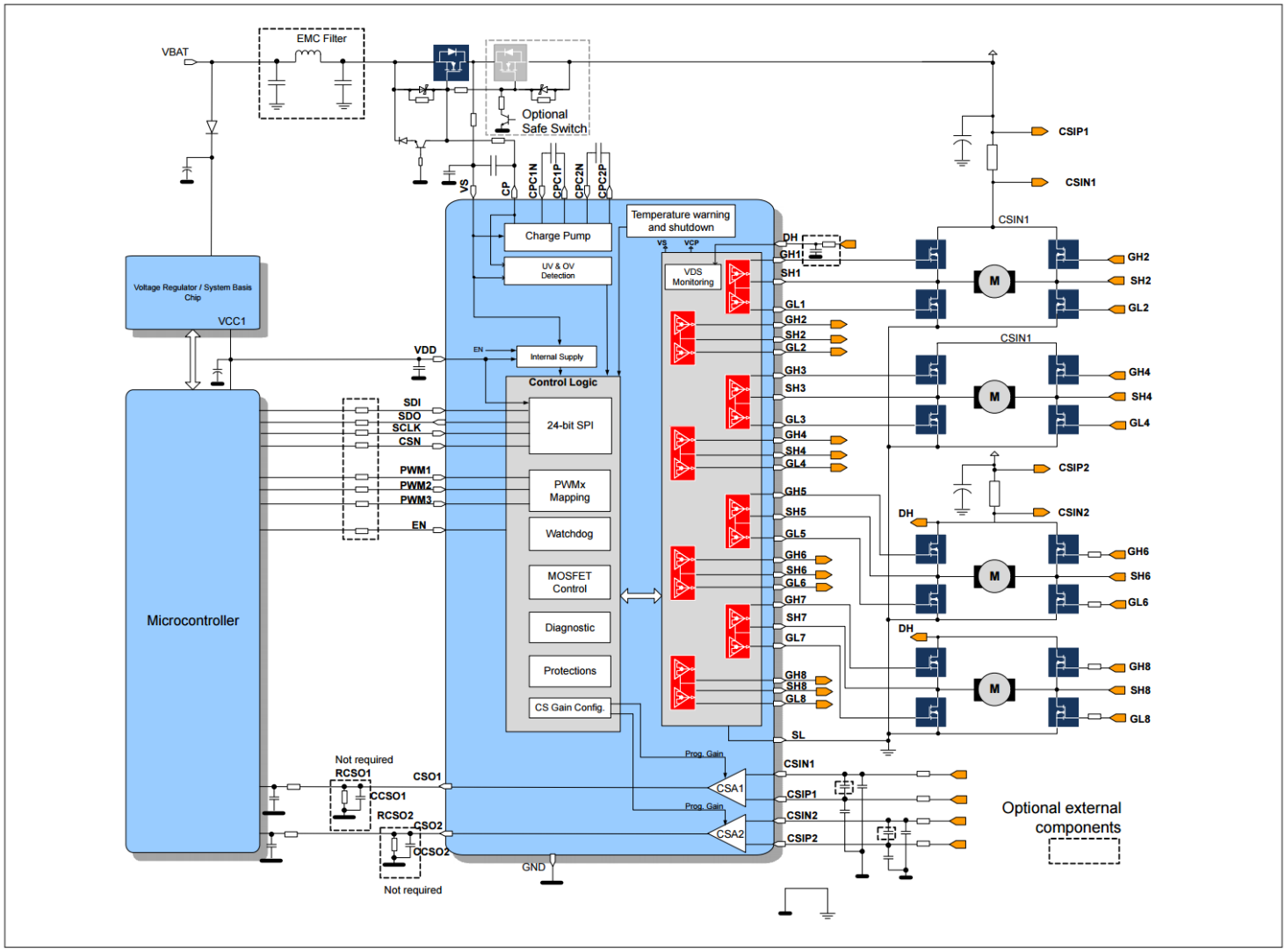


图 50 应用图 TLE92108-231QX

注： *这是一个简化的应用电路示例。必须在实际应用中验证功能。*

为了保证稳定运行，VS 和 CP 之间的电荷泵缓冲电容器的电容必须等于或高于 470 nF。可以使用更高的电容来减少 PWM 操作期间外部 MOSFET 栅极电荷引起的电压纹波。

CPC1N/CPC1P 和 CPC2N/CPC2P 之间的飞跨电容必须尽可能靠近 TLE92108-231QX。

VS/GND和 VDD/GND之间的去耦电容必须尽可能靠近 TLE92108-231QX，并且PCB走线必须短至接地平面。

可以在电流检测放大器的输出端放置一个电阻（RCSOx）和一个电容（CCSOx）（非强制性）。

该器件在电流检测放大器的输出端无需连接任何电阻器。但是，如果该应用中使用了电阻器，则 RCSOx 必须大于 1 kΩ。该电阻器会导致从 VDD 产生额外电流消耗，而数据手册中的电气特性中并未将此情况考虑在内。

CCSOx 必须介于 10 pF 和 400 pF 之间。为了加快 CSA 输出的反应时间，建议将 CCSOx 保持在 10 pF。

如果在电流检测放大器的输入端使用滤波器，则串联电阻不得超过 5 Ω。

在半桥换向期间，MOSFET 栅极电压有可能低于源极电压。这取决于MOSFET漏极和源极处的杂散电感、换向速度以及MOSFET栅源极和栅漏极电容值之间的比值。

如果 V_{GATE}- V_{SOURCE}< -0.6 V，建议在 GHx 和 GLx 上各串联一个电阻（例如 4.7 Ω），以限制换向期间栅极驱动器输出的电流。

电机相中的检流电阻

当检流电阻置于电机相时，强烈建议将PWM应用于未连接检流电阻的半桥（图51）。这避免了电流检测放大器输入端的高共模摆动。

高边 MOSFET 漏源过压监测的漏源监测必须置位至 DH - VSHx。请参阅VDS1、VDS2、HBxD 位。

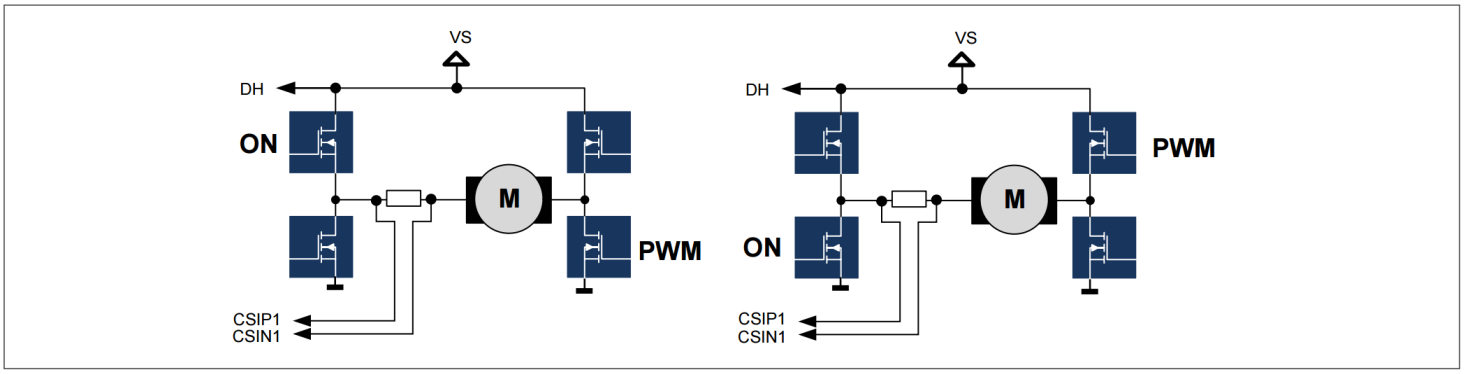


图 51　　电机相中带有检流电阻的PWM

为了对电机相中的检流电阻进行正确的关闭状态诊断，必须停用相应的电流检测放大器（ CSA ）。否则，激活的CSA从其输入中汲取电流，阻止内部上拉源将 SHx 引脚置为高电平。

10 封装外形

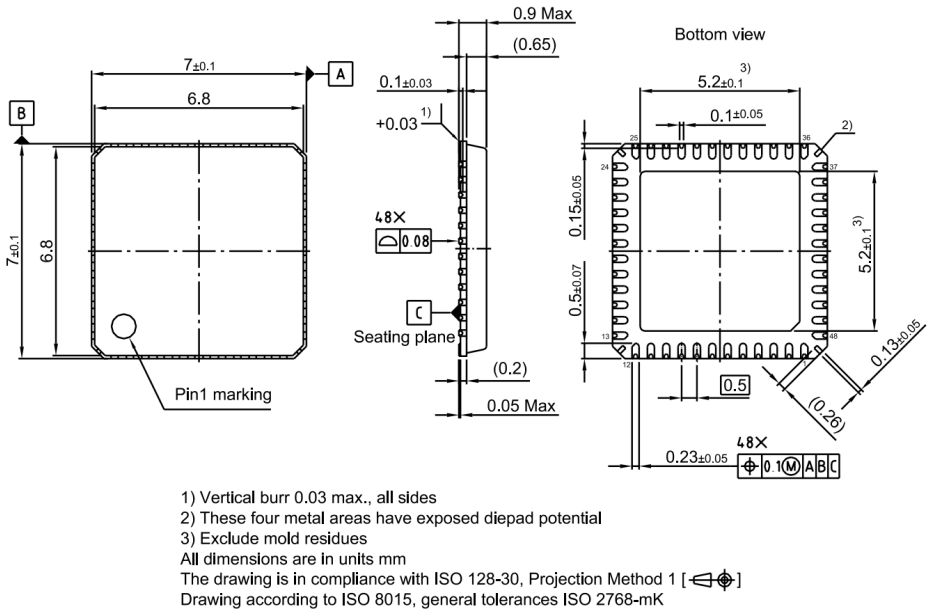


图 52 PG-VQFN-48-31 和 PG-VQFN-48-37

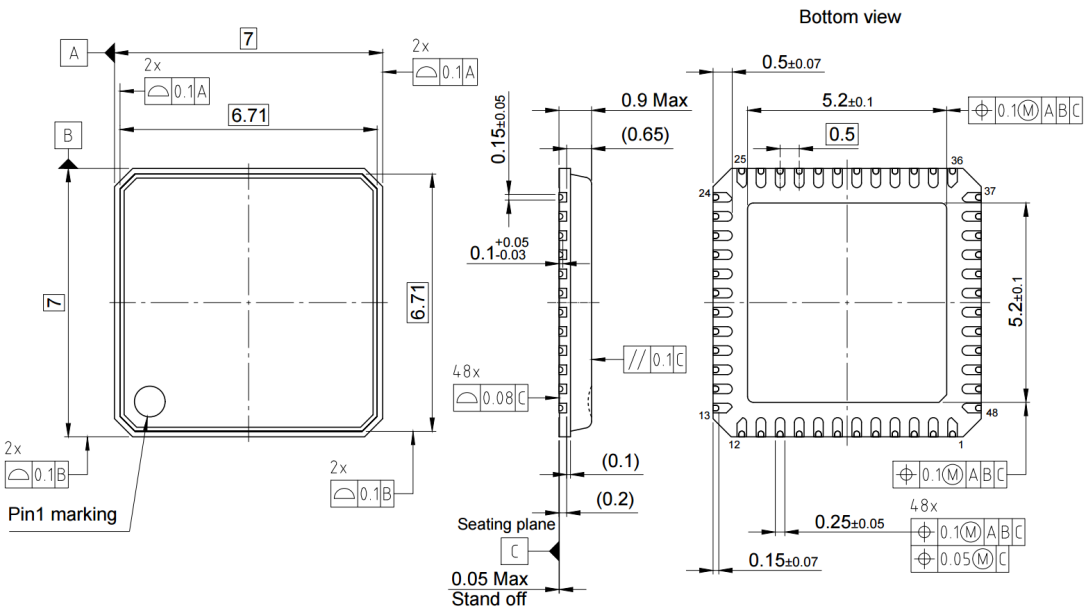


图 53 PG-VQFN-48-79

绿色产品：符合 RoHS 标准

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

11 修订记录

Revision	Date	Changes
2.0	2024-01-23	• Additional package drawing in Chapter 10, with compatible footprint with the original package. • Chapter 6.3. Modified note for drain-source voltage monitoring in static activation • Chapter 6.3. Note added drain-source voltage monitoring in PWM operation • P_4.1.12. Absolute maximum rating of CP pin increased from VS + 15 V to VS + 17 V • P_4.1.22, P_4.1.24. Absolute maximum rating of CPC1N, CPC2N, CPC1P, CPC2P is modified • P_6.5.3 and P_6.5.6 – Max. gate-source high threshold value increased from 12 to 12.2 V • Chapter 5.3.5 Deleted from the description for operation at low duty cycles: “The MOSFET opposite to the PWM MOSFET stays off(passive FW)” • Package outline of Figure 52 updated • Register bitmap template updated
1.0	2019-08-29	First release

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-01-23

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG

All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-lmd1749549375975

Important notice

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics (“Beschaffenheitsgarantie”).

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer’s compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer’s products and any use of the product of Infineon Technologies in customer’s applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer’s technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

Warnings

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies’ products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-11-04**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG**
及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。