

英飞凌 TLE9180D-21QK 三相桥驱动器

桥驱IC

特性

- 用于低 RDSON N沟道FET的高功率 3 相桥驱动器
- 0...100% 占空比, 无限制可调
- 指定电源电压范围为 5.5 V 至 60 V
- 逻辑电压电源电压低至 3 V
- 电机连接引脚电压范围为 -15 V 至 90 V, 鲁棒性高
- 扩展的保护和监控功能
- 串行外设接口 (SPI), 监控控制
- 通过SPI的读取来监控信息
- 外部场效应管 (FET) 用于温度检测的反向二极管测量
- 具有 SPI 可配置内容的诊断和故障行为的跛行模式功能
- 2 电流检测放大器, 用于分流器信号调理
- 2 个通过引脚 ENA 和 $\overline{\text{SOFF}}$ 的关断路径
- 通过引脚 $\overline{\text{INH}}$ 实现低静态电流模式
- 兼容 3.3 V μC 和 TTL 逻辑
- 具有 SPI 可编程电压阈值的相电压反馈
- 用于相位切断电路激活的输出
- 绿色产品 (符合 RoHS 标准)
- AEC 认证



PRO-SIL™ 特性

- 安全手册和安全分析总结报告适用于 $V_{\text{VS}} \leq 28 \text{ V}$ 和 $V_{\text{VDHP}}, V_{\text{VDHx}} \leq 28 \text{ V}$
- μC 接口安全栅最高可达 $V_{\text{VS}} \leq 28 \text{ V}$ 且 $V_{\text{VDHP}}, V_{\text{VDHx}} \leq 28 \text{ V}$
- 高电压额定数字输入和输出引脚
- 通过引脚 $\overline{\text{SOFF}}$ 快速且功能性独立地禁用功能
- 通过引脚 $\overline{\text{SOFF}}$ 和 ENA 实现功能冗余禁用路径
- 监控系统相关电压和专用自检功能
- 带有数据和地址 CRC 校验的安全 SPI 接口
- 用于 μC 监控的集成窗口看门狗
- 功能独立的电流检测放大器
- 具有 SPI 可编程阈值的功能独立相位反馈
- 外部 FET 的被动钳位

产品验证

汽车应用认证。

产品依据AEC-Q100进行验证。

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

描述

描述

英飞凌TLE9180D-21QK 是一款先进的栅极驱动器集成电路，专用于控制形成高电流三相电机驱动逆变器的 6 个外部 N 沟道 MOSFET，适用于汽车领域。

先进的高压技术使 TLE9180D-21QK 能够支持单电池和混合电池系统的应用，电池电压为 12 V、24 V 和 48 V，即使在恶劣的汽车环境并有大的电机电流也可适用。因此三相桥、电机和电源相关引脚可以承受高达 90V 的电压。电机相关引脚甚至可以承受低至 -15V 的负瞬态电压而不损坏。

所有低边和高边输出级均基于浮点驱动概念，其驱动能力可以驱动市场上常见的最低 R_{DS(on)} MOSFET。集成的 SPI 接口用于在应用上电后配置 TLE9180D-21QK。上电成功后可以通过 SPI 调节参数，读取监测数据、配置和错误寄存器。对数据和地址位的循环冗余校验确保了安全通信和数据完整性。

接地相关的桥接器电流可以通过 2 个集成电流检测放大器进行测量。当前感应放大器的输出支持 5 V ADC，并且稳健的输入可以承受低至 -10V 的负瞬态不会损坏。增益和零电流电压偏移可以通过 SPI 进行调整。偏移可以被校准。

近年来，汽车驱动应用中的诊断覆盖率和冗余度稳步提高。因此，TLE9180D-21QK 提供了广泛的诊断功能，例如电源电压监测以及系统参数监测。安全监控功能的可测试性也已整合。器件监控的故障行为、阈值电压和滤波时间可通过 SPI 进行调整。

TLE9180D-21QK 集成在带有裸露焊盘的 LQFP64 封装中。由于其裸露的散热焊盘，栅极驱动器 IC 具备出色的热特性。

表 1 器件标识

Product Type	Package	Marking
TLE9180D-21QK	LQFP-64	TLE9180D-21QK

目录

	特性	1
	产品验证	1
	描述	2
	目录	3
1	框图	10
2	引脚配置	11
2.1	引脚分配	11
2.2	引脚定义和功能	11
3	产品一般特性	18
3.1	绝对最大额定值	18
3.2	热阻	22
3.3	工作范围	23
3.4	典型行为图	25
4	输入和输出特性	26
4.1	数字输入	26
4.2	通用输入	27
4.3	VCC - I/O 供电和 μ C 供电监测	27
4.4	数字输出	27
4.5	通用输出	28
4.6	SPI 接口	28
4.7	IO 电气特性	28
5	串行外设接口 - SPI	33
5.1	IO-缓冲器	33
5.2	移位寄存器	33
5.3	地址和指令解码器	33
5.4	循环冗余校验 - CRC 生成和检测	34
5.5	SPI 电气特性	34
6	时钟	36
6.1	时钟编程	36
6.2	时钟电气特性	36
7	电源	37
7.1	输出级电源概念	37
7.2	内部电源电压	38
7.3	电源电气特性	38
7.4	典型行为图	44
8	浮动 MOSFET 驱动器	46

8.1	驱动器输出级.....	46
8.2	输入到输出信息.....	46
8.3	击穿保护和死区时间生成.....	46
8.4	浮动 MOSFET 驱动器电气特性	47
8.5	典型时序和行为图.....	50
9	分流器信号调理	51
9.1	增益编程.....	51
9.2	零 SSC 差分输入电压下 VRO 电压和 VOx 电压的设置.....	52
9.3	自动校准.....	52
9.4	过流检测.....	53
9.5	分流器信号调理自检.....	53
9.5.1	增益测试	53
9.5.2	SSC 电源监测	54
9.6	分流器信号调理电气参数 (SSC)	54
10	保护和诊断	60
10.1	监控概述.....	60
10.1.1	配置模式下的诊断.....	63
10.1.2	有限操作模式下的禁用功能.....	63
10.1.3	安全关闭模式下的禁用功能.....	63
10.2	故障检测处理.....	63
10.2.1	故障标志	64
10.2.2	故障行为配置	64
10.2.3	并行故障发生.....	66
10.2.4	通用故障行为时序图.....	67
10.3	诊断测试功能.....	71
10.4	LIMP 功能	72
10.5	详细监控描述.....	72
10.5.1	Vs 电压监测.....	73
10.5.1.1	SPI 寄存器作为 VS 监控基准	73
10.5.2	VDHP 电压监测	74
10.5.2.1	SPI 寄存器作为 VDHP 监控基准	74
10.5.2.2	VDHP 过压检测 LD	75
10.5.3	电荷泵监测	75
10.5.3.1	SPI 寄存器作为 CB 欠压监控基准.....	76
10.5.3.2	电荷泵的过载与过压	76
10.5.4	高边缓冲电容电压监测.....	76
10.5.4.1	引脚 SHx 处的高负压高边缓冲电容器的过压检测.....	77
10.5.4.2	高边缓冲电容 UV 监测的 SPI 基准.....	77
10.5.5	VCC 监测	77
10.5.5.1	SPI寄存器 VCC 监控基准.....	78

10.5.5.2	VCC 自检功能	78
10.5.6	内部电源监控	79
10.5.7	内部 CLK 监控	79
10.5.8	温度检测和关断	80
10.5.8.1	SPI 寄存器过温检测基准	80
10.5.8.2	温度读取	80
10.5.9	输出级状态反馈	80
10.5.10	数字驱动路径监测.....	80
10.5.11	短路检测 - SCD.....	81
10.5.11.1	SPI 寄存器 SCD 电压阈值基准.....	81
10.5.11.2	SCD 自检功能.....	82
10.5.12	FET 漏源电压读取	85
10.5.13	FET 反向二极管正向电压读取.....	85
10.5.14	外部 FET 的漏源电压测量.....	86
10.5.15	输入模式违规监控.....	86
10.5.16	数字输出引脚过载.....	86
10.5.17	配置错误	86
10.5.17.1	配置签名无效	86
10.5.17.2	配置超时	87
10.5.18	控制寄存器误差监测.....	87
10.5.19	状态机误差监测	87
10.5.20	SPI 通信错误	87
10.5.20.1	SPI 帧错误	88
10.5.20.2	SPI 帧超时	88
10.5.20.3	SPI 窗口看门狗	88
10.5.20.3.1	SPI 寄存器作为窗口看门狗基准	89
10.5.20.4	CRC 错误.....	90
10.5.20.5	无效地址访问监测	90
10.6	保护和诊断功能电气特征.....	90
11	数字相电压反馈	100
11.1	相电压反馈编程.....	100
11.2	相位反馈电气参数.....	100
12	相位关断激活.....	102
12.1	相位关断编程.....	102
12.2	相位关断激活电气参数.....	103
13	工作模式	104
13.1	正常工作模式.....	104
13.1.1	驱动模式	104
13.1.2	跛行模式	104
13.2	有限操作模式.....	105
13.3	睡眠模式.....	105

13.4	空闲模式	105
13.5	配置模式	106
13.6	配置锁定模式.....	106
13.7	安全关闭模式.....	106
13.8	错误模式.....	106
13.9	自检模式.....	106
13.10	工作模式和过渡状态概述.....	107
13.11	上电图.....	109
14	寄存器描述	111
14.1	SPI 数据流	111
14.2	SPI 帧格式	111
14.2.1	SPI 状态标志	111
14.3	SPI 监控概述	112
14.3.1	SPI 通信和配置错误概述	112
14.3.2	特殊事件寄存器概述.....	112
14.3.3	保留寄存器、位和值.....	113
14.3.4	寄存器类型概述	113
15	寄存器规格	115
15.1	寄存器章节.....	115
15.1.1	配置寄存器	118
15.1.1.1	配置签名	118
15.1.1.2	通用配置 1.....	119
15.1.1.3	通用配置 2.....	120
15.1.1.4	通用配置 3.....	121
15.1.1.5	窗口看门狗	122
15.1.1.6	Vs 过压和欠压阈值.....	123
15.1.1.7	VDHP 过压和欠压阈值	124
15.1.1.8	CB 欠压和 VCC 欠压和过压阈值.....	125
15.1.1.9	电荷泵/高边缓冲器故障模式	126
15.1.1.10	杂项故障模式	127
15.1.1.11	Vs & VDHP & VCC 欠压故障模式.....	128
15.1.1.12	Vs & VDHP & VCC 过压故障模式.....	129
15.1.1.13	短路检测与信号路径监控故障模式	130
15.1.1.14	死区时间高边	131
15.1.1.15	死区时间低边	132
15.1.1.16	欠压滤波时间	133
15.1.1.17	过压和 VCC 滤波时间	134
15.1.1.18	过温 & 短路检测滤波时间	135
15.1.1.19	过流滤波时间	136
15.1.1.20	过流故障模式	137
15.1.2	控制寄存器	138

15.1.2.1	电流检测放大器 1&2 - 增益 1.....	138
15.1.2.2	电流检测放大器 1&2 - 增益 2.....	139
15.1.2.3	电流检测放大器 3 - 增益 1&2.....	140
15.1.2.4	电流检测放大器零电流偏移	141
15.1.2.5	电流检测放大器配置	142
15.1.2.6	短路检测阈值低边 1.....	143
15.1.2.7	短路检测阈值低边 2.....	144
15.1.2.8	短路检测阈值低边 3.....	145
15.1.2.9	短路检测阈值高边 1.....	146
15.1.2.10	短路检测阈值高边 2.....	147
15.1.2.11	短路检测阈值高边 3.....	148
15.1.2.12	跛行激活和半桥停用	149
15.1.2.13	移相电压反馈和 CSA 增益	150
15.1.2.14	无源整流阈值	151
15.1.2.15	有源整流阈值	152
15.1.2.16	整流滤波时间	153
15.1.2.17	整流精度	154
15.1.2.18	整流模式进入	155
15.1.2.19	无操作	156
15.1.2.20	反向二极管测量	157
15.1.2.21	漏源测量	158
15.1.3	自检寄存器	159
15.1.3.1	自检选择 1.....	159
15.1.3.2	自检选择 2.....	160
15.1.3.3	自检模式进入	161
15.1.4	读取寄存器	162
15.1.4.1	工作模式概述	162
15.1.4.2	错误概述	163
15.1.4.3	特殊事件寄存器	164
15.1.4.4	内部错误 1.....	165
15.1.4.5	内部错误 2.....	166
15.1.4.6	外部错误	167
15.1.4.7	关断错误	168
15.1.4.8	短路错误	169
15.1.4.9	输入模式违规	170
15.1.4.10	输出级反馈错误	171
15.1.4.11	SPI 通信和配置错误	172
15.1.4.12	电路检测放大器 1 & 2 错误.....	173
15.1.4.13	电流检测放大器 3.....	174
15.1.4.14	数字输出引脚错误	175
15.1.4.15	低边 1 漏源测量.....	176
15.1.4.16	低边 2 漏源测量.....	177

15.1.4.17	低边 3 漏源测量	178
15.1.4.18	高边 1 漏源测量	179
15.1.4.19	高边 2 漏源测量	180
15.1.4.20	高边 3 漏源测量	181
15.1.4.21	低边 1 反向二极管测量	182
15.1.4.22	低边 2 反向二极管测量	183
15.1.4.23	低边 3 反向二极管测量	184
15.1.4.24	高边 1 反向二极管测量	185
15.1.4.25	高边 2 反向二极管测量	186
15.1.4.26	高边 3 反向二极管测量	187
15.1.4.27	低边 1 输出级温度	188
15.1.4.28	低边 2 输出级温度	189
15.1.4.29	低边 3 输出级温度	190
15.1.4.30	高边 1 输出级温度	191
15.1.4.31	高边 2 输出级温度	192
15.1.4.32	高边 3 输出级温度	193
15.1.4.33	窗口看门狗循环计数器	194
15.1.4.34	看门狗时钟计数器 1	195
15.1.4.35	看门狗时钟计数器 2	196
15.1.4.36	看门狗时钟计数器 3	197
15.1.4.37	VCC 测量结果	198
15.1.4.38	CB 测量结果	199
15.1.4.39	Vs 测量结果	200
15.1.4.40	VDHP 测量结果	201
16	应用信息	202
16.1	布局指南	202
16.2	附加组件建议	203
16.2.1	附加组件	203
16.3	其他应用提示	204
16.3.1	数字输出引脚的高电平输出电压	204
16.3.2	引脚 Vs 处的静态电流损耗	204
16.3.3	引脚 I _{Hx} 和 I _{Lx} 最小输入脉冲	204
16.3.4	CSA 串扰	204
16.3.5	CP1 过载	205
16.3.6	数字输出引脚过载检测	205
16.3.7	FET 反向二极管正向电压读取 - 短死区时间	205
16.3.8	FET 反向二极管正向电压读取 - 无死区时间生成 (以 μC 为单位)	205
16.3.9	上电序列中的最小 $\overline{\text{INH}}$ 脉冲长度	205
16.3.10	有限操作模式 INH 置位至低	206
17	封装外形	207
	修订记录	209

免责声明	212
------------	-----

1 框图

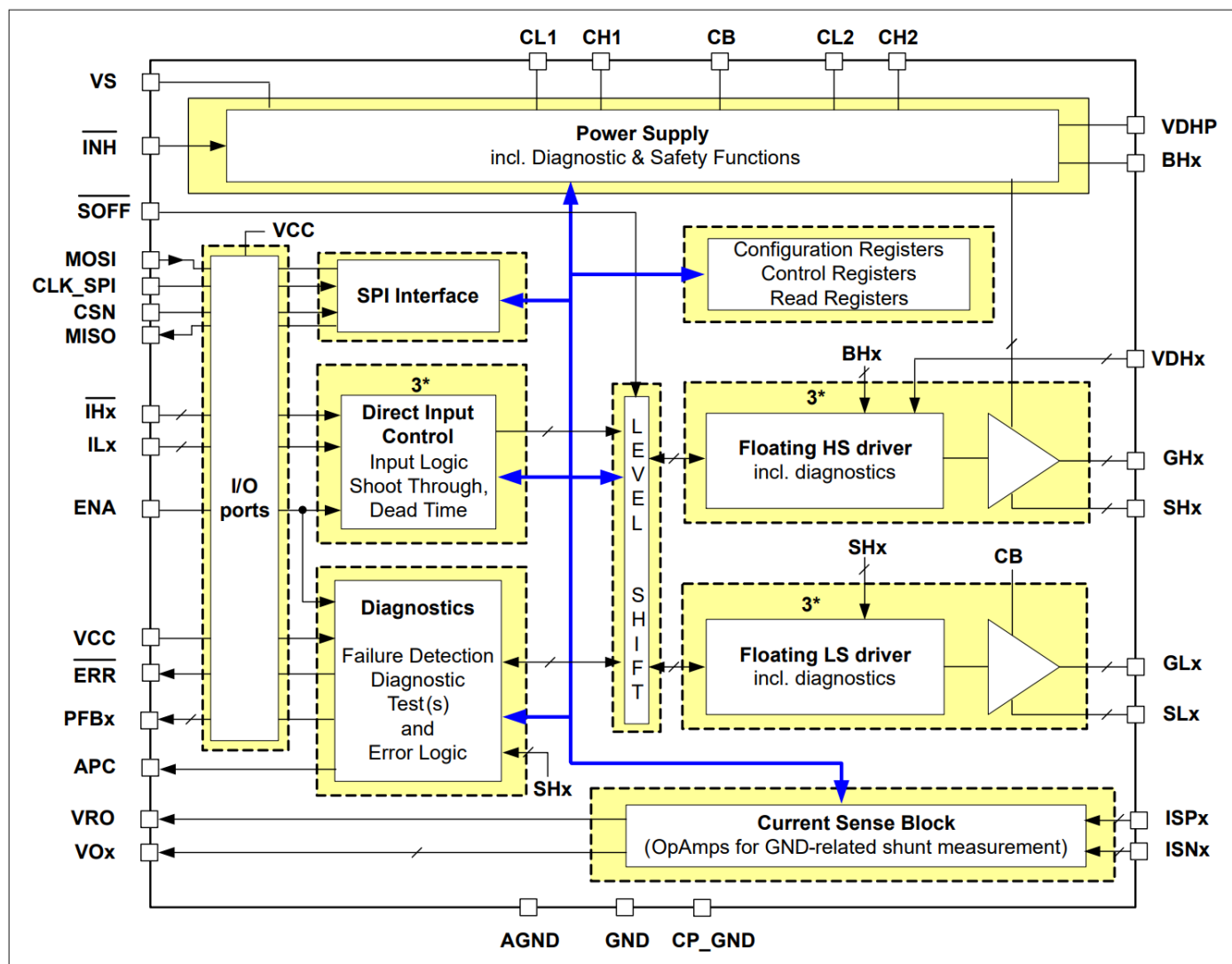


图 1 框图

2 引脚配置

2.1 引脚分配

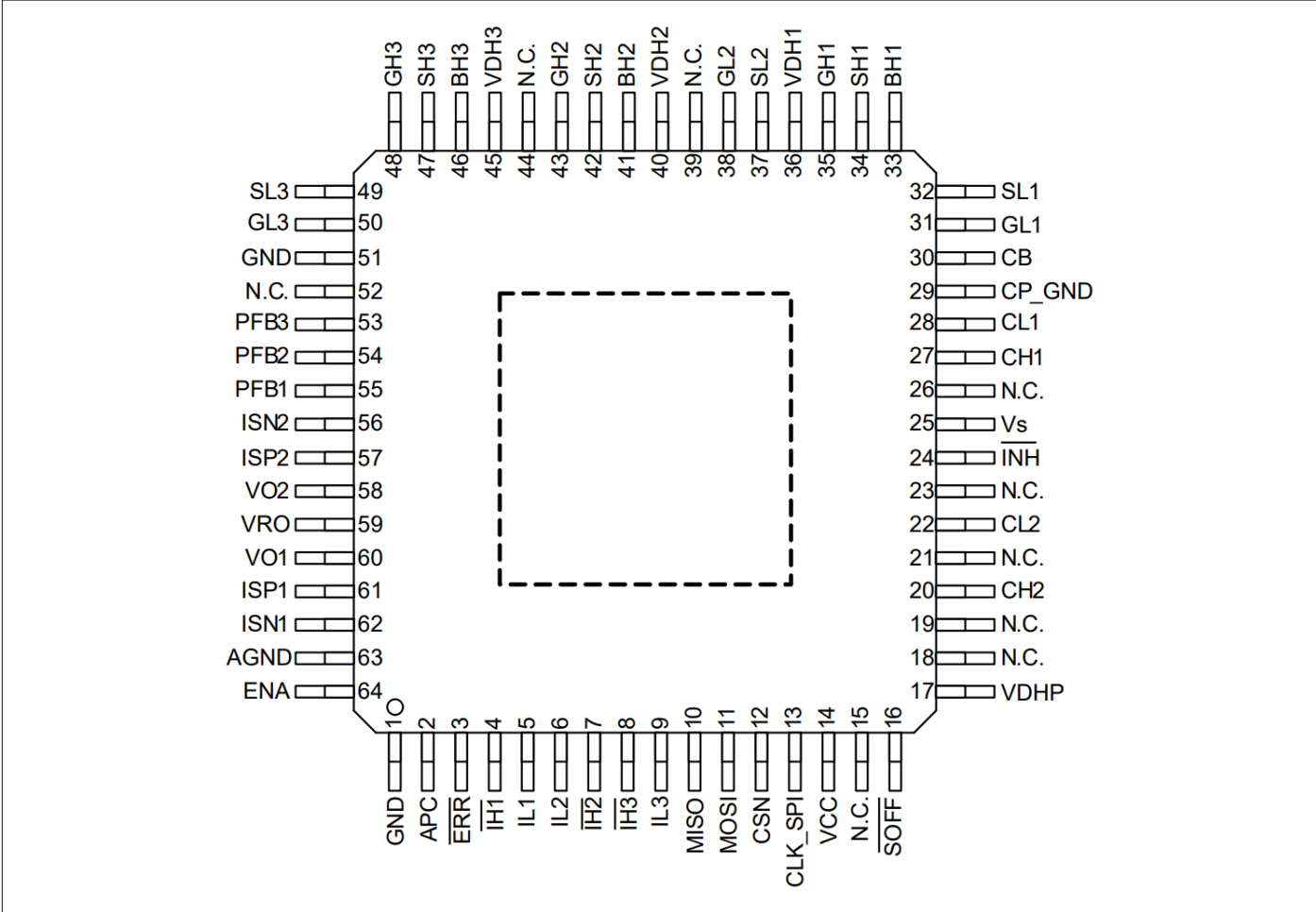


图 2 引脚配置

2.2 引脚定义和功能

Pin	Symbol	Function
1	GND	Ground Connect this pin to ground.
2	APC	Activation Phase Cut off Circuit Digital output referred to 5 V. Connect this safe state output pin to the driving circuit for the phase separation FETs. Can be used for any other safe state circuit. If not used keep pin open.
3	$\overline{\text{ERR}}$	Error Not Digital active-low error output pin referred to VCC supply voltage. Indication for ready for configuration when high after power-up. If not used keep pin open.
4	$\overline{\text{IH1}}$	Input High-side 1 Not Digital active-low input pin to turn on/off high-side FET 1 referred to VCC supply voltage.

Pin	Symbol	Function
5	IL1	<i>Input Low-side 1</i> Digital active-high input pin to turn on/off low-side FET 1 referred to VCC supply voltage.
6	IL2	<i>Input Low-side 2</i> Digital active-high input pin to turn on/off low-side FET 2 referred to VCC supply voltage.
7	$\overline{\text{IH2}}$	<i>Input High-side 2 Not</i> Digital active-low input pin to turn on/off high-side FET 2 referred to VCC supply voltage.
8	$\overline{\text{IH3}}$	<i>Input High-side 3 Not</i> Digital active-low input pin to turn on/off high-side FET 3 referred to VCC supply voltage.
9	IL3	<i>Input Low-side 3</i> Digital active-high input pin to turn on/off low-side FET 3 referred to VCC supply voltage.
10	MISO	<i>Master In Slave Out</i> Digital SPI signalling output port referred to VCC supply voltage. Connect to SPI port “data input” of μC to send status information during SPI communication.
11	MOSI	<i>Master Out Slave In</i> Digital SPI signalling input port referred to VCC supply voltage. Connect to SPI port “data output” of μC to receive commands during SPI communication.
12	CSN	<i>Chip Select Not</i> Digital active-low SPI signalling input port referred to VCC supply voltage. Connect to SPI port “chip select” of μC to address the device for SPI communication.
13	CLK_SPI	<i>Clock Serial Peripheral Interface</i> Digital SPI signalling input port referred to VCC supply voltage. Connect to SPI port “clock” of μC to clock the device for SPI communication.
14	VCC	<i>VCC Supply Voltage</i> Power supply for digital I/O pins and input for VCC monitoring. Connect to I/O supply of μC .
15	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
16	$\overline{\text{SOFF}}$	<i>Safe Off Not</i> Analog active-low input pin to turn all FETs off and to enter safe off mode. Functional independent to ENA pin.

Pin	Symbol	Function
17	VDHP	<i>Voltage Drain High-side Power</i> Low reference for charge pump 2. Sense input for VDHP under- and overvoltage detections, shutdown and readout. Sense input for phase voltage feedback PFBx threshold. Sense input for short circuit detection (SCD) of all high-side FETs. (Note: Depends on configuration, bit en_vdh3. If pins VDHx are used for short circuit detection (activated via SPI) then VDHP pin is not the sense input for SCD.) Connect this pin directly (low ohmic and low inductive) to recommended common star point of the drains of the high-side FETs and buffer capacitor(s).
18	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
19	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
20	CH2	<i>Charge Pump 2 High</i> Positive terminal for pump capacitor of charge pump 2. Connect the pump capacitor as close as possible to pin.
21	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
22	CL2	<i>Charge Pump 2 Low</i> Negative terminal for pump capacitor of charge pump 2. Connect the pump capacitor as close as possible to pin.
23	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
24	INH	<i>Inhibit Not</i> Analog active-low inhibit pin. Sets device into sleep mode for low quiescent current consumption. External FETs are turned off actively before the charge pumps are turned off. Reset via inhibit requires a new configuration via SPI.
25	Vs	<i>Voltage Supply</i> Supply voltage for device. Connect to supply (battery) voltage with reverse polarity protection circuit and capacitor between pin and GND. An EMC filter is recommended.
26	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
27	CH1	<i>Charge Pump 1 High</i> Positive terminal for pump capacitor of charge pump 1. Connect the pump capacitor as close as possible to pin.
28	CL1	<i>Charge Pump 1 Low</i> Negative terminal for pump capacitor of charge pump 1. Connect the pump capacitor as close as possible to pin.
29	CP_GND	<i>Charge Pump Ground</i> GND pin for the charge pumps. Connect this pin directly (low ohmic and low inductive) to GND.

Pin	Symbol	Function
30	CB	<i>Charge Pump Buffer</i> Buffer capacitor connection for charge pump 1. Connect the capacitor as close as possible to pin.
31	GL1	<i>Gate Low-side 1</i> Analog I/O pin to turn on/off low-side FET 1. Connect to the gate of low-side FET 1. A gate resistor is recommended.
32	SL1	<i>Source Low-side 1</i> Analog I/O pin to turn on/off low-side FET 1. Connect to the source of low-side FET 1. If transients violate maximum rating or functional range external protection circuit is required.
33	BH1	<i>Bootstrap High-side 1</i> Analog I/O pin. Positive terminal to high-side buffer capacitor 1. Connect the capacitor as close as possible to pin.
34	SH1	<i>Source High-side 1</i> Analog I/O pin to turn on/off high-side FET 1 and negative terminal to high-side buffer capacitor. Connect the capacitor as close as possible to pin and connect to the source of high-side FET 1. Connection to motor and input for phase voltage feedback circuit. If transients violate maximum rating or functional range external protection circuit is required.
35	GH1	<i>Gate High-side 1</i> Analog I/O pin to turn on/off high-side FET 1. Connect to the gate of high-side FET 1. A gate resistor is recommended.
36	VDH1	<i>Voltage Drain High-side 1</i> Sense input for short circuit detection (SCD) of high-side FET 1. (Note: Depends on configuration, bit en_vdh3. If pins VDHx are used for short circuit detection (activated via SPI) then VDHP pin is not the sense input for SCD.) Connect directly to the drain of high-side FET 1, or not connected if not configured.
37	SL2	<i>Source Low-side 2</i> Analog I/O pin to turn on/off low-side FET 2. Connect to the source of low-side FET 2. If transients violate maximum rating or functional range external protection circuit is required.
38	GL2	<i>Gate Low-side 2</i> Analog I/O pin to turn on/off low-side FET 2. Connect to the gate of low-side FET 2. A gate resistor is recommended.
39	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
40	VDH2	<i>Voltage Drain High-side 2</i> Sense input for short circuit detection (SCD) of high-side FET 2. (Note: Depends on configuration, bit en_vdh3. If pins VDHx are used for short circuit detection (activated via SPI) then VDHP pin is not the sense input for SCD.) Connect directly to the drain of high-side FET 2, or not connected if not configured.

Pin	Symbol	Function
41	BH2	<i>Bootstrap High-side 2</i> Analog I/O pin. Positive terminal to high-side buffer capacitor 2. Connect the capacitor as close as possible to pin.
42	SH2	<i>Source High-side 2</i> Analog I/O pin to turn on/off high-side FET 2 and negative terminal to high-side buffer capacitor. Connect the capacitor as close as possible to pin and connect to the source of high-side FET 2. Connection to motor and input for phase voltage feedback circuit. If transients violate maximum rating or functional range external protection circuit is required.
43	GH2	<i>Gate High-side 2</i> Analog I/O pin to turn on/off high-side FET 2. Connect to the gate of high-side FET 2. A gate resistor is recommended.
44	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND
45	VDH3	<i>Voltage Drain High-side 3</i> Sense input for short circuit detection (SCD) of high-side FET 3. (Note: Depends on configuration, bit en_vdh3. If pins VDHx are used for short circuit detection (activated via SPI) then VDHP pin is not the sense input for SCD.) Connect directly to the drain of high-side FET 3, or not connected if not configured.
46	BH3	<i>Bootstrap High-side 3</i> Analog I/O pin. Positive terminal to high-side buffer capacitor 3. Connect the capacitor as close as possible to pin.
47	SH3	<i>Source High-side 3</i> Analog I/O pin to turn on/off high-side FET 3 and negative terminal to high-side buffer capacitor. Connect the capacitor as close as possible to pin and connect to the source of high-side FET 3. Connection to motor and input for phase voltage feedback circuit. If transients violate maximum rating or functional range external protection circuit is required.
48	GH3	<i>Gate High-side 3</i> Analog I/O pin to turn on/off high-side FET 3. Connect to the gate of high-side FET 3. A gate resistor is recommended.
49	SL3	<i>Source Low-side 3</i> Analog I/O pin to turn on/off low-side FET 3. Connect to the source of low-side FET 3. If transients violate maximum rating or functional range external protection circuit is required.
50	GL3	<i>Gate Low-side 3</i> Analog I/O pin to turn on/off low-side FET 3. Connect to the gate of low-side FET 3. A gate resistor is recommended.
51	GND	<i>Ground</i> Connect this pin to ground.
52	N.C.	<i>Not Connected</i> Keep pin open and do not connect to GND

Pin	Symbol	Function
53	PFB3	<i>Phase Voltage Feedback 3</i> Digital output pin referred to VCC supply voltage. Feedback for μ C of the state of the motor connection of pin SH3 referred to voltage at VDHP. Connect to PFB 3 port to μ C. If not used keep pin open.
54	PFB2	<i>Phase Voltage Feedback 2</i> Digital output pin referred to VCC supply voltage. Feedback for μ C of the state of the motor connection of pin SH2 referred to voltage at VDHP. Connect to PFB 2 port to μ C. If not used keep pin open.
55	PFB1	<i>Phase Voltage Feedback 1</i> Digital output pin referred to VCC supply voltage. Feedback for μ C of the state of the motor connection of pin SH1 referred to voltage at VDHP. Connect to PFB 1 port to μ C. If not used keep pin open.
56	ISN2	<i>Input Shunt Negative of CSA 2</i> Negative input of current sense amplifier 2 for shunt signal amplification. An external input filter is recommended. If current sense amplifier 2 is not used the pin shall be connected to GND and deactivate CSA 2 at configuration mode.
57	ISP2	<i>Input Shunt Positive of CSA 2</i> Positive input of current sense amplifier 2 for shunt signal amplification. An external input filter is recommended. If current sense amplifier 2 is not used the pin shall be connected to GND and deactivate CSA 2 at configuration mode.
58	VO2	<i>Voltage Output of CSA 2</i> Analog output of current sense amplifier 2 for shunt signal amplification referred to 5 V. Connect to analog-to-digital converter.
59	VRO	<i>Voltage Reference Output</i> Output pin of reference voltage of current sense amplifier. The reference voltage indicates the zero motor current output voltage. Connect to analog-to-digital converter.
60	VO1	<i>Voltage Output of CSA 1</i> Analog output of current sense amplifier 1 for shunt signal amplification referred to 5 V. Connect to analog-to-digital converter.
61	ISP1	<i>Input Shunt Positive of CSA 1</i> Positive input of current sense amplifier 1 for shunt signal amplification. An external input filter is recommended. If current sense amplifier 1 is not used the pin shall be connected to GND and deactivate CSA 1 at configuration mode.
62	ISN1	<i>Input Shunt Negative of CSA 1</i> Negative input of current sense amplifier 1 for shunt signal amplification. An external input filter is recommended. If current sense amplifier 1 is not used the pin shall be connected to GND and deactivate CSA 1 at configuration mode.
63	AGND	<i>Analog Ground</i> GND pin of current sense amplifier. Connect directly (low ohmic and low inductive) to GND.

Pin	Symbol	Function
64	ENA	<i>Enable</i> Digital input pin to turn all FETs off referred to VCC supply voltage. Functional independent to $\overline{\text{SOFF}}$ pin. Reset of latched error conditions.
Cooling Tab	GND	<i>Cooling Tab</i> To be connected to GND

3 产品一般特性

3.1 绝对最大额定值

表 2 绝对最大额定值

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Power Supply							
Supply Voltage	V _{Vs1}	-0.3	–	60	V	–	P_4.1.1
Supply Voltage for Power-up ¹⁾	V _{Vs6}	–	–	40	V	–	P_4.1.7
Supply Voltage ¹⁾	V _{Vs2}	-5	–	–	V	Reverse polarity R _{VS} ≥ 10 Ω ²⁾	P_4.1.2
Voltage Range VDHP	V _{VDHP1}	-5	–	85	V	³⁾	P_4.1.3
Voltage Difference Vs-VDHP	V _{dVsVDHP}	-85	–	60	V	–	P_4.1.5
Voltage Range VDH1, VDH2, VDH3	V _{VDHx1}	-5	–	90	V	–	P_4.1.6
Voltage Difference Vs-VDH1, VDH2, VDH3	V _{dVsVDHx}	-90	–	60	V	–	P_4.1.8
Voltage Range CL1	V _{CL1}	-0.3	–	60	V	–	P_4.1.9
Voltage Range CH1	V _{CH1}	-0.3	–	28	V	–	P_4.1.10
Voltage Range CB	V _{CB}	-0.3	–	28	V	–	P_4.1.11
Voltage Range CL2, CH2	V _{CHL2}	-0.3	–	90	V	–	P_4.1.12
Voltage Difference CH2-CL2	V _{dCH2CL2}	-0.3	–	28	V	–	P_4.1.62
Maximum Peak Pulse Current CB to CH2	I _{CBCH2}	–	–	1	A	t = 5 μs ¹⁾	P_4.1.61
Maximum Peak Pulse Current CB to BHx ¹⁾	I _{CBBHx}	–	–	1	A	t = 0.8 μs ⁴⁾	P_4.1.66
Floating Driver Stages							
Voltage Range SLx	V _{SLx1}	-7	–	10	V	–	P_4.1.13
Voltage Range SLx ¹⁾	V _{SLx2}	-10	–	–	V	¹⁰⁾	P_4.1.14
Voltage Range SLx ¹⁾	V _{SLx3}	-15	–	–	V	⁵⁾	P_4.1.15
Voltage Range GLx	V _{GLx1}	-7	–	28	V	–	P_4.1.16
Voltage Range GLx ¹⁾	V _{GLx2}	-10	–	–	V	¹⁰⁾	P_4.1.17

(表格续下页.....)

- ¹ 未经过生产测试, 由设计定义。
² 在低电池电压下运行时必须考虑电阻上的压降
³ 最低限值 -5 V 仅在有限时间内有效
⁴ 详情请参考图 3
¹⁰ 开通时间 $t_{on} = 500 \text{ ns}$; $t_{on}/t_{off} = 1\% \text{ 20 kHz PWM}$
⁵ 开通时间 $t_{on} = 250 \text{ ns}$; $t_{on}/t_{off} = 0.5\% \text{ 20 kHz PWM}$

表 2 (续) 绝对最大额定值

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage Range GLx ¹⁾	V_{GLx3}	-15	–	–	V	⁵⁾	P_4.1.18
Voltage Range SHx	V_{SHx1}	-7	–	90	V	–	P_4.1.19
Voltage Range SHx ¹⁾	V_{SHx2}	-10	–	–	V	¹⁰⁾⁶⁾	P_4.1.20
Voltage Range SHx ¹⁾	V_{SHx3}	-15	–	–	V	⁵⁾⁶⁾	P_4.1.21
Max. Voltage Transients at SHx	V_{fSH_tr1}	–	–	55	V	Slew rate $\leq 1\text{ V/ns}$ ⁷⁾¹⁾	P_4.3.31
Voltage Range GHx	V_{GHx1}	-7	–	90	V	–	P_4.1.22
Voltage Range GHx ¹⁾	V_{GHx2}	-10	–	–	V	¹⁰⁾	P_4.1.23
Voltage Range GHx ¹⁾	V_{GHx3}	-15	–	–	V	⁵⁾	P_4.1.24
Voltage Range BHx	V_{BH}	-0.3	–	90	V	–	P_4.1.25
Voltage Difference Gxx-Sxx	V_{GS2}	-0.3	–	28	V	⁸⁾	P_4.1.26
Voltage Difference BHx-SHx	V_{BS2}	-0.3	–	28	V	⁸⁾	P_4.1.27
Voltage Difference CB-SLx	V_{CBSLx}	-0.3	–	28	V	⁸⁾	P_4.1.28
Voltage Difference SHx-SLx ¹⁾	V_{SSx1}	-12	–	90	V	$\overline{IHx} = \text{High}$	P_4.1.29
Voltage Difference VDHP-SHx	$V_{dVDHPShx2}$	-90	–	90	V	–	P_4.1.32
Voltage Difference VDHx-SHx	$V_{dVDHxSHx}$	-90	–	90	V	–	P_4.1.33
Inputs and Outputs							
Voltage Range $\overline{IHx}$, ILx, ENA	V_{DIP1}	-0.3	–	60	V	–	P_4.1.34
Voltage Range VCC	V_{VCC1}	-0.3	–	60	V	–	P_4.1.35
Voltage Range $\overline{INH}$	V_{INH}	-0.3	–	90	V	–	P_4.1.36
Voltage Range $\overline{SOFF}$	V_{SOFF}	-0.3	–	90	V	–	P_4.1.37
Voltage Range PFBx, $\overline{ERR}$	V_{DOP1}	-0.3	–	60	V	–	P_4.1.38
Voltage Range APC	V_{AOP1}	-0.3	–	60	V	⁹⁾	P_4.1.39
SPI Interface							
Voltage Range CLK_SPI, CSN, MOSI	V_{SPI1}	-0.3	–	60	V	–	P_4.1.40

(表格续下页.....)

¹⁾ 未经过生产测试, 由设计定义。

⁵⁾ 开通时间 $t_{on} = 250\text{ns}$; $t_{on}/t_{off} = 0.5\%$ 20 kHz PWM

¹⁰⁾ 开通时间 $t_{on} = 500\text{ns}$; $t_{on}/t_{off} = 1\%$ 20 kHz PWM

⁶⁾ 引脚 SHx 处的负瞬变可能会对高边缓冲器电容额外充电, 并可能导致高边缓冲器电容 BHx-SHx 过压。详细内容请参考第 10.5.4.1 章

⁷⁾ 在高于 20 V 的幅值下, HS 输出级可能会显示外部 MOSFET 意外关闭, 持续时间通常为 1 μs , 如果输出没有开关。如果输出级正在开启或关闭, 即使幅值高达 55 V, 转换速率高达 1 V/ns, 输出级仍能正常切换。

⁸⁾ 在持续时间 $t = 50\text{ }\mu\text{s}$ 、电流为 400 mA 时

⁹⁾ APC 短路超过 10 小时可能会损坏器件

表 2 (续) 绝对最大额定值

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage Range MISO	V_{SPI2}	-0.3	–	60	V	–	P_4.1.41
Shunt Signal Conditioning							
Voltage Range ISP _x , ISN _x	V_{ISx1}	-3.0	–	3.0	V	–	P_4.1.42
Voltage Range ISP _x , ISN _{x1})	V_{ISx2}	-10	–	10	V	$R_{ISP} \geq 18\ \Omega$ $R_{ISN} \geq 18\ \Omega$ ¹⁰⁾	P_4.1.43
Voltage Difference ISP _x -ISN _x	V_{dISx}	-5.0	–	5.0	V	–	P_4.1.44
Voltage Range VO _x	V_{VOx1}	-0.3	–	3.0	V	–	P_4.1.45
Voltage Range VO _{x1})	V_{VOx3}	-0.3	–	5.5	V	$\overline{INH} = \text{High};$ V_s supplied	P_4.1.46
Voltage Range VO _x	V_{VOx2}	-0.3	–	18	V	1 k Ω in series	P_4.1.47
Current Range VO _{x1})	I_{VOx}	-10	–	18	mA	–	P_4.1.48
Voltage Range VRO	V_{VRO1}	-0.3	–	3	V	–	P_4.1.49
Voltage Range VRO ₁)	V_{VRO3}	-0.3	–	5.5	V	$\overline{INH} = \text{High};$ V_s supplied	P_4.1.50
Voltage Range VRO	V_{VRO2}	-0.3	–	18	V	1 k Ω in series	P_4.1.51
Current Range VRO ₁)	I_{VRO}	-10	–	18	mA	–	P_4.1.52
GND							
Voltage Range CP_GND, AGND, GND, EPAD	V_{ISx}	-0.3	–	0.3	V	–	P_4.1.53
Temperatures							
Storage Temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_4.1.54
Junction Temperature	T_{J1}	-40	–	150	$^{\circ}\text{C}$	¹¹⁾ –	P_4.1.55
ESD Susceptibility							
ESD Resistivity HBM all Pins ¹²⁾	$V_{ESDHBM2}$	-1.5	–	1.5	kV	–	P_4.1.58
ESD Resistivity all Pins (charged device model) ¹³⁾	V_{ESDCDM}	–	–	500	V	–	P_4.1.59
ESD Resistivity Corner Pins (charged device model) ¹³⁾	$V_{ESDCDMc}$	–	–	750	V	–	P_4.1.60

¹ 未经过生产测试, 由设计定义。

¹⁰ 开通时间 $t_{on} = 500\text{ ns}$; $t_{on}/t_{off} = 1\% 20\text{ kHz PWM}$

¹¹ 对于 $T_j > 150^{\circ}\text{C}$, 请检查是否符合 IFX 资格

¹² 静电防护鲁棒性符合人体模型 (HBM) ANSI/ESDA/ JEDEC JS-001

¹³ 静电防护鲁棒性符合带电器件模型 (CDM) JESD22-C101

注：

1. 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止IC在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

3.2 热阻

注：此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问www.jedec.org。

表 3 热阻

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Case ¹⁴⁾	R_{thJC}	–	5	–	K/W	$V_{VS} = V_{VDH} = 14\text{ V};$ $T_a = 85^\circ\text{C};$ 6 FETs toggling; $Q_{gTOT} = 200\text{ nC};$ $f_{PWM} = 20\text{ kHz};$ inhomogeneous power distribution	P_4.2.1
Junction to Top ¹⁴⁾	R_{thJT}	–	18	–	K/W	$V_{VS} = V_{VDH} = 14\text{ V};$ $T_a = 85^\circ\text{C};$ 6 FETs toggling; $Q_{gTOT} = 200\text{ nC};$ $f_{PWM} = 20\text{ kHz};$ inhomogeneous power distribution	P_4.2.2
Junction to Ambient ¹⁴⁾	R_{thJA}	–	28	–	K/W	$V_{VS} = V_{VDH} = 14\text{ V};$ $T_a = 85^\circ\text{C};$ 6 FETs toggling; $Q_{gTOT} = 200\text{ nC};$ $f_{PWM} = 20\text{ kHz};$ inhomogeneous power distribution ¹⁵⁾	P_4.2.3

¹⁴⁾ 未经过生产测试，由设计定义

¹⁵⁾ 指定的 R_{thJA} 值是根据 Jedec JESD51-2,-5,-7，在FR4 2s2p 板上自然对流条件下的仿真得到的；产品（芯片和封装）在具有 2 个内铜层（ $2 \times 70\text{ }\mu\text{m Cu}$ 、 $2 \times 35\text{ }\mu\text{m Cu}$ ）的 $76.2 \times 114.3 \times 1.5\text{ mm}$ 板上进行模拟。在适用的情况下，裸露的裸散热焊盘下的导热过孔阵列与第一内铜层接触。

3.3 工作范围

表 4 工作范围¹⁶⁾

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Voltage	V_{Vs3}	5.5	–	60	V	Thermally limited	P_4.3.1
Supply Voltage for Startup	V_{Vs4}	V_{VsWU}	–	–	V	Startup	P_4.3.2
Supply Voltage Reduced Operation Range V_s ¹⁷⁾	V_{Vs5}	3.0	–	V_{VsROP}	V	Logic operational; I/Os turned off	P_4.3.3
Voltage Range VCC	V_{VCC4}	V_{VCCROP}	–	$V_{VCCxOVx}$	V	–	P_4.3.4
Supply Voltage Reduced Operation Range VCC	V_{VCC5}	-0.3	–	V_{VCCROP}	V	Logic operational; I/Os turned off	P_4.3.5
Voltage Range CB ¹⁸⁾	V_{fCB}	V_{CBUVSD}	–	15.0	V	–	P_4.3.6
Voltage Difference CH1-CL1 ¹⁸⁾	V_{CP1}	$V_{CBx} - V_s$	–	V_{CBd}	V	$\overline{INH}$ = High; CP1 and CP2 operative	P_4.3.7
Voltage Difference CH2-CL2 ¹⁸⁾	V_{CP2}	-0.3	–	V_{CBd}	V	$\overline{INH}$ = High; CP1 and CP2 operative	P_4.3.8
Voltage Difference CH1-CL1 ¹⁸⁾	V_{CP1b}	-0.3	–	V_{CBd}	V	$\overline{INH}$ = Low or CP1 off	P_3.3.2
Voltage Difference CH2-CL2 ¹⁸⁾	V_{CP2b}	-0.3	–	V_{CBd}	V	$\overline{INH}$ = Low or CP2 off	P_3.3.3
Voltage Range VDHP, VDH1, VDH2, VDH3	V_{VDH3}	4.0	–	$V_{VDHOVSD}$	V	¹⁹⁾²⁰⁾ PFBx- operational	P_4.3.27
Voltage Range VDHP, VDH1, VDH2, VDH3	V_{VDH4}	2.0	–	$V_{VDHOVSD}$	V	VDHP readout- operational	P_4.3.28
Voltage Range VDHP, VDH1, VDH2, VDH3	V_{VDH5}	0.0	–	$V_{VDHOVSD}$	V	CP2 and SCD- operational ²¹⁾²²⁾	P_4.3.29
Voltage Range SHx	V_{fSHx}	$-V_{BHSHxx}$	–	90V- V_{BHSHxx}	V	–	P_4.3.9
Voltage Difference BHx-SHx	V_{fBS1}	V_{BSUV}	–	V_{fCB}	V	²³⁾ Bootstrap charging	P_4.3.10

(表格续下页.....)

¹⁶⁾ 未经过生产测试, 由设计指定。

¹⁷⁾ 上电将率先完成

¹⁸⁾ 正常工作情况下不会超过最大值, 可以相应选择电荷泵电容的电压等级

¹⁹⁾ 详情请参见 11 章

²⁰⁾ 当 V_{VDHP} 低于 4 V 时, PFBx 输出引脚可能会发生振荡。振荡可能导致数字输出引脚过载, 故障响应请参阅第 10.5.16 章

²¹⁾ 在最低限度下, 即使自由回流电流通过外部高边的反向二极管流动, 电荷泵仍然可工作FET

²²⁾ 施加到 VDHP 的负电压可能最终会导致进入到空闲模式并丢失配置数据

²³⁾ 最大限制在引脚 SHx 处没有负瞬变时有效。负瞬变可能会对高边缓冲电源电容器额外充电, 并可能导致高边缓冲电容器 BHx-SHx 的过压检测出现。详细内容请参见章节 10.5.4.1

表 4 (续) 工作范围¹⁶⁾

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltage Difference BHx-SHx	V_{fBS2}	V_{BSUV}	–	$V_{BHSHxlim}$	V	²³⁾ CP2 charging	P_4.3.30
Voltage Difference Gxx-Sxx	V_{fGS1}	-0.3	–	15.0	V	–	P_4.3.11
Duty Cycle Range Output Stages	D.C.	0	–	100	%	–	P_4.3.12
Voltage Range $\overline{INH}$ ²⁴⁾	V_{AIP1}	-0.3	–	$V_{VCCxOVx}$	V	–	P_4.3.13
Voltage Range $\overline{SOF}$ ²⁴⁾	V_{AIP2}	-0.3	–	$V_{VCCxOVx}$	V	–	P_4.3.14
Voltage Range $\overline{IHx}$, $\overline{ILx}$, ENA, CLK_SPI, CSN, MOSI	V_{DIP2}	-0.3	–	$V_{VCCxOVx}$	V	–	P_4.3.15
Voltage Range PFBx, $\overline{ERR}$, MISO	V_{DOP2}	V_{ERRL} V_{SPIL}	–	V_{ERRHx} V_{SPIHx}	V	–	P_4.3.16
Output Impedance PFBx, $\overline{ERR}$	R_{DOP}	–	50	–	Ω	–	P_4.3.17
Output Impedance MISO	$R_{DOPMISO}$	–	130	–	Ω	–	P_3.3.1
Voltage Range APC	V_{AOP2}	-0.3	–	V_{AOPHx}	V	–	P_4.3.18
Current Range APC	I_{AOP2}	-1	–	1	mA	–	P_4.3.19
Input Voltage Range ISPx, ISNx	V_{fISx}	V_{SSC_CM}	–	V_{SSC_CM}	V	–	P_4.3.20
Differential Voltage Range ISPx, ISNx	$V_{fdiffISx}$	V_{SSC_Idiff}	–	V_{SSC_Idiff}	mV	–	P_4.3.21
Voltage Range VOx	V_{fVOx}	V_{SSC_OVR}	–	V_{SSC_OVR}	V	–	P_4.3.22
Voltage Range VRO	V_{fVRO}	V_{SSC_OVRO}	–	V_{SSC_OVRO}	V	–	P_4.3.24

注: 在工作范围内, IC按照电路说明中的描述运行。电气特性是在相关电气特性表中注明的条件下指定的。

¹⁶⁾ 未经过生产测试, 由设计指定。

²³⁾ 最大限制在引脚 SHx 处没有负瞬变时有效。负瞬变可能会对高边缓冲电源电容器额外充电, 并可能导致高边缓冲电容器 BHx-SHx 的过压检测出现。详细内容请参见 [章节 10.5.4.1](#)

²⁴⁾ 工作范围最高可达其最大额定值, 但由设计指定, 不受生产测试的影响

3 产品一般特性

3.4 典型行为图

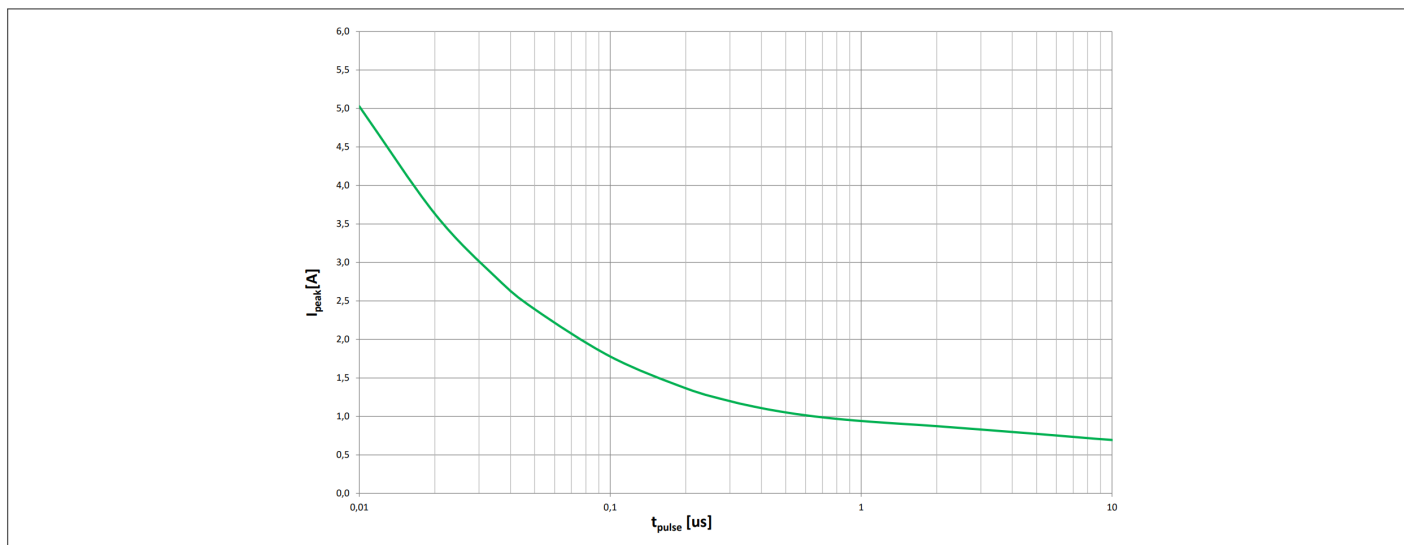


图 3 引脚 CB 和引脚 BHx 之间的最大峰值脉冲电流

注:

1. 该特性适用于PWM频率高达20 kHz的矩形脉冲形状。
2. 请参阅[章节 16.2](#)和[图 7](#)用于进一步限制外部元件的电流。如果观察到脉冲电流高于最大峰值脉冲电流，请联系英飞凌团队。

4 输入和输出特性

TLE9180D-21QK 的输入和输出引脚驱动输出级，并将有关栅极驱动 IC 状态、微控制器 (μC) 以及逆变器级状态的信息反馈给微控制器。数字输入和输出由 VCC 提供电源，并以 VCC 电压为参考，一般输入和输出具有固定的输入阈值和固定的高电平输出。每个驱动外部 FET 的输出级都有其自己的输入端口。此外，还有 3 个不同的引脚用于激活或停用输出级。ENA、 $\overline{\text{INH}}$ 和 $\overline{\text{SOFF}}$ 这 3 个引脚对栅极驱动器 IC 的的反应的影响各不相同。通过 SPI 接口，TLE9180D-21QK 可以被配置，并且 μC 可以读取诊断信息。 $\overline{\text{ERR}}$ 引脚表示 TLE9180D-21QK 或系统发生故障。

表 5 I/O 功能

Name of I/O	Definition	Functionality	Default State
$\overline{\text{INH}}$	General Input	Sleep Mode	Internal pull-down, FETs off passive clamping, Power up/down of device
$\overline{\text{SOFF}}$	General Input	Safe switch off	Internal pull-down, FETs off without reset of error registers, SOFF mode
ILx	Digital Input	Driver input for LS FETs	Internal pull-down, Affected FET off
$\overline{\text{IHx}}$	Digital Input	Driver input for HS FETs	Internal pull-up to VCC, Affected FET off
ENA	Digital Input	Enable and Reset	Internal pull-down, All FETs off
CLK_SPI	Digital Input	SPI	Internal pull-down
MOSI	Digital Input	SPI	Internal pull-down
CSN	Digital Input	SPI	Internal pull-up to VCC
MISO	Digital Output	SPI	Push-pull stage to VCC, Tri-state (Hi-Z) in case of no supply or if deactivated
PFBx	Digital Output	Phase Feedback	Push-pull stage to VCC with internal pull-down
APC	General Output	Driving Phase Cut Off Circuit	Push-pull stage to 5 V with internal pull-down
$\overline{\text{ERR}}$	Digital Output	Diagnostic Output	Push-pull stage to VCC with internal pull-down

4.1 数字输入

本章介绍控制输出级的数字输入引脚的基本功能。由于安全要求，输入引脚的耐压为 60 V。

$\overline{\text{IHx}}$, ILx

TLE9180D-21QK 使用低电平有效输入 $\overline{\text{IHx}}$ 来驱动高边输出级，使用高电平有效输入引脚 ILx 来驱动低边输出级。结合可配置的内部死区时间，仅用三个 μC 输出就可以驱动六个外部 FET。

ENA

如果 ENA 引脚设置为高电平，栅极驱动器 IC 的输出级将被启用。它也用于清除锁存错误。清除锁存错误是由下降沿触发的。如果 ENA 在低电平阶段之后设置为高电平，输出级将再次被激活。只要 ENA 设置为低电平，所有 FET 都将关闭。错误寄存器的错误位不会被 ENA 清除，而只能通过 SPI 读取来清除。有关详细描述，请参阅 [章节 10.2.4](#)。

可以通过在引脚 ENA 处应用下降沿并保持输入电平低以获得最短 t_{clear} 来执行 ENA 复位。

MOSI, CLK_SPI, CSN

详细描述请参考[章节 4.6](#)。

4.2 通用输入

本章介绍通用输入引脚的基本功能。通用输入引脚不指VCC电压。

$\overline{\text{INH}}$ - 抑制切换

如果 $\overline{\text{INH}}$ 引脚置位为低电平，内部掉电序列将被启动，并且在检测到 CB 引脚的欠压关断后，栅极驱动器 IC 将进入睡眠模式。如果引脚置于低电平，输出级将主动关断外部 MOSFET。电源也将被停用，因此在掉电序列之后，整个驱动器 IC 完全放电。然后外部 FET 被无源钳位保持关闭。每次 $\overline{\text{INH}}$ 置于低电平时，栅极驱动器 IC 都必须在下一个上电周期重新配置。

$\overline{\text{SOFF}}$ - 安全关断

TLE9180D-21QK 有安全关断路径包含在内。该路径旨在在运行期间检测到故障时，通过 μC 或替代监测 IC 通过 $\overline{\text{SOFF}}$ 输入引脚关闭外部 MOSFET。电源、逻辑、电流测量和 SPI 通信不受影响。

此外，安全状态关断路径被设计为对逻辑和 ENA 禁用路径完全冗余。因此，如果器件处于安全关闭状态，则可以读取故障寄存器来确定故障的根本原因。

4.3 VCC- I/O 供电和 μC 供电监测

VCC 是 I/O 端口的供电引脚。此外，VCC 电压是被监控的。可以检测 5 V 和 3.3 V 系统的欠压和过压。阈值级别可以在配置模式下设置。如果不需要 VCC 欠压和过压检测，则可以在配置期间将其禁用。

4.4 数字输出

数字输出是推挽级并由 VCC 供电，因此输出电平是指 VCC。数字输出端口具有接地短路保护和高于或等于引脚电路 VCC 短路保护。如果输出被短路，受影响的输出端口将被断开，并且专用错误寄存器位将被设置。

$\overline{\text{ERR}}$

$\overline{\text{ERR}}$ 引脚指示栅极驱动器 IC 传输到 μC 的错误信息输出集成一个下拉电阻。在三态 $\overline{\text{ERR}}$ 引脚交叉耦合发生于相邻引脚的情况下，以及在 VDHP 引脚电压低于 4.0 V 的情况下，请参阅[第 11 章](#)。

PFB1, PFB2, PFB3

PFB1、PFB2 和 PFB3 引脚表示每个半桥转向 μC 的转换点。引脚 SH1、SH2 和 SH3 的模拟电压将分别由 PFB1、PFB2 和 PFB3 转换成数字信号。输出具有集成下拉电阻。

MISO

详细描述请参考[第 4.6 章](#)。

4.5 通用输出

通用输出引脚不由VCC供电，不参考VCC但如果VCC电压低于1.0V引脚APC将无法按规定工作。高电平输出电压通常为5V。输出端口具有抗短路能力。

APC — 主动相位关断电路

TLE9180D-21QK 集成控制逻辑，可用于在需要紧急关断时驱动相位切断电路。引脚 APC 是该控制逻辑的输出。有关 APC 功能的详细信息，请参阅第 12 章。输出端集成下拉电阻。若不使用 APC 功能，则该引脚应保持悬空。

4.6 SPI 接口

本章介绍 SPI 接口引脚的基本功能。所有 SPI 引脚均为数字 I/O 引脚。有关 SPI 接口的详细信息，请参阅第 5 章。

MOSI——主输出从输入

MOSI 输入是进入 SPI 移位寄存器的串行数据输入。

MISO——主输入从输出

MISO 引脚是 SPI 移位寄存器的串行数据从机输出。在没有电源或 CSN 为高或端口被停用的情况下，输出为三态，例如：检测到引脚过载。建议在外部或在 μC 端口配置下拉电阻，以避免由三态 MISO 输出引起的浮动节点。

CLK_SPI

时钟输入 CLK_SPI 是移位寄存器的移位时钟，也是从数据流读取数据的时钟。在 CSN 的下降沿之后，预计会出现 CLK_SPI 的上升沿，如第 5.5 章所示。

CSN-片选非

器件充当从机，可以通过 CSN 输入引脚进行选择。随着 CSN 的下降，转变功能被启用。输入数据将按照 CSN 上升沿进行处理。

4.7 IO 电气特性

表 6 IO 电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Input Pins with Pull-Up – IHx, CSN							
Low Level Input Voltage	V_{IL1}	–	–	0.7	V	$V_{VCC} = 3.3\text{ V}$	P_5.7.1
High Level Input Voltage	V_{IH1}	2.0	–	–	V	$V_{VCC} = 3.3\text{ V}$	P_5.7.2
Input Hysteresis	dV_{I1}	150	270	–	mV	$V_{VCC} = 3.3\text{ V}$	P_5.7.3
Low Level Input Voltage	V_{IL2}	–	–	0.7	V	$V_{VCC} = 5.0\text{ V}$	P_5.7.4

(表格续下页.....)

表 6 (续) IO 电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
High Level Input Voltage	V_{IH2}	2.5	–	–	V	$V_{VCC} = 5.0\text{ V}$	P_5.7.5
Input Hysteresis	dV_{I2}	300	400	–	mV	$V_{VCC} = 5.0\text{ V}$	P_5.7.6
Pull-up Resistor	R_{IPU}	–	50	–	k Ω	–	P_5.7.7
Input Capacitance ²⁵⁾	C_{IP1}	–	–	10	pF		P_5.7.8

Digital Input Pins with Pull-Down – ILx, ENA, MOSI, CLK_SPI

Low Level Input Voltage	V_{IL3}	–	–	0.7	V	$V_{VCC} = 3.3\text{ V}$	P_5.7.9
High Level Input Voltage	V_{IH3}	2.0	–	–	V	$V_{VCC} = 3.3\text{ V}$	P_5.7.10
Input Hysteresis	dV_{I3}	150	270	–	mV	$V_{VCC} = 3.3\text{ V}$	P_5.7.11
Low Level Input Voltage	V_{IL4}	–	–	0.7	V	$V_{VCC} = 5.0\text{ V}$	P_5.7.12
High Level Input Voltage	V_{IH4}	2.5	–	–	V	$V_{VCC} = 5.0\text{ V}$	P_5.7.13
Input Hysteresis	dV_{I4}	300	400	–	mV	$V_{VCC} = 5.0\text{ V}$	P_5.7.14
Input Pull-down Resistor	R_{IPD1}	–	50	–	k Ω	–	P_5.7.15
Input Capacitance ²⁵⁾	C_{IPD1}	–	–	10	pF		P_5.7.16

Pin ENA

ENA Propagation Time (for enable or disable the output stages)	t_{PENA}	–	100	500	ns	–	P_5.7.17
--	------------	---	-----	-----	----	---	----------

General Input Pin – INH

INH Low Level Input Voltage	V_{INHL}	–	–	0.7	V	–	P_5.7.18
INH High Level Input Voltage ²⁵⁾	V_{INHH}	2.1	–	–	V	–	P_5.7.19
INH Input Hysteresis ²⁵⁾	dV_{INH}	100	200	–	mV	$V_S = 5.5\text{ V}$; Slew rate = $250\text{ mV}/\mu\text{s}$	P_5.7.20
INH Pull-down Resistor	R_{IPD2}	30	100	200	k Ω	$5\text{ V} < V_{INH} < 60\text{ V}$ ²⁶⁾	P_5.7.21
INH Pull-down Resistor	R_{IPD3}	50	100	250	k Ω	$0.5\text{ V} \leq V_{INH} \leq 5\text{ V}$ ²⁶⁾	P_5.7.22
INH Analog Input Filter Time ²⁵⁾	$t_{INH_FIL_f}$	0.6	–	2.5	μs	–	P_5.7.23
Minimum INH High Pulse Length at Power-up ²⁵⁾ ²⁷⁾	t_{INH_minp}	5	–	–	ms	INH Low to High; $C_{CPX} = 1.0\text{ }\mu\text{F}$; $C_{CB} = 4.7\text{ }\mu\text{F}$	P_5.7.25

(表格续下页.....)

²⁵⁾ 未经过生产测试, 由设计指定。

²⁶⁾ 典型输入特性请参考图 10 和第 16.2.1 章

²⁷⁾ 详情请参见第 16.3.9 章

表 6 (续) IO 电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Wake-up Time - Ready for Configuration ²⁸⁾	$t_{\text{INH_cfg}}$	–	–	2.5	ms	$\overline{\text{INH}}$ Low to High; $V_{\text{DHP}} = V_S > V_{\text{SWU}}$; $V_{\text{CC}} > V_{\text{CCROP}}$	P_5.7.26
Wake-up Time - Ready for Operation ²⁵⁾²⁹⁾	$t_{\text{INH_Pen1}}$	–	–	5	ms	$\overline{\text{INH}}$ Low to High; $V_{\text{DHP}} = V_S$; $V_{\text{BS}} > V_{\text{BSUV}}$; $V_{\text{CB}} > V_{\text{CBUVSD}}$; $C_{\text{BHx}} = 330\text{ nF}$; $C_{\text{CPx}} = 1.0\text{ }\mu\text{F}$; $C_{\text{CB}} = 4.7\text{ }\mu\text{F}$	P_5.7.27
Wake-up Time - Ready for Operation ²⁵⁾²⁹⁾	$t_{\text{INH_Pen2}}$	–	–	10	ms	$\overline{\text{INH}}$ Low to High; $V_S = 6.0\text{ V}$; $V_{\text{DHP}} = 0\text{ V}$; $V_{\text{BS}} > V_{\text{BSUV}}$; $V_{\text{CB}} > V_{\text{CBUVSD}}$; $C_{\text{BHx}} = 330\text{ nF}$; $C_{\text{CPx}} = 1.0\text{ }\mu\text{F}$; $C_{\text{CB}} = 4.7\text{ }\mu\text{F}$	P_4.7.1
$\overline{\text{INH}}$ Propagation Time External FETs Active OFF	$t_{\text{INH_FEToff}}$	–	–	3.0	μs	$R_{\text{Load}} = 2\text{ k}\Omega$	P_5.7.28
$\overline{\text{INH}}$ Propagation Time Driver IC Disabled ²⁵⁾	$t_{\text{INH_Pdis1}}$	–	–	6	ms	$\overline{\text{INH}}$ High to Low; $\overline{\text{SOFF}} = \text{GND}$; $C_{\text{CB}} = 4.7\text{ }\mu\text{F}$; $C_{\text{CPx}} = 1.0\text{ }\mu\text{F}$; $V_{\text{CB}} < V_{\text{CBUVSD}}$ ³⁰⁾	P_5.7.29
$\overline{\text{INH}}$ Propagation Time Driver IC Disabled ²⁵⁾	$t_{\text{INH_Pdis2}}$	–	–	9	ms	$\overline{\text{INH}}$ High to Low; $\overline{\text{SOFF}} = \text{High}$; $C_{\text{CB}} = 4.7\text{ }\mu\text{F}$; $C_{\text{CPx}} = 1.0\text{ }\mu\text{F}$; $V_{\text{CB}} < V_{\text{CBUVSD}}$	P_5.7.58

General Input Pin – $\overline{\text{SOFF}}$

(表格继下页...)

²⁸ 数字磁芯和 I/O 端口可操作, 器件处于空闲模式

²⁵ 未经过生产测试, 由设计指定。

²⁹ 在 $t_{\text{INH_Pen1}}$ 时间内所有区块均投入运行 (以 $V_{\text{BS}} > V_{\text{BSUV}}$ 和 $V_{\text{CB}} > V_{\text{CBUVSD}}$ 表示)。

³⁰ 电容器 CB 的内部放电电流, 直到达到 V_{CBUVSD} 为止, 最小值为 2 mA, 最大值为 6 mA

表 6 (续) IO 电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbo	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
$\overline{\text{SOFF}}$ Low Level Input Voltage	V_{SOFFL}	–	–	0.7	V	–	P_5.7.30
$\overline{\text{SOFF}}$ High Level Input Voltage	V_{SOFFH}	2.1	– 200	–	V	–	P_5.7.31
$\overline{\text{SOFF}}$ Input Hysteresis	dV_{SOFF}	100		–	mV	$V_S = 5.5\text{ V}$; Slew rate = $250\text{ mV}/\mu\text{s}$	P_5.7.32
$\overline{\text{SOFF}}$ Pull-down Resistor	R_{IPD4}	30	100	200	k Ω	$5\text{ V} < V_{\text{SOFF}} < 60\text{ V}$ ²⁶⁾	P_5.7.33
$\overline{\text{SOFF}}$ Pull-down Resistor	R_{IPD5}	50	100	250	k Ω	$0.5\text{ V} \leq V_{\text{SOFF}} \leq 5\text{ V}$ ²⁶⁾ –	P_5.7.34
$\overline{\text{SOFF}}$ Analog Input Filter Time ²⁵⁾	$t_{\text{SOFF_FIL_f}}$	0.6	–	2.5	μs	$R_{\text{Load}} = 2\text{ k}\Omega$	P_5.7.35
$\overline{\text{SOFF}}$ Propagation Time External FETs Active OFF	$t_{\text{SOFF_FEToff}}$	–	–	3.0	μs		P_5.7.36

Digital Output Pins with Pull-Down ERR, PFBx

High Level Output Voltage	V_{ERRH3}	$V_{\text{VCC}} - 0.3\text{ V}$	–	V_{VCC}	V	$V_{\text{VCC}} = 3.3\text{ V}$; $I_{\text{load}} = -0.2\text{ mA}$	P_5.7.37
High Level Output Voltage ³¹⁾	V_{ERRH5a}	3.35	–	V_{VCC}	V	$V_{\text{VCC}} = 5.0\text{ V}$; $I_{\text{load}} = -0.2\text{ mA}$; All Digital I/Os = static	P_5.7.38
Low Level Output Voltage	V_{ERRL}	-0.1	–	0.4	V	$I_{\text{Load}} = 0.2\text{ mA}$	P_5.7.39
Output Pull-down Resistor	V_{ERRPD}	60	100	140	k Ω	–	P_5.7.40
Output Rise Time	t_{rERR}	–	–	20	ns	$C_{\text{Load}} = 20\text{ pF}$; 10 to 90%	P_5.7.41
Output Fall Time	t_{fERR}	–	–	20	ns	$C_{\text{Load}} = 20\text{ pF}$; 10 to 90%	P_5.7.42

Digital Output Pin Tri-state MISO

High Level Output Voltage	V_{SPIH3}	$V_{\text{VCC}} - 0.3\text{ V}$	–	V_{VCC}	V	$V_{\text{VCC}} = 3.3\text{ V}$; $I_{\text{load}} = -0.2\text{ mA}$	P_5.7.43
High Level Output Voltage ³¹⁾	V_{SPIH5a}	3.35	–	V_{VCC}	V	$V_{\text{VCC}} = 5.0\text{ V}$; $I_{\text{load}} = -0.2\text{ mA}$; All Digital I/Os = static	P_5.7.44
Low Level Output Voltage	V_{SPIL}	-0.1	–	0.4	V	$I_{\text{Load}} = 0.2\text{ mA}$	P_5.7.45

(表格续下页.....)

²⁶⁾ 典型输入特性请参考图 10 和第 16.2.1 章

²⁵⁾ 未经过生产测试, 由设计指定。

³¹⁾ 详情请参见第 16.3.1 章

表 6 (续) **IO 电气特性**

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Capacitance in Tri-state (Hi-Z) ²⁵⁾	CIP5	–	–	20	pF	–	P_5.7.46
General Input Pin – APC							
High Level Output Voltage	VAOPH1	3.9	5.0	6.0	V	$I_{\text{load}} = -1\text{ mA}$	P_5.7.47
High Level Output Voltage	VAOPH2	–	$V_{V_S} - 0.2$	–	V	$I_{\text{load}} = -1\text{ mA};$ $V_{V_S} < 5.5\text{ V}$	P_5.7.48
Low Level Output Voltage	VAOPL	-0.1	–	0.4	V	$I_{\text{Load}} = 1\text{ mA}$	P_5.7.49
Pull-down Resistor	RAOPPD2	120	200	280	kΩ	–	P_5.7.50
Output Rise Time	t _{trAOP}	–	–	60	ns	$C_{\text{Load}} = 20\text{ pF};$ 20 to 80%	P_5.7.51
Output Fall Time	t _{tfAOP}	–	–	60	ns	$C_{\text{Load}} = 20\text{ pF};$ 20 to 80%	P_5.7.52

²⁵⁾ 未经过生产测试, 由设计指定。

5 串行外设接口 - SPI

24 位串行外设接口 (SPI) 支持作为 SPI 主设备的 μC 与 TLE9180D-21QK 之间的通信链路。SPI 接口用于配置和控制栅极驱动器 IC 以及读取状态寄存器。

TLE9180D-21QK 中的 SPI 接口是 SPI 从机。它始终需要一个 SPI 主机。这通常是一个 μC 。主机生成用于数据传输及其同步的 CLK_SPI 和 CSN 信号。

SPI 接口可以在步行应用模式下与其他 SPI 从设备一起操作。菊花链是不可能的，因为输入数据不会直接传递到输出端口。传入和传出 SPI 帧的格式不同。SPI 帧格式如图 35。

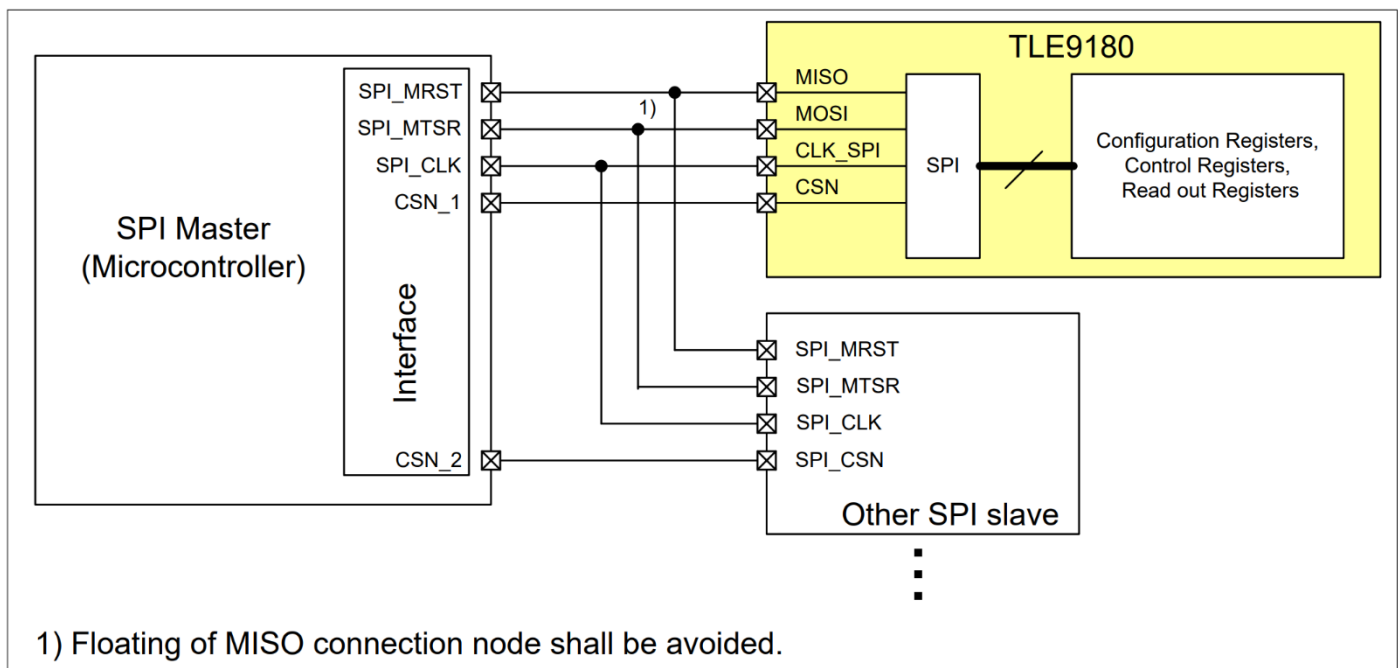


图 4 SPI 总线架构原则

SPI 功能块包含不同的子块和功能，如下所述。

5.1 IO 缓冲器

CSN、MOSI、CLK_SPI 的输入缓冲器特性和三态输出缓冲器 MISO 的特性在第 4 章中描述。

5.2 移位寄存器

SPI 接口由两个独立的 24 位移位寄存器组成。使用这两个独立的移位寄存器，一个用于接收数据，一个用于要发送的数据。高字节先移入/移出。接收数据随 CLK_SPI 的上升沿移入，发送移位寄存器位随 CLK_SPI 的下降沿移位。

5.3 地址和指令解码器

在 CSN 的上升沿之后读取输入数据，如果没有检测到 SPI 通信错误，则根据第 14 章中的表格对数据进行解码。

状态标志始终显示当前状态。

5.4 循环冗余校验 – CRC 生成和检测

CRC（循环冗余校验）被添加到任何传输的数据中。它针对整个 SPI 帧进行计算，但不包括 CRC 位。输入数据的 CRC 检查是在整个 SPI 帧上执行的。如果 μC 在 MISO 线路上检测到 CRC3 错误，则应丢弃该消息并重复寄存器访问。

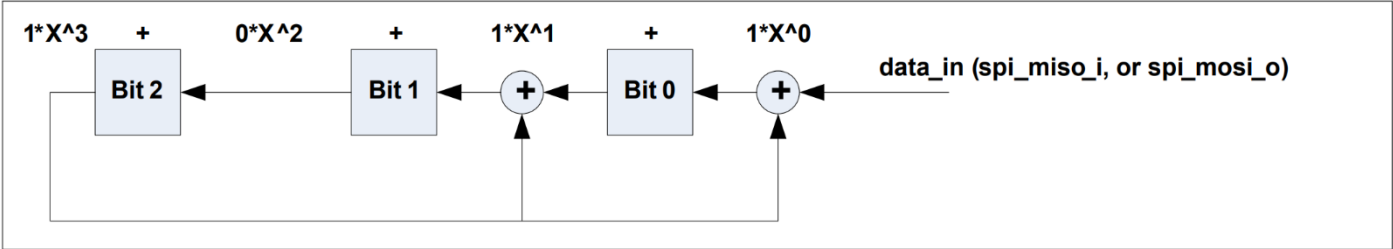


图 5 CRC 移位寄存器

CRC（循环校验）生成多项式为 x^3+x^1+1 。种子值为“101”，因此起始值为“100”。

5.5 SPI 电气特性

DC 参数在 [第 4 章](#) 中描述。

所有的时序均与 [图 6](#) 中所示的动作信息相关。

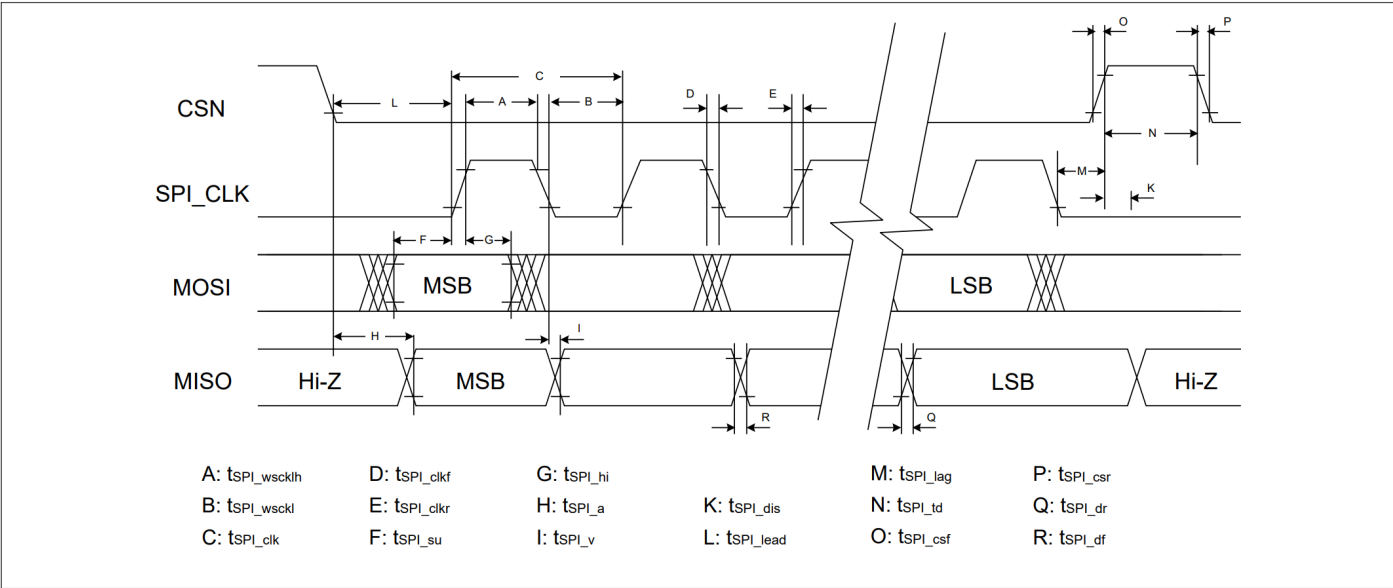


图 6 SPI 时序参数

表 7 电气特性：时序

$T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_s = 5.5\text{ V}$ 至 60 V , 所有电压均相对于接地, 电流正向流入引脚（除非另有说明）。时序对于 10 MHz 有效。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SPI Operating Frequency	$f_{\text{SPI_clk}}$	-32	-	10	MHz	33)	P_6.5.1
CLK_SPI Operating Period	$t_{\text{SPI_clk}}$	100	-	-	ns	33)Figure 6, C	P_6.5.2

(表格续下页.....)

32 用于计算最小 SPI 工作频率和最大 SPI clk 周期 $t_{\text{SPI-timeout}}$ 必须考虑到

33 未经生产测试；通过设计或特性验证；在 10% 和 90 % 之间测量

表 7 (续) 电气特性：时序

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_s = 5.5\text{ V}$ 至 60 V , 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)。时序对于 10 MHz 有效。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CLK_SPI High Time	$t_{\text{SPI_wscklh}}$	37	–	–	ns	33)Figure 6, A	P_6.5.3
CLK_SPI Low Time	$t_{\text{SPI_wsckll}}$	37	–	–	ns	33)Figure 6, B	P_6.5.4
CLK_SPI Fall Time	$t_{\text{SPI_clkf}}$	–	–	13	ns	33)Figure 6, D	P_6.5.5
CLK_SPI Rise Time	$t_{\text{SPI_clkr}}$	–	–	13	ns	33)Figure 6, E	P_6.5.6
SPI Data Output (MISO) Rise Time	$t_{\text{SPI_dr}}$	–	–	20	ns	34)Figure 6, Q	P_6.5.7
SPI Data Output (MISO) Fall Time	$t_{\text{SPI_df}}$	–	–	20	ns	34)Figure 6, R	P_6.5.8
SPI Chip Select (CS) Rise Time	$t_{\text{SPI_csr}}$	–	–	50	ns	33)Figure 6, P	P_6.5.9
SPI Chip Select (CS) Fall Time	$t_{\text{SPI_csf}}$	–	–	50	ns	33)Figure 6, O	P_6.5.10
SPI Data Input (MOSI) Setup	$t_{\text{SPI_su}}$	20	–	–	ns	33)Figure 6, F	P_6.5.11
SPI Data Input (MOSI) Hold time	$t_{\text{SPI_hi}}$	20	–	–	ns	33)Figure 6, G	P_6.5.12
SPI Data Output (MISO) Valid after CLK_SPI	$t_{\text{SPI_v}}$	0	–	30	ns	34)Figure 6, I	P_6.5.13
SPI Data Output (MISO) Access	$t_{\text{SPI_a}}$	0	–	50	ns	34)Figure 6, H	P_6.5.14
Enable (SS) Lag Time	$t_{\text{SPI_lag}}$	25	–	–	ns	33)Figure 6, M	P_6.5.15
SPI Data Output (MISO) Disable Time	$t_{\text{SPI_dis}}$	–	–	100	ns	33)Figure 6, K	P_6.5.16
Enable (SS) Lead Time	$t_{\text{SPI_lead}}$	35	–	–	ns	33)Figure 6, L	P_6.5.17
Sequential Transfer Delay ³⁵⁾	$t_{\text{SPI_td}}$	330	–	–	ns	33)Figure 6, N	P_6.5.19

³³ 未经生产测试；通过设计或特性验证；在 10% 和 90 %之间测量

³⁴ 未经生产测试；通过设计或特性验证；测量范围在 10% 至 80% 之间；MISO 引脚上的输出负载电容 $\leq 25\text{ pF}$

³⁵ 从配置过渡到正常运行时的顺序传输延迟增至 $1.2\text{ }\mu\text{s}$ 。请参阅第 13.5 章

6 时钟

TLE9180D-21QK 使用内部生成的 28 MHz 系统时钟。诊断功能的数字滤波时间、电荷泵时钟和死区时间以内部时钟为参考。监控内部时钟。

6.1 时钟编程

以下位与时钟监控有关。

表 8 时钟相关位

Bit Name	Bit Value	Description
sd_clk_fail	0	Normal internal clock operation
	1	Fault detection by clock monitoring

6.2 时钟电气特性

表 9 时钟电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Internal CLK							
Clock Frequency	f_{CLKint}	–	28	–	MHz	–	P_7.2.1
Clock Frequency Accuracy including Product Deviation and Temperature Drift	f_{CLKacc}	-23	–	+23	%	–	P_7.2.2
Clock Frequency Temperature Drift ³⁶⁾	$f_{dCLKacc}$	-7	–	+7	%	–	P_7.2.3

³⁶⁾ 未经过生产测试, 由设计指定。

7 电源

TLE9180D-21QK 的电源由引脚 V_S 和 V_{CC} 提供。 V_{CC} 为数字 I/O 端口供电。低压和高压输出级、数字和模拟电路的所有其他电源电压以及驱动外部 MOSFET 的栅极电压均在内部产生。

此外，TLE9180D-21QK 设计为可使用不同的电源电压为栅极驱动器 IC 引脚 V_S 和功率逆变器阶段引脚 $VDHP$ 提供电源。引脚 $VDHP$ 与 V_S 电源之间电压差的功能限制仅是它们各自的最大额定值。在单电源系统旁边，典型的环境是功率逆变器的升压系统，而栅极驱动器则以单电池电源电压或调节的电源电压运行。

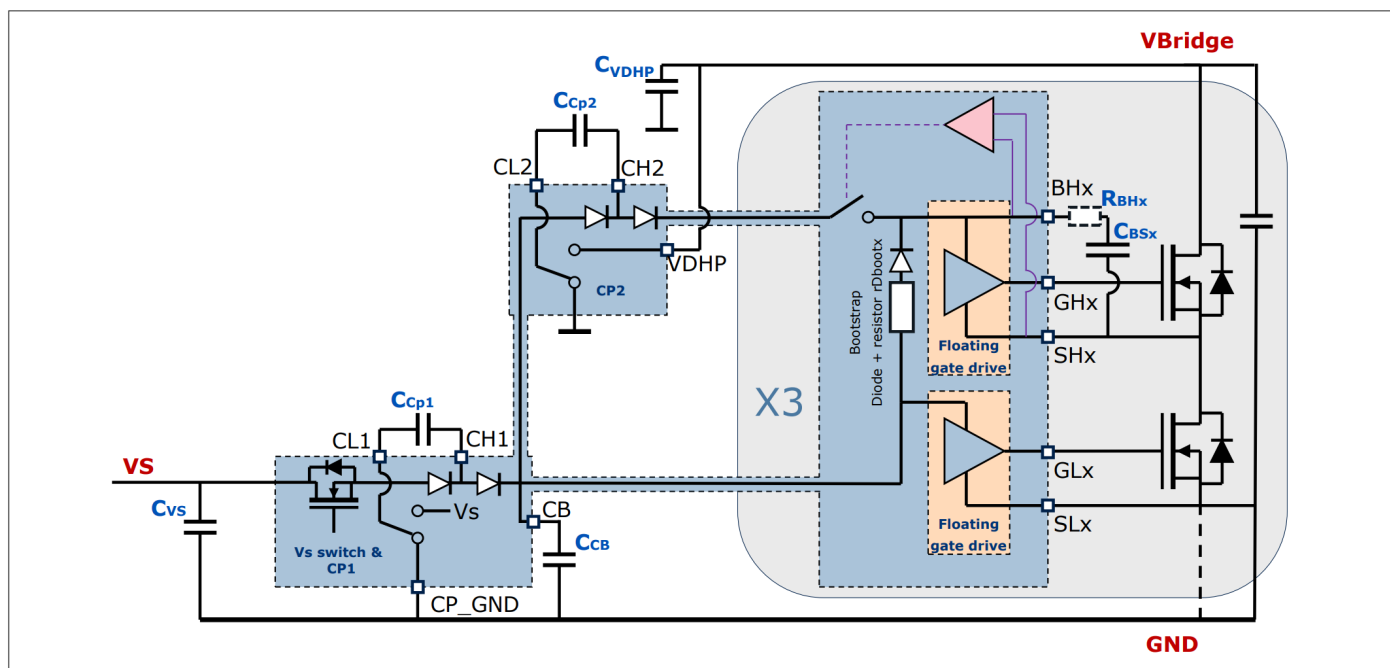


图 7 电荷泵和浮动 MOSFET 驱动器的简化框图，更多详细信息请参阅第 16.2 章

7.1 输出级电源概念

TLE9180D-21QK 的电源结合了双电荷泵原理和自举供电概念，请参见图 7。这将自举原理的较低功耗与将整个占空比范围从 0 调整到 100% 的可能性相结合，而对于外部高边 MOSFET 在 20 kHz PWM 频率下的充电脉冲在 95 到 100% 占空比之间没有任何限制。

第一级电荷泵电源阶段为电流检测运算放大器、低端驱动级供电，并且还可为外部 N 沟道低边 MOSFET 提供电荷 CP1。如果低边 MOSFET 导通，电荷泵 1 还会通过自举原理为互补的高边驱动级及其高边缓冲电容供电。在引脚 V_S 处电源电压较低时，电荷泵 1 几乎将电源电压加倍，因此 TLE9180D-21QK 在引脚 V_S 提供的额定电压范围可以延伸至 5.5 V。电荷泵 1 在引脚 CB 处的输出电压受到限制。在较高的电源电压下，电荷泵 1 充当稳压器，并将其输出电压限制为 11.5 V（典型值）。如果电源电压超过 14 V，则 CB 电压将被限制为典型值 12.0 V。

第二级电荷泵对高边缓冲电容进行充电。缓冲电容的电荷为高边驱动阶段提供电源，并提供开启外部高边场效应晶体管所需的电荷。除了通过第二级电荷泵，高边缓冲电容还可以通过自举二极管从电荷泵 1 输出 CB 充电。通过自举二极管或 CP2 从 CB 充电的过渡是自我控制的，并依赖于电源电压 V_S ，输出级的负载条件和所应用的占空比。这个概念不仅补偿驱动级的供电电流和外部 N-沟道 FET 的漏电流，

而且还足以高边缓冲电容器充电。因此，TLE9180D-21QK满足在 20 kHz PWM 频率下在 95% 至 100% 的 PWM 特定占空比范围内驱动外部 FET 的要求。

如果引脚 $\overline{\text{INH}}$ 置位低或检测到与电荷泵相关的错误，电荷泵将被停用。详情请查看监控说明。

7.2 内部电源电压

TLE9180D-21QK 使用各种内部电源电压，这些电压由 V_S 或 CB 电压产生。安全相关的电源受到监控。监控详情请参阅第 10.5.6 章。

7.3 电源电气特性

表 10 电源电气特性

$V_S = 5.5 \text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge Pump 1							
Charge Pump External DC Load Current no V_{CBUVSD} Detection	I_{CBext}	–	–	36	mA	³⁷⁾ $V_{\text{VS}} \geq 5.5 \text{ V}$; $C_{\text{CP1}} = 1.0 \text{ }\mu\text{F}$; $C_{\text{CB}} = 4.7 \text{ }\mu\text{F}$ ³⁸⁾ ; $V_{\text{CB}} > V_{\text{CBUVSD}}$	P_8.3.1
Charge Pump Voltage CB	V_{CBa}	9	–	11	V	$V_{\text{VS}} = 5.5 \text{ V}$; $I_{\text{CBext}} = 0 \text{ mA}$ ³⁷⁾	P_8.3.2
Charge Pump Voltage CB	V_{CBb}	8	–	10	V	$V_{\text{VS}} = 5.5 \text{ V}$; $I_{\text{CBext}} = 24 \text{ mA}$ ³⁷⁾	P_8.3.3
Charge Pump Voltage CB	V_{CBc}	10.5	–	12.0	V	$7 \text{ V} \leq V_{\text{VS}} \leq 11 \text{ V}$; $I_{\text{CBext}} = 24 \text{ mA}$ ³⁷⁾	P_8.3.4
Charge Pump Voltage CB	V_{CBd}	11.3	–	13.0	V	$14 \text{ V} \leq V_{\text{VS}} \leq 60 \text{ V}$; $I_{\text{CBext}} = 24 \text{ mA}$ ³⁷⁾	P_8.3.5
Charge Pump Voltage CB at VDHP Load Dump Detection Activation	V_{CBLD}	–	–	11.5	V	³⁹⁾ $14 \text{ V} \leq V_{\text{VS}} \leq 60 \text{ V}$; $I_{\text{CBext}} = 24 \text{ mA}$	P_8.3.6
Charge Pump Frequency CP1 ⁴⁰⁾	f_{CP1}	–	55	–	kHz	–	P_8.3.7

Charge Pump 2

(表格继下页.....)

³⁷⁾ I_{CBext} 是来自 CB 引脚的总外部电流，相当于栅极电荷负载： $I_{\text{CBext}} = \text{开关 MOSFET 的数量} \times f_{\text{PWM}} \times Q_{\text{gTOT}}$ 包括附加的应用

相关电流。例如： $I_{\text{CBext}} = 24 \text{ mA} = 6 \times 20 \text{ kHz} \times 200 \text{ nC}$

³⁸⁾ CCB 由 CB 引脚上可容忍的电压纹波定义 $U_{\text{CBripple}} = I_{\text{CB}} / (C_{\text{CB}} \times f_{\text{CP1}} / 2)$ ，例如： $U_{\text{CBripple}} = 0.186 \text{ V} = 24 \text{ mA} / (4.7 \text{ }\mu\text{F} \times 55 \text{ kHz} / 2)$

³⁹⁾ 详情请参阅 10.5.2.2 章

⁴⁰⁾ 内部时钟频率精度必须添加到指定值，请参阅表 9

表 10 (续) 电源电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Total Charge Pump 2 External Load Current for no V_{BSUV} Detection ⁴¹⁾	I_{BHxH}	–	–	10	mA	⁴²⁾ $V_S = V_{DHP} = 5.5\text{ V}$; $V_{BHSxx} > V_{BSUV}$; $V_{SHx} = V_{DHP}$; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ 2 CSAs enabled	P_8.3.8
Total Charge Pump 2 External Load Current for no V_{BSUV} Detection ⁴¹⁾	I_{BHxL}	–	–	14	mA	⁴³⁾ $V_S = V_{DHP} = 5.5\text{ V}$; $V_{BHSxx} > V_{BSUV}$; $V_{SHx} = \text{GND}$; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ 2 CSAs enabled	P_8.3.9
Charge Pump Voltage at BHx to SHx	V_{BHSxH}	6.3	–	–	V	⁴²⁾ $V_S = V_{DHP} = 5.5\text{ V}$; $V_{SHx} = V_{DHP}$; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾	P_8.3.10
Charge Pump Voltage at BHx to SHx	V_{BHSxL}	8.5	–	–	V	⁴³⁾ $V_S = V_{DHP} = 5.5\text{ V}$; $V_{SHx} = \text{GND}$; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾	P_8.3.11
Charge Pump Voltage at BHx to SHx at PWM operation ⁴⁴⁾	$V_{BHSxDC1}$	–	8.5	–	V	$V_S = 5.5\text{ V}$; D.C.: 5% ⁴⁵⁾ ; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾	P_8.3.12
Charge Pump Voltage at BHx to SHx at PWM operation ⁴⁴⁾	$V_{BHSxDC2}$	–	9.9	–	V	$V_S = 5.5\text{ V}$; D.C.: 50% ⁴⁵⁾ ; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾	P_8.3.13

(表格续下页.....)

⁴¹⁾ 总电荷泵 2 输出外部电流定义为 $I_{BHext} = I_{BH1ext} + I_{BH2ext} + I_{BH3ext}$; I_{BHext} 定义为 $f_{PWM} \cdot Q_{GTOT}$, 例如: $I_{BHext} = 4\text{ mA} = 20\text{ kHz} \cdot 200\text{ nC}$

⁴²⁾ 参数与应用无关, 参数仅指通过 CP2 充电, 无需自举充电

³⁷⁾ I_{CBext} 是来自 CB 引脚的总外部电流, 相当于栅极电荷负载: $I_{CBext} = \text{开关 MOSFET 的数量} \cdot f_{PWM} \cdot Q_{GTOT}$ 包括附加的应用相关电流。例如: $I_{CBext} = 24\text{ mA} = 6 \cdot 20\text{ kHz} \cdot 200\text{ nC}$

⁴³⁾ 参数与应用无关, 参数是指通过 CP2 充电, 包括完全自举充电

⁴⁴⁾ 未经过生产测试, 由设计指定。

⁴⁵⁾ 指定占空比是指 $f_{PWM} = 20\text{ kHz}$ 时低边输出级的输入 I_{Lx} , 例如: I_{Lx} 在 5% 时的导通时间 D.C. = $5\% \cdot 1/20\text{ kHz} = 2.5\text{ }\mu\text{s}$

表 10 (续) 电源电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge Pump Voltage at BHx to SHx at PWM operation ⁴⁴⁾	$V_{BHSxHxDC3}$	–	10.2	–	V	$V_S = 5.5\text{ V}$; D.C.: 95% ⁴⁵⁾ ; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾	P_8.3.14
High-side Buffer Supply Limitation Voltage BHx to SHx at CP2 Charging	$V_{BHSxHlim}$	10	11	12	V	⁴⁶⁾	P_8.3.15
Hysteresis of High-side Buffer Supply Limitation Voltage BHx to SHx at CP2 Charging	$V_{BHSxHlimhys}$	–	1.2	–	V	⁴⁷⁾	P_8.3.16
Charge Pump Frequency CP2 ⁴⁰⁾	f_{CP2}	–	55	–	kHz	–	P_8.3.17

Bootstrap Diodes

Bootstrap Diode Forward Resistance $T_J = -40^\circ\text{C}$ $T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	r_{Dbootx}	4.5 6.0 7.0	7.0 7.8 8.0	9.4 9.6 9.0	Ω	⁴⁸⁾ $r_{Dboot} = (V_{Dboot@250\text{ mA}} - V_{Dboot@200\text{ mA}}) / 50\text{ mA}$	P_8.3.18
Approximated Bootstrap Diode Threshold Voltage	$V_{thbootx}$	0.8	–	–	V	⁴⁸⁾ $r_{Dboot} = (V_{Dboot@250\text{ mA}} - V_{Dboot@200\text{ mA}}) / 50\text{ mA}$	P_7.3.4

Supply Current in Normal Mode

Supply Current V_S cfg.: 1 CSA cfg.: 2 CSAs	$I_{Vs(o)1}$	–	–	49 58	mA	ENA = Low; $V_{SROP} \leq V_S < 14\text{ V}$; $V_{SHx} = 0\text{ V}$	P_8.3.19
---	--------------	---	---	----------	----	---	----------

(表格续下页.....)

⁴⁴⁾ 未经过生产测试, 由设计指定。

⁴⁵⁾ 指定占空比是指 $f_{PWM} = 20\text{ kHz}$ 时低边输出级的输入 ILx , 例如: ILx 在 5% 时的导通时间 $D.C. = 5\% \cdot 1/20\text{ kHz} = 2.5\text{ }\mu\text{s}$

³⁷⁾ I_{CBext} 是来自 CB 引脚的总外部电流, 相当于栅极电荷负载: $I_{CBext} = \text{开关 MOSFET 的数量} \cdot f_{PWM} \cdot Q_{gTOT}$ 包括附加的应用相关电流。例如: $I_{CBext} = 24\text{ mA} = 6 \cdot 20\text{ kHz} \cdot 200\text{ nC}$

⁴¹⁾ 总电荷泵 2 输出外部电流定义为 $I_{BHext} = I_{BH1ext} + I_{BH2ext} + I_{BH3ext}$; I_{BHext} 定义为 $f_{PWM} \cdot Q_{gTOT}$, 例如: $I_{BHext} = 4\text{ mA} = 20\text{ kHz} \cdot 200\text{ nC}$

⁴⁶⁾ 如果电压电平达到 $V_{BHSxHlim}$ 时, 高边缓冲电源电容器 (BHx-SHx) 与电荷泵 2 的自动充电将停止。

⁴⁷⁾ 如果电压电平低于 $V_{BHSxHlim} - V_{BHSxHlimhys}$, 将开始用电荷泵 2 对高边缓冲电源电容器 (BHx-SHx) 充电。

⁴⁰⁾ 内部时钟频率精度必须被添加到指定值, 请参阅表格 9

⁴⁸⁾ 可能需要外部 R_{BHxO} 。细节在第 16.2 章和图 3

表 10 (续) 电源电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Current V_S cfg.: 1 CSA cfg.: 2 CSAs	$I_{V_S(o)2}$	–	–	25 35	mA	ENA = Low; $14\text{ V} \leq V_{VS} \leq 60\text{ V}$; $V_{SHx} = 0\text{ V}$	P_8.3.20
Supply Current V_S cfg.: 1 CSA cfg.: 2 CSAs	$I_{V_S(L)1}$	–	–	100 115	mA	ENA = High; $I_{CBext} = 24\text{ mA}$ ³⁷⁾ ; $V_{VSROP} \leq V_{VS} < 14\text{ V}$; $V_{SHx} = 0\text{ V}$	P_8.3.21
Supply Current V_S cfg.: 1 CSA cfg.: 2 CSAs	$I_{V_S(L)2}$	–	–	57 65	mA	ENA = High; $I_{CBext} = 24\text{ mA}$ ³⁷⁾ ; $14\text{ V} \leq V_{VS} \leq 60\text{ V}$; $V_{SHx} = 0\text{ V}$	P_8.3.22
Supply Current Limitation at V_S ⁴⁴⁾	$I_{V_S(max)}$	–	–	2.3	A	$C_{CB} = 4.7\text{ }\mu\text{F}$; $V_{CB} = 0\text{ V}$; $I_{CBext} = 0\text{ mA}$ ³⁷⁾	P_8.3.23
Supply Current Limitation at V_S ⁴⁴⁾	$I_{V_S(max)hot}$	–	–	2.0	A	$T_J = 150^\circ\text{C}$; $C_{CB} = 4.7\text{ }\mu\text{F}$; $V_{CB} = 0\text{ V}$; $I_{CBext} = 0\text{ mA}$ ³⁷⁾	P_7.3.3
VDHP Mean Current	I_{VDHPL1}	–	3	–	mA	$V_{VS} = V_{VDHP} = 5.5\text{ V}$; $I_{CBext} = 0\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 0\text{ mA}$ ⁴¹⁾ ; $V_{SHx} = \text{GND}$	P_8.3.24
VDHP Mean Current	I_{VDHPL2}	–	15	–	mA	$V_{VS} = V_{VDHP} = 5.5\text{ V}$; $I_{CBext} = 12\text{ mA}$ ³⁷⁾ ; $I_{BHext} = 12\text{ mA}$ ⁴¹⁾ ; $V_{SHx} = \text{GND}$	P_8.3.25
VDHP Mean Current	I_{VDHPH}	–	4	–	mA	$V_{VS} = V_{VDHP} = V_{SHx}$	P_8.3.26
Supply Current VCC	I_{VCC1}	–	–	1.5	mA	$T_J \leq 150^\circ\text{C}$; Pins $\overline{\text{ERR}}$, MISO, PFBx = static high	P_8.3.35

(表格续下页.....)

³⁷⁾ I_{CBext} 是来自 CB 引脚的总外部电流, 相当于栅极电荷负载: $I_{CBext} = \text{开关 MOSFET 的数量} \times f_{PWM} \times Q_{GTOT}$ 包括附加的应用相关电流。例如: $I_{CBext} = 24\text{ mA} = 6 \times 20\text{ kHz} \times 200\text{ nC}$

⁴⁴⁾ 未经过生产测试, 由设计指定。

⁴¹⁾ 总电荷泵 2 输出外部电流定义为 $I_{BHext} = I_{BH1ext} + I_{BH2ext} + I_{BH3ext}$; I_{BHext} 定义为 $f_{PWM} \times Q_{GTOT}$, 例如: $I_{BHext} = 4\text{ mA} = 20\text{ kHz} \times 200\text{ nC}$

表 10 (续) 电源电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Current in Sleep Mode							
Quiescent current Vs ⁴⁹⁾	I _{QVS1}	–	–	15	μA	V _{VS} ≤ 14 V; T _j = 25°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.27
Quiescent current Vs ⁴⁹⁾	I _{QVS2}	–	–	65	μA	V _{VS} ≤ 14 V; T _j = 150°C; V _{SHx} = GND	P_8.3.28
Quiescent Current VDHP	I _{QVDH2}	–	–	6	μA	V _{VDHP} ≤ 14 V; T _j ≤ 150°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.29
Quiescent Current VDHP	I _{QVDH1}	–	–	61	μA	V _{VDHP} ≤ 60 V; T _j ≤ 25°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.48
Quiescent Current VDHP	I _{QVDH3}	–	–	61	μA	V _{VDHP} ≤ 60 V; T _j ≤ 150°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.30
Quiescent Current VDHx	I _{QVDHx2}	–	50	200	nA	V _{VDHP} ≤ 14 V; V _{VDHx} ≤ 14 V; T _a ≤ 25°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.31
Quiescent Current VDHx	I _{QVDHx1}	–	50	200	nA	V _{VDHP} ≤ 60 V; V _{VDHx} ≤ 60 V; T _a ≤ 25°C; V _{INH} = V _{SOFF} = GND ⁵⁰⁾ ; V _{SHx} = GND	P_8.3.32

(表格续下页.....)

⁴⁹ 详情请参见章节 16.3.2

⁵⁰ 详情请参考图 10

表 10 (续) 电源电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Total Quiescent Current V_S and V_{DHP}	I_{Q1}	–	–	17	μA	$V_S = V_{VDHP} \leq 14\text{ V}$; $T_j = 25^\circ\text{C}$; $V_{INH} = V_{SOFF} = \text{GND}_{50}$; $V_{SHx} = \text{GND}$	P_8.3.49
Total Quiescent Current V_S and V_{DHP}	I_{Q2}	–	–	70	μA	$V_S = V_{VDHP} \leq 14\text{ V}$; $T_j = 150^\circ\text{C}$; $V_{INH} = V_{SOFF} = \text{GND}_{50}$; $V_{SHx} = \text{GND}$	P_8.3.33
Quiescent Current V_{CC}	I_{QVCC}	–	–	200	μA	$V_{CC} \leq V_{CCxOVx}$ $T_a = 85^\circ\text{C}$; $V_{INH} = V_{SOFF} = \text{GND}_{50}$; Pins $\overline{\text{ERR}}$, MISO , $\text{PFBx} = \text{no load}$	P_8.3.34

Supply current in Reduced Operation Mode at V_S

Supply Current V_S	$I_{V_S(\text{ROMVS})}$	–	12	24	mA	$V_S = V_{VDHP} = 3\text{ V}$	P_8.3.36
Supply current V_{DHP}	$I_{VDHP(\text{ROMVS})}$	–	3	6	mA	$V_S = V_{VDHP} = 3\text{ V}$	P_8.3.37

Power Up/Down

Voltage V_S for ensured Power-up of Charge Pumps	V_{SWU}	6.0	–	–	V	–	P_8.3.38
--	-----------	-----	---	---	------------	---	----------

7.4 典型行为图

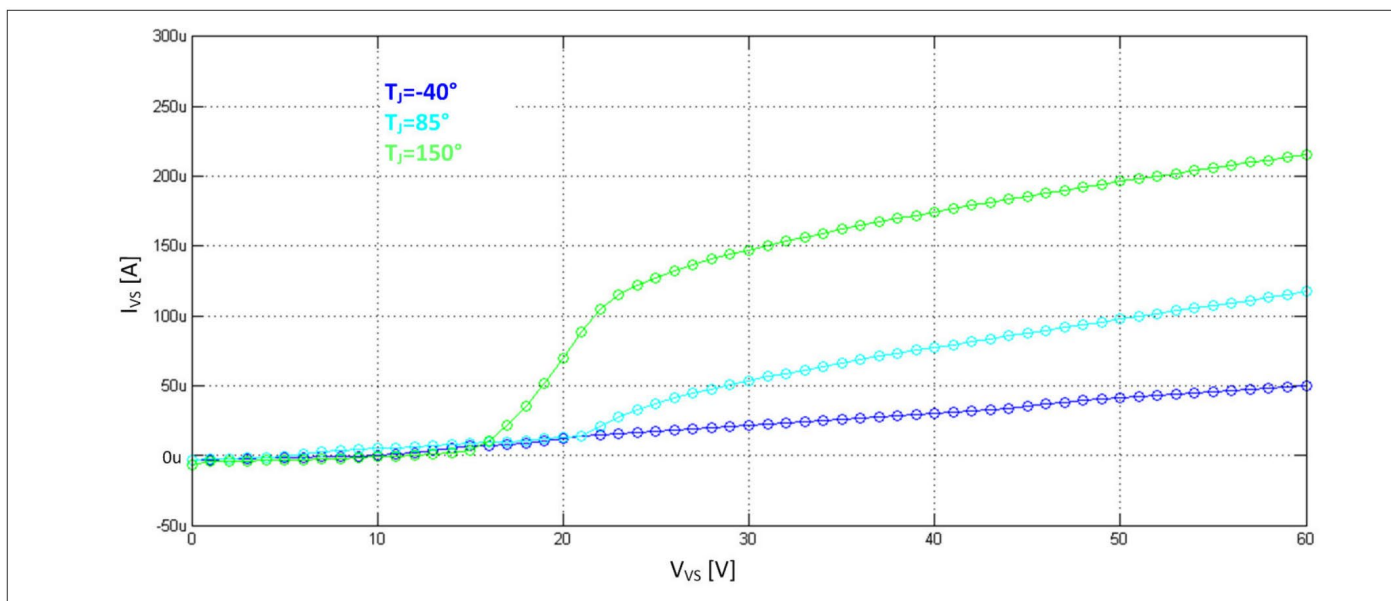


图 8 在 $V_{INH} = 0$ V 和 $V_{SOFF} = 0$ V 时, 3 个不同 T_j 下的典型静态电流 I_{Vs} 与 V_{Vs} 的关系

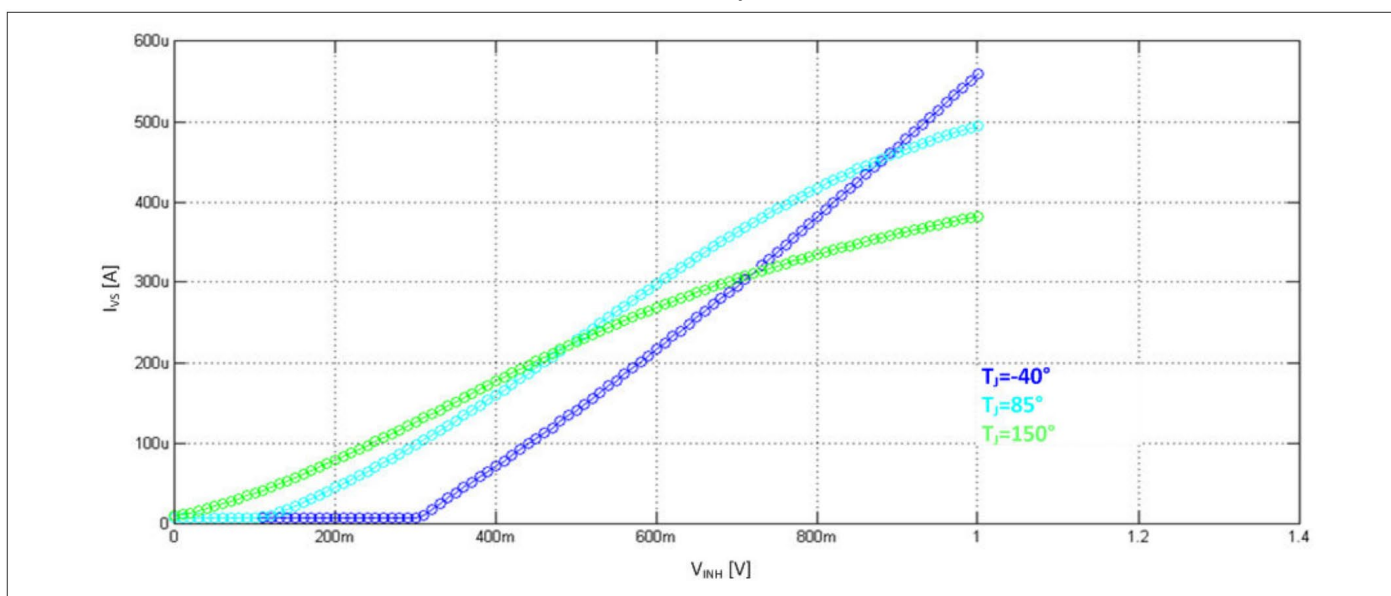


图 9 在 $V_{SOFF} = 0$ V 和 $V_{Vs} = 14$ V 时, 3 个不同 T_j 下的典型静态电流 I_{Vs} 与 V_{INH} 的关系 (引脚 $SOFF$ 处的 V_{SOFF} 特性相同)

注: 在 $V_{INH} = V_{SOFF}$ 的情况下, 静态电流加倍

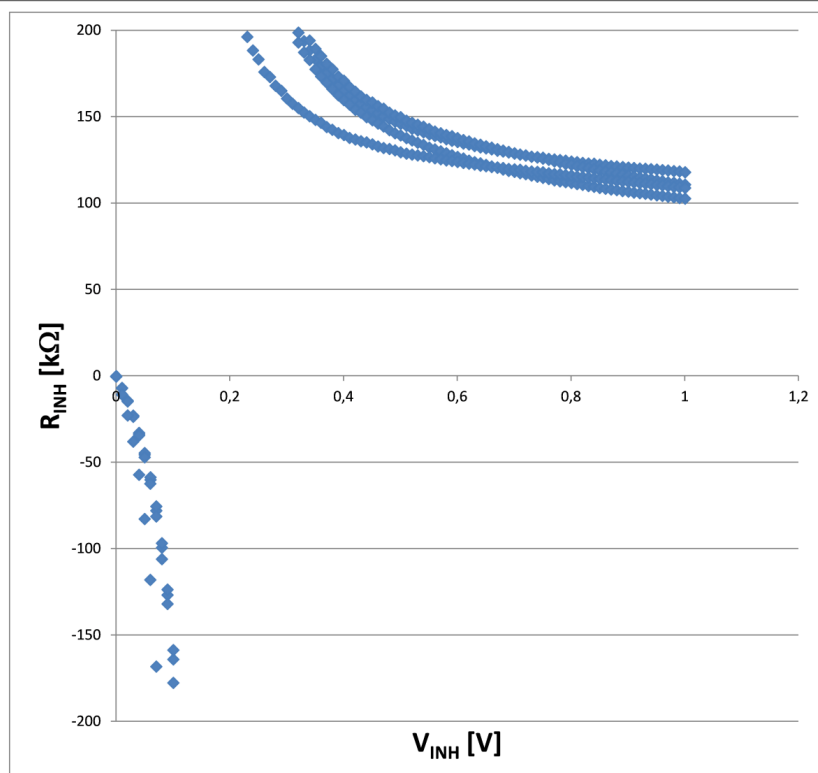


图 10 典型输入阻抗 R_{INH} 与 V_{INH} （引脚 $\overline{SOFF}$ 处的 R_{SOFF} 与 V_{SOFF} 的特性相同）

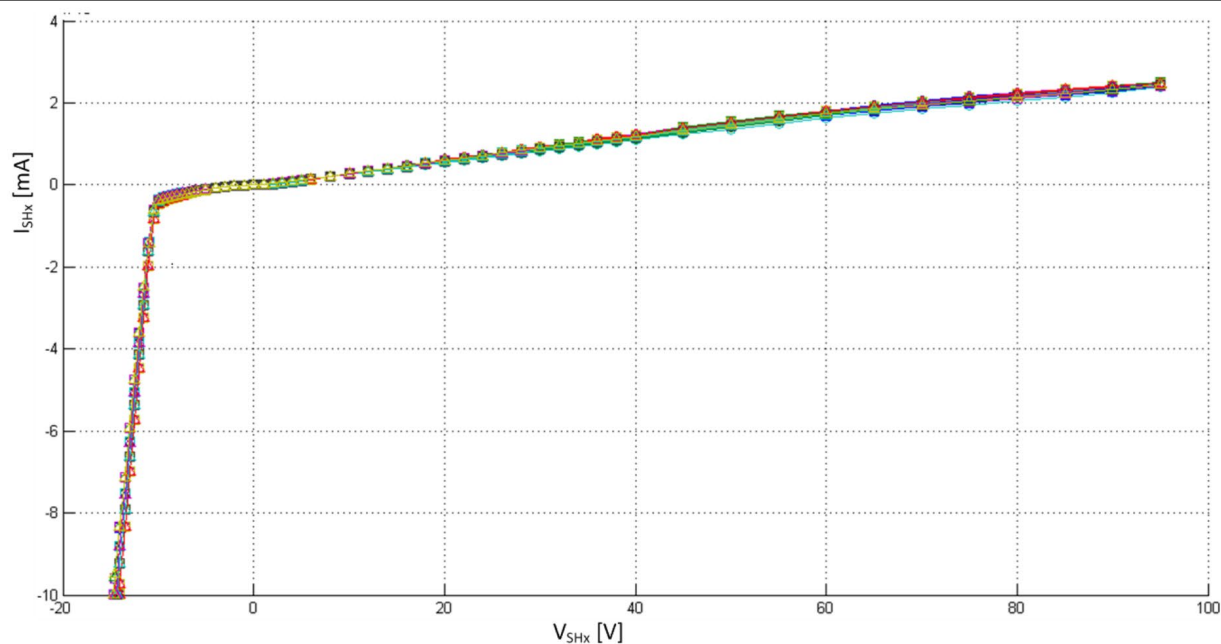


图 11 引脚 SHx 处的典型输入电流与 V_{SHx} 的关系（器件处于睡眠模式）

8 浮动MOSFET驱动器

TLE9180D-21QK提供6个相同的输出级，以驱动无刷DC电机配置中的外部N沟道MOSFET。 μC 给出的每个FET的驱动信号将通过集成电平转换器参考每个单个FET的源极。SLx/SHx引脚是浮动栅极驱动器输出级的基准。逻辑中集成了击穿保护和死区时间控制。违反输入模式以及将接地相关输入信号通过水平升降台正确转换为浮动信号将受到监控。此外，6条用于栅极驱动的内部信号路径的设计和布局彼此相似，以最大限度地减少切换和传输延迟的时间差异。

8.1 驱动器输出级

如上所述，6个输出级完全相同。它们被配置为三个低边和三个高边浮动驱动器级，每个级都有自己的外部MOSFET源极连接。因此，TLE9180D-21QK内部对每个输出级之间的开关转换行为进行了优化。还必须考虑有关布局和相同电线长度的外部措施，以便能够调整高于95%的占空比范围，确保最高的电机性能。

六个驱动器级设计用于驱动低导通电阻N沟道MOSFET。它们能够提供外部FET电流快速充电和放电所需的高电流，以最大限度地减少开关引起的功率损耗。高电流能力还允许增加PWM信号频率或调整高占空比范围。采用较高的PWM信号频率将导致较高的消耗电流。

8.2 输入到输出信息

ILx、IHx和ENA的电气特性在[第4章](#)中描述。

8.3 击穿保护和死区时间生成

在桥接器应用中，必须确保外部高边和低边MOSFET不会同时“导通”，从而将电池电压直接连接到接地。实施的加锁机制，（即击穿保护）避免了半桥外部低边和高边MOSFET同时导通。因此不会发生由于输入信号错误或输入驱动序列错误而导致桥接器短路的情况。

死区时间保护提供了额外的跨导保护。死区时间定义了一个MOSFET关闭和半桥的互补MOSFET开启之间的时间范围。TLE9180D-21QK生成的死区时间可以编程。可以设置两个死区时间，每个转换一个，高边关闭到低边打开，低边关闭到高边打开。有关从高边到低边的信息，请参阅寄存器Dt_ls，对于从低边到高边的情况，请参阅寄存器Dt_hs。这样就不会出现因传输延迟时间长或外部FET开关时间长而导致桥接器短路的情况。始终确保最短死区时间，与编程值无关。

已集成监控功能来检查 μC 的输出模式是否会违反击穿限制和调整后的死区时间。输入模式违规位是置位，表示受影响的输出级别。在配置期间，可以通过SPI调整故障行为。如果低边和高边输入引脚连接在一起以仅使用3 μC 输出引脚驱动FET，则建议停用此监控特性。

表 11 死区时间 tDTprog 的编程⁵¹⁾

Bit Name	Bit Value (8 bit)	Program tdt Value [ns]	Overall tdt [ns]	Overall tdt [ns]@ fclk = 28MHz
dtXs	0x00	0	$0+3 \cdot \text{tclk}$	107 (min. dead time)
	0x01	$1 \cdot \text{tclk}$	$(1+3) \cdot \text{tclk}$	143
	$\text{tdtprog}_n = \text{tdtprog}_{n-1} + 1$	$n \cdot \text{tclk}$	$(\text{tdtprog}_n + 3) \cdot \text{tclk}$	$(\text{tdtprog}_n + 3) \cdot 35.7$
	0x0E (default)	$14 \cdot \text{tclk}$	$(14+3) \cdot \text{tclk}$	607
	0xA5	$165 \cdot \text{tclk}$	$(165+3) \cdot \text{tclk}$	5998 (max. dead time)

8.4 浮动 MOSFET 驱动器电气特性

表 12 MOSFET 驱动器电气特性

$V_S = 5.5 \text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
DC Characteristics							
Low Level Output Voltage Gxx-Sxx	V _{GS_LL}	–	–	0.2	V	0 mA ≤ /DCLoadOS ≤ 2 mA; V _{ENA} = Low or Pins I _{Hx} and I _{Lx} = off	P_9.4.1
Low Level Output Voltage Gxx-Sxx	V _{GS_LLS}	–	–	0.2	V	V _{SOFF} = Low; 0 mA ≤ /DCLoadOS ≤ 2 mA	P_9.4.2
High Level Output Voltage Gxx-Sxx	V _{G_HL1}	8.5	–	13.5	V	7 V ≤ V _{VS} < 60 V; C _{CPx} = 1.0 μF; C _{CB} = 4.7 μF; /DCLoadOS = -2 mA; V _{SLx} = V _{SHx} = 0 V	P_9.4.3
High Level Output Voltage Gxx-Sxx	V _{G_HL2}	8	–	12.5	V	5.5 V ≤ V _{VS} < 7 V; C _{CPx} = 1.0 μF; C _{CB} = 4.7 μF; /DCLoadOS = -2 mA; V _{SLx} = V _{SHx} = 0 V	P_9.4.4
High Level Output Voltage Difference between Low-side Output Stages GLx-SLx	dV _{G_HLS}	–	–	0.5	V	-2 mA ≤ /DCLoadOS ≤ 0 mA; V _{SLx} = 0 V	P_9.4.5

(表格续下页.....)

⁵¹⁾ 指令调整死区时间值高于 0xA5 无效, 将 0xA5 写入寄存器

表 12 (续) MOSFET 驱动器电气特性

$V_s = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
High Level Output Voltage Difference between High-side Output Stages GHx-SHx	dV_{G_HHS}	–	–	0.5	V	$-2\text{ mA} \leq I_{DLoadOS} \leq 0\text{ mA}$; $V_{SHx} = 0\text{ V}$	P_9.4.6
Gate Drive Output Voltage $T_j = -40^\circ\text{C}$ $T_j = 25^\circ\text{C}$ $T_j = 150^\circ\text{C}$	V_{GS3}	–	–	1.7 1.5 1.3	V	Passive clamping; Pin Vs = open; $V_{INH} = \text{Low}$; $I_{Load} = 1\text{ mA}$	P_9.4.7
Mean Current SHx ⁵²⁾	I_{SHx_m5}	-450	-310	-170	μA	$V_{SOFF} = \text{High}$; $V_s = V_{VDHP} = 14\text{ V}$; $V_{SHx} = 0\text{ V}$	P_9.4.32
Mean Current SHx	I_{SHx_m6}	-250	-50	150	μA	$V_{SOFF} = \text{High}$; $V_s = V_{VDHP} = 14\text{ V}$; $V_{SHx} = 14\text{ V}$	P_9.4.33
Mean Current SHx ⁵²⁾	I_{SHx_m7}	-720	-490	-300	μA	$V_{SOFF} = \text{Low}$; $V_s = V_{VDHP} = 14\text{ V}$; $V_{SHx} = 0\text{ V}$	P_9.4.35
Mean Current SHx ⁵²⁾	I_{SHx_m8}	-540	-310	-130	μA	$V_{SOFF} = \text{Low}$; $V_s = V_{VDHP} = 14\text{ V}$; $V_{SHx} = 14\text{ V}$	P_9.4.36
Output Bias Current SLx	I_{SLx}	-200	–	70	μA	$V_{SLx} = 0 \dots 7\text{ V}$; LS on	P_9.4.13
Dynamic Characteristics							
Turn On Gate Current	$I_{G(on)1}$	–	-2.0	-0.75	A	$V_{BS} \geq V_{BSUV}$; $V_{Gxx} - V_{Sxx} = 0\text{ V}$	P_9.4.14
Turn Off Gate Current	$I_{G(off)1}$	0.75	2.2	–	A	$V_{BS} \geq V_{BSUV}$; $V_{Gxx} - V_{Sxx} = 10\text{ V}$	P_9.4.15
Rise Time of Output Stage	t_{G_rise}	–	90	145	ns	$V_{VS} = 14\text{ V}$; $V_{GS} = 1.0\text{ V}$ to 7.0 V ; $C_{Load} = 33\text{ nF}$; $V_{Sxx} = 0\text{ V}$	P_9.4.16
Fall Time of Output Stage	t_{G_fall}	–	80	140	ns	$V_{VS} = 14\text{ V}$; $V_{GS} = 7.0\text{ V}$ to 1.0 V ; $C_{Load} = 33\text{ nF}$; $V_{Sxx} = 0\text{ V}$	P_9.4.17

(表格续下页.....)

⁵²⁾ 平均 SHx 电流包括自举电容器充电脉冲

表 12 (续) MOSFET 驱动器电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Rise Time of Output Stage	t_{G_rise}	–	200	–	ns	$V_{VS} = 5.5\text{ V}$; $V_{GS} = 1.0\text{ V}$ to 6.0 V ; $C_{Load} = 33\text{ nF}$; $V_{Sxx} = 0\text{ V}$	P_9.4.41
Fall Time of Output Stage	t_{G_fall}	–	130	–	ns	$V_{VS} = 5.5\text{ V}$; $V_{GS} = 6.0\text{ V}$ to 1.0 V ; $C_{Load} = 33\text{ nF}$; $V_{Sxx} = 0\text{ V}$	P_9.4.42
Propagation Delay Time (all low-side FETs on)	$t_{P(ILN)}$	20	35	60	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.18
Propagation Delay Time (all low-side FETs off)	$t_{P(ILF)}$	25	35	70	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.19
Propagation Delay Time (all high-side FETs on)	$t_{P(IHN)}$	20	35	60	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.20
Propagation Delay Time (all high-side FETs off)	$t_{P(IHF)}$	25	35	70	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.21
Propagation Delay Time Mismatch (all FETs on)	$t_{P(an)}$	–	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.22
Propagation Delay Time Mismatch (all FETs turn off)	$t_{P(af)}$	–	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.23
Propagation Delay Time Mismatch Single Phase (high-side off to low-side on)	$t_{P(1hfln)}$	0	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.24
Propagation Delay Time Mismatch Single Phase (low-side off to high-side on)	$t_{P(1lfhn)}$	0	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.25
Propagation Delay Time Mismatch all Phases (all high-sides off to all low-sides on)	$t_{P(ahfln)}$	0	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.26
Propagation Delay Time Mismatch all Phases (all low-sides off to high-side on)	$t_{P(alfhfn)}$	0	–	20	ns	$R_{Load} = 2\text{ k}\Omega^{53}$; $V_{Sxx} = 0\text{ V}$	P_9.4.27
Recommended Minimum Input Pulse Length ^{54/55)}	t_{Pulse_in}	50	–	–	ns	I _{Hx} and I _{Lx}	P_8.4.1

(表格续下页.....)

⁵³ $R_{Load} = 2\text{ k}\Omega$, 表示负载开路条件

表 12 (续) MOSFET 驱动器电气特性

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Dead Time ⁵⁶⁾⁵⁷⁾							
Programmable Dead Time Range ⁵⁸⁾	tDTr	107	–	5998	ns	166 steps programmable	P_9.4.30
Programmable Dead Time Step	tDTs	–	35.7	–	ns	–	P_9.4.31

8.5 典型时序和行为图

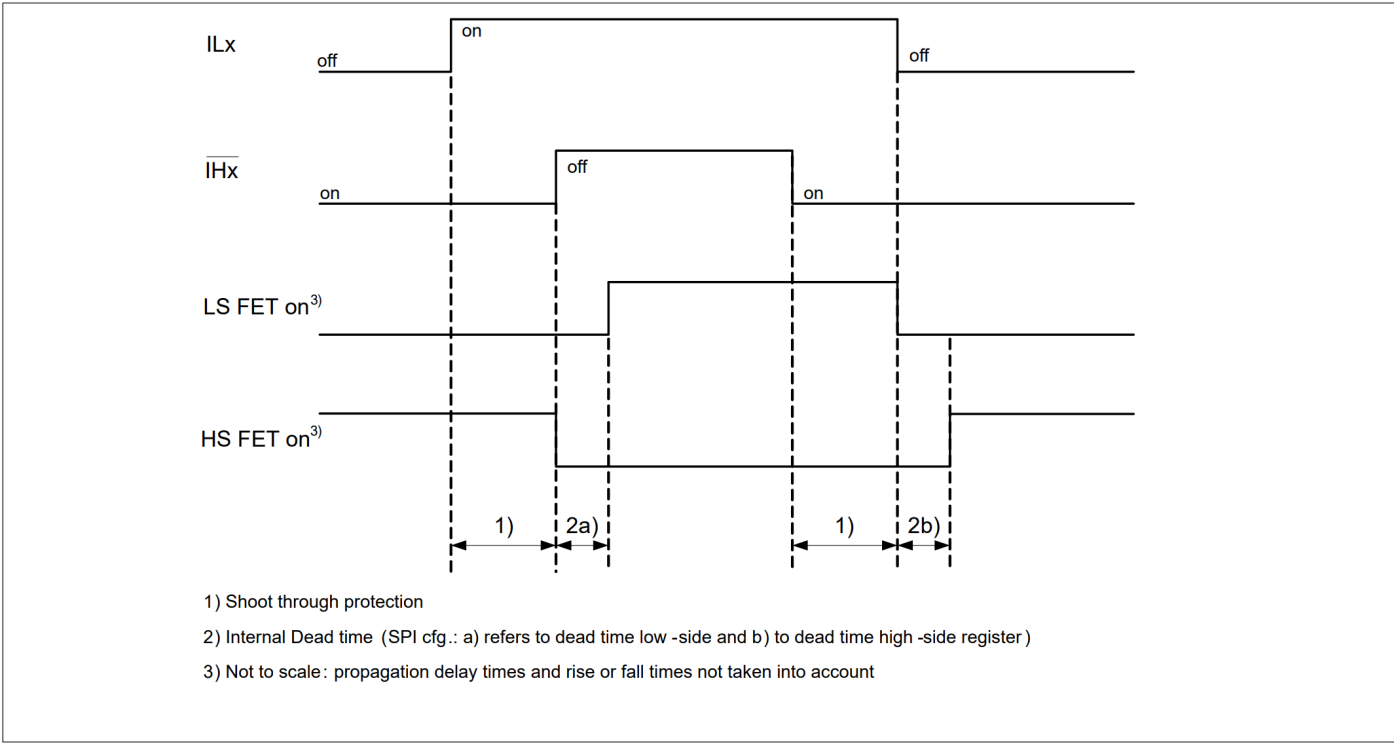


图 12 正常运行模式下击穿保护及死区时间生成

⁵⁴ 未经过生产测试, 由设计指定。
⁵⁵ 短于 50ns 的脉冲可能会导致输出级打开外部FET 最长持续 1 μs 。详情请参阅第 16.3.3章
⁵⁶ 死区时间详情请参考表格 11
⁵⁷ 内部时钟频率精度必须添加到指定值, 请参阅表 9
⁵⁸ 死区时间可能需要额外占用一个内部时钟周期进行同步

9 分流器信号调理

分流器信号调理 (SSC) 包含 2 个精密电流检测放大器 (CSA)，用于放大电机电流引起的检流电阻上的压降；以及一个电压基准输出缓冲器 (RB)，参见图 13。

信号调理是参考地。由于共模输入电压范围高（见VISx1 和VISx2）它对快速 PWM 电流切换期间由杂散电感引起的检测电压振铃具有鲁棒性。由于高共模功能输入电压范围（参见VSSC_CM），它对于分流器的 GND 和电子控制单元的公共接地之间的高共模偏移具有鲁棒性。

高等效输入电阻（参见RSSC_iCM 和RSSC_iDIFF）、低输入偏移电压（请参阅VSSC_Oofscal）和低增益误差（请参阅ASSC_diff）提供了 CSA 的出色的DC性能，因此最大限度地减少了分流器信号调理的总误差。

此外，高共模抑制比（参见CMRRSSC_CSA）、高电源抑制比（参见PSRRSSC_CSA_CB、PSRRSSC_CSA_Vs、PSRRSSC_RB_CB 和PSRRSSC_RB_Vs）以及 CSA 的低噪声系数（参见VSSC_ONsd）有助于最大限度地减少 SSC 的总误差。

为了优化分流器信号调理—特别是在为宽电机电流范围设计的系统中，在高和低电机电流下具有高精度要求—可以编程不同的增益，参见表 13。

零差分输入电压的 CSA (VOx) 输出处的DC输出电压由引脚 VRO 处基准缓冲器的输出定义。因此，通过检流电阻的正向和负向电流可以被 CSA 放大，从而被 μC 的 ADC 测量。基准缓冲器 RB 上可设置三种不同的 VRO 电压，请参见表 14。三个 VRO 电压设置中的每一个都可以进行微调，请参见表 15。

CSA 1 + RB、CSA 2 和 CSA 3 可以在配置时停用。因此，如果需要 CSA 2 和/或 CSA 3，则 CSA 1 + RB 应保持激活状态。如果不使用 CSA，则 CSA 的输入引脚 ISPx 和 ISNx 应连接到接地，输出引脚 VRO 和 VOx 应保持开路。此外，未使用的 CSA 的电源应通过 SPI 关闭。

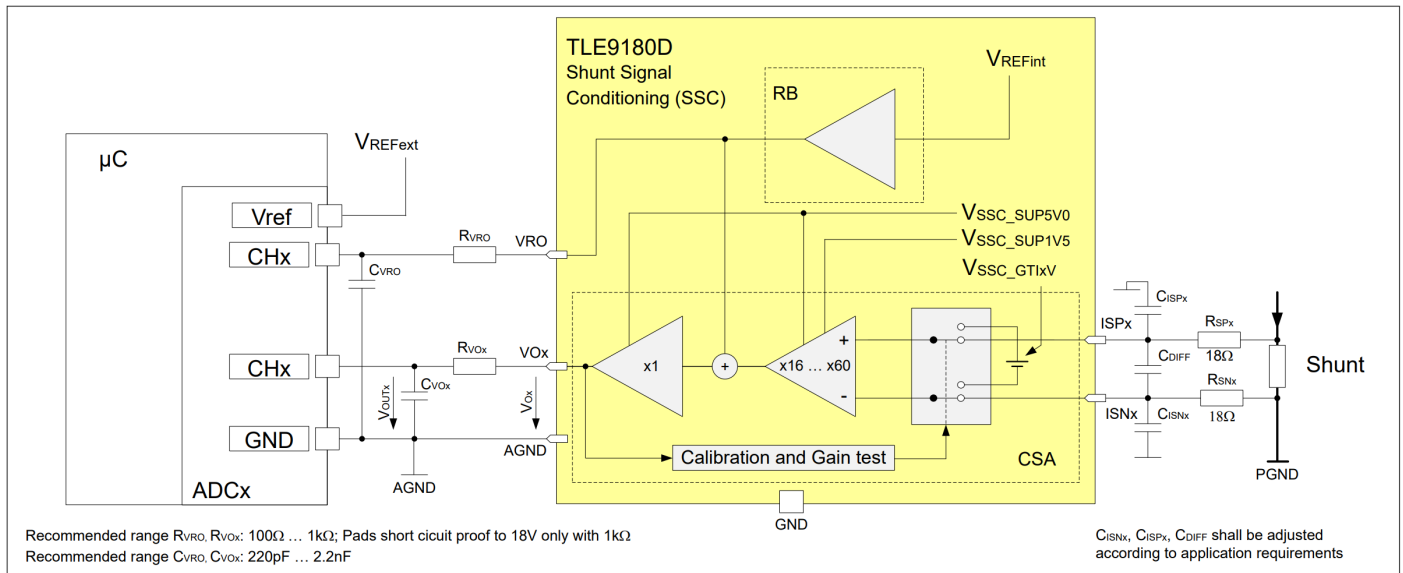


图 13 分流器信号调理的简化框图及应用图

9.1 增益编程

CSA 的增益可配置为 8 种不同的设置，请参阅表 13。在对采样电流动态范围要求较高的应用中，与较高分流器电流相比，在低分流器电流下配置较高的增益设置是有意义的，以利用 μC 中 ADC 的全部范围。因此，可以在运行中重新配置所有 CSA 的增益寄存器，但更改后的增益设置不会被校准。

表 13 增益定义

Field	Bit Value	ASSC_diff _{,typ}	Bit Value	ASSC_diff _{,typ}
opX_gainY ⁵⁹⁾	000	15.71	001	19.56
	010	23.35	011	26.90
	100	30.81	101	34.45
	110	38.13	111	83.19

9.2 零 SSC 差分输入电压下 VRO 电压和 VOx 电压的设置

VRO 输出电压 V_{SSC_OVRO} 可以用 2 位编程, 见表 14。VOx 电压相对于 AGND 为零 ($ISP_x - ISN_x = 0\text{ V}$, $V_{SSC_CM, min} \leq ISP_x = ISN_x \leq V_{SSC_CM, max}$) SSC 差分输入电压遵循 V_{SSC_OVRO} 。

表 14 VRO 输出电压电平

Field	Bit Value	$V_{SSC_OVRO, typ}$	Bit Value	$V_{SSC_OVRO, typ}$
zcl	00	0.5 V	10	2.5 V
	01 (default)	1.65 V	11	Reserved

此外, V_{SSC_OVRO} 可以用 6 位进行调整, 见表 15。

表 15 VRO 输出电压电平调整范围 V_{SSC_OVRO}

Field	Bit Value (6bit)	VRO Output Voltage	Description
ofs	0x00	$V_{SSC_OVRO} + V_{SSC_OVRO_TRN}$	Most negative offset adjustment
	0x1F (default)	V_{SSC_OVRO}	Default value
	0x3F	$V_{SSC_OVRO} + V_{SSC_OVRO_TRP}$	Most positive offset adjustment

注: 示例: 字段 'zcl' 设置为 0b10 ($V_{SSC_OVRO, typ} = 2.5\text{ V}$)。μC ADC 测量引脚 VRO 为 2.475 V 时的电压 ($V_{OVROmeasured}$)。'zcl' = 0b10 的典型调整步长 $V_{SSC_OVRO_LSB, typ}$ 为 2.66 mV。 $V_{SSC_OVRO, typ} = 2.5\text{ V}$ 与 $V_{OVROmeasured} = 2.475\text{ V}$ 之间的差值为 25 mV。典型的调整步长 2.66 mV 乘以 9 得出的增量为 23.94 mV。默认 VRO 微调必须增加 9, 结果为 $0x1F + 9 = 0x28$ 。将 0x28 写入字段“ofs”后, μC ADC 应在 VRO 引脚处测量 $2.475\text{ V} + 9 \times 2.66\text{ mV} = 2.4989\text{ V}$ 。

9.3 自动校准

可以通过 SPI 触发自动调整, 以补偿引脚 VOx 上电流检测放大器相对于 V_{SSC_OVRO} 的输出电压偏移。该调整对于每个 CSA 采用最大 t_{SSC_ofsc} 。个 CSA 可以单独选择调整方式, 例如 CSA 1 处于调整模式, CSA 2 处于正常运行状态。如果调整失败, 将会报告错误。建议上电后进行自动调整。自动调整只能在增益寄存器 1 的情况下执行。自动调整在配置模式下被禁用。如果自动配置中止或失败, 则配置停止并使用最后的有效配置值。如果选择了多个电流检测放大器进行布局, 则布局将优先考虑 CSA 1, 然后是 2 和 3。

⁵⁹ X 定义受影响的 CSA, Y 定义增益寄存器 1 或增益寄存器 2

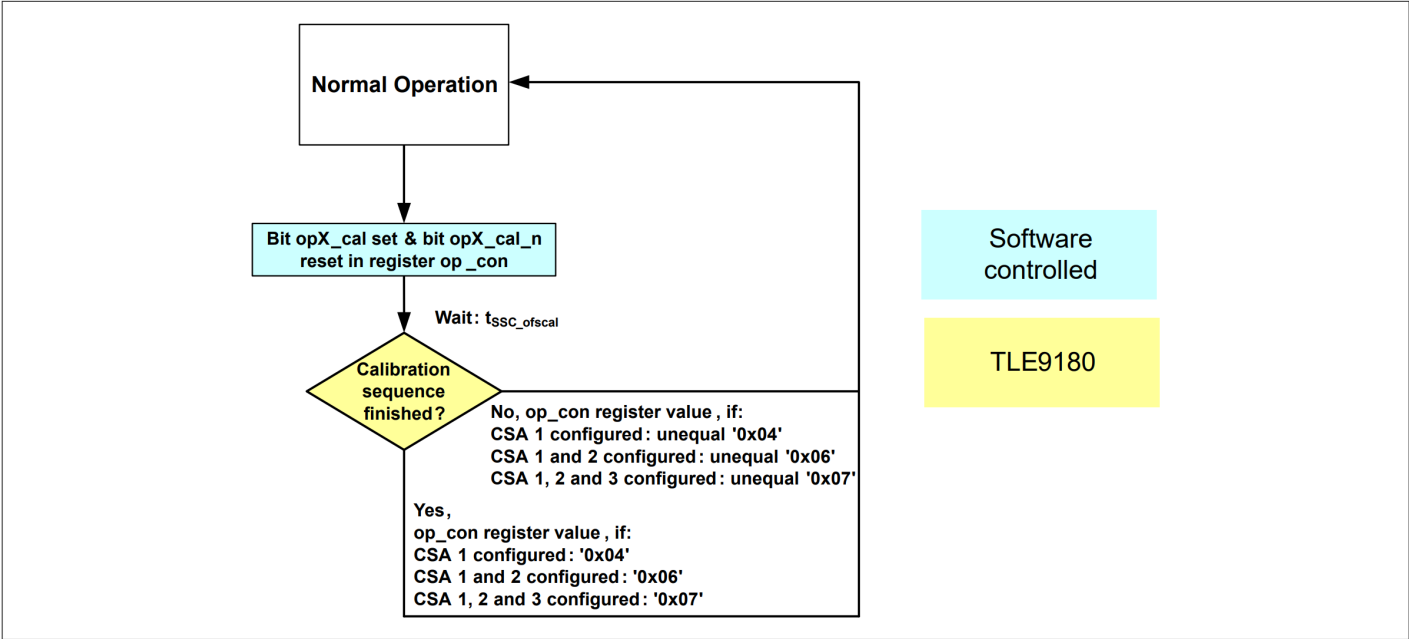


图 14 序列：电流检测放大器调整

9.4 过流检测

如果电流检测放大器的输出电压超过最大阈值且持续时间超过配置的滤波时间，则将检测到过流。过流阈值可配置为与 μC 的满量程 ADC 的输入范围相匹配，请参见表 16。滤波时间可用 2 位进行编程，参见表 17。过流阈值和滤波时间对所有电流检测放大器均有效。检测到的过流的处理在第 10.3 章中描述，特别是表 25。

表 16 过流阈值选择

Field	Bit Value	Typical Overcurrent Threshold
tl_oc_op	0 (default)	VSSC_OC5V0, typ
	1	VSSC_OC3V3, typ

表 17 过流滤波时间选择

Field	Bit Value	Typical Filter Time	Bit Value	Typical Filter Time
f_oc_op	00	1.5 μs	10 (default)	5 μs
	01	3 μs	11	10 μs

9.5 分流器信号调理自检

CSA 有两种不同的自检机制。（1）用两个不同的差分输入电压进行增益测试，（2）电流检测放大器内部电源的过压和欠压测试。详细内容请参见第 9.5.1 章、第 9.5.2 章。

9.5.1 增益测试

增益测试只能在自检模式下激活，详情见表 30。两种不同的内部生成的自检电压VSSC_GTILV和VSSC_GTIHV可在 CSA 输入端选择测试。输入电压VSSC_GTILV始终应用于 CSA 的增益寄存器 1。输入电压VSSC_GTIHV总是适用于 CSA 的增益寄存器 2。

通过更改专用位 sh_op_gain，CSA的增益可以在两个增益增益设置之间切换。读取位将表明选择了哪个增益。切换 sh_op_gain 将始终影响所有 CSA。由此产生的输出电压应由 μC 的 ADC 进行测量，并与配置的增益进行比较。 μC 可以评估 CSA 输出电压是否与编程的增益相匹配。因此，增益的精度，参见 [ASSC_diff](#) AND [GSSC_Gdacc](#)，输入偏置电压，参见 [VSSC_Oofscal](#) 或 [VSSC_Oofs](#) 自检精度，参见 [VSSC_GTILV](#) 和 [VSSC_GTIHV](#) 和 VRO 输出电压的精度，请参见 [VSSC_OVRO](#) 必须考虑。对于用于增益测试的 CSA 无法放大差分输入电压 $\text{ISP} - \text{ISN}$ 。

表 18 增益测试可用性

CSA	CSA 1		CSA 2		CSA 3	
Gain Register enabled	op1_gain1	op1_gain2	op2_gain1	op2_gain2	op3_gain1	op3_gain2
Gain Test enabled	en_opX_gt1 (gain test with 20 mV)	en_opX_gt2 (gain test with 100 mV)	en_opX_gt1 (gain test with 20 mV)	en_opX_gt2 (gain test with 100 mV)	en_opX_gt1 (gain test with 20 mV)	en_opX_gt2 (gain test with 100 mV)

9.5.2 SSC电源监测

如果在自检模式下或离开配置模式后激活，SSC 的电源监测将检测 CSA 和 VRO 的 1.5 V 和 5 V 电源电压的过压或欠压。寄存器 [Err_op_12](#) 位 6、5、2 和位 1 和寄存器 [Err_op_3](#) 位 2 和 1 表示电源监测位的结果。除了将特定位设置到寄存器中之外，欠压或过压不会提供任何进一步的故障行为，因此 μC 负责做出相应的反应。在正常运行模式下，建议 μC 触发电源监测（通过 SPI）。

电源电压监测期间，自动温度读取功能关闭。在本例中，温度读取寄存器 [temp_ls1](#)、[temp_ls2](#)、[temp_ls3](#)、[temp_hs1](#)、[temp_hs2](#) 和 [temp_hs3](#) 不会更新。有关温度的详细信息，请参阅 [第 10.5.8.2 章](#)。

9.6 分流器信号调理电气参数 (SSC)

表 19 电气特性 - 电流检测放大器

$V_s = 5.5 \text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current Sense Amplifier - Input							
Common Mode Input Voltage Range	V_{SSC_CM}	-1.7	–	1.7	V	$(V_{ISP_x}+V_{ISN_x})/2$	P_9.6.1
Differential Input Voltage Range	V_{SSC_Idiff}	-200	–	200	mV	$V_{ISP_x}-V_{ISN_x}$	P_9.6.2
Equivalent Common Mode Input Resistance	R_{SSC_iCM}	1.0	–	–	MΩ	61) CSAx = enabled; $C_{ISP_x} = C_{ISN_x} = 1.0\text{ }\mu\text{F}$; $-1.7\text{ V} \leq (V_{ISP_x} = V_{ISN_x}) \leq +1.7\text{ V}$	P_9.6.5

(表格续下页.....)

表 19 (续) 电气特性 - 电流检测放大器

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Equivalent Differential Mode Input Resistance	R_{SSC_iDIFF}	17	28	39	k Ω	CSAx = enabled; $C_{DIFFx} = 1.0\text{ }\mu\text{F}$; $-0.2\text{ V} \leq (V_{ISPx} - V_{ISNx}) \leq +0.2\text{ V}$; $-1.7\text{ V} \leq (V_{ISPx} + V_{ISNx})/2 \leq +1.7\text{ V}$	P_9.6.6
Current Sense Amplifier - Gain							
Differential Gain ⁶³⁾	A_{SSC_diff}	15.39	15.71	16.02	V/V	opX_gainY ⁶⁰⁾ = '0x0'; zcl = '0b10'	P_9.6.7
		19.17	19.56	19.96	V/V	opX_gainY ⁶⁰⁾ = '0x1'; zcl = '0b10'	
		22.89	23.35	23.82	V/V	opX_gainY ⁶⁰⁾ = '0x2'; zcl = '0b10'	
		26.37	26.90	27.44	V/V	opX_gainY ⁶⁰⁾ = '0x3'; zcl = '0b10'	
		30.19	30.81	31.42	V/V	opX_gainY ⁶⁰⁾ = '0x4'	
		33.59	34.45	35.31	V/V	opX_gainY ⁶⁰⁾ = '0x5'; zcl = '0b10'	
		37.18	38.13	39.08	V/V	opX_gainY ⁶⁰⁾ = '0x6'	
		80.28	83.19	86.10	V/V	opX_gainY ⁶⁰⁾ = '0x7'	
Gain Accuracy Temperature Drift	G_{SSC_Gdacc}	-	-12	-	ppm/K	⁶¹⁾ $T_j = -40^\circ\text{C}$ to $+25^\circ\text{C}$; zcl = '0b10' opX_gainY = '0x0 ... 0x5'	P_9.6.9
		-	-50	-	ppm/K	⁶¹⁾ $T_j = +25^\circ\text{C}$ to $+150^\circ\text{C}$; zcl = '0b10' opX_gainY = '0x0 ... 0x5'	
Transition Time Gain Toggling	t_{SSC_Gtog}	-	5	-	μs	⁶¹⁾ CSN = low to high after valid SPI frame received including settling time t_{SSC_s}	P_9.6.10

Current Sense Amplifier – Gain Test

(表格续下页.....)

⁶¹⁾ 未经过生产测试, 由设计指定。

⁶³⁾ 包括初始传播和温度依赖性

⁶⁰⁾ X 定义受影响的 CSA, Y 定义增益寄存器 1 或增益寄存器 2

表 19 (续) 电气特性 - 电流检测放大器

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Reference Voltage Source 1 - Low Voltage	V_{SSC_GTILV}	17	22.5	28	mV	Refers to CSAx gain test Low Voltage en_opX_gt1	P_9.6.11
Reference Voltage Source 2 - High Voltage	V_{SSC_GTIHV}	85	110	135	mV	Refers to CSAx gain test High Voltage en_opX_gt2	P_9.6.12
Current Sense Amplifier - Output							
Output Voltage Range	V_{SSC_OVR}	-0.1	–	5.3	V	$-100\text{ }\mu\text{A} \leq I_{VOX} \leq 100\text{ }\mu\text{A}$	P_9.6.13
Output Voltage Range within Specified Gain and Offset Accuracy	V_{SSC_LOVR}	0.15	–	4.7	V	⁶¹⁾ zcl = '0b10' $R_{VOX} = 100\text{ }\Omega$; $C_{VOX} = 2.2\text{ nF}$	P_9.6.14
		0.15	–	4.0	V	⁶¹⁾ zcl = '0b01' $R_{VOX} = 100\text{ }\Omega$; $C_{VOX} = 2.2\text{ nF}$	
		0.15	–	2.85	V	⁶¹⁾ zcl = '0b00' $R_{VOX} = 100\text{ }\Omega$; $C_{VOX} = 2.2\text{ nF}$	
Output Current VOx Load Regulation	V_{SSC_deOVOx}	-25	–	25	mV	⁶¹⁾ Without Output Filter $-1\text{ mA} \leq I_{OVOX} \leq 1\text{ mA}$ $0.15\text{ V} \leq V_{OVOX} \leq 4.7\text{ V}$	P_9.6.15
Common Mode Rejection Ratio	$CMRR_{SSC_CSA}$	60	–	–	dB	⁶²⁾ D.C.	P_9.6.16
Output Offset Voltage without Auto Calibration	V_{SSC_Oofs}	-100	0	100	mV	⁶³⁾ all gain settings	P_9.6.17
Output Offset Voltage with Auto Calibration	$V_{SSC_Oofscal}$	-10.0	0	10.0	mV	⁶³⁾ all gain settings	P_9.6.18
Output Offset Voltage Temperature Drift	V_{SSC_Odots}	-25	–	25	$\mu\text{V/K}$	⁶¹⁾ $T_j = -40^\circ\text{C} \dots 150^\circ\text{C}$ opX_gainY = '0x0 ... 0x6' Linearized	P_9.6.19
Offset Voltage Auto Calibration Duration	t_{SSC_ofscal}	–	100	–	μs	⁶¹⁾ ⁶⁴⁾	P_9.6.20

Current Sense Amplifier - Output - Dynamic Characteristics

(表格续下页.....)

⁶¹⁾ 未经过生产测试, 由设计指定。

⁶²⁾ opX_gainY = '0x2'; DC; zcl = '0b10'; $CMRR = A_{DIFF} / A_{CM}$; $A_{DIFF} = [VOX(V_{ISPx} - V_{ISNx} = 50\text{ mV}) - VOX(V_{ISPx} - V_{ISNx} = 0\text{ mV})] / 50\text{ mV}$ at $V_{ISPx} + V_{ISNx} = 0\text{ V}$; $A_{CM} = [VOX(V_{ISPx} = V_{ISNx} = 1\text{ V}) - VOX(V_{ISPx} = V_{ISNx} = 0\text{ V})] / 1\text{ V}$

⁶³⁾ 包括初始传播和温度依赖性

⁶⁴⁾ 内部时钟频率精度必须添加到指定值, 请参阅表 9

表 19 (续) 电气特性 - 电流检测放大器

 $V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Settling Time	t_{SSC_s}	–	–	2.5	μs	⁶¹⁾ Input step response $V_{OX} 0.5\text{ V}$ to $4.6\text{ V} \pm 20\text{ mV}$ after output filter $C_{VOX} = 2.2\text{ nF}$ and $R_{VOX} = 100\ \Omega$ $opX_gainY = '0x0 \dots 0x6'$	P_9.6.58

Current Sense Amplifier - Output - Noise Performance

Output Voltage Noise, Standard Deviation	V_{SSC_ONsd}	–	0.6	–	mV	⁶¹⁾ $ISN_x = ISP_x = 0\text{ V}$; $T_j = 25^\circ\text{C}$; $opX_gainY = '0x2'$; $zcl = '0b10'$; After Filter ($R_{VOX} = 100\ \Omega$; $C_{VOX} = 2.2\text{ nF}$) VO_x referred to GND	P_9.6.26
Output Voltage Noise, Peak to Peak	V_{SSC_ONpp}	–	4.0	–	mV	⁶¹⁾ $ISN_x = ISP_x = 0\text{ V}$; $T_j = 25^\circ\text{C}$; $opX_gainY = '0x2'$; $zcl = '0b10'$; After Filter ($R_{VOX} = 100\ \Omega$; $C_{VOX} = 2.2\text{ nF}$) VO_x referred to GND 99.9% ⁶⁵⁾	P_9.6.27

Current Sense Amplifier - Output - Overcurrent Detection

Overcurrent Detection Threshold in % Referred to VSSC_SUP5V0	V_{SSC_OC5V0}	93.75	94.75	95.75	%	$tl_oc_op = '0'$	P_9.6.34
Overcurrent Detection Threshold in % Referred to VSSC_SUP5V0	V_{SSC_OC3V3}	61	62	63	%	$tl_oc_op = '1'$	P_9.6.35
Hysteresis of Overcurrent Detection	V_{SCC_OChys}	–	25	–	mV	–	P_9.6.36
Typical Overcurrent Filter Time Range	t_{SSC_ocf}	1.5	5.0	10	μs	⁶⁴⁾ 4 steps programmable $f_oc_op = '0x0 \dots 0x3'$	P_9.6.37

(表格续下页.....)

⁶¹ 未经过生产测试, 由设计指定⁶⁵ 正态分布的理论值: $6.6 \cdot V_{SSC_ONsd}$ ⁶⁴ 内部时钟频率精度必须添加到指定值, 请参阅表 9

表 19 (续) 电气特性 - 电流检测放大器

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current Sense Amplifier - Power Supply							
Internal Power Supply 5V	V _{SSC_SUP5V0}	4.8	5.0	5.2	V	–	P_9.6.38
Power Supply Rejection Ratio Vs	PSRR _{SSC_CS A_Vs}	–	60	–	dB	⁶¹⁾ f = 1 kHz; 11V ≤ V _{CBx} ≤ 14 V	P_9.6.40
Power Supply Rejection Ratio CB	PSRR _{SSC_CS A_CB}	–	60	–	dB	⁶¹⁾ f = 1 kHz; 11V ≤ V _{CBx} ≤ 14 V	P_9.6.41
Duration of Over- and Undervoltage Self Test sequence	t _{SSC_STUVOVreg}	–	–	200	µs		P_9.6.48

表 20 电气特性 - 基准缓冲器

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Voltage VRO	V_{SSC_OVRO}	0.473 1.613 2.426	0.5 1.65 2.5	0.527 1.687 2.574	V	$zcl = '0b00'$; $zcl = '0b01'$; $zcl = '0b10'$; @ ofs = '0x20'	P_9.6.49
Trim Step VRO	$V_{SSC_OVRO_LSB}$	–	1.0 1.33 2.66	–	mV	$zcl = '0b00'$; $zcl = '0b01'$; $zcl = '0b10'$	P_9.6.51
Negative Trim Range VRO	$V_{SSC_OVRO_TRN}$	-7.0 -2.8 -3.7	–	-5.7 -2.3 -3.1	% of $V_{OVRO@}$ ofs = '0x20'	$zcl = '0b00'$; $zcl = '0b01'$; $zcl = '0b10'$; @ ofs = '0x00'	P_9.6.52
Positive Trim Range VRO	$V_{SSC_OVRO_TRP}$	5.6 2.2 3.0	–	6.8 2.7 3.6	% of $V_{OVRO@}$ ofs = '0x20'	$zcl = '0b00'$; $zcl = '0b01'$; $zcl = '0b10'$; @ ofs = '0x3F'	P_9.6.53

(表格续下页.....)

⁶¹ 未经过生产测试, 由设计指定。

8 分流器信号调理

表 20 (续) 电气特性 - 基准缓冲器

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Voltage VRO Temperature Drift	$V_{SSC_OVRO_dT}$	-1.0	–	+1.0	% of $V_{OVRO@}$ ofs = '0x20' & $T_j = 25^\circ\text{C}$	⁶⁶⁾ zcl = '0b01' and '0b10'; [= VRO = 2.5 V and 1.65 V]	P_9.6.54
Output Current VRO Load Regulation	V_{SSC_deOVRO}	-25	–	25	mV	⁶⁶⁾ $V_{SSC_deOVRO} = V_{SSC_OVRO} (I_{OVRO}) - V_{SSC_OVRO} (0\text{ A});$ $-5\text{ mA} \leq I_{OVRO} \leq 5\text{ mA}$	P_9.6.55
Power Supply Rejection Ratio Vs	$PSRR_{SSC_RB_Vs}$	–	60	–	dB	⁶⁶⁾ $f = 1\text{ kHz};$ $11\text{ V} \leq V_{CBx} \leq 14\text{ V}$	P_9.6.56
Power Supply Rejection Ratio CB	$PSRR_{SSC_RB_CB}$	–	60	–	dB	⁶⁶⁾ $f = 1\text{ kHz};$ $11\text{ V} \leq V_{CBx} \leq 14\text{ V}$	P_9.6.57

⁶⁶⁾ 未经过生产测试, 由设计指定。

10 保护和诊断

TLE9180D-21QK提供扩展的保护和监测功能。所有检测到的错误和警告都可以通过SPI读取，大多数阈值可以通过SPI配置或SPI指令选择。可以在专用自检模式下运行期间测试安全相关的诊断。

10.1 监控概述

提供以下诊断和读取功能。详情请参阅[章节 10.5](#)。

表 21 诊断概述

Diagnostic	Availability in Configuration ⁶⁷	Availability in reduced operation ⁶⁷	Availability with SOFF=low	Test of Diagnosis Function	Failure Behavior	Reference
Power Supply Supervision and Diagnostics						
Overvoltage VS (Programmable Threshold)	yes (default value)	no ⁶⁸	yes	no	Table 25	Chapter 10.5.1
Overvoltage VS shutdown	yes	no ⁶⁸	yes	no	Table 24	Chapter 10.5.1
Undervoltage VS (Programmable Threshold)	yes (default value)	no ⁶⁸	yes	no	Table 25	Chapter 10.5.1
VS Read Out	yes	no	yes	no	read out	Chapter 10.5.1
Overvoltage VDHP (Programmable Threshold)	yes (default value)	no ⁶⁸	yes	no	Table 28	Chapter 10.5.2
Overvoltage LD VDHP	yes (default value)	no ⁶⁸	yes	no	ARE ^{69/71}	Chapter 10.5.2
Overvoltage VDHP Shutdown	yes	no ⁶⁸	yes	no	Table 24 ⁷¹	Chapter 10.5.2
Undervoltage VDHP (Programmable Threshold)	yes (default value)	no ⁶⁸	yes	no	Table 25	Chapter 10.5.2
VDHP Read Out	yes	no	yes	no	read out	Chapter 10.5.2
VCC Under- and Over Monitoring	yes	no ⁶⁸	yes	yes	Table 25 ^{70/71}	Chapter 10.5.5
VCC Read Out	yes	no	yes	no	read out	Chapter 10.5.5

Output Stage Power Supply Supervision

(表格续下页.....)

⁶⁷ 未经过生产测试，由设计指定。

⁶⁸ 检测器可以工作，但无法通过SPI或引脚ERR读取；由于有限操作模式，I/O 端口关闭。

⁶⁹ 电荷泵 2 在自动重启条件下关闭。输出级保持活动状态

⁷¹ 可在配置时禁用监控功能

表 21 (续) 诊断概述

Diagnostic	Availability in Configuration ⁶⁷⁾	Availability in reduced operation ⁶⁷⁾	Availability with SOFF=low	Test of Diagnosis Function	Failure Behavior	Reference
Undervoltage Charge Pump CB Shutdown	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.3
Undervoltage Charge Pump CB (prog. threshold)	yes (default value)	no ⁶⁸⁾	yes	no	Table 25	Chapter 10.5.3
CB Read Out	yes	no	yes	no	read out	Chapter 10.5.3
Overvoltage Charge Pump 1	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.3.2
Overvoltage Charge Pump 2 CH2-CL2	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.3.2
Overload Vs	yes	no ⁶⁸⁾	yes	no	Table 24 ⁷²⁾	Chapter 10.5.3.2
Overload Charge Pump 1 ⁷³⁾	yes	no ⁶⁸⁾	yes	no	LE ⁷²⁾	Chapter 10.5.3.2
Overload Charge Pump 2	yes	no ⁶⁸⁾	yes	no	LE ⁷⁴⁾	Chapter 10.5.3.2
Undervoltage High-side Buffer Capacitor BHx-SHx	yes	no ⁶⁸⁾	yes	no	Table 27	Chapter 10.5.4
Overvoltage High-side Buffer Capacitor BHx-SHx	yes	no ⁶⁸⁾	yes	no	LE ⁷⁵⁾⁷¹⁾	Chapter 10.5.4
Gate Driver Internal Supervisions						
Internal Power Supply Monitoring	yes	no ⁶⁸⁾	yes	no	ARE, LE	Chapter 10.5.6
Clock Supervision (internal clock)	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.7
Overtemperature Shutdown	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.8

(表格续下页.....)

⁶⁷⁾ 未经过生产测试，由设计指定。

⁶⁸⁾ 检测器可以工作，但无法通过SPI或引脚ERR读取；由于有限操作模式，I/O 端口关闭。

⁷²⁾ 除了表 24 所示的故障反应外，Vs 开关 OL_CP1 时开启，开关OL_VS 时关闭

⁷³⁾ 监测功能有限，详情请参考第 16.3.5章

⁷⁴⁾ 电荷泵 2 在锁存状态下关闭。输出阶段的故障行为是可配置的

⁷⁵⁾ 电荷泵2 在锁存错误条件下关闭。输出级保持活动状态

⁷¹⁾ 可在配置时禁用监控功能

表 21 (续) 诊断概述

Diagnostic	Availability in Configuration ⁶⁷⁾	Availability in reduced operation ⁶⁷⁾	Availability with SOFF=low	Test of Diagnosis Function	Failure Behavior	Reference
Overtemperature Detection (Programmable Threshold)	yes (default value)	no ⁶⁸⁾	yes	no	Table 25	Chapter 10.5.8
Temperature Read out	yes	no ⁶⁸⁾	yes	no	read out	Chapter 10.5.8
CSA Diagnostics	no	no	no	n.a.	read out	Chapter 9.5
Output Stage Status Feedback Information	no	no	yes	no	Table 25	Chapter 10.5.9
Digital Driving Path Monitoring	yes	no ⁶⁸⁾	yes	no	Table 24	Chapter 10.5.10
Latent Fault Warning Monitoring	yes	no ⁶⁸⁾	yes	no	sets bit in SER reg.	-

Bridge and FET Diagnostics and Protection

Shoot Through Protection	n.a.	n.a.	n.a.	n.a.	Influences Driver State	Chapter 8.3
SCD Failure	no	no	no	yes	Table 26	Chapter 10.5.11
FET Drain Source Voltage Read out	n.a.	n.a.	n.a.	n.a.	read out	Chapter 10.5.12
FET Reverse Diode Forward Voltage Read out	n.a.	n.a.	n.a.	n.a.	read out	Chapter 10.5.13
Overcurrent Detection	yes	no ⁶⁸⁾	yes	no	Table 25	Chapter 9.4
Drain Source Measurement	no	no	no	n.a.	read out	Chapter 10.5.14

Interface to μ C Supervision

Input Pattern Violation Monitoring	n.a.	n.a.	n.a.	no	Table 25 ⁷¹⁾	Chapter 8.3
Overload Digital Output Pins	yes	no ⁶⁸⁾	yes	no	Table 29 ⁷⁶⁾	Chapter 10.5.16

(表格续下页.....)

⁶⁷⁾ 未经过生产测试，由设计指定。

⁶⁸⁾ 检测器可以工作，但无法通过SPI或引脚ERR读取；由于有限操作模式，I/O 端口关闭。

⁷¹⁾ 可在配置时禁用监控功能

⁷⁶⁾ 除了表 29所示的故障反应外，受影响的数字输出引脚转为锁存三态条件

表 21 (续) 诊断概述

Diagnostic	Availability in Configuration ⁶⁷⁾	Availability in reduced operation ⁶⁷⁾	Availability with SOFF=low	Test of Diagnosis Function	Failure Behavior	Reference
Configuration Signature Invalid	yes	yes	yes	no	LE Config Flag	Chapter 10.5.17
Configuration Time-out	yes	no		no	Lock ⁷⁷⁾	Chapter 10.5.17
SPI Frame Error	yes	n.a.	yes	no	W ⁷⁸⁾	Chapter 10.5.20
SPI Frame Time-out	yes	n.a.	yes	no	W ⁷⁸⁾	Chapter 10.5.20
SPI Window Watchdog Time-out	no	no	yes	n.a.	Table 25 ⁷⁰⁾ 71)	Chapter 10.5.20
CRC error (incoming data)	yes	n.a.	yes	no	W ⁷⁸⁾	Chapter 10.5.20
Invalid Address Access	yes	n.a.	yes	no	W ⁷⁸⁾	Chapter 10.5.20

10.1.1 配置模式下的诊断

将 INH 引脚置位为高并进入配置模式后，所有具有可配置故障行为的诊断和保护功能均处于默认状态。在进入正常运行模式之前，ERR 引脚不会响应错误消息。配置成功完成后，将激活已配置的故障行为并清除错误寄存器。要读取配置模式下发生的故障，应在发送配置签名字节之前读取错误寄存器。

10.1.2 有限操作模式下的禁用功能

在有限操作模式下，某些诊断被禁用。因此，大多数诊断检测器都可以正常工作，但由于 I/O 端口停用，读取能力受到限制。

10.1.3 安全关闭模式下的禁用功能

在安全关闭模式下，大多数诊断程序都处于激活状态。禁用诊断的寄存器内容将保持不变，直到器件再次进入正常模式。

10.2 故障检测处理

TLE9180D-21QK 根据错误处理提供高度灵活性，以支持性能优化的电子控制单元的方法。因此，大多数诊断都可以选择作为内部或外部安全机制来处理。

⁶⁷⁾ 未经过生产测试，由设计指定。

⁷⁷⁾ 解锁重启需要使用 INH 引脚

⁷⁸⁾ SPI - 错误状态标志在状态寄存器置位

⁷⁰⁾ 故障行为可能与 APC 激活有关

⁷¹⁾ 可在配置时禁用监控功能

10.2.1 故障标志

一个 $\overline{\text{ERR}}$ 引脚和两个故障标志可用于根据系统要求区分故障行为。此外，还提供了用于特殊运行模式和 SPI 通信错误的附加标志。有关详细信息，请参阅第 14.3.1 章和第 14.3 章。

警告标志

警告标志信息是所有检测到的故障的摘要，这些故障行为已配置为警告。所有条件在逻辑上都是 ORed。如果故障消失并且专用错误寄存器已被 μC 读取，则警告标志将被清除。

表 22 警告真值表

Status Bit Name	Warning Flag	Description
Warning	0	No failure detected
	1	Warning (failure detection configured as Warning)

错误标志

错误标志信息是所有检测到的故障的摘要。它们的行为被配置为错误、自动重启或锁定错误。所有条件在逻辑上都是 ORed。如果故障消失并且专用错误寄存器已被 μC 读取，则错误标志将被清除。

表 23 错误真值表

Status Bit Name	Error Flag	Description
Error	0	No failure detected
	1	Error (failure detection configured as error, auto restart or latched error)

错误引脚

当故障行为配置为“错误”、“自动重启”或“锁存错误”时，如果检测到故障， $\overline{\text{ERR}}$ 引脚将置位为低电平。如果故障行为配置为“自动重启”或“错误”，并且故障消失且故障延长定时器已过期，则 $\overline{\text{ERR}}$ 引脚将置位为高电平。如果故障行为编程为“锁存错误”，则必须使用 ENA 引脚执行复位以将 $\overline{\text{ERR}}$ 引脚置位为高电平。 $\overline{\text{ERR}}$ 输出引脚的电气特性在第 4.7 章中描述。

10.2.2 故障行为配置

TLE9180D-21QK 提供两种监控功能：关闭和检测。

关断是保护功能，应防止采取诸如最大额定值违规，可能直接导致 TLE9180D-21QK 的损坏。关断故障行为不可配置。所有外部场效应管关闭。专用读取寄存器表示关断。

表 24 关断错误概述⁷⁹⁾

Bit Position	Bit Name	Description	Output Stages	Charge Pumps	$\overline{\text{ERR}}$ Pin
7	sd_ot	Overtemperature Shutdown	LE	Off (LE)	Low (LE)
6	sd_ov_vs	Overvoltage Vs Shutdown	LE	Active	Low (LE)

(表格续下页.....)

79 对于与有限操作模式发生相结合的故障反应，请参阅第 13.2 章

表 24 (续) 关断错误概述⁷⁹⁾

Bit Position	Bit Name	Description	Output Stages	Charge Pumps	ERR Pin
5	sd_ov_vdh	Overvoltage VDHP Shutdown ⁸⁰⁾	LE	Off (LE)	Low (LE)
4	sd_uv_cb	Undervoltage CB Shutdown	ARE	Active	Low (ARE)
3	sd_clk_fail	Internal Clock Supervision Shutdown ⁸¹⁾	ARE or LE	Active	Low (ARE or LE)
2	sd_ov_cp	Overvoltage Charge Pump Shutdown ⁸²⁾ Overvoltage at pin CB Overvoltage CH2-CL2	LE active	Off (LE) CP2 off (LE)	Low (LE) Low (LE)
1	sd_cp1	Overload at Path Vs Charge Pump Input	LE	Off (LE)	Low (LE)
0	sd_ddp_stuck	Digital Driving Path Output Violation	LE	Active	Low (LE)

检测功能具有可配置的故障行为。在配置模式下，μC 可以对首选行为进行编程。一般来说，可以配置四种不同的故障行为。检测阈值应适应系统限制，且应低于栅极驱动器IC最大额定值。

表 25 故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
00	W: Warning	Set	Warning flag	High	Not affected
01	ERR: Error	Set	Error flag	Low	Not affected
10	ARE: Auto Restart Error	Set	Error flag	Low	All external FETs off
11	LE: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	All external FETs off

外部 FET 的短路检测还有两种配置可能性。锁存错误故障行为分为三种可选反应：锁存并且所有外部 MOSFET 将被关闭、锁存并且受影响的半桥将被关闭或锁存并且只有受影响的输出级将被关闭。不建议调整短路检测的自动重启失败行为。

表 26 短路检测的故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
000	W: Warning	Set	Warning flag	High	Not affected
001	ERR: Error	Set	Error flag	Low	Not affected
010	ARE: Auto Restart Error	Set	Error flag	Low	All external FETs off
011	LE: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	All external FETs off

(表格续下页.....)

⁷⁹⁾ 对于与有限操作模式发生相结合的故障反应，请参阅第13.2章

⁸⁰⁾ 过压 VDHP 关断可在配置中停用

⁸¹⁾ 故障反应可以是 ARE 或 LE，取决于内部故障的类型

⁸²⁾ 位将由CB引脚过压或CH2-CL2过压检测置位

表 26 (续) 短路检测的故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
110	LE1: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	Affected 2 FETs off
111	LE2: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	Affected FET off

高边缓冲电容器欠压监测的故障反应自动重启和锁存错误与标准故障反应不同。如果出现 ARE 或 LE，则仅受影响的高边输出级将关断外部 FET。

表 27 高边缓冲器电容欠压监测故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
00	W: Warning	Set	Warning flag	High	Not affected
01	ERR: Error	Set	Error flag	Low	Not affected
10	ARE: Auto Restart Error	Set	Error flag	Low	Affected high-side FET off
11	LE: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	Affected high-side FET off

针脚 VDHP 的过压检测失效反应在低端 FET 失效反应方面具有一些特殊的失效行为。

表 28 VDHP 过压检测故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
000	W: Warning	Set	Warning flag	High	Not affected
001	ERR: Error	Set	Error flag	Low	Not affected
010	ARE: Auto Restart Error	Set	Error flag	Low	All external FETs off
110	ARE1: Auto Restart Error	Set	Error flag	Low	All high-side FETs off
011	LE: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	All external FETs off
111	LE1: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	All high-side FETs off

表 29 过载数字输出引脚检测的故障行为配置

Bit Value	Failure Behavior	Failure Register	Status Bit in SPI Frame	ERR Pin	Output Stages
0	ERR: Error	Set	Error flag	Low	Not affected
1	LE: Latched Error ⁷⁹⁾	Set	Error flag	Low (LE)	All external FETs off

10.2.3 并行故障发生

错误优先级不存在。所有错误将被独立且并行地处理。

⁷⁹⁾ 对于与有限操作模式发生相结合的故障反应，请参阅第13.2章

10.2.4 通用故障行为时序图

本章展示了栅极驱动器IC的四种可编程故障行为之间的区别。

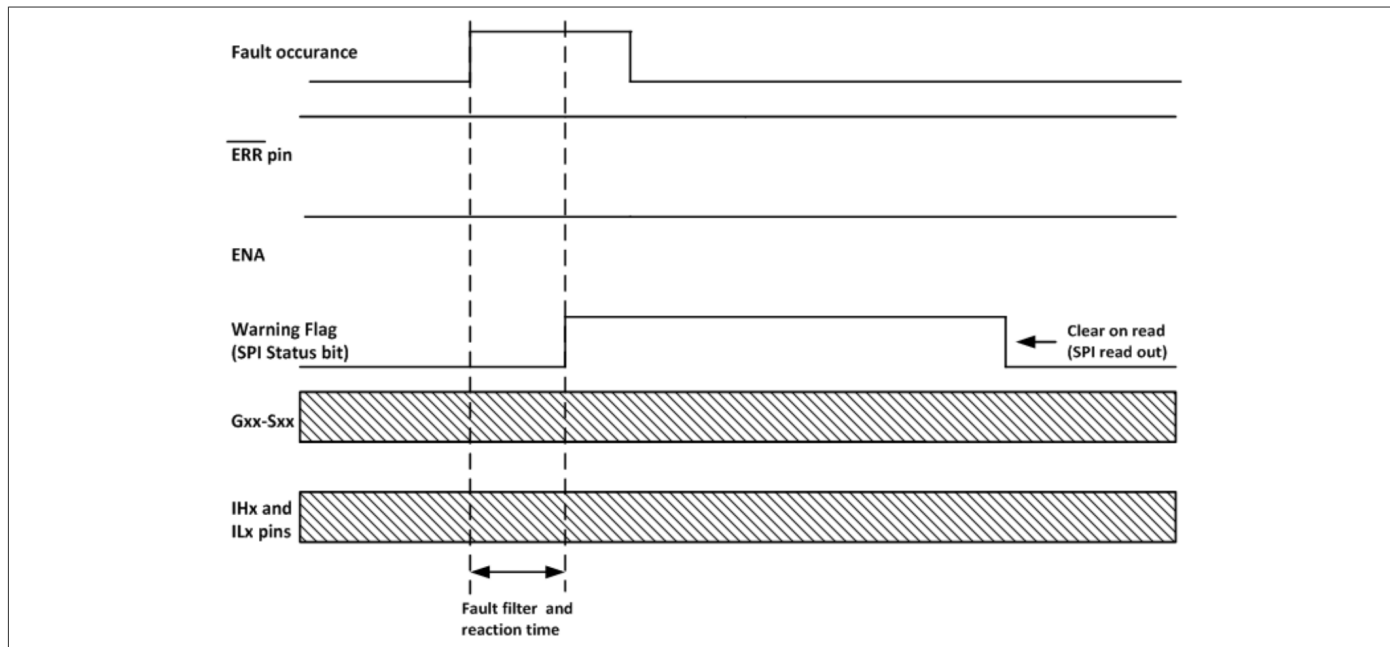


图 15 时序图警告-瞬态故障发生

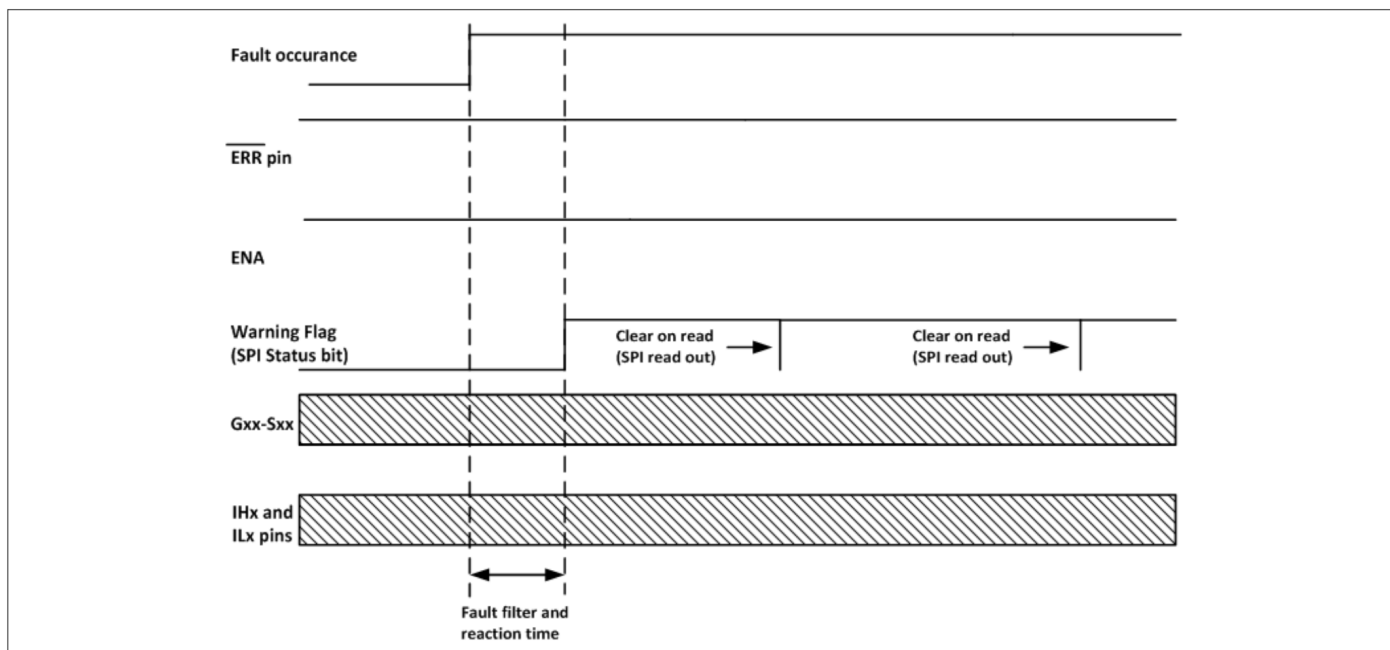


图 16 时序图警告-永久故障发生

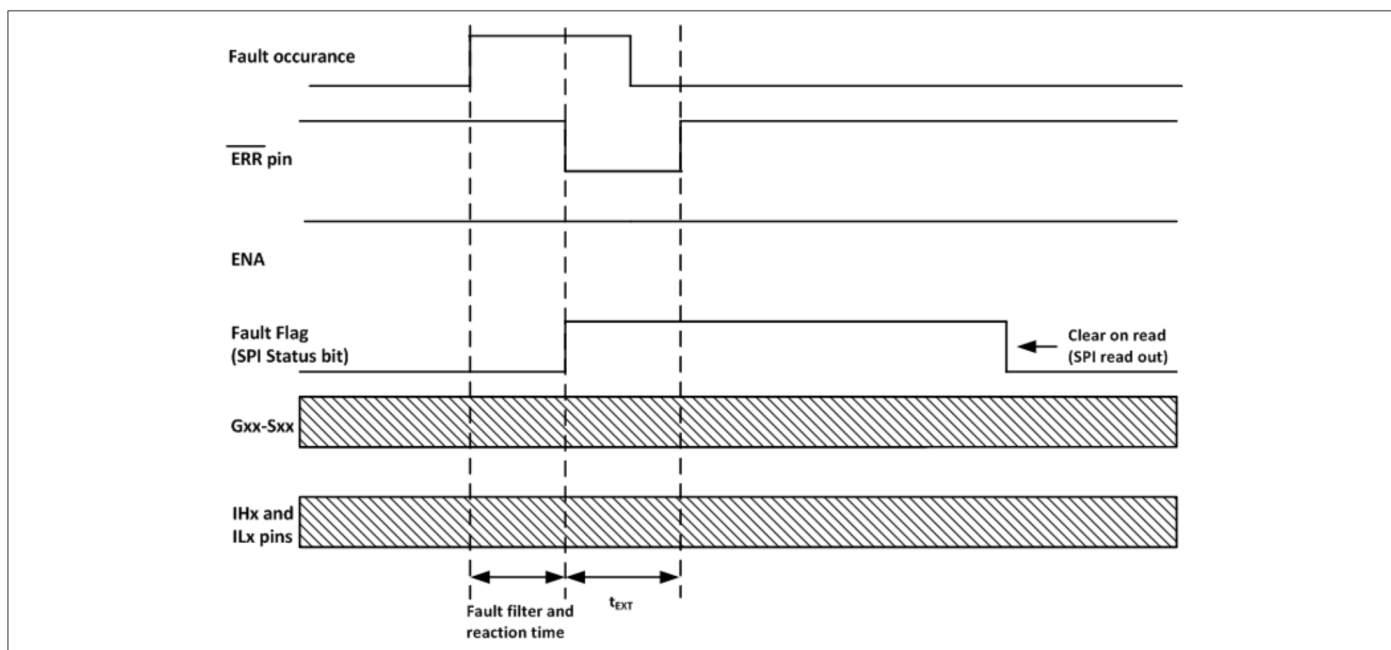


图 17 时序图错误- 瞬态故障发生

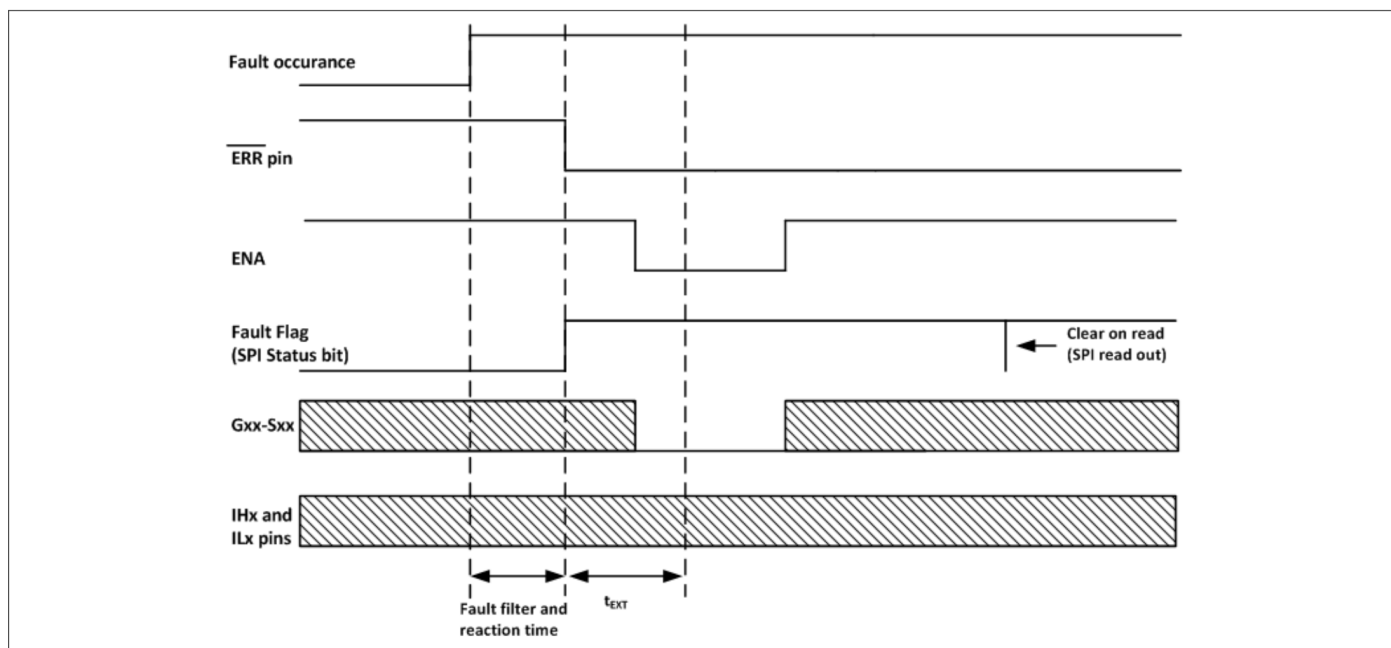


图 18 时序图错误 - 永久故障发生

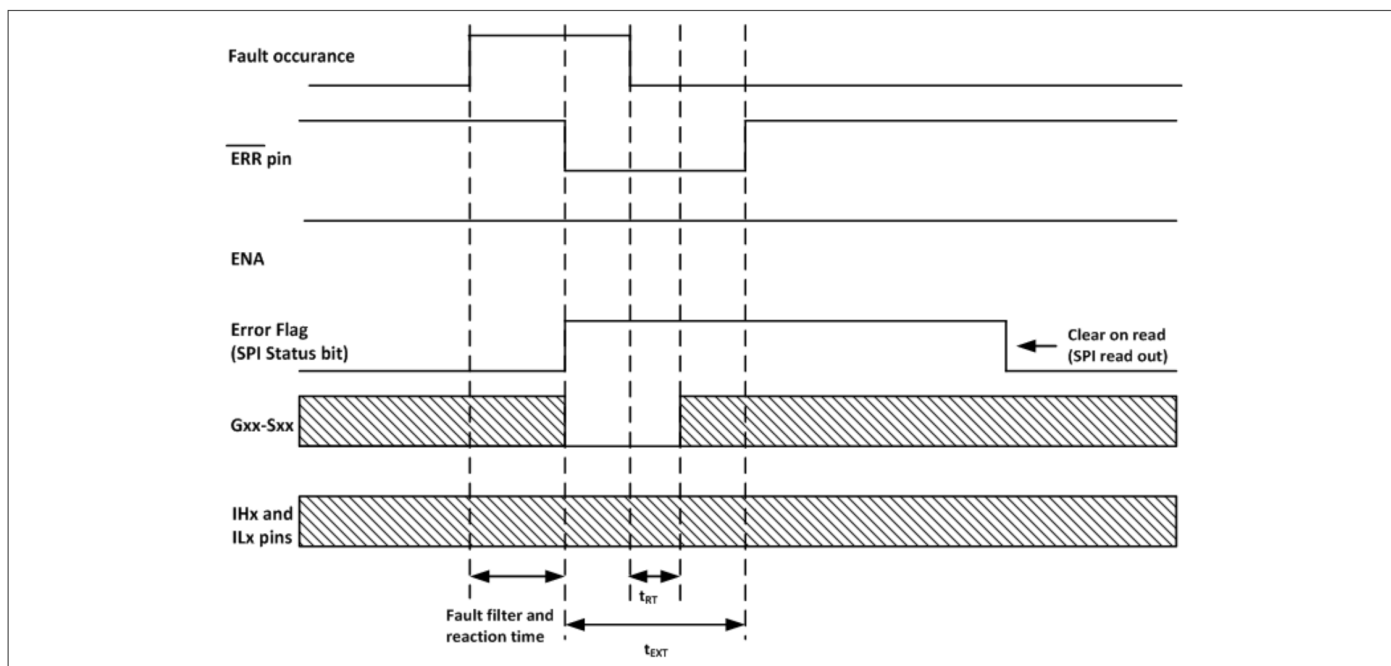


图 19 时序图自动重启错误 - 瞬态故障发生

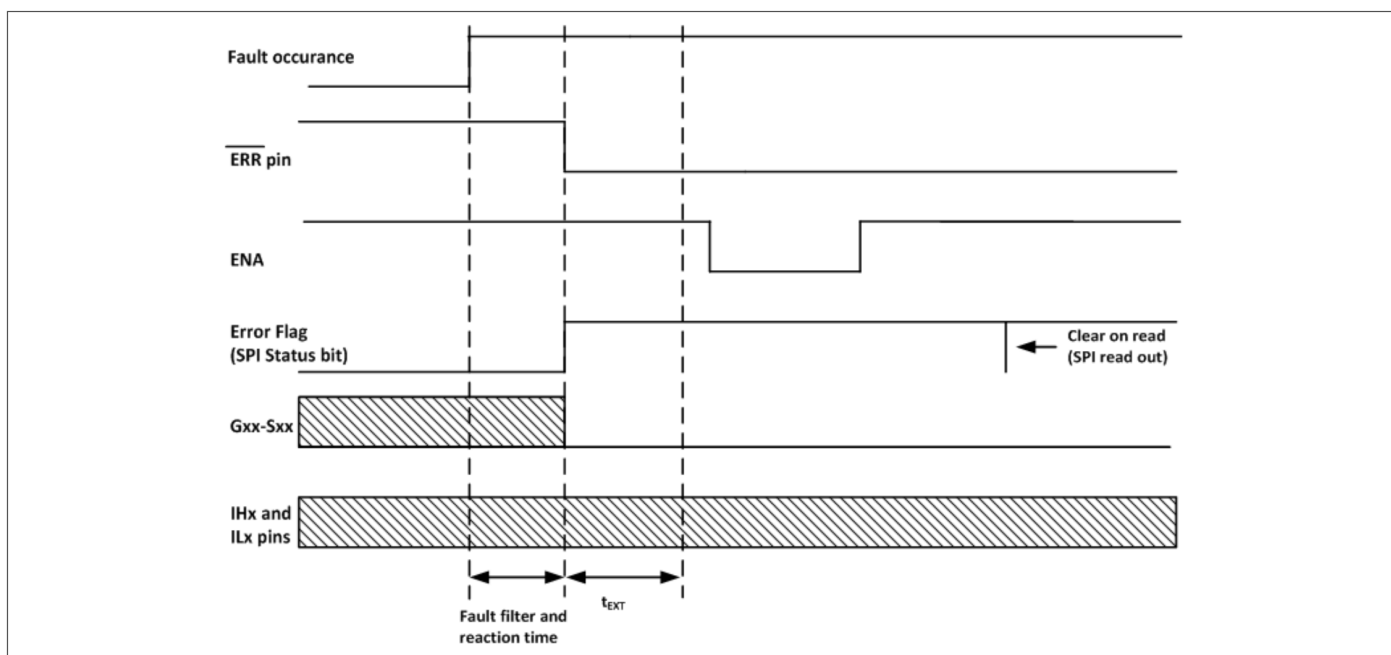


图 20 时序图自动重启错误 - 永久故障发生

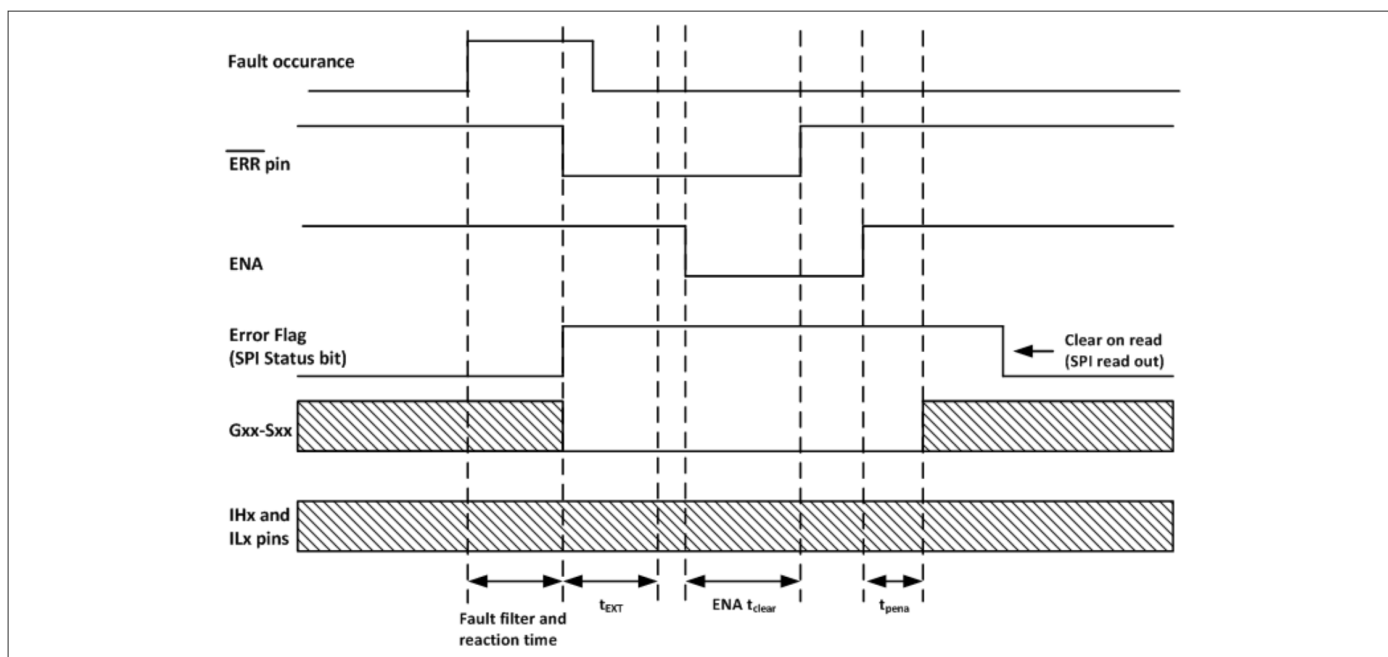


图 21 时序图锁存错误 - 瞬态故障发生

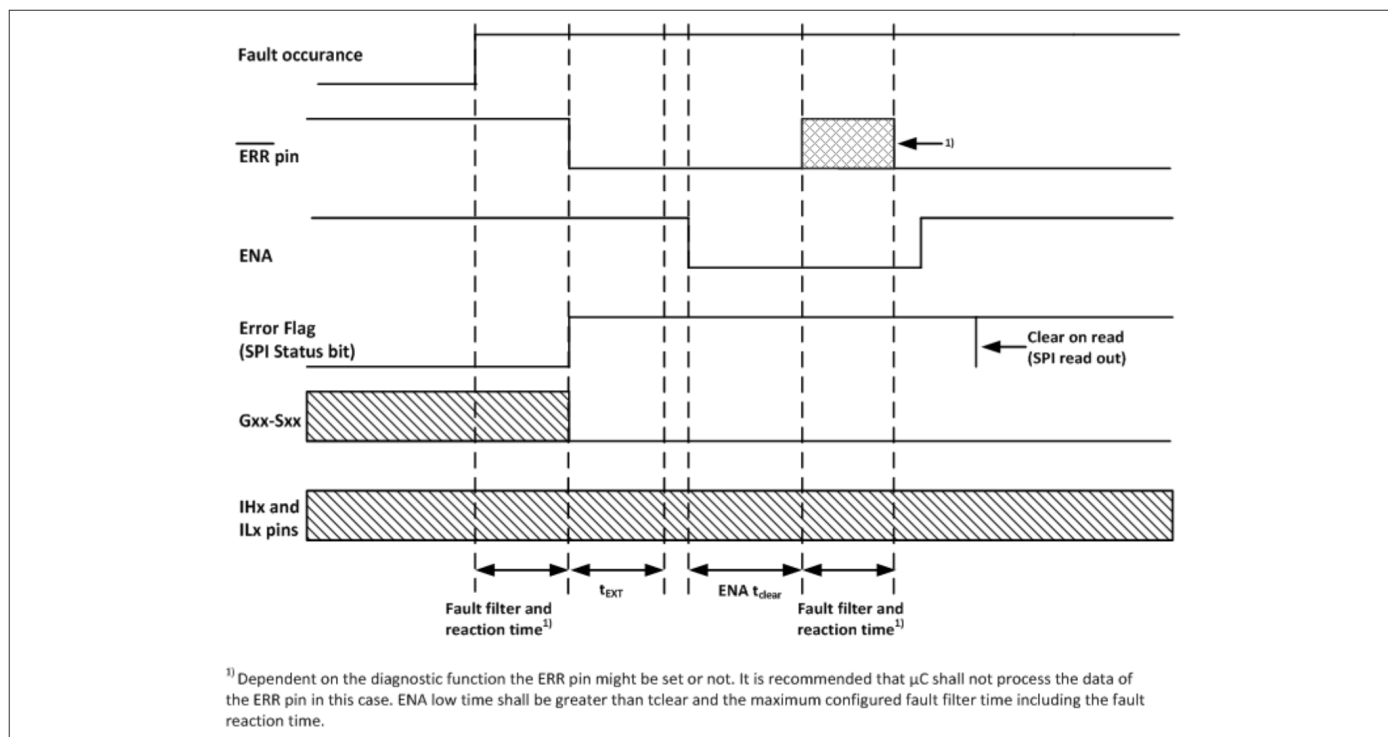


图 22 时序图锁存错误 - 永久故障发生

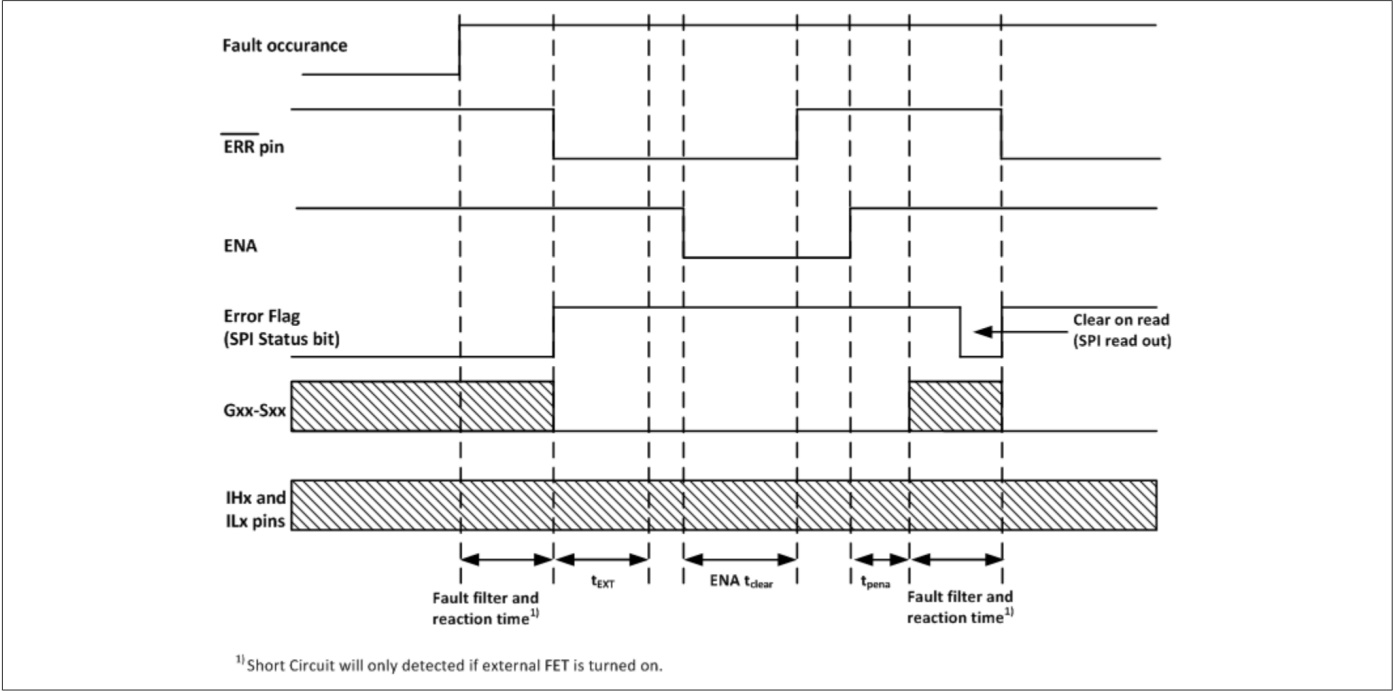


图 23 诊断 SCD 的时序图锁存错误 - 永久故障发生

10.3 诊断测试功能

对于安全概念重要或与系统完整性相关的诊断功能已集成了自检功能。通常，系统监督的功能，例如短路检测或电源监控，应当可测试。每个监督的自检功能的详细内容在其专门章节中有所描述。自检只能在自检模式下进行。出于安全原因，需要几个专用的SPI命令来启动自检模式。进入和退出序列的详细信息在[第 13.9 章](#)中描述。一次只能激活一个自检。避免同时激活两个或多个自检。最高优先级为 1。

表 30 自检功能和SPI寄存器基准

Reg.	Bit	Bit Name	Self-test Description	Priority	Reference
1	7	st_uv_vcc	Self-test of VCC check will be initiated	1	Chapter 10.5.5.2
1	6	st_scd_hs	Self-test of SCD at high-side will be initiated	2	Chapter 10.5.11.2
1	5	st_scd_ls	Self-test of SCD at low-side will be initiated	3	Chapter 10.5.11.2
1	4	Res	Reserved	-	-
1	3	Res	Reserved	-	-
1	2	st_hs	Drain source voltage measurement of external high-side FETs	5	Chapter 10.5.14
1	1	st_ls	Drain source voltage measurement of external low-side FETs	6	Chapter 10.5.14
1	0	Res	Reserved	-	-
2	7	Res	Reserved	-	-
2	4	en_op2_gt2	Self-test of CSA2 gain test high voltage VSSC_GTIHV with gain register op2gain2	3	Chapter 9.5.1

(表格续下页.....)

表 30 (续) 自检功能和SPI寄存器基准

Reg.	Bit	Bit Name	Self-test Description	Priority	Reference
2	3	en_op2_gt1	Self-test of CSA2 gain test low voltage VSSC_GTILV with gain register op2gain1	4	Chapter 9.5.1
2	2	en_op1_gt2	Self-test of CSA1 gain test high voltage VSSC_GTIHV with gain register op1gain2	5	Chapter 9.5.1
2	1	en_op1_gt1	Self-test of CSA1 gain test low voltage VSSC_GTILV with gain register op1gain1	6	Chapter 9.5.1
2	0	en_vreg_op	Self-test of CSA and VRO power supplies	7	Chapter 9.5.2

表 31 自检功能和器件行为

Bit Name	Description	Output Stages	Charge Pumps	CSAs
st_uv_vcc	Self-test of VCC	Active	Active	Active
st_scd_hs	Self-test of SCD at high-side	Active	Active	Active
st_scd_ls	Self-test of SCD at low-side	Active	Active	Active
st_hs	Drain source voltage measurement of external high-side FETs	Active	Active	Active
st_ls	Drain source voltage measurement of external low-side FETs	Active	Active	Active
en_op2_gt2	Self-test of CSA2 gain test high voltage VSSC_GTIHV with gain register op2gain2	Active	Active	Affected CSA Off
en_op2_gt1	Self-test of CSA2 gain test low voltage VSSC_GTILV with gain register op2gain1	Active	Active	Affected CSA Off
en_op1_gt2	Self-test of CSA1 gain test high voltage VSSC_GTIHV with gain register op1gain2	Active	Active	Affected CSA Off
en_op1_st1	Self-test of CSA1 gain test low voltage VSSC_GTILV with gain register op1gain1	Active	Active	Affected CSA Off
en_vreg_op	Self-test of CSA and VRO power supplies	Active	Active	Active

10.4 LIMP 功能

在某些情况下，即使功率逆变级发生并检测到故障，保持短时间内驱动电机的可能性也很重要。跛行功能提供了停用故障半桥的可能性。μC 必须决定将TLE9180D-21QK设置为跛行模式。仅当μC 确保只有一个半桥有缺陷时，才建议将栅极驱动器IC置于跛行模式。在故障运行功能模式下选择的诊断将改变其故障反应行为。受影响的半桥的故障寄存器将被停用，并且根据受影响的半桥在引脚ILx和IHx处的输入信号将被忽略。短路检测、高边缓冲电容器欠压监测和输出级反馈将被忽略。

10.5 详细监控描述

本章详细介绍了TLE9180D-21QK的诊断和保护功能。

10.5.1 Vs电压监测

Vs 电源电压受到监控（欠压和过压检测）。阈值、误差反应和滤波时间可以通过SPI进行调整。除了过压检测之外，还设置了最大过压阈值（即所谓的过压关断），用于向 μC 发出信号，表明引脚 Vs 处可能发生了最大额定值违规。故障行为和关断阈值不可调。关断失败行为被修复为锁存错误。

寄存器Err_sd 第6位表示过压Vs关断和寄存器Err_e 位3和位2用于引脚Vs处的欠压和过压检测。

此外，VS 电压存储在寄存器res_vs中 并可通过SPI读取。

10.5.1.1 SPI寄存器作为 VS 监控基准

过压阈值可以调整。

表 32 VS 过压阈值编程

Bit Name	Bit Value	Overvoltage Threshold Vs	Bit Value	Overvoltage Threshold Vs
tl_ov_vs	0000 (default)	18.00 V	1000	43.91 V
	0001	20.13 V	1001	48.18 V
	0010	24.09 V	1010	50.01 V
	0011	28.05 V	1011	52.14 V
	0100	32.02 V	1100	53.97 V
	0101	34.15 V	1101	56.11 V
	0110	35.98 V	1110	57.94 V
	0111	39.95 V	1111	59.77 V

欠压阈值可以调整。

表 33 VS 欠压阈值编程

Bit Name	Bit Value	Undervoltage Threshold Vs	Bit Value	Undervoltage Threshold Vs
tl_uv_vs	0000	4.88 V	1000	7.32 V
	0001	5.18 V	1001	7.62 V
	0010	5.49 V	1010	7.93 V
	0011	5.79 V	1011	8.23 V
	0100	6.10 V	1100	8.54 V
	0101	6.40 V	1101	8.84 V
	0110	6.71 V	1110	9.15 V
	0111 (default)	7.01 V	1111	9.45 V

欠压和过压滤波时间可以调整。

表 34 VS UV/OV滤波时间编程

Bit Name	Bit Value	Filter Time	Bit Value	Filter Time
f_uv_vs & f_ov_vs	00 (default OV)	10 μ s	10	50 μ s
	01 (default UV)	25 μ s	11	100 μ s

10.5.2 VDHP电压监测

在桥式应用中，监测电源逆变器的电源电压是必不可少的。VDHP 引脚的电压会被监测（欠压和过压检测）。阈值、错误反应和滤波时间可以通过 SPI 调整。VDHP 过压检测的两种额外故障行为也可以调整，详情请参阅表 28。

除了过压检测之外，还设置了最大过压阈值（即所谓的过压关断），用于向 μ C 发出信号，表明引脚 VDHP 处可能发生了最大额定值违规。故障行为和关断阈值不可调。关断被配置为锁定错误。只要错误存在，就会停用电荷泵。在特定应用中，引脚 VDHP 处的过压关断并无益处。在这种情况下，可以通过配置模式下的 SPI 停用过压关断 VDHP。

寄存器 Err_sd 位5表示过压VDHP关断和寄存器 Err_e 位1和位0用于引脚VDHP处的欠压和过压检测。

此外，VDHP 电压存储在寄存器 res_vdh 中 并可通过SPI读取。

10.5.2.1 SPI寄存器作为VDHP 监控基准

过压阈值可以调整。

表 35 VDHP 过压阈值编程表

Bit Name	Bit Value	OV Threshold VDHP	Bit Value	OV Threshold VDHP
tl_ov_vdh	0000	18.00 V	1000	50.01 V
	0001	20.13 V	1001	53.97 V
	0010	24.09 V	1010 (default)	56.11 V
	0011	28.05 V	1011	57.94 V
	0100	32.02 V	1100	60.07 V
	0101	35.98 V	1101	64.95 V
	0110	39.95 V	1110	70.14 V
	0111	48.18 V	1111	75.02 V

欠压阈值可以调整。

表 36 VDHP 欠压阈值编程表

Bit Name	Bit Value	UV Threshold VDHP	Bit Value	UV Threshold VDHP
tl_uv_vdh	0000 (default)	3.96 V	1000	10.98 V
	0001	4.88 V	1001	11.89 V
	0010	5.49 V	1010	18.00 V

（表格续下页.....）

表 36 (续) VDHP 欠压阈值编程表

Bit Name	Bit Value	UV Threshold VDHP	Bit Value	UV Threshold VDHP
	0011	6.10 V	1011	20.13 V
	0100	7.01 V	1100	21.96 V
	0101	7.93 V	1101	29.88 V
	0110	9.15 V	1110	35.07 V
	0111	10.06 V	1111	39.95 V

欠压和过压滤波时间可以调整。

表 37 VDHP UV/OV滤波时间编程表

Bit Name	Bit Value	Filter Time	Bit Value	Filter Time
f_uv_vdh & f_ov_vdh	00 (default OV)	10 μ s	10	50 μ s
	01 (default UV)	25 μ s	11	100 μ s

10.5.2.2 VDHP 过压检测 LD

在 VDHP 引脚上，可以在配置中激活额外的过压检测，称为 48 V 负载突降检测。如果 VDHP 超过固定阈值 $V_{VDH\overline{O}VLD}$ 电荷泵 2 将被停用，电荷泵 1 的输出电压将降低 $V_{CB\overline{L}D}$ ，并且引脚 $\overline{ERR}$ 将置位为低。如果电荷泵 2 被停用，则输出缓冲器电源将仅通过自举二极管充电。在这种情况下，不建议进行高于 95% 的占空比操作，可能会导致高边缓冲电容被检测出欠压。一旦 VDHP 电压低于阈值，电荷泵 2 将被激活，电荷泵 1 输出电压将再次增加，并且引脚 $\overline{ERR}$ 将置位为高。故障行为、滤波时间和阈值电平是固定的。

如果 VDHP 电压恢复到 LD 阈值以下，则由于电荷泵 2 电容器的再充电，可能会检测到引脚 CB 处的电平欠压。寄存器 `Err_e` 位 6 表示在引脚 VDHP 处检测到 48 V 负载突降过压。

10.5.3 电荷泵监测

电荷泵 1 的输出电压在引脚 CB（缓冲电容器连接）处受到监控。CSA 和所有输出级的电压稳压器连接到引脚 CB 处的缓冲电容器。监测欠压事件的 CB 电源电压表明 TLE9180D-21QK 监控的正确行为以及外部 FET 的正确控制。除非进入有限操作模式，否则检测将正常运行。欠压 CB 检测的阈值、误差反应和滤波器次数可通过 SPI 调节。

此外，还实施了欠压、过压和过载关断，以避免外部 FET 栅极出现破坏性电压或电流。故障行为和关断阈值不可调。欠压关断被配置为自动重启错误，过压关断被配置为锁存错误。

寄存器 `Err_sd` 位 4 表示欠压 CB 关断和寄存器 `Err_i_1` 位 6 用于引脚 CB 的欠电压检测。

此外，CB 电压存储在寄存器 `res_cb` 中并可通过 SPI 读取。

TLE9180D-21QK 提供了电荷泵 2 的过压和过载关断检测。关断阈值不可调。详细内容请参见 10.5.3.2 章。

10.5.3.1 SPI 寄存器作为 CB 欠压监控基准

欠压阈值可以调整。

表 38 CB 欠压阈值编程表

Bit Name	Bit Value	Undervoltage Threshold CB	Bit Value	Undervoltage Threshold CB
tl_uv_cb	0000	7.01 V	1000	8.84 V
	0001	7.24 V	1001 (default)	9.07 V
	0010	7.47 V	1010	9.30 V
	0011	7.70 V	1011	9.53 V
	0100	7.93 V	1100	9.76 V
	0101	8.16 V	1101	9.99 V
	0110	8.39 V	1110	10.22 V
	0111	8.61 V	1111	10.44 V

欠压滤波时间可以调整。

表 39 CB UV滤波时间编程表

Bit Name	Bit Value	Filter Time	Bit Value	Filter Time
f_uv_cb	00 (default)	10 μ s	10	50 μ s
	01	25 μ s	11	100 μ s

10.5.3.2 电荷泵的过载和过压

两个电荷泵均具有过载保护。由于锁存错误，过载 Vs 和过载 CP1 会关闭电荷泵和输出级。

过载 CP2 将关闭 CP2，但输出级故障行为是可配置的。通过 ENA 复位对于重新激活电荷泵 2 是必要的。如果检测到过载 CP2，则不建议进行高于通常 95% 的占空比操作，并且可能最终导致检测到高边缓冲电容器欠压。如果电荷泵停用，则过载检测将不起作用。

所有过载检测器的额定电源电压范围为 $V_{VS} \leq 28$ V 和 V_{VDHP} 、 $V_{VDHX} \leq 28$ V。

诊断过载 CP1 功能有限，详细信息请参阅第 16.3.5 章。

寄存器 Err_sd 位 1 表示检测到负载 Vs（电荷泵输入）故障，寄存器 Err_i_2 位 4 和位 3 表示过载 CP1 和过载 CP2。

引脚 CB 和引脚 (CH2 - CL2) 处的过压将被检测到。由于锁存错误，CB 引脚上的过压会关闭电荷泵和输出级。

CH2-CL2 过压会关闭 CP2，但输出级仍然保持活动状态。通过 ENA 复位对于重新激活电荷泵 2 是必要的。

如果检测到过压 CP2，则不建议进行高于通常 95% 的占空比操作，并且可能最终导致检测到高边缓冲电容器欠压。

寄存器 Err_sd 位 2 表示引脚 CB 和/或引脚 (CH2 - CL2) 处过压。

10.5.4 高边缓冲电容电压监测

外部高边缓冲电容器的集成欠压监测确保了高边输出级的充足供应。此外，如果故障行为配置为锁存或自动重启错误，外部高边 FET 受到保护，不会导通进入线性模式。高边缓冲电容器

电压将在引脚 BHx 处进行监控，参考引脚 SHx。如果高边缓冲电容器的电压低于某个阈值，则会在受影响的输出级检测到欠压。高边缓冲器欠压阈值不可编程。除非进入有限操作模式，否则检测将正常运行。

外部高边缓冲电容器的过压监测检测到外部FET的谐振源电压过高。故障行为和滤波时间不可配置。如果检测到过压，则 ERR 引脚置位为低电平，寄存器中的专用故障位为置位。第二个泵被停用，所有输出级仍保持活动状态。要重新激活第二个电荷泵，通过 ENA 进行复位。如果停用第二个泵，则主要在高占空比运行时可能会发生欠压高边故障检测。外部高边缓冲电容器的过压监测可以在配置时停用。

跛行模式下的过压检测对于所选相的表现有所不同。如果在跛行模式下检测到过压，ERR 引脚将置位为低电平，并且电荷泵 2 将在锁存条件下停用，但专用故障位不会置位。

寄存器 Err_i_2 位7、位6和位5表示检测到过压条件，位2、位1和位0表示检测到欠电压条件。

10.5.4.1 引脚 SHx 处的高负压高边缓冲电容器的过压检测

当引脚 SHx 出现高负重复瞬变时，高边缓冲电容器可能会重复充电。这种重复的充电可以将缓冲电容器充电到高于电荷泵 1 V_{FB}S1 的常规输出电压或电荷泵2 V_{FB}S2。电荷泵 1 输出电压对应于引脚 CB 处的电压。电荷泵2 输出电压对应于引脚CH2 和引脚CL2 之间的差分电压。如果高边缓冲电容器经负瞬态充电达到过压高边缓冲电容器阈值，则检测到过压高边缓冲电容器。负向瞬变情况下高边缓冲电容的电压电平由以下因素决定：电荷泵的输出电压、高边缓冲电源电容处的电压、SHx 负向瞬变的最小电压及持续时间，以及高边缓冲电容充电路径的内部和外部电阻。如需了解更多详情，请联系英飞凌。

10.5.4.2 高边缓冲电容UV监测的SPI基准

欠压滤波时间可以调整。

表 40 高边缓冲电容欠压滤波时间编程表

Bit Name	Bit Value	Filter Time	Bit Value	Filter Time
f_uv_bs	00	1 μ s	10 (default)	5 μ s
	01	3 μ s	11	10 μ s

10.5.5 VCC 监测

为了确保高水平的系统完整性，TLE9180D-21QK 提供 VCC 检查。VCC 电压是否欠压和过压。阈值是可配置的，可以应用于 3.3 V 或 5 V 系统电源。如果不需要系统供电监测，则可以将其停用。VCC 监测的故障行为是可配置的。

VCC 监测的故障行为可配置为警告、错误、自动重启和锁存。除了标准故障行为之外，VCC 监测还可以激活 APC 引脚。相切断功能的激活详情请参见第 12 章。

寄存器 Err_e 位5和位4表示 VCC 引脚位处的过压和欠压。

另外，VCC 电压存储在寄存器 `res_vcc` 中 并可通过SPI读取。

10.5.5.1 SPI 寄存器 VCC 监控基准

欠压和过压滤波时间可以调整。

表 41 VCC 滤波时间编程表

Bit Name	Bit Value	Filter Time	Bit Value	Filter Time
f_uv_vcc & f_ov_vcc	00	10 μ s	10	50 μ s
	01 (default)	25 μ s	11	100 μ s

欠压和过压阈值可以调整。

表 42 VCC 阈值精度编程表

Bit Name	Bit Value	Threshold Level	Bit Value	Threshold Level
tl_uv_vcc & tl_ov_vcc	00	Reserved	10	10% of initialized sys. supply
	01 (default)	4% of initialized sys. supply	11	Reserved

10.5.5.2 VCC 自检功能

为了确保监测正常工作，可以进行VCC 自检。如果激活，将在监控电路的输入端施加固定电压电平。施加的电压电平低于VCC 欠压检测电平，因此会出现VCC 欠压。必须清除自检位才能退出欠压VCC 自检。

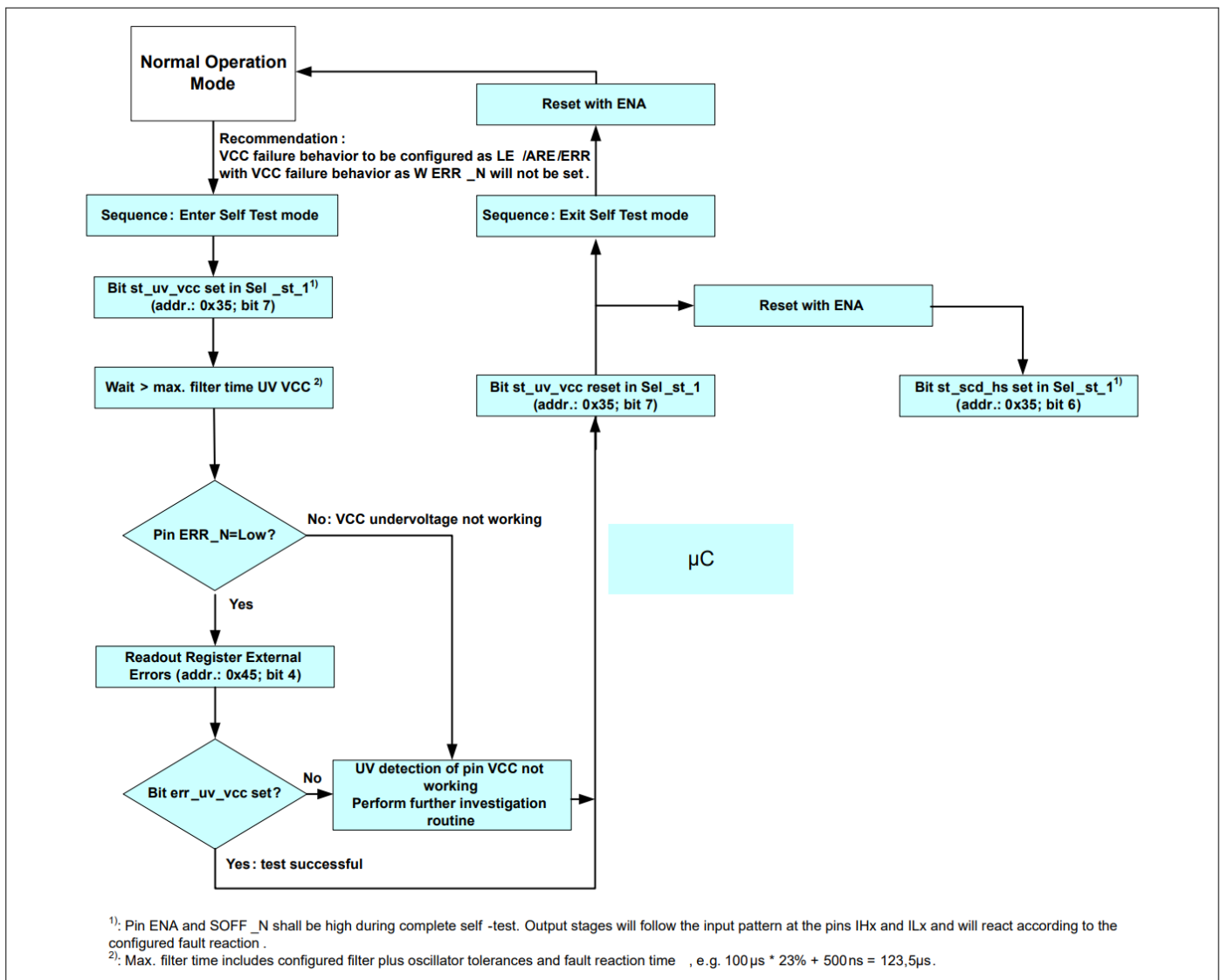


图 24 推荐VCC欠压检测顺序

10.5.6 内部电源监控

内部电源将受到监控并通过寄存器Err_i_1进行指示 位5至位0。位5或位1表示在引脚VCC 或引脚Vs处的限制操作模式事件。如果由于Vs电压过低而发生限制操作模式，则位5和位1为置位。有限操作模式仅由太低的VCC电压设置位1。故障行为是自动重启。位4位3和位2指示具有自动重启故障行为的内部故障。位 0 的故障行为为锁存错误，必须通过 $\overline{\text{INH}}$ 引脚复位并重新配置，这种情况下不建议通过 ENA 引脚复位。

10.5.7 内部 CLK 监控

内部时钟频率将受到监控。只要存在故障，故障位就会置位并且外部 FET 就会关闭。该故障会触发状态标志错误和警告。

寄存器Err_sd 位 3 表示内部时钟故障。

10.5.8 温度检测和关断

TLE9180D-21QK配备温度监测。如果温度升高到高于可配置温度阈值，则故障条件为设置位。过温检测反应也可配置。然而，如果温度超过过温关断阈值，则所有输出级和电荷泵将独立于输入信号而关闭，并且引脚 $\overline{\text{ERR}}$ 置位为低电平。过温关断阈值是固定的。

寄存器Err_sd 位7表示过温关断，寄存器Ser 位7过温检测。SPI状态标志特殊事件将被置位并取决于配置的故障行为（SPI状态标志错误或SPI状态标志警告）。

如果出现过温关断检测，CB 引脚的快速放电路径不会被激活。

10.5.8.1 SPI 寄存器过温检测基准

过温检测阈值和故障行为均可配置。

表 43 过温检测阈值水平

Bit Name	Bit Value	Overtemperature Threshold	Bit Value	Overtemperature Threshold
tl_ot_w	000	160°C	100 (default)	140°C
	001	155°C	101	135°C
	010	150°C	110	130°C
	011	145°C	111	125°C

10.5.8.2 温度读取

SPI绝对温度可以在相关SPI寄存器中按每 LSB TTread_step 读取。

集成了六个传感器来监测所有输出级。因此可以读取每个输出级的温度。使用移动平均滤波器对信号进行滤波。从配置模式转换到正常运行模式后，需要等待 1 ms 才能执行第一次温度读取。如果应用常规 PWM 模式时某个输出级的温度明显升高，则表明受影响的输出级存在一些异常情况，无论是内部异常还是由外部电路引起的。六个温度传感器独立于用于温度检测和关断的传感器。

测量结果存储在名为temp_ls1、temp_ls2、temp_ls3、temp_hs1、temp_hs2的寄存器中 和temp_hs3。

10.5.9 输出级状态反馈

驱动器输出级反馈功能提供信息，表明每个浮动输出级均正常运行，并且输入引脚和输出级输出之间的信号路径未损坏。此功能将输入引脚的电平与其专用输出级的开关条件进行比较。如果电平不一致，将检测到故障。

寄存器Err_osf 位 7 至位 2 表示发生了输出级反馈故障。

10.5.10 数字驱动路径监控

数字驱动路径监控跟踪驱动输出级的数字磁芯的输出信号。监控数字输出信号将检测数字磁芯中信号线粘连或各半桥信号之间的短路。

寄存器Err_sd 位0表示数字驱动路径的关闭。

10.5.11 短路检测 - SCD

驱动 IC 控制的外部场效应晶体管（FET）受到短路监控。短路检测 SCD 通过检测 VDHxVDHP-SHx 和 SHx-SLx之间的电压差，并与编程电压电平进行比较，来测量外部 MOSFET 的漏源电压。短路检测可在很宽的范围内配置。阈值、滤波时间和消隐时间以及故障行为均可调整。另外还有两种故障行为可供调整，详情请参阅表 26。如果在外部 FET 处应用比 SCD 滤波时间和 SCD 消隐时间短的占空比范围，则不会检测到短路⁸³⁾。只要没有检测到高边缓冲电容器的欠压，短路检测就可以运行。

寄存器Err_sd 位 7 至位 2 表示外部 FET 发生短路。

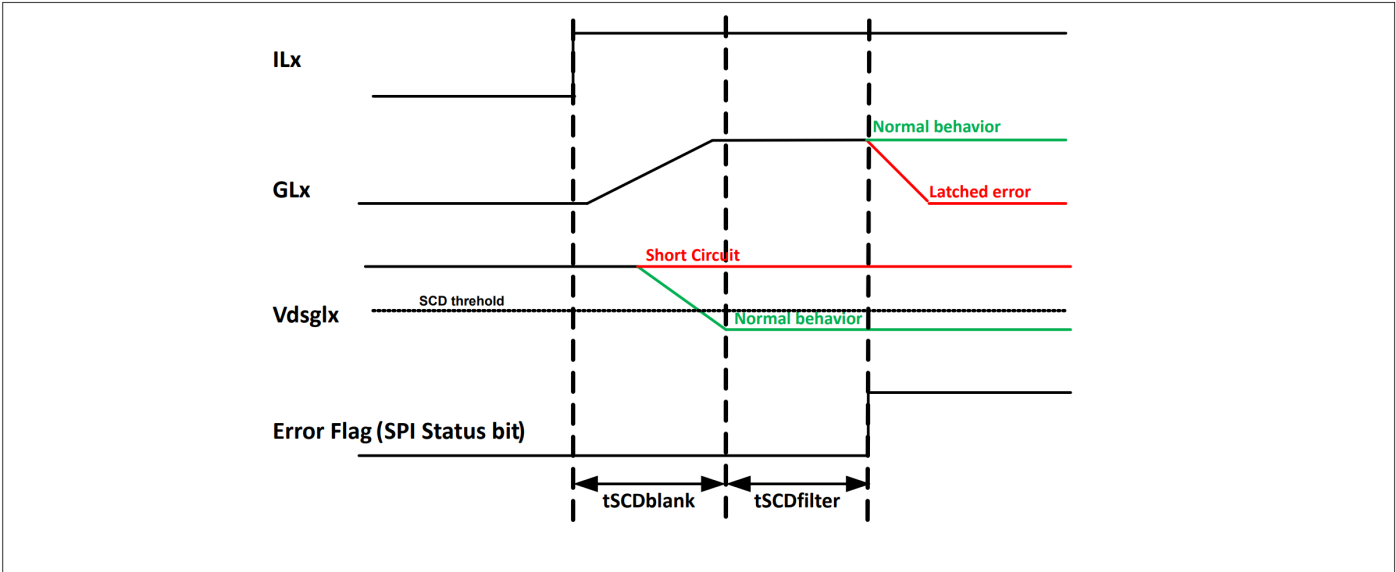


图 25 低边输出级短路检测时序图

10.5.11.1 SPI 寄存器 SCD 电压阈值基准

每个输出级的 SCD 电压阈值均可配置。正常运行条件下应避免配置负阈值水平。如果受影响的输出级导通、消隐和滤波时间已过期并且没有电流通过受影响的FET续流，则应用阈值 0xEE 将激活短路检测。因此，建议仅将正值用作短路阈值。配置最大正向阈值将停用短路检测。

电压必须高于短路检测的调整阈值水平。最大值0x7F 的电平将停用短路检测。

表 44 建议的 SCD 阈值水平

Bit Name	Bit Value	Short Circuit Threshold Level
sc_Xs_X	0x01	11.7 mV
	0x02	23.4 mV

(表格续下页.....)

⁸³ E.g.: tSCDf = 2.0 μs; tSCDb = 1.0 μs; fPWM = 20 kHz; tFETonw/oSCD < tSCDx;
D.C.FETonw/oSC < tFETonw/oSCD/tPWM = 3.0 μs/(1/(20 kHz)) = 6.0%

表 44 (续) 建议的 SCD 阈值水平

Bit Name	Bit Value	Short Circuit Threshold Level
	0xXX	11.7 mV*X
	0x1A (default)	304 mV
	0x7E	1.472 V
	0x7F	> 1.472 V ⁸⁴⁾

可以调整 SCD 滤波和消隐时间。

表 45 SCD 滤波时间

Bit Name	Bit Value	Filter Time
f-fi_scd	00	1.25 µs
	01	2.0 µs
	10 (default)	3.8 µs
	11	5.8 µs

表 46 SCD 消隐时间

Bit Name	Bit Value	Blank Time
f-bl_scd	000	0.7 µs
	001	1.0 µs
	010	1.5 µs
	011 (default)	2 µs
	100	3.5 µs
	101	5 µs
	110	10 µs
	111	15 µs

10.5.11.2 SCD 自检功能

可以测试 SCD 功能。如果自检 SCD 高边被激活，则将在 SCD 监控电路的输入端施加固定电压电平。电压水平高于最大可调短路检测水平，因此必须检测短路。如果故障行为配置为错误、自动重启或锁定错误，然后激活自检 SCD 高边，并且 ERR 引脚不是置位或专用故障位是置位，则短路检测将不会按指定操作。自检 SCD 低边检查 SCD 比较器的负输入范围。比较器的结果被写入寄存器。如果两个 SCD 自检都已执行，且读出寄存器的值在 SCD LS 自检时为 0x80，在 SCD HS 自检时为 0x7F，则输入比较器按指定操作。必须清除自检位才能退出短路检测自检。建议在整个自检序列中保持引脚 ENA 处于高电平。

⁸⁴ 应用 0x7F 将停用短路检测

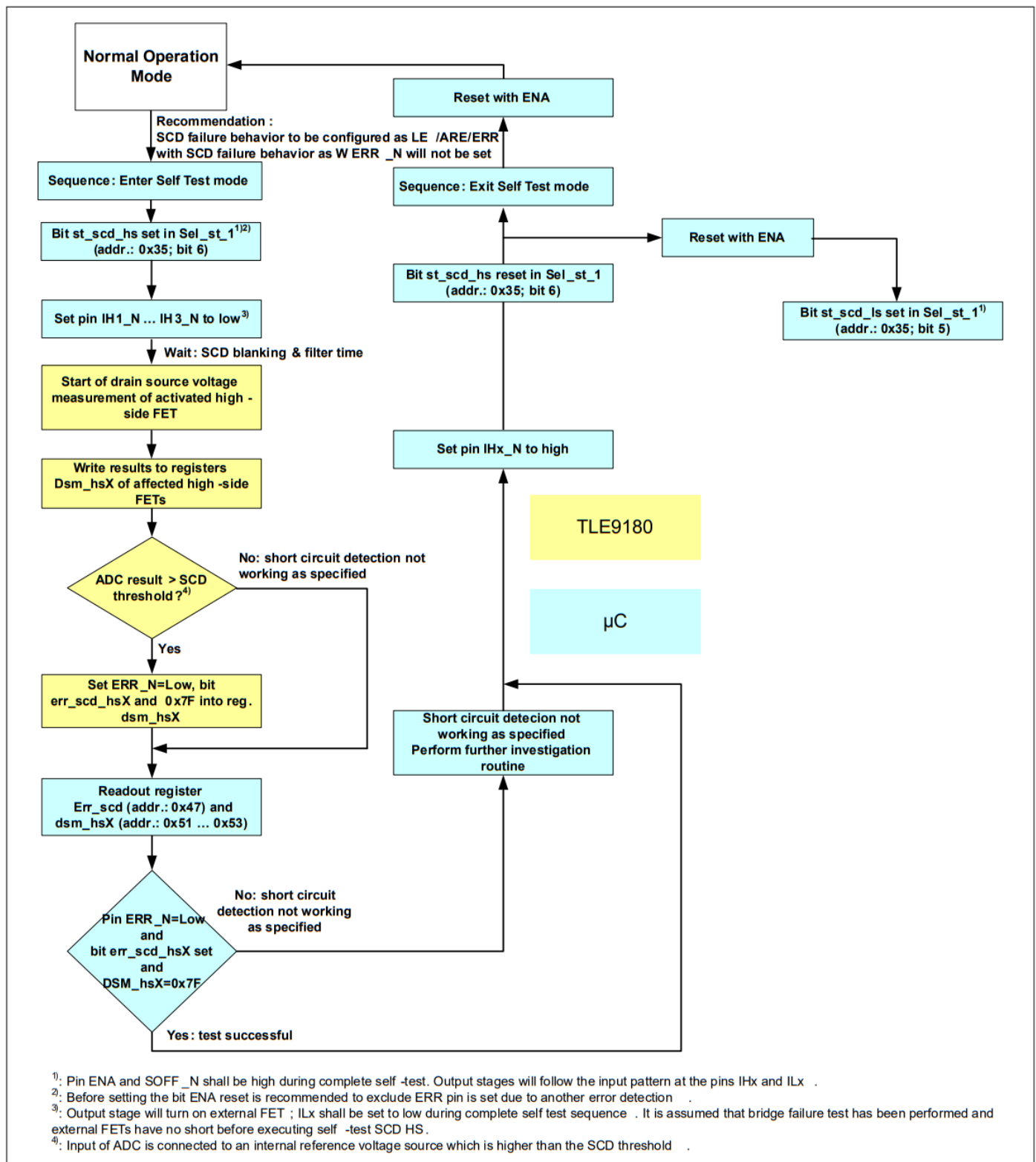


图 26 自检短路检测高边推荐顺序

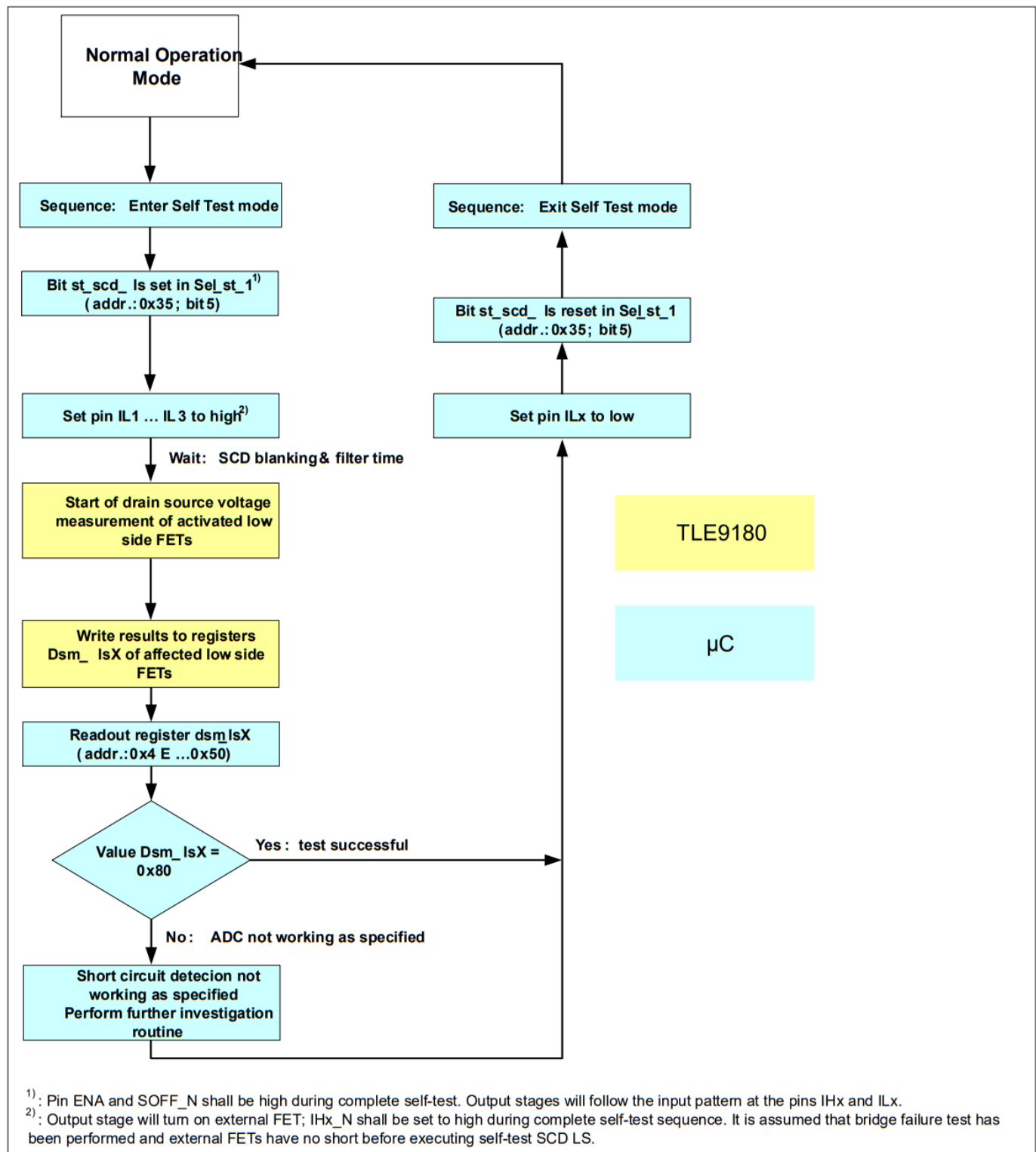


图 27 自检短路检测低边推荐顺序

短路检测的故障反应可以在正常运行模式下进行测试。如果应用负向阈值 0xEE 并且受影响的外部 FET 导通，则器件将在消隐和滤波时间到期后检测到短路。在此测试期间，电流不得从源流至外部受影响 FET 的漏极。更多详情请参考图 28。

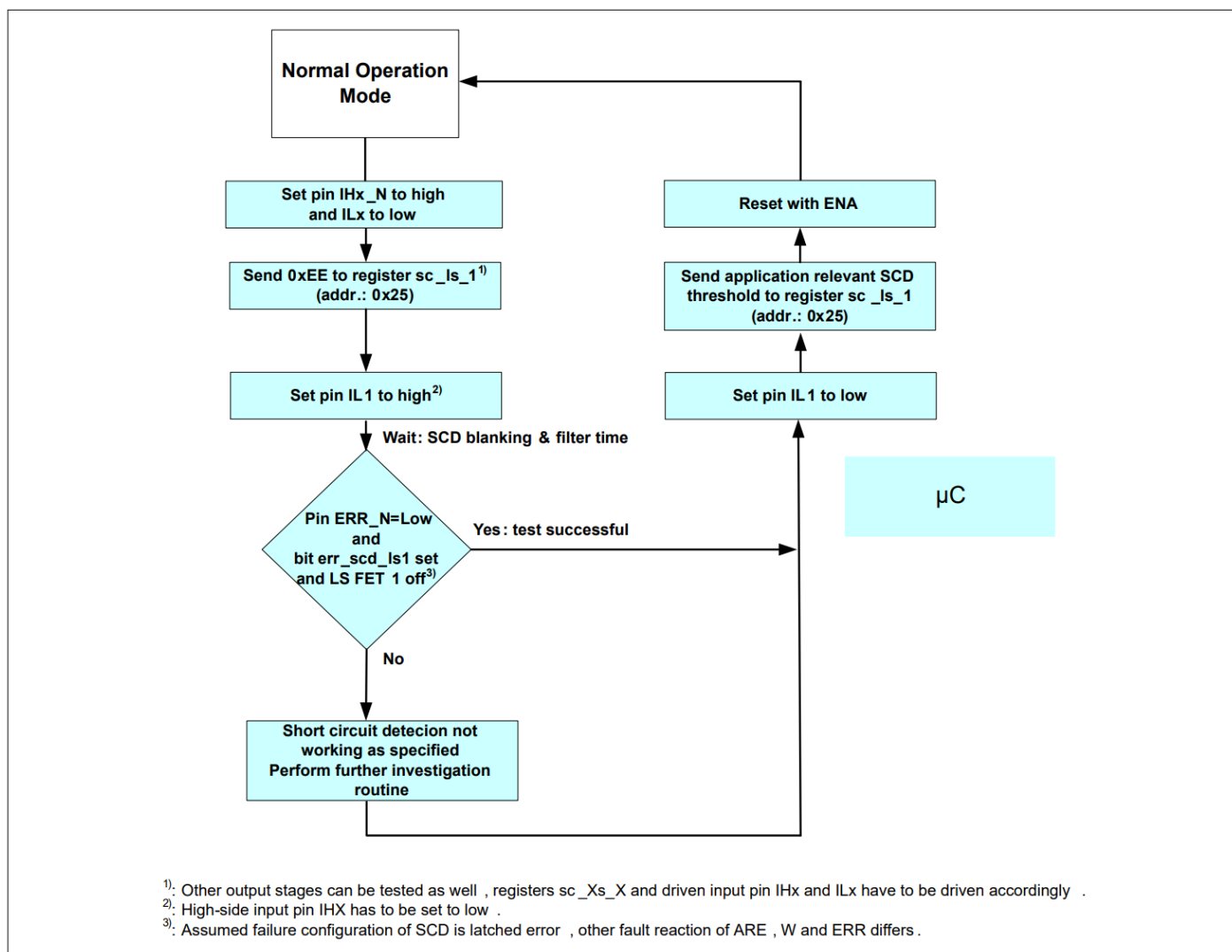


图 28 正常运行模式下短路检测测试推荐序列

10.5.12 FET漏源电压读取

可读取外部 FET 的漏源电压。必须发送专用 SPI 指令来检测 FET 上的压降。如果 FET 被标记，则压降将在专用 FET 的下一个导通周期存储到寄存器中。如果导通周期太短或者通过 SPI 读取太早而无法检测到降压，则会将 0x80 写入寄存器。高边和低边 FET 不能同时标记。高边测量优先。

仅当 μC 配置的死区时间高于内部死区时间时，才应执行 FET 漏源电压读取。

测量结果存储在名为 `dsm_ls1`、`dsm_ls2`、`dsm_ls3`、`dsm_hs1`、`dsm_hs2` 和 `dsm_hs3` 的寄存器中。

10.5.13 FET反向二极管正向电压读取

可以读取外部 FET 的 FET 二极管正向电压。必须发送专用 SPI 指令来检测 FET 方向上的压降。FET 必须通过 SPI 进行标记。在同一半桥的互补 FET 的下一个关断周期，死区时间将延长直至测量结束，并且压降将被检测并存储到寄存器中。如果导通周期太短或者通过 SPI 读取太早而无法检测到降压，0x7F 将被写入寄存器。测量的精度可编程。

高精度测量的样片时间比低精度测量的样片时间长。高边和低边FET不能同时标记。高边测量优先。

FET反向二极管电压读取受到限制，只有当 μC 配置的死区时间或内部死区时间高于 800 ns（典型值 400 ns）时才应执行，请参阅第 16.3.7 章和第 16.3.8 章。

测量结果存储在名为 `Rdm_ls1`、`Rdm_ls2`、`Rdm_ls3`、`Rdm_hs1`、`Rdm_hs2` 和 `Rdm_hs3` 的寄存器中。

10.5.14 外部 FET 的漏源电压测量

在自检模式下，可以测量外部 FET 的漏源电压。必须配置两个专用位，一个用于所有高边 FET 测量，另一个用于所有低边。同时检测所有高边电压或所有低边电压。如果启动自检，建议关闭外部 FET。检测到漏源电压后，自检位将自行清除。

测量结果存储在名为 `dsm_ls1`、`dsm_ls2`、`dsm_ls3`、`dsm_hs1`、`dsm_hs2` 和 `dsm_hs3` 的寄存器中。

10.5.15 输入模式违规监控

已集成对脉宽调制输入引脚的监控功能，用于检查 μC 的输出波形是否违反击穿限制，或是否符合为确保最小滤波时间而调整的死区时间。专用故障位是表示受影响的输出级。配置期间可以通过 SPI 调整故障行为。如果不需要，可以在配置模式下停用输入模式监测。此外，如果低边和高边 $\overline{\text{IHx}}$ 到 ILx 之间的输入引脚连接在一起，并且使用内部死区时间来生成死区时间，则应停用监控。

寄存器 `Err_indiag` 位 7 到位 2 表示发生了击穿或死区时间违规。

10.5.16 数字输出引脚过载

数字输出具有接地和电池短路保护。如果其中一个输出短路，输出焊垫将断开，专用错误寄存器位将被置位。如果 `ERR` 不是受影响的引脚，则引脚 `ERR` 将置位为低电平。要解锁输出引脚，必须使用 `ENA` 进行复位。栅极驱动器 IC 的故障行为在配置模式下是可调的，输出级要么关闭所有外部 FET，要么不关闭。

数字输出引脚的过载检测功能有限，详情请参阅第 16.3.6 章。

寄存器 `Err_outp` 位 4 至位 0 表示数字输出引脚短路。

10.5.17 配置错误

监控配置模式和配置寄存器的数据。配置成功完成后，配置寄存器将通过 CRC 进行检查。

10.5.17.1 配置签名无效

在正常操作、简化操作、自检、错误和安全关闭模式下，将使用 CRC 来监视配置寄存器组。每 5 ms 执行一次 CRC 检查。如果计算出的 CRC 与字节配置签名不匹配，则 SPI 状态标志的配置有效标志将被重置，并且配置重置组或 CRC 签名字节将被恢复。成功恢复后，SPI 状态标志的配置有效标志将为置位。如果重建计算的 CRC 也失败，`ERR` 引脚将置位，输出级将关闭。为了摆脱配置签名无效错误， μC 必须重写有效的 CRC 到寄存器的配置签名或重新配置序列中是可能的。

INH 执行的复位将启动重新配置。

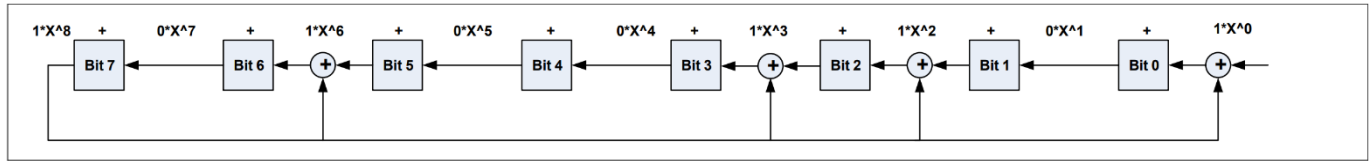


图 29 CRC 移位寄存器

采用CRC（循环校验）生成公式 $x^8+x^6+x^3+x^2+1$ 进行计算。

表 47 配置真值表

Status Bit Name	Flag Status	Description
Config Valid	0	Configuration signature invalid
	1	Configuration signature valid

在配置模式下，状态位始终为低。如果计算出的配置CRC 与 μC 发送的配置签名字节不匹配，则故障位 conf_sig_invalid 和标志错误将置位。因此，除非未检测到配置超时，否则 μC 可以通过 SPI 重新发送签名字节。

10.5.17.2 配置超时

激活配置模式将启动 100 ms 定时器。当 $\overline{\text{INH}}$ 引脚置位为高电平且收到第一个有效的SPI配置写命令后，配置定时器开始。如果 μC 尚未发送正确的配置签名，并且定时器超过配置超时，则会检测到。位配置超时和SPI 状态标志的标志错误将被设置位。只有通过 $\overline{\text{INH}}$ 执行复位才能复位配置超时。

10.5.18 控制寄存器误差监测

控制寄存器组受到保护，不会出现位错误。每个控制寄存器都有基于汉明码的错误校正。每个寄存器的 1 位错误都会被检测出来并自动纠正，无需通知。如果单比特错误的校正在 16 个时钟周期内失败，则控制寄存器的无效位将被置位。当检测到 2 个比特错误时，在 16 个时钟周期后，控制寄存器的无效位将被置位。

寄存器Ser 位5表示控制寄存器是否无效。

10.5.19 状态机错误监测

该系统集成了一种特殊的检测和校正功能，以保护内部状态机免受无意识状态变化的影响。2oo3 投票器在主功能状态机、上电功能状态机、时钟微调和配置 OK 位的每个位上实现。

10.5.20 SPI通信错误

为了实现安全的 SPI 通信，需要进行多种通信诊断。每个 SPI 故障在寄存器 SPI 通信和配置错误中都有其自己的位。检测到的 SPI 成帧器错误、SPI 超时、SPI CRC 错误和无效地址监测均进行逻辑或运算并在状态标志SPI -Error 中突出显示。

配置签名无效、SPI 窗口看门狗和配置超时将触发 SPI 状态标志的错误标志。详情请参阅第 14.3.1 章。

表 48 SPI 错误真值表

Status Bit Name	Flag Status	Description
SPI-Error	0	No failure in register SPI Communication and Configuration Errors
	1	SPI Communication failure detected

10.5.20.1 SPI 帧错误

计数器检查在 CSN 的下降沿和 CSN 的上升沿之间是否接收到恰好 24 个时钟上升沿和 24 个时钟下降沿。如果数字不等于 24，数据将被丢弃。没有数据被接收到地址和指令解码器中。在下一个数据传输时，存储在移位寄存器中的数据将再次传输。

10.5.20.2 SPI 帧超时

除了帧计数器之外，帧监控中还包含超时功能。如果 CSN 的上升沿没有及时到来，则会检测到 SPI 超时。计时器从 CSN 下降沿开始。如果在 24 个时钟周期内未收到 CSN 上升沿 $t_{\text{SPI-timeout}}$ 时，专用故障位和状态标志 SPI -Error 将被置位。

10.5.20.3 SPI 窗口看门狗

窗口看门狗的目的是提高系统完整性。利用此功能可以检查外部 μC 的可用性，如果发生故障，TLE9180D-21QK 将执行可配置的故障行为。

可以使用三个独立的条目。窗口看门狗周期计数器决定了看门狗窗口本身的周期。窗口看门狗计数器用于计算两次触发看门狗的 SPI 命令之间的内部时钟周期数。循环计数器用于统计失败或缺失的服务 SPI 命令次数。循环计数和时钟计数的结果存储在寄存器 `wwlc`、`res_cc1`、`res_cc2` 和 `res_cc3` 中。第一个不正确的服务指令将导致 SPI 窗口看门狗错误。发送正确的服务指令后，故障位被清除。

驱动 IC 配置成功后，24 位循环计数和周期定时器从 0 开始。当周期计数器的计数器值在窗口边界内时，可以对其进行服务。边界条件是完全可以配置的，例如窗口看门狗周期 `TWWD` 的绝对值以及窗口看门狗周期与锁定窗口 `TLW/TWWD` 之间的比率。评估窗口打开期间配置签名字节的正确 SPI 读取命令是看门狗定时器的成功服务。周期计数器将重新启动，循环计数器将减 1。同时时钟计数器的最终值将存储到寄存器看门狗时钟计数器中，并且时钟计数器将自动重新启动。如果服务失败，通过在锁定窗口期间读取，在整个窗口看门狗周期期间发送了错误或未读取的 SPI 指令，则周期计数将重新开始，并且循环计数将增加 2。一旦第一个服务失败，位 SPI 窗口看门狗超时将置位。循环计数器的限制也可以在配置模式下配置。如果循环计数器达到配置的限制，则将执行配置的故障反应行为。

窗口看门狗的故障行为可以配置为警告、错误、自动重启和锁存错误。

除了标准故障行为外，窗口看门狗故障还会激活 APC 引脚。有关激活相切断功能的详细信息，请参阅第 12 章。

如果未请求 SPI 窗口看门狗功能，则必须在配置时将其停用。

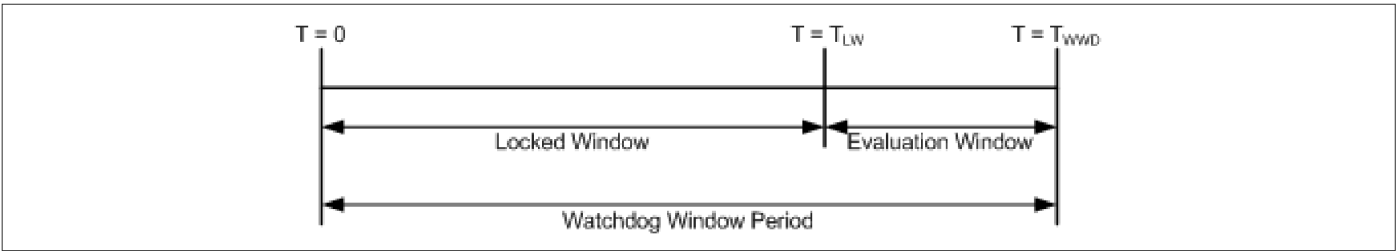


图 30 窗口看门狗行为

10.5.20.3.1 SPI 寄存器作为窗口看门狗基准

窗口看门狗功能是可配置的。

表 49 窗口看门狗周期计数器 TWWD

Bit Name	Bit Value	Period	Bit Value	Period
wwd_tp	00	1 ms	10 (default)	5 ms
	01	2 ms	11	10 ms

表 50 窗口看门狗比率 TLW/TWWD

Bit Name	Bit Value	Ratio	Bit Value	Ratio
wwd_ratio	000	50%	100	80%
	001	60%	101 (default)	90%
	010	70%	110	92%
	011	75%	111	95%

表 51 窗口看门狗循环计数器

Bit Name	Bit Value	Activation Threshold	Bit Value	Activation Threshold
wwd_count	000	2	100	10
	001	4	101	12
	010	6 (default)	110	14
	011	8	111	16

窗口看门狗循环计数器的值可以在寄存器`wwlc`中读取。

表 52 窗口看门狗时钟计数器的结果

Reg. Name	Description
res_cc1	Low Byte of internal clock counter
res_cc2	Middle Byte of internal clock counter
res_cc3	High Byte of internal clock counter

窗口看门狗时钟计数器读取寄存器存储两个SPI之间的clk 周期数。

10.5.20.4 CRC 错误

CRC 是与整个 SPI 帧上发送或接收的数据相关的 3 位 CRC，包括地址、数据和状态。如果 CRC 失败状态标志 SPI -Error 置位，则检测到 CRC 错误，无效的接收数据将被忽略。

10.5.20.5 无效地址访问监测

如果 SPI 主设备尝试访问任何保留的读或写寄存器，该命令或请求将被忽略，并且 SPI 错误状态标志会被设置。一旦离开配置模式，任何写入配置寄存器组的命令都将导致无效地址错误。在自检模式以外的任何模式下对自检模式寄存器进行写访问都将导致无效地址访问错误。

10.6 保护和诊断功能电气特性

表 53 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overvoltage Detection and Shutdown at Pin VS							
Overvoltage Shutdown Level Vs	V _{VSovSD}	58.8	61.9	65.0	V	85)	P_11.6.1
Adjustable Range Overvoltage Detection Vs	V _{VSovr}	18	–	60	V	85)16 steps programmable	P_11.6.2
Accuracy Overvoltage Detection Threshold Vs	V _{VSovacc}	-5	PROG	+5	%	–	P_11.6.3
Hysteresis of Overvoltage Detection Vs	V _{VSovhy}	–	2.0	–	V	–	P_11.6.4
Overvoltage Detection and Shutdown Filter Time Range Vs86)87)	t _{ovvs}	8 24 48 96	–	17 33 57 105	μs	f_ov_vs = '0x0' f_ov_vs = '0x1' f_ov_vs = '0x2' f_ov_vs = '0x3'	P_11.6.5
Undervoltage VS							
Reduced Operation Mode Detection Level at Vs	V _{VsROP}	4.2	4.7	5.0	V	–	P_11.6.6
Hysteresis of Reduced Operation Mode Detection at Vs88)	V _{VsROPhys}	–	0.05	–	V	–	P_11.6.7
Entry Filter and Reaction Time of Reduced Operation Mode Detection at Vs	t _{VsROPf1}	0.6	–	–	μs	88)	P_11.6.8

(表格续下页.....)

⁸⁵ 检测漂移和关断阈值相互关联 (例如, 如果关断阈值太高 +3%, 检测阈值也会太高 +3%)

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷ 故障反应时间排除

⁸⁸ 未经过生产测试, 由设计指定。

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Exit Filter and Reaction Time of Reduced Operation Mode Detection at V_S	$t_{VsROPf2}$	20	–	–	μs	⁸⁸⁾	P_11.6.9
Adjustable Range Undervoltage Detection V_S	V_{VSUVr}	4.88	–	9.45	V	16 steps programmable	P_11.6.10
Accuracy Undervoltage Threshold V_S	$V_{VSUVacc1}$	-8.5	PROG	+8.5	%	$V_{VSUV} \geq 7.5\text{ V}$	P_11.6.11
Accuracy Undervoltage Threshold V_S	$V_{VSUVacc2}$	-13.5	PROG	+13.5	%	$4.2\text{ V} \leq V_{VSUV} < 7.5\text{ V}$	P_11.6.12
Hysteresis of Undervoltage Detection V_S	$V_{VSUVhys}$	–	0.15	–	V	–	P_11.6.13
Undervoltage Filter Time Range V_S ⁸⁶⁾ ⁸⁷⁾	t_{UVSr}	8 24 48 96	–	17 33 57 105	μs	$f_{uv_vs} = '0x0'$ $f_{uv_vs} = '0x1'$ $f_{uv_vs} = '0x2'$ $f_{uv_vs} = '0x3'$	P_11.6.14
Overvoltage Detection and Shutdown at Pin VDHP							
Overvoltage Shutdown Threshold VDHP	$V_{VDHOVSd}$	73.87	77.76	81.65	V	⁸⁵⁾	P_11.6.15
Adjustable Range Overvoltage Detection VDHP	V_{VDHOVr}	18	–	75	V	⁸⁵⁾ 16 steps programmable	P_11.6.16
Accuracy Overvoltage Detection Threshold VDHP	$V_{VDHOVacc}$	-5	PROG	+5	%	–	P_11.6.17
Hysteresis of Overvoltage Detection VDHP	$V_{VDHOVhys}$	–	1.8	–	V	–	P_11.6.18
Overvoltage Detection and Shutdown Filter Time Range VDHP ⁸⁶⁾ ⁸⁷⁾	t_{OVVDHr}	8 24 48 96	–	17 33 57 105	μs	$f_{ov_vdh} = '0x0'$ $f_{ov_vdh} = '0x1'$ $f_{ov_vdh} = '0x2'$ $f_{ov_vdh} = '0x3'$	P_11.6.19
Overvoltage Detection LD Threshold at Pin VDHP	$V_{VDHOVLd}$	–	63	–	V	⁸⁵⁾	P_11.6.20
Accuracy Overvoltage Detection LD VDHP	$V_{VDHOVacc}$	-5	–	+5	%	–	P_11.6.21

(表格续下页.....)

⁸⁸ 未经过生产测试, 由设计指定。

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷ 故障反应时间排除

⁸⁵ 检测漂移和关断阈值相互关联 (例如, 如果关断阈值太高 +3%, 检测阈值也会太高 +3%)

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Hysteresis of Overvoltage Detection LD VDHP	$V_{DHOVhys}$	–	2.0	–	V	–	P_11.6.22
Overvoltage Detection LD VDHP Filter Time ⁸⁶⁾⁸⁷⁾	t_{OVVDHr}	–	21	–	μs	–	P_11.6.23

Undervoltage VDHP

Adjustable Range Undervoltage Detection VDHP	V_{DHUVr}	4	–	40	V	16 steps programmable	P_11.6.24
Accuracy Undervoltage Threshold VDHP	$V_{DHUVacc1}$	-6.5	PROG	+6.5	%	$12\text{ V} \leq V_{DHUV} \leq 40\text{ V}$	P_11.6.25
Accuracy Undervoltage Threshold VDHP	$V_{DHUVacc2}$	-8.5	PROG	+8.5	%	$7.5\text{ V} \leq V_{DHUV} < 12\text{ V}$	P_11.6.26
Accuracy Undervoltage Threshold VDHP	$V_{DHUVacc3}$	-13.5	PROG	+13.5	%	$3.9\text{ V} \leq V_{DHUV} < 7.5\text{ V}$	P_11.6.27
Hysteresis of Undervoltage Detection VDHP	$V_{DHUVhys}$	–	0.1	–	V	–	P_11.6.28
Undervoltage Filter Time Range VDHP ⁸⁶⁾⁸⁷⁾	t_{UVVDHr}	8 24 48 96	–	17 33 57 105	μs	$f_{uv_vdh} = '0x0'$ $f_{uv_vdh} = '0x1'$ $f_{uv_vdh} = '0x2'$ $f_{uv_vdh} = '0x3'$	P_11.6.29

VS, VDHP Read Out

Voltage Detection Range	V_{ADCr}	0	–	77.76	V	0 to FFh	P_11.6.30
Minimum Resolution	V_{ADCres}	–	0.305	–	V	1 LSB	P_11.6.31
Accuracy	$V_{ADCacc1}$	-6.5	–	+6.5	%	$12\text{ V} \leq V_S \leq 60\text{ V}$ $12\text{ V} \leq V_{VDHP} \leq 77.76\text{ V}$	P_11.6.32
Accuracy	$V_{ADCacc2}$	-8.5	–	+8.5	%	$7.5\text{ V} \leq V_S < 12\text{ V}$ $7.5\text{ V} \leq V_{VDHP} < 12\text{ V}$	P_11.6.33
Accuracy	$V_{ADCacc3}$	-12.5	–	+12.5	%	$5.0\text{ V} \leq V_S < 7.5\text{ V}$ $5.0\text{ V} \leq V_{VDHP} < 7.5\text{ V}$	P_11.6.34
Result Refresh Time ⁸⁶⁾	$t_{ADCreffr}$	–	8	–	μs		P_11.6.35

Overvoltage Shutdown CB

(表格续下页.....)

⁸⁶⁾ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷⁾ 故障反应时间排除

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overvoltage Shutdown Threshold CB	V_{CBOVR}	16.0	17.0	18.0	V	–	P_11.6.36
Filter Time Overvoltage Shutdown ^{87/88)}	t_{CBOV}	–	100	–	ns	–	P_11.6.37

Undervoltage Detection and Shutdown at Pin CB

Undervoltage Shutdown Threshold CB	V_{CBUVSD}	6.51	6.86	7.2	V	⁸⁵⁾	P_11.6.38
Hysteresis of Undervoltage Shutdown CB	$V_{CBUVSDhys}$	–	0.9	–	V	–	P_11.6.39
Adjustable Range Undervoltage Detection CB	V_{CBUVr}	7	–	10.5	V	⁸⁵⁾ 16 steps programmable	P_11.6.40
Accuracy Undervoltage Detection Threshold CB	$V_{CBUVacc}$	-5	PROG	+5	%	–	P_11.6.41
Hysteresis of Undervoltage Detection CB	$V_{CBUVhys}$	–	0.28	–	V	–	P_11.6.42
Undervoltage Detection and Shutdown Filter Time Range CB ^{86/87)}	t_{UVCBr}	8 20 48 96	–	13 25 53 101	μs	$f_{uv_cb} = '0x0'$ $f_{uv_cb} = '0x1'$ $f_{uv_cb} = '0x2'$ $f_{uv_cb} = '0x3'$	P_11.6.43

CB Read Out

Voltage Detection Range	V_{ADCr}	0	–	19.44	V	0 to FFh	P_11.6.44
Minimum Resolution	V_{ADCres}	–	76	–	mV	1 LSB	P_11.6.45
Accuracy	$V_{ADCacc1}$	-4	–	+4	%	$6.3\text{ V} \leq V_{VCB} \leq 19.44\text{ V}$	P_11.6.46
Result Refresh Time ⁸⁶⁾	$t_{ADCrefr}$	–	4	–	μs		P_11.6.47

Overvoltage Shutdown CP2

Overvoltage Shutdown Threshold CH2-CL2	V_{CHOVR}	16.0	20.0	22.0	V	–	P_11.6.48
Filter Time Shutdown Overvoltage CH2-CL2 ^{87/88)}	t_{CHOV}	–	1.2	–	μs	–	P_11.6.49

High-side Buffer Capacitor Voltage Supervision

(表格续下页...)

⁸⁷ 故障反应时间排除

⁸⁸ 未经过生产测试, 由设计指定。

⁸⁵ 检测漂移和关断阈值相互关联 (例如, 如果关断阈值太高 +3%, 检测阈值也会太高 +3%)

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Undervoltage Detection Threshold BHx-SHx	V_{BSUV}	6.1	6.5	7.0	V	–	P_11.6.50
Hysteresis of Undervoltage Detection BHx-SHx	$V_{BSUVhys}$	–	0.35	–	V	–	P_11.6.51
Undervoltage Detection Filter Time BHx-SHx ⁸⁶⁾ ⁸⁷⁾	t_{UVBS}	0.8 2.8 4.8 9.8	–	1.8 3.8 5.8 10.8	μs	$f_{uv_bs} = '0x0'$ $f_{uv_bs} = '0x1'$ $f_{uv_bs} = '0x2'$ $f_{uv_bs} = '0x3'$	P_11.6.52
Overvoltage Detection Threshold BHx-SHx	V_{BSOV}	16.0	20.0	22.0	V	–	P_11.6.53
Overvoltage Detection Filter Time BHx-SHx ⁸⁷⁾ ⁸⁸⁾	t_{OVBS1}	–	1.2	–	μs	–	P_11.6.54
Overvoltage BHx-SHx Detection Reaction Time to Turn off CP2 ⁸⁸⁾	t_{OVBS2}	–	0.5	–	μs	–	P_11.6.108

Internal Clock Supervision

CLK Supervision Threshold	f_{CLKint_sup}	+/-23	–	+/-45	%	–	P_11.6.55
---------------------------	-------------------	-------	---	-------	---	---	-----------

Overtemperature Shutdown and Detection

Overtemperature Shutdown Threshold	T_{OTSD}	–	185	–	$^\circ\text{C}$	⁸⁹⁾	P_11.6.56
Overtemperature Shutdown Threshold Accuracy	T_{OTacc}	-15	–	15	$^\circ\text{C}$	–	P_11.6.57
Overtemperature Shutdown Hysteresis	$T_{OTSDhys}$	–	6	–	$^\circ\text{C}$	–	P_11.6.58
Overtemperature Detection Threshold Range	T_{OTDET}	125	–	160	$^\circ\text{C}$	⁸⁹⁾ 8 steps programmable	P_11.6.59
Overtemperature Detection Threshold Accuracy	$T_{OTDETacc}$	-15	PROG	15	$^\circ\text{C}$	–	P_11.6.60
Overtemperature Detection Hysteresis	$T_{OTDEThys}$	–	6	–	$^\circ\text{C}$	–	P_11.6.61

(表格续下页.....)

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷ 故障反应时间排除

⁸⁸ 未经过生产测试, 由设计指定。

⁸⁹ 检测漂移和关断阈值相互关联 (例如, 如果阈值关断过温过高 +2%, 则过温检测阈值也会过高 +2%)

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overtemperature Detection/ Shutdown Filter and Reaction Time	t_{OTSD}	–	–	1	ms	–	P_11.6.62
Temperature Read Out							
Digital Temperature Read Out	T_{Tread}	–	3F	–	Hex	$T_J = 28^\circ\text{C}$ ⁹⁰⁾	P_11.6.63
Min. Temperature Read Step	T_{Tread_step}	–	5.83	–	K	1 LSB = 5.83 K	P_11.6.64
Temperature Read Out Accuracy	T_{Tread_a}	-25	–	+25	K	–	P_11.6.115
Temperature Read Out Filter Time	t_{Tread_f}	–	48	–	μs	–	P_11.6.65
Short Circuit Detection							
SCD Threshold Range	$V_{SCDrange}$	0.0	PROG	1.472	V	Prog. Step 7bit	P_11.6.66
Accuracy of SCD Threshold	$V_{SCDaccx1}$	-4	–	+4	%	$0.6\text{ V} \leq V_{SHx-SLx} < 1.472\text{ V}$ $0.6\text{ V} \leq V_{VDHx-SHx} < 1.472\text{ V}$	P_11.6.67
Accuracy of SCD Threshold	$V_{SCDaccx2}$	-6	–	+6	%	$0.32\text{ V} \leq V_{SHx-SLx} < 0.6\text{ V}$ $0.32\text{ V} \leq V_{VDHx-SHx} < 0.6\text{ V}$	P_11.6.109
Accuracy of SCD Threshold	$V_{SCDaccx3}$	-10	–	+10	%	$0.14\text{ V} \leq V_{SHx-SLx} < 0.32\text{ V}$ $0.14\text{ V} \leq V_{VDHx-SHx} < 0.32\text{ V}$	P_11.6.110
Accuracy of SCD Threshold	$V_{SCDaccx3}$	-15	–	+15	%	$0.1\text{ V} \leq V_{SHx-SLx} < 0.14\text{ V}$ $0.1\text{ V} \leq V_{VDHx-SHx} < 0.14\text{ V}$	P_11.6.116
Blank Time of SCD ⁸⁶⁾	t_{SCDb}	0.5	PROG	15	μs	8 steps programmable	P_11.6.68
Filter Time of SCD ⁸⁶⁾⁸⁷⁾	t_{SCDf}	0.5 1.7 3.4 5.7	–	2.3 3.5 5.2 7.5	μs	$f_{fi_scd} =$ '0x0' f_{fi_scd} $=$ '0x1' $f_{fi_scd} =$ '0x2' f_{fi_scd} $=$ '0x3'	P_11.6.69

(表格续下页.....)

⁹⁰ 初始偏移可能有所不同。为了获得更高的精度, 建议在上电的特定环境温度下补偿初始偏移

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷ 故障反应时间排除

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
FET Diode Forward Voltage Detection							
Reverse Diode Voltage Range	V_{RDMLr}	-1.495	–	0	V	–	P_11.6.70
RDM Accuracy	$V_{RDMLacc1}$	-4	–	+4	%	$-1.492\text{ V} \leq V_{SHx-SLx} < -0.6\text{ V}$ $-1.492\text{ V} \leq V_{VDHx-SHx} < -0.6\text{ V}$	P_11.6.71
RDM Accuracy	$V_{RDMLacc2}$	-6	–	+6	%	$-0.6\text{ V} \leq V_{SHx-SLx} < -0.32\text{ V}$ $-0.6\text{ V} \leq V_{VDHx-SHx} < -0.32\text{ V}$	P_11.6.111
RDM Accuracy	$V_{RDMLacc3}$	-10	–	+10	%	$-0.32\text{ V} \leq V_{SHx-SLx} < -0.14\text{ V}$ $-0.32\text{ V} \leq V_{VDHx-SHx} < -0.14\text{ V}$	P_11.6.112
RDM Accuracy	$V_{RDMLacc3}$	-15	–	+15	%	$-0.14\text{ V} \leq V_{SHx-SLx} < -0.1\text{ V}$ $-0.14\text{ V} \leq V_{VDHx-SHx} < -0.1\text{ V}$	P_11.6.117
RDM Acquisition Time ⁸⁶⁾	t_{RDMLf}	–	3	–	μs	–	P_11.6.72
FET Drain Source Voltage Detection							
FET Drain Source Measurement Range	V_{DSMLr}	0	–	1.472	V	–	P_11.6.73
DSM Accuracy	$V_{DSMLacc1}$	-4	–	+4	%	$0.6\text{ V} \leq V_{SHx-SLx} < 1.472\text{ V}$ $0.6\text{ V} \leq V_{VDHx-SHx} < 1.472\text{ V}$	P_11.6.74
DSM Accuracy	$V_{DSMLacc2}$	-6	–	+6	%	$0.32\text{ V} \leq V_{SHx-SLx} < 0.6\text{ V}$ $0.32\text{ V} \leq V_{VDHx-SHx} < 0.6\text{ V}$	P_11.6.113
DSM Accuracy	$V_{DSMLacc3}$	-10	–	+10	%	$0.14\text{ V} \leq V_{SHx-SLx} < 0.32\text{ V}$ $0.14\text{ V} \leq V_{VDHx-SHx} < 0.32\text{ V}$	P_11.6.114

(表格续下页.....)

⁸⁶⁾ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
DSM Accuracy	$V_{DSMlacc3}$	-15	–	+15	%	$0.1\text{ V} \leq V_{SHx-}$ $SLx < 0.14\text{ V}$ $0.1\text{ V} \leq V_{VDHx-}$ $SHx < 0.14\text{ V}$	P_11.6.118
DSM Acquisition Time ⁸⁶⁾	t_{DSMlf}	–	1	–	μs	–	P_11.6.75
VCC Monitoring							
Reduced Operation Mode Detection Level at VCC	V_{VCCROP}	2.5	–	3.1	V	–	P_11.6.76
Hysteresis of Reduced Operation Mode Detection at VCC	$V_{VCCROPphys}$	–	0.13	–	V	–	P_11.6.77
Entry Filter and Reaction Time of Reduced Operation Mode Detection at VCC	$t_{VCCROPf1}$	0.6	–	–	μs	⁸⁸⁾	P_11.6.78
Exit Filter and Reaction Time of Reduced Operation Mode Detection at VCC	$t_{VCCROPf2}$	20	–	–	μs	⁸⁸⁾	P_11.6.79
VCC Overvoltage Detection Threshold	$V_{VCC3OV4}$	3.45	–	3.67	V	Accuracy of 4% and VCC = 3.3 V configured	P_14.6.164
VCC Overvoltage Detection Threshold	$V_{VCC3OV10}$	3.64	–	3.88	V	Accuracy of 10% and VCC = 3.3 V configured	P_11.6.80
VCC Overvoltage Detection Threshold	$V_{VCC5OV4}$	5.33	–	5.67	V	Accuracy of 4% and VCC = 5.0 V configured	P_14.6.166
VCC Overvoltage Detection Threshold	$V_{VCC5OV10}$	5.38	–	5.78	V	Accuracy of 10% and VCC = 5.0 V configured	P_11.6.81
VCC Undervoltage Detection Threshold	$V_{VCC3UV4}$	3.00	–	3.20	V	Accuracy of 4% and VCC = 3.3 V configured	P_14.6.168
VCC Undervoltage Detection Threshold	$V_{VCC3UV10}$	2.84	–	3.02	V	Accuracy of 10% and VCC = 3.3 V configured	P_11.6.82

(表格续下页.....)

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁸ 未经过生产测试, 由设计指定

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_j = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VCC Undervoltage Detection Threshold	V_{CC5UV4}	4.60	–	4.88	V	Accuracy of 4% and $V_{CC} = 5.0\text{ V}$ configured	P_14.6.170
VCC Undervoltage Detection Threshold	$V_{CC5UV10}$	4.32	–	4.60	V	Accuracy of 10% and $V_{CC} = 5.0\text{ V}$ configured	P_11.6.83
Hysteresis of OV/UV Detection VCC	V_{CCchys}	–	0.05	–	V	–	P_11.6.84
VCC Filter Time ^{86/87}	t_{VCCf}	8	–	17	μs	$f_{uv_vcc} = f_{ov_vcc} = '0x0'$	P_11.6.85
		24		33		$f_{uv_vcc} = f_{ov_vcc} = '0x1'$	
		48		57		$f_{uv_vcc} = f_{ov_vcc} = '0x2'$	
		96		105		$f_{uv_vcc} = f_{ov_vcc} = '0x3'$	

VCC Read Out

Voltage Detection Range	V_{ADCr}	0	–	5.55	V	0 to FFh	P_11.6.86
Minimum Resolution	V_{ADCres}	–	22	–	mV	1 LSB	P_11.6.87
Accuracy	$V_{ADCacc1}$	-4	–	+4	%	$2\text{ V} \leq V_{VCC} \leq 5.554\text{ V}$	P_11.6.88
Result Refresh Time ⁸⁶	$t_{ADCrefr}$	–	8	–	μs		P_11.6.89

Output Stage Feedback Timing

Output Stage Feedback Filter Time ^{86/87}	t_{OSff}	–	3	–	μs	–	P_11.6.90
Output Stage Feedback Blank Time	t_{OSfb}	–	2.5	–	μs	–	P_11.6.91

Digital Driving Path Monitoring

Digital Driving Path Monitoring Filter Time ^{86/87}	t_{STDtf1}	–	500	–	ns	–	P_11.6.92
--	--------------	---	-----	---	----	---	-----------

Input Pattern Violation Monitoring

Input Pattern Violation Filter and Reaction Time ⁸⁶	t_{STDtf3}	–	750	–	ns	–	P_11.6.93
--	--------------	---	-----	---	----	---	-----------

Overload Digital Output Pins

(表格续下页.....)

⁸⁶ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

⁸⁷ 故障反应时间排除

表 53 (续) 电气特性 - 保护和诊断功能

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Detection Threshold Short to GND ⁸⁸⁾	V_{OPOLH}	–	–	$V_{CC} - 0.5\text{ V}$	V	Output pin = High Short to any voltage lower as VCC	P_11.6.94
Detection Threshold Short to Supply ⁹¹⁾	V_{OPOLx}	–	$V_{CC} + 0.5\text{ V}$	–	V	Output pin = X Short to any voltage higher as VCC	P_11.6.95
Detection Threshold Short to Supply ⁹¹⁾	V_{OPOLL}	0.5	–	–	V	Output pin = Low Short to any voltage	P_11.6.96
Filter and Reaction Time ⁸⁸⁾	t_{OPf}	–	4	–	μs	–	P_11.6.97

Configuration Supervision

Configuration Time-out ⁸⁶⁾	$t_{cfg-timeout}$	–	100	–	ms	–	P_11.6.98
---------------------------------------	-------------------	---	-----	---	----	---	-----------

SPI Supervisions

SPI-Frame Time-out ⁸⁶⁾	$t_{SPI-timeout}$	35	–	–	μs	–	P_11.6.99
SPI Window Watchdog Period ⁸⁶⁾	t_{WWD}	1	–	10	ms	4 steps programmable	P_11.6.100
SPI Window Watchdog Ratio	$t_{WWDratio}$	50	–	95	%	8 steps programmable	P_11.6.101
SPI Window Watchdog Loop Counter	t_{WWDLC}	2	–	16	#	8 steps programmable	P_11.6.102

Timing Error Handling

Fault Reaction Time ⁸⁸⁾	t_{FRT}	20	–	500	ns	–	P_11.6.103
ENA Low Time Threshold for Clearing Latched Errors	t_{clear}	2.2	3.0	3.8	μs	ENA falling edge	P_11.6.104
Return Time to Normal Operation for ARE Fault Behavior Configuration ⁸⁶⁾	t_{RT}	–	–	1.0	μs	–	P_11.6.106
Extension Time Fault Signaling at Pin ERR ⁸⁶⁾	t_{ext}	–	10	–	μs	–	P_11.6.107

⁸⁸⁾ 未经过生产测试, 由设计指定。

⁹¹⁾ 详情请参阅 第 16.3.6 章

⁸⁶⁾ 内部时钟频率精度需叠加至规定值中, 请参见 第 6.2 章

11 数字相电压反馈

TLE9180D-21QK 可将相电压快速转换为逻辑电平信号。其阈值与 VDHP 引脚处的电压成比例，前提是 VDHP 电压低于 60V 且高于 4.0V。在引脚 VDHP 电压高于 60V 时，PFB 引脚仍将工作，但阈值和阈值匹配将与表 55 中指定的值不匹配，因为内部 PFB 比较器的基准输入被限制为 60V。如果在 VDHP > 60V 时通过引脚 INH 激活器件，则 PFBx 引脚将在 50 ms 后按规定工作。当电压低于 4.0V 时，PFBx 输出引脚可能会振荡。在振荡的情况下，数字输出引脚可能会出现过载。输出是具有内部下拉电阻的 VCC 推挽级。相电压反馈的实现功能独立于磁芯逻辑。如果不使用数字相反馈，则输出引脚应打开。

11.1 相电压反馈编程

可以为比较器基准输入选择两个转换阈值。

表 54 相电压反馈转换阈值电平

Bit Name	Bit Value	High/Low Threshold Levels
pfb	0 (default)	80%/25% of VDHP
	1	50%/50% of VDHP

11.2 相位反馈电气参数

表 55 电气特性 - 相位反馈

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Low Level Threshold 50%	V_{ILPfb1}	46.5	49	51.5	% of VDHP	VSHx decreasing; $4\text{ V} < V_{VDHP} < 60\text{ V}$	P_12.2.1
High Level Threshold 50%	V_{Hfb1}	47.5	51.0	53.5	% of VDHP	VSHx increasing; $4\text{ V} < V_{VDHP} < 60\text{ V}$	P_12.2.2
Low Level Threshold 25%	V_{ILPfb2}	10	25	40	% of VDHP	VSHx decreasing; $4\text{ V} < V_{VDHP} < 60\text{ V}$	P_12.2.3
High Level Threshold 80%	V_{Hfb2}	65	80.0	95	% of VDHP	VSHx increasing; $4\text{ V} < V_{VDHP} < 60\text{ V}$	P_12.2.4
Threshold Matching	dV_{fb}	–	2.0	5.0	% of VDHP	$4\text{ V} < V_{VDHP} < 60\text{ V}$	P_12.2.5
Propagation Delay Time	t_{PDfb}	–	60 70	110 110	ns	50%/50% selected 80%/25% selected	P_12.2.6
Propagation Delay Time Matching all Phases	$t_{PDfball1}$	–	5	15	ns	50%/50% selected; rising edge	P_12.2.7

(表格续下页.....)

表 55 (续) 电气特性 - 相位反馈

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Propagation Delay Time Matching Single Phase (rising to falling edge)	$t_{PDfbrf1}$	–	10	15	ns	50%/50% selected	P_12.2.8
Propagation Delay Time Matching all Phases	$t_{PDfball2}$	–	10	30	ns	80%/25% selected; rising edge	P_12.2.9
Propagation Delay Time Matching Single Phase (rising to falling edge)	$t_{PDfbrf2}$	–	18	35	ns	80%/25% selected	P_12.2.10

12 相位关断激活

TLE9180D-21QK提供额外的输出引脚来驱动相位分离电路。APC 引脚的输出特性是可配置的。该引脚将根据窗口看门狗的配置或 VCC 引脚的过电压或欠电压检测来触发。如果 APC 被触发，寄存器 Ser 中的位 3 置位。触发后的激活延迟也可配置。一旦 APC 被激活，序列就会被执行，并且只能通过将引脚 INH 设置为低电平来中断。特殊事件寄存器中置位的 apc_act 位可以通过 ENA 引脚复位。

12.1 相位关断编程

表 56 APC 激活失败检测

Bit Name	Bit Value	Detection	Bit Value	Detection
fm_act_apct	00	No APC Pin Triggering SPI status flag: Special event set if triggered by WWD Register Ser (0x42): bit apc_act set if triggered by WWD	10	Pin APC triggered by Window Watchdog or OV VCC SPI status flag: Special event set only if triggered by WWD Register Ser (0x42): bit apc_act set only if triggered by WWD SPI status flag: warning or Error set only if triggered by OV VCC ⁹²⁾ Register Err_e (0x45): bit err_ov_vcc set if triggered by OV VCC
	01 (default)	Pin APC triggered by Window Watchdog SPI status flag: Special event set Register Ser (0x42): bit apc_act set	11	Pin APC triggered by Window Watchdog or UV VCC or OV VCC SPI status flag: Special event set only if triggered by WWD Register Ser (0x42): bit apc_act set only if triggered by WWD ⁹²⁾ SPI status flag: warning or Error set only if triggered by UV VCC or OV VCC Register Err_e (0x45): bit err_uv_vcc or err_ov_vcc set if triggered by UV VCC or OV VCC

表 57 相位关断激活延迟

Bit Name	Bit Value	Delay	Bit Value	Period
apc_tact	000	0 ms	100	30 ms
	001	5 ms	101	50 ms

(表格续下页.....)

⁹² 哪个 SPI 状态标志是置位取决于配置的故障行为。无论引脚 ERR 是否为置位，该声明均有效。

表 57 (续) 相位关断激活延迟

Bit Name	Bit Value	Delay	Bit Value	Period
	010	10 ms	110	75 ms
	011 (default)	20 ms	111	100 ms

表 58 引脚 APC 功能配置

Bit Name	Bit Value	APC activated	Normal Mode	Bit Value	APC activated	Normal Mode
apc_conf	00	Low	High	10 (default)	Stuck	Oscillating
	01	High	Low	11	Reserved	Reserved

12.2 相位关断激活电气参数

表 59 电气特性 - 相位关断激活

$V_S = 5.5\text{ V}$ 至 60 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压相对于地, 电流正向流入引脚 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Delay of APC pin activation ⁹³⁾	t_{dAPC}	5	–	100	ms	8 steps programmable	P_13.2.1
APC oscillating frequency	f_{APC}	–	20	–	kHz	apc_conf = '10'	P_13.2.2
APC oscillating frequency Duty Cycle	$D.C._{APC}$	–	50	–	%	apc_conf = '10'	P_13.2.3

⁹³⁾ 内部时钟频率精度必须添加到指定值, 请参阅第 6.2 章

13 工作模式

本章介绍不同的工作模式。寄存器 `Om_over` 指示当前处于活动状态的工作模式。

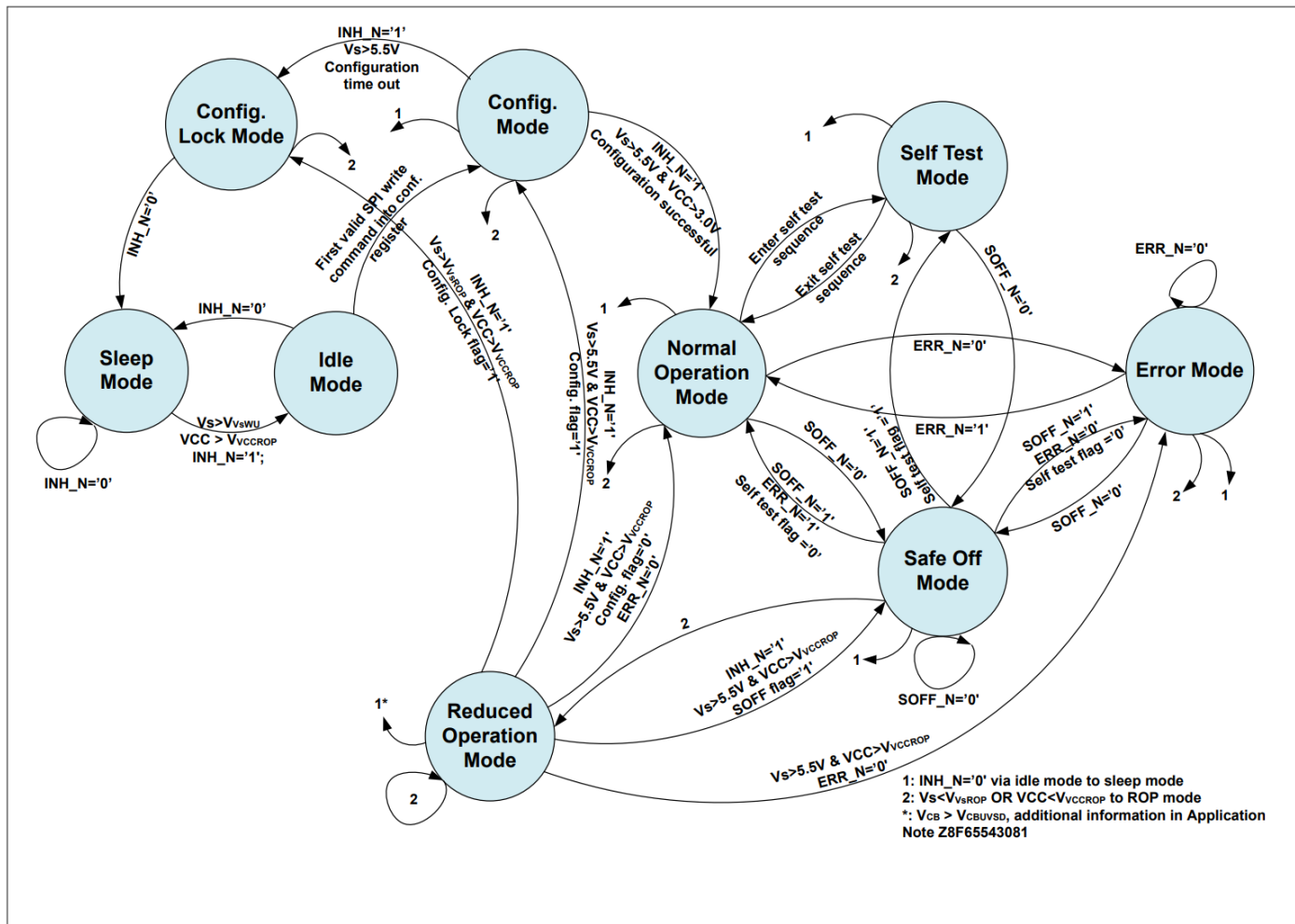


图 31 数字工作模式概述

13.1 正常工作模式

在正常工作模式下，所有功能和所有诊断均可用。如果未检测到错误情况，输出驱动器将遵循 TLE9180D-21QK 的数字输入提供的信号。

13.1.1 驱动模式

如果未检测到错误情况，则输出驱动器遵循 TLE9180D-21QK 的数字输入提供的信号。所有保护和诊断功能均按规定运行。

13.1.2 跛行模式

仅当在配置模式下预先启用后，才能进入跛行模式。当 TLE9180D-21QK 处于跛行模式时，`Ser` 寄存器中的第1位将被置位。有关跛行模式的详细说明，请参见第 10.4 章。

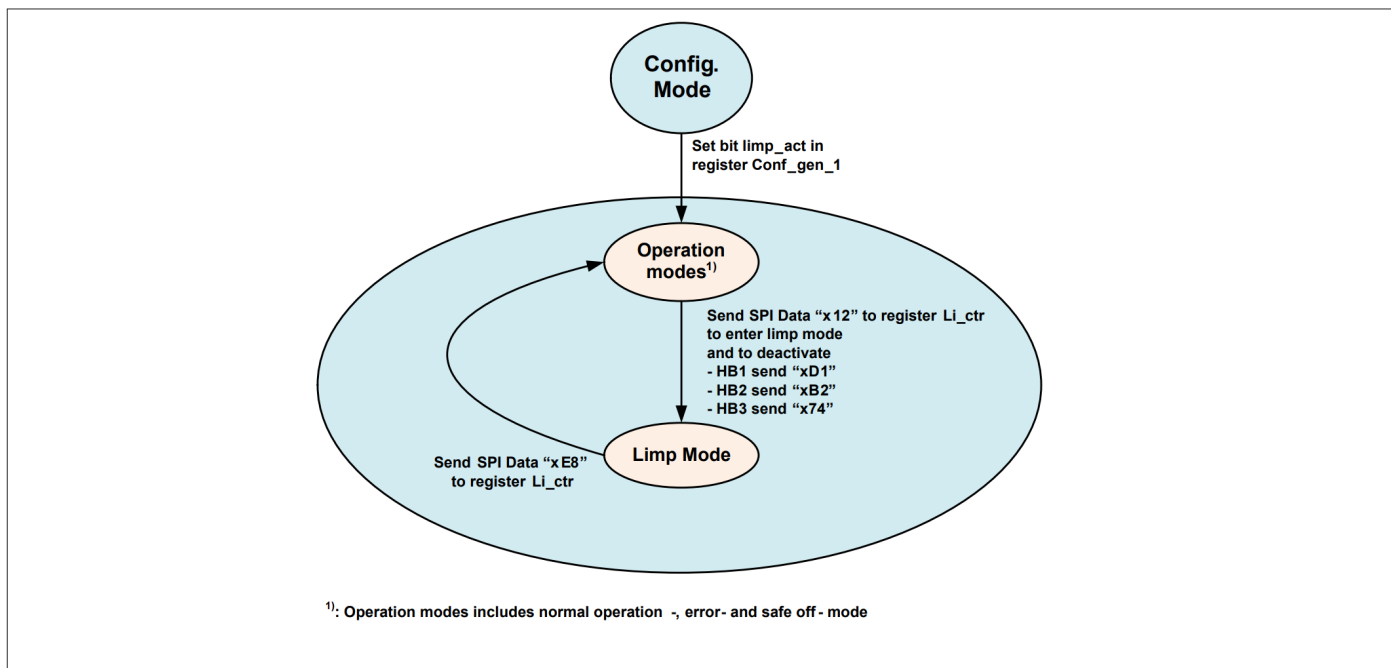


图 32 跛行模式进入和退出序列

13.2 有限操作模式

在有限操作模式下，逻辑是可操作的。因此数字寄存器保持其状态并且监控功能不会停止。然而，I/O 未正确供电，因此SPI通信无法工作。所有数字引脚均被禁用，并且不提供侵犯放大器的输出级。从有限操作模式转换到正常操作时，所有锁存的错误都将被清除。VCC 限制模式结束后，必须执行 ENA 复位来释放可能被无意检测到的输出引脚过载检测。如果TLE9180D-21QK已处于限制操作模式，Ser中的位 0 将被置位。

13.3 睡眠模式

如果 $\overline{\text{INH}}$ 引脚置位为低电平，内部掉电序列将启动。检测到低电平转换后， $\overline{\text{INH}}$ 引脚上的变化将被忽略，直到进入睡眠模式。当检测到 CB 引脚欠压关断后，栅极驱动器IC将进入睡眠模式。首先， $\overline{\text{INH}}$ 引脚主动关闭输出级的外部 FET。内部模块（输出级、运算放大器、内部 5 V 稳压器、电荷泵、PFB 模块、输出级逻辑模块和 SCD 模块）关闭后，将检查引脚 CB 处的欠压关断。随后，剩余的时钟、VCC 监控、所有数字焊盘、温度传感器和高压 ADC 将被停用。此时数字磁芯将被复位，内部 3.3V 和 1.5V 稳压器将被关闭。如果电荷泵和高边缓冲电容器放电，外部FET的栅极将通过内部无源钳位电路钳位至其源。一旦设置为睡眠模式TLE9180D-21QK必须重新配置。

13.4 空闲模式

空闲模式通过睡眠模式进入。在施加 V_s 电压且 $\overline{\text{INH}}$ 引脚被拉高后，内部逻辑开始工作并启动上电流程。一旦 $\overline{\text{ERR}}$ 引脚变为高电平，数字端口将获得供电，TLE9180D-21QK 即准备好进行配置。

13.5 配置模式

TLE9180D-21QK 必须进行配置。故障行为、诊断阈值及滤波时间均需在配置模式下进行调整。配置模式将在收到第一条写入配置寄存器的有效 SPI 写命令后从空闲模式进入。一旦收到第一条有效 SPI 命令，配置计时器即开始计时，且 $\overline{\text{ERR}}$ 引脚被拉低。如果配置成功完成，栅极驱动 IC 将自动进入正常运行模式。进入正常运行模式将复位所有错误及错误滤波器。必须在配置计时器超时之前发送正确的配置签名字节，以进入正常运行模式。验证所传输的配置签名字节是否与正确的内部 CRC8 匹配的计算最多需要 1.2 μs 。经过 1.2 μs 后，SPI 状态标志第3位将被置为高电平。如果无需更改配置寄存器的默认值，则应发送默认配置签名以直接进入正常运行模式。过渡到降级运行模式将停止配置并暂停配置计时器。一旦外部电源电压恢复，将重新进入配置模式，且配置计时器将被复位。

13.6 配置锁定模式

如果配置定时器到期，TLE9180D-21QK 将从配置模式进入配置锁定模式。必须通过 $\overline{\text{INH}}$ 执行复位才能重新启动配置。

13.7 安全关闭模式

如果 $\overline{\text{SOFF}}$ 置位至低电平，输出级将关闭外部 MOSFET，且与引脚 $\overline{\text{IHx}}$ 和 $\overline{\text{ILx}}$ 上的输入信号无关。SPI 接口和 CSA 仍在工作。有关 SPI 功能可用性的详细信息，请参阅第 10.1 章。

13.8 错误模式

一旦 $\overline{\text{ERR}}$ 引脚为低，驱动 IC 就会进入错误模式。已配置为警告的监控，如果满足监控失败条件，将不会导致进入错误模式。退出错误模式取决于配置模式下调整后的故障行为。由于锁存错误而调整的监控需要通过 ENA 引脚进行复位。只要故障发生，ARE 或 ERR 故障就会一直处于出错模式，如果故障不再出现，则会自动退出出错模式。

13.9 自检模式

某些诊断特性已集成自检功能。当然，在自诊断期间，这些监控功能不起作用。不允许意外进入自检模式。因此，设计了一个自检模式有限状态机。FSM 由 3 个状态组成，只有第 3 个状态才能启用自检模式。该序列不得被任何其他 SPI 帧打断，否则必须重新发送该序列。不同的自检必须按顺序启动。自检本身具有不同的优先级。因此，如果同时选择两个自检，则只会执行优先级较高的自检。 μC 必须启用并禁用自检模式才能退出自检模式。不同的自检功能和优先级列于下表 30 中。

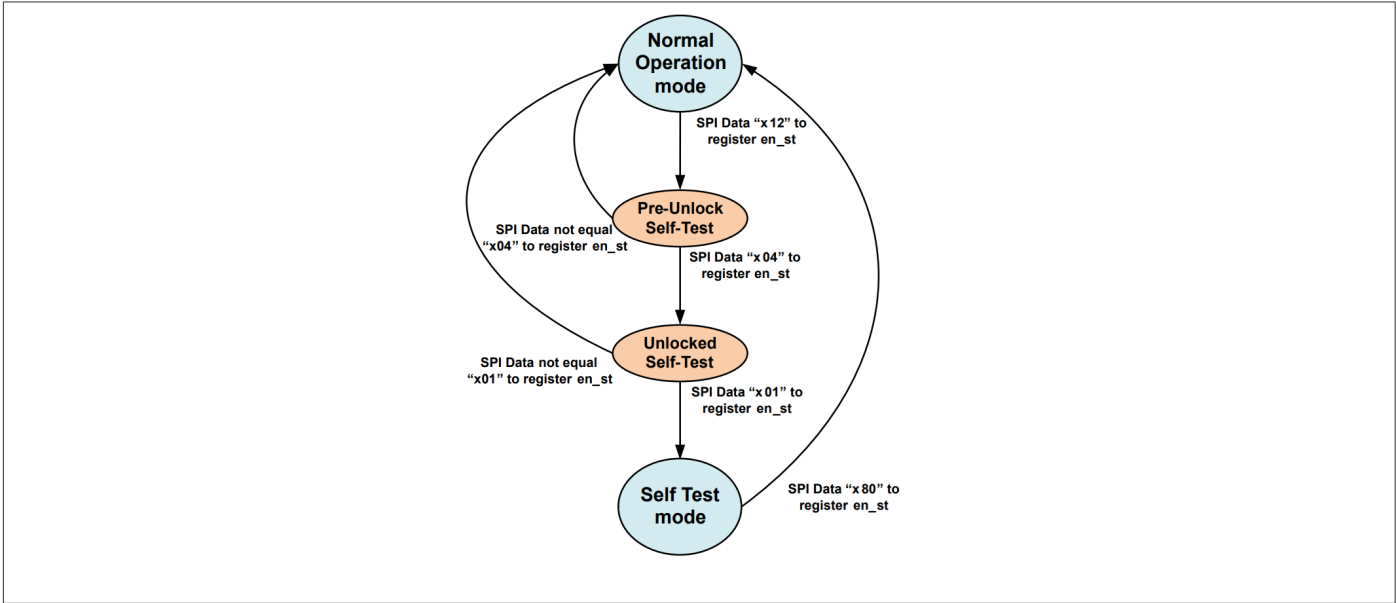


图 33 自检模式进入和退出序列

有关可用自检的详细说明和描述，请参阅 TLE9183QK 的安全手册。

13.10 工作模式和过渡状态概述

表 60 工作模式

Mode	Comment	Logic	Power Supply	Output Stages	Shunt Signal Conditioning	Diagnosis	SPI Access	ERR Pin
Normal Operation	$\overline{\text{ENA}} = \overline{\text{INH}} = \overline{\text{SO}}$ $\overline{\text{FF}} = \text{High}$; Power-up successful	Operation as specified	Operation as specified	Operation as specified	Operation as specified	All available	Yes	High
Reduced Operation	$\overline{\text{INH}} = \text{High}$ and $\text{Vs} < V_{\text{VsROP}}$ or $\text{VCC} < V_{\text{VCCROP}}$ ⁹⁴ $\overline{\text{ENA}} = \overline{\text{SOFF}} = \text{X}$	Digital core operative, no loss of Config. data	Operation as specified or off ⁹⁵	Outputs active off -> passive clamping	CSAs off, outputs low	See Table 21	No	Low (passive)
Sleep	$\overline{\text{INH}} = \text{Low}$ or $\text{VS} < 3 \text{ V}$; $\overline{\text{ENA}} = \overline{\text{SOFF}} = \text{X}$	Digital core off, loss of data	Off, caps are discharging	Outputs active off -> passive clamping	CSAs off, outputs low	None	No	Low (passive)

(表格续下页.....)

⁹⁴ 如果由于Vs电压太低而导致限制操作模式，则寄存器0x43的位5和位1为置位。由VCC电压过低导致的有限操作模式只会设置该寄存器第一位

⁹⁵ 如果 Vs 下降过低，电荷泵关闭

表 60 (续) 工作模式

Mode	Comment	Logic	Power Supply	Output Stages	Shunt Signal Conditioning	Diagnosis	SPI Access	ERR Pin
Idle	$\overline{\text{INH}} = \text{High}$ and $V_s > V_{\text{SWU}}$ and $V_{\text{CC}} > V_{\text{CCROP}}$; $\text{ENA} = \overline{\text{SOFF}} = \text{X}$	Digital core operative	Operation as specified	Outputs active off	Operation as specified	See Table 21	Yes	High
Configuration	$\overline{\text{INH}} = \text{High}$ and first valid SPI write access into config. register; $\text{ENA} = \overline{\text{SOFF}} = \text{X}$	Operation as specified	Operation as specified	Outputs active off	Operation as specified	Depends on default setting	Yes	Low
Configuration lock	$\overline{\text{INH}} = \text{High}$ and configuration timer expired; $\text{ENA} = \overline{\text{SOFF}} = \text{X}$	Operation as specified	Operation as specified	Outputs active off	Operation as specified	Depends on default setting	Yes	Low
Safe Off	$\overline{\text{INH}} = \text{High}$ and $\text{SOFF} = \text{Low}$; $\text{ENA} = \text{X}$	Operation as specified	Operation as specified	Outputs active off	Operation as specified	See Table 21	Yes	Low/ High ⁹⁶⁾
Error	$\overline{\text{INH}} = \overline{\text{SOFF}} = \text{High}$ and error detected	Operation as specified	Operation as specified	Depends on failure reaction	Operation as specified	All available	Yes	Low
Self-test	$\overline{\text{INH}} = \overline{\text{SOFF}} = \text{High}$ and entry by SPI command	depends on dedicated self test	Depends on dedicated self test	depends on dedicated self-test	Depends on dedicated self test	See Table 21	Yes	Result of self-test

⁹⁶⁾ 取决于是否检测到故障

13.11 上电图

建议遵循图 34所示的上电顺序。TLE9180D-21QK与TLE9180系列的上电序列兼容。

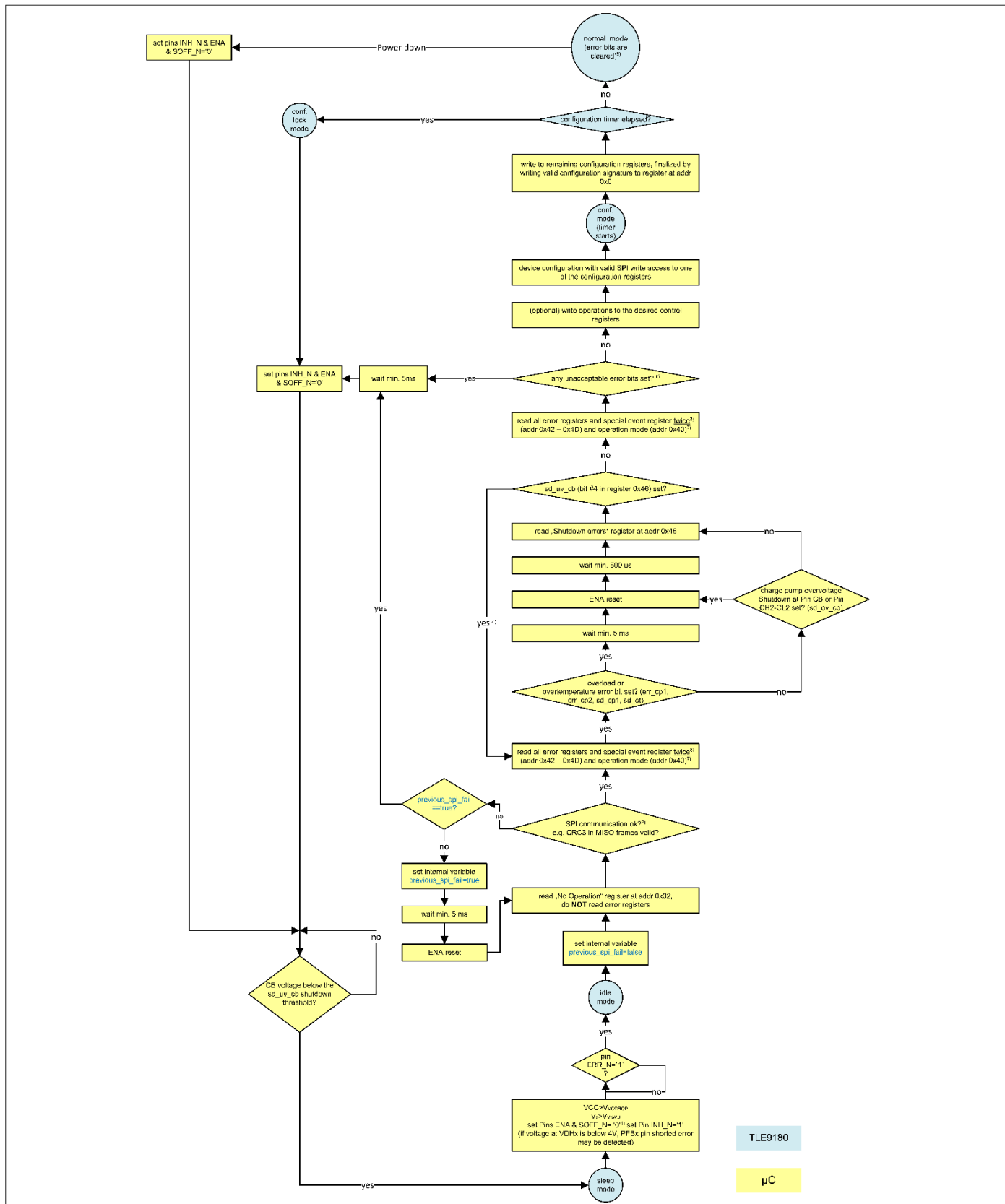


图 34 建议的上电顺序

注

1. 除非另有说明，否则请勿执行ENA 复位。有关详细信息，请参阅第 4.1 章，ENA。
2. 一般说明：假设SPI通信已检查错误（验证MISO 帧的CRC3，检查写入访问SPI MOSI 帧的地址/数据是否与下一个MISO 帧匹配，检查读取访问SPI MOSI 帧的地址是否与下一个MISO 帧中的地址匹配）。如果确实发生SPI 错误，则应用选择的重试策略并在有限次数的尝试后中止。
3. 注：预计在ENA 复位以清除“MISO 引脚短路错误”检测和所有错误寄存器的第一次读取操作之间至少有500us（足够的时间让过载检测再次触发）。
4. 注：所选策略通过轮询sd_uv_cb 的状态来优化速度。错误sd_uv_cb 必须在（上次ENA 复位后的时间）和（INH_N 转换为高电平后的时间）的最小值之后的tINH_Pen1 ms内消失。如果没有，则可以继续使用另一条路径（该路径不会导致2 个步骤后直接进入正常模式）。
5. 注：请注意，转换为正常模式时SPI顺序传输延迟会增加。
6. 注：不可接受的位有：全局测试模式(gtm)、过压内部稳压器6 错误(err_ov_reg6)、电荷泵1 过载错误(err_cp1)、过载泵2 过载错误(err_cp2)、过温关断(sd_ot)、引脚CB 或引脚CH2-CL2 处的电荷泵过压关断(sd_ov_cp)、Vs通路电荷泵输入过载(sd_cp1), CB 欠压关断(sd_uv_cb)。这取决于客户定义以下位是否可以接受：过温检测 (err_ot_w)、潜在故障警告 (lfw)、控制寄存器错误纠正失败 (ctrl_reg_invalid)、寄存器0x45 中的所有位（外部错误）。除寄存器0x4A“SPI 通信和配置错误”中的位（需要根据注 2）处理）外，所有其他位都应忽略，并在完成到正常模式的转换后进行处理。
7. 注：运行模式必须是空闲模式。如果不是，中止。

14 寄存器描述

本章详细介绍了 SPI 数据流以及接收和发送数据帧的结构。所有寄存器均列在[第 15 章](#)中。

14.1 SPI 数据流

可以通过读取或写入命令来访问寄存器。对当前SPI指令的响应将与下一个SPI指令一起发送。如果立即需要当前SPI指令的信息，则 μC 应在初始请求后直接发送无操作指令。

14.2 SPI 帧格式

SPI 帧包含 24 位。对于所有字段、地址和数据，最重要的部分首先被接收和发送。第一个接收到的位 C 决定读取或写入命令。C 置位为高表示写入命令，C 置位为低表示读取访问。

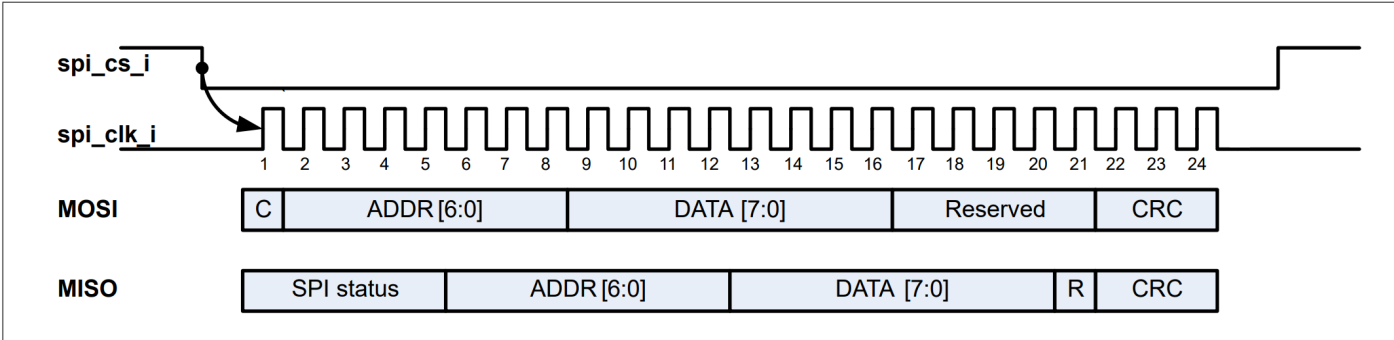


图 35 SPI 帧格式

14.2.1 SPI 状态标志

SPI 状态标志在任何响应中传输。SPI 状态标志包含以下信息。

表 61 SPI 状态标志

Bit position	Flag	Description
1	Error	ERR, ARE and LE indication via SPI
2	Warning	Warning indication via SPI
3	Config Valid	Configuration registers valid
4	SPI-Error	Please see Table 62
5	Special Event	Please see Table 63

SPI 状态标志错误、警告和特殊事件

传输帧（MISO）中的SPI状态标志错误、警告或特殊事件根据电流寄存器值指示器件的状态。如果故障不再存在，并且指示的故障已通过寄存器 0x41 至 0x4D（寄存器 0x4A 除外）的读取命令（MOSI）清除，则故障在SPI状态标志中不可见。在这种情况下，错误信息只能在传输的错误寄存器的详细故障位中看到一次（传输的错误数据寄存器 0x41 至 0x4D（寄存器 0x4A 除外））。如果故障当时已经存在，则只能通过前一次传输的SPI帧（MISO）的SPI状态标志检测到它。寄存器 0x4A 的位 2、5 和 6，详情见[表 62](#) SPI状态标志仅置位一次，并在下一个有效SPI帧后自动清除。详情请联系英飞凌。

SPI 状态标志配置有效

SPI 状态标志 Config Valid 的行为在[第 10.5.17.1. 章](#)中描述。

SPI 状态 SPI 错误

SPI 状态标志 SPI-Error 的行为在[第 14.3 章](#)中描述。

14.3 SPI监控概述

SPI 通信和寄存器访问受到监控，以防止出现各种故障。它们全部汇总在寄存器 0x4A SPI 通信和配置错误位 0、1、3 和 4 中。这些位触发 SPI 状态标志 SPI-Error。SPI状态标志SPI -Error 置位并与下一个数据通信一起传输。它将在下一次有效传输时清除，因此只能查看一次。0、1、3 和 4 位不会被清除。这些位在读取后清零。

14.3.1 SPI 通信和配置错误概述

寄存器 SPI 通信和配置错误的错误位会触发 SPI 状态标志，如[表 62](#)所示。

表 62 SPI 通信和配置错误概述

Bit #	Bit Name	Error Condition	SPI Status Flag
0	err_spi_frame	SPI Frame Error	SPI-Error
1	err_spi_to	SPI Time-out Error	SPI-Error
2	err_spi_wd	SPI Watchdog Time-out	Error
3	err_spi_crc	CRC Error (incoming data)	SPI-Error
4	spi_add_invalid	Invalid Address Access	SPI-Error
5	conf_to	Configuration Time-out	Error
6	conf_sig_invalid	Sent Configuration Signature Byte Invalid	Error
7	Reserved	Reserved	Reserved

14.3.2 特殊事件寄存器概述

下表显示了哪些位将置位SPI状态标志的特殊事件标志。

表 63 特殊事件寄存器概述

Bit #	Bit Name	Description
0	rom	Reduced Operation Mode Occurred
1	limp_on	Limp Home Active
2	Reserved	Reserved
3	apc_act	Phase Cut off Activation ⁹⁷⁾

(表格续下页.....)

⁹⁷ 详情请参阅[表56](#)

表 63 (续) 特殊事件寄存器概述

Bit #	Bit Name	Description
4	GTM	Global Test Mode active (not for customer usage, for information only).
5	crtl_reg_invalid	Error Correction of Control Register Failed
6	lfw	Latent Fault Warning
7	err_ot_w	Overtemperature Detection

14.3.3 保留寄存器、位和值

下表列出了有关保留区域的软件处理建议。

表 64 保留区域的软件处理概述

Reserved Area	Software Handling
Registers	Read and write access to register addresses which are not specified shall not be performed
Bits in register	Bit values of reserved bits shall be left unchanged
Bit in SPI frame	'0' shall be written into the reserved bits of the SPI frame, shown in Figure 35
Values	Writing reserved values, e.g. set bit 1 and bit 0 to '1' TL_cbvcc shall not be performed

14.3.4 寄存器类型概述

本章概述了器件的不同寄存器类型。

表 65 访问类型缩写

Access Type	Description
r	Bits are readable (read)
rc	Bits are readable and value is cleared after read access (clear-on-read)
rw	Bits are read- and writeable (read-write)
rwc	Bits are readable and writeable, bits will be cleared automatically after initiated routine has been finished (read-write-clear)
rmw	Bits are readable, bits are writeable only in configuration mode (read-monostable-write)

表 66 寄存器类型概述

Register Type	Access Type	Address Range	Read Access	Write Access
Configuration	rmw	0x00H-0x1FH	Idle-, configuration -, configuration lock-, normal operation-, self test-, safe off- and error mode	Configuration mode

(表格续下页.....)

表 66 (续) 寄存器类型概述

Register Type	Access Type	Address Range	Read Access	Write Access
Control	rw & rwc	0x20H-0x34H	Idle-, configuration -, configuration lock-, normal operation-, self test-, safe off- and error mode	Idle-, configuration -, configuration lock-, normal operation-, self test-, safe off- and error mode
Self Test	rw & rwc	0x35H-0x37H	Idle-, configuration -, configuration lock-, normal operation-, self test-, safe off- and error mode	Self-test mode
Read	r & rc	0x40H-0x67H	Idle-, configuration -, configuration lock-, normal operation-, self test-, safe off- and error mode	none

15 寄存器规格

15.1 寄存器章节

表 67 寄存器地址空间

Module	Base Address	End Address	Note
BusInterface	0 _H	FF _H	Slave interface

表 68 寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
Conf_Sig	Configuration Signature	00 _H	BA _H
Conf_Gen_1	General Configuration 1	01 _H	80 _H
Conf_Gen_2	General Configuration 2	02 _H	03 _H
Conf_Gen_3	General Configuration 3	03 _H	1C _H
Conf_wwd	Window Watchdog	04 _H	56 _H
TL_vs	Vs Over- and Undervoltage Thresholds	05 _H	07 _H
TL_vdh	VDHP Over- and Undervoltage Thresholds	06 _H	A0 _H
TL_cbvcc	CB Under- and VCC Under- and Overvoltage Thresholds	07 _H	95 _H
Fm_1	Charge Pump/High-side Buffer Failure Modes	08 _H	30 _H
Fm_2	Miscellaneous Failure Modes	09 _H	70 _H
Fm_3	Vs & VDHP & VCC Undervoltage Failure Modes	0A _H	10 _H
Fm_4	Vs & VDHP & VCC Overvoltage Failure Modes	0B _H	20 _H
Fm_5	Short Circuit Detection & Signal Path Supervision Failure Modes	0C _H	60 _H
Dt_hs	Dead Time High-side	0D _H	0E _H
Dt_ls	Dead Time Low-side	0E _H	0E _H
Ft_1	Undervoltage Filter Times	0F _H	85 _H
Ft_2	Overvoltage and VCC Filter Times	10 _H	50 _H
Ft_3	Overtemperature & Short Circuit Detection Filter Times	11 _H	0E _H
Ft_4	Overcurrent Filter Time	12 _H	02 _H
Fm_6	Overcurrent Failure Modes	13 _H	00 _H
Op_gain_1	Current Sense Amplifier 1&2 - Gain 1	20 _H	33 _H
Op_gain_2	Current Sense Amplifier 1&2 - Gain 2	21 _H	55 _H
Op_gain_3	Current Sense Amplifier 3 - Gain 1&2	22 _H	53 _H
Op_0cl	Current Sense Amplifier Zero Current Offset	23 _H	5F _H
op_con	Current Sense Amplifier Configuration	24 _H	07 _H

(表格续下页.....)

表 68 (续) 寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
Sc_ls_1	Short Circuit Detection Threshold Low-side 1	25 _H	1A _H
Sc_ls_2	Short Circuit Detection Threshold Low-side 2	26 _H	1A _H
Sc_ls_3	Short Circuit Detection Threshold Low-side 3	27 _H	1A _H
Sc_hs_1	Short Circuit Detection Threshold High-side 1	28 _H	1A _H
Sc_hs_2	Short Circuit Detection Threshold High-side 2	29 _H	1A _H
Sc_hs_3	Short Circuit Detection Threshold High-side 3	2A _H	1A _H
Li_ctr	Limp Home Activation and Half Bridge Deactivation	2B _H	E8 _H
Misc_ctr	Shift Phase Voltage Feedback and CSA Gain	2C _H	00 _H
art_tlp	Passive Rectification Threshold	2D _H	F8 _H
art_tla	Active Rectification Threshold	2E _H	06 _H
art_fi	Rectification Filter Time	2F _H	53 _H
art_acc	Rectification Accuracy	30 _H	21 _H
art_entry	Rectification Mode entry	31 _H	80 _H
nop	No Operation	32 _H	00 _H
Drev_mark	Reverse Diode Measurement	33 _H	00 _H
Ds_mark	Drain Source Measurement	34 _H	00 _H
Sel_st_1	Self Test Selection 1	35 _H	00 _H
Sel_st_2	Self Test Selection 2	36 _H	00 _H
En_st	Self Test Mode Entry	37 _H	80 _H
Om_over	Operation Mode Overview	40 _H	00 _H
Err_over	Error Overview	41 _H	00 _H
Ser	Special Event Register	42 _H	00 _H
Err_i_1	Internal Errors 1	43 _H	00 _H
Err_i_2	Internal Errors 2	44 _H	00 _H
Err_e	External Errors	45 _H	00 _H
Err_sd	Shutdown Errors	46 _H	00 _H
Err_scd	Short Circuit Errors	47 _H	00 _H
Err_indiag	Input Pattern Violations	48 _H	00 _H
Err_osf	Output Stage Feedback Errors	49 _H	00 _H
Err_spiconf	SPI Communication and Configuration Errors	4A _H	00 _H
Err_op_12	Current Sense Amplifiers 1 & 2 Errors	4B _H	00 _H
Err_op_3	Current Sense Amplifier 3	4C _H	00 _H
Err_outp	Digital Output Pin Errors	4D _H	00 _H

(表格续下页.....)

表 68 (续) 寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
dsm_ls1	Low-side 1 Drain Source Measurement	4E _H	00 _H
dsm_ls2	Low-side 2 Drain Source Measurement	4F _H	00 _H
dsm_ls3	Low-side 3 Drain Source Measurement	50 _H	00 _H
dsm_hs1	High-side 1 Drain Source Measurement	51 _H	00 _H
dsm_hs2	High-side 2 Drain Source Measurement	52 _H	00 _H
dsm_hs3	High-side 3 Drain Source Measurement	53 _H	00 _H
Rdm_ls1	Low-side 1 Reverse Diode Measurement	54 _H	00 _H
Rdm_ls2	Low-side 2 Reverse Diode Measurement	55 _H	00 _H
Rdm_ls3	Low-side 3 Reverse Diode Measurement	56 _H	00 _H
Rdm_hs1	High-side 1 Reverse Diode Measurement	57 _H	00 _H
Rdm_hs2	High-side 2 Reverse Diode Measurement	58 _H	00 _H
Rdm_hs3	High-side 3 Reverse Diode Measurement	59 _H	00 _H
temp_ls1	Low-side 1 Output Stage Temperature	5A _H	00 _H
temp_ls2	Low-side 2 Output Stage Temperature	5B _H	00 _H
temp_ls3	Low-side 3 Output Stage Temperature	5C _H	00 _H
temp_hs1	High-side 1 Output Stage Temperature	5D _H	00 _H
temp_hs2	High-side 2 Output Stage Temperature	5E _H	00 _H
temp_hs3	High-side 3 Output Stage Temperature	5F _H	00 _H
wwlc	Window Watchdog Loop Counter	60 _H	00 _H
res_cc1	Watchdog Clock Counter 1	61 _H	00 _H
res_cc2	Watchdog Clock Counter 2	62 _H	00 _H
res_cc3	Watchdog Clock Counter 3	63 _H	00 _H
res_vcc	VCC Measurement Result	64 _H	00 _H
res_cb	CB Measurement Result	65 _H	00 _H
res_vs	Vs Measurement Result	66 _H	00 _H
res_vdh	VDHP Measurement Result	67 _H	00 _H

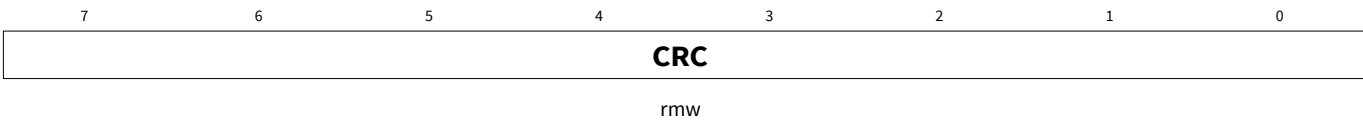
寄存器访问

寄存器按字寻址。

15.1.1 配置寄存器

15.1.1.1 配置签名

Conf_Sig Address: 00_H
Configuration Signature Reset value: BA_H



Field	Bits	Type	Description
CRC	7:0	rmw	CRC8 Signature Byte 10111010 _B , CRC8 for default configuration register values

15.1.1.2 通用配置 1

Conf_Gen_1

Address: 01_H

General Configuration 1

Reset value: 80_H

7	6	5	4	3	2	1	0
tl_ot_w		in_diag_act	spi_wwd_act	limp_act	vcc_sup_off	vcc_select	
rmw		rmw	rmw	rmw	rmw	rmw	

Field	Bits	Type	Description
tl_ot_w	7:5	rmw	Overtemperature Detection Threshold 111 _B , 125°C 110 _B , 130°C 101 _B , 135°C 100 _B , 140°C (default) 011 _B , 145°C 010 _B , 150°C 001 _B , 155°C 000 _B , 160°C
in_diag_act	4	rmw	Input Pattern Supervision 1 _B , Enabled 0 _B , Disabled (default)
spi_wwd_act	3	rmw	SPI Window Watchdog 1 _B , Enabled 0 _B , Disabled (default)
limp_act	2	rmw	Limp Home Mode Activation 1 _B , Enabled 0 _B , Disabled (default)
vcc_sup_off	1	rmw	VCC Supervision 1 _B , Disabled 0 _B , Enabled (default)
vcc_select	0	rmw	VCC Monitoring Threshold 1 _B , 5V selected as VCC supply voltage 0 _B , 3.3V selected as VCC supply voltage (default)

15.1.1.3 通用配置 2

Conf_Gen_2

Address: 02_H

General Configuration 2

Reset value: 03_H

7	6	5	4	3	2	1	0
tl_oc_op	dis_ov_bh	dis_ov_ld_vdh	dis_sd_vdh	en_vdh3	en_op3	en_op2	en_op1
rmw	rmw	rmw	rmw	rmw	rmw	rmw	rmw

Field	Bits	Type	Description
tl_oc_op	7	rmw	Threshold Level Overcurrent Detection Current Sense Amplifiers 1 _B , 3.3V Overcurrent Detection Threshold 0 _B , 5V Overcurrent Detection Threshold (default)
dis_ov_bh	6	rmw	Disable Overvoltage Detection of High-side Buffer Capacitors 1 _B , OV BSx disabled 0 _B , OV BSx enabled (default)
dis_ov_ld_vdh	5	rmw	Disable Load Dump Overvoltage Detection at pin VDHP 1 _B , OV LD disabled 0 _B , OV LD enabled (default)
dis_sd_vdh	4	rmw	Disable Shutdown at VDHP 1 _B , OV SD VDHP disabled 0 _B , OV SD VDHP enabled (default)
en_vdh3	3	rmw	Enable 3 VDHx sense pins 1 _B , 3 VDH sense pins and 1 VDHP power pin enabled 0 _B , 1 VDHP pin selected (default)
en_op3	2	rmw	Enable Current Sense Amplifier 3 1 _B , Current Sense Amplifier 3 enabled 0 _B , Current Sense Amplifier 3 deactivated (default)
en_op2	1	rmw	Enable Current Sense Amplifier 2 1 _B , Current Sense Amplifier 2 enabled (default) 0 _B , Current Sense Amplifier 2 deactivated
en_op1	0	rmw	Enable Current Sense Amplifier 1 and Reference Output Buffer 1 _B , Current Sense Amplifier 1 and Reference Output Buffer enabled (default) 0 _B , Current Sense Amplifier 1 and Reference Output Buffer deactivated

15.1.1.4 通用配置 3

Conf_Gen_3

General Configuration 3

Address: 03_H

Reset value: 1C_H

7	6	5	4	3	2	1	0
Res	en_ART		apc_tact		apc_conf		art_scd
none	rmw		rmw		rmw		rmw

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
en_ART	6	rmw	Enable ART pin 1 _B , ART pin enabled; APC disabled 0 _B , APC pin enabled; ART disabled (default)
apc_tact	5:3	rmw	Timing Activation of Active Phase Cut Off (APC) 111 _B , 100 ms 110 _B , 75 ms 101 _B , 50 ms 100 _B , 30 ms 011 _B , 20 ms (default) 010 _B , 10 ms 001 _B , 5 ms 000 _B , 0 ms
apc_conf	2:1	rmw	Active Phase Cut Off (APC) Output Signal Configuration 11 _B , Reserved 10 _B , Active stuck - oscillating in normal mode (default) 01 _B , Active high 00 _B , Active low
art_scd	0	rmw	Failure Behavior of Short Circuit Detection in ART Mode 1 _B , ARE - Short Circuit Detection and output stages deactivated with auto restart 0 _B , ARE - Short Circuit Detection only (default)

15.1.1.5 窗口看门狗

Conf_wwd

Window Watchdog

Address: 04_H

Reset value: 56_H

7	6	5	4	3	2	1	0
wwd_count			wwd_ratio			wwd_tp	
rmw			rmw			rmw	

Field	Bits	Type	Description
wwd_count	7:5	rmw	Loop Counter of Window Watchdog (increment 2; decrement 1) 111 _B , 16 110 _B , 14 101 _B , 12 100 _B , 10 011 _B , 8 010 _B , 6 (default) 001 _B , 4 000 _B , 2
wwd_ratio	4:2	rmw	Ratio between Locked and Evaluation Window 111 _B , 95% 110 _B , 92% 101 _B , 90% (default) 100 _B , 80% 011 _B , 75% 010 _B , 70% 001 _B , 60% 000 _B , 50%
wwd_tp	1:0	rmw	Period of Window Watchdog 11 _B , 10 ms 10 _B , 5 ms (default) 01 _B , 2 ms 00 _B , 1 ms

15.1.1.6 Vs 过压和欠压阈值

TL_vs

Address: 05_H

Vs Over- and Undervoltage Thresholds

Reset value: 07_H

7	6	5	4	3	2	1	0
tl_ov_vs				tl_uv_vs			
rmw				rmw			

Field	Bits	Type	Description
tl_ov_vs	7:4	rmw	Vs Overvoltage Threshold 1111 _B , 59.77 V 1110 _B , 57.94 V 1101 _B , 56.11 V 1100 _B , 53.97 V 1011 _B , 52.14 V 1010 _B , 50.01 V 1001 _B , 48.18 V 1000 _B , 43.91 V 0111 _B , 39.95 V 0110 _B , 35.98 V 0101 _B , 34.15 V 0100 _B , 32.02 V 0011 _B , 28.05 V 0010 _B , 24.09 V 0001 _B , 20.13 V 0000 _B , 18.00 V (default)
tl_uv_vs	3:0	rmw	Vs Undervoltage Threshold 1111 _B , 9.45 V 1110 _B , 9.15 V 1101 _B , 8.84 V 1100 _B , 8.54 V 1011 _B , 8.23 V 1010 _B , 7.93 V 1001 _B , 7.62 V 1000 _B , 7.32 V 0111 _B , 7.01 V (default) 0110 _B , 6.71 V 0101 _B , 6.40 V 0100 _B , 6.10 V 0011 _B , 5.79 V 0010 _B , 5.49 V 0001 _B , 5.18 V 0000 _B , 4.88 V

15.1.1.7 VDHP 过压和欠压阈值

TL_vdh Address: 06_H

VDHP Over- and Undervoltage Thresholds Reset value: A0_H

7	6	5	4	3	2	1	0
tl_ov_vdh				tl_uv_vdh			
rmw				rmw			

Field	Bits	Type	Description
tl_ov_vdh	7:4	rmw	VDHP Overvoltage Threshold 1111 _B , 75.02 V 1110 _B , 70.14 V 1101 _B , 64.95 V 1100 _B , 60.07 V 1011 _B , 57.94 V 1010 _B , 56.11 V (default) 1001 _B , 53.97 V 1000 _B , 50.01 V 0111 _B , 48.18 V 0110 _B , 39.95 V 0101 _B , 35.98 V 0100 _B , 32.02 V 0011 _B , 28.05 V 0010 _B , 24.09 V 0001 _B , 20.13 V 0000 _B , 18.00 V
tl_uv_vdh	3:0	rmw	VDHP Undervoltage Threshold 1111 _B , 39.95 V 1110 _B , 35.07 V 1101 _B , 29.88 V 1100 _B , 21.96 V 1011 _B , 20.13 V 1010 _B , 17.99 V 1001 _B , 11.89 V 1000 _B , 10.98 V 0111 _B , 10.06 V 0110 _B , 9.15 V 0101 _B , 7.93 V 0100 _B , 7.01 V 0011 _B , 6.10 V 0010 _B , 5.49 V 0001 _B , 4.88 V 0000 _B , 3.96 V (default)

15.1.1.8 CB 欠压和VCC 欠压和过压阈值

TL_cbvcc

Address: 07_H

CB Under- and VCC Under- and Overvoltage Thresholds

Reset value: 95_H

7	6	5	4	3	2	1	0
tl_uv_cb				tl_ov_vcc		tl_uv_vcc	
rmw				rmw		rmw	

Field	Bits	Type	Description
tl_uv_cb	7:4	rmw	CB Undervoltage Threshold 1111 _B , 10.44 V 1110 _B , 10.22 V 1101 _B , 9.99 V 1100 _B , 9.76 V 1011 _B , 9.53 V 1010 _B , 9.30 V 1001 _B , 9.07 V (default) 1000 _B , 8.84 V 0111 _B , 8.61 V 0110 _B , 8.39 V 0101 _B , 8.16 V 0100 _B , 7.93 V 0011 _B , 7.70 V 0010 _B , 7.47 V 0001 _B , 7.24 V 0000 _B , 7.01 V
tl_ov_vcc	3:2	rmw	VCC Overvoltage Threshold 11 _B , Reserved 10 _B , 10% of configured VCC supply voltage 01 _B , 4% of configured VCC supply voltage 00 _B , Reserved
tl_uv_vcc	1:0	rmw	VCC Undervoltage Threshold 11 _B , Reserved 10 _B , 10% of configured VCC supply voltage 01 _B , 4% of configured VCC supply voltage 00 _B , Reserved

15.1.1.9 电荷泵/高边缓冲器故障模式

Fm_1
Charge Pump/High-side Buffer Failure Modes

Address: 08_H
Reset value: 30_H

7	6	5	4	3	2	1	0
fm_uv_cb		Res	fm_cp2_off	Res	fm_uv_bs		
rmw		none	rmw	none	rmw		

Field	Bits	Type	Description
fm_uv_cb	7:6	rmw	CB Undervoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)
Res	5	none	Reserved 1 _B , default value. do not change.
fm_cp2_off	4	rmw	Overload Charge Pump 2 Failure Behavior 1 _B , Shutdown of output stages (default) 0 _B , No shutdown of output stages
Res	3:2	none	Reserved 00 _B , default value. do not change.
fm_uv_bs	1:0	rmw	Undervoltage High-side Buffer Capacitor Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.1.10 杂项故障模式

Fm_2

Address: 09_H

Miscellaneous Failure Modes

Reset value: 70_H

7	6	5	4	3	2	1	0
fm_act_apc		fm spi_wwd		Res		fm_ot_w	
rmw		rmw		none		rmw	

Field	Bits	Type	Description
fm_act_apc	7:6	rmw	APC activation 11 _B , Triggered by VCC out of range and SPI Window Watchdog Time-out 10 _B , Triggered by VCC Overvoltage and SPI Window Watchdog Time-out 01 _B , Triggered by SPI Window Watchdog Time-out (default) 00 _B , APC not triggered
fm_spi_wwd	5:4	rmw	SPI Window Watchdog Time-out Failure Behavior 11 _B , LE - Latched Error (default) 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning
Res	3:2	none	Reserved 00 _B , default value. do not change.
fm_ot_w	1:0	rmw	Overtemperature Detection Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.1.11 Vs & VDHP & VCC 欠压故障模式

Fm_3

Address: 0A_H

Vs & VDHP & VCC Undervoltage Failure Modes

Reset value: 10_H

7	6	5	4	3	2	1	0
Res		fm_uv_vs		fm_uv_vdh		fm_uv_vcc	
none		rmw		rmw		rmw	

Field	Bits	Type	Description
Res	7:6	none	Reserved 00 _B , default value. do not change.
fm_uv_vs	5:4	rmw	Vs Undervoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error (default) 00 _B , W - Warning
fm_uv_vdh	3:2	rmw	VDHP Undervoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)
fm_uv_vcc	1:0	rmw	VCC Undervoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.1.12 Vs & VDHP & VCC 过压故障模式

Fm_4

Address: 0B_H

Vs & VDHP & VCC Overvoltage Failure Modes

Reset value: 20_H

7	6	5	4	3	2	1	0
Res	fm_ov_vs		fm_ov_vdh			fm_ov_vcc	
none	rmw		rmw			rmw	

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
fm_ov_vs	6:5	rmw	Vs Overvoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error (default) 00 _B , W - Warning
fm_ov_vdh	4:2	rmw	VDHP Overvoltage Failure Behavior 111 _B , LE1 - Latched Error all HS FETs off only 110 _B , ARE1 - Auto Restart Error all HS FETs off only 101 _B , Reserved5 100 _B , Reserved4 011 _B , LE - Latched Error all FETs off 010 _B , ARE - Auto Restart Error 001 _B , ERR - Error 000 _B , W - Warning (default)
fm_ov_vcc	1:0	rmw	VCC Overvoltage Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.1.13 短路检测与信号路径监控的故障模式

Fm_5

Short Circuit Detection & Signal Path Supervision
Failure Modes

Address: 0C_H

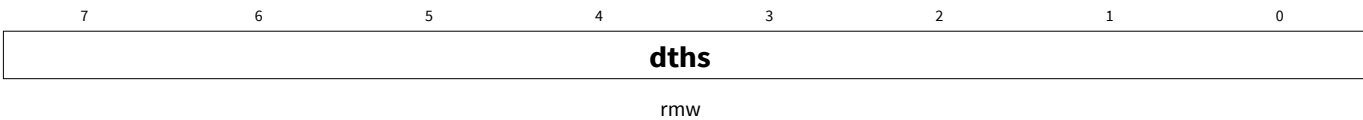
Reset value: 60_H

7	6	5	4	3	2	1	0
fm_scd			fm_outp_ol	fm_osfb		fm_in_diag	
rmw			rmw	rmw		rmw	

Field	Bits	Type	Description
fm_scd	7:5	rmw	Short Circuit Detection Failure Behavior 111 _B , LE2 - Latched Error, affected external FET off 110 _B , LE1 - Latched Error, affected half bridge off 101 _B , Reserved5 100 _B , Reserved4 011 _B , LE - Latched Error, all external FETs off (default) 010 _B , ARE - Auto Restart Error 001 _B , ERR - Error 000 _B , W - Warning
fm_outp_ol	4	rmw	Digital Output Pin Overload Failure Behavior 1 _B , Shutdown of output stages 0 _B , No shutdown of output stages (default)
fm_osfb	3:2	rmw	Output Stage Feedback Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)
fm_in_diag	1:0	rmw	Input Pattern Supervision Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.1.14 死区时间高边

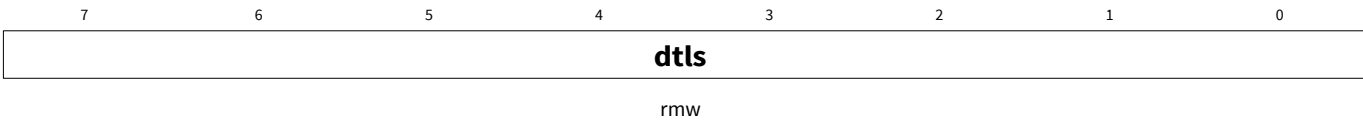
Dt_hs Address: 0D_H
Dead Time High-side Reset value: 0E_H



Field	Bits	Type	Description
dths	7:0	rmw	Dead time for high-side output stages [formula: value*35.7+107; unit: ns] 10100101 _B , 6 μs - maximum dead time 00001110 _B , 600 ns (default) 00000000 _B , 107 ns - minimum dead time

15.1.1.15 死区时间低边

Dt_ls Address: 0E_H
Dead Time Low-side Reset value: 0E_H



Field	Bits	Type	Description
dtls	7:0	rmw	Dead time for low-side output stages [formula: value*35.7+107; unit: ns] 10100101 _B , 6 μs - maximum dead time 00001110 _B , 600 ns (default) 00000000 _B , 107 ns - minimum dead time

15.1.1.16 欠压滤波时间

Ft_1

Undervoltage Filter Times

Address: 0F_H

Reset value: 85_H

7	6	5	4	3	2	1	0
f_uv_bs		f_uv_cb		f_uv_vdh		f_uv_vs	
rmw		rmw		rmw		rmw	

Field	Bits	Type	Description
f_uv_bs	7:6	rmw	High-side Buffer Capacitor Undervoltage Filter Time 11 _B , 10 μs 10 _B , 5 μs (default) 01 _B , 3 μs 00 _B , 1 μs
f_uv_cb	5:4	rmw	CB Undervoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs 00 _B , 10 μs (default)
f_uv_vdh	3:2	rmw	VDHP Undervoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs (default) 00 _B , 10 μs
f_uv_vs	1:0	rmw	Vs Undervoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs (default) 00 _B , 10 μs

15.1.1.17 过压和 VCC 滤波时间

Ft_2

Overvoltage and VCC Filter Times

Address: 10_H

Reset value: 50_H

7	6	5	4	3	2	1	0
f_uv_vcc		f_ov_vcc		f_ov_vdh		f_ov_vs	
rmw		rmw		rmw		rmw	

Field	Bits	Type	Description
f_uv_vcc	7:6	rmw	VCC Undervoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs (default) 00 _B , 10 μs
f_ov_vcc	5:4	rmw	VCC Overvoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs (default) 00 _B , 10 μs
f_ov_vdh	3:2	rmw	VDHP Overvoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs 00 _B , 10 μs (default)
f_ov_vs	1:0	rmw	Vs Overvoltage Filter Time 11 _B , 100 μs 10 _B , 50 μs 01 _B , 25 μs 00 _B , 10 μs (default)

15.1.1.18 过温 & 短路检测滤波时间

Ft_3

Address: 11_H

Overtemperature & Short Circuit Detection Filter Times

Reset value: 0E_H

7	6	5	4	3	2	1	0
f_ot_sd	f_ot_w		f_bl_scd			f-fi_scd	
rmw	rmw		rmw			rmw	

Field	Bits	Type	Description
f_ot_sd	7	rmw	Overtemperature Shutdown Filter Time 1 _B , 50 μs 0 _B , 10 μs (default)
f_ot_w	6:5	rmw	Overtemperature Detection Filter Time 11 _B , 500 μs 10 _B , 100 μs 01 _B , 50 μs 00 _B , 10 μs (default)
f-bl_scd	4:2	rmw	Short Circuit Detection Blanking Time 111 _B , 15 μs 110 _B , 10 μs 101 _B , 5 μs 100 _B , 3.5 μs 011 _B , 2 μs (default) 010 _B , 1.5 μs 001 _B , 1.0 μs 000 _B , 0.7 μs
f-fi_scd	1:0	rmw	Short Circuit Detection Filter Time 11 _B , 5.8 μs 10 _B , 3.8 μs (default) 01 _B , 2.0 μs 00 _B , 1.25 μs

15.1.1.19 过流滤波时间

Ft_4 Address: 12_H
Overcurrent Filter Time Reset value: 02_H

7	6	5	4	3	2	1	0
Res						f_oc_op	
none						rmw	

Field	Bits	Type	Description
Res	7:2	none	Reserved 000000 _B , default value. do not change.
f_oc_op	1:0	rmw	Current Sense Amplifier Overcurrent Filter Time 11 _B , 10 μ s 10 _B , 5 μ s (default) 01 _B , 3 μ s 00 _B , 1.5 μ s

15.1.1.20 过流故障模式

Fm_6

Overcurrent Failure Modes

Address: 13_H

Reset value: 00_H

7	6	5	4	3	2	1	0
Res		fm_oc_op3		fm_oc_op2		fm_oc_op1	
none		rmw		rmw		rmw	

Field	Bits	Type	Description
Res	7:6	none	Reserved 00 _B , default value. do not change.
fm_oc_op3	5:4	rmw	Current Sense Amplifier 3 Overcurrent Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)
fm_oc_op2	3:2	rmw	Current Sense Amplifier 2 Overcurrent Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)
fm_oc_op1	1:0	rmw	Current Sense Amplifier 1 Overcurrent Failure Behavior 11 _B , LE - Latched Error 10 _B , ARE - Auto Restart Error 01 _B , ERR - Error 00 _B , W - Warning (default)

15.1.2 控制寄存器

15.1.2.1 电流检测放大器 1&2 - 增益 1

Op_gain_1

Current Sense Amplifier 1&2 - Gain 1

Address: 20_H

Reset value: 33_H

7	6	5	4	3	2	1	0
Res	op1_gain1			Res	op2_gain1		
none	rw			none	rw		

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
op1_gain1	6:4	rw	Current Sense Amplifier 1 - Gain 1 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 100 _B , 30.81 011 _B , 26.90 (default) 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71
Res	3	none	Reserved 0 _B , default value. do not change.
op2_gain1	2:0	rw	Current Sense Amplifier 2 - Gain 1 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 100 _B , 30.81 011 _B , 26.90 (default) 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71

15.1.2.2 电流检测放大器 1&2 - 增益 2

Op_gain_2

Address: 21_H

Current Sense Amplifier 1&2 - Gain 2

Reset value: 55_H

7	6	5	4	3	2	1	0
Res	op1_gain2			Res	op2_gain2		
none	rw			none	rw		

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
op1_gain2	6:4	rw	Current Sense Amplifier 1 - Gain 2 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 (default) 100 _B , 30.81 011 _B , 26.90 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71
Res	3	none	Reserved 0 _B , default value. do not change.
op2_gain2	2:0	rw	Current Sense Amplifier 2 - Gain 2 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 (default) 100 _B , 30.81 011 _B , 26.90 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71

15.1.2.3 电流检测放大器 3 - 增益 1&2

Op_gain_3

Current Sense Amplifier 3 - Gain 1&2

Address: 22_H

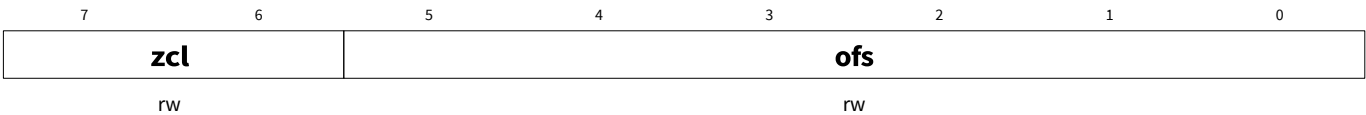
Reset value: 53_H

7	6	5	4	3	2	1	0
Res	op3_gain2			Res	op3_gain1		
none	rw			none	rw		

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
op3_gain2	6:4	rw	Current Sense Amplifier 3 - Gain 2 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 (default) 100 _B , 30.81 011 _B , 26.90 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71
Res	3	none	Reserved 0 _B , default value. do not change.
op3_gain1	2:0	rw	Current Sense Amplifier 3 - Gain 1 111 _B , 83.19 110 _B , 38.13 101 _B , 34.45 100 _B , 30.81 011 _B , 26.90 (default) 010 _B , 23.35 001 _B , 19.56 000 _B , 15.71

15.1.2.4 电流检测放大器零电流偏移

Op_0cl Address: 23_H
Current Sense Amplifier Zero Current Offset Reset value: 5F_H



Field	Bits	Type	Description
zcl	7:6	rw	Zero Current Output Voltage Offset 11 _B , Reserved 10 _B , 2.5 V 01 _B , 1.65 V (default) 00 _B , 0.5 V
ofs	5:0	rw	Zero Current Output Voltage Offset Fine Adjustment 11111 _B , Most positive offset adjustment 01111 _B , No adjustment (default) 00000 _B , Most negative offset adjustment

15.1.2.5 电流检测放大器配置

op_con

Current Sense Amplifier Configuration

Address: 24_H

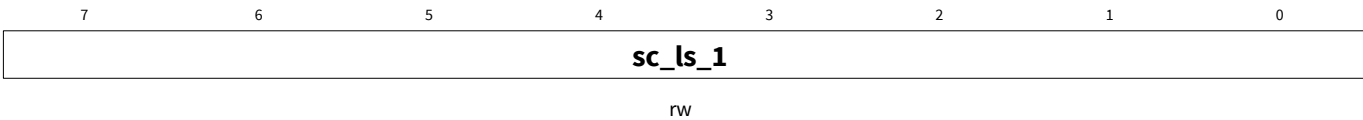
Reset value: 07_H

7	6	5	4	3	2	1	0
op1_cal	op2_cal	op3_cal	Res		op1_cal_n	op2_cal_n	op3_ca_n
rwc	rwc	rwc	none		rwc	rwc	rwc

Field	Bits	Type	Description
op1_cal	7	rwc	CSA 1 Calibration start 1 _B , Set calibration (self clearing if completed) 0 _B , No ongoing calibration (default)
op2_cal	6	rwc	CSA 2 Calibration start 1 _B , Set calibration (self clearing if completed) 0 _B , No ongoing calibration (default)
op3_cal	5	rwc	CSA 3 Calibration start 1 _B , Set calibration (self clearing if completed) 0 _B , No ongoing calibration (default)
Res	4:3	none	Reserved 00 _B , default value. do not change.
op1_cal_n	2	rwc	No CSA 1 Calibration start 1 _B , No ongoing calibration (default) 0 _B , Set calibration (self clearing if completed)
op2_cal_n	1	rwc	No CSA 2 Calibration start 1 _B , No ongoing calibration (default) 0 _B , Set calibration (self clearing if completed)
op3_cal_n	0	rwc	No CSA 3 Calibration start 1 _B , No ongoing calibration (default) 0 _B , Set calibration (self clearing if completed)

15.1.2.6 短路检测阈值低边 1

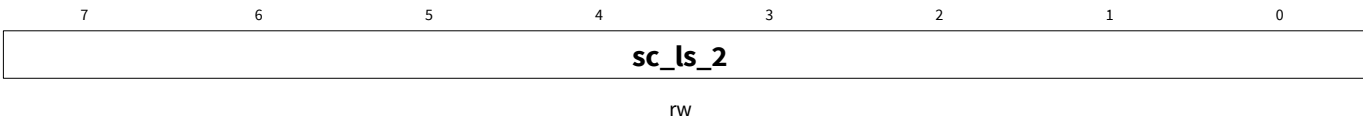
Sc_ls_1 Address: 25_H
Short Circuit Detection Threshold Low-side 1 Reset value: 1A_H



Field	Bits	Type	Description
sc_ls_1	7:0	rw	Low-side 1 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.7 短路检测阈值低边 2

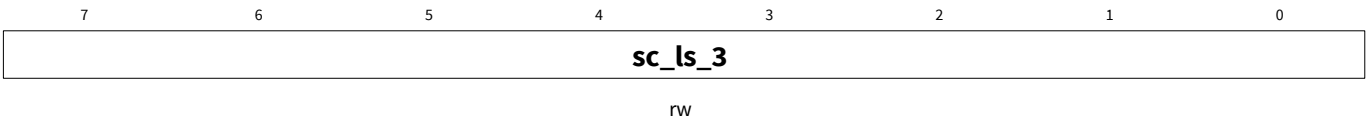
Sc_ls_2 Address: 26_H
Short Circuit Detection Threshold Low-side 2 Reset value: 1A_H



Field	Bits	Type	Description
sc_ls_2	7:0	rw	Low-side 2 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.8 短路检测阈值低边 3

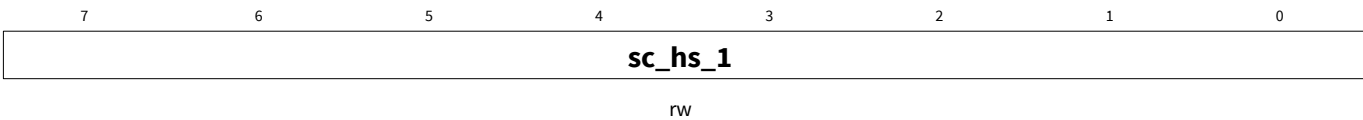
Sc_ls_3 Address: 27_H
Short Circuit Detection Threshold Low-side 3 Reset value: 1A_H



Field	Bits	Type	Description
sc_ls_3	7:0	rw	Low-side 3 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.9 短路检测阈值高边 1

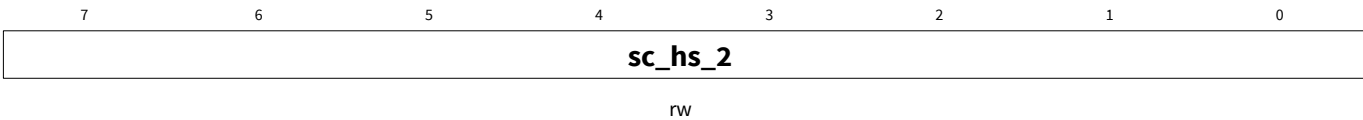
Sc_hs_1 Address: 28_H
Short Circuit Detection Threshold High-side 1 Reset value: 1A_H



Field	Bits	Type	Description
sc_hs_1	7:0	rw	High-side 1 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.10 短路检测阈值高边 2

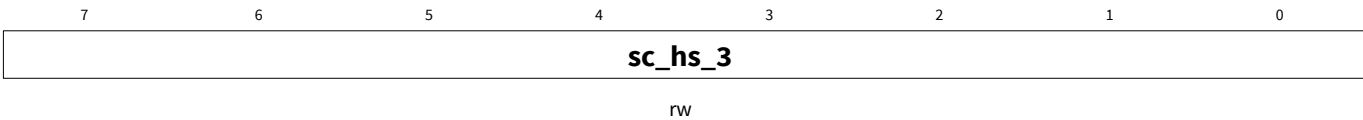
Sc_hs_2 Address: 29_H
Short Circuit Detection Threshold High-side 2 Reset value: 1A_H



Field	Bits	Type	Description
sc_hs_2	7:0	rw	High-side 2 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.11 短路检测阈值高边 3

Sc_hs_3 Address: 2A_H
Short Circuit Detection Threshold High-side 3 Reset value: 1A_H



Field	Bits	Type	Description
sc_hs_3	7:0	rw	High-side 3 SCD Threshold (positive Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , SCD deactivated 01111110 _B , 1.472 V - Maximum SCDL 00011010 _B , 304 mV (default) 00000001 _B , 11.7 mV - Minimum SCDL

15.1.2.12 跛行激活和半桥停用

Li_ctr

Address: 2B

Limp Home Activation and Half Bridge Deactivation

Reset value: E8_H

7	6	5	4	3	2	1	0
en_hb3	en_hb2	en_hb1	en_limp	ex_limp	dis_hb3	dis_hb2	dis_hb1
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
en_hb3	7	rw	Enable Half Bridge 3 1 _B , Output stages of half bridge 3 active (default) 0 _B , Output stages of half bridge 3 external FET off, dedicated protection functions deactivated
en_hb2	6	rw	Enable Half Bridge 2 1 _B , Output stages of half bridge 2 active (default) 0 _B , Output stages of half bridge 2 external FET off, dedicated protection functions deactivated
en_hb1	5	rw	Enable Half Bridge 1 1 _B , Output stages of half bridge 1 active (default) 0 _B , Output stages of half bridge 1 external FET off, dedicated protection functions deactivated
en_limp	4	rw	Limp home Mode Entry 1 _B , Enter 0 _B , Exit (default)
ex_limp	3	rw	Limp home Mode Exit 1 _B , Exit (default) 0 _B , Enter
dis_hb3	2	rw	Disable Half Bridge 3 1 _B , Output stages of half bridge 3 external FET off, dedicated protection functions deactivated 0 _B , Output stages of half bridge 3 active (default)
dis_hb2	1	rw	Disable Half Bridge 2 1 _B , Output stages of half bridge 2 external FET off, dedicated protection functions deactivated 0 _B , Output stages of half bridge 2 active (default)
dis_hb1	0	rw	Disable Half Bridge 1 1 _B , Output stages of half bridge 1 external FET off, dedicated protection functions deactivated 0 _B , Output stages of half bridge 1 active (default)

15.1.2.13 移相电压反馈和 CSA 增益

Misc_ctr

Shift Phase Voltage Feedback and CSA Gain

Address: 2C_H

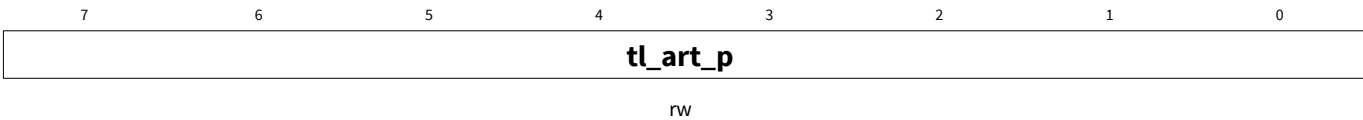
Reset value: 00_H

7	6	5	4	3	2	1	0
sh_op_gain	Res			art		Res	pfb
rw	none			rw		none	rw

Field	Bits	Type	Description
sh_op_gain	7	rw	Shift between the gain registers of the Current Sense Amplifier Gain 1 _B , Gain Setting opX_gain2 active 0 _B , Gain Setting opX_gain1 active (default)
Res	6:4	none	Reserved 000 _B , default value. do not change.
art	3:2	rw	Phase Selection in Rectification Mode 11 _B , Reserved 10 _B , Phase 3 selected 01 _B , Phase 2 selected 00 _B , Phase 1 selected (default)
Res	1	none	Reserved 0 _B , default value. do not change.
pfb	0	rw	Digital Phase Feedback Thresholds 1 _B , 50/50% 0 _B , 80/25% (default)

15.1.2.14 无源整流阈值

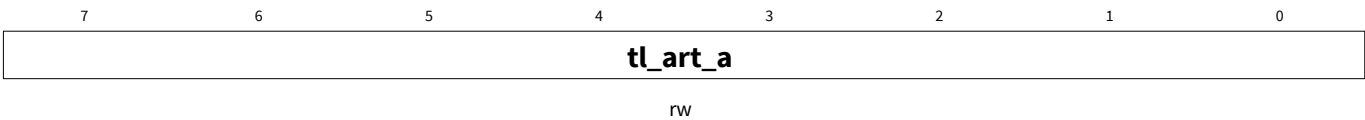
art_tlp Address: 2D_H
Passive Rectification Threshold Reset value: F8_H



Field	Bits	Type	Description
tl_art_p	7:0	rw	Passive Rectification Threshold (Two's Complement only) [formula: (value-1)*1.215/104; unit: Volt] 00000001 _B , -0 V - Maximum value 00000000 _B , -0.0117 V 11111000 _B , -0.105 V (default) 10000001 _B , -1.495 V - Minimum value 10000000 _B , deactivated

15.1.2.15 有源整流阈值

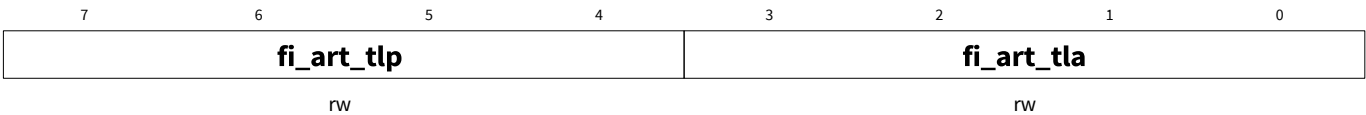
art_tla Address: 2E_H
Active Rectification Threshold Reset value: 06_H



Field	Bits	Type	Description
tl_art_a	7:0	rw	Active Rectification Threshold (Two's Complement only) [formula: (value)*1.215/104; unit: Volt] 01111111 _B , deactivated 01111110 _B , 1.472 V - Maximum value 00000110 _B , 0.070 V (default) 00000001 _B , 0.0117 V 00000000 _B , 0 V - Minimum value

15.1.2.16 整流滤波时间

art_fi Address: 2F_H
Rectification Filter Time Reset value: 53_H



Field	Bits	Type	Description
fi_art_tlp	7:4	rw	Passive Rectification Filter Time 1111 _B , Maximum Filter Time 0101 _B , Default Filter Time 0000 _B , Minimum Filter Time
fi_art_tla	3:0	rw	Active Rectification Filter Time 1111 _B , Maximum Filter Time 0011 _B , Default Filter Time 0000 _B , Minimum Filter Time

15.1.2.17 整流精度

art_acc

Rectification Accuracy

Address: 30_H

Reset value: 21_H

7	6	5	4	3	2	1	0
acc_art_tlp			Res		acc_art_tla		
rw			none		rw		

Field	Bits	Type	Description
acc_art_tlp	7:5	rw	Passive Rectification Accuracy 111 _B , Reserved7 110 _B , Reserved6 101 _B , Reserved5 100 _B , High accuracy 011 _B , Reserved3 010 _B , Medium accuracy 001 _B , Low accuracy (default) 000 _B , Reserved0
Res	4:3	none	Reserved 00 _B , default value. do not change.
acc_art_tla	2:0	rw	Active Rectification Accuracy 111 _B , Reserved7 110 _B , Reserved6 101 _B , Reserved5 100 _B , High accuracy 011 _B , Reserved3 010 _B , Medium accuracy 001 _B , Low accuracy (default) 000 _B , Reserved0

15.1.2.18 整流模式进入

art_entry

Rectification Mode entry

Address: 31_H

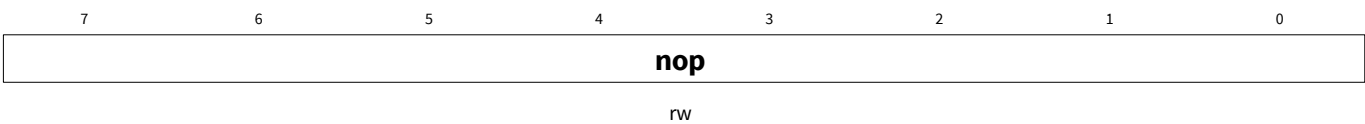
Reset value: 80_H

7	6	5	4	3	2	1	0
art_dis	Res						art_en
rw	none						rw

Field	Bits	Type	Description
art_dis	7	rw	Rectification Mode Disable 1 _B , Exit rectification mode (default) 0 _B , Enter rectification mode
Res	6:1	none	Reserved 000000 _B , default value. do not change.
art_en	0	rw	Rectification Mode Enable 1 _B , Enter rectification mode 0 _B , Exit rectification mode (default)

15.1.2.19 无操作

nop Address: 32_H
No Operation Reset value: 00_H



Field	Bits	Type	Description
nop	7:0	rw	No Operation 00000000 _B , default

15.1.2.20 反向二极管测量

Drev_mark

Reverse Diode Measurement

Address: 33_H

Reset value: 00_H

7	6	5	4	3	2	1	0
Drev_acc		hs3	hs2	hs1	ls3	ls2	ls1
rw		rwc	rwc	rwc	rwc	rwc	rwc

Field	Bits	Type	Description
Drev_acc	7:6	rw	Accuracy of Reverse Diode Measurement 11 _B , Reserved 3 10 _B , High Accuracy 01 _B , Medium Accuracy 00 _B , Low Accuracy (default)
hs3	5	rwc	High-side 3 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)
hs2	4	rwc	High-side 2 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)
hs1	3	rwc	High-side 1 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)
ls3	2	rwc	Low-side 3 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)
ls2	1	rwc	Low-side 2 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)
ls1	0	rwc	Low-side 1 Reverse Diode Measurement 1 _B , Enabled (self clearing after measurement completed) 0 _B , Disabled (default)

15.1.2.21 漏源测量

Ds_mark

Drain Source Measurement

Address: 34_H

Reset value: 00_H

7	6	5	4	3	2	1	0
Res	hs3	hs2	hs1	ls3	ls2	ls1	
none	rwc	rwc	rwc	rwc	rwc	rwc	

Field	Bits	Type	Description
Res	7:6	none	Reserved 00 _B , default value. do not change.
hs3	5	rwc	High-side 3 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)
hs2	4	rwc	High-side 2 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)
hs1	3	rwc	High-side 1 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)
ls3	2	rwc	Low-side 3 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)
ls2	1	rwc	Low-side 2 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)
ls1	0	rwc	Low-side 1 Drain Source Measurement 1 _B , Enabled (self clearing after measurement deactivated) 0 _B , Disabled (default)

15.1.3 自检寄存器

15.1.3.1 自检选择 1

Sel_st_1 Address: 35_H
Self Test Selection 1 Reset value: 00_H

7	6	5	4	3	2	1	0
st_uv_vcc	st_scd_hs	st_scd_ls	st_uv_cb	Res	st_hs	st_ls	Res
rw	rw	rw	rw	none	rwc	rwc	none

Field	Bits	Type	Description
st_uv_vcc	7	rw	VCC Undervoltage Self Test 1 _B , Enable 0 _B , Disable (default)
st_scd_hs	6	rw	Short Circuit Detection at High-side Self Test 1 _B , Enable 0 _B , Disable (default)
st_scd_ls	5	rw	Short Circuit Detection at Low-side Self Test 1 _B , Enable 0 _B , Disable (default)
st_uv_cb	4	rw	CB Undervoltage Self Test 1 _B , Enable 0 _B , Disable (default)
Res	3	none	Reserved 0 _B , default value. do not change.
st_hs	2	rwc	Drain Source Voltage Measurement High-side Self Test 1 _B , Enable (self clearing) 0 _B , Disable (default)
st_ls	1	rwc	Drain Source Voltage Measurement Low-side Self Test 1 _B , Enable (self clearing) 0 _B , Disable (default)
Res	0	none	Reserved 0 _B , default value. do not change.

15.1.3.2 自检选择 2

Sel_st_2

Address: 36_H

Self Test Selection 2

Reset value: 00_H

7	6	5	4	3	2	1	0
Res	en_op3_gt2	en_op3_gt1	en_op2_gt2	en_op2_gt1	en_op1_gt2	en_op1_gt1	en_vreg_op
none	rw	rw	rw	rw	rw	rw	rwc

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
en_op3_gt2	6	rw	Current Sense Amplifier 3 - Self-test of CSA3 gain test high voltage VSSC_GTIHV with gain register op3_gain2 1 _B , Enable 0 _B , Disable (default)
en_op3_gt1	5	rw	Current Sense Amplifier 3 - Self-test of CSA3 gain test low voltage VSSC_GTILV with gain register op3_gain1 1 _B , Enable 0 _B , Disable (default)
en_op2_gt2	4	rw	Current Sense Amplifier 2 - Self-test of CSA2 gain test high voltage VSSC_GTIHV with gain register op2_gain2 1 _B , Enable 0 _B , Disable (default)
en_op2_gt1	3	rw	Current Sense Amplifier 2 - Self-test of CSA2 gain test low voltage VSSC_GTILV with gain register op2_gain1 1 _B , Enable 0 _B , Disable (default)
en_op1_gt2	2	rw	Current Sense Amplifier 1 - Self-test of CSA1 gain test high voltage VSSC_GTIHV with gain register op1_gain2 1 _B , Enable 0 _B , Disable (default)
en_op1_gt1	1	rw	Current Sense Amplifier 1 - Self-test of CSA1 gain test low voltage VSSC_GTILV with gain register op1_gain1 1 _B , Enable 0 _B , Disable (default)
en_vreg_op	0	rwc	Supply Voltage Measurement of Current Sense Amplifiers and Reference Buffer 1 _B , Enable 0 _B , Disable (default)

15.1.3.3 自检模式进入

En_st

Self Test Mode Entry

Address: 37_H

Reset value: 80_H

7	6	5	4	3	2	1	0
dis_st	Res						en_st
rw	none						rw

Field	Bits	Type	Description
dis_st	7	rw	Self Test Mode Disable 1 _B , Exit self test mode (default) 0 _B , Enter self test mode
Res	6:1	none	Reserved 000000 _B , default value. do not change.
en_st	0	rw	Self Test Mode Enable 1 _B , Enter self test mode 0 _B , Exit self test mode (default)

15.1.4 读取寄存器

15.1.4.1 工作模式概述

Om_over

Operation Mode Overview

Address: 40_H

Reset value: 00_H

7	6	5	4	3	2	1	0
norm_m	rect_m	err_m	soff_m	self_test_m	conf_lock	conf_m	idle_
r	r	r	r	r	r	r	r

Field	Bits	Type	Description
norm_m	7	r	Normal Operation Mode (Motor Driving Mode) Active 1 _B , In Driving Mode 0 _B , Not in Driving Mode
rect_m	6	r	Normal Operation Mode (Rectification Mode) Active 1 _B , In Rectification Mode 0 _B , Not in Rectification Mode
err_m	5	r	Error Mode Active 1 _B , in Error Mode 0 _B , Not in Error Mode
soff_m	4	r	SOFF Mode Active 1 _B , In SOFF Mode 0 _B , Not in SOFF Mode
self_test_m	3	r	Self Test Mode Active 1 _B , in Self Test Mode 0 _B , Not in Self Test Mode
conf_lock	2	r	Configuration Lock Mode Active 1 _B , In Configuration Lock Mode 0 _B , Not in Configuration Lock Mode
conf_m	1	r	Configuration Mode Active 1 _B , In Configuration Mode 0 _B , Not in Configuration Mode
idle_m	0	r	Idle Mode Active 1 _B , In Idle Mode 0 _B , Not in Idle Mode

15.1.4.2 错误概述

Err_over

Address: 41_H

Error Overview

Reset value: 00_H

7	6	5	4	3	2	1	0
int12	ext	outp	indiag	sd	scd	op	osf
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
int12	7	rc	Internal Error 1 _B , Error set 0 _B , No error
ext	6	rc	External Error 1 _B , Error set 0 _B , No error
outp	5	rc	Output Pin Error 1 _B , Error set 0 _B , No error
indiag	4	rc	Input Pattern Violation Error 1 _B , Error set 0 _B , No error
sd	3	rc	Shutdown Error 1 _B , Error set 0 _B , No error
scd	2	rc	Short Circuit Error 1 _B , Error set 0 _B , No error
op	1	rc	Current Sense Amplifier Error 1 _B , Error set 0 _B , No error
osf	0	rc	Output Stage Feedback Error 1 _B , Error set 0 _B , No error

15.1.4.3 特殊事件寄存器

Ser Address: 42_H
Special Event Register Reset value: 00_H

7	6	5	4	3	2	1	0
err_ot_w	lfw	ctrl_reg_in valid	gtm	apc_act	Res	limp_on	rom
rc	rc	rc	r	r	none	r	rc

Field	Bits	Type	Description
err_ot_w	7	rc	Overtemperature Detection 1 _B , Error set 0 _B , No error
lfw	6	rc	Latent Fault Warning 1 _B , Error set 0 _B , No error
ctrl_reg_invalid	5	rc	Error Correction of Control Register Failed 1 _B , Failed 0 _B , No fail
gtm	4	r	global test mode 1 _B , Entered 0 _B , Not in global test mode
apc_act	3	r	Phase Cut off Activation 1 _B , Activated 0 _B , Deactivated
Res	2	none	Reserved 0 _B , default value. do not change.
limp_on	1	r	Limp Home Mode 1 _B , In Limp Home Mode 0 _B , Not in Limp Home Mode (default)
rom	0	rc	Reduced Operation Mode has occurred 1 _B , ROM occurred 0 _B , No ROM occurred

15.1.4.4 内部错误 1

Err_i_1

Address: 43_H

Internal Errors 1

Reset value: 00_H

7	6	5	4	3	2	1	0
Res	err_uv_cb	err_uv_reg 5	err_uv_reg 6	err_ov_reg 6	err_uv_reg 4	err_uv_vcc _rom	err_ov_reg 1
none	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
err_uv_cb	6	rc	CB Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_reg5	5	rc	Undervoltage Internal Regulator 5 Error for Reduced Operation Mode 1 _B , Error set 0 _B , No error
err_uv_reg6	4	rc	Undervoltage Internal Regulator 6 Error 1 _B , Error set 0 _B , No error
err_ov_reg6	3	rc	Overvoltage Internal Regulator 6 Error 1 _B , Error set 0 _B , No error
err_uv_reg4	2	rc	Undervoltage Internal Regulator 4 Error 1 _B , Error set 0 _B , No error
err_uv_vcc_rom	1	rc	Undervoltage External VCC for Reduced Operation Mode 1 _B , Error set 0 _B , No error
err_ov_reg1	0	rc	Overvoltage Internal Regulator 1 Error 1 _B , Error set 0 _B , No error

15.1.4.5 内部错误 2

Err_i_2

Address: 44_H

Internal Errors 2

Reset value: 00_H

7	6	5	4	3	2	1	0
err_ov_bs1	err_ov_bs2	err_ov_bs3	err_cp1	err_cp2	err_uv_bs1	err_uv_bs2	err_uv_bs3
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
err_ov_bs1	7	rc	High-side Buffer Capacitor 1 Overvoltage Detection Error 1 _B , Error set 0 _B , No error
err_ov_bs2	6	rc	High-side Buffer Capacitor 2 Overvoltage Detection Error 1 _B , Error set 0 _B , No error
err_ov_bs3	5	rc	High-side Buffer Capacitor 3 Overvoltage Detection Error 1 _B , Error set 0 _B , No error
err_cp1	4	rc	Charge Pump 1 Overload Error 1 _B , Error set 0 _B , No error
err_cp2	3	rc	Charge Pump 2 Overload Error 1 _B , Error set 0 _B , No error
err_uv_bs1	2	rc	High-side Buffer Capacitor 1 Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_bs2	1	rc	High-side Buffer Capacitor 2 Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_bs3	0	rc	High-side Buffer Capacitor 3 Undervoltage Detection Error 1 _B , Error set 0 _B , No error

15.1.4.6 外部错误

Err_e

Address: 45_H

External Errors

Reset value: 00_H

7	6	5	4	3	2	1	0
Res	err_ov_ld_vdh	err_ov_vcc	err_uv_vcc	err_uv_vs	err_ov_vs	err_uv_vdh	err_ov_vdh
none	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
err_ov_ld_vdh	6	rc	Load Dump Detection CH2 at Pin VDHP 1 _B , Error set 0 _B , No error
err_ov_vcc	5	rc	VCC Overvoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_vcc	4	rc	VCC Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_vs	3	rc	Vs Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_ov_vs	2	rc	Vs Overvoltage Detection Error 1 _B , Error set 0 _B , No error
err_uv_vdh	1	rc	VDHP Undervoltage Detection Error 1 _B , Error set 0 _B , No error
err_ov_vdh	0	rc	VDHP Overvoltage Detection Error 1 _B , Error set 0 _B , No error

15.1.4.7 关断错误

Err_sd

Shutdown Errors

Address: 46_H

Reset value: 00_H

7	6	5	4	3	2	1	0
sd_ot	sd_ov_vs	sd_ov_vdh	sd_uv_cb	sd_clkfail	sd_ov_cp	sd_cp1	sd_ddp_stuck
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
sd_ot	7	rc	Overtemperature Shutdown 1 _B , Error set 0 _B , No error
sd_ov_vs	6	rc	Vs Overvoltage Shutdown 1 _B , Error set 0 _B , No error
sd_ov_vdh	5	rc	VDHP Overvoltage Shutdown 1 _B , Error set 0 _B , No error
sd_uv_cb	4	rc	CB Undervoltage Shutdown 1 _B , Error set 0 _B , No error
sd_clkfail	3	rc	Internal Clock Supervision Shutdown 1 _B , Error set 0 _B , No error
sd_ov_cp	2	rc	Charge Pump Overvoltage Shutdown at Pin CB or Pin CH2-CL2 1 _B , Error set 0 _B , No error
sd_cp1	1	rc	Vs Path Charge Pump Input Overload 1 _B , Error set 0 _B , No error
sd_ddp_stuck	0	rc	Digital Driving Path Stucked Shutdown 1 _B , Error set 0 _B , No error

15.1.4.8 短路错误

Err_scd

Short Circuit Errors

Address: 47_H

Reset value: 00_H

7	6	5	4	3	2	1	0
err_scd_hs1	err_scd_hs2	err_scd_hs3	err_scd_ls1	err_scd_ls2	err_scd_ls3	Res	
rc	rc	rc	rc	rc	rc	none	

Field	Bits	Type	Description
err_scd_hs1	7	rc	Short Circuit Detection at High-side 1 1 _B , Error set 0 _B , No error
err_scd_hs2	6	rc	Short Circuit Detection at High-side 2 1 _B , Error set 0 _B , No error
err_scd_hs3	5	rc	Short Circuit Detection at High-side 3 1 _B , Error set 0 _B , No error
err_scd_ls1	4	rc	Short Circuit Detection at Low-side 1 1 _B , Error set 0 _B , No error
err_scd_ls2	3	rc	Short Circuit Detection at Low-side 2 1 _B , Error set 0 _B , No error
err_scd_ls3	2	rc	Short Circuit Detection at Low-side 3 1 _B , Error set 0 _B , No error
Res	1:0	none	Reserved 00 _B , default value. do not change.

15.1.4.9 输入模式违规

Err_indiag

Address: 48_H

Input Pattern Violations

Reset value: 00_H

7	6	5	4	3	2	1	0
err_ind_hs1	err_ind_hs2	err_ind_hs3	err_ind_ls1	err_ind_ls2	err_ind_ls3	Res	
rc	rc	rc	rc	rc	rc	none	

Field	Bits	Type	Description
err_ind_hs1	7	rc	Input Pattern Violation at IH1_N 1 _B , Error set 0 _B , No error
err_ind_hs2	6	rc	Input Pattern Violation at IH2_N 1 _B , Error set 0 _B , No error
err_ind_hs3	5	rc	Input Pattern Violation at IH3_N 1 _B , Error set 0 _B , No error
err_ind_ls1	4	rc	Input Pattern Violation at IL1 1 _B , Error set 0 _B , No error
err_ind_ls2	3	rc	Input Pattern Violation at IL2 1 _B , Error set 0 _B , No error
err_ind_ls3	2	rc	Input Pattern Violation at IL3 1 _B , Error set 0 _B , No error
Res	1:0	none	Reserved 00 _B , default value. do not change.

15.1.4.10 输出级反馈错误

Err_osf

Output Stage Feedback Errors

Address: 49_H

Reset value: 00_H

7	6	5	4	3	2	1	0
err_osf_hs3	err_osf_hs2	err_osf_hs1	err_osf_ls3	err_osf_ls2	err_osf_ls1	Res	
rc	rc	rc	rc	rc	rc	none	

Field	Bits	Type	Description
err_osf_hs3	7	rc	Output Stage High-side 3 Feedback Error 1 _B , Error set 0 _B , No error
err_osf_hs2	6	rc	Output Stage High-side 2 Feedback Error 1 _B , Error set 0 _B , No error
err_osf_hs1	5	rc	Output Stage High-side 1 Feedback Error 1 _B , Error set 0 _B , No error
err_osf_ls3	4	rc	Output Stage Low-side 3 Feedback Error 1 _B , Error set 0 _B , No error
err_osf_ls2	3	rc	Output Stage Low-side 2 Feedback Error 1 _B , Error set 0 _B , No error
err_osf_ls1	2	rc	Output Stage Low-side 1 Feedback Error 1 _B , Error set 0 _B , No error
Res	1:0	none	Reserved 00 _B , default value. do not change.

15.1.4.11 SPI 通信和配置错误

Err_spiconf

Address: 4A_H

SPI Communication and Configuration Errors

Reset value: 00_H

7	6	5	4	3	2	1	0
Res	conf_sig_in valid	conf_to	spi_add_in valid	err_spi_crc	err_spi_wd	err_spi_to	err_spi_fra me
none	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
Res	7	none	Reserved 0 _B , default value. do not change.
conf_sig_invalid	6	rc	Configuration Signature Invalid 1 _B , Error set 0 _B , No error
conf_to	5	rc	Configuration Time-Out 1 _B , Error set 0 _B , No error
spi_add_invalid	4	rc	Invalid Address Access 1 _B , Error set 0 _B , No error
err_spi_crc	3	rc	SPI CRC Error 1 _B , Error set 0 _B , No error
err_spi_wd	2	rc	SPI watchdog Error 1 _B , Error set 0 _B , No error
err_spi_to	1	rc	SPI Time-out 1 _B , Error set 0 _B , No error
err_spi_frame	0	rc	SPI Frame Error 1 _B , Error set 0 _B , No error

15.1.4.12 电流检测放大器 1 & 2 错误

Err_op_12

Address: 4B_H

Current Sense Amplifiers 1 & 2 Errors

Reset value: 00_H

7	6	5	4	3	2	1	0
err_op2_calib	err_op2_ov	err_op2_uv	err_oc_op2	err_op1_calib	err_op1_ov	err_op1_uv	err_oc_op1
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
err_op2_calib	7	rc	Current Sense Amplifier 2 Calibration Failed 1 _B , Error set 0 _B , No error
err_op2_ov	6	rc	Current Sense Amplifier 2 Supply Overvoltage 1 _B , Error set 0 _B , No error
err_op2_uv	5	rc	Current Sense Amplifier 2 Supply Undervoltage 1 _B , Error set 0 _B , No error
err_oc_op2	4	rc	Current Sense Amplifier 2 Overcurrent 1 _B , Error set 0 _B , No error
err_op1_calib	3	rc	Current Sense Amplifier 1 Calibration Failed 1 _B , Error set 0 _B , No error
err_op1_ov	2	rc	Current Sense Amplifier 1 and VRO Buffer Supply Overvoltage 1 _B , Error set 0 _B , No error
err_op1_uv	1	rc	Current Sense Amplifier 1 and VRO Buffer Supply Undervoltage 1 _B , Error set 0 _B , No error
err_oc_op1	0	rc	Current Sense Amplifier 1 Overcurrent 1 _B , Error set 0 _B , No error

15.1.4.13 电流检测放大器 3

Err_op_3 Address: 4C_H
Current Sense Amplifier 3 Reset value: 00_H

7	6	5	4	3	2	1	0
Res				err_op3_calib	err_op3_ov	err_op3_uv	err_oc_op3
none				rc	rc	rc	rc

Field	Bits	Type	Description
Res	7:4	none	Reserved 0000 _B , default value. do not change.
err_op3_calib	3	rc	Current Sense Amplifier 3 Calibration Failed 1 _B , Error set 0 _B , No error
err_op3_ov	2	rc	Current Sense Amplifier 3 Supply Overvoltage 1 _B , Error set 0 _B , No error
err_op3_uv	1	rc	Current Sense Amplifier 3 Supply Undervoltage 1 _B , Error set 0 _B , No error
err_oc_op3	0	rc	Current Sense Amplifier 3 Overcurrent 1 _B , Error set 0 _B , No error

15.1.4.14 数字输出引脚错误

Err_outp Address: 4D_H
Digital Output Pin Errors Reset value: 00_H

7	6	5	4	3	2	1	0
Res		err_outp_P FB3	err_outp_P FB2	err_outp_P FB1	err_outp_ miso	err_outp_e rrn	
none		rc	rc	rc	rc	rc	

Field	Bits	Type	Description
Res	7:5	none	Reserved 000 _B , default value. do not change.
err_outp_PFB3	4	rc	PFB3 Pin Shorted 1 _B , Error set 0 _B , No error
err_outp_PFB2	3	rc	PFB2 Pin Shorted 1 _B , Error set 0 _B , No error
err_outp_PFB1	2	rc	PFB1 Pin Shorted 1 _B , Error set 0 _B , No error
err_outp_miso	1	rc	MISO Pin Shorted 1 _B , Error set 0 _B , No error
err_outp_errn	0	rc	ERR_N Pin Shorted 1 _B , Error set 0 _B , No error

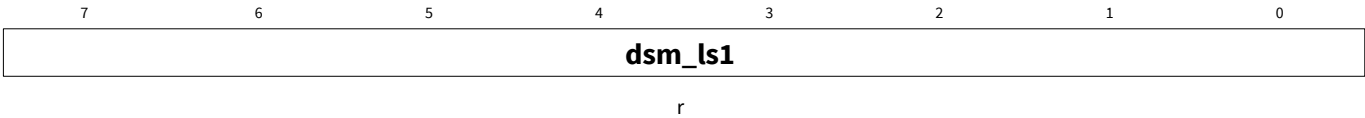
15.1.4.15 低边 1 漏源测量

dsm_ls1

Address:4E_H

Low-side 1 Drain Source Measurement

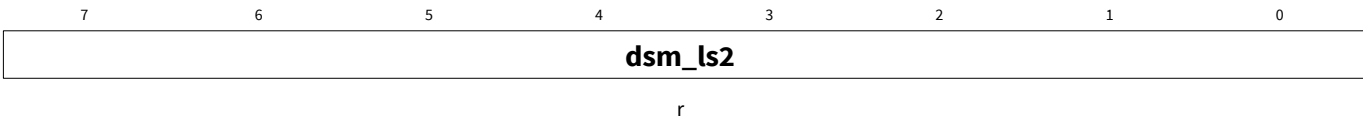
Reset value:00_H



Field	Bits	Type	Description
dsm_ls1	7:0	r	Low-side 1 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111_B, 1.472 V - Maximum value 10000000_B, -1.496 V - Minimum value

15.1.4.16 低边 2 漏源测量

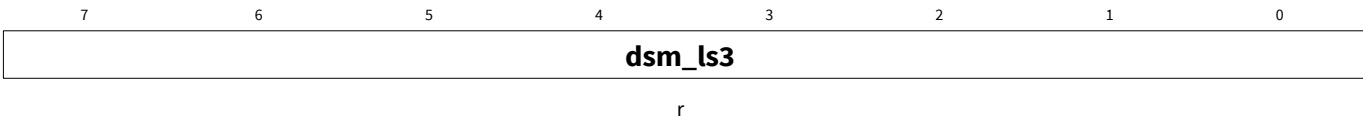
dsm_ls2 Address: 4F_H
Low-side 2 Drain Source Measurement Reset value: 00_H



Field	Bits	Type	Description
dsm_ls2	7:0	r	Low-side 2 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.17 低边 3 漏源测量

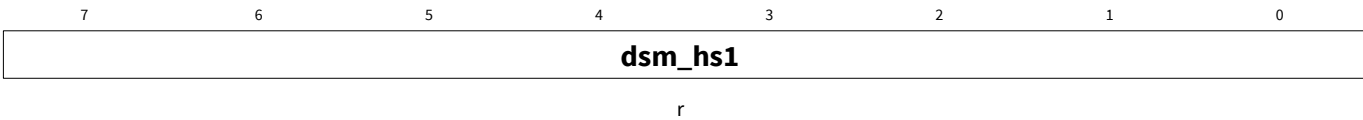
dsm_ls3 Address: 50_H
Low-side 3 Drain Source Measurement Reset value: 00_H



Field	Bits	Type	Description
dsm_ls3	7:0	r	Low-side 3 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.18 高边 1 漏源测量

dsm_hs1 Address: 51_H
High-side 1 Drain Source Measurement Reset value: 00_H



Field	Bits	Type	Description
dsm_hs1	7:0	r	High-side 1 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.19 高边 2 漏源测量

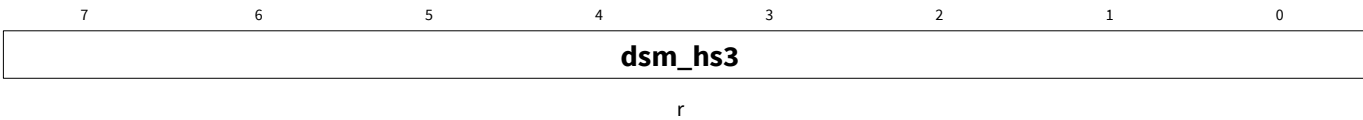
dsm_hs2 Address: 52_H
High-side 2 Drain Source Measurement Reset value: 00_H



Field	Bits	Type	Description
dsm_hs2	7:0	r	High-side 2 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.20 高边 3 漏源测量

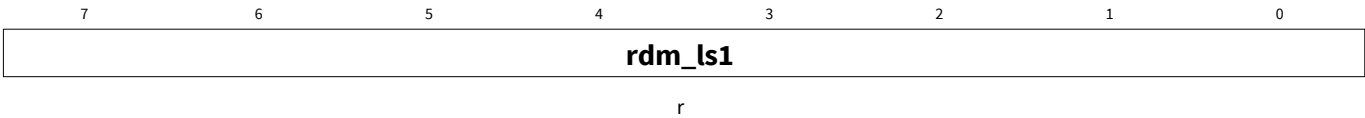
dsm_hs3 Address: 53_H
High-side 3 Drain Source Measurement Reset value: 00_H



Field	Bits	Type	Description
dsm_hs3	7:0	r	High-side 3 Drain Source Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.21 低边 1 反向二极管测量

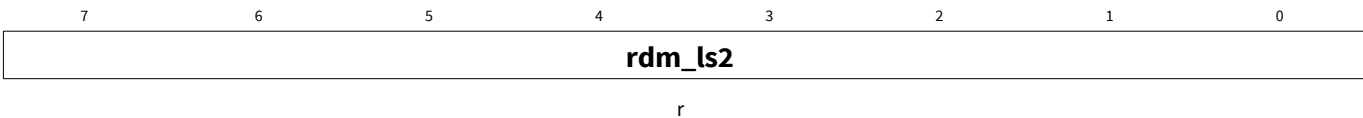
Rdm_ls1 Address: 54_H
Low-side 1 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_ls1	7:0	r	Low-side 1 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.22 低边2 反向二极管测量

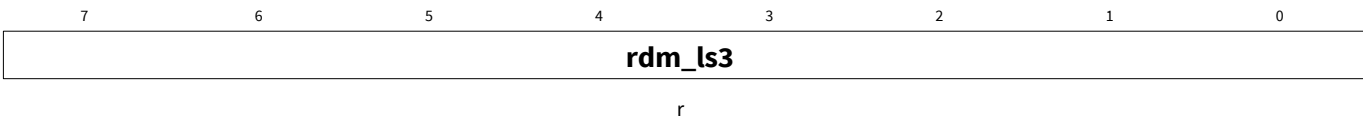
Rdm_ls2 Address: 55_H
Low-side 2 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_ls2	7:0	r	Low-side 2 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.23 低边 3 反向二极管测量

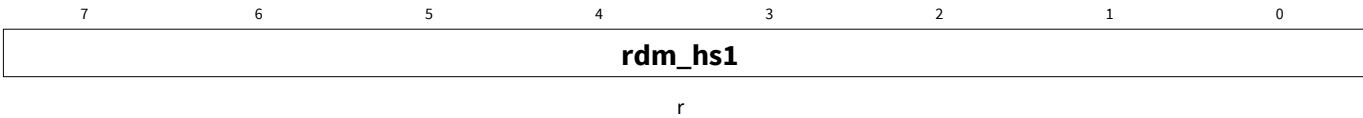
Rdm_ls3 Address: 56_H
Low-side 3 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_ls3	7:0	r	Low-side 3 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.24 高边 1 反向二极管测量

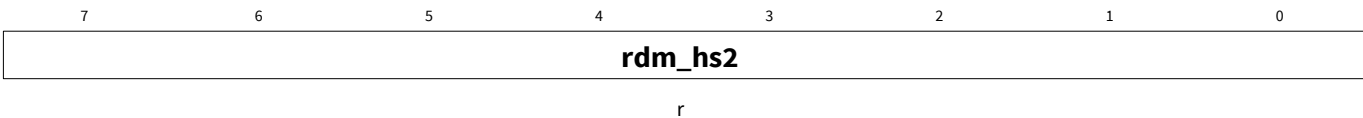
Rdm_hs1 Address: 57_H
High-side 1 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_hs1	7:0	r	High-side 1 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.25 高边 2 反向二极管测量

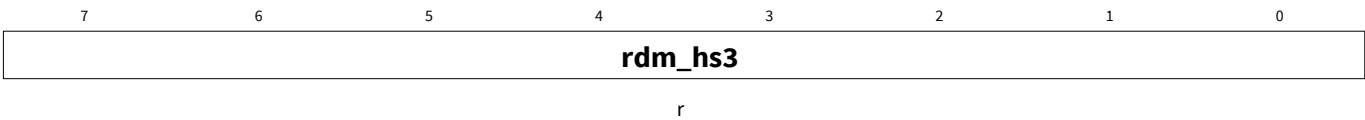
Rdm_hs2 Address: 58_H
High-side 2 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_hs2	7:0	r	High-side 2 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.26 高边 3 反向二极管测量

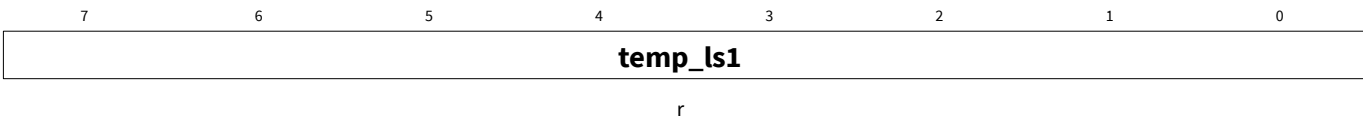
Rdm_hs3 Address: 59_H
High-side 3 Reverse Diode Measurement Reset value: 00_H



Field	Bits	Type	Description
rdm_hs3	7:0	r	High-side 3 Reverse Diode Measurement Result (Two's Complement) [formula: (value-1)*1.215/104; unit: Volt] 01111111 _B , 1.472 V - Maximum value 10000000 _B , -1.496 V - Minimum value

15.1.4.27 低边 1 输出级温度

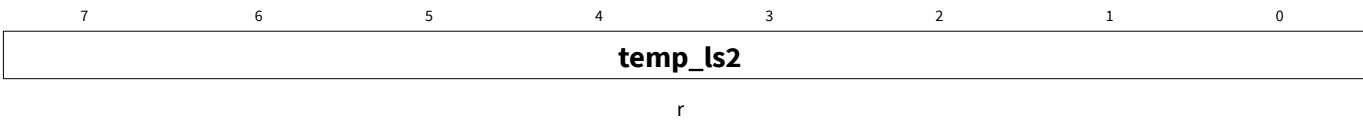
temp_ls1 Address: 5A_H
Low-side 1 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_ls1	7:0	r	Low-side 1 Output Stage Temperature [formula: value*2.74*1.215/1.2/255; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.28 低边 2 输出级温度

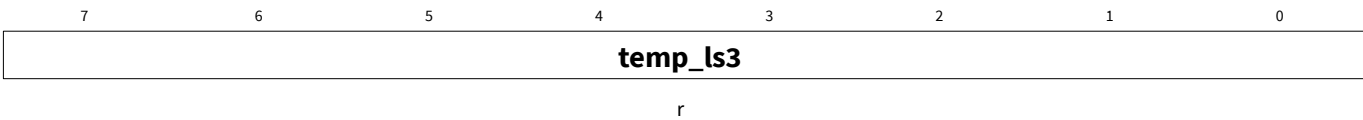
temp_ls2 Address: 5B_H
Low-side 2 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_ls2	7:0	r	Low-side 2 Output Stage Temperature [formula: value*2.74*1.215/1.2/255; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.29 低边 3 输出级温度

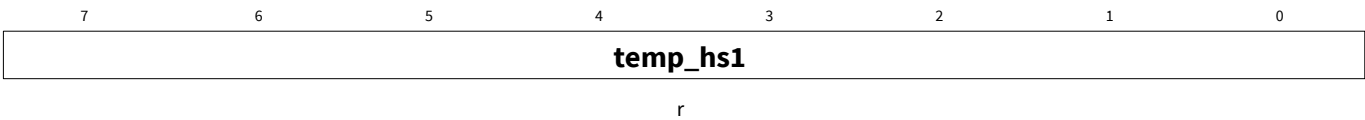
temp_ls3 Address: 5C_H
Low-side 3 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_ls3	7:0	r	Low-side 3 Output Stage Temperature [formula: value*2.74*1.215/1.2/255; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.30 高边 1 输出级温度

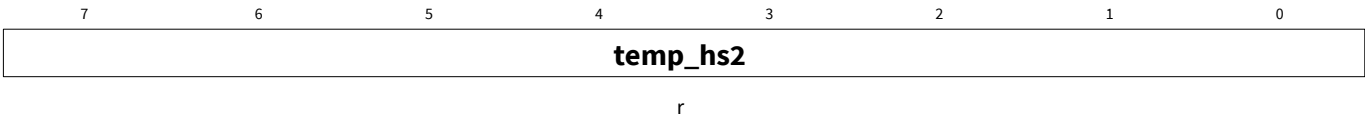
temp_hs1 Address: 5D_H
High-side 1 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_hs1	7:0	r	High-side 1 Output Stage Temperature [formula: $\text{value} \times 2.74 \times 1.215 / 1.2 / 255$; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.31 高边 2 输出级温度

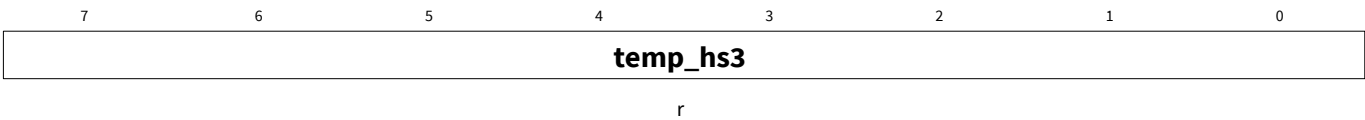
temp_hs2 Address: 5E_H
High-side 2 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_hs2	7:0	r	High-side 2 Output Stage Temperature [formula: value*2.74*1.215/1.2/255; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.32 高边 3 输出级温度

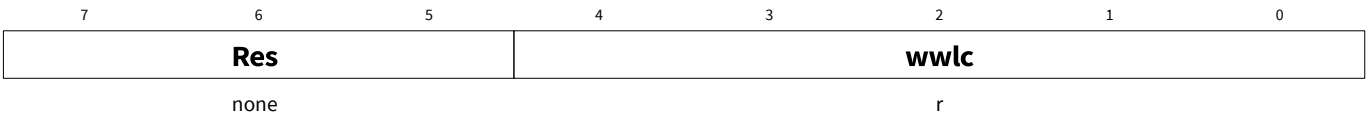
temp_hs3 Address: 5F_H
High-side 3 Output Stage Temperature Reset value: 00_H



Field	Bits	Type	Description
temp_hs3	7:0	r	High-side 3 Output Stage Temperature [formula: value*2.74*1.215/1.2/255; unit: Volt] 1111111 _B , 2.774 V - Maximum value 0000000 _B , 0 V - Minimum value

15.1.4.33 窗口看门狗循环计数器

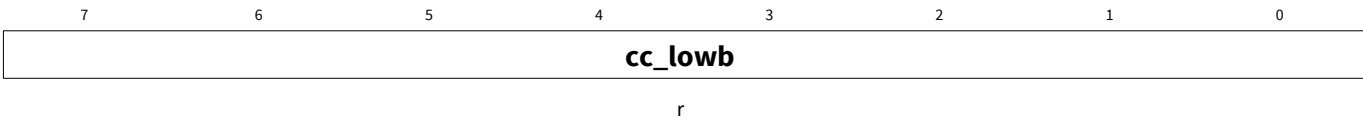
wwlc Address: 60_H
Window Watchdog Loop Counter Reset value: 00_H



Field	Bits	Type	Description
Res	7:5	none	Reserved 000 _B , default value. do not change.
wwlc	4:0	r	Window Watchdog Loop Counter 10000 _B , Maximum Value 00000 _B , Minimum Value (default)

15.1.4.34 看门狗时钟计数器 1

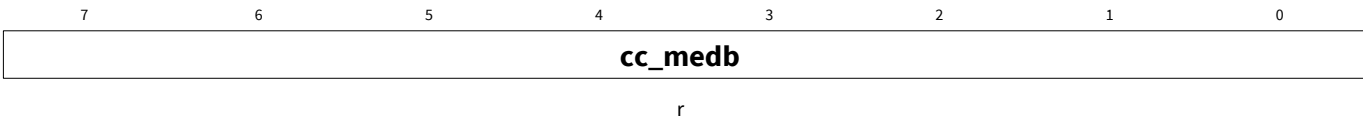
res_cc1 Address: 61_H
Watchdog Clock Counter 1 Reset value: 00_H



Field	Bits	Type	Description
cc_lowb	7:0	r	clock counter window watchdog low byte 11111111 _B , Maximum Value 00000000 _B , Minimum Value

15.1.4.35 看门狗时钟计数器 2

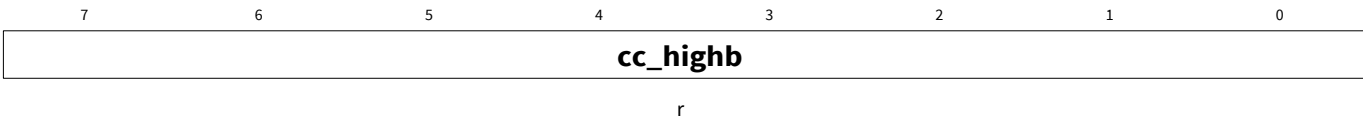
res_cc2 Address: 62_H
Watchdog Clock Counter 2 Reset value: 00_H



Field	Bits	Type	Description
cc_medb	7:0	r	clock counter window watchdog medium byte 11111111 _B , Maximum Value 00000000 _B , Minimum Value

15.1.4.36 看门狗时钟计数器 3

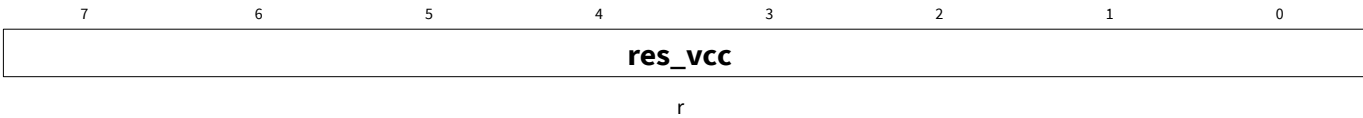
res_cc3 Address: 63_H
Watchdog Clock Counter 3 Reset value: 00_H



Field	Bits	Type	Description
cc_highb	7:0	r	clock counter window watchdog high byte 11111111 _B , Maximum Value 00000000 _B , Minimum Value

15.1.4.37 VCC 测量结果

res_vcc Address: 64_H
VCC Measurement Result Reset value: 00_H



Field	Bits	Type	Description
res_vcc	7:0	r	VCC Measurement Result [formula: value*5.48*1.215/1.2/255; unit: Volt] 1111111 _B , 5.55 V - Maximum value 0000000 _B , 0 V - Minimum Value

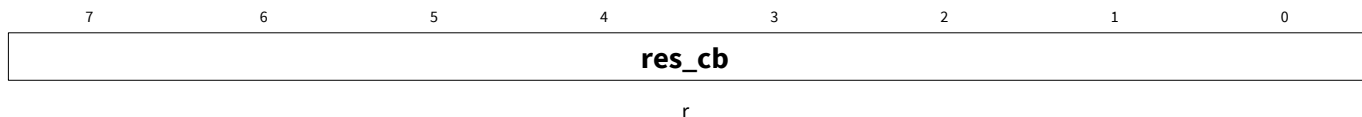
15.1.4.38 CB 测量结果

res_cb

Address: 65_H

CB Measurement Result

Reset value: 00_H



Field	Bits	Type	Description
res_cb	7:0	r	CB Measurement Result [formula: value*19.44/255; unit: Volt] 11111111 _B , 19.44 V - Maximum value 00000000 _B , 0 V - Minimum value

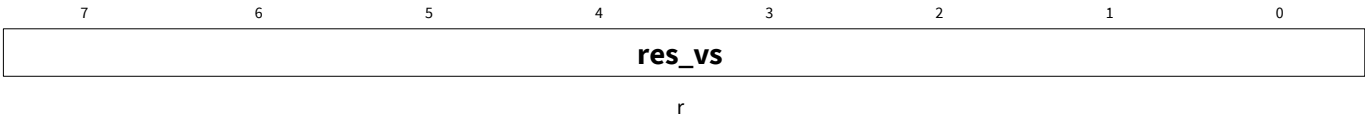
15.1.4.39 Vs 测量结果

res_vs

Vs Measurement Result

Address: 66_H

Reset value: 00_H

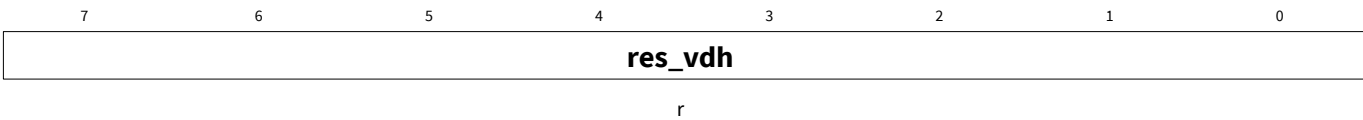


Field	Bits	Type	Description
res_vs	7:0	r	Vs Measurement Result [formula: value*77.76/255; unit: Volt] 1111111 _B , 77.76 V - Maximum value 0000000 _B , 0 V - Minimum value

15 寄存器规格

15.1.4.40 VDHP 测量结果

res_vdh Address: 67_H
VDHP Measurement Result Reset value: 00_H



Field	Bits	Type	Description
res_vdh	7:0	r	VDHP Measurement Result [formula: value*77.76/255; unit: Volt] 11111111 _B , 77.76 V - Maximum value 00000000 _B , 0 V - Minimum value

16 应用信息

在此应用中，使用同步和异步三相电机，具有高输出性能、低空间要求和高可靠性。

注： 以下信息是为了帮助设计和实现器件的应用，而不是对器件的功能、性能或质量做出任何承诺或保证。

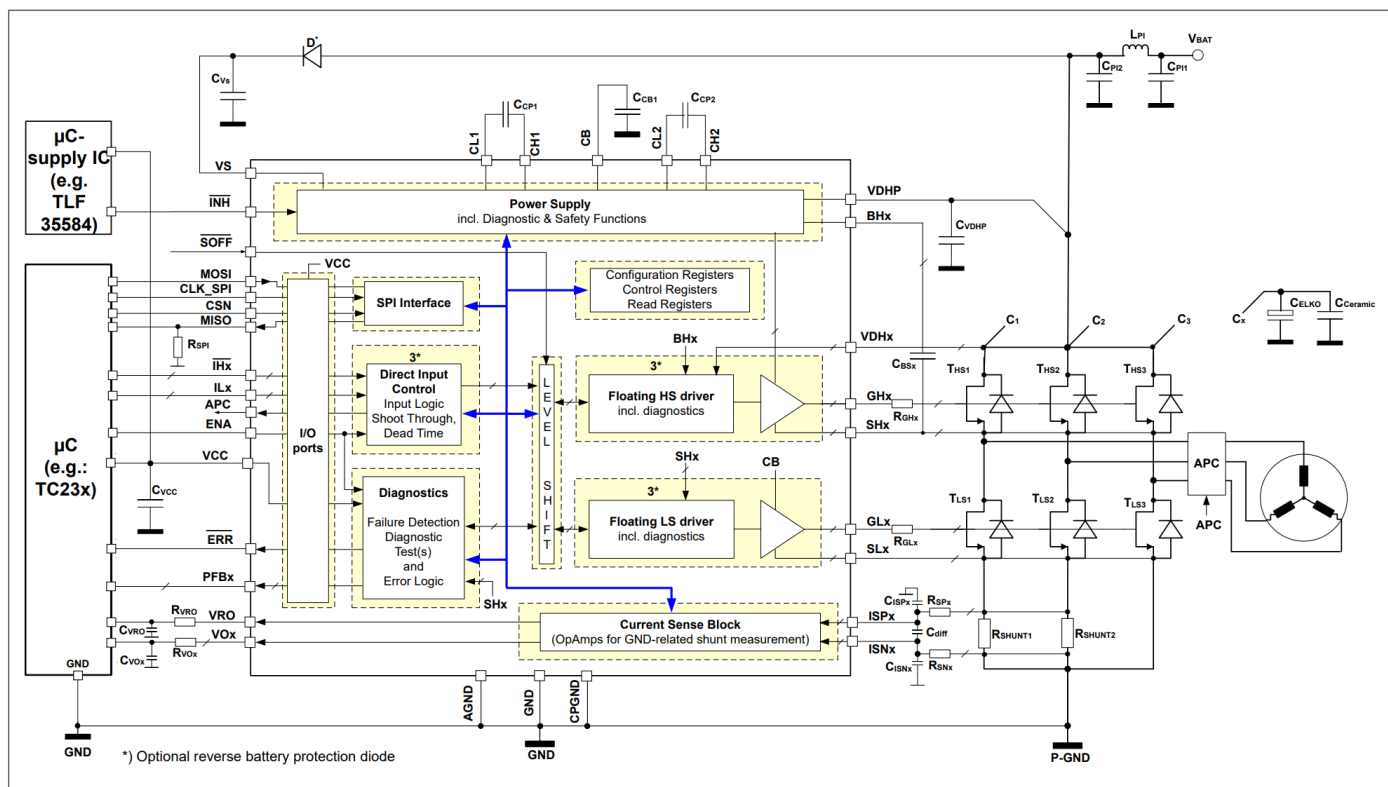


图 36 简化应用电路

注： 这是极简的应用电路。该功能需在实际应用中进行验证。

16.1 布局指南

另请参阅简化应用示例。

- 应使用三个独立的大容量电容器 CBridge1 - 每个半桥一个
- 应使用三个独立的陶瓷电容器 CBridge2 - 每个半桥一个
- 3 个大容量电容器 CBridge1 和 3 个陶瓷电容器 Cbridge2 应分别分配给一个半桥，并且应放置在非常靠近该半桥的位置
- 一个半桥内的组件应彼此靠近放置，以将杂散干扰降至最低：高边 MOSFET、低边 MOSFET、大容量电容器 CBridge1 和陶瓷电容器 CBridge2 (CBridge1和CBridge2并联) 和检流电阻形成一个环路，环路应尽可能小且紧密。走线应短而宽。
- 这三个半桥可以分开；然而，当三个半桥共用一个参考接地的检流电阻时，三个低端 MOSFET 的源极应彼此靠近并靠近共用的检流电阻

- 可以放置额外的 RC 缓冲电路（R 和 C 串联），以在 MOSFET 开关期间衰减振荡。每个半桥可以有一个或两个缓冲电路。R（几欧姆）和 C（几 nF）在布线和封装方面必须是低电感的（陶瓷电容器）。
- 封装背面的裸露焊盘建议连接至 GND。
- 接地引脚 GND、CP_GND、A_GND 必须在靠近芯片的位置共同连接至 PCB 地。
- VDHP 必须连接并参考高边 MOSFET 的公共漏极
- 如需了解更多信息，您可以访问<http://www.infineon.cn>

16.2 附加组件建议

可能建议增加外部组件，以提高稳健性。

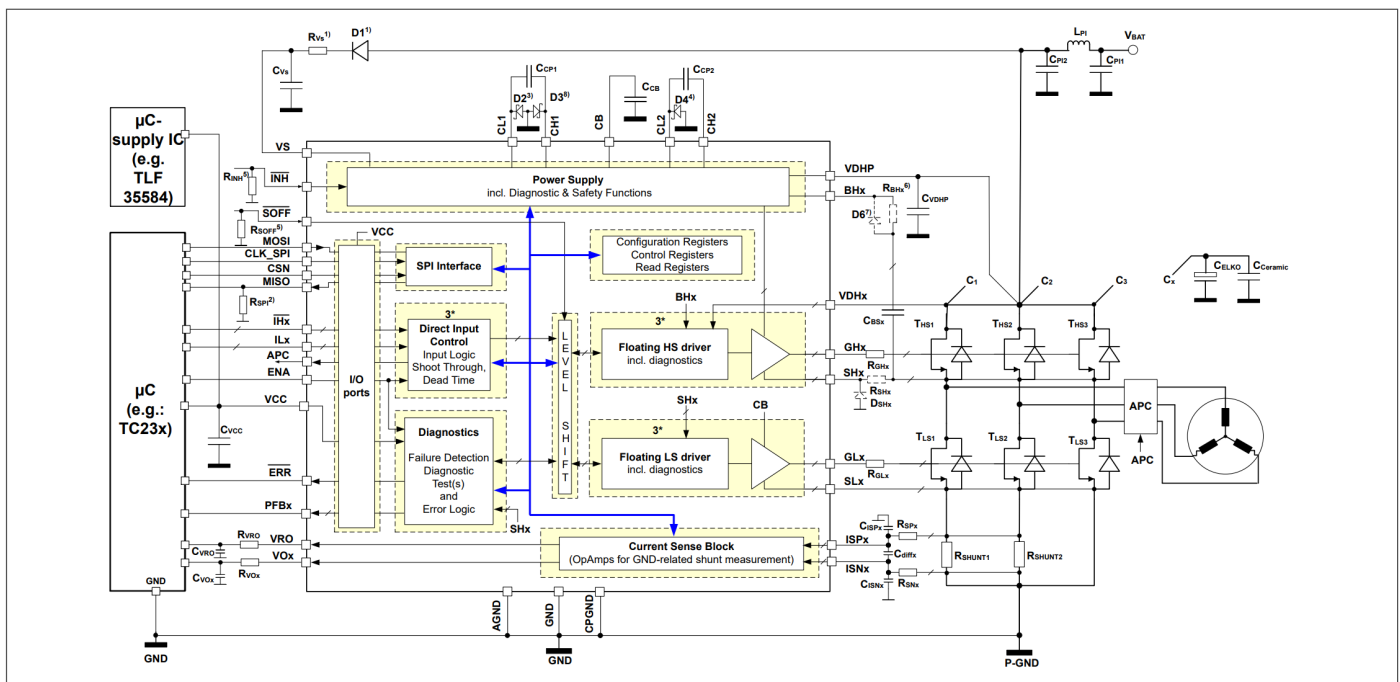


图 37 简化的推荐应用电路（含附加元件）

16.2.1 附加组件

请参见第 16.2 章中的"带附加元器件的简化推荐应用电路"图。

- 1) R_{Vs} 或 D1 应作为反极性保护并滤除电池电源的电压降。
- 2) 请参阅第 16.3.6 章：需要通过外部电阻或内部微控制器端口终端将终端接地。
- 3) D2 应防止在引脚 Vs 发生斜率 $\geq 6V/100\mu s$ 的压降后，器件无意中置位至空闲模式并丢失配置数据。由于 Vs 引脚处有足够的输入滤波，因此不需要 D2。
- 4) D4 应防止器件无意中置位至空闲模式并丢失配置数据。
- 5) 在应用条件下，为满足低静态电流参数要求，需要使用下拉电阻
- 6) 建议使用电阻 R_{BHx} ，以避免在参数 VBH 或 $VfSHx$ 处违反最小限值。
- 7) 如果 R_{BHx} 高于 7Ω ，建议使用 D6。

- 8) D3 应防止在引脚 V_s 发生斜率 $\geq 6V/100\mu s$ 的压降后, 器件无意中置位至空闲模式并丢失配置数据。 V_s 引脚具有足够的滤波能力, 无需 D3。若 D3 未使用, 则应在 CL1 处放置一个 $100\text{ k}\Omega$ 接地电阻。

另外, D_{SHx} 的保护电路 R_{SHx} 可在电机连接点 SHx 引脚处的负向瞬态电压超过最大额定值时, 防止器件损坏。如果 R_{SHx} 应用在自举电容器的负极和外部高边 FET 的源极之间, 则必须特别注意。在这种情况下, 自举电容器充电脉冲将通过 R_{SHx} 产生降压。该电压可为高边 FET 导通提供足够的栅极源电压。

16.3 其他应用提示

可能建议增加外部组件, 以提高稳健性。

16.3.1 数字输出引脚的高电平输出电压

请参阅第 4.7 章。

对于使用的 5 V μC 端口, 数字输出引脚 ERR、 $\overline{\text{PFBx}}$ 和 MISO 的高电平输出最低电压值可能太低。在这种情况下, 请将端口配置为 TTL。

带有 3.3 V 端口的 μC 不受影响。

16.3.2 引脚 V_s 静态电流损耗

请参阅表 10。

将 $\overline{\text{INH}}$ 拉至低电平后, 引脚 V_s 处的静态电流在短时间内可高达 $20\text{ }\mu\text{A}$ 。这种效应与温度密切相关。在高温条件下, 衰减时间为几秒钟, 在常温条件下为几分钟, 在低温条件下长达 1 小时。

16.3.3 引脚 $\overline{\text{IHx}}$ 和 ILx 的最小输入脉冲

请参阅第 8.4 章。

在引脚 $\overline{\text{IHx}}$ 和 ILx 处输入短于 50 ns 的导通脉冲可能会导致外部 FET 的导通时间增加至最大值 1000 ns 。已观察到 CB 引脚处出现短暂电压毛刺。

如果使用 6 个 μC 输出端口来驱动 6 个 FET, 并且 μC 产生死区时间, 则应避免 $\overline{\text{IHx}}$ 和 ILx 处的输入脉冲短于 $t_{\text{Pulse_ino}}$

如果使用 3 个 μC 输出端口来驱动 6 个 FET, 并使用 TLE9180D-21QK 的内部死区时间, 则应避免 $\overline{\text{IHx}}$ 和 ILx 处的输入脉冲短于内部死区 $+t_{\text{Pulse_ino}}$

如果已识别出 CB 引脚毛刺, 请联系英飞凌。

16.3.4 CSA 串扰

已发现 CP2 与电流检测放大器输出 3 的串扰。根据电荷泵 2 充电脉冲, 引脚 VO3 处的电压尖峰将影响电流检测放大器 3 的电流测量。

另外, APC、 $\overline{\text{ERR}}$ 和 $\overline{\text{PFBx}}$ 信号切换将在 CSA 2 和 CSA 1 上引起电压尖峰。

由电荷泵 2 引起的电压尖峰典型值为 $\pm 55\text{ mV}$ 。

由 $\overline{\text{PFBx}}$ 引脚切换引起的电压尖峰典型值为 $\pm 35\text{--}600\text{ mV}$ 。

由 APC 和 $\overline{\text{ERR}}$ 引脚切换引起的电压尖峰典型值为 $\pm 25\text{ mV}$ 。

解决方法

如果 $\overline{\text{PFBx}}$ 端口正在切换, 则不应通过 μC 的 ADC 进行电流测量。输出滤波器带宽应降低, 并且应激活 ADC 的过采样。请联系英飞凌

16.3.5 CP1过载

请参阅表 21。

如果 CB 引脚发生短路，过载保护功能可防止 IC 损坏。

通过 $0\ \Omega$ 将引脚 CB 直接连接到接地将导致配置损耗，但所有输出级将保持外部 FET 关闭。CB 电容器的放电斜率较高，因为典型值 $100\ \mu\text{s}$ 不会导致配置丢失。

解决方法

如果发生配置丢失，TLE9180D-21QK 将处于空闲模式，需要通过将 $\overline{\text{INH}}$ 拉至低电平来重新启动。在这种情况下，应在引脚 $\overline{\text{INH}}$ 置位为低电平之前执行 ENA 复位。如果 TLE9180D-21QK 没有丢失配置，故障位过载 CP1 置位，需要通过 ENA 而不是 $\overline{\text{INH}}$ 进行复位来清除错误。

16.3.6 数字输出引脚过载检测

请参阅第 10.5.16 章。

数字输出引脚的过载保护功能可在该引脚发生短路且短路电压高于 VCC 时，保护 IC 免于损坏。

如果 VCC 为 5 V，则此保护在寒冷温度下过于敏感。如果引脚被外部上拉至 VCC，则可能会检测到过载。

如果 VCC 为 3.3 V，则过载保护按规定工作。

受影响的引脚是：ERR、PFBx 和 MISO。通常 ERR 和 PFBx 不会被外部电路上拉至 VCC，因此不会发生过载检测。

如果 SPI 与其他 IC 共享，TLE9180D-21QK 的 MISO 引脚可能会被其他 IC 的 MISO 输出拉至 5 V，并可能导致过载检测。

将多个 TLE9180D-21QK 作为从属设备连接到 SPI 总线不会导致意外行为。

16.3.7 FET 反向二极管正向电压读取 - 短死区时间

请参阅第 10.5.13 章。

如果配置的死区时间短于典型 400 ns 和最大 800 ns，则反极性保护二极管读取的测量序列将发生故障。

如果死区时间高于 800 ns，则序列符合规定。

如果配置的死区时间短于 800 ns，则不应执行 FET 反向二极管测量。

16.3.8 FET 反向二极管正向电压读取 - 无死区时间生成（以 μC 为单位）

请参阅第 10.5.13 章。

如果使用 TLE9180D-21QK 的内部死区时间使用 3 个 μC 输出端口来驱动 6 个 FET（ILx 连接到 $\overline{\text{IHx}}$ ），则 FET 电压测量可能会导致读取读数错误。

死区时间应在 μC 处产生，且应高于 800 ns。

16.3.9 上电序列中的最小 $\overline{\text{INH}}$ 脉冲长度

请参阅 $t_{\text{INH_min}}$ 。

如果上电序列通过 $\overline{\text{INH}}$ 的上升沿触发，但在 CB 电压建立完成之前（由欠压 CB 关断位为 0 指示） $\overline{\text{INH}}$ 出现下降沿，则设备将保持在空闲模式。如果设备保持在空闲模式且无法进入配置模式，则应将 $\overline{\text{INH}}$ 重新置为高电平。

16 应用信息

16.3.10 有限操作模式 INH 置位至低

在有限操作模式下，如果 INH 设置为“低”且 $V_{CB} < V_{CBUVSD}$ ，则可能无法进入睡眠模式。如需了解更多信息，请参阅 TLE9180 应用笔记“有限操作模式 INH 置位至低”。

17 封装外形

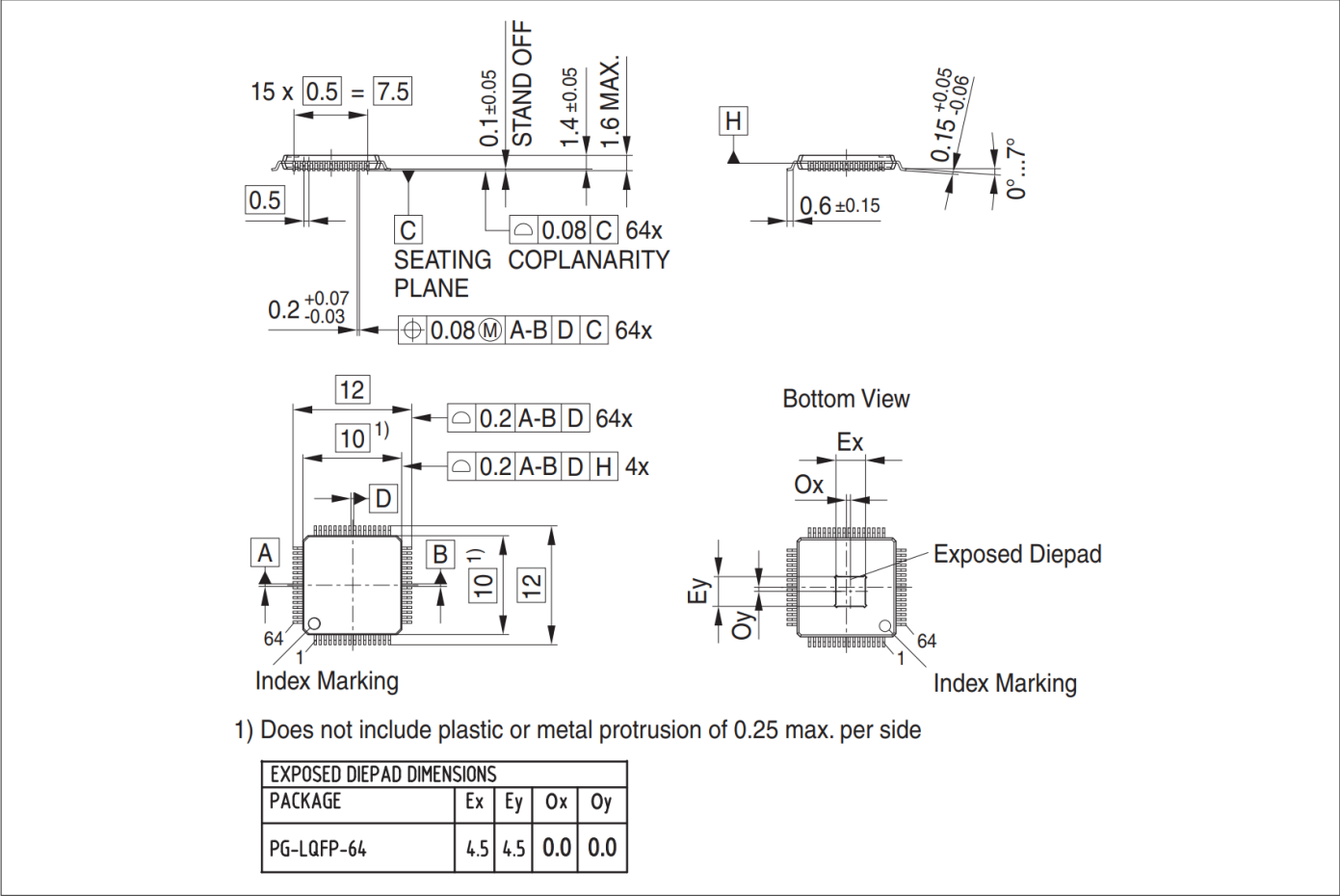


图 38 PG-LQFP-64

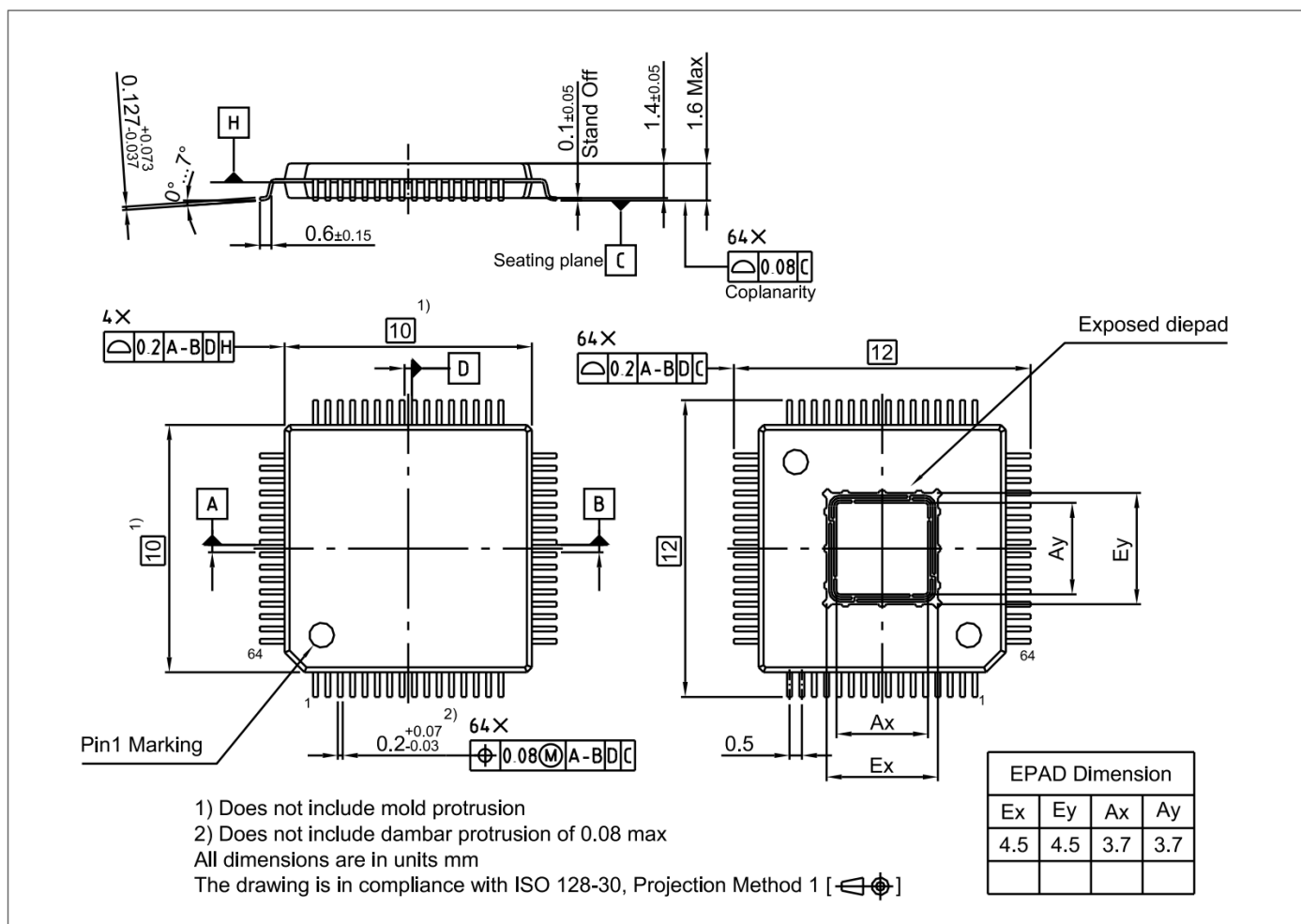


图 39 PG-LQFP-64

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅表面处理，适合无铅焊接（符合 IPC/JEDEC J-STD-020））。

有关替代封装的更多信息，请访问我们的网站：

<http://www.infineon.com/packages>.

所有尺寸均以mm为单位

修订记录

Revision	Date	Changes
1.40	2024-02-22	P_4.1.57 and P_4.1.65 removed P_4.1.58 value updated
1.31	2023-04-30	Editorial change
1.30	2022-03-08	Changed footnotes of table "Electrical Characteristics: Timing" Footnote of P_8.3.28 removed Note 3 in chapter "Absolute Maximum Ratings" removed Updated figure "Overview of Digital Operation Modes" Figure "Package outlines" updated

Revision	Date	Changes
1.20	2021-05-06	Editorial changes P_9.4.19 and P_9.4.21 min. value updated Chapter 16.2.1 footnotes changed Changed min. value of P_5.7.47 Changed max. value of P_8.3.36 Changed max. value of P_12.2.6 P_5.7.24 and P_5.7.57 removed, P_5.7.38 and P_5.7.44 test conditions updated Chapter 7.1 updated Updated figure Principle for SPI-Bus Architecture Table 7 header updated Chapter 13.3 updated Changed symbol in P_11.6.115, P_11.6.78 and P_11.6.79 Chapter 9.5.1 updated Changed test condition for P_11.6.12 Table 24 modified and footnote updated Updated figure Recommended Sequence for Self Test Short Circuit Detection Low-side Chapter 10.5.4 and P_8.3.38 updated Changed footnote for P_6.5.1 - P_6.5.17 and P_6.5.19 Changed max. value and footnote of P_4.3.31 Updated footnote for P_11.6.5, P_11.6.14, P_11.6.19, P_11.6.23, P_11.6.29, P_11.6.35, P_11.6.43, P_11.6.52, P_11.6.47, P_11.6.68, P_11.6.69, P_11.6.72, P_11.6.75, P_11.6.85, P_11.6.89, P_11.6.90, P_11.6.92, P_11.6.93, P_11.6.98, P_11.6.99, P_11.6.100, P_11.6.106, P_11.6.107, P_9.6.20, P_9.6.37, P_9.4.30, P_13.2.1 Chapter 10.5.16 updated Added comment for path 1 in "Overview of Digital Operation Modes", figure updated Added Chapter "Reduced Operation Mode INH set to low" footnote 3 and 8 changed P_4.1.61 added footnote P_5.7.17 added max. limit Changed footnote for Table 7 P_4.1.56 removed and added footnote for P_4.1.55 P_4.1.39 added footnote P_4.1.29 changed condition Updated figure Simplified Application Circuit Changed typ. value for P_11.6.51

Revision	Date	Changes
1.10	2018-10-19	Editorial changes P_4.1.30, P_4.1.31, P_9.6.21 and P_11.6.105 removed P_4.2.3 footnote corrected P_4.1.29, P_5.7.38, P_5.7.44 and P_6.5.19 min. limit changed P_6.5.15, P_4.1.7, P_8.3.30, P_8.3.49, P_11.6.8, P_11.6.9, P_11.6.92 and P_11.6.93: symbol name corrected P_8.3.31, P_8.3.32, P_9.4.1, P_9.4.2, P_9.4.5 and P_9.4.6 condition updated P_8.3.36 and P_11.6.86 max. limit changed P_9.4.3, P_9.4.4 and P_9.6.9 footnote removed P_9.4.14 min. and max. limit corrected P_9.4.22, P_9.4.23, P_9.4.24, P_9.4.25, P_9.4.26, P_9.4.27, P_11.6.104: parameter name corrected P_9.4.30 footnote added P_9.6.58 new parameter P_11.6.5, P_11.6.14, P_11.6.19, P_11.6.29, P_11.6.43, P_11.6.52, P_11.6.69, P_11.6.85 min. and max. limits changed, conditions updated Chapter 5.4 updated Chapter 9.3 updated Chapter 10.5.8.2 updated Chapter 13.3 updated Chapter 16.1 updated Chapter 16.2.1 footnote 4 changed Chapter 16.3.3 updated Chapter "Output Settling Time" removed Chapter "Cross Talk of Automatic Recharging Circuits" removed Figure PG-LQFP-64-18 package outlines removed Register description Err_scd updated Table 7 conditions updated
1.0	2017-02-03	Initial data sheet



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-07-20

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。