

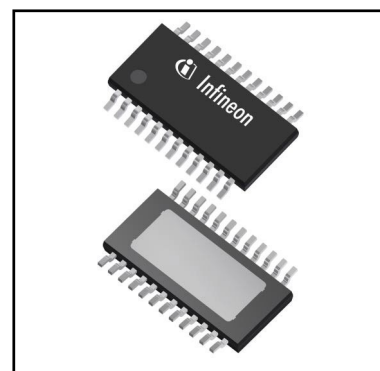
英飞凌 TLE75008-ESD 驱动器

SPIDER+ 12V

用于增强型继电器控制的 SPI 驱动器



Package	PG-TSDSO-24
Marking	TLE75008ESD



1 概述

应用

- 用于汽车或工业应用（如照明、加热、电机驱动、能源和配电）的 12 V 低边开关
- 特别是针对用于驱动继电器、LED 和电机的设计。

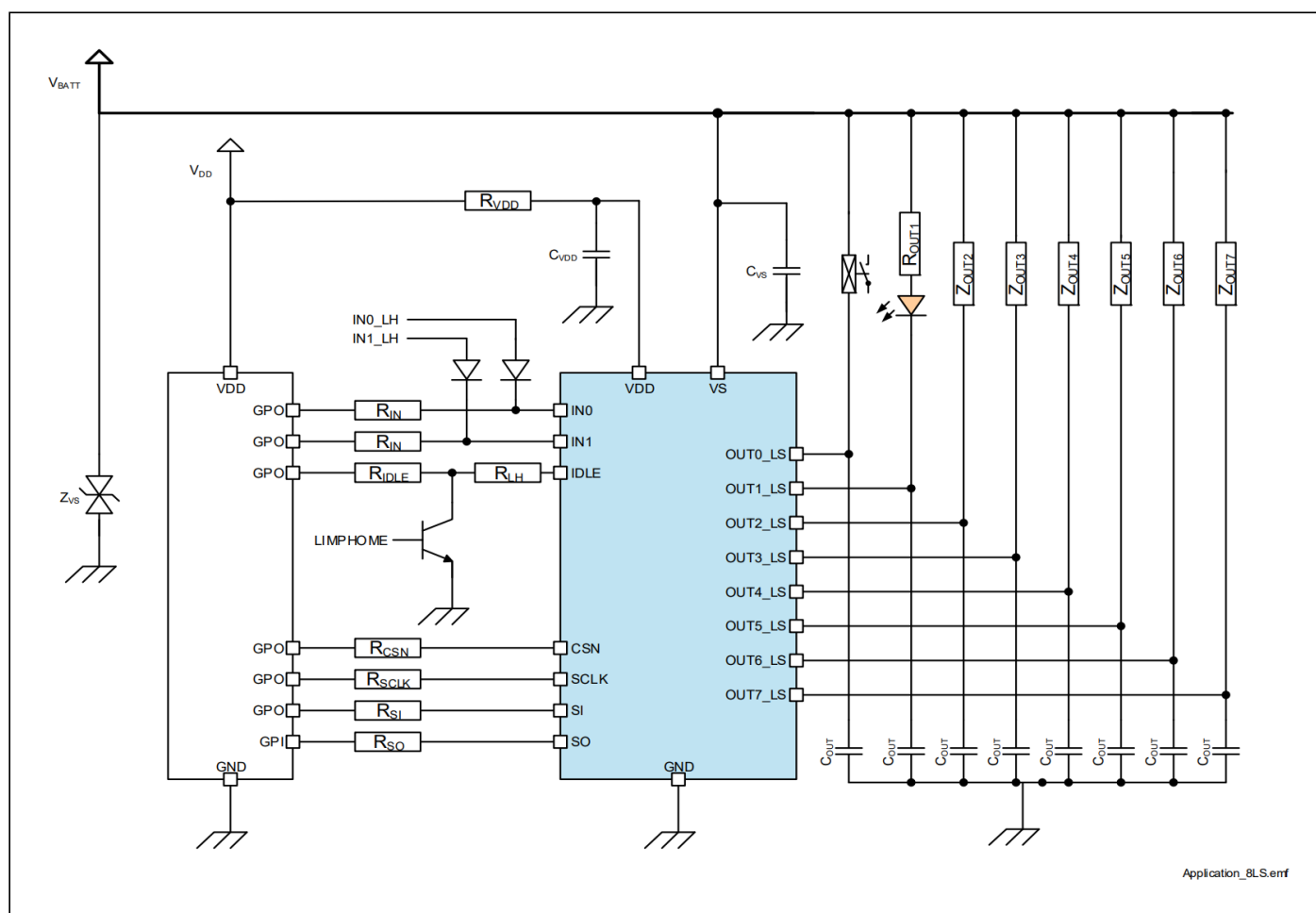


图 1 TLE75008-ESD 应用图

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

概述

基本特性

- 用于控制和诊断的 16 位串行外设接口
- 支持菊花链连接的 SPI，也兼容 8 位 SPI 器件
- 2 个 CMOS 兼容并行输入引脚，具有输入映射功能
- 启动能力低至 $V_S = 3.0\text{ V}$ （支持 LV124）
- 数字电源电压范围兼容 3.3V 和 5V 的微控制器
- 极低的静态电流（使用 IDLE 引脚）
- 跛行（Limp Home）模式（使用 IDLE 和 IN 引脚）
- 绿色产品：符合 RoHS 标准
- AEC 认证

保护功能

- V_S 上的反向电池保护，无需外部元件
- 短路到地和短路到电源保护
- 在欠压条件下表现稳定（“扩展工作的更低电源电压范围”）
- 过流锁存器 OFF
- 热关断锁存器 OFF
- 过压保护
- 接地失效保护
- 电池电压保护
- 静电（ESD）防护

诊断特性

- 通过 SPI 寄存器锁存诊断信息
- ON（导通）状态下的过载检测。
- 在 OFF 状态下使用输出状态监控器检测负载开路
- 输出状态监控器
- 输入状态监控器

特定应用功能

- 在 Limp Home 模式下通过输入引脚进行故障安全的激活
- 具备菊花链功能的 SPI
- 低电池电压下的安全操作（启动）

描述

TLE75008-ESD 是一款采用 PG-TSDSO-24 封装的八通道低边功率开关，并提供嵌入式保护功能。它专为控制汽车和工业应用中的继电器和 LED 而设计。

串行外设接口 (SPI) 用于控制和诊断负载以及器件。对于直接控制和 PWM 功能，默认情况下有两个输入引脚与两个输出相连。可以通过相同的输入引脚（通过 SPI 编程）控制额外的或不同的输出。

概述

表 1 产品概述

Parameter	Symbol	Values
Analog supply voltage	V_S	3.0 V ... 28 V
Digital supply voltage	V_{DD}	3.0 V ... 5.5 V
Minimum overvoltage protection	$V_{S(AZ)}$	42 V (see Chapter 8.5 for details)
Maximum on-state resistance at $T_J = 150\text{ °C}$	$R_{DS(ON)}$	2.2 Ω
Nominal load current ($T_A = 85\text{ °C}$, all channels)	$I_{L(NOM)}$	330 mA
Maximum Energy dissipation - repetitive	E_{AR}	10 mJ @ $I_{L(EAR)} = 220\text{ mA}$
Minimum Drain to Source clamping voltage	$V_{DS(CL)}$	42 V
Maximum overload switch OFF threshold	$I_{L(OVLO)}$	2.3 A
Maximum total quiescent current at $T_J \leq 85\text{ °C}$	I_{SLEEP}	5 μA
Maximum SPI clock frequency	f_{SCLK}	5 MHz

详细描述

TLE75008-ESD 是一款八通道低边开关，提供嵌入式保护功能。输出级包含八个低边开关（在 $T_J = 25\text{ °C}$ 时，典型 $R_{DS(ON)}$ 为 1 Ω ）。

16位串行外设接口(SPI)用于控制和诊断器件和负载。SPI 接口提供菊花链功能，以便通过使用相同数量的微控制器引脚，在一个 SPI 链中组装多个器件（也包括具有 8 位 SPI 的器件）。

该器件专为低电源电压操作而设计，因此能够在低电池电压（ $V_S \geq 3.0\text{ V}$ ）下保持状态。SPI 功能，包括对器件编程的可能性，只有在数字电源存在时才可用（详情请参见[章节 6](#)）。

TLE75008-ESD 配备两个输入引脚，分别连接到两个输出端，即使没有数字电源电压，也可以对其进行控制。通过输入映射功能，可以将输入引脚连接到不同的输出，或者将多个输出分配给同一个输入引脚。在这种情况下，只需向一个输入引脚施加一个信号，即可控制多个通道。

在 Limp Home 模式（故障安全模式）下，输入引脚直接路径到通道 2 和通道 3。当 IDLE 引脚为 "低" 时，可以使用输入引脚激活两个通道，而不受数字电源电压的影响。

该器件通过断开状态下的开路负载（[DIAG_OSM.OUTn](#) 位）和短路检测对负载进行诊断。对于断开状态下的开路负载检测，可通过 SPI 激活内部电流源 I_{OL} 。

每个输出级都有短路保护功能。在过载情况下，当达到过载检测电流 $I_{L(OVLI)}$ 时，受影响的通道将关闭，并可通过 SPI 重新激活。在 Limp Home 运行模式下，与设置为 "高电平" 的输入引脚相连的通道会在输出重启时间 $t_{RETRY(LH)}$ 结束后自动重启。每个通道都有温度传感器，可防止器件过温。

功率晶体管由 N 沟道功率 MOSFET 构建。输入端采用接地参考的 TTL 兼容设计。该器件采用智能电源技术进行单片集成。

2 框图和术语

2.1 框图

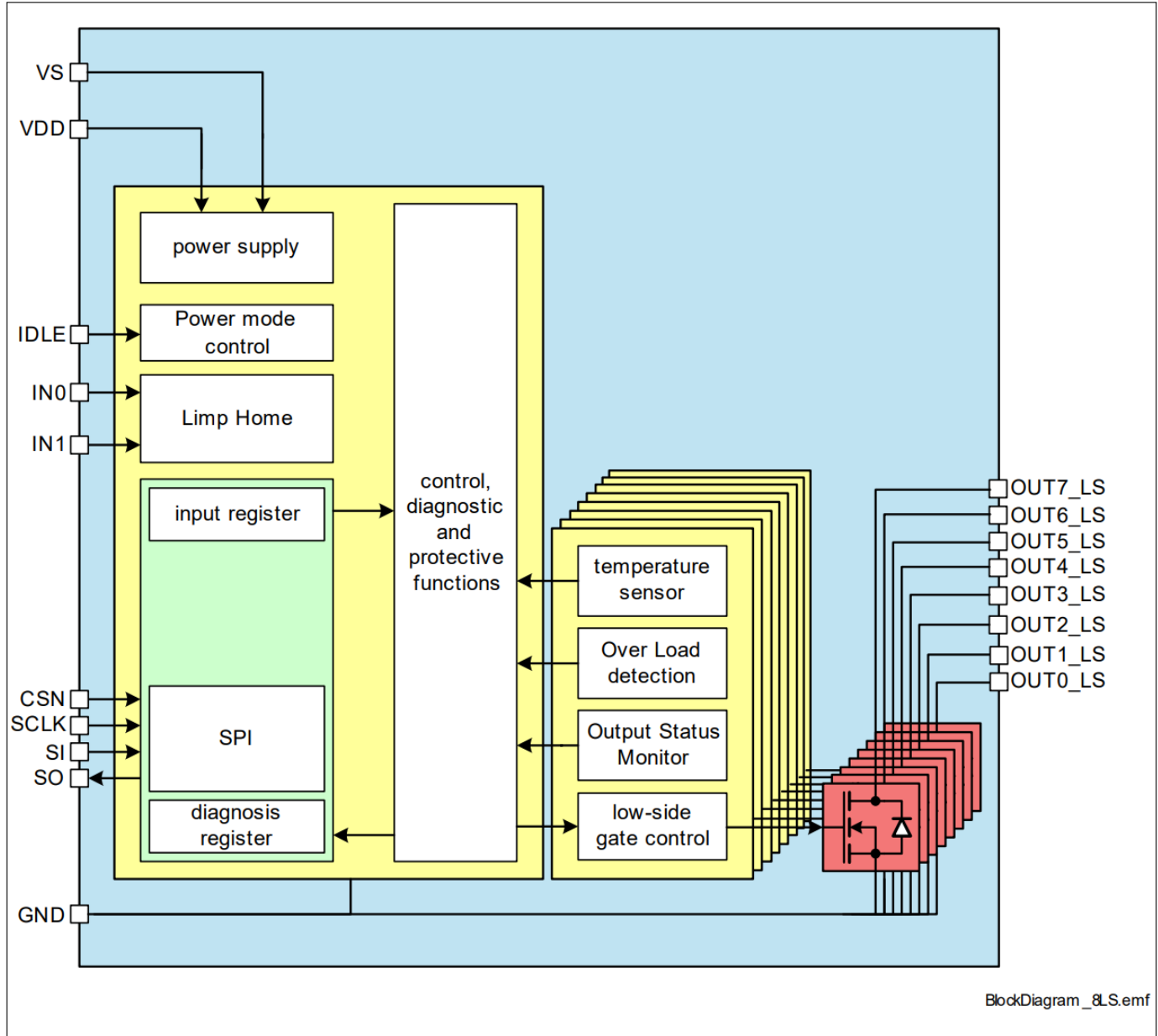


图 2 TLE75008-ESD 的框图

框图和术语

2.2 术语

图 3 显示了本数据手册中使用的所有术语及其正值约定。

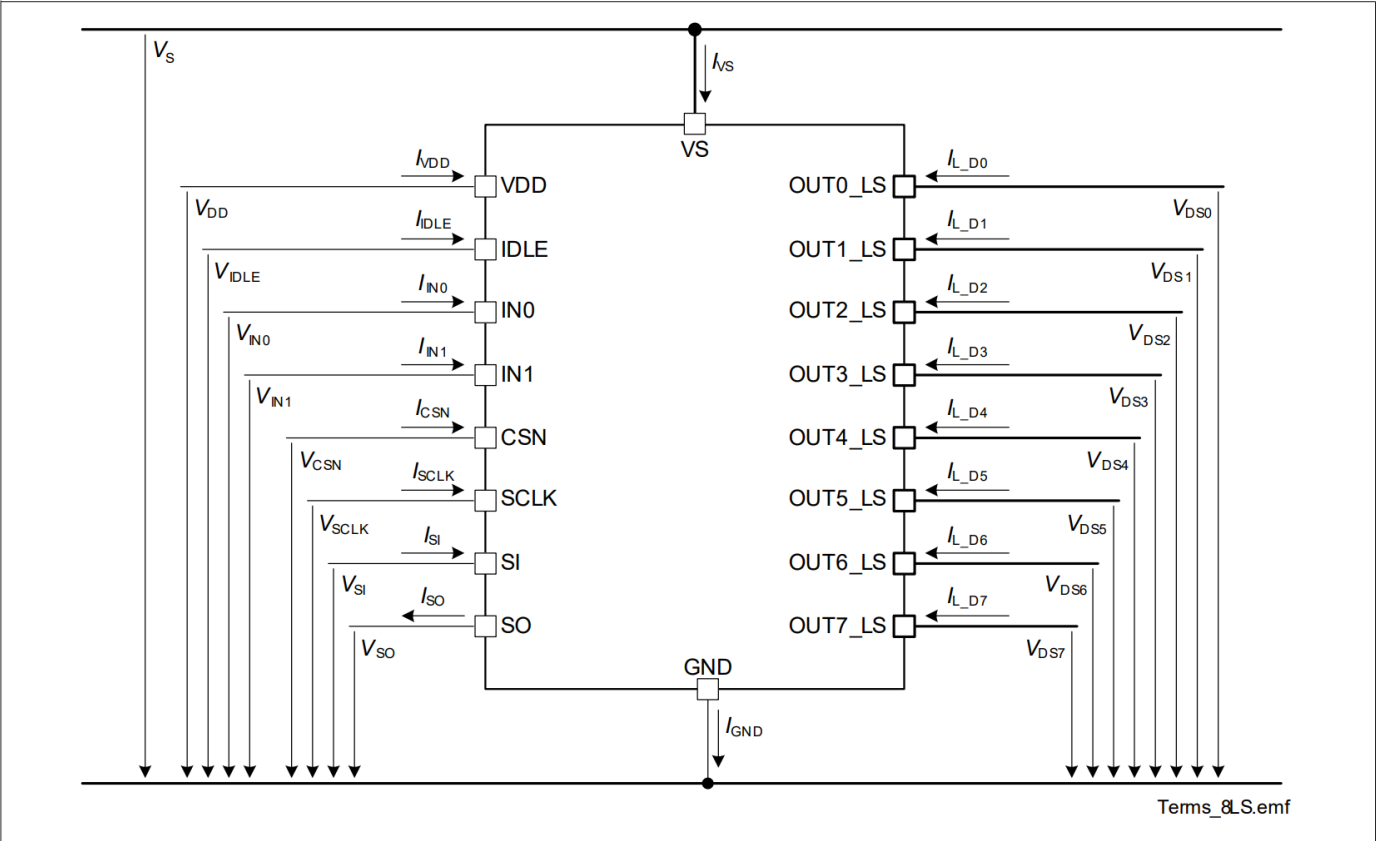


图 3 电压和电流定义

在所有电气特性表中，不含通道编号的通道相关符号分别适用于每个通道（例如， V_{DS} 规格适用于 V_{DS0} ... V_{DS7} ）。

此外，除非另有说明，否则可以不指定电流是流入漏极引脚还是流出源极引脚来表示与输出电流相关的参数。例如，标称输出电流可以用以下方式表示： $I_{L(NOM)}$ $I_{L_LS(NOM)}$ $I_{L_D(NOM)}$

所有 SPI 寄存器位均标记为：ADDR.PARAMETER（例如 HWCR.RST），但诊断帧中的位除外，这些位仅标记为 PARAMETER（例如 UVRVS）。

引脚配置

3 引脚配置

3.1 引脚分配

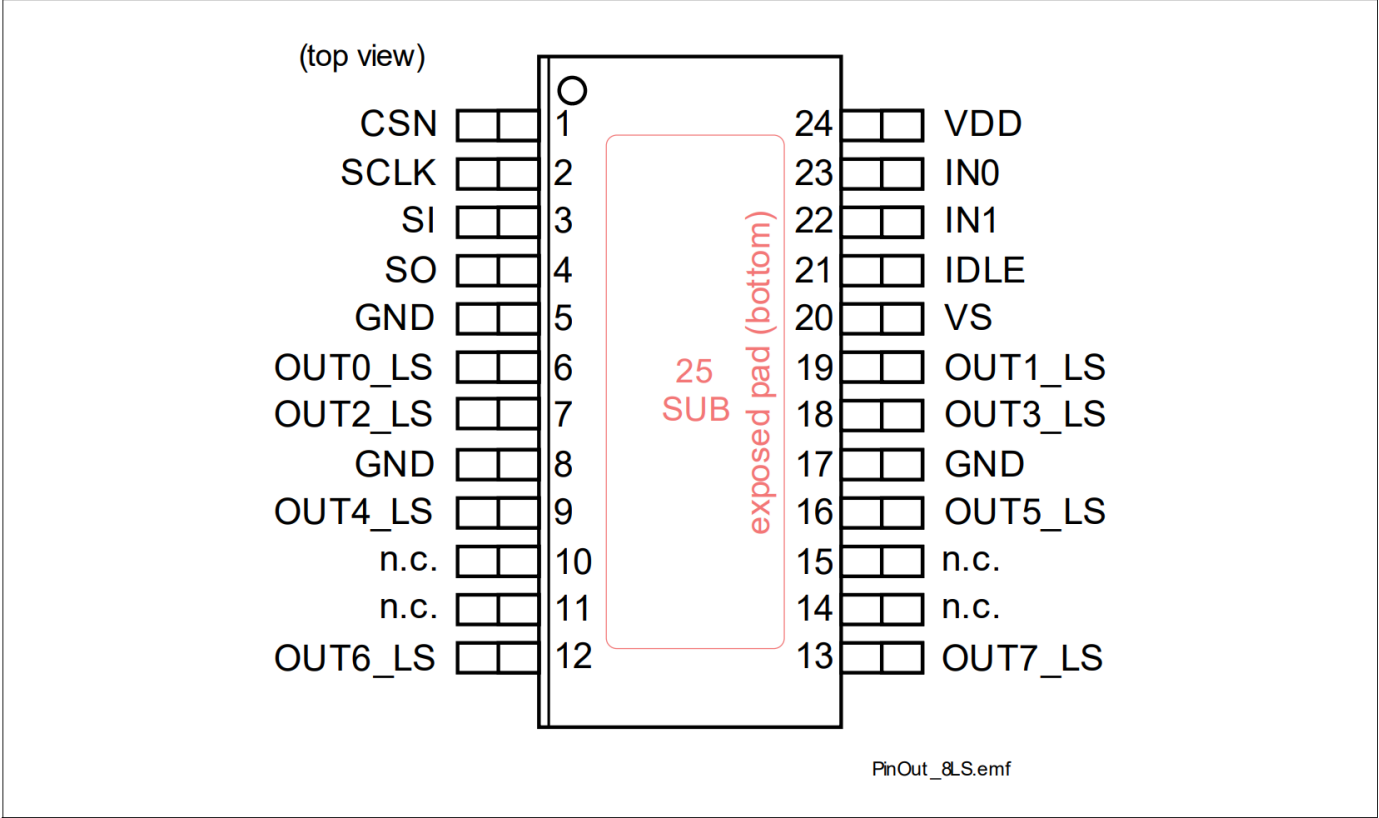


图 4 PG-TSDSO-24 中的 TLE75008-ESD 引脚配置

引脚配置

3.2 引脚定义和功能

Pin	Symbol	I/O	Function
Power Supply Pins			
20	VS	–	Analog supply V_s Positive supply voltage for power switches gate control (incl. protections)
24	VDD	–	Digital supply V_{DD} Supply voltage for SPI with support function to V_s
5, 8, 17	GND	–	Ground Ground connection
SPI Pins			
1	CSN	I	Chip Select “low” active, integrated pull-up to V_{DD}
2	SCLK	I	Serial Clock “high” active, integrated pull-down to ground
3	SI	I	Serial Input “high” active, integrated pull-down to ground
4	SO	O	Serial Output “Z” (tri-state) when CSN is “high”
Input and Stand-by Pins			
21	IDLE	I	Idle mode power mode control, “high” activates Idle mode, integrated pull-down to ground
23	IN0	I	Input pin 0 connected to channel 2 by default and in Limp Home mode, “high” active, integrated pull-down to ground
22	IN1	I	Input pin 1 connected to channel 3 by default and in Limp Home mode, “high” active, integrated pull-down to ground
Power Output Pins			
6	OUT0_LS	O	Drain of low-side power transistor (channel 0)
7	OUT2_LS	O	Drain of low-side power transistor (channel 2)
9	OUT4_LS	O	Drain of low-side power transistor (channel 4)
12	OUT6_LS	O	Drain of low-side power transistor (channel 6)
13	OUT7_LS	O	Drain of low-side power transistor (channel 7)
16	OUT5_LS	O	Drain of low-side power transistor (channel 5)
18	OUT3_LS	O	Drain of low-side power transistor (channel 3)
19	OUT1_LS	O	Drain of low-side power transistor (channel 1)

引脚配置

Pin	Symbol	I/O	Function
Not Connected pins / Cooling Tab			
10, 11, 14, 15	n.c.	–	Not Connected, internally not bonded
25	GND	–	Exposed pad It is recommended to connect it to PCB ground for cooling and EMC - not usable as electrical GND pin. Electrical ground must be provided by pins 5, 8 and 17.

产品一般特性

4 产品一般特性

4.1 绝对最大额定值

表 2 绝对最大额定值¹⁾

$T_J = -40^\circ\text{C}$ 到 $+150^\circ\text{C}$

所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Voltages							
Analog Supply voltage	V _S	-0.3	–	28	V	–	P_4.1.1
Digital Supply voltage	V _{DD}	-0.3	–	5.5	V	–	P_4.1.2
Supply voltage for load dump protection	V _{S(LD)}	–	–	42	V	2)	P_4.1.3
Supply voltage for short circuit protection (single pulse)	V _{S(SC)}	0	–	28	V	–	P_4.1.4
Reverse polarity voltage	-V _{S(REV)}	–	–	16	V	3) T _{J(0)} = 25 °C t ≤ 2 min See Chapter 11 for general setup. R _L = 70 Ω on all channels	P_4.1.5
Current through VS pin	I _{VS}	-10	–	10	mA	t ≤ 2 min	P_4.1.7
Current through VDD pin	I _{VDD}	-50	–	10	mA	t ≤ 2 min	P_4.1.8
Power Stages							
Load current	I _L	–	–	I _{L(OVL0)}	A	single channel	P_4.1.9
Voltage at power transistor	V _{DS}	-0.3	–	42	V	–	P_4.1.10
Maximum energy dissipation single pulse	E _{AS}	–	–	50	mJ	4) T _{J(0)} = 25 °C I _{L(0)} = 2*I _{L(EAR)}	P_4.1.13
Maximum energy dissipation single pulse	E _{AS}	–	–	25	mJ	4) T _{J(0)} = 150 °C I _{L(0)} = 400 mA	P_4.1.14
Maximum energy dissipation repetitive pulses - I _{L(EAR)}	E _{AR}	–	–	10	mJ	4) T _{J(0)} = 85 °C I _{L(0)} = I _{L(EAR)} 2*10 ⁶ cycles	P_4.1.15
IDLE pin							
Voltage at IDLE pin	V _{IDLE}	-0.3		5.5	V	–	P_4.1.23
Current through IDLE pin	I _{IDLE}	-0.75		0.75	mA	–	P_4.1.25

产品一般特性

表 2 绝对最大额定值(续)¹⁾

$T_J = -40^{\circ}\text{C}$ 到 $+150^{\circ}\text{C}$

所有电压均相对于地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current through IDLE pin	I_{IDLE}	-10.0		2.0	mA	$t \leq 2 \text{ min.}$	P_4.1.26
Input Pins							
Voltage at input pins	V_{IN}	-0.3		5.5	V	–	P_4.1.28
Current through input pins	I_{IN}	-0.75		0.75	mA	–	P_4.1.30
Current through input pins	I_{IN}	-10.0		2.0	mA	$t \leq 2 \text{ min.}$	P_4.1.31
SPI Pins							
Voltage at chip select pin	V_{CSN}	-0.3		5.5	V	–	P_4.1.33
Current through chip select pin	I_{CSN}	-0.75		0.75	mA	–	P_4.1.34
Current through chip select pin	I_{CSN}	-10.0		2.0	mA	$t \leq 2 \text{ min.}$	P_4.1.35
Voltage at serial clock pin	V_{SCLK}	-0.3		5.5	V		P_4.1.37
Current through serial clock pin	I_{SCLK}	-0.75		0.75	mA	–	P_4.1.38
Current through serial clock pin	I_{SCLK}	-10.0		2.0	mA	$t \leq 2 \text{ min.}$	P_4.1.39
Voltage at serial input pin	V_{SI}	-0.3		5.5	V		P_4.1.41
Current through serial input pin	I_{SI}	-0.75		0.75	mA	–	P_4.1.42
Current through serial input pin	I_{SI}	-10.0		2.0	mA	$t \leq 2 \text{ min.}$	P_4.1.43
Voltage at serial output pin SO	V_{SO}	-0.3		$V_{DD}+0.3$	V		P_4.1.58
Current through serial output pin SO	I_{SO}	-0.75		0.75	mA		P_4.1.45
Current through serial output pin SO	I_{SO}	-2.0		10.0	mA	$t \leq 2 \text{ min.}$	P_4.1.46
Temperatures							
Junction Temperature	T_J	-40	–	150	$^{\circ}\text{C}$	–	P_4.1.48
Storage Temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_4.1.49
ESD Susceptibility							
ESD Susceptibility HBM OUT pins vs. V_S or GND	V_{ESD}	-4	–	4	kV	⁵⁾ HBM	P_4.1.50
ESD Susceptibility HBM other pins	V_{ESD}	-2	–	2	kV	⁵⁾ HBM	P_4.1.51
ESD Susceptibility CDM Pin 1, 12, 13, 24 (corner pins)	V_{ESD}	-750	–	750	V	⁶⁾ CDM	P_4.1.52
ESD Susceptibility CDM	V_{ESD}	-500	–	500	V	⁶⁾ CDM	P_4.1.54

- 1) 未经过生产测试，由设计指定。
- 2) 持续时间为 $t_{on} = 400 \text{ ms}$ ； $t_{on}/t_{off} = 10\%$ ；限制为 100 个脉冲
- 3) 该器件按照 JEDEC JESD51-2, -5, -7 标准安装在 FR4 2s2p 板上，采用自然对流；产品（芯片+封装）在 $76.2 \times 114.3 \times 1.5 \text{ mm}$ 的板上进行模拟，该板有 2 层内铜（ $2 \times 70 \mu\text{m Cu}$ ， $2 \times 35 \mu\text{m Cu}$ ）。在适用情况下，裸露的散热焊盘下方的导热过孔阵列与第一个内部铜层接触。

产品一般特性

- 4) 脉冲形状表示电感关断: $I_L(t) = I_L(0) \times (1 - t / t_{\text{pulse}})$; $0 < t < t_{\text{pulse}}$
- 5) ESD 耐受性, 人体模型“HBM”, 符合 AEC Q100-002
- 6) ESD 耐受性, 充电器件模式 (CDM), 符合 AECQ100-011 Rev D

注释

1. 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

4.2 工作范围

表 3 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Voltage Range for Normal Operation	$V_{S(\text{NOR})}$	7	–	18	V	–	P_4.2.1
Upper Supply Voltage Range for Extended Operation	$V_{S(\text{EXT,UP})}$	18	–	28	V	Parameter deviation possible	P_4.2.2
Lower Supply Voltage Range for Extended Operation	$V_{S(\text{EXT,LOW})}$	3	–	7	V	Parameter deviation possible	P_4.2.3
Junction Temperature	T_J	-40	–	150	°C	–	P_4.2.4
Logic supply voltage	V_{DD}	3	–	5.5	V	–	P_4.2.5

注释: 在工作范围内, IC 按照电路说明中的描述运行。电气特性是在电气特性表中注明的条件下列出的。

产品一般特性

4.3 热阻

注释： 此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问www.jedec.org。

表 4 热阻

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Soldering Point	R_{thJSP}	–	3	5	K/W	¹⁾ measured to exposed pad (pin 25)	P_4.3.1
Junction to Ambient	R_{thJA}	–	28	–	K/W	¹⁾²⁾	P_4.3.3

- 1) 未经过生产测试，由设计指定。
- 2) 指定的 R_{thJA} 值按照 Jedec JESD51-2,-5,-7 标准安装在 FR4 2s2p 板上，采用自然对流；产品（芯片+封装）在 76.2 × 114.3 × 1.5 mm 的板上进行模拟，该板具有 2 层内铜（2× 70 μm Cu，2× 35 μm Cu）。在适用情况下，裸露的散热焊盘下方的导热过孔阵列与第一个内部铜层接触。

4.3.1 PCB 设置

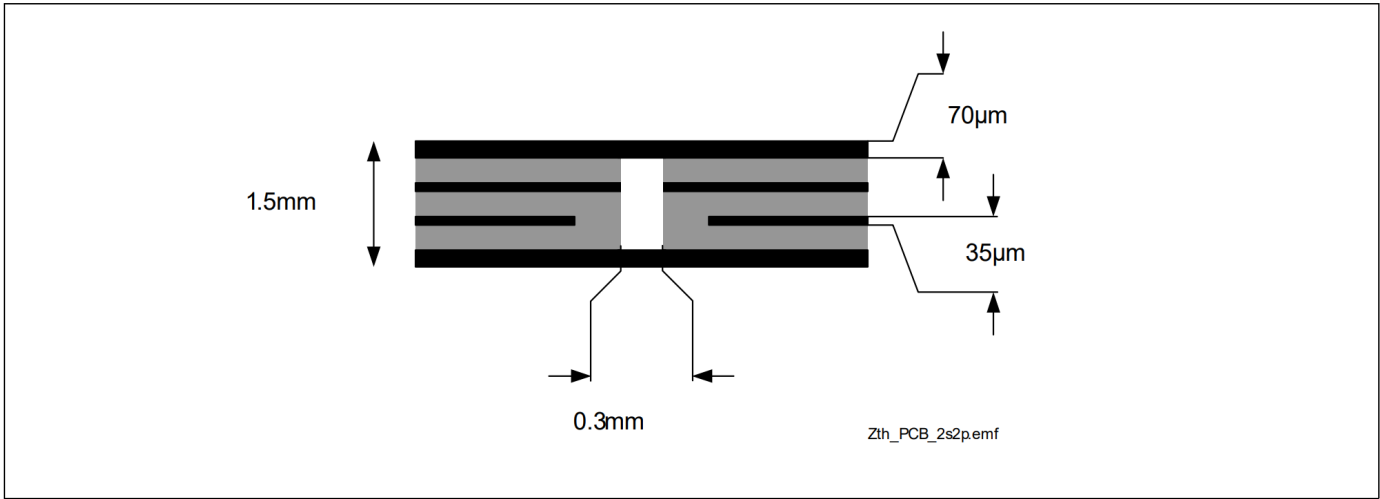


图 5 2s2p PCB 截面图

产品一般特性

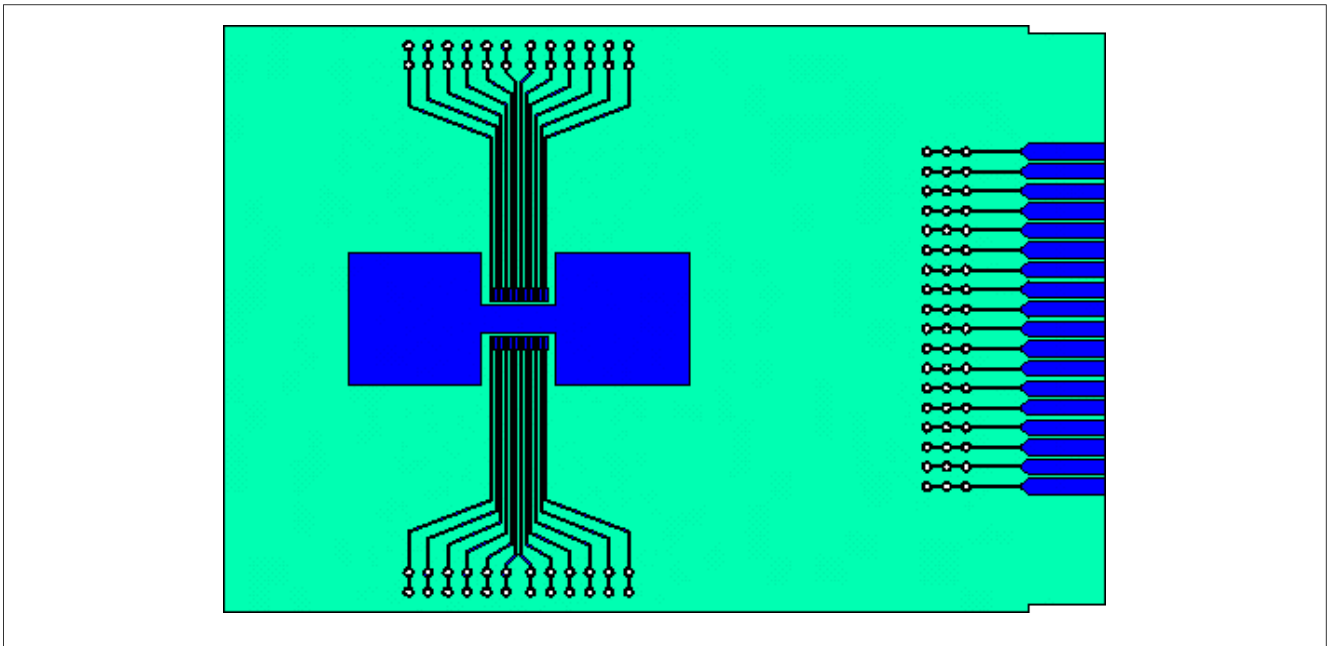


图 6 用于热仿真的PC板，具有 600 mm² 冷却面积

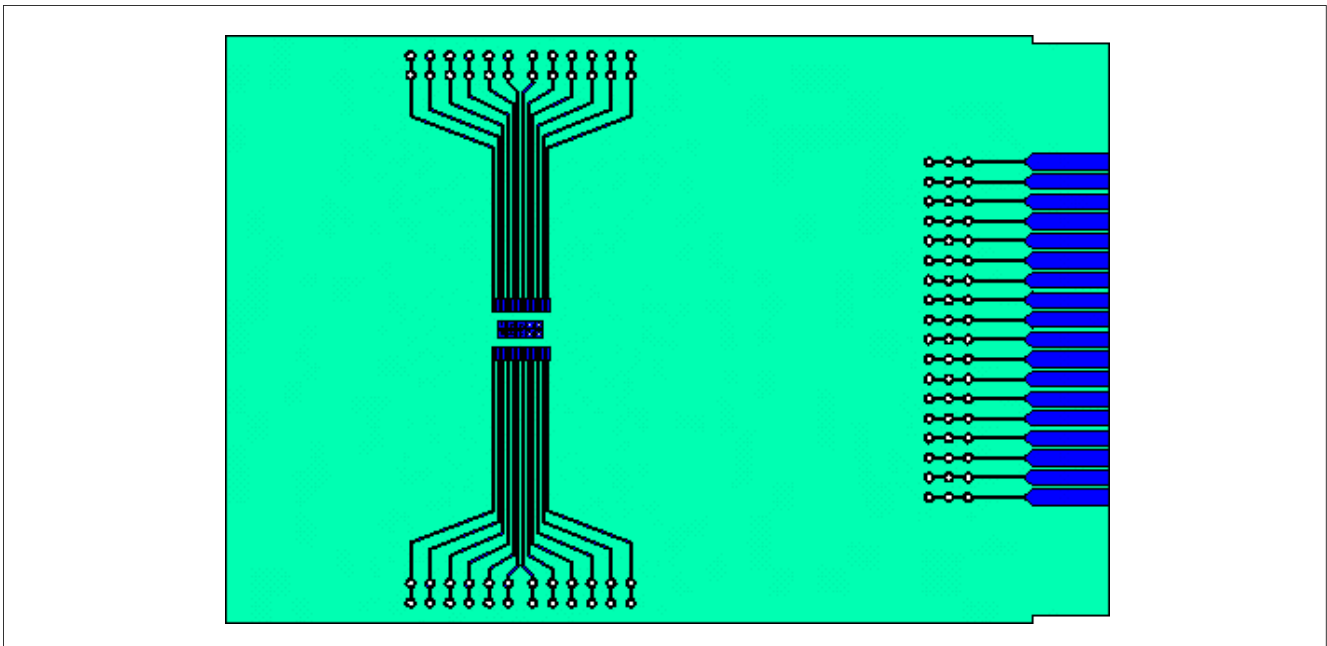


图 7 用于热仿真的PC板，具有 2s2p 冷却面积

4.3.2 热阻抗

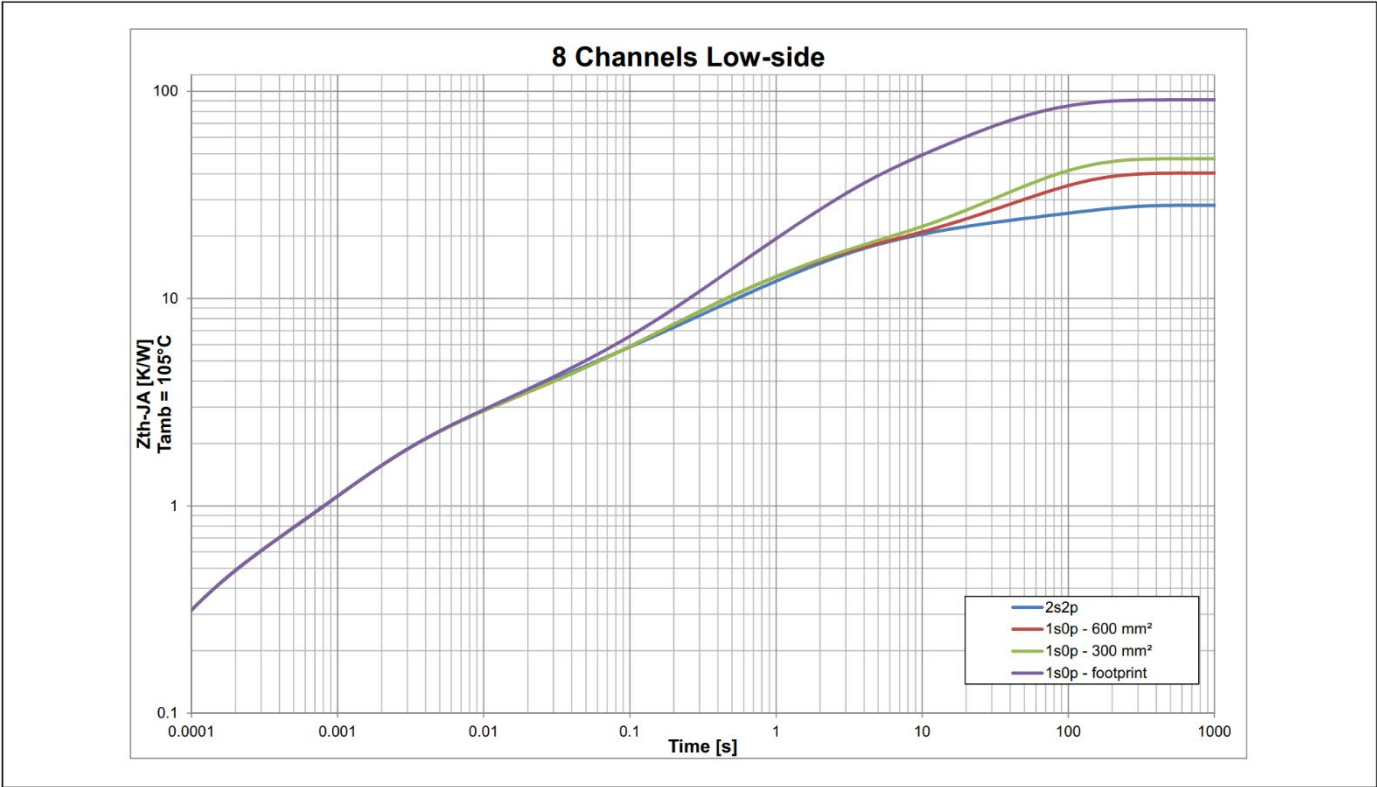


图 8 典型热阻抗 PCB 布局按照 章节 4.3.1

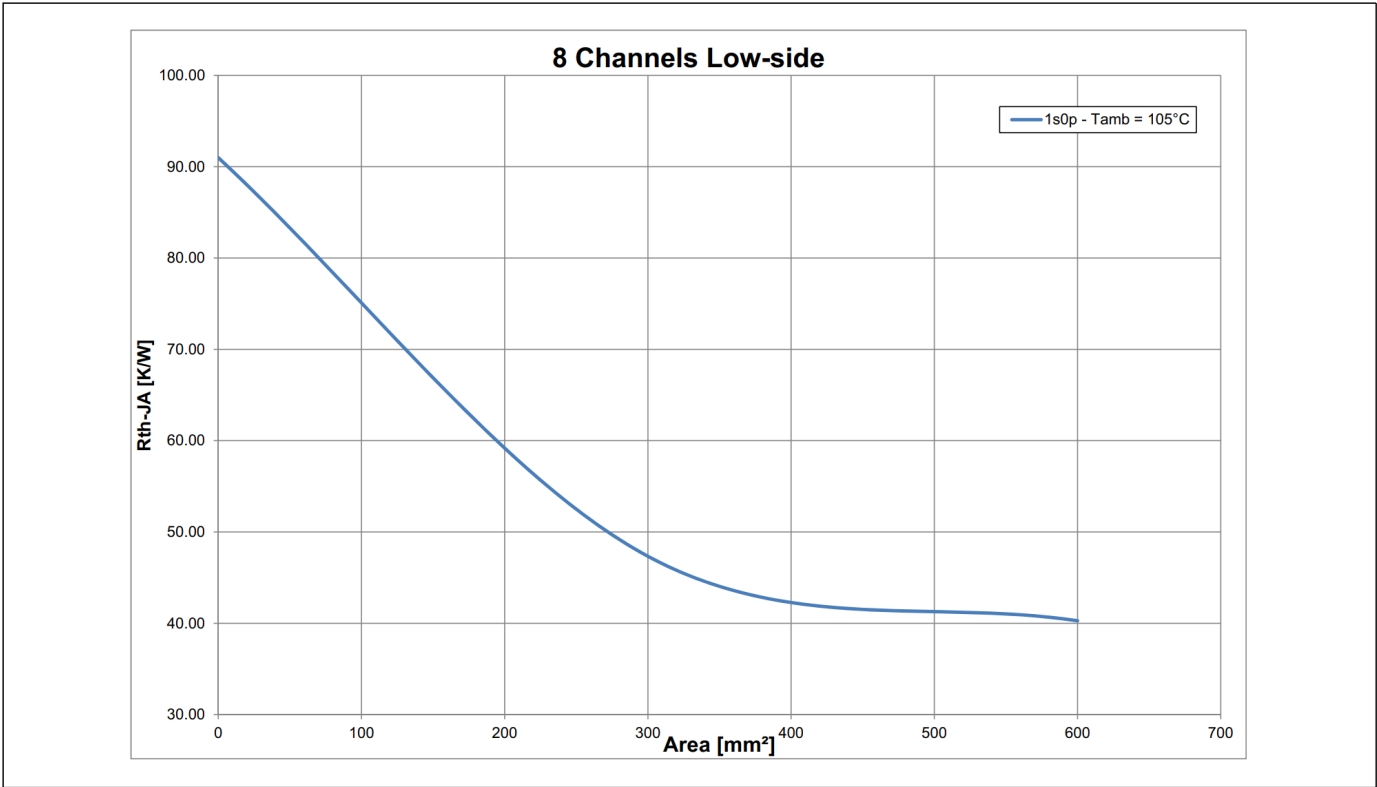


图 9 典型热阻PCB 设置 1s0p

控制引脚

5 控制引脚

该器件具有三个引脚（IN0、IN1 和 IDLE），可直接控制该器件，而无需使用 SPI。

5.1 输入引脚

TLE75008-ESD 有两个可用输入引脚。每个输入引脚默认连接至单通道（IN0 至通道 2、IN1 至通道 3）。输入映射寄存器 **MAPIN0** 和 **MAPIN1** 可以编程将额外的或不同的通道连接到每个输入通道，如图 10 所示。驱动通道的信号是 **OUT** 寄存器状态，IN0 和 IN1 之间的 OR 组合。（根据输入映射寄存器状态）。

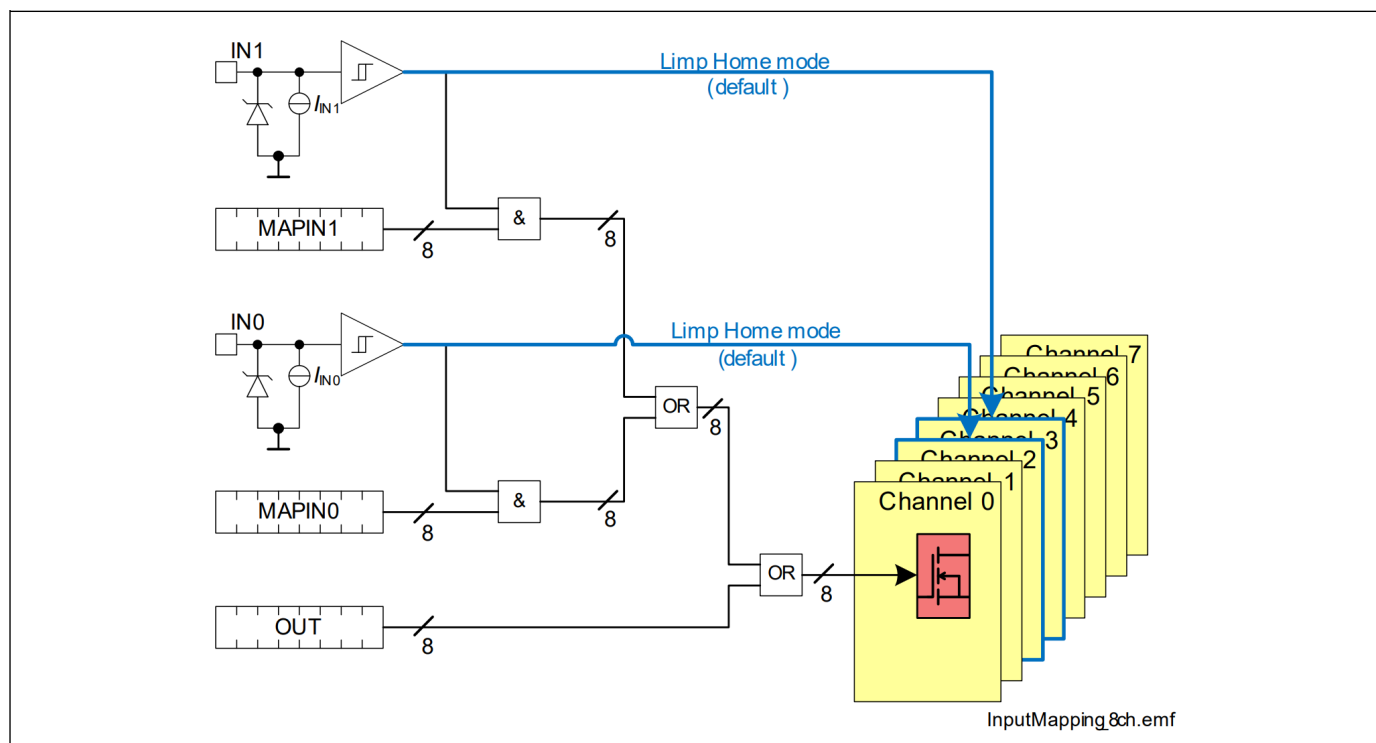


图 10 输入映射

输入引脚的逻辑电平可以通过输入状态监控寄存器（**INST**）进行监控。当 TLE75008-ESD 处于 Limp Home 模式时，输入状态监控器也可运行。如果其中一个输入引脚置位为“高”且 IDLE 引脚置位为“低”，器件将切换到 Limp Home 模式并激活默认映射到输入引脚的通道。更多详情参见 [章节 6.1.5](#)。

5.2 IDLE 引脚

IDLE 引脚用于在置位为“低”并且所有输入引脚置位为“低”时使器件进入睡眠模式操作。当 IDLE 引脚置位为“低”且其中一个输入引脚置位为“高”时，器件进入 Limp Home 模式。

为了确保正确的模式转换，IDLE 引脚必须置位至少 $t_{\text{IDLE2SLEEP}}$ (P_6.3.54, 从“高”到“低”的转换) 或 $t_{\text{SLEEP2IDLE}}$ (P_6.3.53, 从“低”到“高”的转换)。

将 IDLE 计数器设置为“低”会产生以下后果：

- SPI 中的所有寄存器均复位为默认值
- 停止 V_{DD} 和 V_{S} 欠电压检测电路以减少电流消耗（如果两个输入都设置为“低”）

控制引脚

- 如果两个输入引脚都置位为“低”，则不允许进行 SPI 通信（当 CSN 引脚置位为“低”时，SO 引脚也保持高阻态）

控制引脚

5.3 电气特性：控制引脚

表 5 电气特性：控制引脚

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ (除非另有规定)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
IDLE pin							
L-input level	V _{IDLE(L)}	0		0.8	V	–	P_5.3.1
H-input level	V _{IDLE(H)}	2.0		5.5	V	–	P_5.3.2
L-input current	I _{IDLE(L)}	5	12	20	μA	V _{IDLE} = 0.8 V	P_5.3.3
H-input current	I _{IDLE(H)}	14	28	45	μA	V _{IDLE} = 2.0 V	P_5.3.4
Input Pins							
L-input level	V _{IN(L)}	0		0.8	V	–	P_5.3.5
H-input level	V _{IN(H)}	2.0		5.5	V	–	P_5.3.6
L-input current	I _{IN(L)}	5	12	20	μA	V _{IN} = 0.8 V	P_5.3.7
H-input current	I _{IN(H)}	14	28	45	μA	V _{IN} = 2.0 V	P_5.3.8

电源

6 电源

TLE75008-ESD 由两个电源电压供电：

- V_S （模拟电源电压，同时用于逻辑电路）
- V_{DD} （数字电源电压）

V_S 电源线连接至电池馈电并与 V_{DD} 电源结合使用，用于功率级的驱动电路。在 V_S 电压降至 V_{DD} 电压以下的情况下（例如在启动事件期间降至 3.0 V），可能会在 VDD 引脚处观察到电流损耗增加。

V_S 和 V_{DD} 电源电压具有欠压检测电路，当测得的电压低于欠压阈值时，该电路会阻止相关功能的激活。详情如下：

- V_S 和 V_{DD} 电源电压上的欠压会阻止功率级和任何 SPI 通信的激活（SPI 寄存器复位）
- 欠压 V_{DD} 电源会停止 SPI 通讯。SPI 读/写寄存器将恢复为默认值
- V_S 电源上的欠压迫使 TLE75008-ESD 从 V_{DD} 电源中耗尽低边开关和逻辑电路所需的所有电流。

图 11 显示了电源引脚 V_S 和 V_{DD} 、输出级驱动器和 SO 电源线之间相互作用的基本概念图。

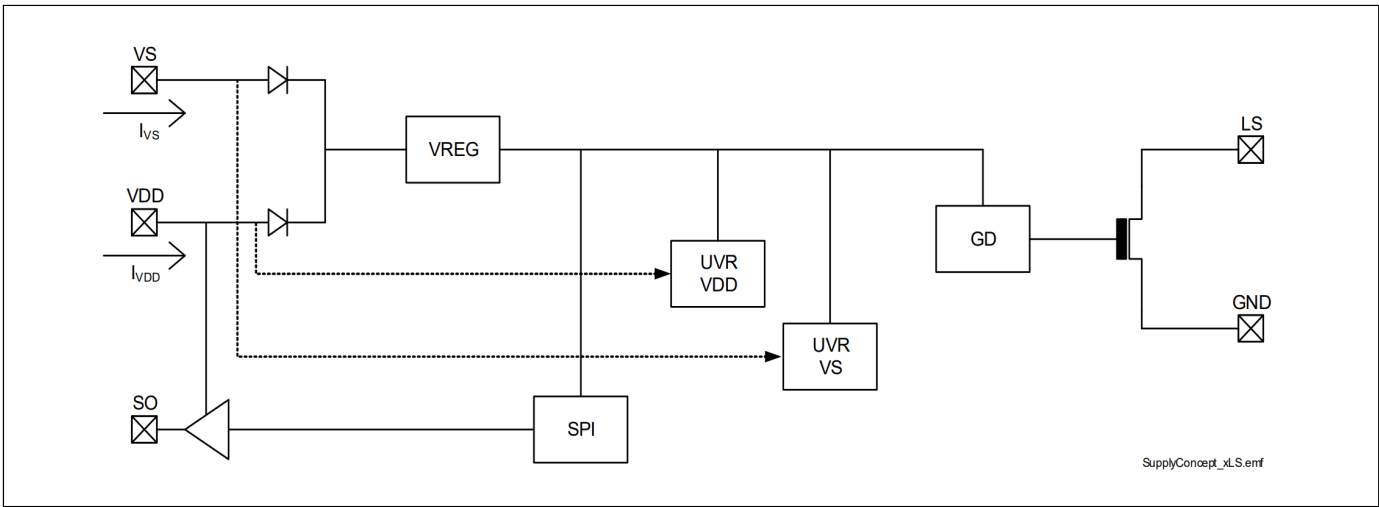


图 11 TLE75008-ESD 内部电源概念

当 $3.0\text{ V} \leq V_S \leq V_{DD} - V_{SDIFF}$ 时，TLE75008-ESD 工作在“启动工作范围”(COR) 内。在此条件下，VDD 引脚的电流消耗增加，而 V_S 引脚的电流消耗减少，但总电流消耗仍保持在规定的限值内。图 12 显示了器件进入和退出 COR 工作区时 V_S 引脚的电压电平。在进入和退出 COR 工作区期间， I_{VS} 和 I_{VDD} 会在正常工作值和 COR 工作值之间变化。这两个电流之和保持在“总电流消耗”部分规定的限值范围内（参见表 8）。

电源

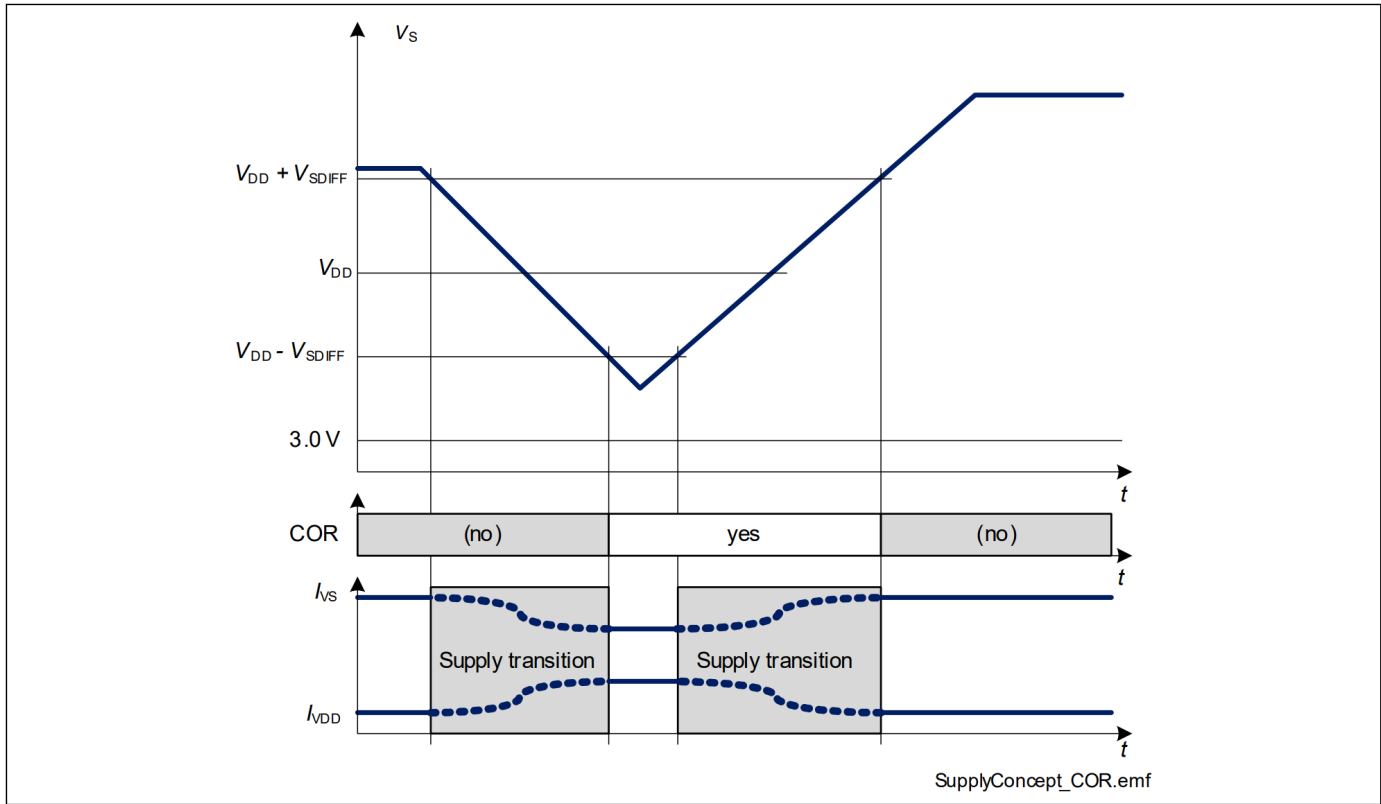


图 12 “启动工作范围”

此外，当 $V_{S(UV)} \leq V_S \leq V_{S(OP)}$ 时，可能无法接通之前处于关断状态的通道。除非通过 SPI 或 INn 引脚将其关闭，否则所有已经打开的通道都会保持状态。不同 V_S 和 V_{DD} 电源电压下的通道行为概览见表 6（该表在成功上电后有效，详情请参见第 6.1.1 章）。

电源

表 6 器件性能与 V_S 和 V_{DD} 的关系

	$V_{DD} \leq V_{DD(UV)}$ ($V_{DD(UV)} = P_6.3.25$)	$V_{DD} = V_{DD(LOP)}$ ($V_{DD(LOP)} = P_6.3.24$)	$V_{DD} > V_{DD(LOP)}$
$V_S \leq 3.0\text{ V}$ $3.0\text{ V} = V_{S(UV),max}$ ($P_6.3.1$)	channels cannot be controlled	channels can be switched ON and OFF (SPI control) ($R_{DS(ON)}$ deviations possible)	channels can be switched ON and OFF (SPI control) ($R_{DS(ON)}$ deviations possible)
	SPI registers reset	SPI registers available	SPI registers available
	SPI communication not available ($f_{SCLK} = 0\text{ MHz}$)	SPI communication possible ($f_{SCLK} = 1\text{ MHz}$) ($P_10.4.34$)	SPI communication possible ($f_{SCLK} = 5\text{ MHz}$) ($P_10.4.22$)
	Limp Home mode not available	Limp Home mode available ($R_{DS(ON)}$ deviations possible)	Limp Home mode available ($R_{DS(ON)}$ deviations possible)
$3.0\text{ V} < V_S \leq V_{S(OP)}$ ($V_{S(OP)} = P_6.3.2$)	channels cannot be controlled by SPI	channels can be switched ON and OFF (SPI control) ¹⁾ ($R_{DS(ON)}$ deviations possible)	channels can be switched ON and OFF (SPI control) ¹⁾ ($R_{DS(ON)}$ deviations possible)
	SPI registers reset	SPI registers available	SPI registers available
	SPI communication not available ($f_{SCLK} = 0\text{ MHz}$)	SPI communication possible ($f_{SCLK} = 1\text{ MHz}$) ($P_10.4.34$)	SPI communication possible ($f_{SCLK} = 5\text{ MHz}$) ($P_10.4.22$)
	Limp Home mode available ¹⁾ ($R_{DS(ON)}$ deviations possible)	Limp Home mode available ¹⁾ ($R_{DS(ON)}$ deviations possible)	Limp Home mode available ($R_{DS(ON)}$ deviations possible)
$V_S > V_{S(OP)}$	channels cannot be controlled by SPI	channels can be switched ON and OFF (small $R_{DS(ON)}$ dev. possible when $V_S = V_{S(EXT,LOW)}$)	channels can be switched ON and OFF (small $R_{DS(ON)}$ dev. possible when $V_S = V_{S(EXT,LOW)}$)
	SPI registers reset	SPI registers available	SPI registers available
	SPI communication not available ($f_{SCLK} = 0\text{ MHz}$)	SPI communication possible ($f_{SCLK} = 5\text{ MHz}$) ($P_10.4.22$)	SPI communication possible ($f_{SCLK} = 5\text{ MHz}$) ($P_10.4.22$)
	Limp Home mode available ($R_{DS(ON)}$ dev. possible when $V_S = V_{S(EXT,LOW)}$)	Limp Home mode available ($R_{DS(ON)}$ dev. possible when $V_S = V_{S(EXT,LOW)}$)	Limp Home mode available ($R_{DS(ON)}$ dev. possible when $V_S = V_{S(EXT,LOW)}$)

1) 必须考虑 V_S 上的欠压情况 - 更多详情参见[章节 6.2.1](#)

电源

6.1 工作模式

TLE75008-ESD 有以下工作模式：

- 睡眠模式
- IDLE 模式
- 激活模式
- Limp Home 模式

工作模式之间的转换根据以下级别和状态确定：

- IDLE 引脚上的逻辑电平
- INn 引脚的逻辑电平
- **OUT.OUTn** 位状态
- **HWCR.ACT** 位状态

状态图包括可能的转换如图13 所示。TLE75008-ESD 的行为以及一些参数可能会根据芯片的工作模式而发生变化。此外，由于欠压检测电路对 V_S 和 V_{DD} 电源电压进行监控，同一运行模式下，可以观察到一些参数的变化。

TLE75008-ESD的运行模式可以通过以下方式观察：

- 输出通道状态
- SPI 寄存器状态
- V_{DD} 引脚电流消耗 (I_{VDD})
- V_S 引脚电流消耗 (I_{VS})

接通负载的默认运行模式为"激活"模式。如果器件未处于激活模式，而接通一个或多个输出的请求（通过 SPI 或输入引脚）来临时，它将根据 IDLE 引脚的状态切换到激活模式或 Limp Home 模式。由于这种转换需要时间，输出开启时间 t_{ON} 会因模式转换延迟而延长。

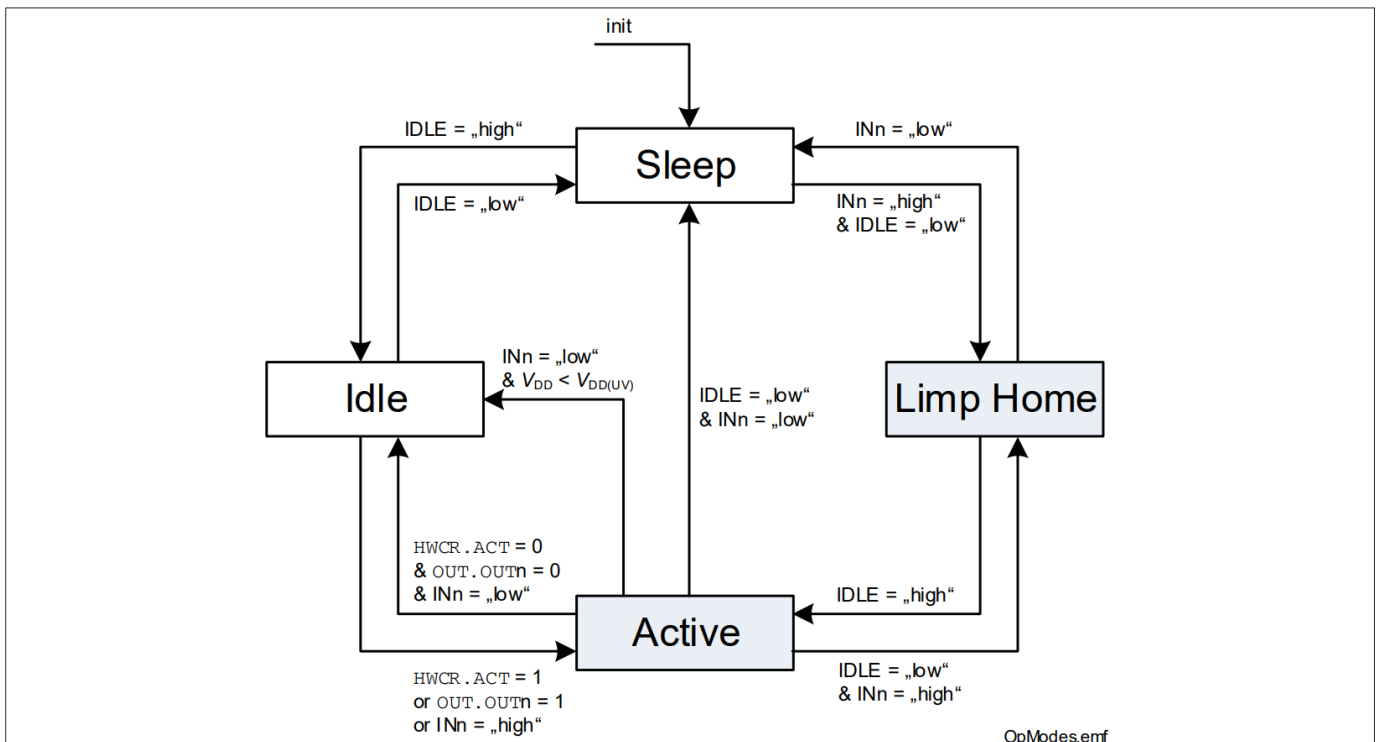


图 13 工作模式状态框图

电源

表 7 显示了器件运行模式, V_S 和 V_{DD} 电源电压, 以及最重要的功能 (通道状态, SPI通信和SPI寄存器) 之间的对应关系。

Table 7 器件功能与运行模式、 V_S 和 V_{DD} 电压的关系

Operation Mode	Function	Undervoltage condition on V_S ¹⁾ $V_{DD} \leq V_{DD(UV)}$	Undervoltage condition on V_S $V_{DD} > V_{DD(UV)}$	V_S not in undervoltage $V_{DD} \leq V_{DD(UV)}$	V_S not in undervoltage $V_{DD} > V_{DD(UV)}$
Sleep	Channels	not available	not available	not available	not available
	SPI comm.	not available	not available	not available	not available
	SPI registers	reset	reset	reset	reset
Idle	Channels	not available	not available	not available	not available
	SPI comm.	not available	✓	not available	✓
	SPI registers	reset	✓	reset	✓
Active	Channels	not available	✓	✓ (IN pins only)	✓
	SPI comm.	not available	✓	not available	✓
	SPI registers	reset	✓	reset	✓
Limp Home	Channels	not available	✓ (IN pins only)	✓ (IN pins only)	✓ (IN pins only)
	SPI comm.	not available	✓ (read-only)	not available	✓ (read-only)
	SPI registers	reset	✓ (read-only) ²⁾	reset	✓ (read-only) ²⁾

1) 详见第6.2.1 章

2) 详见第6.1.5 章

6.1.1 上电

当向器件施加一个电源电压 (V_S 或 V_{DD}) , 且 INn 或 IDLE 引脚设置为"高电平"时, 即满足上电条件。如果 V_S 高于阈值 $V_{S(OP)}$, 或如果 V_{DD} 高于阈值 $V_{DD(LOP)}$, 则内部上电信号被置位。

6.1.2 睡眠模式

当 TLE75008-ESD 处于睡眠模式时, 所有输出均关闭, SPI 寄存器复位, 且与电源电压无关。此时电流消耗极低。请参阅参数 $I_{VDD(SLEEP)}$ 和 $I_{VS(SLEEP)}$, 或参阅整个器件的参数 I_{SLEEPO}

6.1.3 IDLE 模式

在 IDLE 模式下, 器件的电流消耗可达到参数 $I_{VDD(IDLE)}$ 和 $I_{VS(IDLE)}$ 或整个器件的参数 I_{IDLE} 所给出的限制。内部电压稳压器正在工作。诊断功能不可用。输出通道关闭, 与电源电压无关。当 V_{DD} 可用时 , SPI 寄存器工作, 可以进行 SPI 通信。在 IDLE 模式下, 出于功能安全考虑, **ERRn** 位不会清零。

电源

6.1.4 激活模式

激活模式是当没有 Limp Home 条件置位且需要驱动部分或全部负载时TLE75008-ESD的正常运行模式。 V_{DD} 和 V_S 的电压电平对器件行为的影响如第6章开头所述。器件电流消耗由 $I_{VDD(Active)}$ 和 $I_{VS(Active)}$ (I_{Active} 用于整个器件)指定。当 IDLE 引脚置位为“高”并且某一输入引脚置位为“高”或某一 **OUT.OUTn** 位置位为“1”时，器件进入激活模式。如果**HWCR.ACT** 置位为“0”时，一旦所有输入引脚置位为“低”且**OUT.OUTn** 位置位为“0”时，器件返回 IDLE 模式。如果**HWCR.ACT** 置位为“1”时，器件保持激活模式，与输入引脚和**OUT.OUTn** 位的状态无关。如果所有输入引脚都设置为“低”，则 V_{DD} 电源上的欠压条件会使器件进入 IDLE 模式。即使寄存器**MAPIN0** 和**MAPIN1** 均置位为“00_H”，但其中一个输入引脚 INn 置位为“高”，器件进入激活模式。

6.1.5 Limp Home 模式

当 IDLE 引脚为“低”且其中一个输入引脚置位为“高”时，TLE75008-ESD 进入 Limp Home 模式，打开与其连接的通道。SPI 通信是可能的，但只能以只读模式进行（可以读取 SPI 寄存器，但不能写入）。更多详情：

- **UVRVS** 和**LOPVDD** 置位为“1”
- **MODE** 位设置为“01_B”（Limp Home 模式）
- **TER** 进入Limp Home 模式后，第一个SPI命令的置位为“1”。之后就可以正常使用了
- **OLOFF** 位置位为“0”
- **ERRn** 位正常工作
- **DIAG_OSM.OUTn** 位可正常读取和工作
- 所有其他寄存器均设置为其默认值，并且只要器件处于 Limp Home 模式，就无法对其进行编程

有关在 Limp Home 期间打开通道 2 和 3 所需的电源电压条件的详细概述见表 6。所有其他通道均关闭。

从激活到 Limp Home 模式或从 Limp Home 到激活模式转换期间的全部 SPI 命令可能会导致未定义的SPI响应。

6.1.6 电源模式转换时间的定义

当 TLE75008-ESD 处于激活模式或 Limp Home 模式时，通道导通时间由参数 t_{ON} 确定。其它情况需加上进入上述两种操作模式之一所需的过渡时间（如图 14所示）。

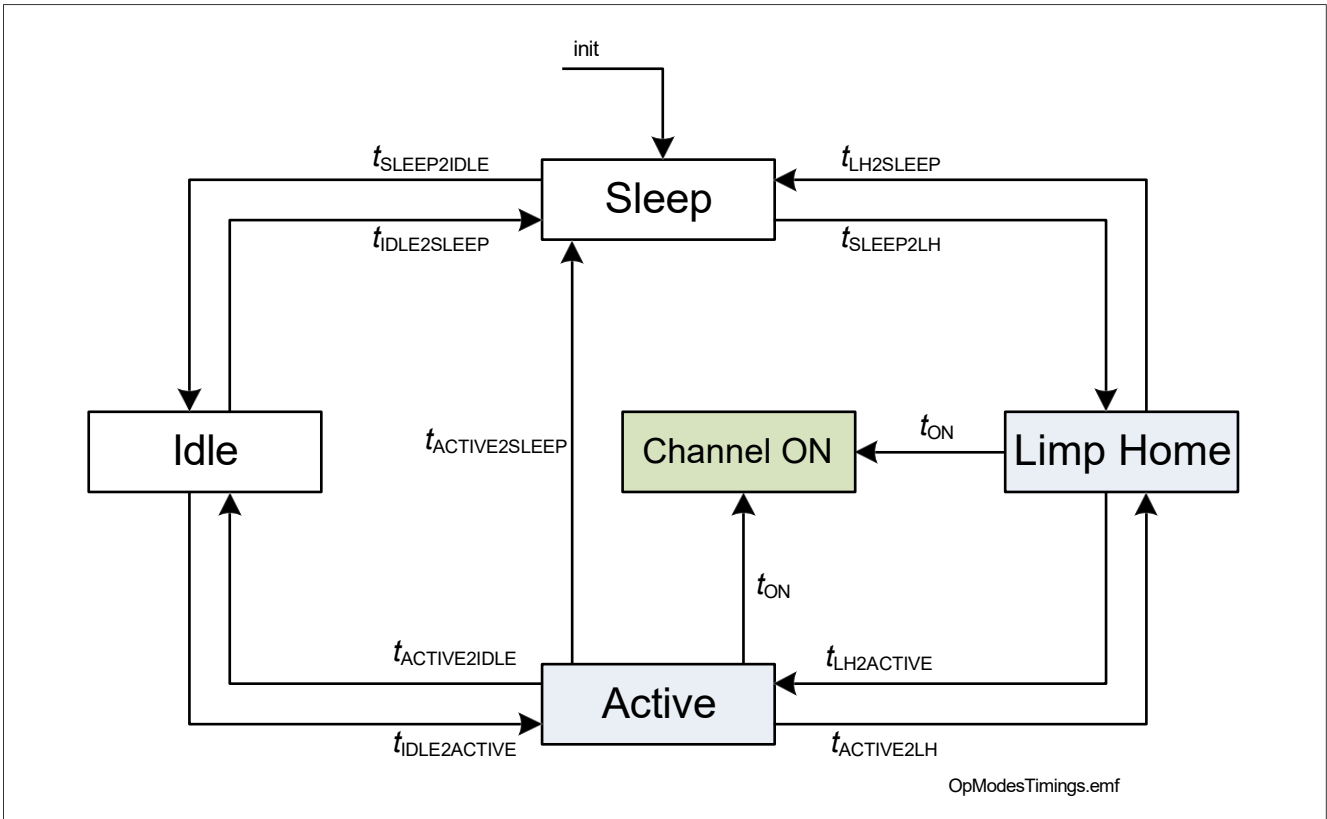


图 14 转换时间图

6.2 复位条件

以下条件之一可将 SPI 寄存器复位为其默认值：

- V_{DD} 不存在或低于欠压阈值 $V_{DD(UV)}$
- IDLE 引脚设置为 "低"
- 执行复位命令（**HWCR.RST** 设置为 "1"）。
 - **ERRn** 位不会被复位命令清除（功能安全需求）
 - **UVRVS** 和 **LOPVDD** 位由复位命令清除

特别注意的是，所有通道都将关闭（如果没有输入引脚设置为 "高"），输入映射配置也将复位。

6.2.1 V_S 欠压

在 $V_{S(UV)}$ 和 $V_{S(OP)}$ 之间，欠压机制被触发。如果器件处于工作状态，且电源电压低于欠压阈值 $V_{S(UV)}$ ，则逻辑位 **UVRVS** 设置为 "1"。一旦电源电压 V_S 超过最低工作电压阈值 $V_{S(OP)}$ ，**UVRVS** 位就会在第一次标准诊断读出后置为 "0"。如表 6 所述， V_S 上的欠压条件会影响通道的状态。图 15 简要说明了欠压行为。

电源

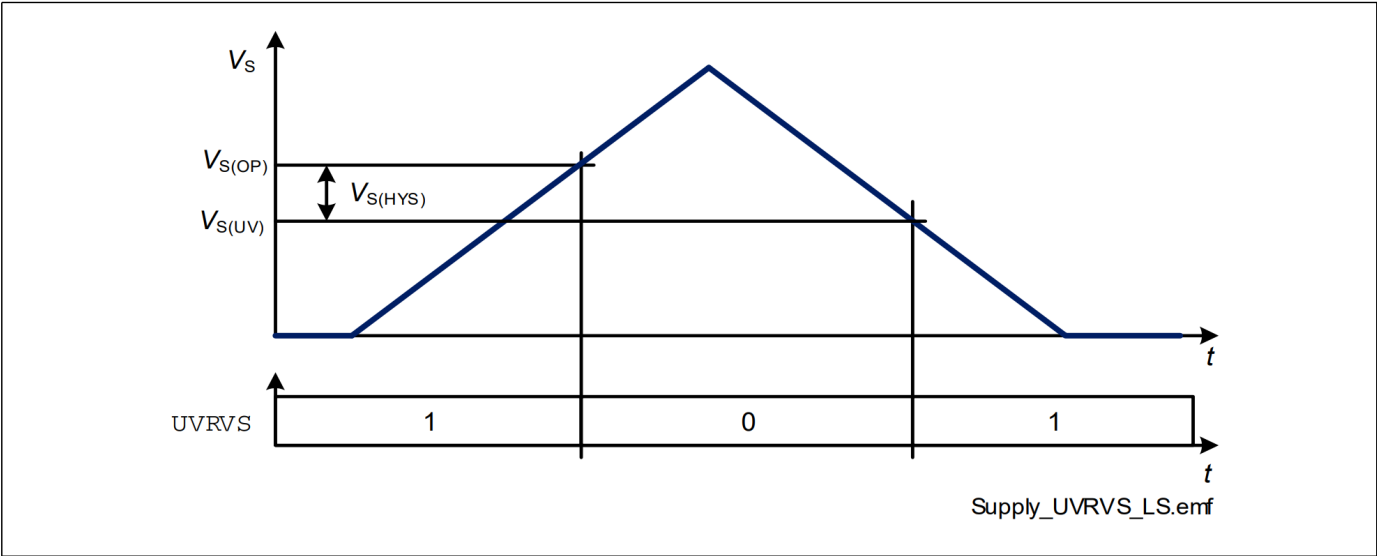


图 15 V_s 欠压行为

6.2.2 V_{DD} 低工作电压

当 V_{DD} 电源电压在 $V_{DD(LOP)}$ 所指示的范围内时，位 **LOPVDD** 设置为 "1"。一旦 $V_{DD} > V_{DD(LOP)}$ **LOPVDD** 位在第一次标准诊断读出后设置为 "0"。

如果 V_{DD} 电源电压不存在，则向引脚 CSN 或 SO 施加电压可以为内部逻辑供电（由于内部设计限制，不建议在正常操作中这样做）。

电源

6.3 电气特性：电源

表 8 电气特性：电源

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述 (除非另有说明)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VS pin							
Analog supply undervoltage shutdown	VS(UV)	1.5	–	3.0	V	OUTn = ON from VDS ≤ 1V to UVRVS = 1B RL = 50 Ω	P_6.3.1
Analog supply minimum operative voltage	VS(OP)	–	–	4.0	V	OUT.OUTn = 1B from UVRVS = 1B to VDS ≤ 1V RL = 50 Ω	P_6.3.2
Undervoltage shutdown hysteresis	VS(HYS)	–	1	–	V	1)	P_6.3.3
Analog supply current consumption in Sleep mode with loads	IVS(SLEEP)	–	0.1	3	μA	1) VIDLE floating VINn floating VCSN = VDD TJ ≤ 85 °C	P_6.3.4
Analog supply current consumption in Sleep mode with loads	IVS(SLEEP)	–	0.1	–	μA	1) VIDLE floating VINn floating VCSN = VDD TJ ≤ 85 °C VS = 13.5 V	P_6.3.63
Analog supply current consumption in Sleep mode with loads	IVS(SLEEP)	–	0.1	20	μA	VIDLE floating VINn floating VCSN = VDD TJ = 150 °C	P_6.3.5
Analog supply current consumption in Idle mode with loads	IVS(IDLE)	–	–	2.2	mA	IDLE = “high” VINn floating fSCLK = 0 MHz HWCR.ACT = 0B OUT.OUTn = 0B DIAG_IOL.OUTn = 0B VCSN = VDD	P_6.3.6

电源

表 8 电气特性：电源（续）

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述 (除非另有说明)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Analog supply current consumption in Idle mode with loads (COR)	$I_{VS(IDLE)}$	–	–	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 0_B$ $OUT.OUTn = 0_B$ $DIAG_IOL.OUTn = 0_B$ $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.7
Analog supply current consumption in Active mode with loads - channels OFF	$I_{VS(ACTIVE)}$	–	–	4.2	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 1_B$ $OUT.OUTn = 0_B$ $DIAG_IOL.OUTn = 0_B$ $V_{CSN} = V_{DD}$	P_6.3.8
Analog supply current consumption in Active mode with loads - channels OFF (COR)	$I_{VS(ACTIVE)}$	–	0.1	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 1_B$ $OUT.OUTn = 0_B$ $DIAG_IOL.OUTn = 0_B$ $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.12
Analog supply current consumption in Active mode with loads - channels ON	$I_{VS(ACTIVE)}$	–	–	4.2	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 1_B$ $OUT.OUTn = 1_B$ $DIAG_IOL.OUTn = 0_B$ $V_{CSN} = V_{DD}$	P_6.3.15

电源

表 8 电气特性：电源（续）

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述（除非另有说明）

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Analog supply current consumption in Active mode with loads - channels ON (COR)	$I_{VS(ACTIVE)}$	–	0.1	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 1_B$ $OUT.OUTn = 1_B$ $DIAG_IOL.OUTn = 0_B$ $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.20
VDD pin							
Logic Supply Operating voltage	$V_{DD(OP)}$	3.0	–	5.5	V	$f_{SCLK} = 5\text{ MHz}$	P_6.3.23
Logic Supply Lower Operating Voltage	$V_{DD(LOP)}$	3.0	–	4.5	V	–	P_6.3.24
Undervoltage shutdown	$V_{DD(UV)}$	1	–	3.0	V	$V_{SI} = 0\text{ V}$ $V_{SCLK} = 0\text{ V}$ $V_{CSN} = 0\text{ V}$ SO from “low” to high impedance	P_6.3.25
Logic supply current in Sleep mode	$I_{VDD(SLEEP)}$	–	0.1	2.5	μA	¹⁾ V_{IDLE} floating V_{INn} floating $V_{CSN} = V_{DD}$ $T_J \leq 85\text{ }^{\circ}\text{C}$	P_6.3.26
Logic supply current in Sleep mode	$I_{VDD(SLEEP)}$	–	–	10	μA	V_{IDLE} floating V_{INn} floating $V_{CSN} = V_{DD}$ $T_J = 150\text{ }^{\circ}\text{C}$	P_6.3.27
Logic supply current in Idle mode	$I_{VDD(IDLE)}$	–	–	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 0_B$ $OUT.OUTn = 0_B$ $V_{CSN} = V_{DD}$	P_6.3.28
Logic supply current in Idle mode (COR)	$I_{VDD(IDLE)}$	–	–	2.2	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ $HWCR.ACT = 0_B$ $OUT.OUTn = 0_B$ $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.29

电源

表 8 电气特性：电源（续）

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述（除非另有说明）

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Logic supply current in Active mode - channels OFF	$I_{VDD(Active)}$	–	–	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 0 _B $V_{CSN} = V_{DD}$	P_6.3.30
Logic supply current in Active mode - channels OFF (COR)	$I_{VDD(Active)}$	–	–	4.2	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 0 _B $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.31
Logic supply current in Active mode - channels ON	$I_{VDD(Active)}$	–	–	0.3	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 1 $V_{CSN} = V_{DD}$	P_6.3.35
Logic supply current in Active mode - channels ON (COR)	$I_{VDD(Active)}$	–	–	4.2	mA	IDLE = “high” V_{INn} floating $f_{SCLK} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 1 _B $V_{CSN} = V_{DD}$ $V_S \leq V_{DD} - 1\text{ V}$	P_6.3.36

Overall current consumption

Overall current consumption in Sleep mode $I_{VS(SLEEP)} + I_{VDD(SLEEP)}$	I_{SLEEP}	–	–	5	μA	1) V_{IDLE} floating V_{INn} floating $V_{CSN} = V_{DD}$ $T_J \leq 85\text{ }^{\circ}\text{C}$	P_6.3.40
Overall current consumption in Sleep mode $I_{VS(SLEEP)} + I_{VDD(SLEEP)}$	I_{SLEEP}	–	–	5	μA	1) V_{IDLE} floating V_{INn} floating $V_{CSN} = V_{DD}$ $T_J \leq 85\text{ }^{\circ}\text{C}$ $V_S = 13.5\text{ V}$	P_6.3.64

电源

表 8 电气特性：电源（续）

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述（除非另有说明）

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overall current consumption in Sleep mode $I_{VS(\text{SLEEP})} + I_{VDD(\text{SLEEP})}$	I_{SLEEP}	–	–	30	μA	V_{IDLE} floating V_{INN} floating $V_{\text{CSN}} = V_{\text{DD}}$ $T_J = 150\text{ }^{\circ}\text{C}$	P_6.3.41
Overall current consumption in Idle mode $I_{VS(\text{IDLE})} + I_{VDD(\text{IDLE})}$	I_{IDLE}	–	–	2.5	mA	IDLE = “high” V_{INN} floating $f_{\text{SCLK}} = 0\text{ MHz}$ HWCR.ACT = 0 _B OUT.OUTn = 0 _B DIAG_IOL.OUTn = 0 _B $V_{\text{CSN}} = V_{\text{DD}}$	P_6.3.42
Overall current consumption in Active mode - channels OFF $I_{VS(\text{ACTIVE})} + I_{VDD(\text{ACTIVE})}$	I_{ACTIVE}	–	–	4.5	mA	IDLE = “high” V_{INN} floating $f_{\text{SCLK}} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 0 _B DIAG_IOL.OUTn = 0 _B $V_{\text{CSN}} = V_{\text{DD}}$	P_6.3.43
Overall current consumption in Active mode - channels ON $I_{VS(\text{ACTIVE})} + I_{VDD(\text{ACTIVE})}$	I_{ACTIVE}	–	–	4.5	mA	IDLE = “high” V_{INN} floating $f_{\text{SCLK}} = 0\text{ MHz}$ HWCR.ACT = 1 _B OUT.OUTn = 1 _B DIAG_IOL.OUTn = 0 _B $V_{\text{CSN}} = V_{\text{DD}}$	P_6.3.47
Voltage difference between V_S and V_{DD} supply lines	V_{SDIFF}	–	200	–	mV	¹⁾	P_6.3.52

Timings

Sleep to Idle delay	$t_{\text{SLEEP2IDLE}}$	–	200	400	μs	¹⁾ from IDLE pin to TER + INST register = 8680 _H (see Chapter 10.6.1 for details)	P_6.3.53
---------------------	-------------------------	---	-----	-----	---------------	--	----------

电源

表 8 电气特性 - 电源 (续)

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述 (除非另有说明)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Idle to Sleep delay	$t_{IDLE2SLEEP}$	–	100	200	μs	¹⁾ from IDLE pin to Standard Diagnosis = 0000 _H (see Chapter 10.5 for details) external pull-down SO to GND required	P_6.3.54
Idle to Active delay	$t_{IDLE2ACTIVE}$	–	100	200	μs	¹⁾ from INn or CSN pins to MODE = 10 _B	P_6.3.55
Active to Idle delay	$t_{ACTIVE2IDLE}$	–	100	200	μs	¹⁾ from INn or CSN pins to MODE = 11 _B	P_6.3.56
Sleep to Limp Home delay	$t_{SLEEP2LH}$	–	300 + t_{ON}	600 + t_{ON}	μs	¹⁾ from INn pins to $V_{DS} = 10\% V_S$	P_6.3.57
Limp Home to Sleep delay	$t_{LH2SLEEP}$	–	200 + t_{OFF}	400 + t_{OFF}	μs	¹⁾ from INn pins to Standard Diagnosis = 0000 _H (see Chapter 10.6.1 for details). External pull-down SO to GND required	P_6.3.58
Limp Home to Active delay	$t_{LH2ACTIVE}$	–	50	100	μs	¹⁾ from IDLE pin to MODE = 10 _B	P_6.3.59

电源

表 8 电气特性 - 电源 (续)

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压相对于地, 正向电流如图 3 所述 (除非另有说明)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Active to Limp Home delay	$t_{\text{ACTIVE2LH}}$	–	50	100	μs	1) from IDLE pin to TER + INST register = 8683 _H (IN0 = IN1 = “high”) or 8682 _H (IN1 = “high”, IN0 = “low”) or 8681 _H (IN1 = “low”, IN0 = “high”) (see Chapter 10.5 for details)	P_6.3.60
Active to Sleep delay	$t_{\text{ACTIVE2SLEEP}}$	–	50	100	μs	1) from IDLE pin to Standard Diagnosis = 0000 _H (see Chapter 10.6.1 for details). External pull-down SO to GND required.	P_6.3.61

1) 无需经过生产测试, 由设计指定。

功率级

7 功率级

TLE75008-ESD是一款八通道低边继电器开关。功率级由 N 沟道横向功率 MOSFET 晶体管构建。

7.1 输出导通电阻

导通电阻 $R_{DS(ON)}$ 取决于电源电压以及结温 T_J 。

7.1.1 驱动阻性负载

在驱动阻性负载时，可以考虑以下切换时间和转换速率。

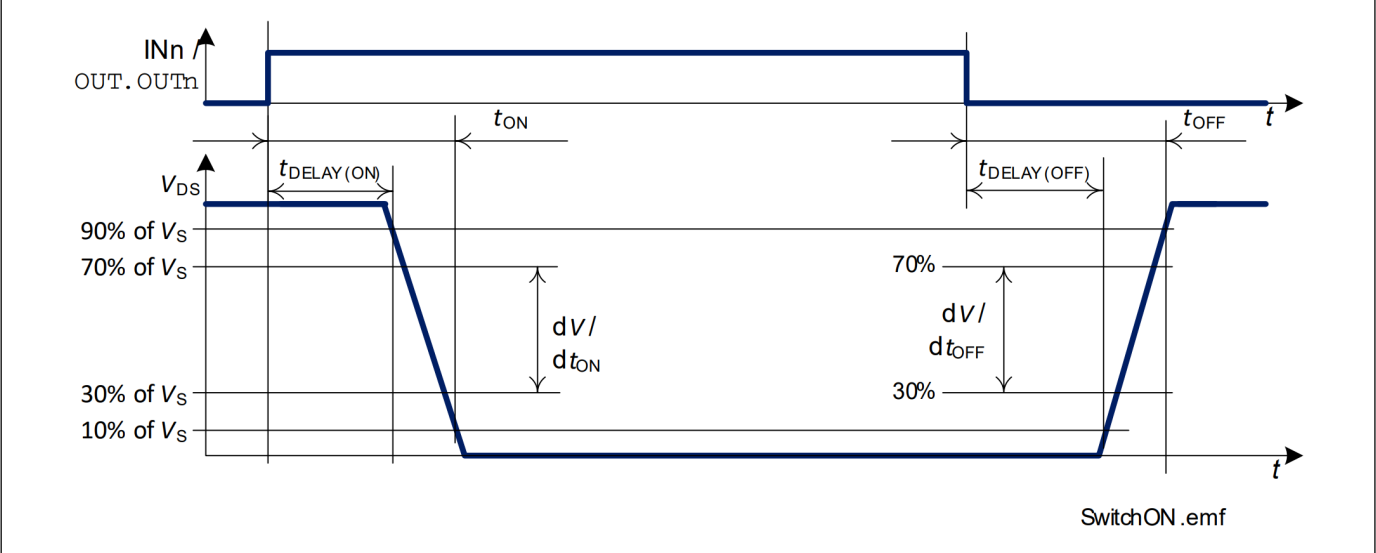


图 16 阻性负载的开关控制

7.1.2 电感输出钳位

关闭感性负载时，电源开关两端的电压可能会上升到 $V_{DS(CL)}$ 电位，因为感性负载的续流电流。为防止器件损坏电压钳位是必要的。

图 17 显示了应用的概念图。然而，允许的最大感性负载是有限制的。钳位架构在所有工作模式（睡眠、空闲、激活、跛行）下保护器件。

功率级

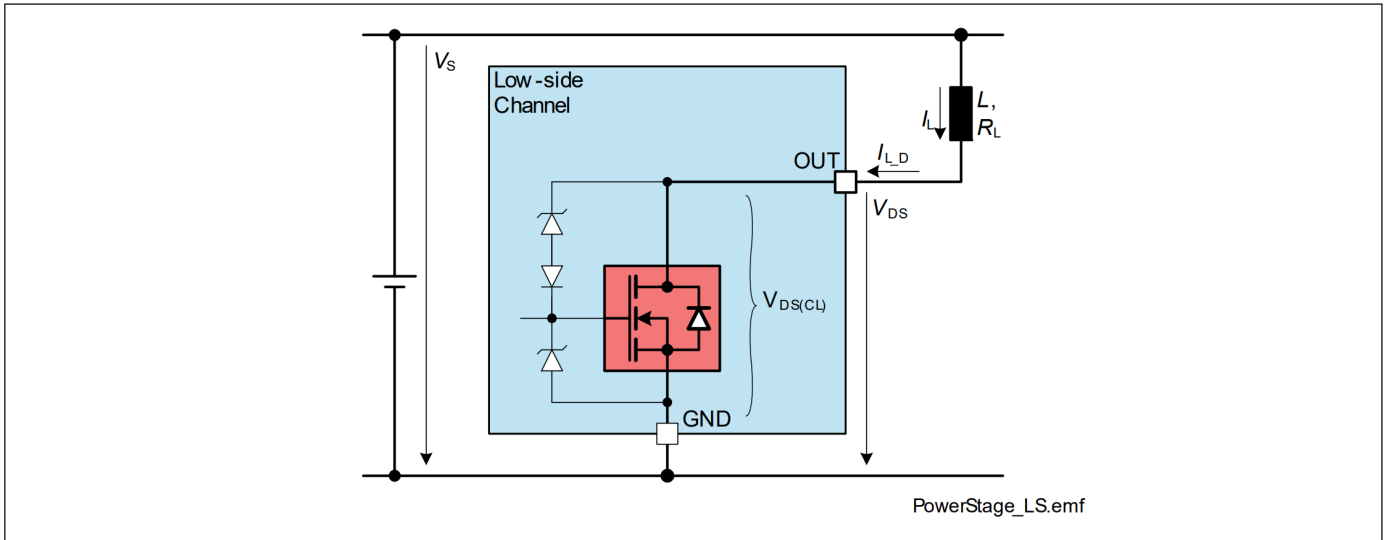


图 17 输出钳位概念

7.1.3 最大负载电感

在感性负载退磁期间，能量必须在TLE75008-ESD中消耗。公式 (7.1) 显示了计算低边开关能量的计算方法：

$$E = V_{DS(CL)} \cdot \left[\frac{V_S - V_{DS(CL)}}{R_L} \cdot \ln \left(1 - \frac{R_L \cdot I_L}{V_S - V_{DS(CL)}} \right) + I_L \right] \cdot \frac{L}{R_L} \quad (7.1)$$

最大能量（即转化为热量的能量）受组件热设计的限制。表2中提供的 E_{AR} 值假设当连接到输出端的电感同时退磁时，所有通道都能耗散相同的热量。

7.2 并行切换通道

通道并联使用，如果出现通道短路，两个通道之间可能会异步关闭，从而给最后关闭的通道带来额外的热应力。为了避免这种情况，可以在 SPI 寄存器中配置两个相邻通道的并行操作（HWCR.PAR 位）。在此模式下运行时，对过载或过温条件做出反应最快的通道也会关闭另一个通道。两个通道并联后能够处理的感性能量低于单通道能量的两倍（见P_7.6.11）。可以同步的有以下几个通道：

- 通道 0 和通道 2 → HWCR.PAR (0) 置位为“1”
- 通道 1 和通道 3 → HWCR.PAR (1) 置位为“1”
- 通道 4 和通道 6 → HWCR.PAR (2) 置位为“1”
- 通道 5 和通道 7 → HWCR.PAR (3) 置位为“1”

同步位仅影响通道对过载或过温工况的反应。同步通道必须由微控制器单独开启和关闭。

功率级

7.3 电气特性：功率级

表 9 电气特性：功率级

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ (除非另有规定)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Characteristics							
On-State Resistance	$R_{DS(ON)}$	–	1.0	–	Ω	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$	P_7.6.1
On-State Resistance	$R_{DS(ON)}$	–	1.8	2.2	Ω	$T_J = 150\text{ }^{\circ}\text{C}$ $I_L = I_{L(EAR)} = 220\text{ mA}$	P_7.6.2
Nominal load current (all channels active)	$I_{L(NOM)}$	–	330	500 ²⁾³⁾	mA	¹⁾ $T_A = 85\text{ }^{\circ}\text{C}$ $T_J \leq 150\text{ }^{\circ}\text{C}$	P_7.6.3
Nominal load current (all channels active)	$I_{L(NOM)}$	–	260	500 ²⁾³⁾	mA	¹⁾ $T_A = 105\text{ }^{\circ}\text{C}$ $T_J \leq 150\text{ }^{\circ}\text{C}$	P_7.6.4
Nominal load current (half of channels active)	$I_{L(NOM)}$	–	470	500 ²⁾³⁾	mA	¹⁾ $T_A = 85\text{ }^{\circ}\text{C}$ $T_J \leq 150\text{ }^{\circ}\text{C}$	P_7.6.5
Load current for maximum energy dissipation - repetitive (all channels active)	$I_{L(EAR)}$	–	220	–	mA	¹⁾ $T_A = 85\text{ }^{\circ}\text{C}$ $T_J \leq 150\text{ }^{\circ}\text{C}$	P_7.6.8
Maximum energy dissipation repetitive pulses - $2 \cdot I_{L(EAR)}$ (two channels in parallel)	E_{AR}	–	–	15	mJ	¹⁾ $T_{J(0)} = 85\text{ }^{\circ}\text{C}$ $I_{L(0)} = 2 \cdot I_{L(EAR)}$ $2 \cdot 10^6$ cycles HWCR.PAR = “1” for affected channels	P_7.6.11
Power stage voltage drop at low battery	$V_{DS(OP)}$	–	–	1	V	$R_L = 50\text{ }\Omega$ supplied by $V_S = 4\text{ V}$ $V_S = V_{S(OP),max}$ or $V_{DD} = 4.5\text{ V}$, VS pin open refer to Figure 17	P_7.6.12
Drain to Source Output clamping voltage	$V_{DS(CL)}$	42	46	55	V	$I_L = 20\text{ mA}$	P_7.6.16
Output leakage current (each channel) $T_J \leq 85\text{ }^{\circ}\text{C}$	$I_{L(OFF)}$	–	0.01	0.5	μA	¹⁾ $V_{IN} = 0\text{ V}$ or floating $V_{DS} = 28\text{ V}$ OUT.OUTn = 0 $T_J \leq 85\text{ }^{\circ}\text{C}$	P_7.6.19

功率级

表 9 电气特性：功率级（续）

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ （除非另有规定）

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output leakage current (each channel) $T_J = 150\text{ }^{\circ}\text{C}$ (Low-Side channels)	$I_{L(OFF)}$	–	0.1	5	μA	¹⁾ $V_{IN} = 0\text{ V}$ or floating $V_{DS} = 28\text{ V}$ OUT.OUTn = 0 $T_J = 150\text{ }^{\circ}\text{C}$	P_7.6.20

Timings

Turn-ON delay (from INn pin or bit to $V_{OUT} = 90\% V_S$)	$t_{DELAY(ON)}$	1	4	8	μs	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.21
Turn-OFF delay (from INn pin or bit to $V_{OUT} = 10\% V_S$)	$t_{DELAY(OFF)}$	1	6	12	μs	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.22
Turn-ON time (from INn pin or bit to $V_{OUT} = 10\% V_S$)	t_{ON}	6	15	35	μs	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.23
Turn-OFF time (from INn pin or bit to $V_{OUT} = 90\% V_S$)	t_{OFF}	6	15	35	μs	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.24
Turn-ON/OFF matching	$t_{ON} - t_{OFF}$	-10	0	10	μs	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.25
Turn-ON slew rate $V_{DS} = 70\% \text{ to } 30\% V_S$	dV/dt_{ON}	0.7	1.3	1.9	$\text{V}/\mu\text{s}$	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.26
Turn-OFF slew rate $V_{DS} = 30\% \text{ to } 70\% V_S$	$-dV/dt_{OFF}$	0.7	1.3	1.9	$\text{V}/\mu\text{s}$	$R_L = 50\text{ }\Omega$ $V_S = 13.5\text{ V}$ Active mode or Limp Home mode	P_7.6.27
Internal reference frequency synchronization time	t_{SYNC}	–	5	10	μs	¹⁾	P_7.6.45

1) 未经过生产测试，由设计指定。

2) 如果一个通道应用了 $I_{L(NOM),max}$ ，则必须相应地减小其余通道的负载，使 $T_J < 150\text{ }^{\circ}\text{C}$

3) $I_{L(NOM),max}$ 可达到 $I_{L(OVL1),min}$

8 保护功能

8.1 过载保护

TLE75008-ESD 在过载或负载短路时受到保护。过载电流阈值有两个（见图 18）：

- $I_{L(OVL0)}$ 在通道打开和 t_{OVLIN} 之间
- t_{OVLIN} 之后的 $I_{L(OVL1)}$

每次通道关闭时间超过 $2 \cdot t_{SYNC}$ 时，过载电流阈值将设置回 $I_{L(OVL0)}$ 。

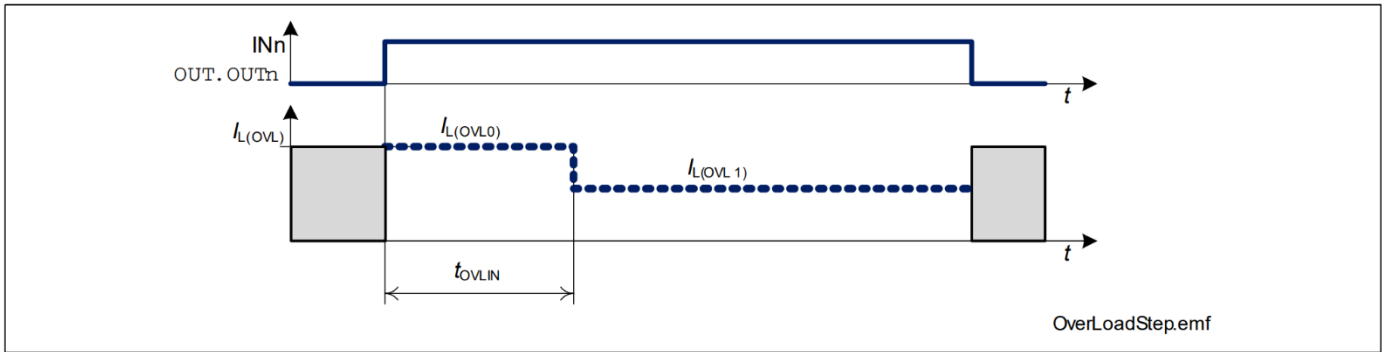


图 18 过载电流阈值

如果负载电流大于 $I_{L(OVL0)}$ 或 $I_{L(OVL1)}$ ，则过载通道将在 $t_{OFF(OVL)}$ 时间后关闭，相应的诊断位 **ERRn** 被置位。通过将相应的 **HWCR_OCL.OUTn** 位设置为 "1"，可在清除保护锁存后开启通道。在解除通道锁存后，该位将在内部置回 "0"。详情请参阅图 19。

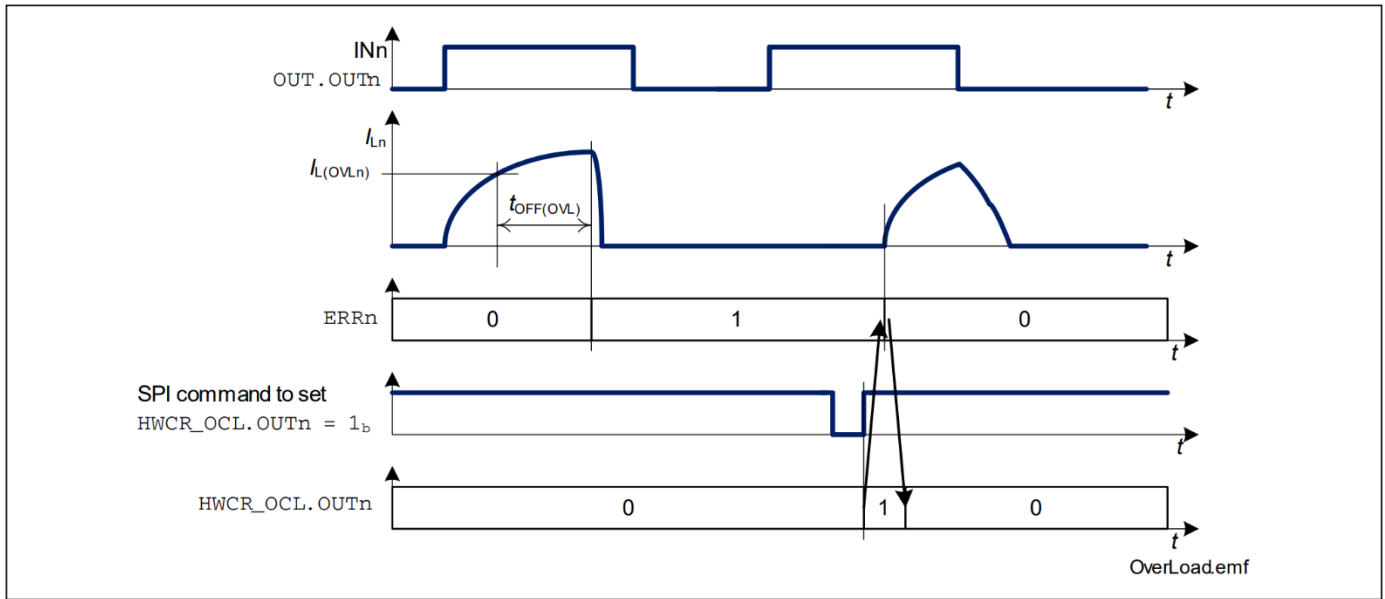


图 19 过载时锁存器关闭

8.2 过温保护

每个通道都集成了一个温度传感器，使过热通道关闭，以防止损坏。相应的诊断位 **ERRn** 被设置（与过载保护相结合）。

保护功能

通道可以通过将相应的 **HWCR_OCL.OUTn** 位设置为 "1", 可在清除保护锁存后开启该通道。解除通道锁存后, 该位将在内部设置回 "0"。

8.3 Limp Home 模式中的过温和过载保护

当 TLE75008-ESD 处于 Limp Home 模式时, 可以使用输入引脚打开通道 2 和 3。如果发生负载过大、短路或过温, 通道会关断。如果输入引脚保持“高电平”, 则通道按以下时序重新启动:

- 10 ms (前 8 次重试)
- 20 ms (8 次重试后)
- 40 ms (8 次重试后)
- 80 ms (只要输入引脚保持“高”电平且错误仍然存在)

如果在任何时候将输入引脚设置为 "低电平" 的时间超过 $2 \cdot t_{\text{SYNC}}$, 重启计时器将被重置。在 Limp Home 模式下启动下一个通道时, 定时器重新从 10 ms 开始计时。详见图 20。过载电流阈值表现如第 8.1 章所述。

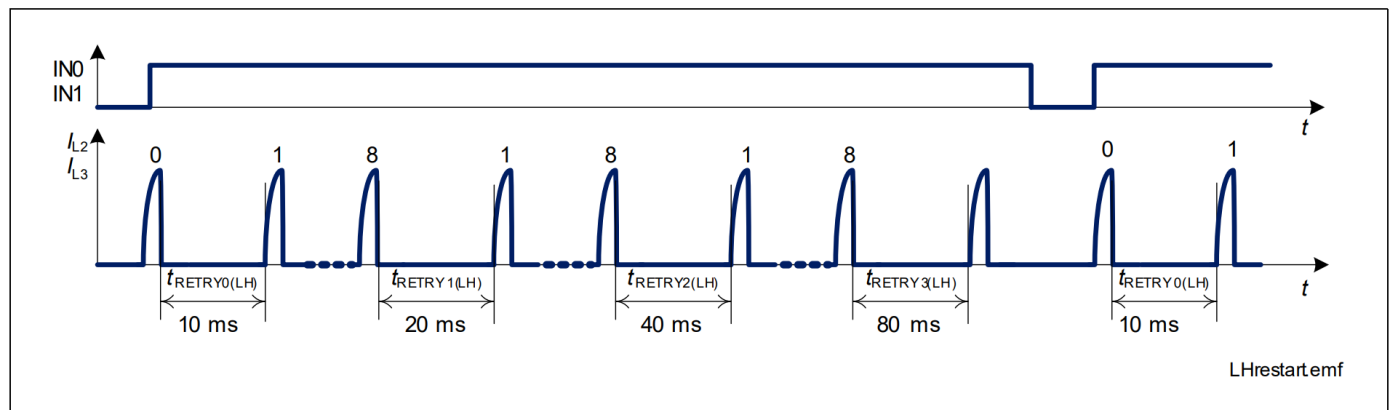


图 20 Limp Home 模式重启定时器

8.4 反极性保护

在反极性 (也称为反电池) 条件下, 耗散功率是由每个 DMOS 通道的本体二极管引起的。逻辑引脚和电源引脚的每个 ESD 二极管都会导致总功率耗散。通过通道的反向电流必须受到所连接负载的限制。通过数字电源 V_{DD} 和输入引脚的电流也必须受到限制 (请参阅第 4.1 章列出的绝对最大额定值)。

注释: 极性反接时, 温度保护或电流限制等保护机制均不起作用。

8.5 过压保护

在电源电压介于 $V_{\text{S(SC)}}$ 和 $V_{\text{S(LD)}}$ 之间时, 输出晶体管仍可工作, 并遵循输入引脚或 **OUT** 寄存器。

除了第 7.1.2 章中描述针对感性负载的输出钳位之外, 还提供了一种钳位机制, 用于逻辑电路和所有通道的过压保护, 并监控 VS 和 GND 引脚之间的电压 ($V_{\text{S(AZ)}}$)。

保护功能

8.6 电气特性：保护

表 10 电气特性：保护

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ (除非另有规定)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Over Load							
Over Load detection current	$I_{L(OVL0)}$	1.3	1.7	2.3	A	$T_J = -40\text{ }^{\circ}\text{C}$	P_8.8.19
Over Load detection current	$I_{L(OVL0)}$	1.25	1.55	2.3	A	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$	P_8.8.20
Over Load detection current	$I_{L(OVL0)}$	1	1.45	2	A	$T_J = 150\text{ }^{\circ}\text{C}$	P_8.8.21
Over Load detection current	$I_{L(OVL1)}$	0.7	0.95	1.3	A	$T_J = -40\text{ }^{\circ}\text{C}$	P_8.8.22
Over Load detection current	$I_{L(OVL1)}$	0.65	0.85	1.3	A	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$	P_8.8.23
Over Load detection current	$I_{L(OVL1)}$	0.5	0.8	1.25	A	$T_J = 150\text{ }^{\circ}\text{C}$	P_8.8.24
Over Load threshold switch delay time	t_{OVLIN}	110	170	260	μs	¹⁾	P_8.8.5
Over Load shut-down delay time	$t_{OFF(OVL)}$	4	7	11	μs	¹⁾	P_8.8.26
Over Temperature and Over Voltage							
Thermal shut-down temperature	$T_{J(SC)}$	150	175 ¹⁾	220 ¹⁾	$^{\circ}\text{C}$		P_8.8.7
Over voltage protection	$V_{S(AZ)}$	42	50	60	V	$I_{VS} = 10\text{ mA}$ Sleep mode	P_8.8.8
Reverse polarity							
Drain Source diode during reverse polarity	$V_{DS(REV)}$	–	800	–	mV	¹⁾ $I_L = -10\text{ mA}$ $T_J = 25\text{ }^{\circ}\text{C}$ Sleep mode	P_8.8.9
Drain Source diode during reverse polarity	$V_{DS(REV)}$	–	650	–	mV	$I_L = -10\text{ mA}$ $T_J = 150\text{ }^{\circ}\text{C}$ Sleep mode	P_8.8.10
Timings							
Restart time in Limp Home mode	$t_{RETRY0(LH)}$	7	10	13	ms	¹⁾	P_8.8.13
Restart time in Limp Home mode	$t_{RETRY1(LH)}$	14	20	26	ms	¹⁾	P_8.8.14
Restart time in Limp Home mode	$t_{RETRY2(LH)}$	28	40	52	ms	¹⁾	P_8.8.15
Restart time in Limp Home mode	$t_{RETRY3(LH)}$	56	80	104	ms	¹⁾	P_8.8.16

1) 无需经过生产测试，由设计指定。

诊断

9 诊断

TLE75008-ESD 的 SPI 接口提供有关器件和负载状态的诊断信息。每个通道的诊断信息相互独立。一个通道上的错误情况不会影响器件中其他通道的诊断（除非配置为并联工作），更多详情参见第 7.2 章。

9.1 过载和过温

当一个通道发生过载或过热时，诊断位 **ERRn** 将被相应设置。如 8.1 和 8.2 章所述，通道锁定为 OFF，必须将相应的 **HWCR_OCL.OUTn** 位设置为 "1" 才能重新激活。

9.2 输出状态监控器

器件将各通道 V_{DS} 与 $V_{DS(OL)}$ 进行比较，并相应设置相应的 **DIAG_OSM.OUTn** 位。每次读取 **DIAG_OSM** 寄存器时，都会更新这些位。

- $V_{DS} < V_{DS(OL)} \rightarrow \text{DIAG_OSM.OUTn} = "1"$

通过对 **DIAG_IOL.OUTn** 位进行编程，可启用与功率开关并联的诊断电流 I_{OL} ，用于负载开路检测。每个通道都有专用的诊断电流源。如果诊断电流 I_{OL} 已启用，或者通道状态发生变化（开→关或关→开），则需要等待一段时间 t_{OSM} 才能进行可靠的诊断。启用 I_{OL} 电流源会增加器件的电流消耗。即使检测到负载开路，通道也不会被锁定为关。

有关时序概览，请参见图 21（**DIAG_IOL.OUTn** 的值指的是正常运行时与负载正确连接的通道）。

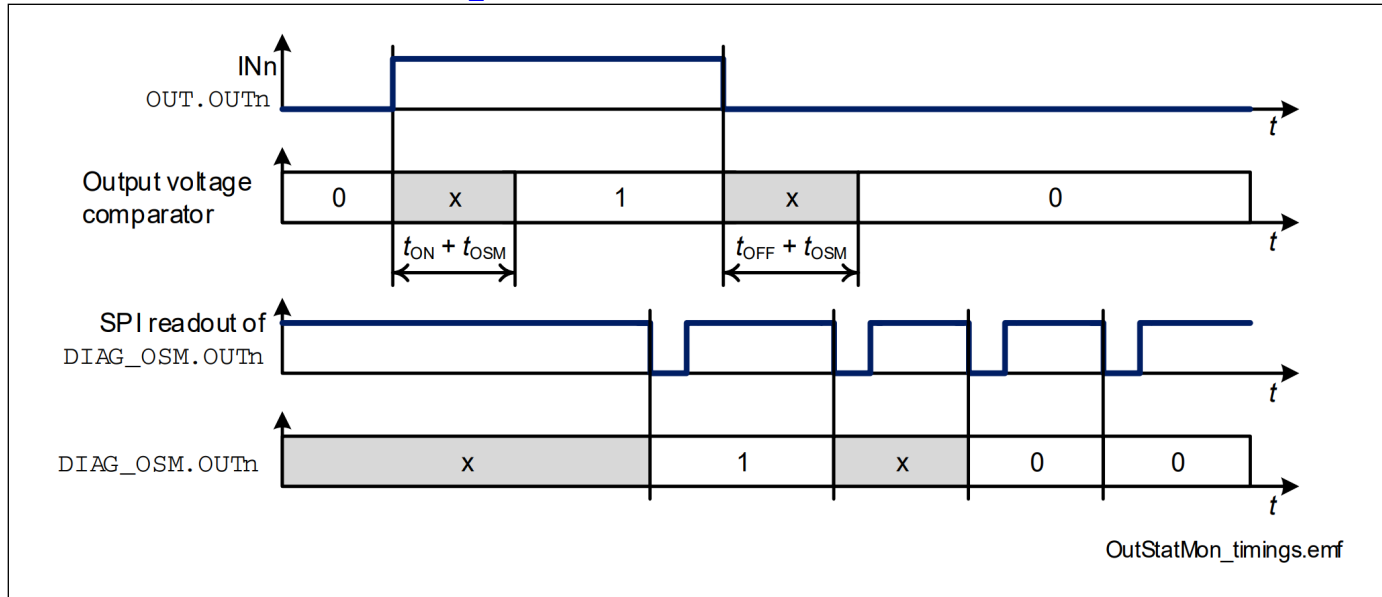


图 21 输出状态监控器时序

当 $V_S = V_S \text{ (NOR)}$ 且 $V_{DD} \geq V_{DD} \text{ (UV)}$ 时，输出状态监控诊断功能可用。

由于输出状态监控器会实时检查输出端的电压电平，因此在诊断 "断开负载" 时，必须将 **DIAG_OSM** 寄存器的读数与通道的 "断开" 状态同步。

诊断

图 22 显示了输出状态监控器在概念层面的实现方式。

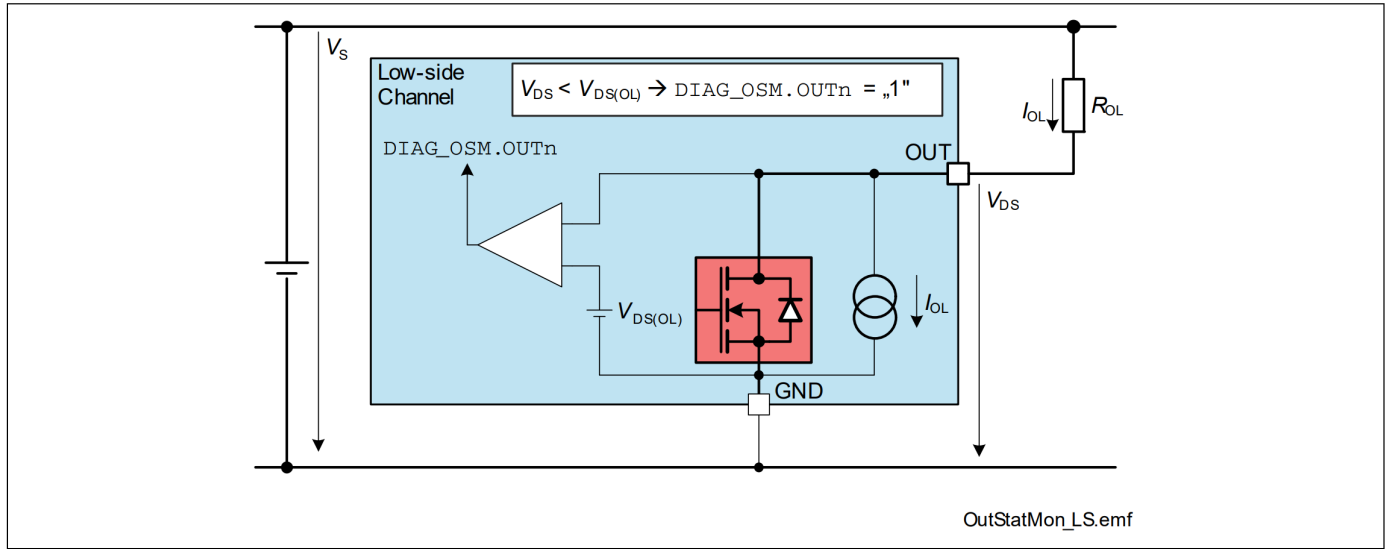


图 22 输出状态监控器 - 概念

在标准诊断中，**OLOFF**位表示所有 **DIAG_OSM.OUTn** 位的 OR 组合，适用于所有处于关断状态且相应电流源 I_{OL} 已激活的通道。

诊断

9.3 电气特性：诊断

表 11 电气特性：诊断

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ (除非另有规定)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Status Monitor							
Output Status Monitor comparator settling time	t_{OSM}	–	–	20	μs	1)	P_9.5.1
Output Status Monitor threshold voltage	$V_{\text{DS(OL)}}$	3	3.3	3.6	V		P_9.5.2
Output diagnosis current	I_{OL}	70	85	100	μA	$V_{\text{DS}} = 3.3 \text{ V}$	P_9.5.5
Open Load equivalent resistance	R_{OL}	30	–	300	kΩ	1)	P_9.5.6

1) 无需经过生产测试，由设计指定。

串行外设接口 (SPI)

10 串行外设接口 (SPI)

串行外设接口（SPI）是一个全双工同步串行从机接口，使用四根线：SO、SI、SCLK 和 CSN。数据通过 SI 和 SO 线路以 SCLK 给定的速率传输。CSN 的下降沿指示访问的开始。数据在 SCLK 的下降沿通过 SI 线采样，并在 SCLK 的上升沿通过 SO 线移出。每个访问必须由 CSN 的上升沿终止。8/16 模计数器可确保只有在前 16 位之后传输了 8 位的倍数时才提取数据。否则，TER 位将被置位。这样，该接口就能与 16 位和 8 位 SPI 器件进行菊花链连接。

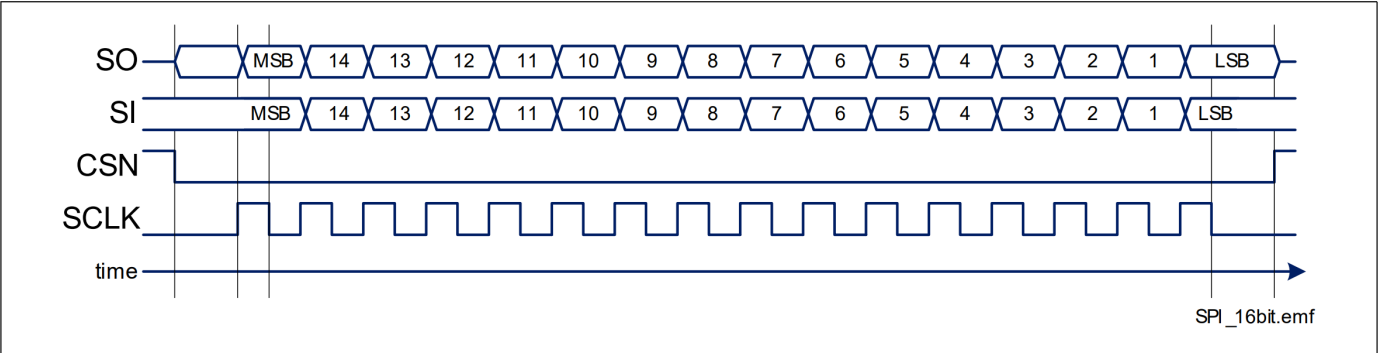


图 23 串行外设接口

10.1 SPI 信号描述

CSN-片选

系统的微控制器通过 CSN 引脚选择 TLE75008-ESD。只要引脚处于“低电平”状态，就可以进行数据传输。当 CSN 处于“高电平”状态时，SCLK 和 SI 引脚上的任何信号都将被忽略，并且 SO 被强制进入“高阻抗”状态。

CSN 从“高”到“低”跳变

- 请求的信息被传输到移位寄存器中。
- 根据传输错误标志（TER）和引脚 SI 信号电平之间的逻辑 OR 组合，SO 从高阻抗状态变为“高电平”或“低电平”状态。这样，即使在菊花链配置中，也能检测到故障传输。
- 如果器件处于 SLEEP 模式，SO 引脚将保持高阻态，并且不会发生 SPI 传输。

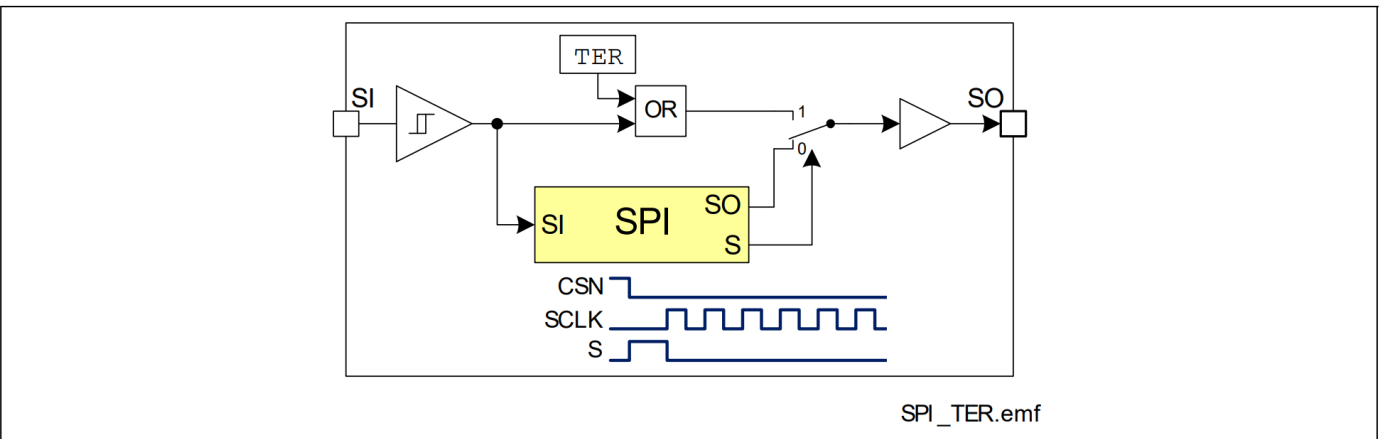


图 24 TER 位组合逻辑

串行外设接口 (SPI)

CSN “低电平” 到 “高电平” 跳变

- 仅当在 CSN 下降沿之后，在前 16 个 SCLK 脉冲之后检测到八个 SCLK 信号的倍数 (1,2,3,...) 时，才完成命令解码。如果出现故障，则所有故障位 (TER) 为置位，且命令将被忽略。
- 来自移位寄存器的数据被传输到寻址寄存器中。

SCLK - 串行时钟

该输入引脚为内部移位寄存器提供时钟。串行输入 (SI) 在 SCLK 的下降沿将数据传输到移位寄存器，而串行输出 (SO) 在串行时钟的上升沿将诊断信息移出。每当片选 CSN 进行任何跳变时，SCLK 引脚必须处于“低电平”状态，否则命令可能不被接受。

SI - 串行输入

串行输入数据位在此引脚移入，最高有效位优先。SI 信息在 SCLK 的下降沿读取。输入数据由两部分组成，控制位和数据位。请参阅[章节 10.5](#)了解更多信息。

SO 串行输出

数据在此引脚上串行移出，最高有效位首先移出。SO 处于“高阻态”状态，直到 CSN 引脚变为“低电平”状态。在 SCLK 的上升沿之后，新的数据将出现在 SO 引脚上。

请参阅[章节 10.5](#)了解更多信息。

10.2 菊花链功能

TLE75008-ESD 的 SPI 提供菊花链功能。在此配置中，多个器件由相同的 CSN 信号 MCSN 激活。一个器件的 SI 线与另一个器件的 SO 线相连（见[图 25](#)）以构成一个链，链的末端分别连接到主器件的输出端和输入端 MO 和 MI。主件提供主时钟 MCLK，连接到链中每个器件的 SCLK 线。

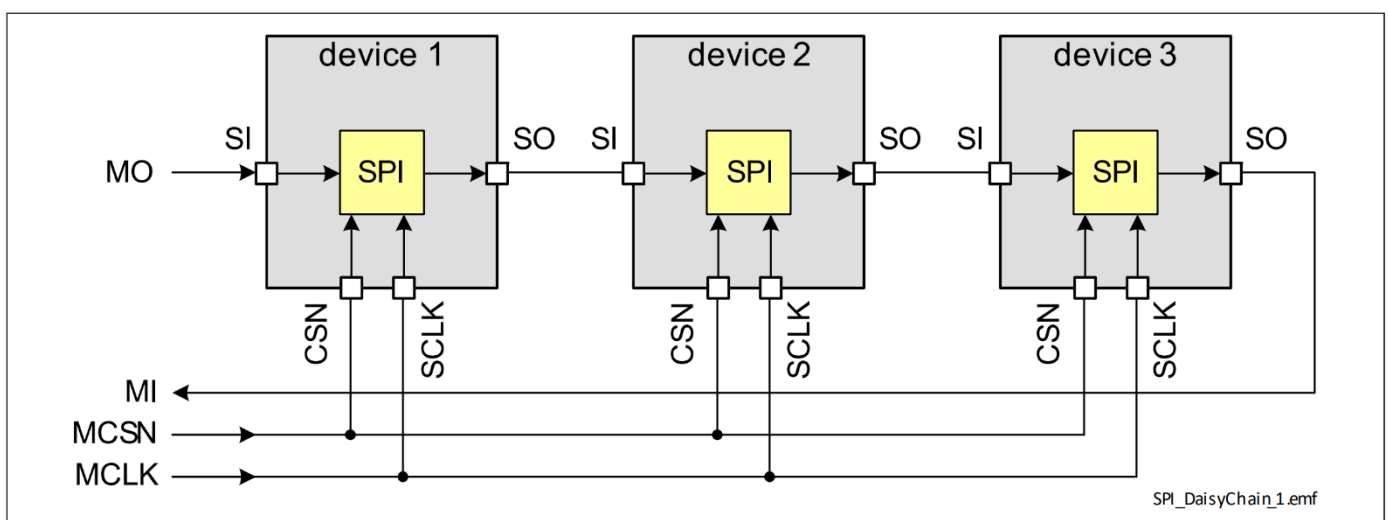


图 25 菊花链配置

在每个器件的 SPI 模块中，都有一个移位寄存器，在每个 SCLK 中对 SI 线路的每个位进行移位。位移出操作发生在 SO 引脚。经过十六个 SCLK 周期后，一个器件的数据传输完成。

串行外设接口 (SPI)

在单芯片配置中，CSN 线路必须变为 "高电平" 才能使器件确认传输的数据。在菊花链配置中，器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在器件间传输多个 8 位的倍数（取决于有多少器件使用 8 位 SPI，多少器件使用 16 位 SPI）。之后，MCSN 线路必须变为 "高电平"（参见 图 26）。

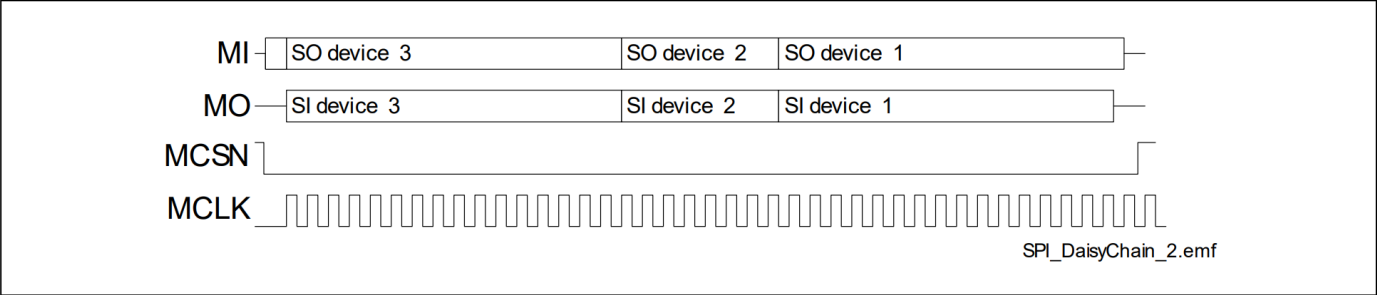


图 26 菊花链配置中的数据传输

10.3 时序图

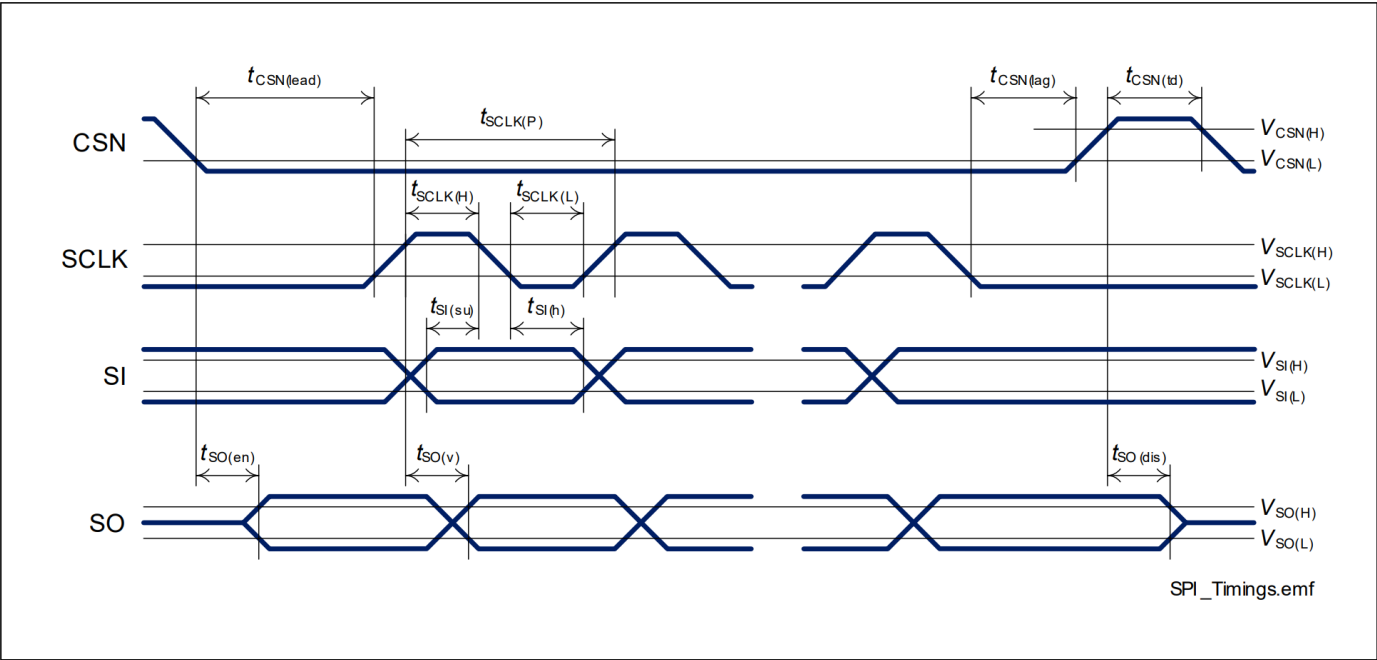


图 27 SPI 访问时序图

串行外设接口 (SPI)

10.4 电气特性

$V_{DD} = 3\text{ V}$ 至 5.5 V , $V_S = 7\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$ (除非另有规定)

典型值: $V_{DD} = 5\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

表 12 串行外设接口 (SPI) 电气特性

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input Characteristics (CSN, SCLK, SI) - “low” level of pin							
CSN	V _{CSN(L)}	0	–	0.8	V	–	P_10.4.1
SCLK	V _{SCLK(L)}	0	–	0.8	V	–	P_10.4.2
SI	V _{SI(L)}	0	–	0.8	V	–	P_10.4.3
Input Characteristics (CSN, SCLK, SI) - “high” level of pin							
CSN	V _{CSN(H)}	2	–	V _{DD}	V	–	P_10.4.4
SCLK	V _{SCLK(H)}	2	–	V _{DD}	V	–	P_10.4.5
SI	V _{SI(H)}	2	–	V _{DD}	V	–	P_10.4.6
Input Pull-Up Current at Pin CSN							
L-input pull-up current at CSN pin	-I _{CSN(L)}	30	60	90	μA	V _{DD} = 5 V V _{CSN} = 0.8 V	P_10.4.7
H-input pull-up current at CSN pin	-I _{CSN(H)}	20	40	65	μA	V _{DD} = 5 V V _{CSN} = 2 V	P_10.4.8
L-Input Pull-Down Current at Pin							
SCLK	I _{SCLK(L)}	5	12	20	μA	V _{SCLK} = 0.8 V	P_10.4.9
SI	I _{SI(L)}	5	12	20	μA	V _{SI} = 0.8 V	P_10.4.10
H-Input Pull-Down Current at Pin							
SCLK	I _{SCLK(H)}	14	28	45	μA	V _{SCLK} = 2 V	P_10.4.11
SI	I _{SI(H)}	14	28	45	μA	V _{SI} = 2 V	P_10.4.12
Output Characteristics (SO)							
L level output voltage	V _{SO(L)}	0	–	0.4	V	I _{SO} = -1.5 mA	P_10.4.13
H level output voltage	V _{SO(H)}	V _{DD} - 0.4	–	V _{DD}	V	I _{SO} = 1.5 mA	P_10.4.14
Output tristate leakage current	I _{SO(OFF)}	-1	–	1	μA	V _{CSN} = V _{DD} V _{SO} = 0 V	P_10.4.15
Output tristate leakage current	I _{SO(OFF)}	-1	–	1	μA	V _{CSN} = V _{DD} V _{SO} = V _{DD}	P_10.4.16
Timings							
Enable lead time (falling CSN to rising SCLK)	t _{CSN(lead)}	200	–	–	ns	¹⁾ V _{DD} = 4.5 V or V _S > 7 V	P_10.4.17
Enable lag time (falling SCLK to rising CSN)	t _{CSN(lag)}	200	–	–	ns	¹⁾ V _{DD} = 4.5 V or V _S > 7 V	P_10.4.18

串行外设接口 (SPI)

表 12 串行外设接口 (SPI) 电气特性 (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Transfer delay time (rising CSN to falling CSN)	$t_{CSN(td)}$	250	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.19
Output enable time (falling CSN to SO valid)	$t_{SO(en)}$	–	–	200	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$ $C_L = 20\text{ pF at SO pin}$	P_10.4.20
Output disable time (rising CSN to SO tristate)	$t_{SO(dis)}$	–	–	200	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$ $C_L = 20\text{ pF at SO pin}$	P_10.4.21
Serial clock frequency	f_{SCLK}	–	–	5	MHz	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.22
Serial clock period	$t_{SCLK(P)}$	200	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.23
Serial clock “high” time	$t_{SCLK(H)}$	75	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.24
Serial clock “low” time	$t_{SCLK(L)}$	75	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.25
Data setup time (required time SI to falling SCLK)	$t_{SI(su)}$	20	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.26
Data hold time (falling SCLK to SI)	$t_{SI(h)}$	20	–	–	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$	P_10.4.27
Output data valid time with capacitive load	$t_{SO(v)}$	–	–	100	ns	¹⁾ $V_{DD} = 4.5\text{ V or }V_S > 7\text{ V}$ $C_L = 20\text{ pF at SO pin}$	P_10.4.28
Enable lead time (falling CSN to rising SCLK)	$t_{CSN(lead)}$	1	–	–	μs	¹⁾ $V_{DD} = V_S = 3.0\text{ V}$	P_10.4.29
Enable lag time (falling SCLK to rising CSN)	$t_{CSN(lag)}$	1	–	–	μs	¹⁾ $V_{DD} = V_S = 3.0\text{ V}$	P_10.4.30
Transfer delay time (rising CSN to falling CSN)	$t_{CSN(td)}$	1.25	–	–	μs	¹⁾ $V_{DD} = V_S = 3.0\text{ V}$	P_10.4.31

串行外设接口 (SPI)

表 12 串行外设接口 (SPI) 电气特性 (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output enable time (falling CSN to SO valid)	$t_{SO(en)}$	–	–	1	μs	¹⁾ $V_{DD} = V_S = 3.0 V$ $C_L = 20 pF$ at SO pin	P_10.4.32
Output disable time (rising CSN to SO tristate)	$t_{SO(dis)}$	–	–	1	μs	¹⁾ $V_{DD} = V_S = 3.0 V$ $C_L = 20 pF$ at SO pin	P_10.4.33
Serial clock frequency	f_{SCLK}	–	–	1	MHz	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.34
Serial clock period	$t_{SCLK(P)}$	1	–	–	μs	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.35
Serial clock “high” time	$t_{SCLK(H)}$	375	–	–	ns	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.36
Serial clock “low” time	$t_{SCLK(L)}$	375	–	–	ns	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.37
Data setup time (required time SI to falling SCLK)	$t_{SI(su)}$	100	–	–	ns	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.38
Data hold time (falling SCLK to SI)	$t_{SI(h)}$	100	–	–	ns	¹⁾ $V_{DD} = V_S = 3.0 V$	P_10.4.39
Output data valid time with capacitive load	$t_{SO(v)}$	–	–	500	ns	¹⁾ $V_{DD} = V_S = 3.0 V$ $C_L = 20 pF$ at SO pin	P_10.4.40

1) 未经过生产测试，由设计指定

串行外设接口 (SPI)

10.5 SPI 协议

SPI通信过程中 SI 和 SO 之间的关系如图 28所示。SI 线表示从 μC 发送的帧，SO 线表示 TLE75008-ESD 提供的答案。

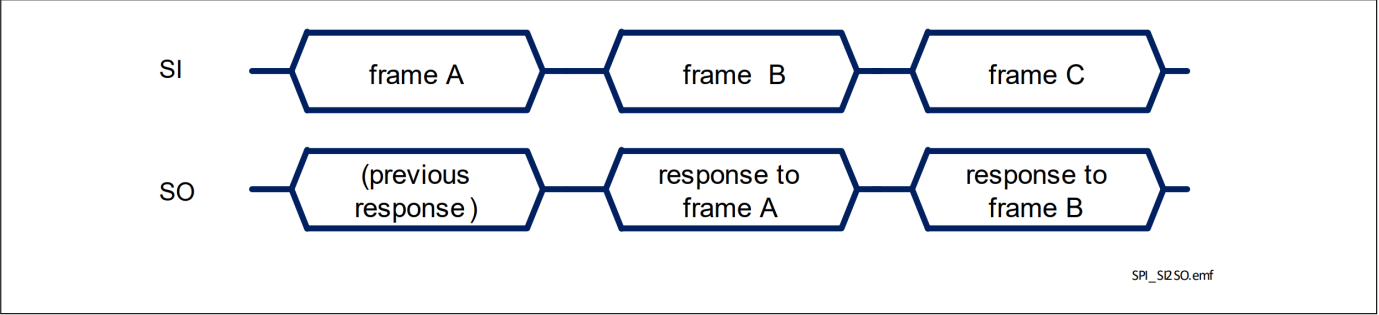


图 28 SPI 通信过程中 SI 和 SO 关系

SPI 协议仅在微控制器触发下一个命令帧时提供应答。尽管 TLE75008-ESD 中实现的绝大多数命令和帧可以在不知道之前发生什么的情况下进行解码，但建议考虑 μC 在前一个帧中发送的内容，以完全解码 TLE75008-ESD 响应帧。

更详细地说，“读取”和“写入”寄存器内容的命令时序如下：

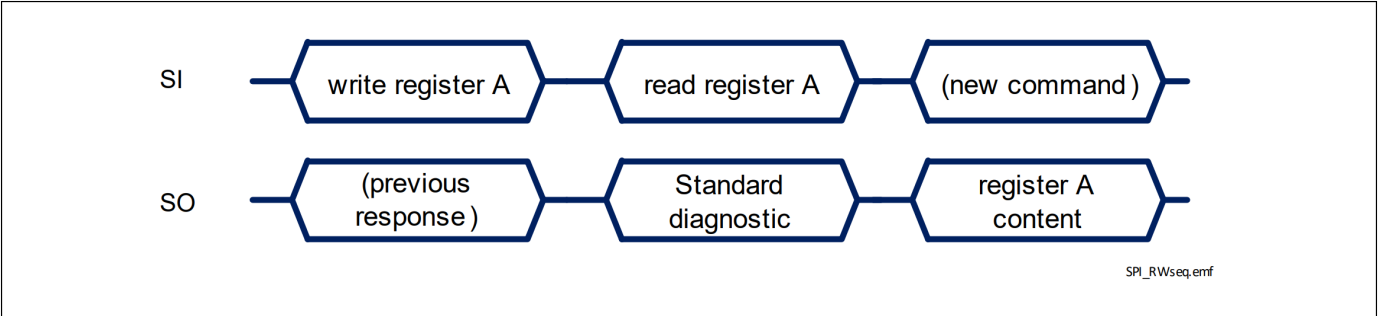


图 29 回传至 μC 的寄存器内容

有 3 种特殊情况，回传至 μC 的帧不依赖于先前接收到的帧：

- 如果在前一帧中发生错误（例如，时钟脉冲不是 8 的倍数，且最小值为 16 位），如图 30 所示
- 如图 31 所示，当 TLE75008-ESD 逻辑电源脱离上电复位状态或软件复位后，就会发生这种情况。
- 如果出现命令语法错误
 - “写入”命令以“11”而不是“10”开头
 - “读取”命令以“00”而不是“01”开头
 - 寄存器上“保留”或“未使用”的“读”或“写”命令

串行外设接口 (SPI)

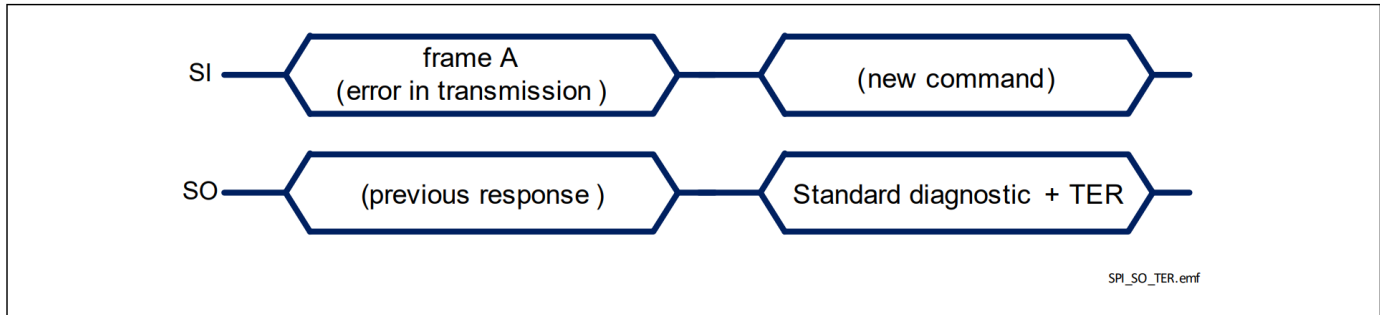


图 30 TLE75008-ESD 发生错误后的响应

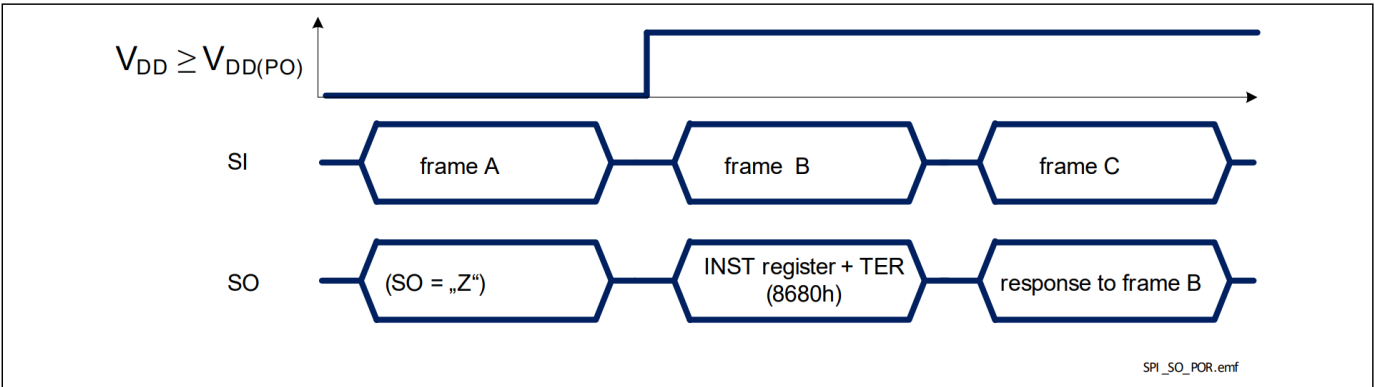


图 31 TLE75008-ESD 在 V_{DD} 上电复位结束后的响应

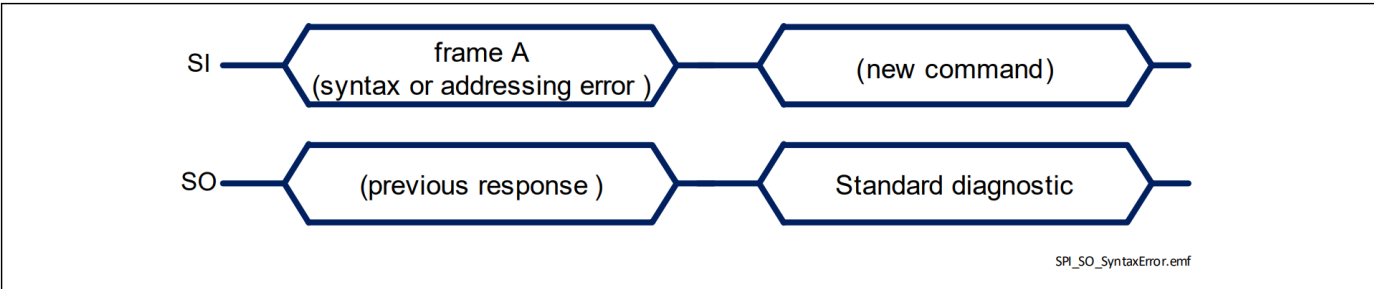


图 32 TLE75008-ESD 在命令语法错误后的响应

下表13 列出了所有可能的 SPI 命令，包括 TLE75008-ESD 将在下一个传输中发回的应答。

串行外设接口 (SPI)

表 13 SPI 命令摘要¹⁾

Requested Operation	Frame sent to SPIDER+ (SI pin)	Frame received from SPIDER+ (SO pin) with the next command
Read Standard Diagnosis	0xxxxxxxxxxxxx01B (“xxxxxxxxxxxxB” = don’t care)	0dddddddddddddddb (Standard Diagnosis)
Write 8 bit register	10aaaabbccccccccB where: “aaaab” = register address ADDR0 “bbb” = register address ADDR1 “ccccccccB” = new register content	0dddddddddddddddb (Standard Diagnosis)
Read 8 bit registers	01aaaabbxxxxxx10B where: “aaaab” = register address ADDR0 “bbb” = register address ADDR1 “xxxxxxB” = don’t care	10aaaabbccccccccB where: “aaaab” = register address ADDR0 “bbb” = register address ADDR1 “ccccccccB” = register content

1) "a" = ADDR0 字段的地址位, "b" = ADDR1 字段的地址位, "c" = 寄存器内容, "d" = 诊断位

串行外设接口 (SPI)

10.6 SPI 寄存器概述

10.6.1 标准诊断

表 14 标准诊断

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Default
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---	---------

0	UVR VS	LOP VDD	MODE	TER	0	OL OFF	ERR									7800 _H
---	-----------	------------	------	-----	---	-----------	-----	--	--	--	--	--	--	--	--	-------------------

Field	Bits	Type	Description
UVRVS	14	r	V_S Undervoltage Monitor 0 _B No undervoltage condition on V _S detected (see Chapter 6.2.1 for more details) 1 _B (default) There was at least one V _S Undervoltage condition since last Standard Diagnosis readout
LOPVDD	13	r	V_{DD} Lower Operating Range Monitor 0 _B V _{DD} is above V _{DD(LOP)} 1 _B (default) There was at least one “V _{DD} = V _{DD(LOP)} ” condition since last Standard Diagnosis readout
MODE	12:11	r	Operative Mode Monitor 00 _B (reserved) 01 _B Limp Home Mode 10 _B Active Mode 11 _B (default) Idle Mode
TER	10	r	Transmission Error 0 _B Previous transmission was successful (modulo 16 + n*8 clocks received, where n = 0, 1, 2...) 1 _B (default) Previous transmission failed The first frame after a reset is TER set to “high” and the INST register. The second frame is the Standard Diagnosis with TER set to “low” (if there was no fail in the previous transmission).
OLOFF	8	r	Open Load in OFF Diagnosis 0 _B (default) All channels in OFF state (which have DIAG_IOL.OUTn bit set to “1”) have V _{DS} > V _{DS(OL)} 1 _B At least one channel in OFF state (with DIAG_IOL.OUTn bit set to “1”) has V _{DS} < V _{DS(OL)} Channels in ON state are not considered
ERRn n = 7 to 0	n:0	r	Over Load / Over Temperature Diagnosis of channel n 0 _B (default) No failure detected 1 _B Over Temperature or Over Load

串行外设接口 (SPI)

10.6.2 寄存器结构

数字部分的寄存器组具有以下结构：

表 15 寄存器结构-所有寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Default
r = 0 w = 1		r = 1 w = 0		ADDR0		ADDR1		DATA								XXXX _H

表 16 概述了可用寄存器及其寻址空间和大小

表 16 寄存器寻址空间

Register name	ADDR0	ADDR1	Size	Type	Purpose
OUT n = 7 to 0	0000 _B	00 _B	n	r/w	Power output control register bits OUT . OUTn 0 _B (default) Output is OFF 1 _B Output is ON
MAPIN0 n = 7 to 0	0001 _B	00 _B	n	r/w	Input Mapping (Input Pin 0) bits MAPIN0 . OUTn 0 _B (default) The output is not connected to the input pin 1 _B The output is connected to the input pin Note: Channel 2 has the corresponding bit set to “1” by default
MAPIN1 n = 7 to 0	0001 _B	01 _B	n	r/w	Input Mapping (Input Pin 1) bits MAPIN1 . OUTn 0 _B (default) The output is not connected to the input pin 1 _B The output is connected to the input pin Note: Channel 3 has the corresponding bit set to “1” by default
INST	0001 _B	10 _B	8	r	Input Status Monitor bit TER 0 _B Previous transmission was successful (modulo 16 + n*8 clocks received, where n = 0, 1, 2...) 1 _B (default) Previous transmission failed bits INST . RES (6:2) - reserved bits INST . INn (1:0) 0 _B (default) The input pin is set to “low” 1 _B The input pin is set to “high” First register transmitted after a reset of the logic

串行外设接口 (SPI)

表 16 寄存器寻址空间 (续)

Register name	ADDR0	ADDR1	Size	Type	Purpose
DIAG_IOL n = 7 to 0	0010 _B	00 _B	n	r/w	Open Load diagnostic current control bits DIAG_IOL.OUTn 0 _B (default) Diagnosis current not enabled 1 _B Diagnosis current enabled
DIAG_OSM n = 7 to 0	0010 _B	01 _B	n	r	Output Status Monitor bits DIAG_OSM.OUTn 0 _B (default) $V_{DS} > V_{DS(OL)}$ 1 _B $V_{DS} < V_{DS(OL)}$
HWCR	0011 _B	00 _B	8	r/w	Hardware Configuration Register bit HWCR.ACT (7) (Active Mode) 0 _B (default) Normal operation or device leaves Active Mode 1 _B Device enters Active Mode (see Chapter 6.1 for a description of the possible operative mode transitions) bit HWCR.RST (6) (Reset) 0 _B (default) Normal operation 1 _B Execute Reset command (self clearing) bits HWCR.PAR (3:0) (channels operating in parallel) 0 _B (default) Normal operation 1 _B two neighbour channels have Over Load and Over Temperature synchronized (see Chapter 7.2 for more details) bits 5:4 - reserved (default: 0 _B)
HWCR_OCL n = 7 to 0	0011 _B	01 _B	n	w	Output Clear Latch bits HWCR_OCL.OUTn 0 _B (default) Normal operation 1 _B Clear the error latch for the selected output

10.6.3 寄存器概要

表 17 中未提及的所有寄存器地址均应视为"保留"。对这些寄存器进行的"读取"操作将返回标准诊断结果。"默认值"列表示复位后寄存器的内容 (8 位)。

表 17 可寻址寄存器

15	14	13-10	9	8	7	6	5	4	3	2	1	0	Default
r = 0 w = 1	r = 1 w = 0	0000	00	OUT.OUTn									00 _H
r = 0 w = 1	r = 1 w = 0	0001	00	MAPIN0.OUTn									04 _H

串行外设接口 (SPI)

表 17 可寻址寄存器

15	14	13-10	9	8	7	6	5	4	3	2	1	0	Default
r = 0 w = 1	r = 1 w = 0	0001	01		MAPIN1.OUTn								08 _H
0	1	0001	10		TER	(reserved)					INST.INn		00 _H
r = 0 w = 1	r = 1 w = 0	0010	00		DIAG_IOL.OUTn								00 _H
0	1	0010	01		DIAG_OSM.OUTn								00 _H
r = 0 w = 1	r = 1 w = 0	0011	00		HWC R.ACT	HWC R.RST	(reserved)		HWCR.PAR			00 _H	
r = 0 w = 1	r = 1 w = 0	0011	01		HWCR_OCL.OUTn								00 _H

10.6.4 SPI 命令列表

表 18 简要列出了最常用的 SPI 命令（对所有寄存器的读写操作）

表 18 SPI 命令快速索引表

Register	“read” command	“write” command	content written
OUT	4002 _H	80XX _H	XX _H = XXXXXXXX _B
MAPIN0	4402 _H	84XX _H	XX _H = XXXXXXXX _B
MAPIN1	4502 _H	85XX _H	XX _H = XXXXXXXX _B
INST	4602 _H	n.a. (read-only)	–
DIAG_IOL	4802 _H	88XX _H	XX _H = XXXXXXXX _B
DIAG_OSM	4902 _H	n.a. (read-only)	–
HWCR	4C02 _H	8CXX _H	XX _H = XXXXXXXX _B
HWCR_OCL	4D02 _H	8DXX _H	XX _H = XXXXXXXX _B

应用信息

11 应用信息

注释： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

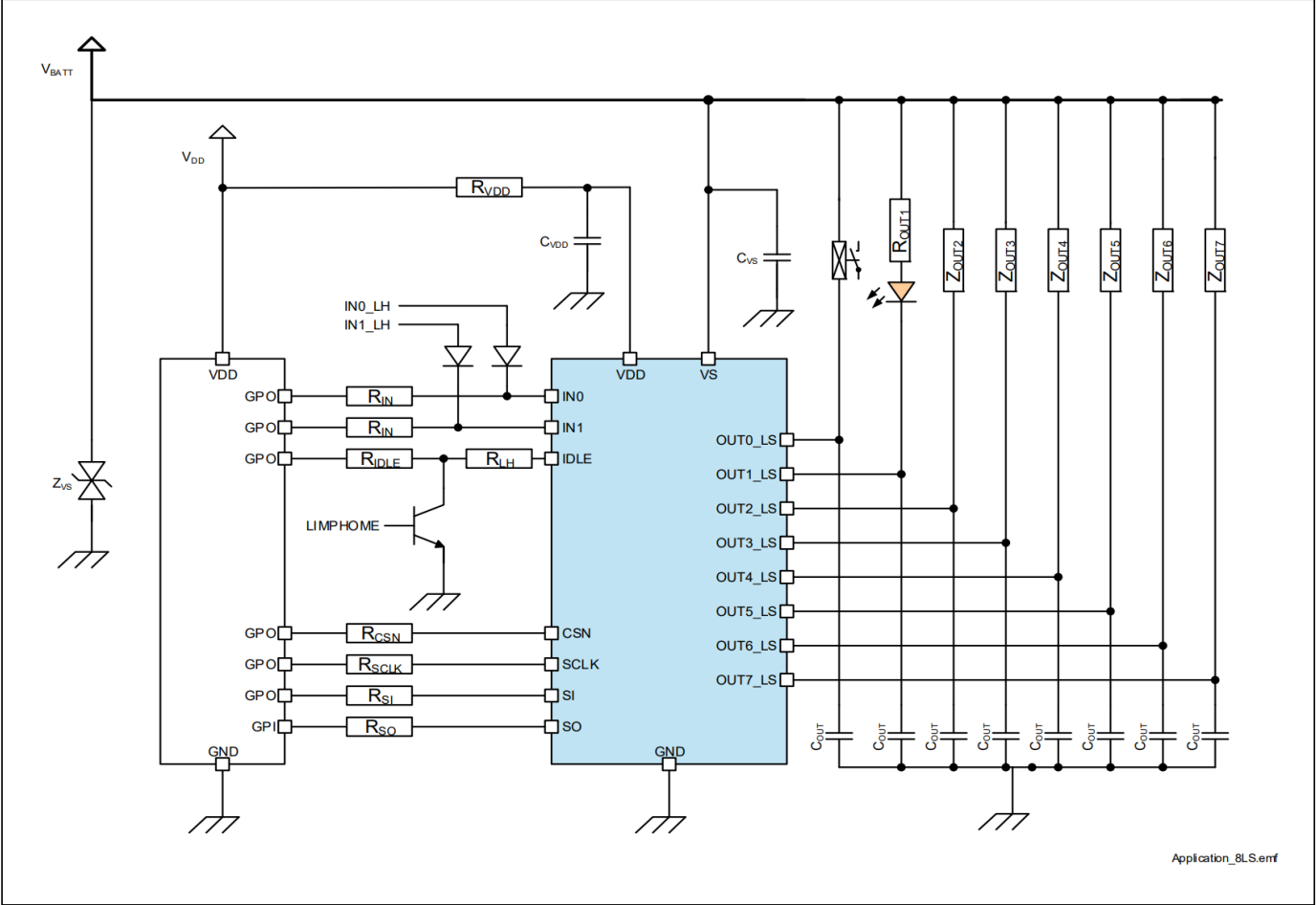


图 33 TLE75008-ESD 应用框图

注释： 这是一个非常简化的应用电路示例。需在实际应用中验证功能。

表 19 器件的建议值

Reference	Value	Purpose
R _{IN}	4.7 kΩ	Protection of the micro-controller during Over Voltage and Reverse Polarity Guarantee TLE75008-ESD channels OFF during Loss of Ground
R _{IDLE}	4.7 kΩ	Protection of the micro-controller during Over Voltage and Reverse Polarity Guarantee TLE75008-ESD channels OFF during Loss of Ground
R _{CSN}	500 Ω	Protection of the micro-controller during Over Voltage and Reverse Polarity
R _{SCLK}	500 Ω	Protection of the micro-controller during Over Voltage and Reverse Polarity
R _{SI}	500 Ω	Protection of the micro-controller during Over Voltage and Reverse Polarity
R _{SO}	500 Ω	Protection of the micro-controller during Over Voltage and Reverse Polarity
R _{VDD}	100 Ω	Logic supply voltage spikes filtering

应用信息

表 19 器件的建议值 (续)

Reference	Value	Purpose
C _{VDD}	100 nF	Logic supply voltage spikes filtering
C _{VS}	68 nF	Analog supply voltage spikes filtering
Z _{VS}	P6SMB30	Protection of device during Over Voltage. Zener diode
C _{OUT}	10 nF	Protection of TLE75008-ESD against ESD and BCI

11.1 更多应用信息

- 如需有关引脚 FMEA 的信息，请联系我们
- 如需了解更多信息，您可以访问 <http://www.infineon.cn>

封装外形

12 封装外形

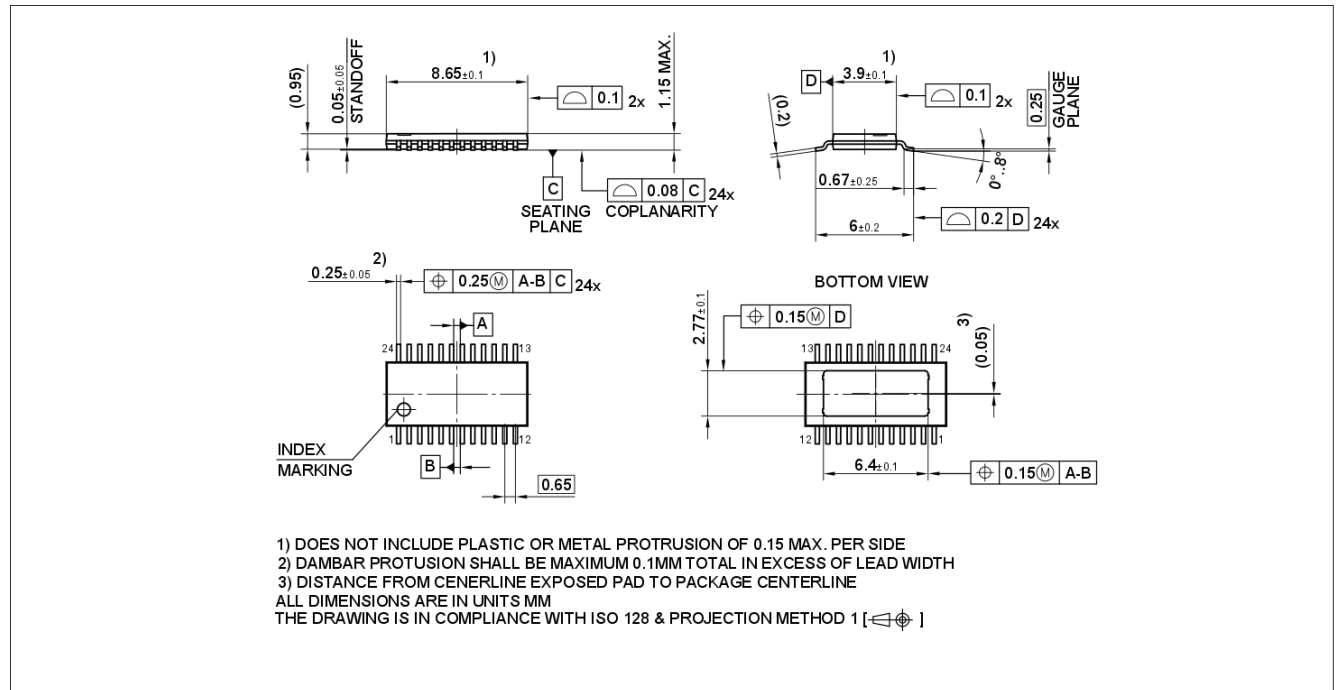


图 34 PG-TSDSO-24 封装图

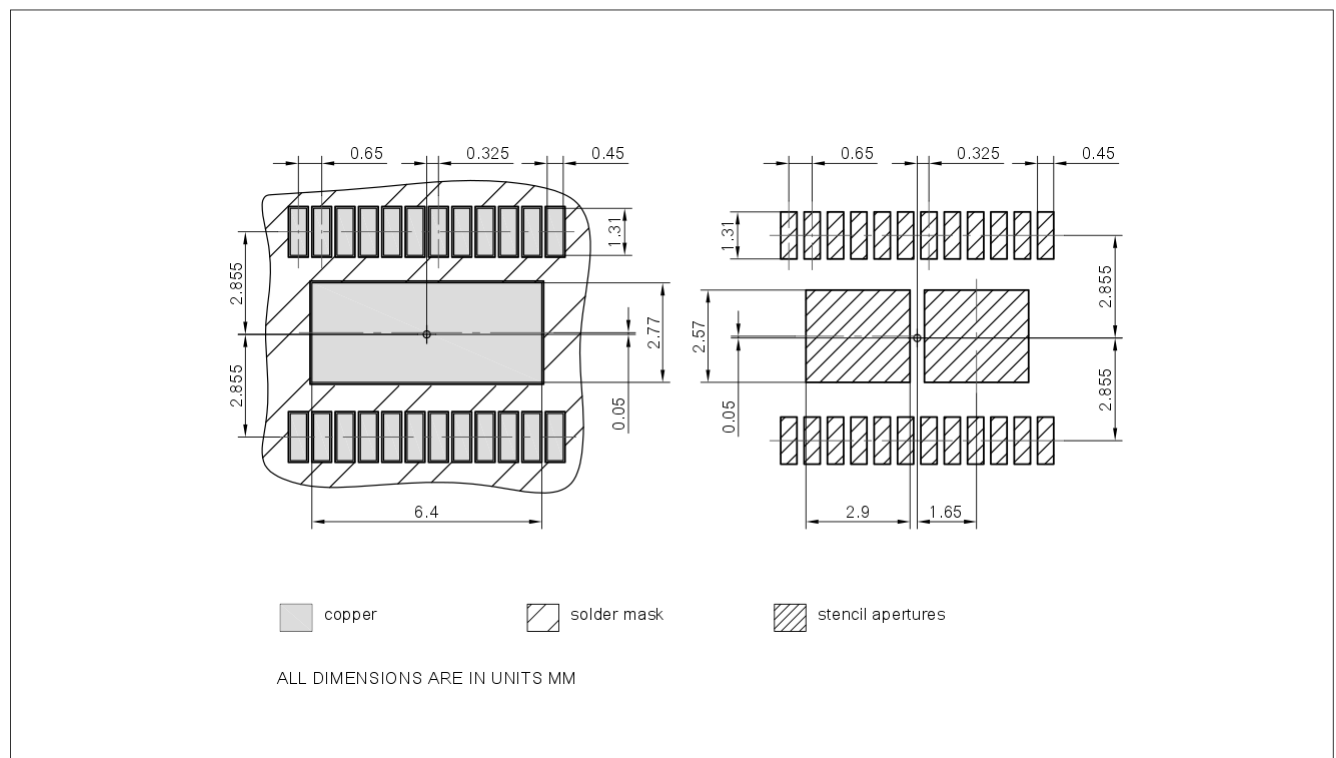


图 35 TLE75008-ESD 封装焊盘和钢网

封装外形

绿色产品：符合 RoHS 标准

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

有关替代封装的更多信息，请访问我们的网站：

<http://www.infineon.com/packages>.

尺寸为 mm

修订记录

13 修订记录

Page or Item	Changes since previous revision
Rev. 1.10, 2020-09-02	
All	Package name updated
Table 2	Updated ESD susceptibility footnotes for HBM and CDM
	Updated backcover
Rev.1.00, 2017-11-23	
All	Datasheet released
TLE75008-ESD	

目录

1	概述	1
2	框图和术语	4
2.1	框图	4
2.2	术语	5
3	引脚配置	6
3.1	引脚分配	6
3.2	引脚定义和功能	7
4	产品一般特性	9
4.1	绝对最大额定值	9
4.2	工作范围	11
4.3	热阻	12
4.3.1	PCB 设置	12
4.3.2	热阻抗	14
5	控制引脚	15
5.1	输入引脚	15
5.2	IDLE 引脚	15
5.3	电气特性：控制引脚	17
6	电源	18
6.1	工作模式	21
6.1.1	上电	22
6.1.2	睡眠模式	22
6.1.3	IDLE 模式	22
6.1.4	激活模式	23
6.1.5	Limp Home 模式	23
6.1.6	电源模式转换时间的定义	23
6.2	复位条件	24
6.2.1	V_S 欠压	24
6.2.2	V_{DD} 低工作电压	25
6.3	电气特性：电源	26
7	功率级	33
7.1	输出导通电阻	33
7.1.1	驱动阻性负载	33
7.1.2	电感输出钳位	33
7.1.3	最大负载电感	34
7.2	并行切换通道	34
7.3	电气特性：功率级	35
8	保护功能	37
8.1	过载保护	37
8.2	过温保护	37
8.3	Limp Home 模式中的过温和过载保护	38
8.4	反极性保护	38
8.5	过压保护	38
8.6	电气特性：保护	39
9	诊断	40
9.1	过载和过温	40

9.2	输出状态监控器.....	40
9.3	电气特性：诊断.....	42
10	串行外设接口 (SPI).....	43
10.1	SPI 信号描述	43
10.2	菊花链功能.....	44
10.3	时序图.....	45
10.4	电气特性.....	46
10.5	SPI 协议	49
10.6	SPI 寄存器概述	52
10.6.1	标准诊断.....	52
10.6.2	寄存器结构.....	53
10.6.3	寄存器概要.....	54
10.6.4	SPI 命令列表	55
11	应用信息.....	56
11.1	更多应用信息.....	57
12	封装外形.....	58
13	修订记录.....	60



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-07-03

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。