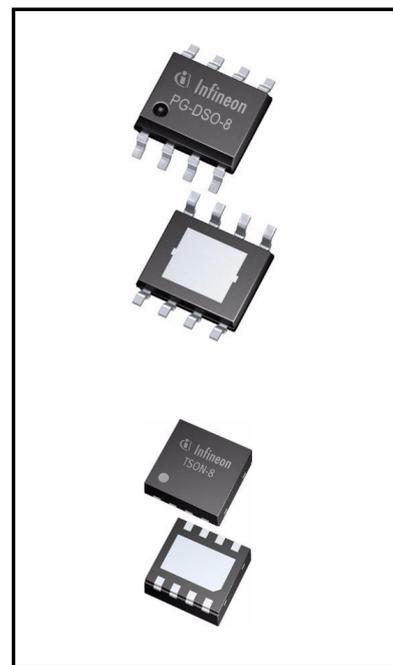


英飞凌 TLE7258 LIN 收发器



特性

- 单线LIN收发器，传输速率高达 20 kbps
- 符合 ISO 17987-4、LIN 规范 2.2A 和 SAE J2602
- 睡眠模式下具备极低电流消耗，并支持唤醒功能
- BUS 引脚上的漏电流非常低
- 数字 I/O 电平与 3.3 V 和 5 V 微控制器兼容
- TxD 引脚具备主导状态超时功能保护，并在切换至正常工作模式后进行状态检测
- BUS 对 VBAT 短路保护和 BUS 对接地短路处理
- 过温保护及供电欠电压检测
- 非常高的 ESD 抗扰性，按照 IEC61000-4-2 标准可承受 ± 10 kV
- 针对高电磁兼容性 (EMC) 进行了优化；
极低的发射和高抗干扰度
- 采用标准 PG-DSO-8 和无引脚 PG-TSON-8 封装
- PG-TSON-8 封装支持自动光学检测 (AOI)
- 绿色产品 (符合 RoHS 标准)



潜在应用

- LIN 从属卫星模块
- 雨水和光线传感器
- 车窗升降器
- 泊车辅助系统

产品验证

汽车应用认证。产品依据 AEC-Q100 进行验证。

描述

TLE7258 是一款用于本地互连网络 (LIN) 的收发器，集成了唤醒和保护功能。它专为使用高达 20 kbps 的数据帧速率的车载网络而设计。TLE7258 在 LIN 网络的协议控制器与物理总线之间充当总线驱动器的角色。TLE7258 符合所有 LIN 标准，并具有广泛的工作电源范围，可用于所有汽车应用。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

使用不同的运行模式和 INH 输出允许TLE7258控制外部组件，例如电压稳压器。在睡眠模式下，TLE7258 通常消耗小于 10 μ A 的静态电流，同时在检测到LIN 总线通信时仍然能够唤醒。BUS 引脚上的漏电流非常低，使得 TLE7258 特别适合部分供电的网络。

TLE7258 采用英飞凌 BiCMOS 技术，具有出色的静电放电稳健性和极高的电磁兼容性 (EMC)。TLE7258 在宽频率范围内达到非常低的电磁辐射 (EME) 水平，且不受电池电压影响。TLE7258 经过AEC认证，可承受汽车环境的恶劣条件。

Type	Package	Marking
TLE7258SJ	PG-DSO-8	7258
TLE7258LE	PG-TSON-8	7258

目录

1	框图	4
2	引脚配置	5
2.1	引脚分配	5
2.2	引脚定义和功能	5
3	功能描述	6
3.1	运行模式	7
3.2	正常运行模式	8
3.3	待机模式	9
3.4	睡眠模式	11
3.5	总线唤醒事件	12
3.6	通过 EN 输入进行模式切换	13
3.7	过温保护	14
3.8	欠压检测	15
3.9	TxD 超时	16
3.10	3.3 V 和 5 V 逻辑能力	16
3.11	短路	16
4	产品一般特性	17
4.1	绝对最大额定值	17
4.2	工作范围	18
4.3	热特性	18
5	电气特性	19
5.1	器件功能特性	19
5.2	图表	23
6	应用信息	24
6.1	应用示例	24
6.2	符合 IEC61000-4-2 标准的ESD 耐受性	25
6.3	符合 ISO 7637-2 标准的瞬态抗扰度	25
6.4	LIN物理层兼容性	25
6.5	TxD 故障安全输入	25
6.6	RxD 上拉电阻	26
6.7	与其他英飞凌 LIN 收发器的兼容性	27
7	封装外形	29
8	修订记录	30

框图

1 框图

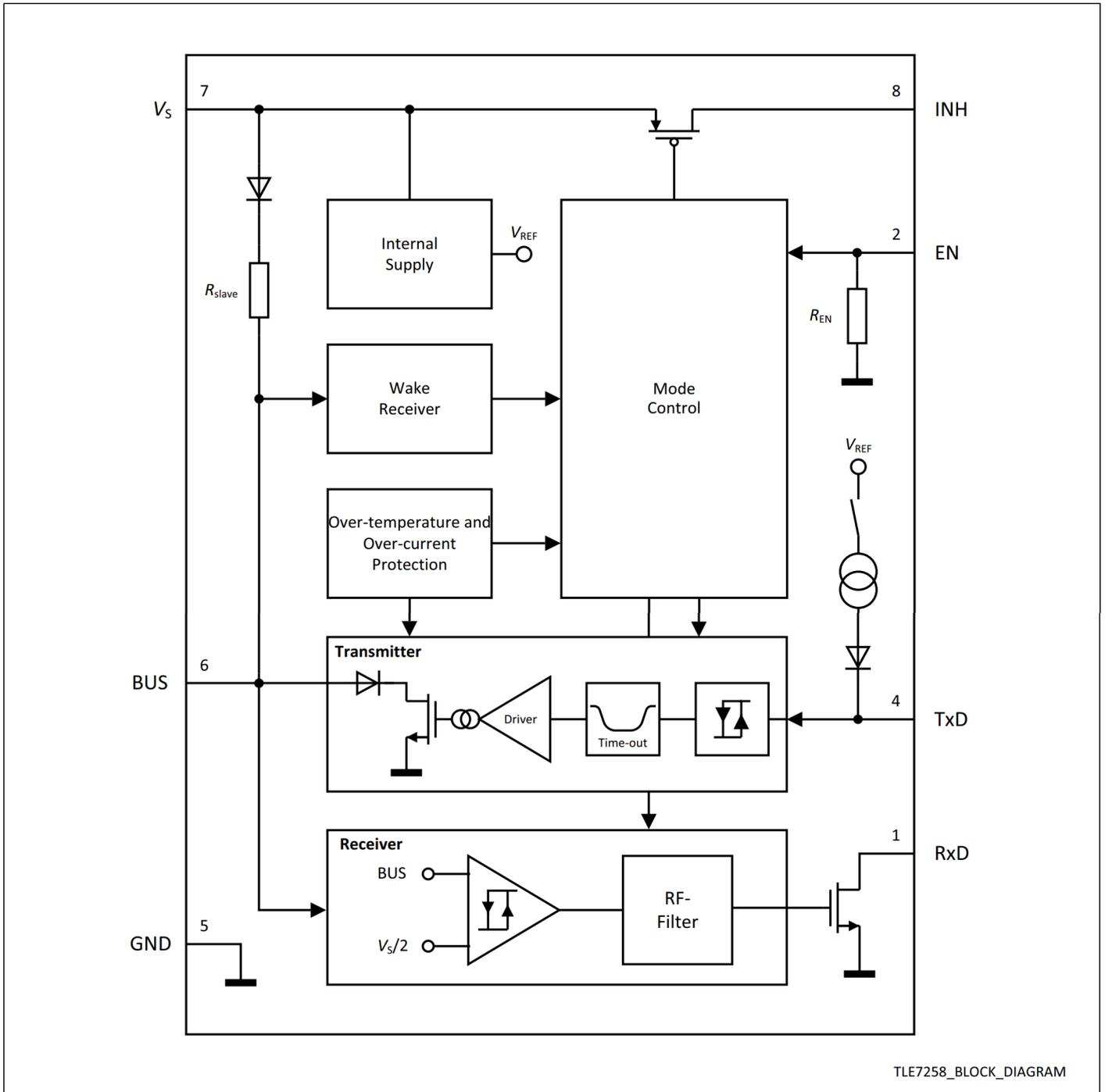


图 1 框图

引脚配置

2 引脚配置

2.1 引脚分配

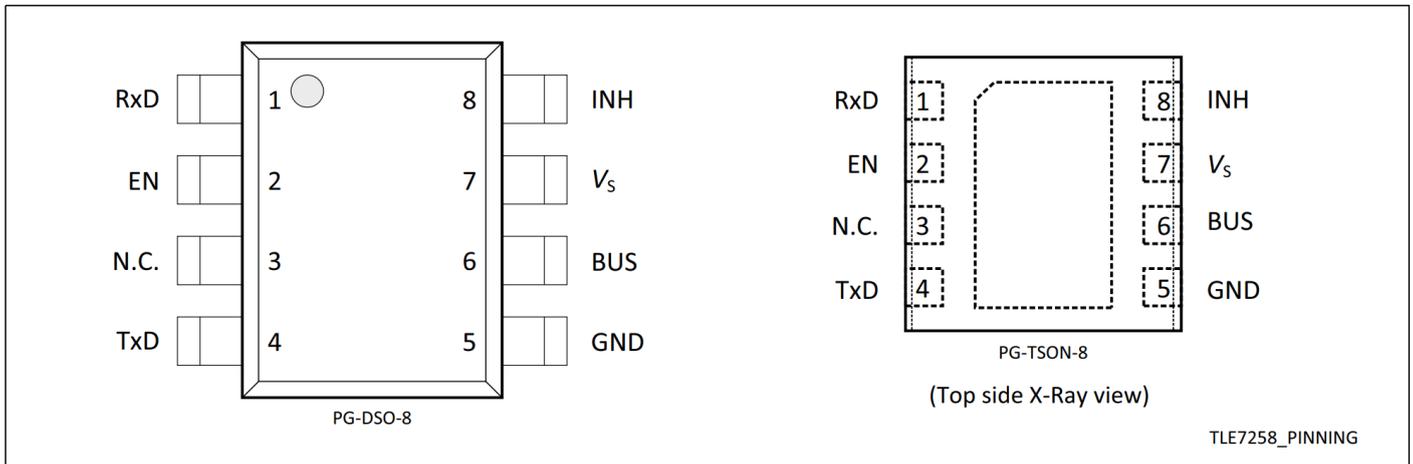


图 2 引脚配置

2.2 引脚定义和功能

Pin	Symbol	Function
1	RxD	Receive data output; External pull-up necessary Monitors the LIN bus signal in normal operation mode Indicates a wake-up event in standby mode
2	EN	Enable input; Integrated pull-down resistor Logical “high” to select normal operation mode
3	N.C.	Not connected
4	TxD	Transmit data input; Integrated pull-up current source Logical “low” to drive a “dominant” signal on the LIN bus
5	GND	Ground
6	BUS	Bus input / output; Integrated LIN slave termination
7	V_s	Battery supply input; 100 nF decoupling capacitor required
8	INH	Inhibit output; Battery supply related output Active in normal operation mode and standby mode
PAD ¹⁾	–	Connect to PCB heat sink area. Do not connect to other voltage potential than GND

1) 仅适用于 PG-TSON-8 封装版本 (TLE7258LE)

功能描述

3 功能描述

LIN接口是单线双向总线，用于车载网络。TLE7258 LIN 收发器是微处理器和物理LIN 总线之间的接口（参见图 16）。来自微控制器的数据通过 TLE7258 的 TxD 输入驱动至LIN总线。TxD 输入上的传输数据流被转换为具有优化转换速率的LIN输入信号，以便最大限度地减少LIN网络的电磁辐射水平。RxD 输出将信息从 LIN 总线读回至微处理器。接收器具有集成滤波器网络，可抑制 LIN 总线的噪声并提高收发器的电磁抗扰度水平。

LIN 规范定义了两种有效的总线状态（见图 3）：

- 接地点附近LIN接地电压处于“显性”状态。
- “隐性”状态，LIN 总线电压通过总线端上拉至供电电压 V_S 。

通过将 TLE7258 的 TxD 输入设置为逻辑“低”信号，收发器在总线接口引脚上生成“显性”电平。接收器读回 LIN 总线上的信号，并在检测到“显性”总线状态时，通过 RxD 输出向微控制器提供逻辑低电平信号。通过将 TxD 输入设置为逻辑“高”，收发器将 LIN 接口引脚设置为“隐性”电平。同时，LIN 总线上的“隐性”电平由 RxD 输出上的逻辑“高”电平表示该状态。

每个LIN 网络由一个主节点和一个或多个从机节点组成。要将 TLE7258 配置为主节点应用，必须在 LIN 总线和电源 V_S 连接一个 $1\text{ k}\Omega$ 的终端电阻和一个二极管（参见图 16）。

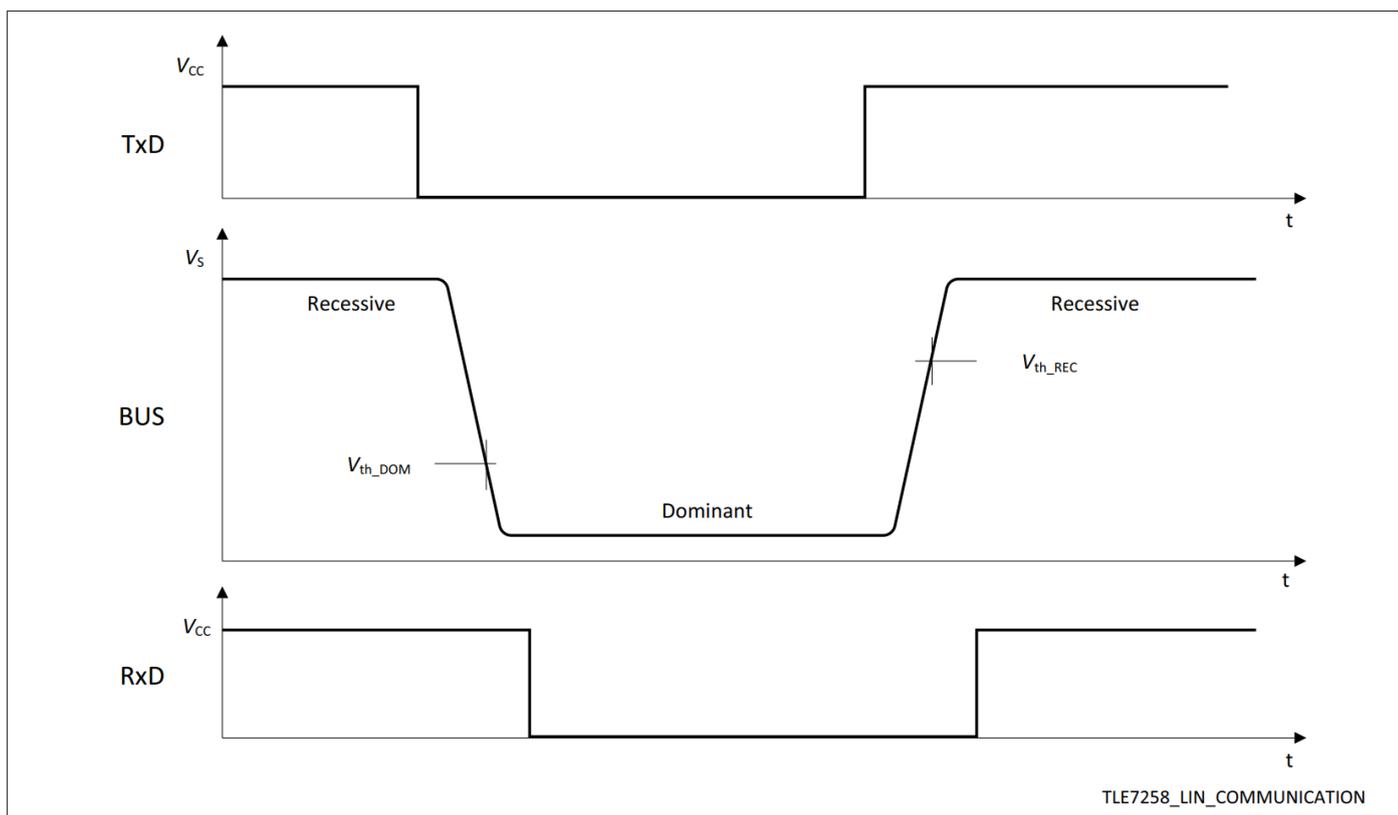


图3 LIN 总线信号

功能描述

3.1 运行模式

TLE7258 有 3 种主要运行模式（见 图 4）：

- 正常运行模式
- 待机模式
- 睡眠模式

表 1 运行模式

Mode	EN	INH	TxD	RxD	LIN Bus termination	Comments
Sleep	Low	Floating	Disabled ¹⁾	High ²⁾	30 kΩ (typical)	No wake-up request detected
Standby	Low	High	High ³⁾	Low High ²⁾	30 kΩ (typical)	RxD “low” after a bus wake-up RxD “high” after Power-up
Normal operation	High	High	Low High	Low High	30 kΩ (typical)	RxD reflects the signal on the bus TxD driven by the microcontroller

- 1) 在睡眠模式下，TxD 输入被禁用，并且内部上拉电流源被关闭（见 图 1）。
- 2) 外部微控制器电源需要一个上拉电阻。
- 3) 当 TxD 输入开路时，芯片会通过内部上拉电流源将其状态设为逻辑高电平。

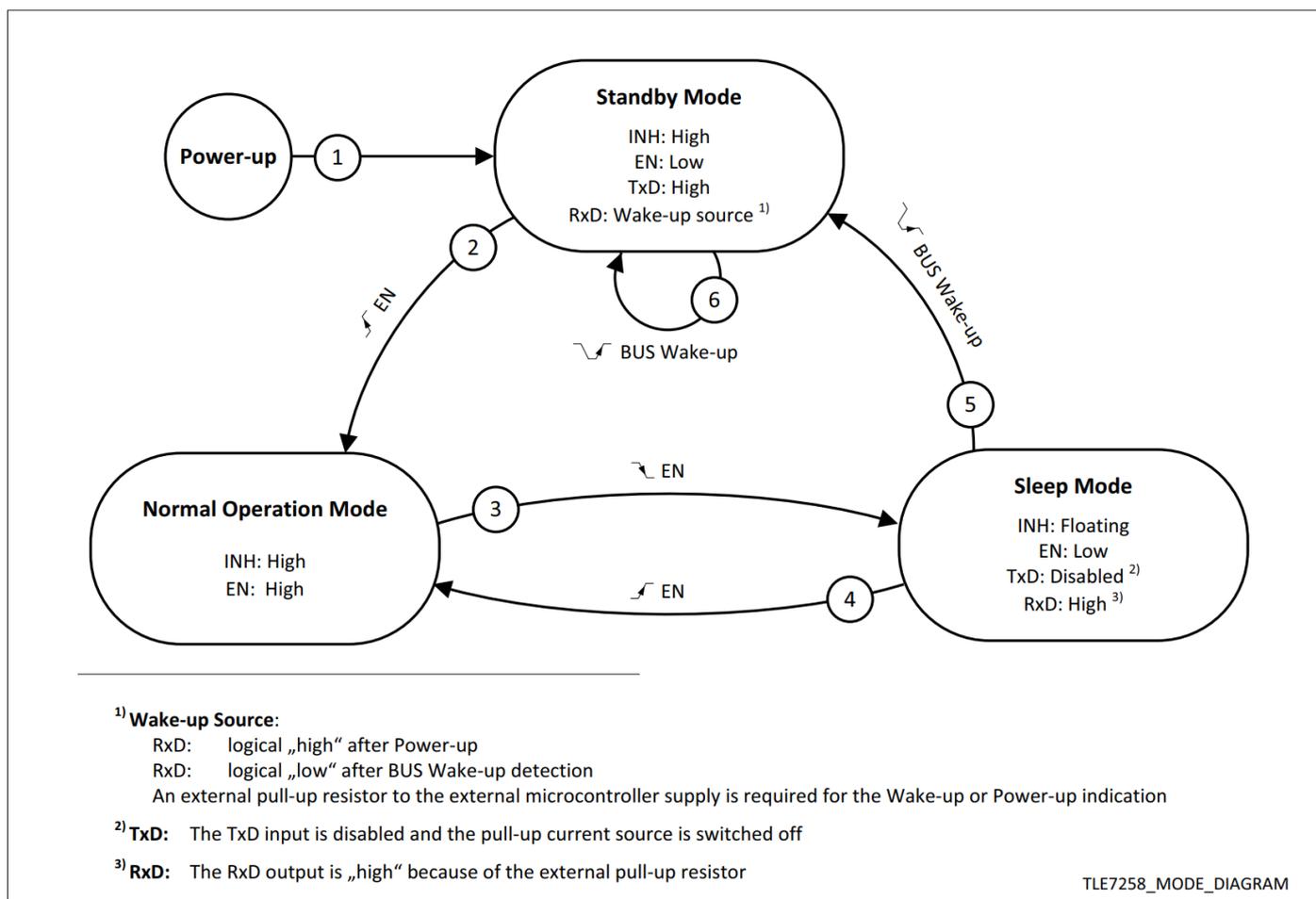


图 4 运行模式状态图

功能描述

表 2 运行模式转换

Number	Reason for transition	Comment
1	Power-on detection	The VS supply voltage rise above the VS,UV,PON power-on reset level
2	Mode change with EN input	Triggered by logical “high” level
3	Mode change with EN input	Triggered by logical “low” level
4	Mode change with EN input	Triggered by logical “high” level
5	Bus wake-up detection	RxD set “low” for signalling the bus wake-up event to the microcontroller
6	Bus wake-up detection	RxD set “low” for signalling the bus wake-up event to the microcontroller

3.2 正常运行模式

当在正常运行模式下，LIN 总线接收器和发射器处于激活状态并支持高达 20 kbps 的传输速率。来自微控制器的数据通过 TxD 输入传输到LIN总线。同时，接收器检测 LIN 总线上的数据流并将其转发到 RxD 输出。

可以从睡眠模式进入正常运行模式（参见图 9）或从待机模式进入（参见图 5），通过将 EN 输入设置为逻辑“高”。TLE7258在正常运行模式下只能进入睡眠模式，无法直接进入待机模式（参见图 4）。

切换至正常运行模式的转换时间 t_{MODE} 定义为 EN 引脚检测到“高”输入信号的阈值与 TLE7258 实际模式改变到正常运行模式之间的延迟。

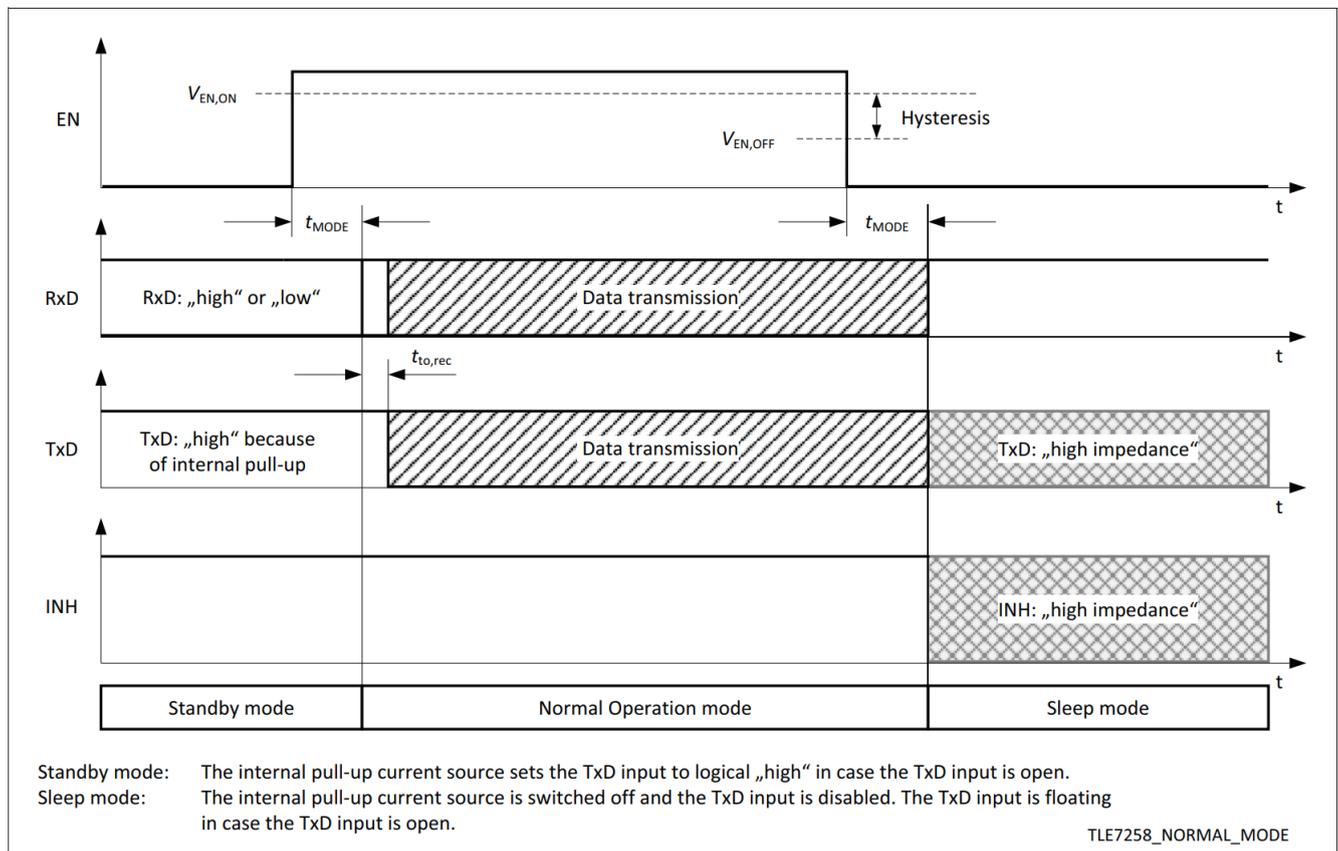


图 5 从待机模式进入正常运行模式

功能描述

当 TLE7258 处于正常运行模式时，可以使用以下功能：

- 发射器已打开；TxD 输入上的数据被驱动在 LIN 总线上。
- 接收器已打开；LIN 总线上的数据受到监控并在 RxD 输出上发出信号。
- BUS 引脚通过内部终端电阻 R_{BUS} 接至 V_S （见 [图 1](#)）。
- TxD 输入通过电流源上拉至 TLE7258 的内部电源。
- INH 输出开启。
- 总线唤醒比较器关闭。
- 两级欠电压检测已启动。如果 V_S 低于欠电压检测水平，TLE7258 将阻断发送器和接收器。如果 V_S 低于上电复位电平 $V_{S,UV,PON}$ ，TLE7258 恢复后将运行模式更改为待机模式（参见 [第 15 页“欠电压检测”](#) 章节）。
- EN 输入激活。EN 输入上的“低”信号会触发进入睡眠模式。

在切换到正常运行模式后，TLE7258 要求在 TxD 输入上有一个持续 $t_{to,rec}$ 时间的逻辑“高”信号，然后才能释放数据通信（见 [图 5](#)）。只要 TxD 输入上的信号保持逻辑“低”，发射器就会保持停用状态，从而防止可能出现的总线通信干扰。

3.3 待机模式

下列情况后自动进入待机模式：

- 电源 V_S 的上电事件。
- 总线唤醒事件。
- 由电源 V_S 引起的上电复位。

在待机模式下，无法与 LIN 总线进行通信。发射器和接收器均被禁用。当 TLE7258 处于待机模式时，以下功能可用：

- 发射器关闭，TxD 输入处于非活动状态，总线输出永久处于“隐性”状态。
- 接收器已关闭。
- RxD 输出指示唤醒事件或上电事件（见 [图 4](#) 和 [表 1](#)）。
- BUS 引脚通过内部终端电阻 R_{BUS} 接至 V_S （见 [图 1](#)）。
- TxD 输入通过电流源上拉至 TLE7258 的内部电源。
- INH 输出开启。
- 总线唤醒比较器处于激活状态并指示 RxD 引脚上的唤醒事件。
- 在待机模式下，只有欠电压检测的上电复位电平有效（参见 [第 15 页“欠电压检测”](#)）。
- EN 输入激活。EN 输入上的“高”信号触发向正常运行模式的切换（见 [图 5](#)）。

发生上电事件后，TLE7258 默认进入待机模式。EN 引脚有一个内部下拉电阻，TLE7258 保持待机状态，直到外部微控制器在 EN 输入处施加逻辑“高”信号（见 [图 6](#)）。

功能描述

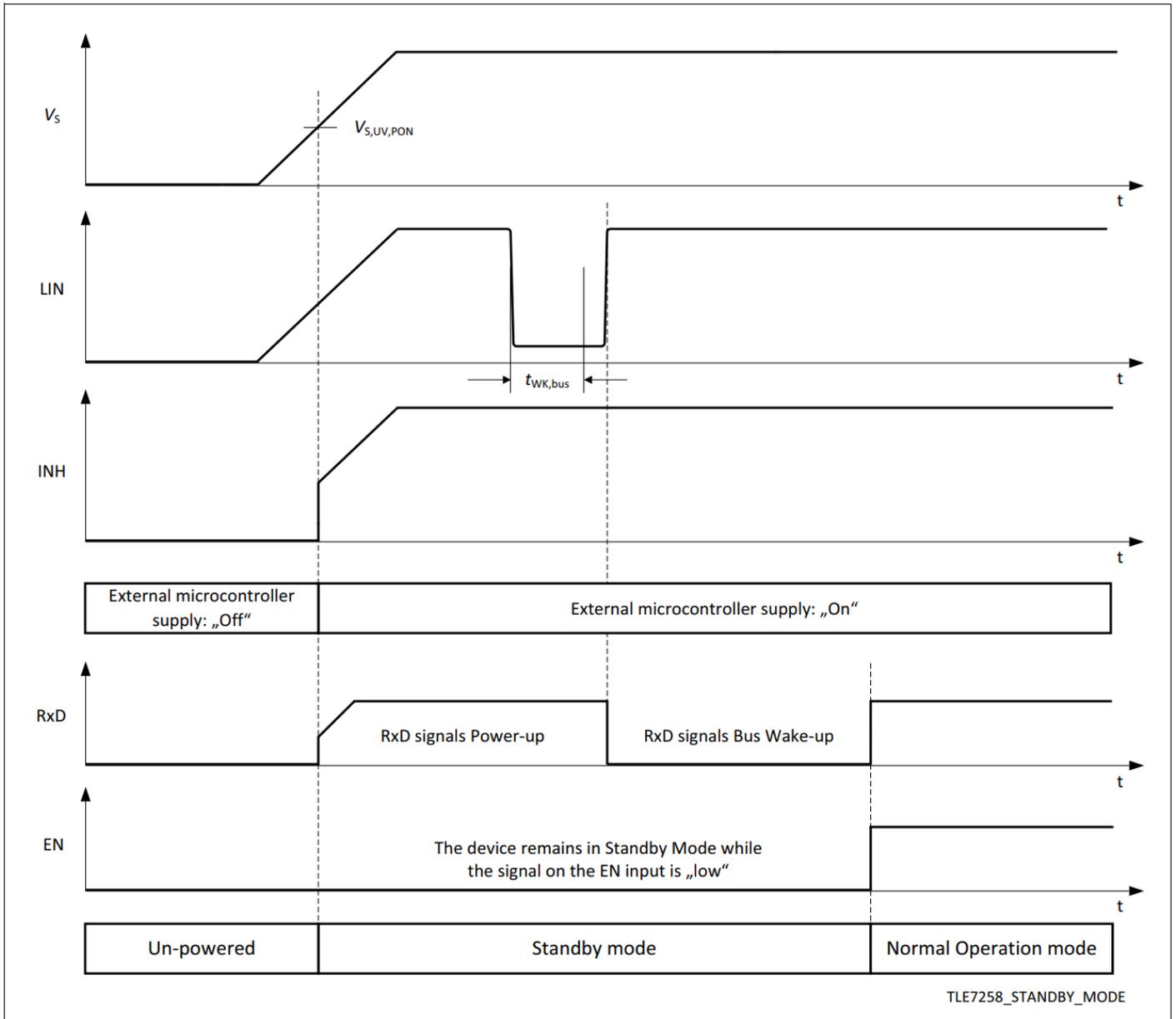


图 6 上电后进入待机模式

功能描述

3.4 睡眠模式

睡眠模式是一种低功耗模式，静态消耗电流降至最低，同时器件仍然能够通过 LIN 总线上的消息唤醒。

要将 TLE7258 从正常运行模式切换到睡眠模式，EN 输入必须设置为“低”。相反，EN 输入上的逻辑“高”信号将器件直接设置回正常运行模式（参见图 4）。TLE7258 只能从正常运行模式进入睡眠模式。

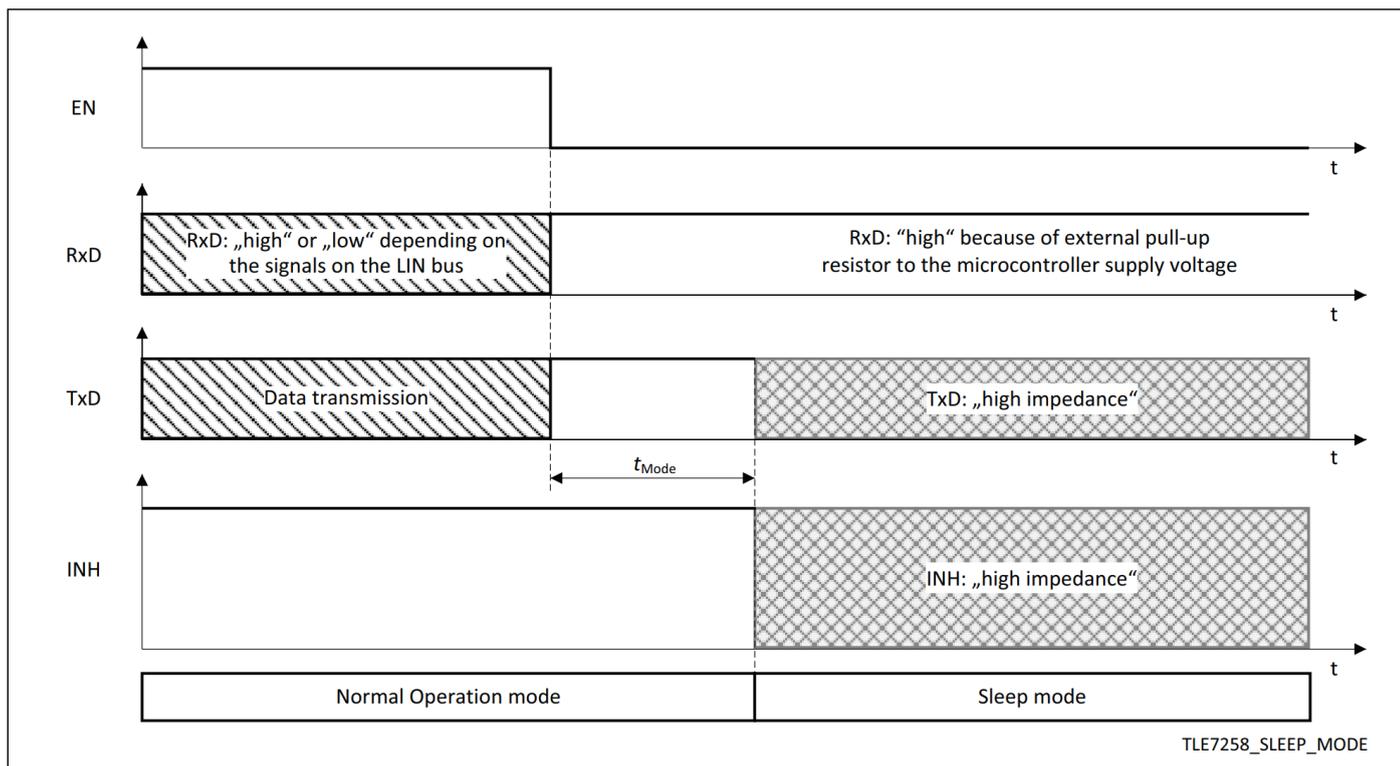


图 7 从正常运行模式进入睡眠模式

当 TLE7258 处于睡眠模式时，以下功能可用：

- 发射器已关闭。
- 接收器已关闭。
- 总线输出通过内部终端电阻 R_{BUS} 接至 V_S 参见（图 1）。
- 如果上拉电阻连接到外部为控制器供电，则 RxD 输出为“高”。
- TxD 输入被禁用，内部上拉电流源被关闭。
- INH 输出关闭，处于浮动状态。
- 总线唤醒比较器处于激活状态，并在发生唤醒事件时导致切换到待机模式。
- 在睡眠模式下，只有欠电压检测的上电复位电平有效（参见第 15 页“欠电压检测”章节）。
- EN 输入保持激活状态。EN 输入上的“高”信号会触发切换至正常运行模式。

3.5 总线唤醒事件

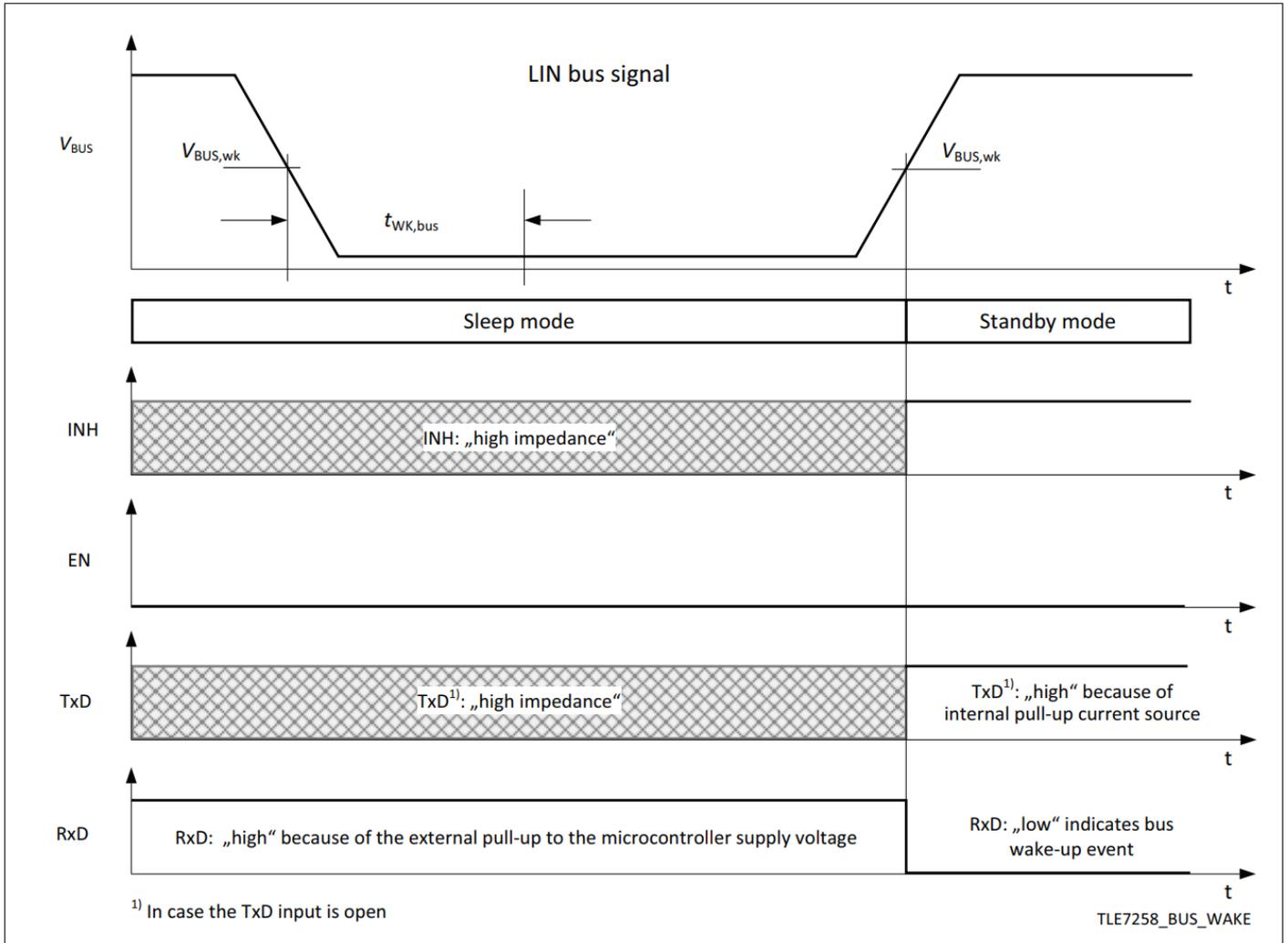


图 8 总线唤醒行为

总线唤醒事件，也称为远程唤醒，将运行模式从睡眠模式切换为待机模式。LIN 总线上出现下降沿，随后在接下来的 $t_{WK,bus}$ 时间内保持“显性”总线信号，将导致总线唤醒事件。模式切换为待机模式随着 LIN 总线上的出现上升沿而激活。TLE7258 保持睡眠模式，直到检测到 LIN 总线的状态从“显性”变为“隐性”（见图 8）。

在待机模式下，RxD 输出上的逻辑“低”信号表示总线唤醒事件。

如果 TLE7258 在上电后已处于待机模式时检测到唤醒事件，唤醒事件将在 RxD 上以逻辑“低”电平发出信号，并覆盖上电唤醒源（见图 6）。

3.6 通过 EN 输入进行模式切换

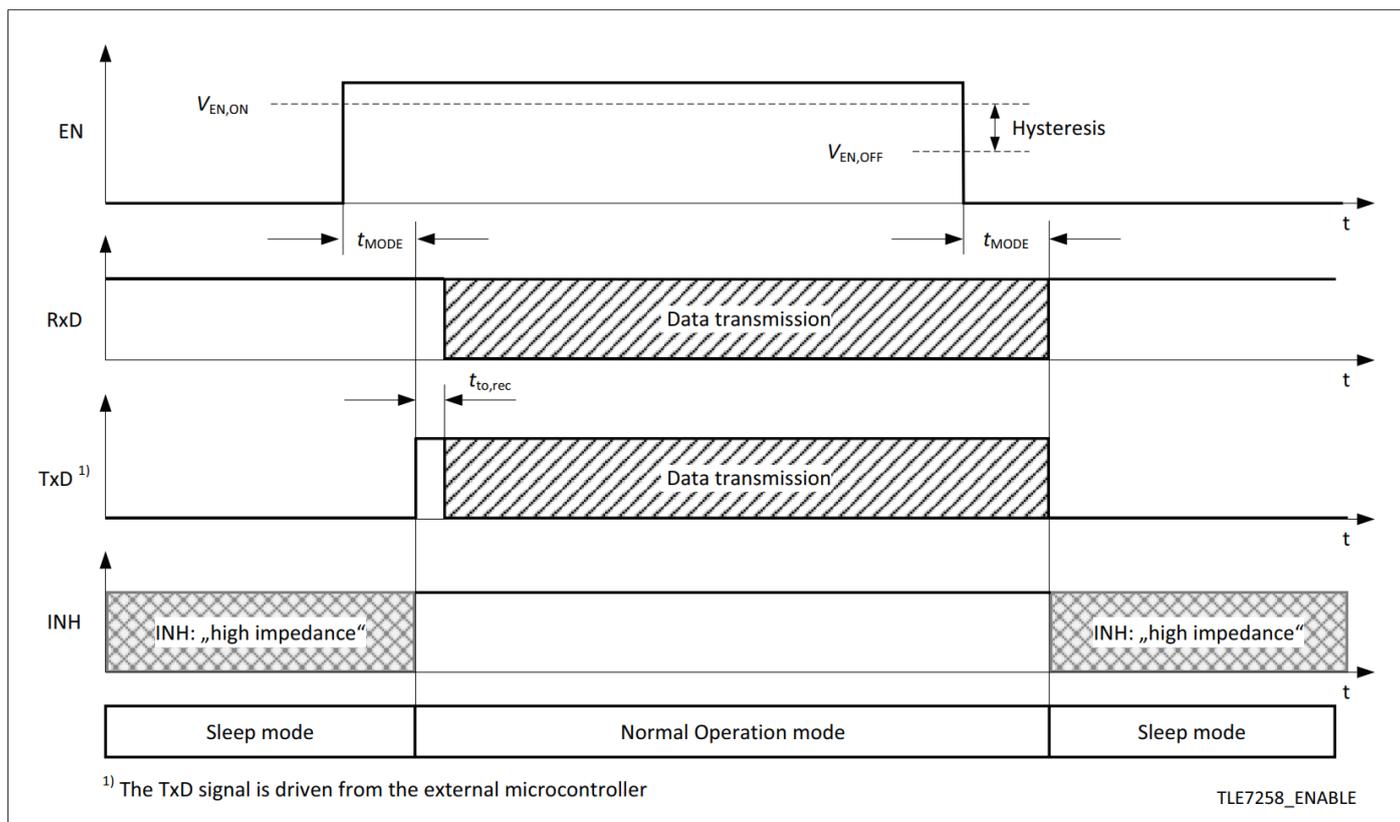


图9 从睡眠模式进入正常运行模式

EN 输入用于控制 TLE7258 的运行模式。通过在睡眠或待机模式下将 EN 输入逻辑“高”设置持续时间 t_{MODE} ，即可触发到正常运行模式的切换（参见图 9）。EN 输入具有集成的下拉电阻，以确保即使 EN 引脚保持开路，器件仍保持睡眠或待机模式。EN 输入具有集成迟滞功能。

EN 输入上的信号从逻辑“高”到“低”的转换会将运行模式从正常运行模式更改为睡眠模式（参见图 5）。

无论 BUS 脚上的信号如何，TLE7258 都会更改运行模式。如果 LIN 总线和 GND 之间发生短路，导致永久“显性”信号，则可以通过将 EN 输入设置为逻辑“低”来将 TLE7258 设置为睡眠模式。

模式变为正常运行模式后，必须在 TxD 输入端保持一个持续 $t_{to,rec}$ 时间的逻辑“高”信号来释放数据通信。

功能描述

3.7 过温保护

TLE7258 具有集成的过温传感器，可保护器件免受发射器上的热过应力影响。如果发生过温事件，发射器将被禁用（见图 10）。过温事件不会引起任何模式改变，也不会直接在 Rx/D 输出或 Tx/D 输入上显示。

当结温低于热关断水平 $T_J < T_{JSD}$ 时，发射器将重新激活。过温恢复后，Tx/D 输入在重新启动数据传输之前需要逻辑“高”信号。

10°C 的迟滞可避免温度关闭期间发生反复切换。

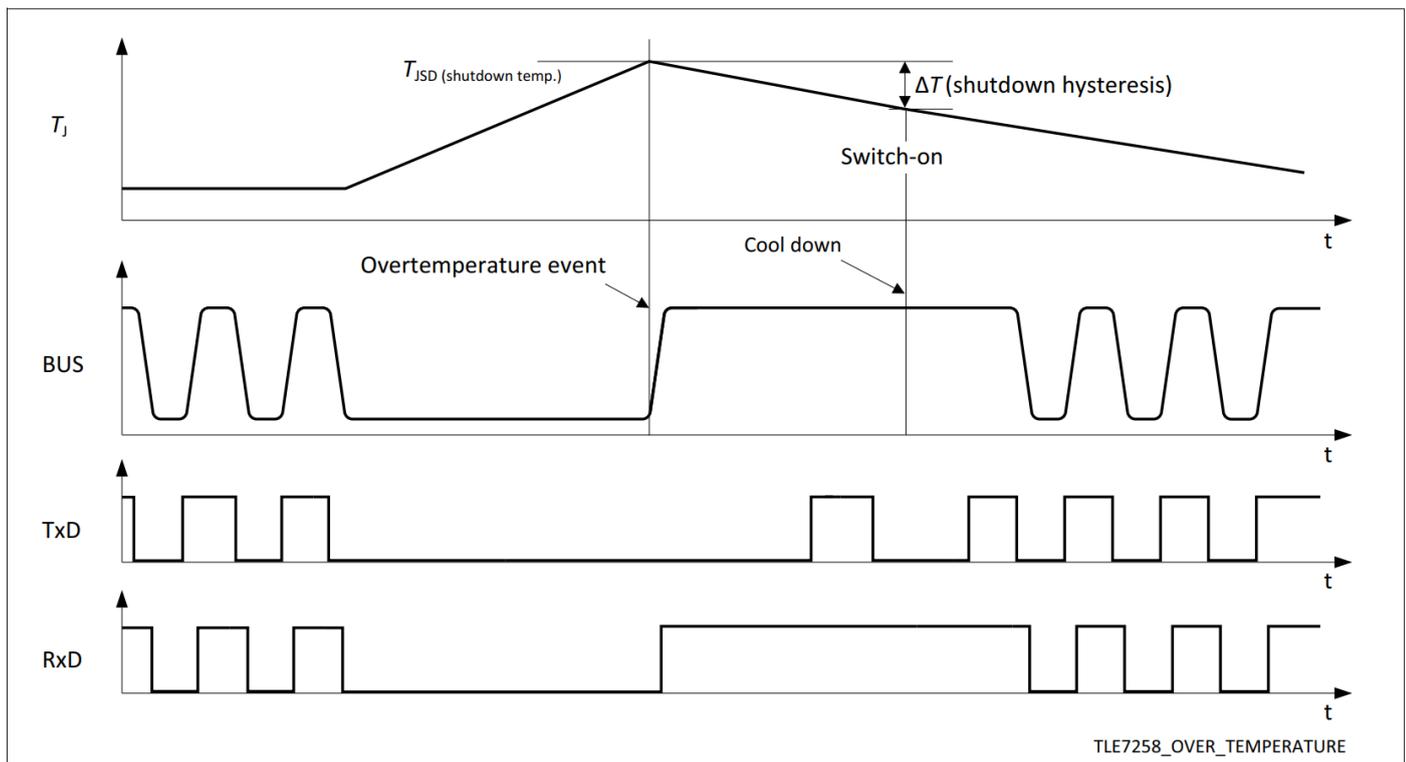


图 10 过温关断

功能描述

3.8 欠压检测

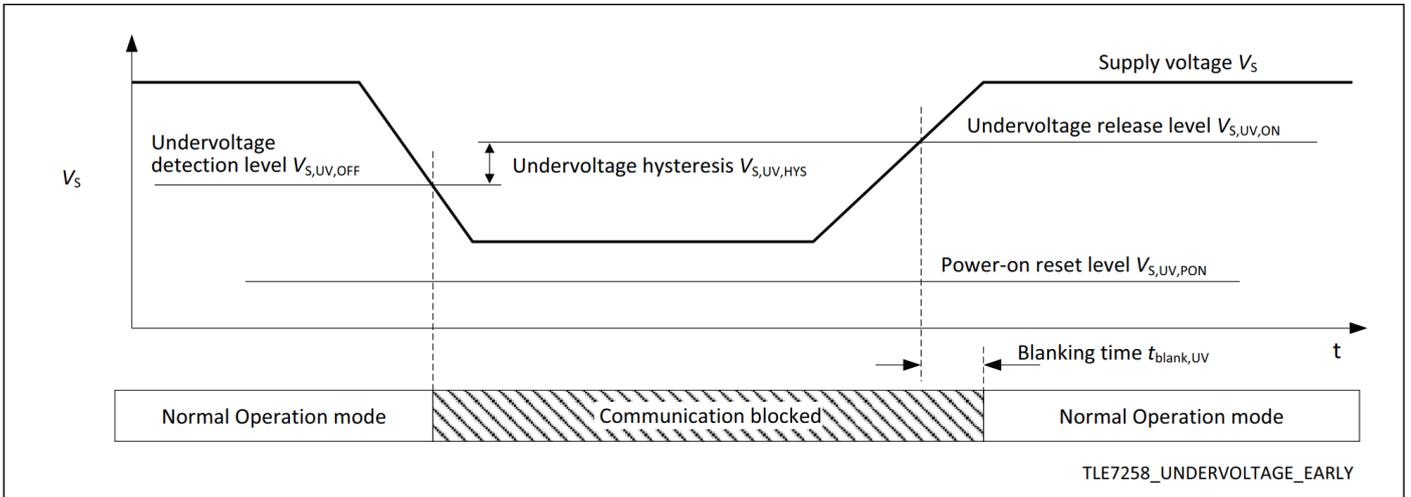


图 11 早期欠压检测

TLE7258 在 V_S 电源引脚上具有欠压检测功能，并设有两个不同的阈值：

- 在正常运行模式下，TLE7258 在检测到欠压事件时会阻止 LIN 总线与微控制器之间的通信。但是，不会发生模式更改。当 V_S 上升到欠压释放电平 $V_{S,UV,REL}$ 之上后，当 TxD 输入上的信号变“高”时，总线通信将被释放。见图 11。
- 如果电源 V_S 下降到低于上电复位电平 $V_{S,UV,PON}$ ，TLE7258 不仅会阻止 LIN 总线与微处理器之间的通信，还会在 V_S 电源恢复后，将运行模式更改为待机模式。在待机模式中，TLE7258 指示 RxD 输出上的上电事件。上电复位电平在所有运行模式下均有效。见图 12。

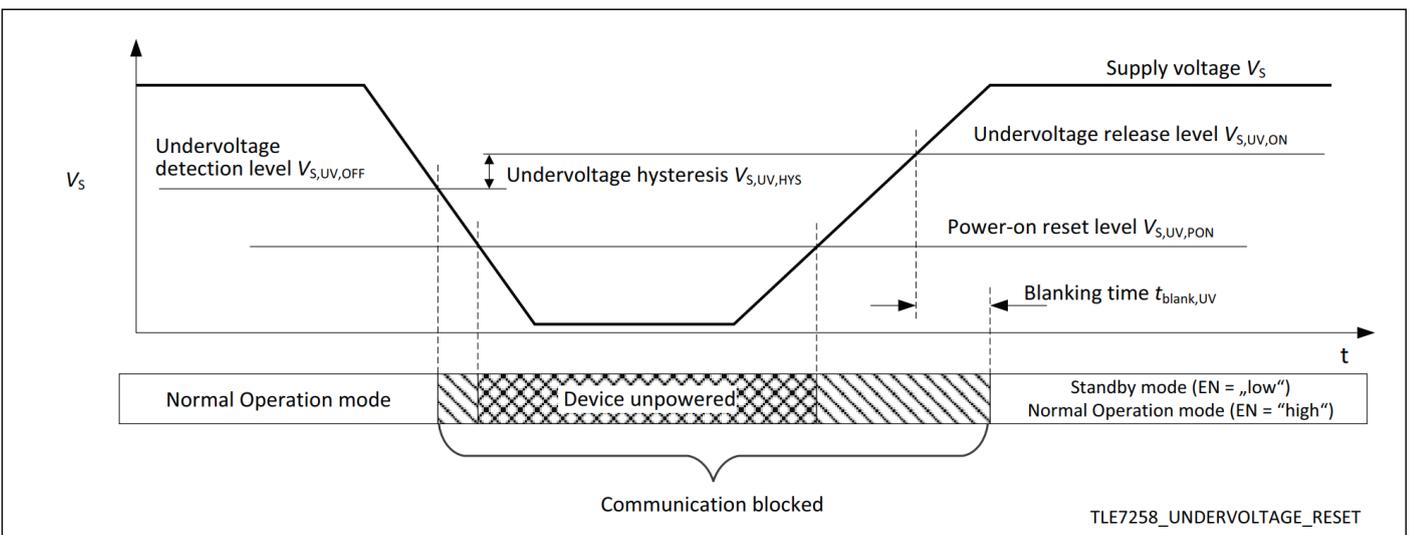


图 12 欠压检测及上电复位

功能描述

3.9 TxD 超时

TxD 超时的特点是在 TxD 输入上的逻辑信号持续处于“低”状态（例如微控制器故障或印刷电路板上的短路而导致）的情况下，可以保护 LIN 总线免受永久阻塞。在正常运行模式中，TxD 输入上的逻辑“低”信号持续时间 t_{TxD} 将禁用发射器的输出级（参见图 13）。接收器将保持活动状态，并且总线上的数据仍然在 RxD 输出上受到监控。

当在时间 $t_{\text{to,rec}}$ 内检测到 TxD 输入上的逻辑“高”信号时，TLE7258 将首先在 TxD 超时事件后释放输出级。

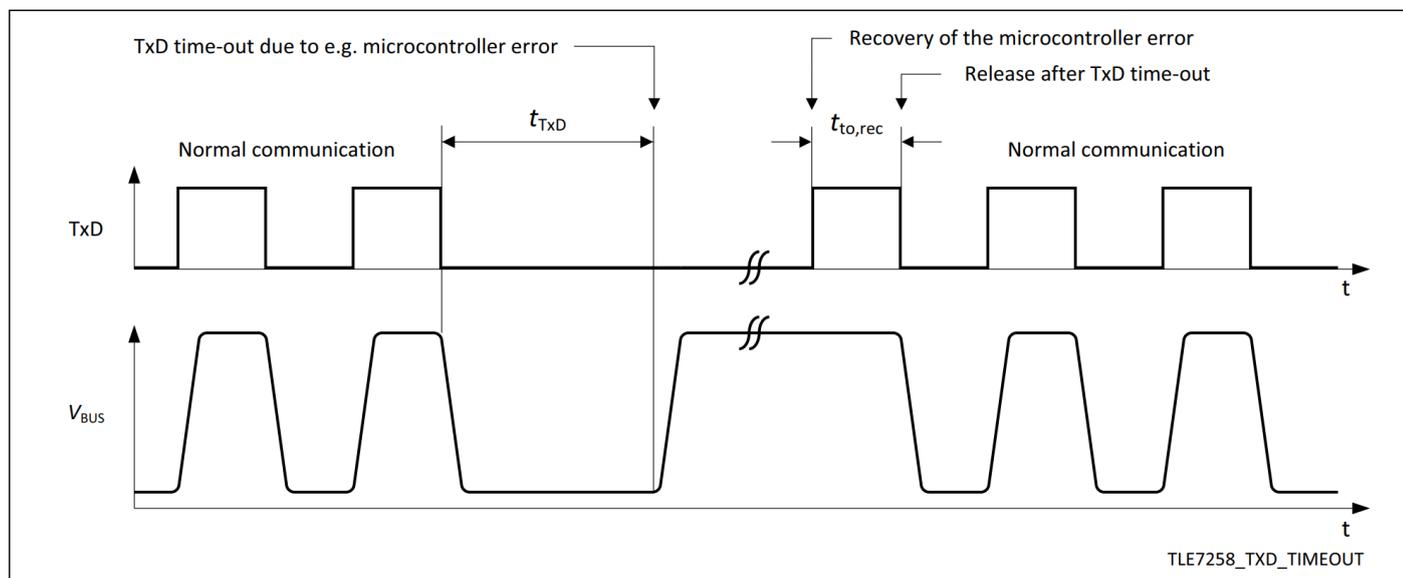


图 13 TxD 超时

3.10 3.3 V 和 5 V 逻辑能力

TLE7258 可用于 3.3 V 和 5 V 微控制器。逻辑输入和输出能够在两种电压电平下运行。RxD 输出需要一个外部上拉电阻连接到微控制器供电来定义电压等级（参见第 26 页章节 6.6 “RxD 上拉电阻器”和图 16）。

3.11 短路

TLE7258 的 BUS 引脚可以承受接地或 V_S 电源短路。如果总线引脚上永久短路导致过热，集成的过温保护可能会禁用发射器。

4 产品一般特性

4.1 绝对最大额定值

表3 电压、电流和温度的绝对最大额定值¹⁾

所有电压均以地为参考，正电流表示流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltages							
Battery supply voltage	V_S	-0.3	-	40	V	LIN Spec 2.2A (Par. 11)	1.1.1
BUS input voltage	$V_{BUS,G}$	-27	-	40	V	-	1.1.2
Logic voltages at EN, TxD, RxD	V_{logic}	-0.3	-	6.0	V	-	1.1.3
INH voltage	V_{INH}	-0.3	-	$V_S + 0.3$	V	-	1.1.4
Currents							
Output current at RxD	I_{RxD}	0	-	15	mA	-	1.2.1
Output current at INH	I_{INH}	-5	-	5	mA	-	1.2.2
Temperatures							
Junction temperature	T_j	-40	-	150	°C	-	1.3.1
Storage temperature	T_s	-55	-	150	°C	-	1.3.2
ESD susceptibility							
Electrostatic discharge voltage at V_S , BUS	V_{ESD}	-10	-	10	kV	Human Body Model (100 pF via 1.5 k Ω) ²⁾	1.4.1
Electrostatic discharge voltage all other pins	V_{ESD}	-4	-	4	kV	Human Body Model (100 pF via 1.5 k Ω) ²⁾	1.4.2
Electrostatic discharge voltage all pins	V_{ESD}	-1	-	1	kV	Charged Device Model ³⁾	1.4.3

1) 未经过生产测试，由设计指定。

2) ESD 耐受性 HBM 符合 ANSI / ESDA / JEDEC JS-001

3) 在符合 EIA/JESD22-C101 或 ESDA STM5.3.1 的带电器件模型 (CDM) 下的 ESD 耐受能力

注释：

1. 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常运行范围。保护功能不是为了连续重复的操作而设计的。

产品一般特性

4.2 工作范围

表 4 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltages							
Extended supply voltage range for operation	$V_{S(\text{ext})}$	18	–	40	V	Parameter deviations possible	2.1.1
Supply voltage range for normal operation	$V_{S(\text{nor})}$	5.5	–	18	V	LIN Spec 2.2A (Par. 10)	2.1.2
Thermal parameters							
Junction temperature	T_j	-40	–	150	°C	¹⁾	2.2.1

1) 无需经过生产测试，由设计指定。

注释： 在工作范围内，IC按照电路描述正常运行。电气特性是在电气特性表中注明的条件下指定的。

4.3 热特性

注释： 此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问 www.jedec.org。

表 5 热阻抗¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Thermal resistance, PG-DSO-8 package version							
Junction ambient	R_{thJA}	–	130	–	K/W	²⁾	3.1.1
Thermal resistance, PG-TSON-8 package version							
Junction ambient	R_{thJA}	–	60	–	K/W	²⁾	3.2.1
		–	190	–	K/W	³⁾	3.2.2
		–	70	–	K/W	300 mm ² heatsink on PCB ³⁾	3.2.3
Thermal shutdown junction temperature							
Thermal shutdown temperature	T_{JSD}	150	175	200	°C	–	3.3.1
Thermal shutdown hysteresis	ΔT	–	10	–	K	–	3.3.2

1) 未经过生产测试，由设计指定。

2) 指定的 R_{thJA} 值是根据 FR4 2s2p 板上自然对流下的 Jedec JESD51-2,-7 确定的；产品 (TLE7258) 在 76.2 x 114.3 x 1.5 mm 板上进行模拟，该板具有 2 个内部铜层 (2 x 70 mm Cu、2 x 35 mm Cu)。在适用的情况下，裸露的裸露焊盘下的导热过孔阵列与第一内部铜层接触。

3) 指定的 R_{thJA} 值是根据 FR4 1s0p 板上自然对流下的 Jedec JESD51-3 确定的；产品 (TLE7258) 在 76.2 x 114.3 x 1.5 mm 板上进行模拟，该板具有 1 个内铜层 (1 x 70 mm Cu)。

电气特性

5 电气特性

5.1 器件功能特性

表 6 电气特性

5.5 V < V_S < 18 V; $R_L = 500 \Omega$; $-40^\circ\text{C} < T_j < 150^\circ\text{C}$;

所有电压均以地为参考，正向电流表示流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

电流消耗

Current consumption at V_S , Recessive state	$I_{S,rec}$	0.1	0.6	2.0	mA	INH open, without R_L ; $V_{TXD} = \text{“high”}$	4.1.1
Current consumption at V_S , Dominate state	$I_{S,dom}$	0.1	1.1	3.0	mA	INH open, without R_L ; $V_{TXD} = 0 \text{ V}$	4.1.2
Current consumption at V_S , Standby mode	$I_{S,standby}$	100	350	900	μA	Standby mode, $V_{BUS} = V_S$	4.1.3
Current consumption at V_S , Sleep mode	$I_{S,sleep,typ}$	1	10	15	μA	Sleep mode, $T_j < 40^\circ\text{C}$; $V_S = 13.5 \text{ V}$; $V_{BUS} = V_S$	4.1.4
Current consumption at V_S , Sleep mode	$I_{S,sleep}$	1	10	25	μA	Sleep mode, $V_{BUS} = V_S$	4.1.5
Current consumption at V_S , Sleep mode. Bus shorted to GND	I_{S,SC_GND}	100	–	700	μA	Sleep mode, $V_S = 13.5 \text{ V}$; $V_{BUS} = 0 \text{ V}$	4.1.6

欠压检测

Power-on reset level on V_S	$V_{S,UV,PON}$	–	–	4.3	V	Reset level for mode change	4.2.1
Undervoltage threshold, V_S on	$V_{S,UV,ON}$	4.7	5.15	5.5	V	Rising edge	4.2.2
Undervoltage threshold, V_S off	$V_{S,UV,OFF}$	4.4	4.85	5.2	V	Falling edge	4.2.3
Undervoltage detection hysteresis	$V_{S,UV,HYS}$	–	300	–	mV	¹⁾	4.2.4
Undervoltage blanking time	$t_{BLANK,UV}$	–	10	–	μs	¹⁾	4.2.5

接收输出：RxD

“High” level leakage current	$I_{RD,H,leak}$	–	–	5	μA	$V_{RxD} = 5 \text{ V}$; $V_{BUS} = V_S$	4.3.1
“Low” level output current	$I_{RD,L}$	1.3	–	–	mA	$V_{RxD} = 0.4 \text{ V}$; $V_{BUS} = 0 \text{ V}$	4.3.2

发送输入：TxD

“High” level input voltage range	$V_{TD,H}$	2	–	6.0	V	Recessive state	4.4.1
“Low” level input voltage range	$V_{TD,L}$	-0.3	–	0.8	V	Dominant state	4.4.2
Input hysteresis	$V_{TD,hys}$	–	200	–	mV	¹⁾	4.4.3

电气特性

表 6 电气特性 (续)

5.5 V < V_S < 18 V; R_L = 500 Ω; -40°C < T_J < 150°C;

所有电压均以地为参考, 正向电流表示流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pull-up current	I _{TD}	-60	-	-20	μA	V _{TxD} = 0 V; Normal operation mode or standby mode	4.4.4

允许输入: EN

“High” level input voltage range	V _{EN,ON}	2	-	6.0	V	Normal operation mode	4.5.1
“Low” level input voltage range	V _{EN,OFF}	-0.3	-	0.8	V	Sleep mode or standby mode	4.5.2
Input hysteresis	V _{EN,hys}	-	200	-	mV	¹⁾	4.5.3
Pull-down resistance	R _{EN}	15	30	60	kΩ	-	4.5.4

禁止输出: INH

Inhibit voltage drop	ΔV _{INH}	-	-	1.0	V	I _{INH} = -2.0 mA	4.6.1
Leakage current	I _{INH,lk}	-5.0	-	5.0	μA	Sleep mode; V _{INH} = 0 V	4.6.2

总线接收器: BUS

Receiver threshold voltage, recessive to dominant edge	V _{th_dom}	0.4 × V _S	0.44 × V _S	-	V	-	4.7.1
Receiver dominant state	V _{BUSdom}	-	-	0.4 × V _S	V	LIN Spec 2.2A (Par. 17)	4.7.2
Receiver threshold voltage, dominant to recessive edge	V _{th_rec}	-	0.56 × V _S	0.6 × V _S	V	-	4.7.3
Receiver recessive state	V _{BUSrec}	0.6 × V _S	-	-	V	LIN Spec 2.2A (Par. 18)	4.7.4
Receiver center voltage	V _{BUS_CNT}	0.475 × V _S	0.5 × V _S	0.525 × V _S	V	LIN Spec 2.2A (Par. 19) ²⁾	4.7.5
Receiver hysteresis	V _{HYS}	0.07 × V _S	0.12 × V _S	0.175 × V _S	V	LIN Spec 2.2A (Par. 20) ³⁾	4.7.6
Wake-up threshold voltage	V _{BUS,wk}	0.40 × V _S	0.5 × V _S	0.6 × V _S	V	-	4.7.7

总线发送器: BUS

Bus recessive output voltage	V _{BUS,ro}	0.8 × V _S	-	V _S	V	V _{TxD} = “high”; Open load	4.8.1
Bus short circuit current	I _{BUS_LIM}	40	85	125	mA	V _{BUS} = 13.5 V; LIN Spec 2.2A (Par. 12);	4.8.2
Leakage current	I _{BUS_NO_GND}	-1	-0.5	-	mA	V _S = 0 V; V _{BUS} = -12 V; LIN Spec 2.2A (Par. 15)	4.8.3
Leakage current	I _{BUS_NO_BAT}	-	1	5	μA	V _S = 0 V; V _{BUS} = 18 V; LIN Spec 2.2A (Par. 16)	4.8.4
Leakage current	I _{BUS_PAS_do} m	-1	-0.5	-	mA	V _S = 18 V; V _{BUS} = 0 V; LIN Spec 2.2A (Par. 13)	4.8.5

电气特性

表 6 电气特性 (续)

5.5 V < V_S < 18 V; R_L = 500 Ω; -40 °C < T_j < 150 °C;

所有电压均以地为参考, 正向电流表示流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Leakage current	$I_{BUS_PAS_rec}$	-	1	5	μA	V _S = 8 V; V _{BUS} = 18 V;	4.8.6
Forward voltage serial diode	V _{SerDiode}	0.4	-	1.0	V	I _{SerDiode} = 75 μA; LIN Spec 2.2A (Par. 21)	4.8.7
Bus pull-up resistance	R _{slave}	20	40	60	kΩ	LIN Spec 2.2A (Par. 26)	4.8.8
Bus dominant output voltage maximum load	V _{BUS,do}	-	-	1.4	V	V _{TxD} = 0 V; R _L = 500 Ω; V _S = 7 V;	4.8.9
		-	-	2.0	V	V _S = 18 V;	

动态收发器特性

Propagation delay: LIN bus dominant to RxD "low" LIN bus recessive to RxD "high"	t _{rx_pdf}	1	3.5	6	μs	LIN Spec 2.2A (Par. 31) R _{RxD} = 2.4 kΩ; C _{RxD} = 20 pF	4.9.1
	t _{rx_pdr}	1	3.5	6	μs		
Receiver delay symmetry	t _{rx_sym}	-2	-	2	μs	LIN Spec 2.2A (Par. 32) t _{rx_sym} = t _{rx_pdf} - t _{rx_pdr} ; R _{RxD} = 2.4 kΩ; C _{RxD} = 20 pF	4.9.2
Dominant time for bus wake-up	t _{WK,bus}	30	-	150	μs	-	4.9.3
Delay time for mode change	t _{MODE}	-	-	50	μs	4)	4.9.4
TxD time-out	t _{TxD}	8	18	28	ms	-	4.9.5
TxD recessive time to release transmitter	t _{to,rec}	-	-	10	μs	1)	4.9.6
Duty cycle D1 (for worst case at 20 kBit/s)	D1	0.396	-	-	-	Duty cycle 1 ⁵⁾ TH _{Rec} (max) = 0.744 × V _S ; TH _{Dom} (max) = 0.581 × V _S ; V _S = 7.0 ... 18 V; t _{bit} = 50 μs; D1 = t _{bus_rec(min)} / 2 × t _{bit} ; LIN Spec 2.2A (Par. 27)	4.9.7
Duty cycle D1 for V _S supply 5.5 V to 7.0 V (for worst case at 20 kBit/s)	D1	0.396	-	-	-	Duty cycle 1 ⁵⁾ TH _{Rec} (max) = 0.760 × V _S ; TH _{Dom} (max) = 0.593 × V _S ; 5.5 V < V _S < 7.0 V; t _{bit} = 50 μs; D1 = t _{bus_rec(min)} / 2 × t _{bit}	4.9.8
Duty cycle D2 (for worst case at 20 kBit/s)	D2	-	-	0.581	-	Duty cycle 2 ⁵⁾ TH _{Rec} (min) = 0.422 × V _S ; TH _{Dom} (min) = 0.284 × V _S ; V _S = 7.6 ... 18 V; t _{bit} = 50 μs; D2 = t _{bus_rec(max)} / 2 × t _{bit} ; LIN Spec 2.2A (Par. 28)	4.9.9

电气特性

表 6 电气特性 (续)

 $5.5\text{ V} < V_S < 18\text{ V}$; $R_L = 500\ \Omega$; $-40^\circ\text{C} < T_j < 150^\circ\text{C}$;

所有电压均以地为参考, 正向电流表示流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Duty cycle D2 for V_S supply 6.1 V to 7.6 V (for worst case at 20 kBit/s)	D2	–	–	0.581	–	Duty cycle 2 ⁵⁾ $TH_{Rec}(\min) = 0.410 \times V_S$; $TH_{Dom}(\min) = 0.275 \times V_S$; $6.1\text{ V} < V_S < 7.6\text{ V}$; $t_{bit} = 50\ \mu\text{s}$; $D2 = t_{bus_rec(\max)} / 2 \times t_{bit}$	4.9.10
Duty cycle D3 (for worst case at 10.4 kBit/s)	D3	0.417	–	–	–	Duty cycle 3 ⁵⁾ $TH_{Rec}(\max) = 0.778 \times V_S$; $TH_{Dom}(\max) = 0.616 \times V_S$; $V_S = 7.0 \dots 18\text{ V}$; $t_{bit} = 96\ \mu\text{s}$; $D3 = t_{bus_rec(\min)} / 2 \times t_{bit}$; LIN Spec 2.2A (Par. 29)	4.9.11
Duty cycle D3 for V_S supply 5.5 V to 7.0 V (for worst case at 10.4 kBit/s)	D3	0.417	–	–	–	Duty cycle 3 ⁵⁾ $TH_{Rec}(\max) = 0.797 \times V_S$; $TH_{Dom}(\max) = 0.630 \times V_S$; $5.5\text{ V} < V_S < 7.0\text{ V}$; $t_{bit} = 96\ \mu\text{s}$; $D3 = t_{bus_rec(\min)} / 2 \times t_{bit}$;	4.9.12
Duty cycle D4 (for worst case at 10.4 kBit/s)	D4	–	–	0.590	–	Duty cycle 4 ⁵⁾ $TH_{Rec}(\min) = 0.389 \times V_S$; $TH_{Dom}(\min) = 0.251 \times V_S$; $V_S = 7.6 \dots 18\text{ V}$; $t_{bit} = 96\ \mu\text{s}$; $D4 = t_{bus_rec(\max)} / 2 \times t_{bit}$; LIN Spec 2.2A (Par. 30)	4.9.13
Duty cycle D4 for V_S supply 6.1 V to 7.6 V (for worst case at 10.4 kBit/s)	D4	–	–	0.590	–	Duty cycle 4 ⁵⁾ $TH_{Rec}(\min) = 0.378 \times V_S$; $TH_{Dom}(\min) = 0.242 \times V_S$; $6.1\text{ V} < V_S < 7.6\text{ V}$; $t_{bit} = 96\ \mu\text{s}$; $D4 = t_{bus_rec(\max)} / 2 \times t_{bit}$;	4.9.14

1) 未经过生产测试, 由设计指定。

2) $V_{BUS_CNT} = (V_{th_dom} + V_{th_rec}) / 2$

3) $V_{HYS} = V_{th_rec} - V_{th_dom}$

4) INH 输出端负载为 10k Ω / 20 pF 的条件下的指定延迟时间

5) 有关LIN Spec 2.2A 的总线负载:

Load 1 = 1 nF / 1 k Ω = C_{BUS} / R_L

Load 2 = 6.8 nF / 660 Ω = C_{BUS} / R_L

Load 3 = 10 nF / 500 Ω = C_{BUS} / R_L

5.2 图表

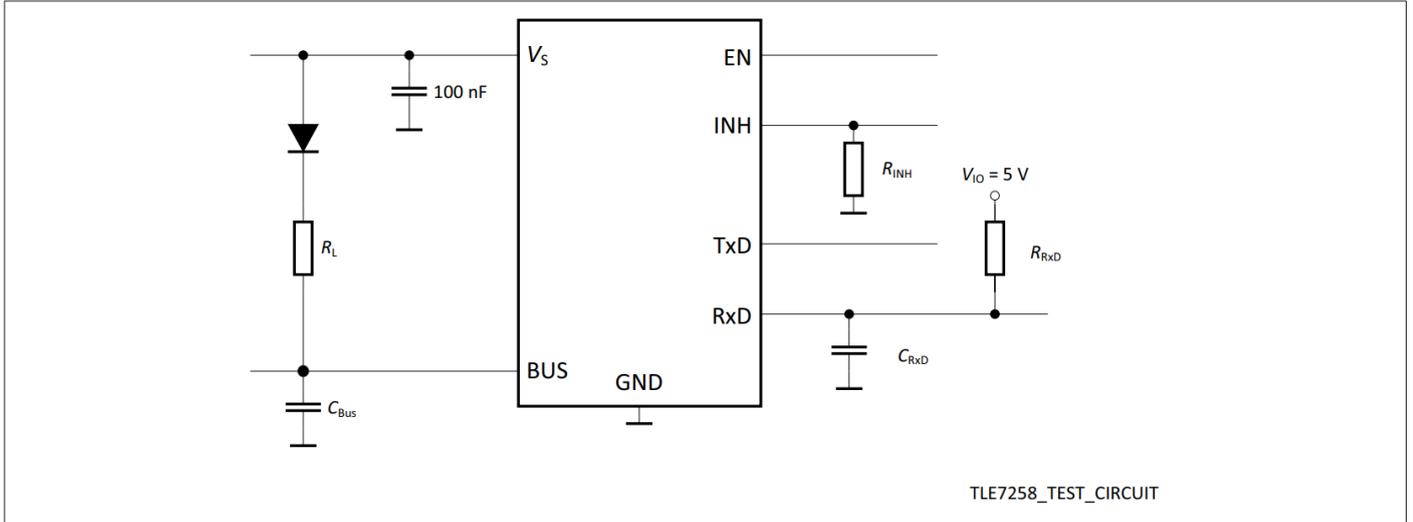


图 14 简化测试电路

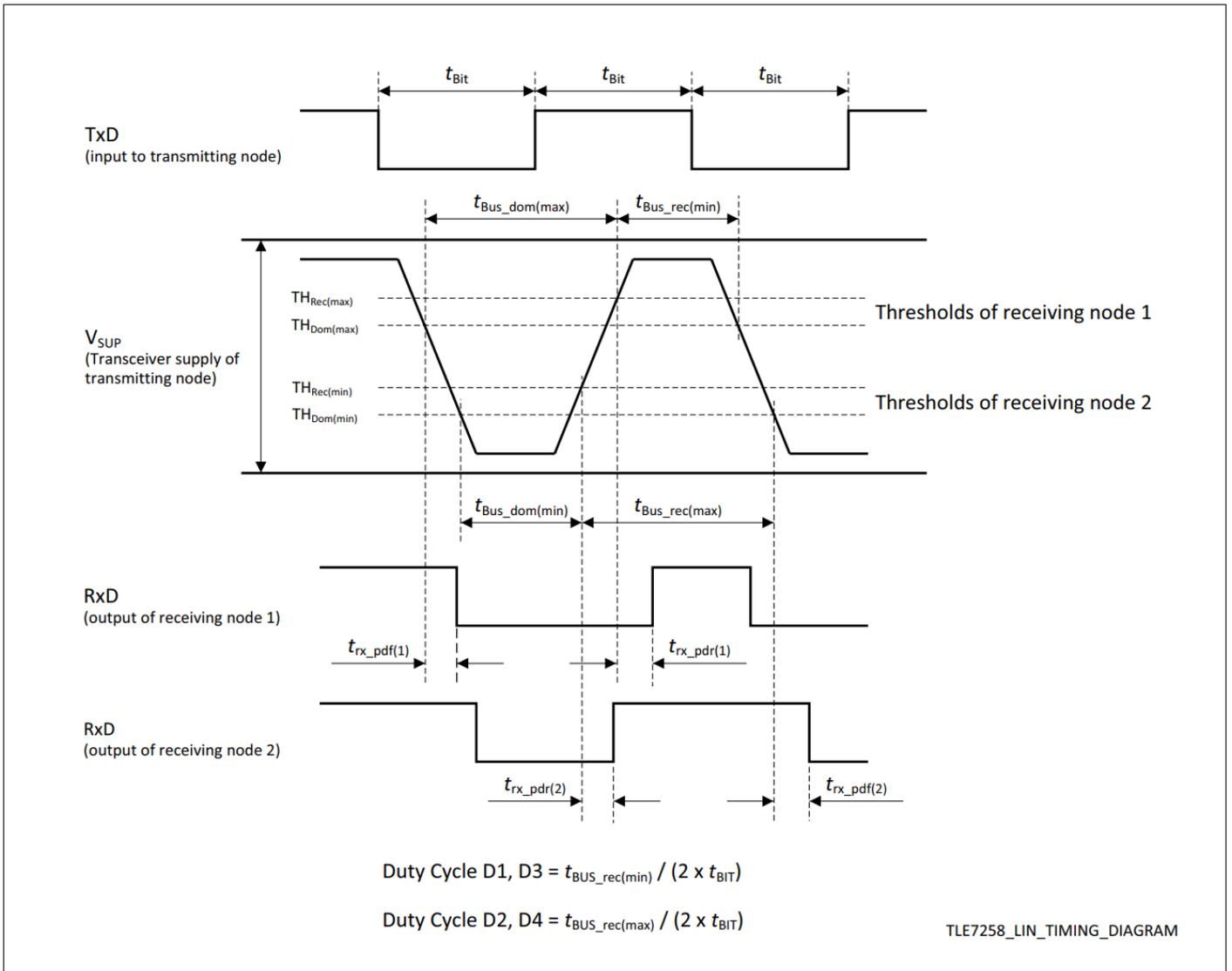


图 15 动态特性时序图

6 应用信息

注： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

6.1 应用示例

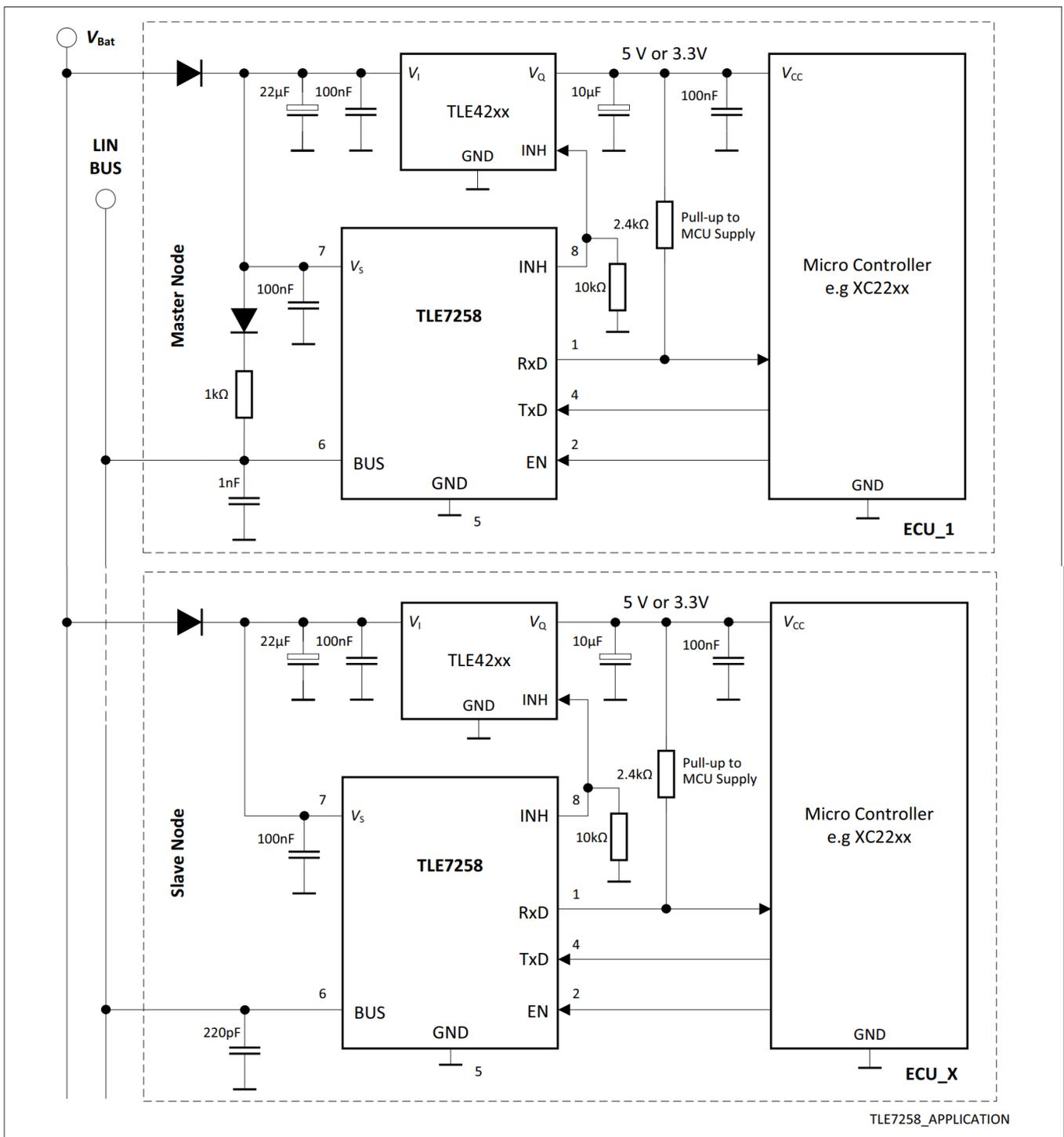


图 16 简化应用电路

应用信息

6.2 符合 IEC61000-4-2 标准的ESD 耐受性

已根据 IEC61000-4-2“静电防护枪测试”（150 pF，330Ω）进行静电防护性能测试。测试结果和测试条件请参阅单独的测试报告。

表 7 符合 IEC61000-4-2 标准的ESD 抗扰度

Performed Test	Result	Unit	Remarks
Electrostatic discharge voltage at pin V_S , BUS versus GND	+10	kV	¹⁾ Positive pulse
Electrostatic discharge voltage at pin V_S , BUS versus GND	-10	kV	¹⁾ Negative pulse

1) 根据 IEC 61000-4-2 标准 ESD 耐受性“静电防护GUN”，由外部测试机构测试。

6.3 符合 ISO 7637-2 标准的瞬态抗扰度

已根据 ISO 7637-2 进行了瞬态抗扰度测试。测试结果和测试条件可在单独的测试报告中查阅。

表 8 符合 ISO 7637-2 标准的汽车瞬态抗扰度

Performed Test	Result	Unit	Remarks
Pulse 1	-100	V	1)
Pulse 2	+75	V	1)
Pulse 3a	-150	V	1)
Pulse 3b	+100	V	1)

1) 汽车瞬态抗扰度符合 ISO 7637-2 标准，由外部测试机构测试。

6.4 LIN物理层兼容性

TLE7258 满足 LIN 1.2、1.3、2.0、2.1、2.2 和 2.2A 的物理层规范。

LIN 规范 1.2 和 1.3 之间的区别主要在于物理层规范。原因是为了提高节点之间的兼容性。

LIN 规范 2.0 是 1.3 版本的升级版。2.0 版本提供了新功能。但是，只要不使用新功能，就可以在 2.0 节点集群中使用 LIN 1.3 从属节点。反之亦然，可以在 1.3 集群中使用 LIN 2.0 节点而不使用新功能。

在物理层方面，LIN 2.1、LIN 2.2 和 LIN 2.2A 规范没有任何变化，完全兼容 LIN 规范 2.0。

LIN 2.2A 是 LIN 规范的最新版本，于 2010 年 12 月发布。LIN 2.2A 的物理层规范将不经修改地纳入 ISO 17987-4。

此外，TLE7258 符合 SAE J2602-2 标准，适用于美国汽车市场。

6.5 TxD 故障安全输入

TxD 输入具有内部上拉结构，以避免在 TxD 输入开路 and 悬空时产生任何总线干扰。在未连接 TxD 输入的情况下，引脚被拉至内部电源电压（见图 1）并且 BUS 引脚输出到 LIN 总线的信号终为“隐性”。因此，TLE7258 不会干扰 LIN 总线上的通信。

为了优化 TLE7258 在睡眠模式下的静态电流，睡眠模式下 TxD 输入内部的上拉结构被禁用。TxD 输入内部的逻辑对提供给 TxD 输入引脚的任何信号变化均无反应，并且发射器已关闭。在睡眠模式下，TLE7258 在任何情况下都不会干扰或阻塞 LIN 总线。

应用信息

表 9 TxD 终止

Operation mode	Remarks
Normal operation mode	The internal pull-up structure is active, in case the TxD input is open the TxD input signal is “high” and the output on the BUS pin is “recessive”
Standby mode	The internal pull-up structure is active, in case the TxD input is open the TxD input signal is “high”. In Standby mode the transmitter is turned off and therefore the output on the BUS pin always is “recessive”
Sleep mode	The internal pull-up structure is inactive, in case the TxD input is open the TxD input signal is “floating”. In sleep mode the transmitter is turned off and therefore the output on the BUS pin always is “recessive”

6.6 RxD 上拉电阻

接收数据输出 (RxD) 提供开漏行为, 允许输出电平适配微控制器供电电压。因此, 可以使用没有 5 V 耐受端口的 3.3 V 微控制器型号。如果微控制器端口引脚不提供集成上拉, 则需要一个连接到微控制器 V_{CC} 供电电压的外部上拉电阻。

典型的 RxD 引脚随温度变化的电流/电压特性如图 17 所示。通过应用端口引脚 (Rx) 的最小“高”电平和最大“低”电平输入电压, 可以确定上拉电阻的大小。对于大多数应用, 建议使用 2.4 k Ω 的上拉电阻

R_{Rx} 。

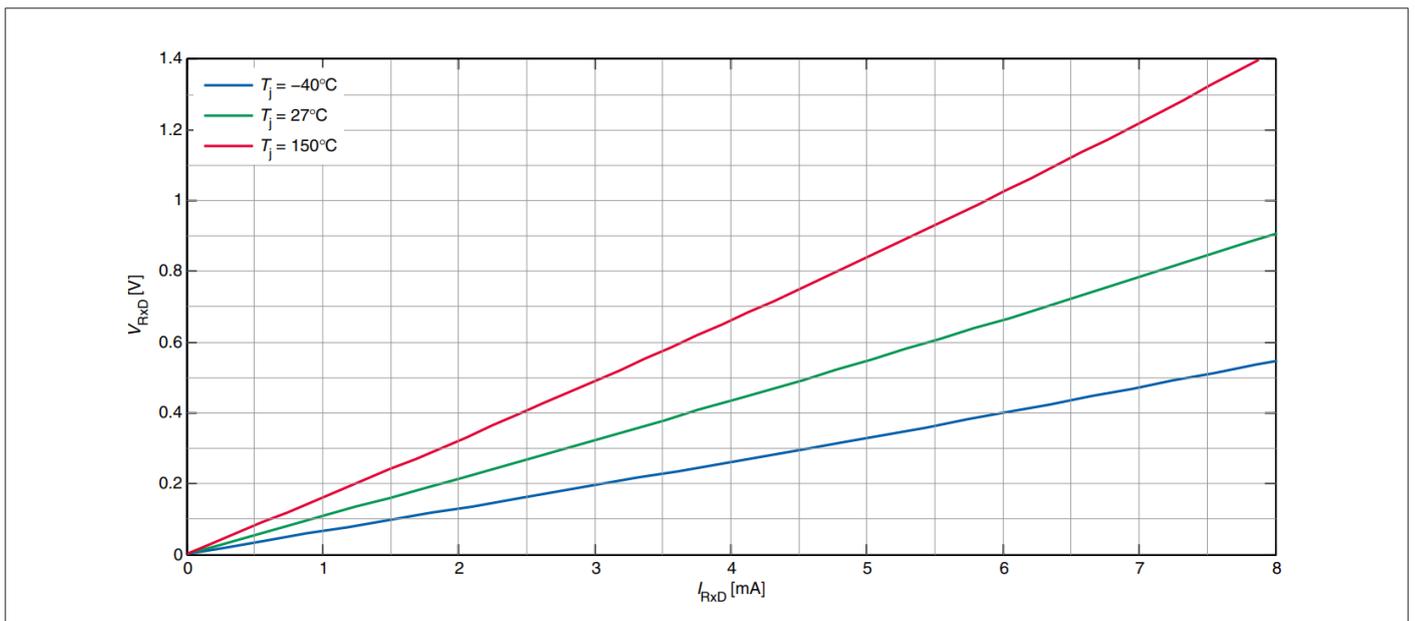


图 17 典型的 RxD 输出接收器特性

应用信息

6.7 与其他英飞凌 LIN 收发器的兼容性

英飞凌提供完整的 LIN 收发器系列，包括采用 PG-DSO-8 封装（TLE7257SJ、TLE7258SJ 和 TLE7259-3GE）和 PG-TSON-8 封装（TLE7257LE、TLE7258D、TLE7258LE 和 TLE7259-3LE）的器件。所有这些设备都是 pin-to-pin 兼容的，唯一的区别在于名为 NC (=未连接) 的引脚。N.C. 在应用中若不需要这些功能，这些引脚可在电路板上悬空不接。N.C. 引脚内部没有连接，因此即使这些引脚连接到应用 PCB 上的信号，器件将不会受到影响。

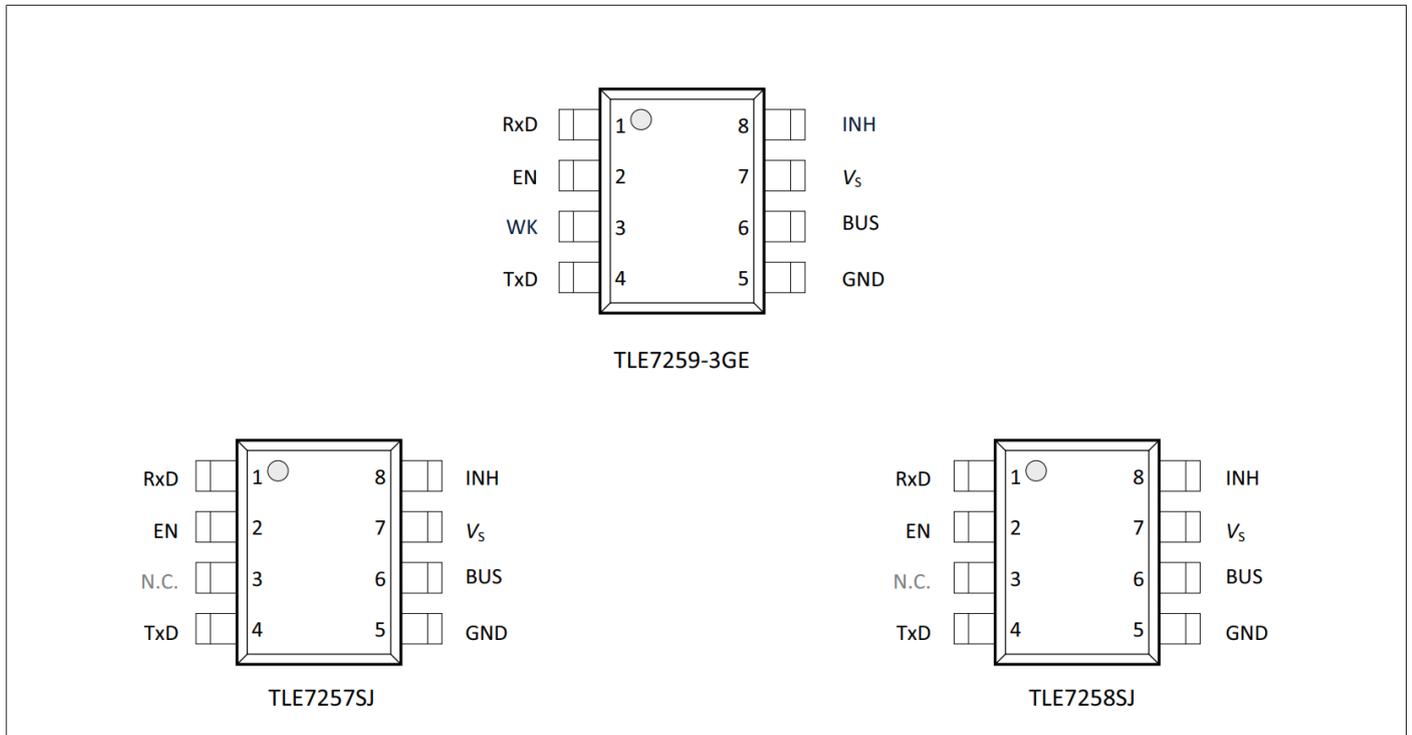


图 18 TLE7257SJ、TLE7258SJ 和 TLE7259-3GE 之间的引脚兼容性

表 10 LIN 收发器系列功能特性，PG-DSO-8 封装

Device	TLE7257SJ	TLE7258SJ	TLE7259-3GE
Applications	Standard LIN Master node	Standard LIN Slave node	High End LIN All kind of nodes
特性			
Fast Programming mode	-	-	✓
Local Wake input	-	-	✓
Inhibit output usage	VREG control	VREG control	VREG control Master Termination
TxD Time-out	✓	✓	✓
Power-Up mode	Sleep mode	Standby mode	Standby mode

英飞凌 LIN 收发器系列器件之间的功能差异总结在 [表 10](#) 和 [表 11](#) 中。有关功能和参数差异的详细信息，请参阅相应部分的数据手册。

应用信息

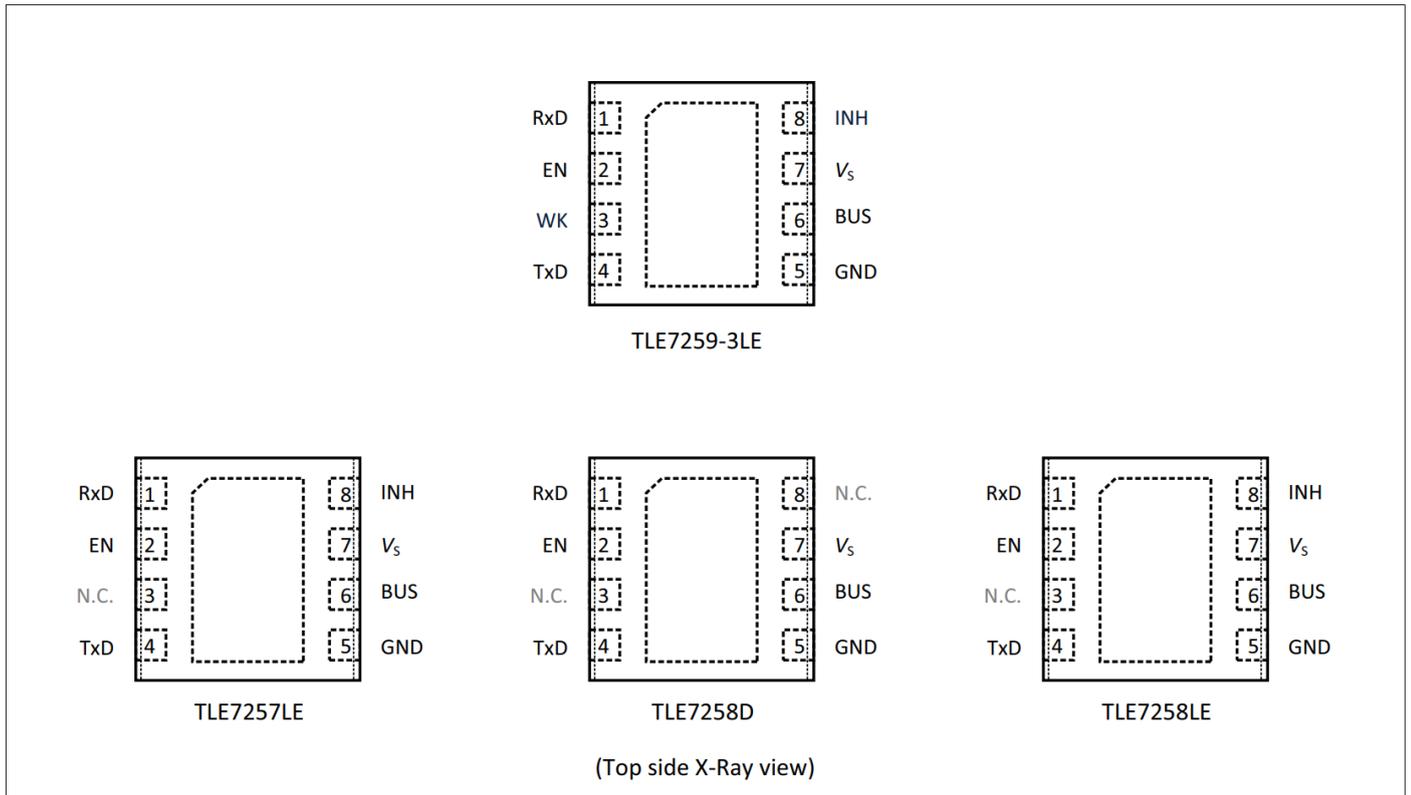


图 19 TLE7257LE、TLE7258LE、TLE7258D 和 TLE7259-3LE 之间的引脚兼容性

表 11 LIN 收发器系列功能特性，PG-TSON-8 封装

Device	TLE7257LE	TLE7258LE	TLE7258D	TLE7259-3LE
Applications	Standard LIN Master node	Standard LIN Slave node	K-line MOST ECL	High end LIN All kind of nodes
特性				
Fast Programming mode	-	-	-	✓
Local Wake input	-	-	-	✓
Inhibit output usage	VREG control	VREG control	-	VREG control master termination
TxD Time-out	✓	✓	-	✓
Power-Up mode	Sleep mode	Standby mode	Standby mode	Standby mode

封装外形

7 封装外形

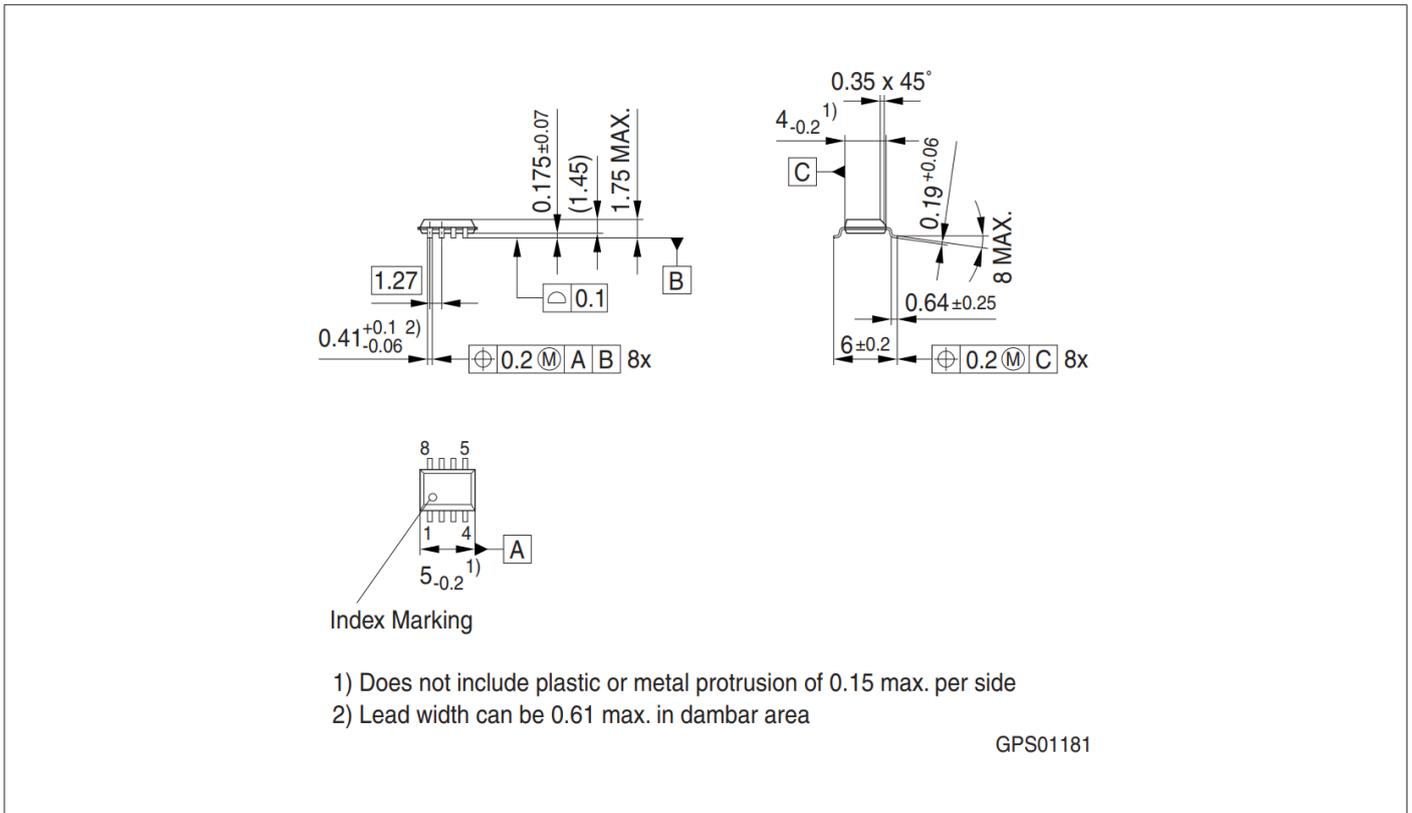


图 20 PG-DSO-8 (塑料双小封装外形 PG-DSO-8)

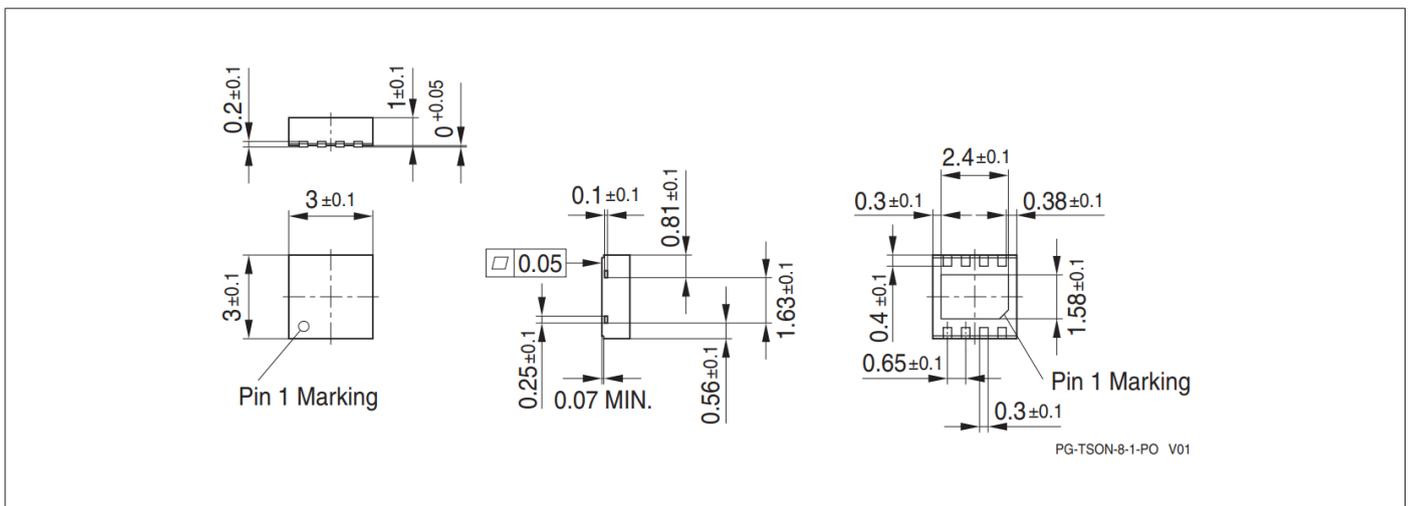


图 21 PG-TSON-8 (塑料薄型小型封装无铅 PG-TSON-8)

绿色产品 (符合 RoHS 要求)

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅表面处理，适合无铅焊接（符合 IPC/JEDEC J-STD-020））。

有关替代封装的更多信息，请访问我们的网站：

<http://www.infineon.com/packages>

尺寸为毫米

修订记录

8 修订记录

表 12 修订记录

Revision	Data	Changes
1.2	2022-04-27	Updated layout and template
1.1	2015-8-20	Data sheet updated based on Data sheet rev. 1.0 Marking of SJ type updated
1.0	2013-10-16	Data Sheet created.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-01-28

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。