

英飞凌TLE7184F

B6 电机驱动器系统 IC

数据手册

Rev. 1.30, 2023-04-28

汽车电力

目录

	目录	2
1	概述	4
2	框图	5
3	引脚配置	6
3.1	引脚分配 TLE7184F	6
3.2	引脚定义和功能	7
4	产品一般特性	9
4.1	绝对最大额定值	9
4.2	工作范围	10
4.3	热阻	11
4.4	默认状态输入	11
5	MOSFET驱动器	12
5.1	输入和死区时间	12
5.2	输出级	12
5.3	自举原则	13
5.4	SH引脚电流	13
5.5	电气特性	13
6	分流信号调理	16
6.1	电气特性	16
7	5V降压差稳压器	18
7.1	电气特性	18
8	接口、VDH 开关和 $\overline{\text{INH}}$ 数字输出	21
8.1	PWM 接口 (IFMA)	21
8.2	VDHS 开关	22
8.3	数字输出 $\overline{\text{INH}}$	22
8.4	电气特性	22
9	模式描述、保护和诊断功能	24
9.1	模式描述	24
9.2	保护和诊断功能	27
9.2.1	过温关断 (OTSD)	27
9.2.2	过温预警 (OTPW)	27
9.2.3	模拟温度监测	27
9.2.4	VS 欠压锁定 (VS_UVLO)	28
9.2.5	VDD 欠压诊断 (VDD_UVD)	28
9.2.6	VDD 欠压关断 (VDD_UVSD)	28
9.2.7	VREG 欠压诊断 (VREG_UVD)	28
9.2.8	VREG 欠压关断 (VREG_UVSD)	29
9.2.9	IOV 和 VDH 过压关断 (IOV_OVSD、VDH_OVSD)	29
9.2.10	死区时间和直通保护	29
9.2.11	短路保护 (SCP)	30
9.2.12	SCDL 引脚开路检测 (SCDL_open)	30
9.2.13	过流关断 (OCSD)	30
9.2.14	VDD 电流限制	30
9.2.15	无源 Gxx 钳位	30
9.3	$\overline{\text{ERR}}$ 引脚	30

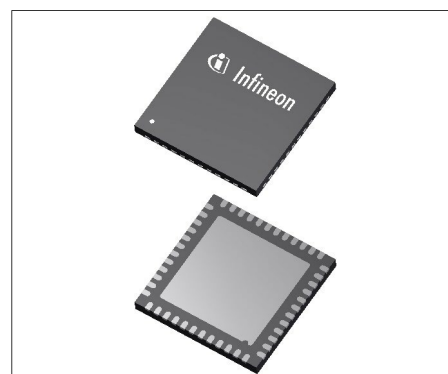
9.4	电气特性.....	32
10	应用描述	35
11	封装外形	36
12	修订记录	37



1 概述

特性

- 驱动 6 个 N 沟道功率 MOSFET
- 集成 5V 控制器对 μC 供电
- VDH 电压集成开关
- 每个 MOSFET 都有单独的控制输入
- 可调死区时间
- 直通保护
- 模拟可调短路保护级别
- 低静态电流模式
- 1 位诊断 ERR
- 过温关断和模拟温度输出
- 过温预警
- 欠压关断
- 可调节过压关闭
- 电流检测运算放大器
- 基于电流检测运算放大器过流关断，固定关断电平
- 25 kHz PWM 频率时 0 ... 94% 占空比
- 绿色产品（符合 RoHS 标准）
- AEC 认证



PG-VQFN-48

描述

英飞凌 TLE7184F 是用于无刷电机控制的系统 IC。它集成了用于 μC 的电压源、用于 B6 配置的桥接器驱动器、典型应用 PWM 接口以及其他一些较小的功能。目标是减少典型 BLDC 汽车应用中分立元件的数量，并为定制特定适配提供足够的灵活性。

它适用于三相电机和有刷直流电机。其裸露的散热焊盘封装即使在高环境温度下也能使用。

Type	Package	Marking
TLE7184F	PG-VQFN-48	TLE7184F

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

2 框图

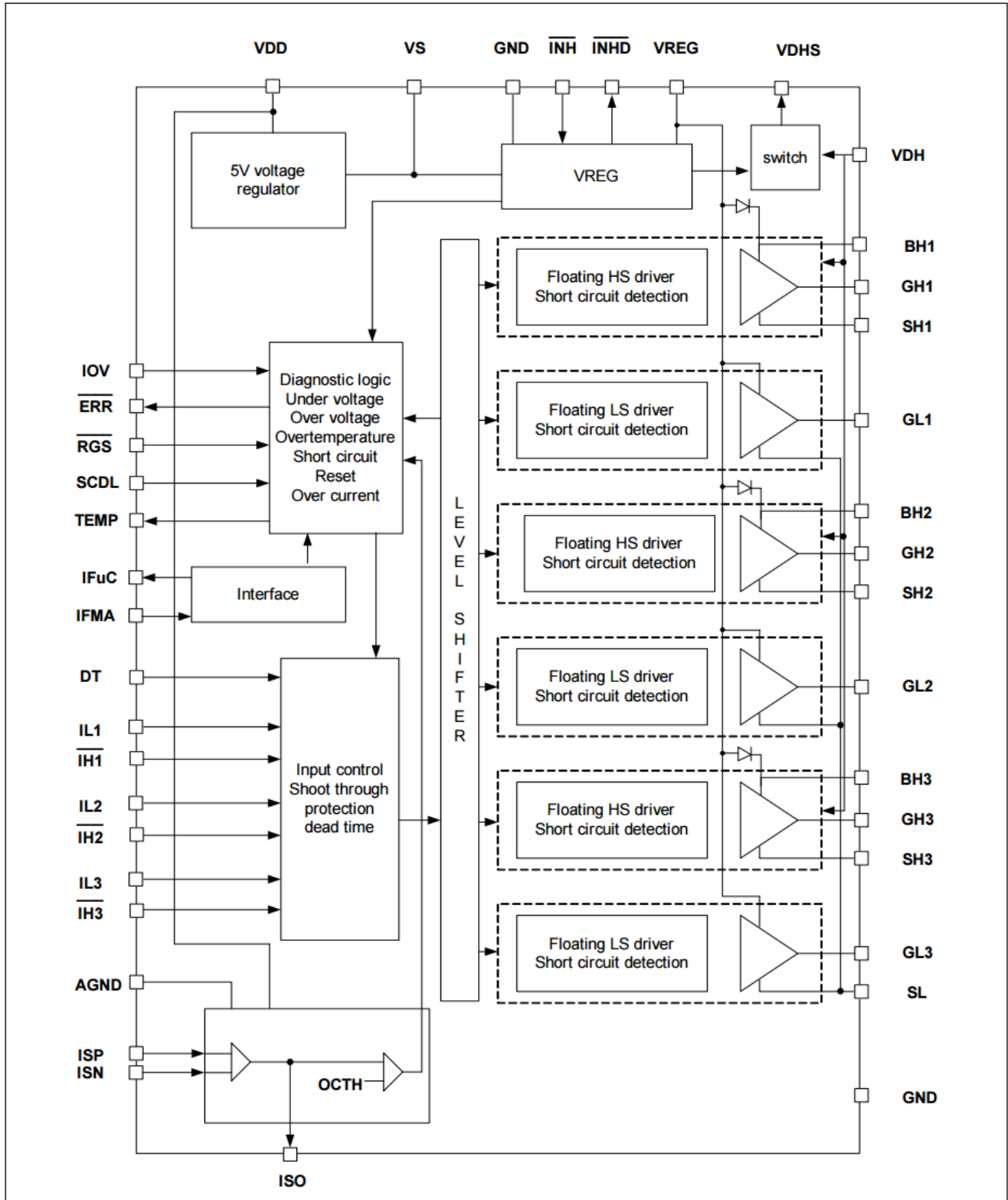


图 1 框图

3 引脚配置

3.1 引脚分配 TLE7184F

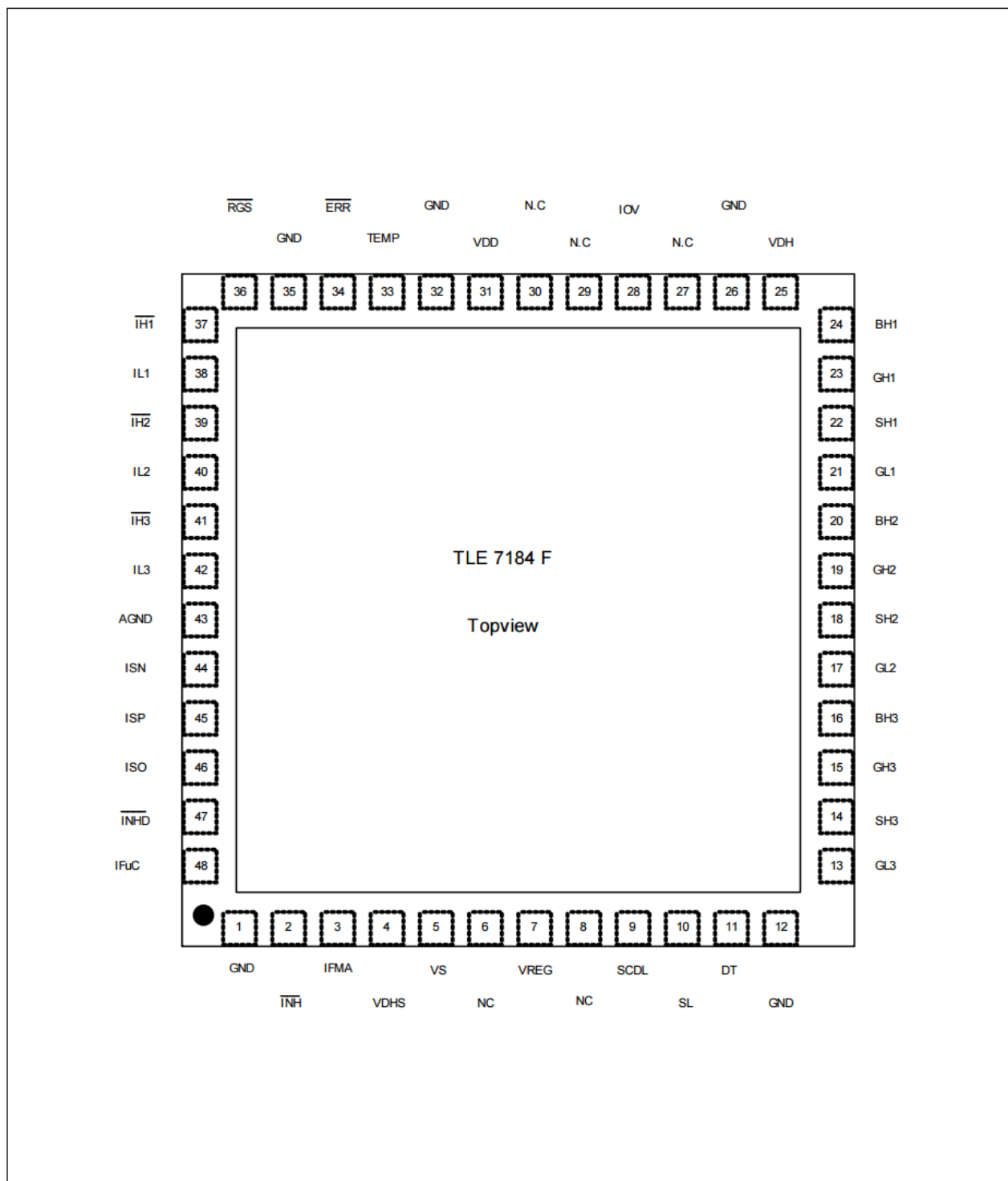


图 2 引脚配置

3.2 引脚定义和功能

Pin	Symbol	Function
5	VS	Supply Pin
7	VREG	Output of supply for driver output stages - connect to capacitor
31	VDD	Output of 5V supply for μ C - connect to capacitor
2	$\overline{\text{INH}}$	Input pin wake up the complete system IC
47	$\overline{\text{INHD}}$	Digital output 5V for INH state (high when $\overline{\text{INH}}$ is high)
4	VDHS	Switched output of VDH voltage; switch open in sleep mode
33	TEMP	Output pin for analog temperature signal
36	RGS	Reset and Go-to-Sleep input pin for reset of error registers, set HIGH to avoid to go-to-sleep
38	IL1	Input for low side switch 1 (active high)
37	$\overline{\text{IH1}}$	Input for high side switch 1 (active low)
40	IL2	Input for low side switch 2 (active high)
39	$\overline{\text{IH2}}$	Input for high side switch 2 (active low)
42	IL3	Input for low side switch 3(active high)
41	$\overline{\text{IH3}}$	Input for high side switch 3(active low)
11	DT	Input pin for adjustable dead time function, connect to GND via resistor
9	SCDL	Analog input pin for adjustable Short Circuit Detection function, connect to voltage divider
28	IOV	Input pin for Over Voltage detection.
34	$\overline{\text{ERR}}$	Open drain error output
25	VDH	Voltage input common drain high side for short circuit detection
24	BH1	Pin for + terminal of the bootstrap capacitor of phase 1
23	GH1	Output pin for gate of high side MOSFET 1
22	SH1	Pin for source connection of high side MOSFET 1
21	GL1	Output pin for gate of low side MOSFET 1
20	BH2	Pin for + terminal of the bootstrap capacitor of phase 2
19	GH2	Output pin for gate of high side MOSFET 2
18	SH2	Pin for source connection of high side MOSFET 2
17	GL2	Output pin for gate of low side MOSFET 2
16	BH3	Pin for + terminal of the bootstrap capacitor of phase 3
15	GH3	Output pin for gate of high side MOSFET 3
14	SH3	Pin for source connection of high side MOSFET 3
13	GL3	Output pin for gate of low side MOSFET 3
10	SL	Pin for common source connection of low side MOSFETs
44	ISN	Input for OpAmp - terminal
45	ISP	Input for OpAmp + terminal
46	ISO	Output of OpAmp
43	AGND	Analog GND for Opamp and analog temperature output
3	IFMA	Interface to master ECU (used for wake up)
48	IFuC	Interface to μ C

Pin	Symbol	Function
1	GND	Ground pin
12	GND	Ground pin
26	GND	Ground pin
32	GND	Ground pin
35	GND	Ground pin
6	NC	connect to GND
8	NC	connect to GND
27	NC	connect to GND
29	NC	connect to GND
30	NC	connect to GND

裸露的焊盘要连接到 GND

4 产品一般特性

4.1 绝对最大额定值

最大绝对额定值¹⁾

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Pos.	Parameter	Symbol	Limit Values		Unit	Conditions
			Min.	Max.		
Voltages						
4.1.1	Voltage range at VS, IFMA, INH, IOV	V_{VS1}	-0.3	45	V	–
4.1.2	Voltage range at IFMA, INH	V_{IFMA}	-6.0	45	V	$R \geq 10\text{k}\Omega$
4.1.3	Voltage range at VS	V_{VS2}	-3.0	45	V	$R_{VS} \geq 4.7\Omega$; 60s, 5x;
4.1.4	Voltage range at VS	V_{VS3}	-3.0	45	V	$R_{VS} \geq 2.0\Omega$;; 200ms, 5x;
4.1.5	Voltage range at VREG output	V_{VREG}	-0.3	15	V	
4.1.6	Voltage range at VDH, VDHS	V_{VDHx}	-0.3	55	V	–
4.1.7	Voltage range at VDH	V_{VDH1}	-3.0	55	V	With $R_{VDH} \geq 10\Omega$; 60s, 5x; $T_j \leq 150^{\circ}\text{C}$
4.1.8	Voltage range at IHx, ILx, RGS, ERR, IFuC, TEMP, DT, VDD, ISO, INHD, SCDL,	V_{DP}	-0.3	6	V	–
4.1.9	Voltage range at ISP, ISN	V_{OPI}	-5.0	5.0	V	–
4.1.10	Voltage difference between ISP and ISN	V_{OPD}	-5.0	5.0	V	
4.1.11	Voltage range at BHx	V_{BH}	-0.3	55	V	–
4.1.12	Voltage range at GHx	V_{GH}	-0.3	55	V	–
4.1.13	Voltage range at GHx	V_{GHP}	-7.0	55	V	$t_p < 1\mu\text{s}$; $f=50\text{kHz}$
4.1.14	Voltage range at SHx	V_{SH}	-2.0	45	V	–
4.1.15	Voltage range at SHx	V_{SHP}	-7.0	45	V	$t_p < 1\mu\text{s}$; $f=50\text{kHz}$
4.1.16	Voltage range at GLx	V_{GL}	-0.3	18	V	–
4.1.17	Voltage range at GLx	V_{GLP}	-7.0	18	V	$t_p < 0.5\mu\text{s}$; $f=50\text{kHz}$
4.1.18	Voltage range at SL	V_{SL}	-0.3	5.0	V	–
4.1.19	Voltage range at SL	V_{SLP}	-7.0	5.0	V	$t_p < 0.5\mu\text{s}$; $f=50\text{kHz}$
4.1.20	Voltage difference Gxx-Sxx	V_{GS}	-0.3	15	V	–
4.1.21	Voltage difference BHx-SHx	V_{BS}	-0.3	15	V	–
4.1.22	Minimum bootstrap capacitor C_{BS}	C_{BS}	330	–	nF	-10% tolerance allowed
4.1.23	Minimum buffer capacitor C_{VREG}	C_{VREG}	1	–	μF	
Temperatures						
4.1.24	Junction temperature	T_j	-40	150	$^{\circ}\text{C}$	–
4.1.25	Storage temperature	T_{stg}	-55	150	$^{\circ}\text{C}$	–

绝对最大额定值 (续) ¹⁾

$T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Pos.	Parameter	Symbol	Limit Values		Unit	Conditions
			Min.	Max.		
4.1.26	Case temperature ²⁾	T_{Case}	–	145	$^{\circ}\text{C}$	–

ESD Susceptibility

4.1.27	ESD Resistivity ³⁾	V_{ESD}	-2	+2	kV	–
4.1.28	CDM	V_{CDM}	–	500	V	–

1) 未经过生产测试, 由设计指定。

2) 基于 $T_{j\text{max}}$ 、 R_{thJC} 以及假设 1W 功率耗散的计算

3) ESD 耐受性 HBM 符合 EIA/JESD 22-A 114B 标准

注释: 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。

注释: 集成的保护功能旨在防止 IC 在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

4.2 工作范围

Pos.	Parameter	Symbol	Limit Values		Unit	Conditions
			Min.	Max.		
4.2.1	Supply voltage at VS	V_{VS}	6.0	45	V	below 7V reduced functionality ^{1) 2)}
4.2.2	Quiescent current (I_{VS} + I_{VDH} + I_{IFMA})	I_{Q}	–	50	μA	$V_{\text{S}} < 16\text{V}$; sleep mode $V_{\text{VS}} = V_{\text{VDH}} = V_{\text{IFMA}}$
4.2.3	Supply current at VS (device enabled)	$I_{\text{VS(0)}}$	–	19	mA	$V_{\text{S}} = 8 \dots 18\text{V}$; no load ³⁾ ; $f_{\text{PWM}} = 25\text{kHz}$;
4.2.4	Duty cycle HS	D_{HS}	0	94	%	$f_{\text{PWM}} = 25\text{kHz}$; continuous operation
4.2.5	Duty cycle LS	D_{LS}	0	100	%	
4.2.6	Junction temperature	T_j	-40	150	$^{\circ}\text{C}$	–

1) 如果 VREG 低于 UVVR, 则 MOS 驱动器输出停用, 并且 ERROR 引脚置位为低电平

2) MOS 驱动器输出级将以 $V_{\text{S}} = 6.7\text{V}$ 运行, VREG 负载电流为 5mA

3) VDD、ERR、ISO、IF μ C、VDHS、GXX、TEMP、DT 无负载

PWM 信号频率的限制由热约束和占空比 (自举电容器的充电时间) 的限制给出。

必须考虑所有最大额定值

所有基本功能在 $T_j = 150^{\circ}\text{C}$ 至过温关断温度范围内正常工作。在此温度范围内, 参数可能会偏离规定范围。

注释: 在工作范围内, IC 按照电路描述正常工作。电气特性是在电气特性表中注明的条件下指定的。

4.3 热阻

注释：此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问www.jedec.org。

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
4.3.1	Junction to Case ¹⁾	R_{thJC}	–	–	5	K/W	–
4.3.2	Junction to Ambient ¹⁾	R_{thJA}	–	29	–	K/W	²⁾

1) 未经过生产测试，由设计指定。

2) 指定的 R_{thJA} 值是根据 Jedec JESD51-2,-5,-7 在 FR4 2s2p 板上的自然对流；产品（芯片+封装）在具有 2 个内铜层（2 x 70μm Cu、2 x 35μm Cu）的 76.2 x 114.3 x 1.5 mm 板上进行模拟。在适用的情况下，裸露焊盘下的导热过孔阵列与第一内铜层接触。

4.4 默认状态输入

表 1 默认状态输入

Characteristic	State	Remark
Default state of ILx (if ILx left open - pull down)	Low	Low side MOSFETs off
Default state of IHx (if IHx left open - pull up)	High	High side MOSFETs off
Default state of RGS (if RGS left open - pull down)	Low	Error signal is reset and the TLE7184F goes to sleep
Default state of INH (if INH left open - pull down)	Low	no wake up by INH
Default state of SCDL (if SCDL left open - pull up)	High	Error signal is set; all MOSFETs switched off
Default state of IFMA (if IFMA left open - pull up) ¹⁾	High	no wake up by IFMA
Default state of IOV (if IOV left open - pull down)	Low	no Over Voltage detection by IOV
Default state of DT (if DT left open)	max. dead time	max. dead time

1) 外部电容<25pF

5.3 自举原则

TLE7184F 为其高边输出级提供自举电路。这一原理的好处是高边开关的快速切换——支持高边的主动续流。

通过将自举电容器连接至接地的外部低边 MOSFET，对自举电容器进行充电。在此条件下，自举电容器将从 VREG 电容器中充电。如果低边 MOSFET 关断，高边 MOSFET 导通，自举电容器将与 SHx 电压一起浮动到桥接器的供电电压。在此条件下，高边输出端口的输出电流将对自举电容放电。此电流是指定的。电容器的大小和电流将决定高边 MOSFET 在不给自举电容器充电的情况下可以保持多长时间。

当关闭所有外部 MOSFET 时，SHx 电压不确定。在此条件下，自举电容器可以放电，具体取决于 SHx 电压。

5.4 SH 引脚电流

SH 引脚电流可用于诊断目的，以检查功率级的健康状态。图 4 描述了 TLE7184F 与 SH 电流相关的简化结构。

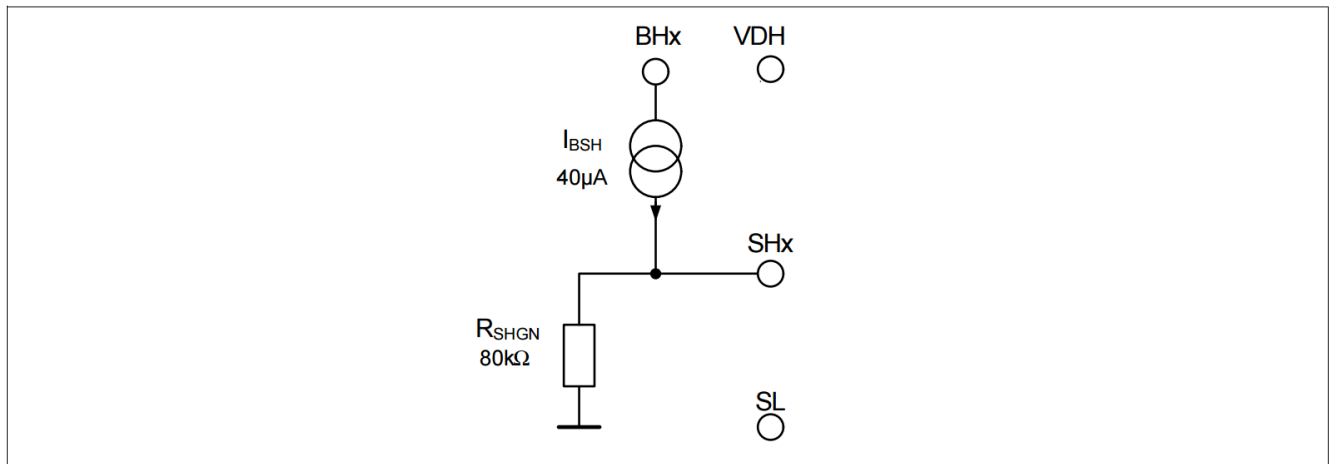


图 4 SHx 引脚配置框图

5.5 电气特性

MOSFET 驱动器的电气特性

$V_S = 7.0$ 至 33V ， $T_j = -40\text{ }^\circ\text{C}$ 至 $+150\text{ }^\circ\text{C}$ 所有电压均相对于接地，正向流入引脚的电流（除非另有说明）¹⁾

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
Inputs							
5.5.1	Low level input voltage of ILx; $\overline{\text{IHx}}$	$V_{\text{I_LL}}$	–	–	1.6	V	–
5.5.2	High level input voltage of ILx; $\overline{\text{IHx}}$	$V_{\text{I_HL}}$	2.8	–	–	V	–
5.5.3	Input hysteresis of $\overline{\text{IHx}}$; $\text{ILx}^{(2)}$	d_{VI}	100	–	–	mV	–
5.5.4	$\overline{\text{IHx}}$ pull-up resistors to VDD	R_{IH}	28.5	–	76.5	kΩ	–
5.5.5	ILx pull-down resistors to GND	R_{IL}	178.5	–	564	kΩ	–

MOSFET 驱动器

MOSFET 驱动器的电气特性

 $V_S = 7.0$ 至 33 V , $T_j = -40\text{ }^\circ\text{C}$ 至 $+150\text{ }^\circ\text{C}$ 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明) ¹⁾

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
MOSFET driver output							
5.5.6	Output source resistance	R_{Sou}	2	–	13.5	Ω	$I_{\text{load}}=20\text{mA}$
5.5.7	Output sink resistance	R_{Sink}	2	–	9	Ω	$I_{\text{load}}=20\text{mA}$
5.5.8	High level output voltage Gxx vs. Sxx	V_{Gxx1}	–	11	14	V	13,5V $\leq V_{\text{VS}} \leq 45\text{V}^{3)}$, $V_{\text{IOV}} \leq V_{\text{OVIOV}}$, $V_{\text{VDH}} \leq V_{\text{OVVDH}}$ $I_{\text{load}}=37,5\text{mA}$
5.5.9	High level output voltage GHx vs. SHx ²⁾	V_{Gxx2}	6	–	–	V	$V_{\text{VS}}=8\text{V}$, $C_{\text{load}}=20\text{nF}$, dc=95%; $f_{\text{PWM}}=20\text{kHz}$
5.5.10	High level output voltage GHx vs. SHx ²⁾⁴⁾	V_{Gxx3}	6 + V_{diode}	–	–	V	$V_{\text{VS}}=8\text{V}$, $C_{\text{load}}=20\text{nF}$, dc=95%; $f_{\text{PWM}}=20\text{kHz}$; passive freewheeling
5.5.11	High level output voltage GLx vs. GND	V_{Gxx4}	6.7	–	–	V	$V_{\text{VS}}=8\text{V}$, $C_{\text{load}}=20\text{nF}$, dc=95%; $f_{\text{PWM}}=20\text{kHz}$;
5.5.12	Rise time $T_{\text{j}} = -40^{\circ}\text{C}$ $T_{\text{j}} = 150^{\circ}\text{C}$	t_{rise}	100 150	– –	230 350	ns	$C_{\text{Load}}=11\text{nF}$; $R_{\text{Load}}=1\Omega$ $V_{\text{VS}}=7\text{V}$ 20-80%
5.5.13	Fall time $T_{\text{j}} = -40^{\circ}\text{C}$ $T_{\text{j}} = 150^{\circ}\text{C}$	t_{fall}	80 150	– –	210 290	ns	
5.5.14	High level output voltage (in passive clamping)	V_{GUV}	–	–	1.2	V	sleep mode or VS_ UVLO ^{2) 5)}
5.5.15	Pull-down resistor at BHx to GND	R_{BHUV}	–	–	80	k Ω	
5.5.16	Pull-down resistor at VREG to GND	R_{VRUV}	–	–	30	k Ω	
5.5.17	Bias current into BHx	I_{BH}	–	–	150	μA	$V_{\text{BHx}}-V_{\text{SHx}}=5...13\text{V}$; no switching
5.5.18	Current between BHx and SHx	I_{BSH}	15	40	60	μA	$V_{\text{BHx}}-V_{\text{SHx}}=5...13\text{V}$; $V_{\text{SHX}} = \text{GND}$
5.5.19	Resistor between SHx and GND	R_{SHGN}	48	80	112	k Ω	
5.5.20	Bias current out of SL	I_{SL}	–	–	2	mA	$0\text{V} \leq V_{\text{SH}} \leq V_{\text{S}}+1\text{V}$; no switching; $V_{\text{CRS}} > 5\text{V}$

MOSFET 驱动器的电气特性

$V_S = 7.0$ 至 33 V , $T_j = -40\text{ }^\circ\text{C}$ 至 $+150\text{ }^\circ\text{C}$ 所有电压均相对于接地, 正向流入引脚的电流 (除非另有说明) ¹⁾

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
5.5.21	Input propagation time (low on)	$t_{P(ILN)}$	50	–	200	ns	$C_{Load}=11\text{ nF}; R_{Load}=1\Omega$
5.5.22	Input propagation time (low off)	$t_{P(ILF)}$	50	–	200	ns	
5.5.23	Input propagation time (high on)	$t_{P(IHN)}$	50	–	200	ns	
5.5.24	Input propagation time (high off)	$t_{P(IHF)}$	50	–	200	ns	
5.5.25	Absolute input propagation time difference between above propagation times	$t_{P(diff)}$	–	–	100	ns	

VREG

5.5.26	VREG output voltage	V_{VREG}	11	12.5	14	V	$V_{VS} \geq 13.5\text{ V};$ $I_{load}=37.5\text{ mA}$
5.5.27	VREG over current limitation	$I_{VREGOCL}$	100	–	500	mA	no activation of error; $V_{VREG} > V_{VRSD}$ $25^\circ\text{C} < T_j < 150^\circ\text{C}$
			100	–	550	mA	no activation of error; $V_{VREG} > V_{VRSD}$ $-43^\circ\text{C} < T_j < 25^\circ\text{C}$
5.5.28	Voltage drop between V_S and VREG	$V_{VS-VREG}$	–	–	0.5	V	$V_{VS} \geq 7\text{ V};$ $I_{load}=37.5\text{ mA};$ Ron operation

1) R_{Load} 和 C_{Load} 串联

2) 未经过生产测试; 由设计指定

3) 高于 33 V 的值未经过生产测试; 由设计指定

4) V_{diode} 是外部低边 MOSFET 的体效应二极管

5) 见第 9.2.15 章

电气特性 - 电流检测信号调节 (续)

$V_S = 6.0$ 至 33 V , $T_j = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 增益 = 5 至 75, 所有电压均相对于接地点, 电流正向流入引脚 (除非另有说明) ¹⁾

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
6.1.8	High level output voltage of ISO	V_{OH}	$V_{VDD} - 0.2$	–	V_{VDD}	V	$I_O = -3\text{ mA}$
6.1.9	Low level output voltage of ISO	V_{OL}	-0.1	–	0.2	V	$I_O = 3\text{ mA}$
6.1.10	Guaranteed output current capability	I_{GOC}	5	–	–	mA	–
6.1.11	Differential input resistance ²⁾	R_I	100	–	–	k Ω	–
6.1.12	Common mode input capacitance ²⁾	C_{CM}	–	–	10	pF	10kHz
6.1.13	Common mode rejection ratio at DC CMRR = $20 \cdot \log((V_{out_diff}/V_{in_diff}) \cdot (V_{in_CM}/V_{out_CM}))$	C_{MRR}	80	100	–	dB	–
6.1.14	Common mode suppression ³⁾²⁾ with $CMS = 20 \cdot \log(V_{out_CM}/V_{in_CM})$ Freq = 100kHz Freq = 1MHz Freq = 10MHz	C_{MS}	–	62 43 33	–	dB	$V_{IN} = 360\text{ mV} \cdot \sin(2 \cdot \pi \cdot \text{freq} \cdot t)$; $R_S = 500\Omega$; $R_{fb} = 7500\Omega$
6.1.15	Slew rate	$d_{V/dt}$	–	10	–	V/ μ s	Gain ≥ 5 ; $R_L = 1.0\text{ k}\Omega$; $C_L = 500\text{ pF}$
6.1.16	Large signal open loop voltage gain (DC)	A_{OL}	80	100	–	dB	–
6.1.17	Unity gain bandwidth	G_{BW}	10	20	–	MHz	$R_L = 1\text{ k}\Omega$; $C_L = 100\text{ pF}$
6.1.18	Phase margin ²⁾	F_M	–	50	–	°	Gain ≥ 5 ; $R_L = 1\text{ k}\Omega$; $C_L = 100\text{ pF}$
6.1.19	Gain margin ²⁾	A_M	–	12	–	dB	$R_L = 1\text{ k}\Omega$; $C_L = 100\text{ pF}$
6.1.20	Bandwidth	B_{WG}	1.6	–	–	MHz	Gain = 15; $R_L = 1\text{ k}\Omega$; $C_L = 500\text{ pF}$; $R_S = 500\Omega$
6.1.21	Output settle time to 98% $R_{fb}/R_S = 15$ $R_{fb}/R_S = 75$	t_{set1}	– –	1 4.6	1.8 8	μ s	$R_L = 1\text{ k}\Omega$; $C_L = 500\text{ pF}$; $0.3 < V_{ISO} < V_{DD} - 0.3\text{ V}$; $R_S = 500\Omega$

1) 运算放大器 (OpAmp) 输出端需要至少 100pF 的电容 (寄生电容或电容器); R_L 是包括反馈网络在内的总负载阻抗; 在应用中, 除了反馈网络之外, 不建议在输出ISO 到接地之间直接应用电阻。

2) 未经过生产测试; 由设计指定

3) 不考虑任何偏置, 例如输入偏置电压、内部失配, 并假设外部电阻没有公差误差。

7 5 V 降压差稳压器

TLE7184F 内置 5V LDO 为 μC 供电。稳压器通过中央温度传感器进行过温保护（参见第 9.2.1 章和第 9.2.2 章）。它具有集成的电流限制和欠电压检测。

欠压检测参数参见第 9.2.5 章。

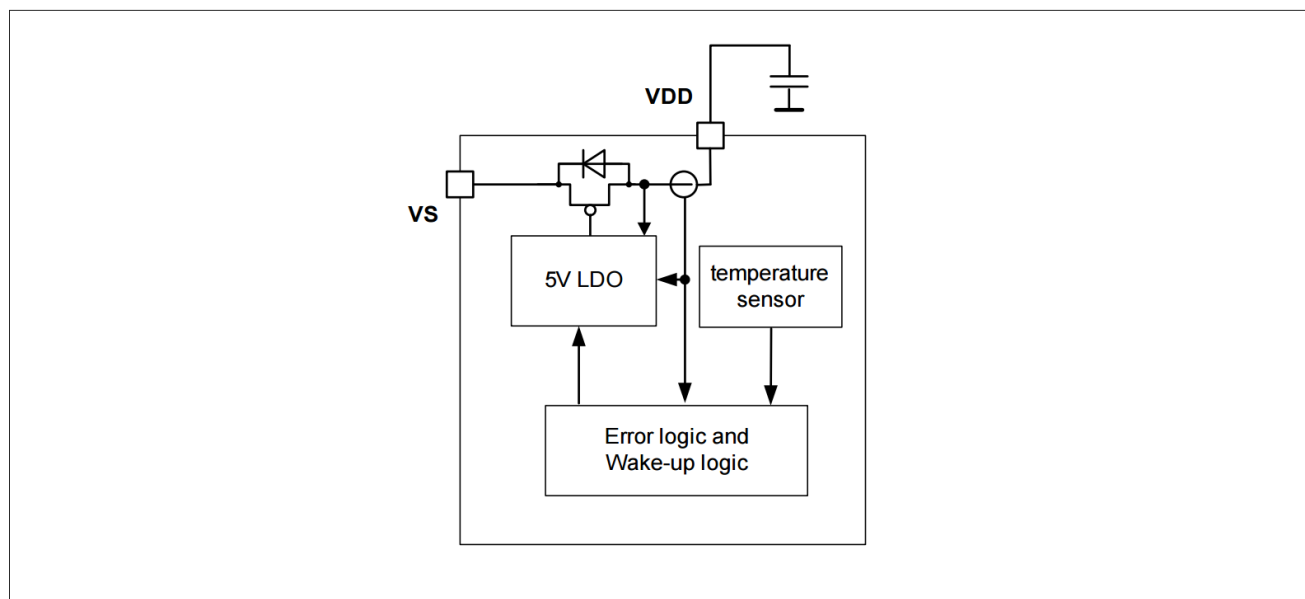


图 6 5V LDO 的欠压

7.1 电气特性

电气特性 - 电流检测信号调理

$V_S = 6.0$ 至 45 V , $T_j = -40\text{ }^\circ\text{C}$ 至 $+150\text{ }^\circ\text{C}$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
7.1.1	Output voltage	V_{DD1}	4.85	–	5.25	V	$2\text{ mA} \leq I_{\text{load}} \leq 70\text{ mA}$; $C_{\text{load}} = 1 \dots 22\text{ }\mu\text{F}^{1)}$
7.1.2	Output voltage	V_{DD2}	4.90	–	5.20	V	$5\text{ mA} \leq I_{\text{load}} \leq 25\text{ mA}$; $C_{\text{load}} = 1 \dots 22\text{ }\mu\text{F}^{1)}$
7.1.3	LDO over current limitation	I_{OCL}	130	–	270	mA	no activation of error by current limitation
7.1.4	Load regulation	D_{VDD}	–	50	100	mV	I_{load} step $0 \dots 20\text{ mA}$; $C_{\text{VDD}} = 1\text{ }\mu\text{F}$
7.1.5	Power supply ripple rejection ²⁾	P_{SRR}	50	–	–	dB	100Hz sine wave; 0.5 V_{pp} $V_S \geq 7\text{ V}$
7.1.6	Power supply ripple rejection ²⁾	P_{SRR}	–	31	–	dB	100Hz sine wave; 0.5 V_{pp} $6\text{ V} \leq V_S < 7\text{ V}$

1) 陶瓷电容 100 nF , $\text{ESR} < 0.1\text{ }\Omega$ 并联

2) 未经过生产测试；由设计指定

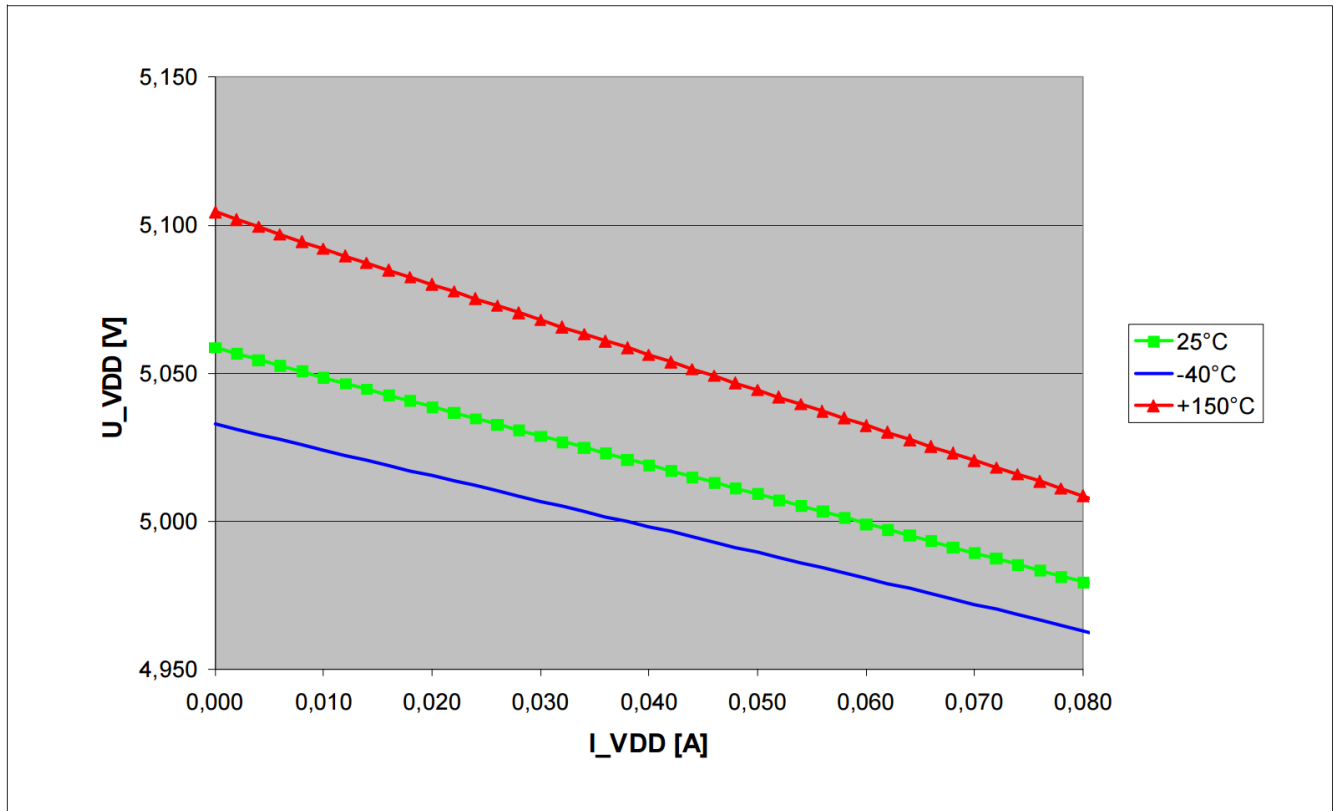


图 7 典型值 VDD 输出电压 vs. 负载电流

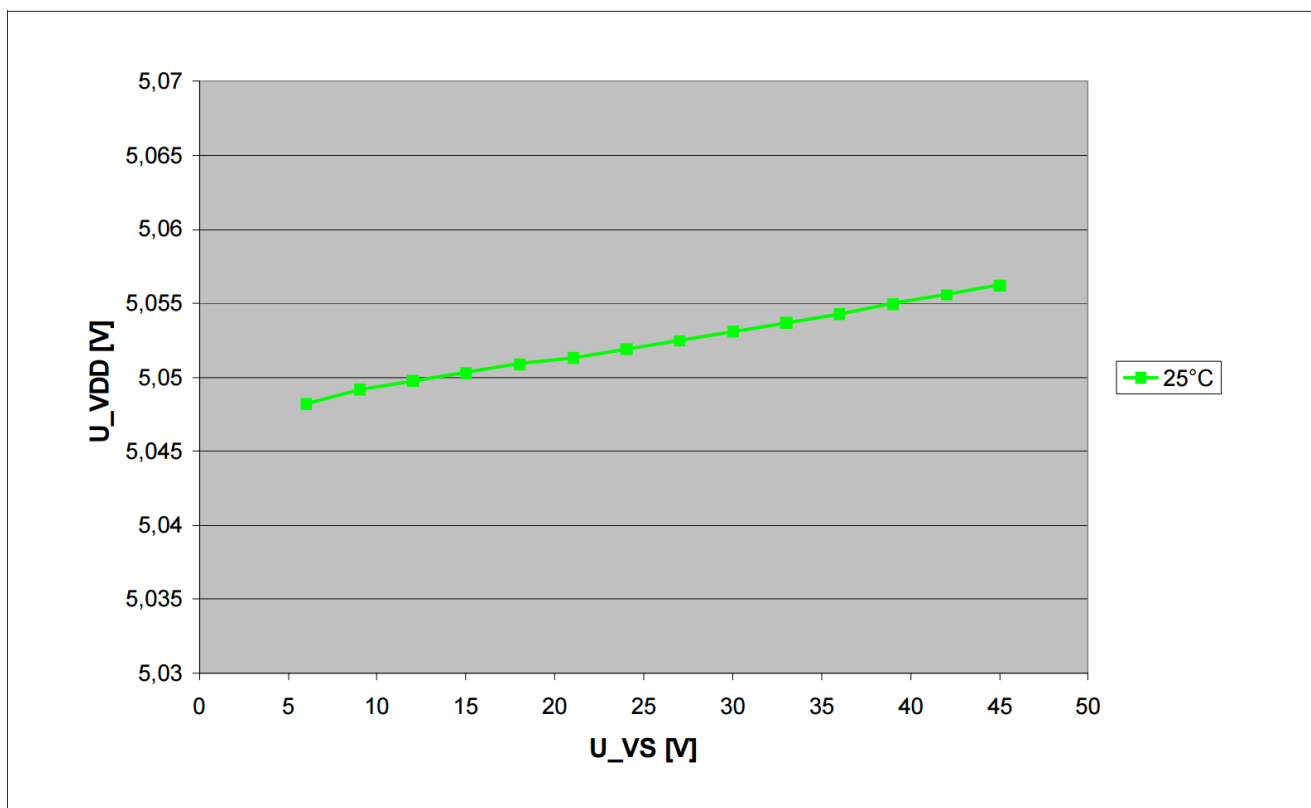


图 8 典型值 VDD 输出电压 vs. 供电电压

8.2 VDHS 开关

系统IC具有将VDH引脚连接到VDHS引脚的集成开关。这样可以在VDHS引脚处放置一个用于VDH电压监测的外部分压器，并在睡眠模式期间将该分压器与VDH断开，以确保低消耗电流。仅当VDD调节器关闭时，VDHS开关才会停用。

8.3 数字输出 INHD

系统IC提供一个INHD输出，用于显示驱动器完全唤醒后（约1ms）INH（例如KL15）的逻辑状态。INHD输出的INH

输入电平与唤醒电平定义不同。有关INH唤醒功能的电压电平，请参阅第9.4章唤醒并进入睡眠状态。输出级由一个集成的低边开关和一个上拉电阻到VDD组成。

8.4 电气特性

电气特性 - 保护和诊断功能

$V_S = 6.0$ 至 $20V$, $T_j = -40^\circ C$ 至 $+150^\circ C$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
Interface - static parameters							
8.4.1	IFMA input voltage high level (for IFμC high)	V_{IMHL}	59	–	–	%	of V_{VS} ; IC not in Sleep Mode
8.4.2	IFMA input voltage low level (for IFμC low)	V_{IMLL}	–	–	46	%	of V_{VS} ; IC not in Sleep Mode;
8.4.3	IFMA input hysteresis (for IFμC)	V_{IMhy}	0.5	–	9	%	of V_{VS} ; IC not in Sleep Mode
8.4.4	IFMA wake up voltage high level $= V_S - V_{IFMA}$	V_{IMWH}	2	–	4	V	valid in Sleep Mode
8.4.5	IFMA low time to guarantee wake-up	t_{IFlow}	100	–	–	μs	$V_{VS}=7...20V$
8.4.6	IFMA internal pull-up resistor to V_S	R_{IMu}	210	340	495	kΩ	–
8.4.7	IFMA internal pull-down resistor to GND	R_{IMd}	420	700	980	kΩ	not active in Sleep Mode
8.4.8	IFMA input current related to VS $V_{IFMA} = 59\%$ of V_{VS} $V_{IFMA} = 46\%$ of V_{VS}	I_{IFMA}/V_{VS}	-2.0 -3.0	– –	+2.0 +1.0	μA/V	–
8.4.9	IFμC output low voltage	V_{IuLL}	–	–	0.5	V	no external load
8.4.10	IFμC internal pull-up resistor to V_{DD}	R_{Iu}	8.5	–	23	kΩ	–
Interface - dynamic parameters							
8.4.11	IFμC duty cycle	d_{Iu}	0	–	100	%	–
8.4.12	Propagation time rising edge IFμC	t_{PRE}	–	–	6	μs	Including rise time to 80% of V_{VDD} ; $C_{load}=100pF$
8.4.13	Propagation time falling edge IFμC	t_{PFE}	–	–	5	μs	Including fall time to 20% of V_{VDD} ; $C_{load}=100pF$

接口、VDH 开关和 INH 数字输出

电气特性 - 保护和诊断功能 (续)

$V_S = 6.0$ 至 $20V$, $T_j = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
8.4.14	Deviation between rising and falling IF μ C	t_{PD}	–	–	4	μs	$C_{load}=100\text{pF}$

VDH switch

8.4.15	Ron VDH switch	R_{VDH}	–	–	150	Ω	Load current = 1mA
--------	----------------	-----------	---	---	-----	----------	--------------------

INHD digital output

8.4.16	Low level input voltage INH (for INHD=low)	V_{INHDL}	–	–	1.5	V	–
8.4.17	High level input voltage INH (for INHD=high)	V_{INHDL}	2.2	–	–	V	–
8.4.18	Input hysteresis of INH for INHD ¹⁾	d_{VINHD}	100	–	–	mV	–
8.4.19	INHD low level output voltage	V_{INHD}	–	–	0.5	V	no external load
8.4.20	INHD Internal pull-up resistor to V_{DD}	R_{INHD}	42.5	–	115	k Ω	–

1) 未经过生产测试; 由设计指定

睡眠模式

如果器件处于“进入睡眠模式”并且 VDD 电压低于 $V_{DDsleep}$ ，则进入睡眠模式。除了唤醒功能外，整个芯片均被停用（请参阅唤醒模式）。该模式旨在将汽车供电线路的电流消耗降至最低。无源钳位激活。详情参见无源钳位描述，参见第9.2.15章。

退出睡眠模式的唯一方法是进入唤醒模式。

唤醒模式：

如果 INH (=KL15) 为高或 IFMA 为低且 V_{VS} 高于 V_{VSLO} ，则 TLE7184F 唤醒。

在这种模式下，所有供电都在增加。一旦内部 5V 可用，所谓的唤醒定时器就会开始运行。如果 IC 达到此状态，即使 INH 或 IFMA 处的唤醒信号消失，唤醒仍将继续。一旦 VDD 电压足够高，PWM 接口 (IFMA) 就会激活。在此期间，预计电源已接通，且 μC 将 RGS 设置为高电平。所有外部 MOSFET 均主动或被动关闭。当唤醒定时器超期时，IC 进入错误模式。

在此模式下，除过热关断或 V_S 欠压锁定外，所有错误都将被忽略。

错误模式

可以通过 3 种不同的方式进入错误模式：

1. 器件处于唤醒模式并且唤醒时钟超期
2. 器件处于正常模式，发生以下一个或多个错误：VREG 欠压关断、VDD 欠压关断、过流关断、VDH 过压关断、IOV 过压关断、短路检测或 SCDL 开路检测。
3. 器件处于具有 OT-预警的正常模式，并且发生以下一个或多个错误：VREG 欠压关断、VDD 欠压关断、过流关断、VDH 过压关断、IOV 过压关断、短路检测或 SCDL 开路检测。

在此模式下，错误被置于 ERROR 引脚，并且只要自举电压允许，所有外部 MOSFET 都会主动关闭。该接口处于活动状态。VDHS 开关已打开，电流检测功能正在工作。VDD 和 VREG 处于激活状态。无源钳位未激活。

可以通过以下方式离开错误模式：

1. 如果没有错误，则可以通过 RGS 引脚复位将 IC 切换至正常模式。
2. 如果发生 VREG 欠压关断且不存在过温预警，则器件将进入 VREG 关断模式。
3. 如果发生 VDD 欠压关断或 VREG 欠压关断以及过温预警，器件将进入死锁模式。
4. 如果存在过温预警，则可以通过 RGS 引脚复位将 IC 切换至具有 OT-预警的正常模式。

正常模式

可以通过两种不同的方式进入正常模式：

1. 器件处于错误模式，不存在错误，并且由 RGS 引脚执行复位。
2. 器件处于带 OT-预警的正常模式，芯片温度低于 OT-预警电平，并且由 RGS 引脚执行复位。

在正常模式下，所有功能均处于激活状态并可用，但受到自举原则的常规限制。栅极驱动输出级可以通过输入引脚进行控制。

可以通过 5 种方式离开正常模式：

1. 通过将 RGS 设置为低电平并持续超过 t_{sleep} 的时间，设备将进入睡眠模式。
2. 如果发生过温预警，器件将进入带有 OT-预警的正常模式。

3. 如果发生 VREG 欠压关断且不存在过温预警，则器件将进入 VREG 关断模式。
4. 如果发生 VDD 欠压关断或 VREG 欠压关断以及过温预警，器件将进入死锁模式。
5. 如果发生以下一个或多个错误，器件将进入错误模式：VREG 欠压关断、VDD 欠压关断、过流关断、VDH 过压关断、IOV 过压关断、短路检测或 SCDL 开路检测。

进入睡眠模式

可以通过两种不同的方式进入睡眠模式：

1. 该器件处于正常模式，并且 $\overline{\text{RGS}}$ 置位为低的时间长于 t_{sleep} 。
2. 该器件处于 VREG 关断模式，并且 $\overline{\text{RGS}}$ 置位为低的时间长于 t_{sleep} 。

在此模式下，所有外部 MOSFET 均主动或被动关闭。只要 VDD 足够高，就会出现错误并显示。在此模式下，VDD 和 VREG 均关闭。一旦 VDD 电压达到 V_{VDDsleep} 电平，IC 就会进入睡眠模式。

带过温预警的正常模式

有两种不同的方式可以达到这种模式：

1. 器件处于错误模式，芯片温度高于预警电平，同时由 $\overline{\text{RGS}}$ 引脚执行复位。
2. 器件处于正常模式，芯片温度升高至预警电平以上。

在该模式下，所有功能都处于激活状态，可以使用。栅极驱动输出级可以通过输入引脚进行控制，但受到自举原理的常规限制。

$\overline{\text{ERR}}$ 引脚置位过低，错误被锁存。离开该模式有三种可能：

1. 如果温度降至过温预警电平以下，可以通过在 $\overline{\text{RGS}}$ 处应用复位来将此模式保留为正常模式。
2. 如果发生以下错误之一，器件将进入错误模式：VREG 欠压关断、VDD 欠压关断、过流关断、VDH 过压关断、IOV 过压关断、短路检测或 SCDL 开路检测。
3. 如果发生 VREG 欠压关断或 VDD 欠压关断，器件将进入死锁模式。

如果温度仍然在预警范围内且 $\overline{\text{RGS}}$ 为低，则 $\overline{\text{ERR}}$ 引脚仅在 $\overline{\text{RGS}}$ 为低的时间内变高，并且 IC 保持“带过温预警的正常模式”。

死锁模式

此模式旨在防止 VDD 引脚出现短路时 IC 长时间处于过温状态。

进入该模式有 4 种方法：

1. IC 处于错误模式，发生 VDD 欠压关断或 VREG 欠压关断以及过温预警
2. IC 处于正常模式，具有过温预警功能，并且发生 VDD 欠压关断或 VREG 欠压关断。
3. IC 处于正常模式，发生 VDD 欠压关断或 VREG 欠压关断以及过温预警。
4. IC 处于 VREG 关断模式，并且发生 VDD 欠压关断或过温预警。

在此模式下，VDD 和 VREG 稳压器均关闭。外部 MOSFET 的栅极被被动钳位。

VDHS 开关已停用。

IC 不会对 IFMA 或 INH 信号作出反应。即使过温关断检测也不会产生任何影响。提供内部逻辑并防止 IC 进入“进入睡眠模式”。

离开此状态的唯一方法是 VS 低于 V_{VSL0} ，即发生 VS 欠压锁定。在这种情况下 IC 进入睡眠模式。

VREG 关闭模式

此模式旨在防止当 VREG 引脚出现短路时 IC 长时间处于过温状态。

进入该模式有两种方法：

1. IC 处于错误模式，并且发生 VREG 欠压关断，而没有过温预警。
2. IC 处于正常模式，并且发生 VREG 欠压关断，而没有过温预警。

在这种模式下，VREG 关闭，但 VDD 仍然存在。VDHS 开关仍然有效，PWM 接口（IFMA）正在工作。

IC 不会对 IFMA 或 INH 信号作出反应。

在这种情况下， μC 仍然能够通过接口提供诊断信息。只要没有过温关断，它就可以防止 IC 进入睡眠模式并避免意外切换。

离开这种状态有两种方式：

1. μC 必须将 RGS 置位为低电平，且持续时间长于 t_{sleep} 。此时 IC 进入睡眠模式。
2. 如果发生 VDD 欠压关断或过热预警，IC 将进入死锁模式。

9.2 保护和诊断功能

9.2.1 过温关断 (OTSD)

如果结温超过过温关闭水平，则会发出错误信号。驱动 IC 将降低所有外部 MOSFET 的栅源电压，关闭 VDD 和 VREG 电源并直接进入睡眠模式。

在睡眠模式下，将使用常规唤醒条件。过温循环是可能的，并且会导致 IC 加速老化。

在死锁模式下，过温关断将被忽略。

9.2.2 过温预警 (OTPW)

该 IC 提供数字过温预警。如果没有其他错误，IC 将进入“带过温预警的正常模式”。此功能在死锁模式下不可用。

9.2.3 模拟温度监测

TLE7184F 的 TEMP 输出提供与芯片温度成比例的模拟电压信号。此功能在死锁模式下不可用。

9.2.4 VS 欠压锁定 (VS_UVLO)

TLE7184F 具有集成的 VS 欠压锁定功能，以确保整个 IC 的行为在所有供电电压范围内都是可预测的。

如果 VS 处的供电电压在指定的最短刺激时间内达到欠压关闭水平 V_{VSLO} ，则 IC 进入睡眠模式并最终进入睡眠模式。

9.2.5 VDD 欠压诊断 (VDD_UVD)

TLE7184F 具有集成的 VDD 欠压诊断功能，以确保桥接器驱动器输出级的行为在所有供电电压范围内都是可预测的。

如果 VDD 上的电压在指定的最短刺激时间内达到欠压诊断水平 V_{UVDD} ，则会出现错误，并且 IC 进入错误模式。

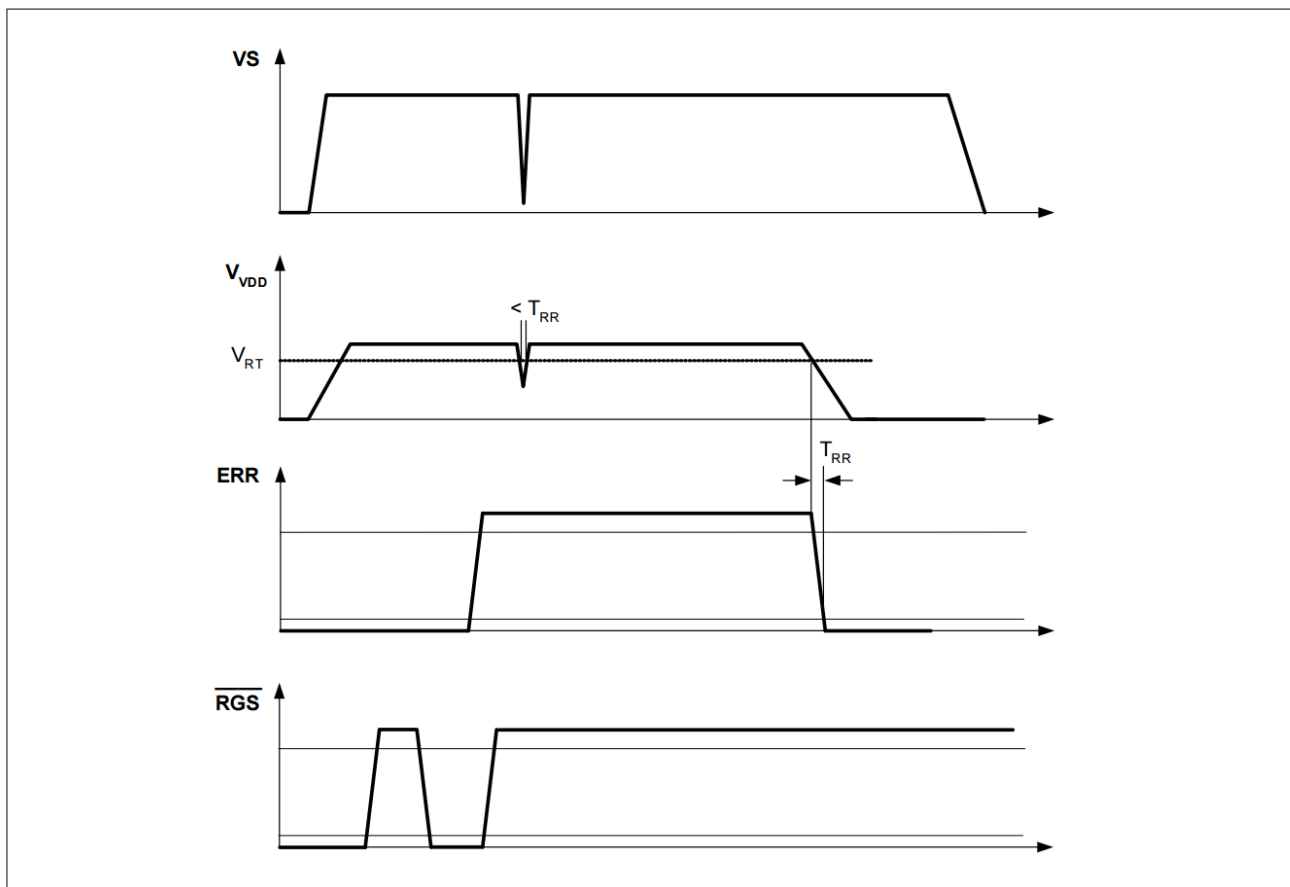


图 11 VDD 欠压诊断流程时间

9.2.6 VDD 欠压关断 (VDD_UVSD)

TLE7184F 具有集成的 VDD 欠压关断功能，可避免 VDD 短路至 GND 时的操作。

如果 VDD 上的供电电压达到欠压关断电平 $V_{VDDsleep}$ 并且唤醒时间已到，VREG 和 VDD 将关闭，IC 将进入死锁模式。

9.2.7 VREG 欠压诊断 (VREG_UVD)

TLE7184F 具有集成的 VREG 欠压诊断功能，以确保桥接器驱动器输出级的行为在所有供电电压范围内都是可预测的。

如果 VREG 上的电压达到欠压诊断电平 V_{UVR} 并持续指定的最小滤波时间，则会发生错误，并且 IC 会进入错误模式。只要未达到 VS 欠压锁定，低边 MOSFET 将保持主动关闭状态。高边 MOSFET 驱动器的状态取决于自举电压，而自举电压又取决于 SHx 电压。预计 SHx 节点将被高边 MOSFET 拉至 VDH 电平，这将被动关闭高边 MOSFET。在这种情况下，该输出级的短路检测将被停用，以避免错误的错误报告。

9.2.8 VREG 欠压关断 (VREG_UVSD)

TLE7184F 具有集成的 VREG 欠压关断功能，可避免在 VREG 短路至 GND 的情况下运行。

如果 VREG 上的供电电压达到欠压关断电平 V_{VRSD} ，且未发出过温预警，且唤醒时间已到，则 VREG 将关闭，IC 将进入 VREG 关断模式。在此条件下， μC 仍可供电，并可通过 PWM 接口 (IFMA) 进行通信，MOSFET 将关闭，并发出错误信息。退出此模式的唯一方法是进入“睡眠模式”。

如果 VREG 上的供电电压达到欠压关断电平 V_{VRSD} ，且过温预警置位，且唤醒时间到期，VREG 和 VDD 将关闭，IC 将进入“死锁模式”。

摆脱这种死锁模式的唯一方法是引发 VS 欠压关断，例如通过移除电池电压。

9.2.9 IOV 和 VDH 过压关断 (IOV_OVSD、VDH_OVSD)

TLE7184F 具有集成的过压关断功能，可最大限度地降低因超出最大额定值而导致的高电源电压导致 IC 损坏的风险。在过压输入引脚 IOV 和 VDH 引脚处观察到电压。如果 IOV 引脚或 VDH 引脚处的电压超过过压关断水平并持续超过指定的刺激时间，IC 将进入错误模式。

有效过压电平可以通过 IOV 引脚上的分压器进行调整。该电压分压器通常由 VDHS 引脚供电。VDH 的过电压水平已修复。

9.2.10 死区时间和直通保护

在桥接器应用中，必须确保外部高边和低边 MOSFET 不会同时“导通”，从而将电池电压直接连接到 GND。如果 DT 引脚接地，则 TLE7184F 中生成的死区时间置位为最小值。如果使用 ILx 和 IHx 的公共输入信号，此功能可确保最短死区时间。

通过死区时间电阻 R_{DT} 将 DT 引脚连接到 GND，可以增加死区时间。较大的死区时间电阻会导致较长的死区时间。

典型的死区时间可以用以下公式计算：

$$t_{deadtime} = \frac{0.081}{0.02 + \frac{2.4}{4 + R_{dt}}} \mu s$$

请输入 R_{dt} 阻值，单位为 $k\Omega$ 。

如果需要桥接器的精确死区时间，建议使用 μC PWM 生成单元。

如果 DT 引脚开路，则死区时间设置为内部最大值。

除了死区时间之外，TLE7184F 还提供加锁机制，避免一个半桥的两个外部 MOSFET 同时导通。此功能称为直通保护。

如果在输入引脚处给出了打开同一半桥中高边和低边开关的指令，则该指令将被忽略。输出将保持与冲突输入之前相同的状态。

9.2.11 短路保护 (SCP)

TLE7184F为外部 MOSFET 提供短路保护。它监测外部MOSFET 的漏源电压。（见图 3）

一旦相应的驱动器输出监测级设置为“on”，并且死区时间和消隐时间结束，某个外部MOSFET的漏源电压就激活。消隐时间在死区时间到期时开始，并确保不考虑 MOSFET 的开启过程。建议将 MOSFET 的开关时间保持在消隐时间以下。

短路检测电平可通过 SCDL 引脚上的电压设置以模拟方式进行调整。施加到 SCDL 引脚的电压与漏源电压限制之间存在 1:1 的转换。例如，要在 1 V 漏源电压下触发 SCD 电路，SCDL 引脚也必须置位至 1 V。漏源电压限制可在 0.3 ... 2 V 之间选择。

如果在消隐时间结束后观察到的MOSFET漏源电压仍高于 SCDL 电平，则 SCD 辅助时间 t_{SCP} 开始运行。电容充电带有充电电流。如果电容器电压达到特定水平（辅助时间 t_{SCP} ），则错误信号置位，IC进入错误模式。如果在检测到短路之前移除 SCD 条件，则电容器会以相同的电流放电。当 MOSFET 关闭时，电容器也会放电。必须考虑到一个相的高边和低边输出与同一个电容器一起工作。

9.2.12 SCDL 引脚开路检测 (SCDL_open)

出于安全原因，SCDL 引脚上的上拉电阻可确保在引脚开路的情况下 SCDL 电压被拉至高电平。在这种情况下，错误被置位并且IC进入错误模式。

9.2.13 过流关断 (OCSD)

TLE7184F 监测运算放大器的输出信号。如果输出信号在指定时间内达到接近上轨 (VDD) 的指定电平，则系统 IC 检测到过流条件并设置错误信号。驱动器输出主动降低所有外部 MOSFET 的栅极-源极电压并保持在错误模式。

9.2.14 VDD电流限制

TLE7184F 具有用于外部 μC 的集成电压电源。电源的输出电流被限制在规定值内。这一限制不会导致任何错误报告。在这种情况下，可能会检测到 VDD 欠压。如果电流限制时间较长，过温保护就会起作用。

9.2.15 无源 Gxx钳位

如果检测到 VS 欠压锁定或器件处于睡眠模式，只要 VS 或 VDH 上的电压高于 3V，无源钳位就会激活。即使低于 3V，MOSFET驱动级也不会主动打开MOSFET。

无源钳位表示 BHx 和VREG 引脚通过指定的下拉电阻拉至接地。与输出级推动级的本征二极管一起将栅输出连接到 BHx 和 VREG，从而确保外部 MOSFET 的栅不会浮动。

9.3 ERR 引脚

TLE7184F有一个状态引脚，可为 μC 提供诊断反馈。该引脚的逻辑输出是一个开漏输出，带有集成的下拉电阻到 GND（见图 12）。

错误寄存器的复位和取消

TLE7184F 可以通过使能引脚 RGS 复位。如果 RGS 引脚被拉至低电平并持续指定的最短时间，则错误寄存器将被清除。如果 RGS 引脚被拉至低电平时错误仍然存在，则不会执行复位，并且 ERR 引脚保持低电平。这一行为的唯一例外是过温预警。即使结温超过过温预警电平，当 RGS 被拉低时，错误信号也会变为高电平。

图 13 描述错误复位期间的时序行为：

欲了解更多详情，请参阅第 9.1 章中关于错误模式和正常模式与过温预警的描述

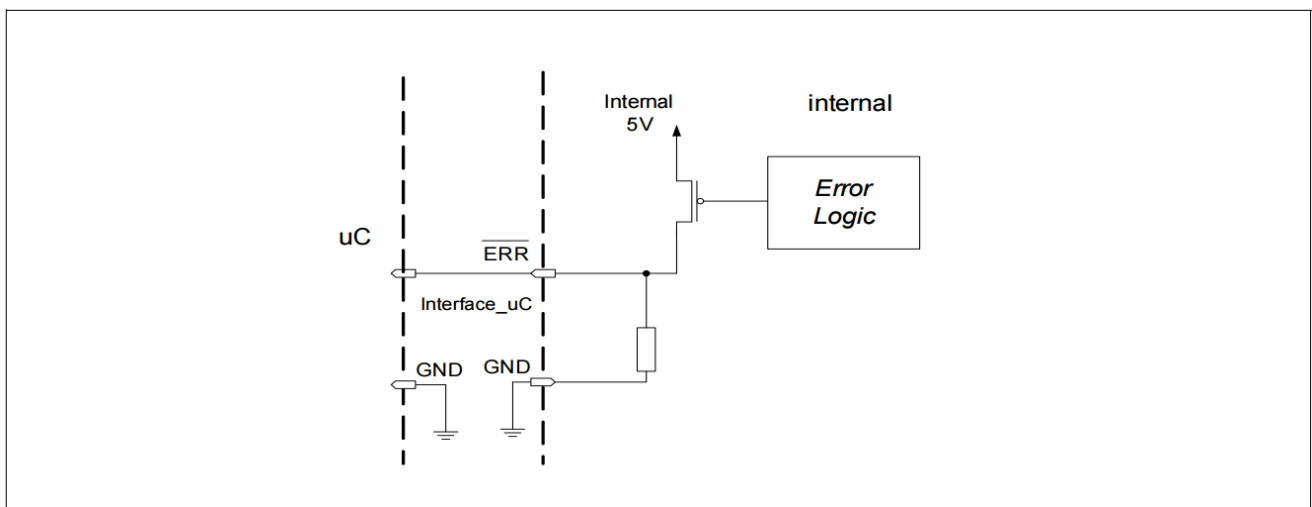


图 12 ERR 输出结构

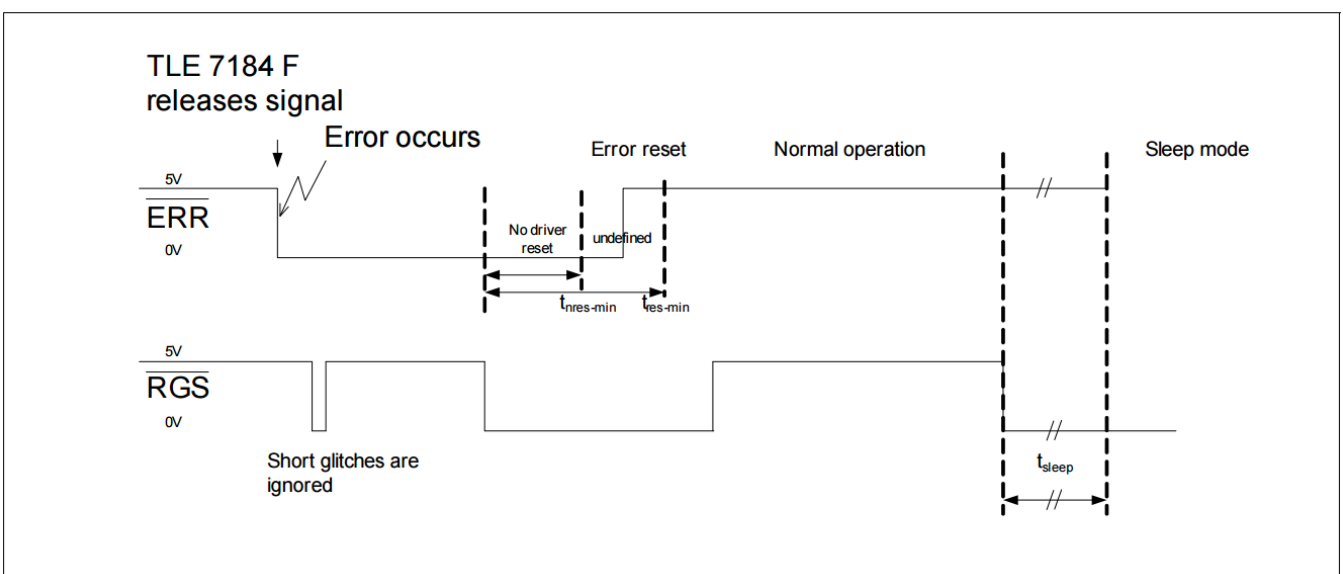


图 13 使能/禁用时序

9.4 电气特性

电气特性 - 保护和诊断功能

$V_S = 7.0$ 至 $33V$, $T_J = -40^\circ C$ 至 $+150^\circ C$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
Dead time							
9.4.1	Programmable internal dead time	t_{DT}	0.095 0.29 0.85 1.2 2.1	0.14 0.42 1.21 1.88 3.62	0.18 0.55 1.55 2.6 5.1	μs	$R_{DT}=0\ \Omega$ $R_{DT}=10\ k\Omega$ $R_{DT}=47\ k\Omega$ $R_{DT}=100\ k\Omega$ $R_{DT}=1000\ k\Omega$
9.4.2	Max. internal dead time	t_{DT_MAX}	2.0	4.0	6.0	μs	DT pin open
9.4.3	Dead time deviation between channels	d_{tDT}	-20	–	20	%	–
			-15	–	15	%	$R_{DT}\leq 47\ k\Omega$
9.4.4	Dead time deviation between channels LSoff -> HS on	d_{tDTH}	-14	–	14	%	–
			-12	–	12	%	$R_{DT}\leq 47\ k\Omega$
9.4.5	Dead time deviation between channels HSoff -> LS on	d_{tDTL}	-14	–	14	%	–
			-12	–	12	%	$R_{DT}\leq 47\ k\Omega$
Short circuit protection							
9.4.6	Short circuit protection detection level	V_{SCPDL}	0.3	–	2	V	programmed by SCDL pin
9.4.7	Short circuit protection detection Accuracy	A_{SCP}	-20	–	+20	%	$0.3V\leq V_{SCDL}<0.9V$
9.4.8	Short circuit protection detection Accuracy	A_{SCP}	-10	–	+10	%	$0.9V\leq V_{SCDL}\leq 2.0V$
9.4.9	Filter time of short circuit protection	$t_{SCP(off)}$	2.3	–	4.3	μs	Ixx static on
9.4.10	Blanking time plus filter time of short circuit detection	t_{SCPTT}	4	–	8	μs	Ixx switching “off” to “on”
9.4.11	Internal pull-up resistor SCDL to V_{DD}	R_{SCDL}	180	300	420	$k\Omega$	–
9.4.12	SCDL open pin detection level	V_{SCPOP}	2.0	–	2.5	V	–
9.4.13	Filter time of SCDL open pin	t_{SCPOP}	1	–	3.4	μs	–
9.4.14	SCDL open pin detection level hysteresis ²⁾	V_{SCOPH}	–	0.3	–	V	–
Over- and Under Voltage monitoring							
9.4.15	Over Voltage shut down at IOV	V_{OVIOV}	4.15	–	4.4	V	IOV voltage increasing
9.4.16	Pull down resistor at IOV to GND	R_{IOV}	300	–	700	$k\Omega$	–
9.4.17	Over Voltage shut down at VDH	V_{OVVDH}	33	–	37	V	VDH increasing
9.4.18	Over Voltage shut down filter time for IOV or VDH	t_{OV}	13	–	23	μs	–
9.4.19	Under Voltage diagnosis at VREG	V_{UVVR}	5.5	–	6.5	V	VREG decreasing

模式描述、保护和诊断功能

电气特性 - 保护和诊断功能 (续)

 $V_S = 7.0$ 至 $33V$, $T_j = -40^\circ C$ 至 $+150^\circ C$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
9.4.20	Under Voltage diagnosis filter time for VREG	t_{UVVR}	10	–	30	μs	–
9.4.21	Under Voltage shut down at VREG	V_{VRSD}	1.5	–	2.3	V	VREG decreasing
9.4.22	Under Voltage lockout at VS	V_{VSLO}	4.4	5.0	5.5	V	V_{VS} decreasing
9.4.23	Under Voltage lockout filter time for VS	t_{UVLO}	1	–	3	μs	–

ERR pin¹⁾

9.4.24	ERR output voltage	V_{ERR}	4.4	–	–	V	No external load
9.4.25	Rise time ERR (20 - 80% of internal 5V)	$t_{f(ERR)}$	–	–	3.5	μs	$C_{LOAD}=1nF$;
9.4.26	Internal pull-down resistor ERR to GND	$R_{f(ERR)}$	21.2	–	60	$k\Omega$	–

Reset and Enable

9.4.27	Low time of uC RGS signal without reset	t_{nres}	–	–	0.5	μs	–
9.4.28	Low time of uC RGS pin necessary to trigger reset and to clear error registers	t_{res}	3	–	–	μs	–

Wake-up and go-to-sleep

9.4.29	Low level input voltage of RGS	V_{RGSLL}	–	–	1.6	V	–
9.4.30	High level input voltage of RGS	V_{RGSHL}	2.8	–	–	V	–
9.4.31	Input hysteresis of RGS ²⁾	d_{RGS}	100	–	–	mV	–
9.4.32	RGS pull-down resistors to GND	R_{RGS}	100	–	210	$k\Omega$	–
9.4.33	Low level input voltage of INH ³⁾ for wake up	V_{INHL}	–	–	0.75	V	–
9.4.34	High level input voltage of INH ³⁾ for wake up	V_{INHH}	2.1	–	–	V	–
9.4.35	INH high time to guarantee wake-up	t_{IHhigh}	100	–	–	μs	–
9.4.36	INH pull-down resistors to GND	R_{INH}	100	–	210	$k\Omega$	–
9.4.37	Wake up delay time	t_{wake}	9	–	17	ms	–
9.4.38	RGS low time for go-to-sleep	t_{sleep}	20	–	50	μs	–
9.4.39	V_{DD} voltage for changing from Go-to-Sleep Mode to Sleep Mode	$V_{DSDsleep}$	1.5	–	2.3	V	–
9.4.40	V_{DD} Under Voltage Shut Down	$V_{UVSDVDD}$	1.5	–	2.3	V	–

1) ERR 引脚和复位与使能在 $V_{VS} = 6 \dots 7V$ 之间起作用, 但特性可能超出指定范围

2) 未经过生产测试; 由设计指定

3) 这些级别对于唤醒 IC 有效。决定 INHD 输出状态的 INH 输入电平如第 8.4 章所示

电气特性 - 保护和诊断功能

$V_S = 6.0$ 至 $33V$, $T_j = -40^\circ C$ 至 $+150^\circ C$, 所有电压均相对于接地, 电流正向流入引脚 (除非另有说明)

Pos.	Parameter	Symbol	Limit Values			Unit	Conditions
			Min.	Typ.	Max.		
Temperature monitoring							
9.4.41	Over Temperature shut down	$T_{j(SD)}$	160	170	180	°C	1)–
9.4.42	Over Temperature pre-warning	$T_{j(PW)}$	130	140	150	°C	1)–
9.4.43	Difference between Over Temperature shut down level and Over Temperature pre-Warning level	$d_{Tj(SDPW)}$	20	30	40	°C	1)–
9.4.44	Analog temperature output at 25°C	V_{ATRT}	1.32	–	1.65	V	$C_{load} \leq 1.5nF$; $T_j = 25^{\circ}C$
9.4.45	Analog temperature output coefficient	K_{ATRT}	4.57	–	5.20	mV/K	$C_{load} \leq 1.5nF$ 1)
9.4.46	Analog temperature output drift over lifetime ¹⁾	V_{ATRTd}	0	–	+6	mV	$C_{load} \leq 1.5nF$
9.4.47	Analog temperature range ¹⁾	T_{AT}	-40	–	175	°C	–
Over current detection							
9.4.48	Over current detection level in% of V_{VDD}	V_{OCTH}	92	–	96.5	%	–
9.4.49	Filter time for over current detection	t_{OC}	1.8	–	4.2	µs	–
Under Voltage monitoring VDD							
9.4.50	Under Voltage shut down at V_{DD2})	V_{UVVDD}	3.7	–	4.2	V	V_{VDD} decreasing
9.4.51	Under Voltage shut down filter time	t_{UVVDD}	15	–	45	µs	–

1) 未经过生产测试; 由设计指定

2) 对于进入睡眠状态时的欠压检测电平, 请参见 $V_{DDsleep}$

10 应用描述

在汽车领域，越来越多的应用需要高性能电机驱动，例如HVAC风扇、发动机风扇、泵等。在这些应用中，使用同步和异步三相电机，兼具高输出性能、低空间要求和高可靠性。

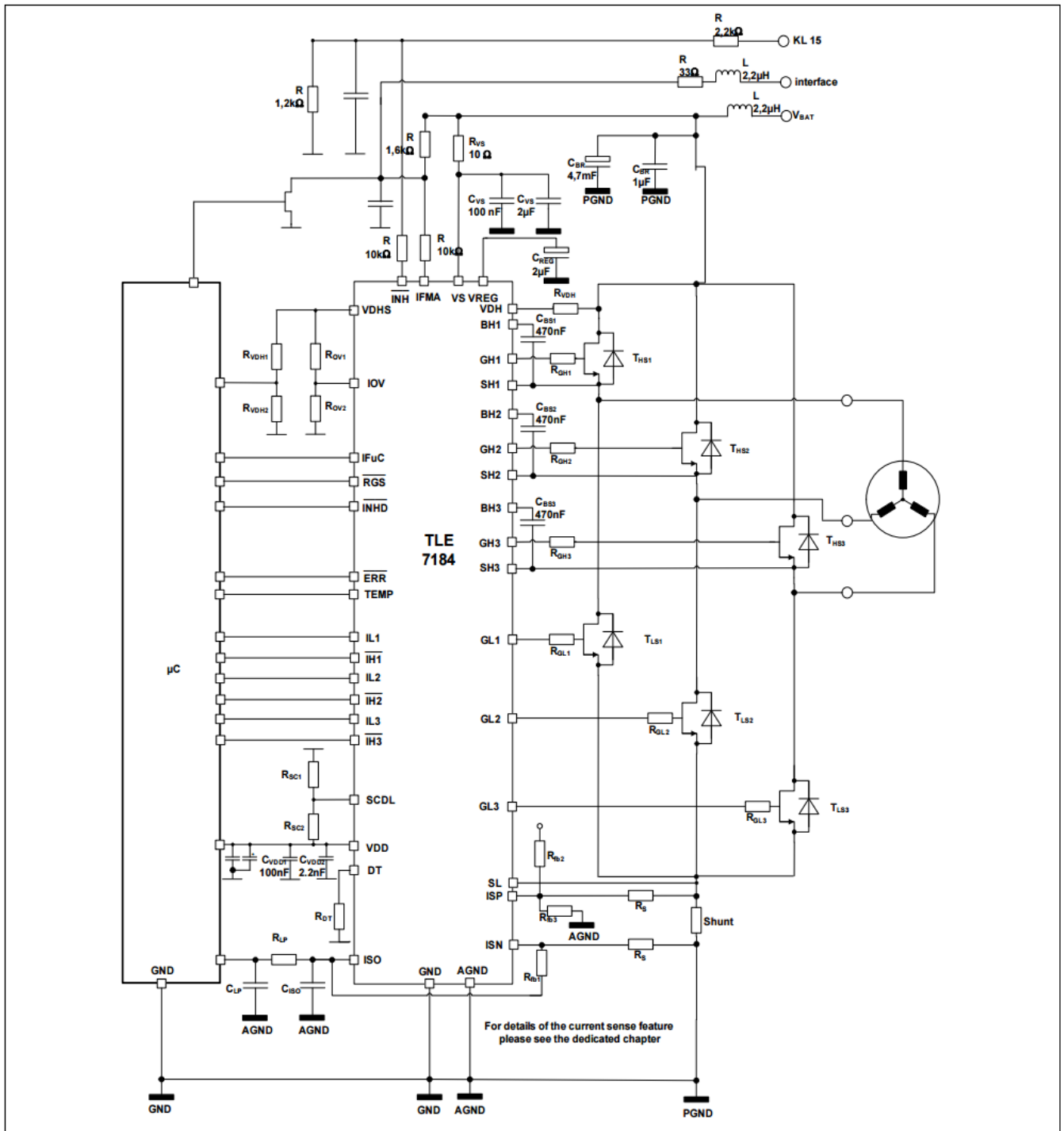


图 14 应用电路 TLE7184F

注释： 这是一个非常简化的应用电路和物料清单的示例。需在实际应用中进行验证功能。

11 封装外形

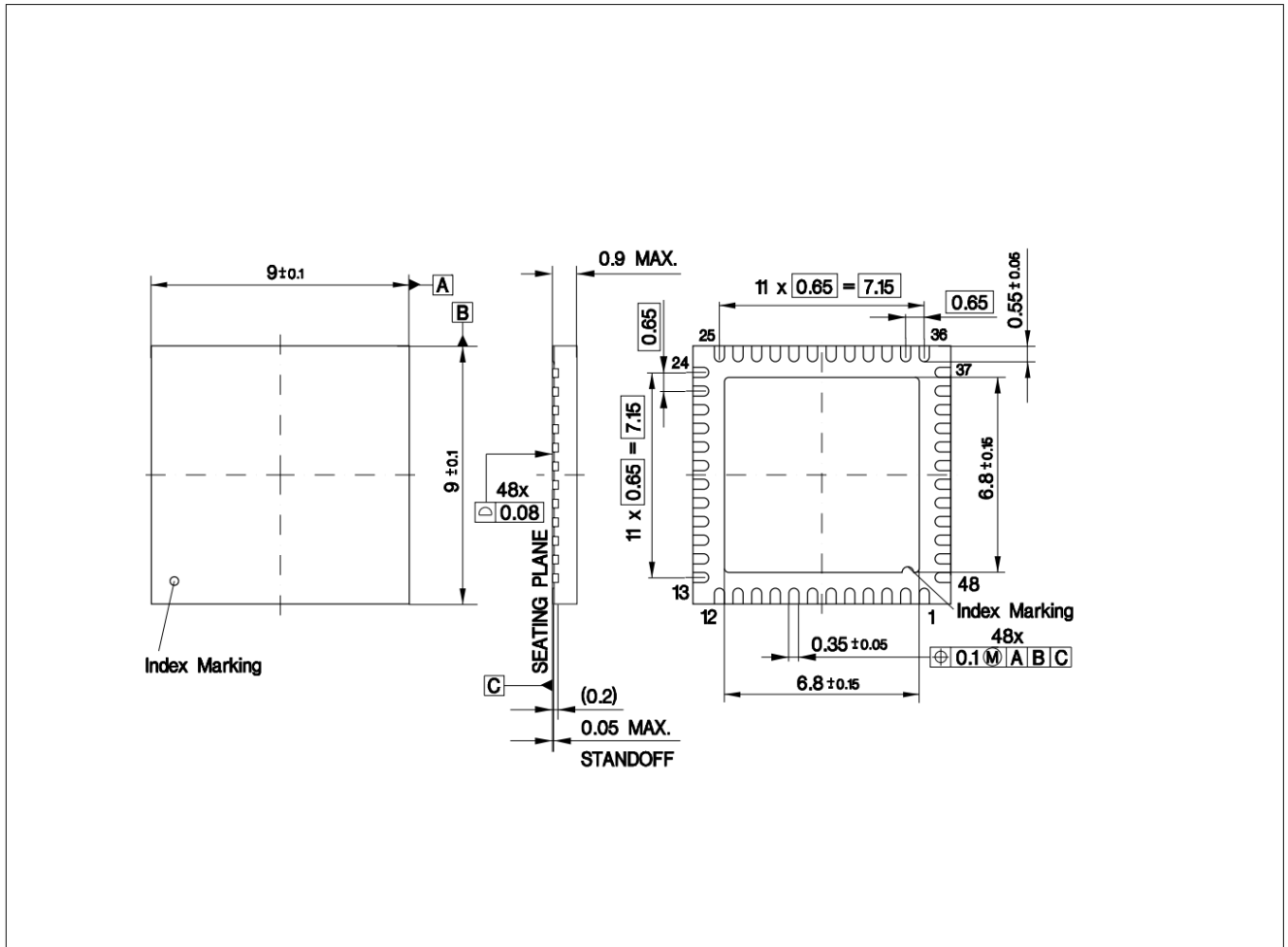


图 15 PG-VQFN-48

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合RoHS标准（即，引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020标准，适用于无铅焊接）。

您可以访问英飞凌官方网站产品页 <http://www.infineon.com/products> 获取所有封装、包装方式及其他信息。

尺寸单位为毫米

12 修订记录

Revision	Date	Changes
Rev.1.30	2023-04-28	- Parameter 5.5.27 updated - max limit upgraded to 550 mA with test condition - $43^{\circ}\text{C} < T_j < 25^{\circ}\text{C}$, test conditions are split for hot and cold temperatures
Rev. 1.2	2016-01-28	- package adjustments
Rev. 1.1	2011-04-08	- Voltage difference between ISP and ISN specified - Minimum buffer capacitor C_{VREG} specified - Description of SH currents added - Fig. 4 new - Pull up and pull down resistors at IHx and ILx expanded - Rise and fall times specified - Propagation time tolerance reduced - Limit the lower load current of VDD to 2mA - Fig. 5 updated - Steady state differential input voltage range across VIN removed - Common mode suppression, footnote added - IFMA low time to guarantee wake-up added - Matching of IFMA pull up / pull down resistors replaced by IFMA input current / VS - Pull up resistor at IFuC output expanded - Pull up resistor at INHD expanded - High level input voltage INH (for INHD=high) adapted - Dead time description improved - Short circuit detection accuracy improved - SCDL open pin detection level hysteresis, footnote added - Rise time ERR adapted - Pull down resistor at ERR output expanded - INH high time to guarantee wake-up added - Analog temperature output tolerance at 25°C improved

Edition 2023-04-28

Published by
Infineon Technologies AG
81726 Munich, Germany
© 2023 Infineon Technologies AG
All Rights Reserved.

Legal Disclaimer

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics. With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

Information

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

Warnings

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

Infineon Technologies components may be used in life-support devices or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-08-25

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。