

英飞凌 TLD5542-1

带 SPI 接口的 H 桥 DC/DC 控制器

英飞凌® LITIX™ Power Flex



封装	PG-VQFN-48	PG-TQFP-48
标识	TLD55421QV	TLD55421QU
销售名称	TLD5542-1QV	TLD5542-1QU

1 概述

特性

- 单电感高功率升降压控制器
- 宽 LED 正向电压范围 (2 V 至 55 V)
- 宽 VIN 范围 (IC 4.5 V 至 40 V, 电源 4.5 V 至 55 V)
- 开关频率范围为 200 kHz 至 700 kHz
- 用于诊断和控制的 SPI
- 任何条件下的最大效率 (高达 96%)
- 恒流 (LED) 和恒压调节
- 借助“快速输出放电”操作, 仅需单个 IC 即可驱动多个负载
- 跛行回家 (Limp Home) 功能 (故障安全模式)
- 电磁兼容优化器件: 具有自动展频特性
- 带专用监测输出的 LED 和输入电流采样
- 先进的器件和负载保护功能
- 增强调光特性: 模拟和 PWM 调光
- LED 电流精度 $\pm 3\%$
- 采用小型热增强 PG-VQFN-48 或 PG-TQFP-48 封装
- 符合汽车级 AEC 标准

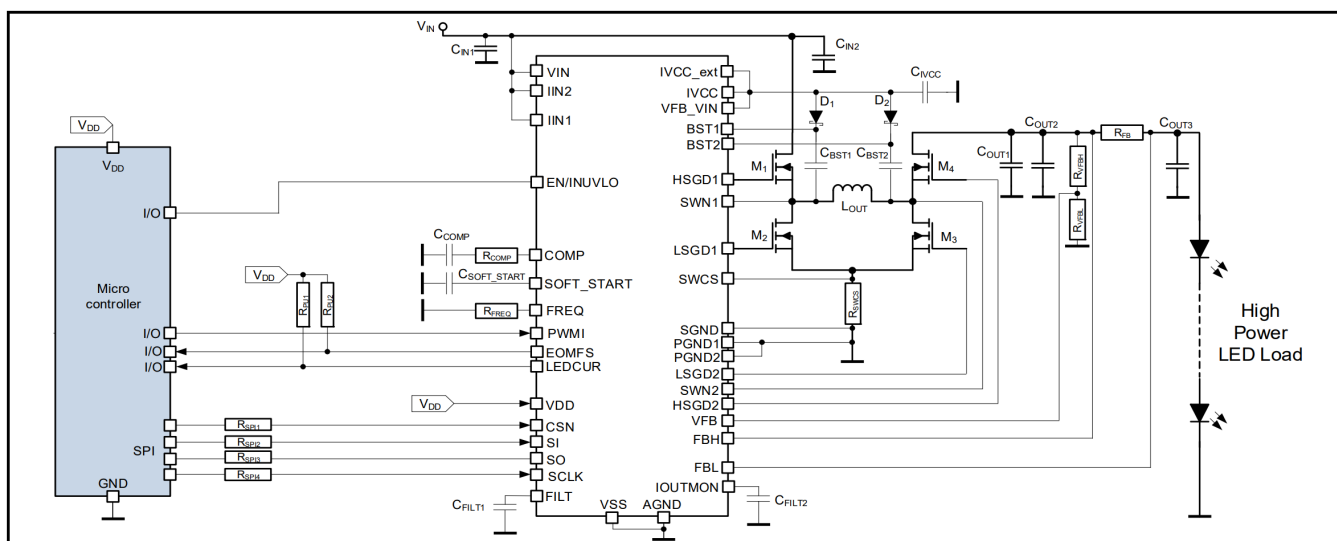
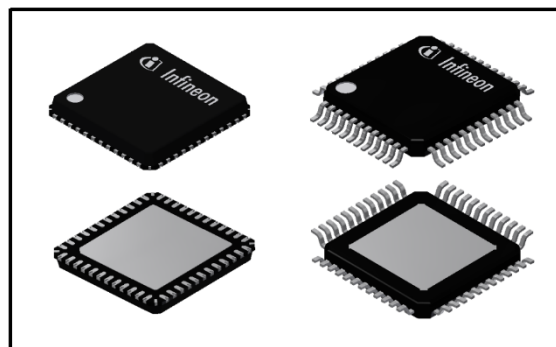


图 1 应用图 - TLD5542-1 作为电流调节器

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

概述

产品描述

英飞凌TLD5542-1 是一款具有内置保护功能和 SPI 接口的同步 MOSFET H 桥 DC/DC 控制器。这一概念有利于以最高的系统效率和最少的外部元件数量驱动高功率 LED。TLD5542-1 提供模拟和数字 (PWM) 调光。开关频率可在 200 kHz 至 700 kHz 范围内调节。它可以同步至外部时钟源。内置可编程展频开关频率调制和强制连续电流调节模式改善了整体电磁兼容性 (EMC) 行为。此外, 电流模式调节方案提供了一个稳定的调节环路, 由小型外部补偿元件维持。可调软启动的特性限制启动时的电流峰值和电压过冲。TLD5542-1 适合在恶劣的汽车环境中使用。

表 1 产品概述

Power Stage input voltage range	V_{POW}	4.5 V ... 55 V
Device Input supply voltage range	V_{VIN}	4.5 V ... 40 V
Maximum output voltage (depending by the application conditions)	$V_{OUT(max)}$	55 V as LED Driver Boost Mode 50 V as LED Driver Buck Mode 50 V as Voltage regulator
Switching Frequency range	f_{SW}	200 kHz... 700 kHz
Typical NMOS driver on-state resistance at $T_j = 25^\circ\text{C}$ (Gate Pull Up)	$R_{DS(ON_PU)}$	2.3 Ω
Typical NMOS driver on-state resistance at $T_j = 25^\circ\text{C}$ (Gate Pull Down)	$R_{DS(ON_PD)}$	1.2 Ω
SPI clock frequency	$f_{SCLK(MAX)}$	5 MHz

保护功能

- 外部 MOSFET 的过载保护
- 负载短路、输出过压保护
- 输入欠压保护
- 具有自动重启行为的器件热关断
- 静电放电防护 (ESD)

诊断功能

- 通过 SPI 锁存诊断信息
- 器件过热关断和温度预警
- 智能监控和先进功能提供 I_{LED} 和 I_{IN} 信息

跛行回家 (Limp Home) 功能

- 通过 LHI 引脚激活跛行回家功能

应用

- 专为驱动多个大功率 LED 功能而设计 (例如: 近光灯、远光灯、日间行车灯 (DRL))
- 汽车外部照明: 全 LED 前大灯总成
- 通用型 DC/DC 电压稳压器

框图

2 框图

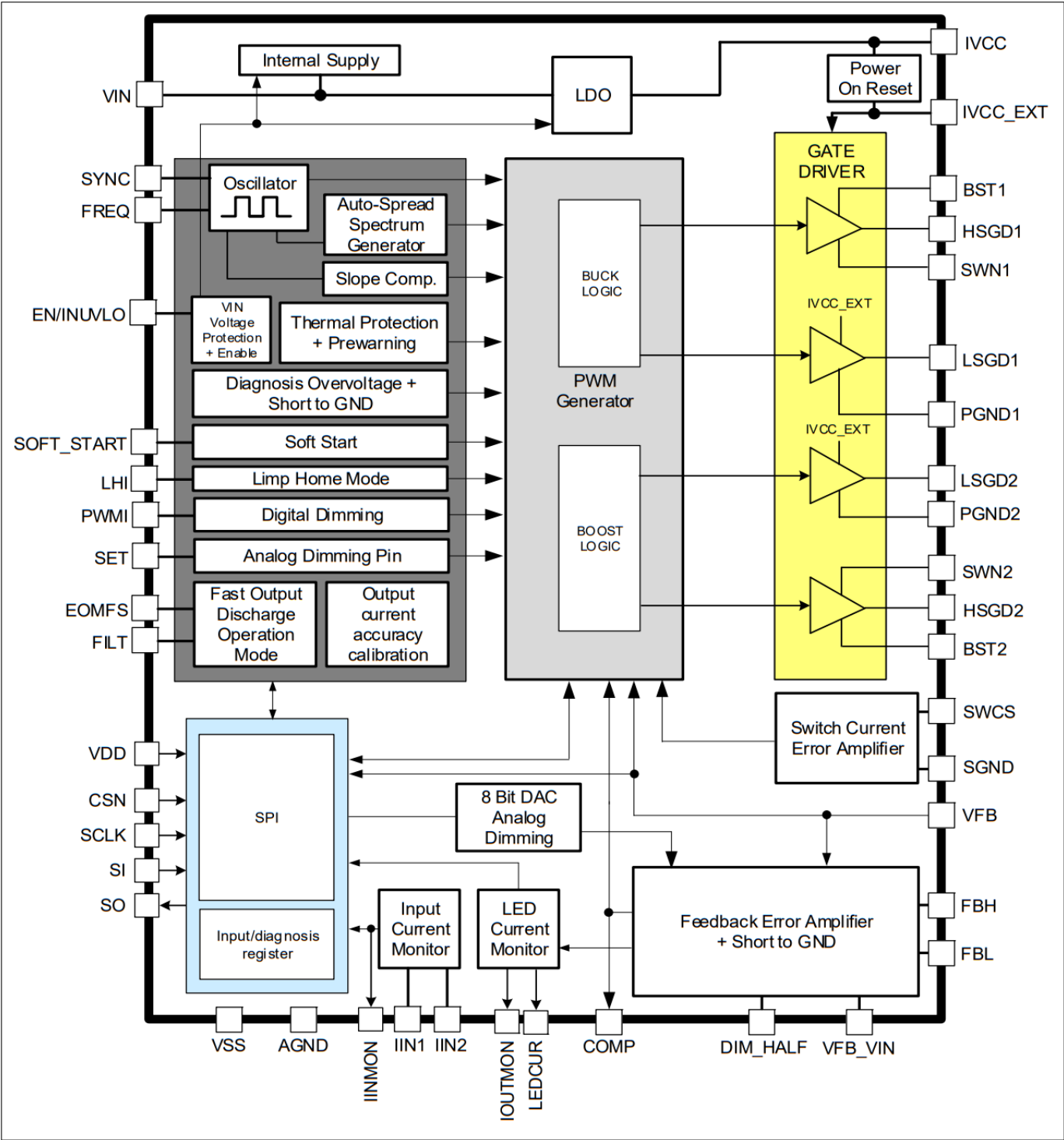


图 2 TLD5542-1 框图

引脚配置

3 引脚配置

3.1 引脚分配

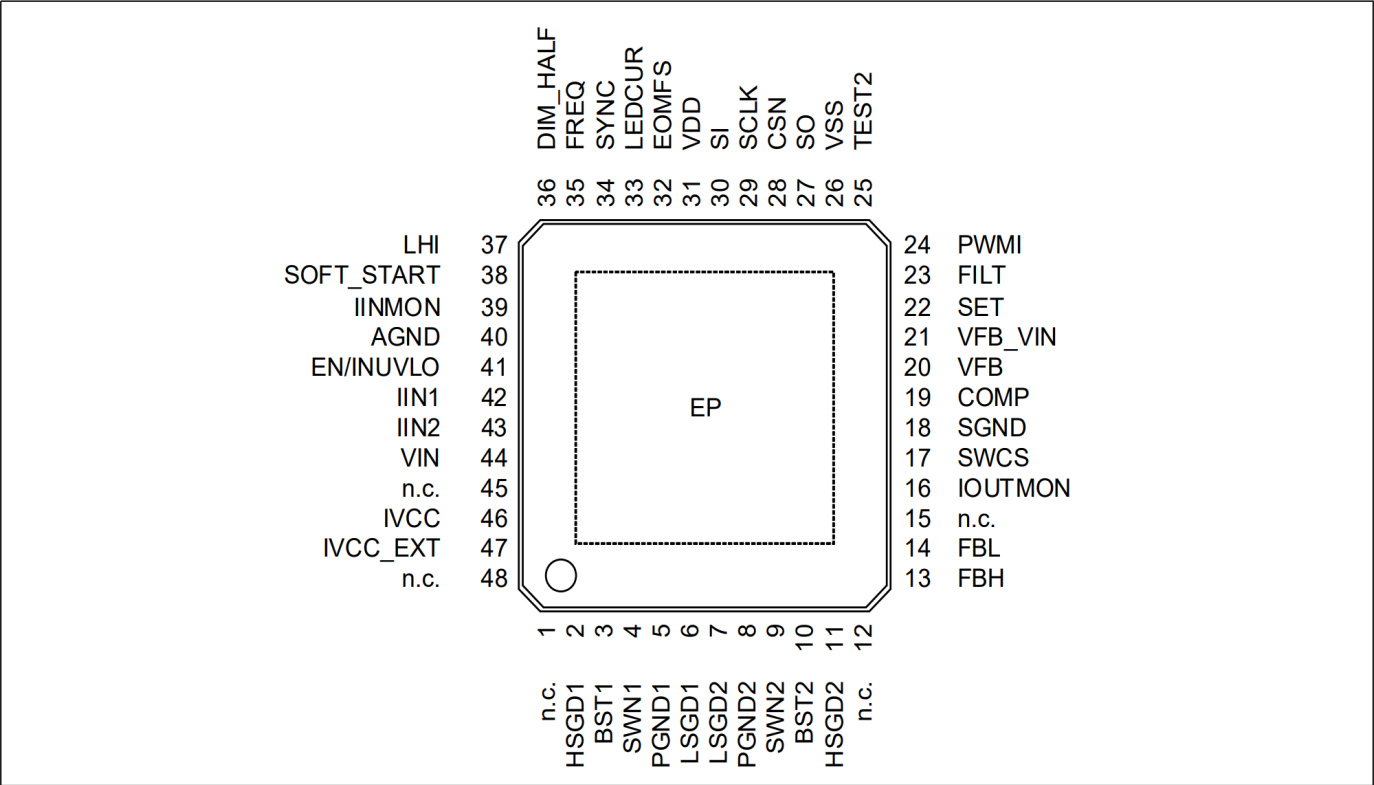


图 3 引脚配置 - TLD5542-1

引脚配置

3.2 引脚定义和功能

表 2 引脚定义及功能

Pin	Symbol	I/O ¹⁾		Function
Power Supply				
1, 12, 15, 45, 48	n.c.	-		Not connected, tie to AGND on the Layout;
44	VIN	-		Power Supply Voltage; Supply for internal biasing.
31	VDD	-		Digital GPIO Supply Voltage; Connect to reverse voltage protected 5 V or 3.3 V supply.
47	IVCC_EXT	I	PD	External LDO input; Input to alternatively supply internal Gate Drivers via an external LDO. Connect to IVCC pin to use internal LDO to supply gate drivers. Must not be left open.
5, 8	PGND1, 2	-		Power Ground; Ground for power potential. Connect externally close to the chip.
26	VSS	-		Digital GPIO Ground; Ground for GPIO pins.
40	AGND	-		Analog Ground; Ground Reference
-	EP	-		Exposed Pad; Connect to external heatspreading Cu area (e.g. inner GND layer of multilayer PCB with thermal vias).
Gate Driver Stages				
2	HSGD1	O		Highside Gate Driver Output 1; Drives the top n-channel MOSFET with a voltage equal to V_{IVCC_EXT} superimposed on the switch node voltage SWN1. Connect to gate of external switching MOSFET.
11	HSGD2	O		Highside Gate Driver Output 2; Drives the top n-channel MOSFET with a voltage equal to V_{IVCC_EXT} superimposed on the switch node voltage SWN2. Connect to gate of external switching MOSFET.
6	LSGD1	O		Lowside Gate Driver Output 1; Drives the lowside n-channel MOSFET between GND and V_{IVCC_EXT} . Connect to gate of external switching MOSFET.
7	LSGD2	O		Lowside Gate Driver Output 2; Drives the lowside n-channel MOSFET between GND and V_{IVCC_EXT} . Connect to gate of external switching MOSFET.
4	SWN1	IO		Switch Node 1; SWN1 pin swings from a diode voltage drop below ground up to V_{IN} .
9	SWN2	IO		Switch Node 2; SWN2 pin swings from ground up to a diode voltage drop above V_{OUT} .

引脚配置

表 2 引脚定义及功能

Pin	Symbol	I/O ¹⁾	Function
46	IVCC	O	Internal LDO output; Used for internal biasing and gate driver supply. Bypass with external capacitor close to the pin. Pin must not be left open.
Inputs and Outputs			
37	LHI	I	PD Limp Home Input Pin; Used to enter in Limp Home state during Fail Safe condition.
23	FILT	-	MFS Filter; Connect with a 220pF capacitor to GND to filter MFS reference Voltage.
25	TEST2	-	Test Pin; Used for Infineon end of line test, connect to GND in application.
41	EN/INUVLO	I	PD Enable/Input Under Voltage Lock Out; Used to put the device in a low current consumption mode, with additional capability to fix an undervoltage threshold via external components. Pin must not be left open.
35	FREQ	I	Frequency Select Input; Connect external resistor to GND to set frequency.
34	SYNC	I	PD Synchronization Input; Apply external clock signal for synchronization.
24	PWMI	I	PD Control Input; Digital input 5 V or 3.3 V.
13	FBH	I	Output current Feedback Positive; Non inverting Input (+).
14	FBL	I	Output current Feedback Negative; Inverting Input (-).
3	BST1	IO	Bootstrap capacitor; Used for internal biasing and to drive the Highside Switch HSGD1. Bypass to SWN1 with external capacitor close to the pin. Pin must not be left open.
10	BST2	IO	Bootstrap capacitor; Used for internal biasing and to drive the Highside Switch HSGD2. Bypass to SWN2 with external capacitor close to the pin. Pin must not be left open.
17	SWCS	I	Current Sense Input; Inductor current measurement - Non Inverting Input (+).
18	SGND	I	Current Sense Ground; Inductor current sense - Inverting Input (-). Route as Differential net with SWCS on the Layout.
42	IIN1	I	Input Current Monitor Positive; Non Inverting Input (+), connect to VIN if input current monitor is not needed.
43	IIN2	I	Input Current Monitor Negative; Inverting Input (-), connect to VIN if input current monitor is not needed.
19	COMP	O	Compensation Network Pin; Connect R and C network to pin for stability phase margin adjustment.

引脚配置

表 2 引脚定义及功能

Pin	Symbol	I/O ¹⁾	Function
38	SOFT_START	O	Softstart configuration Pin; Connect a capacitor C_{SOFT_START} to GND to fix a soft start ramp default time.
21	VFB_VIN	I	Input Voltage Feedback for analog dimming compensation; Connect with a Resistor divider to Vin. If not used , short to IVCC
36	DIM_HALF	I	Dual Range Output Current; Double the analog dimming compensation when High.
20	VFB	I	Voltage Loop Feedback Pin; VFB is intended to set output overvoltage protection and F.D. output voltage sensing.
22	SET	I	Analog current sense adjustment Pin;
39	IINMON	O	Input current monitor output; Monitor pin that produces a voltage proportional to $V_{IN1-IN2}$. Typical IINMON will be equal 1 V when $V_{IIN1}-V_{IIN2} = 50$ mV.
16	IOUTMON	O	Output current monitor output; Monitor pin that produces a voltage proportional to $V_{FBH-FBL}$ plus an offset. Connect with a bypass capacitor to ground
33	LEDCUR	O	LED current Flag; An open drain output used to detect the presence of load current on MFS topologies
32	EOMFS	O	End of MFS routine Flag; An open drain output which is pulled to LOW when MFS routine is ongoing, released to high when complete.

SPI

30	SI	I	PD	Serial data in; Digital input 5 V or 3.3 V.
29	SCLK	I	PD	Serial clock; Digital input 5 V or 3.3 V.
28	CSN	I	PU	SPI chip select; Digital input 5 V or 3.3 V. Active LOW.
27	SO	O		Serial data out; Digital output, referenced to V_{DD} .

1) O: 输出, I: 输入,

PD: 集成下拉电路,

PU: 集成上拉电路

产品一般特性

4 产品一般特性

4.1 绝对最大额定值

表 3 绝对最大额定值¹⁾ $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply Voltages							
VIN Supply Input	V _{VIN}	-0.3	–	60	V	–	P_4.1.1
VDD Digital supply voltage	V _{VDD}	-0.3	–	6	V	–	P_4.1.2
IVCC Internal Linear Voltage Regulator Output voltage	V _{IVCC}	-0.3	–	6	V	–	P_4.1.3
IVCC_EXT External Linear Voltage Regulator Input voltage	V _{IVCC_EXT}	-0.3	–	6	V	–	P_4.1.4
Gate Driver Stages							
LSGD1,2 - PGND1,2 Lowside Gatedriver voltage	V _{LSGD1,2- PGND1,2}	-0.3	–	5.5	V	–	P_4.1.54
HSGD1,2 - SWN1,2 Highside Gatedriver voltage	V _{HSGD1,2- SWN1,2}	-0.3	–	5.5	V	2)	P_4.1.55
SWN1, SWN2 switching node voltage	V _{SWN1, 2}	-1	–	60	V	–	P_4.1.6
(BST1-SWN1), (BST2-SWN2) Boostrap voltage	V _{BST1,2- SWN1,2}	-0.3	–	6	V	2)	P_4.1.7
BST1, BST2 Boostrap voltage related to GND	V _{BST1, 2}	-0.3	–	65	V	–	P_4.1.8
SWCS Switch Current Sense Input voltage	V _{SWCS}	-0.3	–	0.3	V	–	P_4.1.9
SGND Switch Current Sense GND voltage	V _{SGND}	-0.3	–	0.3	V	–	P_4.1.10
SWCS-SGND Switch Current Sense differential voltage	V _{SWCS- SGND}	-0.5	–	0.5	V	–	P_4.1.11
PGND1,2 Power GND voltage	V _{PGND1,2}	-0.3	–	0.3	V	–	P_4.1.28
High voltage Pins							
IIN1, IIN2 Input Current monitor voltage	V _{IIN1, 2}	-0.3	–	60	V	–	P_4.1.12

产品一般特性

表 3 绝对最大额定值¹⁾ (续) $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
IIN1-IIN2 Input Current monitor differential voltage	$V_{\text{IIN1-IIN2}}$	-0.5	–	0.5	V	2)	P_4.1.13
FBH, FBL Feedback Error Amplifier voltage	$V_{\text{FBH, FBL}}$	-0.3	–	60	V	–	P_4.1.14
FBH-FBL Feedback Error Amplifier differential voltage	$V_{\text{FBH-FBL}}$	-0.5	–	0.5	V	2)	P_4.1.15
EN/INUVLO Device enable/input undervoltage lockout	$V_{\text{EN/INUVLO}}$	-0.3	–	60	V	–	P_4.1.16

Digital (I/O) Pins

PWMI Digital Input voltage	V_{PWMI}	-0.3	–	5.5	V	–	P_4.1.17
CSN Voltage at Chip Select pin	V_{CSN}	-0.3	–	5.5	V	–	P_4.1.18
SCLK Voltage at Serial Clock pin	V_{SCLK}	-0.3	–	5.5	V	–	P_4.1.19
SI Voltage at Serial Input pin	V_{SI}	-0.3	–	5.5	V	–	P_4.1.20
SO Voltage at Serial Output pin	V_{SO}	-0.3	–	5.5	V	–	P_4.1.21
SYNC Synchronization Input voltage	V_{SYNC}	-0.3	–	5.5	V	–	P_4.1.22
LHI Limp Home Input Voltage	V_{LHI}	-0.3	–	5.5	V	–	P_4.1.58

Analog Pins

VFB, VFB_VIN Output and Input Voltage feedback pins	$V_{\text{FB, VFB_VIN}}$	-0.3	–	5.5	V	–	P_4.1.25
DIM_HALF Dual Range Output Current	$V_{\text{DIM_HALF}}$	-0.3	–	5.5	V	–	P_4.1.26
FILT MFS Filter pin voltage	V_{FILT}	-0.3	–	3	V	–	P_4.1.62
EOMFS, LEDCUR Flags output voltage	V_{FLAGS}	-0.3	–	5.5	V	–	P_4.1.61
SET Analog dimming Input voltage	V_{SET}	-0.3	–	5.5	V	–	P_4.1.29
COMP Compensation Input voltage	V_{COMP}	-0.3	–	3.6	V	–	P_4.1.30

产品一般特性

表 3 绝对最大额定值¹⁾ (续) $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SOFT_START Softstart Voltage	$V_{\text{SOFT_START}}$	-0.3	–	3.6	V	–	P_4.1.31
FREQ Voltage at frequency selection pin	V_{FREQ}	-0.3	–	3.6	V	–	P_4.1.32
IINMON Voltage at input monitor pin	V_{IINMON}	-0.3	–	3.6	V	–	P_4.1.33
IOUTMON Voltage at output monitor pin	V_{IOUTMON}	-0.3	–	5.5	V	–	P_4.1.34

Temperatures

Junction Temperature	T_J	-40	–	150	$^{\circ}\text{C}$	–	P_4.1.35
Storage Temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_4.1.36

ESD Susceptibility

ESD Resistivity of all Pins	$V_{\text{ESD,HBM}}$	-2	–	2	kV	HBM ³⁾	P_4.1.37
ESD Resistivity to GND	$V_{\text{ESD,CDM}}$	-500	–	500	V	CDM ⁴⁾	P_4.1.38
ESD Resistivity of corner Pins to GND	$V_{\text{ESD,CDM_corner}}$	-750	–	750	V	CDM ⁴⁾	P_4.1.39

1) 未经过生产测试, 由设计指定。

2) 不指 GND

3) ESD 耐受性、人体模型“HBM”, 符合 AEC Q100-002

4) ESD 耐受性、带电器件模型“CDM”, 符合 AECQ100-011 Rev. D

注: 超过此处所列的压力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。

集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

4.2 功能范围

表 4 功能范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Device Extended Supply Voltage Range	V_{VIN}	4.5	–	40	V	¹⁾ (parameter deviations possible)	P_4.2.1
Device Nominal Supply Voltage Range	V_{VIN}	8	–	36	V	–	P_4.2.2
Power Stage Voltage Range	V_{POW}	4.5	–	55	V	¹⁾	P_4.2.5

产品一般特性

表 4 功能范围 (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Supply Voltage	V_{DD}	3	–	5.5	V	–	P_4.2.3
Junction Temperature	T_j	-40	–	150	°C	–	P_4.2.4

1) 未经过生产测试, 由设计指定。

注: 在功能范围内, IC 按照电路描述正常工作。电气特性是在电气特性表中注明的条件指定的。

4.3 热阻

注释: 此热学数据是根据 JEDEC JESD51 标准生成的。欲了解更多信息, 请访问 www.jedec.org。

表 5

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Case	R_{thJC}	–	0.9	–	K/W	^{1) 2)}	P_4.3.1
Junction to Ambient	R_{thJA}	–	25	–	K/W	³⁾ 2s2p	P_4.3.2

1) 未经过生产测试, 由设计指定。

2) 指定的 R_{thJC} 值是在冷板设置上以自然对流下仿真 (所有引脚和散热焊盘均固定为环境温度)。Ta = 25 °C; IC 的耗散功率为 1 W。

3) 指定的 R_{thJA} 值根据 JEDEC 2s2p (JESD 51-7) + (JESD 51-5) 和 JEDEC 1s0p (JESD 51-3) + FR4 板上自然对流的散热器面积; 该器件在 76.2 x 114.3 x 1.5 mm 板上进行仿真。2s2p 板有 2 个外铜层 (2 x 70 μm Cu) 和 2 个内铜层 (2 x 35 μm Cu)。一个热过孔阵列 (直径 = 0.3 mm 和 25 μm 电镀) 应用于裸露散热焊盘下方, 并将第一外层 (顶部) 连接到 JEDEC PCB 的第一内层和第二外层 (底部)。Ta = 25 °C; IC 的耗散功率为 1 W。

电源

5 电源

TLD5542-1 由以下引脚供电：

- VIN（主供电电压）
- VDD（数字供电电压）
- IVCC_EXT（为内部栅极驱动器级供电）

VIN 电源与 VDD 电源组合，为模拟和数字模块提供内部电源电压。在 VIN 电压低于 VDD 电压的情况下，可能会在 VDD 引脚处观察到消耗电流增加。

SPI 和 IO 接口由 VDD 引脚供电。

IVCC_EXT 是低边驱动器级的工作电源，同时也通过外部肖特基二极管为自举电容充电。这些电容器为高边驱动器级提供功率。如果没有外部电压，则必须将此引脚短接至 IVCC，IVCC 是内部 5 V LDO 的输出。电源引脚 VIN、VDD 和 IVCC_EXT 具有欠压检测功能。

VDD 欠压会阻止激活栅极驱动器级和任何 SPI 通讯（SPI 寄存器已复位）。IVCC_EXT 或 IVCC 引脚欠压会强制驱动器级停用，从而停止开关活动，但对 SPI 寄存器设置没有影响。

此外，通过在 VIN 和接地之间放置电阻分压器，双功能引脚 EN/INUVLO 可用作输入欠压保护（请参阅第 10.3 章）。

若检测到 EN/INUVLO 欠压，则关闭 IVCC 稳压器，停止开关动作，停止通信，复位所有寄存器。

图 4 显示了电源域和引脚 VIN、VDD 和 IVCC/IVCC_EXT 之间相互作用的基本概念图。

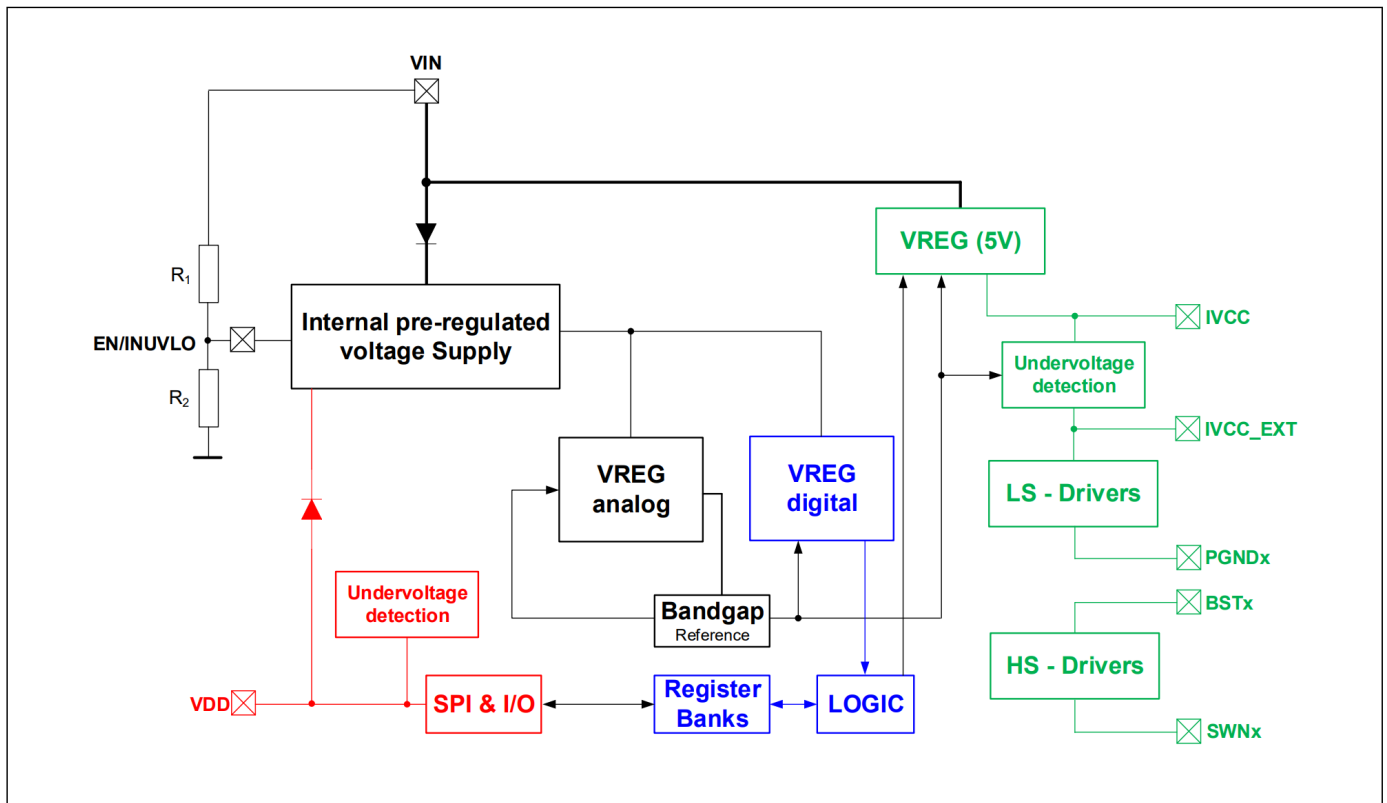


图4 电源概念图

电源

EN/INUVLO 引脚在不同应用中的使用

EN/INUVLO 引脚是双功能引脚，可用于将器件置于低电流消耗模式。通过放置外部电阻分压器 (A) 来固定欠压阈值，以避免低电压工作条件。该引脚可以由 μC 端口驱动，如 (B) (C) 所示。

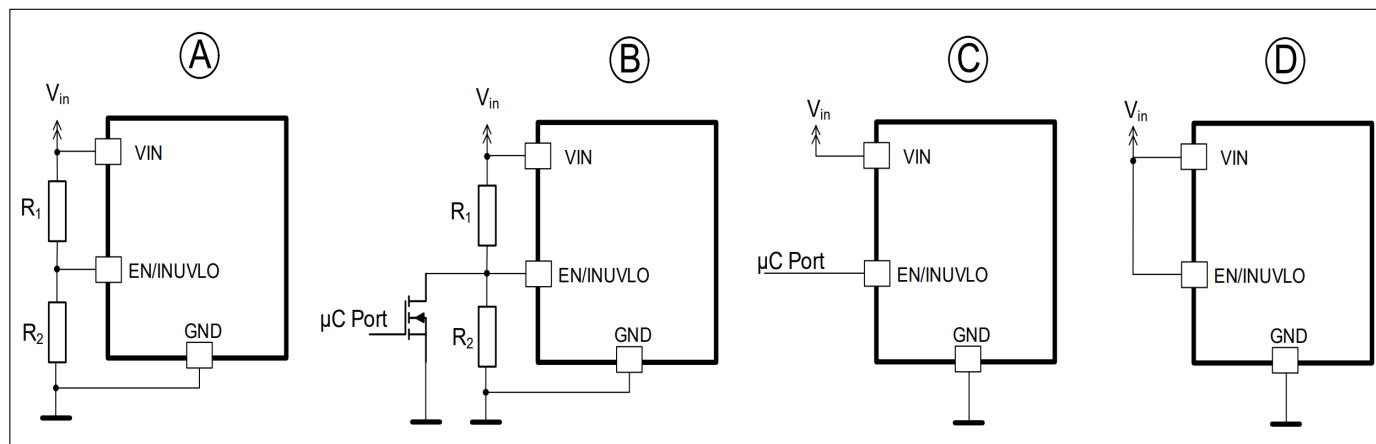


图 5 EN/INUVLO 引脚在不同应用中的使用情况

电源

5.1 不同功率状态

TLD5542-1 有以下功率状态：

- 休眠状态
- 空闲状态
- 跛行回家状态
- 激活状态

根据这些变量，在最多 3 个时钟周期的滤波时间后，确定了功率状态之间的转换：

- VIN 电平
- EN/INUVLO 电平
- IVCC 电平
- IVCC_EXT 电平
- VDD 电平
- LHI 电平
- DVCCTRL.IDLE 位状态

包含可能转换的状态图如图 6 所示。

当供电电压 V_{IN} 超过其最小供电电压阈值时，进入上电条件 $V_{IN(ON)}$ 。

休眠状态

器件通电后进入休眠状态，所有输出关闭，SPI 寄存器复位，与引脚 VIN、VDD、IVCC 和 IVCC_EXT 上的供电电压无关。消耗电流为低。参考参数： $I_{VDD(SLEEP)}$ 和 $I_{VIN(SLEEP)}$ 。

从休眠到激活状态的转变需要一个指定的时间： t_{ACTIVE} 。

空闲状态

在空闲状态下，器件的电流消耗可能达到参数 I_{VDD} (P_5.3.4) 规定的限值。内部稳压器和 IVCC 线性稳压器处于工作状态。并非所有诊断功能均可使用（更多信息请参阅第 10 章）。在此状态下，无论电源电压 V_{IN} 、 V_{DD} 、IVCC 和 IVCC_EXT 如何，均无开关活动。当 V_{DD} 可用时，SPI 寄存器处于工作状态，且可进行 SPI 通信。

跛行回家

跛行回家状态有利于满足系统安全要求，并提供了通过备用控制电路在输出端维持定义的恒定电流/电压的可能性。备用控制电路在 μC 发生故障时打开所需负载。有关详细信息，请参阅第 8 章。

进入“跛行回家状态”时，SPI 寄存器将重置为默认值，此时虽然可以进行 SPI 通信，但仅限于读取模式（可读取 SPI 寄存器，但无法写入）。为了调节输出电流/电压，必须确保 V_{IN} 和 IVCC_EXT 存在，且其电压均需高于各自的欠压阈值。

激活状态

在激活状态下，该器件仅当 PWMI 为高电平时才会开始进行开关操作，从而向输出端提供功率。要启动高边栅极驱动器 HSGD1,2，电压电平 $V_{BST1,2} - V_{SWN1,2}$ 必须高于阈值 $V_{BST1,2} - V_{SWN1,2_UVth}$ 。

电源

在激活状态下，器件通过 V_{IN} 和 V_{DD} 的电流消耗取决于所使用的外部 MOSFET 以及开关频率 f_{SWO}

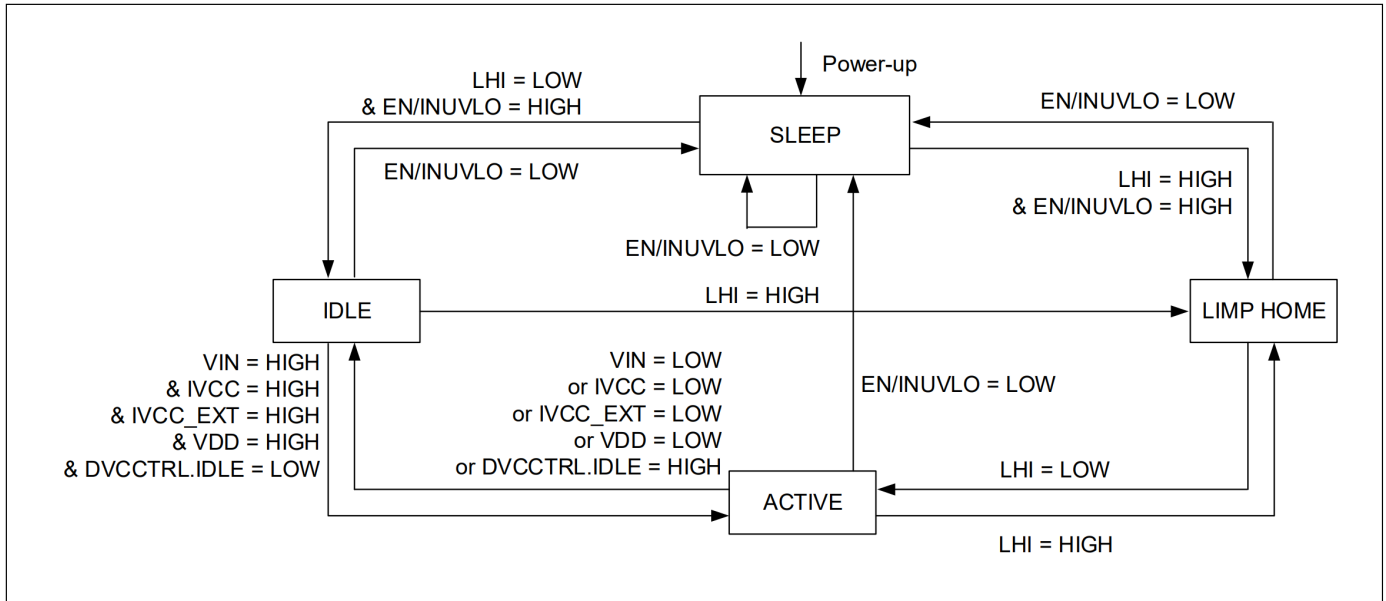


图 6 简化状态图

5.2 复位器件的不同可能性

器件中有多个复位触发器。

在任何类型的复位之后，传输错误标志 (TER) 置位为 HIGH。

欠压复位：

EN/INUVLO：当 EN/INUVLO 低于 $V_{EN/INUVLOth}$ (P_5.3.7) 时，SPI 接口不工作，所有寄存器将复位为默认值。此外，器件进入休眠模式，消耗电流最小化。

VDD：当 V_{VDD} 低于 $V_{VDD(UV)}$ (P_5.3.6) 时，SPI 接口不工作，所有寄存器都恢复为默认值。

通过SPI指令复位：

有一个指令 ($DVCCTRL.SWRST = HIGH$) 可用于将所有可写寄存器重置为其默认值，除了寄存器 MUXCTRL。注意，来自校准例程的结果， $DVCCTRL.ENCAL = HIGH$ 时可由 SPI 读取，不能由 SWRST 重置。

通过跛行回家功能复位：

当检测到跛行回家功能状态时，寄存器会复位为默认值。

电源

5.3 电气特性

表 6 EC 电源

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Power Supply V_{IN}							
Input Voltage Startup	$V_{VIN(ON)}$	–	–	4.7	V	V_{IN} increasing; $V_{EN/INUVLO}$ = HIGH; V_{DD} = 5 V; $IVCC$ = $IVCC_EXT$ = 10 mA;	P_5.3.1
Input Undervoltage switch OFF	$V_{VIN(OFF)}$	–	–	4.5	V	V_{IN} decreasing; $V_{EN/INUVLO}$ = HIGH; V_{DD} = 5 V; $IVCC$ = $IVCC_EXT$ = 10 mA;	P_5.3.14
Device operating current	$I_{VIN(ACTIVE)}$	–	5	7	mA	¹⁾ ACTIVE mode; V_{PWMI} = 0 V; V_{VFB_VIN} = $1/(51+1) \cdot V_{VIN}$; V_{VFB} =0.7V	P_5.3.2
V_{IN} Sleep mode supply current	$I_{VIN(SLEEP)}$	–	–	1.5	μA	$V_{EN/INUVLO}$ = 0 V; V_{CSN} = V_{DD} = 5 V; V_{IN} = 13.5 V; $IVCC$ = $IVCC_EXT$ = 0 V;	P_5.3.3
Digital Power Supply V_{DD}							
Digital supply current	I_{VDD}	–	–	0.5	mA	V_{IN} = 13.5 V; f_{SCLK} = 0 Hz; V_{PWMI} = 0 V; V_{EN} = V_{CSN} = V_{DD} = 5 V;	P_5.3.4
Digital Supply Sleep mode current	$I_{VDD(SLEEP)}$	–	–	1.5	μA	$V_{EN/INUVLO}$ = 0 V; V_{CSN} = V_{DD} = 5 V; V_{IN} = 13.5 V; $IVCC$ = $IVCC_EXT$ = 0 V;	P_5.3.5
Undervoltage shutdown threshold voltage	$V_{VDD(UV)}$	1	–	3	V	V_{CSN} = V_{DD} ; V_{SI} = V_{SCLK} = 0 V; SO from LOW to HIGH impedance;	P_5.3.6
EN/INUVLO Pin Characteristics							
Input Undervoltage falling Threshold	$V_{EN/INUVLOth}$	1.6	1.75	1.9	V	–	P_5.3.7

电源

表 6 EC 电源 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
EN/INUVLO Rising Hysteresis	$V_{EN/INUVLO(hyst)}$	–	90	–	mV	¹⁾	P_5.3.8
EN/INUVLO input Current LOW	$I_{EN/INUVLO(LOW)}$	0.45	0.89	1.34	μA	$V_{EN/INUVLO} = 0.8\text{ V};$	P_5.3.9
EN/INUVLO input Current HIGH	$I_{EN/INUVLO(HIGH)}$	1.1	2.2	3.3	μA	$V_{EN/INUVLO} = 2\text{ V};$	P_5.3.10
LHI Pin characteristics							
LOW level	$V_{LHI(L)}$	0	–	0.8	V	–	P_5.3.16
HIGH level	$V_{LHI(H)}$	2.0	–	5.5	V	–	P_5.3.17
L-Input pull-down current	$I_{LHI(L)}$	6	12	18	μA	$V_{LHI} = 0.8\text{ V};$	P_5.3.18
H-Input pull-down current	$I_{LHI(H)}$	15	30	45	μA	$V_{LHI} = 2.0\text{ V};$	P_5.3.19
Timings							
SLEEP mode to ACTIVE time	t_{ACTIVE}	–	–	0.7	ms	¹⁾ $V_{IVCC} = V_{IVCC_EXT};$ $C_{IVCC} = 10\text{ }\mu\text{F};$ $V_{IN} = 13.5\text{ V}; V_{DD} = 5\text{ V};$	P_5.3.11

1) 未经过生产测试, 由设计指定。

6 调节器描述

TLD5542-1 包括驱动 LED 所需的所有功能，可为输出提供恒定电流。还可实现恒压模式调节（请参阅第 6.6 章）。

该设计旨在通过仅使用一个电感和 4 个外部 MOSFET，以 H 桥拓扑结构控制 4 个栅极驱动输出。该拓扑能够在高功率 BOOST、BUCK-BOOST 和 BUCK 模式应用中实现最高效率运行。

器件可以根据应用的边界条件自动在不同的调节模式之间进行切换。

通过 BB_BST_CMP 位域，可以平滑降压-升压到升压模式的过渡。

SPI 标志向微控制器提供模式反馈（参见 SPI 位 REGUSETMON.REGUMODFB）。

6.1 调节器示意图描述

模拟电流控制环路（A5、A6，综合增益 = $IFB \times g_m$ ）连接到感测引脚 FBL、FBH，用于调节输出电流。

调节器功能由脉冲宽度调制（PWM）电流模式控制器实现。输出电流环路中的误差用于确定适当的占空比，以获得恒定输出电流。

外部补偿网络（ R_{COMP} 、 C_{COMP} ）用于调整控制环路以适应各种应用边界条件。

电流模式环路的电感电流由 R_{SWCS} 电阻感应。

R_{SWCS} 还用于限制最大外部开关/电感器电流。

如果 R_{SWCS} 两端的电压超过其过流阈值（升压模式下为 $V_{SWCSboost}$ ，降压模式下为 $V_{SWCSbuck}$ ），则该器件会降低占空比，以使开关电流低于规定的限值。

电流模式控制器还具有内置斜率补偿，以防止次谐波振荡。

控制环路逻辑模块（逻辑）向四个内部栅极驱动器提供 PWM 信号。栅极驱动器（HSGD1,2 和 LSGD1,2）用于驱动 H 桥设置中的外部 MOSFET。一旦软启动到期，就会执行强制 CCM 调节模式。

控制环路框图如图 7 所示，显示了典型的恒流应用。 R_{FB} 两端的电压决定输出电流。

输出电流通过 SPI 寄存器 LEDCURRADIM.ADIMVAL 进行调节，并结合偏移微调 LEDCURRCAL.CALIBVAL 寄存器。更多详细信息，请参阅第 8.1 章。

调节器描述

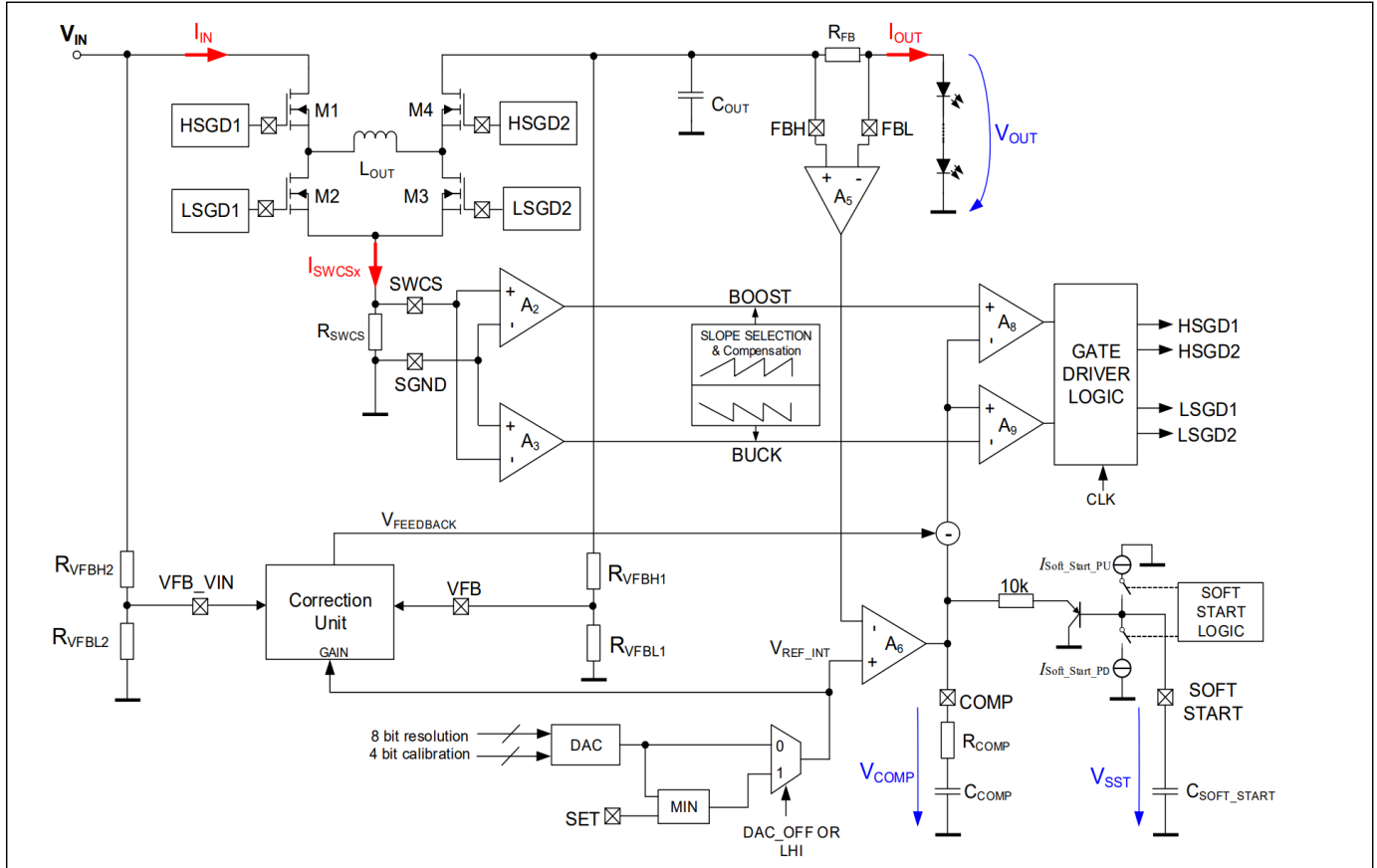


图 7 稳压器框图 - TLD5542-1

英飞凌专有的校正单元（见**图 7**）可确保在 MFS 架构下实现最佳性能，最大限度地降低补偿电压对模拟调光值的依赖，并减少负载突升时的过冲现象。

校正单元通过 VFB/VFB_VIN 信号向稳压器环路提供输入电压反馈，该反馈值与 V_{out}/V_{in} 成正比。因此，VFB 和 VIN_VFB 处的 2 个分压器相互关联，它们的比值决定了反馈量。通过设置 SWTMOD.VFB_VIN_OFF 位域，可以禁用校正单元的反馈。

施加在 V_{COMP} 上的负反馈电压也与模拟调光值成正比。模拟调光值越小，反馈电压就越大：

$$V_{FEEDBACK} \approx 0.05 \cdot \frac{V_{VFB}}{V_{VFB_VIN}} \cdot (100\% - ADIM[\%]) \quad [V] \quad (6.1)$$

为了确保 VFB_VIN 读数的精度，分压器的总电阻应小于 100 kΩ。建议将 VFB_VIN / VFB 分压比设置为 1 / 1.5（即 $R_{VFBH2} = R_{VFBH1} = 51 \text{ k}\Omega$ ， $R_{VFBL2} = 1 \text{ k}\Omega$ ， $R_{VFBL1} = 1.5 \text{ k}\Omega$ ）。

如果输入电压反馈过高（即 R_{VFBL2} 过低）， V_{COMP} 可能会向工作范围上限（2V）方向饱和，从而影响输出电流调节。在检查 V_{COMP} 的动态工作范围时，应将最低温度、最大 V_{out}/V_{in} 比和最小 ADIM 值视为最坏情况。

调节器描述

6.2 可调软启动斜坡

软启动程序有两个功能：

- 故障管理：故障屏蔽和重试前等待时间（图 8 和第 10.2 章）
- 通过限制 V_{comp} （图 7）来限制升压模式下的输入浪涌电流和输出过冲。

软启动程序在以下两种情况下应用：

- 启动时（空闲到激活转换后第一次 PWM 上升）
- 输出短路至 GND 检测后

软启动程序在 VSST 的上升沿和下降沿期间激活。软启动时序由放置在 SOFT_START 引脚上的电容器以及软启动上拉和下拉电流源（ $I_{Soft_Start_PU}$ 、 $I_{Soft_Start_PD}$ ）来定义。

软启动电容器的最小值必须设计成，在启动时，输出电压在软启动电压达到 $V_{SOFT_START_LOFF}$ 之前超过短路接地阈值（ $V_{FBH_S2G_inc}$ ）。最低温度和最低输入电压应被视为上述计算的最坏情况条件。

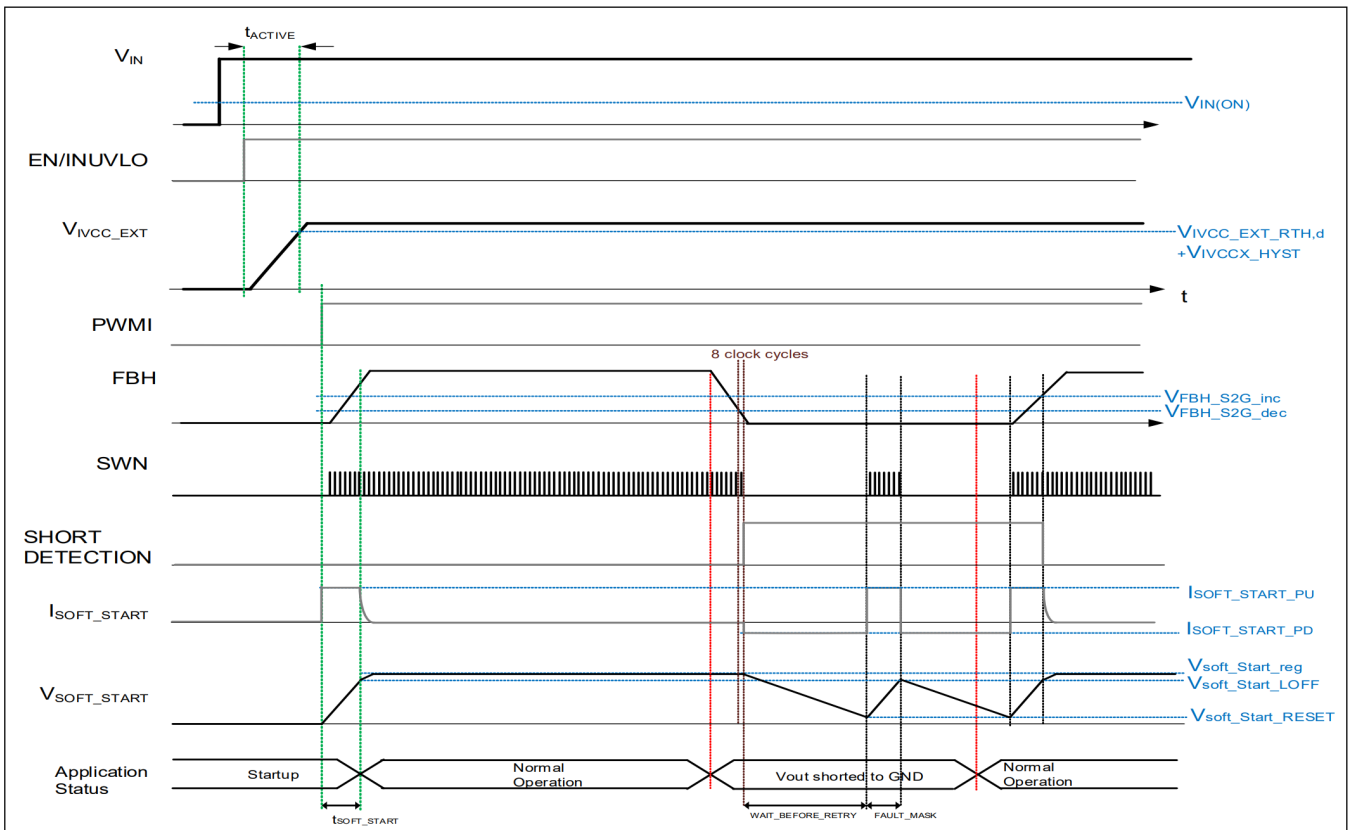


图 8 FBH 引脚检测到接地短路时的软启动时序图

软启动上升沿时间大约为：

$$t_{SOFT_START} = V_{Soft_Start_LOFF} \cdot \frac{C_{Soft_Start}}{I_{Soft_Start_PU}} \quad (6.2)$$

软启动例程通过缓冲器钳位 COMP 引脚来限制升压模式下的浪涌电流，如图 7 所示。因此，只有当软启动电容器足够大于 COMP 电容器时，该功能才有效。

调节器描述

如果在软启动上升沿期间电感电流较低，则启用 DCM，并禁用 MOSFET M4。如果电感电流增加，则 M4 可能会被启用。

软启动完成后 ($V_{SOFT_START} > V_{SOFT_START_LOFF}$)，将强制进入 CCM 模式，且 M4 将永久启用，与电感电流电平无关。

为避免稳压器在启动时出现过冲，可通过设置 CCM_4EVER 位域，在软启动期间也强制保持 CCM 状态，这可能会有所帮助。

如果检测到输出端发生短路，则会激活下拉电流源 $I_{SOFT_START_PD}$ (P_6.4.20)。该电流会将 V_{SOFT_START} 拉低，直至达到 $V_{SOFT_START_RESET}$ (P_6.4.22)。随后，上拉电流源 $I_{SOFT_START_PU}$ (P_6.4.19) 再次导通。如果在达到 $V_{SOFT_START_LOFF}$ (P_6.4.21) 之前故障状态仍未消除，下拉电流源将再次开启，从而启动一个新的循环。该过程将持续进行，直至故障消除。

如果在启动时采用了低占空比的 PWM，一旦软启动故障屏蔽期结束，输出电压仍可能低于对地短路阈值。因此，TLD5542-1 具备一项特殊功能，可在使用低占空比 PWM 启动时防止对地短路。

在从“空闲”状态切换到“激活”状态时，PWM 最初会上升；如果满足以下条件，则内部 PWM 信号将被延长：

- 在 IOUTMON 引脚上连接一个电容器（建议为 220 pF）
- 空闲模式的持续时间少于 10 ms
- 从空闲状态到激活状态的过渡过程中，PWM 上升时间在 10 ms 内完成

PWM 扩展将持续到满足以下两个条件中的任意一个为止：

- 直到 V_{SOFT_START} 超过 $V_{SOFT_START_LOFF}$
- 直到 V_{FBH_FBL} 超过 $V_{FBH_FBL_IN}$

6.3 开关频率设置

开关频率可以通过从 FREQ 引脚连接到 GND 的外部电阻器或通过提供第 11.2 章中指定的同步信号在 200 kHz 至 700 kHz 之间设置。根据图 9 中的曲线图，用外部电阻选择开关频率或使用以下近似公式。

$$f_{SW} [kHz] = 5375 * (R_{FREQ} [k\Omega])^{-0.8} \quad (6.3)$$

$$R_{FREQ} [k\Omega] = 46023 * (f_{SW} [kHz])^{-1.25} \quad (6.4)$$

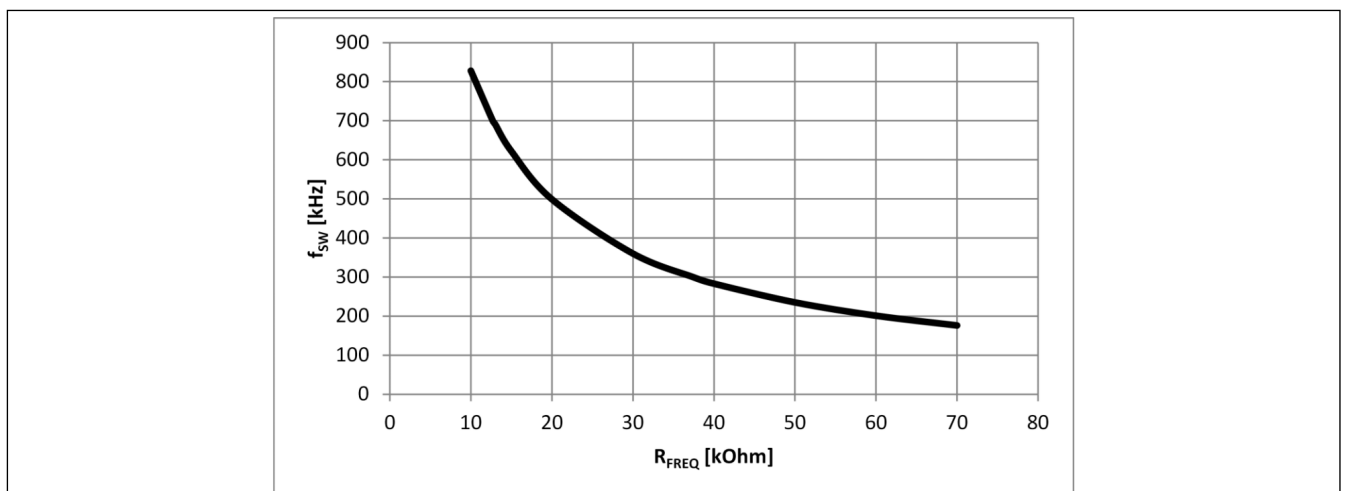


图 9 开关频率 f_{SW} 与到 GND 频率选择电阻 R_{FREQ} 的关系

调节器描述

6.4 4 个开关 H 桥架构的工作原理

电感器 L_{OUT} 以 H 桥接器配置与 4 个外部 N 沟道 MOSFET（M1、M2、M3 和 M4）连接

	BOOST MODE	BUCK-BOOST MODE	BUCK MODE
M1	ON	PWM	PWM
M2	OFF	PWM	PWM
M3	PWM	PWM	OFF
M4	PWM	PWM	ON

图 10 4 开关 H 桥架构晶体管状态汇总

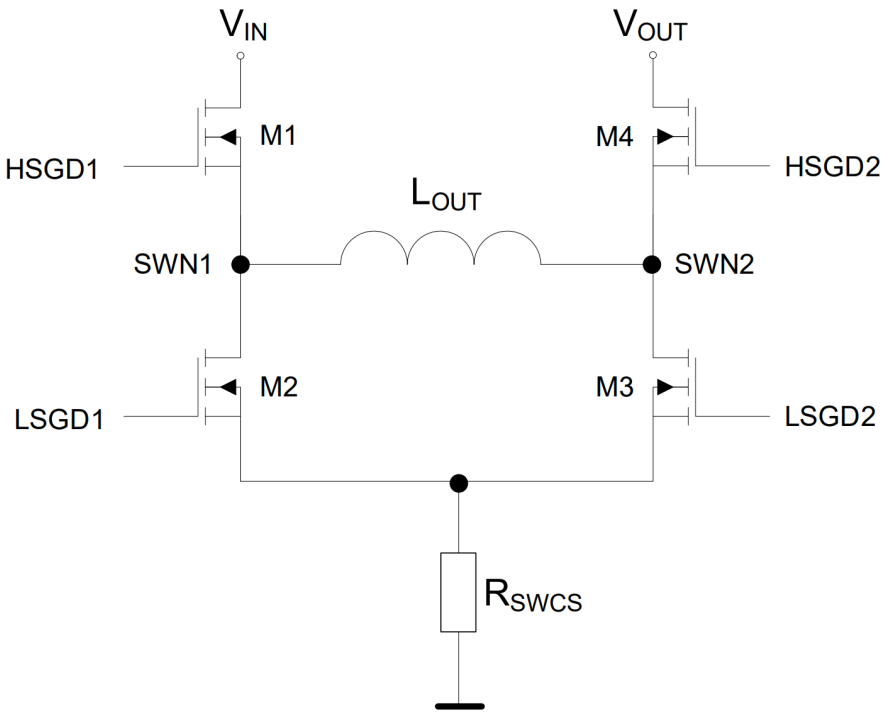


图 11 4 开关 H 桥架构概述

6.4.1 升压模式 ($V_{IN} < V_{OUT}$)

- M1 始终为 ON，M2 始终为 OFF
- 每个周期 M3 首先导通并感应电感电流（峰值电流控制）
- M3 保持导通状态，直到 R_{SWCS} 两端达到上限基准阈值（通电阶段）
- M3 关断、M4 导通直至循环结束（续流）
- 开关 M3 和 M4 交替工作，其行为类似于典型的同步升压调节器（见图 12）

调节器描述

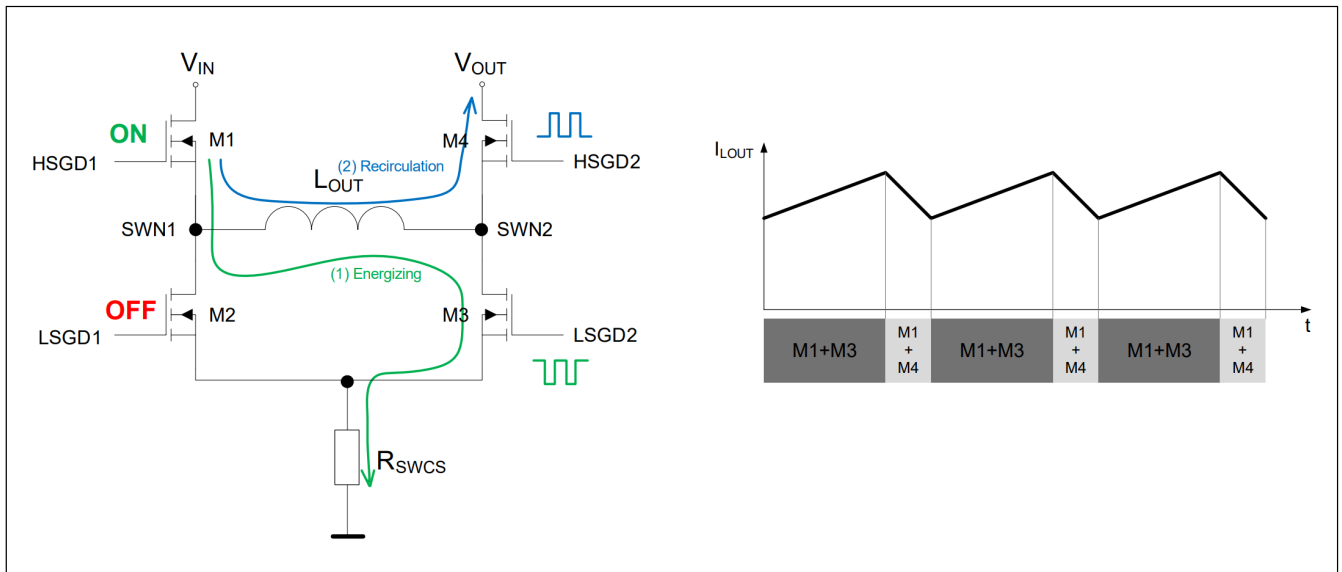


图 12 **BOOST 模式下的 4 开关 H 桥架构**

4 开关 H 桥架构与传统异步升压方法的简单比较

- 在此模式下，M2 始终处于关断状态（开路）
- 在此模式下，M1 始终处于导通状态（电感器与 V_{IN} 的闭合连接）
- M4 充当同步二极管，具有显著较低的通态功率损耗（ $I^2 \times R_{DS(on)}$ 与 $0.7 V \times I$ ）

注：二极管是损耗源，会降低系统效率！

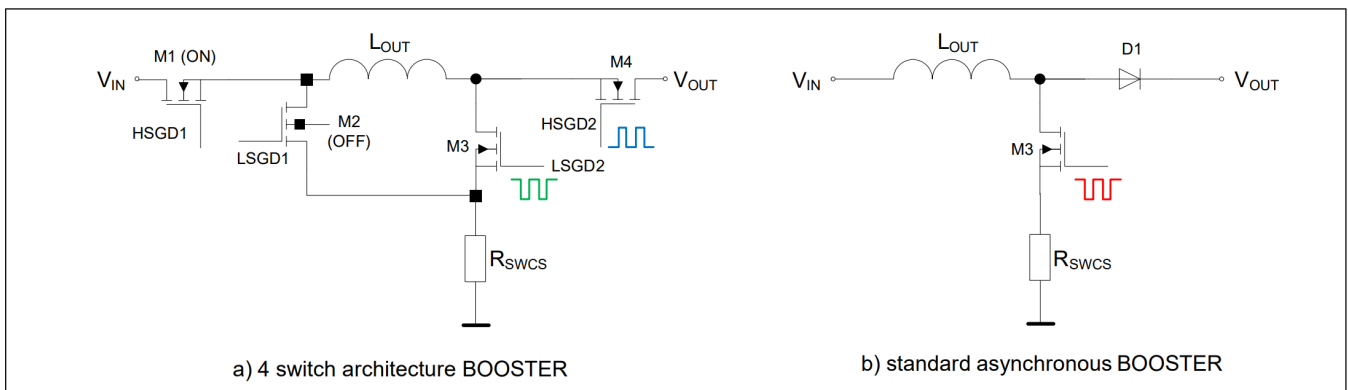


图 13 BOOST 模式下的 4 开关 H 桥架构与标准异步升压器的比较

6.4.2 降压模式 ($V_{IN} > V_{OUT}$)

- M4 常开, M3 常关
- 每个周期 M2 导通并对电感电流进行采样 (谷值电流控制)
- M2 保持导通状态, 直到 R_{SWCS} 两端达到下限基准阈值 (续流阶段)
- M2 关断, M1 导通, 直到循环结束 (通电)
- 开关 M1 和 M2 交替使用, 其行为类似于典型的同步降压调节器 (参见图 14)

调节器描述

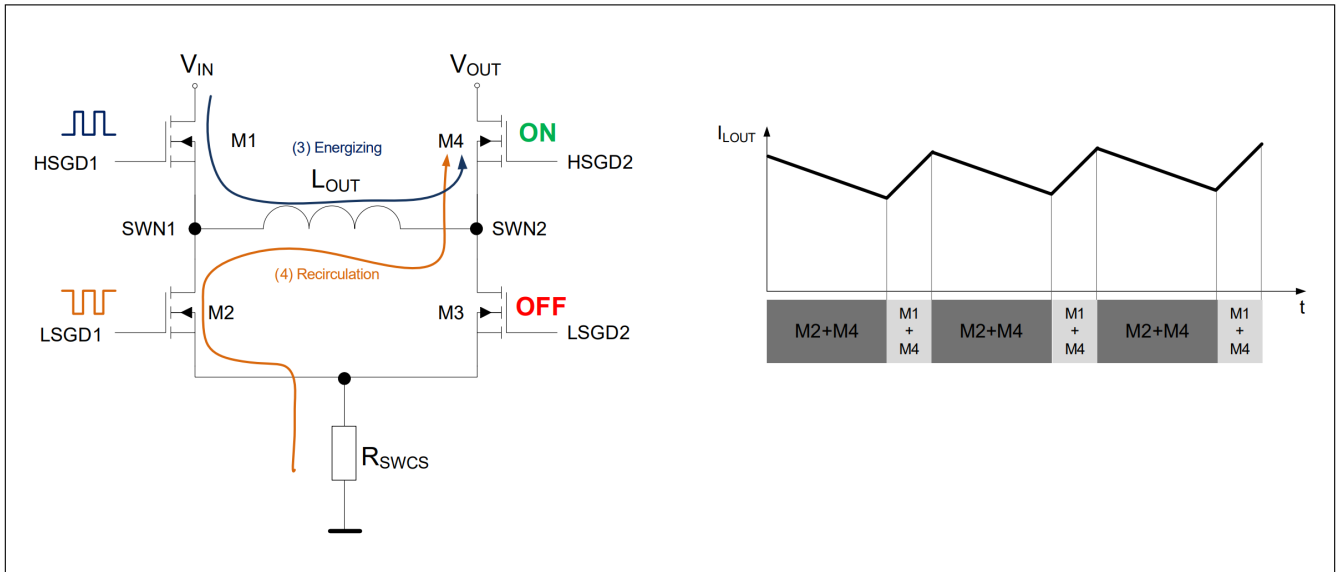


图 14 降压模式下 4 开关 H 桥架构

4 开关架构与传统异步降压方法的简单比较

- 在此模式下，M3 始终处于关断状态（开路）。
- 在此模式下，M4 始终处于导通状态（电感器与 V_{OUT} 之间的连接闭合）。
- M2 充当同步二极管，具有显著较低的通态损耗 ($I^2 \times R_{DS(on)}$ 与 $0.7 V \times I$)

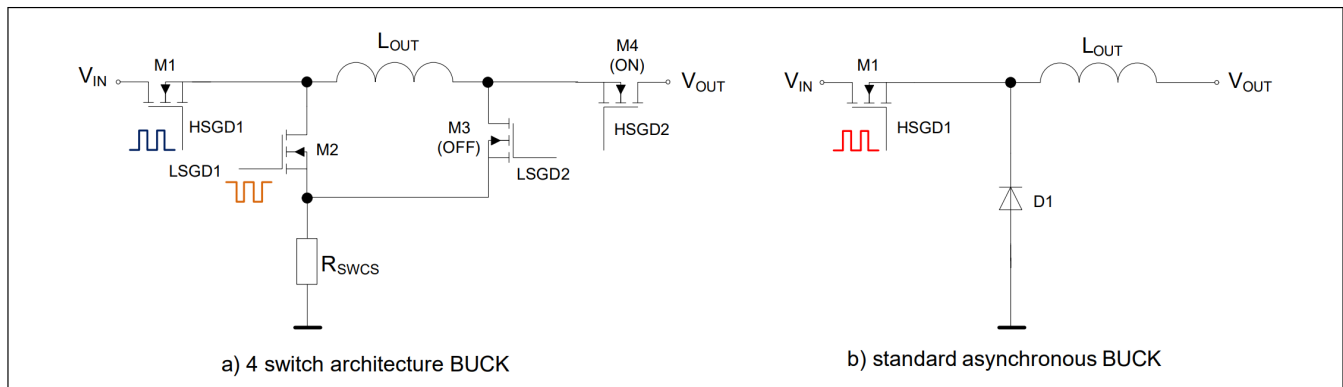


图 15 降压模式下的 4 开关 H 桥架构与标准异步降压模式的比较

6.4.3 Buck-Boost模式 ($V_{IN} \sim V_{OUT}$)

- 当 V_{IN} 接近 V_{OUT} 时，控制器处于降压-升压操作
- 所有开关均采用降压-升压操作。从输入端到输出端的直接能量传输 ($M1+M4 = ON$) 有利于减少纹波电流，提高升降压控制方案的能量效率
- 两种升降压波形和开关行为如以下图 16 所示

调节器描述

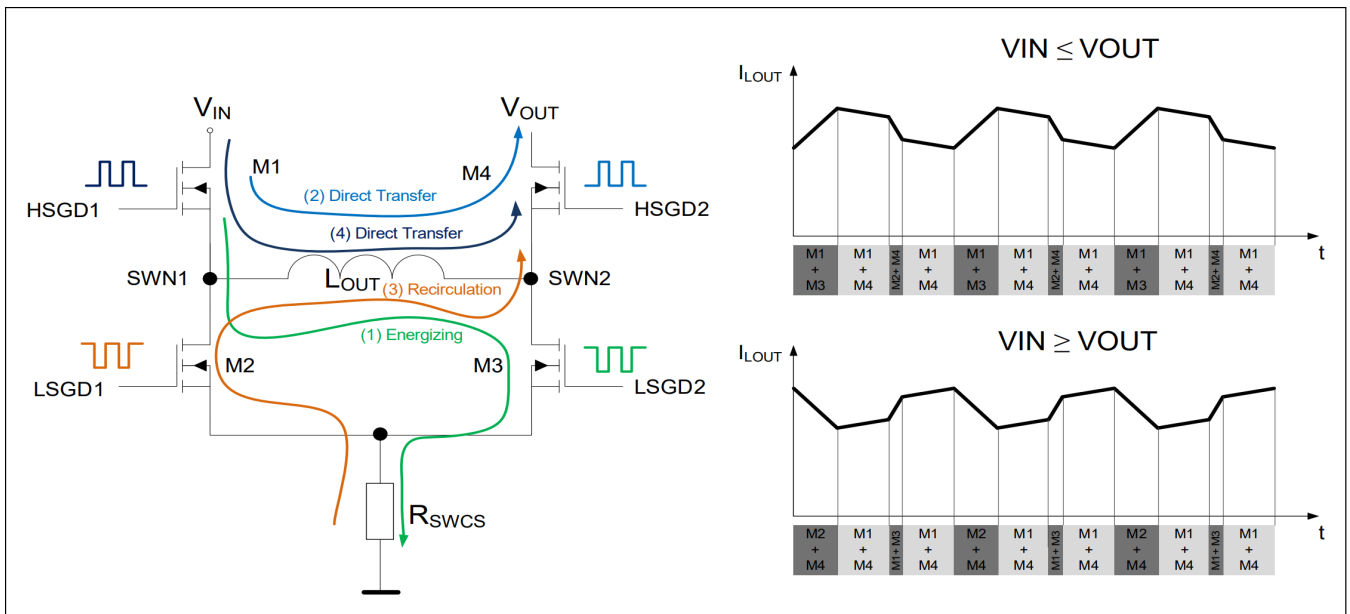


图 16 BUCK-BOOST 模式下的 4 开关 H 桥架构

6.5 快速输出放电工作模式 – 多浮动开关拓扑结构

采用多浮动开关（MFS）拓扑结构的单个 DC/DC 转换器可驱动多种照明功能。在 MFS 拓扑结构中，每个 LED 功能均串联连接，并可通过旁路开关独立关闭。由于采用串联连接，所有器件均由相同的电流驱动（但具有互补占空比的负载除外，例如：DRL, LB）。通过调整各个 PWM 占空比，可以实现不同的亮度。为了驱动该拓扑中的不同 LED 功能，可能需要一个降压升压转换器。单级降压升压拓扑效率较高，但需要几 μF 的输出电容（ C_{OUT} ）。当短路某项功能以将其关闭时，该电容器上存在的额外电压可能会在必须保持点亮的 LED 中产生电流尖脉冲。

TLD5542-1 配备了一个专用状态机，用于控制输出电容快速放电至初始输出电压的指定比例。如果对“快速输出放电”（F.D.）功能进行仔细配置，它可以在负载突变事件期间限制电流尖脉冲，从而防止 LED 受损。

多浮动开关拓扑架构及其工作原理的一个示例见图 17

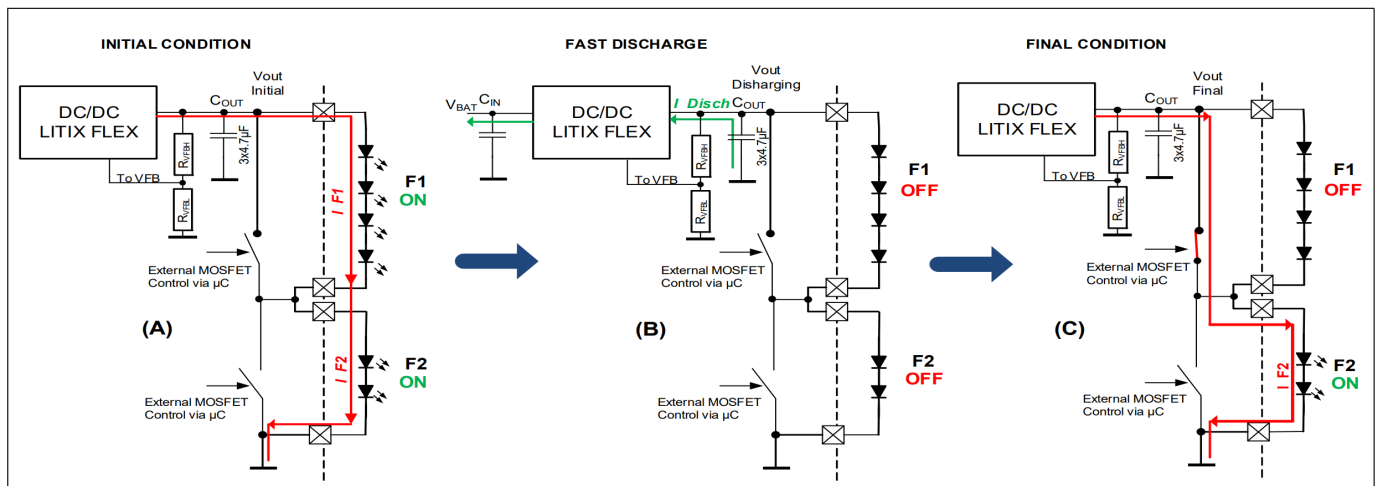


图 17 多浮动开关拓扑：2 个功能（F1+F2）切换至（F2）的操作序列

调节器描述

F.D. 操作包括在旁路开关闭合之前，将电容器 C_{OUT} 放电至最终负载电压（图 17-B）。外部微控制器软件必须确保 TLD5542-1 的 F.D. 操作与旁路开关的激活之间保持同步。

来自 C_{OUT} 的放电能量被回收至输入电容器 C_{IN} ，这可能会导致 C_{IN} 本身出现轻微的过冲。这一特性使得即使在需要进行带有重复的负载跳变的 PWM 工作时，也能实现高效设计。

当执行负向 V_{OUT} 跳变（即关闭一个或多个 LED 功能）时，需要使用 F.D. 功能；如果开启了其他 LED 功能，从而提高了输出电压，则无需使用 F.D. 功能。

如果在负载跳变期间进行了模拟调光（即从 1A LB 到 300mA DRL），即使在 V_{OUT} 正向跳变时，也可能需要对 COMP 电容器进行放电。

在 MFS 拓扑结构中，所有功能模块在负载过渡（无论是正向还是负向）期间都会出现短暂的电流中断，直到 V_{OUT} 稳定且器件控制环路能够提供目标输出电流为止。

我们将负载跳变发生前任何时刻的电压-电流或负载配置称为"初始值"（图 17-A），而系统进入新负载配置后的任何数值则称为"最终值"（图 17-C）。

设置目标 C_{OUT} 放电电压

F.D. 操作的目标输出电压 ($V_{OUTFinal}$) 以跳变开始时 V_{OUT} ($V_{OUTInitial}$) 的比例形式传递给 TLD5542-1，而非绝对值。

为了将输出电容调整到初始电压的预期比例，需要向 TLD5542-1 寄存器 MFSSETUP1 发送两条 SPI 命令。

- 第一步是在 MFSSETUP1.LEDCHAIN 中填写比例的分母
- 第二步是在 MFSSETUP1 寄存器中，分别将比例分子和多浮动切换起始位置写入 LEDCHAIN 和 SOMFS 位域中。

比例分母和分子 SPI 命令之间的时间间隔，必须足够长，以便在 FILT 电容器中采样 F.D. 的初始电压。

在执行完第二个指令后，一旦芯片选通信号被拉高，F.D. 便开始执行。在正确执行 MFS 例程后，F.D. 的最终输出电压操作大致如下：

$$V_{OUTFinal} = \frac{RatioNumerator}{RatioDenominator} \cdot V_{OUTInitial} \quad (6.5)$$

如果 RatioNumerator 大于 RatioDenominator，则输出电压保持恒定，但在整个 TPREP 期间，COMP 电容器会放电。

如果输出电压达到 $V_{FBH_S2G_dec}$ ，F.D. 操作将终止。

示例：

为了将电压从 6 个 LED (18 V) 降至 2 个 LED (6 V)，电压比应为初始电压的 1/3。因此，需要发送的 2 条 SPI 命令是：

Spi 命令 1：将 MFSSETUP1 设置为 0x06（比例分母 = 6）

Spi 命令 2：将 MFSSETUP1 设置为 0x22（比例分子+SOMFS = 0x02+0x20）

准备时间 t_{prep} ：

TLD5542-1 允许用户设置在负载跳变时一个预备时间 t_{prep} ，在此期间， C_{COMP} 将以恒流 (IEA_neg) 持续放电。

调节器描述

准备时间必须足够长，以确保电容器 C_{COMP} 能放电至目标值。

(6.6)

$$t_{DischComp} = Dvcomp \frac{C_{COMP}}{I_{EA_neg}} = t_{prep}$$

要在 TLD5542-1 上设置准备时间，必须发送一条 SPI 命令至寄存器 MFSSETUP2.MFSDLY。

下方的公式 (6.7) 描述了开关频率 f_{SW} 与 MFSSETUP2.MFSDLY 寄存器值之间的关系。

(6.7)

$$t_{prep} = \frac{1}{f_{SW}} \cdot [2 + (MFSDLY)_{dec}]$$

有关 SPI 命令的详细信息，请参阅第 12.6 章。

F.D. 过程会自动延长，直到 Cout 电容器放电至目标值，且 Tprep 超时为止。如果需要不放电 CCOMP，而仅对 Vout 进行放电，可以在 F.D. 例程中将 MFSSETUP2.MFSDLY 设置为 0，此时 Cout 仍会放电至目标电压。

快速放电阶段

通过 SPI 编程设定所需的输出电压比，设置正确的准备时间并激活状态机 (MFSSETUP1.SOMFS = HIGH) 后，TLD5542-1 会反相电感电流 I_L ，并将其负峰值维持在降低后的切换电流限制 I_{SwLim} 之下，直至 V_{OUT} 达到预设目标值。

(6.8)

$$I_{SwLim} \approx \frac{V_{SWCS_boost}}{R_{SWCS}} \cdot \frac{2}{3}$$

图 18 显示了在快速输出放电工作模式下，电感电流 I_L 与输出电压 V_{OUT} 之间的关系。

调节器描述

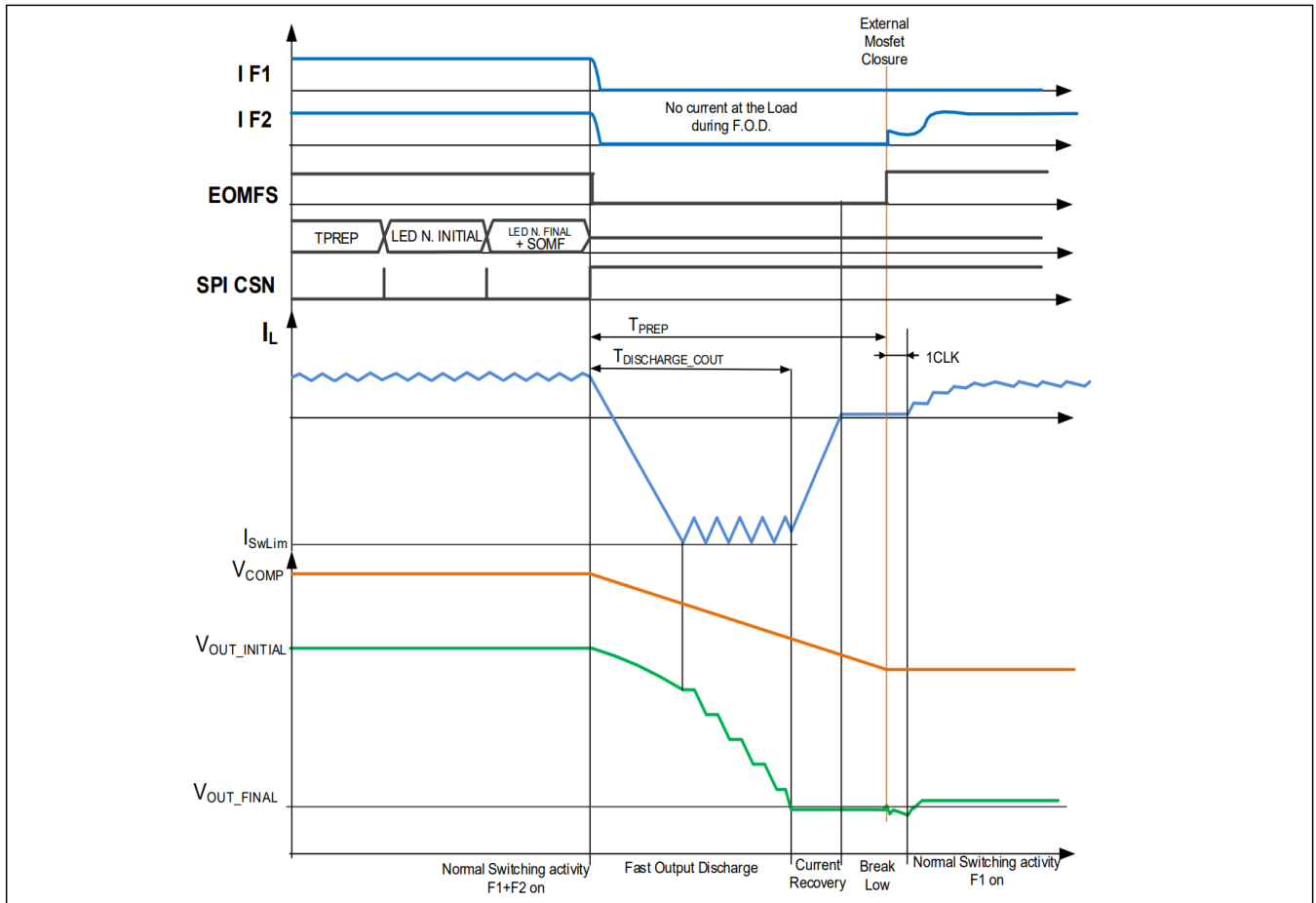


图 18 快速输出放电时序图

如果放电电流限制 I_{SwLim} 需要进一步降低，MFSSETUP1.ILIM_HALF_MFS 位将其降低至公式 (6.9) 所示值（仅在 F.D. 阶段有效，不适用于正常运行），更多详情请参见 SPI 章节第 12.6 章。

设置 EA_IOUT_MFS 位将（仅在 F.D. 阶段）降低误差放大器 A6（IEA_neg）的饱和电流，该放大器负责对 Comp 电容器进行放电。

$$I_{SwLim} \approx \frac{V_{SWCS_boost}}{R_{SWCS}} \cdot \frac{1}{2} \quad (6.9)$$

一旦 V_{OUT} 达到预设目标值，电流恢复阶段将使 I_L 从负值恢复到 0 A，且器件将保持在“制动低电平状态”（两个低边栅极驱动器均处于导通状态），直至预设的准备时间（MFSSETUP2.MFSDLY）结束。

只有当电流恢复阶段结束且 t_{prep} 超时后，SPI 标志（STD 位 EOMFS）和 EOMFS 引脚才会被置为 HIGH。在 EOMFS 被置为 HIGH 后的一个时钟周期后，TLD5542-1 将自动恢复切换。

图 18 显示了一个快速输出放电周期。

执行快速输出放电的操作顺序

要执行 F.D. 操作，用户必须：

- 通过 SPI 将比例分母发送至 MFSSETUP1.LEDCHAIN。
- 通过 SPI 设置适当的准备时间
- 通过 SPI 将比例分子 + SOMFS 发送至 MFSSETUP1.LEDCHAIN

调节器描述

- 等待准备时间结束，且 Vout 达到目标值（EOMFS 被置为高电平）
- 将浮动开关调整至新配置

如果发生 GND 短路，则该程序不会执行或会被中止。

在启动时（EN 变为高电平后），如果 PWM 从未被设置为高电平，则无法执行 F.D. 例程。

如果需要在器件启用后立即执行 F.D.（例如，在低电池复位后降低输出电压），则必须在执行 SOMFS 命令之前将 PWMI 设置为 1，且 F.D. 程序仅在 SS 超时后才会执行。

除上述 2 种例外情况外，始终可以独立于 PWM 信号和输出过压条件来执行 F.D.。

调节器描述

6.6 可编程输出电压（恒定电压调节）

对于稳压器，可根据以下公式 (6.10) 选择 R_{FB1} 、 R_{FB2} 值来设置输出电压：

$$V_{OUT} = \frac{R_{FB1} + R_{FB2}}{R_{FB1}} \cdot V_{FBH-FBL} \quad (6.10)$$

请参阅图 45 中的稳压器应用示意图。

通过电阻分压器固定输出电压后，可以通过模拟调光位 $ADIMVAL$ 改变该值。

调节器描述

6.7 电气特性

表 7 EC 调节器

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Regulator:							
$V_{FBH-FBL_REF}$ reference voltage	$V_{FBH-FBL_REF}$	145.5	150	154.5	mV	ADIMVAL = 240;	P_6.4.1
$V_{FBH-FBL_REF}$ reference voltage	$V_{FBH-FBL_REF}$	12	15	18	mV	ADIMVAL =24; Calibration Procedure not performed	P_6.4.5
FBH Bias current @ highside sensing setup	I_{FBH_HSS}	65	110	155	μA	1) V_{FBL} = 7 V; $V_{FBH} - FBL$ = 150 mV;	P_6.4.8
FBL Bias current @ highside sensing setup	I_{FBL_HSS}	17	30	43	μA	1) V_{FBL} = 7 V; $V_{FBH} - FBL$ = 150 mV;	P_6.4.9
A6 sense Amp +sat current	I_{EA_pos}	25	29	33	μA	1) V_{COMP} = 1V; ADIMVAL = 240; $V_{FBH} - FBL$ = 0 mV	P_6.10.2
A6 sense Amp -sat current	I_{EA_neg}	-63	-56	-49	μA	1) V_{COMP} = 1V; ADIMVAL = 240; $V_{FBH} - FBL$ = 500 mV	P_6.10.3
A5A6 sense Amp g_m	$IFBx_{gm}$	–	890	–	μS	1) EA_GM =0	P_6.4.10
Output Monitor Voltage	$V_{IOUTMON}$	1.33	1.4	1.47	V	$V_{FBH} - FBL$ = 150 mV;	P_6.4.11
Maximum BOOST Duty Cycle	D_{BOOST_MAX}	89	91	93	%	1) f_{sw} = 300 kHz;	P_6.4.12
Input current Monitor Voltage	V_{IINMON}	0.95	1	1.05	V	1) $V_{IIN1} - IIN2$ = 50 mV; $V_{IIN1} = V_{VIN(ON)}$ to 55 V;	P_6.4.15
Switch Peak Over Current Threshold - BOOST	V_{SWCS_boost}	70	76	82	mV	1)	P_10.8.15
Switch Peak Over Current Threshold - BUCK	V_{SWCS_buck}	-60	-50	-40	mV	1)	P_10.8.16
Soft Start							
Soft Start pull up current	$I_{Soft_Start_PU}$	22	26	32	μA	V_{Soft_Start} = 1 V;	P_6.4.19
Soft Start pull down current	$I_{Soft_Start_PD}$	2.2	2.6	3.2	μA	V_{Soft_Start} = 1 V;	P_6.4.20
Soft Start Latch-OFF Threshold	$V_{Soft_Start_LOFF}$	1.65	1.75	1.85	V	–	P_6.4.21
Soft Start Reset Threshold	$V_{Soft_Start_RESET}$	0.1	0.2	0.3	V	–	P_6.4.22

调节器描述

表 7 EC 调节器 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Soft Start Voltage during regulation	$V_{\text{Soft_Start_reg}}$	1.9	2	2.1	V	¹⁾ No Faults	P_6.9.3
Output Current init reference Voltage $V_{\text{FBH-FBL}}$	$V_{\text{FBH-FBL_IN}}$	11	17.5	24	mV	$V_{\text{FB}} = 1.4\text{ V}$;	P_10.8.10
Output Current EA_GM boost reference Voltage $V_{\text{FBH-FBL}}$	$V_{\text{FBH-FBL_EA}}$	–	120	–	mV	¹⁾ $V_{\text{FB}} = 1.4\text{ V}$; ADIMVAL = 240;	P_6.10.4

Oscillator

Switching Frequency	f_{SW}	285	300	315	kHz	$T_J = 25^\circ\text{C}$; $R_{\text{FREQ}} = 37.4\text{ k}\Omega$;	P_6.4.23
SYNC Frequency	f_{SYNC}	200	–	700	kHz	–	P_6.4.24
SYNC Turn On Threshold	$V_{\text{SYNC_ON}}$	2	–	–	V	–	P_6.4.25
SYNC Turn Off Threshold	$V_{\text{SYNC_OFF}}$	–	–	0.8	V	–	P_6.4.26
SYNC High Input Current	$I_{\text{SYNC_H}}$	15	30	45	μA	$V_{\text{SYNC}} = 2.0\text{ V}$;	P_6.4.62
SYNC Low Input Current	$I_{\text{SYNC_L}}$	6	12	18	μA	$V_{\text{SYNC}} = 0.8\text{ V}$;	P_6.4.63

Gate Driver for external Switch

Gate Driver undervoltage threshold $V_{\text{BST1,2}} - V_{\text{SWN1,2_UVth}}$	$V_{\text{BST1,2}} - V_{\text{SWN1,2_UVth}}$	3.4	–	4	V	$V_{\text{BST1,2}} - V_{\text{SWN1,2}}$ decreasing;	P_6.4.64
HSGD1,2 NMOS driver on-state resistance (Gate Pull Up)	$R_{\text{DS(ON_PU)HS}}$	1.4	2.3	3.7	Ω	$V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$; $I_{\text{source}} = 100\text{ mA}$;	P_6.4.28
HSGD1,2 NMOS driver on-state resistance (Gate Pull Down)	$R_{\text{DS(ON_PD)HS}}$	0.6	1.2	2.2	Ω	$V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$; $I_{\text{sink}} = 100\text{ mA}$;	P_6.4.29
LSGD1,2 NMOS driver on-state resistance (Gate Pull Up)	$R_{\text{DS(ON_PU)LS}}$	1.4	2.3	3.7	Ω	$V_{\text{VCC_EXT}} = 5\text{ V}$; $I_{\text{source}} = 100\text{ mA}$;	P_6.4.30
LSGD1,2 NMOS driver on-state resistance (Gate Pull Down)	$R_{\text{DS(ON_PD)LS}}$	0.4	1.2	1.8	Ω	$V_{\text{VCC_EXT}} = 5\text{ V}$; $I_{\text{sink}} = 100\text{ mA}$;	P_6.4.31
HSGD1,2 Gate Driver peak sourcing current	$I_{\text{HSGD1,2_SRC}}$	380	–	–	mA	¹⁾ $V_{\text{HSGD1,2}} - V_{\text{SWN1,2}} = 1\text{ V}$ to 4 V ; $V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$	P_6.4.32
HSGD1,2 Gate Driver peak sinking current	$I_{\text{HSGD1,2_SNK}}$	410	–	–	mA	¹⁾ $V_{\text{HSGD1,2}} - V_{\text{SWN1,2}} = 4\text{ V}$ to 1 V ; $V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$	P_6.4.33

调节器描述

表 7 EC 调节器 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
LSGD1,2 Gate Driver peak sourcing current	$I_{LSGD1,2_SRC}$	370	–	–	mA	¹⁾ $V_{LSGD1,2} = 1\text{ V to }4\text{ V};$ $V_{IVCC_EXT} = 5\text{ V};$	P_6.4.34
LSGD1,2 Gate Driver peak sinking current	$I_{LSGD1,2_SNK}$	550	–	–	mA	¹⁾ $V_{LSGD1,2} = 4\text{ V to }1\text{ V};$ $V_{IVCC_EXT} = 5\text{ V};$	P_6.4.35
LSGD1,2 OFF to HSGD1,2 ON delay	$t_{LSOFF-HSON_delay}$	15	30	40	ns	¹⁾	P_6.4.36
HSGD1,2 OFF to LSGD1,2 ON delay	$t_{HSOFF-LSON_delay}$	35	60	75	ns	¹⁾	P_6.4.37

1) 未经过生产测试, 由设计指定

7 数字调光功能

采用 PWM 调光来改变 LED 亮度，同时大大减少色度偏移。PWM 调光通过改变 LED 串中恒流的占空比来实现亮度降低。

7.1 描述

PWM 信号可以按照如下所述传输到 TLD5542-1。

通过直接接口的PWM

PWMI 引脚可馈送脉冲宽度调制（PWM）信号，当该信号为高电平时启用主开关的栅极驱动器，当该信号为低电平时禁用主开关的栅极驱动器。

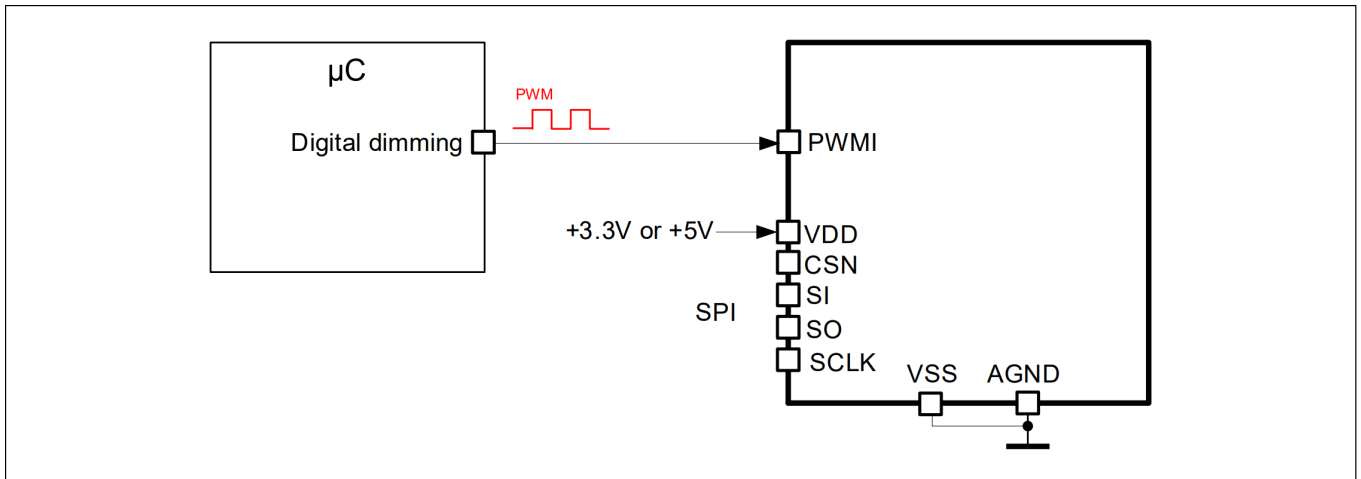


图 19 数字调光概述

注： 在寄存器 `REGUSETMON.REGUMODFB` 中可以读取调节模式。当 `PWMI = LOW` 时，SPI 将始终将 `PWMI = HIGH` 时的调节模式作为当前调节模式输出，而不是“无调节”。

为了避免由于没有软启动辅助启动而导致不必要的输出过冲，不应使用低电平状态下的 PWM 调光来长时间暂停输出电流。要安全地停止运行，可以使用 `DVCCTRL.IDLE = HIGH` 或 `EN/INUVLO = LOW`。

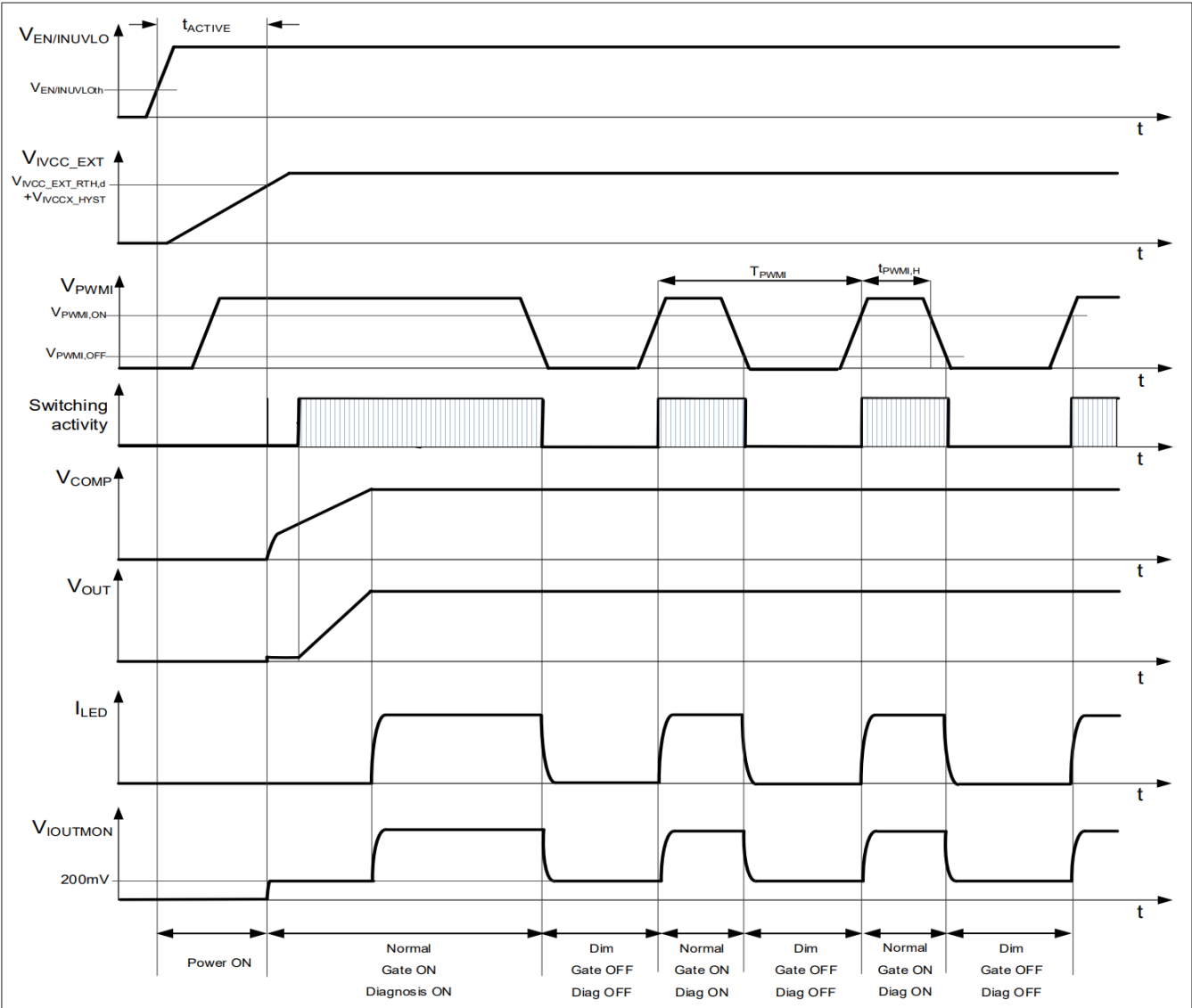


图 20 LED 调光和启动行为示例图 (V_{DD} 和 V_{IN} 在工作范围内稳定，而不是在启动期间稳定)

7.2 电气特性

表 8 EC 数字调光

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
PWMI Input:							
PWMI Turn On Threshold	V _{PWMI,ON}	2	–	–	V	–	P_7.2.1
PWMI Turn Off Threshold	V _{PWMI,OFF}	–	–	0.8	V	–	P_7.2.2
PWMI High Input Current	I _{PWMI,H}	15	30	45	μA	V _{PWMI} = 2.0 V;	P_7.2.4
PWMI Low Input Current	I _{PWMI,L}	6	12	18	μA	V _{PWMI} = 0.8 V;	P_7.2.5

模拟调光和“跛行回家”模式

8 模拟调光和“跛行回家”模式

如果将 TLD5542-1 用作电流调节器，其模拟调光功能可将 LED 峰值电流电平从默认最大值进行调节。如果将该器件用作稳压器，则可利用模拟调光功能来降低输出电压。本章假设将其用作电流调节器。

8.1 描述

输出电流 I_{OUT} 的计算公式如下 (8.1)

$$I_{OUT} = \frac{V_{FBH} - V_{FBL}}{R_{FB}} \quad (8.1)$$

模拟调光功能通过控制反馈误差放大器基准电压 $V_{FBH-FBL_REF}$ 来调节平均 LED 电流水平。

在默认状态下 ($DAC_OFF = 0$ 且 $LHI = LOW$)，电流调节是通过一个 8 位 SPI 参数 ($LEDCURRADIM.ADIMVAL$) 实现的，如图 21 所示。

如果 $DAC_OFF = 1$ ，则误差放大器的基准电压为 SET 引脚电压与 DAC 值之间的较小值。因此，为了通过 SET 引脚实现满量程调光，必须将 $ADIMVAL$ 设置为 240。

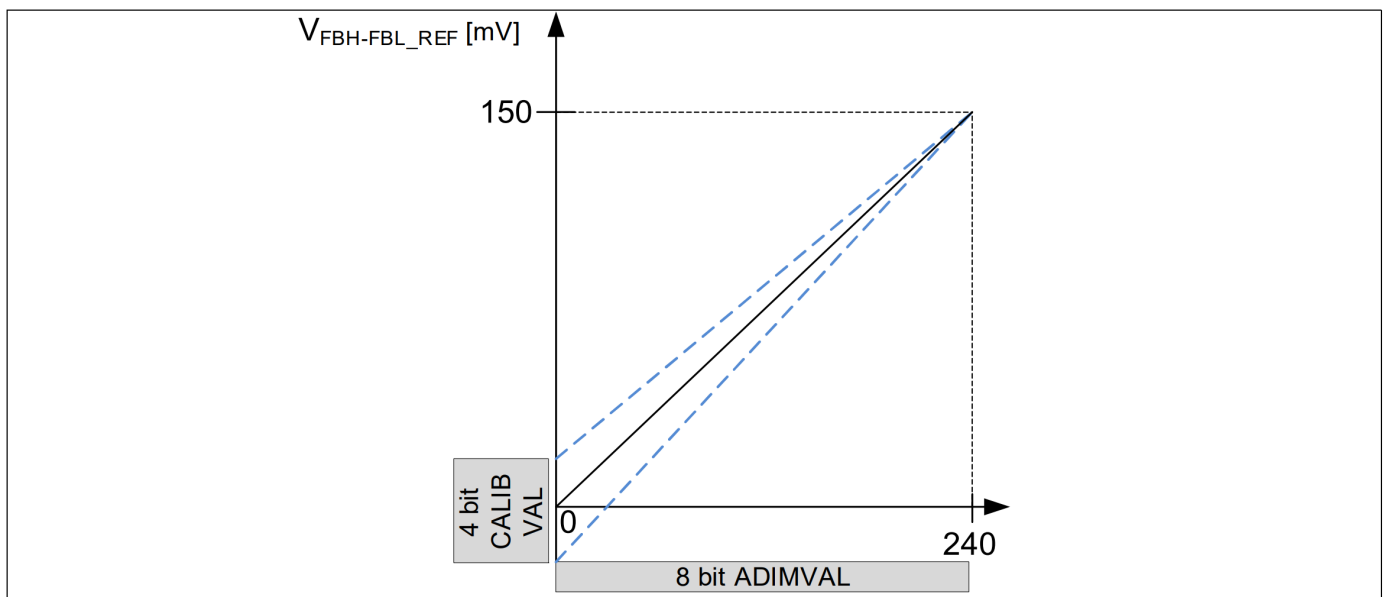


图 21 模拟调光概述

跛行回家功能状态下的模拟调光调节：

要进入跛行回家功能状态， LHI 引脚必须为高电平。

注： 如果 $PWMI$ 和 $EN/INUVLO$ 未设置为高电平，则即使在跛行回家状态下也无法启用开关。

在跛行回家状态下，或者当 $DAC_OFF = 1$ 时，模拟调光控制通过 SET 引脚实现。可在 $IVCC/IVCC_EXT$ 、SET 和 GND 之间使用一个电阻分压器来设定负载电流/电压值（参见下文）。

进入“跛行回家”模式时，器件将通过 F.D. 例程对输出电容进行放电，直至电压降至 $V_{FBH_S2G_dec}$ ($MFSDLY$ 设置为默认值)。在 F.D. 例程结束时，如果 $PWMI$ 保持高电平，器件将开始根据 SET 引脚提供的模拟调光电平进行稳压。

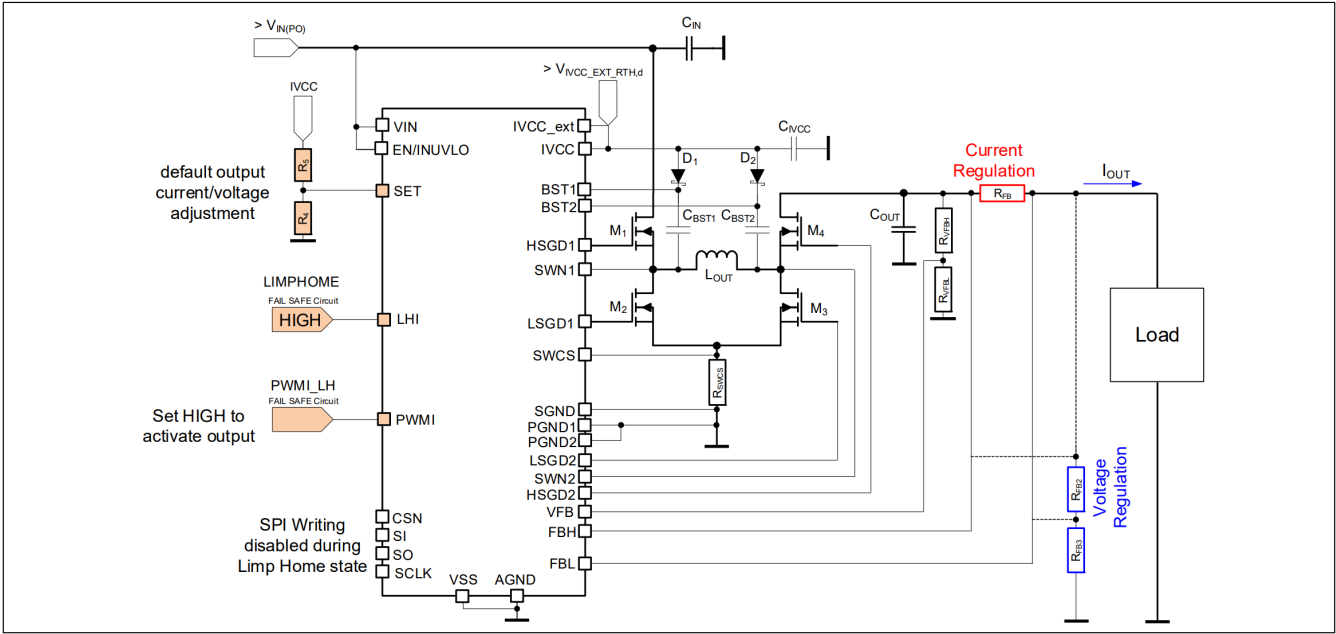


图 22 跛行回家状态原理图概述

使用 SET 引脚调节输出电流：

在跛行回家状态下，或者当 DAC_OFF = 1 时，平均 I_{OUT} 可以通过将 SET 引脚的电压 (V_{SET}) 控制在 0.2 V 至 1.4 V 之间来调节。典型的 I_{OUT} 行为由公式 (8.2) 描述如下：

$$I_{OUT} = \frac{V_{SET} - 200 \text{ mV}}{R_{FB} \cdot 8} \quad (8.2)$$

如果 V_{SET} 为 200 mV（典型值），则 LED 电流仅由比较器的内部偏移电压决定。为确保开关活动停止且 $I_{OUT} = 0$ ， V_{SET} 必须小于 100 mV，参见图 23。

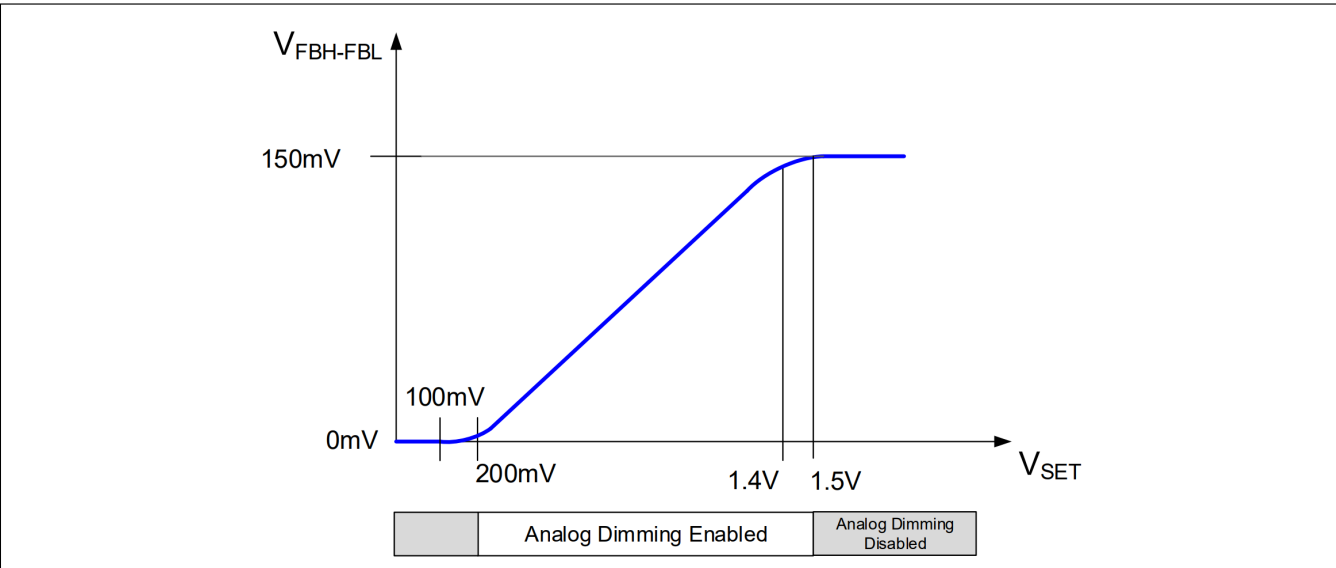


图 23 模拟调光概述

8.2 LED 电流校准程序

LED 电流校准程序提高了模拟调光的精度。为了达到最佳效果，必须在应用中执行此程序，即在 TLD5542-1 需要精确工作的温度和输出电压条件下执行。

模拟调光和“跛行回家”模式

程序运行期间输出电流必须为 0。最佳做法是，每当应用程序的 PWMI = LOW 持续足够长的时间时，就定期重新校准输出。

电流校准流程：

- 使用低电平模拟调光值（例如 10%）为负载供电
- 置位 PWMI = LOW 并同时断开负载（以避免 Vout 偏离工作状态并使输出电流为 0）
- 快速（为了避免 Vout 漂移） μC 启用校准程序：DVCCTRL.ENCAL = HIGH
- 快速（为了避免 Vout 漂移） μC 开始校准：LEDCURRCAL.SOCAL = HIGH
- 等待时间（内部执行校准程序所需） $\rightarrow$ 大约 200 μs
- TLD5542-1 当校准程序完成时，将置位标志：LEDCURRCAL.EOCAL = HIGH
- 重新连接负载
- 输出电流自动调节至低电平偏置和更准确的模拟调光值

一旦正确执行校准程序，当模拟调光值为 10%（LEDCURRADIM.ADIMVAL = 24）时，输出电流精度为 10%。

校准程序不会影响 100% 模拟调光的精度。ENCAL 位影响器件操作和 CALIBVAL 读数结果：

- ENCAL = HIGH：来自程序的校准结果由内部电路使用，并可从 CALIBVAL 读回
 - ENCAL = LOW：写入 CALIBVAL 的 SPI 值由内部电路使用，并且可以读回；校准程序启动被禁止
- 因此， μC 可以使用先前执行的校准所存储的结果来直接施加所需值，而无需等待新例程完成。

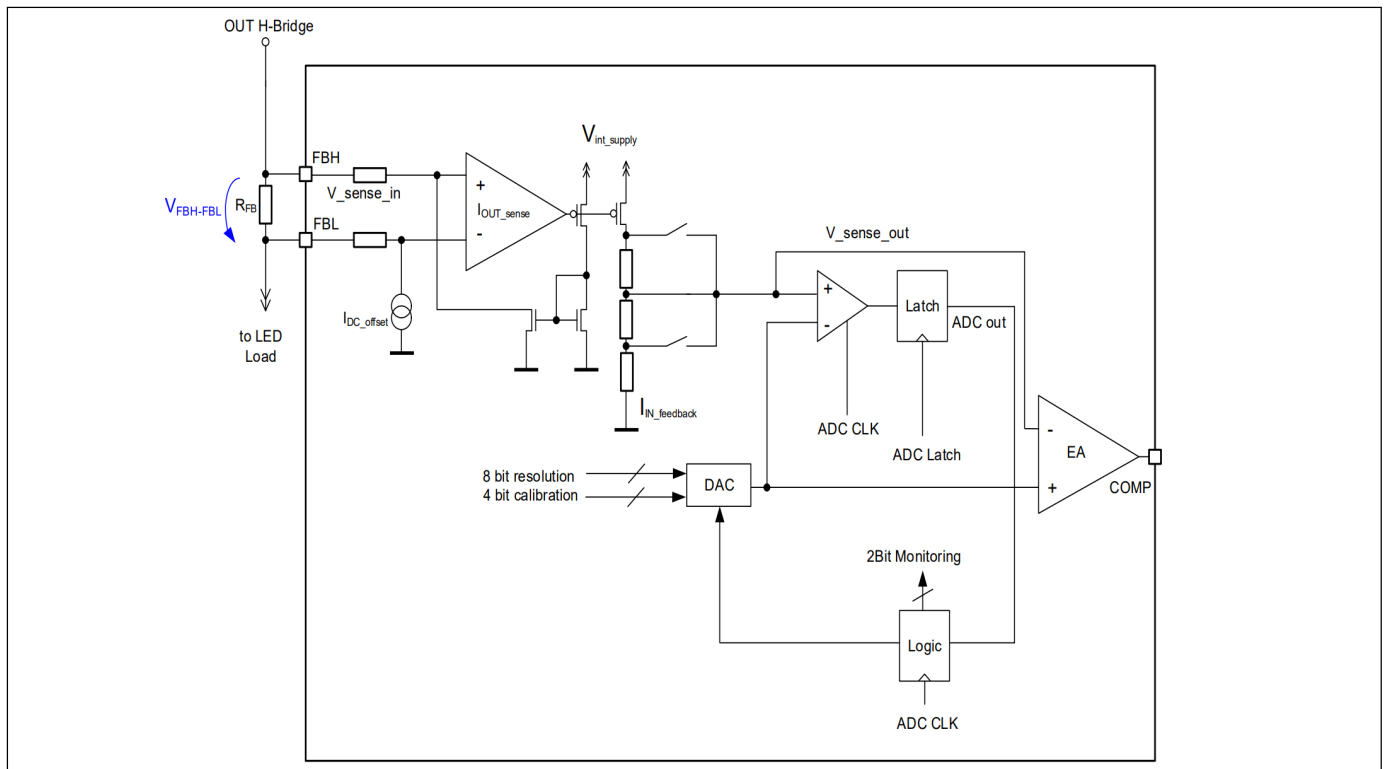


图 24 LED 电流精度校准概述

8.3 电气特性

表 9 EC 模拟调光

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Source current on SET Pin	I_{SET_source}	–	–	1	μA	¹⁾ $V_{SET} = 0.2\text{ V}$ to 1.4 V ;	P_8.3.4

1) 设计指定: 不经过生产测试。

9 线性调节器

TLD5542-1 具有一个集成稳压器，用于为内部栅极驱动器级供电。此外，如果需要，可以将外部稳压器连接到 IVCC_EXT 引脚，以实现替代的栅极驱动器电源。

9.1 IVCC 描述

当 IVCC 引脚连接到 IVCC_EXT 引脚时，内部线性稳压器为内部栅极驱动器提供 5 V 的典型电压和高达 I_{LIM} (P_9.2.2) 的电流。IVCC 引脚上需要一个具有低 ESR 的外部输出电容器，以实现稳定性并缓冲瞬态负载电流。在正常运行期间，外部 MOSFET 开关将从线性稳压器及其输出电容器汲取瞬态电流（图 25，图 A）。必须考虑输出电容器的适当尺寸，以便为外部 MOSFET 开关的栅极提供足够的峰值电流。最小电容值在参数 C_{IVCC} (P_9.2.4) 中给出。

替代 IVCC_EXT 供电概念：

IVCC_EXT 引脚可用于外部电源电压，作为一种替代方案为 MOSFET 栅极驱动器供电。此概念在高输入电压范围内非常有用，可避免 IC 内部的功率损失（图 25，图 B）。

外部开关 MOSFET 的集成欠压保护：

集成欠压复位阈值电路监控线性调节器输出电压。如果 IVCC 或 IVCC_EXT 电压低于其欠压复位关断阈值 $V_{IVCC_RTH,d}$ (P_9.2.9) 和 $V_{IVCC_EXT_RTH,d}$ (P_9.2.5)，该欠压复位阈值电路将关闭栅极驱动器。

在跛行回家功能状态下，IVCC 的欠压复位关断阈值对开关活动没有影响。

IVCC 和 IVCC_EXT 引脚的欠压复位阈值有助于保护外部开关免受过度功耗损失的影响，确保栅极驱动电压足以增强外部逻辑电平 N 沟道 MOSFET 的栅极。

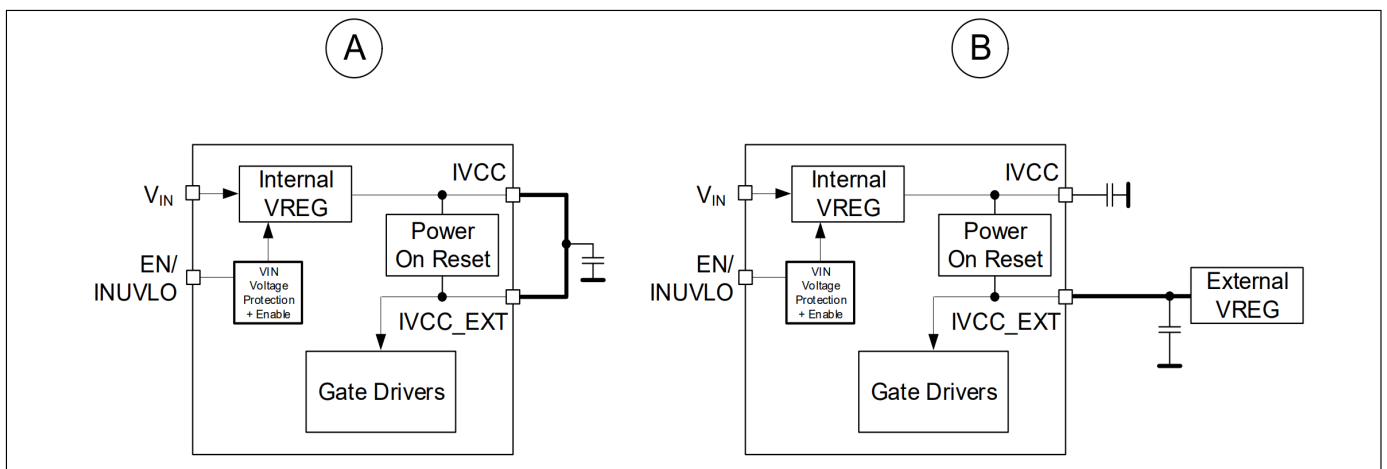


图 25 稳压器配置

线性调节器

9.2 电气特性

表 10 EC 线性调节器

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
IVCC							
Output Voltage	V _{IVCC}	4.8	5	5.2	V	V _{IN} = 13.5 V; 0.1 mA ≤ I _{IVCC} ≤ 50 mA;	P_9.2.1
Output Current Limitation	I _{LIM}	70	90	110	mA	1) V _{IVCC} = 4 V;	P_9.2.2
Drop out Voltage (V _{IN} - V _{IVCC})	V _{DR}	–	200	350	mV	V _{IN} = 5 V; I _{IVCC} = 10 mA;	P_9.2.3
IVCC Buffer Capacitor	C _{IVCC}	10	–	–	μF	1) 2)	P_9.2.4
IVCC_EXT Undervoltage Reset switch OFF Threshold	V _{IVCC_EXT_R} TH,d	3.6	3.8	4.0	V	3) V _{IVCC_EXT} decreasing;	P_9.2.5
IVCC Undervoltage Reset switch OFF Threshold	V _{IVCC_RTH,d}	3.6	3.8	4.0	V	3) V _{IVCC} decreasing;	P_9.2.9
IVCC and IVCC_EXT Undervoltage Hysterisis	V _{IVCCX_HYST}	0.315	0.365	0.395	V	V _{IVCC} increasing; V _{IVCC_EXT} increasing;	P_9.2.6

1) 未经过生产测试, 由设计指定

2) 给定的最小值是调节器稳定性所必需的; 应用可能需要比最小值更高的电容。使用低 ESR 的电容器。

3) 外部开关 MOSFET 的选择至关重要。 $V_{IVCC_EXT_RTH,d}$ 和 $V_{IVCC_RTH,d}$ min. 必须作为最坏情况下的 V_{GS} 加以考虑。

10 保护和诊断功能

10.1 描述

TLD5542-1 集成电路可诊断并防止过压、负载短路和过温故障，同时，器件通过 SPI 向 μC 提供 I_{LED} 和 I_{IN} 的 2 位信息。

空闲状态下，按照规格，仅上报过温关机、过温警告、IVCC 或 IVCC_EXT 欠压监测、 V_{DD} 或 $V_{\text{EN/INUVLO}}$ 欠压监测。

下图显示保护、诊断和监测功能的概述。

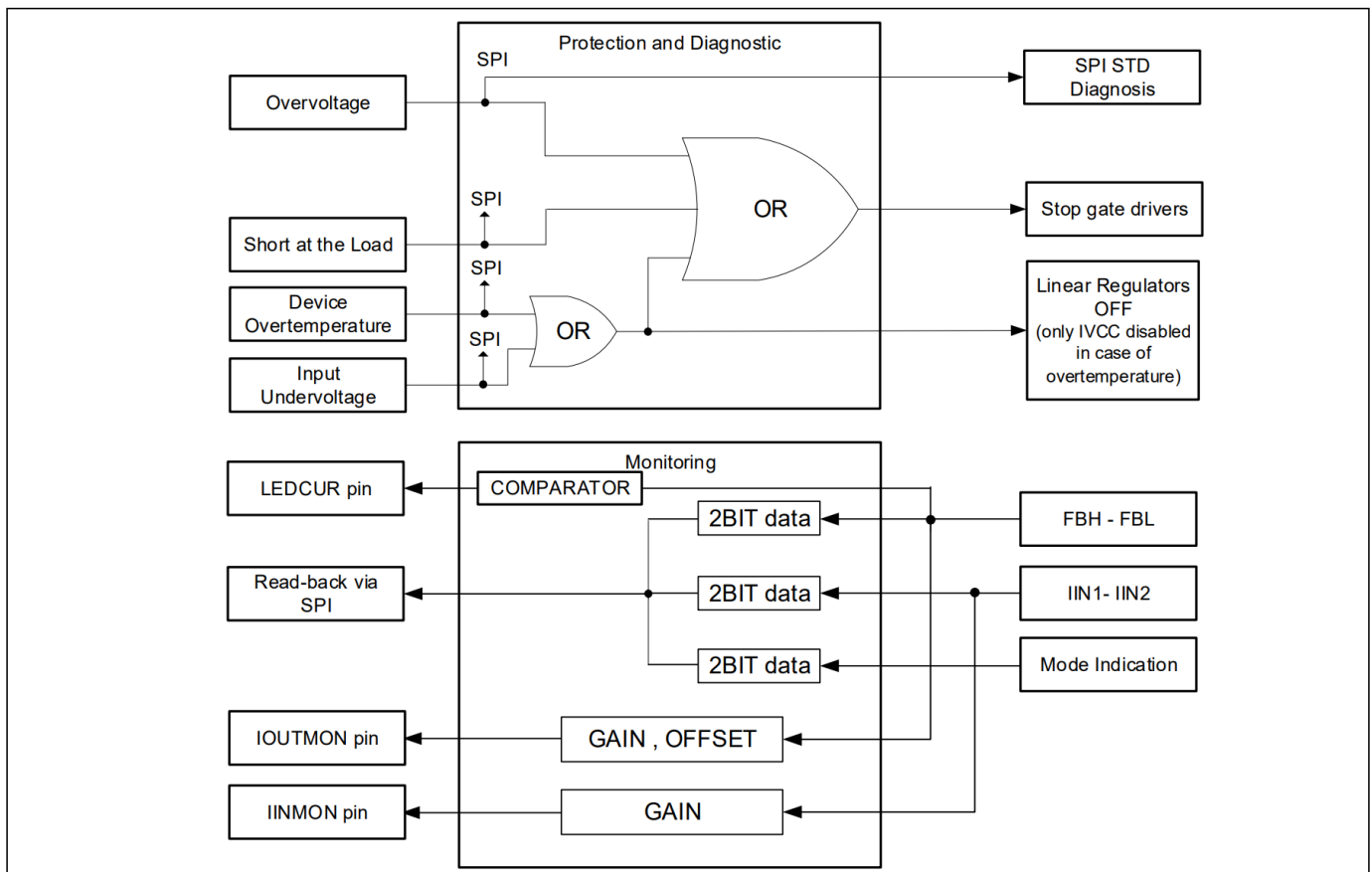


图 26 保护、诊断和监测概述 - TLD5542-1

注：器件过热事件会优于所有其他故障事件！

10.2 输出过压、短路保护

VFB 引脚用于测量应用输出端的电压，并根据已安装的电阻分压器设置过压阈值。

输出端的 GND 短路由 FBH 引脚上的固定阈值检测

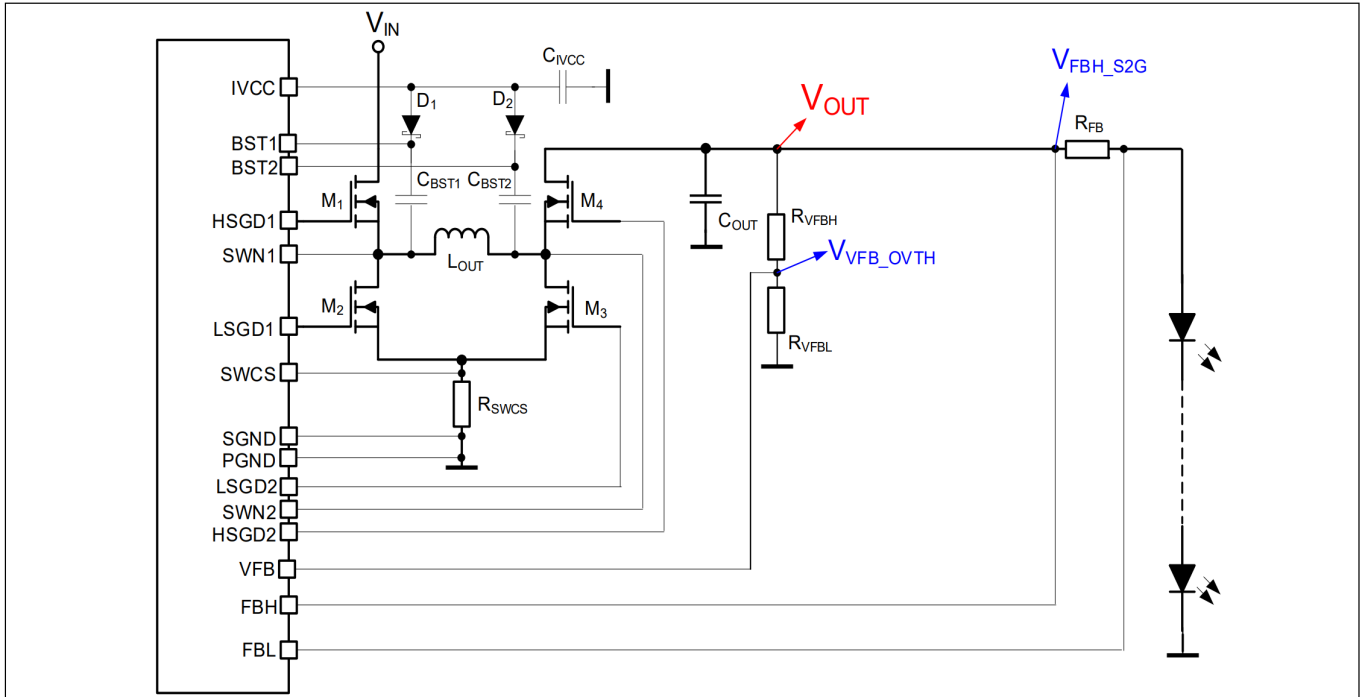


图 27 过压和对地短路保护引脚 - 概述

10.2.1 短路保护

如果验证了以下条件，则该器件检测到输出短路：

- 引脚 FBH 低于阈值电压 $V_{FBH_S2G_dec}$ 至少 8 个时钟周期

通过将 SWTMOD.S2G_OFF 设置为 1，可以禁用短路保护，这对于高输出电压摆幅的应用（如 MFS 拓扑）可能很有用。如果发生对 GND 短路，该器件将仅向 GND 调节预设电流，而不会对应用造成危害。

在软启动的上升沿期间，短路检测将被忽略，直到 $V_{SOFT_START_LOFF}$ （见图 8）。

短路检测后，STD 诊断寄存器中的 SPI 标志（SHRTLED）将被置为高电平，栅极驱动器将停止提供输出电流（制动低电平状态，两个 LS MOSFET 均导通）。器件将按照第 6.2 章所述的软启动程序自动重启。在 STD 诊断的下一个读取周期结束后，专用诊断标志（SHRTLED）将被清零。

为防止启动后出现 S2G 误触发，必须使用容量足够大的软启动电容器，以确保输出电压能够升至 S2G 阈值以上。

注：如果短路条件消失，器件将按照第 6.2 章中描述的软启动程序重新启动。

10.2.2 过压保护

通过在 V_{OUT} 、VFB 引脚和 AGND 之间设置一个分压器，可以调节 V_{OUT} 的过压保护阈值 (V_{OUT_OV})，参见图 27 及公式 (10.1)：

$$V_{OUT_OV} = V_{VFB_OVTH} \cdot \frac{R_{VFBH} + R_{VFB L}}{R_{VFB L}} \quad (10.1)$$

如果 V_{VFB} 高于其过压阈值 V_{VFB_OVTH} ，则 STD 诊断中的 SPI 标志 (OUTOV) 将被设置为 HIGH，栅极驱动器将停止进行输出调节的开关操作（处于“制动-低”状态，两个 LS MOSFET 均导通）。当达到 $V_{VFB_OVTH} - V_{VFB_OVTH,HYS}$ 阈值时，器件将自动重启。在 STD 诊断的下一个读取周期结束后，专用诊断标志 (OUTOV) 将被清除。

如果过压阈值 V_{OUT_OV} 低于最大 V_{IN} 应用工作范围，则需要注意过压行为。

如果在过压事件期间负载电流持续存在，则可能会以高频率发生重复的过压触发。这会阻止电感电流调节，并且输出电流甚至可能会增加。为了避免这种情况，需要适当选择外部元件的尺寸（即增加输出电容或过压阈值以延迟过压触发）。

10.3 输入电压监测、保护

输入欠压关断电平可通过外部电阻分压器设定，如图所示。

EN/INUVLO 引脚电压通过迟滞比较器在内部与其各自的阈值进行比较。

忽略迟滞，保持以下方程：

$$UV_{th} = \frac{R_1 + R_2}{R_2} \cdot EN/INUVLO_{th} \quad (10.2)$$

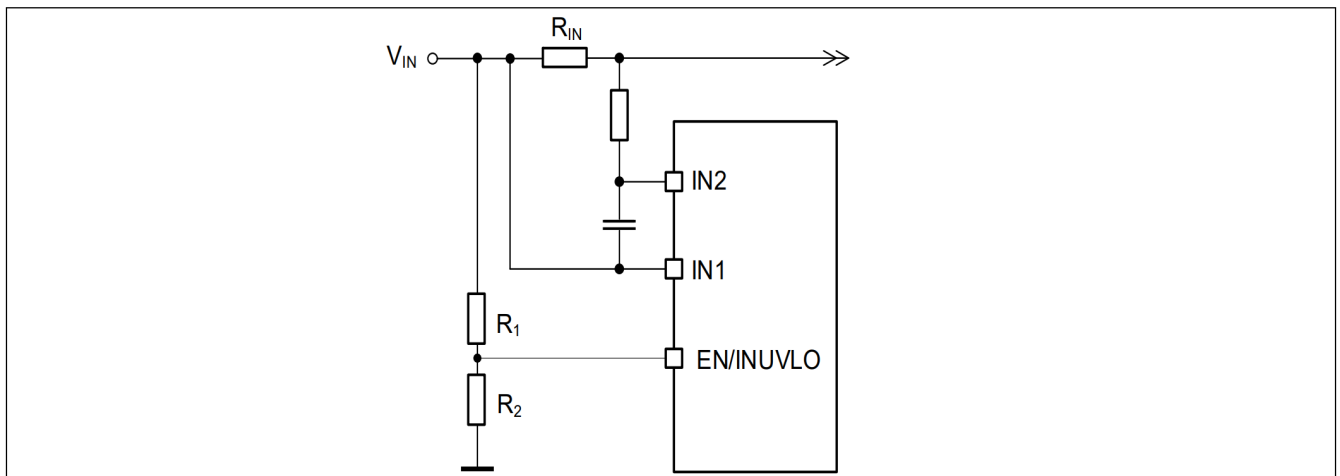


图 28 输入电压保护

10.4 输入电流监测

这两个输入端 (IIN1、IIN2) 可用于监测输入电流。

通过 IIN1 和 IIN2 引脚测得的输入电流，可通过模拟输出引脚和 SPI 例程进行监控。

保护和诊断功能

IINMON 引脚提供流过输入端的电流的线性指示。下列公式 (10.3) 适用：

$$V_{IINMON} = I_{IN} \cdot R_{IN} \cdot 20 \quad (10.3)$$

输入电流监测例程的目的是验证输入电流电平是否在输入电流检测阈值 $V_{IIN1-IIN2}$ 的范围内。

- 输入电流检测的输出与内部高精度基准电压进行比较
- 该比较器的工作原理类似于一个以内部高精度基准电压为基准的 2 位窗口式模数转换器 (ADC)。

要执行电流监测器例程，CURRMON.SOMON 位必须置位为高，当 CURRMON.EOMON 读为高时，结果已就绪。

输入监视例程的结果通过 CURRMON.INCURRE 位报告。

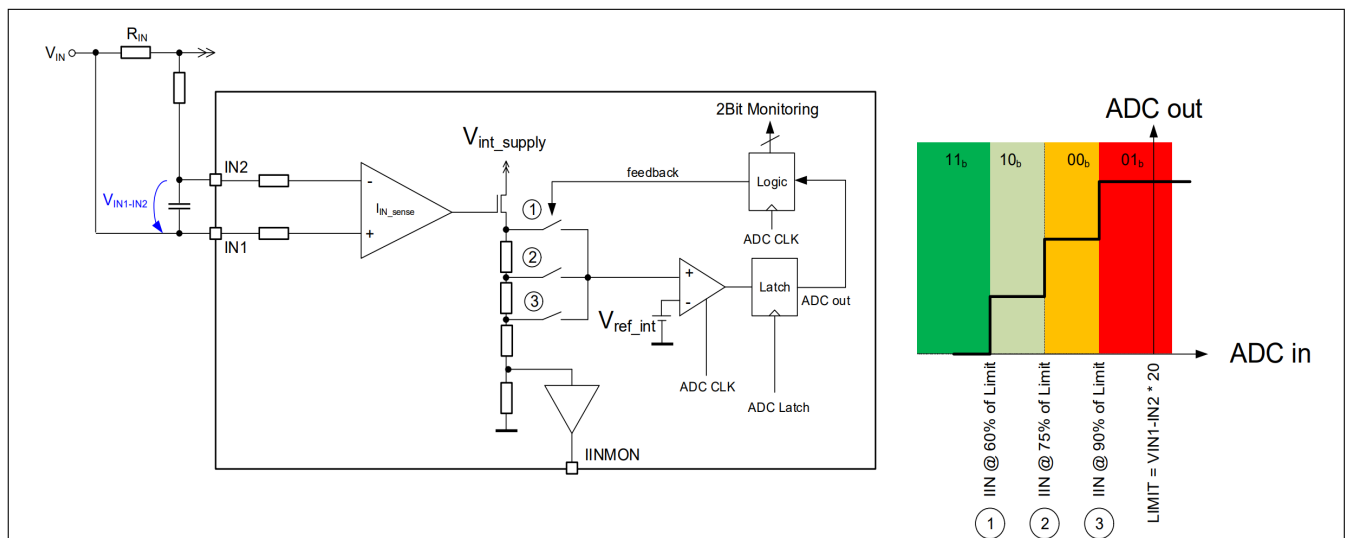


图 29 输入电流监测概述

10.5 输出电流监测

可以通过模拟输出引脚、开漏标志、SPI 例程和 STD 诊断位来监控输出电流。

LEDCUR 是一个开漏输出信号，用于检测 MFS 拓扑结构中的 LED 电流。相应的检测阈值由 k_{LEDC_INC} 和 k_{LEDC_DEC} 定义。

当 $V_{FBH-FBL}/V_{FBH-FBL_REF} > k_{LEDC_INC}$ 时，LEDCUR 引脚电压升至 HIGH 状态；当 $V_{FBH-FBL}/V_{FBH-FBL_REF} < k_{LEDC_DEC}$ 时被拉低。 k_{LEDC_INC} 和 k_{LEDC_DEC} 均取决于模拟调光值，如图所示。

在通过 SPI 进行的 STD 诊断中，LEDCUR 位中也包含相同的信息。

若需获取关于输出电流的并非即时但更详细的信息，可使用 SPI 电流监测器例程：

- LED 电流检测的输出与模拟调光 DAC 的输出进行比较
- 比较器的工作原理类似于一个 8 位 DAC 输出为中心的 2 位窗口 ADC

要执行电流监测器例程，CURRMON.SOMON 位必须置位为高，当 CURRMON.EOMON 读为高时，结果已就绪。

当 CURRMON.SOMON 位被设置为 HIGH 时，输入和输出电流监测例程将并行执行。

监测例程的结果通过 CURRMON.LEDCURRE 位报告。

保护和诊断功能

IOUTMON 引脚可线性指示流经 LED 的电流。IOUTMON 的典型行为符合公式 (10.4)：

$$V_{IOUTMON} = 200 \text{ mV} + I_{OUT} \cdot R_{FB} \cdot 8 \quad (10.4)$$

IOUTMON 的典型输出阻抗为 24k Ohm。

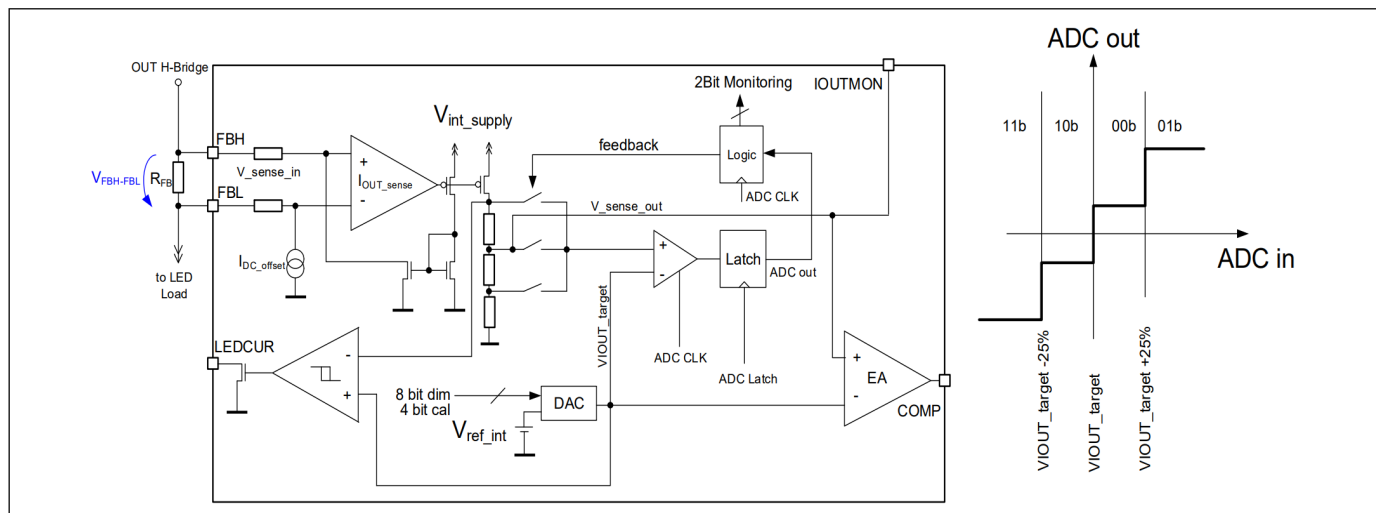


图 30 输出电流监测概述

10.6 器件温度监测

芯片内部集成温度传感器，温度监控电路将测量温度与警告及关断阈值进行比较，若内部温度传感器达到警告温度，则温度警告位 TW 置位为高电平，此位不锁存（即若温度低于警告阈值（有滞回），则 TW 位重新复位为低电平）。

如果内部温度传感器达到关断温度，则栅极驱动器和 IVCC 调节器将按照图 31 所述关断，同时温度关断位 TSD 置位为 HIGH。TSD 位处于锁存状态，同时栅极驱动器和 IVCC 调节器具有自动重启行为。

注： TSD 条件消失后，器件将通过软启动例程启动。

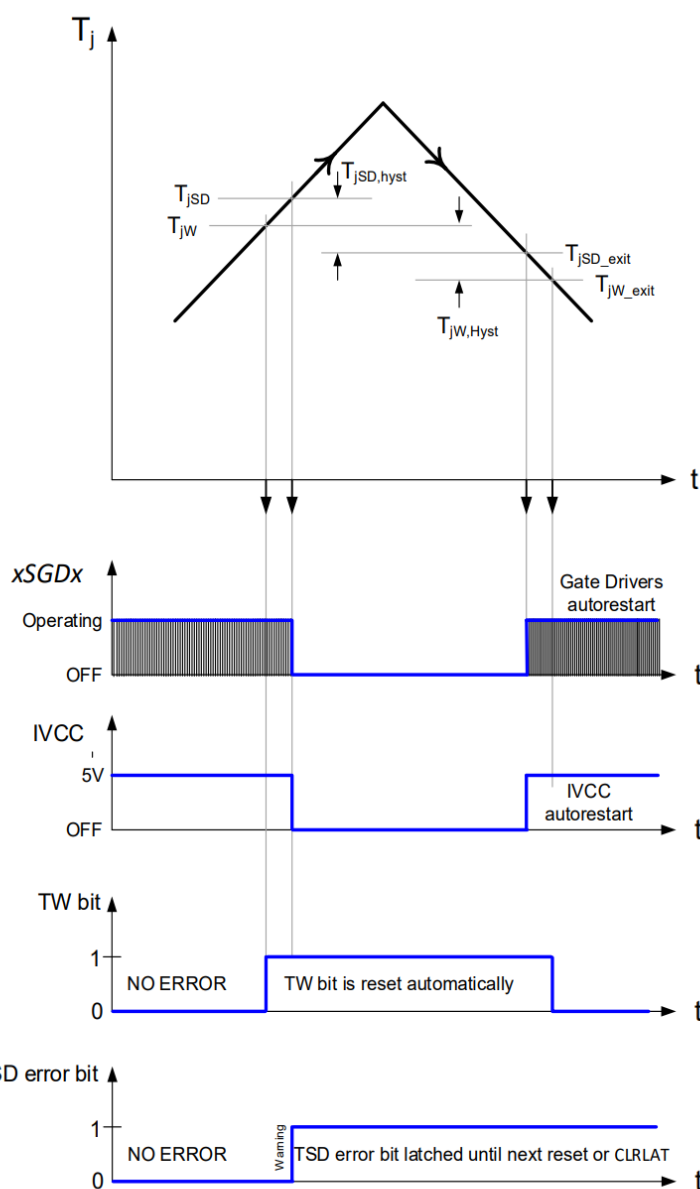


图 31 器件过温保护行为

保护和诊断功能

10.7 电气特性

表 11 EC 保护与诊断

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Short Circuit Protection							
Short to GND exit threshold	$V_{FBH_S2G_inc}$	1.95	2.05	2.15	V	¹⁾ V_{FBH} increasing;	P_6.9.1
Short to GND entry threshold	$V_{FBH_S2G_dec}$	1.65	1.75	1.85	V	¹⁾ V_{FBH} decreasing;	P_6.9.2
LEDCUR detect threshold increasing	k_{LEDC_INC}	60	70	80	%	¹⁾ ADIMVAL = 240 $V_{FBH-FBL}$ increasing;	P_10.7.1
LEDCUR detect threshold increasing	k_{LEDC_INC}	45	55	65	%	¹⁾ ADIMVAL = 48 $V_{FBH-FBL}$ increasing;	P_10.7.2
LEDCUR detect threshold decreasing	k_{LEDC_DEC}	50	60	70	%	¹⁾ ADIMVAL = 240 $V_{FBH-FBL}$ decreasing;	P_10.7.3
LEDCUR detect threshold decreasing	k_{LEDC_DEC}	30	40	50	%	¹⁾ ADIMVAL = 48 $V_{FBH-FBL}$ decreasing;	P_10.7.4
LEDCUR detect hysteresys	k_{LEDCUR_HYS}	-	12	-	%	¹⁾ ADIMVAL = 48 to 240	P_10.7.5
Temperature Protection:							
Thermal Warning junction temperature	$T_{j,W}$	125	140	155	°C	¹⁾	P_10.8.2
Temperature warning Hysteresis	$T_{j,W,hyst}$	–	10	–	°C	¹⁾	P_10.8.3
Over Temperature Shutdown	$T_{j,SD}$	160	175	190	°C	¹⁾	P_10.8.4
Over Temperature Shutdown Hysteresis	$T_{j,SD,hyst}$	–	10	–	°C	¹⁾	P_10.8.5
Overvoltage Protection:							
VFB Over Voltage Feedback Threshold	V_{VFB_OVTH}	1.42	1.46	1.50	V		P_10.8.6
Output Over Voltage Feedback Hysteresis	$V_{VFB_OVTH,HYS}$	25	40	58	mV	Output Voltage decreasing;	P_10.8.7
Flags							
LEDCUR, EOMFS Pin Output Impedance	R_{F12}	–	2.1	–	kΩ	¹⁾ When Pull Down is active I=100uA	P_10.8.14

1) 由设计指定; 不经过生产测试。

注: 集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

11 英飞凌 FLAT SPECTRUM 功能集

11.1 描述

英飞凌 FLAT SPECTRUM 功能集的目标是尽量减少外围滤波器电路。目标是提供一些有益的概念，以便在布局完成和硬件设计完成后，可以轻松调整电磁兼容改进。

11.2 同步功能

TLD5542-1 具有一个 SYNC 输入引脚，可以由 μC 的引脚来定义一个振荡器的开关频率。 μC 负责通过向系统中的各个 DC/DC 器件应用适当的 SYNC 信号来实现与这些器件的同步。参考图 32

注：展频处于活动状态时，无法使用同步功能。

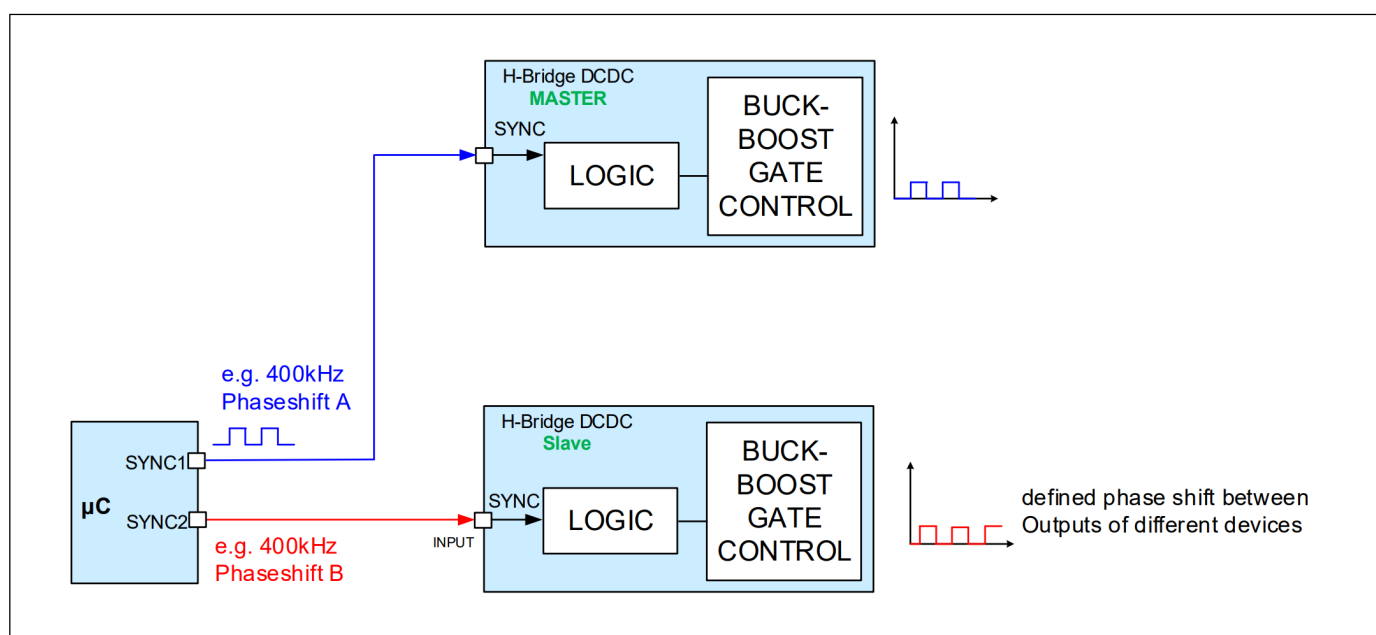


图 32 同步概述

11.3 展频

展频调制技术显著改善了频谱的低频范围 ($f < 30 \text{ MHz}$)。

通过使用展频调制技术，可以只优化输入滤波器以满足峰值限制，同时也满足平均限制（平均辐射限制比峰值辐射限制低 20 dB）。通过使用展频调制技术，低 ESR（等效串联电阻）输入电容器的需求得到放松，因为输入电容器的串联电阻对于低频滤波器特性是重要的。如果对平均值有严格要求，这可以带来经济效益。

TLD5542-1 具有内置的展频功能，该功能可通过 SPI 接口启用 (SWTMOD.ENSREAD) 并进行调整。专用 SPI 位用于调整调制频率 f_{FM} (P_11.6.3) 和 (P_11.6.4) (SWTMOD.FMSREAD) 以及偏差频率 f_{dev} (P_11.6.1) 和 (P_11.6.2) (SWTMOD.FDEVSPREAD)，以满足具体应用需求。更多详细信息请参见图 33。

当 SWTMOD.ENSREAD = HIGH 时，可以编程进行以下调整：

SWTMOD.FMSREAD = LOW：12 kHz

SWTMOD.FMSREAD = HIGH：18 kHz

SWTMOD.FDEVSPREAD = HIGH： f_{SW} 的 $\pm 8\%$

SWTMOD.FDEVSPREAD = LOW： f_{SW} 的 $\pm 16\%$

注： 当使用同步引脚时，不能使用展频功能。

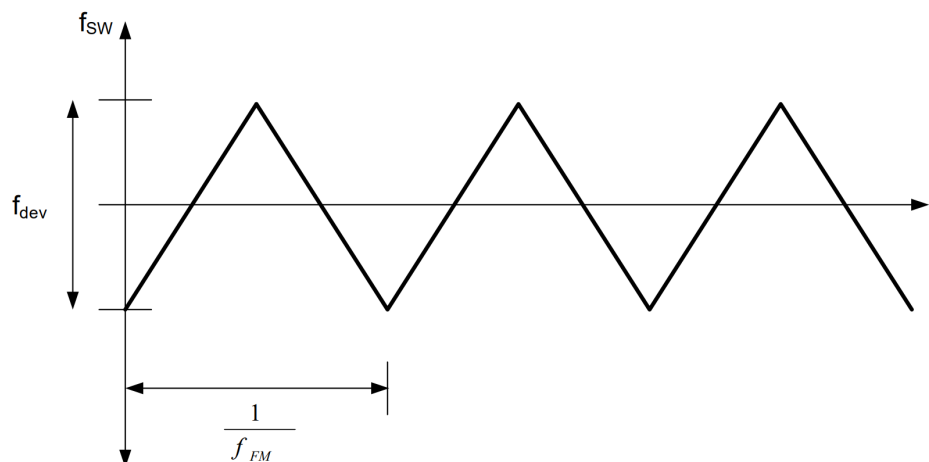


图 33 展频概述

11.4 电磁兼容优化原理图

图 34 显示了带有附加器件的应用电路，用于改善电磁兼容（EMC）行为。

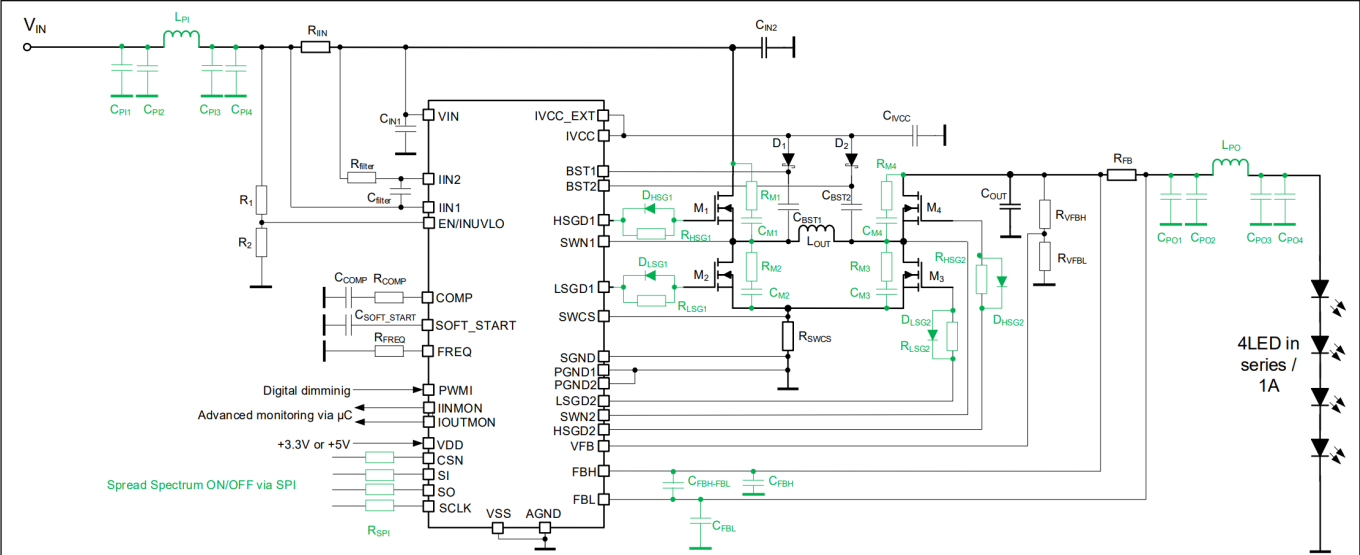


图 34 应用图包括用于改善电磁兼容（EMC）行为的附加器件

注： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

11.5 电气特性

表 12 EC 展频

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Spread Spectrum Parameters							
Frequency Deviation	f_{dev}	–	±8	–	%	¹⁾ SWTMOD.FDEV SPREAD = HIGH;	P_11.6.1
Frequency Deviation	f_{dev}	–	±16	–	%	¹⁾ SWTMOD.FDEV SPREAD = LOW;	P_11.6.2
Frequency Modulation	f_{FM}	–	12	–	kHz	¹⁾ SWTMOD.FMSP READ = LOW;	P_11.6.3
Frequency Modulation	f_{FM}	–	18	–	kHz	¹⁾ SWTMOD.FMSP READ = HIGH;	P_11.6.4

1) 由设计指定; 不经过生产测试。

12 串行外设接口 (SPI)

串行外设接口 (SPI) 是一个全双工同步串行从机接口，它使用四条线：SO、SI、SCLK 和 CSN。数据以 SCLK 给出的速率通过 SI 和 SO 线传输。CSN 的下降沿表示一次访问的开始。数据在 SCLK 的下降沿 SI 线采样，在 SCLK 的上升沿 SO 线移出。每次访问都必须在 CSN 的上升沿终止。模 8/16 计数器确保只有在前 16 位之后传输了 8 位的倍数时才提取数据。否则，将发出 TER（即传输错误）位。这样，接口既可以为 16 位 SPI 设备提供菊花链功能，也可以为 8 位 SPI 设备提供菊花链功能。

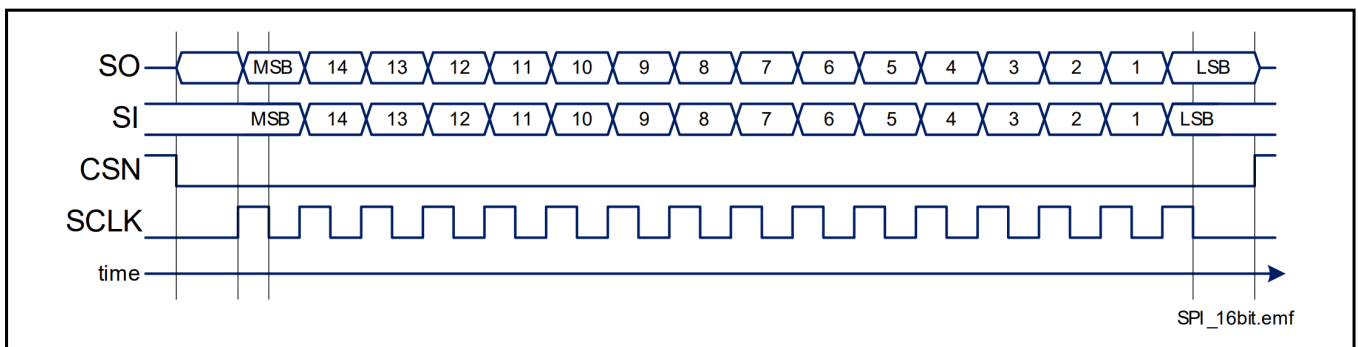


图 35 串行外设接口 (SPI)

12.1 SPI 信号描述

CSN - 片选

系统的微控制器通过 CSN 引脚选择 TLD5542-1。只要引脚处于低电平状态，就可以进行数据传输。当 CSN 处于高电平状态时，SCLK 和 SI 引脚上的任何信号都将被忽略，并且 SO 被强制进入高阻态。

CSN 高到低跳变

- 请求的信息被传输到移位寄存器中。
- SO 根据引脚 SI 上的信号电平从高阻态变为高电平或低电平状态。
- 如果器件处于休眠模式，SO 引脚将保持高阻态，并且不会发生 SPI 传输。
- TER 标志将置位 STD 诊断帧第 10 位。在欠压条件后，该位置位为高电平，通过 SPI 指令复位，进入跛行回家状态或在不正确的 SPI 传输后。根据图 36，TER 标志也可以在 CSN 下降沿和 SCLK 第一个上升沿之间的 SO 线上直接读取。

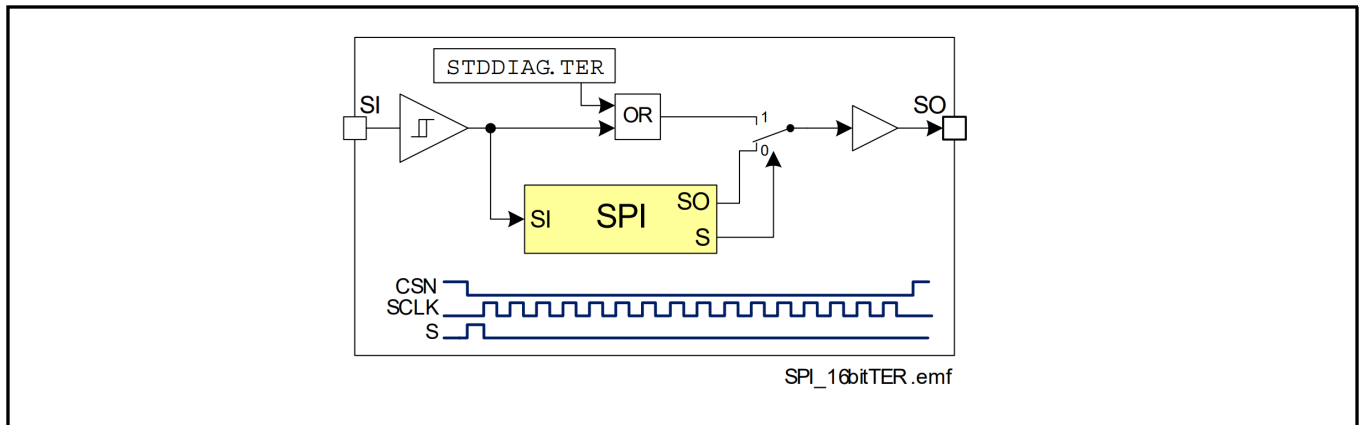


图 36 TER 位 CSN 低电平到高电平转换的组合逻辑

- 仅当在 CSN 下降沿之后，在前 16 个 SCLK 脉冲之后检测到八个 SCLK 信号的倍数 (0,1,2,3,...) 时，才完成指令解码。如果出现传输错误，则传输错误位 (TER) 将被置位，且指令将被忽略。
- 来自移位寄存器的数据被传输到寻址寄存器中。

SCLK - 串行时钟

该输入引脚为内部移位寄存器提供时钟。串行输入 (SI) 在 SCLK 的下降沿将数据传输到移位寄存器，而串行输出 (SO) 在串行时钟的上升沿将诊断信息移出。每当片选 CSN 进行任何转换时，SCLK 引脚都必须处于低电平状态，否则指令可能不被接受。

SI - 串行输入

串行输入数据位在此引脚移入，最高有效位优先。SI 信息在 SCLK 的下降沿读取。输入数据由两部分组成，控制位和数据位。请参阅第 12.5 章了解更多信息。

SO 串行输出

数据在此引脚上串行移出，最高有效位首先移出。SO 处于高阻态，直到 CSN 引脚变为低电平状态。在 SCLK 的上升沿之后，新的数据将出现在 SO 引脚上。

请参阅第 12.5 章了解更多信息。

12.2 菊花链功能

TLD5542-1 的 SPI 提供菊花链功能。在此配置中，多个设备由相同的 CSN 信号 MCSN 激活。一个器件的 SI 线与另一个器件的 SO 线相连 (见图 37) 以构成一个链，链的末端分别连接到主器件的输出端和输入端 MO 和 MI。主器件提供主时钟 MCLK，连接到链中每个器件的 SCLK 线。

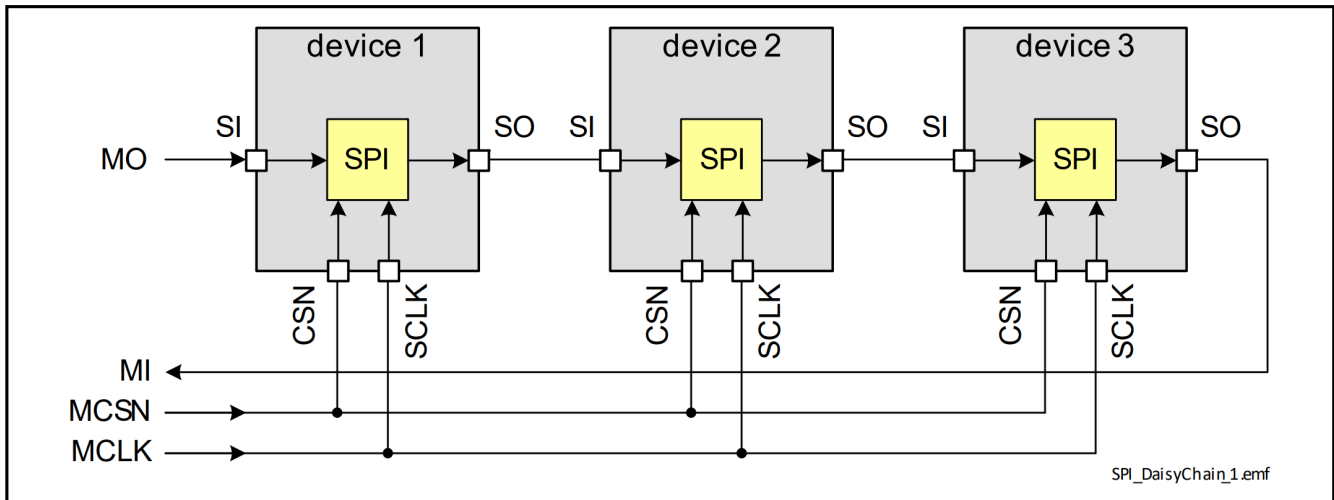


图 37 菊花链配置

在每个器件的 SPI 功能块中，都有一个移位寄存器，每个来自 SI 线的位随着每个 SCLK 移入。移出的位出现在 SO 引脚。经过十六个 SCLK 周期后，一个器件的数据传输完成。在单芯片配置中，CSN 线必须变为高电平，以使器件确认传输的数据。在菊花链配置中，器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在器件中移位几倍的 8 位（取决于有多少个器件具有 8 位 SPI 以及有多少个器件具有 16 位 SPI）。此后，MCSN 线必须变为高电平（参见图 38）。

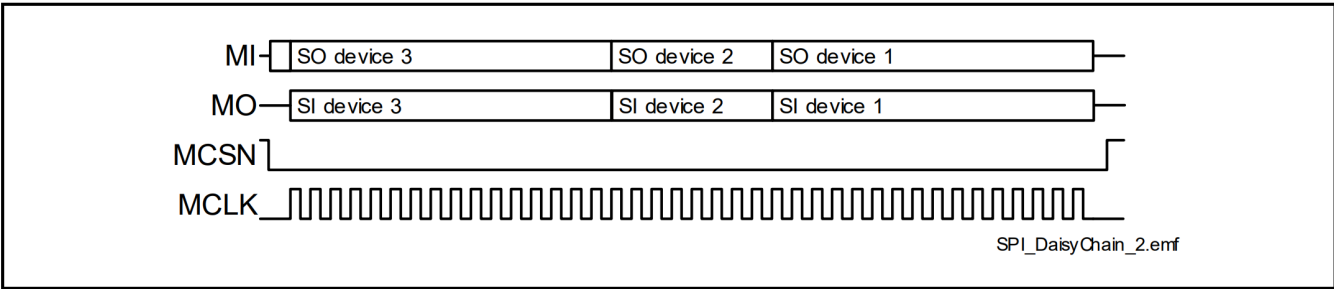


图 38 菊花链配置中的数据传输

12.3 时序图

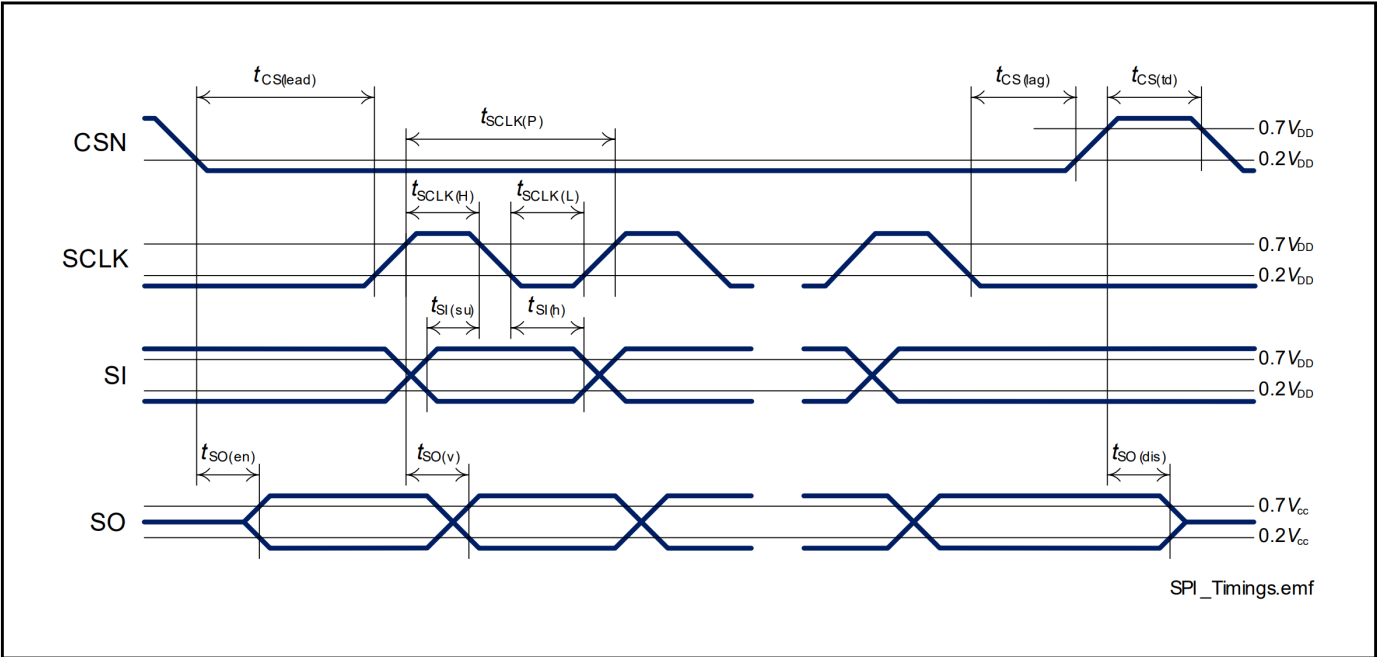


图 39 时序图 SPI 访问

串行外设接口 (SPI)

12.4 电气特性

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{DD} = 3\text{ V}$ 至 5.5 V , 所有电压均相对于地; (除非另有说明)

表 13 EC 串行外设接口 (SPI)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Input Characteristics (CSN, SCLK, SI) - LOW level of pin							
CSN	$V_{CSN(L)}$	0	–	0.8	V	–	P_12.4.1
SCLK	$V_{SCLK(L)}$	0	–	0.8	V	–	P_12.4.2
SI	$V_{SI(L)}$	0	–	0.8	V	–	P_12.4.3
Input Characteristics (CSN, SCLK, SI) - HIGH level of pin							
CSN	$V_{CSN(H)}$	2	–	V_{DD}	V	–	P_12.4.4
SCLK	$V_{SCLK(H)}$	2	–	V_{DD}	V	–	P_12.4.5
SI	$V_{SI(H)}$	2	–	V_{DD}	V	–	P_12.4.6
L-input pull-up current at CSN pin	$-I_{CSN(L)}$	31	63	94	μA	$V_{DD} = 5\text{ V};$ $V_{CSN} = 0.8\text{ V};$	P_12.4.7
H-input pull-up current at CSN pin	$-I_{CSN(H)}$	22	45	67	μA	$V_{DD} = 5\text{ V};$ $V_{CSN} = 2\text{ V};$	P_12.4.8
L-Input Pull-Down Current at Pin							
SCLK	$I_{SCLK(L)}$	6	12	18	μA	$V_{SCLK} = 0.8\text{ V};$	P_12.4.9
SI	$I_{SI(L)}$	6	12	18	μA	$V_{SI} = 0.8\text{ V};$	P_12.4.10
H-Input Pull-Down Current at Pin							
SCLK	$I_{SCLK(H)}$	15	30	45	μA	$V_{SCLK} = 2\text{ V};$	P_12.4.11
SI	$I_{SI(H)}$	15	30	45	μA	$V_{SI} = 2\text{ V};$	P_12.4.12
Output Characteristics (SO)							
L level output voltage	$V_{SO(L)}$	0	–	0.4	V	$I_{SO} = -2\text{ mA};$	P_12.4.13
H level output voltage	$V_{SO(H)}$	$V_{DD} - 0.4\text{ V}$	–	V_{DD}	V	$I_{SO} = 2\text{ mA};$ $V_{DD} = 5\text{ V};$	P_12.4.14
Output tristate leakage current	$I_{SO(OFF)}$	-1	–	1	μA	$V_{CSN} = V_{DD};$ $V_{SO} = 0\text{ V}$ or $V_{SO} = V_{DD};$	P_12.4.15
Timings							
Enable lead time (falling CSN to rising SCLK)	$t_{CSN(lead)}$	200	–	–	ns	¹⁾	P_12.4.17
Enable lag time (falling SCLK to rising CSN)	$t_{CSN(lag)}$	200	–	–	ns	¹⁾	P_12.4.18
Transfer delay time (rising CSN to falling CSN)	$t_{CSN(td)}$	250	–	–	ns	¹⁾	P_12.4.19
Output enable time (falling CSN to SO valid)	$t_{SO(en)}$	–	–	200	ns	¹⁾ $C_L = 20\text{ pF}$ at SO pin;	P_12.4.20

串行外设接口 (SPI)

表 13 EC 串行外设接口 (SPI) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output disable time (rising CSN to SO tristate)	$t_{SO(dis)}$	–	–	200	ns	¹⁾ $C_L = 20 \text{ pF}$ at SO pin;	P_12.4.21
Serial clock frequency	f_{SCLK}	–	–	5	MHz	¹⁾	P_12.4.22
Serial clock period	$t_{SCLK(P)}$	200	–	–	ns	¹⁾	P_12.4.24
Serial clock HIGH time	$t_{SCLK(H)}$	75	–	–	ns	¹⁾	P_12.4.25
Serial clock LOW time	$t_{SCLK(L)}$	75	–	–	ns	¹⁾	P_12.4.26
Data setup time (required time SI to falling SCLK)	$t_{SI(su)}$	20	–	–	ns	¹⁾	P_12.4.27
Data hold time (falling SCLK to SI)	$t_{SI(h)}$	20	–	–	ns	¹⁾	P_12.4.28
Output data valid time with capacitive load	$t_{SO(v)}$	–	–	100	ns	¹⁾ $C_L = 20 \text{ pF}$;	P_12.4.29

1) 未经过生产测试，由设计指定

12.5 SPI 协议

SPI 通讯过程中 SI 与 SO 内容关系如图 40 所示。SI 线代表从 μC 发送的帧，SO 线是 TLD5542-1 提供的应答。第一个 SO 响应是来自前一个指令的响应。

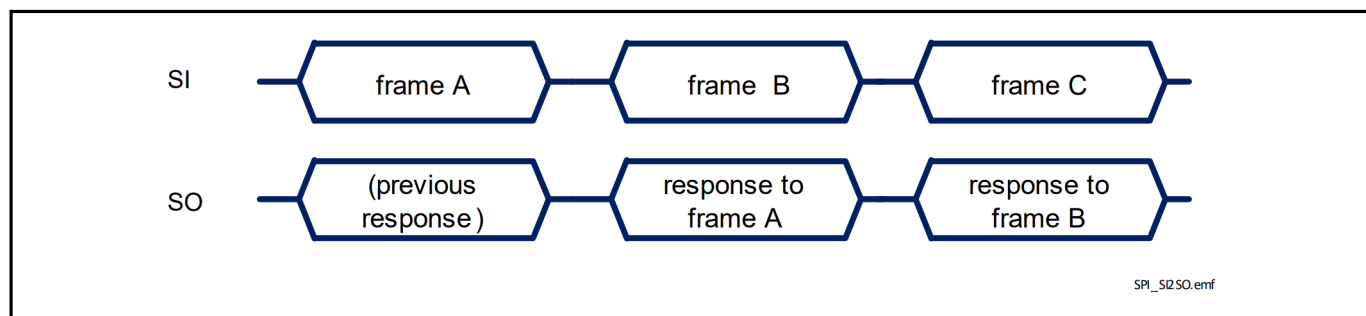


图 40 SPI 通讯期间 SI 和 SO 之间的关系

SPI 协议将仅在 μC 触发下一个命令帧时提供应答。尽管 TLD5542-1 中实现的绝大多数指令和帧可以在不知道之前发生什么的情况下进行解码，但建议考虑 μC 在前一个帧中发送的内容，以完全解码 TLD5542-1 响应帧。

更详细地说，“读取”和“写入”寄存器内容的指令序列如下：

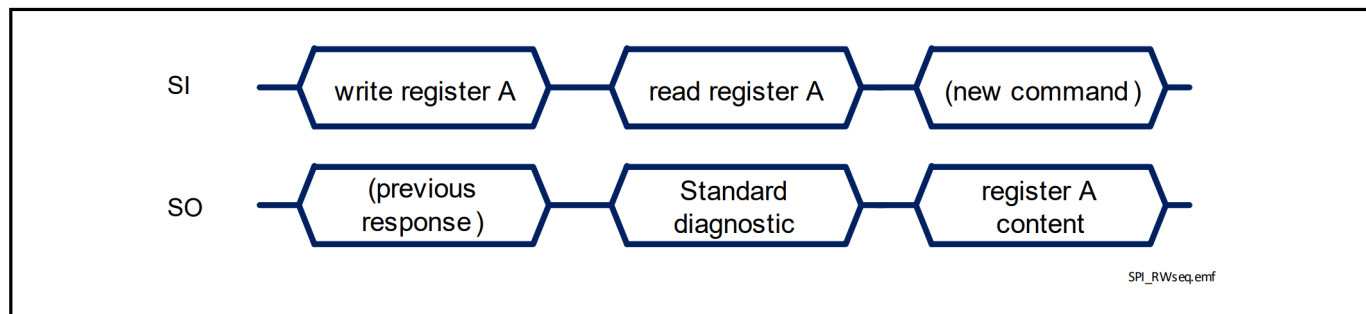


图 41 寄存器内容发送回 μC

有 3 种特殊情况，发送回 μC 的帧不依赖于先前收到的帧：

- 如果在前一帧中发生错误（例如，时钟脉冲不是 8 的倍数，且最小值为 16 位），如图 42 所示
- 当 TLD5542-1 逻辑电源从欠压复位条件中恢复时 ($V_{DD} < V_{DD(UV)}$)，如图 43 所示或 $EN/INUVLO < V_{EN/INUVLOth}$)
- 如果对“未使用”或“保留”寄存器进行读取或写入命令（在这种情况下，TLD5542-1 在下一个 SPI 传输中使用标准诊断进行应答）

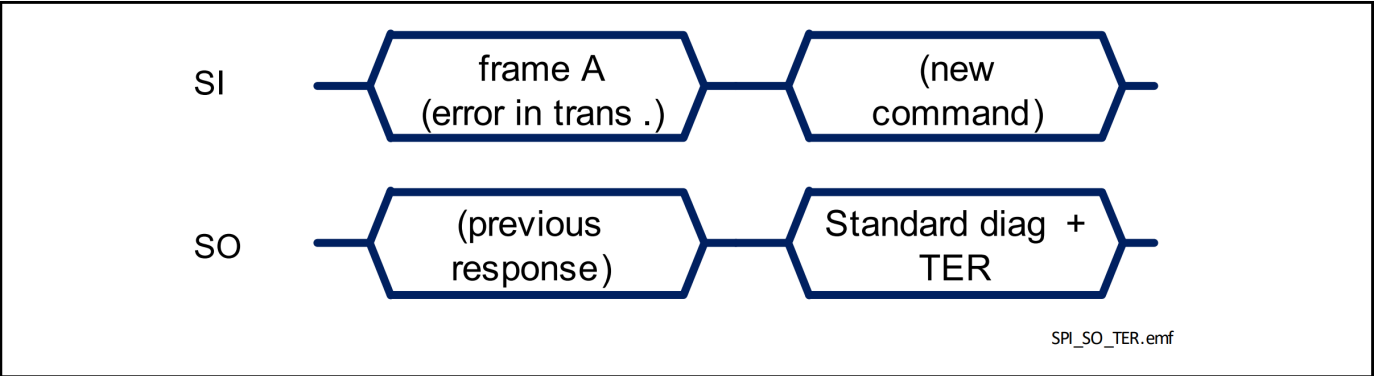


图 42 传输出现错误后 TLD5542-1 的响应

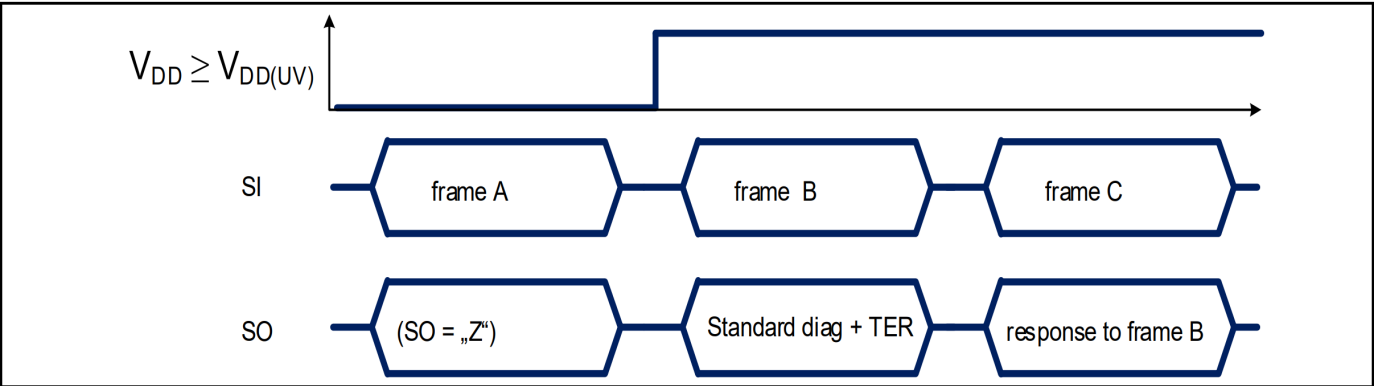


图 43 TLD5542-1 在 V_{DD} 上电复位解除后的响应



12.6 SPI 寄存器概述

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Frame	W/R	RB	ADDR						Data							
Write Register in bank 0																
SI	1	0	ADDR						Data							
Read Register in bank 0																
SI	0	0	ADDR						x	x	x	x	x	x	x	0
Read Standard Diagnosis																
SI	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1

读取一个寄存器需要两个 SPI 帧。在第一帧中，发送读取命令。在第二帧中，SPI 信号 SO 的输出将包含所请求的信息。MSB 将为高电平（而在标准诊断的情况下为低电平）。新的指令可以在第二帧中执行。

12.6.1 标准诊断

标准诊断报告一些诊断信息和器件的状态以及实用程序。

位 UVLORST、TER、OUTOV、IVCCUVLO 和 SHRTLED 会被锁存，并在 STD 诊断读取完成后自动清零。

CLRLAT 命令会重置诊断锁存标志 TSD 位。

TSD 位始终处于锁存状态，只能通过明确的 CLRLAT 指令清除。

作为实时状态监视器或内部寄存器镜像的 STD 位，在 STD 诊断读取后或通过显式的 CLRLAT 命令时不会被清零：

- STATE 位和 TW 是实时状态标志
- 位 EOMON、EOMFS 和 EOCAL 是内部寄存器的镜像
- SWRST_BSTUV 位是以下各项的“或”逻辑：
 - 在执行 DVCSTRL.SWRST 命令后，SWRST 标志被锁定（可通过 STD 诊断读取清除）
 - 栅极驱动器欠压的实时监测（VBSTx-VSWNx_UVth）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	SWRST_BSTUV	UVLO_RST	STATE	TER	EOMON	EOMFS	EOCAL	0	OUTOV	IVCCUVLO	LED_CUR	SHRTLED	TSD	TW	

串行外设接口 (SPI)

Field	Bits	Type	Description
SWRST_BSTUV	14	r	SWRST OR VBSTx-VSWNx_UVth Monitor 0 _B , no SWRST or undervoltage on the Gate Drivers occurred 1 _B , there was at least one SWRST since last readout OR an undervoltage condition at the gate drivers is occurring
UVLORST	13	r	V_{DD} OR V_{EN/INUVLO} Undervoltage Monitor 0 _B , there was no V _{DD} OR V _{EN/INUVLO} undervoltage since last readout 1 _B , there was at least one V _{DD} undervoltage OR V _{EN/INUVLO} undervoltage condition since last readout
STATE	12:11	r	Operative State Monitor 00 _B , (reserved) 01 _B , Limp Home Mode 10 _B , Active Mode 11 _B , Idle Mode
TER	10	r	Transmission Error 0 _B , Previous transmission was successful (modulo 16 + n*8 clocks received, where n = 0, 1, 2...) 1 _B , Previous transmission failed or first transmission after reset
EOMON	9	r	End of LED/Input Current Monitor Routine Bit 0 _B , Current monitoring routine not completed, not successfully performed or never run. 1 _B , Current Monitor routine successfully performed (is reset to 0 _B when SOMON is set to 1 _B)
EOMFS	8	r	End of MFS Routine Bit 0 _B , MFS routine not completed, not successfully performed or never run. 1 _B , MFS routine successfully performed (is reset to 0 _B when SOMOFS is set to 1 _B)
EOCAL	7	r	End of Calibration Routine 0 _B , Calibration routine not completed, not successfully performed or never run. 1 _B , Calibration routine successfully performed (is reset to 0 _B when SOCAL is set to 1 _B)
OUTOV	5	r	Output overvoltage Monitor 0 _B , Output overvoltage not detected since last readout 1 _B , Output overvoltage was detected since last readout
IVCCUVLO	4	r	IVCC or IVCC_EXT Undervoltage Lockout Monitor 0 _B , IVCC and IVCC_EXT above V _{IVCC_RTH,d} or V _{IVCC_EXT_RTH,d} threshold since last readout 1 _B , Undervoltage on IVCC or IVCC_EXT occurred since last readout
LEDCUR	3	r	LED Current Flag (see LEDCUR pin description Chapter 10.5) 0 _B , LED current not detected 1 _B , LED current detected

串行外设接口 (SPI)

Field	Bits	Type	Description
SHRTLED	2	r	Shorted LED Diagnosis 0 _B , Short circuit condition not detected since last readout 1 _B , Short circuit condition detected since last readout
TSD	1	r	Over Temperature Shutdown 0 _B , T_j below temperature shutdown threshold 1 _B , Overtemperature condition detected since last readout
TW	0	r	Over Temperature Warning 0 _B , T_j below temperature warning threshold 1 _B , T_j exceeds temperature warning threshold

12.6.2 寄存器结构

表 15 详细描述了可用的寄存器及其位字段功能、大小和位置

表 14 列出了寄存器地址以及每个寄存器内部的位域位置汇总

表 14 寄存器组 0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	W/ R	R B	ADDR						Data							
LEDCURR ADIM	W/ R	0	0	0	0	0	0	0	ADIMVAL							
LEDCURR CAL	W/ R	0	0	0	0	0	1	1	x	DAC_ OFF	SOCAL	EOCAL	CALIBVAL			
SWTMOD	W/ R	0	0	0	0	1	0	1	x	DCM_ EN	CCM4E VER	VFB_VI N_OFF	S2G_O FF	ENSP READ	FMSP READ	FDEVSP READ
DVCCTRL	W/ R	0	0	0	0	1	1	0	EA_IO UT	EA_G M	SLOPE		ENCAL	CLRLA T	SWRS T	IDLE
MFSSETU P1	W/ R	0	0	0	1	0	0	1	EA_IO UT_MF S	ILIM_ HALF _MFS	SOMFS	EOMFS	LEDCHAIN			
MFSSETU P2	W/ R	0	0	0	1	0	1	0	MFSDLY							
CURRMON	W/ R	0	0	0	1	1	0	0	x	x	SOMO N	EOMON	INCURR		LEDCURR	
REGUSET MON	W/ R	0	0	0	1	1	1	1	x	x	x		REGUMODFB		BB_BST_CMP	
MUXCTRL	W/ R	1	1	1	1	1	1	0	MFS_R EF	AMUX _EN	SO_MUX_SEL					

对不存在的地址的写入将被忽略，对不存在的寄存器的读取将被忽略，并且将发送出 STD 诊断帧。

串行外设接口 (SPI)

表 15 寄存器描述

Register name	Field	Bits	Type	Purpose
LEDCURRADIM	ADIMVAL	7:0	r/w	LED Current Configuration Register 00000000 _B , analog dimming @ 0% of LED current fixed via R_{FB} 11110000 _B , (default) analog dimming @ 100% of LED current fixed via R_{FB}
LEDCURRCAL	CALIBVAL	3:0	r/w	LED Current Accuracy Trimming Configuration Register LED current calibration value definition, the first bit is the calibration sign: 0000 _B , (default) Initial state in the middle of the range 0111 _B , maximum calibration value positive 1111 _B , maximum calibration value negative
	EOCAL	4	r	End of calibration routine signalling bit: 0 _B , (default) calibration routine not completed, not successfully performed or never run. 1 _B , calibration successfully performed (is reset to 0 _B when SOCAL is set to 1 _B)
	SOCAL	5	r/w	Start of calibration routine signalling bit: 0 _B , (default) no calibration routine started 1 _B , calibration routine start (autoclear)
	DAC_OFF	6	r/w	Switch OFF internal analog dimming DAC bit: 0 _B , (default) internal DAC active 1 _B , internal DAC inactive and analog dimming error amplifier mapped to SET pin

串行外设接口 (SPI)

表 15 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
SWTMOD	FDEVSPREAD	0	r/w	Switching Mode Configuration Register Deviation Frequency f_{DEV} definition: 0 _B , (default) $\pm 16\%$ of f_{SW} 1 _B , $\pm 8\%$ of f_{SW}
	FMSPREAD	1	r/w	Frequency Modulation Frequency f_{FM} definition: 0 _B , (default) 12 kHz 1 _B , 18 kHz
	ENSPREAD	2	r/w	Enable Spread Spectrum feature: 0 _B , (default) Spread Spectrum modulation disabled 1 _B , Spread Spectrum modulation enabled
	S2G_OFF	3	r/w	Short to GND protection enable Bit 0 _B , (default) Short to ground protection enabled 1 _B , Short to ground protection disabled
	VFB_VIN_OFF	4	r/w	Vin Feedback Enable on VFB_VIN pin 0 _B , (default) Enable Vin Feedback 1 _B , Disable Vin Feedback
	CCM_4EVER	5	r/w	Forced Continuous Conduction Mode 0 _B , (default) Forced CCM after soft start finish 1 _B , Forced CCM even during soft start ramp up
	DCM_EN	6	r/w	Enable Bit to allow DCM regulation (MOSFET M4 control) 0 _B , (default) DCM is disabled (M4 alternately switching), 1 _B , DCM is enabled (M4 is permanently OFF)

串行外设接口 (SPI)

表 15 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
DVCCTRL	IDLE	0	r/w	Device Control Register IDLE mode configuration bit: 0 _B , ACTIVE mode (default) 1 _B , IDLE mode
	SWRST	1	r/w	Software reset bit: 0 _B , (default) normal operation 1 _B , execute reset command
	CLRLAT	2	r/w	Clear Latch bit: 0 _B , (default) normal operation 1 _B , execute CLRLAT command
	ENCAL	3	r/w	Enable automatic output current calibration bit: 0 _B , (default) DAC takes CALIBVAL from SPI registers 1 _B , DAC takes CALIBVAL from last completed automatic calibration procedure; SOCAL Bit can be set.
	SLOPE	5:4	r/w	slope compensation strenght: 00 _B , (default) Nominal 01 _B , +25% 10 _B , -50% 11 _B , -25%
	EA_GM	6	r/w	Increase the gain of the error amplifier, active only when output current is below 80% of target (i.e. < VFBH_FBL_EA): 0 _B , (default) inactive 1 _B , $IFBx_{gm}$ boosted to 1420 μ S
	EA_IOUT	7	r/w	Bit to decrease the saturation current of the error amplifier in current mode control loop: 0 _B , (default) inactive 1 _B , active: error amplifier saturation current reduced to 10 μ A

串行外设接口 (SPI)

表 15 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
MFSSETUP1	LEDCHAIN	3:0	r/w	Multifloat Switch configuration Register MFS ratio bits: set MFS jump ratio 0001 _B , smallest Value 1 Step 0010 _B , 2 Steps 1000 _B , (default) 8 Steps 1111 _B , 15 Steps 0000 _B , largest Value 16 Steps
	EOMFS	4	r	End of MFS routine bit: 0 _B , (default) MFS routine not completed, not successfully performed or never run. 1 _B , MFS routine successfully performed (is reset to 0 _B when SOMFS is set to 1 _B).
	SOMFS	5	r/w	Start of MFS routine bit: 0 _B , (default) MFS routine not activated 1 _B , MFS routine activated
	ILIM_HALF	6	r/w	Bit to decrease the Switch Current Limit (I_{SwLim}) during F.D. operation: 0 _B , (default) inactive $I_{SwLim} = 2/3$ of default value 1 _B , I_{SwLim} reduced to 1/2 of default value
	EA_IOUT_MFS	7	r/w	Bit to decrease the saturation current of the error amplifier (A6) in current mode control loop only during MFS routine: 0 _B , (default) inactive 1 _B , active: error amplifier current reduced to 20%
MFSSETUP2	MFSPLY	7:0	r/w	Multifloat switch configuration register 2 (delay time programming) 00000000 _B , smallest delay time in respect to f_{SW} 11111111 _B , largest delay time in respect to f_{SW} 10000000 _B , (default) delay time in respect to f_{SW}

串行外设接口 (SPI)

表 15 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
CURRMON	LEDCURR	1:0	r	Current Monitor Register Status of the LED Current bits: 00 _B , (default) LED current between Target and +25% 01 _B , LED current above +25% of Target 10 _B , LED current between Target and -25% 11 _B , LED current below -25% of Target
	INCURR	3:2	r	Status of the Input Current bits: 00 _B , (default) Input current between 75% and 90% of Limit 01 _B , Input current between 90% and the Limit 10 _B , Input current between 60% and 75% of Limit 11 _B , Input current below 60% of Limit
	EOMON	4	r	End of LED/Input Current Monitoring bit: 0 _B , (default) Current monitoring routine not completed, not successfully performed or never run. 1 _B , Current Monitor routine successfully performed (is reset to 0 _B when SOMON is set to 1 _B)
	SOMON	5	r/w	Start of LED/Input Current Monitoring bit: 0 _B , (default) Current monitor routine not started 1 _B , Start of the current monitor routine
REGUSETMON	REGUMODFB	3:2	r	Regulation Setup And Monitor Register Feedback of Regulation Mode bits: 01 _B , (default) Buck 10 _B , Boost 11 _B , Buck-Boost
	BB_BST_CMP	1:0	r/w	Buck boost to Boost transition compensation level: 00 _B , (default) Min compensation: useful when low switching frequencies are selected 01 _B , Low compensation: I.E. adopted @ $f_{SW}=250\text{kHz}$ 10 _B , Mid compensation: I.E. adopted @ $f_{SW}=400\text{kHz}$ 11 _B , Max compensation: useful when high switching frequencies are selected I.E. @ $f_{SW}=500\text{kHz}$
MUXCTRL	SO_MUX_SEL	5:0	r/w	Internal Muxes Configuration Register Digital Multiplexer selector, output on SO pin: 000000 _B , (default) SO pin configured as normal SPI output 000100 _B , as default with in addition internal oscillator clock available when CS_N is high
	AMUX_EN	6	r/w	Analog Mux enable, output on FILT pin: 0 _B , (default) Analog Mux disabled 1 _B , Analog Mux enabled
	MFS_REF	7	r/w	MFS reference to FILT pin Path Enable: 0 _B , (default) path disabled 1 _B , Path Enabled

13 应用信息

注： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

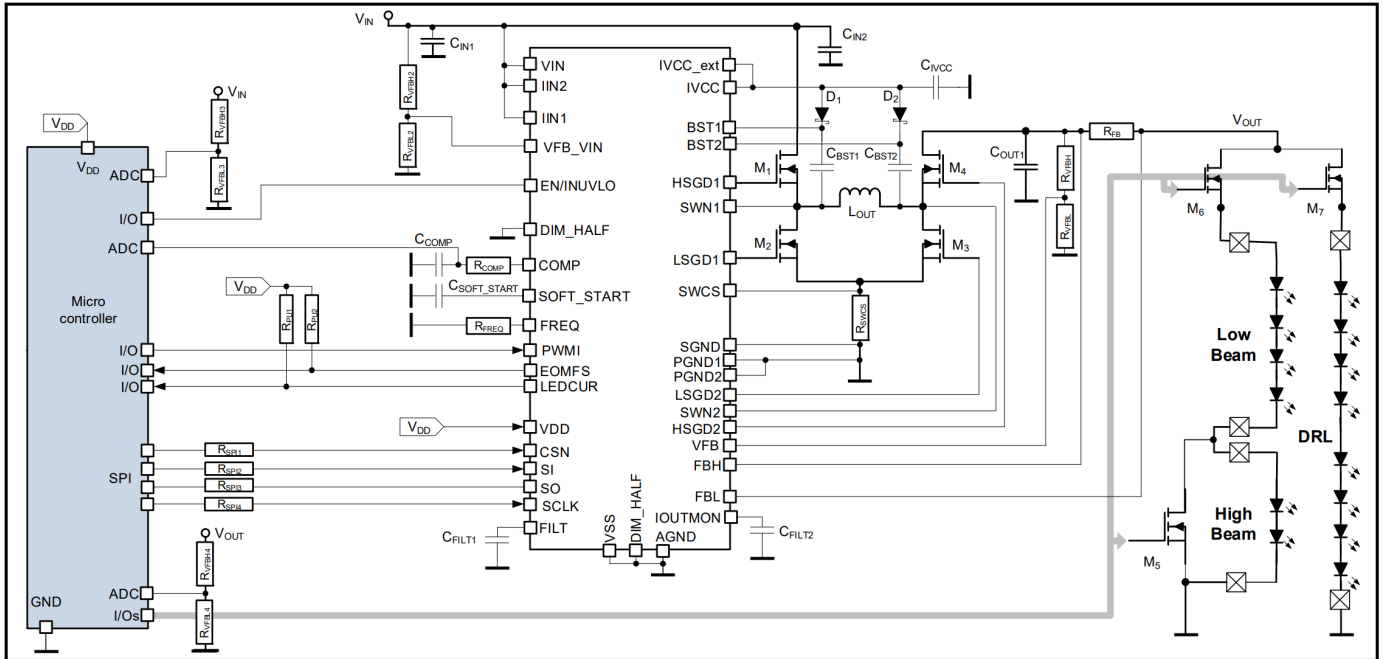


图 44 应用示意图 - TLD5542-1 应用于 3 功能 LED 驱动器模块

表 16 物料清单 (BOM) - TLD5542-1 作为电流调节器 ($I_{OUT} = 1\text{ A}$, $f_{SW} = 300\text{ kHz}$)

Reference Designator	Value	Manufacturer	Part Number	Type
D_1, D_2	BAT46WJ	--	BAT46WJ	Diode
C_{IN1}	10 μF , 50 V	TDK	X7R	Capacitor
C_{IN2}	4.7 μF , 50 V	TDK	X7R	Capacitor
$C_{FILT1,2}$	220 pF, 10 V	TDK	X7R	Capacitor
C_{COMP}	15 nF, 16 V	TDK	X7R	Capacitor
C_{SOFT_START}	15 nF, 16 V	TDK	X7R	Capacitor
C_{OUT1}	3x3.3 μF , 100 V	TDK	X7R	Capacitor
C_{IVCC}	10 μF , 16 V	TDK	X7R	Capacitor
C_{BST1}, C_{BST2}	100 nF, 16 V	TDK	X7R	Capacitor
IC_1	--	Infineon	TLD5542-1	IC
L_{OUT}	10 μH	TDK	SPM10065VT-100M	Inductor
R_{FB}	0.100 Ω , 1%	Panasonic	--	Resistor
$R_1, R_2, R_3, R_{PD}, R_{EN}, R_{PWMI}, R_{Sense1}, R_{Sense2}, R_{SYNC}, R_{SCLK}, R_{SI}, R_{SO}, R_{CSN}$	xx k Ω , 1%	Panasonic	--	Resistor
R_{VFBL}, R_{VFBH}	1k5 Ω , 51k Ω , 1%	Panasonic	--	Resistor
R_{VFBL2}, R_{VFBH2}	1k Ω , 51k Ω , 1%	Panasonic	--	Resistor

应用信息

表 16 物料清单 (BOM) - TLD5542-1 作为电流调节器 ($I_{OUT} = 1\text{ A}$, $f_{SW} = 300\text{ kHz}$)

Reference Designator	Value	Manufacturer	Part Number	Type
R_{COMP}	1k Ω , 1%	Panasonic	--	Resistor
R_{FREQ}	24 k Ω , 1%	Panasonic	--	Resistor
R_{SWCS}	0.007 Ω , 1%	Panasonic	ERJB1CFR05U	Resistor
$M_1, M_2, M_3, M_4, M_5, M_6, M_7$	Dual MOSFET: 60V / 26 m Ω N-ch	Infineon	IPG20N10S4L-26	Transistor

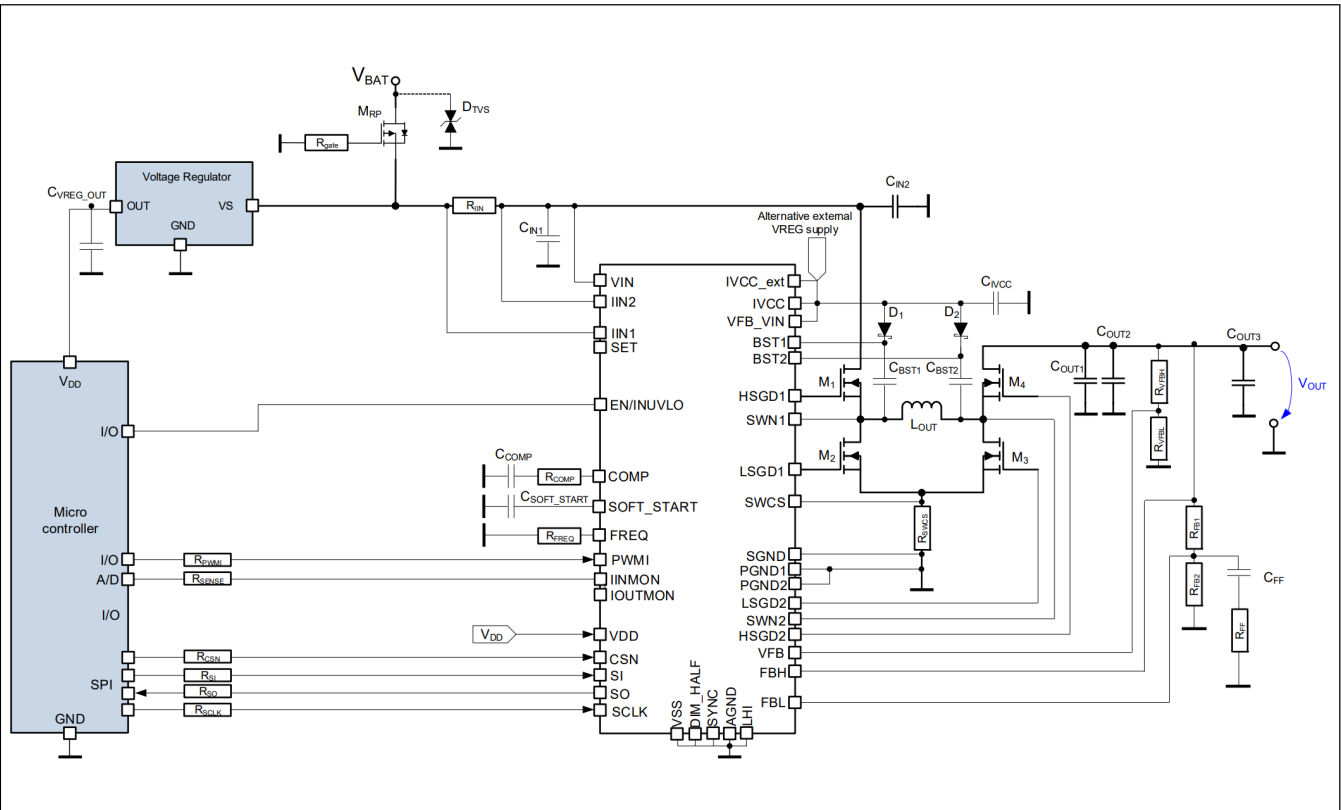


图 45 应用示意图 - TLD5542-1 作为可调稳压器

表 17 物料清单 (BOM) - TLD5542-1 用作稳压器

Reference Designator	Value	Manufacturer	Part Number	Type
D_1, D_2	BAT46WJ	--	BAT46WJ	Diode
C_{IN1}	1 μF , 100 V	TDK	X7R	Capacitor
C_{IN2}	4.7 μF , 100 V	TDK	X7R	Capacitor
C_{COMP}	22 nF, 16 V	TDK	X7R	Capacitor
C_{FF}	10 nF, 50 V	TDK	X7R	Capacitor
C_{SOFT_START}	22 nF, 16 V	TDK	X7R	Capacitor
C_{OUT1}	3x4.7 μF , 100 V	TDK	X7R	Capacitor
C_{OUT2}, C_{OUT3}	100 nF, 100 V	TDK	X7R	Capacitor
C_{IVCC}	10 μF , 16 V	TDK	X7R	Capacitor
C_{BST1}, C_{BST2}	100 nF, 16 V	TDK	X7R	Capacitor
I_{C1}	--	Infineon	TLD5542-1	IC

应用信息

表 17 物料清单 (BOM) - TLD5542-1 用作稳压器

Reference Designator	Value	Manufacturer	Part Number	Type
L_{OUT}	10 μ H	Coilcraft	XAL1010-103MEC	Inductor
R_{FF}	1.5 k Ω , 1%	Panasonic	--	Resistor
R_{FB1} , R_{FB2}	150 Ω , 20.5k Ω , 1%	Panasonic	--	Resistor
R_{IN}	0.005 Ω , 1%	Panasonic	--	Resistor
R_{PWM1} , R_{Sense1} , R_{Sense2} , R_{SYNC} , R_{SCLK} , R_{SI} , R_{SO} , R_{CSN}	xx k Ω , 1%	Panasonic	--	Resistor
R_{VFB1} , R_{VFBH}	1.5 k Ω , 24 k Ω , 1%	Panasonic	--	Resistor
R_{COMP}	0 Ω , 1%	Panasonic	--	Resistor
R_{FREQ}	37.4 k Ω , 1%	Panasonic	--	Resistor
R_{SWCS}	0.007 Ω , 2%	--	--	Resistor
M_1 , M_2 , M_3 , M_4	Dual MOSFET: 100 V / 35 m Ω N-ch	Infineon	IPG20N10S4L-35	Transistor

13.1 更多应用信息

器件的典型性能特征

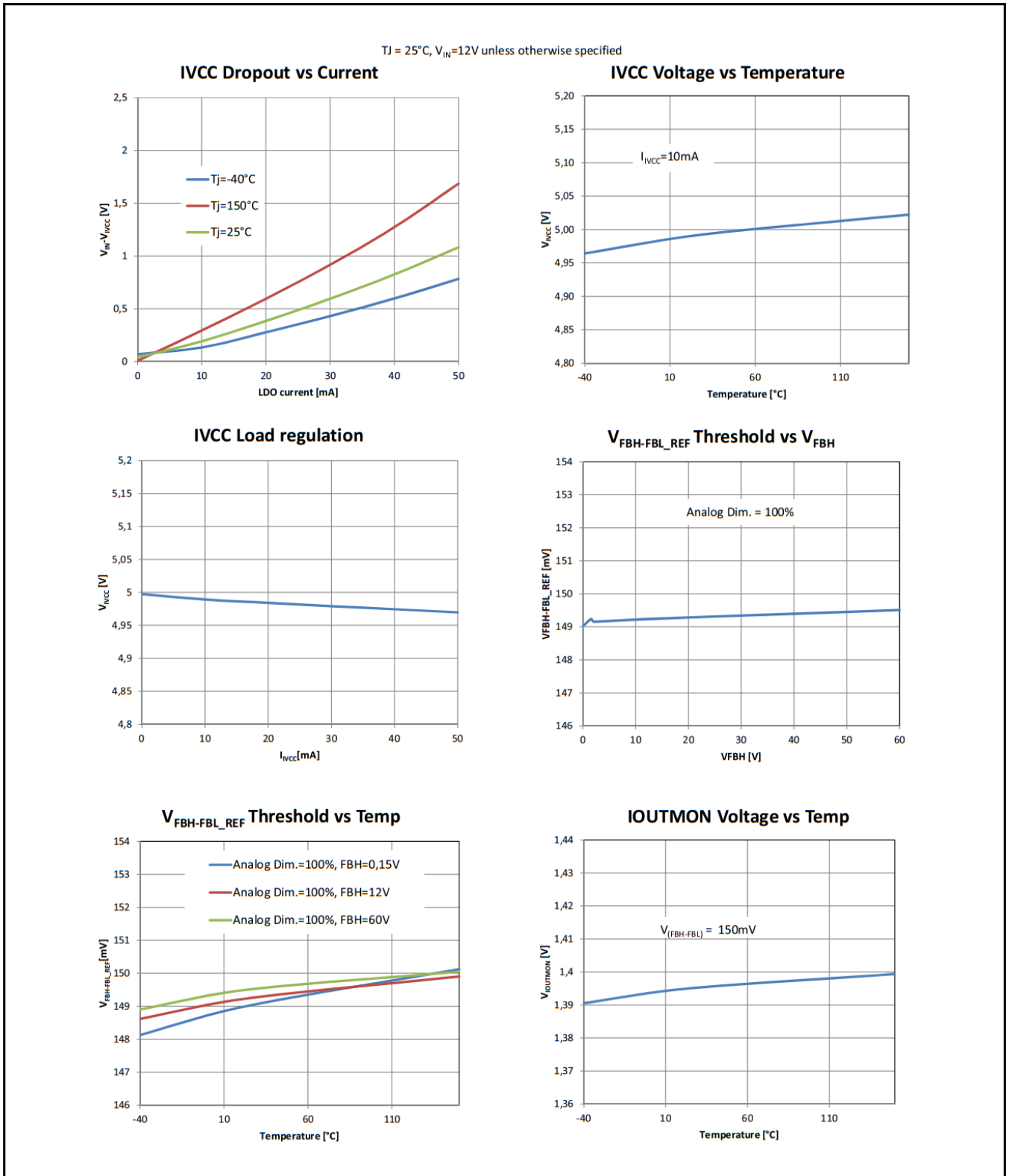


图 46 特性图 1

应用信息

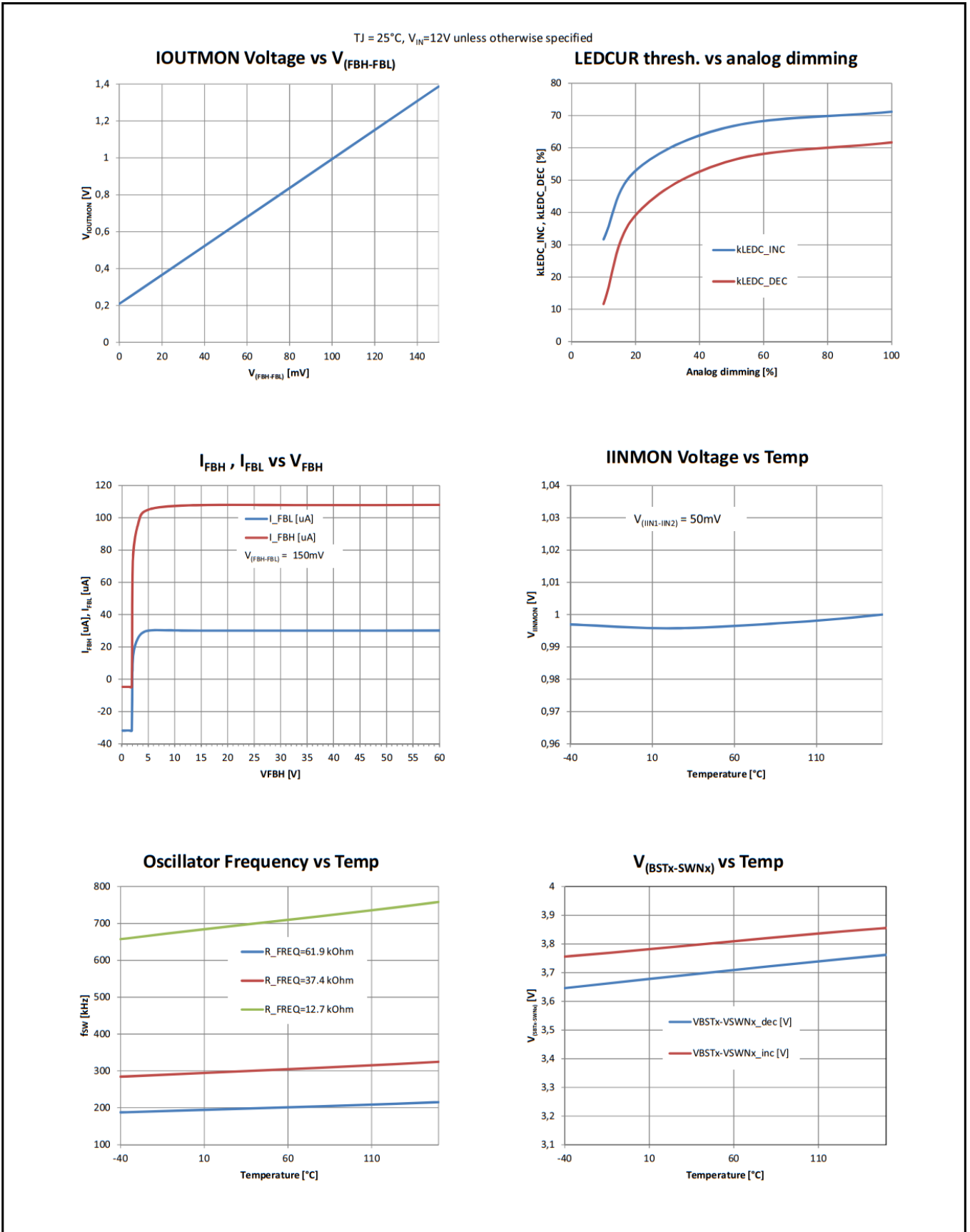


图 47 特性图 2

- 如需了解更多信息，可访问 <http://www.infineon.cn>

14 封装外形

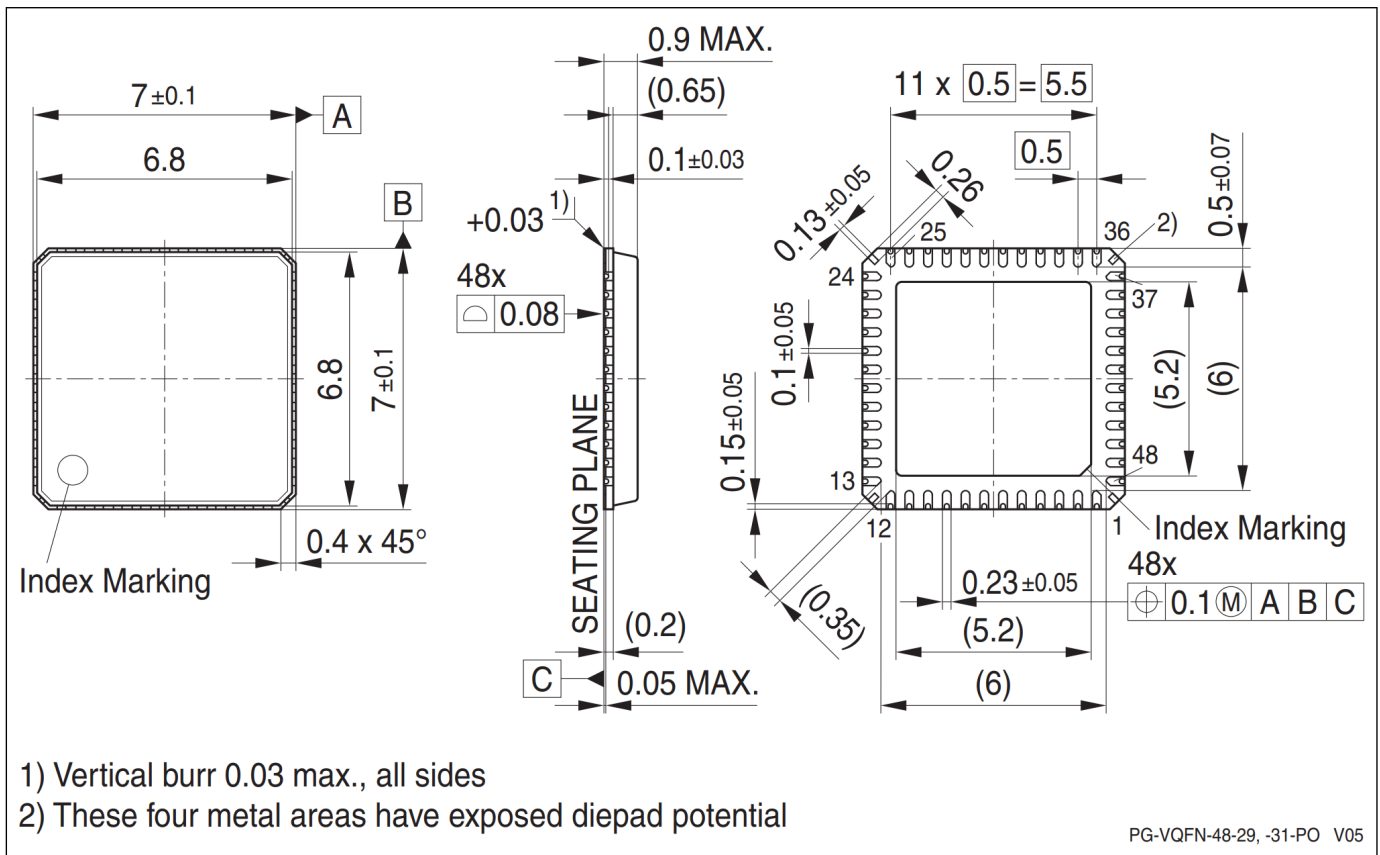


图 48 PG-VQFN-48 (带 LTI)

封装外形

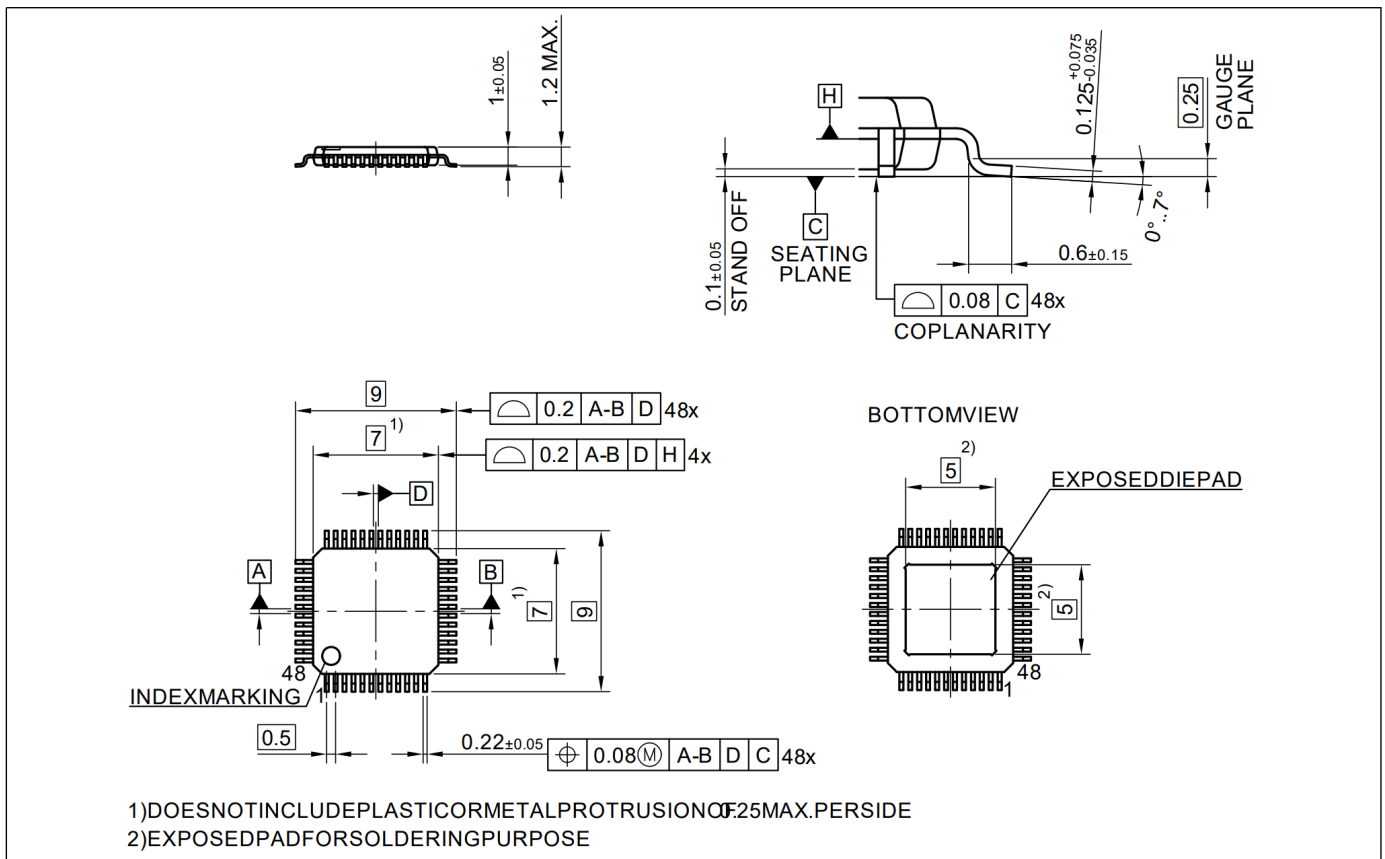


图 49 PG-TQFP-48

绿色产品 (符合 RoHS 标准)

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引线采用无铅涂层，并且根据 IPC/JEDEC J-STD-020 适用于无铅焊接）。

有关替代封装的更多信息，请访问我们的网站：

<http://www.infineon.com/packages>.

所有尺寸均以 mm 为单位

15 修订记录

表 18 修订记录

Revision	Date	Changes
Rev. 1.0	2019-11-21	Released datasheet
Rev. 1.10	2019-12-11	changed ESD in to “CDM” AECQ100-011 including revision : Rev. D
Rev. 1.10	2019-12-11	Updated Vout Overvoltage description Chapter 10.2

目录

1	概述	1
2	框图	3
3	引脚配置	4
3.1	引脚分配.....	4
3.2	引脚定义和功能.....	5
4	产品一般特性.....	8
4.1	绝对最大额定值.....	8
4.2	工作范围.....	10
4.3	热阻.....	11
5	电源	12
5.1	不同功率状态.....	14
5.2	复位器件的不同可能性.....	15
5.3	电气特性.....	16
6	调节器描述	18
6.1	调节器示意图描述.....	18
6.2	可调软启动斜坡.....	20
6.3	开关频率设置.....	21
6.4	4 个开关 H 桥架构的工作原理.....	22
6.4.1	升压模式 ($V_{IN} < V_{OUT}$).....	22
6.4.2	降压模式 ($V_{IN} > V_{OUT}$).....	23
6.4.3	Buck-Boost 模式 ($V_{IN} \sim V_{OUT}$).....	24
6.5	快速输出放电工作模式 - 多浮动开关拓扑结构.....	25
6.6	可编程输出电压 (恒定电压调节)	30
6.7	电气特性.....	31
7	数字调光功能.....	34
7.1	描述.....	34
7.2	电气特性.....	36
8	模拟调光和“跛行回家”模式	37
8.1	描述.....	37
8.2	LED 电流校准程序	38
8.3	电气特性.....	40
9	线性稳压器	41
9.1	IVCC 描述	41
9.2	电气特性.....	42
10	保护和诊断功能.....	43
10.1	描述.....	43
10.2	输出过压、短路保护.....	44
10.2.1	短路保护.....	44
10.2.2	过压保护.....	45
10.3	输入电压监测、保护.....	45
10.4	输入电流监测.....	45
10.5	输出电流监测.....	46
10.6	器件温度监测.....	48
10.7	电气特性.....	49
11	英飞凌 FLAT SPECTRUM 功能集.....	50

带 SPI 接口的 H 桥 DC/DC 控制器

11.1	描述.....	50
11.2	同步功能.....	50
11.3	展频.....	51
11.4	电磁兼容优化原理图.....	52
11.5	电气特性.....	53
12	串行外设接口 (SPI)	54
12.1	SPI 信号描述	54
12.2	菊花链功能.....	55
12.3	时序图.....	57
12.4	电气特性.....	58
12.5	SPI 协议	60
12.6	SPI 寄存器概述	62
12.6.1	标准诊断.....	62
12.6.2	寄存器结构.....	65
13	应用信息	71
13.1	更多应用信息.....	74
14	封装外形	76
15	修订记录	78
	目录	79

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2019-12-11

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2019 Infineon Technologies AG.
All Rights Reserved.

**Do you have a question about
any aspect of this document?**
Email: erratum@infineon.com

Document reference
TLD5542-1

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-09-21

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。