

英飞凌 TLD5501-2QV 双通道同步DC/DC 高功率LED驱动控制器

英飞凌带SPI接口的双同步降压控制器

Infineon LITIX™ Power Flex



Package	PG-VQFN-48
Marking	TLD55012QV
Sales Name	TLD5501-2QV

1 概述

特性

- 双通道同步DC/DC 高功率LED驱动控制器
- 宽 LED 正向电压范围 (2 V 至 50 V)
- 宽 VIN 范围 (IC 4.5 V 至 40 V, 电源 4.5 V 至 55 V)
- 开关频率范围为 200 kHz 至 700 kHz
- 用于诊断和控制的 SPI
- 在任何条件下均实现最高效率 (高达 96%)
- 恒流(LED) 和恒压调节
- 故障行驶功能 (故障安全模式)
- 电磁兼容优化器件: 具有展频特性
- 带专用监测输出的LED电流采样
- 先进的器件和负载保护功能
- 增强调光特性: 模拟和 PWM 调光
- LED 电流精度 $\pm 3\%$
- 采用小型热增强 PG-VQFN-48 封装
- 符合汽车 AEC Q100等级1 (-40°C 至 125°C) 标准

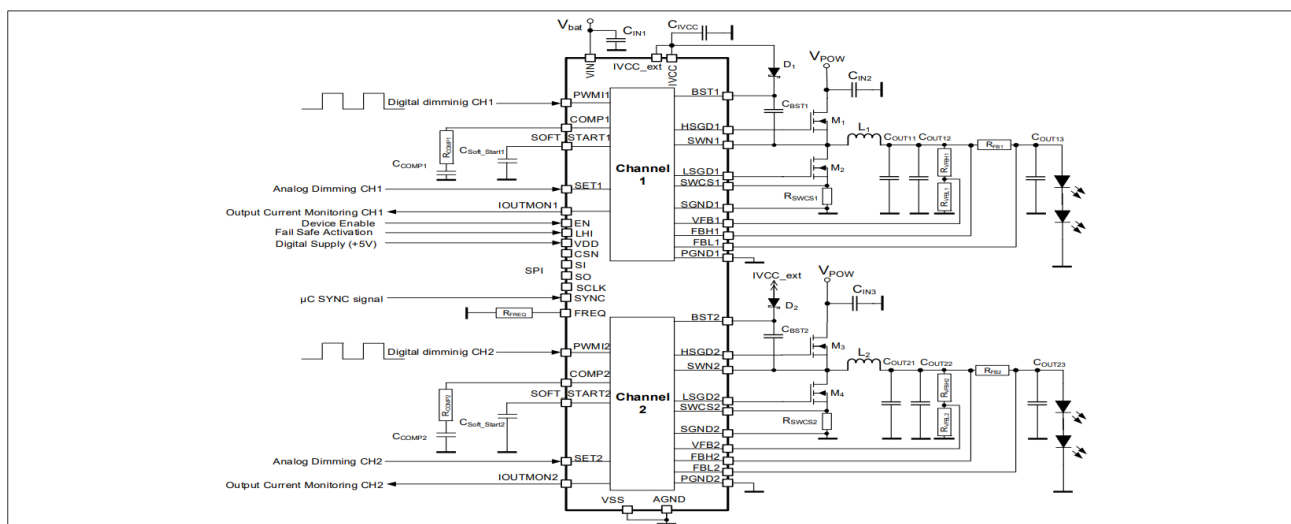
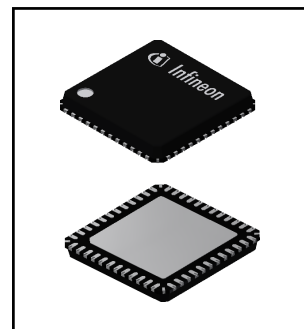


图 1 应用图 - TLD5501-2QV 作为电流调节器

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

概述

描述

TLD5501-2QV是一款同步双通道直流/直流降压控制器，具有内置保护功能和SPI接口。这一概念有利于以最高的系统效率和最少的外围元件数量驱动高功率 LED。TLD5501-2QV 提供模拟和数字 (PWM) 调光。开关频率可在200 kHz至700 kHz范围内调节。它可以同步至外部时钟源。内置可编程展频开关频率调制和强制连续电流调节模式改善了整体电磁兼容性行为。此外，电流模式调节方案提供了一个稳定的调节环路，由小型外部补偿元件维持。可调软启动的特性限制启动时的电流峰值和过冲电压。TLD5501-2QV 适合在恶劣的汽车环境中使用。

表 1 产品概要

Power Stage input voltage range	V_{POW}	4.5 V ... 55 V
Device Input supply voltage range	V_{VIN}	4.5 V ... 40 V
Maximum output voltage (depending by the application conditions)	$V_{OUT(max)}$	50 V
Switching Frequency range	f_{SW}	200 kHz ... 700 kHz
Typical NMOS driver on-state resistance at $T_j = 25^\circ\text{C}$ (Gate Pull Up)	$R_{DS(ON_PU)}$	2.3 Ω
Typical NMOS driver on-state resistance at $T_j = 25^\circ\text{C}$ (Gate Pull Down)	$R_{DS(ON_PD)}$	1.2 Ω
SPI clock frequency	$f_{SCLK(MAX)}$	5 MHz

保护功能

- 外部 MOSFET 的过载保护
- 短路负载、输出过压和过流保护
- 输入欠压保护
- 具有自动重启行为的器件热关断
- 静电放电防护（静电防护 ESD）

诊断功能

- 通过 SPI 锁存诊断信息
- ON（开通）状态下的负载开路检测。
- 器件过热关断和温度预警
- 智能监控和先进功能提供 I_{LED} 信息

故障行驶功能

- 通过 LHI 引脚激活故障行驶功能

应用

- 专为驱动汽车应用中的高功率 LED 而设计
- 汽车外部照明：全 LED 头灯组件（近光灯、远光灯、矩阵灯、像素灯）
- 通用电流/电压控制直流/直流降压LED驱动器

框图

2 框图

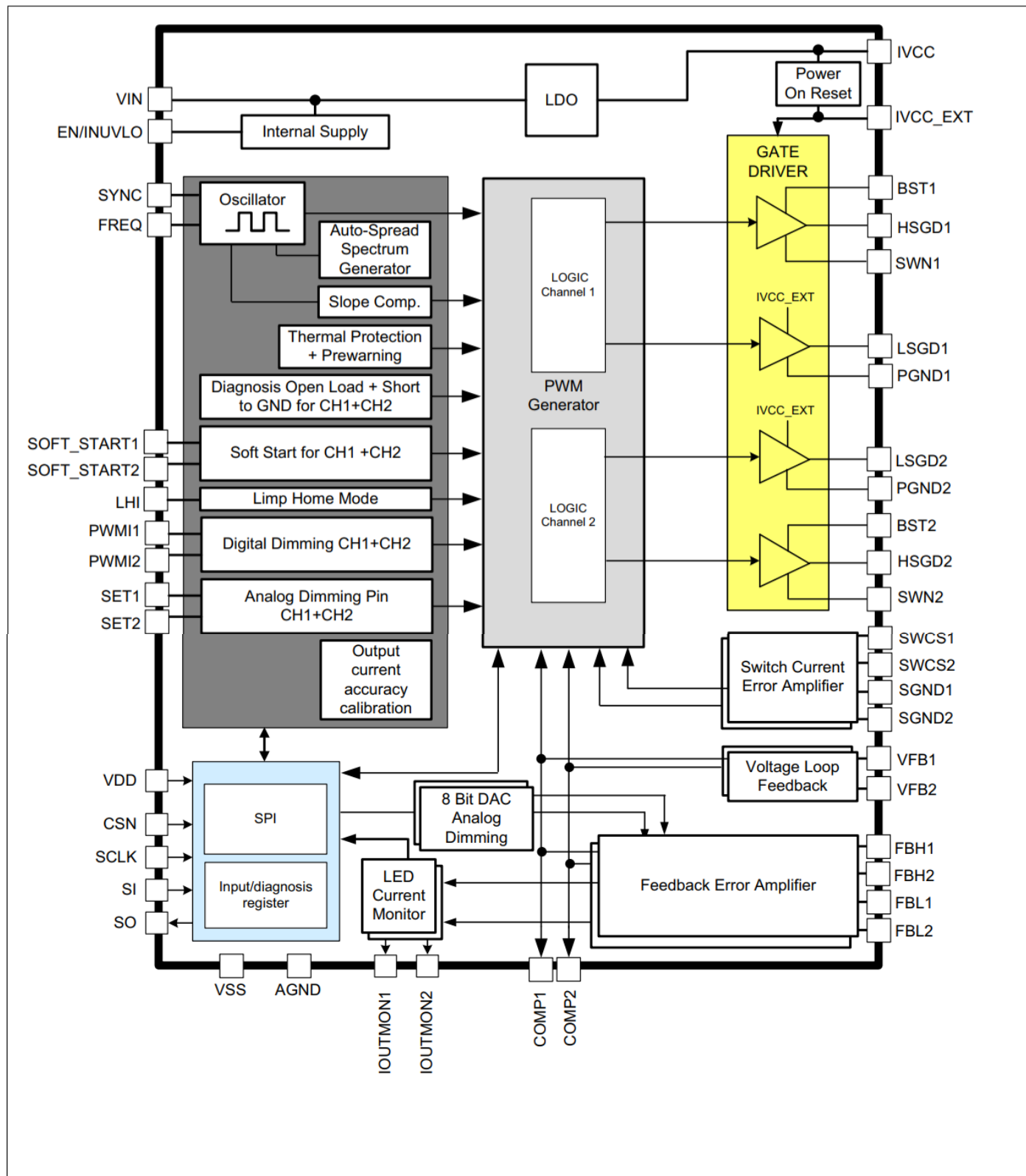


图 2 框图 - TLD5501-2QV

引脚配置

3 引脚配置

3.1 引脚分配

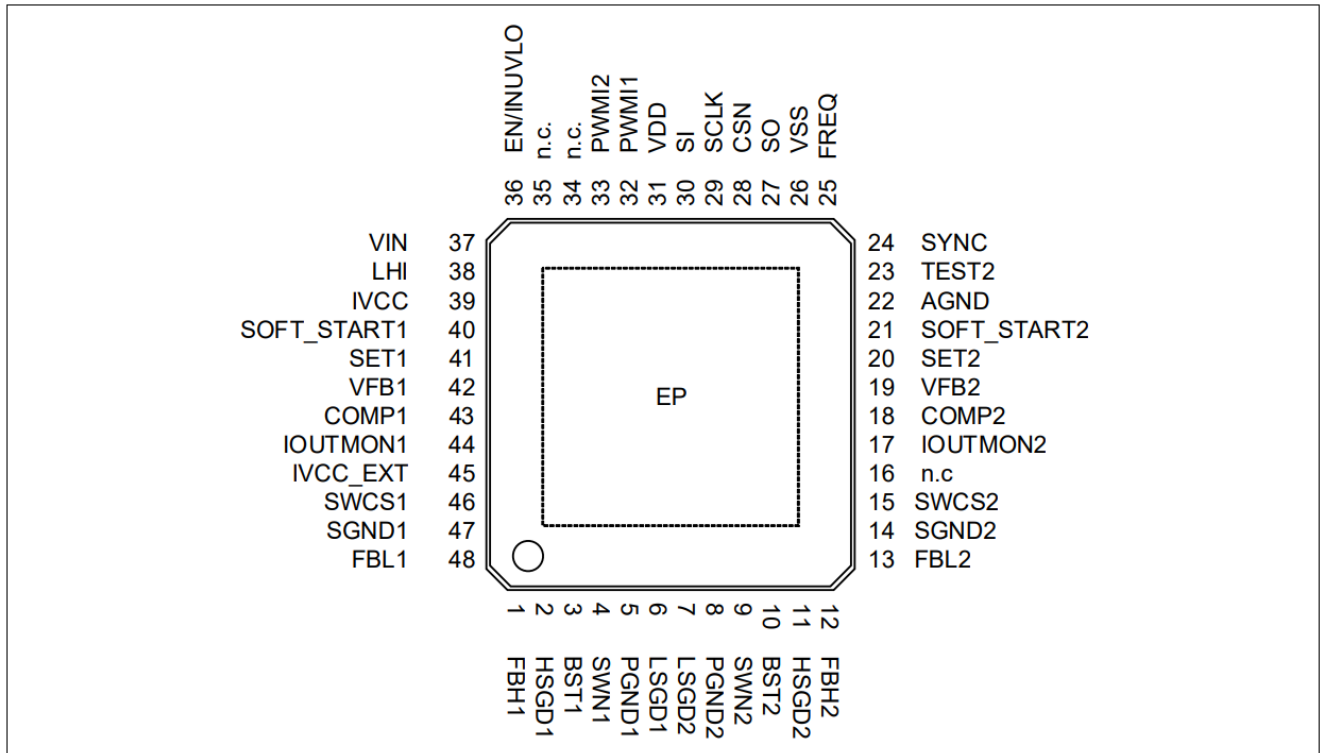


图 3 引脚配置 - TLD5501-2QV

引脚配置

3.2 引脚定义和功能

表 2 引脚定义及功能

Pin	Symbol	I/O ¹⁾		Function
电源				
16,34,35	n.c.	-		Not connected tie to AGND on the layout
37	VIN	-		Power Supply Voltage Supply for internal biasing
31	VDD	-		Digital GPIO Supply Voltage Connect to reverse voltage protected 5 V or 3.3 V supply
45	IVCC_EXT	I	PD	External LDO input Input to alternatively supply internal Gate Drivers via an external LDO. Connect to IVCC pin to use internal LDO to supply gate drivers. Must not be left open
5, 8	PGND1, 2	-		Power Ground Ground for power potential. Connect externally close to the chip
26	VSS	-		Digital GPIO Ground Ground for GPIO pins
22	AGND	-		Analog Ground Ground Reference
-	EP	-		Exposed Pad Connect to external heatspreading Cu area (e.g. inner GND layer of multilayer PCB with thermal vias)
栅极驱动器级				
2	HSGD1	O		Highside Gate Driver Output 1 Drives the top n-channel MOSFET with a voltage equal to V_{IVCC_EXT} superimposed on the switch node voltage SWN1. Connect to gate of external switching MOSFET
11	HSGD2	O		Highside Gate Driver Output 2 Drives the top n-channel MOSFET with a voltage equal to V_{IVCC_EXT} superimposed on the switch node voltage SWN2. Connect to gate of external switching MOSFET
6	LSGD1	O		Lowside Gate Driver Output 1 Drives the lowside n-channel MOSFET between GND and V_{IVCC_EXT} . Connect to gate of external switching MOSFET
7	LSGD2	O		Lowside Gate Driver Output 2 Drives the lowside n-channel MOSFET between GND and V_{IVCC_EXT} . Connect to gate of external switching MOSFET
4	SWN1	IO		Switch Node 1
9	SWN2	IO		Switch Node 2
39	IVCC	O		Internal LDO output Used for internal biasing and gate driver supply. Bypass with external capacitor close to the pin. Pin must not be left open

引脚配置

表2 引脚定义和功能

Pin	Symbol	I/O ¹⁾		Function
输入和输出				
38	LHI	I	PD	Limp Home Input Pin Used to enter in Limp Home state during Fail Safe condition.
23	TEST2	-		Test Pin Used for Infineon end of line test, connect to GND in application
36	EN/INUVLO	I	PD	Enable/Input Under Voltage Lock Out Used to put the device in a low current consumption mode, with additional capability to fix an undervoltage threshold via external components. Pin must not be left open
25	FREQ	I		Frequency Select Input Connect external resistor to GND to set frequency
24	SYNC	I	PD	Synchronization Input Apply external clock signal for synchronization
32	PWMI1	I	PD	Control Input CH1 Digital input 5 V or 3.3 V
33	PWMI2	I	PD	Control Input CH2 Digital input 5 V or 3.3 V
1	FBH1	I		Output current Feedback Positive for CH1 Non inverting Input (+) CH1
12	FBH2	I		Output current Feedback Positive for CH2 Non inverting Input (+) CH2
48	FBL1	I		Output current Feedback Negative for CH1 Inverting Input (-) CH1
13	FBL2	I		Output current Feedback Negative for CH2 Inverting Input (-) CH2
3	BST1	IO		Bootstrap capacitor Used for internal biasing and to drive the Highside Switch HSGD1. Bypass to SWN1 with external capacitor close to the pin. Pin must not be left open
10	BST2	IO		Bootstrap capacitor Used for internal biasing and to drive the Highside Switch HSGD2. Bypass to SWN2 with external capacitor close to the pin. Pin must not be left open
46	SWCS1	I		Current Sense Input for CH1 Inductor current sense CH1 - Non Inverting Input (+)
15	SWCS2	I		Current Sense Input for CH2 Inductor current sense CH2 - Non Inverting Input (+)
47	SGND1	I		Current Sense Ground for CH1 Inductor current sense CH1 - Inverting Input (-). Route as Differential net with SWCS1 on the Layout
14	SGND2	I		Current Sense Ground for CH2 Inductor current sense CH2 - Inverting Input (-). Route as Differential net with SWCS2 on the Layout

引脚配置

表2 引脚定义和功能

Pin	Symbol	I/O ¹⁾	Function
43	COMP1	O	Compensation Network Pin for CH1 Connect R and C network to pin for stability phase margin adjustment for CH1
18	COMP2	O	Compensation Network Pin for CH2 Connect R and C network to pin for stability phase margin adjustment for CH2
40	SOFT_START1	O	Softstart configuration Pin for CH1 Connect a capacitor C_{SOFT_START1} to GND to fix a soft start ramp default time
21	SOFT_START2	O	Softstart configuration Pin for CH2 Connect a capacitor C_{SOFT_START2} to GND to fix a soft start ramp default time
42	VFB1	I	Voltage Feedback Pin for CH1 VFB is intended to set output protection functions for CH1
19	VFB2	I	Voltage Feedback Pin for CH2 VFB is intended to set output protection functions for CH2
41	SET1	I	Analog current sense adjustment Pin for CH1
20	SET2	I	Analog current sense adjustment Pin for CH2
44	IOUTMON1	O	Output current monitor output 1 Monitor pin that produces a linear function of I_{OUT} as a voltage.
17	IOUTMON2	O	Output current monitor output 2 Monitor pin that produces a linear function of I_{OUT} as a voltage.

SPI

30	SI	I	PD	Serial data in; Digital input 5 V or 3.3 V
29	SCLK	I	PD	Serial clock; Digital input 5 V or 3.3 V
28	CSN	I	PU	SPI chip select; Digital input 5 V or 3.3 V. Active LOW
27	SO	O		Serial data out; Digital output, referenced to V_{DD}

- 1) O: 输出, I: 输入,
PD: 集成下拉电路,
PU: 集成上拉电路

一般产品特性

4 一般产品特性

4.1 绝对最大额定值

表 3 绝对最大额定值¹⁾

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

供电电压

VIN Supply Input	V_{VIN}	-0.3	–	60	V	–	P_4.1.1
VDD Digital supply voltage	V_{VDD}	-0.3	–	6	V	–	P_4.1.2
IVCC Internal Linear Voltage Regulator Output voltage	V_{IVCC}	-0.3	–	6	V	–	P_4.1.3
IVCC_EXT External Linear Voltage Regulator Input voltage	V_{IVCC_EXT}	-0.3	–	6	V	–	P_4.1.4

栅极驱动器级

LSGD1,2 - PGND1,2 Lowside Gatedriver voltage	$V_{LSGD1,2-PGND1,2}$	-0.3	–	5.5	V	–	P_4.1.54
HSGD1,2 - SWN1,2 Highside Gatedriver voltage	$V_{HSGD1,2-SWN1,2}$	-0.3	–	5.5	V	Differential signal (not referred to GND)	P_4.1.55
SWN1, SWN2 switching node voltage	$V_{SWN1,2}$	-1	–	60	V	–	P_4.1.6
(BST1-SWN1), (BST2-SWN2) Bootstrap voltage	$V_{BST1,2-SWN1,2}$	-0.3	–	6	V	Differential signal (not referred to GND)	P_4.1.7
BST1, BST2 Bootstrap voltage related to GND	$V_{BST1,2}$	-0.3	–	65	V	–	P_4.1.8
SWCS1,2 Switch Current Sense Input voltages	$V_{SWCS1,2}$	-0.3	–	0.3	V	–	P_4.1.42
SGND1,2 Switch Current Sense GND voltages	$V_{SGND1,2}$	-0.3	–	0.3	V	–	P_4.1.43
SWCS1,2-SGND1,2 Switch Current Sense differential voltages	$V_{SWCS1,2-SGND1,2}$	-0.5	–	0.5	V	–	P_4.1.44
PGND1,2 Power GND voltage	$V_{PGND1,2}$	-0.3	–	0.3	V	–	P_4.1.28

一般产品特性

表 3 绝对最大额定值¹⁾ (续)

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
高压引脚							
FBH1,2; FBL1,2 Feedback Error Amplifier voltages	$V_{\text{FBH1,2}; \text{FBL1,2}}$	-0.3	–	60	V	–	P_4.1.45
FBH1,2-FBL1,2 Feedback Error Amplifier differential voltages	$V_{\text{FBH1,2-FBL1,2}}$	-0.5	–	0.5	V	Differential signal (not referred to GND)	P_4.1.47
EN/INUVLO Device enable/input undervoltage lockout	$V_{\text{EN/INUVLO}}$	-0.3	–	60	V	–	P_4.1.16
数字 I/O 引脚							
PWMI1,2 Digital Input voltages	$V_{\text{PWMI1,2}}$	-0.3	–	5.5	V	–	P_4.1.49
CSN Voltage at Chip Select pin	V_{CSN}	-0.3	–	5.5	V	–	P_4.1.18
SCLK Voltage at Serial Clock pin	V_{SCLK}	-0.3	–	5.5	V	–	P_4.1.19
SI Voltage at Serial Input pin	V_{SI}	-0.3	–	5.5	V	–	P_4.1.20
SO Voltage at Serial Output pin	V_{SO}	-0.3	–	5.5	V	–	P_4.1.21
SYNC Synchronization Input voltage	V_{SYNC}	-0.3	–	5.5	V	–	P_4.1.22
LHI Limp Home Input Voltage	V_{LHI}	-0.3	–	5.5	V	–	P_4.1.58
LHI Limp Home Input Current	I_{LHI}	-5	–	–	mA	–	P_4.1.60
模拟引脚							
VFB1,2 Loop Input voltages	$V_{\text{VFB1,2}}$	-0.3	–	5.5	V	–	P_4.1.50
SET1,2 Analog dimming Input voltage	$V_{\text{SET1,2}}$	-0.3	–	5.5	V	–	P_4.1.56
COMP1,2 Compensation Input voltages	$V_{\text{COMP1,2}}$	-0.3	–	3.6	V	–	P_4.1.52
SOFT_START1,2 Softstart Voltages	$V_{\text{SOFT_START1,2}}$	-0.3	–	3.6	V	–	P_4.1.53
FREQ Voltage at frequency selection pin	V_{FREQ}	-0.3	–	3.6	V	–	P_4.1.32
IOUTMON1,2 Voltages at output monitor pins	$V_{\text{IOUTMON1,2}}$	-0.3	–	5.5	V	–	P_4.1.59

一般产品特性

表 3 绝对最大额定值¹⁾ (续)

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$; 所有电压均相对于 AGND, (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

温度

Junction Temperature	T_J	-40	–	150	$^{\circ}\text{C}$	–	P_4.1.35
Storage Temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_4.1.36

ESD 承受能力

ESD Resistivity of all Pins	$V_{\text{ESD,HBM}}$	-2	–	2	kV	HBM ²⁾	P_4.1.37
ESD Resistivity to GND	$V_{\text{ESD,CDM}}$	-500	–	500	V	CDM ³⁾	P_4.1.38
ESD Resistivity of corner Pins to GND	$V_{\text{ESD,CDM_corner}}$	-750	–	750	V	CDM ³⁾	P_4.1.39

1) 未经过生产测试, 由设计指定。

2) ESD 耐受性, 人体模型“HBM”, 符合AEC Q100-002

3) ESD 耐受性、带电器件模型“CDM”符合AECQ100-011

注释: 超过此处所列的压力可能会对器件造成永久性损坏。长时间暴露在绝对最大额定值条件下可能会影响器件的可靠性。

集成保护功能旨在防止在数据手册中描述的故障条件下集成电路 (IC) 被损坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

4.2 工作范围

表 4 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Device Extended Supply Voltage Range	V_{VIN}	4.5	–	40	V	¹⁾ (parameter deviations possible)	P_4.2.1
Device Nominal Supply Voltage Range	V_{VIN}	8	–	36	V	–	P_4.2.2
Power Stage Voltage Range	V_{POW}	4.5	–	55	V	¹⁾	P_4.2.5
Digital Supply Voltage	V_{DD}	3	–	5.5	V	–	P_4.2.3
Junction Temperature	T_J	-40	–	150	$^{\circ}\text{C}$	–	P_4.2.4

1) 无需经过生产测试, 由设计指定。

注释: 在工作范围内, IC按照电路描述正常工作。电气特性是在相关电气特性表中注明的条件下定义的。

一般产品特性

4.3 热阻抗

注释： 此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问 www.jedec.org。

表 5

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Case	R_{thJC}	–	0.9	–	K/W	¹⁾ ²⁾	P_4.3.1
Junction to Ambient	R_{thJA}	–	25	–	K/W	¹⁾ ³⁾ 2s2p	P_4.3.2

- 1) 未经过生产测试，由设计指定。
- 2) 指定的 R_{thJC} 值是在冷板设置上以自然对流下仿真（所有引脚和散热焊盘均固定为环境温度）。Ta= 25°C; IC的耗散功率为 1 W。
- 3) 指定的 R_{thJA} 值根据JEDEC 2s2p (JESD 51-7) + (JESD 51-5) 和JEDEC 1s0p (JESD 51-3) + FR4 板上自然对流的散热器面积；该器件在 76.2 x 114.3 x1.5 mm 板上进行仿真。2s2p 板有 2 个外铜层 (2 x 70 μm Cu) 和 2 个内铜层 (2 x 35 μm Cu)。一个热过孔阵列（直径 = 0.3 毫米和 25 μm 电镀）应用于裸露散热焊盘下方，并将第一外层（顶部）连接到JEDEC PCB的第一内层和第二外层（底部）。Ta = 25°C; IC的耗散功率为 1 W。

电源

5 电源

TLD5501-2QV 由以下引脚供电:

- VIN (主供电电压)
- VDD (数字供电电压)
- IVCC_EXT (为内部栅极驱动器级供电)

VIN 电源与 VDD 电源组合，为模拟和数字模块提供内部电源电压。在 VIN 电压低于 VDD 电压的情况下，可能会在 VDD 引脚处观察到消耗电流增加。

SPI 和 IO 接口由 VDD 引脚供电。

IVCC_EXT 是低边驱动器级的电源。该电源还用于通过外部肖特基二极管为自举电容器充电，从而为高边驱动器级提供电源电压。如果没有外部电压，则必须将此引脚短接至 IVCC，IVCC 是内部 5 V LDO 的输出。

电源引脚 VIN、VDD 和 IVCC_EXT 具有欠压检测功能。

VDD 供电电压欠压会阻止激活电流驱动器级和任何SPI通讯的（SPI寄存器已复位）。IVCC_EXT 或 IVCC 电压欠压会强制驱动器级停用，从而停止开关活动，但对 SPI 寄存器设置没有影响。

此外，通过在 VIN 和 GND 之间放置一个电阻分压器，双功能引脚 EN/INUVLO 可用作输入欠压保护。

若检测到EN/INUVLO欠压，则关闭IVCC稳压器，停止开关动作，停止通信，复位所有寄存器。

图 4 显示了电源域和引脚 VIN、VDD 和 IVCC/IVCC_EXT 之间相互作用的基本概念图。

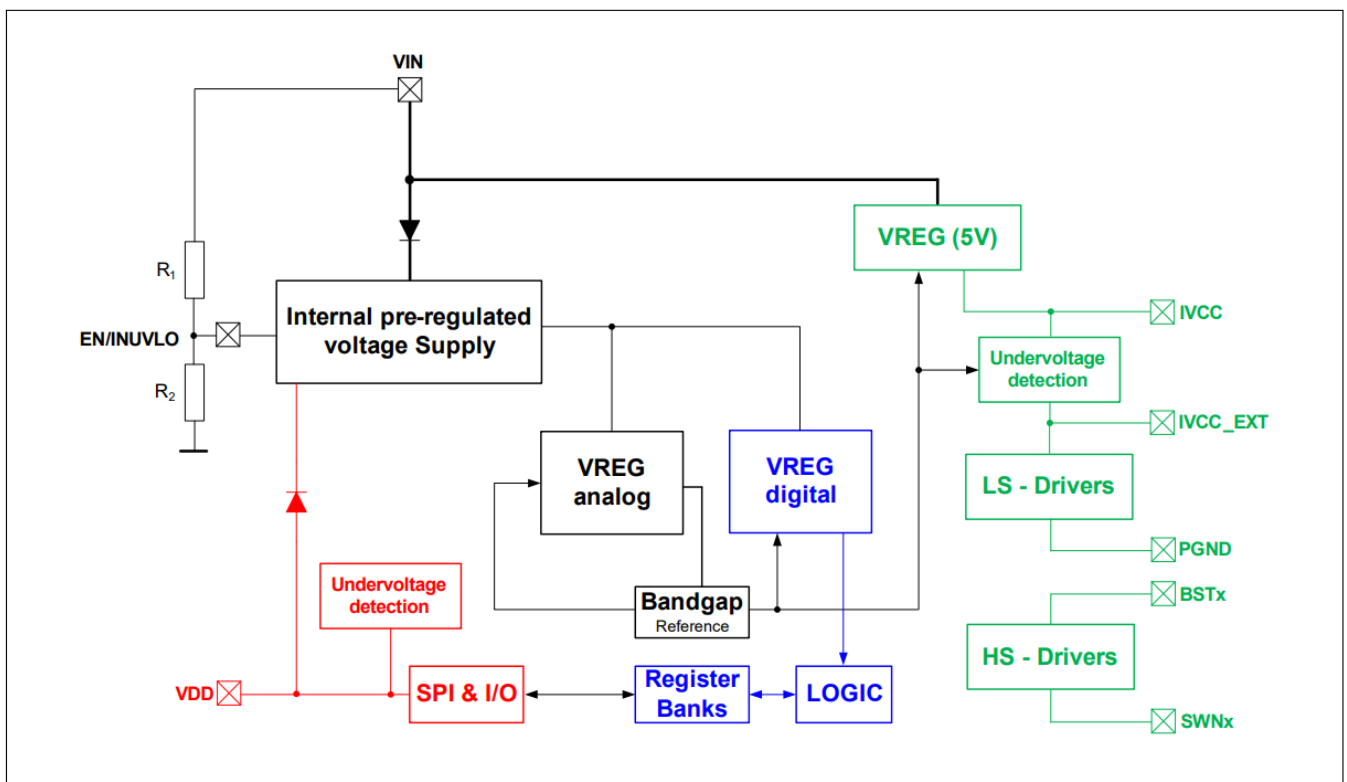


图4 电源概念图

电源

EN/INUVLO 引脚在不同应用中的使用

EN/INUVLO 引脚是双功能引脚，可用于将器件置于低电流消耗模式。通过放置外部电阻分压器 (A) 来固定欠压阈值，以避免低电压工作条件。该引脚可以由 μC 端口驱动，如 (B) (C) 所示。

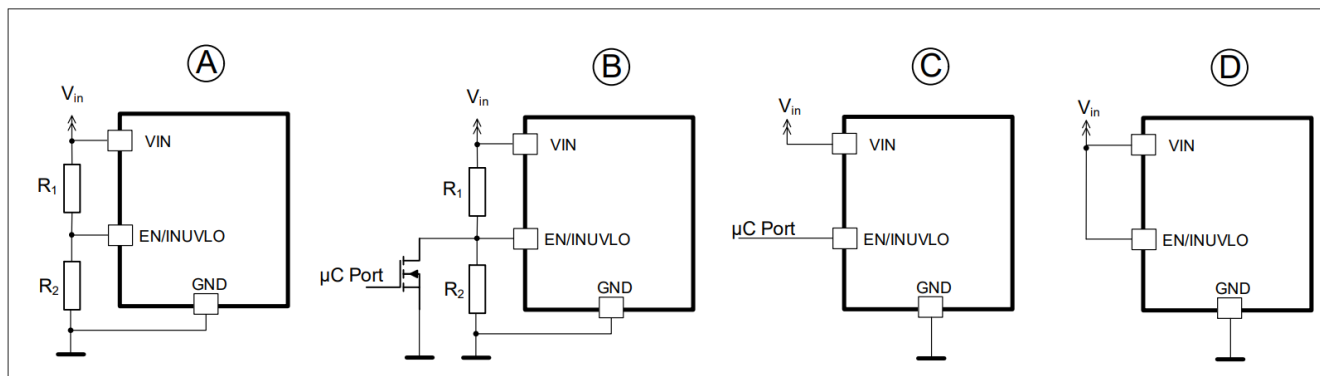


图 5 EN/INUVLO 引脚在不同应用中的使用情况

电源

5.1 不同功率状态

TLD5501-2QV有以下功率状态：

- 睡眠状态
- 空闲状态
- 故障行驶功能状态
- 激活状态

根据这些变量，在最多3个时钟周期的滤波时间后，确定了功率状态之间的转换：

- VIN电平
- EN/INUVLO 电平
- IVCC 电平
- IVCC_EXT电平
- VDD 电平
- LHI 电平
- DVCCTRL.IDLE位状态

包含可能转换的状态图 如图 6所示。

当供电电压 V_{IN} 超过其最小供电电压阈值时，进入上电条件 $V_{IN(ON)}$

休眠

器件通电后进入休眠状态，所有输出关闭，SPI寄存器复位，与引脚 VIN、VDD、IVCC 和 IVCC_EXT 上的供电电压无关。消耗电流为低。参考参数： $I_{VDD(SLEEP)}$ 和 $I_{VIN(SLEEP)}$ 。

从休眠到激活状态的转变需要一个指定的时间： t_{ACTIVE} 。

空闲

在空闲状态下，器件的消耗电流可以达到参数 I_{VDD} (P_5.3.4)给出的限制。内部稳压器工作。并非所有诊断功能都可用（请参阅**章节10**了解更多信息）。在此状态下，没有开关活动，与电源电压 V_{IN} 、 V_{DD} 、IVCC 和 IVCC_EXT 无关。当 V_{DD} 可用时，SPI寄存器正在工作，并且可以进行SPI通讯。

故障行驶功能

故障行驶功能状态有利于满足系统安全要求，并提供了通过备用控制电路在输出端维持定义的恒定电流/电压的可能性。备用控制电路在 μC 发生故障时打开所需负载。有关详细信息，请参阅**第8章**。当进入故障行驶功能状态时，SPI寄存器被复位为其默认值。为了调节输出电流/电压， V_{IN} 和 IVCC_EXT 必须存在且高于其欠压阈值。如果 VDD 也高于其欠压阈值，则可以进行SPI通讯，但仅限于读取模式。

活动

在激活状态中，仅当 PWM1,2 = HIGH（高电平）或 LOOPCTRL.CH1,2.PWM_1,2 = HIGH（高电平）时，器件才会开始开关活动以在输出端提供功率。启动高边栅极驱动器 HSGD1,2 电压电平 $V_{BST1,2} - V_{SWN1,2}$ 需要高于阈值 $V_{BST1,2} - V_{SWN1,2_UVth}$ 。为了给自举电容器充电，当 PWM1,2 = LOW（低电平）且 LOOPCTRL.CH1,2.PWM_1,2 = LOW（低电平）时，也可以观察到零星开关活动。

电源

在激活状态中，通过 V_{IN} 和 V_{DD} 的器件消耗电流取决于所使用的外部MOSFET和开关频率 f_{SW} 。

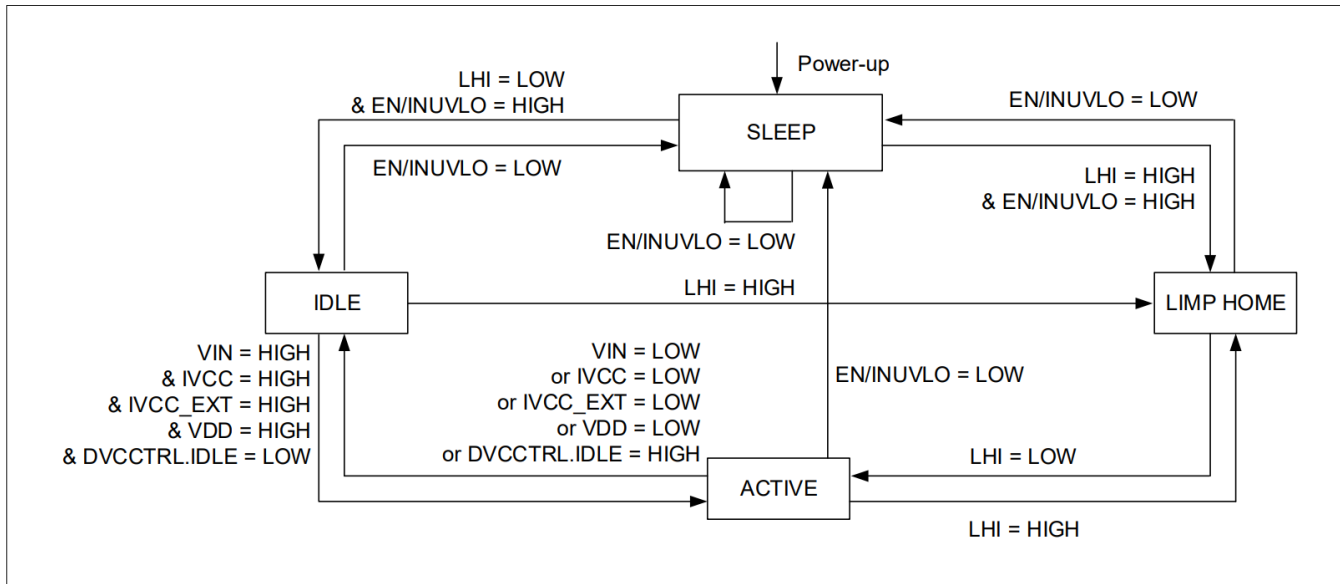


图 6 简化状态图

5.2 复位器件的不同可能性

器件中有多个复位触发器。

在任何类型的复位之后，所有错误标志 (TER) 置位为 HIGH。

欠压复位：

EN/INUVLO：当 EN/INUVLO 低于 $V_{EN/INUVLOth}$ (P_5.3.7) 时，SPI接口不工作，所有寄存器将复位为默认值。此外，器件进入休眠模式，消耗电流最小化。

VDD：当 V_{VDD} 低于 $V_{VDD(UV)}$ (P_5.3.6) 时，SPI接口不工作，所有寄存器都恢复为默认值。

通过SPI指令复位：

有一个指令 ($DVCCTRL.SWRST = HIGH$) 可用于将所有可写寄存器重置为其默认值。注意，来自校准例程的结果， $LOOPCTRL_CH1,2.ENCAL_CH1,2 = HIGH$ 时可由SPI读取，不能由 $SWRST$ 重置。

通过故障行驶功能复位：

当检测到故障行驶功能状态时，寄存器会复位为默认值。

电源

5.3 电气特性

表 6 EC 电源

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
电源供电 V_{IN}							
Input Voltage Startup	$V_{VIN(ON)}$	–	–	4.7	V	V_{IN} increasing; $V_{EN/INUVLO} = \text{HIGH}$; $V_{DD} = 5\text{ V}$; $IVCC = IVCC_EXT = 10\text{ mA}$	P_5.3.1
Input Undervoltage switch OFF	$V_{VIN(OFF)}$	–	–	4.5	V	V_{IN} decreasing; $V_{EN/INUVLO} = \text{HIGH}$; $V_{DD} = 5\text{ V}$; $IVCC = IVCC_EXT = 10\text{ mA}$	P_5.3.14
Device operating current	$I_{VIN(ACTIVE)}$	–	6.2	9	mA	¹⁾ ACTIVE mode; $V_{PWM1,2} = 0\text{ V}$	P_5.3.2
V_{IN} Sleep mode supply current	$I_{VIN(SLEEP)}$	–	–	1.5	μA	$V_{EN/INUVLO} = 0\text{ V}$; $V_{CSN} = V_{DD} = 5\text{ V}$; $V_{IN} = 13.5\text{ V}$; $V_{IVCC} = V_{IVCC_EXT} = 0\text{ V}$	P_5.3.3
数字电源供电 V_{DD}							
Digital supply current	I_{VDD}	–	–	0.5	mA	$V_{IN} = 13.5\text{ V}$; $f_{SCLK} = 0\text{ Hz}$; $V_{PWM1,2} = 0\text{ V}$; $V_{EN} = V_{CSN} = V_{DD} = 5\text{ V}$	P_5.3.4
Digital Supply Sleep mode current	$I_{VDD(SLEEP)}$	–	–	1.5	μA	$V_{EN/INUVLO} = 0\text{ V}$; $V_{CSN} = V_{DD} = 5\text{ V}$; $V_{IN} = 13.5\text{ V}$; $V_{IVCC} = V_{IVCC_EXT} = 0\text{ V}$	P_5.3.5
Undervoltage shutdown threshold voltage	$V_{VDD(UV)}$	1	–	3	V	$V_{CSN} = V_{DD}$; $V_{SI} = V_{SCLK} = 0\text{ V}$; SO from LOW to HIGH impedance	P_5.3.6
EN/INUVLO 引脚特性							
Input Undervoltage falling Threshold	$V_{EN/INUVLOth}$	1.64	1.75	1.86	V	–	P_5.3.7
EN/INUVLO Rising Hysteresis	$V_{EN/INUVLO(hyst)}$	–	90	–	mV	¹⁾	P_5.3.8
EN/INUVLO input Current LOW	$I_{EN/INUVLO(LOW)}$	0.45	0.89	1.34	μA	$V_{EN/INUVLO} = 0.8\text{ V}$	P_5.3.9
EN/INUVLO input Current HIGH	$I_{EN/INUVLO(HIGH)}$	1.1	2.2	3.3	μA	$V_{EN/INUVLO} = 2\text{ V}$	P_5.3.10

电源

表 6 EC 电源供电 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

LHI 引脚特性

LOW level	$V_{LHI(L)}$	0	-	0.8	V	-	P_5.3.16
HIGH level	$V_{LHI(H)}$	2.0	-	5.5	V	-	P_5.3.17
L-Input pull-down current	$I_{LHI(L)}$	6	12	18	μA	$V_{LHI} = 0.8\text{ V}$	P_5.3.18
H-Input pull-down current	$I_{LHI(H)}$	15	30	45	μA	$V_{LHI} = 2.0\text{ V}$	P_5.3.19

时序

SLEEP mode to ACTIVE time	t_{ACTIVE}	-	-	0.7	ms	1) $V_{IVCC} = V_{IVCC_EXT}$; $C_{IVCC} = 10\text{ }\mu\text{F}$; $V_{IN} = 13.5\text{ V}$; $V_{DD} = 5\text{ V}$	P_5.3.11
---------------------------	--------------	---	---	-----	----	--	----------

1) 无需经过生产测试, 由设计指定。

调节器描述

6 调节器描述

TLD5501-2QV包括驱动LED所需的所有功能，可为输出提供恒定电流。还可实现恒压模式调节（请参阅第6.5章）。

在深度降压应用中，由于占空比（ $D_{\text{BUCK_MIN}}$ ）限制，器件将进入脉冲跳跃模式，以保持调节平均输出电流，输出纹波可能会增加。

最小占空比取决于 f_{SW} 。

6.1 调节器示意图描述

一个模拟电流控制环路连接到感测引脚FBL1,2、FBH1,2的（A5、A4，综合增益 = $IFB \times g_m$ ）来调节输出电流。调节器功能由脉冲宽度调制（PWM）电流模式控制器实现。输出电流环路中的误差用于确定适当的占空比，以获得恒定输出电流。

外部补偿网络（ R_{COMP} 、 C_{COMP} ）用于调整控制环路以适应各种应用边界条件。

电流模式环路的电感电流由 R_{SWCS} 电阻感应。

R_{SWCS} 还用于限制最大外部开关/电感器电流。

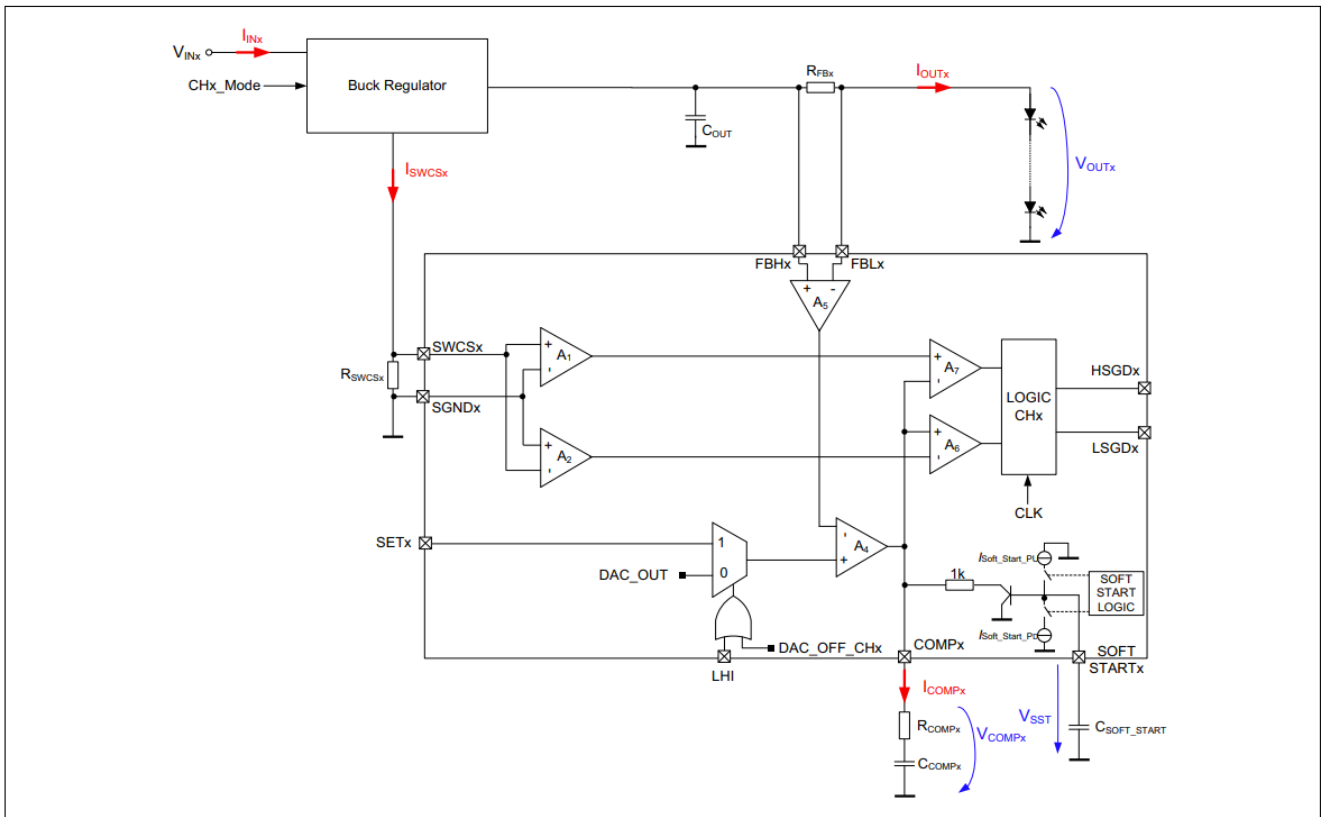
如果 R_{SWCS} 两端的电压超过其过流阈值（ $V_{\text{SWCS1,2_buck}}$ ），则该器件会降低占空比，以使开关电流低于规定的限值。

电流模式控制器还具有内置斜率补偿，以防止次谐波振荡。

控制环路逻辑功能块（LOGIC_CHx）向两个内部栅极驱动器提供PWM信号。栅极驱动器（HSGD1,2 和 LSGD1,2）用于驱动外部 MOSFET。一旦 $V_{\text{SOFT_START1,2}}$ 超过 $V_{\text{Soft_start1,2_LOFF}}$ 或 $V_{\text{(FBH1,2-FBL1,2)}}$ 超过 $V_{\text{(FBH1,2-FBL1,2)_VALID}}$ 阈值，TLD5501-2QV会强制进入CCM调节模式。

控制环路如图7所示，显示了典型的电流应用。 R_{FB} 两端的电压决定输出电流。

输出电流通过SPI参数（ $\text{LEDCURRADIM_CH1,2.ADIMVAL_CH1,2} = 11110000_{\text{B}} = \text{默认为 } 100\%$ ）加上偏移微调（ $\text{LEDCURRCAL_CH1,2.CALIBVAL_CH1,2} = 0000_{\text{B}} = \text{默认为范围中间值}$ ）固定。请参阅第8.1章了解更多详情。



调节器描述

6.2 可调软启动斜坡

软启动程序有两个功能：

- 故障管理：故障屏蔽和重试前等待时间，分别在SOFT_START1,2的上升沿和下降沿（图8及第10.2章）
- 限制初始化期间通过电感器和外部MOSFET开关的电流，以最大限度地减少输出的潜在过冲。

软启动程序应用如下：

- 启动时（空闲到激活转换后第一次PWM上升）
- 输出短路至 GND 检测后
- 通过低模拟调光值停止通道后（参见章节 8）

软启动电流由位于 SOFT_START 引脚的电容器以及上拉和下拉电流源（ $I_{Soft_Start1,2_PU}$ 、 $I_{Soft_Start1,2_PD}$ ）定义。

软启动电容器的最小值必须设计成，在启动时，输出电压在软启动电压达到 $V_{SOFT_START1,2_LOFF}$ 之前超过短路接地阈值。最低温度和最低输入电压应被视为上述计算的最坏情况条件。

软启动上升沿时间大约为：

$$t_{SOFT_START1,2} = V_{Soft_Start1,2_LOFF} \cdot \frac{C_{Soft_Start1,2}}{I_{Soft_Start1,2_PU}} \quad (6.1)$$

软启动例程通过缓冲器钳位 COMP 引脚来限制浪涌电流，如图 7所示。因此，只有当软启动电容器足够大于COMP电容器时，该功能才有效。

如果检测到输出短路，则激活下拉电流源 $I_{SOFT_START1,2_PD}$ (P_6.4.59)。此电流使 $V_{SOFT_START1,2}$ 下降，直到达到 $V_{SOFT_START1,2_RESET}$ (P_6.4.61)，然后激活上拉电流源 $I_{SOFT_START1,2_PU}$ (P_6.4.58) 再次打开，如果 PWM1,2为高，见图 8。如果在达到 $V_{SOFT_START1,2_LOFF}$ (P_6.4.60) 之前故障条件尚未消除，下拉电流源将再次打开，启动新周期。此过程将持续，直到故障消除。

在软启动的上升沿期间，内部 PWM 会延长，直到达到以下2个条件之一：

- 直到 $V_{SOFT_START1,2}$ 超过 $V_{Soft_Start1,2_LOFF}$ (P_6.4.60)
- 直到 $V_{FBH1,2-FBL1,2}$ 超过 $V_{(FBH1,2-FBL1,2)_VALID}$ (P_6.6.1)

调节器描述

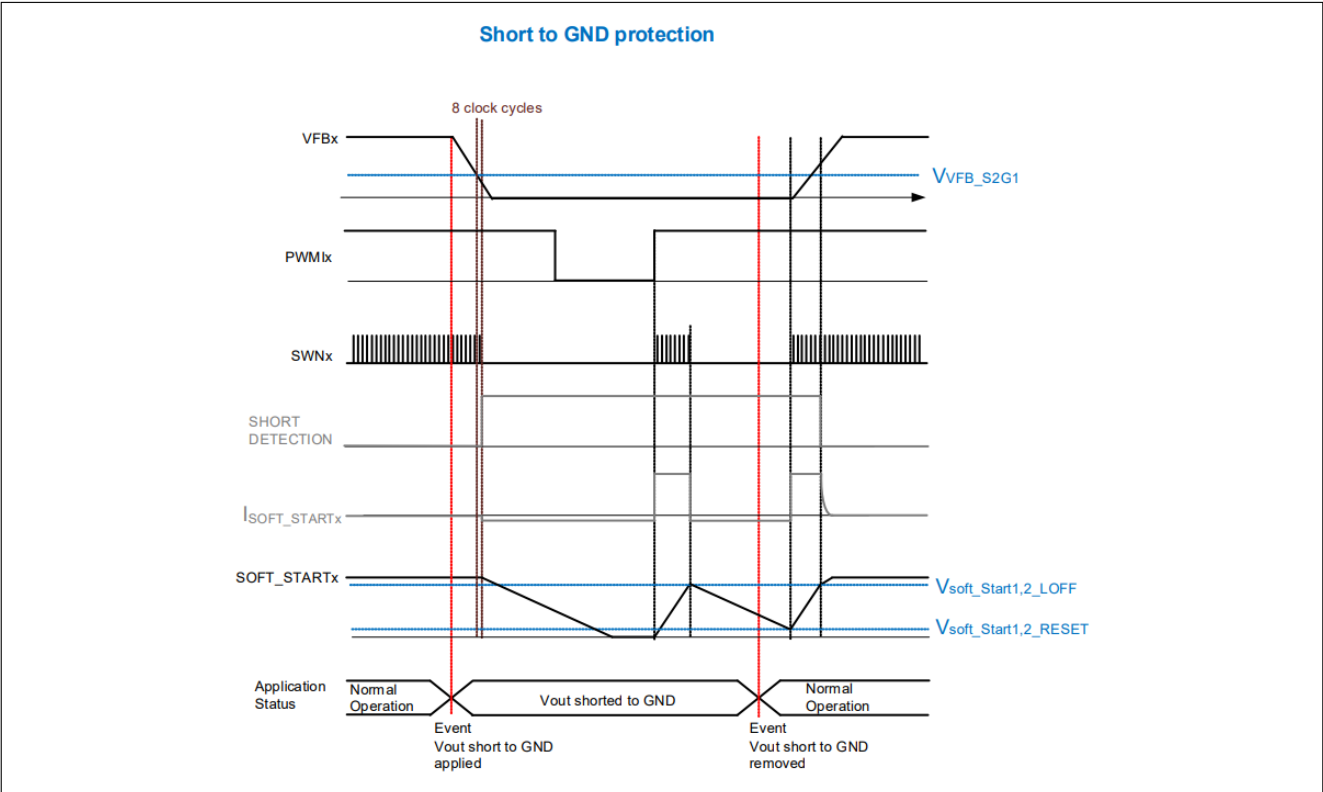


图 8 VFBx 引脚检测到短路到地时的软启动时序图

6.3 开关频率设置

开关频率可以通过从 FREQ 引脚连接到 GND 的外部电阻器或通过提供第 11.2 章中指定的同步信号在 200 kHz 至 700 kHz 之间设置。根据图9中的曲线图，用外部电阻选择开关频率或使用以下近似公式。

$$f_{SW} [kHz] = 5375 * (R_{FREQ} [k\Omega])^{-0.8} \tag{6.2}$$

$$R_{FREQ} [k\Omega] = 46023 * (f_{SW} [kHz])^{-1.25} \tag{6.3}$$

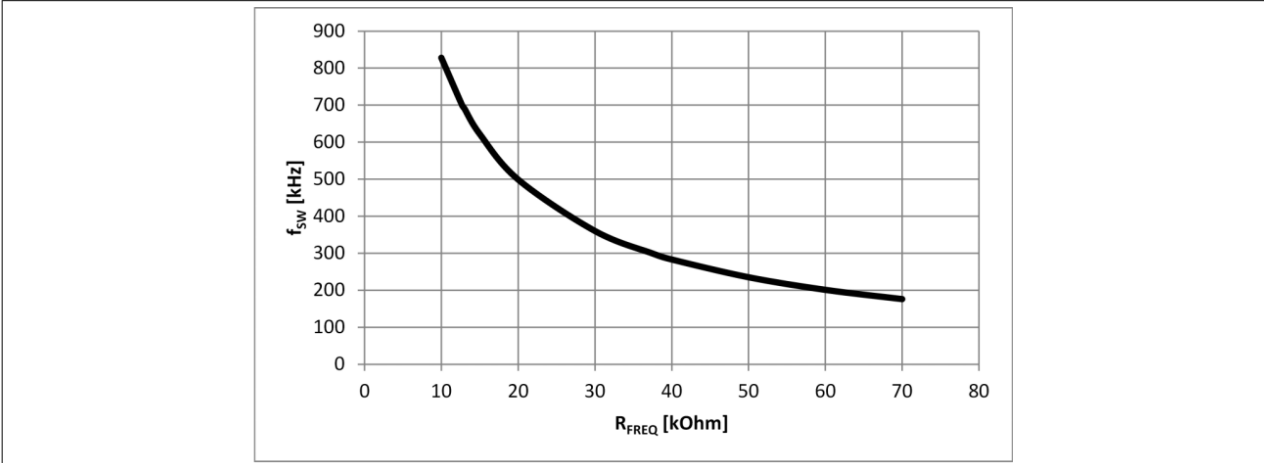


图 9 开关频率 f_{SW} 与到GND频率选择电阻 R_{FREQ} 的关系

调节器描述

6.4 灵活电流采样

灵活的电流采样执行器可实现高边和低边电流侦测。

图 10 显示高边和低边电流采样概念的应用示例。

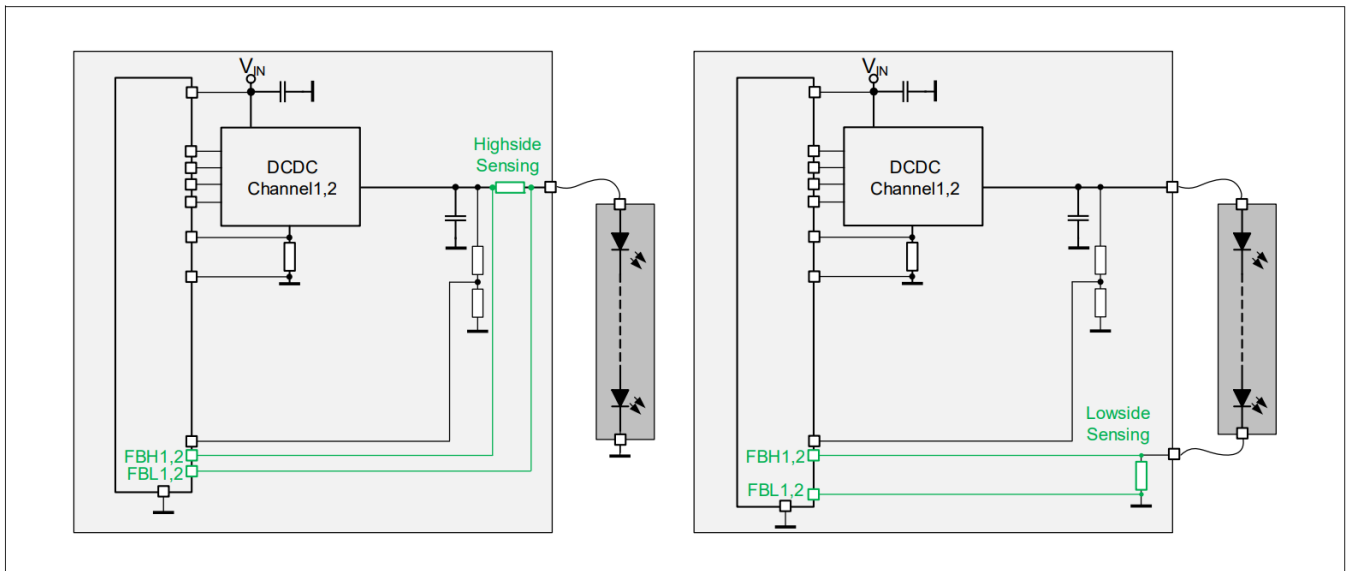


图 10 高边和低边电流检测 - TLD5501-2QV

调节器描述

6.5 可编程输出电压（恒定电压调节）

对于稳压器，可根据以下 [公式\(6.4\)](#) 选择 R_{FBx1} 、 R_{FBx2} 和 R_{FBx3} 值来设置输出电压：

$$V_{OUT1,2} = \left(I_{FBH,2} + \frac{V_{FBH,2} - V_{FBL,2}}{R_{FB2,2}} \right) \cdot R_{FB1,2} + \left(\frac{V_{FBH,2} - V_{FBL,2}}{R_{FB2,2}} - I_{FBL,2} \right) \cdot R_{FB3,2} + V_{FBH,2} - V_{FBL,2} \quad (6.4)$$

通过电阻分压器固定输出电压后，可以通过模拟调光位改变该值 $ADIMVAL_CH1,2$ 。

如果进行模拟调光，由于 I_{FBL} ($I_{FBL1,2_HSS}$ (P_6.4.52) 和 $I_{FBL1,2_LSS}$ (P_6.4.54)) 的变化 或 I_{FBH} ($I_{FBH1,2_HSS}$ (P_6.4.51) 和 $I_{FBH1,2_LSS}$ (P_6.4.53)) 电流在整个电压范围内，可能会观察到输出电压的非线性。为了尽量减少这种影响， R_{FBx} 电阻器阻值应适当。

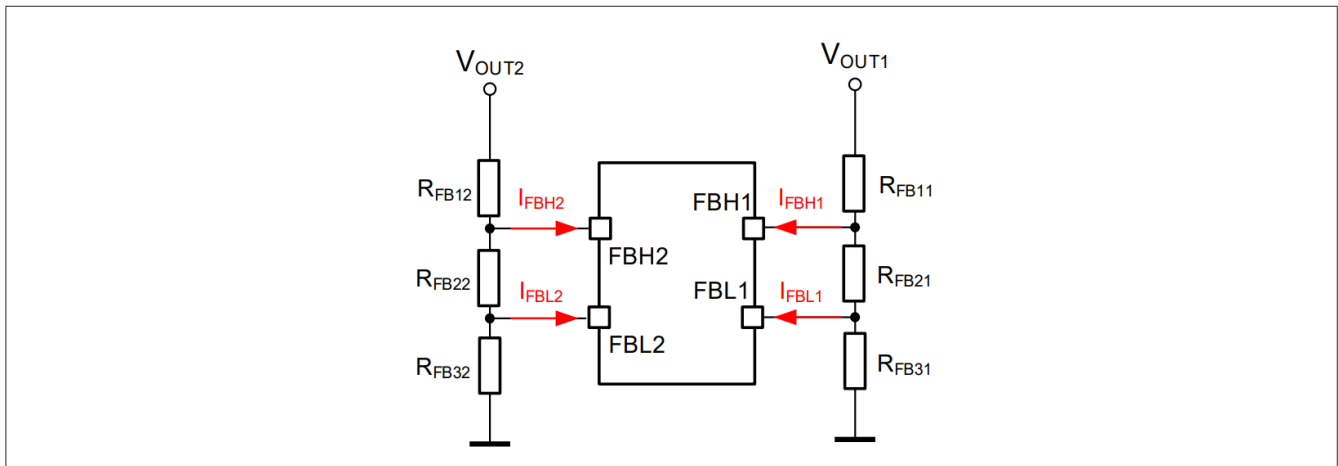


图 11 可编程输出电压（恒压调节）

注释： 在无负载条件的情况下，如果输出电压高于 $V_{(FBH1,2-FBL1,2)_VALID}$ 阈值，则输出电容器可能会在软启动期间放电。建议适当调整外部元件的尺寸（例如增加输出电容器或减小电感器值）以避免负输出电压。或者，建议在输出上添加钳位二极管，如[图38](#)所示。

调节器描述

6.6 电气特性

表 7 EC 调节器

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

调节器:

$V_{(FBH1,2-FBL1,2)}$ thresholds	$V_{(FBH1,2-FBL1,2)}$	145.5	150	154.5	mV	ADIM.ADIMVAL_CH1,2 = 11110000 _B ; Differential signal (not referred to GND)	P_6.4.43
$V_{(FBH1,2-FBL1,2)}$ thresholds @ analog dimming 10%	$V_{(FBH1,2-FBL1,2)_10}$	12	15	18	mV	ADIM.ADIMVAL_CH1,2 = 00011000 _B ; Differential signal (not referred to GND) Calibration Procedure not performed	P_6.4.47
$V_{(FBH-FBL)}$ valid range threshold	$V_{(FBH1,2-FBL1,2)_VALID}$	110	120	130	mV	$V_{SET} = 1.4\text{ V}$ or ADIM.ADIMVAL_CH1,2 = 11110000 _B	P_6.6.1
FBH1,2 Bias currents @ highside sensing setup	$I_{FBH1,2_HSS}$	65	100	156	μA	$V_{FBL1,2} = 7\text{ V}$; $V_{FBH1,2} - FBL1,2 = 150\text{ mV}$	P_6.4.51
FBL1,2 Bias currents @ highside sensing setup	$I_{FBL1,2_HSS}$	17	30	45	μA	$V_{FBL1,2} = 7\text{ V}$; $V_{FBH1,2} - FBL1,2 = 150\text{ mV}$	P_6.4.52
FBH1,2 Bias currents @ lowside sensing setup	$I_{FBH1,2_LSS}$	-7.5	-4	-2.5	μA	$V_{FBL1,2} = 0\text{ V}$; $V_{FBH1,2} - FBL1,2 = 150\text{ mV}$	P_6.4.53
FBL1,2 Bias currents @ lowside sensing setup	$I_{FBL1,2_LSS}$	-45	-30	-20	μA	$V_{FBL1,2} = 0\text{ V}$; $V_{FBH1,2} - FBL1,2 = 150\text{ mV}$	P_6.4.54
FBH-FBL High Side sensing entry threshold	$V_{FBH_HSS_inc}$	1.9	2	2.1	V	¹⁾ $V_{FBH1,2}$ increasing	P_6.9.1
FBH-FBL High Side sensing exit threshold	$V_{FBH_HSS_dec}$	1.65	1.75	1.85	V	¹⁾ $V_{FBH1,2}$ decreasing	P_6.9.2
OUT Current sense Amplifier g_m	$IFBx_{gm}$	–	890	–	μS	¹⁾	P_6.4.10
Output Monitor Voltages	$V_{IOUTMON1,2}$	1.33	1.4	1.47	V	$V_{FBH1,2} - FBL1,2 = 150\text{ mV}$	P_6.5.1
Minimum BUCK Duty Cycle	D_{BUCK_MIN}	–	4	5.5	%	¹⁾ $f_{sw} = 300\text{ kHz}$	P_6.8.2
Maximum BUCK Duty Cycle	D_{BUCK_MAX}	90.5	92	94	%	¹⁾ $f_{sw} = 300\text{ kHz}$	P_6.5.2
Switch Peak Over Current Thresholds - BUCK	$V_{SWCS1,2_buck}$	-60	-50	-40	mV	¹⁾	P_10.8.25

软启动

Soft Start1,2 pull up currents	$I_{Soft_Start1,2_PU}$	21	27	34	μA	$V_{Soft_Start1,2} = 1\text{ V}$	P_6.4.58
--------------------------------	--------------------------	----	----	----	----	-----------------------------------	----------

调节器描述

表 7 EC 调节器 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Soft Start1,2 pull down currents	$I_{\text{Soft_Start1,2_PD}}$	2.1	2.7	3.4	μA	$V_{\text{Soft_Start1,2}} = 1\text{ V}$	P_6.4.59
Soft Start1,2 Latch-OFF Thresholds	$V_{\text{Soft_Start1,2_LOFF}}$	1.65	1.75	1.85	V	–	P_6.4.60
Soft Start1,2 Reset Thresholds	$V_{\text{Soft_Start1,2_RESET}}$	0.1	0.2	0.3	V	–	P_6.4.61
Soft Start1,2 Voltage during regulation	$V_{\text{Soft_Start1,2_reg}}$	1.9	2	2.1	V	¹⁾ No Faults	P_6.9.3

振荡器

Switching Frequency	f_{SW}	285	300	315	kHz	$T_J = 25^\circ\text{C}$; $R_{\text{FREQ}} = 37.4\text{ k}\Omega$; $\text{ENSPREAD} = \text{LOW}$	P_6.4.23
SYNC Frequency	f_{SYNC}	200	–	700	kHz	–	P_6.4.24
SYNC Turn On Threshold	$V_{\text{SYNC,ON}}$	2	–	–	V	–	P_6.4.25
SYNC Turn Off Threshold	$V_{\text{SYNC,OFF}}$	–	–	0.8	V	–	P_6.4.26
SYNC High Input Current	$I_{\text{SYNC,H}}$	15	30	45	μA	$V_{\text{SYNC}} = 2.0\text{ V}$;	P_6.4.62
SYNC Low Input Current	$I_{\text{SYNC,L}}$	6	12	18	μA	$V_{\text{SYNC}} = 0.8\text{ V}$;	P_6.4.63

外部开关的栅极驱动器

Gate Driver undervoltage threshold $V_{\text{BST1,2}} - V_{\text{SWN1,2_UVth}}$	$V_{\text{BST1,2}} - V_{\text{SWN1,2_UVth}}$	3.4	–	4	V	$V_{\text{BST1,2}} - V_{\text{SWN1,2}}$ decreasing; Differential signal (not referred to GND)	P_6.4.64
HSGD1,2 NMOS driver on-state resistance (Gate Pull Up)	$R_{\text{DS(ON_PU)HS}}$	1.4	2.3	3.7	Ω	$V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$; $I_{\text{source}} = 100\text{ mA}$	P_6.4.28
HSGD1,2 NMOS driver on-state resistance (Gate Pull Down)	$R_{\text{DS(ON_PD)HS}}$	0.6	1.2	2.2	Ω	$V_{\text{BST1,2}} - V_{\text{SWN1,2}} = 5\text{ V}$; $I_{\text{sink}} = 100\text{ mA}$	P_6.4.29
LSGD1,2 NMOS driver on-state resistance (Gate Pull Up)	$R_{\text{DS(ON_PU)LS}}$	1.4	2.3	3.7	Ω	$V_{\text{IVCC_EXT}} = 5\text{ V}$; $I_{\text{source}} = 100\text{ mA}$	P_6.4.30
LSGD1,2 NMOS driver on-state resistance (Gate Pull Down)	$R_{\text{DS(ON_PD)LS}}$	0.4	1.2	1.8	Ω	$V_{\text{IVCC_EXT}} = 5\text{ V}$; $I_{\text{sink}} = 100\text{ mA}$	P_6.4.31

调节器描述

表 7 EC 调节器 (续)

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
HSGD1,2 Gate Driver peak sourcing current	$I_{HSGD1,2_SRC}$	380	–	–	mA	¹⁾ $V_{HSGD1,2} - V_{SWN1,2} = 1\text{ V}$ to 4 V ; $V_{BST1,2} - V_{SWN1,2} = 5\text{ V}$	P_6.4.32
HSGD1,2 Gate Driver peak sinking current	$I_{HSGD1,2_SNK}$	410	–	–	mA	¹⁾ $V_{HSGD1,2} - V_{SWN1,2} = 4\text{ V}$ to 1 V ; $V_{BST1,2} - V_{SWN1,2} = 5\text{ V}$	P_6.4.33
LSGD1,2 Gate Driver peak sourcing current	$I_{LSGD1,2_SRC}$	370	–	–	mA	¹⁾ $V_{LSGD1,2} = 1\text{ V}$ to 4 V ; $V_{IVCC_EXT} = 5\text{ V}$	P_6.4.34
LSGD1,2 Gate Driver peak sinking current	$I_{LSGD1,2_SNK}$	550	–	–	mA	¹⁾ $V_{LSGD1,2} = 4\text{ V}$ to 1 V ; $V_{IVCC_EXT} = 5\text{ V}$	P_6.4.35
LSGD1,2 OFF to HSGD1,2 ON delay	$t_{LSOFF-HSON_delay}$	15	30	40	ns	¹⁾	P_6.4.36
HSGD1,2 OFF to LSGD1,2 ON delay	$t_{HSON-LSON_delay}$	35	65	95	ns	¹⁾	P_6.4.37

1) 无需经过生产测试, 由设计指定。

数字调光功能

7 数字调光功能

采用 PWM 调光来改变 LED 亮度，同时大大减少色度偏移。PWM调光通过改变LED串中电流的占空比来实现亮度降低。

7.1 描述

PWM 信号可以通过两种方式传输到 TLD5501-2QV，如下所述。

通过两种方式中的任一种方式传送的高PWM值始终会覆盖另一种方式可能产生的低电平，从而导致栅极驱动器的使能。

通过直接接口的PWM

PWMI1,2 引脚可馈送脉冲宽度调制 (PWM) 信号，当该信号为高电平时启用主开关的栅极驱动器，当该信号为低电平时禁用主开关的栅极驱动器。

通过 SPI 进行 PWM

通过改变 LOOPCTRL_CH1,2.PWM_1,2 位的值，即通过 SPI 接口发送脉冲宽度调制 (PWM) 信号。

LOOPCTRL_CH1,2.PWM_1,2=HIGH/LOW分别开启/关闭主开关的栅极驱动器。

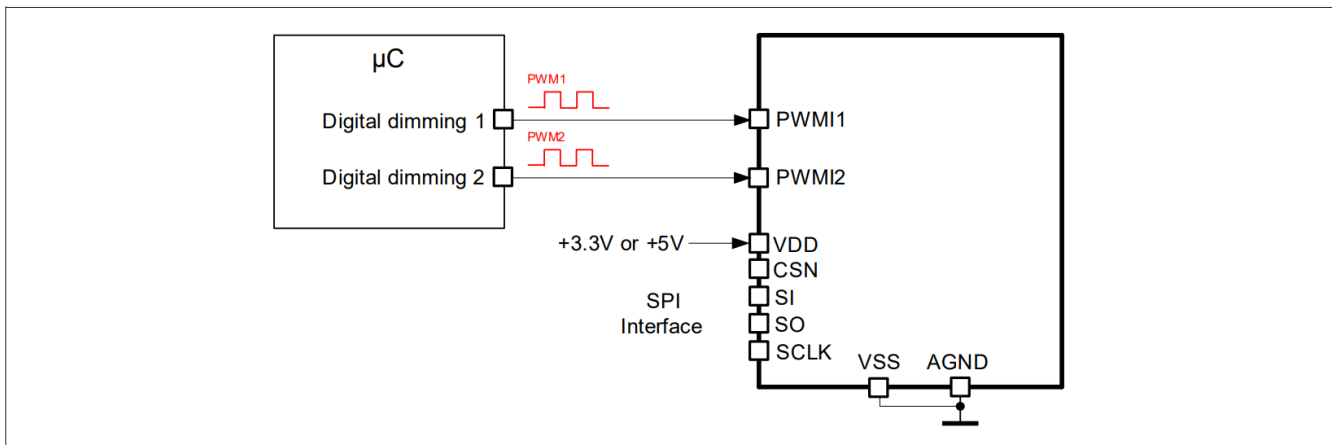


图 12 数字调光概述

为了避免由于没有软启动辅助启动而导致不必要的输出过冲，不应使用低电平状态下的PWM调光来长时间暂停输出电流。要以安全的方式停止单个通道，请参阅第8章。要停止两个通道，可以使用 DVCCTRL.IDLE=高电平或 EN/INUVLO=低电平。

数字调光功能

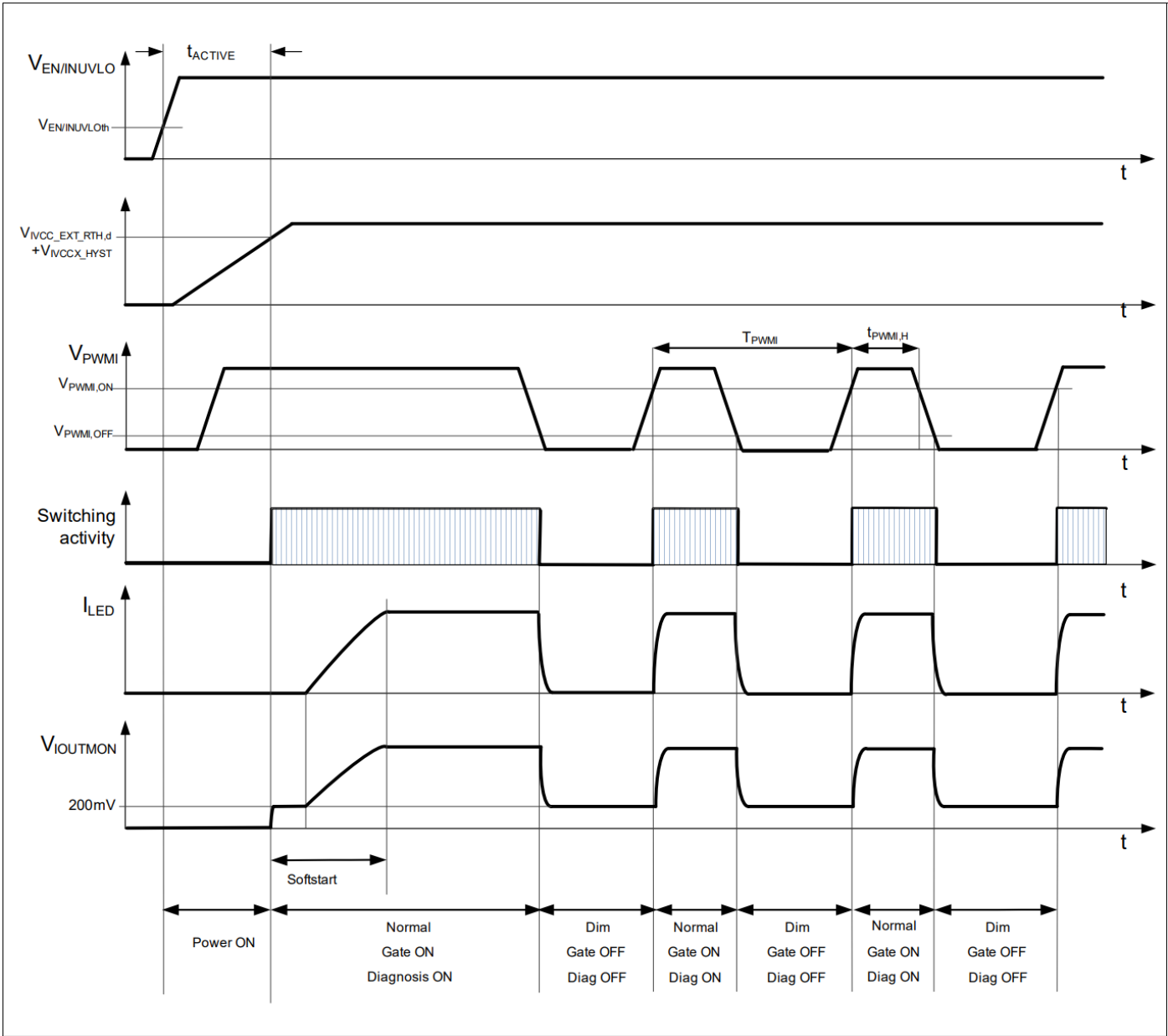


图 13 LED调光和启动行为示例图 (V_{VDD} 和 V_{VIN} 在工作范围内稳定，而不是在启动期间稳定)

数字调光功能

7.2 电气特性

表 8 EC 数字调光

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
PWMI 输入:							
PWMI1,2 Turn On Thresholds	$V_{PWMI1,2,ON}$	2	–	–	V	–	P_7.2.6
PWMI1,2 Turn Off Thresholds	$V_{PWMI1,2,OFF}$	–	–	0.8	V	–	P_7.2.7
PWMI1,2 High Input Currents	$I_{PWMI1,2,H}$	15	30	45	μA	$V_{PWMI1,2} = 2.0\text{ V}$	P_7.2.9
PWMI1,2 Low Input Currents	$I_{PWMI1,2,L}$	6	12	18	μA	$V_{PWMI1,2} = 0.8\text{ V}$	P_7.2.10

模拟调光

8 模拟调光

模拟调光特点允许进一步控制输出电流。该方法用于：

- 在较窄的范围内降低默认电流，以适应所用 LED 的不同分档类别。
- 调整负载电流，以便能够将一种硬件用于需要不同电流水平的多种LED类型。
- 降低高温时的电流（保护 LED 免受过热影响）。

8.1 描述

模拟调光的特点是通过反馈误差放大器电压($V_{FBH1,2} - FBL1,2$) 的控制来调节平均负载电流水平。

LEDCURRCAL_CH1,2.DAC_OFF_CH1,2 位字段用于在激活状态期间将误差放大器基准从内部 DAC 电路切换到 SET1,2 引脚（参见图 7）。通过 μC 和 SET1,2 引脚为客户提供了更高的调光分辨率（参见图 17 中显示的图片 1）。

当 LEDCURRCAL_CH1,2.DAC_OFF_CH1,2 = 低电平时, 电流调节通过一个 8BITSPI SPI 参数 (LEDCURRADIM_CH1,2.ADIMVAL_CH1,2), 参考图 14。

如果LEDCURRADIM_CH1,2.ADIMVAL_CH1,2置位为 00000000_B, 则通道将停止开关活动, 并且一旦编程了不同的值, 就会使用软启动例程重新启动。

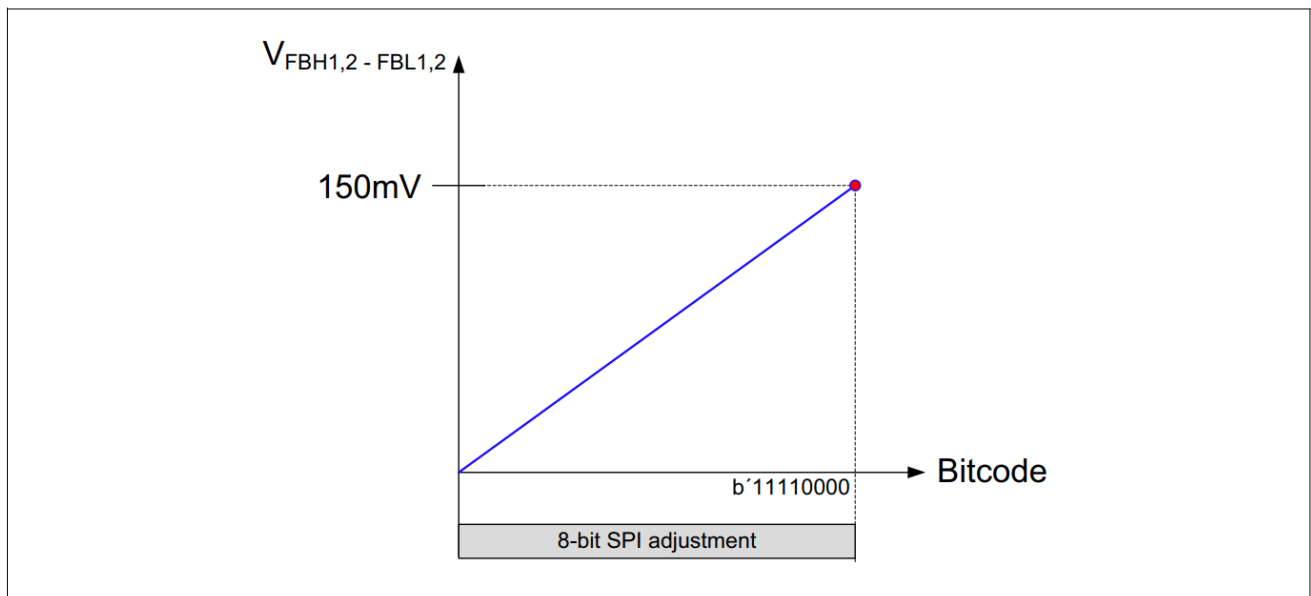


图 14 模拟调光概述

故障行驶功能状态下的模拟调光调节：

要进入故障行驶功能状态，LHI 引脚必须为高电平。

注释： 如果PWM1,2 和EN/INUVLO 未设置为高电平，则不可能在故障行驶功能状态期间进行开关。

在故障行驶功能状态下，模拟调光控制是通过 SET1,2 引脚完成的。IVCC/IVCC_EXT、SET1,2 和 GND 之间的电阻分压器用于固定默认负载电流/电压值（参见图 15）以下）。

模拟调光

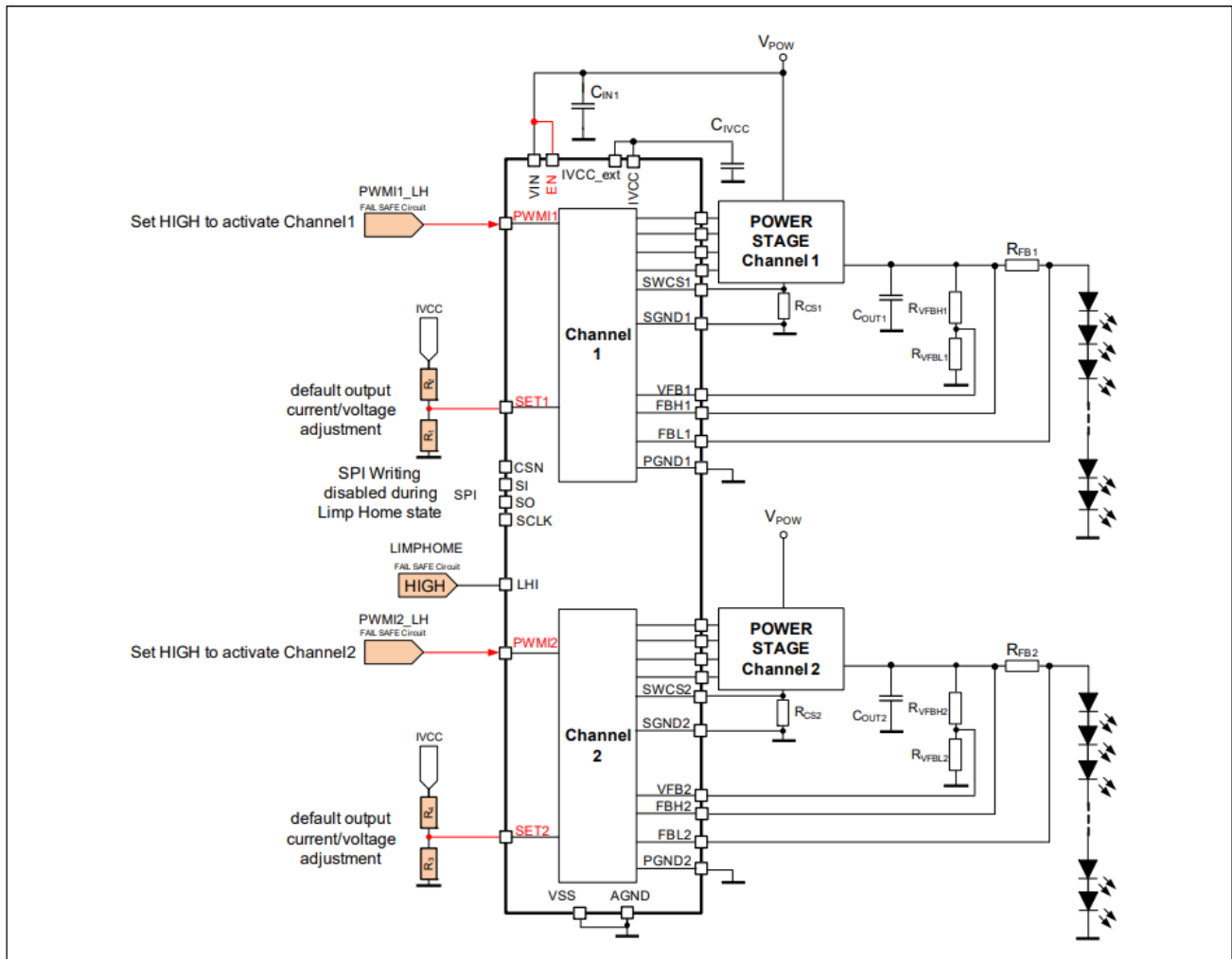


图 15 故障行驶功能状态原理图概述

使用 SET1,2 引脚调节输出电流:

输出电流 I_{OUT} 的计算公式 如下 (8.1)

$$I_{OUT\ 1,2} = \frac{V_{FBH\ 1,2} - V_{FBL\ 1,2}}{R_{FB\ 1,2}} \quad (8.1)$$

可以通过控制SET1,2引脚电压 ($V_{SET1,2}$) 在0.2 V至1.4 V之间 来减少平均输出电流。数学关系如下: 公式 (8.2):

$$I_{OUT\ 1,2} = \frac{V_{SET\ 1,2} - 200\ mV}{R_{FB\ 1,2} \cdot 8} \quad (8.2)$$

如果 $V_{SET1,2}$ 为 200 mV (典型值), 则LED电流仅由比较器的内部偏置电压决定。为确保开关活动停止且 $I_{OUT} = 0$, $V_{SET1,2}$ 必须小于 100 mV, 见图 16。
当 $V_{SET1,2}$ 被拉至 200 mV 以上时, 通道即可通过软启动程序重新启动。

模拟调光

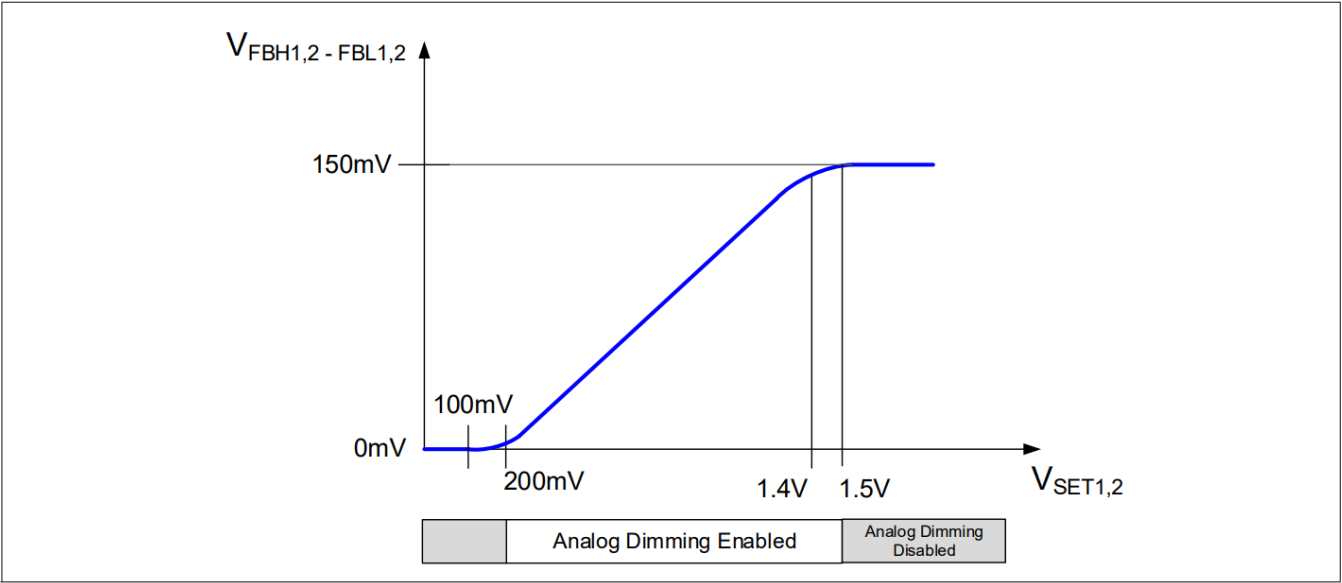


图 16 模拟调光概述

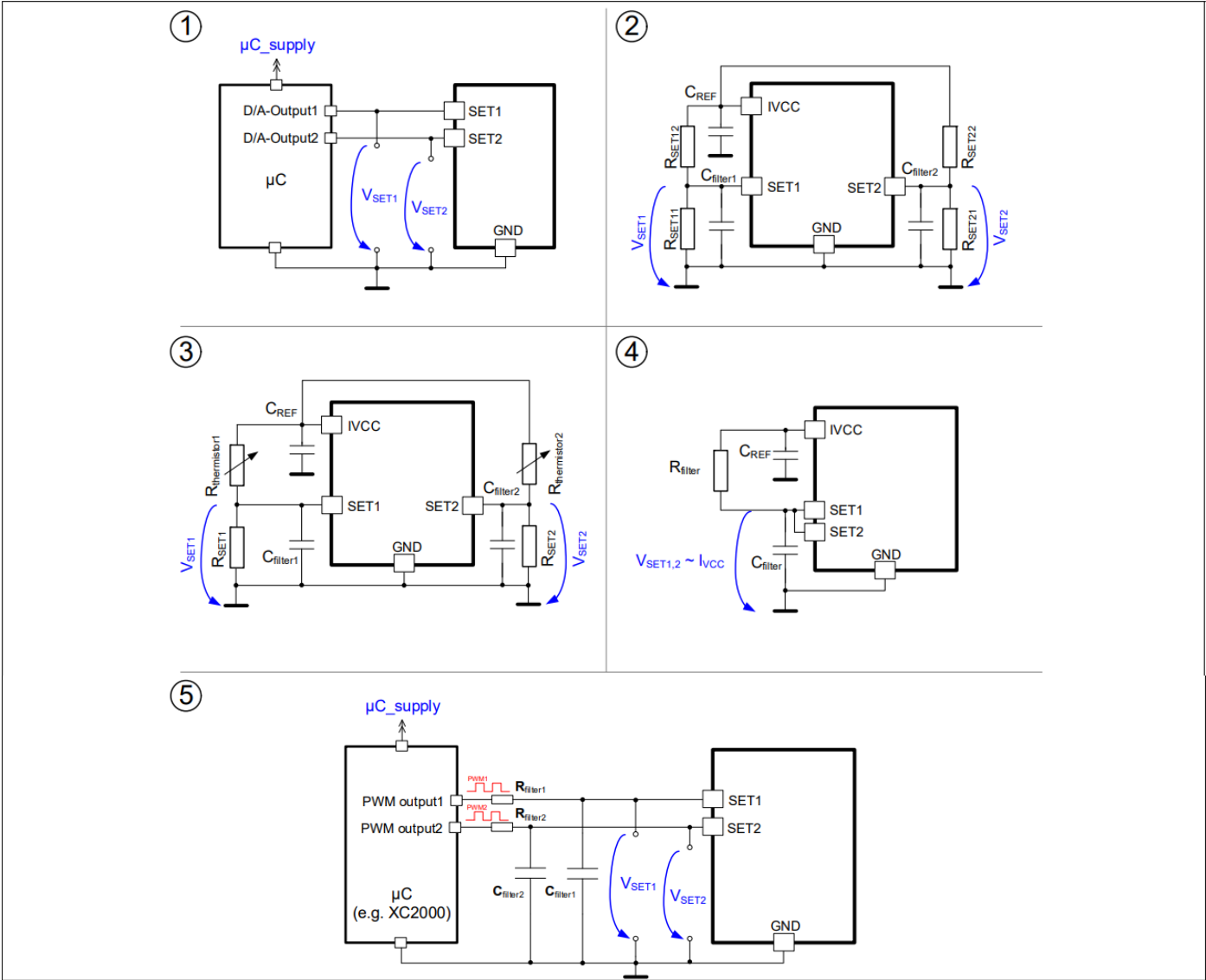


图 17 对于模拟调光引脚SET1,2的不同使用场景

模拟调光

模拟调光与 $V_{(FBH1,2-FBL1,2_VALID)}$ 阈值 的关系 如图 18所示。

当 SET1,2 引脚用于设定模拟调光时， $V_{(FBH1,2-FBL1,2_VALID)}$ 阈值是SET电压直接划分。

因此，如果SET引脚上的电压高于模拟调光的100%，则 调节电压 $V_{(FBH1,2-FBL1,2)}$ 不能超过 $V_{(FBH1,2-FBL1,2_VALID)}$ 阈值，其含义如下：

- 仅当 $V_{SOFT_START1,2}$ 超过 $V_{SOFT_START1,2_LOFF}$ 时，才应用强制 CCM 模式
- 在软启动的上升沿期间，内部 PWM 始终延长，直到 $V_{SOFT_START1,2}$ 超过 $V_{SOFT_START1,2_LOFF}$

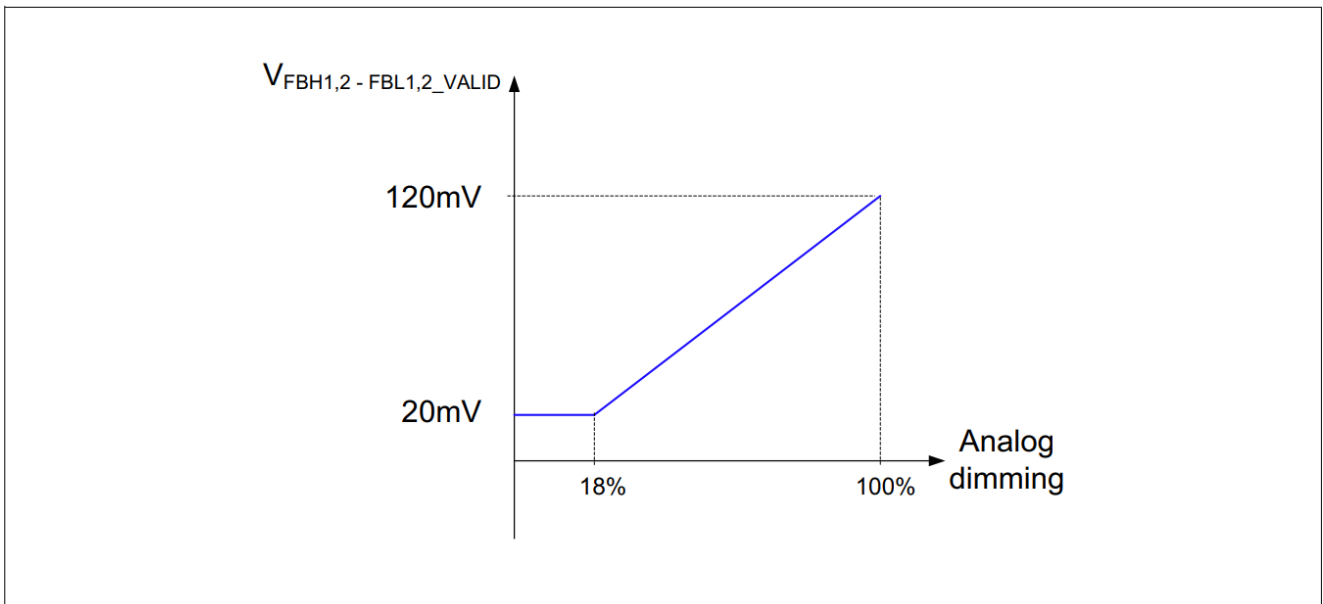


图 18 模拟调光 $V_{(FBH1,2-FBL1,2_VALID)}$ 关系

8.2 LED 电流校准流程

LED 电流校准程序提高了模拟调光的准确性。为了达到最佳效果，必须在应用中执行此例程，此时 TLD5501-2QV 温度和输出电压是驱动器必须精确控制的。流程运行期间输出电流必须为0。最佳做法是，每当应用程序的 PWM1,2=低电平持续足够长的时间时，就定期重新校准输出。

电流校准流程：

- 使用低电平模拟调光值（例如 10%）为负载供电
- 置位PWM1,2 = 低电平并同时断开负载（以避免Vout偏离工作状态并使输出电流为0）
- 快速（为了避免 Vout 漂移） μC 启用校准程序： `LOOPCTRL_CH1,2.ENCAL_CH1,2 = HIGH`
- 快速（为了避免 Vout 漂移） μC 开始校准： `LEDCURRCAL_CH1,2.SOCAL_CH1,2 = HIGH`
- 等待时间（内部执行校准程序所需）→大约200 微秒
- TLD5501-2QV当校准程序完成时，将置位标志： `LEDCURRCAL_CH1,2.EOCAL_CH1,2 = HIGH`
- 重新连接负载
- 输出电流自动调节至低电平偏置和更准确的模拟调光值

模拟调光

一旦正确执行校准程序，模拟调光的输出电流精度 = 10% ($LED_CURRADIM_CH1,2 \cdot ADIMVAL_CH1,2 = 24$) 为 10%。

校准程序不会影响 100% 模拟调光的准确性。

ENCAL_CH1,2 位影响器件操作和 CALIBVAL_CH1,2 读数结果：

- ENCAL_CH1,2 = HIGH：来自程序的校准结果由内部电路使用，并可从 CALIBVAL_CH1,2 读回
- ENCAL_CH1,2 = 低电平：写入 CALIBVAL_CH1,2 的 SPI 值由内部电路使用，并且可以读回；校准程序启动被禁止

因此， μC 可以使用先前执行的校准所存储的结果来直接施加所需值，而无需等待新例程完成。

8.3 电气特性

表 9 EC 模拟调光

$V_{IN} = 8\text{ V}$ 至 36 V ， $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ ，所有电压均相对于 AGND；（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Source currents on SET1,2 Pin	$I_{SET1,2_source}$	–	–	1	μA	¹⁾ $V_{SET1,2} = 0.2\text{ V to }1.4\text{ V}$	P_8.3.5

1) 设计指定：无需进行生产测试

线性调节器

9 线性调节器

TLD5501-2QV具有一个集成稳压器，用于为内部栅极驱动器级供电。此外，如果需要，可以将外部稳压器连接到 IVCC_EXT 引脚，以实现替代的栅极驱动器电源。

9.1 IVCC 描述

当 IVCC 引脚连接到 IVCC_EXT 引脚时，内部线性稳压器为内部栅极驱动器提供 5 V 的典型电压和高达 I_{LIM} (P_9.2.2) 的电流。IVCC 引脚上需要一个具有低电平 ESR 的外部输出电容器，以实现稳定性并缓冲瞬态负载电流。在正常运行期间，外部 MOSFET 开关将从线性调节器及其输出电容器汲取瞬态电流（图 19，图 A）。必须考虑适当选择输出电容器的容值，以便为外部 MOSFET 开关的峰值电流提供足够的峰值电流。最小电容值在参数 C_{IVCC} (P_9.2.4) 中给出。

替代 IVCC_EXT 供电概念：

IVCC_EXT 引脚可用于外部电压供应，作为一种替代方案为 MOSFET 栅极驱动器供电。此概念在高输入电压范围内非常有用，可避免 IC 内部的功率损失（图 19，图 B）。

外部开关 MOSFET 的集成欠压保护：

集成欠压复位阈值电路监控线性调节器输出电压。如果 IVCC 或 IVCC_EXT 电压低于其欠压复位关断阈值 $V_{IVCC_RTH,d}$ (P_9.2.9) 和 $V_{IVCC_EXT_RTH,d}$ (P_9.2.5)，该欠压复位阈值电路将关闭栅极驱动器。

在故障行驶功能状态下，IVCC 的欠压复位关断阈值对开关活动没有影响。

IVCC 和 IVCC_EXT 引脚的欠压复位阈值有助于保护外部开关免受过度功耗损失的影响，确保栅驱动电压足以增强外部逻辑级 N-通道 MOSFET 的栅极。这样可以防止 MOSFET 在低电压下工作，导致过热或损坏。

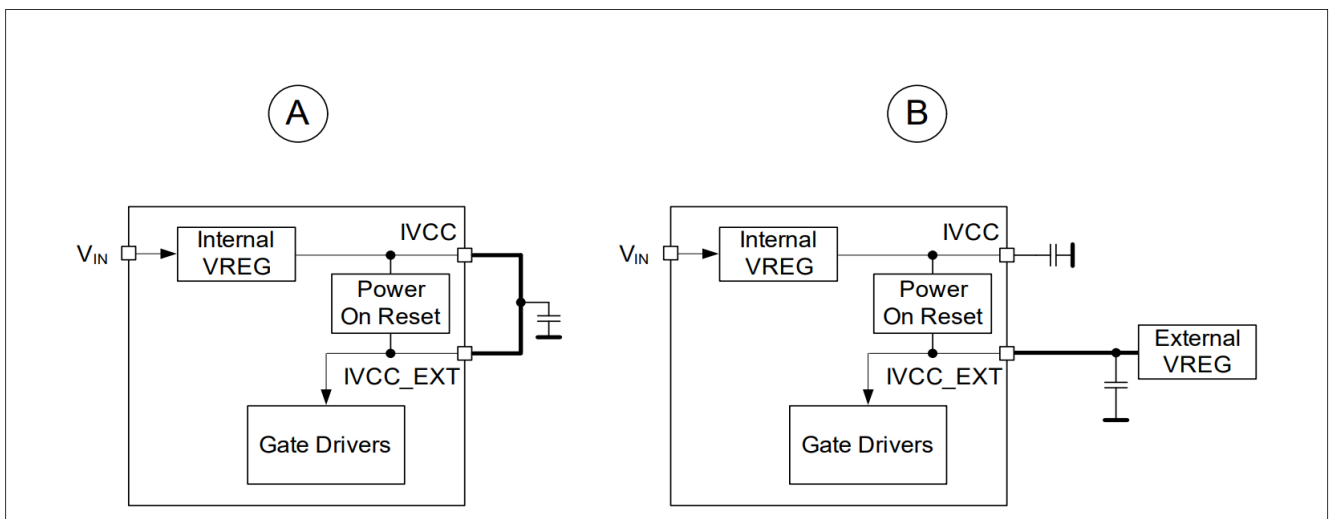


图 19 稳压器配置

线性调节器

9.2 电气特性

表 10 EC 线性调节器

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
IVCC							
Output Voltage	V_{IVCC}	4.8	5	5.2	V	$V_{IN} = 13.5\text{ V};$ $0.1\text{ mA} \leq I_{IVCC} \leq 50\text{ mA}$	P_9.2.1
Output Current Limitation	I_{LIM}	70	90	110	mA	¹⁾ $V_{IVCC} = 4\text{ V}$	P_9.2.2
Drop out Voltage ($V_{IN} - V_{IVCC}$)	V_{DR}	–	200	350	mV	$V_{IN} = 5\text{ V}; I_{IVCC} = 10\text{ mA}$	P_9.2.3
IVCC Buffer Capacitor	C_{IVCC}	10	–	–	μF	¹⁾ ²⁾	P_9.2.4
IVCC_EXT Undervoltage Reset switch OFF Threshold	$V_{IVCC_EXT_R_{TH,d}}$	3.7	3.9	4.1	V	³⁾ V_{IVCC_EXT} decreasing	P_9.2.5
IVCC Undervoltage Reset switch OFF Threshold	$V_{IVCC_RTH,d}$	3.7	3.9	4.1	V	³⁾ V_{IVCC} decreasing	P_9.2.9
IVCC and IVCC_EXT Undervoltage Hysterisis	V_{IVCCX_HYST}	0.335	0.365	0.395	V	V_{IVCC} increasing; V_{IVCC_EXT} increasing	P_9.2.6

- 1) 未经过生产测试, 由设计指定。
- 2) 给定的最小值是调节器稳定性所必需的; 应用可能需要比最小值更高的电容。使用低ESR的电容器
- 3) 外部开关 MOSFET 的选择至关重要。 $V_{IVCC_EXT_RTH,d}$ 和 $V_{IVCC_RTH,d}$ 最小值, 因为最坏情况下的 V_{GS} 必须考虑

10 保护和诊断功能

10.1 描述

TLD5501-2QV集成过流、过压、负载开路、负载短路、过温等故障诊断和保护电路，同时，通过向SPI μ C 提供 I LED1,2 的2位信息。

空闲状态下，按照规格，仅上报过温关机、过温警告、IVCC 或 IVCC_EXT 欠压监测、 V_{DD} 或 $V_{EN/INUVLO}$ 过欠压监测。

在图20中显示保护、诊断和监测功能的摘要。

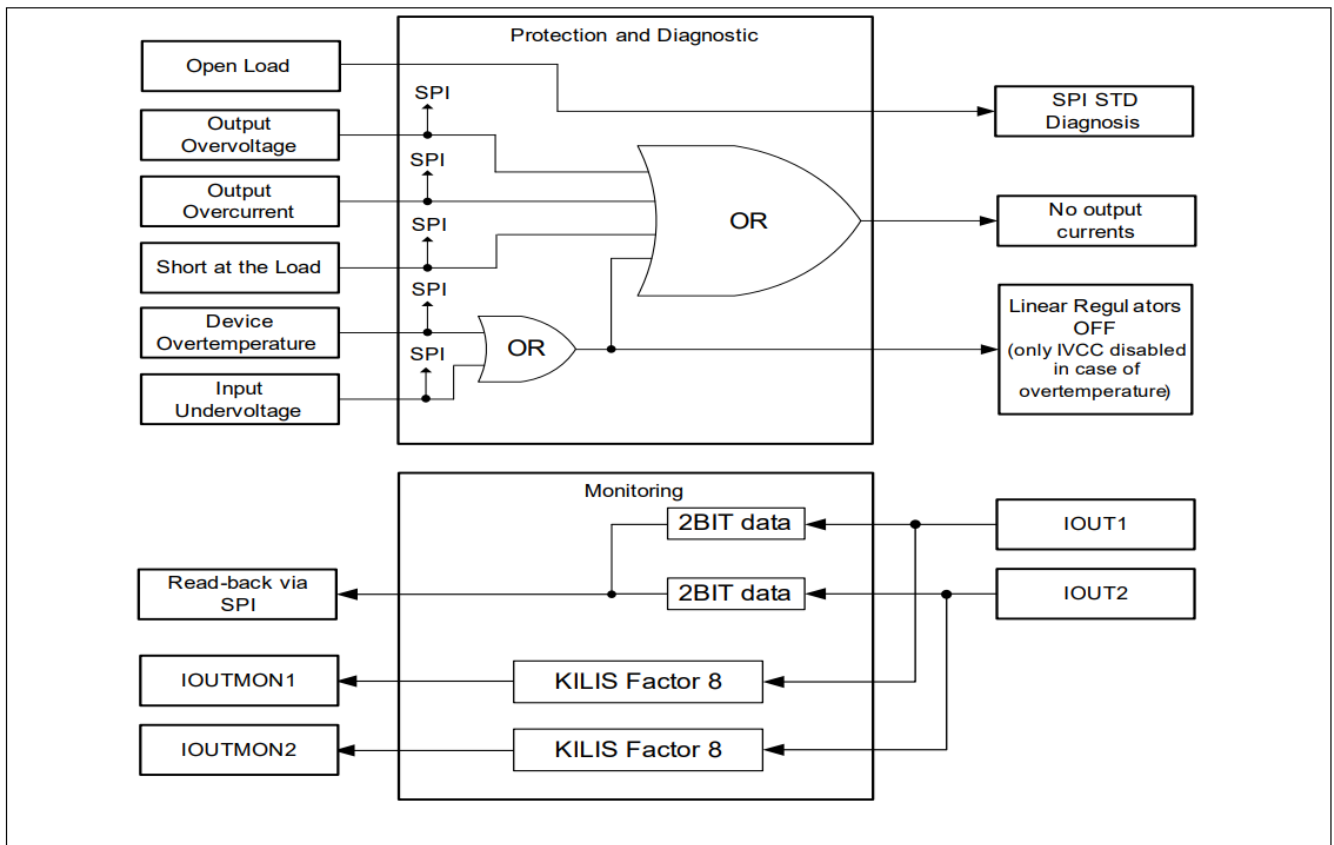


图 20 保护、诊断和监控概述

注释： 器件过热事件会优于所有其他故障事件！

10.2 输出过压、过流、负载开路、短路保护

VFB 引脚测量应用输出上的电压，并根据安装的电阻分压器、短路到地、负载开路和输出过压阈值进行置位。参见图 22 和图 21 了解更多详情。

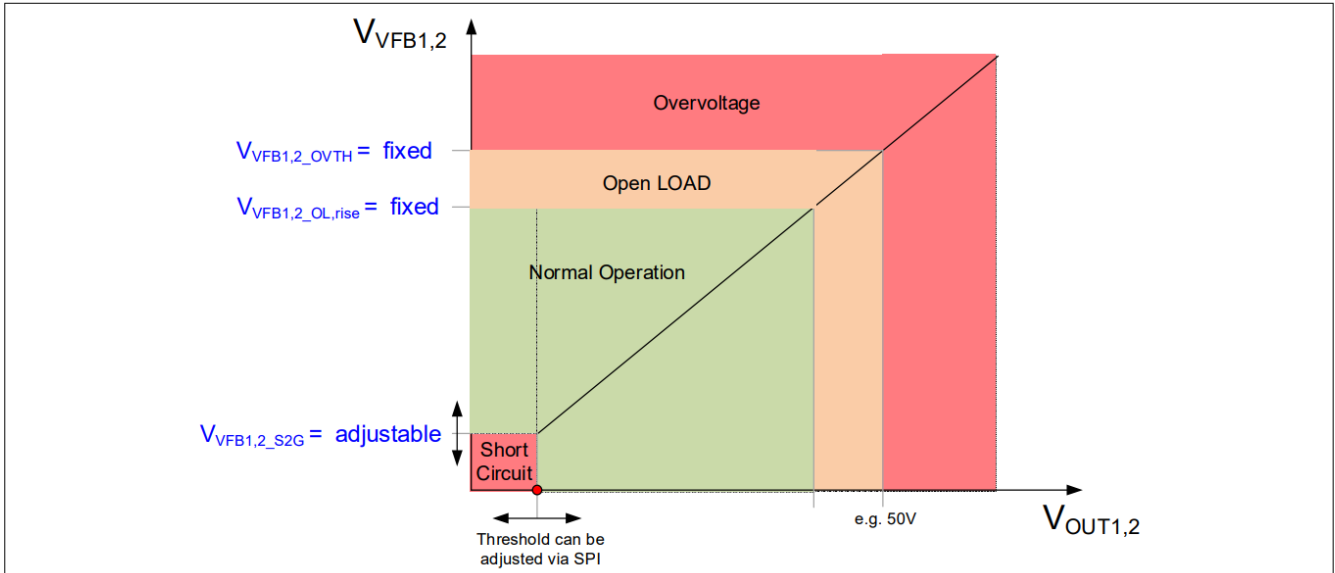


图 21 保护范围定义

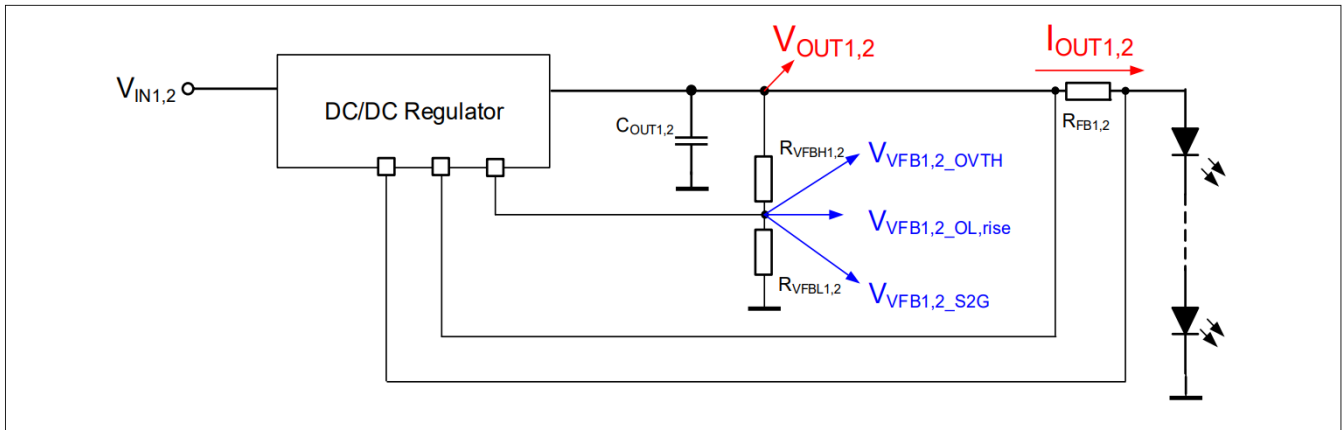


图 22 VFB 保护引脚 - 概述

10.2.1 短路保护

如果验证了以下条件，则该器件检测到输出短路：

- 引脚 VFB1,2 低于阈值电压/临界电压 $V_{VFB1,2_S2G}$ 至少 8 个时钟周期

在软启动的上升沿期间，通过 VFB1,2 进行的短路检测将被忽略，直到 $V_{SOFT_START1,2_LOFF}$ (见图 8)。

检测到短路后 SPI FAULTS_CH1,2 寄存器中的 SPI 标志 (SHRTLED_CH1,2) 置位为高，并且栅极驱动器停止输出电流。器件将按照第 6.2 章中描述的软启动程序自动重启。

保护和诊断功能

$V_{OUT1,2}$ 、 $V_{FB1,2}$ 引脚和 AGND 之间电阻的分压器 用于调整应用短路阈值 $V_{short_led1,2}$ 以下 方程(10.1)。

$$V_{short_led1,2} = V_{VFB1,2_S2G} \cdot \frac{R_{VFBH1,2} + R_{VFB1,2}}{R_{VFB1,2}} \quad (10.1)$$

短路阈值电压 $V_{VFB1,2_S2G}$ (P_10.8.17) 由 SPI 寄存器中的 4 位设置 $MFSETUP1_CH1,2.LEDCHAIN_CH1,2$ 如表 11 所示。

可调节的短路阈值 $V_{VFB1,2_S2G}$ 可实现较大 V_{OUT} 操作范围的应用。

$MFSETUP1_CH1,2.LEDCHAIN_CH1,2$ 寄存器允许以 16 个步长配置短路阈值。

步长取决于 $R_{VFBH1,2}$ 和 $R_{VFB1,2}$ 电阻 的大小。

为了正确检测短路， $MFSETUP1_CH1,2.LEDCHAIN_CH1,2$ 应按如下方式计算 方程式 (10.2)。

$$LEDCHAIN_CH1,2 = \frac{V_{short_led} \cdot K_{VFB1,2}}{45mV} \quad (10.2)$$

其中 $K_{VFB} = R_{VFB1,2} / (R_{VFBH1,2} + R_{VFB1,2})$ ， V_{short_led} 是 $V_{OUT1,2}$ 处所需的短路阈值。

表 11 下面显示了位码与短路阈值电压/临界电压之间的关系

$V_{VFB1,2_S2G}$ 基于示例 (电阻分压器 $R_{VFBH} = 56\text{ k}\Omega$ ， $R_{VFB1,2} = 1.5\text{ k}\Omega$)。

应用过压保护不依赖于 $LEDCHAIN_CH1,2$ ，而是基于 方程 (10.3) 该特定电阻分压器的电压固定为 56 V。

表 11 可调短路阈值概述

LEDCHAIN_CH1,2	V_{OUT_OVLO}	$k = R_{VFB1,2} / (R_{VFBH} + R_{VFB1,2})$	V_{open_load}	$V_{short_led} (V)$ ($V_{FB1,2_S2G} / k$)	$V_{VFB1,2_S2G} (V)$
1	56.0	0.026	51.4	1.7	0.045
2 (default)	56.0	0.026	51.4	3.5	0.091
3	56.0	0.026	51.4	5.2	0.136
4	56.0	0.026	51.4	7.0	0.182
5	56.0	0.026	51.4	8.7	0.227
6	56.0	0.026	51.4	10.4	0.272
7	56.0	0.026	51.4	12.2	0.318
8	56.0	0.026	51.4	13.9	0.363
9	56.0	0.026	51.4	15.7	0.409
10	56.0	0.026	51.4	17.4	0.454
11	56.0	0.026	51.4	19.2	0.499
12	56.0	0.026	51.4	20.9	0.545
13	56.0	0.026	51.4	22.6	0.590
14	56.0	0.026	51.4	24.4	0.636
15	56.0	0.026	51.4	26.1	0.681
0	56.0	0.026	51.4	27.9	0.726

注释： 如果短路条件消失，器件将按照第6.2章中描述的软启动程序重新启动。

10.2.2 过压保护

$V_{OUT1,2}$ 、 $V_{FB1,2}$ 引脚和 AGND 之间的分压器 用于调整过压保护阈值（参见图22）。

确定以下的过压保护阈值 公式(10.3) 使用方式：

$$V_{OUT1,2_OV_protected} = V_{VFB1,2_OVTH} \cdot \frac{R_{VFB1,2} + R_{VFB1,2}}{R_{VFB1,2}} \quad (10.3)$$

如果 $V_{VFB1,2}$ 高于其过压阈值 $V_{VFB1,2_OVTH}$ ，则SPI FAULTS_CH1,2 寄存器中的标志（OUTOV_CH1,2）被置位为 HIGH，并且栅极驱动器停止开关以进行输出调节（高阻态，两个MOS 均关闭）。当达到 $V_{VFB1,2_OVTH} - V_{VFB1,2_OVTH,HYS}$ 阈值时，器件将自动重启。

如果FAULTS_CH1,2.OUTOVLAT_CH1,2位置位为高，则过压保护将更改为锁存行为，并且 μC 必须置位DVCCTRL.CLRLAT位以复位 OUTOV 标志并重新启动开关活动。

10.2.3 负载过流保护

如果输出电流 I_{OUT} （或 稳压器 电压 V_{OUT} ）超过标称值，驱动 $V_{(FBH1,2-FBL1,2)} > V_{FBHL_OCTH}$ 上升，则SPI FAULTS_CH1,2寄存器中的标志OUTOC_CH1,2置位为HIGH，输出级置位为高阻态(两个MOS 都OFF)，降低负载损坏的风险。 I_{OUT} 和 V_{OUT} 如图22所示

当 $V_{(FBH1,2-FBL1,2)} < V_{FBHL_OCTH,fall}$ 时，该器件会自动从过流保护中恢复。

10.2.4 开路负载检测

为了可靠地检测负载开路事件，需要至少 8 个时钟周期内观察到两个条件：

- 1) 电压阈值： $V_{VFB1,2} > V_{VFB1,2_OL, rise}$
- 2) 输出电流信息： $V_{(FBH1,2-FBL1,2)} < V_{FBHL_OCTH}$

在软启动的上升沿期间，负载开路检测被忽略，直到 $V_{SOFT_START1,2_LOFF}$ 为止。

负载开路检测到后SPI FAULTS_CH1,2 寄存器中的 SPI 标志（OL_CH1,2）置位为高电平，不影响栅极驱动器的活动。

负载开路故障也会导致输出电压增加。过压条件可以与负载开路故障一起报告。

10.3 输出电流监控

可以通过模拟输出引脚和 SPI 程序监控输出电流。

IOUTMON1,2 引脚提供流过 LED 的电流的线性指示。下列公式 (10.4) 适用：

$$V_{IOUTMON\ 1,2} = 200\ mV + I_{OUT\ 1,2} \cdot R_{FB1,2} \cdot 8 \quad (10.4)$$

IOUTMON1,2 的标称输出阻抗为 24 k Ω 。

SPI 电流监测器程序的目的是验证系统是否处于闭环状态。

保护和诊断功能

- Led 电流采样的输出与模拟调光 DAC 的输出进行比较
- 比较器的工作原理类似于一个 8 位 DAC 输出为中心的 2 位窗口 ADC

要执行电流监测器例程，CURRMON_CH1,2.SOMON_CH1,2 位必须置位为高，当 CURRMON_CH1,2.EOMON_CH1,2 读为高时，结果已就绪。

监测器的输出电流例程的结果在 CURRMON_CH1,2.LEDCURR_CH1,2 位上报告。

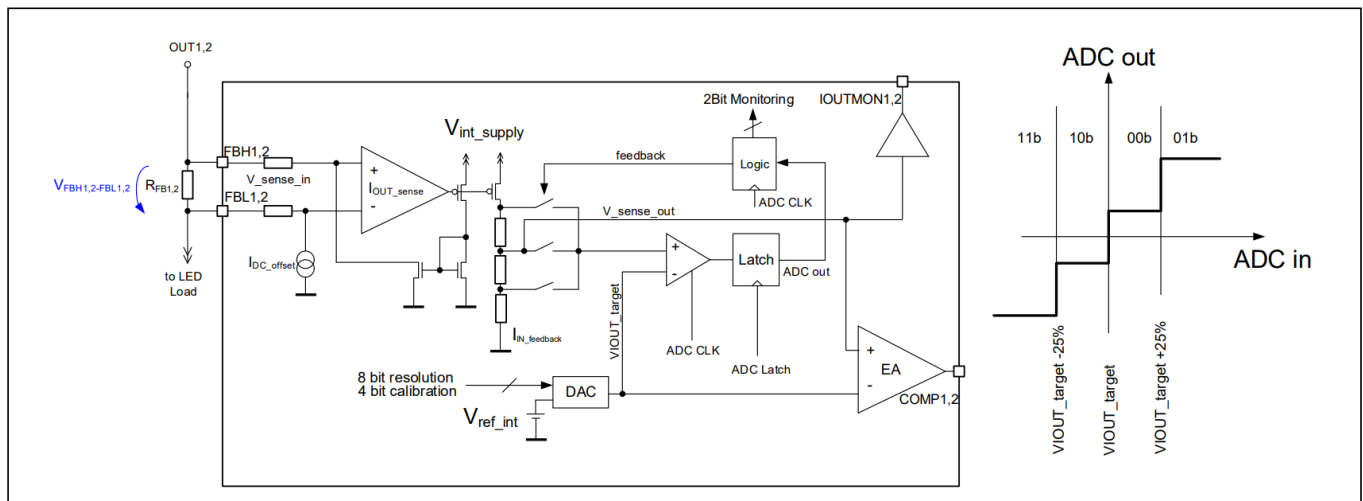


图 23 输出电流监控概述

10.4 器件温度监测

芯片内部集成温度传感器，温度监控电路将测量温度与警告及关断阈值进行比较，若内部温度传感器达到警告温度，则温度警告位 TW 置位为高电平，此位不锁存（即若温度低于警告阈值（有滞回），则 TW 位重新复位为低电平）。

如果内部温度传感器达到关闭温度，则栅极驱动器和 IVCC 调节器将关闭，如图 24 所示 温度关闭位： TSD 置位为 HIGH。当栅极驱动器加上 IVCC 调节器具有自动重启行为时， TSD 位被锁定。

注释： TSD 条件消失后，器件将通过软启动例程启动。

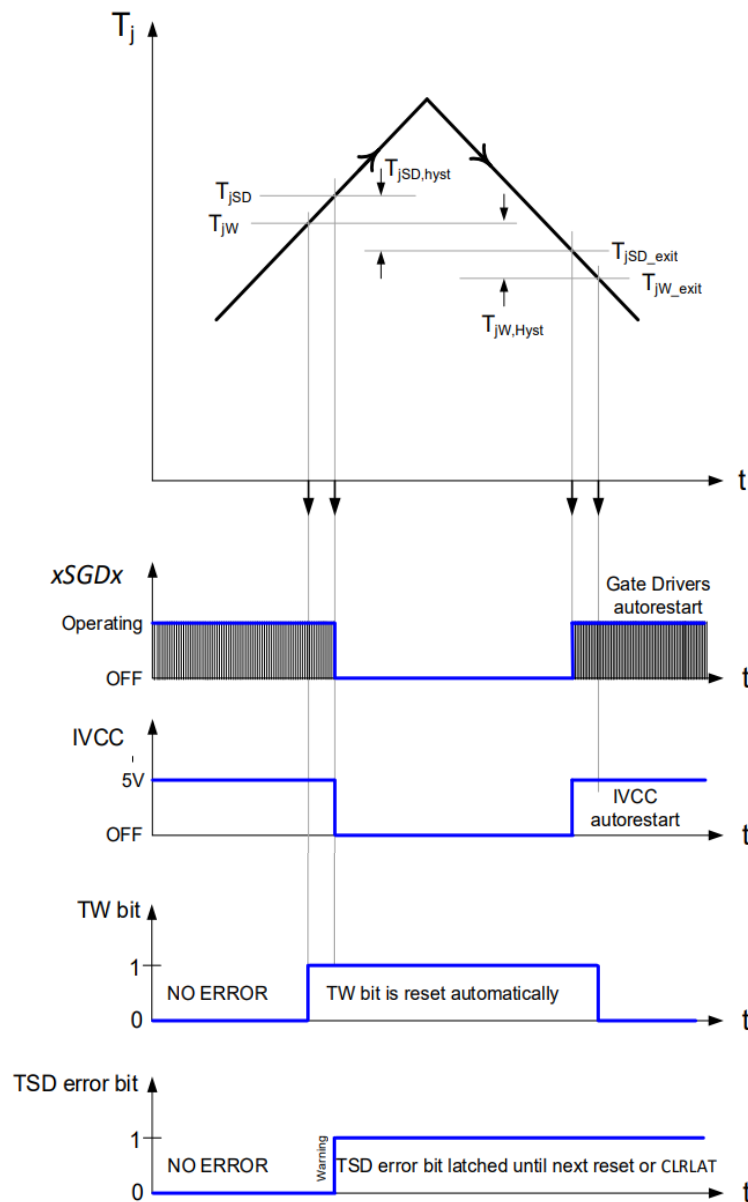


图 24 器件过温保护行为

保护和诊断功能

10.5 电气特性

表 12 EC 保护与诊断

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
短路保护							
Short to GND thresholds by VFB1,2 voltage (default)	V _{VFB1,2_S2G}	0.081	0.091	0.101	V	V _{VFB1,2} decreasing; MFSSETUP1_CH1, 2 . LEDCHAIN_CH1, 2 = 0010 _B	P_10.8.17
温度保护：							
Thermal Warning junction temperature	T _{j,W}	125	140	155	°C	¹⁾	P_10.8.2
Temperature warning Hysteresis	T _{j,W,hyst}	–	10	–	°C	¹⁾	P_10.8.3
Over Temperature Shutdown	T _{j,SD}	160	175	190	°C	¹⁾	P_10.8.4
Over Temperature Shutdown Hysteresis	T _{j,SD,hyst}	–	10	–	°C	¹⁾	P_10.8.5
过压保护							
VFB1,2 Over Voltage Feedback Threshold	V _{VFB1,2_OVTH}	1.42	1.46	1.50	V		P_10.8.18
Output Over Voltage Feedback Hysteresis	V _{VFB1,2_OVTH,HYS}	25	40	58	mV	¹⁾ Output Voltage decreasing	P_10.8.19
过流保护							
I _{OUT} Overcurrent rising Threshold	V _{FBHL_OCTH, rise}	185	205	225	mV	Differential signal (not referred to GND)	P_10.8.30
I _{OUT} Overcurrent falling Threshold	V _{FBHL_OCTH, fall}	165	185	205	mV	Differential signal (not referred to GND)	P_10.8.31
负载开路和开路反馈诊断							
Open Load rising Thresholds	V _{VFB1,2_OL, rise}	1.29	1.34	1.39	V	V _{FBH1,2-FBL1,2} = 0 V	P_10.8.20
Open Load reference Voltages V _{FBH1,2-FBL1,2}	V _{FBH1,2_FBL1,2_OL}	–	15	24	mV	V _{VFB1,2} = 1.4 V; Differential signal (not referred to GND)	P_10.8.21
Open Load falling Thresholds	V _{VFB1,2_OL, fall}	1.23	1.28	1.33	V	V _{FBH1,2-FBL1,2} = 0 V	P_10.8.22

¹⁾ 由设计指定; 无需进行生产测试

保护和诊断功能

注释： 集成的保护功能旨在防止IC在数据表所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

11 Infineon FLAT SPECTRUM功能集

11.1 描述

Infineon FLAT SPECTRUM功能集的目标是尽量减少外围滤波器电路。目标是提供一些有益的概念，以便在布局完成和硬件设计完成后，可以轻松调整电磁兼容改进。

11.2 同步功能

TLD5501-2QV的栅极驱动器开关行为默认在双通道之间相移180°。同步和展频调制将在双通道之间的180°相位差之上完成。

TLD5501-2QV具有一个SYNC输入引脚，可以由微控制器（ μC ）的引脚来定义一个振荡器的开关频率。微控制器负责通过向系统中的各个DC/DC设备应用适当的SYNC信号来实现与这些设备的同步。

参考图 25

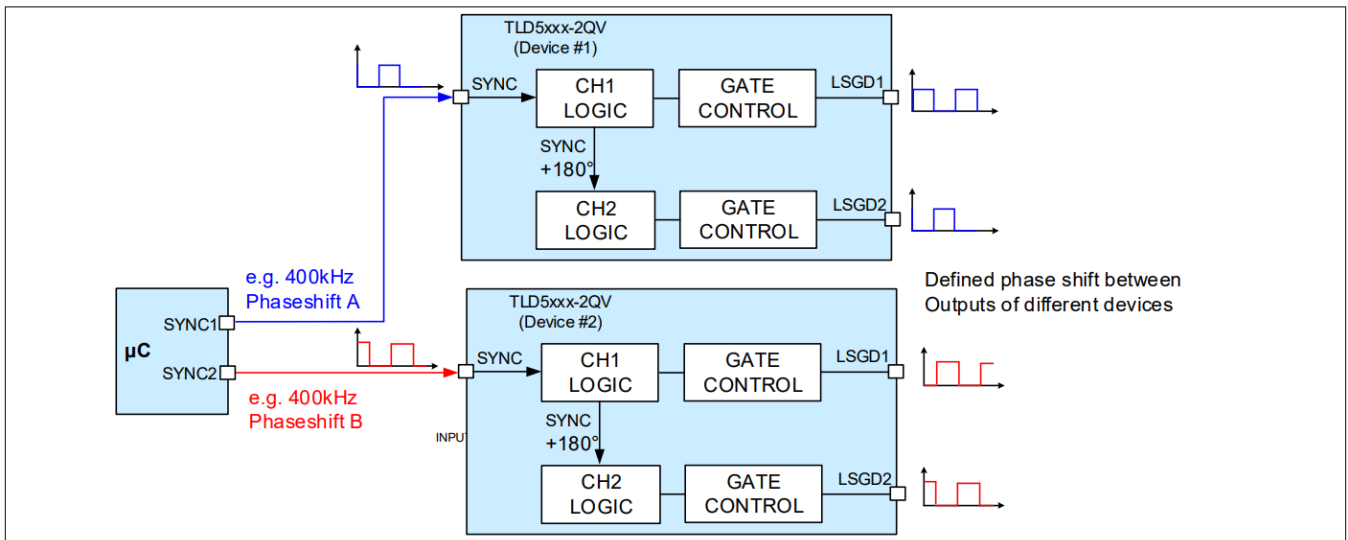


图 25 同步概述

11.3 展频

展频调制技术显著改善了频谱的低频范围 ($f < 30 \text{ MHz}$)。

通过使用展频调制技术，可以只优化输入滤波器以满足峰值限制，同时也满足平均限制（平均辐射限制比峰值辐射限制低20dB）。通过使用展频调制技术，低ESR（等效串联电阻）输入电容器的需求得到放松，因为输入电容器的串联电阻对于低频滤波器特性是重要的。如果对平均限值有严格要求，这可以带来经济效益。

TLD5501-2QV具有内置的展频功能，可以通过SPI接口禁用（`SWTMOD.ENSFREAD`）和调整。专用SPI位，可根据特定应用需求调整调制频率 f_{FM} 、(P_11.6.3)和(P_11.6.4)(`SWTMOD.FMSFREAD`)以及偏差频率 f_{dev} 、(P_11.6.1)和(P_11.6.2)(`SWTMOD.FDEVSFREAD`)。参见图26了解更多详情。

当 `SWTMOD.ENSFREAD = HIGH` 时，可以编程进行以下调整：

`SWTMOD.FMSFREAD` = 低电平：12 kHz

`SWTMOD.FMSFREAD` = 高电平：18 kHz

`SWTMOD.FDEVSFREAD` = 高电平： f_{sw} 的 $\pm 10\%$

`SWTMOD.FDEVSFREAD` = 低电平： f_{sw} 的 $\pm 20\%$

注释： 当使用同步引脚时，不能使用Spread (射频信号)功能。

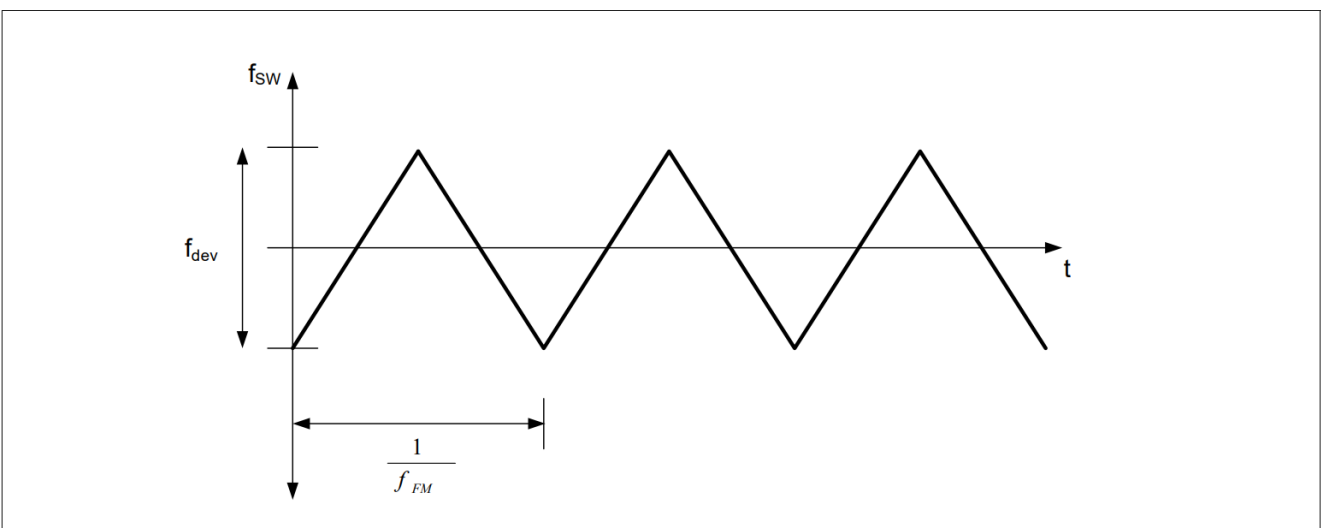


图 26 展频概述

11.4 电磁兼容优化原理图

图 27 下面显示了带有外围元件的应用电路，用于改善电磁兼容行为。

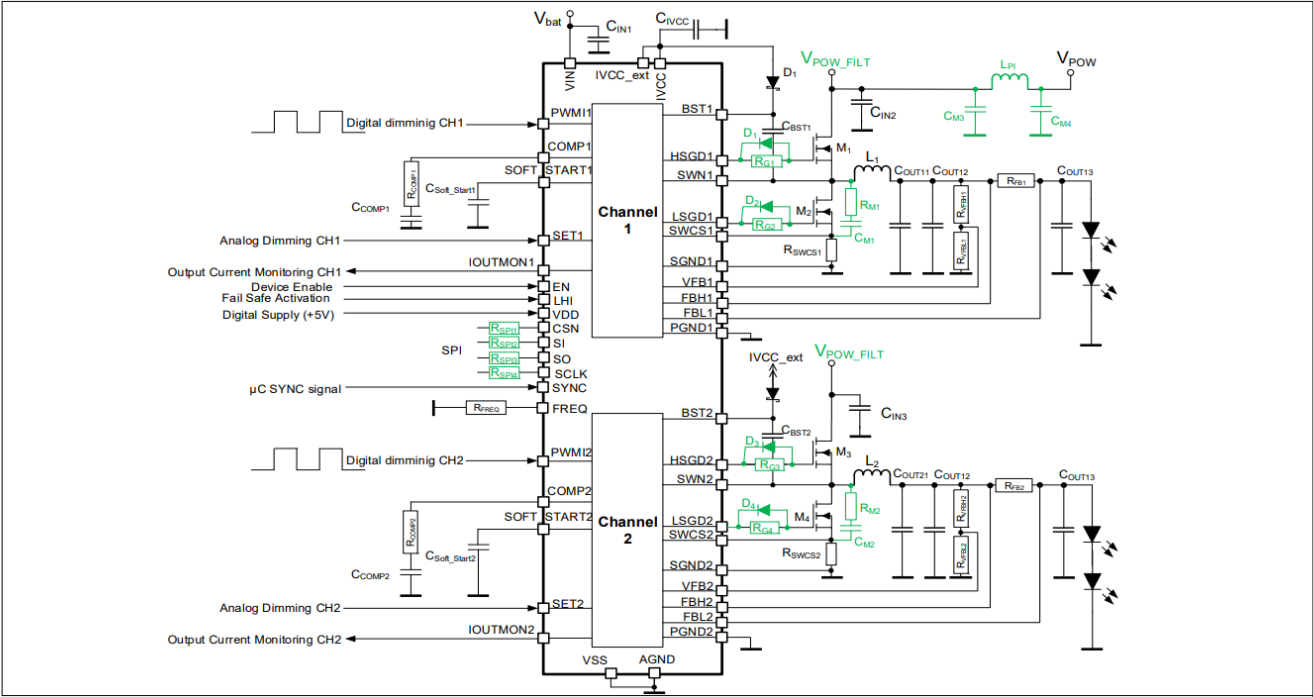


图 27 应用图包括用于改善电磁兼容行为的外围器件 - TLD5501-2QV

注： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

11.5 电气特性

表 13 EC展频

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, 所有电压均相对于 AGND; (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
展频参数							
Frequency Deviation	f_{dev}	–	±10	–	%	1) SWTMOD.FDEV SPREAD = HIGH	P_11.6.1
Frequency Deviation	f_{dev}	–	±20	–	%	1) SWTMOD.FDEV SPREAD = LOW	P_11.6.2
Frequency Modulation	f_{FM}	–	12	–	kHz	1) SWTMOD.FMSP READ = LOW	P_11.6.3
Frequency Modulation	f_{FM}	–	18	–	kHz	1) SWTMOD.FMSP READ = HIGH	P_11.6.4

1) 由设计指定; 无需进行生产测试

串行外设接口 (SPI)

12 串行外设接口 (SPI)

串行外部接口 (SPI) 是一个全双工同步串行从机接口，它使用四条线：SO、SI、SCLK 和 CSN。数据以SI 给出的速率通过和 SOSCLK 线传输。CSN 的下降沿表示一次访问的开始。数据在SI 的下降沿从线采样，在SCLK 的上升沿从 SOSCLK 线移出。每次访问都必须在 CSN 的上升沿终止。模 8/16 计数器确保只有在前 16 位之后传输了 8 位的倍数时才提取数据。否则，将发出 TER（即帧错误）位。这样，接口既可以为 16 位 SPI 设备提供菊花链功能，也可以为 8 位SPI 设备提供菊花链功能。

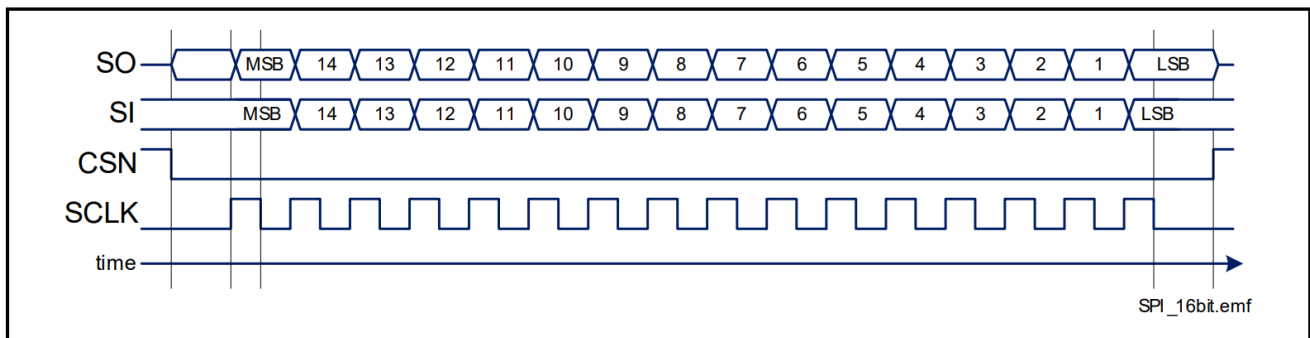


图 28 串行外设接口

12.1 SPI信号说明

CSN-片选

系统通过CSN 引脚选择TLD5501-2QV。只要引脚处于低电平状态，就可以进行数据传输。当 CSN 处于高电平状态时，SCLK 和 SI 引脚上的任何信号都将被忽略，并且 SO 被强制进入高阻态。

CSN高到低跳变

- 所请求的信息被传输到移位寄存器中。
- SO 根据引脚SI上的信号电平从高阻态变为高电平或低电平状态。
- 如果器件处于 SLEEP 模式，SO 引脚将保持高阻态，并且不会发生SPI传输。
- TER 标志将置位STD诊断帧第10位。在欠压条件后，该位置位为高电平，通过SPI 指令复位，进入故障行驶功能状态或在不正确的SPI传输后。根据 图 29，TER 标志也可以在 CSN 下降沿和 SCLK 第一个上升沿之间的 SO 线上直接读取。

串行外设接口 (SPI)

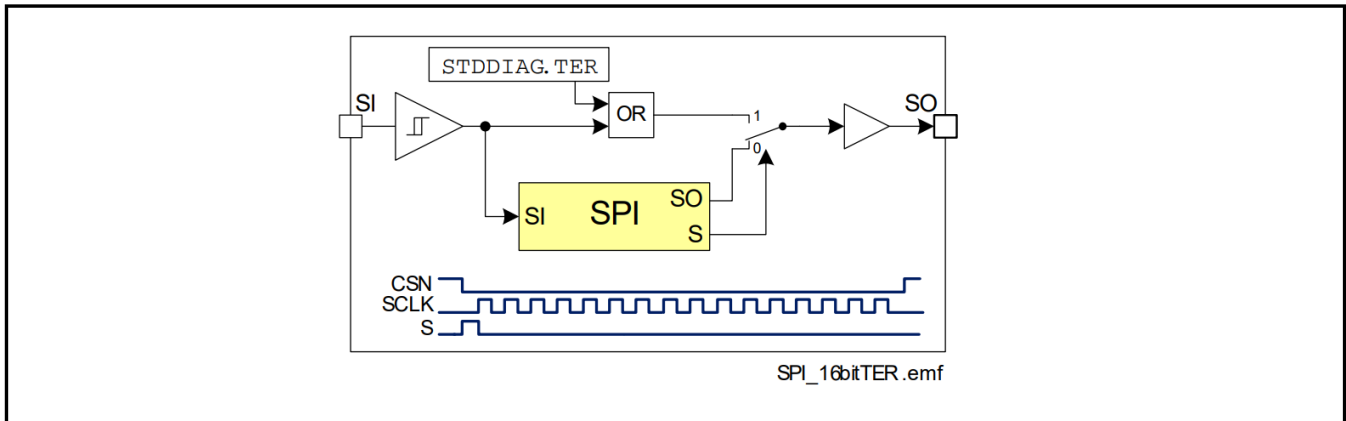


图 29 TER 位 CSN 低电平到高电平

转换的组合逻辑

- 仅当在 CSN 下降沿之后，在前 16 个 SCLK 脉冲之后检测到八个 SCLK 信号的倍数 (0,1,2,3,...) 时，才完成指令解码。如果出现故障，则所有故障位 (TER) 为置位，且指令将被忽略。
- 来自移位寄存器的数据被传输到寻址寄存器中。

SCLK——串行时钟

该输入引脚为内部移位寄存器提供时钟。串行输入 (SI) 在 SCLK 的下降沿将数据传输到移位寄存器，而串行输出 (SO) 在串行时钟的上升沿将诊断信息移出。每当片选 CSN 进行任何转换时，SCLK 引脚都必须处于低电平状态，否则指令可能不被接受。

SI-串行输入

串行输入数据位在此引脚移入，最高有效位优先。SI 信息在 SCLK 的下降沿读取。输入数据由两部分组成，控制位和数据位。请参阅第 12.5 章了解更多信息。

SO 串行输出

数据在此引脚上串行移出，最高有效位首先移出。SO 处于高阻态，直到 CSN 引脚变为低电平状态。在 SCLK 的上升沿之后，新的数据将出现在 SO 引脚上。

请参阅第 12.5 章了解更多信息。

12.2 菊花链功能

SPITLD5501-2QV 提供菊花链功能。在此配置中，多个设备由相同的 CSN 信号 MCSN 激活。一个器件的 SI 线与另一个器件的 SO 线相连（见图 30）以构成一个链，链的末端分别连接到主件的输出和输入，MO 和 MI。主件提供主时钟 MCLK，连接到链中每个器件的 SCLK 线。

串行外设接口 (SPI)

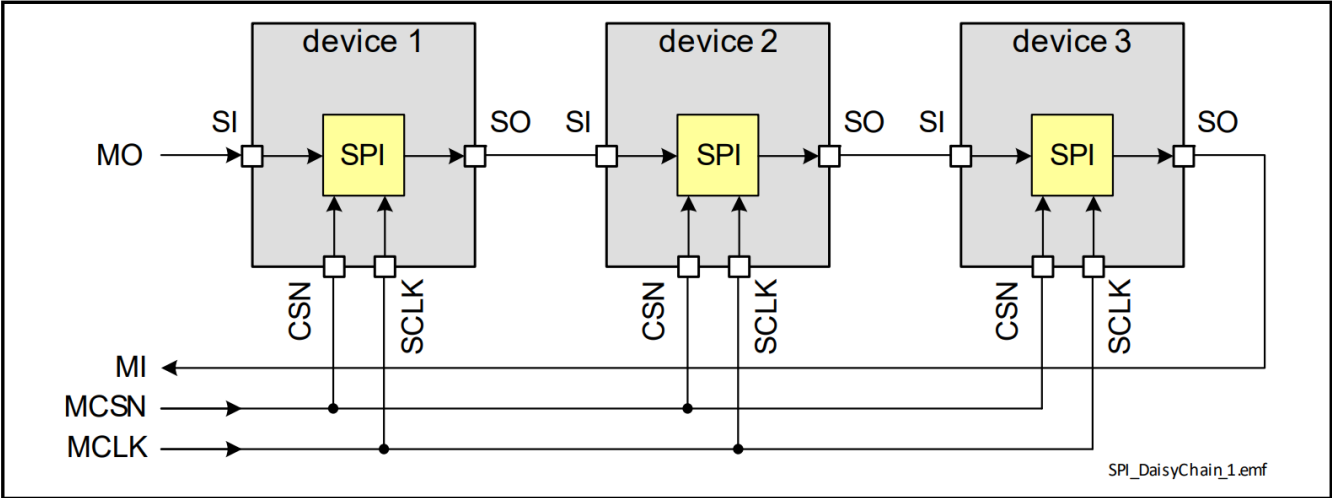


图 30 菊花链配置

在每个器件的SPI功能块中，都有一个移位寄存器，每个来自SI线的位随着每个SCLK移入。移出的位出现在 SO 引脚。经过十六个SCLK周期后，一个器件的数据传输完成。在单芯片配置中，CSN 线必须变为高电平，以使器件确认传输的数据。在菊花链配置中，器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在器件中移位几倍的 8 位（取决于有多少个器件具有 8 位SPI以及有多少个器件具有 16 位SPI）。此后，MCSN 线必须变为高电平（参见图 31）。

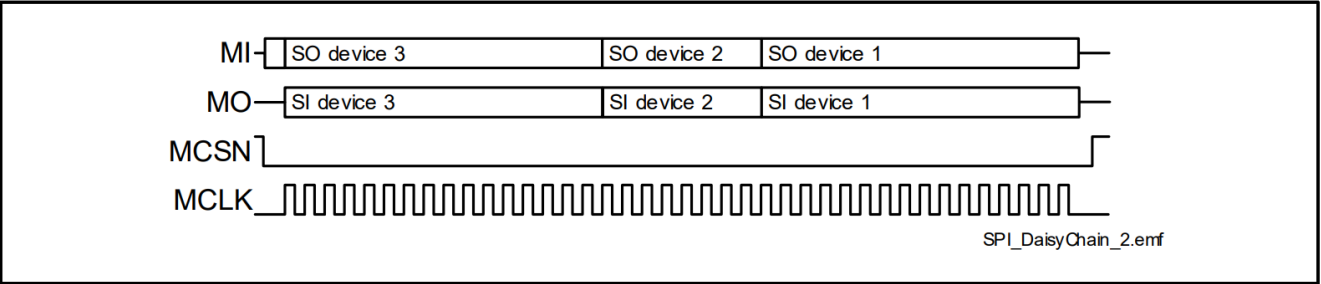


图 31 菊花链配置中的数据传输

串行外设接口 (SPI)

12.3 时序图

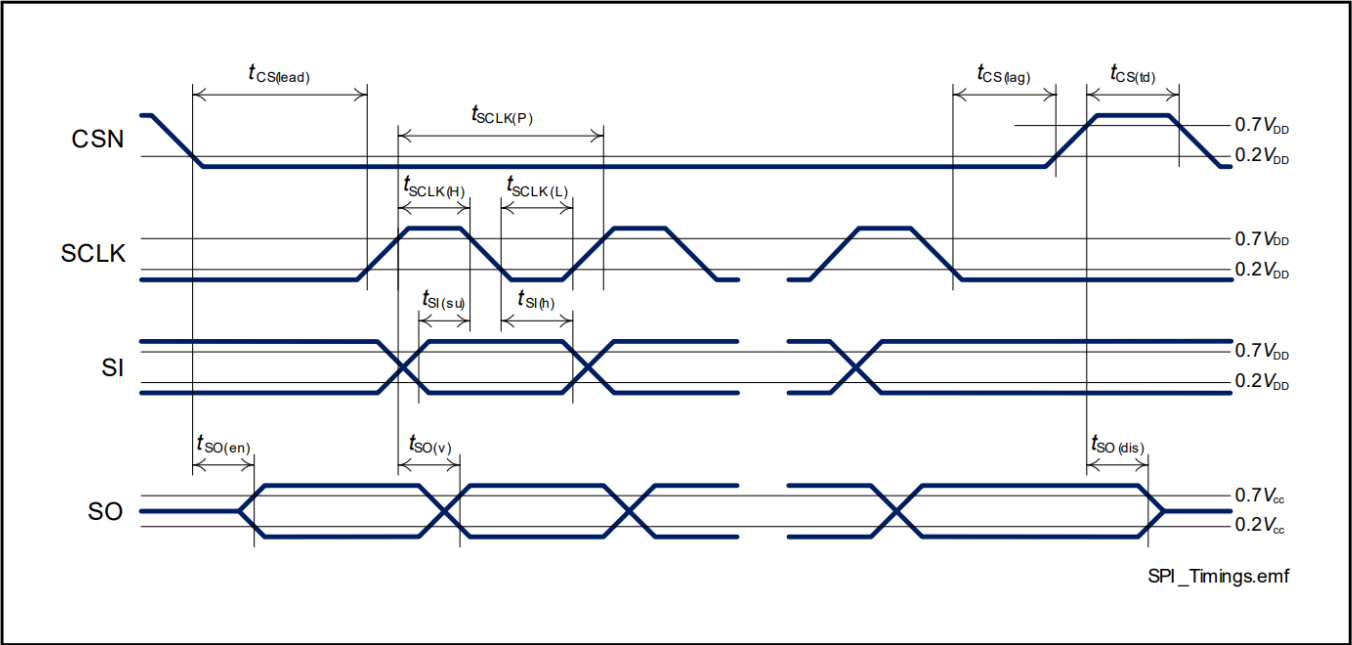


图 32 时序图SPI访问

串行外设接口 (SPI)

12.4 电气特性

$V_{IN} = 8\text{ V}$ 至 36 V , $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{DD} = 3\text{ V}$ 至 5.5 V , 所有电压均相对于地; (除非另有说明)

表14 EC 串行外设接口 (SPI)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
输入特性（CSN、SCLK、SI）- 引脚的低电平							
CSN	$V_{\text{CSN(L)}}$	0	–	0.8	V	–	P_12.4.1
SCLK	$V_{\text{SCLK(L)}}$	0	–	0.8	V	–	P_12.4.2
SI	$V_{\text{SI(L)}}$	0	–	0.8	V	–	P_12.4.3
输入特性 (CSN, SCLK, SI) - 引脚高电平							
CSN	$V_{\text{CSN(H)}}$	2	–	V_{DD}	V	–	P_12.4.4
SCLK	$V_{\text{SCLK(H)}}$	2	–	V_{DD}	V	–	P_12.4.5
SI	$V_{\text{SI(H)}}$	2	–	V_{DD}	V	–	P_12.4.6
L-input pull-up current at CSN pin	$-I_{\text{CSN(L)}}$	31	63	94	μA	$V_{\text{DD}} = 5\text{ V};$ $V_{\text{CSN}} = 0.8\text{ V}$	P_12.4.7
H-input pull-up current at CSN pin	$-I_{\text{CSN(H)}}$	22	45	67	μA	$V_{\text{DD}} = 5\text{ V};$ $V_{\text{CSN}} = 2\text{ V}$	P_12.4.8
L-Input 引脚下拉电流							
SCLK	$I_{\text{SCLK(L)}}$	6	12	18	μA	$V_{\text{SCLK}} = 0.8\text{ V};$	P_12.4.9
SI	$I_{\text{SI(L)}}$	6	12	18	μA	$V_{\text{SI}} = 0.8\text{ V}$	P_12.4.10
H-Input 引脚下拉电流							
SCLK	$I_{\text{SCLK(H)}}$	15	30	45	μA	$V_{\text{SCLK}} = 2\text{ V};$	P_12.4.11
SI	$I_{\text{SI(H)}}$	15	30	45	μA	$V_{\text{SI}} = 2\text{ V}$	P_12.4.12
输出特性（SO）							
L level output voltage	$V_{\text{SO(L)}}$	0	–	0.4	V	$I_{\text{SO}} = -2\text{ mA}$	P_12.4.13
H level output voltage	$V_{\text{SO(H)}}$	$V_{\text{DD}} - 0.4\text{ V}$	–	V_{DD}	V	$I_{\text{SO}} = 2\text{ mA};$ $V_{\text{DD}} = 5\text{ V}$	P_12.4.14
Output tristate leakage current	$I_{\text{SO(OFF)}}$	-1	–	1	μA	$V_{\text{CSN}} = V_{\text{DD}};$ $V_{\text{SO}} = 0\text{ V}$ or $V_{\text{SO}} = V_{\text{DD}}$	P_12.4.15
时序							
Enable lead time (falling CSN to rising SCLK)	$t_{\text{CSN(lead)}}$	200	–	–	ns	¹⁾	P_12.4.17
Enable lag time (falling SCLK to rising CSN)	$t_{\text{CSN(lag)}}$	200	–	–	ns	¹⁾	P_12.4.18
Transfer delay time (rising CSN to falling CSN)	$t_{\text{CSN(td)}}$	250	–	–	ns	¹⁾	P_12.4.19
Output enable time (falling CSN to SO valid)	$t_{\text{SO(en)}}$	–	–	200	ns	¹⁾ $C_{\text{L}} = 20\text{ pF}$ at SO pin	P_12.4.20

串行外设接口 (SPI)

表 14 EC 串行外设接口 (SPI) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output disable time (rising CSN to SO tristate)	$t_{SO(dis)}$	–	–	200	ns	¹⁾ $C_L = 20 \text{ pF}$ at SO pin	P_12.4.21
Serial clock frequency	f_{SCLK}	–	–	5	MHz	¹⁾	P_12.4.22
Serial clock period	$t_{SCLK(P)}$	200	–	–	ns	¹⁾	P_12.4.24
Serial clock HIGH time	$t_{SCLK(H)}$	75	–	–	ns	¹⁾	P_12.4.25
Serial clock LOW time	$t_{SCLK(L)}$	75	–	–	ns	¹⁾	P_12.4.26
Data setup time (required time SI to falling SCLK)	$t_{SI(su)}$	20	–	–	ns	¹⁾	P_12.4.27
Data hold time (falling SCLK to SI)	$t_{SI(h)}$	20	–	–	ns	¹⁾	P_12.4.28
Output data valid time with capacitive load	$t_{SO(v)}$	–	–	100	ns	¹⁾ $C_L = 20 \text{ pF}$	P_12.4.29

1) 无需经过生产测试，由设计指定。

串行外设接口 (SPI)

12.5 SPI 协议

SPI通讯过程中SI与SO内容关系如图 33所示SI线代表从 μC 发送的帧，SO 线是TLD5501-2QV 提供的应答。第一个 SO 响应是来自前一个指令的响应。

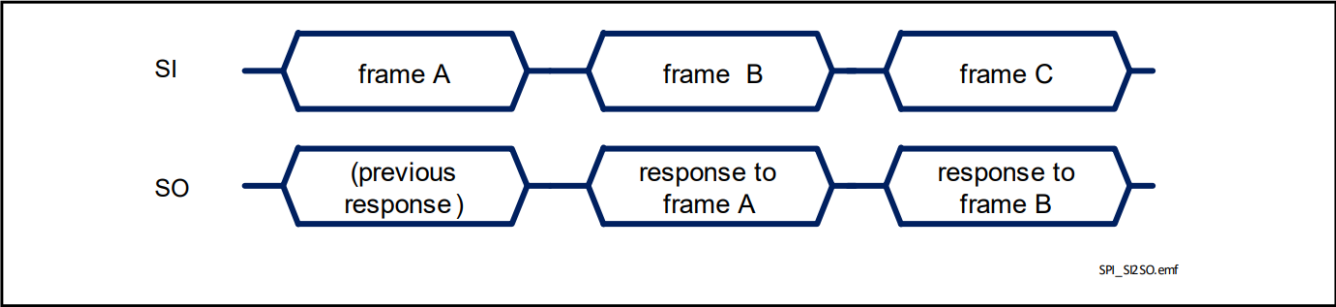


图33 SPI通讯时SI与SO的关系

SPI协议将仅在 μC 触发下一个命令帧时提供应答。尽管TLD5501-2QV中实现的绝大多数指令和帧可以在不知道之前发生什么的情况下进行解码，但建议考虑 μC 在前一个帧中发送的内容，以完全解码TLD5501-2QV响应帧。

更详细地说，“读取”和“写入”寄存器内容的指令序列如下：

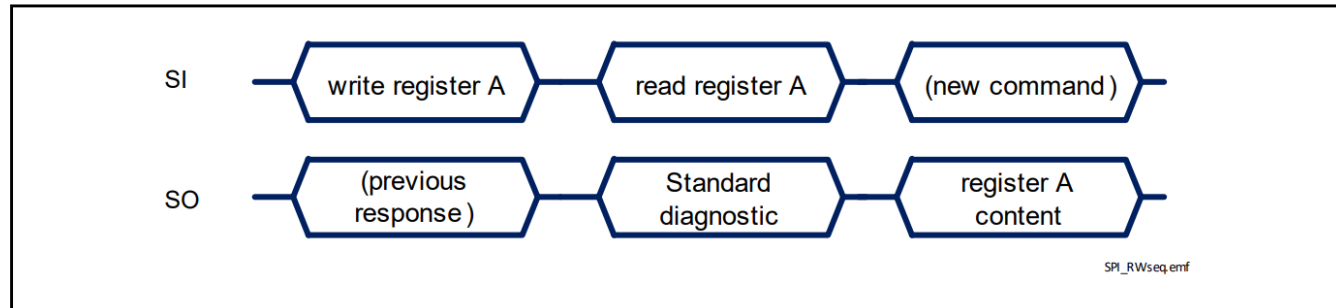


图 34 寄存器内容发送回 μC

有 3 种特殊情况，发送回 μC 的帧不依赖于先前收到的帧：

- 如果在前一帧中发生错误（例如，时钟脉冲不是8的倍数，且最小值为16位），如图35所示
- 当TLD5501-2QV逻辑电源出现欠压复位条件时（ $V_{DD} < V_{DD(UV)}$ ，如图 36所示或 $EN/INUVLO < V_{EN/INUVLOth}$ ）
- 如果对“未使用”或“保留”寄存器进行读取或写入命令（在这种情况下，TLD5501-2QV在下一个SPI传输中使用标准诊断进行应答）

串行外设接口 (SPI)

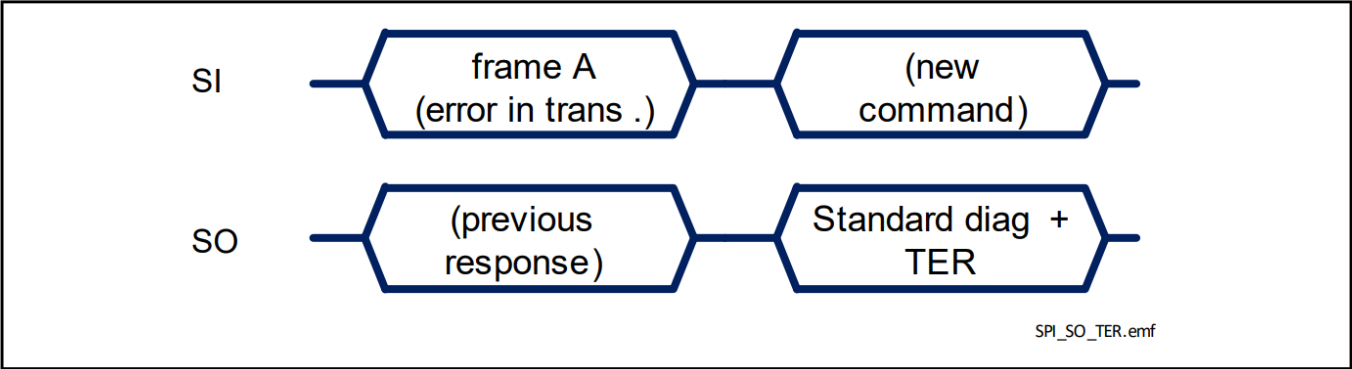


图 35 TLD5501-2QV出错传输后的响应

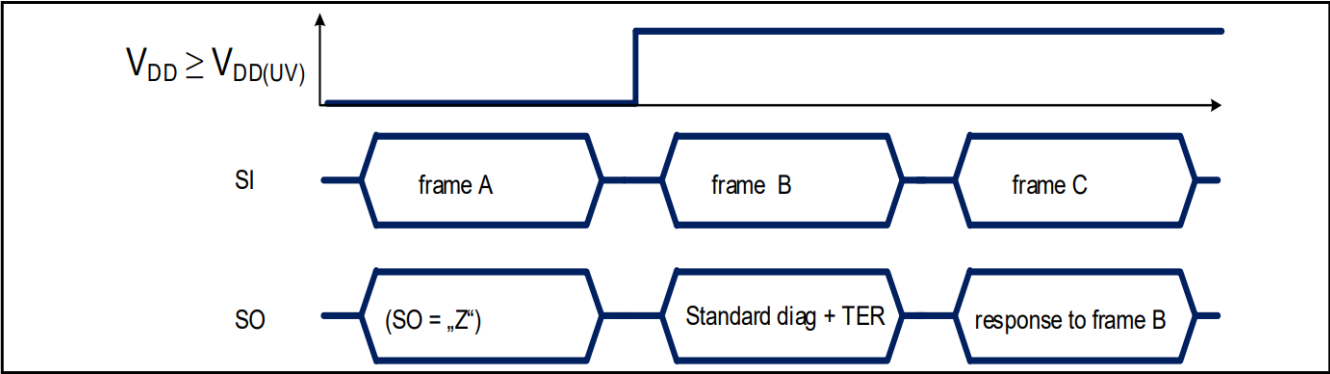


图 36 TLD5501-2QV 在 V_{DD} 在上电复位后的响应

串行外设接口 (SPI)

12.6 SPI 寄存器概述

读取一个寄存器需要两个 SPI 帧。在第一帧中，发送读取命令。在第二帧中，SPI 信号 SO 的输出将包含所请求的信息。高字节/最高有效位MSB（数据字最左位）将为高（而在标准诊断的情况下为低）。新的指令可以在第二帧中执行。

表 15 SPI指令摘要¹⁾

Requested Operation	Frame sent to TLD5501-2QV (SI pin)	Frame received from TLD5501-2QV (SO pin) with the next command
Read Standard Diagnosis	0xxxxxxxxxxxxx1 _B ("xxxxxxxxxxxx" = don't care)	0dddddddddddddd _B (Standard Diagnosis)
Write 8-bit register	Bank 0: 10aaaaaaccccccc _B Bank 1: 11aaaaaaccccccc _B where: "aaaaaa _B " = register address "ccccccc _B " = new register content	0dddddddddddddd _B (Standard Diagnosis)
Read 8-bit registers	Bank 0: 00aaaaaaxxxxxx0 _B Bank 1: 01aaaaaaxxxxx _B where: "aaaaaa _B " = register address "xxxxxxx _B " = don't care	Bank 0: 10aaaaaaccccccc _B Bank 1: 11aaaaaaccccccc _B where: "aaaaaa _B " = register address "ccccccc _B " = register content

1)"a"=地址位，"c"=寄存器内容，"d"=诊断位

12.6.1 标准诊断

标准诊断报告一些诊断信息和器件的状态以及实用程序。在 STD 诊断读数后，位 SWRST、UVLORST、TER、CAPUV_CH1、CAPUV_CH2 和 IVCCUVLO 被锁存并自动清除。

位 TSD 只能通过明确的 CLRLAT 指令锁存和清除。STATE 和 TW 位是实时状态标志。

EOMON、EOCAL、FAULT_CH1 和 FAULT_CH2 位是内部寄存器的镜像。

CLRLAT 指令重置诊断锁存标志和 OUTOV_CH1,2、TSD 位的锁存保护，重新启动由于前面提到的故障而停止的开关活动。

在标准操作条件（激活状态，无故障行驶功能）下，如果没有执行任何特殊例程并且没有检测到故障，则 STD 的读数应为 1000_H。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	SWRST	UVLO RST	STATE	TER	EO MON	x	EO C AL	CAPU V_CH 2	CAPU V_CH 1	IVCCU VLO	FAULT _CH2	FAULT _CH1	TSD	TW	

串行外设接口 (SPI)

Field	Bits	Type	Description
SWRST	14	r	SWRST Monitor 0_B , no SWRST occurred 1_B , there was at least one SWRST since last readout
UVLORST	13	r	V_{DD} OR $V_{EN/INUVLO}$ Undervoltage Monitor 0_B , there was no V_{DD} OR $V_{EN/INUVLO}$ undervoltage since last readout 1_B , there was at least one V_{DD} undervoltage OR $V_{EN/INUVLO}$ undervoltage condition since last readout
STATE	12:11	r	Operative State Monitor 00_B , (reserved) 01_B , Limp Home Mode 10_B , Active Mode 11_B , Idle Mode
TER	10	r	Transmission Error 0_B , Previous transmission was successful (modulo 16 + n*8 clocks received, where n = 0, 1, 2...) 1_B , Previous transmission failed or first transmission after reset
EOMON	9	r	Mirror of EOMON_CH1,2 This bit is the mirror of EOMON_CH1 or EOMON_CH2 bits, according to the last SOMON_CH1,2 command received.
EOCAL	7	r	Mirror of EOCAL_CH1,2 This bit is the mirror of EOCAL_CH1 or EOCAL_CH2 bits, according to the last SOCAL_CH1,2 command received.
CAPUV_CH2	6	r	Undervoltage at High Side Drivers monitor bit for CH2: 0_B , $V_{BST2} - V_{SWN2}$ voltage difference is above the Gate Driver undervoltage threshold $V_{BST2} - V_{SWN2_UVth}$ = no undervoltage at Gate Drivers detected 1_B , $V_{BST2} - V_{SWN2}$ voltage is below the Gate Driver undervoltage threshold $V_{BST2} - V_{SWN2_UVth}$ = undervoltage at Gate Drivers detected
CAPUV_CH1	5	r	Undervoltage at High Side Drivers monitor bit for CH1: 0_B , $V_{BST1} - V_{SWN1}$ voltage difference is above the Gate Driver undervoltage threshold $V_{BST1} - V_{SWN1_UVth}$ = no undervoltage at Gate Drivers detected 1_B , $V_{BST1} - V_{SWN1}$ voltage is below the Gate Driver undervoltage threshold $V_{BST1} - V_{SWN1_UVth}$ = undervoltage at Gate Drivers detected
IVCCUVLO	4	r	IVCC or IVCC_EXT Undervoltage Lockout Monitor 0_B , IVCC and IVCC_EXT above $V_{IVCC_RTH,d}$ or $V_{IVCC_EXT_RTH,d}$ threshold since last readout 1_B , Undervoltage on IVCC or IVCC_EXT occurred since last readout
FAULT_CH2	3	r	Fault Diagnosis Flag of CH2 This bit is the mirror of SHRTLED_CH2, OL_CH2, OUTOV_CH2 combined in logic OR

串行外设接口 (SPI)

Field	Bits	Type	Description
FAULT_CH1	2	r	Fault Diagnosis Flag of CH1 This bit is the mirror of SHRTLED_CH1, OL_CH1, OUTOV_CH1 combined in logic OR
TSD	1	r	Over Temperature Shutdown 0 _B , T_j below temperature shutdown threshold 1 _B , Overtemperature condition detected since last readout
TW	0	r	Over Temperature Warning 0 _B , T_j below temperature warning threshold 1 _B , T_j exceeds temperature warning threshold

串行外设接口 (SPI)

12.6.2 寄存器结构

表 18 详细描述了可用的寄存器及其位字段功能、大小和位置

表 16 和表 17 显示寄存器地址并总结每个寄存器内的位域位置

表 16 寄存器组 0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	W/R	R/B	ADDR						Data							
LEDCURRA_DIM_CH1	W/R	0	0	0	0	0	0	0	ADIMVAL_CH1							
LEDCURRCAL_CH1	W/R	0	0	0	0	0	1	1	x	DAC_OF_F_CH1	SOCAL_CH1	EOCAL_CH1	CALIBVAL_CH1			
SWTMOD	W/R	0	0	0	0	1	0	1	x	x	x	x	x	ENSP_READ	FMSP_READ	FDEVS_PREAD
DVCCTRL	W/R	0	0	0	0	1	1	0	x	x	x	x	x	CLRLA_T	SWRS_T	IDLE
MFSSETUP1_CH1	W/R	0	0	0	1	0	0	1	x	x	x	x	LEDCHAIN_CH1			
CURRMON_CH1	W/R	0	0	0	1	1	0	0	x	x	x	x	SOMON_CH1	EOMON_CH1	LEDCURR_CH1	
FAULTS_CH1	W/R	0	0	0	1	1	1	1	OUT_OC_CH1	x	x	OUTOV_LAT_CH1	x	OUTOV_CH1	OL_CH1	SHRTL_ED_CH1
LOOPCTRL_CH1	W/R	0	0	1	0	0	0	1	PWM_1	x	x	x	x	x	x	ENCAL_CH1

表 17 寄存器组 1

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	W/R	R/B	ADDR						Data							
LEDCURRA_DIM_CH2	W/R	1	0	0	0	0	0	1	ADIMVAL_CH2							
LEDCURRCAL_CH2	W/R	1	0	0	0	0	1	0	x	DAC_OFF_CH2	SOCAL_CH2	EOCAL_CH2	CALIBVAL_CH2			
MFSSETUP1_CH2	W/R	1	0	0	1	0	0	0	x	x	x	x	LEDCHAIN_CH2			
CURRMON_CH2	W/R	1	0	0	1	1	0	1	x	x	x	x	SOMON_CH2	EOMON_CH2	LEDCURR_CH2	

串行外设接口 (SPI)

表 17 寄存器组 1 (续)

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAULTS_CH2	W/R	1	0	0	1	1	1	0	OUT_OC_CH2	x	x	OUTOV_LAT_CH2	x	OUTOV_CH2	OL_CH2	SHRTLED_CH2
LOOPCTRL_CH2	W/R	1	0	1	0	0	0	0	PWM_2	x	x	x	x	x	x	ENCAL_CH2

对不存在的地址的写入将被忽略，对不存在的寄存器的读取将被忽略，并且将发送出 STD 诊断帧。

表 18 寄存器描述

Register name	Field	Bits	Type	Purpose
LEDCURRADIM_CH1, 2	ADIMVAL_CH1, 2	7:0	r/w	LED Current Configuration Register 00000000 _B , analog dimming @ 0% of LED current fixed via $R_{FB1,2}$ 11110000 _B , (default) analog dimming @ 100% of LED current fixed via $R_{FB1,2}$
LEDCURRCAL_CH1, 2	CALIBVAL_CH1, 2	3:0	r/w	LED Current Accuracy Trimming Configuration Register LED current calibration value definition, the first bit is the calibration sign: 0000 _B , (default) Initial state in the middle of the range 0111 _B , maximum calibration value positive 1111 _B , maximum calibration value negative
	EOCAL_CH1, 2	4	r	End of calibration routine signalling bit: 0 _B , (default) calibration routine not completed, not successfully performed or never run. 1 _B , calibration successfully performed (is reset to 0 _B when SOCAL_CH1, 2 is set to 1 _B)
	SOCAL_CH1, 2	5	r/w	Start of calibration routine signalling bit: 0 _B , (default) no calibration routine started 1 _B , calibration routine start (autoclear)
	DAC_OFF_CH1, 2	6	r/w	Switch OFF internal analog dimming DAC bit: 0 _B , (default) internal DAC active 1 _B , internal DAC inactive and analog dimming error amplifier reference mapped to SET1,2 pin

串行外设接口 (SPI)

表 18 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
SWTMOD	FDEVSPREAD	0	r/w	Switching Mode Configuration Register Deviation Frequency f_{DEV} definition: 0 _B , (default) $\pm 20\%$ of f_{SW} 1 _B , $\pm 10\%$ of f_{SW}
	FMSPREAD	1	r/w	Frequency Modulation Frequency f_{FM} definition: 0 _B , (default) 12 kHz 1 _B , 18 kHz
	ENSPREAD	2	r/w	Enable Spread Spectrum feature: 0 _B , Spread Spectrum modulation disabled 1 _B , (default) Spread Spectrum modulation enabled
DVCCTRL	IDLE	0	r/w	Device Control Register IDLE mode configuration bit: 0 _B , ACTIVE mode (default) 1 _B , IDLE mode
	SWRST	1	r/w	Software reset bit: 0 _B , (default) normal operation 1 _B , execute reset command
	CLRLAT	2	r/w	Clear Latch bit: 0 _B , (default) normal operation 1 _B , execute CLRLAT command
MFSSETUP1_CH1, 2	LEDCHAIN_CH1, 2	3:0	r/w	Short Circuit configuration Register Short circuit threshold and MFS ratio bits: change the $V_{VFB1,2_S2G}$ threshold 0001 _B , smallest Value 1 Step 0010 _B , (default) 2 Steps 1000 _B , 8 Steps 1111 _B , 15 Steps 0000 _B , largest Value 16 Steps
CURRMON_CH1, 2	LEDCURR_CH1, 2	1:0	r	Current Monitor Register Status of the LED Current bits: 00 _B , (default) LED current between Target and +25% 01 _B , LED current above +25% of Target 10 _B , LED current between Target and -25% 11 _B , LED current below -25% of Target
	EOMON_CH1, 2	2	r	End of LED/Input Current Monitoring bits: 0 _B , (default) Current monitoring routine not completed, not successfully performed or never run. 1 _B , Current Monitor routine successfully performed (is reset to 0 _B when SOMON_CH1, 2 is set to 1 _B)
	SOMON_CH1, 2	3	r/w	Start of LED/Input Current Monitoring bits: 0 _B , (default) Current monitor routine not started 1 _B , Start of the current monitor routine

串行外设接口 (SPI)

表 18 寄存器描述 (续)

Register name	Field	Bits	Type	Purpose
FAULTS_CH1, 2	SHRTLED_CH1, 2	0	r	Detailed Fault and Diagnosis Registers Shorted Load Diagnosis Bit: 0 _B , Short circuit condition not detected since last readout 1 _B , Short circuit condition detected since last readout This bit is latched and automatically cleared after a FAULTS_CH1,2 register reading
	OL_CH1, 2	1	r	Open Load in ON state Diagnosis Bit: 0 _B , Open load condition not detected since last readout 1 _B , Open load condition detected since last readout This bit is latched and automatically cleared after a FAULTS_CH1,2 register reading
	OUTOV_CH1, 2	2	r	Output overvoltage Monitor Bit: 0 _B , Output overvoltage not detected since last readout 1 _B , Output overvoltage detected since last readout This bit is latched and automatically cleared after a FAULTS_CH1,2 register reading (default condition if OUTOVLAT_CH1,2 is not set). See Chapter 10.2.2 for further details.
	OUTOVLAT_CH1, 2	4	r/w	Output latch after overvoltage error enable Bit: 0 _B , (default) gate driver outputs are autorestarting after an overvoltage event 1 _B , gate drivers are latched low (output Mos are High Impedance) and bit OUTOV_CH1,2 is latched after an overvoltage event until a CLRLAT command
	OUTOC_CH1, 2	7	r	Output overcurrent Monitor Bit: 0 _B , Output overcurrent not detected since last readout 1 _B , Output overcurrent detected since last readout This bit is latched and automatically cleared after a FAULTS_CH1,2 register reading
LOOPCTRL_CH1, 2	ENCAL_CH1, 2	0	r/w	Loop Control Register Enable automatic output current calibration Bits of CH1,2: 0 _B , (default) DAC of CH1,2 takes CALIBVAL_CH1, 2 from SPI registers 1 _B , DAC of CH1,2 takes CALIBVAL_CH1, 2 from last completed automatic calibration procedure; SOCAL_CH1, 2 bits can be set.
	PWM_1, 2	7	r/w	Bits to enable/disable the gate drivers of the main switches (gate driver resulting status is the OR function with the PWMI1,2 pins value): 0 _B , (default) disable 1 _B , enable

应用信息

13 应用信息

注： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

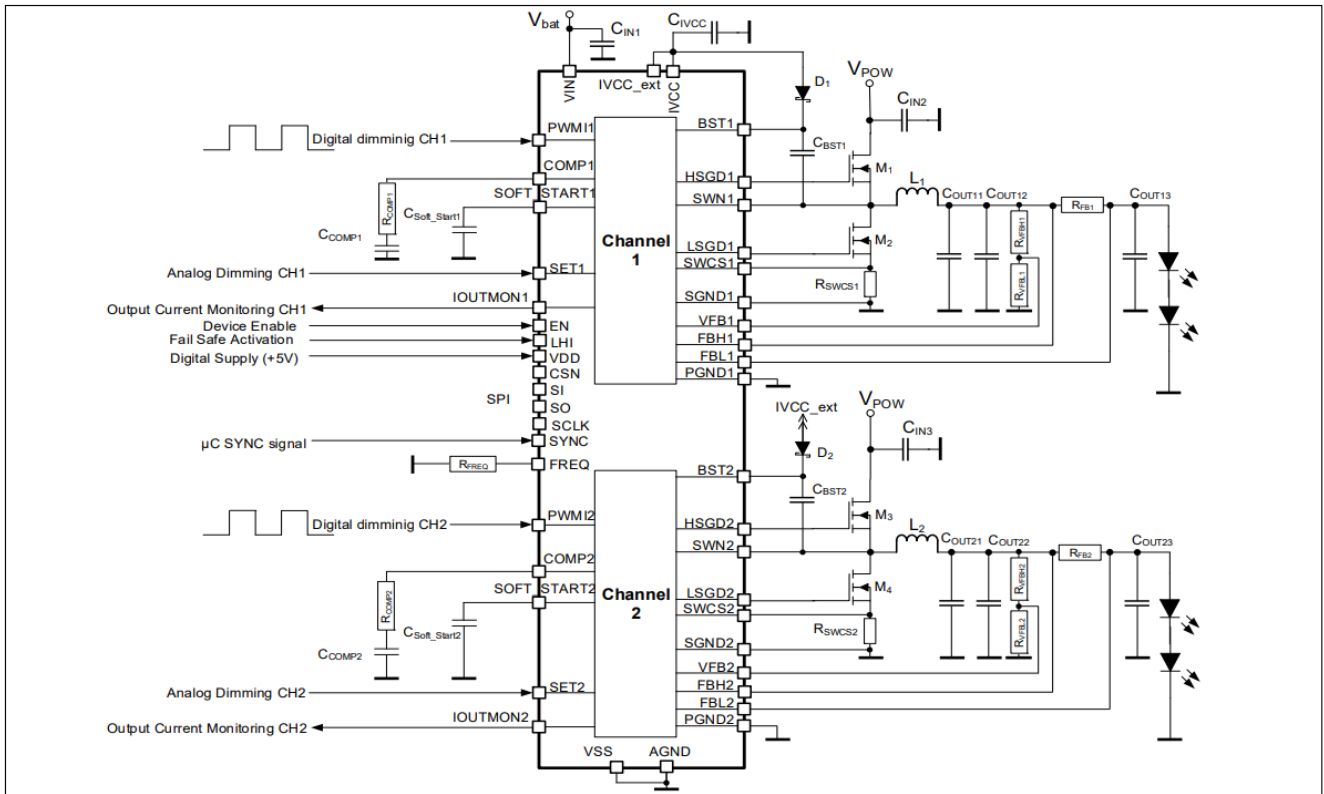


图 37 应用图 - TLD5501-2QV 作为降压电流调节器，独立通道

表 19 BOM - TLD5501-2QV 作为降压电流调节器

Reference Designator	Value	Manufacturer	Part Number	Type
D_1, D_2	BAT46WJ	--	BAT46WJ	Diode
C_{IN2}, C_{IN3}	4.7 μ F, 100 V	TDK	X7R	Capacitor
C_{COMP1}, C_{COMP2}	22n F, 16 V	TDK	X7R	Capacitor
$C_{SOFT_START1}, C_{SOFT_START2}$	22 nF, 16 V	TDK	X7R	Capacitor
$C_{OUT11}, C_{OUT21}, C_{OUT12}, C_{OUT22}$	4.7 μ F, 60 V	TDK	X7R	Capacitor
$C_{IN1}, C_{OUT13}, C_{OUT23}$	100 nF, 60 V	TDK	X7R	Capacitor
C_{OUT23}	100 μ F, 80 V	TDK	Tantalum	Capacitor
C_{IVCC}	10 μ F, 16 V	TDK	X7R	Capacitor
C_{BST1}, C_{BST2}	100 nF, 16 V	TDK	X7R	Capacitor
IC_1	--	Infineon	TLD5501-2QV	IC
L_1, L_2	10 μ H	Coilcraft	XAL1010-103MEC	Inductor
R_{FB1}, R_{FB2}	0.50 Ω , 1%	Panasonic	--	Resistor

应用信息

表 19 BOM - TLD5501-2QV作为降压电流调节器

Reference Designator	Value	Manufacturer	Part Number	Type
R_{VFBL1}, R_{VFBL2}	1.5 k Ω , 1%	Panasonic	--	Resistor
R_{VFBH1}, R_{VFBH2}	56 k Ω , 1%	Panasonic	--	Resistor
R_{COMP1}, R_{COMP2}	0 Ω , 5%	Panasonic	--	Resistor
R_{FREQ}	37.4 k Ω , 1%	Panasonic	--	Resistor
R_{SWCS1}, R_{SWCS2}	0.005 Ω , 1%	Panasonic	ERJB1CFR05U	Resistor
M_1, M_2, M_3, M_4	Dual MOSFET: 100 V / 26 m Ω N-ch	Infineon	IPG20N06S4L-26	Transistor

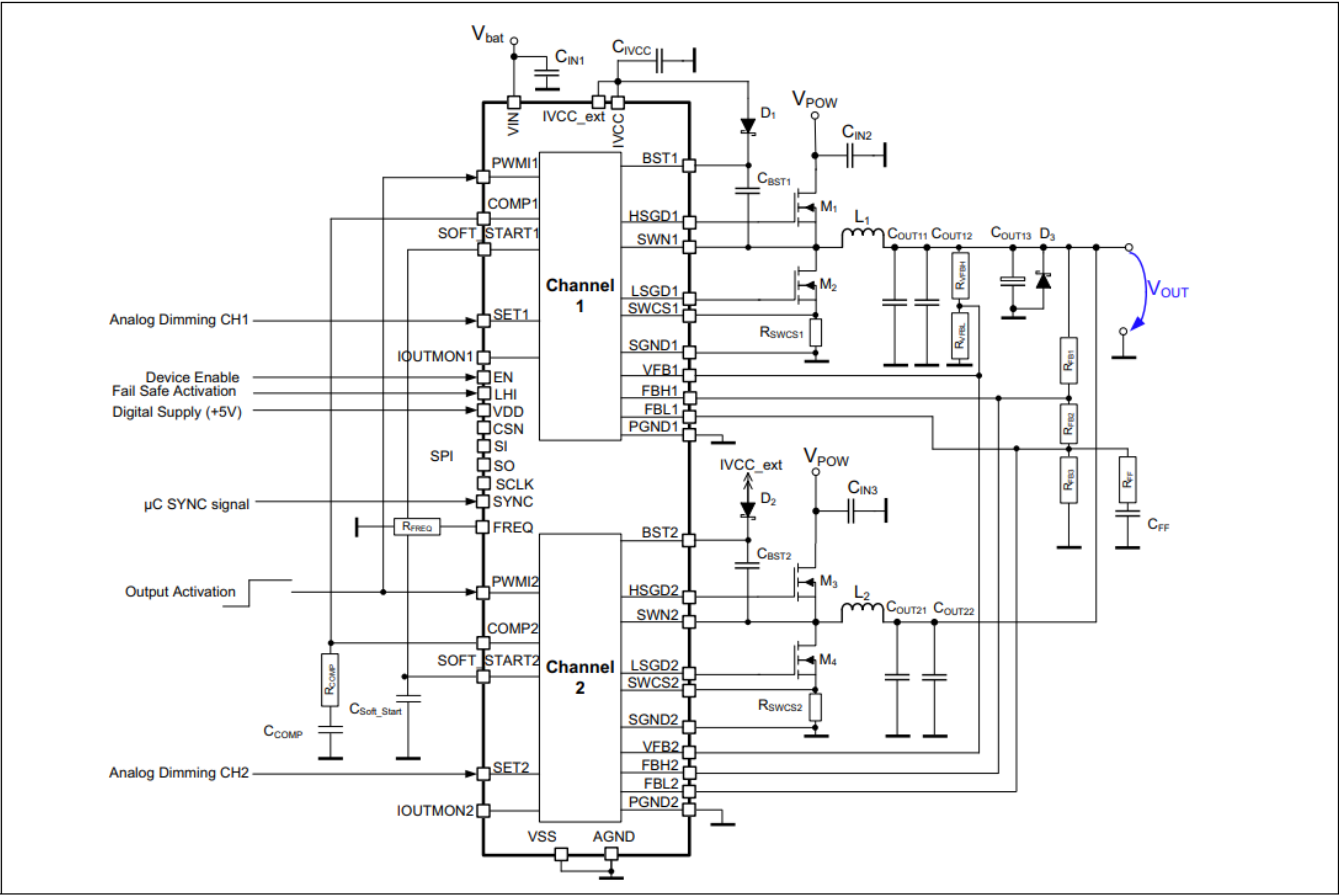


图 38 应用图 - TLD5501-2QV作为并联通道降压稳压器

表 20 BOM - TLD5501-2QV 作为并联通道的降压稳压器

Reference Designator	Value	Manufacturer	Part Number	Type
D_1, D_2	BAT46WJ	--	--	Diode
C_{IN2}, C_{IN3}	4.7 μ F, 50 V	TDK	X7R	Capacitor
C_{COMP}	39 nF, 16 V	TDK	X7R	Capacitor
C_{SOFT_START}	47 nF, 16 V	TDK	X7R	Capacitor
C_{FF}	68nF, 50V	TDK	X7R	Capacitor
$C_{OUT11}, C_{OUT21}, C_{OUT12}, C_{OUT22}$	4.7 μ F, 60 V	TDK	X7R	Capacitor

应用信息

表 20 BOM - TLD5501-2QV 作为并联通道的降压稳压器

Reference Designator	Value	Manufacturer	Part Number	Type
C_{OUT13}	100 μ F, 80 V	--	Electrolytic	Capacitor
C_{IVCC}	10 μ F, 16 V	TDK	X7R	Capacitor
C_{BST1}, C_{BST2}	100 nF, 16 V	TDK	X7R	Capacitor
IC_1	--	Infineon	TLD5501-2QV	IC
L_{OUT1}, L_{OUT2}	10 μ H	Coilcraft	XAL1010-103MEC	Inductor
$R_{FB1}, R_{FB2}, R_{FB3}$	0, 150 Ω , 48k Ω 1%	Panasonic	--	Resistor
R_{VFBL}, R_{VFBH}	1.5 k Ω , 56 k Ω , 1%	Panasonic	--	Resistor
R_{COMP}	1 k Ω	Panasonic	--	Resistor
R_{FF}	470 Ω 1%	Panasonic	--	Resistor
R_{FREQ}	37.4 k Ω , 1%	Panasonic	--	Resistor
R_{SWCS1}, R_{SWCS2}	0.005 Ω , 1%	Panasonic	ERJB1CFR05U	Resistor
M_1, M_2, M_3, M_4	Dual MOSFET: 100 V / 14 m Ω N-ch	Infineon	IPG20N06S4L-14	Transistor

应用信息

13.1 更多应用信息

- 如需了解更多信息，您可以联系<http://www.infineon.com/>

修订记录

15 修订记录

Revision	Date	Changes
Rev. 2.00	2021-03-26	Editorial changes and typos
Rev. 2.00	2021-03-26	Change package name and updated product validation AEC Q100
Rev. 2.00	2021-03-26	Update Figure 2
Rev. 2.00	2021-03-26	Update footnotes of Table 3
Rev. 2.00	2021-03-26	P_4.2.1, P_4.3.2, P_6.4.43, P_6.4.47, P_6.4.64, P_10.8.30, P_10.8.31, P_10.8.21: added notes
Rev. 2.00	2021-03-26	P_5.3.7 min: 1.64 → 1.6, max: 1.86 → 1.9
Rev. 2.00	2021-03-26	Update Chapter 6.1
Rev. 2.00	2021-03-26	Update Figure 7
Rev. 2.00	2021-03-26	Improved description of Adjustable Soft Start Ramp Chapter 6.2
Rev. 2.00	2021-03-26	Update Figure 8
Rev. 2.00	2021-03-26	Improved description of Programming Output Voltage (Constant Voltage Regulation Chapter 6.5)
Rev. 2.00	2021-03-26	Added P_6.6.1
Rev. 2.00	2021-03-26	Update Chapter 8
Rev. 2.00	2021-03-26	Update Chapter 8.1
Rev. 2.00	2021-03-26	Improved description of Output current Monitoring Chapter 10.3
Rev. 2.00	2021-03-26	Added note in Spread Spectrum description Chapter 11.3
Rev. 2.00	2021-03-26	Removed introduction table in Chapter 12.6
Rev. 2.00	2021-03-26	Added Table 15
Rev. 2.00	2021-03-26	Update Chapter 12.6.1
Rev. 2.00	2021-03-26	Update Table 16 and Table 17
Rev. 2.00	2021-03-26	Update BOM Table 19 and Table 20
Rev. 2.00	2021-03-26	Update Figure 38
Rev. 1.00	2017-07-11	Initial Datasheet

目录

1	概述	1
2	框图	3
3	引脚配置	4
3.1	引脚分配.....	4
3.2	引脚定义和功能.....	5
4	一般产品特性.....	8
4.1	绝对最大额定值.....	8
4.2	工作范围.....	10
4.3	热阻抗.....	11
5	电源	12
5.1	不同功率状态.....	14
5.2	复位器件的不同可能性	15
5.3	电气特性.....	16
6	调节器描述.....	18
6.1	调节器示意图描述.....	18
6.2	可调软启动斜坡.....	20
6.3	开关频率设置.....	21
6.4	灵活电流采样.....	22
6.5	可编程输出电压(恒定电压调节)	23
6.6	电气特性.....	24
7	数字调光功能.....	27
7.1	描述.....	27
7.2	电气特性.....	29
8	模拟调光	30
8.1	描述.....	30
8.2	LED电流校准流程	33
8.3	电气特性.....	34
9	线性调节器	35
9.1	IVCC描述	35
9.2	电气特性.....	36
10	保护和诊断功能	37
10.1	描述.....	37
10.2	输出过压、过流、负载开路、短路保护	38
10.2.1	短路保护.....	38
10.2.2	过压保护.....	40
10.2.3	负载过流保护.....	40
10.2.4	开路负载检测.....	40
10.3	输出电流监控.....	40
10.4	器件温度监测.....	42
10.5	电气特性.....	43
11	Infineon FLAT SPECTRUM功能集.....	45
11.1	描述.....	45
11.2	同步功能.....	45
11.3	展频.....	46
11.4	电磁兼容优化原理图.....	47

11.5	电气特性.....	48
12	串行外设接口 (SPI)	49
12.1	SPI信号说明	49
12.2	菊花链功能.....	50
12.3	时序图.....	52
12.4	电气特性.....	53
12.5	SPI 协议.....	55
12.6	SPI 寄存器概述	57
12.6.1	标准诊断.....	57
12.6.2	寄存器结构.....	60
13	应用信息	64
13.1	更多应用信息.....	67
14	封装外形	68
15	修订记录	69
	目录	70

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-03-26

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies
AG.

All Rights Reserved.

Do you have a question about
any aspect of this document?

Email: erratum@infineon.com

Document reference
TLD5501-2QV

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenhheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.