# 16位

架构

# XE167FM, XE167GM, XE167HM, XE167KM

英飞凌16 位单芯片实时信号控制器

XE166 系列 / 基线版本

## 数据手册

V2.11 2016-01

微控制器

**Edition 2016-01**

**Published by**
**Infineon Technologies AG**
**81726 Munich, Germany**

**© 2016 Infineon Technologies AG**
**All Rights Reserved.**

**Legal Disclaimer**

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics.With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

**Information**

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (**www.infineon.com**).

**Warnings**

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

Infineon Technologies components may be used in life-support devices or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system or to affect the safety or effectiveness of that device or system.Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life.If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

*本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。*

# 16位

架构

# XE167FM, XE167GM, XE167HM, XE167KM

16 位单芯片实时信号控制器
XE166 系列 / 基线版本

## 数据手册

V2.11 2016-01

微控制器

**XE167xM**

## 修订历史：V2.11, 2016-01

历史修订版本:

V2.1, 2011-07
V2.0, 2009-03
V1.3, 2008-11
V1.2, 2008-09

V1.1, 2008-06 初步版本

V1.0，2008-06（中间版本）

| Page | Subjects (major changes since last revisions) |
|---|---|
| V2.0 至 V2.1 | |
| 52 | ID registers added |
| 99 | ADC capacitances corrected (typ. vs. max.) |
| 103 | Conditions relaxed for $\Delta f_{INT}$<br>Range for $f_{WU}$ adapted according to PCN 2010-013-A Added<br>startup time from power-on $t_{SPO}$ |
| 143 | Quality #declarations added |
| V2.1 至 V2.11 | |
| 10 | Added XE167FM-72FxxLR device type |
| 140, 141 | Package type added |

**Trademarks**

C166™、TriCore™和 DAVE™是英飞凌科技股份公司的商标。

**We Listen to Your Comments**

本文件中是否有您认为错误、不清楚或遗漏的信息？您的反馈将帮助我们不断提升本文件的质量。

请将您的建议（并注明本文件的参考信息）发送至：

**mcdocu.comments@infineon.com**

# 目录

**1 特征描述** ..... 7
1.1 基本设备类型 ..... 10
1.2 特征变体的定义 ..... 11

**2 设备通用信息** ..... 13
2.1 引脚配置及定义 ..... 14
2.2 识别寄存器 ..... 52

**3 功能说明** ..... 53
3.1 内存子系统与组织结构 ..... 54
3.2 外部总线控制器 ..... 57
3.3 中央处理器 (CPU) ..... 58
3.4 存储器保护单元 (MPU) ..... 60
3.5 内存检查模块 (MCHK) ..... 60
3.6 中断系统 ..... 61
3.7 片上调试支持 (OCDS) ..... 62
3.8 捕捉/比较单元(CAPCOM2) ..... 63
3.9 捕获/比较单元 (CCU6x) ..... 66
3.10 通用定时器 (GPT12E) 单元 ..... 68
3.11 实时时钟 ..... 72
3.12 A/D 转换器 ..... 74
3.13 通用串行接口通道模块 (USIC) ..... 75
3.14 MultiCAN 模块 ..... 77
3.15 系统计时器 ..... 78
3.16 看门狗定时器 ..... 79
3.17 时钟生成 ..... 79
3.18 并行端口 ..... 80
3.19 指令集概述 ..... 81

**4 电气参数** ..... 84
4.1 常规参数 ..... 84
4.1.1 绝对最大额定条件 ..... 84
4.1.2 工作条件 ..... 85
4.1.3 焊盘时序定义 ..... 87
4.1.4 参数解释 ..... 87
4.2 直流参数 ..... 88
4.2.1 直流参数 ..... 90
4.2.2 低电压区域的直流参数 ..... 92
4.2.3 功耗 ..... 94
4.3 模拟/数字转换器参数 ..... 99
4.4 系统参数 ..... 103
4.5 闪存参数 ..... 106

目录

4.6 交流参数 ..... 108
4.6.1 测试波形 ..... 108
4.6.2 内部时序定义 ..... 109
4.6.2.1 锁相环(PLL) ..... 110
4.6.2.2 唤醒时钟 ..... 113
4.6.2.3 选择和更改工作频率 ..... 113
4.6.3 外部时钟输入参数 ..... 114
4.6.4 焊盘特性 ..... 116
4.6.5 外部总线时序 ..... 119
4.6.5.1 带有 READY 输入的总线周期控制 ..... 125
4.6.5.2 外部总线仲裁 ..... 127
4.6.6 同步串行接口时序 ..... 130
4.6.7 调试接口时序 ..... 134

**5 封装与可靠性** ..... 140
5.1 封装信息 ..... 140
5.2 散热考虑 ..... 142
5.3 质量声明 ..... 143

**16 位单芯片实时信号控制器**

**XE167xM（XE166 系列）**

# 1 特征描述

为了便于快速浏览和参考，这里总结了 XE167xM 的功能。

- 配备五级流水线和 MPU 的高性能 CPU
  - 12.5 ns 指令周期，CPU 时钟频率为 80 MHz（单周期执行）
  - 单周期 32 位加减法，结果为 40 位
  - 单周期乘法（16×16位）
  - 后台除法运算（32 位 ÷ 16 位）耗时 21 个时钟周期
  - 单周期乘加（MAC）指令
  - 增强型布尔位操作功能
  - 零周期跳转执行
  - 用于支持高级语言（HLL）和操作系统的附加指令
  - 基于寄存器的设计，具有多个可变寄存器组
  - 通过两个额外的本地寄存器库支持快速上下文切换
  - 用于代码和数据的总线性地址空间为 16 M字节
  - 1024 字节片上特殊功能寄存器区（与 C166 系列兼容）
  - 集成存储器保护单元（MPU）
- 具有 16 个优先级的中断系统，最多可连接 96 个信号源
  - 可选外部输入，用于产生中断和唤醒
  - 最快采样率 12.5 毫微秒
- 八通道中断驱动的单周期数据传输，带外设事件控制器 (PEC)，24 位指针覆盖总地址空间
- 利用片内 PLL 或预分频器从内部或外部时钟源生成时钟
- 带可编程多项式的硬件CRC校验器，用于监控片上存储区域
- 片上存储器模块
  - 8 Kbytes 片上备用 RAM (SBRAM)
  - 2 Kbytes 片上双端口 RAM (DPRAM)
  - 最多 16 Kbytes 片上数据 SRAM (DSRAM)
  - 高达 32 Kbytes 的片上程序/数据 SRAM (PSRAM)
  - 多达 576 Kbytes 片上程序存储器（闪存）
  - 通过纠错码 (ECC) 保护内存内容
- 片上外设模块
  - 带 5 个定时器的多功能通用定时器
  - 16 通道通用采集/比较单元（CAPCOM2）
  - 最多 4 个捕获/比较单元，用于灵活生成 PWM 信号（CCU6x）

  - 两个可同步的 A/D 转换器，总共最多 24 个通道，10 位分辨率，转换时间低于 1µs，可选数据预处理（数据缩减、范围检查）、断线检测
  - 最多 8 个串行接口通道，可用作 UART、LIN、高速同步通道 (SPI)、IIC 总线接口（10 位寻址，400 kbit/s）、IIS 接口
  - 片上 MultiCan 接口（符合 Rev.2.0B active 规范），支持最多 128 个消息对象（Full CAN / Basic CAN 模式），可提供多达 6 个 CAN 节点，并具备网关功能
  - 片上系统定时器和片上实时时钟
- 用于代码和数据的外部地址空间高达 12 Mbytes
  - 针对不同地址范围的可编程外部总线特性
  - 复用或解复用外部地址/数据总线
  - 可选地址总线宽度
  - 16 位或 8 位数据总线宽度
  - 五个可编程片选信号
  - 支持保持和保持-确认总线仲裁
- 单电源供电，电压范围为 3.0 V 至 5.5 V
- 可编程看门狗定时器和振荡器看门狗
- 多达 119 条通用输入/输出线
- 片上引导加载器
- 支持全套开发工具，包括 C 编译器、宏汇编器套件、仿真器、评估板、高级语言（HLL）调试器、模拟器、逻辑分析仪反汇编器和编程板等
- 通过设备访问端口 (DAP) 或 JTAG 接口支持片上调试
- 144 引脚绿色 LQFP 封装，引脚间距 0.5 毫米（19.7 密尔）

## 订购信息

英飞凌微控制器的订购代码提供了特定产品的准确参考。此订购代码标识：

- 相应产品类型的功能集
- 温度范围：
  - SAF-...：-40°C 至 85°C
  - SAK-...：-40°C 至 125°C
- 封装类型及交付形式。

如需获取 XE167xM 的订购代码，请联系您的销售代表或当地经销商。

本文档描述了 XE167xM 系列的多个衍生型号：

**表 1** 列出了这些衍生型号并总结了差异。

由于本文档涵盖上述所有衍生型号，因此某些描述可能不适用于特定产品，尤其是不适用于某些特殊器件类型。

为简化说明，本文档中统一使用术语**XE167xM** 来指代所有衍生型号。

## 1.1 基本设备类型

基本器件型号已上市，可通过英飞凌的直接渠道和/或分销渠道订购。

**表 1 XE167xM 基本器件型号概要**

| Derivative[1] | Flash Memory[2] | PSRAM DSRAM[3] | Capt./Comp. Modules | ADC[4] Chan. | Interfaces[4] |
|---|---|---|---|---|---|
| XE167FM-72FxxLR | 576 Kbytes | 32 Kbytes<br>16 Kbytes | CC2<br>CCU60/1/2/3 | 16 + 8 | 6 CAN Nodes,<br>8 Serial Chan. |
| XE167FM-72FxxL | 576 Kbytes | 32 Kbytes<br>16 Kbytes | CC2<br>CCU60/1/2/3 | 16 + 8 | 6 CAN Nodes,<br>8 Serial Chan. |
| XE167FM-48FxxL | 384 Kbytes | 16 Kbytes<br>16 Kbytes | CC2<br>CCU60/1/2/3 | 16 + 8 | 6 CAN Nodes,<br>8 Serial Chan. |
| XE167GM-72FxxL | 576 Kbytes | 32 Kbytes<br>16 Kbytes | CC2<br>CCU60/1 | 8 + 8 | 2 CAN Nodes,<br>4 Serial Chan. |
| XE167GM-48FxxL | 384 Kbytes | 16 Kbytes<br>16 Kbytes | CC2<br>CCU60/1 | 8 + 8 | 2 CAN Nodes,<br>4 Serial Chan. |
| XE167HM-72FxxL | 576 Kbytes | 32 Kbytes<br>16 Kbytes | CC2<br>CCU60/1/2/3 | 16 + 8 | No CAN Nodes,<br>8 Serial Chan. |
| XE167HM-48FxxL | 384 Kbytes | 16 Kbytes<br>16 Kbytes | CC2<br>CCU60/1/2/3 | 16 + 8 | No CAN Nodes,<br>8 Serial Chan. |
| XE167KM-72FxxL | 576 Kbytes | 32 Kbytes<br>16 Kbytes | CC2<br>CCU60/1 | 8 + 8 | No CAN Nodes,<br>4 Serial Chan. |
| XE167KM-48FxxL | 384 Kbytes | 16 Kbytes<br>16 Kbytes | CC2<br>CCU60/1 | 8 + 8 | No CAN Nodes,<br>4 Serial Chan. |

1) “xx” 是可用速度等级（以 MHz 表示）的占位符。

2) 有关片上闪存的具体信息见 **表 2**。

3) 所有衍生型号还额外提供 8 Kbytes 的 SBRAM 和 2 Kbytes 的 DPRAM。

4) 有关可用通道的具体信息，请参见 **表 4**。
每个模拟/数字转换器模块的模拟输入通道分别列出（ADC0 + ADC1）。

## 1.2 特征变体的定义

XE167xM 类型提供多种闪存容量。 **表 2** 描述了每种闪存大小的可用存储区位置。

**表 2 闪存分配**

| Total Flash Size | Flash Area A[1)] | Flash Area B | Flash Area C |
|---|---|---|---|
| 576 Kbytes | $C0'0000_H$ … $C0'EFFF_H$ | $C1'0000_H$ … $C7'FFFF_H$ | $CC'0000_H$ … $CC'FFFF_H$ |
| 384 Kbytes | $C0'0000_H$ … $C0'EFFF_H$ | $C1'0000_H$ … $C4'FFFF_H$ | $CC'0000_H$ … $CC'FFFF_H$ |

1) 第一个闪存段中最上方的 4Kbyte 扇区保留给内部使用（$C0'F000_H$至 $C0'FFFF_H$）。

**表 3 闪存模块分配（单位：Kbytes）**

| Total Flash Size | Flash 0[1)] | Flash 1 | Flash 2 | Flash 3 |
|---|---|---|---|---|
| 576 Kbytes | 256 | 256 | --- | 64 |
| 384 Kbytes | 256 | 64 | --- | 64 |

1） 第一个闪存段中最上方的 4Kbyte 扇区保留给内部使用（$C0'F000_H$至 $C0'FFFF_H$）。

XE167xM 系列提供多种接口选项。**表4**列出了每种选项对应的可用通道。

**表 4 接口通道关联**

| Total Number | Available Channels |
|---|---|
| 16 ADC0 channels | CH0 …CH15 |
| 8 ADC0 channels | CH0 …CH7 |
| 8 ADC1 channels | CH0 …CH7 (overlay: CH8 …CH11) |
| 6 CAN nodes | CAN0, CAN1, CAN2, CAN3, CAN4, CAN5<br>128 message objects |
| 2 CAN nodes | CAN0, CAN1<br>128 message objects |
| 8 serial channels | U0C0, U0C1, U1C0, U1C1, U2C0, U2C1, U3C0, U3C1 |
| 4 serial channels | U0C0, U0C1, U1C0, U1C1 |

XE167xM 类型提供多种SRAM存储器尺寸。图 1 显示了PSRAM和 DSRAM 的分配规则。注意规则不同：

- PSRAM分配从**低**地址开始
- DSRAM分配从**高**地址开始

例如，8 KB 的 PSRAM 将分配在 E0'0000h-E0'1FFFh，而 8 KB 的 DSRAM 将分配在 00'C000h-00'DFFFh。

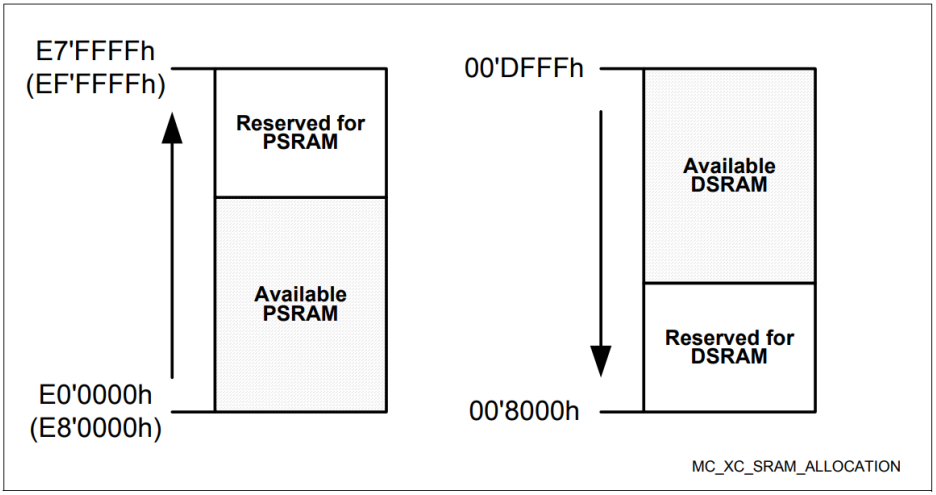


**图 1　　SRAM 分配**

# 2 设备通用信息

XE167xM系列（16位单芯片实时信号控制器）是英飞凌XE166系列全功能单芯片CMOS微控制器家族的一部分。这些设备在指令（MAC 单元）、外围设备和速度方面扩展了 C166 系列的功能和性能。它们将高 CPU 性能（每秒高达 8000 万条指令）与扩展的外部功能和增强的 IO 功能相结合。 优化的外设可以灵活配置，以满足应用需求。这些衍生产品通过 PLL 和内部或外部时钟源产生时钟。片上存储器模块包括程序存储器、程序RAM和数据RAM。

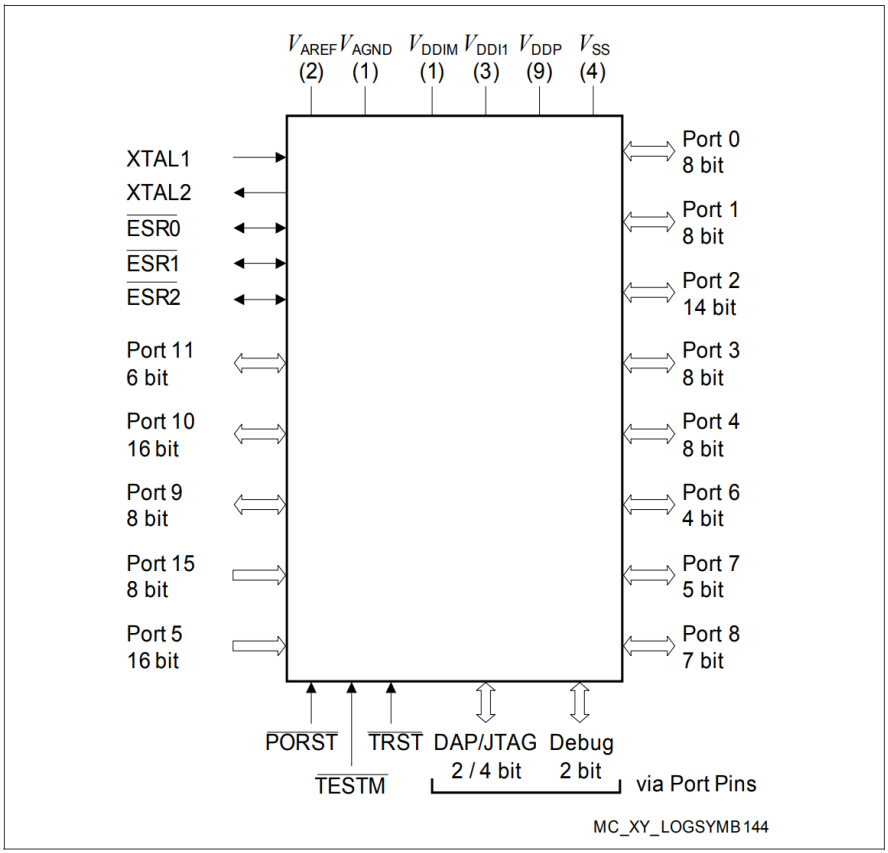


**图 2 XE167xM 逻辑符号**

## 2.1 引脚配置及定义

XE167xM 的引脚在表5中有详细说明，其中包含所有可选功能。更多说明请参考该表末尾的脚注。下图汇总了所有引脚，并显示了它们在封装四个侧面的分布位置。

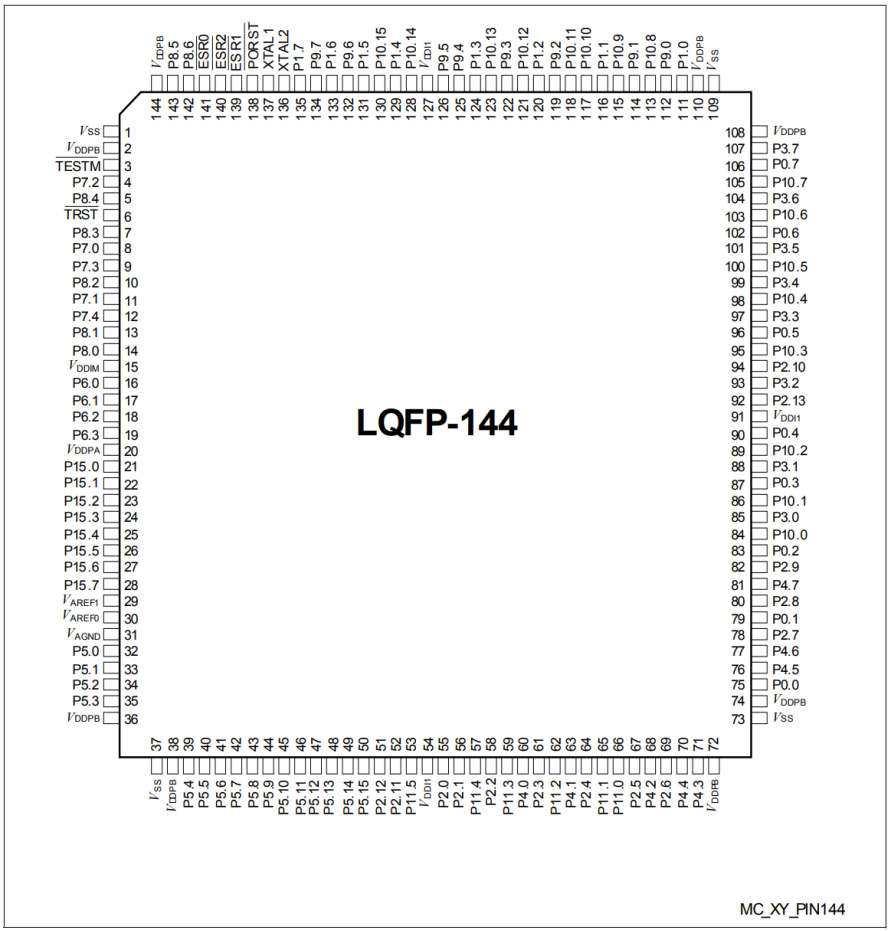


图3 XE167xM 引脚配置（顶视图）

## 引脚定义说明

- **Ctrl.（控制）**：端口引脚的输出信号由对应寄存器 Px_IOCRy 中的 PC（Port Control）位字段进行选择。当将相应的 PC 位字段设为 $1x00_B$时，选择输出 O0；设为 $1x01_B$时，选择输出 O1；以此类推。
  输出信号 OH 由硬件控制。
- **类型**：表示焊盘类型及其供电域（A、B、M、1）。
  - St：标准焊垫
  - Sp：特殊焊垫，例如：XTALx
  - DP：双焊垫 - 可用作标准或高速焊垫
  - In: 仅输入焊垫
  - PS：电源焊垫

**表 5　　引脚定义及功能**

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 3 | $\overline{\text{TESTM}}$ | I | In/B | **Testmode Enable**<br>Enables factory test modes, must be held HIGH for normal operation (connect to $V_{DDPB}$).<br>An internal pull-up device will hold this pin high when nothing is driving it. |
| 4 | P7.2 | O0 / I | St/B | **Bit 2 of Port 7, General Purpose Input/Output** |
| | EMUX0 | O1 | St/B | **External Analog MUX Control Output 0 (ADC1)** |
| | TxDC4 | O2 | St/B | **CAN Node 4 Transmit Data Output** |
| | TxDC5 | O3 | St/B | **CAN Node 5 Transmit Data Output** |
| | CCU62_CCPOS0A | I | St/B | **CCU62 Position Input 0** |
| | TDI_C | IH | St/B | **JTAG Test Data Input**<br>If JTAG pos. C is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it. |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 5 | P8.4 | O0 / I | St/B | **Bit 4 of Port 8, General Purpose Input/Output** |
| | CCU60_COUT61 | O1 | St/B | **CCU60 Channel 1 Output** |
| | CCU62_CC61 | O2 | St/B | **CCU62 Channel 1 Output** |
| | TMS_D | IH | St/B | **JTAG Test Mode Selection Input**<br>If JTAG pos. D is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it. |
| | CCU62_CC61INB | I | St/B | **CCU62 Channel 1 Input** |
| 6 | $\overline{\text{TRST}}$ | I | In/B | **Test-System Reset Input**<br>For normal system operation, pin $\overline{\text{TRST}}$ should be held low. A high level at this pin at the rising edge of $\overline{\text{PORST}}$ activates the XE167xM's debug system. In this case, pin $\overline{\text{TRST}}$ must be driven low once to reset the debug system.<br>An internal pull-down device will hold this pin low when nothing is driving it. |
| 7 | P8.3 | O0 / I | St/B | **Bit 3 of Port 8, General Purpose Input/Output** |
| | CCU60_COUT60 | O1 | St/B | **CCU60 Channel 0 Output** |
| | CCU62_CC60 | O2 | St/B | **CCU62 Channel 0 Output** |
| | TDI_D | IH | St/B | **JTAG Test Data Input**<br>If JTAG pos. D is selected during start-up, an internal pull-up device will hold this pin low when nothing is driving it. |
| | CCU62_CC60INB | I | St/B | **CCU62 Channel 0 Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 8 | P7.0 | O0 / I | St/B | **Bit 0 of Port 7, General Purpose Input/Output** |
| | T3OUT | O1 | St/B | **GPT12E Timer T3 Toggle Latch Output** |
| | T6OUT | O2 | St/B | **GPT12E Timer T6 Toggle Latch Output** |
| | TDO_A | OH / IH | St/B | **JTAG Test Data Output / DAP1 Input/Output** If DAP pos. 0 or 2 is selected during start-up, an internal pull-down device will hold this pin low when nothing is driving it. |
| | ESR2_1 | I | St/B | **ESR2 Trigger Input 1** |
| | RxDC4B | I | St/B | **CAN Node 4 Receive Data Input** |
| 9 | P7.3 | O0 / I | St/B | **Bit 3 of Port 7, General Purpose Input/Output** |
| | EMUX1 | O1 | St/B | **External Analog MUX Control Output 1 (ADC1)** |
| | U0C1_DOUT | O2 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | U0C0_DOUT | O3 | St/B | **USIC0 Channel 0 Shift Data Output** |
| | CCU62_CCPOS1A | I | St/B | **CCU62 Position Input 1** |
| | TMS_C | IH | St/B | **JTAG Test Mode Selection Input** If JTAG pos. C is selected during start-up, an internal pull-up device will hold this pin low when nothing is driving it. |
| | U0C1_DX0F | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| 10 | P8.2 | O0 / I | St/B | **Bit 2 of Port 8, General Purpose Input/Output** |
| | CCU60_CC62 | O1 | St/B | **CCU60 Channel 2 Output** |
| | TxDC1 | O2 | St/B | **CAN Node 1 Transmit Data Output** |
| | U1C1_DOUT | O3 | St/B | **USIC1 Channel 1 Shift Data output** |
| | CCU60_CC62INB | I | St/B | **CCU60 Channel 2 Input** |
| 11 | P7.1 | O0 / I | St/B | **Bit 1 of Port 7, General Purpose Input/Output** |
| | EXTCLK | O1 | St/B | **Programmable Clock Signal Output** |
| | TXDC4 | O2 | St/B | **CAN Node 4 Transmit Data Output** |
| | CCU62_CTRAPA | I | St/B | **CCU62 Emergency Trap Input** |
| | BRKIN_C | I | St/B | **OCDS Break Signal Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 12 | P7.4 | O0 / I | St/B | **Bit 4 of Port 7, General Purpose Input/Output** |
| | EMUX2 | O1 | St/B | **External Analog MUX Control Output 2 (ADC1)** |
| | U0C1_DOUT | O2 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | U0C1_SCLKOUT | O3 | St/B | **USIC0 Channel 1 Shift Clock Output** |
| | CCU62_CCPOS2A | I | St/B | **CCU62 Position Input 2** |
| | TCK_C | IH | St/B | **DAP0/JTAG Clock Input**<br>If JTAG pos. C is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it.<br>If DAP pos. 2 is selected during start-up, an internal pull-down device will hold this pin low when nothing is driving it. |
| | U0C0_DX0D | I | St/B | **USIC0 Channel 0 Shift Data Input** |
| | U0C1_DX1E | I | St/B | **USIC0 Channel 1 Shift Clock Input** |
| 13 | P8.1 | O0 / I | St/B | **Bit 1 of Port 8, General Purpose Input/Output** |
| | CCU60_CC61 | O1 | St/B | **CCU60 Channel 1 Output** |
| | CCU60_CC61INB | I | St/B | **CCU60 Channel 1 Input** |
| | RxDC1F | I | St/B | **CAN Node 1 Receive Data Input** |
| 14 | P8.0 | O0 / I | St/B | **Bit 0 of Port 8, General Purpose Input/Output** |
| | CCU60_CC60 | O1 | St/B | **CCU60 Channel 0 Output** |
| | CCU60_CC60INB | I | St/B | **CCU60 Channel 0 Input** |
| 16 | P6.0 | O0 / I | DA/A | **Bit 0 of Port 6, General Purpose Input/Output** |
| | EMUX0 | O1 | DA/A | **External Analog MUX Control Output 0 (ADC0)** |
| | TxDC2 | O2 | DA/A | **CAN Node 2 Transmit Data Output** |
| | $\overline{\text{BRKOUT}}$ | O3 | DA/A | **OCDS Break Signal Output** |
| | ADCx_REQGTyG | I | DA/A | **External Request Gate Input for ADC0/1** |
| | U1C1_DX0E | I | DA/A | **USIC1 Channel 1 Shift Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 17 | P6.1 | O0 / I | DA/A | **Bit 1 of Port 6, General Purpose Input/Output** |
| | EMUX1 | O1 | DA/A | **External Analog MUX Control Output 1 (ADC0)** |
| | T3OUT | O2 | DA/A | **GPT12E Timer T3 Toggle Latch Output** |
| | U1C1_DOUT | O3 | DA/A | **USIC1 Channel 1 Shift Data Output** |
| | ADCx_REQTRyE | I | DA/A | **External Request Trigger Input for ADC0/1** |
| | RxDC2E | I | DA/A | **CAN Node 2 Receive Data Input** |
| | ESR1_6 | I | DA/A | **ESR1 Trigger Input 6** |
| 18 | P6.2 | O0 / I | DA/A | **Bit 2 of Port 6, General Purpose Input/Output** |
| | EMUX2 | O1 | DA/A | **External Analog MUX Control Output 2 (ADC0)** |
| | T6OUT | O2 | DA/A | **GPT12E Timer T6 Toggle Latch Output** |
| | U1C1_SCLKOUT | O3 | DA/A | **USIC1 Channel 1 Shift Clock Output** |
| | U1C1_DX1C | I | DA/A | **USIC1 Channel 1 Shift Clock Input** |
| 19 | P6.3 | O0 / I | DA/A | **Bit 3 of Port 6, General Purpose Input/Output** |
| | T3OUT | O2 | DA/A | **GPT12E Timer T3 Toggle Latch Output** |
| | U1C1_SELO 0 | O3 | DA/A | **USIC1 Channel 1 Select/Control 0 Output** |
| | U1C1_DX2D | I | DA/A | **USIC1 Channel 1 Shift Control Input** |
| | ADCx_REQTRyF | I | DA/A | **External Request Trigger Input for ADC0/1** |
| 21 | P15.0 | I | In/A | **Bit 0 of Port 15, General Purpose Input** |
| | ADC1_CH0 | I | In/A | **Analog Input Channel 0 for ADC1** |
| 22 | P15.1 | I | In/A | **Bit 1 of Port 15, General Purpose Input** |
| | ADC1_CH1 | I | In/A | **Analog Input Channel 1 for ADC1** |
| 23 | P15.2 | I | In/A | **Bit 2 of Port 15, General Purpose Input** |
| | ADC1_CH2 | I | In/A | **Analog Input Channel 2 for ADC1** |
| | T5INA | I | In/A | **GPT12E Timer T5 Count/Gate Input** |
| 24 | P15.3 | I | In/A | **Bit 3 of Port 15, General Purpose Input** |
| | ADC1_CH3 | I | In/A | **Analog Input Channel 3 for ADC1** |
| | T5EUDA | I | In/A | **GPT12E Timer T5 External Up/Down Control Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 25 | P15.4 | I | In/A | **Bit 4 of Port 15, General Purpose Input** |
| | ADC1_CH4 | I | In/A | **Analog Input Channel 4 for ADC1** |
| | T6INA | I | In/A | **GPT12E Timer T6 Count/Gate Input** |
| 26 | P15.5 | I | In/A | **Bit 5 of Port 15, General Purpose Input** |
| | ADC1_CH5 | I | In/A | **Analog Input Channel 5 for ADC1** |
| | T6EUDA | I | In/A | **GPT12E Timer T6 External Up/Down Control Input** |
| 27 | P15.6 | I | In/A | **Bit 6 of Port 15, General Purpose Input** |
| | ADC1_CH6 | I | In/A | **Analog Input Channel 6 for ADC1** |
| 28 | P15.7 | I | In/A | **Bit 7 of Port 15, General Purpose Input** |
| | ADC1_CH7 | I | In/A | **Analog Input Channel 7 for ADC1** |
| 29 | $V_{AREF1}$ | - | PS/A | **Reference Voltage for A/D Converter ADC1** |
| 30 | $V_{AREF0}$ | - | PS/A | **Reference Voltage for A/D Converter ADC0** |
| 31 | $V_{AGND}$ | - | PS/A | **Reference Ground for A/D Converters ADC0/1** |
| 32 | P5.0 | I | In/A | **Bit 0 of Port 5, General Purpose Input** |
| | ADC0_CH0 | I | In/A | **Analog Input Channel 0 for ADC0** |
| 33 | P5.1 | I | In/A | **Bit 1 of Port 5, General Purpose Input** |
| | ADC0_CH1 | I | In/A | **Analog Input Channel 1 for ADC0** |
| 34 | P5.2 | I | In/A | **Bit 2 of Port 5, General Purpose Input** |
| | ADC0_CH2 | I | In/A | **Analog Input Channel 2 for ADC0** |
| | TDI_A | I | In/A | **JTAG Test Data Input** |
| 35 | P5.3 | I | In/A | **Bit 3 of Port 5, General Purpose Input** |
| | ADC0_CH3 | I | In/A | **Analog Input Channel 3 for ADC0** |
| | T3INA | I | In/A | **GPT12E Timer T3 Count/Gate Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 39 | P5.4 | I | In/A | **Bit 4 of Port 5, General Purpose Input** |
| | ADC0_CH4 | I | In/A | **Analog Input Channel 4 for ADC0** |
| | CCU63_T12HRB | I | In/A | **External Run Control Input for T12 of CCU63** |
| | T3EUDA | I | In/A | **GPT12E Timer T3 External Up/Down Control Input** |
| | TMS_A | I | In/A | **JTAG Test Mode Selection Input** |
| 40 | P5.5 | I | In/A | **Bit 5 of Port 5, General Purpose Input** |
| | ADC0_CH5 | I | In/A | **Analog Input Channel 5 for ADC0** |
| | CCU60_T12HRB | I | In/A | **External Run Control Input for T12 of CCU60** |
| 41 | P5.6 | I | In/A | **Bit 6 of Port 5, General Purpose Input** |
| | ADC0_CH6 | I | In/A | **Analog Input Channel 6 for ADC0** |
| 42 | P5.7 | I | In/A | **Bit 7 of Port 5, General Purpose Input** |
| | ADC0_CH7 | I | In/A | **Analog Input Channel 7 for ADC0** |
| 43 | P5.8 | I | In/A | **Bit 8 of Port 5, General Purpose Input** |
| | ADC0_CH8 | I | In/A | **Analog Input Channel 8 for ADC0** |
| | ADC1_CH8 | I | In/A | **Analog Input Channel 8 for ADC1** |
| | CCU6x_T12HRC | I | In/A | **External Run Control Input for T12 of CCU60/1/2/3** |
| | CCU6x_T13HRC | I | In/A | **External Run Control Input for T13 of CCU60/1/2/3** |
| | U2C0_DX0F | I | In/A | **USIC2 Channel 0 Shift Data Input** |
| 44 | P5.9 | I | In/A | **Bit 9 of Port 5, General Purpose Input** |
| | ADC0_CH9 | I | In/A | **Analog Input Channel 9 for ADC0** |
| | ADC1_CH9 | I | In/A | **Analog Input Channel 9 for ADC1** |
| | CC2_T7IN | I | In/A | **CAPCOM2 Timer T7 Count Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 45 | P5.10 | I | In/A | **Bit 10 of Port 5, General Purpose Input** |
| | ADC0_CH10 | I | In/A | **Analog Input Channel 10 for ADC0** |
| | ADC1_CH10 | I | In/A | **Analog Input Channel 10 for ADC1** |
| | BRKIN_A | I | In/A | **OCDS Break Signal Input** |
| | U2C1_DX0F | I | In/A | **USIC2 Channel 1 Shift Data Input** |
| | CCU61_T13HRA | I | In/A | **External Run Control Input for T13 of CCU61** |
| 46 | P5.11 | I | In/A | **Bit 11 of Port 5, General Purpose Input** |
| | ADC0_CH11 | I | In/A | **Analog Input Channel 11 for ADC0** |
| | ADC1_CH11 | I | In/A | **Analog Input Channel 11 for ADC1** |
| 47 | P5.12 | I | In/A | **Bit 12 of Port 5, General Purpose Input** |
| | ADC0_CH12 | I | In/A | **Analog Input Channel 12 for ADC0** |
| 48 | P5.13 | I | In/A | **Bit 13 of Port 5, General Purpose Input** |
| | ADC0_CH13 | I | In/A | **Analog Input Channel 13 for ADC0** |
| | CCU63_T13HRF | I | In/A | **External Run Control Input for T13 of CCU63** |
| 49 | P5.14 | I | In/A | **Bit 14 of Port 5, General Purpose Input** |
| | ADC0_CH14 | I | In/A | **Analog Input Channel 14 for ADC0** |
| 50 | P5.15 | I | In/A | **Bit 15 of Port 5, General Purpose Input** |
| | ADC0_CH15 | I | In/A | **Analog Input Channel 15 for ADC0** |
| | RxDC2F | I | In/A | **CAN Node 2 Receive Data Input** |
| 51 | P2.12 | O0 / I | St/B | **Bit 12 of Port 2, General Purpose Input/Output** |
| | U0C0_SELO 4 | O1 | St/B | **USIC0 Channel 0 Select/Control 4 Output** |
| | U0C1_SELO 3 | O2 | St/B | **USIC0 Channel 1 Select/Control 3 Output** |
| | TXDC2 | O3 | St/B | **CAN Node 2 Transmit Data Output** |
| | READY | IH | St/B | **External Bus Interface READY Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 52 | P2.11 | O0 / I | St/B | **Bit 11 of Port 2, General Purpose Input/Output** |
| | U0C0_SELO 2 | O1 | St/B | **USIC0 Channel 0 Select/Control 2 Output** |
| | U0C1_SELO 2 | O2 | St/B | **USIC0 Channel 1 Select/Control 2 Output** |
| | U3C1_DOUT | O3 | St/B | **USIC3 Channel 1 Shift Data Output** |
| | $\overline{\text{BHE}}$/$\overline{\text{WRH}}$ | OH | St/B | **External Bus Interf. High-Byte Control Output** Can operate either as Byte High Enable ($\overline{\text{BHE}}$) or as Write strobe for High Byte ($\overline{\text{WRH}}$). |
| 53 | P11.5 | O0 / I | St/B | **Bit 5 of Port 11, General Purpose Input/Output** |
| | CCU61_CC6 0 | O1 | St/B | **CCU61 Channel 0 Output** |
| | CCU61_COU T63 | O2 | St/B | **CCU61 Channel 3 Output** |
| | U3C1_SELO 1 | O3 | St/B | **USIC3 Channel 1 Select/Control 1 Output** |
| | CCU61_CC6 0INB | I | St/B | **CCU61 Channel 0 Input** |
| | U3C1_DX2B | I | St/B | **USIC3 Channel 1 Shift Control Input** |
| 55 | P2.0 | O0 / I | St/B | **Bit 0 of Port 2, General Purpose Input/Output** |
| | TxDC5 | O1 | St/B | **CAN Node 5 Transmit Data Output** |
| | CCU63_CC6 0 | O2 | St/B | **CCU63 Channel 0 Output** |
| | AD13 | OH / IH | St/B | **External Bus Interface Address/Data Line 13** |
| | RxDC0C | I | St/B | **CAN Node 0 Receive Data Input** |
| | CCU63_CC6 0INB | I | St/B | **CCU63 Channel 0 Input** |
| | T5INB | I | St/B | **GPT12E Timer T5 Count/Gate Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 56 | P2.1 | O0 / I | St/B | **Bit 1 of Port 2, General Purpose Input/Output** |
| | TxDC0 | O1 | St/B | **CAN Node 0 Transmit Data Output** |
| | CCU63_CC6 1 | O2 | St/B | **CCU63 Channel 1 Output** |
| | AD14 | OH / IH | St/B | **External Bus Interface Address/Data Line 14** |
| | RxDC5C | I | St/B | **CAN Node 5 Receive Data Input** |
| | CCU63_CC6 1INB | I | St/B | **CCU63 Channel 1 Input** |
| | T5EUDB | I | St/B | **GPT12E Timer T5 External Up/Down Control Input** |
| | ESR1_5 | I | St/B | **ESR1 Trigger Input 5** |
| 57 | P11.4 | O0 / I | St/B | **Bit 4 of Port 11, General Purpose Input/Output** |
| | CCU61_CC6 2 | O1 | St/B | **CCU61 Channel 2 Output** |
| | U3C1_DOUT | O2 | St/B | **USIC3 Channel 1 Shift Data Output** |
| | RxDC5B | I | St/B | **CAN Node 5 Receive Data Input** |
| | CCU61_CC6 2INB | I | St/B | **CCU61 Channel 2 Input** |
| | U3C1_DX0B | I | St/B | **USIC3 Channel 1 Shift Data Input** |
| 58 | P2.2 | O0 / I | St/B | **Bit 2 of Port 2, General Purpose Input/Output** |
| | TxDC1 | O1 | St/B | **CAN Node 1 Transmit Data Output** |
| | CCU63_CC6 2 | O2 | St/B | **CCU63 Channel 2 Output** |
| | AD15 | OH / IH | St/B | **External Bus Interface Address/Data Line 15** |
| | CCU63_CC6 2INB | I | St/B | **CCU63 Channel 2 Input** |
| | ESR2_5 | I | St/B | **ESR2 Trigger Input 5** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 59 | P11.3 | O0 / I | St/B | **Bit 3 of Port 11, General Purpose Input/Output** |
| | CCU61_COUT63 | O1 | St/B | **CCU61 Channel 3 Output** |
| | CCU61_COUT62 | O2 | St/B | **CCU61 Channel 2 Output** |
| | TxDC5 | O3 | St/B | **CAN Node 5 Transmit Data Input** |
| | CCU61_T13HRF | I | St/B | **External Run Control Input for T13 of CCU61** |
| 60 | P4.0 | O0 / I | St/B | **Bit 0 of Port 4, General Purpose Input/Output** |
| | CC2_CC24 | O3 / I | St/B | **CAPCOM2 CC24IO Capture Inp./ Compare Out.** |
| | $\overline{CS0}$ | OH | St/B | **External Bus Interface Chip Select 0 Output** |
| 61 | P2.3 | O0 / I | St/B | **Bit 3 of Port 2, General Purpose Input/Output** |
| | U0C0_DOUT | O1 | St/B | **USIC0 Channel 0 Shift Data Output** |
| | CCU63_COUT63 | O2 | St/B | **CCU63 Channel 3 Output** |
| | CC2_CC16 | O3 / I | St/B | **CAPCOM2 CC16IO Capture Inp./ Compare Out.** |
| | A16 | OH | St/B | **External Bus Interface Address Line 16** |
| | ESR2_0 | I | St/B | **ESR2 Trigger Input 0** |
| | U0C0_DX0E | I | St/B | **USIC0 Channel 0 Shift Data Input** |
| | U0C1_DX0D | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| | RxDC0A | I | St/B | **CAN Node 0 Receive Data Input** |
| 62 | P11.2 | O0 / I | St/B | **Bit 2 of Port 11, General Purpose Input/Output** |
| | CCU61_CC61 | O1 | St/B | **CCU61 Channel 1 Output** |
| | U3C1_DOUT | O2 | St/B | **USIC3 Channel 1 Shift Data Output** |
| | CCU63_CCPOS2A | I | St/B | **CCU63 Position Input 2** |
| | CCU61_CC61INB | I | St/B | **CCU61 Channel 1 Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 63 | P4.1 | O0 / I | St/B | **Bit 1 of Port 4, General Purpose Input/Output** |
| | U3C0_SELO 3 | O1 | St/B | **USIC3 Channel Select/Control 3 Output** |
| | TxDC2 | O2 | St/B | **CAN Node 2 Transmit Data Output** |
| | CC2_CC25 | O3 / I | St/B | **CAPCOM2 CC25IO Capture Inp./ Compare Out.** |
| | $\overline{CS1}$ | OH | St/B | **External Bus Interface Chip Select 1 Output** |
| | CCU62_CCPOS0B | I | St/B | **CCU62 Position Input 0** |
| | T4EUDB | I | St/B | **GPT12E Timer T4 External Up/Down Control Input** |
| | ESR1_8 | I | St/B | **ESR1 Trigger Input 8** |
| 64 | P2.4 | O0 / I | St/B | **Bit 4 of Port 2, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | TxDC0 | O2 | St/B | **CAN Node 0 Transmit Data Output** |
| | CC2_CC17 | O3 / I | St/B | **CAPCOM2 CC17IO Capture Inp./ Compare Out.** |
| | A17 | OH | St/B | **External Bus Interface Address Line 17** |
| | ESR1_0 | I | St/B | **ESR1 Trigger Input 0** |
| | U0C0_DX0F | I | St/B | **USIC0 Channel 0 Shift Data Input** |
| | RxDC1A | I | St/B | **CAN Node 1 Receive Data Input** |
| 65 | P11.1 | O0 / I | St/B | **Bit 1 of Port 11, General Purpose Input/Output** |
| | CCU61_COUT61 | O1 | St/B | **CCU61 Channel 1 Output** |
| | TxDC0 | O2 | St/B | **CAN Node 0 Transmit Data Output** |
| | U3C1_SELO 0 | O3 | St/B | **USIC3 Channel 1 Select/Control 0 Output** |
| | CCU63_CCPOS1A | I | St/B | **CCU63 Position Input 1** |
| | CCU61_CTRAPD | I | St/B | **CCU61 Emergency Trap Input** |
| | U3C1_DX2A | I | St/B | **USIC3 Channel 1 Shift Control Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 66 | P11.0 | O0 / I | St/B | **Bit 0 of Port 11, General Purpose Input/Output** |
| | CCU61_COUT60 | O1 | St/B | **CCU61 Channel 0 Output** |
| | U3C1_SCLKOUT | O2 | St/B | **USIC3 Channel 1 Shift Clock Output** |
| | CCU63_CCPOS0A | I | St/B | **CCU63 Position Input 0** |
| | RxDC0F | I | St/B | **CAN Node 0 Receive Data Input** |
| | U3C1_DX1A | I | St/B | **USIC3 Channel 1 Shift Clock Input** |
| | ESR1_7 | I | St/B | **ESR1 Trigger Input 7** |
| 67 | P2.5 | O0 / I | St/B | **Bit 5 of Port 2, General Purpose Input/Output** |
| | U0C0_SCLKOUT | O1 | St/B | **USIC0 Channel 0 Shift Clock Output** |
| | TxDC0 | O2 | St/B | **CAN Node 0 Transmit Data Output** |
| | CC2_CC18 | O3 / I | St/B | **CAPCOM2 CC18IO Capture Inp./ Compare Out.** |
| | A18 | OH | St/B | **External Bus Interface Address Line 18** |
| | U0C0_DX1D | I | St/B | **USIC0 Channel 0 Shift Clock Input** |
| | ESR1_10 | I | St/B | **ESR1 Trigger Input 10** |
| 68 | P4.2 | O0 / I | St/B | **Bit 2 of Port 4, General Purpose Input/Output** |
| | U3C0_SCLKOUT | O1 | St/B | **USIC3 Channel 0 Shift Clock Output** |
| | TxDC2 | O2 | St/B | **CAN Node 2 Transmit Data Output** |
| | CC2_CC26 | O3 / I | St/B | **CAPCOM2 CC26IO Capture Inp./ Compare Out.** |
| | $\overline{CS2}$ | OH | St/B | **External Bus Interface Chip Select 2 Output** |
| | T2INA | I | St/B | **GPT12E Timer T2 Count/Gate Input** |
| | CCU62_CCPOS1B | I | St/B | **CCU62 Position Input 1** |
| | U3C0_DX1B | I | St/B | **USIC3 Channel 0 Shift Clock Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 69 | P2.6 | O0 / I | St/B | **Bit 6 of Port 2, General Purpose Input/Output** |
| | U0C0_SELO 0 | O1 | St/B | **USIC0 Channel 0 Select/Control 0 Output** |
| | U0C1_SELO 1 | O2 | St/B | **USIC0 Channel 1 Select/Control 1 Output** |
| | CC2_CC19 | O3 / I | St/B | **CAPCOM2 CC19IO Capture Inp./ Compare Out.** |
| | A19 | OH | St/B | **External Bus Interface Address Line 19** |
| | U0C0_DX2D | I | St/B | **USIC0 Channel 0 Shift Control Input** |
| | RxDC0D | I | St/B | **CAN Node 0 Receive Data Input** |
| | ESR2_6 | I | St/B | **ESR2 Trigger Input 6** |
| 70 | P4.4 | O0 / I | St/B | **Bit 4 of Port 4, General Purpose Input/Output** |
| | U3C0_SELO 2 | O1 | St/B | **USIC3 Channel 0 Select/Control 2 Output** |
| | CC2_CC28 | O3 / I | St/B | **CAPCOM2 CC28IO Capture Inp./ Compare Out.** |
| | $\overline{CS4}$ | OH | St/B | **External Bus Interface Chip Select 4 Output** |
| | CLKIN2 | I | St/B | **Clock Signal Input 2** |
| | U3C0_DX2C | I | St/B | **USIC3 Channel 0 Shift Control Input** |
| 71 | P4.3 | O0 / I | St/B | **Bit 3 of Port 4, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | CC2_CC27 | O3 / I | St/B | **CAPCOM2 CC27IO Capture Inp./ Compare Out.** |
| | $\overline{CS3}$ | OH | St/B | **External Bus Interface Chip Select 3 Output** |
| | RxDC2A | I | St/B | **CAN Node 2 Receive Data Input** |
| | T2EUDA | I | St/B | **GPT12E Timer T2 External Up/Down Control Input** |
| | CCU62_CCPOS2B | I | St/B | **CCU62 Position Input 2** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 75 | P0.0 | O0 / I | St/B | **Bit 0 of Port 0, General Purpose Input/Output** |
| | U1C0_DOUT | O1 | St/B | **USIC1 Channel 0 Shift Data Output** |
| | CCU61_CC6 0 | O3 | St/B | **CCU61 Channel 0 IOutput** |
| | A0 | OH | St/B | **External Bus Interface Address Line 0** |
| | U1C0_DX0A | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| | CCU61_CC6 0INA | I | St/B | **CCU61 Channel 0 Input** |
| | ESR1_11 | I | St/B | **ESR1 Trigger Input 11** |
| 76 | P4.5 | O0 / I | St/B | **Bit 5 of Port 4, General Purpose Input/Output** |
| | U3C0_DOUT | O1 | St/B | **USIC3 Channel 0 Shift Data Output** |
| | CC2_CC29 | O3 / I | St/B | **CAPCOM2 CC29IO Capture Inp./Compare Out.** |
| | CCU61_CCP OS0A | I | St/B | **CCU61 Position Input 0** |
| | U3C0_DX0B | I | St/B | **USIC3 Channel 0 Shift Data Input** |
| | ESR2_10 | I | St/B | **ESR2 Trigger Input 10** |
| 77 | P4.6 | O0 / I | St/B | **Bit 6 of Port 4, General Purpose Input/Output** |
| | U3C0_DOUT | O1 | St/B | **USIC3 Channel 0 Shift Data Output** |
| | CC2_CC30 | O3 / I | St/B | **CAPCOM2 CC30IO Capture Inp./ Compare Out.** |
| | T4INA | I | St/B | **GPT12E Timer T4 Count/Gate Input** |
| | CCU61_CCP OS1A | I | St/B | **CCU61 Position Input 1** |
| 78 | P2.7 | O0 / I | St/B | **Bit 7 of Port 2, General Purpose Input/Output** |
| | U0C1_SELO 0 | O1 | St/B | **USIC0 Channel 1 Select/Control 0 Output** |
| | U0C0_SELO 1 | O2 | St/B | **USIC0 Channel 0 Select/Control 1 Output** |
| | CC2_CC20 | O3 / I | St/B | **CAPCOM2 CC20IO Capture Inp./ Compare Out.** |
| | A20 | OH | St/B | **External Bus Interface Address Line 20** |
| | U0C1_DX2C | I | St/B | **USIC0 Channel 1 Shift Control Input** |
| | RxDC1C | I | St/B | **CAN Node 1 Receive Data Input** |
| | ESR2_7 | I | St/B | **ESR2 Trigger Input 7** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 79 | P0.1 | O0 / I | St/B | **Bit 1 of Port 0, General Purpose Input/Output** |
| | U1C0_DOUT | O1 | St/B | **USIC1 Channel 0 Shift Data Output** |
| | TxDC0 | O2 | St/B | **CAN Node 0 Transmit Data Output** |
| | CCU61_CC6 1 | O3 | St/B | **CCU61 Channel 1 Output** |
| | A1 | OH | St/B | **External Bus Interface Address Line 1** |
| | U1C0_DX0B | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| | CCU61_CC6 1INA | I | St/B | **CCU61 Channel 1 Input** |
| | U1C0_DX1A | I | St/B | **USIC1 Channel 0 Shift Clock Input** |
| 80 | P2.8 | O0 / I | DP/B | **Bit 8 of Port 2, General Purpose Input/Output** |
| | U0C1_SCLK OUT | O1 | DP/B | **USIC0 Channel 1 Shift Clock Output** |
| | EXTCLK | O2 | DP/B | **Programmable Clock Signal Output** [1] |
| | CC2_CC21 | O3 / I | DP/B | **CAPCOM2 CC21IO Capture Inp./ Compare Out.** |
| | A21 | OH | DP/B | **External Bus Interface Address Line 21** |
| | U0C1_DX1D | I | DP/B | **USIC0 Channel 1 Shift Clock Input** |
| 81 | P4.7 | O0 / I | St/B | **Bit 7 of Port 4, General Purpose Input/Output** |
| | CC2_CC31 | O3 / I | St/B | **CAPCOM2 CC31IO Capture Inp./ Compare Out.** |
| | T4EUDA | I | St/B | **GPT12E Timer T4 External Up/Down Control Input** |
| | CCU61_CCP OS2A | I | St/B | **CCU61 Position Input 2** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 82 | P2.9 | O0 / I | St/B | **Bit 9 of Port 2, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | TxDC1 | O2 | St/B | **CAN Node 1 Transmit Data Output** |
| | CC2_CC22 | O3 / I | St/B | **CAPCOM2 CC22IO Capture Inp./ Compare Out.** |
| | A22 | OH | St/B | **External Bus Interface Address Line 22** |
| | CLKIN1 | I | St/B | **Clock Signal Input 1** |
| | TCK_A | IH | St/B | **DAP0/JTAG Clock Input**<br>If JTAG pos. A is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it.<br>If DAP pos. 0 is selected during start-up, an internal pull-down device will hold this pin low when nothing is driving it. |
| 83 | P0.2 | O0 / I | St/B | **Bit 2 of Port 0, General Purpose Input/Output** |
| | U1C0_SCLKOUT | O1 | St/B | **USIC1 Channel 0 Shift Clock Output** |
| | TxDC0 | O2 | St/B | **CAN Node 0 Transmit Data Output** |
| | CCU61_CC62 | O3 | St/B | **CCU61 Channel 2 Output** |
| | A2 | OH | St/B | **External Bus Interface Address Line 2** |
| | U1C0_DX1B | I | St/B | **USIC1 Channel 0 Shift Clock Input** |
| | CCU61_CC62INA | I | St/B | **CCU61 Channel 2 Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 84 | P10.0 | O0 / I | St/B | **Bit 0 of Port 10, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | CCU60_CC6 0 | O2 | St/B | **CCU60 Channel 0 Output** |
| | AD0 | OH / IH | St/B | **External Bus Interface Address/Data Line 0** |
| | CCU60_CC6 0INA | I | St/B | **CCU60 Channel 0 Input** |
| | ESR1_2 | I | St/B | **ESR1 Trigger Input 2** |
| | U0C0_DX0A | I | St/B | **USIC0 Channel 0 Shift Data Input** |
| | U0C1_DX0A | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| 85 | P3.0 | O0 / I | St/B | **Bit 0 of Port 3, General Purpose Input/Output** |
| | U2C0_DOUT | O1 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | $\overline{\text{BREQ}}$ | OH | St/B | **External Bus Request Output** |
| | ESR1_1 | I | St/B | **ESR1 Trigger Input 1** |
| | U2C0_DX0A | I | St/B | **USIC2 Channel 0 Shift Data Input** |
| | RxDC3B | I | St/B | **CAN Node 3 Receive Data Input** |
| | U2C0_DX1A | I | St/B | **USIC2 Channel 0 Shift Clock Input** |
| 86 | P10.1 | O0 / I | St/B | **Bit 1 of Port 10, General Purpose Input/Output** |
| | U0C0_DOUT | O1 | St/B | **USIC0 Channel 0 Shift Data Output** |
| | CCU60_CC6 1 | O2 | St/B | **CCU60 Channel 1 Output** |
| | AD1 | OH / IH | St/B | **External Bus Interface Address/Data Line 1** |
| | CCU60_CC6 1INA | I | St/B | **CCU60 Channel 1 Input** |
| | U0C0_DX1A | I | St/B | **USIC0 Channel 0 Shift Clock Input** |
| | U0C0_DX0B | I | St/B | **USIC0 Channel 0 Shift Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 87 | P0.3 | O0 / I | St/B | **Bit 3 of Port 0, General Purpose Input/Output** |
| | U1C0_SELO 0 | O1 | St/B | **USIC1 Channel 0 Select/Control 0 Output** |
| | U1C1_SELO 1 | O2 | St/B | **USIC1 Channel 1 Select/Control 1 Output** |
| | CCU61_COUT60 | O3 | St/B | **CCU61 Channel 0 Output** |
| | A3 | OH | St/B | **External Bus Interface Address Line 3** |
| | U1C0_DX2A | I | St/B | **USIC1 Channel 0 Shift Control Input** |
| | RxDC0B | I | St/B | **CAN Node 0 Receive Data Input** |
| 88 | P3.1 | O0 / I | St/B | **Bit 1 of Port 3, General Purpose Input/Output** |
| | U2C0_DOUT | O1 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | TxDC3 | O2 | St/B | **CAN Node 3 Transmit Data Output** |
| | $\overline{\text{HLDA}}$ | OH / IH | St/B | **External Bus Hold Acknowledge Output/Input** Output in master mode, input in slave mode. |
| | U2C0_DX0B | I | St/B | **USIC2 Channel 0 Shift Data Input** |
| 89 | P10.2 | O0 / I | St/B | **Bit 2 of Port 10, General Purpose Input/Output** |
| | U0C0_SCLKOUT | O1 | St/B | **USIC0 Channel 0 Shift Clock Output** |
| | CCU60_CC62 | O2 | St/B | **CCU60 Channel 2 Output** |
| | U3C0_SELO 1 | O3 | St/B | **USIC3 Channel 0 Select/Control 1 Output** |
| | AD2 | OH / IH | St/B | **External Bus Interface Address/Data Line 2** |
| | CCU60_CC62INA | I | St/B | **CCU60 Channel 2 Input** |
| | U0C0_DX1B | I | St/B | **USIC0 Channel 0 Shift Clock Input** |
| | U3C0_DX2B | I | St/B | **USIC3 Channel 0 Shift Control Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 90 | P0.4 | O0 / I | St/B | **Bit 4 of Port 0, General Purpose Input/Output** |
| | U1C1_SELO 0 | O1 | St/B | **USIC1 Channel 1 Select/Control 0 Output** |
| | U1C0_SELO 1 | O2 | St/B | **USIC1 Channel 0 Select/Control 1 Output** |
| | CCU61_COUT61 | O3 | St/B | **CCU61 Channel 1 Output** |
| | A4 | OH | St/B | **External Bus Interface Address Line 4** |
| | U1C1_DX2A | I | St/B | **USIC1 Channel 1 Shift Control Input** |
| | RxDC1B | I | St/B | **CAN Node 1 Receive Data Input** |
| | ESR2_8 | I | St/B | **ESR2 Trigger Input 8** |
| 92 | P2.13 | O0 / I | St/B | **Bit 13 of Port 2, General Purpose Input/Output** |
| | U2C1_SELO 2 | O1 | St/B | **USIC2 Channel 1 Select/Control 2 Output** |
| | RxDC2D | I | St/B | **CAN Node 2 Receive Data Input** |
| 93 | P3.2 | O0 / I | St/B | **Bit 2 of Port 3, General Purpose Input/Output** |
| | U2C0_SCLKOUT | O1 | St/B | **USIC2 Channel 0 Shift Clock Output** |
| | TxDC3 | O2 | St/B | **CAN Node 3 Transmit Data Output** |
| | U2C0_DX1B | I | St/B | **USIC2 Channel 0 Shift Clock Input** |
| | HOLD | IH | St/B | **External Bus Master Hold Request Input** |
| 94 | P2.10 | O0 / I | St/B | **Bit 10 of Port 2, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | U0C0_SELO 3 | O2 | St/B | **USIC0 Channel 0 Select/Control 3 Output** |
| | CC2_CC23 | O3 / I | St/B | **CAPCOM2 CC23IO Capture Inp./ Compare Out.** |
| | A23 | OH | St/B | **External Bus Interface Address Line 23** |
| | U0C1_DX0E | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| | CAPINA | I | St/B | **GPT12E Register CAPREL Capture Input** |
| | U3C1_DX0A | I | St/B | **USIC3 Channel 1 Shift Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 95 | P10.3 | O0 / I | St/B | **Bit 3 of Port 10, General Purpose Input/Output** |
| | CCU60_COUT60 | O2 | St/B | **CCU60 Channel 0 Output** |
| | AD3 | OH / IH | St/B | **External Bus Interface Address/Data Line 3** |
| | U0C0_DX2A | I | St/B | **USIC0 Channel 0 Shift Control Input** |
| | U0C1_DX2A | I | St/B | **USIC0 Channel 1 Shift Control Input** |
| | U3C0_DX0A | I | St/B | **USIC3 Channel 0 Shift Data Input** |
| 96 | P0.5 | O0 / I | St/B | **Bit 5 of Port 0, General Purpose Input/Output** |
| | U1C1_SCLKOUT | O1 | St/B | **USIC1 Channel 1 Shift Clock Output** |
| | U1C0_SELO 2 | O2 | St/B | **USIC1 Channel 0 Select/Control 2 Output** |
| | CCU61_COUT62 | O3 | St/B | **CCU61 Channel 2 Output** |
| | A5 | OH | St/B | **External Bus Interface Address Line 5** |
| | U1C1_DX1A | I | St/B | **USIC1 Channel 1 Shift Clock Input** |
| | U1C0_DX1C | I | St/B | **USIC1 Channel 0 Shift Clock Input** |
| | RXDC3E | I | St/B | **CAN Node 3 Receive Data Input** |
| 97 | P3.3 | O0 / I | St/B | **Bit 3 of Port 3, General Purpose Input/Output** |
| | U2C0_SELO 0 | O1 | St/B | **USIC2 Channel 0 Select/Control 0 Output** |
| | U2C1_SELO 1 | O2 | St/B | **USIC2 Channel 1 Select/Control 1 Output** |
| | U2C0_DX2A | I | St/B | **USIC2 Channel 0 Shift Control Input** |
| | RxDC3A | I | St/B | **CAN Node 3 Receive Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 98 | P10.4 | O0 / I | St/B | **Bit 4 of Port 10, General Purpose Input/Output** |
| | U0C0_SELO 3 | O1 | St/B | **USIC0 Channel 0 Select/Control 3 Output** |
| | CCU60_COUT61 | O2 | St/B | **CCU60 Channel 1 Output** |
| | U3C0_DOUT | O3 | St/B | **USIC3 Channel 0 Shift Data Output** |
| | AD4 | OH / IH | St/B | **External Bus Interface Address/Data Line 4** |
| | U0C0_DX2B | I | St/B | **USIC0 Channel 0 Shift Control Input** |
| | U0C1_DX2B | I | St/B | **USIC0 Channel 1 Shift Control Input** |
| | ESR1_9 | I | St/B | **ESR1 Trigger Input 9** |
| 99 | P3.4 | O0 / I | St/B | **Bit 4 of Port 3, General Purpose Input/Output** |
| | U2C1_SELO 0 | O1 | St/B | **USIC2 Channel 1 Select/Control 0 Output** |
| | U2C0_SELO 1 | O2 | St/B | **USIC2 Channel 0 Select/Control 1 Output** |
| | U0C0_SELO 4 | O3 | St/B | **USIC0 Channel 0 Select/Control 4 Output** |
| | U2C1_DX2A | I | St/B | **USIC2 Channel 1 Shift Control Input** |
| | RxDC4A | I | St/B | **CAN Node 4 Receive Data Input** |
| 100 | P10.5 | O0 / I | St/B | **Bit 5 of Port 10, General Purpose Input/Output** |
| | U0C1_SCLKOUT | O1 | St/B | **USIC0 Channel 1 Shift Clock Output** |
| | CCU60_COUT62 | O2 | St/B | **CCU60 Channel 2 Output** |
| | U2C0_DOUT | O3 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | AD5 | OH / IH | St/B | **External Bus Interface Address/Data Line 5** |
| | U0C1_DX1B | I | St/B | **USIC0 Channel 1 Shift Clock Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 101 | P3.5 | O0 / I | St/B | **Bit 5 of Port 3, General Purpose Input/Output** |
| | U2C1_SCLKOUT | O1 | St/B | **USIC2 Channel 1 Shift Clock Output** |
| | U2C0_SELO 2 | O2 | St/B | **USIC2 Channel 0 Select/Control 2 Output** |
| | U0C0_SELO 5 | O3 | St/B | **USIC0 Channel 0 Select/Control 5 Output** |
| | U2C1_DX1A | I | St/B | **USIC2 Channel 1 Shift Clock Input** |
| 102 | P0.6 | O0 / I | St/B | **Bit 6 of Port 0, General Purpose Input/Output** |
| | U1C1_DOUT | O1 | St/B | **USIC1 Channel 1 Shift Data Output** |
| | TxDC1 | O2 | St/B | **CAN Node 1 Transmit Data Output** |
| | CCU61_COUT63 | O3 | St/B | **CCU61 Channel 3 Output** |
| | A6 | OH | St/B | **External Bus Interface Address Line 6** |
| | U1C1_DX0A | I | St/B | **USIC1 Channel 1 Shift Data Input** |
| | CCU61_CTRAPA | I | St/B | **CCU61 Emergency Trap Input** |
| | U1C1_DX1B | I | St/B | **USIC1 Channel 1 Shift Clock Input** |
| 103 | P10.6 | O0 / I | St/B | **Bit 6 of Port 10, General Purpose Input/Output** |
| | U0C0_DOUT | O1 | St/B | **USIC0 Channel 0 Shift Data Output** |
| | TxDC4 | O2 | St/B | **CAN Node 4 Transmit Data Output** |
| | U1C0_SELO 0 | O3 | St/B | **USIC1 Channel 0 Select/Control 0 Output** |
| | AD6 | OH / IH | St/B | **External Bus Interface Address/Data Line 6** |
| | U0C0_DX0C | I | St/B | **USIC0 Channel 0 Shift Data Input** |
| | U1C0_DX2D | I | St/B | **USIC1 Channel 0 Shift Control Input** |
| | CCU60_CTRAPA | I | St/B | **CCU60 Emergency Trap Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 104 | P3.6 | O0 / I | St/B | **Bit 6 of Port 3, General Purpose Input/Output** |
| | U2C1_DOUT | O1 | St/B | **USIC2 Channel 1 Shift Data Output** |
| | TxDC4 | O2 | St/B | **CAN Node 4 Transmit Data Output** |
| | U0C0_SELO 6 | O3 | St/B | **USIC0 Channel 0 Select/Control 6 Output** |
| | U2C1_DX0A | I | St/B | **USIC2 Channel 1 Shift Data Input** |
| | U2C1_DX1B | I | St/B | **USIC2 Channel 1 Shift Clock Input** |
| 105 | P10.7 | O0 / I | St/B | **Bit 7 of Port 10, General Purpose Input/Output** |
| | U0C1_DOUT | O1 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | CCU60_COUT63 | O2 | St/B | **CCU60 Channel 3 Output** |
| | AD7 | OH / IH | St/B | **External Bus Interface Address/Data Line 7** |
| | U0C1_DX0B | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| | CCU60_CCPOS0A | I | St/B | **CCU60 Position Input 0** |
| | RxDC4C | I | St/B | **CAN Node 4 Receive Data Input** |
| | T4INB | I | St/B | **GPT12E Timer T4 Count/Gate Input** |
| 106 | P0.7 | O0 / I | St/B | **Bit 7 of Port 0, General Purpose Input/Output** |
| | U1C1_DOUT | O1 | St/B | **USIC1 Channel 1 Shift Data Output** |
| | U1C0_SELO 3 | O2 | St/B | **USIC1 Channel 0 Select/Control 3 Output** |
| | TxDC3 | O3 | St/B | **CAN Node 3 Transmit Data Output** |
| | A7 | OH | St/B | **External Bus Interface Address Line 7** |
| | U1C1_DX0B | I | St/B | **USIC1 Channel 1 Shift Data Input** |
| | CCU61_CTRAPB | I | St/B | **CCU61 Emergency Trap Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 107 | P3.7 | O0 / I | St/B | **Bit 7 of Port 3, General Purpose Input/Output** |
| | U2C1_DOUT | O1 | St/B | **USIC2 Channel 1 Shift Data Output** |
| | U2C0_SELO 3 | O2 | St/B | **USIC2 Channel 0 Select/Control 3 Output** |
| | U0C0_SELO 7 | O3 | St/B | **USIC0 Channel 0 Select/Control 7 Output** |
| | U2C1_DX0B | I | St/B | **USIC2 Channel 1 Shift Data Input** |
| 111 | P1.0 | O0 / I | St/B | **Bit 0 of Port 1, General Purpose Input/Output** |
| | U1C0_MCLK OUT | O1 | St/B | **USIC1 Channel 0 Master Clock Output** |
| | U1C0_SELO 4 | O2 | St/B | **USIC1 Channel 0 Select/Control 4 Output** |
| | A8 | OH | St/B | **External Bus Interface Address Line 8** |
| | ESR1_3 | I | St/B | **ESR1 Trigger Input 3** |
| | CCU62_CTR APB | I | St/B | **CCU62 Emergency Trap Input** |
| | T6INB | I | St/B | **GPT12E Timer T6 Count/Gate Input** |
| 112 | P9.0 | O0 / I | St/B | **Bit 0 of Port 9, General Purpose Input/Output** |
| | CCU63_CC6 0 | O1 | St/B | **CCU63 Channel 0 Output** |
| | CCU63_CC6 0INA | I | St/B | **CCU63 Channel 0 Input** |
| | T6EUDB | I | St/B | **GPT12E Timer T6 External Up/Down Control Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 113 | P10.8 | O0 / I | St/B | **Bit 8 of Port 10, General Purpose Input/Output** |
| | U0C0_MCLKOUT | O1 | St/B | **USIC0 Channel 0 Master Clock Output** |
| | U0C1_SELO 0 | O2 | St/B | **USIC0 Channel 1 Select/Control 0 Output** |
| | U2C1_DOUT | O3 | St/B | **USIC2 Channel 1 Shift Data Output** |
| | AD8 | OH / IH | St/B | **External Bus Interface Address/Data Line 8** |
| | CCU60_CCPOS1A | I | St/B | **CCU60 Position Input 1** |
| | U0C0_DX1C | I | St/B | **USIC0 Channel 0 Shift Clock Input** |
| | BRKIN_B | I | St/B | **OCDS Break Signal Input** |
| | T3EUDB | I | St/B | **GPT12E Timer T3 External Up/Down Control Input** |
| 114 | P9.1 | O0 / I | St/B | **Bit 1 of Port 9, General Purpose Input/Output** |
| | CCU63_CC6 1 | O1 | St/B | **CCU63 Channel 1 Output** |
| | CCU63_CC61INA | I | St/B | **CCU63 Channel 1 Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 115 | P10.9 | O0 / I | St/B | **Bit 9 of Port 10, General Purpose Input/Output** |
| | U0C0_SELO 4 | O1 | St/B | **USIC0 Channel 0 Select/Control 4 Output** |
| | U0C1_MCLK OUT | O2 | St/B | **USIC0 Channel 1 Master Clock Output** |
| | AD9 | OH / IH | St/B | **External Bus Interface Address/Data Line 9** |
| | CCU60_CCP OS2A | I | St/B | **CCU60 Position Input 2** |
| | TCK_B | IH | St/B | **DAP0/JTAG Clock Input**<br>If JTAG pos. B is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it.<br>If DAP pos. 1 is selected during start-up, an internal pull-down device will hold this pin low when nothing is driving it. |
| | T3INB | I | St/B | **GPT12E Timer T3 Count/Gate Input** |
| 116 | P1.1 | O0 / I | St/B | **Bit 1 of Port 1, General Purpose Input/Output** |
| | CCU62_COU T62 | O1 | St/B | **CCU62 Channel 2 Output** |
| | U1C0_SELO 5 | O2 | St/B | **USIC1 Channel 0 Select/Control 5 Output** |
| | U2C1_DOUT | O3 | St/B | **USIC2 Channel 1 Shift Data Output** |
| | A9 | OH | St/B | **External Bus Interface Address Line 9** |
| | ESR2_3 | I | St/B | **ESR2 Trigger Input 3** |
| | U2C1_DX0C | I | St/B | **USIC2 Channel 1 Shift Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 117 | P10.10 | O0 / I | St/B | **Bit 10 of Port 10, General Purpose Input/Output** |
| | U0C0_SELO 0 | O1 | St/B | **USIC0 Channel 0 Select/Control 0 Output** |
| | CCU60_COUT63 | O2 | St/B | **CCU60 Channel 3 Output** |
| | AD10 | OH / IH | St/B | **External Bus Interface Address/Data Line 10** |
| | U0C0_DX2C | I | St/B | **USIC0 Channel 0 Shift Control Input** |
| | U0C1_DX1A | I | St/B | **USIC0 Channel 1 Shift Clock Input** |
| | TDI_B | IH | St/B | **JTAG Test Data Input**<br>If JTAG pos. B is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it. |
| 118 | P10.11 | O0 / I | St/B | **Bit 11 of Port 10, General Purpose Input/Output** |
| | U1C0_SCLKOUT | O1 | St/B | **USIC1 Channel 0 Shift Clock Output** |
| | BRKOUT | O2 | St/B | **OCDS Break Signal Output** |
| | U3C0_SELO 0 | O3 | St/B | **USIC3 Channel 0 Select/Control 0 Output** |
| | AD11 | OH / IH | St/B | **External Bus Interface Address/Data Line 11** |
| | U1C0_DX1D | I | St/B | **USIC1 Channel 0 Shift Clock Input** |
| | RxDC2B | I | St/B | **CAN Node 2 Receive Data Input** |
| | TMS_B | IH | St/B | **JTAG Test Mode Selection Input**<br>If JTAG pos. B is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it. |
| | U3C0_DX2A | I | St/B | **USIC3 Channel 0 Shift Control Input** |
| 119 | P9.2 | O0 / I | St/B | **Bit 2 of Port 9, General Purpose Input/Output** |
| | CCU63_CC6 2 | O1 | St/B | **CCU63 Channel 2 Output** |
| | CCU63_CC62INA | I | St/B | **CCU63 Channel 2 Input** |
| | CAPINB | I | St/B | **GPT12E Register CAPREL Capture Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 120 | P1.2 | O0 / I | St/B | **Bit 2 of Port 1, General Purpose Input/Output** |
| | CCU62_CC6 2 | O1 | St/B | **CCU62 Channel 2 Output** |
| | U1C0_SELO 6 | O2 | St/B | **USIC1 Channel 0 Select/Control 6 Output** |
| | U2C1_SCLK OUT | O3 | St/B | **USIC2 Channel 1 Shift Clock Output** |
| | A10 | OH | St/B | **External Bus Interface Address Line 10** |
| | ESR1_4 | I | St/B | **ESR1 Trigger Input 4** |
| | CCU61_T12 HRB | I | St/B | **External Run Control Input for T12 of CCU61** |
| | CCU62_CC6 2INA | I | St/B | **CCU62 Channel 2 Input** |
| | U2C1_DX0D | I | St/B | **USIC2 Channel 1 Shift Data Input** |
| | U2C1_DX1C | I | St/B | **USIC2 Channel 1 Shift Clock Input** |
| 121 | P10.12 | O0 / I | St/B | **Bit 12 of Port 10, General Purpose Input/Output** |
| | U1C0_DOUT | O1 | St/B | **USIC1 Channel 0 Shift Data Output** |
| | TxDC2 | O2 | St/B | **CAN Node 2 Transmit Data Output** |
| | TDO_B | OH / IH | St/B | **JTAG Test Data Output / DAP1 Input/Output** If DAP pos. 1 is selected during start-up, an internal pull-down device will hold this pin low when nothing is driving it. |
| | AD12 | OH / IH | St/B | **External Bus Interface Address/Data Line 12** |
| | U1C0_DX0C | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| | U1C0_DX1E | I | St/B | **USIC1 Channel 0 Shift Clock Input** |
| 122 | P9.3 | O0 / I | St/B | **Bit 3 of Port 9, General Purpose Input/Output** |
| | CCU63_COU T60 | O1 | St/B | **CCU63 Channel 0 Output** |
| | $\overline{\text{BRKOUT}}$ | O2 | St/B | **OCDS Break Signal Output** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 123 | P10.13 | O0 / I | St/B | **Bit 13 of Port 10, General Purpose Input/Output** |
| | U1C0_DOUT | O1 | St/B | **USIC1 Channel 0 Shift Data Output** |
| | TxDC3 | O2 | St/B | **CAN Node 3 Transmit Data Output** |
| | U1C0_SELO 3 | O3 | St/B | **USIC1 Channel 0 Select/Control 3 Output** |
| | $\overline{WR}$/$\overline{WRL}$ | OH | St/B | **External Bus Interface Write Strobe Output** Active for each external write access, when $\overline{WR}$, active for ext. writes to the low byte, when $\overline{WRL}$. |
| | U1C0_DX0D | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| 124 | P1.3 | O0 / I | St/B | **Bit 3 of Port 1, General Purpose Input/Output** |
| | CCU62_COUT63 | O1 | St/B | **CCU62 Channel 3 Output** |
| | U1C0_SELO 7 | O2 | St/B | **USIC1 Channel 0 Select/Control 7 Output** |
| | U2C0_SELO 4 | O3 | St/B | **USIC2 Channel 0 Select/Control 4 Output** |
| | A11 | OH | St/B | **External Bus Interface Address Line 11** |
| | ESR2_4 | I | St/B | **ESR2 Trigger Input 4** |
| | CCU62_T12HRB | I | St/B | **External Run Control Input for T12 of CCU62** |
| 125 | P9.4 | O0 / I | St/B | **Bit 4 of Port 9, General Purpose Input/Output** |
| | CCU63_COUT61 | O1 | St/B | **CCU63 Channel 1 Output** |
| | U2C0_DOUT | O2 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | CCU62_COUT63 | O3 | St/B | **CCU62 Channel 3 Output** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 126 | P9.5 | O0 / I | St/B | **Bit 5 of Port 9, General Purpose Input/Output** |
| | CCU63_COUT62 | O1 | St/B | **CCU63 Channel 2 Output** |
| | U2C0_DOUT | O2 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | CCU62_COUT62 | O3 | St/B | **CCU62 Channel 2 Output** |
| | U2C0_DX0E | I | St/B | **USIC2 Channel 0 Shift Data Input** |
| | CCU60_CCPOS2B | I | St/B | **CCU60 Position Input 2** |
| 128 | P10.14 | O0 / I | St/B | **Bit 14 of Port 10, General Purpose Input/Output** |
| | U1C0_SELO 1 | O1 | St/B | **USIC1 Channel 0 Select/Control 1 Output** |
| | U0C1_DOUT | O2 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | U3C0_SCLKOUT | O3 | St/B | **USIC3 Channel 0 Shift Clock Output** |
| | $\overline{RD}$ | OH | St/B | **External Bus Interface Read Strobe Output** |
| | ESR2_2 | I | St/B | **ESR2 Trigger Input 2** |
| | U0C1_DX0C | I | St/B | **USIC0 Channel 1 Shift Data Input** |
| | RxDC3C | I | St/B | **CAN Node 3 Receive Data Input** |
| | U3C0_DX1A | I | St/B | **USIC3 Channel 0 Shift Clock Input** |
| 129 | P1.4 | O0 / I | St/B | **Bit 4 of Port 1, General Purpose Input/Output** |
| | CCU62_COUT61 | O1 | St/B | **CCU62 Channel 1 Output** |
| | U1C1_SELO 4 | O2 | St/B | **USIC1 Channel 1 Select/Control 4 Output** |
| | U2C0_SELO 5 | O3 | St/B | **USIC2 Channel 0 Select/Control 5 Output** |
| | A12 | OH | St/B | **External Bus Interface Address Line 12** |
| | U2C0_DX2B | I | St/B | **USIC2 Channel 0 Shift Control Input** |
| | RxDC5A | I | St/B | **CAN Node 5 Receive Data Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 130 | P10.15 | O0 / I | St/B | **Bit 15 of Port 10, General Purpose Input/Output** |
| | U1C0_SELO 2 | O1 | St/B | **USIC1 Channel 0 Select/Control 2 Output** |
| | U0C1_DOUT | O2 | St/B | **USIC0 Channel 1 Shift Data Output** |
| | U1C0_DOUT | O3 | St/B | **USIC1 Channel 0 Shift Data Output** |
| | ALE | OH | St/B | **External Bus Interf. Addr. Latch Enable Output** |
| | U0C1_DX1C | I | St/B | **USIC0 Channel 1 Shift Clock Input** |
| 131 | P1.5 | O0 / I | St/B | **Bit 5 of Port 1, General Purpose Input/Output** |
| | CCU62_COUT60 | O1 | St/B | **CCU62 Channel 0 Output** |
| | U1C1_SELO 3 | O2 | St/B | **USIC1 Channel 1 Select/Control 3 Output** |
| | $\overline{\text{BRKOUT}}$ | O3 | St/B | **OCDS Break Signal Output** |
| | A13 | OH | St/B | **External Bus Interface Address Line 13** |
| | U2C0_DX0C | I | St/B | **USIC2 Channel 0 Shift Data Input** |
| 132 | P9.6 | O0 / I | St/B | **Bit 6 of Port 9, General Purpose Input/Output** |
| | CCU63_COUT63 | O1 | St/B | **CCU63 Channel 3 Output** |
| | CCU63_COUT62 | O2 | St/B | **CCU63 Channel 2 Output** |
| | CCU62_COUT61 | O3 | St/B | **CCU62 Channel 1 Output** |
| | CCU63_CTRAPA | I | St/B | **CCU63 Emergency Trap Input** |
| | CCU60_CCPOS1B | I | St/B | **CCU60 Position Input 1** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 133 | P1.6 | O0 / I | St/B | **Bit 6 of Port 1, General Purpose Input/Output** |
| | CCU62_CC6 1 | O1 / I | St/B | **CCU62 Channel 1 Output** |
| | U1C1_SELO 2 | O2 | St/B | **USIC1 Channel 1 Select/Control 2 Output** |
| | U2C0_DOUT | O3 | St/B | **USIC2 Channel 0 Shift Data Output** |
| | A14 | OH | St/B | **External Bus Interface Address Line 14** |
| | U2C0_DX0D | I | St/B | **USIC2 Channel 0 Shift Data Input** |
| | CCU62_CC6 1INA | I | St/B | **CCU62 Channel 1 Input** |
| 134 | P9.7 | O0 / I | St/B | **Bit 7 of Port 9, General Purpose Input/Output** |
| | CCU62_COU T60 | O1 | St/B | **CCU62 Channel 0 Output** |
| | CCU62_COU T63 | O2 | St/B | **CCU62 Channel 3 Output** |
| | CCU63_CTR APB | I | St/B | **CCU63 Emergency Trap Input** |
| | U2C0_DX1D | I | St/B | **USIC2 Channel 0 Shift Clock Input** |
| | CCU60_CCP OS0B | I | St/B | **CCU60 Position Input 0** |
| 135 | P1.7 | O0 / I | St/B | **Bit 7 of Port 1, General Purpose Input/Output** |
| | CCU62_CC6 0 | O1 | St/B | **CCU62 Channel 0 Output** |
| | U1C1_MCLK OUT | O2 | St/B | **USIC1 Channel 1 Master Clock Output** |
| | U2C0_SCLK OUT | O3 | St/B | **USIC2 Channel 0 Shift Clock Output** |
| | A15 | OH | St/B | **External Bus Interface Address Line 15** |
| | U2C0_DX1C | I | St/B | **USIC2 Channel 0 Shift Clock Input** |
| | CCU62_CC6 0INA | I | St/B | **CCU62 Channel 0 Input** |
| | RxDC4E | I | St/B | **CAN Node 4 Receive Data Input** |
| 136 | XTAL2 | O | Sp/M | **Crystal Oscillator Amplifier Output** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 137 | XTAL1 | I | Sp/M | **Crystal Oscillator Amplifier Input**<br>To clock the device from an external source, drive XTAL1, while leaving XTAL2 unconnected.<br>Voltages on XTAL1 must comply to the core supply voltage $V_{DDIM}$. |
| | ESR2_9 | I | St/B | **ESR2 Trigger Input 9** |
| 138 | $\overline{\text{PORST}}$ | I | In/B | **Power On Reset Input**<br>A low level at this pin resets the XE167xM completely. A spike filter suppresses input pulses<10 ns. Input pulses >100 ns safely pass the filter. The minimum duration for a safe recognition should be 120 ns.<br>An internal pull-up device will hold this pin high when nothing is driving it. |
| 139 | $\overline{\text{ESR1}}$ | O0 / I | St/B | **External Service Request 1**<br>After power-up, an internal weak pull-up device holds this pin high when nothing is driving it. |
| | RxDC0E | I | St/B | **CAN Node 0 Receive Data Input** |
| | U1C0_DX0F | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| | U1C0_DX2C | I | St/B | **USIC1 Channel 0 Shift Control Input** |
| | U1C1_DX0C | I | St/B | **USIC1 Channel 1 Shift Data Input** |
| | U1C1_DX2B | I | St/B | **USIC1 Channel 1 Shift Control Input** |
| | U2C1_DX2C | I | St/B | **USIC2 Channel 1 Shift Control Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 140 | $\overline{\text{ESR2}}$ | O0 / I | St/B | **External Service Request 2**<br>After power-up, an internal weak pull-up device holds this pin high when nothing is driving it. |
| | RxDC1E | I | St/B | **CAN Node 1 Receive Data Input** |
| | CCU60_CTRAPC | I | St/B | **CCU60 Emergency Trap Input** |
| | CCU61_CTRAPC | I | St/B | **CCU61 Emergency Trap Input** |
| | CCU62_CTRAPC | I | St/B | **CCU62 Emergency Trap Input** |
| | CCU63_CTRAPC | I | St/B | **CCU63 Emergency Trap Input** |
| | U1C1_DX0D | I | St/B | **USIC1 Channel 1 Shift Data Input** |
| | U1C1_DX2C | I | St/B | **USIC1 Channel 1 Shift Control Input** |
| | U2C1_DX0E | I | St/B | **USIC2 Channel 1 Shift Data Input** |
| | U2C1_DX2B | I | St/B | **USIC2 Channel 1 Shift Control Input** |
| 141 | $\overline{\text{ESR0}}$ | O0 / I | St/B | **External Service Request 0**<br>After power-up, $\overline{\text{ESR0}}$ operates as open-drain bidirectional reset with a weak pull-up. |
| | U1C0_DX0E | I | St/B | **USIC1 Channel 0 Shift Data Input** |
| | U1C0_DX2B | I | St/B | **USIC1 Channel 0 Shift Control Input** |
| 142 | P8.6 | O0 / I | St/B | **Bit 6 of Port 8, General Purpose Input/Output** |
| | CCU60_COUT63 | O1 | St/B | **CCU60 Channel 3 Output** |
| | MCHK_MATCH | O3 | St/B | **Memory Checker Match Output** |
| | CCU60_CTRAPB | I | St/B | **CCU60 Emergency Trap Input** |
| | $\overline{\text{BRKIN_D}}$ | I | St/B | **OCDS Break Signal Input** |
| | CCU62_CTRAPD | I | St/B | **CCU62 Emergency Trap Input** |

表 5 引脚定义和功能（续）

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 143 | P8.5 | O0 / I | St/B | **Bit 5 of Port 8, General Purpose Input/Output** |
| | CCU60_COUT62 | O1 | St/B | **CCU60 Channel 2 Output** |
| | CCU62_CC62 | O2 | St/B | **CCU62 Channel 2 Output** |
| | TCK_D | IH | St/B | **DAP0/JTAG Clock Input** If JTAG pos. D is selected during start-up, an internal pull-up device will hold this pin high when nothing is driving it. |
| | CCU62_CC62INB | I | St/B | **CCU62 Channel 2 Input** |
| 15 | $V_{DDIM}$ | - | PS/M | **Digital Core Supply Voltage for Domain M** Decouple with a ceramic capacitor, see Data Sheet for details. |
| 54, 91, 127 | $V_{DDI1}$ | - | PS/1 | **Digital Core Supply Voltage for Domain 1** Decouple with a ceramic capacitor, see Data Sheet for details. All $V_{DDI1}$ pins must be connected to each other. |
| 20 | $V_{DDPA}$ | - | PS/A | **Digital Pad Supply Voltage for Domain A** Connect decoupling capacitors to adjacent $V_{DDP}/V_{SS}$ pin pairs as close as possible to the pins. *Note: The A/D_Converters and ports P5, P6 and P15 are fed from supply voltage $V_{DDPA}$.* |

**表 5　　引脚定义和功能（续）**

| Pin | Symbol | Ctrl. | Type | Function |
|---|---|---|---|---|
| 2, 36, 38, 72, 74, 108, 110, 144 | $V_{DDPB}$ | - | PS/B | **Digital Pad Supply Voltage for Domain B**<br>Connect decoupling capacitors to adjacent $V_{DDP}/V_{SS}$ pin pairs as close as possible to the pins.<br>*Note: The on-chip voltage regulators and all ports except P5, P6 and P15 are fed from supply voltage $V_{DDPB}$.* |
| 1, 37, 73, 109 | $V_{SS}$ | - | PS/-- | **Digital Ground**<br>All $V_{SS}$ pins must be connected to the ground-line or ground-plane.<br>*Note: Also the exposed pad is connected internally to $V_{SS}$. To improve the EMC behavior, it is recommended to connect the exposed pad to the board ground.*<br>*For thermal aspects, please refer to the Data Sheet. Board layout examples are given in an application note.* |

1) 要生成用于总线时序测量的参考时钟输出，必须将 $f_{SYS}$ 选作 EXTCLK 的时钟源，并将 P2.8 设为输出引脚。同时，还需要启用高速时钟引脚（High-Speed Clock Pad）。这种配置被称为参考时钟输出信号（CLKOUT）。

## 2.2 识别寄存器

标识寄存器描述了 XE167xM 及其模块的当前版本。

**表 6 XE167xM 识别寄存器**

| Short Name | Value | Address | Notes |
|---|---|---|---|
| SCU_IDMANUF | $1820_H$ | $00'F07E_H$ | |
| SCU_IDCHIP | $3801_H$ | $00'F07C_H$ | |
| SCU_IDMEM | $30D0_H$ | $00'F07A_H$ | |
| SCU_IDPROG | $1313_H$ | $00'F078_H$ | |
| JTAG_ID | $0017'E083_H$ | --- | marking EES-AA, ES-AA or AA |

# 3 功能说明

XE167xM 的架构在精心平衡的设计中，将 RISC、CISC 和 DSP 处理器的优势与先进的外设子系统相结合。通过片上存储器块，可以设计出具有最高性能的紧凑型硅上系统，适用于计算、控制和通信。

片上存储器块（程序代码存储器和SRAM 、双端口RAM、数据SRAM ）和通用外设通过单独的高速总线连接到CPU。另一条总线 LXBus 连接额外的片上资源和外部资源（见图 4 ). 这种总线结构允许XE167xM的多个子系统同时运行，从而提高了整体系统的性能。

该框图概述了 XE167xM 的片上组件以及先进的内部总线结构。

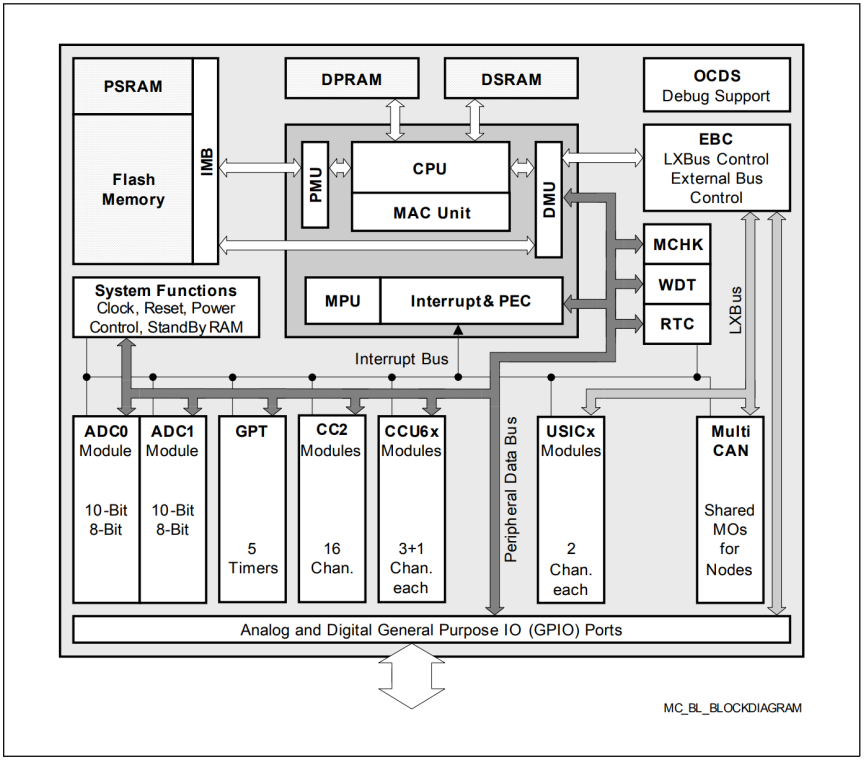


**图4 框图**

## 3.1 内存子系统与组织结构

XE167xM 的存储空间采用冯·诺依曼架构配置。在这种架构中，所有内部和外部资源，包括代码存储器、数据存储器、寄存器和 I/O 端口，都组织在同一个线性地址空间中。

**表 7 XE167xM 内存分布图 [1)]**

| Address Area | Start Loc. | End Loc. | Area Size[2)] | Notes |
|---|---|---|---|---|
| IMB register space | $FF'FF00_H$ | $FF'FFFF_H$ | 256 Bytes | – |
| Reserved (Access trap) | $F0'0000_H$ | $FF'FEFF_H$ | <1 Mbyte | Minus IMB registers |
| Reserved for EPSRAM | $E8'8000_H$ | $EF'FFFF_H$ | 480 Kbytes | Mirrors EPSRAM |
| Emulated PSRAM | $E8'0000_H$ | $E8'7FFF_H$ | 32 Kbytes | With Flash timing |
| Reserved for PSRAM | $E0'8000_H$ | $E7'FFFF_H$ | 480 Kbytes | Mirrors PSRAM |
| Program SRAM | $E0'0000_H$ | $E0'7FFF_H$ | 32 Kbytes | Maximum speed |
| Reserved for Flash | $CD'0000_H$ | $DF'FFFF_H$ | <1.25 Mbytes | – |
| Program Flash 3 | $CC'0000_H$ | $CC'FFFF_H$ | 64 Kbytes | – |
| Program Flash 2 | $C8'0000_H$ | $CB'FFFF_H$ | 256 Kbytes | – |
| Program Flash 1 | $C4'0000_H$ | $C7'FFFF_H$ | 256 Kbytes | – |
| Program Flash 0 | $C0'0000_H$ | $C3'FFFF_H$ | 256 Kbytes | [3)] |
| External memory area | $40'0000_H$ | $BF'FFFF_H$ | 8 Mbytes | – |
| Available Ext. IO area[4)] | $21'0000_H$ | $3F'FFFF_H$ | < 2 Mbytes | Minus USIC/CAN |
| Reserved | $20'BC00_H$ | $20'FFFF_H$ | 17 Kbytes | – |
| USIC alternate regs. | $20'B000_H$ | $20'BFFF_H$ | 4 Kbytes | Accessed via EBC |
| MultiCAN alternate regs. | $20'8000_H$ | $20'AFFF_H$ | 12 Kbytes | Accessed via EBC |
| Reserved | $20'6000_H$ | $20'7FFF_H$ | 8 Kbytes | – |
| USIC registers | $20'4000_H$ | $20'5FFF_H$ | 8 Kbytes | Accessed via EBC |
| MultiCAN registers | $20'0000_H$ | $20'3FFF_H$ | 16 Kbytes | Accessed via EBC |
| External memory area | $01'0000_H$ | $1F'FFFF_H$ | < 2 Mbytes | Minus segment 0 |
| SFR area | $00'FE00_H$ | $00'FFFF_H$ | 0.5 Kbyte | – |
| Dual-Port RAM | $00'F600_H$ | $00'FDFF_H$ | 2 Kbytes | – |
| Reserved for DPRAM | $00'F200_H$ | $00'F5FF_H$ | 1 Kbyte | – |
| ESFR area | $00'F000_H$ | $00'F1FF_H$ | 0.5 Kbyte | – |
| XSFR area | $00'E000_H$ | $00'EFFF_H$ | 4 Kbytes | – |

**表 7　　XE167xM 内存分布图 （续）[1)]**

| Address Area | Start Loc. | End Loc. | Area Size[2)] | Notes |
|---|---|---|---|---|
| Data SRAM | $00'A000_H$ | $00'DFFF_H$ | 16 Kbytes | – |
| Reserved for DSRAM | $00'8000_H$ | $00'9FFF_H$ | 8 Kbytes | – |
| External memory area | $00'0000_H$ | $00'7FFF_H$ | 32 Kbytes | – |

1）对阴影区域的访问是保留的。在带有外部总线接口的器件中，这些访问会触发外部总线访问。

2）标有“<”的区域实际大小略小于图中所示。见 "注释" 栏。

3）第一个闪存段中最上方的 4Kbyte 扇区保留给内部使用（$C0'F000_H$至 C0' $FFFF_H$）。

4）在外部 I/O 区域内，若干流水线优化功能不会启用。这样做是为了能够正确地控制外部外设。

这个共享的存储空间总共为 16 MB，组织方式为 256 个段（每段 64 KB）；每个段又包含四个 16 KB 的数据页。整个存储空间可以按字节或按字访问。芯片上的部分 DPRAM 以及寄存器空间（ESFR/SFR）还可以直接进行按位（bit）寻址。

内部数据存储区和特殊功能寄存器区（SFR 和 ESFR）被映射到段 0，即系统段。

程序管理单元（PMU）负责所有的代码取指操作，因此它控制对程序存储器（如 Flash 存储器和 PSRAM）的访问。

数据管理单元（DMU）负责所有数据传输操作，因此它控制对 DSRAM 以及片上外设的访问。

两个单元（PMU 和 DMU）都连接到高速系统总线，以便它们可以交换数据。如果从程序存储器读取操作数、将代码或数据写入 PSRAM、从外部存储器获取代码或从外部资源读取或写入数据，则需要这样做。这包括 LXBus 上的外设，如 USIC 或 MultiCAN。系统总线允许并发双向通信，以实现最大传输性能。

**片上程序 SRAM（PSRAM）最多可达 32 Kbytes**，用于存储用户代码或数据。PSRAM 可通过 PMU 访问，并针对代码获取进行了优化。可编程大小的 PSRAM 区段可设置为写保护。

**多达 16 Kbytes 的片上数据 SRAM（DSRAM）**用于存储一般用户数据。DSRAM 通过独立接口访问，并针对数据访问进行了优化。

**片上 2 Kbytes 的双端口 RAM（DPRAM）**用于存储用户自定义变量、系统堆栈以及通用寄存器组（General Purpose Register Banks）。一个寄存器组可由多达 16 个字宽寄存器（R0 至 R15）和/或字节宽寄存器（RL0、RH0、…、RL7、RH7）组成。
DPRAM 的高 256 字节是可直接位寻址的。当由 GPR 使用时，DPRAM 中的任何位置都是可位寻址的。

**8 Kbytes 的片上待机 SRAM（SBRAM）** 可存储与系统相关的用户数据，这些数据必须在设备主要部分断电时保留。SBRAM 通过特定接口访问，并在 M 域供电。

**地址空间的1024 字节（2 × 512 字节）** 保留给特殊功能寄存器区（SFR 空间和 ESFR 空间）。SFR 是字宽寄存器，用于控制和监控不同片上单元的功能。未使用的 SFR 地址将保留给 XE166 系列的未来成员。为确保向上兼容性，不应访问这些寄存器或将其写为 0。

**片上 Flash 存储器**用于存放程序代码、常量数据以及控制数据。该片上 Flash 存储器由一个 64 Kbytes 的模块（通常用于数据存储）以及若干个最大容量为 256 Kbytes 的模块组成。每个模块被划分为若干个 4 Kbytes 的扇区（sector）进行组织。
段 0（位于 Flash 模块 0）最上方的 4 Kbyte 扇区被内部用于存储运行控制参数和保护信息。

*注：闪存的实际大小取决于所选设备类型。*

每个扇区都可以单独进行写保护[1)]，并且可以单独擦除和编程（以128字节为一个编程块）。整个Flash区域可以设置为读保护状态。用户可以通过自定义的密码序列临时解锁受保护的区域。Flash模块支持128位读取访问，并结合了受保护且高效的编程与擦除算法。动态错误校正机制为所有读取操作提供了极高的数据读取安全性。此外，可以并行访问不同的Flash模块，从而提高整体性能。
有关闪存参数，请参见 **第 4.5 节**。

### 存储器内容保护

通过启动奇偶校验机制或纠错码 (ECC)，可以保护片上存储器的内容免受软错误（如辐射引起的错误）的影响。
奇偶校验机制可以检测出单位错误，防止软件使用错误数据或执行错误指令。
ECC 机制可检测并自动纠正单比特错误。这有助于系统的稳定运行。

强烈建议尽可能激活 ECC 机制，因为这将大大提高应用程序对此类软错误的稳健性。

1) 为节省控制位，将扇区集中在一起进行保护，但在编程/删除时它们仍是分开的。

## 3.2 外部总线控制器

所有外部存储器访问操作均由专门的片上外部总线控制器（EBC）执行。EBC 还控制对连接到片上 LXBus（MultiCAN 和 USIC 模块）的资源的访问。LXBus 是外部总线的内部表示，允许以与外部组件相同的方式访问集成外设和模块。

EBC 既可编程为单芯片模式（不需要外部存储器），也可编程为外部总线模式，具体选择如下[1)]：

- 地址总线宽度范围为 0 ... 24 位
- 数据总线宽度 8 位或 16 位
- 总线操作复用或解复用

总线接口使用端口 10 和端口 2 传输地址和数据。在解复用总线模式下，低地址在端口 0 和端口 1 上分别输出。可选择活动段地址线的数量，将外部地址空间限制为 8 Mbytes ... 64 Kbytes。当接口线路分配给端口 2 时，需要使用此功能。
可在端口 4 上生成和输出外部 $\overline{CS}$ 信号（地址窗口加上默认值），以节省外部胶合逻辑。外部模块可直接连接到公共地址/数据总线及其各自的选择线。

提供 $\overline{HOLD}$/$\overline{HLDA}$ 协议用于总线仲裁；这使得系统能够与其他总线主控器 共享外部资源。总线仲裁由软件启用，启用后，引脚 P3.0 ... P3.2（$\overline{BREQ}$、$\overline{HLDA}$、$\overline{HOLD}$）由EBC自动控制。在主模式（复位后默认）下，$\overline{HLDA}$ 引脚为输出；在从模式下，$\overline{HLDA}$ 引脚切换为输入。这允许从控制器无需额外逻辑电路即可直接连接到另一主控制器。

外部总线接口的重要时序特性是可编程的（通过寄存器 TCONCSx/FCONCSx），使用户能够使其适应各种不同类型的存储器和外部外设。
通过特殊的 "就绪 "功能，可支持访问速度极慢的存储器或具有不同访问时间的模块。控制输入信号的有效电平可以选择。

此外，还可定义多达四个独立的地址窗口（使用寄存器 ADDRSELx），以控制对不同总线特性资源的访问。这些地址窗口按等级排列，其中窗口 4 优先于窗口 3，窗口 2 优先于窗口 1。对这四个地址窗口未覆盖位置的所有访问均由 TCONCS0/FCONCS0 控制。当前活动窗口可产生芯片选择信号。

外部总线时序基于参考时钟输出信号 CLKOUT 的上升沿。外部通道协议与标准C166系列的协议兼容。

1) 如果使用不同模式设置的多个地址窗口，总线模式会动态切换。

## 3.3 中央处理器（CPU）

CPU 核心结构包括一个五级执行流水线与两级指令获取流水线，配备 16 位算术逻辑单元（ALU）、32/40 位乘加运算单元（MAC）、具备三组寄存器组的寄存器文件，以及专用功能寄存器（SFR）。ALU 具有一个乘除单元、一个位掩码发生器和一个桶形移位器。

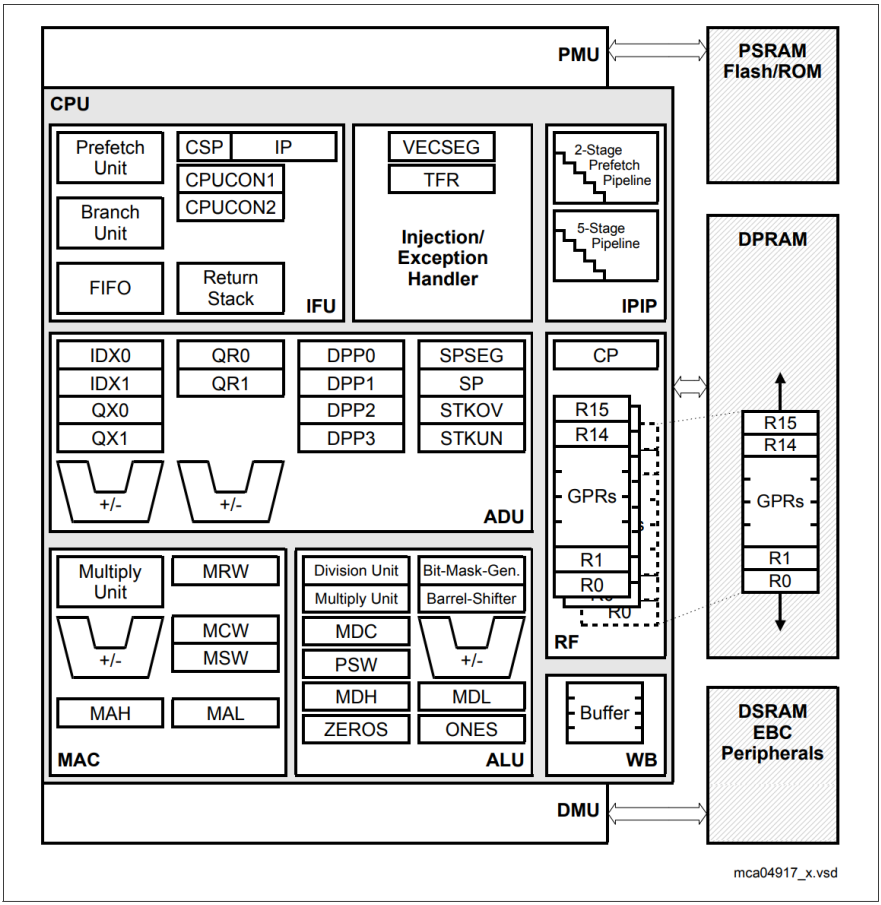


**图 5 CPU 框图**

使用这种硬件，大多数 XE167xM 指令都能在 80-MHz CPU 时钟下的 12.5 ns 单机周期内执行。例如，无论移位多少位，移位和旋转指令总是在一个机器周期内处理。此外，乘法和大多数 MAC 指令在一个周期内执行。所有多周期指令都经过优化，执行速度非常快；例如，32/16 位除法指令在 4 个周期内启动，其余周期在后台执行。另一项流水线优化是分支目标预测，如果预测正确，则可消除分支指令的执行时间。

CPU 的寄存器上下文最多由三个寄存器组组成，每个寄存器组有 16 个字宽的 GPR 供其使用。其中一个寄存器组被物理地分配在片上 DPRAM 区域内。一个上下文指针（CP）寄存器用于确定当前 CPU 所访问的活动寄存器组的基地址。这些寄存器组副本的数量仅受可用的内部 RAM 空间限制。为方便参数传递，一个寄存器组可以与其他寄存器组重叠。

提供了一个最大容量为 32K 字的系统堆栈，用于存储临时数据。系统堆栈可以分配在地址空间内的任意位置（优选位于片上 RAM 区域）；CPU 通过堆栈指针（SP）寄存器访问该堆栈。两个独立的特殊功能寄存器（SFR），STKOV 和 STKUN，在每次堆栈访问时会与堆栈指针值进行隐式比较，以检测堆栈上溢或下溢。

CPU 硬件实现的高性能，可以被程序员通过高效的 XE167xM 指令集充分利用。这包括以下指令类别：

- 标准算术指令
- 面向 DSP 的算术指令
- 逻辑指令
- 布尔位操作指令
- 比较和循环控制指令
- 移位和旋转指令
- 优先级指令
- 数据移动指令
- 系统堆栈指令
- 跳转和调用指令
- 返回指令
- 系统控制指令
- 杂项指令

基本指令长度为 2 或 4 字节。可能的操作数类型是位、字节和字。提供了多种直接、间接或立即寻址方式，用于指定所需的操作数。

## 3.4 存储器保护单元 (MPU)

XE167xM 的内存保护单元（MPU）可防止用户指定的存储区域被未经授权的读、写或指令取用访问。MPU 可以保护包括外设区域在内的整个地址空间。这完善了既有的机制，例如寄存器安全机制或堆栈上溢/下溢检测。

四个保护级别支持灵活的系统编程，使操作系统、底层驱动程序和应用程序能够在各自独立的级别上运行。每个保护级别都允许对指令和/或数据施加不同的访问限制。

每一次访问都会被检查（当 MPU 启用时），若访问违反了权限规则，将被标记为无效，并触发保护陷阱。

每个保护级别都有一组保护寄存器，用于指定地址范围和访问权限。需要超过 4 个保护级别的应用可以动态地重新编程保护寄存器。

## 3.5 内存检查模块 (MCHK)

XE167xM 的内存检查模块对一块数据计算校验和（分数多项式除法），通常称为循环冗余校验（CRC）。它基于 32 位线性反馈移位寄存器，因此也可用于生成伪随机数。

内存检查模块是一种 16 位并行输入签名压缩电路，可对存储在内存、寄存器或通过串行通信线路传输的数据块进行错误检测。通过对数据块计算签名，它降低了由于重复错误模式导致错误掩盖的概率。

用于运算的多项式是可配置的，因此可以使用大多数常用的多项式。此外，用于生成 CRC 结果的数据块大小可通过本地计数器进行配置。如果在检测当前数据块时发现错误，则可能会触发中断。

系统中包含独立的 CRC 比较电路，用于实现冗余错误检测，
例如，用于实现更高的安全完整性等级。

内存检查模块为易失性和非易失性存储器中的数据与指令提供比奇偶校验或纠错码（ECC）更高级的故障检测功能。这对嵌入式系统的安全性和可靠性尤为重要。

## 3.6 中断系统

XE167xM 的体系结构支持多种机制，以实现对服务请求的快速而灵活的响应；这些请求可由微控制器内部或外部的各种源产生。这些中断请求中的任意一个都可以配置为由中断控制器或外设事件控制器（PEC）进行处理。

在标准的中断服务中，当前程序执行会被中止，并跳转至中断向量表；而在执行 PEC 服务时，仅会从当前 CPU 活动中“占用”一个时钟周期即可完成。PEC 服务指在任意两个存储位置之间进行单字节或字传输，并可选择性地对 PEC 源指针、目标指针或两者同时进行自增。除连续传输模式外，每执行一次 PEC 服务，其对应的传输计数器都会自动递减一次。当该计数器减至零时，将触发一次标准中断，跳转至与相应源关联的向量位置执行。PEC 服务特别适用于支持数据块的发送或接收操作。XE167xM 具有八个 PEC 通道，每个通道都具备快速的中断驱动数据传输能力。

在最短 7/11[1)] 个 CPU 时钟的中断响应时间下，XE167xM 能够快速响应非确定性事件的发生。

### 中断节点和源选择

中断系统为 96 个物理节点提供独立的控制寄存器，其中包含中断请求标志、中断使能标志和中断优先级位域。大多数中断源都分配给一个专用节点。特定的中断源子集共享一组节点。可以使用中断源选择（ISSR）寄存器对源选择进行编程。

### 外部请求单元（ERU）

专用外部请求单元 (ERU) 用于路由和预处理选定的片上外设和外部中断请求。ERU 配备以下组成部分：具有事件触发逻辑（ETL）的 4 个可编程输入通道、一个路由矩阵，以及 4 个输出门控单元（OGU）。ETL 具有上升沿、下降沿或两个边沿事件检测功能。OGU 将检测到的中断事件进行组合，并根据可编程的模式匹配或不匹配条件提供过滤功能。

### 陷阱处理

XE167xM 提供有效的机制来识别和处理运行时出现的异常或错误条件，即所谓的 "硬件陷阱"。硬件陷阱会触发与标准中断服务类似的即时系统响应（跳转

1）取决于是否启用跳转缓存。

到专用向量表位置）。硬件陷阱的发生也由陷阱标志寄存器（TFR）中的一个位来指示。除非正在执行另一个优先级更高的陷阱服务，否则硬件陷阱会中断任何正在执行的程序。反过来，硬件陷阱服务通常不会被标准中断或 PEC 中断打断。

根据封装选项的不同，最多可提供 3 个外部服务请求 (ESR) 引脚。ESR 单元处理其输入值，并允许执行用户控制的陷阱功能（系统请求 SR0 和 SR1）。这样就能有效地实现复位、唤醒和电源控制。

软件中断通过“TRAP”指令与对应的陷阱（中断）编号配合实现。另外，要通过软件模拟中断，程序可以通过写入中断控制寄存器的中断请求（IR）位来触发中断请求。

## 3.7 片上调试支持 (OCDS)

XE167xM 内置的片上调试支持系统提供了广泛的调试和仿真功能。在 XE167xM 上运行的用户软件可在目标系统环境中进行调试。

OCDS 由外部调试设备通过调试接口控制。该接口可以由两针的设备访问端口（DAP）组成，或由符合 IEEE-1149 标准的 JTAG 接口构成。调试接口可配备可选的中断接口以实现完整功能。

调试器通过调试接口（DAP 或 JTAG）访问一组专用寄存器来控制 OCDS。此外，OCDS 系统也可由 CPU 控制，例如通过监控程序实现。注入接口允许 CPU 执行 OCDS 生成的指令。

多个断点可由片上硬件、软件或外部触发输入激活。系统支持单步执行操作，同时也支持向 CPU 注入任意指令，以及对整个内部地址空间进行读写访问。断点触发后，系统可通过以下方式响应：使 CPU 停止运行、调用监控程序、执行数据传输，或（并）激活外部信号。

可通过调试接口或外部总线接口获取跟踪数据，以提高性能。

XE166 系列的仿真器件支持程序执行的跟踪功能。

DAP 接口使用两条信号线与外部电路通信，JTAG 接口使用四条信号线与外部电路通信。调试接口可通过增加两条可选的中断线路进行扩展。

## 3.8 捕捉/比较单元（CAPCOM2）

CAPCOM2 单元支持在多达 16 个通道上生成和控制定时序列，其最大分辨率可达到一个系统时钟周期（在交错模式下为八个周期）。CAPCOM2 单元通常用于处理高速输入/输出任务，例如脉冲和波形生成、脉冲宽度调制（PWM）、数模（D/A）转换、软件定时，或对外部事件进行时间记录。

两个带有重装寄存器的 16 位定时器（T7/T8）为捕获/比较寄存器阵列提供了两个独立的时间基准。

定时器的输入时钟可以通过编程设置为内部系统时钟的多种预分频值，或由 GPT2 模块中定时器 T6 的溢出/下溢信号产生。这为定时器周期和分辨率提供了广泛的可调范围，并可根据具体应用需求进行精确调整。此外，外部计数输入可使捕获/比较寄存器能够根据外部事件进行事件调度。

捕获/比较寄存器阵列包含 16 个双功能捕获/比较寄存器，每个寄存器都可单独分配给任一 CAPCOM 定时器，并可设置为捕获或比较功能。
所有寄存器各自对应一个端口引脚，该引脚可作为输入端用于触发捕获功能，或作为输出端用于指示比较事件的发生。

当捕获/比较寄存器被设置为捕获模式时，与该寄存器对应的端口引脚上发生的外部事件会触发，将所分配定时器的当前内容锁存（“捕获”）到该捕获/比较寄存器中。此外，还会为该捕获/比较寄存器产生一个专用的中断请求。可选择将引脚上外部信号的正向跳变、负向跳变，或正负双向跳变作为触发事件。

所有被设置为五种比较模式之一的寄存器，其内容会与所分配定时器的当前内容进行连续比较。

当定时器的当前值与捕获/比较寄存器中的值相匹配时，系统将根据所选的比较模式执行相应的特定操作。

**表 8 比较模式**

| Compare Modes | Function |
|---|---|
| Mode 0 | Interrupt-only compare mode;<br>Several compare interrupts per timer period are possible |
| Mode 1 | Pin toggles on each compare match;<br>Several compare events per timer period are possible |

表 8 比较模式（续）

| Compare Modes | Function |
|---|---|
| Mode 2 | Interrupt-only compare mode;<br>Only one compare interrupt per timer period is generated |
| Mode 3 | Pin set ‘1’ on match; pin reset ‘0’ on compare timer overflow; Only one compare event per timer period is generated |
| Double Register Mode | Two registers operate on one pin;<br>Pin toggles on each compare match;<br>Several compare events per timer period are possible |
| Single Event Mode | Generates single edges or pulses; Can be used with any compare mode |

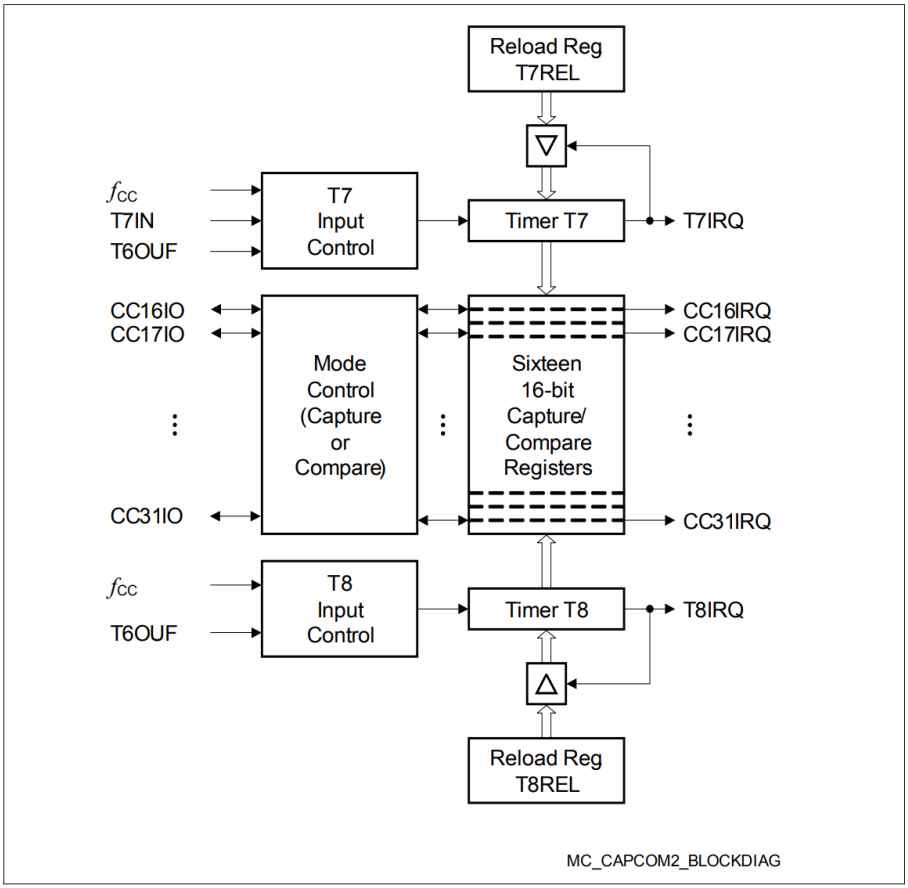


**图 6　　CAPCOM2 单元框图**

## 3.9 捕获/比较单元 (CCU6x)

XE167xM 系列配备 CCU60、CCU61、CCU62 和 CCU63 单元。

CCU6 是一款高分辨率捕获/比较单元，具备多种面向特定应用的工作模式。它提供用于同步启动定时器的输入，这在具备多个 CCU6 模块的器件中是一项重要特性。

该模块提供两个独立的定时器（T12、T13），可用于 PWM 生成，特别适用于交流电机控制。此外，还支持用于方波换相和多相电机的专用控制模式。

**定时器 12 功能**

- 三个捕获/比较通道，每个通道都可用作捕获通道或比较通道。
- 支持生成三相脉宽调制（PWM）信号（共六路输出，分别为高边与低边开关的独立控制信号）
- 16位分辨率，最大计数频率=外设时钟频率
- 每个通道均具备死区时间控制功能，以防止功率级发生短路
- 可同时更新所需的 T12/T13 寄存器
- 可生成中心对齐或边沿对齐的 PWM 信号
- 支持单次触发模式（Single-shot mode）
- 具有多个中断请求源
- 类滞回控制模式
- 硬件事件发生时自动启动（T12HR，用于同步目的）

**定时器 13 功能**

- 一个独立的比较通道，带有一个输出。
- 16位分辨率，最大计数频率=外设时钟频率
- 可同步至T12
- 周期匹配和比较匹配时产生中断
- 支持单次触发模式（Single-shot mode）
- 硬件事件发生时自动启动（T13HR，用于同步目的）

**其他功能**

- 实现无刷直流驱动器的方波换向
- 通过霍尔传感器模式进行位置检测
- 用于方波换向的自动转速测量
- 集成错误处理
- 通过外部信号（CTRAP）实现的快速紧急停机，无需占用CPU负载
- 多通道交流驱动器的控制模式。
- 输出电平可根据功率级进行选择和调整

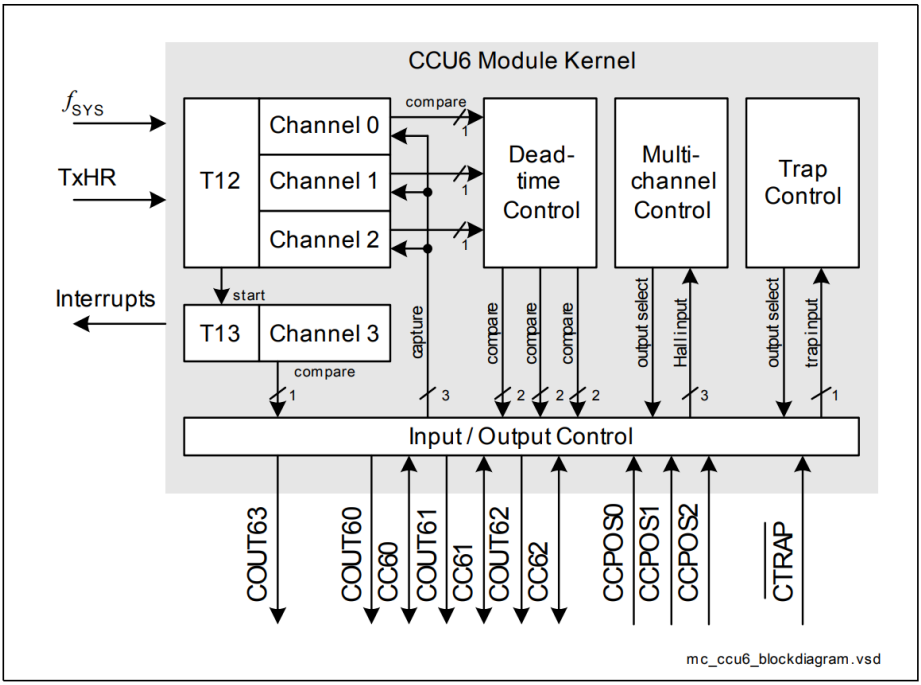


**图 7　　CCU6 框图**

定时器T12的三个通道可在捕获模式和/或比较模式下工作。这些模式还可以组合使用。定时器 T13 只能在比较模式下工作。多通道控制单元产生的输出模式可由 T12 和/或 T13 调制。可以选择和组合调制源进行信号调制。

## 3.10 通用定时器（GPT12E）单元

GPT12E 单元是一种非常灵活的多功能定时器/计数器结构，可用于多种不同的定时任务，如事件定时和计数、脉冲宽度和占空比测量、脉冲生成或脉冲乘法。

GPT12E 单元包含五个 16 位定时器，分别由两个独立模块 GPT1 和 GPT2 组成。每个模块中的各个定时器既可以在多种不同模式下独立运行，也可以与同一模块中的另一定时器级联使用。

模块**GPT1**中的三个定时器T2、T3、T4可分别配置为以下四种基本工作模式之一：定时器模式、门控定时器模式、计数器模式和增量接口模式。在定时器模式下，定时器的输入时钟来自系统时钟，并通过可编程预分频器进行分频。计数器模式允许根据外部事件对定时器进行计时。

门控定时器模式支持脉冲宽度或占空比测量，定时器的运行由外部输入引脚上的 "门 "电平控制。为此，每个定时器都有一个相关的端口引脚（TxIN），用作门电路或时钟输入。模块 GPT1 中计时器的最大分辨率为 4 个系统时钟周期。

每个定时器的计数方向（向上/向下）可通过软件进行编程，也可通过端口引脚（TxEUD）上的外部信号进行动态更改，例如用于位置跟踪。

在增量接口模式下，GPT1 定时器可通过各自的输入 TxIN 和 TxEUD 直接连接到增量位置传感器信号 A 和 B。方向信号和计数信号由这两个输入信号内部导出，因此各定时器 Tx 的内容与传感器位置相对应。第三个位置传感器信号 TOP0 可连接至中断输入端。

定时器 T3 有一个输出切换锁存器 (T3OTL)，可在每次定时器溢出/下溢时改变其状态。该锁存器的状态可通过 T3OUT 引脚输出，例如用于外部硬件元件的超时监控。它也可在内部用于为定时器T2和T4提供时钟，以高分辨率测量较长的时间周期。

除基本运行模式外，T2 和 T4 还可配置为定时器 T3 的重载或捕获寄存器。用作捕获或重载寄存器的定时器停止。定时器 T3 的内容会根据相关输入引脚（TxIN）上的信号捕获到 T2 或 T4 中。定时器 T3 在外部信号或其切换锁存器 T3OTL 的可选状态转换触发下，重新加载 T2 或 T4 的内容。如果将 T2 和 T4 配置为在 T3OTL 与 PWM 信号的低电平和高电平时间相反的状态转换时交替重载 T3，则无需软件干预即可连续生成该信号。

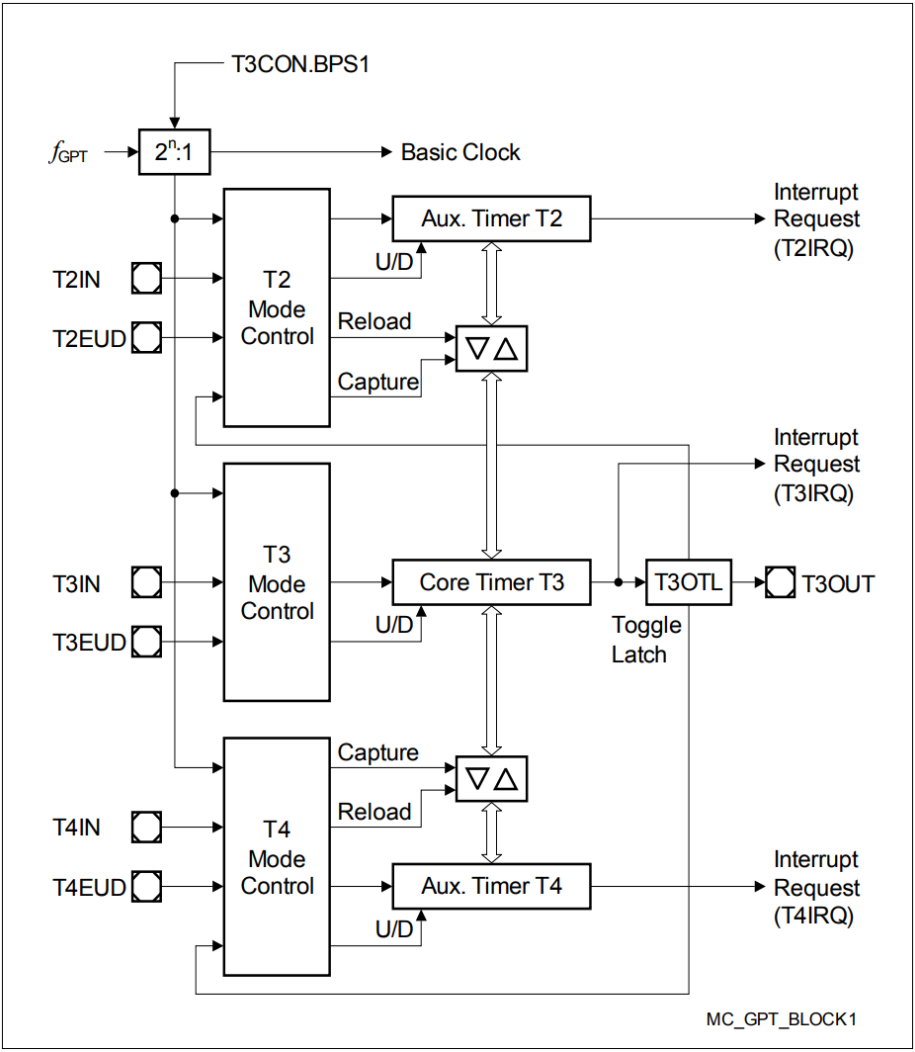
T3CON.BPS1
$f_{GPT}$
2^n:1
Basic Clock
Aux. Timer T2
Interrupt Request (T2IRQ)
T2IN
T2EUD
T2 Mode Control
U/D
Reload
Capture
Interrupt Request (T3IRQ)
T3IN
T3EUD
T3 Mode Control
Core Timer T3
T3OTL
T3OUT
U/D
Toggle Latch
Capture
Reload
T4IN
T4EUD
T4 Mode Control
Aux. Timer T4
Interrupt Request (T4IRQ)
U/D
MC_GPT_BLOCK1

**图 8　　GPT1 框图**

凭借其最高可达2个系统时钟周期的分辨率，**GPT2模块**能够实现精确的事件控制与时间测量。该模块包含两个定时器（T5、T6）以及一个捕获/重装寄存器（CAPREL）。两个定时器均可使用由CPU时钟经可编程预分频器分频得到的输入时钟，或由外部信号提供的时钟进行计时。每个定时器的计数方向（向上/向下）可通过软件编程设置，也可通过端口引脚（TxEUD）上的外部信号动态改变。定时器可通过定时器T6的输出翻转锁存器（T6OTL）实现级联，该锁存器在每次定时器溢出或下溢时都会改变其状态。

该锁存器的状态可用于为定时器 T5 计时，和/或通过引脚 T6OUT 输出。定时器 T6 的溢出/下溢还可用于为 CAPCOM2 定时器计时，并启动 CAPREL 寄存器的重载。

CAPREL 寄存器可根据相应端口引脚（CAPIN）上的外部信号转换来捕获定时器 T5 的内容；捕获过程结束后，可选择清零定时器 T5。这样，XE167xM 就可以测量绝对时差或执行脉冲倍增，而无需软件开销。

捕捉触发器（定时器 T5 至 CAPREL）也可在 GPT1 定时器 T3 输入 T3IN 和/或 T3EUD 转换时产生。这在 T3 以增量接口模式运行时尤为有利。

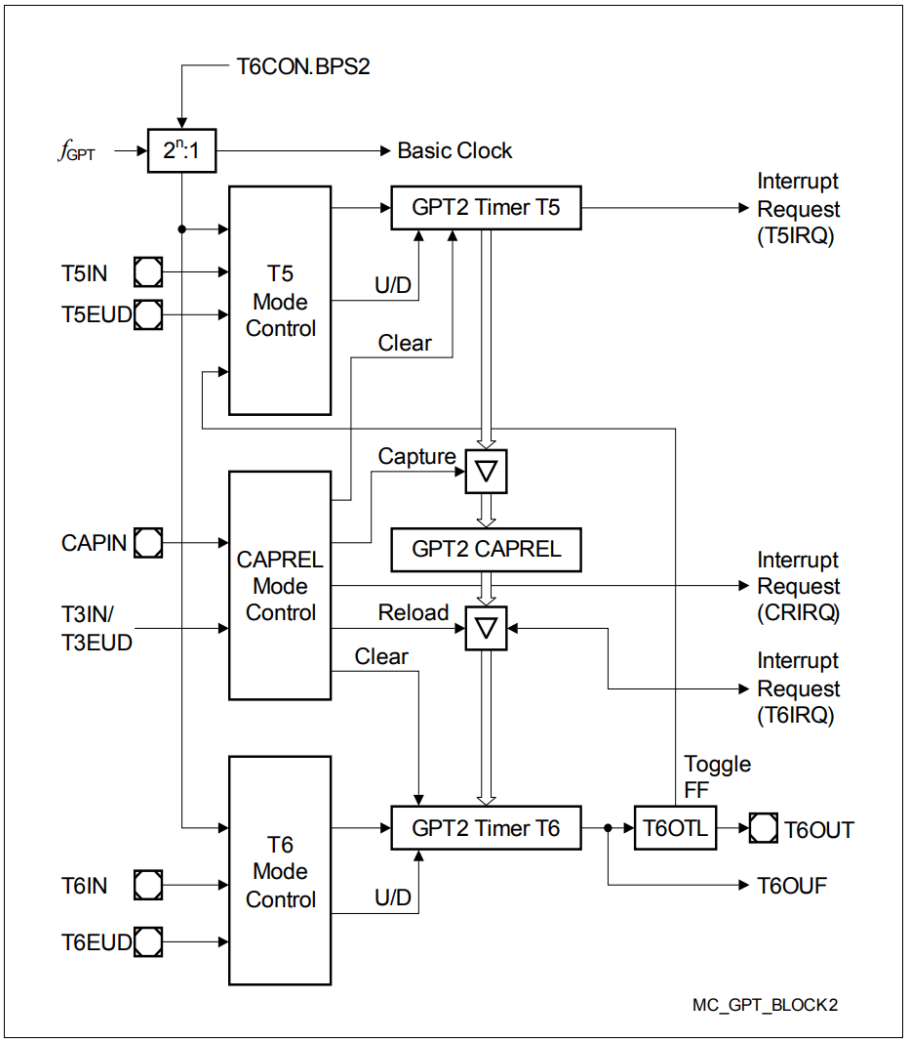
T6CON.BPS2
$f_{GPT}$
2^n:1
Basic Clock
GPT2 Timer T5
Interrupt Request (T5IRQ)
T5IN
T5EUD
T5 Mode Control
U/D
Clear
Capture
CAPIN
CAPREL Mode Control
GPT2 CAPREL
Interrupt Request (CRIRQ)
T3IN/ T3EUD
Reload
Clear
Interrupt Request (T6IRQ)
Toggle FF
T6 Mode Control
GPT2 Timer T6
T6OTL
T6OUT
T6IN
T6EUD
U/D
T6OUF
MC_GPT_BLOCK2

**图 9　　GPT2 框图**

## 3.11 实时时钟

XE167xM的实时时钟模块（RTC）可使用从内部源或外部引脚选择的时钟信号进行驱动。

RTC 基本上由一连串分频器块组成：

- 可选择 32:1 和 8:1 分频器（开 - 关）
- 可重新加载的 16 位定时器 T14
- 32 位 RTC 定时器块（可通过寄存器 RTCH 和 RTCL 访问）由以下部分组成：
  – 一个可重新加载的 10 位定时器
  – 一个可重新加载的 6 位定时器
  – 一个可重新加载的 6 位定时器
  – 一个可重新加载的 10 位定时器

所有定时器均为向上计数。每个定时器都能发出中断请求。所有请求合并为一个共同的节点请求。

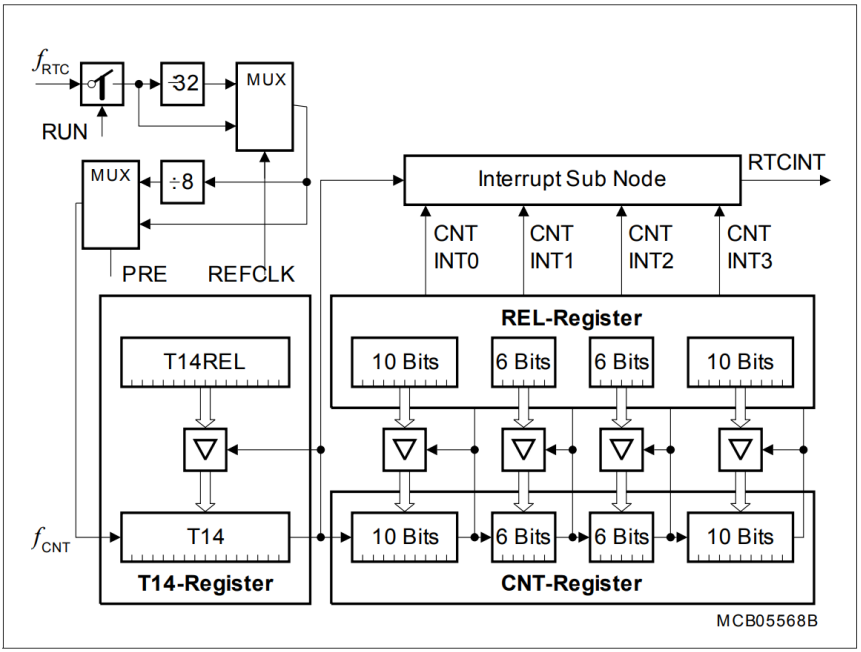


**图 10 RTC 框图**

*注意：与RTC 相关的寄存器只受电源复位的影响。*

RTC 模块可用于不同用途：

- 确定当前时间和日期的系统时钟
- 基于周期时间的中断，用于提供独立于CPU频率和其他资源的系统时钟节拍
- 用于长期测量的 48 位定时器
- 在规定的时间报警中断

## 3.12 A/D 转换器

为模拟信号测量，芯片内集成了多达两个10位模数转换器（ADC0、ADC1），每个转换器均带有 16+8 个复用输入通道和采样保持电路。两个 A/D 转换器可转换 4 个输入。转换使用逐次逼近法。采样时间（对电容器充电）和转换时间均可编程，以便根据外部电路进行调整。A/D 转换器还可在 8 位转换模式下工作，进一步缩短转换时间。

多个独立的转换结果寄存器、可选的中断请求和高度灵活的转换序列提供了高度的可编程性，以满足应用要求。这两个模块可以同步，以便对两个输入通道进行并行采样。

对于需要更多模拟输入通道的应用，可自动控制外部模拟多路复用器。对于需要较少模拟输入通道的应用，其余通道输入可用作数字输入端口引脚。

XE167xM 的 A/D 转换器支持两种请求源，可由多个内部和外部事件触发。

- 并行请求同时启动，然后按预定顺序执行。
- 队列请求按用户定义的顺序执行。

此外，特定通道的转换可插入运行中的序列，而不会干扰该序列。所有请求都根据分配给它们的优先级进行仲裁。

数据缩减功能减少了 CPU 所需的访问操作次数，即使 CPU 速度较低，也能精确评估模拟输入（高转换率）。可通过限制检查或结果累积来减少结果数据。

外设事件控制器 (PEC) 可用于控制 A/D 转换器，或将转换结果自动存储到存储器中的表格中以供后续分析，而无需在每次数据传输时进入和退出中断程序所产生的额外开销。每个 A/D 转换器包含 8 个结果寄存器，这些寄存器可以连接起来建立一个结果 FIFO。可为每个结果寄存器启用等待读取模式，以防止丢失转换数据。

为使模拟输入与数字噪声相互隔离，并避免输入触发噪声，用作模拟输入的引脚可与数字输入级断开连接。可通过 Port x Digital Input Disable 寄存器分别为每个引脚选择此项。

A/D 转换器的自动断电功能可在无转换进行时将功耗降至最低。

每个通道的断线检测功能以及多路复用器测试模式，可提供信息以验证模拟信号源（例如传感器系统）的正常工作状态。

## 3.13 通用串行接口通道模块（USIC）

XE167xM 具有 USIC 模块 USIC0、USIC1、USIC2 和 USIC3。每个模块提供两个串行通信通道。

通用串行接口通道（USIC）模块基于通用数据移位和数据存储结构，该结构对所有支持的串行通信协议都是相同的。每个通道都支持完全的全双工操作，具有基本的数据缓冲结构（一个发送缓冲区和两个接收缓冲区）。此外，数据处理软件还可以使用先进先出器。

协议部分（移位时钟/数据/控制信号的生成）独立于一般部分，由特定协议预处理器（PPP）处理。

USIC 的输入/输出线通过引脚路由单元连接到引脚。每个 USIC 通道的输入和输出可分配给不同的接口引脚，为应用软件提供了极大的灵活性。所有分配都可以在运行时进行。

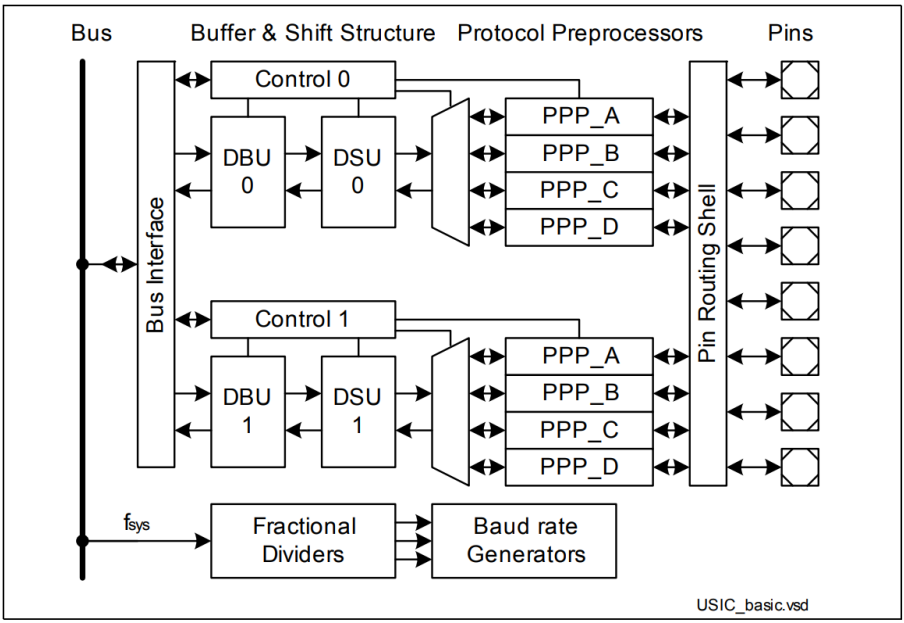


**图 11 USIC 模块的一般结构**

USIC 模块的常规结构具有以下优点：

- 通过以相同操作方式进行的数据管理配置，实现更高的灵活性。
- 降低为不同协议服务的底层驱动程序的复杂性
- 具备更高性能（波特率、缓冲区处理）的多种协议支持

### 目标协议

每个 USIC 信道都可以接收和发送数据帧，数据字宽可选择为 1 至 16 位，采用以下每种协议：

- **UART** （异步串行通道）
  - 模块能力：最大波特率=$f_{SYS}$ / 4
  - 数据帧长度可编程为 1 至 63 位
  - MSB 或 LSB 优先
- **LIN** 支持（本地互连网络）
  - 模块能力：最大波特率=$f_{SYS}$ / 16
  - 软件控制下的校验和生成
  - 可通过波特率发生器的内置捕获事件检测波特率
- **SSC/SPI** （带或不带数据缓冲器的同步串行通道）
  - 模块能力：最大波特率 =$f_{SYS}$ / 2，受环路延迟限制
  - 数据位数可编程设置为1至63位，若使用显式停止条件则可支持更多数据位
  - MSB 或 LSB 优先
  - 可选控制从属选择信号
- **IIC** (Inter-IC Bus)
  - 支持 100 kbit/s 和 400 kbit/s 的波特率
- **IIS** (Inter-IC Sound Bus)
  - 模块能力：最大波特率 =$f_{SYS}$ / 2

*注意：根据所选功能（例如数字滤波器、输入同步级、采样点调整等），可实现的最高波特率可能会受到限制。请注意，可能会有额外的延迟，如内部或外部传播延迟和驱动延迟（如UART 模式下的碰撞检测、IIC 等）。*

## 3.14 MultiCAN模块

MultiCAN 模块包含独立运行的 CAN 节点，具有全 CAN 功能，可通过网关功能交换数据和远程帧。CAN 帧的发送和接收按照 CAN 规范 V2.0 B（active）进行处理。每个 CAN 节点都能接收和发送带有 11 位标识符的标准帧以及带有 29 位标识符的扩展帧。

所有 CAN 节点共享一套共同的报文对象。每个报文对象可单独分配给一个 CAN 节点。除了作为传入和传出帧的存储容器外，还可以将报文对象组合起来，在 CAN 节点之间建立网关或设置先进先出缓冲区。

*注意：CAN 节点和报文对象的数量取决于所选设备类型。*

报文对象以双链链表的形式组织，每个 CAN 节点都有自己的报文对象列表。CAN 节点只将帧存储到分配给自己的报文对象列表的报文对象中，并且只传输属于该报文对象列表的报文。功能强大的命令驱动列表控制器可执行所有消息对象列表操作。

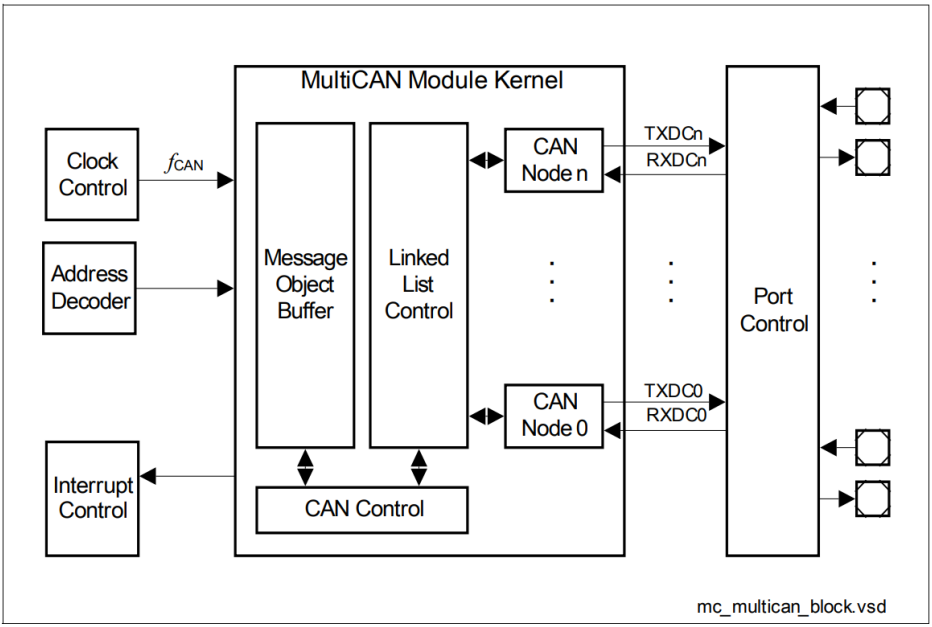


**图 12 MultiCAN 模块的框图**

**MultiCAN 功能**

- 每个CAN节点的CAN功能均符合CAN规范V2.0 B主动版（符合ISO 11898标准）
- 独立CAN节点
- 独立报文对象集（由 CAN 节点共享）
- 每个 CAN 节点的专用控制寄存器
- 数据传输速率高达 1 Mbit/s，每个节点均可单独编程
- 灵活而强大的信息传输控制和错误处理功能
- 消息对象的全功能 CAN 功能：
  - 可分配给一个 CAN 节点
  - 可配置为发送或接收对象，或信息缓冲 FIFO
  - 处理带有可编程接收掩码的 11 位或 29 位标识符，用于过滤。
  - 远程监控模式和用于监控的帧计数器
- 支持自动网关模式
- 16 个可单独编程的中断节点
- 用于 CAN 总线监控的分析仪模式

## 3.15 系统定时器

系统定时器由一个可编程预分频器和两个级联定时器（10 位和 6 位）组成。两个定时器都可以产生中断请求。时钟源可以选择，并且定时器在功耗降低模式下也可以运行。

因此，系统定时器使软件能够保持当前时间，用于调度功能或实现时钟。

## 3.16 看门狗定时器

看门狗定时器是一种故障安全机制，用于防止控制器长时间出现故障。

芯片应用复位后，看门狗定时器始终处于启用状态。可随时通过执行指令 DISWDT 和 ENWDT 分别禁用和启用它。软件必须在看门狗定时器溢出之前为其提供服务。如果由于硬件或软件故障未进行服务，监视定时器将溢出，生成预警中断，并请求复位。

看门狗定时器是一个 16 位定时器，其时钟为系统时钟除以 16,384 或 256。看门狗定时器寄存器被设置为预先指定的重载值（存储在 WDTREL 中），以便进一步改变监控时间间隔。每次由应用软件进行服务时，监视定时器会重新加载，并且预分频器被清除。

可监控的时间间隔为 3.2 µs 到 13.42 s（@ 80 MHz）。上电后的默认监视定时器间隔为 6.5 ms（@ 10 MHz）。

## 3.17 时钟生成

时钟生成单元可以从多个外部或内部时钟源生成系统时钟信号 $f_{SYS}$ 供 XE167xM 使用：

- 具有引脚电压或核心电压电平的外部时钟信号
- 使用片上振荡器的外部晶体或谐振器
- 无需晶体/谐振器即可操作的片上时钟源
- 唤醒时钟（超低功耗），进一步降低功耗

具有多个预分频器的可编程片上锁相环（PLL）从标准晶体、时钟输入信号或片上时钟源生成时钟信号，以实现最大系统性能。另见 **第4.6.2节**。

如果晶体振荡器的频率低于某个限制或完全停止，振荡器看门狗（OWD）将生成一个中断。在这种情况下，系统可以通过紧急时钟来供时，即使外部时钟发生故障，仍能继续运行。

所有可用的时钟信号可以输出到两个可选引脚中的一个。

## 3.18 并行端口

XE167xM 提供最多 119 个 I/O 线，这些线被组织成 11 个输入/输出端口和 2 个输入端口。所有端口线都是可按位寻址的，所有输入/输出线都可以通过端口控制寄存器进行单独（按位）配置。此配置选择端口驱动器的方向（输入/输出）、推挽或开漏操作、拉电阻激活、边缘特性（形状）和驱动特性（输出电流）。I/O 端口是真正的双向端口，当配置为输入时，它们会切换到高阻抗状态。在内部复位期间，所有端口引脚被配置为输入状态，且不激活拉电阻。

所有端口线都有与之关联的备用输入或输出功能。这些备用功能可以通过编程分配给不同的端口引脚，以支持特定应用的最佳利用。因此，某些功能在 **表 9** 中出现多次。

所有未用于备用功能的端口线可用作通用输入/输出线。

**表 9 XE167xM 端口概述**

| Port | Width | I/O | Connected Modules |
|---|---|---|---|
| P0 | 8 | I/O | EBC (A7…A0), CCU6,<br>USIC, CAN |
| P1 | 8 | I/O | EBC (A15…A8),<br>CCU6, USIC |
| P2 | 14 | I/O | EBC (READY, $\overline{BHE}$, A23…A16, AD15…AD13, D15…D13), CAN,<br>CC2, GPT12E, USIC, DAP/JTAG |
| P3 | 8 | I/O | CAN, USIC |
| P4 | 8 | I/O | EBC ($\overline{CS3}$…$\overline{CS0}$),<br>CC2, CAN, GPT12E, USIC |
| P5 | 16 | I | Analog Inputs, CCU6, DAP/JTAG, GPT12E, CAN |
| P6 | 4 | I/O | ADC, CAN, GPT12E |
| P7 | 5 | I/O | CAN, GPT12E, SCU, DAP/JTAG, CCU6, ADC, USIC |
| P8 | 7 | I/O | CCU6, DAP/JTAG, USIC |
| P9 | 8 | I/O | CCU6, DAP/JTAG, CAN |
| P10 | 16 | I/O | EBC (ALE, $\overline{RD}$, $\overline{WR}$, AD12…AD0, D12…D0), CCU6, USIC,<br>DAP/JTAG, CAN |
| P11 | 6 | I/O | CCU6, USIC, CAN |
| P15 | 8 | I | Analog Inputs, GPT12E |

## 3.19 指令集概述

表 10 列出了 XE167xM 的指令。
与特定指令一起使用的寻址模式、指令的功能、指令条件执行的参数以及每条指令的操作码可以在 **“指令集手册”** 中找到。

该文件还提供了每条指令的详细描述。

**表 10 指令集概述**

| Mnemonic | Description | Bytes |
|---|---|---|
| ADD(B) | Add word (byte) operands | 2 / 4 |
| ADDC(B) | Add word (byte) operands with Carry | 2 / 4 |
| SUB(B) | Subtract word (byte) operands | 2 / 4 |
| SUBC(B) | Subtract word (byte) operands with Carry | 2 / 4 |
| MUL(U) | (Un)Signed multiply direct GPR by direct GPR (16- × 16-bit) | 2 |
| DIV(U) | (Un)Signed divide register MDL by direct GPR (16-/16-bit) | 2 |
| DIVL(U) | (Un)Signed long divide reg. MD by direct GPR (32-/16-bit) | 2 |
| CPL(B) | Complement direct word (byte) GPR | 2 |
| NEG(B) | Negate direct word (byte) GPR | 2 |
| AND(B) | Bitwise AND, (word/byte operands) | 2 / 4 |
| OR(B) | Bitwise OR, (word/byte operands) | 2 / 4 |
| XOR(B) | Bitwise exclusive OR, (word/byte operands) | 2 / 4 |
| BCLR/BSET | Clear/Set direct bit | 2 |
| BMOV(N) | Move (negated) direct bit to direct bit | 4 |
| BAND/BOR/BXOR | AND/OR/XOR direct bit with direct bit | 4 |
| BCMP | Compare direct bit to direct bit | 4 |
| BFLDH/BFLDL | Bitwise modify masked high/low byte of bit-addressable direct word memory with immediate data | 4 |
| CMP(B) | Compare word (byte) operands | 2 / 4 |
| CMPD1/2 | Compare word data to GPR and decrement GPR by 1/2 | 2 / 4 |
| CMPI1/2 | Compare word data to GPR and increment GPR by 1/2 | 2 / 4 |
| PRIOR | Determine number of shift cycles to normalize direct word GPR and store result in direct word GPR | 2 |
| SHL/SHR | Shift left/right direct word GPR | 2 |

表 10 指令集概述 （续）

| Mnemonic | Description | Bytes |
|---|---|---|
| ROL/ROR | Rotate left/right direct word GPR | 2 |
| ASHR | Arithmetic (sign bit) shift right direct word GPR | 2 |
| MOV(B) | Move word (byte) data | 2 / 4 |
| MOVBS/Z | Move byte operand to word op. with sign/zero extension | 2 / 4 |
| JMPA/I/R | Jump absolute/indirect/relative if condition is met | 4 |
| JMPS | Jump absolute to a code segment | 4 |
| JB(C) | Jump relative if direct bit is set (and clear bit) | 4 |
| JNB(S) | Jump relative if direct bit is not set (and set bit) | 4 |
| CALLA/I/R | Call absolute/indirect/relative subroutine if condition is met | 4 |
| CALLS | Call absolute subroutine in any code segment | 4 |
| PCALL | Push direct word register onto system stack and call absolute subroutine | 4 |
| TRAP | Call interrupt service routine via immediate trap number | 2 |
| PUSH/POP | Push/pop direct word register onto/from system stack | 2 |
| SCXT | Push direct word register onto system stack and update register with word operand | 4 |
| RET(P) | Return from intra-segment subroutine (and pop direct word register from system stack) | 2 |
| RETS | Return from inter-segment subroutine | 2 |
| RETI | Return from interrupt service subroutine | 2 |
| SBRK | Software Break | 2 |
| SRST | Software Reset | 4 |
| IDLE | Enter Idle Mode | 4 |
| PWRDN | Unused instruction[1)] | 4 |
| SRVWDT | Service Watchdog Timer | 4 |
| DISWDT/ENWDT | Disable/Enable Watchdog Timer | 4 |
| EINIT | End-of-Initialization Register Lock | 4 |
| ATOMIC | Begin ATOMIC sequence | 2 |
| EXTR | Begin EXTended Register sequence | 2 |
| EXTP(R) | Begin EXTended Page (and Register) sequence | 2 / 4 |
| EXTS(R) | Begin EXTended Segment (and Register) sequence | 2 / 4 |

**表 10　　指令集概述 （续）**

| Mnemonic | Description | Bytes |
|---|---|---|
| NOP | Null operation | 2 |
| CoMUL/CoMAC | Multiply (and accumulate) | 4 |
| CoADD/CoSUB | Add/Subtract | 4 |
| Co(A)SHR | (Arithmetic) Shift right | 4 |
| CoSHL | Shift left | 4 |
| CoLOAD/STORE | Load accumulator/Store MAC register | 4 |
| CoCMP | Compare | 4 |
| CoMAX/MIN | Maximum/Minimum | 4 |
| CoABS/CoRND | Absolute value/Round accumulator | 4 |
| CoMOV | Data move | 4 |
| CoNEG/NOP | Negate accumulator/Null operation | 4 |

1) 由于增强的电源控制方案，XE167xM 中不使用进入电源关闭模式指令。PWRDN 将被正确解码，但不会触发任何操作。

# 4 电气参数

XE167xM 的工作范围由其电气参数定义。为了确保正常操作，在将设备集成到目标环境中时，必须遵守规定的限制。

## 4.1 常规参数

除非另有说明，否则这些参数适用于所有后续描述。

### 4.1.1 绝对最大额定条件

超过“绝对最大额定值”所列值的负载可能会对器件造成永久性损坏。这仅仅是一个载荷额定值。并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。
在绝对最大额定值过载条件下（$V_{IN} > V_{DDP}$ 或 $V_{IN} < V_{SS}$），$V_{DDP}$ 引脚相对于地（$V_{SS}$）的电压不得超过绝对最大额定值所定义的值。

**表 11 绝对最大额定参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Output current on a pin when high value is driven | $I_{OH}$ SR | -30 | – | – | mA | |
| Output current on a pin when low value is driven | $I_{OL}$ SR | – | – | 30 | mA | |
| Overload current | $I_{OV}$ SR | -10 | – | 10 | mA | 1) |
| Absolute sum of overload currents | $\Sigma\|I_{OV}\|$ SR | – | – | 100 | mA | 1) |
| Junction Temperature | $T_J$ SR | -40 | – | 150 | °C | |
| Storage Temperature | $T_{ST}$ SR | -65 | – | 150 | °C | |
| Digital supply voltage for IO pads and voltage regulators | $V_{DDPA}$, $V_{DDPB}$ SR | -0.5 | – | 6.0 | V | |
| Voltage on any pin with respect to ground (Vss) | $V_{IN}$ SR | -0.5 | – | $V_{DDP}$ + 0.5 | V | $V_{IN} \le V_{DDP(max)}$ |

1) 过载条件发生在输入电压 $V_{IN}$ 超出绝对最大额定范围时。在这种情况下，必须通过设计措施将电流限制在列出的值内。

### 4.1.2 工作条件

为确保 XE167xM 的正确运行，不得超过以下运行条件。除非另有说明，以下各节中指定的所有参数均基于这些操作条件。

*注意：典型参数值指在室温和标称供电电压下的值，最小/最大参数值还包括在最小/最大温度和最小/最大供电电压条件下的值。在适用的情况下，附加细节已作描述。*

**表12 工作条件**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Voltage Regulator Buffer Capacitance for DMP_M | $C_{EVRM}$ SR | 1.0 | – | 4.7 | µF | 1) |
| Voltage Regulator Buffer Capacitance for DMP_1 | $C_{EVR1}$ SR | 0.47 | – | 2.2 | µF | 1)2) |
| External Load Capacitance | $C_L$ SR | – | 20[3] | – | pF | pin out driver= default 4) |
| System frequency | $f_{SYS}$ SR | – | – | 100 | MHz | 5) |
| Overload current for analog inputs[6] | $I_{OVA}$ SR | -2 | – | 5 | mA | not subject to production test |
| Overload current for digital inputs[6] | $I_{OVD}$ SR | -5 | – | 5 | mA | not subject to production test |
| Overload current coupling factor for analog inputs[7] | $K_{OVA}$ CC | – | 2.5 x $10^{-4}$ | 1.5 x $10^{-3}$ | - | $I_{OV}$<0 mA; not subject to production test |
| | | – | 1.0 x $10^{-6}$ | 1.0 x $10^{-4}$ | - | $I_{OV}$>0 mA; not subject to production test |
| Overload current coupling factor for digital I/O pins | $K_{OVD}$ CC | – | 1.0 x $10^{-2}$ | 3.0 x $10^{-2}$ | | $I_{OV}$<0 mA; not subject to production test |
| | | – | 1.0 x $10^{-4}$ | 5.0 x $10^{-3}$ | | $I_{OV}$>0 mA; not subject to production test |

**表 12　　工作条件（续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Absolute sum of overload currents | $\Sigma\|I_{OV}\|$ SR | – | – | 50 | mA | not subject to production test |
| Digital core supply voltage for domain M[8] | $V_{DDIM}$ CC | – | 1.5 | – | | |
| Digital core supply voltage for domain 1[8] | $V_{DDI1}$ CC | – | 1.5 | – | | |
| Digital supply voltage for IO pads and voltage regulators | $V_{DDP}$ SR | 4.5 | – | 5.5 | V | |
| Digital ground voltage | $V_{SS}$ SR | – | 0 | – | V | |

1) 为了确保电压调节器的稳定性，必须使用陶瓷电容对EVR进行缓冲。应尽可能靠近每个 $V_{DDIM}$ 和 $V_{DDI1}$ 引脚连接推荐值的单独缓冲电容，以保持板上导线的电阻低于2欧姆。将所有 $V_{DDI1}$ 引脚连接在一起。为了确保在所有条件下（例如温度）正常工作，必须使用最小电容值。更高的电容值会略微增加启动时间。

2) 每个引脚使用一个电容器。

3) 这是参考负载。对于较大的电容负载，请使用 PAD 属性部分列出的降额系数。

4) 该时序适用于在默认电流模式下操作的引脚驱动器（复位后选择）。降低输出电流可能导致延迟增加或驱动能力降低（$C_L$）。

5) 对于特定设备类型，工作频率范围可能会缩小。这在设备代号 (...FxxL) 中标明。80 MHz 设备标记为...F80L。

6) 当超出标准操作条件时，会发生过载条件，即任何引脚上的电压超过指定范围：$V_{OV} > V_{IHmax}$ ($I_{OV} > 0$) 或 $V_{OV} < V_{ILmin}$ ($I_{OV} < 0$)。所有引脚上的输入过载电流的绝对总和不得超过50 mA。供电电压必须保持在指定范围内。在过载条件下的正常操作取决于应用。引脚 XTAL1（由 $V_{DDIM}$ 提供电源）不得发生过载条件。

7) 一个引脚上的过载电流（$I_{OV}$）会将一定的错误电流（$I_{INJ}$）注入到相邻的引脚中。这个错误电流会与相应引脚的漏电流（$I_{OZ}$）相加。错误电流的大小取决于过载电流，并由过载耦合因子（$K_{OV}$）定义。注入的错误电流的极性与产生它的过载电流的极性相反。通过一个引脚的总电流为 $|I_{TOT}| = |I_{OZ}| + (|I_{OV}| K_{OV})$。额外的错误电流可能会扭曲模拟输入上的输入电压。

8) 值由片上调节器控制

### 4.1.3 焊盘时序定义

如果没有特别说明，所有时序参数都在相应输出引脚以强驱动、快速边缘模式下测试并有效。
另请参见 **“Pad 属性” 在 第 116 页**。

### 4.1.4 参数解释

下面列出的参数包括 XE167xM 的特性及其对系统的要求。为帮助在评估设计参数时正确理解参数，在 "符号 "一栏中对参数进行了相应的标注：

**CC** (**C**ontroller **C**haracteristics):
XE167xM 的逻辑提供具有指定特性的信号。

**SR** (**S**ystem **R**equirement):
外部系统必须为 XE167xM 提供具有指定特性的信号。

## 4.2 直流参数

这些参数为静态值或平均值，在开关转换过程中可能会被暂时超出（例如 ： 输出电流）。

漏电流在很大程度上依赖于操作温度和相应引脚的电压水平。下表中的最大值适用于最不利的工作条件，即最高温度和输入电平等于供电电压。

在应用中，漏电流的值可以通过使用相应的漏电流降额公式（参见表格）并结合该应用的值来确定。

XE167xM 的引脚设计为支持多种驱动模式。直流参数规格参考了 **第 4.6.4 节** 中指定的引脚电流限制。

### 供电电压限制

XE167xM 可在 3.0 V 至 5.5 V 的宽电源电压范围内工作。不过，在运行期间，该电源电压必须保持在所选额定电源电压的 10%以内。它不能在整个工作电压范围内变化。

由于电源电压的限制，并且因为电气行为依赖于电源电压，因此这些参数在较高电压范围和较低电压范围内分别指定。

在运行期间，电源电压的最大变化速度为 dV/dt< 1 V/ms。

在开机序列中，电源电压的变化速度不得超过最大速率 dV/dt < 5 V/µs, 即目标电源电压最早需要约 1 µs.

*注意：为了限制电源电压变化的速度，建议在引脚 $V_{DDPA}$/$V_{DDPB}$ 上使用外部缓冲电容。*

### 上拉/下拉器件行为

XE167xM 的大多数引脚都具有上拉或下拉器件。对于某些特殊引脚，这些参数是固定的；而对于端口引脚，这些参数可由应用选择。

指定的电流值表示如何根据预期的信号电平来加载相应的引脚。**图13** 显示了电流路径。

图中所示的阴影电阻可能需要用来补偿与给定限值不匹配的系统拉电流。

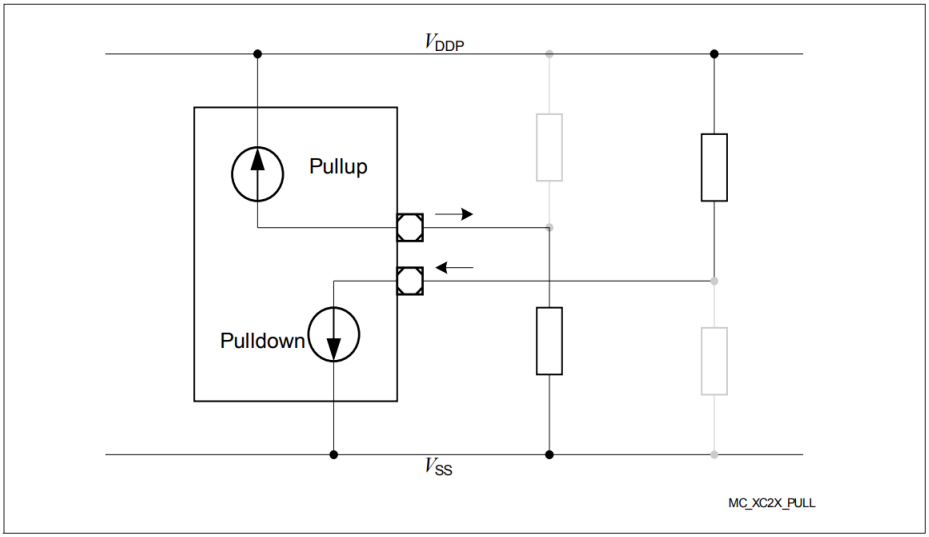


**图 13　　上拉/下拉电流定义**

### 4.2.1 直流参数

保持信号电平在此表格中指定的范围内，可以确保在不发生过载条件的情况下正常工作。对于超出这些规格的信号电平，还需要参考过载电流规格$I_{OV}$。

*注：　适用操作条件。*

**表 13** 在下列条件下有效：
$V_{DDP} \geq 4.5$ V; $V_{DDPtyp} = 5$ V; $V_{DDP} \leq 5.5$ V

**表 13　高电压范围的直流特性**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Pin capacitance (digital inputs/outputs). To be doubled for double bond pins.[1] | $C_{IO}$ CC | – | – | 10 | pF | not subject to production test |
| Input Hysteresis[2] | HYS CC | 0.11 x $V_{DDP}$ | – | – | V | $R_S$=0 Ohm |
| Absolute input leakage current on pins of analog ports[3] | $\|I_{OZ1}\|$ CC | – | 10 | 200 | nA | $V_{IN}$>0 V; $V_{IN}$< $V_{DDP}$ |
| Absolute input leakage current for all other pins. To be doubled for double bond pins.[3][1][4] | $\|I_{OZ2}\|$ CC | – | 0.2 | 5 | µA | $T_J \leq$ 110 °C; $V_{IN}$< $V_{DDP}$; $V_{IN}$> $V_{SS}$ |
| | | – | 0.2 | 15 | µA | $T_J \leq$ 150 °C; $V_{IN}$< $V_{DDP}$; $V_{IN}$> $V_{SS}$ |
| Pull Level Force Current[5] | $\|I_{PLF}\|$ SR | 250 | – | – | µA | [6] |
| Pull Level Keep Current[7] | $\|I_{PLK}\|$ SR | – | – | 30 | µA | [6] |
| Input high voltage (all except XTAL1) | $V_{IH}$ SR | 0.7 x $V_{DDP}$ | – | $V_{DDP}$ + 0.3 | V | |
| Input low voltage (all except XTAL1) | $V_{IL}$ SR | -0.3 | – | 0.3 x $V_{DDP}$ | V | |
| Output High voltage[8] | $V_{OH}$ CC | $V_{DDP}$ - 1.0 | – | – | V | $I_{OH} \geq I_{OHmax}$ |
| | | $V_{DDP}$ - 0.4 | – | – | V | $I_{OH} \geq I_{OH\ nom}$ [9] |

**表 13 高电压范围的直流特性（续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Output Low Voltage[8)] | $V_{OL}$ CC | – | – | 1.0 | V | $I_{OL} \le I_{OLmax}$ |
| | | – | – | 0.4 | V | $I_{OL} \le I_{OLnom}$ [9)] |

1) 因为每个双连接引脚连接到两个焊盘（标准焊盘和高速焊盘），所以其值是正常值的两倍。有关受影响引脚的列表，请参阅第 2 章中的引脚定义表。

2) 未经生产测试 - 通过设计/表征进行验证。已实现滞回效应，以避免因内部地弹导致的亚稳态和切换。它无法在所有条件下抑制外部系统噪声引起的切换。

3) 如果由于地弹导致输入电压超过相应的电源电压（$V_{IN} < V_{SS}$）或电源波动（$V_{IN} > V_{DDP}$），可能会有一定电流流经保护二极管。此电流会增加漏电流。如果过载电流流经相邻引脚，额外的误差电流（$I_{INJ}$）也会流动。请参阅过载耦合因子 $K_{OV}$ 的定义。

4) 给定的值是最坏情况下的值。在生产测试中，只有在125°C时测试此漏电流；其他值则通过相关性确保。对于降额，请参考以下描述：根据温度（$T_J$=结点温度[°C]）的漏电流降额：$I_{OZ}$ = 0.05 x $e^{(1.5 + 0.028 \times TJ>)}$ [µA]。例如，在95°C的温度下，结果漏电流为3.2 µA。根据电压水平（DV = $V_{DDP}$ - $V_{PIN}$ [V]）的漏电流降额：$I_{OZ}$ = $I_{OZtempmax}$ - (1.6 x DV) (µA]。该电压降额公式是一个近似值，适用于最高温度。

5) 通过该引脚驱动指定的最小电流，以改变由启用的上拉设备驱动的默认引脚电平：$V_{PIN} \le V_{ILmax}$ 用于上拉； $V_{PIN} \ge V_{IHmin}$ 用于下拉。

6) 这些值适用于专用引脚中的固定上拉器件以及在通用 I/O 引脚中用户可选的上拉器件。

7) 通过此引脚的电流应限制在所示值，以便使启用的上拉器件能够保持默认的引脚电平： $V_{PIN} \ge V_{IHmin}$ 用于上拉；$V_{PIN} \le V_{ILmax}$ 用于下拉。

8) 端口驱动器的最大输出电流取决于选择的输出驱动模式。此规格不适用于切换到开漏模式的输出。在这种情况下，相应的输出将处于浮空状态，电压由外部电路决定。

9) 一般来说，随着输出电流的减小，输出电平接近相应的电源电平 ($V_{OL}$->$V_{SS}$, $V_{OH}$->$V_{DDP}$)。但是，只有名义输出电流的电平经过验证。

### 4.2.2 低电压区域的直流参数

保持信号电平在此表格中指定的范围内，可以确保在不发生过载条件的情况下正常工作。对于超出这些规格的信号电平，还需要参考过载电流规格$I_{OV}$。

*注：　适用操作条件。*

**表 14** 在以下条件下有效：
$V_{DDP} \geq 3.0$ V; $V_{DDPtyp} = 3.3$ V; $V_{DDP} \leq 4.5$ V

**表 14　低电压范围的直流特性**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Pin capacitance (digital inputs/outputs). To be doubled for double bond pins.[1] | $C_{IO}$ CC | – | – | 10 | pF | not subject to production test |
| Input Hysteresis[2] | HYS CC | 0.07 x $V_{DDP}$ | – | – | V | $R_S$=0 Ohm |
| Absolute input leakage current on pins of analog ports[3] | $\|I_{OZ1}\|$ CC | – | 10 | 200 | nA | $V_{IN} > V_{SS}$; $V_{IN} < V_{DDP}$ |
| Absolute input leakage current for all other pins. To be doubled for double bond pins.[3][1][4] | $\|I_{OZ2}\|$ CC | – | 0.2 | 2.5 | µA | $T_J \leq 110$ °C; $V_{IN} < V_{DDP}$; $V_{IN} > V_{SS}$ |
| | | – | 0.2 | 8 | µA | $T_J \leq 150$ °C; $V_{IN} < V_{DDP}$; $V_{IN} > V_{SS}$ |
| Pull Level Force Current[5] | $\|I_{PLF}\|$ SR | 150 | – | – | | [6] |
| Pull Level Keep Current[7] | $\|I_{PLK}\|$ SR | – | – | 10 | µA | [6] |
| Input high voltage (all except XTAL1) | $V_{IH}$ SR | 0.7 x $V_{DDP}$ | – | $V_{DDP}$ + 0.3 | V | |
| Input low voltage (all except XTAL1) | $V_{IL}$ SR | -0.3 | – | 0.3 x $V_{DDP}$ | V | |
| Output High voltage[8] | $V_{OH}$ CC | $V_{DDP}$ - 1.0 | – | – | V | $I_{OH} \geq I_{OHmax}$ |
| | | $V_{DDP}$ - 0.4 | – | – | V | $I_{OH} \geq I_{OHnom}$ [9] |

**表 14　　低电压范围的直流特性（续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Output Low Voltage[8)] | $V_{OL}$ CC | – | – | 1.0 | V | $I_{OL} \le I_{OLmax}$ |
| | | – | – | 0.4 | V | $I_{OL} \le I_{OLnom}$ [10)] |

1) 因为每个双连接引脚连接到两个焊盘（标准焊盘和高速焊盘），所以其值是正常值的两倍。有关受影响引脚的列表，请参阅第 2 章中的引脚定义表。

2) 未经生产测试 - 通过设计/表征进行验证。已实现滞回效应，以避免因内部地弹导致的亚稳态和切换。它无法在所有条件下抑制外部系统噪声引起的切换。

3) 如果由于地弹导致输入电压超过相应的电源电压（$V_{IN} < V_{SS}$）或电源波动（$V_{IN} > V_{DDP}$），可能会有一定电流流经保护二极管。此电流会增加漏电流。如果过载电流流经相邻引脚，额外的误差电流（$I_{INJ}$）也会流动。请参阅过载耦合因子 $K_{OV}$ 的定义。

4) 给定的值是最坏情况下的值。在生产测试中，只有在125°C时测试此漏电流；其他值则通过相关性确保。对于降额，请参考以下描述：根据温度（$T_J$=结点温度[°C]）的漏电流降额：$I_{OZ}$ = 0.05 x $e^{(1.5 + 0.028 \times TJ>)}$ [µA]。例如，在95°C的温度下，结果漏电流为3.2 µA。根据电压水平（DV = $V_{DDP}$ - $V_{PIN}$ [V]）的漏电流降额：$I_{OZ}$ = $I_{OZtempmax}$ - (1.6 x DV) (µA]。该电压降额公式是一个近似值，适用于最高温度。

5) 通过此引脚驱动指示的最小电流，以改变由启用的上拉设备驱动的默认引脚电平：$V_{PIN}$ <= $V_{IL}$ 用于上拉；$V_{PIN}$ >= $V_{IH}$ 用于下拉。

6) 这些值适用于专用引脚中的固定上拉器件以及在通用 I/O 引脚中用户可选的上拉器件。

7) 限制通过此引脚的电流为指示值，以便启用的上拉设备能够保持默认的引脚电平：$V_{PIN}$ >= $V_{IH}$ 用于上拉；$V_{PIN}$ <= $V_{IL}$ 用于下拉。

8) 端口驱动器的最大输出电流取决于选择的输出驱动模式。此规格不适用于切换到开漏模式的输出。在这种情况下，相应的输出将处于浮空状态，电压由外部电路决定。

9) 通常情况下，随着输出电流的减小，输出电平会接近各自的电源电平（VOL->VSS，VOH->VDDP）。然而，仅验证标称输出电流的电平。

10) 一般来说，随着输出电流的减小，输出电平接近相应的电源电平 ($V_{OL}$->$V_{SS}$, $V_{OH}$->$V_{DDP}$)。但是，只有名义输出电流的电平经过验证。

### 4.2.3 功耗

XE167xM 消耗的功率取决于多个因素，例如电源电压、工作频率、活动电路和工作温度。这里指定的功耗由两个部分组成：

- 开关电流$I_S$取决于设备的活动
- 泄漏电流$I_{LK}$取决于设备温度

为了确定实际功耗，始终需要考虑两个部分：开关电流$I_S$和泄漏电流 $I_{LK}$必须相加：

$I_{DDP} = I_S + I_{LK}$.

*注意：功耗值未经过生产测试。它们通过设计/表征进行验证。*
*为了确定外部电源的总功耗，也必须考虑引脚驱动电流。*

给定的功耗参数及其值是指特定的工作条件：

- **Active mode**:
  正常操作，即外设处于活动状态，代码从闪存中执行。
- **Stopover mode**:
  晶体振荡器和相位锁定环（PLL）停止，闪存关闭，DMP_1域中的时钟停止。

*注意：最大值涵盖了所有生产设备的完整指定工作范围。*
*典型值指的是在典型条件下的平均设备，例如标称供电电压、室温、面向应用的活动。*
*电源复位后，$V_{DDIM}$及$V_{DDI1}$的去耦电容器将被最大电流充电。*

有关更多信息，请参阅 **第 5.2 节, 热管理注意事项**。

*注：　适用操作条件。*

**表 15　开关功率消耗**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Power supply current (active) with all peripherals active and EVVRs on | $I_{SACT}$ CC | – | 10 + 0.6 x $f_{SYS}$ 1) | 10 + 1.0 x $f_{SYS}$ 1) | mA | 2)3) |
| Power supply current in stopover mode, EVVRs on | $I_{SSO}$ CC | – | 0.7 | 2.0 | mA | |

1) $f_{SYS}$ 单位为 MHz。

2) 焊盘电源电压引脚（$V_{DDPB}$）为片上EVVR提供输入电流，并为引脚输出驱动器提供电流。由于驱动器输入级的切换，会消耗少量电流。
   在快速启动模式下（闪存模块未激活），典型电流降低为 3 + 0.6 x $f_{SYS}$。
3) 请考虑在“活动模式电源电流”章节中描述的附加条件。

### 活动模式电源电流

活动模式下的实际电源电流不仅取决于系统频率，还取决于XE167xM子系统的配置。

除了设备逻辑消耗的功率外，电源引脚还提供流经引脚输出驱动器的电流。

由于驱动器的输入级被切换，消耗了少量电流。

IO电源域可以单独供电。电源域 A（$V_{DDPA}$）为 A/D 转换器和端口 6 提供电源。电源域 B（$V_{DDPB}$）为片上 EVVR和所有其他端口提供电源。

在操作过程中，域 A 从$V_{DDPA}$中为每个活动的 A/D 转换器模块提供最大 1.5 mA 的电流。

在快速启动模式下（闪存模块未激活），典型电流降低为（3 + 0.6×$f_{SYS}$）毫安。

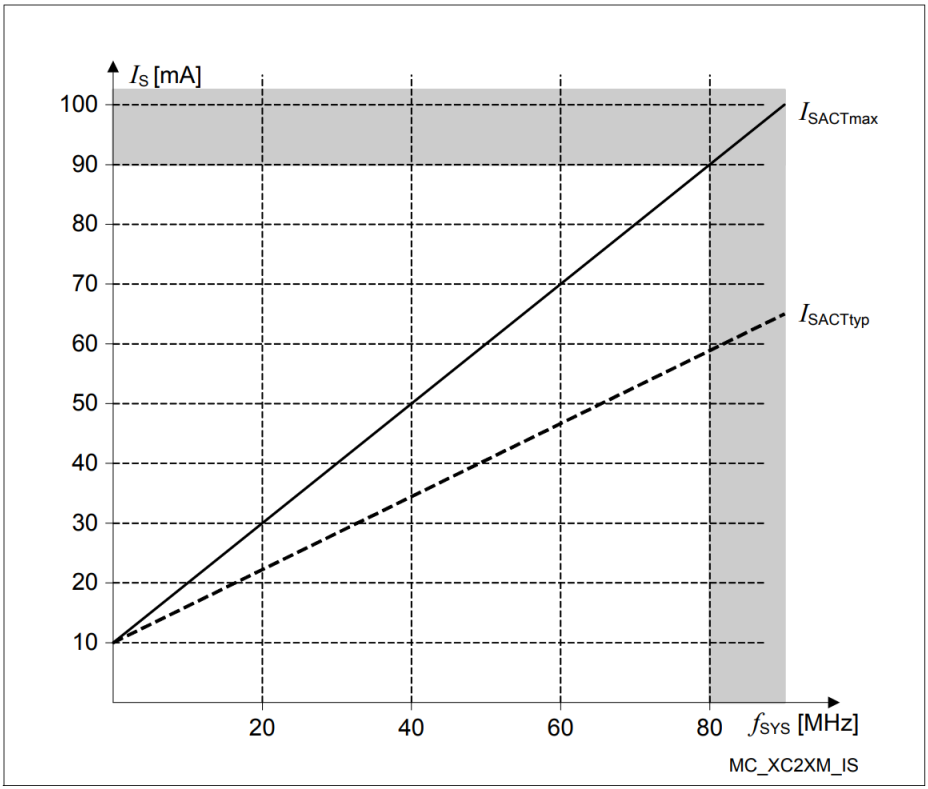


**图14　　活动模式下的供电电流与频率的关系**

*注：　　适用操作条件。*

**表16 漏电功耗**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Leakage supply current (DMP_1 powered)[1] | $I_{LK1}$ CC | – | 0.03 | 0.05 | mA | $T_J$= 25 °C[1] |
| | | – | 0.5 | 1.3 | mA | $T_J$= 85 °C[1] |
| | | – | 2.1 | 6.2 | mA | $T_J$= 125 °C[1] |
| | | – | 4.4 | 13.7 | mA | $T_J$= 150 °C[1] |

1) 所有输入（包括配置为输入的引脚）都设置为 0 V 到 0.1 V 或 $V_{DDP}$ - 0.1 V 到 $V_{DDP}$，并且所有输出（包括配置为输出的引脚）都断开。

*注意：一部分泄漏电流流经域DMP_A（引脚$V_{DDPA}$）。该电流可以计算为*$I\ 000 \times e^{-\alpha}$，其中
$\alpha = 5\ 000 / (273 + 1.3 \times T_J)$。
对于$T_J$ = 150°C，电流为160$\mu$A。

漏电功耗可根据以下公式计算：

$I_{LK0} = 500\ 000 \times e^{-\alpha}$, with $\alpha = 3\ 000 / (273 + B \times T_J)$

参数 B 必须替换为

- 典型值为 1.0
- 1.6 为最大值

$I_{LK1} = 600\ 000 \times e^{-\alpha}$, with $\alpha = 5\ 000 / (273 + B \times T_J)$

参数 B 必须替换为

- 典型值为 1.0
- 1.3 为最大值

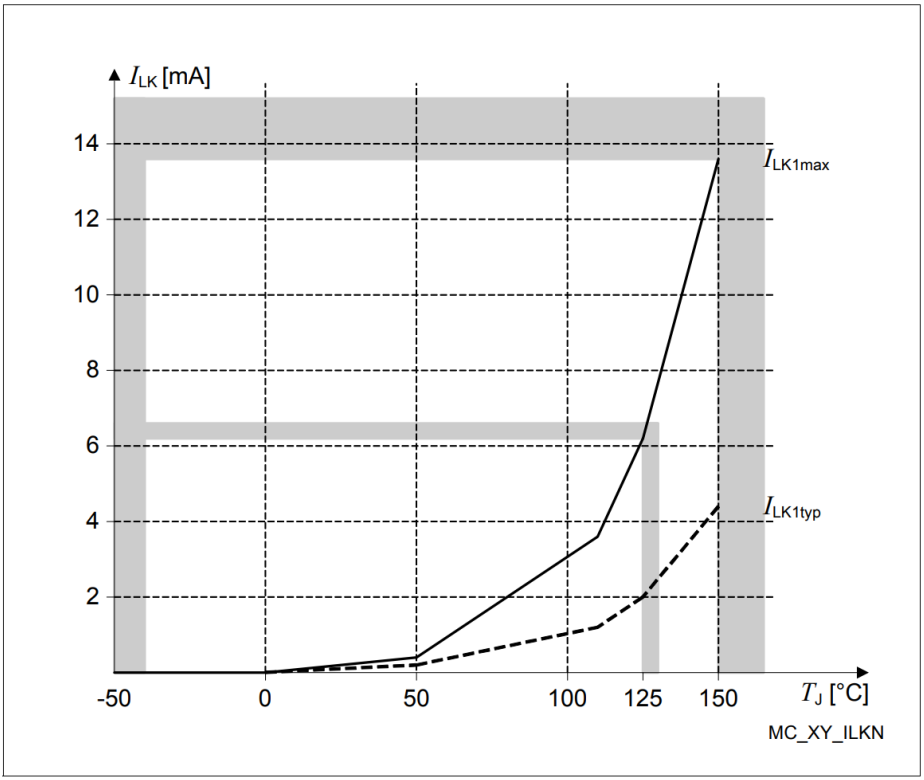


**图15　　泄漏供电电流与温度的关系**

## 4.3 模拟/数字转换器参数

这些参数描述了实现最佳 ADC 性能的条件。

*注：　适用操作条件。*

**表 17　ADC 参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Switched capacitance at an analog input | $C_{AINSW}$ CC | – | 4 | 5 | pF | not subject to production test[1)] |
| Total capacitance at an analog input | $C_{AINT}$ CC | – | 10 | 12 | pF | not subject to production test[1)] |
| Switched capacitance at the reference input | $C_{AREFSW}$ CC | – | 7 | 9 | pF | not subject to production test[1)] |
| Total capacitance at the reference input | $C_{AREFT}$ CC | – | 13 | 15 | pF | not subject to production test[1)] |
| Differential Non-Linearity Error | $\lvert EA_{DNL}\rvert$ CC | – | 0.8 | 1.0 | LSB | not subject to production test |
| Gain Error | $\lvert EA_{GAIN}\rvert$ CC | – | 0.4 | 0.8 | LSB | not subject to production test |
| Integral Non-Linearity | $\lvert EA_{INL}\rvert$ CC | – | 0.8 | 1.2 | LSB | not subject to production test |
| Offset Error | $\lvert EA_{OFF}\rvert$ CC | – | 0.5 | 0.8 | LSB | not subject to production test |
| Analog clock frequency | $f_{ADCI}$ SR | 0.5 | – | 20 | MHz | Upper voltage range |
| | | 0.5 | – | 16.5 | MHz | Lower voltage range |
| Input resistance of the selected analog channel | $R_{AIN}$ CC | – | – | 2 | kOhm | not subject to production test[1)] |
| Input resistance of the reference input | $R_{AREF}$ CC | – | – | 2 | kOhm | not subject to production test[1)] |

**表 17　　ADC 参数（续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Broken wire detection delay against VAGND[2] | $t_{BWG}$ CC | – | – | 50 | [3] | |
| Broken wire detection delay against VAREF[2] | $t_{BWR}$ CC | – | – | 50 | [4] | |
| Conversion time for 8-bit result[2] | $t_{c8}$ CC | (11 + STC) x $t_{ADCI}$ + 2 x $t_{SYS}$ | | | | |
| Conversion time for 10-bit result[2] | $t_{c10}$ CC | (13 + STC) x $t_{ADCI}$ + 2 x $t_{SYS}$ | | | | |
| Total Unadjusted Error | \|TUE\| CC | – | 1 | 2 | LSB | [5] |
| Wakeup time from analog powerdown, fast mode[2] | $t_{WAF}$ CC | – | – | 4 | µs | |
| Wakeup time from analog powerdown, slow mode[2] | $t_{WAS}$ CC | – | – | 15 | µs | |
| Analog reference ground | $V_{AGND}$ SR | $V_{SS}$ - 0.05 | – | 1.5 | V | |
| Analog input voltage range | $V_{AIN}$ SR | $V_{AGND}$ | – | $V_{AREF}$ | V | [6] |
| Analog reference voltage | $V_{AREF}$ SR | $V_{AGND}$ + 1.0 | – | $V_{DDPA}$ + 0.05 | V | [5] |

1) 这些参数值涵盖了完整的工作范围。在宽松的工作条件下（室温、标称供电电压），典型值可以用于计算。

2) 该参数包括采样时间（还包括由STC指定的附加采样时间）、确定数字结果的时间以及将转换结果加载到结果寄存器的时间。基本时钟的值$t_{ADCI}$取决于编程。

3) 与$V_{AGND}$的断线检测延迟以连续预充电周期的数量来测量，转换速率不超过500 µs。结果低于10%（$66_H$）。

4) 与$V_{AREF}$的断线检测延迟以连续预充电周期的数量来测量，转换速率不超过10 µs。此功能受泄漏电流的影响，特别是在高温下。结果高于80%（$332_H$）。

5) TUE在$V_{AREF}$ = $V_{DDPA}$ = 5.0 V, $V_{AGND}$ = 0 V时进行测试。对于定义电压范围内的其他电压，设计时已验证该值。仅当模拟端口引脚的输入过载电流的绝对总和（请参见$I_{OV}$规格）不超过10 mA，并且$V_{AREF}$和$V_{AGND}$在测量期间保持稳定时，所指定的TUE才有效。

6) $V_{AIN}$可能超过$V_{AGND}$或$V_{AREF}$，但不超过绝对最大额定值。然而，在这些情况下，转换结果将分别为$X000_H$或$X3FF_H$。

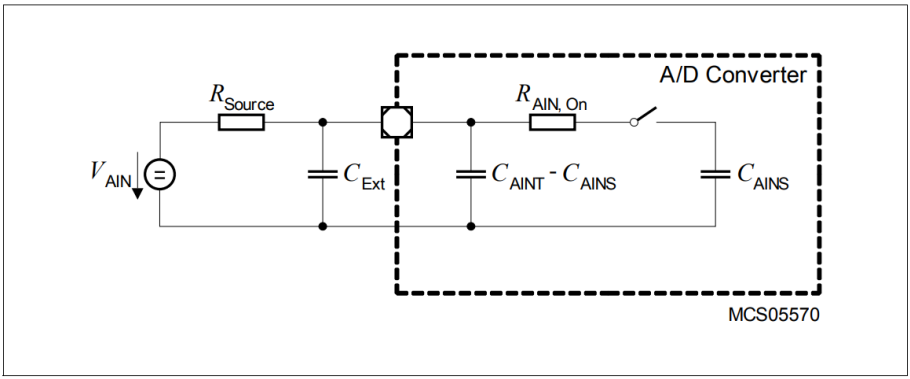


**图16　　模拟输入的等效电路**

XE167xM的A/D转换器的采样时间和转换时间是可编程的。上述时序可以使用表18进行计算。

选择分频器值时，$f_{ADCI}$的限制值不得被超过。

**表18　　A/D转换器计算表**

| GLOBCTR.5-0 (DIVA) | A/D Converter Analog Clock $f_{ADCI}$ | | INPCRx.7-0 (STC) | Sample Time[1] $t_S$ |
|---|---|---|---|---|
| $000000_B$ | $f_{SYS}$ | | $00_H$ | $t_{ADCI} \times 2$ |
| $000001_B$ | $f_{SYS} / 2$ | | $01_H$ | $t_{ADCI} \times 3$ |
| $000010_B$ | $f_{SYS} / 3$ | | $02_H$ | $t_{ADCI} \times 4$ |
| : | $f_{SYS}$ / (DIVA+1) | | : | $t_{ADCI} \times$ (STC+2) |
| $111110_B$ | $f_{SYS} / 63$ | | $FE_H$ | $t_{ADCI} \times 256$ |
| $111111_B$ | $f_{SYS} / 64$ | | $FF_H$ | $t_{ADCI} \times 257$ |

1）如果断线检测启用（由于预采样阶段），则所选的采样时间将加倍。

**转换器时序示例 A：**

假设：　$f_{SYS}$ = 80 MHz (即 $t_{SYS}$ = 12.5 ns)，DIVA = $03_H$，STC = $00_H$

模拟时钟　$f_{ADCI}$ = $f_{SYS}$ / 4 = 20 MHz，即 $t_{ADCI}$ = 50 ns

采样时间　$t_S$ = $t_{ADCI} \cdot 2$ = 100 ns

**转换 10 位：**

$t_{C10}$ = 13 × $t_{ADCI}$ + 2 × $t_{SYS}$ = 13 × 50 ns + 2 × 12.5 ns = 0.675 µs

**转换 8 位：**

$t_{C8}$ = 11 × $t_{ADCI}$ + 2 × $t_{SYS}$ = 11 × 50 ns + 2 × 12.5 ns = 0.575 µs

**转换器时序示例 B：**

假设：　$f_{SYS}$ = 40 MHz（即 $t_{SYS}$ = 25 ns），DIVA = $02_H$，STC = $03_H$

模拟时钟　$f_{ADCI}$ = $f_{SYS}$ / 3 = 13.3 MHz，即 $t_{ADCI}$ = 75 ns

采样时间　$t_S = t_{ADCI} \times 5$ = 375 ns

**转换 10 位：**

$t_{C10}$ = 16 × $t_{ADCI}$ + 2 × $t_{SYS}$ = 16 × 75 ns + 2 × 25 ns = 1.25 µs

**转换 8 位：**

$t_{C8}$ = 14 × $t_{ADCI}$ + 2 × $t_{SYS}$ = 14 × 75 ns + 2 × 25 ns = 1.10 µs

## 4.4 系统参数

以下参数说明了将 XE167xM 集成到应用系统时的几个重要方面。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注：　适用操作条件。*

**表 19　各种系统参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Short-term deviation of internal clock source frequency[1] | $\Delta f_{INT}$ CC | -1 | – | 1 | % | $\Delta T_J \leq 10$ °C |
| Internal clock source frequency | $f_{INT}$ CC | 4.8 | 5.0 | 5.2 | MHz | |
| Wakeup clock source frequency[2] | $f_{WU}$ CC | 400 | – | 700 | kHz | FREQSEL= 00 |
| | | 210 | – | 390 | kHz | FREQSEL= 01 |
| | | 140 | – | 260 | kHz | FREQSEL= 10 |
| | | 110 | – | 200 | kHz | FREQSEL= 11 |
| Startup time from power-on with code execution from Flash | $t_{SPO}$ CC | 1.8 | 2.2 | 2.7 | ms | $f_{WU}$ = 500 kHz |
| Startup time from stopover mode with code execution from PSRAM | $t_{SSO}$ CC | 11 / $f_{WU}$ [3] | – | 12 / $f_{WU}$ [3] | µs | |
| Core voltage (PVC) supervision level | $V_{PVC}$ CC | $V_{LV}$ - 0.03 | $V_{LV}$ | $V_{LV}$ + 0.07 [4] | V | [5] |
| Supply watchdog (SWD) supervision level | $V_{SWD}$ CC | $V_{LV}$ - 0.10[6] | $V_{LV}$ | $V_{LV}$ + 0.15 | V | Lower voltage range[5] |
| | | $V_{LV}$ - 0.15 | $V_{LV}$ | $V_{LV}$ + 0.15 | V | Upper voltage range[5] |

1) 短期频率偏差指的是在数小时的时间范围内的频率变化，且是相对于该时间段开始时的当前频率进行测量的。该参数用于确定重新触发LIN同步的时间跨度。

2) 该参数针对最快和最慢选择进行测试。中等选择不进行生产测试——通过设计/表征验证。

3) $f_{WU}$ 单位是 MHz

4) 该值包括约 50 mV 的滞回电压（上升电压时）。

5) $V_{LV}$ = 选定的 SWD 电压电平

6) 限值 $V_{LV}$ - 0.10 V 对 OK1 电平有效。OK2 电平的限值是 $V_{LV}$ - 0.15 V.

### $t_{SPO}$时序测量条件

从**Power-On**到**Base**模式的转换时间称为$t_{SPO}$。其测量条件如下：

前提条件：焊盘供电有效，即$V_{DDPB}$高于3.0V，并且即使XE167xM正在启动时，仍保持高于3.0V。没有连接调试器。

启动条件：上电复位被移除（PORST = 1）。

结束条件：外部引脚切换，由启动后执行来自FLASH的第一个用户指令触发。

### 用于$t_{SSO}$时序测量的条件

从**Stopover**到**Stopover Waked-Up**模式的转换时间称为$t_{SSO}$。其测量条件如下：

前提条件：已按照《程序员指南》中定义的程序进入**Stopover**模式。

启动条件：ESR引脚上的引脚切换触发启动序列。

结束条件：启动后，由来自PSRAM的第一个用户指令执行引起的外部引脚切换。

### SWD和PVC配置寄存器中LEVxV位域的编码

**表20　　SWDCON0寄存器中LEVxV位域的编码**

| Code | Default Voltage Level | Notes[1)] |
|---|---|---|
| $0000_B$ | 2.9 V | |
| $0001_B$ | 3.0 V | LEV1V: reset request |
| $0010_B$ | 3.1 V | |
| $0011_B$ | 3.2 V | |
| $0100_B$ | 3.3 V | |
| $0101_B$ | 3.4 V | |
| $0110_B$ | 3.6 V | |
| $0111_B$ | 4.0 V | |
| $1000_B$ | 4.2 V | |

表 20 寄存器 SWDCON0 中位字段 LEVxV 的编码（续）

| Code | Default Voltage Level | Notes[1)] |
|---|---|---|
| $1001_B$ | 4.5 V | LEV2V: no request |
| $1010_B$ | 4.6 V | |
| $1011_B$ | 4.7 V | |
| $1100_B$ | 4.8 V | |
| $1101_B$ | 4.9 V | |
| $1110_B$ | 5.0 V | |
| $1111_B$ | 5.5 V | |

1) 在上电复位后，自动选择指示的默认电平。

表21 PVCyCONz寄存器中LEVxV位域的编码

| Code | Default Voltage Level | Notes[1)] |
|---|---|---|
| $000_B$ | 0.95 V | |
| $001_B$ | 1.05 V | |
| $010_B$ | 1.15 V | |
| $011_B$ | 1.25 V | |
| $100_B$ | 1.35 V | LEV1V: reset request |
| $101_B$ | 1.45 V | LEV2V: interrupt request[2)] |
| $110_B$ | 1.55 V | |
| $111_B$ | 1.65 V | |

1) 在上电复位后，自动选择指示的默认电平。

2) 由于嵌入式电压调节器（EVR）和PVC电平的公差变化，即使核心电压在正常范围内，仍可能会意外触发此中断。因此，建议不要使用该警告电平。

## 4.5 闪存参数

XE167xM出厂时所有Flash扇区已被擦除，且未安装任何保护。

XE167xM的Flash存储器的数据保持时间（即存储的数据仍可被读取的时间）取决于Flash存储器的擦除和编程次数。

*注意：这些参数不是通过生产测试验证的，而是通过设计和/或表征来确认。*

*注：　适用操作条件。*

**表 22 闪存参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Parallel Flash module program/erase limit depending on Flash read activity | $N_{PP}$ SR | – | – | 4[1] | | $N_{FL_RD} \leq 1$, $f_{SYS} \leq 80$ MHz |
| | | – | – | 1[2] | | $N_{FL_RD} > 1$ |
| Flash erase endurance for security pages | $N_{SEC}$ SR | 10 | – | – | cycles | $t_{RET} \geq 20$ years |
| Flash wait states[3] | $N_{WSFLASH}$ SR | 1 | – | – | | $f_{SYS} \leq 8$ MHz |
| | | 2 | – | – | | $f_{SYS} \leq 13$ MHz |
| | | 3 | – | – | | $f_{SYS} \leq 17$ MHz |
| | | 4 | – | – | | $f_{SYS} > 17$ MHz |
| Erase time per sector/page | $t_{ER}$ CC | – | 7[4] | 8.0 | ms | |
| Programming time per page | $t_{PR}$ CC | – | 3[4] | 3.5 | ms | |
| Data retention time | $t_{RET}$ CC | 20 | – | – | years | $N_{Er} \leq 1\,000$ cycles |
| Drain disturb limit | $N_{DD}$ SR | 32 | – | – | cycles | |

**表 22　　闪存参数 （续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Number of erase cycles | $N_{Er}$ SR | – | – | 15 000 | cycles | $t_{RET}$ ≥ 5 years; Valid for up to 64 user-selected sectors (data storage) |
| | | – | – | 1 000 | cycles | $t_{RET}$ ≥ 20 years |

1) 所有 Flash 模块可以在执行代码和/或从单个 Flash 模块或 PSRAM 读取数据的同时进行擦除/编程。提供代码/数据的 Flash 模块当然不能被擦除/编程。

2) 在从任何其他 Flash 模块执行代码和/或读取数据时，Flash 模块 3 可以被擦除/编程。

3) IMB_IMBCTRL.WSFLASH 的值。

4) 编程和擦除时间取决于内部闪存时钟源。控制状态机需要几个系统时钟周期。只有在系统时钟频率极低的情况下，所述持续时间才会明显增加。

对 XE167xM 闪存模块的访问由 IMB 控制。内置预取机制优化了顺序访问的性能。

闪存访问等待状态只影响非顺序访问。由于预取机制，顺序访问的性能（取决于软件结构）仅部分受到等待状态的影响。

## 4.6 交流参数

这些参数描述了 XE167xM 的动态行为。

### 4.6.1 测试波形

这些值用于表征和生产测试（除引脚 XTAL1 外）。

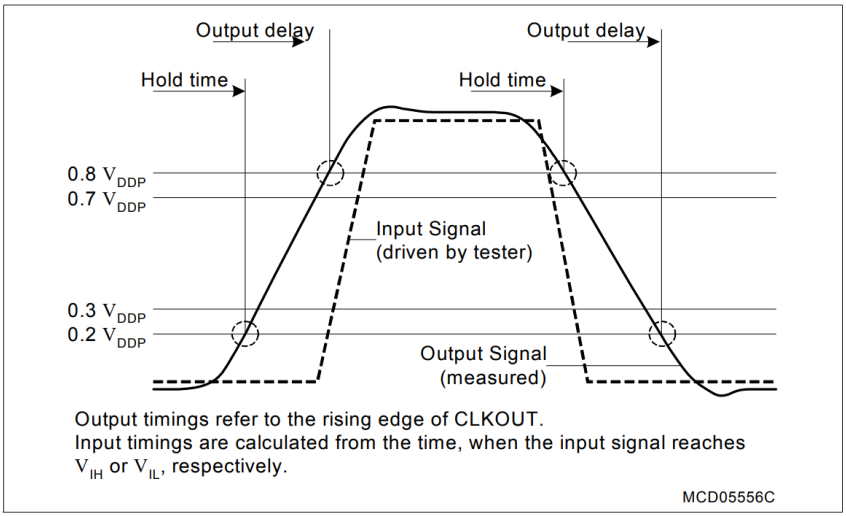


**图 17 输入输出波形**

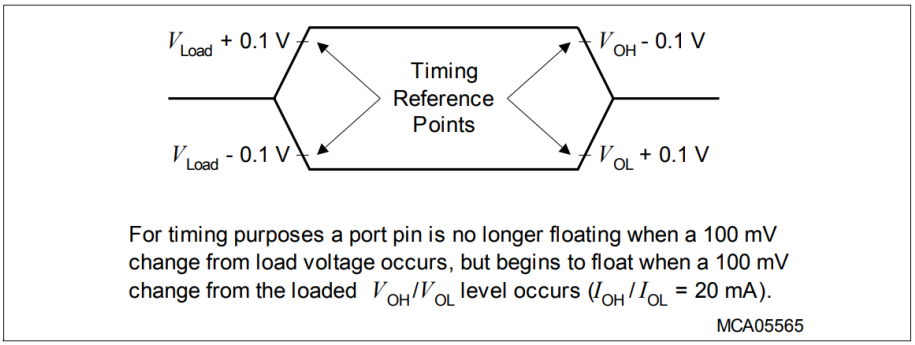


**图 18 浮动波形**

### 4.6.2 内部时序定义

XE167xM 的内部操作由内部系统时钟控制$f_{SYS}$。由于系统时钟信号$f_{SYS}$可以通过多种内部和外部来源以及不同的机制生成，因此系统时钟周期（TCS）的持续时间及其变化（以及衍生的外部时序）取决于生成$f_{SYS}$的机制。这在计算 XE167xM 的时序时必须考虑。

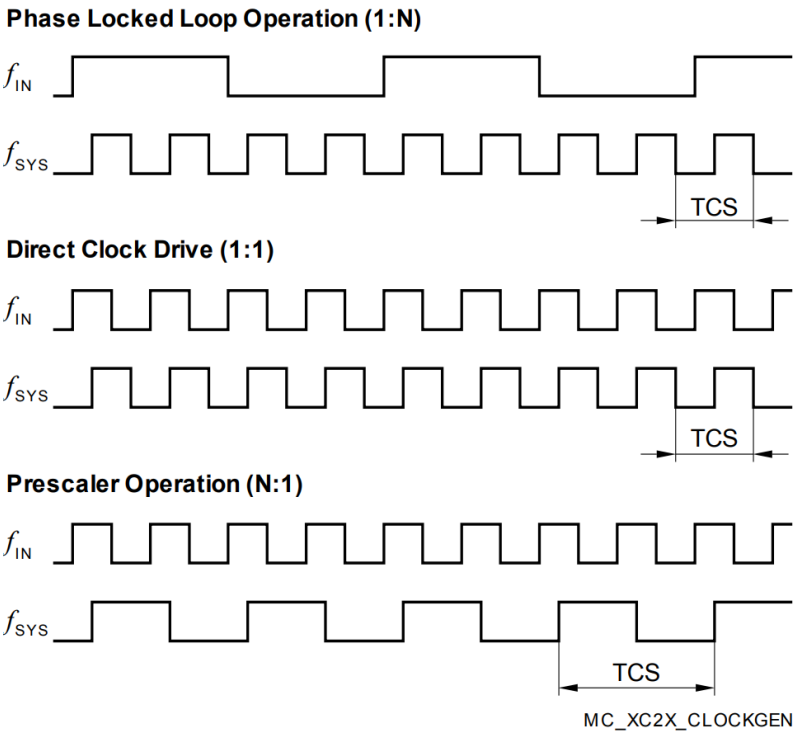


**图 19 系统时钟的生成机制**

*注意：图19 中所示的PLL 操作示例使用了1:4 的PLL 因子；而分频器操作示例使用了2:1 的分频因子。*

外部时序的规格（交流特性）取决于系统时钟周期（TCS）。

**直接驱动**

当选择直接驱动操作时（SYSCON0.CLKSEL = $11_B$），系统时钟直接来自输入时钟信号 CLKIN1：$f_{SYS} = f_{IN}$.

系统时钟$f_{SYS}$的频率与输入时钟$f_{IN}$的频率相同。在这种情况下，$f_{SYS}$的高电平和低电平时间由输入时钟$f_{IN}$的占空比决定。

从 XTAL1 [1]输入选择旁路操作并使用 1 的分频因子，将产生类似的配置。

**预分频器操作**

当选择分频器操作时（SYSCON0.CLKSEL = $10_B$，PLLCON0.VCOBY = $1_B$），系统时钟可以通过晶体振荡器（输入时钟信号 XTAL1）或通过输出分频器 K1（= K1DIV+1）从内部时钟源得到：$f_{SYS} = f_{OSC} / K1$.

如果选择分频因子为 1，$f_{SYS}$的频率等于$f_{OSC}$的频率。在这种情况下，$f_{SYS}$的高电平和低电平时间由输入时钟$f_{OSC}$(外部或内部)的占空比决定。

选择分频因子 K1 的最大值将得到最低的系统时钟频率：$f_{SYS} = f_{OSC} / 1024$.

### 4.6.2.1 锁相环 (PLL)

当选择 PLL 操作时（SYSCON0.CLKSEL = $10_B$，PLLCON0.VCOBY = $0_B$），片上锁相环被启用并提供系统时钟。PLL 将输入频率乘以因子**F**($f_{SYS} = f_{IN} \times$ **F**)。
**F**的计算是根据输入分频器 P（= PDIV+1）和乘法因子 N（=NDIV+1），以及输出分频器 K2（= K2DIV+1）：
(**F** = N / (P × K2)).

输入时钟可以来自外部源（XTAL1）或片上时钟源。

PLL 电路将系统时钟与输入时钟同步。该同步过程平稳进行，以确保系统时钟频率不会突然变化。

对输入时钟的调整持续改变$f_{SYS}$的频率，使其锁定到$f_{IN}$。这种微小的变化导致$f_{SYS}$的抖动，从而影响单个 TCS 的持续时间。

1) XTAL1 上的电压必须符合核心供电电压$V_{DDIM}$。

交流特性中的时序指的是 TCS。时序必须在给定条件下使用最小的 TCS 进行计算。

TCS 的实际最小值取决于 PLL 的抖动。由于 PLL 不断调整其输出频率以对应输入频率（来自晶体或振荡器），因此累积的抖动是有限的。这意味着，超过一个 TCS 的周期的相对偏差低于单个 TCS 的偏差（参见公式和**图 20**）。

这对于使用等待状态的总线周期以及定时器、串行接口等的操作尤为重要。对于所有较慢的操作和较长的周期（例如：脉冲列生成或测量、较低的波特率等），PLL 抖动引起的偏差可以忽略不计。

累积的 PLL 抖动值取决于在相应时间框架内连续 VCO 输出周期的数量。VCO输出时钟除以输出分频器 K2 用于生成系统时钟信号$f_{SYS}$。VCO 周期的数量为 K2 × **T**，其中**T** 是连续 $f_{SYS}$ 周期（TCS）的数量。

最大累积抖动（长期抖动）$D_{Tmax}$的定义如下：

$$\mathbf{D_{Tmax}\ [ns]} = \pm(220 / (K2 \times f_{SYS}) + 4.3)$$

此最大值适用，如果时钟周期数 T > （$f_{SYS}$ / 1.2）或分频器值 K2 > 17。

在所有其他情况下，对于时间框架**T** × TCS，累积抖动 $D_T$由以下公式确定：

$$\mathbf{D_T\ [ns]} = D_{Tmax} \times [(1 - 0.058 \times K2) \times (T - 1) / (0.83 \times f_{SYS} - 1) + 0.058 \times K2]$$

$f_{SYS}$ 在所有公式中以 [MHz] 为单位。

例如，对于 3 个 TCS 周期 @ 33 MHz 且 K2 = 4：

$D_{max} = \pm(220 / (4 \times 33) + 4.3) = 5.97$ ns (在本例中不直接适用!)

$D_3 = 5.97 \times [(1 - 0.058 \times 4) \times (3 - 1) / (0.83 \times 33 - 1) + 0.058 \times 4]$
$= 5.97 \times [0.768 \times 2 / 26.39 + 0.232]$
$= 1.7$ ns

例如，对于 3 个 TCS 周期 @ 33 MHz 且 K2 = 2：

$D_{max} = \pm(220 / (2 \times 33) + 4.3) = 7.63$ ns (在本例中不直接适用！)

$D_3 = 7.63 \times [(1 - 0.058 \times 2) \times (3 - 1) / (0.83 \times 33 - 1) + 0.058 \times 2]$
$= 7.63 \times [0.884 \times 2 / 26.39 + 0.116]$
$= 1.4$ ns

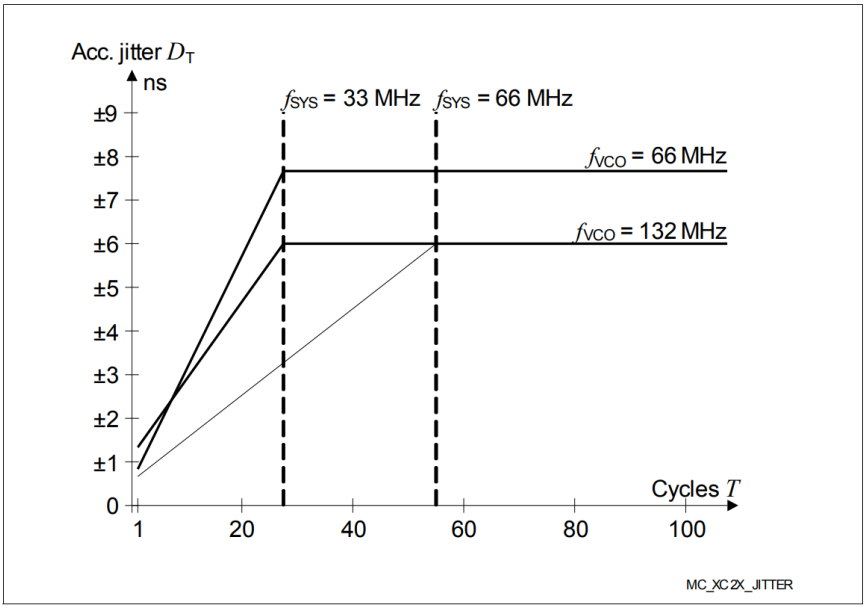


**图 20　　近似累积 PLL 抖动**

*注意：如果每个引脚的电容负载不超过$C_L$ = 20 pF，则指定的PLL 抖动值有效。*
*引脚供电电压的最大峰峰值噪声（测量在$V_{DDPB}$ 引脚100 和$V_{SS}$ 引脚1 之间）限制为峰峰值电压$V_{PP}$ = 50 mV。这可以达到，通过施加适当的电源电压阻隔并尽可能靠近电源引脚及使用PCB 电源和接地层。*

**PLL 频段选择**

可以为 VCO 选择不同的频率带，以便将 PLL 的操作调整到广泛的输入和输出频率范围。

**表 23　系统 PLL 参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| VCO output frequency (VCO controlled) | $f_{VCO}$ CC | 50 | – | 110 | MHz | VCOSEL = $00_B$ |
| | | 100 | – | 160 | MHz | VCOSEL = $01_B$ |
| VCO output frequency (VCO free-running) | $f_{VCO}$ CC | 10 | – | 40 | MHz | VCOSEL = $00_B$ |
| | | 20 | – | 80 | MHz | VCOSEL = $01_B$ |

### 4.6.2.2　唤醒时钟

当选择唤醒操作时（SYSCON0.CLKSEL = $00_B$），系统时钟来自低频唤醒时钟源：

$f_{SYS} = f_{WU}$.

在此模式下，无需外部时钟源即可维持基本功能，同时最大限度地降低功率消耗。

### 4.6.2.3　选择和更改工作频率

在选择时钟源和时钟生成方式时，必须将所需的参数仔细写入相应的位字段，以避免不期望的中间状态。

许多应用在运行过程中会改变系统时钟（$f_{SYS}$）的频率，以优化系统性能和功耗。改变工作频率还会改变开关电流，从而影响电源供应。

为了确保片上电压调节器（EVR）在生成核心电压时的正常运行，操作频率应仅按照特定的步骤进行更改。这样可以防止电源电压过冲或欠冲。

为避免上述问题，提供了推荐的顺序，以确保时钟系统与电源系统交互时的预期操作。请参阅《程序员指南》。

### 4.6.3 外部时钟输入参数

这些参数指定了 XE167xM 的外部时钟生成。时钟可以通过两种方式产生：

- 通过将 **晶体或陶瓷谐振器** 连接到引脚 XTAL1/XTAL2
- 通过提供 **外部时钟信号**
  –该时钟信号可提供给引脚 XTAL1（内核电压域）或引脚 CLKIN1（IO 电压域）。

如果连接到 CLKIN1，输入信号必须达到定义的输入电平$V_{IL}$和$V_{IH}$。如果连接到 XTAL1，最小幅度$V_{AX1}$（峰峰值电压）即可满足片上振荡器的操作要求。

*注意：给定的时钟时序参数（$t_1$…$t_4$）仅适用于外部时钟输入信号。*

*注：　适用操作条件。*

**表 24　外部时钟输入特性**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Oscillator frequency | $f_{OSC}$ SR | 4 | – | 40 | MHz | Input = clock signal |
| | | 4 | – | 16 | MHz | Input = crystal or ceramic resonator |
| XTAL1 input current absolute value | $\|I_{IL}\|$ CC | – | – | 20 | µA | |
| Input clock high time | $t_1$ SR | 6 | – | – | ns | |
| Input clock low time | $t_2$ SR | 6 | – | – | ns | |
| Input clock rise time | $t_3$ SR | – | – | 8 | ns | |
| Input clock fall time | $t_4$ SR | – | – | 8 | ns | |
| Input voltage amplitude on XTAL1[1)] | $V_{AX1}$ SR | 0.3 x $V_{DDIM}$ | – | – | V | 4 to 16 MHz |
| | | 0.4 x $V_{DDIM}$ | – | – | V | 16 to 25 MHz |
| | | 0.5 x $V_{DDIM}$ | – | – | V | 25 to 40 MHz |
| Input voltage range limits for signal on XTAL1 | $V_{IX1}$ SR | -1.7 + $V_{DDIM}$ | – | 1.7 | V | [2)] |

1) 振幅电压$V_{AX1}$是指偏置电压$V_{OFF}$。该偏置电压在操作期间必须稳定，并所产生的电压峰值必须保持在 $V_{IX1}$ 规定的范围内。

2) 引脚 XTAL1 上不得出现过载情况。

*注意：对于晶体或陶瓷谐振器的工作，强烈建议在最终目标系统（布局）中测量振荡裕度（负阻抗），以确定振荡器操作的最佳参数。*

*晶体和陶瓷谐振器的制造商提供振荡器评估服务。此评估检查晶体/谐振器的规格极限，以确保振荡器的可靠运行。*

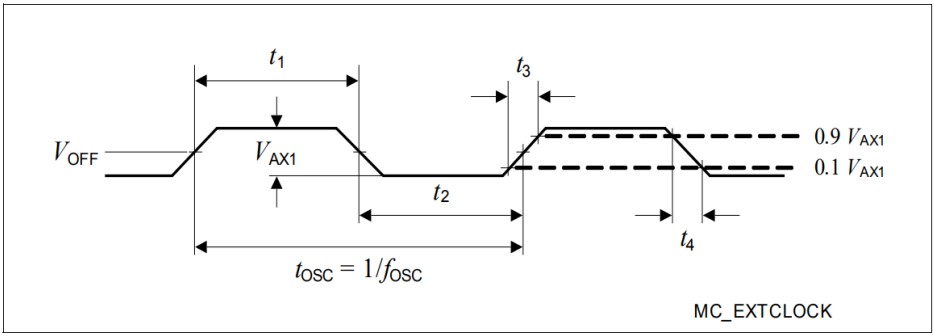


**图 21　　外部时钟驱动 XTAL1**

### 4.6.4 焊盘特性

XE167xM 的输出焊盘驱动器可在多种用户可选模式下工作。强驱动模式允许控制需要更高电流的外部组件，如功率桥或LED。减少输出垫片的驱动功率可以降低电磁辐射（EME）。在强驱动模式下，选择较慢的边缘可以减少电磁辐射（EME）。

动态特性，即上升时间和下降时间，取决于施加的外部电容，该电容必须进行充放电操作。除非另有说明，时序值是针对 20pF 电容给出的。

一般而言，焊盘驱动器的性能取决于可用的供电电压$V_{DDP}$。下表列出了焊盘参数。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注：　适用操作条件。*

**表 25** 在以下条件下有效：
$V_{DDP} \geq 4.5$ V; $V_{DDPtyp} = 5$ V; $V_{DDP} \leq 5.5$ V; $C_L \geq 20$ pF; $C_L \leq 100$ pF;

**表 25　　上电压范围的标准焊盘参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Maximum output driver current (absolute value)[1] | $I_{Omax}$ CC | – | – | 10 | mA | Strong driver |
| | | – | – | 4.0 | mA | Medium driver |
| | | – | – | 0.5 | mA | Weak driver |
| Nominal output driver current (absolute value) | $I_{Onom}$ CC | – | – | 2.5 | mA | Strong driver |
| | | – | – | 1.0 | mA | Medium driver |
| | | – | – | 0.1 | mA | Weak driver |
| Rise and Fall times (10% - 90%) | $t_{RF}$ CC | – | – | 4.2 + 0.14 x $C_L$ | ns | Strong driver; Sharp edge |
| | | – | – | 11.6 + 0.22 x $C_L$ | ns | Strong driver; Medium edge |
| | | – | – | 20.6 + 0.22 x $C_L$ | ns | Strong driver; Slow edge |
| | | – | – | 23 + 0.6 x $C_L$ | ns | Medium driver |
| | | – | – | 212 + 1.9 x $C_L$ | ns | Weak driver |

1) 在任何给定时间，可能被拉取的总输出电流必须受到限制，以保护电源轨道免受损坏。对于任何一组16个相邻的输出引脚，每个方向的总输出电流（$\Sigma I_{OL}$ 和 $\Sigma - I_{OH}$）必须保持在50毫安以下。

**表 26** 在以下条件下有效：
$V_{DDP} \geq 3.0$ V; $V_{DDPtyp} = 3.3$ V; $V_{DDP} \leq 4.5$ V; $C_L \geq 20$ pF; $C_L \leq 100$ pF;

**表 26　　下电压范围的标准焊盘参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Maximum output driver current (absolute value)[1] | $I_{Omax}$ CC | – | – | 10 | mA | Strong driver |
| | | – | – | 2.5 | mA | Medium driver |
| | | – | – | 0.5 | mA | Weak driver |
| Nominal output driver current (absolute value) | $I_{Onom}$ CC | – | – | 2.5 | mA | Strong driver |
| | | – | – | 1.0 | mA | Medium driver |
| | | – | – | 0.1 | mA | Weak driver |
| Rise and Fall times (10% - 90%) | $t_{RF}$ CC | – | – | 6.2 + 0.24 x $C_L$ | ns | Strong driver; Sharp edge |
| | | – | – | 24 + 0.3 x $C_L$ | ns | Strong driver; Medium edge |
| | | – | – | 34 + 0.3 x $C_L$ | ns | Strong driver; Slow edge |
| | | – | – | 37 + 0.65 x $C_L$ | ns | Medium driver |
| | | – | – | 500 + 2.5 x $C_L$ | ns | Weak driver |

1) 在任何给定时间，可能被拉取的总输出电流必须受到限制，以保护电源轨道免受损坏。对于任何一组16个相邻的输出引脚，每个方向的总输出电流（$\Sigma I_{OL}$ 和 $\Sigma - I_{OH}$）必须保持在50毫安以下。

### 4.6.5 外部总线时序

以下参数指定了 XE167xM 总线接口的行为。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注：　适用操作条件。*

**总线接口性能限制**

总线接口引脚的输出频率受限于输出驱动器的性能。快速时钟驱动器（用于 CLKOUT）可驱动 80-MHz 信号，标准驱动器可驱动 40-MHz 信号
因此，EBC的速度必须受到限制，可以通过限制系统频率为$f_{SYS}$ ≤ 80 MHz，或者通过添加等待状态，以确保信号转换的最小间距为12.5纳秒。
有关总线协议的描述以及其可变时序参数的编程，请参阅用户手册。

**表 27　EBC 参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| CLKOUT Cycle Time[1)] | $t_5$ CC | – | 1 / $f_{SYS}$ | – | ns | |
| CLKOUT high time | $t_6$ CC | 2 | – | – | | |
| CLKOUT low time | $t_7$ CC | 2 | – | – | | |
| CLKOUT rise time | $t_8$ CC | – | – | 3 | ns | |
| CLKOUT fall time | $t_9$ CC | – | – | 3 | | |

1)　CLKOUT 周期时间受 PLL 抖动影响。在更长的周期内，相对偏差会减小（参见PLL偏差公式）。

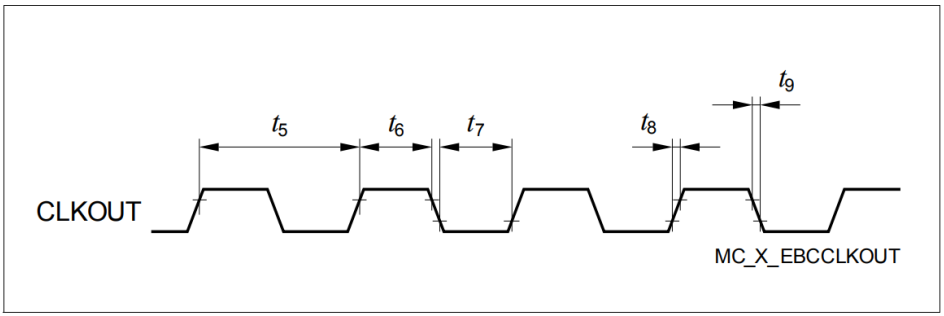


**图 22　CLKOUT 信号时序**

*注：CLKOUT一词指的是参考时钟输出信号，它是通过选择$f_{SYS}$ 作为P2.8引脚上时钟输出信号EXTCLK的源信号，并启用该引脚上的高速时钟驱动器来生成的。*

### 可变内存周期

XE167xM 的外部总线周期按五个连续周期阶段（AB、C、D、E、F）执行。每个周期阶段的持续时间均可编程（通过 TCONCSx 寄存器），以根据相应的外部模块（内存、外设等）调整外部总线周期。

访问期的持续时间可由外部模块通过 READY 握手输入进行控制。

本表概述了各期及其长度范围。

**表 28　　可编程总线周期阶段（见时序图）**

| Bus Cycle Phase | Parameter | Valid Values | Unit |
|---|---|---|---|
| Address setup phase, the standard duration of this phase (1 … 2 TCS) can be extended by 0 … 3 TCS if the address window is changed | tpAB | 1 … 2 (5) | TCS |
| Command delay phase | tpC | 0 … 3 | TCS |
| Write Data setup/MUX Tristate phase | tpD | 0 … 1 | TCS |
| Access phase | tpE | 1 … 32 | TCS |
| Address/Write Data hold phase | tpF | 0 … 3 | TCS |

*注：参数带宽（从最小值到最大值）涵盖整个工作范围（温度、电压）以及过程变化。但在特定设备内，该带宽小于指定范围。这也是由于某些参数之间存在相互依存关系。其中一些相互依存关系在附加说明中有所描述（见标准时序）。*

*注意：适用工作条件；$C_L$= 20 pF。*

**表 29　　上电压范围的 EBC 外部总线时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Output valid delay for RD, WR(L/H) | $t_{10}$ CC | – | 7 | 13 | ns | |
| Output valid delay for BHE, ALE | $t_{11}$ CC | – | 7 | 14 | ns | |
| Address output valid delay for A23 ... A0 | $t_{12}$ CC | – | 8 | 14 | ns | |
| Address output valid delay for AD15 ... AD0 (MUX mode) | $t_{13}$ CC | – | 8 | 15 | ns | |
| Output valid delay for CS | $t_{14}$ CC | – | 7 | 13 | ns | |
| Data output valid delay for AD15 ... AD0 (write data, MUX mode) | $t_{15}$ CC | – | 8 | 15 | ns | |
| Data output valid delay for D15 ... D0 (write data, DEMUX mode) | $t_{16}$ CC | – | 8 | 15 | ns | |
| Output hold time for RD, WR(L/H) | $t_{20}$ CC | -2 | 6 | 8 | ns | |
| Output hold time for BHE, ALE | $t_{21}$ CC | -2 | 6 | 10 | ns | |
| Address output hold time for AD15 ... AD0 | $t_{23}$ CC | -3 | 6 | 8 | ns | |
| Output hold time for CS | $t_{24}$ CC | -3 | 6 | 11 | ns | |
| Data output hold time for D15 ... D0 and AD15 ... AD0 | $t_{25}$ CC | -3 | 6 | 8 | ns | |
| Input setup time for READY, D15 ... D0, AD15... AD0 | $t_{30}$ SR | 25 | 15 | – | ns | |
| Input hold time READY, D15 ... D0, AD15 ... AD0[1)] | $t_{31}$ SR | 0 | -7 | – | ns | |

1) 读的数据在触发地址变化和读信号（RD）上升沿的同一内部时钟边沿上被锁存。在RD 周期结束之前，地址变化对（解复用的）读取周期没有影响。读取的数据可能在 RD 上升沿之后发生变化。

**表 30　　低电压范围的 EBC 外部总线时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Output valid delay for RD, WR(L/H) | $t_{10}$ CC | – | 11 | 20 | ns | |
| Output valid delay for BHE, ALE | $t_{11}$ CC | – | 10 | 21 | ns | |
| Address output valid delay for A23 ... A0 | $t_{12}$ CC | – | 11 | 22 | ns | |
| Address output valid delay for AD15 ... AD0 (MUX mode) | $t_{13}$ CC | – | 10 | 22 | ns | |
| Output valid delay for CS | $t_{14}$ CC | – | 10 | 13 | ns | |
| Data output valid delay for AD15 ... AD0 (write data, MUX mode) | $t_{15}$ CC | – | 10 | 22 | ns | |
| Data output valid delay for D15 ... D0 (write data, DEMUX mode) | $t_{16}$ CC | – | 10 | 22 | ns | |
| Output hold time for RD, WR(L/H) | $t_{20}$ CC | -2 | 8 | 10 | ns | |
| Output hold time for BHE, ALE | $t_{21}$ CC | -2 | 8 | 10 | ns | |
| Address output hold time for AD15 ... AD0 | $t_{23}$ CC | -3 | 8 | 10 | ns | |
| Output hold time for CS | $t_{24}$ CC | -3 | 8 | 11 | ns | |
| Data output hold time for D15 ... D0 and AD15 ... AD0 | $t_{25}$ CC | -3 | 8 | 10 | ns | |
| Input setup time for READY, D15 ... D0, AD15 ... AD0 | $t_{30}$ SR | 29 | 17 | – | ns | |
| Input hold time READY, D15 ... D0, AD15 ... AD0[1)] | $t_{31}$ SR | 0 | -9 | – | ns | |

1) 读的数据在触发地址变化和读信号（RD）上升沿的同一内部时钟边沿上被锁存。在RD 周期结束之前，地址变化对（解复用的）读取周期没有影响。读取的数据可能在 RD 上升沿之后发生变化。

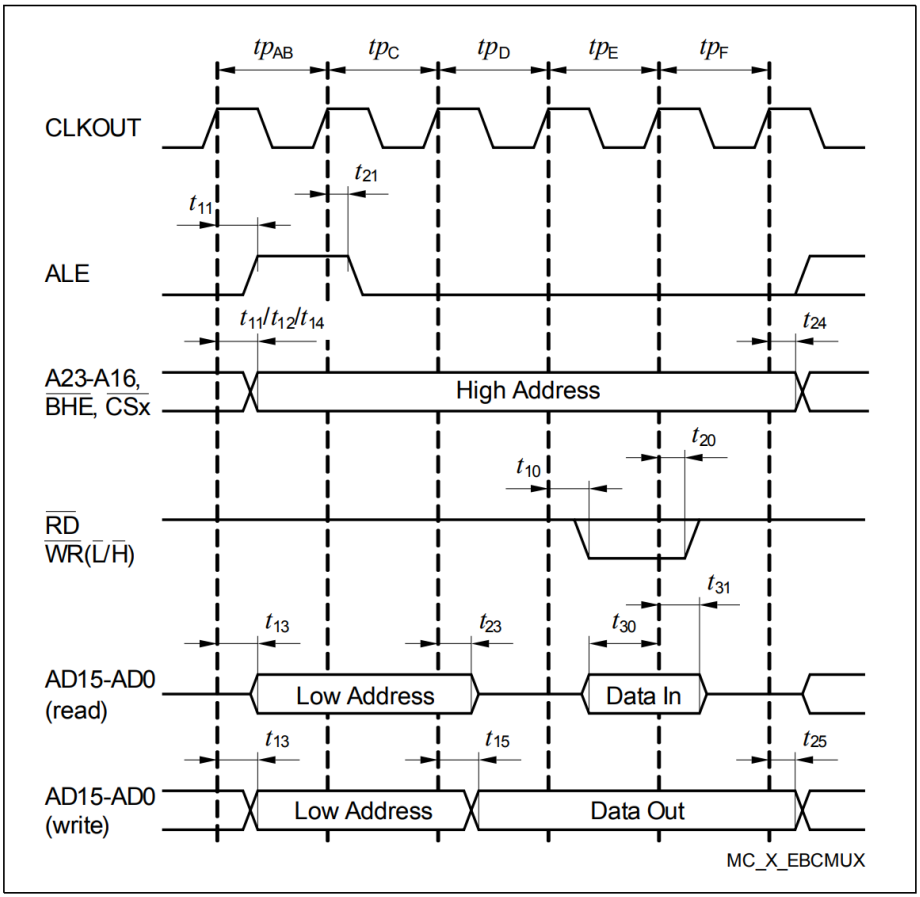


**图 23　　多路复用总线周期**

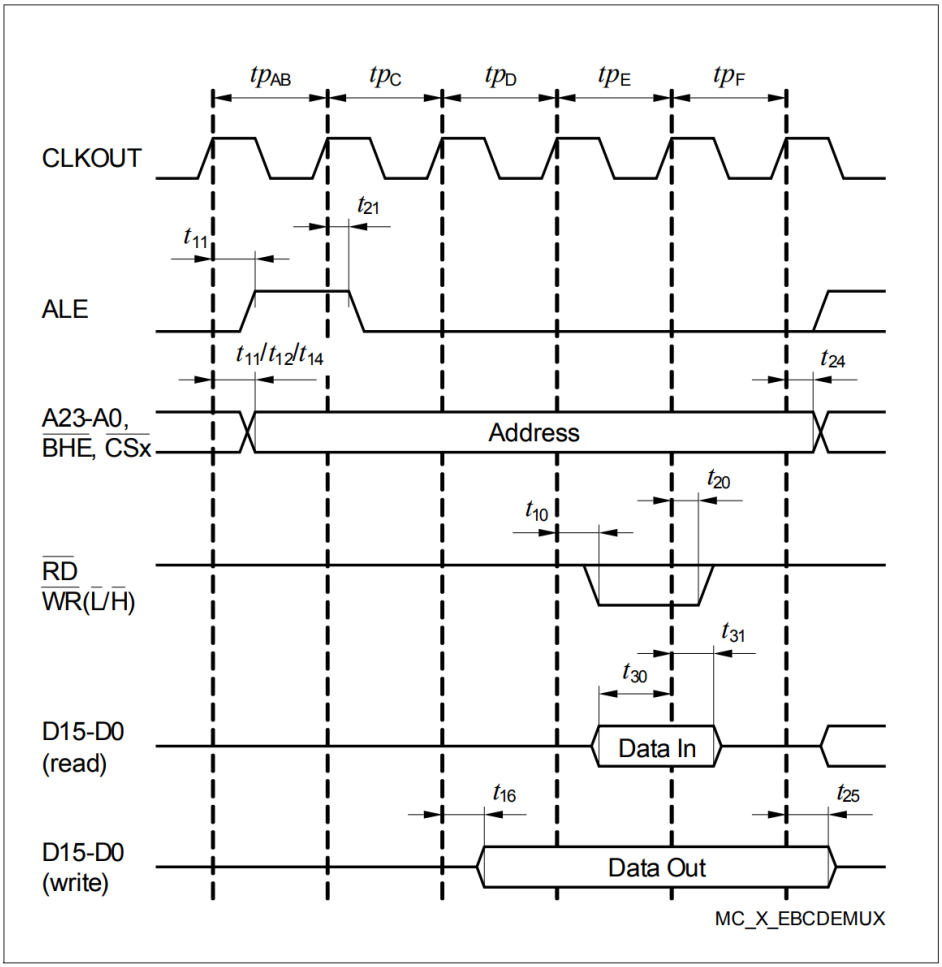
tpAB
tpC
tpD
tpE
tpF
CLKOUT
t21
t11
ALE
t11/t12/t14
t24
A23-A0,
BHE, CSx
Address
t20
t10
RD
WR(L/H)
t31
t30
D15-D0
(read)
Data In
t16
t25
D15-D0
(write)
Data Out
MC_X_EBCDEMUX

**图 24　　解复用总线周期**

#### 4.6.5.1 带有 READY 输入的总线周期控制

外部总线周期的持续时间可以由外部电路通过 READY 输入信号进行控制。该输入信号的极性可以选择。

同步 READY 允许实现最短的总线周期，但要求该输入信号与参考信号 CLKOUT 同步。

异步 READY 信号对输入信号没有时序限制，但由于增加了同步阶段，至少会引入一个等待状态。为确保同步安全，异步 READY 信号的最小持续时间应为一个 CLKOUT 周期加上输入建立时间。

有效的 READY 信号可以被取消在相应命令（$\overline{RD}$ 或 $\overline{WR}$）的末端（上升沿）到来时。

如果下一个总线周期由 READY 控制，则必须在下一个总线周期的第一个有效采样点之前使有效的 READY 信号失效。该采样点取决于下一个周期的设定阶段。

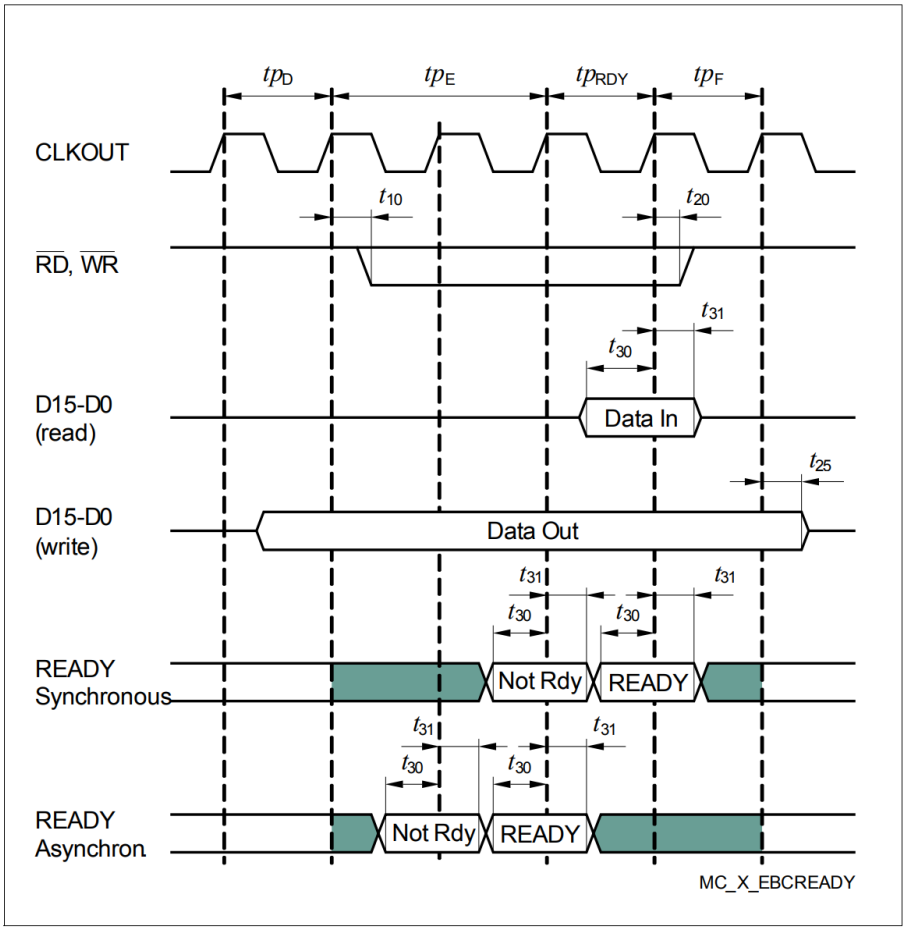


**图 25　　READ 时序**

*注意：如果在指定的采样点（“Not Rdy”）对READY 输入采样为无效状态，则会插入一个由READY 控制的等待状态（tpRDY），*
*在指定的采样点（“Ready”）对READY 输入采样为有效状态时，将终止当前正在进行的总线周期。*
*请注意同步READY 与异步READY 的不同采样点。此示例在使用READY 输入值之前采用了一个必需的等待状态（参见tpE）。*

### 4.6.5.2 外部总线仲裁

如果仲裁信号已启用，XE167xM 会在接收到仲裁请求后释放其外部资源。

*注：　适用操作条件。*

**表 31　高电压范围的总线仲裁时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Input setup time $\overline{\text{HOLD}}$ input | $t_{40}$ SR | 23 | | – | ns | |
| Output delay rising edge $\overline{\text{HLDA}}$, $\overline{\text{BREQ}}$ | $t_{41}$ CC | -1 | | 13 | ns | |
| Output delay falling edge $\overline{\text{HLDA}}$ | $t_{42}$ CC | -2 | | 14 | ns | |

**表 32　低电压范围的总线仲裁时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Input setup time $\overline{\text{HOLD}}$ input | $t_{40}$ SR | 28 | | – | ns | |
| Output delay rising edge $\overline{\text{HLDA}}$, $\overline{\text{BREQ}}$ | $t_{41}$ CC | -1 | | 19 | ns | |
| Output delay falling edge $\overline{\text{HLDA}}$ | $t_{42}$ CC | -2 | | 21 | ns | |

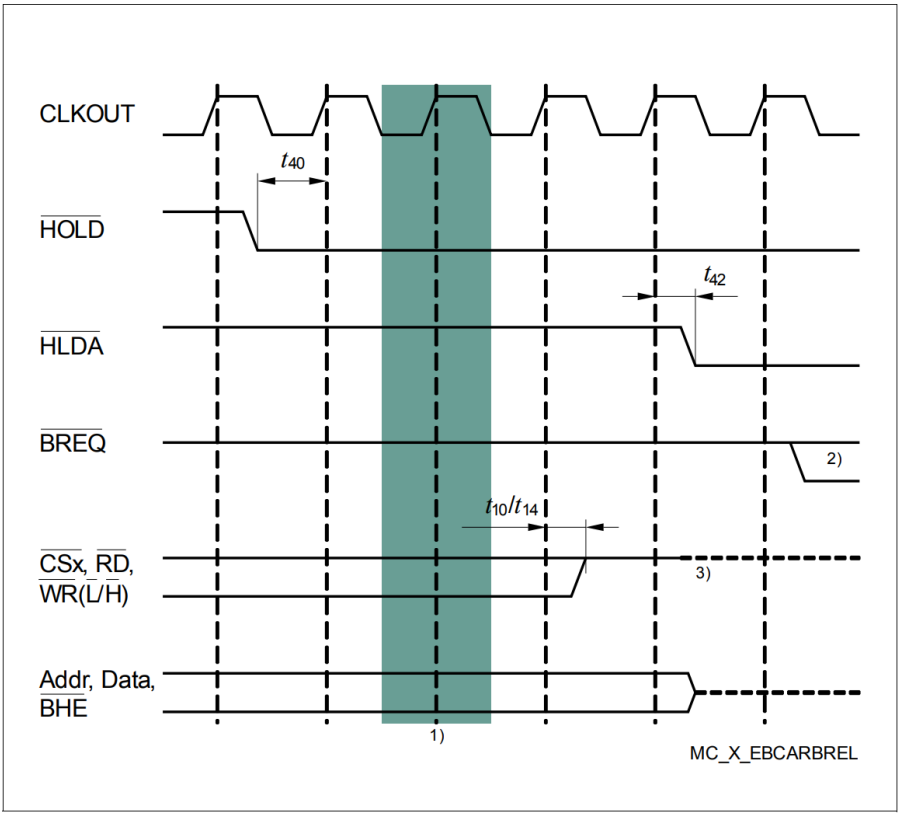


**图 26　　外部总线仲裁，释放总线**

**注释**

1. *XE167xM 完成当前正在运行的总线周期，然后才授予总线访问权限。*
2. *这是 BREQ 激活的第一个可能性。*
3. *控制输出在被驱动为非激活状态后，将保持电阻性高电平（上拉）（ALE 将为低电平）。*

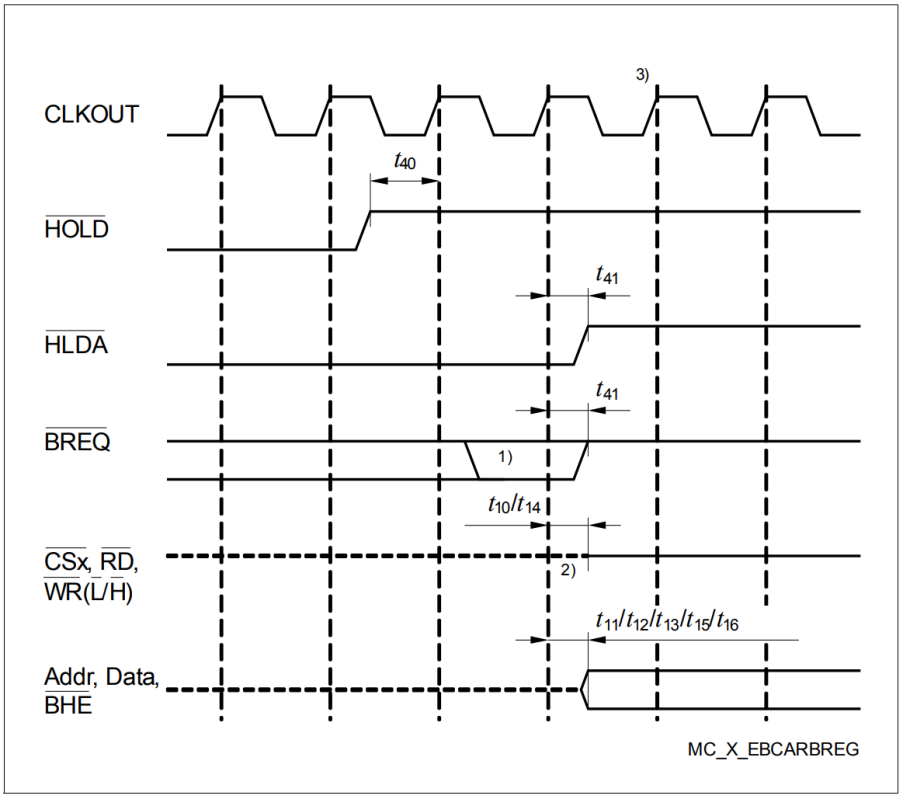


**图 27　　外部总线仲裁，释放总线**

**注释**

1. *这是最后一次机会让 BREQ 触发指定的恢复序列。*
   *即使BREQ 提前激活，恢复序列也会通过HOLD 信号变为高电平来启动。请注意，*
   *HOLD 也可能在XE167xM 未请求总线的情况下被取消激活。*
2. *控制输出将在被驱动为非激活状态之前保持电阻性高电平（上拉）（ALE 将为低电平）。*
3. *下一次由XE167xM 驱动的总线周期可能从这里开始。*

### 4.6.6 同步串行接口时序

以下参数适用于以 SSC 模式运行的 USIC 通道。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注意：适用工作条件；$C_L$= 20 pF。*

**表 33 高电压范围的USIC SSC 主模式时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Slave select output SELO active to first SCLKOUT transmit edge | $t_1$ CC | $t_{SYS}$ - 8 [1] | – | – | ns | |
| Slave select output SELO inactive after last SCLKOUT receive edge | $t_2$ CC | $t_{SYS}$ - 6 [1] | – | – | ns | |
| Data output DOUT valid time | $t_3$ CC | -6 | – | 9 | ns | |
| Receive data input setup time to SCLKOUT receive edge | $t_4$ SR | 31 | – | – | ns | |
| Data input DX0 hold time from SCLKOUT receive edge | $t_5$ SR | -4 | – | – | ns | |

1) $t_{SYS} = 1 / f_{SYS}$

**表 34 低电压范围的 USIC SSC 主模式时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Slave select output SELO active to first SCLKOUT transmit edge | $t_1$ CC | $t_{SYS}$ - 10 [1] | – | – | ns | |
| Slave select output SELO inactive after last SCLKOUT receive edge | $t_2$ CC | $t_{SYS}$ - 9 [1] | – | – | ns | |
| Data output DOUT valid time | $t_3$ CC | -7 | – | 11 | ns | |

**表 34 USIC SSC 主模式低电压范围下的时序参数（续）**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Receive data input setup time to SCLKOUT receive edge | $t_4$ SR | 40 | – | – | ns | |
| Data input DX0 hold time from SCLKOUT receive edge | $t_5$ SR | -5 | – | – | ns | |

1) $t_{SYS} = 1 / f_{SYS}$

**表 35 高电压范围的USIC SSC从模式时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Select input DX2 setup to first clock input DX1 transmit edge[1)] | $t_{10}$ SR | 7 | – | – | ns | |
| Select input DX2 hold after last clock input DX1 receive edge[1)] | $t_{11}$ SR | 7 | – | – | ns | |
| Receive data input setup time to shift clock receive edge[1)] | $t_{12}$ SR | 7 | – | – | ns | |
| Data input DX0 hold time from clock input DX1 receive edge[1)] | $t_{13}$ SR | 5 | – | – | ns | |
| Data output DOUT valid time | $t_{14}$ CC | 7 | – | 33 | ns | |

1) 这些输入时序适用于从设备选择输入、移位时钟输入和接收数据输入的异步输入信号处理（位 DXnCR.DSEN = 0）。

**表 36　　低电压范围的 USIC SSC 从模式时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Select input DX2 setup to first clock input DX1 transmit edge[1)] | $t_{10}$ SR | 7 | – | – | ns | |
| Select input DX2 hold after last clock input DX1 receive edge[1)] | $t_{11}$ SR | 7 | – | – | ns | |
| Receive data input setup time to shift clock receive edge[1)] | $t_{12}$ SR | 7 | – | – | ns | |
| Data input DX0 hold time from clock input DX1 receive edge[1)] | $t_{13}$ SR | 5 | – | – | ns | |
| Data output DOUT valid time | $t_{14}$ CC | 8 | – | 41 | ns | |

1) 这些输入时序适用于从设备选择输入、移位时钟输入和接收数据输入的异步输入信号处理（位 DXnCR.DSEN = 0）。

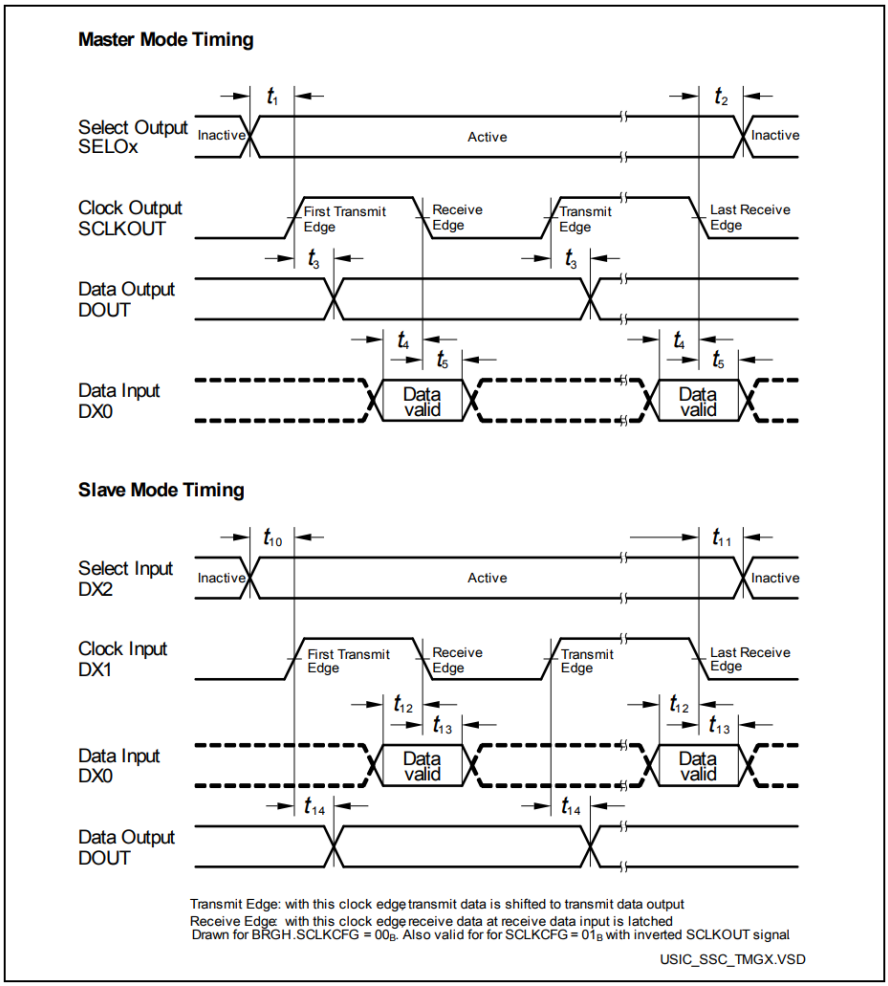


**图 28　　USIC - SSC 主/从模式时序**

*注意：该时序图显示了标准配置，其中从机选择信号为低电平有效，并且串行时钟信号不移位也不反转。*

### 4.6.7 调试接口时序

调试器可以通过 2 针 DAP 接口或标准 JTAG 接口与 XE167xM 进行通信。

**通过 DAP 调试**

以下参数适用于通过 JTAG 调试接口进行通信。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注意：适用工作条件；$C_L$= 20 pF。*

**表 37 高电压范围的 DAP 接口时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| DAP0 clock period | $t_{11}$ SR | 25[1] | – | – | ns | |
| DAP0 high time | $t_{12}$ SR | 8 | – | – | ns | |
| DAP0 low time | $t_{13}$ SR | 8 | – | – | ns | |
| DAP0 clock rise time | $t_{14}$ SR | – | – | 4 | ns | |
| DAP0 clock fall time | $t_{15}$ SR | – | – | 4 | ns | |
| DAP1 setup to DAP0 rising edge | $t_{16}$ SR | 6 | – | – | ns | pad_type= standard |
| DAP1 hold after DAP0 rising edge | $t_{17}$ SR | 6 | – | – | ns | pad_type= standard |
| DAP1 valid per DAP0 clock period[2] | $t_{19}$ CC | 17 | 20 | – | ns | pad_type= standard |

1) 调试接口的操作速度不能超过整个系统的速度，因此 $t_{11} \geq t_{SYS}$。

2) 主机必须通过分析同步报文响应来找到合适的采样点。

**表 38　　DAP接口时序 对于低电压范围**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| DAP0 clock period | $t_{11}$ SR | 25[1] | – | – | ns | |
| DAP0 high time | $t_{12}$ SR | 8 | – | – | ns | |
| DAP0 low time | $t_{13}$ SR | 8 | – | – | ns | |
| DAP0 clock rise time | $t_{14}$ SR | – | – | 4 | ns | |
| DAP0 clock fall time | $t_{15}$ SR | – | – | 4 | ns | |
| DAP1 setup to DAP0 rising edge | $t_{16}$ SR | 6 | – | – | ns | pad_type= standard |
| DAP1 hold after DAP0 rising edge | $t_{17}$ SR | 6 | – | – | ns | pad_type= standard |
| DAP1 valid per DAP0 clock period[2] | $t_{19}$ CC | 12 | 17 | – | ns | pad_type= standard |

1) 调试接口的操作速度不能超过整个系统的速度，因此 $t_{11} \geq t_{SYS}$。

2) 主机必须通过分析同步报文响应来找到合适的采样点。

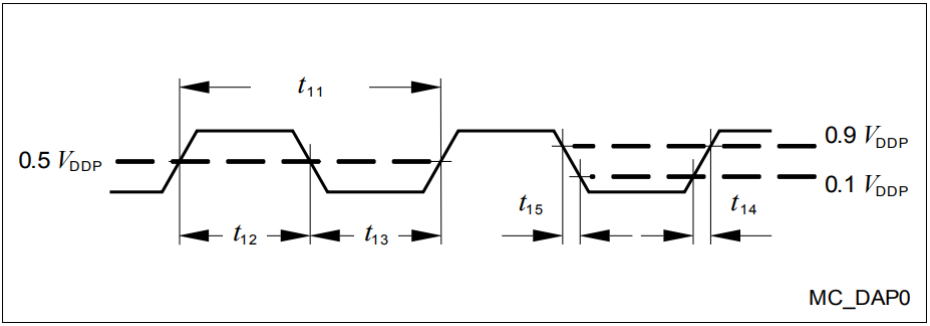


**图 29　　测试时钟时序 (DAP0)**

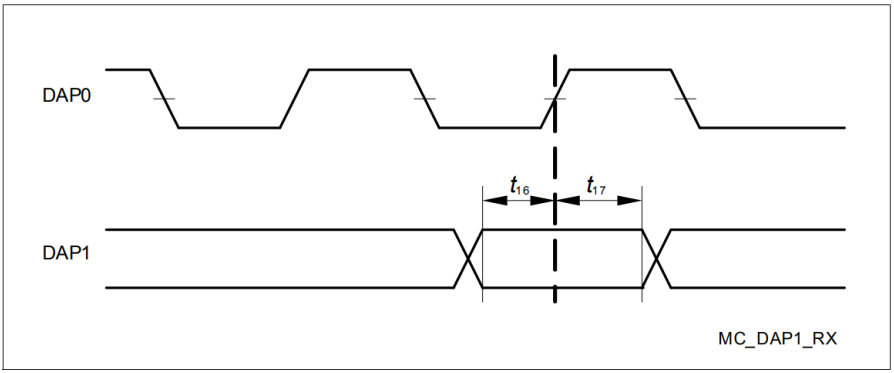


**图 30　　DAP时序 主机到设备**

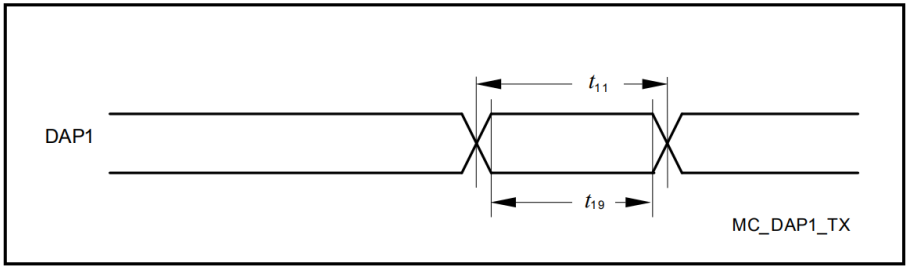


**图 31　　DAP时序 设备到主机**

*注：传输时序由接收调试器通过评估同步请求同步模式报文确定。*

### 通过 JTAG 进行调试

以下参数适用于通过 JTAG 调试接口进行通信。JTAG模块完全符合IEEE1149.1-2000。

*注意：这些参数不属于生产测试范围，而是通过设计和/或表征进行验证。*

*注意：适用工作条件；$C_L$= 20 pF。*

**表39　　JTAG接口时序对于上电压范围**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| TCK clock period | $t_1$ SR | 50[1] | – | – | ns | [2] |
| TCK high time | $t_2$ SR | 16 | – | – | ns | |
| TCK low time | $t_3$ SR | 16 | – | – | ns | |
| TCK clock rise time | $t_4$ SR | – | – | 8 | ns | |
| TCK clock fall time | $t_5$ SR | – | – | 8 | ns | |
| TDI/TMS setup to TCK rising edge | $t_6$ SR | 6 | – | – | ns | |
| TDI/TMS hold after TCK rising edge | $t_7$ SR | 6 | – | – | ns | |
| TDO valid from TCK falling edge (propagation delay)[3] | $t_8$ CC | – | 25 | 29 | ns | |
| TDO high impedance to valid output from TCK falling edge[4][3] | $t_9$ CC | – | 25 | 29 | ns | |
| TDO valid output to high impedance from TCK falling edge[3] | $t_{10}$ CC | – | 25 | 29 | ns | |
| TDO hold after TCK falling edge[3] | $t_{18}$ CC | 5 | – | – | ns | |

1) 调试接口的操作速度不能超过整个系统的速度，因此 $t_1 \geq t_{SYS}$。

2) 在典型条件下，该接口可以以最高 20 MHz 的传输速率进行操作。

3) TCK 上的下降沿用于生成 TDO 时序。

4) TDO 的建立时间由 TCK 周期时间隐含给出。

**表 40　　低电压范围 JTAG 接口时序**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| TCK clock period | $t_1$ SR | 50[1] | – | – | ns | [2] |
| TCK high time | $t_2$ SR | 16 | – | – | ns | |
| TCK low time | $t_3$ SR | 16 | – | – | ns | |
| TCK clock rise time | $t_4$ SR | – | – | 8 | ns | |
| TCK clock fall time | $t_5$ SR | – | – | 8 | ns | |
| TDI/TMS setup to TCK rising edge | $t_6$ SR | 6 | – | – | ns | |
| TDI/TMS hold after TCK rising edge | $t_7$ SR | 6 | – | – | ns | |
| TDO valid from TCK falling edge (propagation delay)[3] | $t_8$ CC | – | 32 | 36 | ns | |
| TDO high impedance to valid output from TCK falling edge[4][3] | $t_9$ CC | – | 32 | 36 | ns | |
| TDO valid output to high impedance from TCK falling edge[3] | $t_{10}$ CC | – | 32 | 36 | ns | |
| TDO hold after TCK falling edge[3] | $t_{18}$ CC | 5 | – | – | ns | |

1) 调试接口的操作速度不能超过整个系统的速度，因此 $t_1 \geq t_{SYS}$。

2) 在典型条件下，该接口可以以最高 20 MHz 的传输速率进行操作。

3) TCK 上的下降沿用于生成 TDO 时序。

4) TDO 的建立时间由 TCK 周期时间隐含给出。

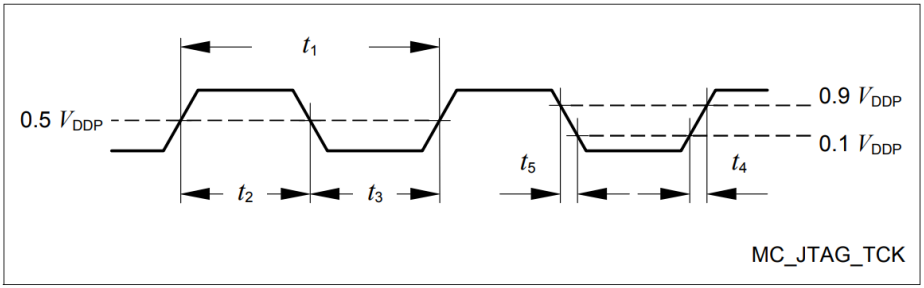


**图32　　测试时钟时序（TCK）**

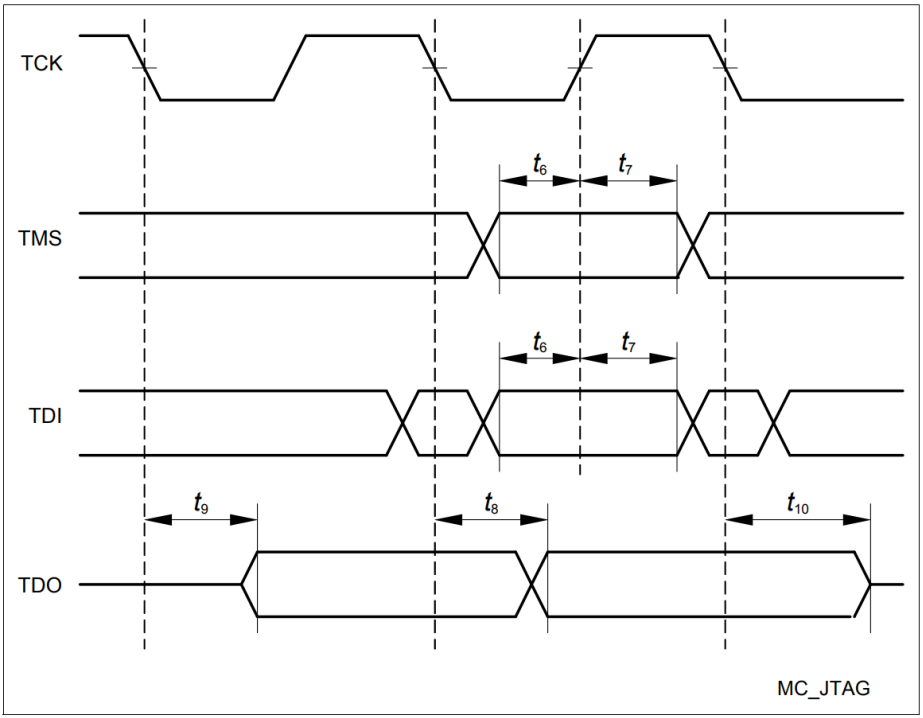


**图33　　JTAG 时序**

# 5 封装与可靠性

XE166 系列器件使用封装类型 PG-LQFP（环保塑料-薄型四边形扁平封装）。必须遵守以下规范，以确保 XE167xM 在其目标环境中的正确集成。

## 5.1 封装信息

这些参数规定的是封装特性，而非芯片本身的特性。

**表 41 封装参数（PG-LQFP-144-13 / -23）**

| Parameter | Symbol | Limit Values | | Unit | Notes |
|---|---|---|---|---|---|
| | | Min. | Max. | | |
| Exposed Pad Dimension | Ex ×Ey | – | 6.5 ×6.5 | mm | – |
| Power Dissipation | $P_{DISS}$ | – | 1.0 | W | – |
| Thermal resistance Junction-Ambient | $R_{\Theta JA}$ | – | 43 | K/W | No thermal via[1] |
| | | | 34 | K/W | 4-layer, no pad[2] |
| | | | 21 | K/W | 4-layer, pad[3] |

1) 器件安装在双层 JEDEC 电路板上（符合 JESD 51-3 标准）或无散热通孔的四层电路板上；裸露焊盘未焊接。

2) 器件安装在带有散热通孔的四层 JEDEC 电路板上（符合 JESD 51-7 标准）；裸露焊盘未焊接。

3) 器件安装在带有散热通孔的四层 JEDEC 电路板上（符合 JESD 51-7 标准）；裸露焊盘已焊接至电路板。

*注意：为改善电磁兼容（EMC）性能，建议将裸露焊盘连接至电路板接地端，即使在无散热要求的情况下亦应如此。*
*电路板布线示例可参见应用说明。*

**封装兼容性注意事项**

XE167xM 属于 XE166 系列微控制器的一员。它在一定程度上也与同系列或子系列的其他器件兼容。

每种封装都针对其所封装的器件进行了优化。因此，即使封装的引脚数量相同，不同器件类型之间的封装也可能存在细微差异。尤其是，若封装带有裸露焊盘，其尺寸可能有所不同。

如果在应用中考虑或计划使用不同类型的设备，则必须确保电路板布局适合所有考虑的封装。

## 封装外形

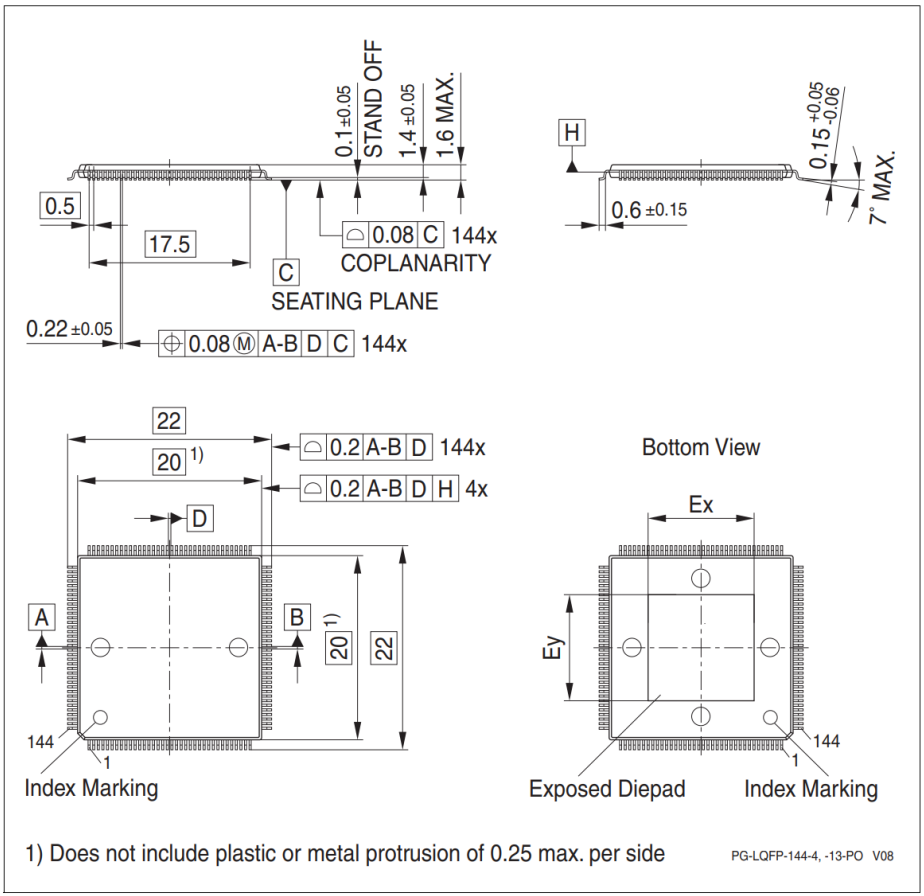


**图 34　　PG-LQFP-144-13/-23** （塑封环保薄型四方扁平封装）所有尺寸单位均为毫米。

您可以在我们的英飞凌互联网页面“封装”中找到有关英飞凌封装、包装和标记的完整信息： **http: //www.infineon.com/packages**

## 5.2 散热考虑

在系统中使用 XE167xM 时，芯片产生的总热量必须散逸到周围环境中，以防止过热及由此引起的热损伤。

可散发的最大热量取决于封装及其与目标电路板的集成方式。“热阻 $R_{\Theta JA}$” 用于量化这些参数。必须限制功耗，以确保平均结温不超过 125 °C。

结温和环境温度之间的差异取决于 $\Delta T = (P_{INT} + P_{IOSTAT} + P_{IODYN}) \times R_{\Theta JA}$

内部功耗定义为 $P_{INT} = V_{DDP} \cdot I_{DDP}$ （开关电流与漏电流）。

输出驱动器引起的静态外部功耗定义为 $P_{IOSTAT} = \Sigma((V_{DDP}-V_{OH}) \times I_{OH}) + \Sigma(V_{OL} \times I_{OL})$

输出驱动器引起的动态外部功耗( $P_{IODYN}$ ) 取决于连接到各个引脚的电容负载及其开关频率。

如果给定系统配置的总功耗超过定义的限制，则必须采取对策以确保系统正常运行：

- 如果可能的话，降低系统中的 $V_{DDP}$
- 降低系统频率
- 减少输出引脚数量
- 减少有源输出驱动的负载

## 5.3 质量声明

XE167xM 的运行寿命取决于工作温度。随着温度升高，其寿命会缩短，如 **表 43** 所示。

**表 42 质量参数**

| Parameter | Symbol | Values | | | Unit | Note / Test Condition |
|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | | |
| Operation lifetime | $t_{OP}$ CC | – | – | 20 | a | See **Table 43** |
| ESD susceptibility according to Human Body Model (HBM) | $V_{HBM}$ SR | – | – | 2 000 | V | EIA/JESD22-A114-B |
| Moisture sensitivity level | MSL CC | – | – | 3 | – | JEDEC J-STD-020C |

**表 43 温度对寿命的影响**

| Operating Time | Operating Temperature |
|---|---|
| 20 a | $T_J \leq 110°C$ |
| 95 500 h | $T_J = 120°C$ |
| 68 500 h | $T_J = 125°C$ |
| 49 500 h | $T_J = 130°C$ |
| 26 400 h | $T_J = 140°C$ |
| 14 500 h | $T_J = 150°C$ |

## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

**Trademarks**
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2025-12-12**

**Infineon Technologies AG** 出版，
德国 **Neubiberg 85579**

版权 © **2025 Infineon Technologies AG**
及其关联公司。
保留所有权利。

**Do you have a question about this document?**

**Email:**

erratum@infineon.com

**重要通知**

**Infineon Technologies AG** 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。

www.infineon.com

Published by Infineon Technologies AG