

英飞凌 128 Mb HYPERRAM™ 自刷新 DRAM (PSRAM)

八线 xSPI, 1.8 V/3.0 V

特性

• 接口

- xSPI (八线) 接口
- 1.8 V/3.0 V 电压接口支持
 - 单端时钟 (CK) - 11 个总线信号
 - 可选差分时钟 (CK、CK#) - 12 个总线信号
- 片选 (CS#)
- 8 位数据总线 (DQ[7:0])
- 硬件复位 (RESET#)
- 双向读写数据选通 (RWDS)
 - 所有传输开始时的输出指示刷新延迟
 - 在读取传输期间作为读取数据选通输出
 - 在写入传输期间作为写入数据掩码输入
- 可选 DDR 中心对齐读取选通 (DCARS)
 - 在读取传输期间, RWDS 被第二个时钟偏移, 与 CK 相移
 - 相移时钟用于在读取数据时间窗内移动 RWDS 转换边沿

• 性能、功耗和封装

- 最大时钟频率 200-MHz
- DDR 在时钟的两个边沿传输数据
- 数据吞吐量高达 400 MBps (3200 Mbps)
- 可配置的并发特性
 - 线性并发
 - 回卷并发长度:
 - 16 个字节 (8 个时钟)
 - 32 个字节 (16 个时钟)
 - 64 字节 (32 个时钟)
 - 128 字节 (64 个时钟)
 - 混合选项 - 在线性并发至 64 Mb 边界之后变为回卷并发。不支持跨越芯片边界的线性并发。
- 可配置的驱动能力大小
- 电源模式^[1]
 - 混合休眠模式
 - 深度掉电
- 阵列刷新
 - 部分闪存阵列 (1/8、1/4、1/2 等)
 - 全部

注释

1. 128-Mb HYPERRAM™ 是一种使用两个 64-Mb 核的堆叠芯片。一次只能对一个核进行编程以进入混合休眠模式或深度掉电模式。

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

性能总结

- 封装
 - 24球FBGA
- 工作温度范围
 - 工业级 (I): -40°C 至 +85°C
 - 扩展工业级 (V): -40°C 至 +105°C
 - 汽车级, AEC-Q100 3 级: -40°C 至 +85°C
 - 汽车级, AEC-Q100 2 级: -40°C 至 +105°C
- 技术
 - 38-nm DRAM

性能总结

最大读取速率

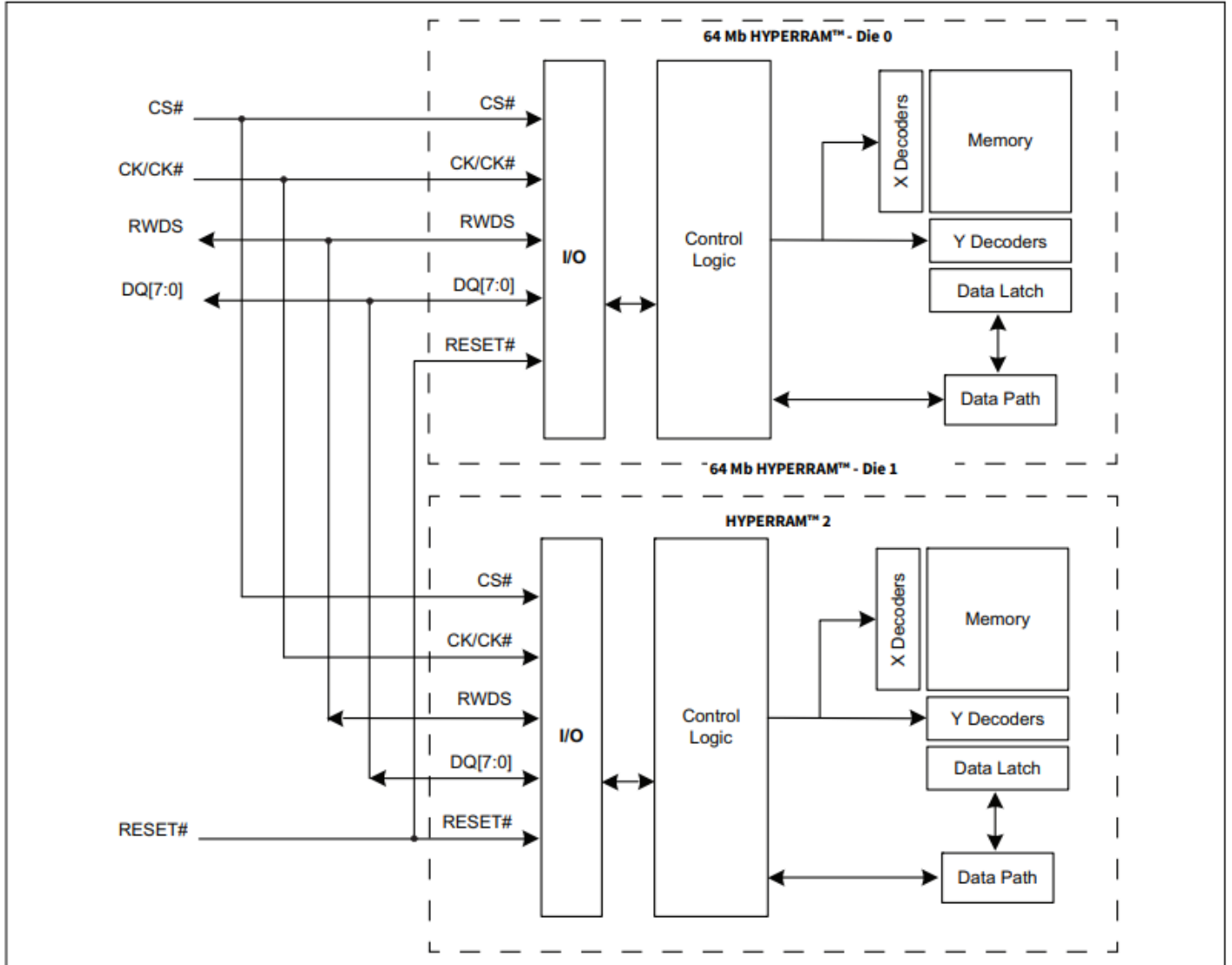
Read transaction timings	Value	Unit
Maximum clock rate at 1.8 V V_{CC}/V_{CCQ}	200	MHz
Maximum clock rate at 3.0 V V_{CC}/V_{CCQ}	200	MHz
Maximum access time, (t_{ACC})	35	ns

典型消耗电流

Maximum current consumption	Value	Unit
Burst read or write (linear burst at 200 MHz, 1.8 V)	50	mA
Burst read or write (linear burst at 200 MHz, 3.0 V)	60	
Standby ($CS\# = V_{CC} = 3.6\text{ V}, 105^\circ\text{C}$)	750	μA
Deep power down ($CS\# = V_{CC} = 3.6\text{ V}, 105^\circ\text{C}$)	360	
Standby ($CS\# = V_{CC} = 2.0\text{ V}, 105^\circ\text{C}$)	660	
Deep power down ($CS\# = V_{CC} = 2.0\text{ V}, 105^\circ\text{C}$)	330	

逻辑框图

逻辑框图



目录

目录

特性	1
性能总结	2
逻辑框图	3
目录	4
1 概述	6
1.1 xSPI (八线) 接口	6
2 产品概述	9
2.1 xSPI (八线) 接口	9
3 信号说明	10
3.1 输入/输出简介	10
4 SPI (八线) 传输详情	11
4.1 指令/地址/数据位分配	12
4.2 复位使能传输	13
4.3 复位传输	13
4.4 读取 ID 传输	14
4.5 深度掉电传输	15
4.6 读取传输	16
4.7 写入传输	16
4.8 写入使能传输	17
4.9 写入禁止传输	17
4.10 读取任意寄存器传输	18
4.11 写入任意寄存器传输	18
4.12 存储器读/写传输期间的数据放置	19
4.13 寄存器读/写传输期间的数据放置	20
5 存储器空间	21
5.1 SPI (八线) 接口	21
5.2 密度和行界	21
6 寄存器空间访问	22
6.1 SPI (八线) 接口	22
6.2 器件标识寄存器	23
6.3 器件配置寄存器	24
6.3.1 配置寄存器 0 (CR0)	24
6.3.2 配置寄存器 1	28
7 接口状态	30
8 节能模式	31
8.1 接口待机	31
8.2 有效时钟停止	31
8.3 混合休眠	32
8.4 深度掉电	33
9 电气规格参数	34
9.1 绝对最大额定值	34
9.2 输入信号过冲	34
9.3 闩锁特性	35
9.4 工作范围	35
9.4.1 温度范围	35
9.4.2 供电电压	35
9.5 直流特性	36
9.5.1 电容特性	40
9.5.2 热阻抗	40
9.6 上电初始化	41
9.7 掉电	42

目录

9.8 硬件复位.....	43
9.9 软件复位.....	44
10 时序规范.....	45
10.1 波形切换的关键.....	45
10.2 交流测试条件.....	45
10.3 时钟特性.....	47
10.4 交流特性.....	48
10.4.1 读取传输.....	48
10.4.2 写入传输.....	50
11 物理接口.....	51
11.1 FBGA 24球 5 x 5 阵列封装.....	51
11.2 封装图.....	52
12 DDR 中心对齐读取选通 (DCARS) 功能.....	53
12.1 带有 DCARS 信号的 xSPI HYPERRAM™ 产品描述.....	53
12.2 具有 DCARS 的 HYPERRAM™ 产品 — FBGA 24 球、5 × 5 阵列封装.....	54
12.3 带有 DCARS 时序的 HYPERRAM™ 存储器.....	55
13 订购信息.....	57
13.1 订购代码定义.....	57
13.2 有效组合.....	58
13.3 有效组合 – 汽车级/AEC-Q100.....	58
14 缩略语.....	59
15 文档惯例.....	60
15.1 计量单位.....	60
修订记录.....	61

1 概述

英飞凌 128-Mb HYPERRAM™ 器件是一种高速 CMOS、自刷新 DRAM，带有 xSPI（八线）接口。DRAM 阵列使用需要定期刷新的动态单元。当 xSPI 接口主机（主控）未主动读取或写入存储器时，器件内的刷新控制逻辑管理 DRAM 上的刷新操作。由于不需要主机管理任何刷新操作，因此在主机看来，DRAM 阵列就像静态单元，无需刷新即可保留数据。因此，该内存更准确地描述为伪静态 RAM (PSRAM)。

由于 DRAM 单元在读写传输期间无法刷新，因此要求主机限制读写并发传输长度，以便在需要时允许内部逻辑刷新操作。如果内存指示需要刷新操作，则主机必须限制传输的持续时间并允许在新传输开始时增加初始读取延迟。双芯片、128 Mb HYPERRAM™ 芯片仅支持具有额外 (2X) 延迟的数据传输。

1.1 xSPI（八线）接口

xSPI（八线）是一种 SPI 兼容的低电平信号数量、支持八个 I/O 的 DDR 接口。xSPI（八线）中的 DDR 协议在 DQ 输入/输出信号上每个时钟周期传输两个数据字节。xSPI（八线）上传输的读取或写入操作由一系列的 16bit 位宽组成，内部 RAM 阵列在每个时钟周期内以每半个时钟周期为单位在 DQ 信号上传输相应的两个 8bit 位宽的数据。所有输入和输出兼容 LV-CMOS。器件提供 1.8 V_{VCC}/V_{VCCQ} 或 3.0 V_{VCC}/V_{VCCQ}（标称值）阵列 (V_{CC}) 和 I/O 缓冲器 (V_{CCQ}) 电源，可通过不同的订购部件号 (OPN) 订购。

xSPI（八线）上的每个传输都必须包含一个指令，而地址和数据是可选的。传输结构如下：

- 每个传输都以 CS# 变为低电平开始，以 CS# 返回高电平结束。
- 串行时钟 (SCK) 标记主机和存储器之间每个位或一组位的传输。所有传输都发生在每个 CK 边沿 (DDR 模式)。
- 每个传输都有一个 16 位指令，用于选择要执行的器件操作的类型。16 位指令基于两个 8 位操作码。在时钟的两个边沿都发送相同的 8 位操作码。
- 指令可以是独立的，也可以跟随地址位以选择器件中的存储器位置来访问数据。
- 读取传输在地址位之后需要一段延迟时间，延迟时间可以是零到几个 CK 周期。CK 必须在任何读取传输延迟期间继续输出。在传输的指令和地址部分，内存通过将 RWDS 信号驱动至高电平状态来指示需要额外的延迟时间才能达到所需的刷新时间 (t_{RFH})。
- 写入寄存器的传输不需要延迟期。
- 写入内存的传输在地址位之后需要一段延迟时间，该延迟时间可以是零到几个 CK 周期。在任何写入传输延迟期间，CK 都必须继续输出。在传输的指令和地址部分，内存通过将 RWDS 信号驱动至高电平状态来指示所需的刷新时间 (t_{RFH}) 需要额外的延迟时间。
- 在所有传输中，指令和地址的比特位都是从最高有效位 (MSb) 开始向器件输入。数据字节内的各个数据位也首先从器件 MSb 移入和移出。所有数据字节都以首先发送最低地址的字节方式进行传输。

概述

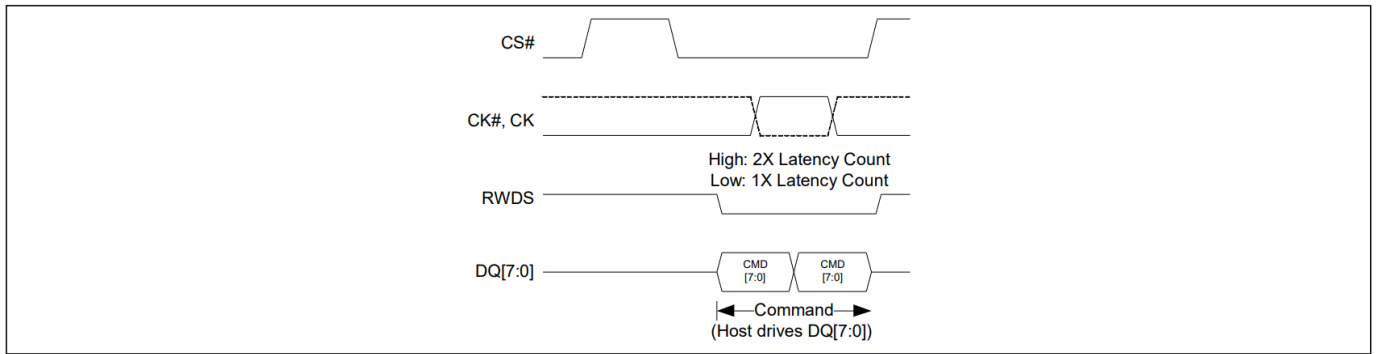


图 1 xSPI (八线) 仅指令传输 (DDR)^[2]

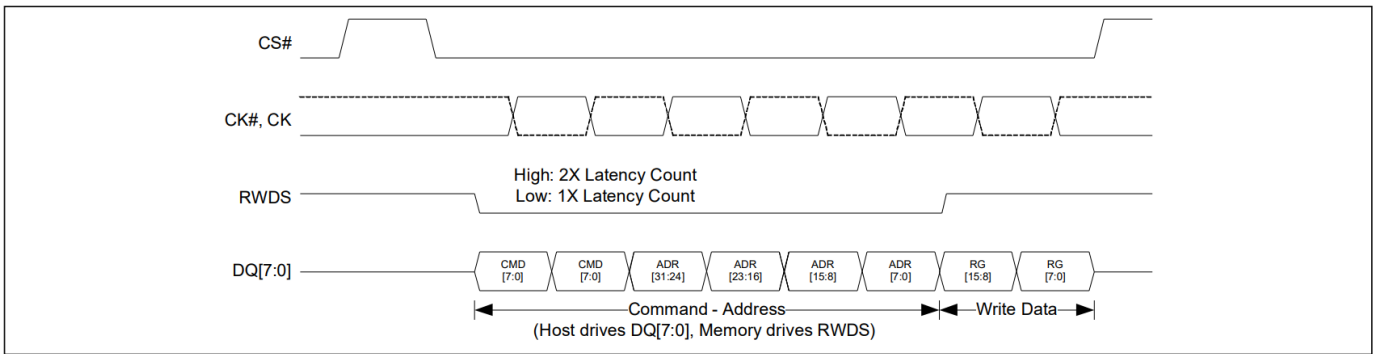


图 2 xSPI (八线) 无延迟写入传输 (DDR) (寄存器写入)^[3]

注释

2. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。
3. 无延迟写入传输仅用于寄存器写入。

概述

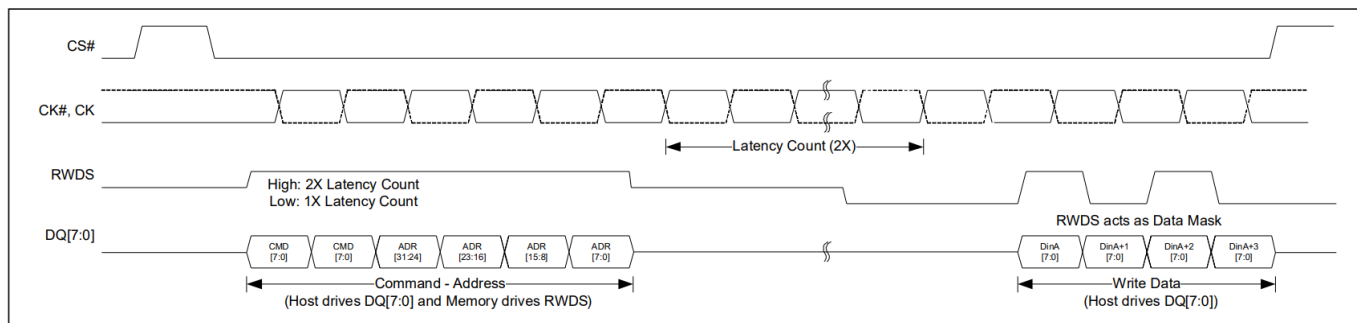


图3 xSPI (八线) 写入, 具有 2X 延迟传输 (DDR) (内存阵列写入) [4, 5, 6]

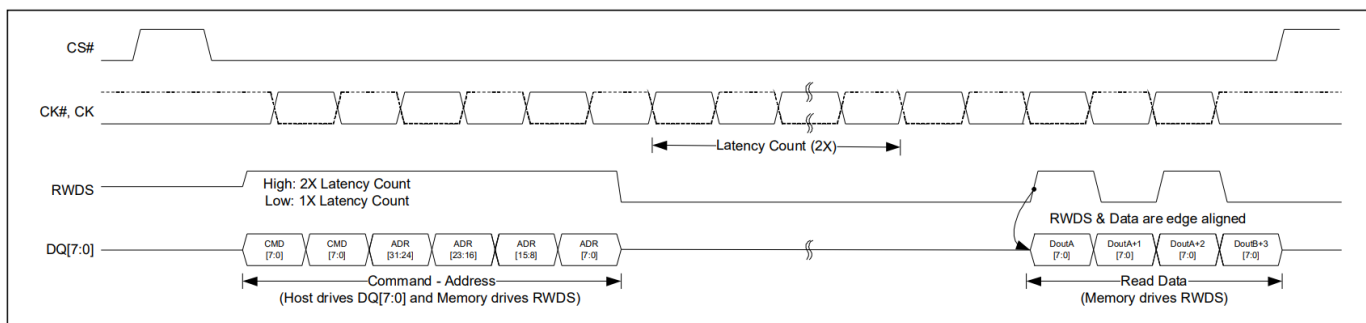


图4 xSPI (八线) 读取, 2X 延迟传输 (DDR) (所有读取) [4, 7]

注释

4. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。
5. RWDS 在指令和地址周期内由HYPERRAM™驱动, 延迟为 2 倍, 然后由主机驱动以进行数据屏蔽。
6. 数据 DinA 和 DinA+2 被屏蔽。
7. RWDS 在指令和地址周期内由HYPERRAM™驱动, 延迟为 2 倍, 然后再次与数据对齐驱动。

2 产品概述

128-Mb HYPERRAM™器件是1.8 V或3.0 V阵列和I/O、同步自刷新动态RAM (DRAM)。HYPERRAM™器件为主机系统提供xSPI (八线) 从机接口。xSPI (八线) 接口具有8位 (1字节宽度DDR数据传输) 并且仅使用字宽 (16位数据) 地址边界。读取传输在每个时钟周期提供16位数据 (两个时钟边沿各8位)。写入传输从每个时钟周期获取16位数据 (每个时钟边沿获取8位)。

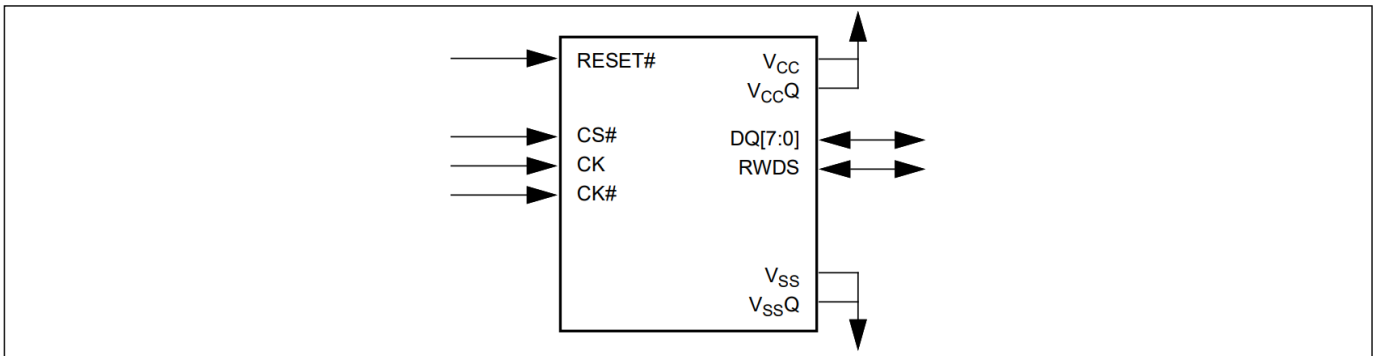


图5 xSPI (八线) HYPERRAM™接口^[8]

2.1 xSPI (八线) 接口

读写传输需要三个时钟周期来定义目标行/列地址，然后定义初始读取延迟 t_{ACC} 。在传输的 CA 部分期间，内存通过将 RWDS 信号驱动为 HIGH 状态来指示所需刷新时间 (t_{RFH}) 的额外延迟。在读取 (或写入) 传输期间，在输出 (或输入) 初始数据值之后，可以在后续时钟周期以回卷或线性顺序从行读取 (或写入) 其他数据。在线性并发模式配置时，器件将自动从内存阵列中获取下一个连续行以支持连续的线性并发。

在读取或写入数据传输过程中同时访问阵列中的下一行，可实现线性顺序并发操作，从而提供 400 MBps 的持续数据速率 (1 字节 (8 位数据行) * 2 (数据时钟沿) * 200 MHz = 400 MBps)。

注释

8. CK# 用于差分时钟模式，但可选。

3 信号说明

3.1 输入/输出简介

xSPI (八线) HYPERRAM™信号如HYPERRAM™表1。低电平有效信号名称带有哈希符号 (#) 后缀。

表1 I/O 简介^[10]

Symbol	Type	Description
CS#	Master output, slave input	Chip Select Bus transactions are initiated with a HIGH to LOW transition. Bus transactions are terminated with a Low to High transition. The master device has a separate CS# for each slave.
CK, CK#[⁹]		Differential Clock Command, address, and data information is output with respect to the crossing of the CK and CK# signals. Use of differential clock is optional. Single Ended Clock CK# is not used, only a single ended CK is used. The clock is not required to be free-running.
DQ[7:0]	Input/output	Data Input/Output Command, address, and data information is transferred on these signals during read and write transactions.
RWDS		Read-Write Data Strobe During the command/address portion of all bus transactions RWDS is a slave output and indicates whether additional initial latency is required. Slave output during read data transfer, data is edge aligned with RWDS. Slave input during data transfer in write transactions to function as a data mask. The dual-die, 128-Mb HYPERRAM™ chip supports data transactions with additional (2X) latency only.
RESET#	Master output, slave input, internal pull-up	Hardware RESET When LOW, the slave device will self initialize and return to the standby state. RWDS and DQ[7:0] are placed into the HIGH-Z state when RESET# is LOW. The slave RESET# input includes a weak pull-up, if RESET# is left unconnected it will be pulled up to the HIGH state.
V _{CC}	Power supply	Array Power
V _{CCQ}		Input/Output Power
V _{SS}		Array Ground
V _{SSQ}		Input/Output Ground
RFU	No connect	Reserved for Future Use May or may not be connected internally, the signal/ball location should be left unconnected and unused by PCB routing channel for future compatibility. The signal/ball may be used by a signal in the future.

注释

- CK# 用于差分时钟模式，但可选连接。如果未连接到主控控制器，请将 CK# 输入引脚连接到 V_{CCQ} 或 V_{SSQ}，但不要使其悬空。
- 可选的 DCARS 引脚分配和引脚描述在“**DDR 中心对齐读取选通 (DCARS) 功能**”章节，第53页中有具体描述。

4 xSPI (八线) 传输详情

xSPI (八线) 主机在时钟空闲时通过将 CS# 驱动为低电平来开始传输。然后，在传输 CA 字时时钟开始切换。

对于内存读写传输，xSPI (八线) 主机将继续按照配置寄存器 0 中的延迟计数设置定义的周期数进行计时（寄存器写入传输不需要任何延迟计数）。特定时钟频率所需的初始延迟计数基于 RWDS。如果在 CA 周期期间 RWDS 为低电平，则插入一个延迟计数。如果在 CA 周期期间 RWDS 为高电平，则会插入额外的延迟计数。一旦这些延迟时钟完成，内存就会开始同时转换 RWDS 并输出目标数据。双芯片、128 Mb HYPERRAM™ 芯片仅支持具有额外 (2X) 延迟的数据传输。

在读取数据传输期间，读取数据的输出边缘与 RWDS 的每次转换对齐。只要主机在 CS# 为低电平期间继续转换时钟，数据就会继续输出。注意并发传输不应该太长，以免阻止存储器进行分布式刷新。

在写入数据传输期间，写入数据与时钟边沿中心对齐。每个字中的第一个字节数据在 CK 的上升沿被存储器捕获，而第二个字节在 CK 的下降沿被捕获。RWDS 由主控接口驱动作为数据掩码。当数据被写入且 RWDS 为高电平时，该字节将被屏蔽且阵列不会被改变。当数据被写入且 RWDS 为低电平时，数据将被放入阵列中。由于主机在写入数据传输期间驱动 RWDS，因此主机和 HYPERRAM™ 器件都无法指示写入传输的数据传输部分内是否需要延迟。可接受的写入数据并发长度设置也显示在配置寄存器 0 中。

回卷并发将继续在并发长度内回卷，而线性并发将跨行边界按顺序输出数据。当线性并发读取到达阵列中的最后一个地址时，继续在最后一个地址之外进行并发将提供从地址范围的开头开始的数据。当时钟空闲时，可以通过将 CS# 置于高电平来随时结束读取传输。时钟不能自由运行。当 CS# 为高电平时，时钟可能保持空闲。

xSPI (八线) 传输详情

4.1 指令/地址/数据位分配

表 2 指令集 [11, 12, 13, 14, 15]

Command	Code	CA-Data	Address (bytes)	Latency cycles	Data (bytes)	Prerequisite
Software Reset						
RESET ENABLE	0x66	8-0-0	0	0	0	
RESET	0x99	8-0-0	0	0	0	RESET ENABLE
Identification						
READ ID ^[11]	0x9F	8-8-8	4 (0x00)	3-7	4	
Power Modes						
DEEP POWER DOWN	0xB9	8-0-0	0	0	0	
Read Memory Array						
READ (DDR)	0xEE	8-8-8	4	3-7	1 to ∞	
Write Memory Array						
WRITE (DDR)	0xDE	8-8-8	4	3-7	1 to ∞	WRITE ENABLE
Write Enable/Disable						
WRITE ENABLE	0x06	8-0-0	0	0	0	
WRITE DISABLE	0x04	8-0-0	0	0	0	
Read Registers						
READ ANY REGISTER	0x65	8-8-8	4	3-7	2	
Write Registers						
WRITE ANY REGISTER	0x71	8-8-8	4	0	2	WRITE ENABLE

注释

- 两个标识寄存器的内容一起读取 - 先读取标识 0，然后读取标识 1。
- 写入使能提供保护，防止内存或寄存器的值被无意更改。它设置内部写入使能锁存器 (WEL)，允许写入传输随后执行。
- 写入禁止可用于从执行中写入失效，不能使能的传输。它会重置内部写入使能锁存器 (WEL)。
- 在任何成功的内存写入传输结束时，WEL 锁存器都会保持置位为“1”。在掉电/上电序列或硬件/软件复位后，WEL 锁存器被清除为“0”。
- 在任何成功的寄存器写入传输结束时，内部 WEL 锁存器都会被清除为“0”。

4.2 复位使能传输

在复位传输之前需要立即进行复位使能传输。复位使能之后除复位之外的任何传输都将清零，复位复位使能条件，并阻止后续的复位传输被识别。

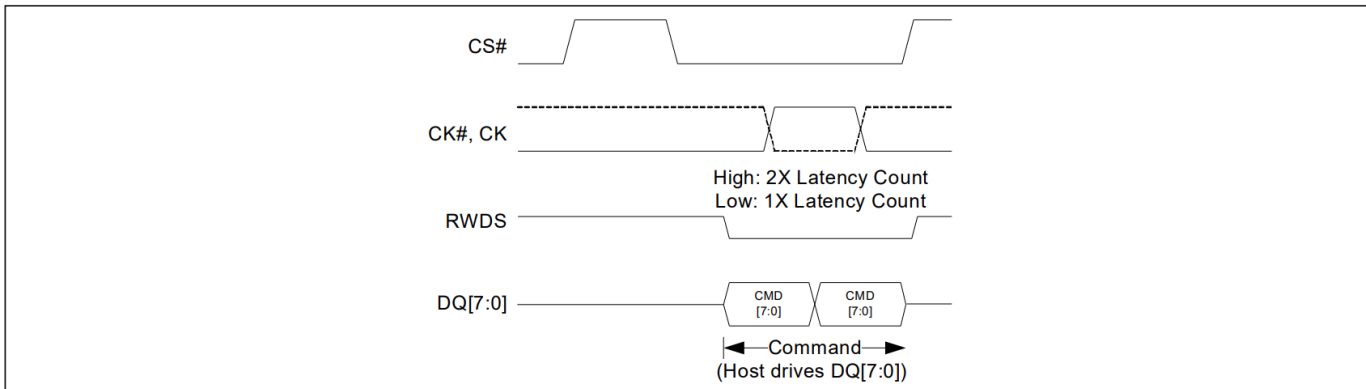


图 6 复位使能传输 (DDR) [16]

4.3 复位传输

紧随复位使能之后的复位传输将启动软件复位过程。

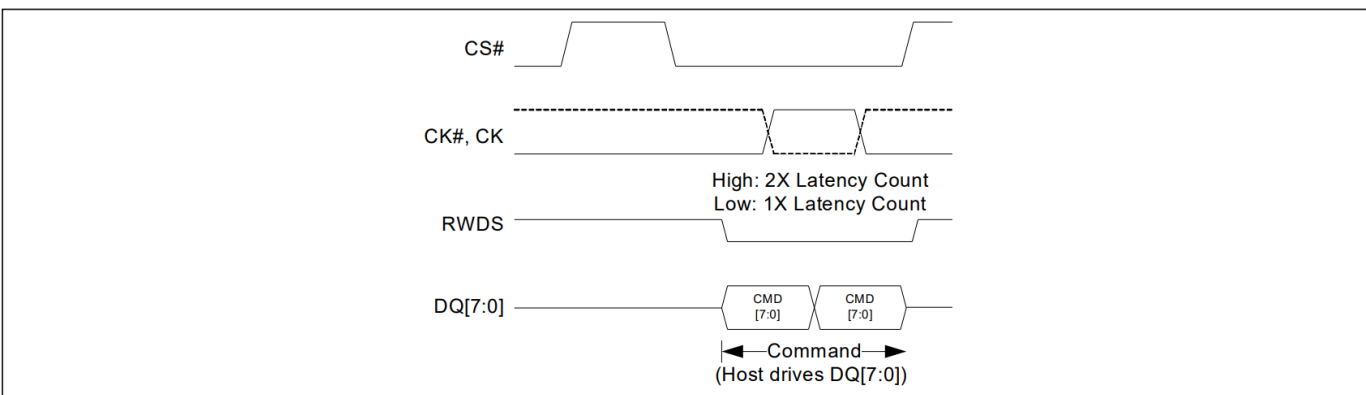


图 7 复位传输 (DDR) [16]

注释

16. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。

4.4 读取 ID 传输

读取 ID 传输提供对器件标识寄存器 0 和 1 的读取访问。寄存器包含制造商的标识以及器件标识。读取数据的顺序如下。

表3 读取 ID 顺序

Address space	Byte order	Byte position	Word data bit	DQ
Register 0	Big-endian	A	15	7
			14	6
			13	5
			12	4
			11	3
			10	2
			9	1
			8	0
		B	7	7
			6	6
			5	5
			4	4
			3	3
			2	2
			1	1
			0	0
Register 1	Big-endian	A	15	7
			14	6
			13	5
			12	4
			11	3
			10	2
			9	1
			8	0
		B	7	7
			6	6
			5	5
			4	4
			3	3
			2	2
			1	1
			0	0

xSPI (八线) 传输详情

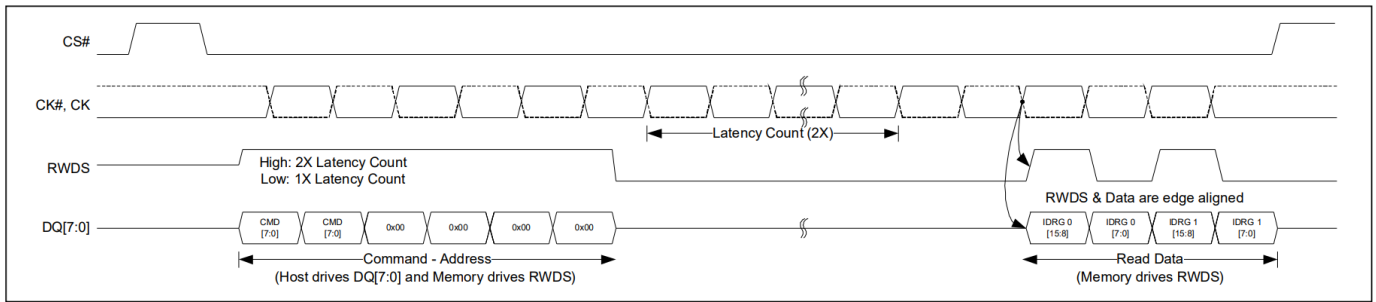


图 8 具有 2X 延迟传输的读取 ID (DDR) [17]

4.5 深度掉电传输

深度掉电传输使器件进入深度掉电状态，这是功耗最低的状态。向 CR0[15] 写入“0”也会使器件进入深度掉电状态。在深度掉电状态和器件上电处于默认状态时，所有寄存器内容都会丢失。

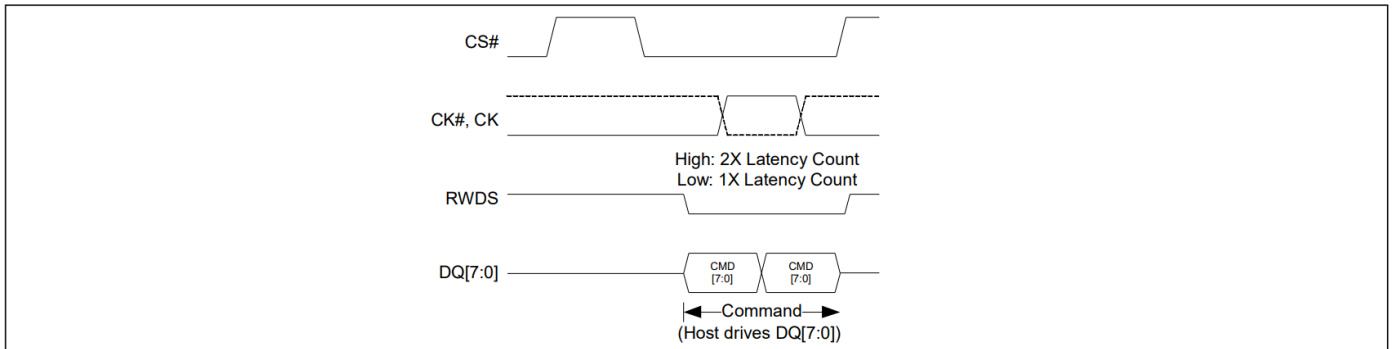


图 9 深度掉电传输(DDR)[17]

注释

17. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。

4.6 读取传输

读取传输从内存阵列读取数据。它具有延迟要求（虚拟周期），这使得器件的内部电路有足够的时间来访问寻址的内存位置。在这些延迟周期内，主机可以使数据总线 DQ[7:0] 处于三态。

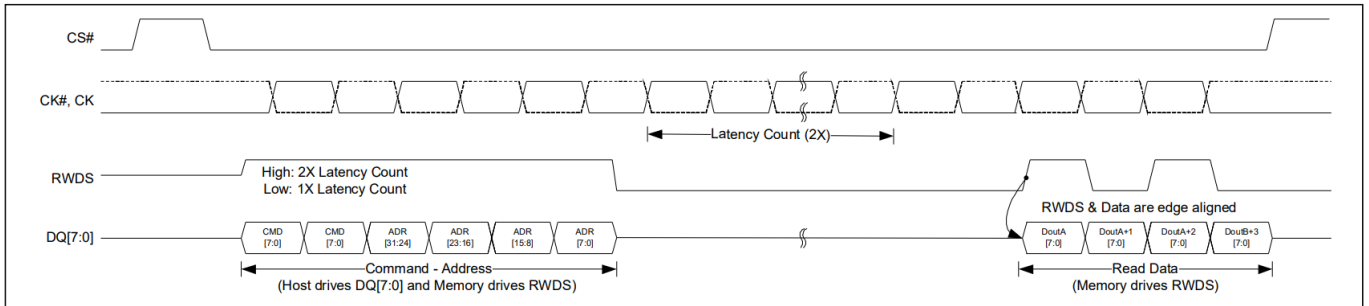


图 10 具有 2X 延迟传输的读取 (DDR) [18,19]

4.7 写入传输

写入传输将数据写入内存阵列。它具有延迟要求（虚拟周期），这使得器件的内部电路有足够的时间来访问寻址的内存位置。在这些延迟周期内，主机可以使数据总线 DQ[7:0] 处于三态。

设置WEL锁存器的写入使能传输必须在第一个写入传输之前执行。在任何成功的内存写入传输结束时，WEL 锁存器都会保持置位为“1”。必须通过写入禁止传输将其复位，以防止对内存阵列进行任何无意的写入。

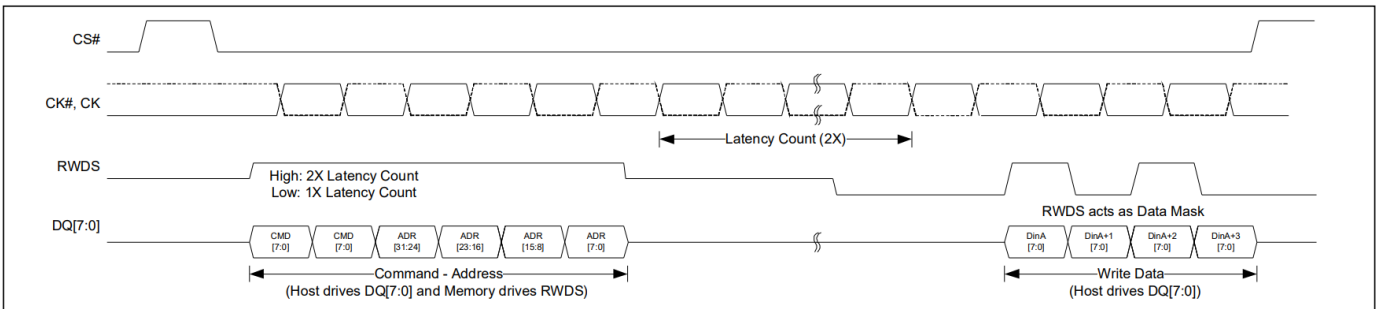


图 11 具有 2X 延迟传输的写入 (DDR) [18, 19, 20]

注释

- 18. RWDS 在命令和地址周期中由HYPERRAM™驱动，实现 2 倍延迟，然后再次驱动，与数据相位对齐。
- 19. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。
- 20. 数据 DinA 和 DinA+2 被屏蔽。

4.8 写入使能传输

写入使能传输必须在修改写入或写入中的数据的所有传输之前执行。

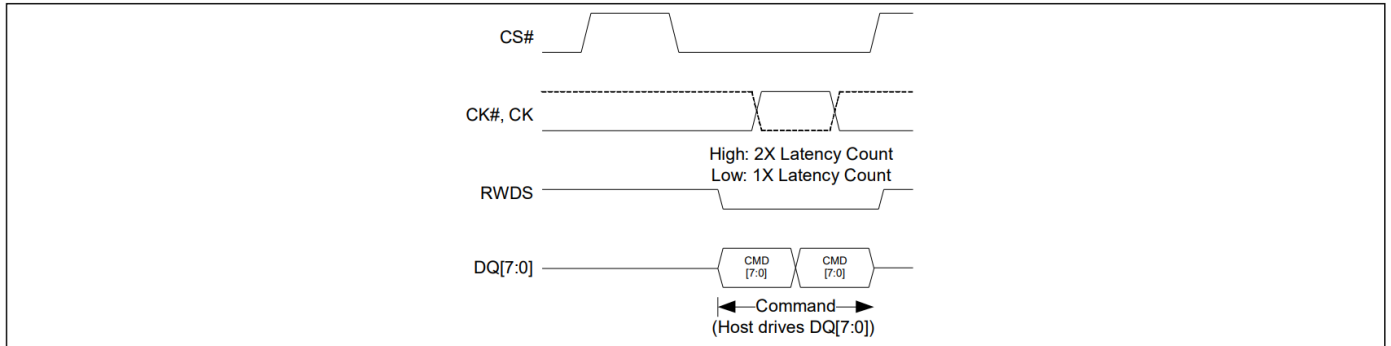


图 12 写入使能传输 (DDR) [21]

4.9 写入禁止传输

写入禁止传输禁止在内存阵列或寄存器中写入数据。

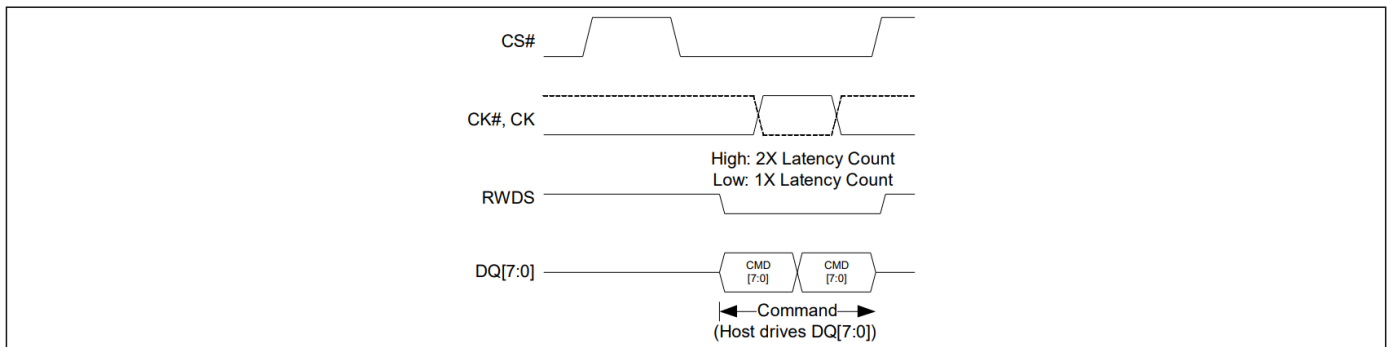


图 13 写入禁止传输 (DDR) [21]

注释

21. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。

4.10 读取任意寄存器传输

读取任意寄存器传输读取所有器件寄存器。它有一个延迟要求（虚拟周期），允许器件的内部电路有足够的时间来访问寻址的寄存器位置。在这些延迟周期内，主机可以使数据总线 DQ[7:0] 处于三态。

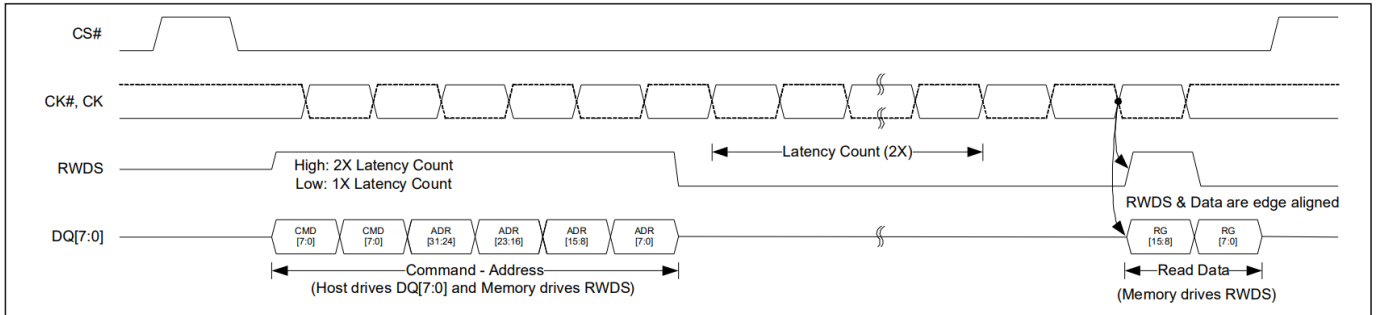


图 14 以 2X 延迟传输读取任意寄存器 (DDR) [22, 23]

4.11 写入任意寄存器传输

写入任意寄存器传输写入器件寄存器。它没有延迟要求（空等周期）。

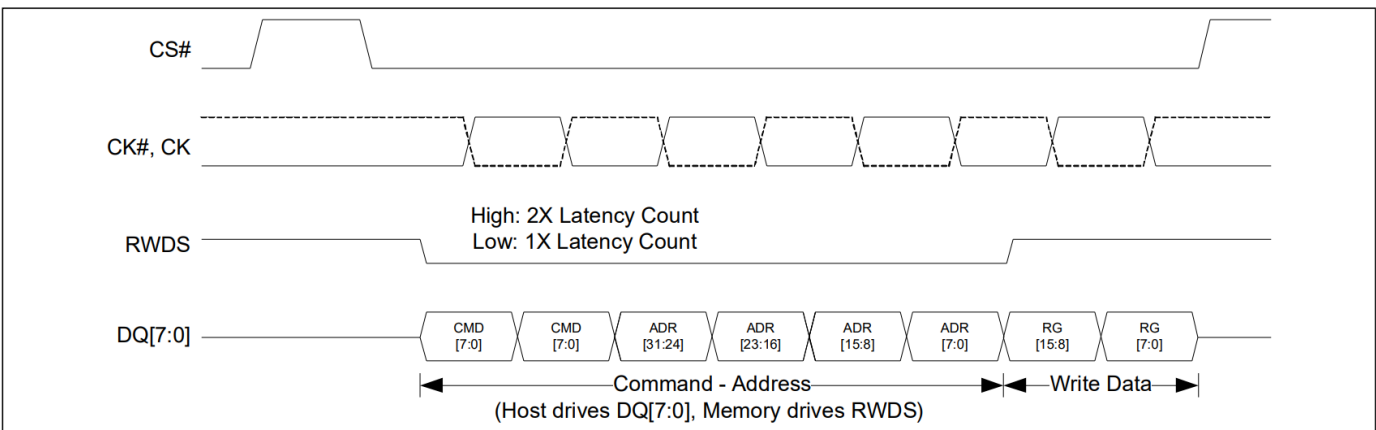


图 15 xSPI (八线) 无延迟传输写入 (DDR) (寄存器写入) [23, 24, 25]

注释

22. RWDS 在命令和地址周期中由 HYPERRAM™ 驱动，实现 2 倍延迟，然后再次驱动，与数据相位对齐。
23. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。
24. 无延迟写入传输仅用于寄存器写入。
25. 不支持 RWDS 上的数据掩码。

4.12 存储器读/写传输期间的数据放置

存储器读/写期间的数据放置取决于主机。该器件将按照写入（写入）的方式输出数据（读取）。因此，内存阵列同时支持大端位和小端位。

表 4 存储器读写期间的数据放置

Address space	Byte order	Byte position	Word data bit	DQ	Bit order
Memory	Big-endian	A	15	7	<p>When data is being accessed in memory space: The first byte of each word read or written is the “A” byte and the second is the “B” byte. The bits of the word within the A and B bytes depend on how the data was written. If the word lower address bits 7–0 are written in the A byte position and bits 15–8 are written into the B byte position, or vice versa, they will be read back in the same order. So, memory space can be stored and read in either little-endian or big-endian order.</p>
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
		8	0		
		B	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
	1		1		
	Little-endian	A	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
		0	0		
		B	15	7	
			14	6	
			13	5	
			12	4	
			11	3	
10			2		
9	1				
8	0				

4.13 寄存器读/写传输期间的数据放置

寄存器读/写期间的数据放置是大端位的。

表 5 寄存器读/写传输期间的数据放置

Address space	Byte order	Byte position	Word data bit	DQ	Bit order
Register	Big-endian	A	15	7	<p>When data is being accessed in register space: During a read transaction on the xSPI (Octal) two bytes are transferred on each clock cycle. The upper order byte A (Word[15:8]) is transferred between the rising and falling edges of RWDS (edge aligned). The lower order byte B (Word[7:0]) is transferred between the falling and rising edges of RWDS.</p> <p>During a write, the upper order byte A (Word[15:8]) is transferred on the CK rising edge and the lower order byte B (Word[7:0]) is transferred on the CK falling edge.</p> <p>Therefore, register space is always read and written in big-endian order because registers have device dependent fixed bit location and meaning definitions.</p>
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
			8	0	
		B	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
0	0				

存储器空间

5 存储器空间

5.1 xSPI (八线) 接口

表 6 存储器空间地址映射 (基于字节 - 8 位, 最低有效位 A(0) 始终设置为“0”)

Unit type	Count	System byte address bits	Address bits	Notes
Rows within 128-Mb device	16384 (rows)	A23-A10	35-22	
Rows within 64-Mb device	8192 (rows)	A22-A10	22-10	
Row	1 (row)	A9-A4	9-4	512 (16-bit word) or 1 KB
Half-page	16 (byte addresses)	A3-A0	3-0	16 bytes (8 words) A0 always set to '0'

5.2 密度和行界

器件的DRAM阵列大小(密度)可以根据用于行和列地址的系统地址位总数来确定,如ID0中的行地址位计数和列地址位计数字段所示。例如:64-Mb HYPERRAM™器件有10个列地址位和13个行地址位,总共23个地址位(字节地址) = 2^{23} = 8MB (4M字)。10列地址位表示每行包含 2^{10} = 512个字 = 1KB。行地址计数表示每个刷新间隔内有8196行需要刷新。行计数用于计算刷新间隔。

寄存器空间访问

6 寄存器空间访问

6.1 xSPI (八线) 接口

表 7 寄存器空间地址映射 (地址位 A0 始终置位为 '0')

Registers	Address (Byte addressable)
Identification Registers 0 (ID0[15:0]) - Die 0	0x00000000
Identification Registers 0 (ID0[15:0]) - Die 1	0x00800000
Identification Registers 1 (ID1[15:0]) - Die 0	0x00000002
Identification Registers 1 (ID1[15:0]) - Die 1	0x00800002
Configuration Registers 0 (ID0[15:0]) - Die 0	0x00000004
Configuration Registers 0 (ID0[15:0]) - Die 1	0x00800004
Configuration Registers 1 (ID1[15:0]) - Die 0	0x00000006
Configuration Registers 1 (ID1[15:0]) - Die 1	0x00800006
Die Manufacture Information Register (Registers 0 to Register 17) - die 0	0x00000008, 0x0000000A to 0x0000002A
Die Manufacture Information Register (Registers 0 to Register 17) - die 1	0x00800008, 0x0080000A to 0x0080002A

寄存器空间访问

6.2 器件标识寄存器

有两个只读、不易丢失的字寄存器，提供有关当 CS 为低电平时所选器件的信息。器件信息字段标识：

- 制造商
- 类型
- 密度
 - 行地址位数
 - 列地址位数

刷新类型

表 8 标识寄存器 0 (ID0) 位分配

Bits	Function	Settings (Binary)
[15:14]	Reserved	00b - Die 0 01b - Die 1
13	Reserved	0 - Default
[12:8]	Row address bit count	00000 - One row address bit ... 11111 - Thirty-two row address bits ... 01100 - 64 Mb - Thirteen row address bits (default)
[7:4]	Column address bit count	0000 - One column address bits ... 1001 - Ten column address bits (default) ... 1111 - Sixteen column address bits
[3:0]	Manufacturer	0000 - Reserved 0001 - Infineon (default) 0010 to 1111 - Reserved

表 9 标识寄存器 1 (ID1) 位分配

Bits	Function	Settings (Binary)
[15:4]	Reserved	0000_0000_0000 (default)
[3:0]	Device type	0001 - HYPERRAM™ 2.0 0000, 0010 to 1111 - Reserved

寄存器空间访问

6.3 器件配置寄存器

6.3.1 配置寄存器 0 (CR0)

配置寄存器 0 (CR0) 用于定义 HYPERRAM™ 器件的电源状态和访问协议操作条件。可配置的特性包括：

- 回卷并发长度（16、32、64 或 128 字节对齐和长度数据组）
- 回卷并发类型
 - 传统回卷（按选定长度和对齐组内的换行顺序访问）
 - 混合回卷（传统换行一次，然后在下一连串组开始时线性回卷）
- 初始延迟
- 可变延迟
 - 阵列读取或写入传输是否使用固定或可变延迟。如果选择固定延迟，存储器将始终指示刷新延迟并相应地延迟读取数据传输。如果选择了可变延迟，则仅当新传输开始时需要刷新时才会添加刷新延迟。
- 输出驱动强度
- 深度掉电 (DPD) 模式

表 10 配置寄存器 0 (CR0) 位分配

CR0 bit	Function	Settings (Binary)
[15]	Deep Power Down enable	1 - Normal operation (default). HYPERRAM™ will automatically set this value to '1' after DPD exit 0 - Writing 0 causes the device to enter Deep Power Down Only one die of the 128-Mb stack-die HYPERRAM™ can be programmed to enter DPD mode at a time.
[14:12]	Drive strength	000 - 34 Ω (default) 001 - 115 Ω 010 - 67 Ω 011 - 46 Ω 100 - 34 Ω 101 - 27 Ω 110 - 22 Ω 111 - 19 Ω
[11:8]	Reserved	1 - Reserved (default) Reserved for future use. When writing this register, these bits should be set to 1 for future compatibility.
[7:4]	Initial latency	0000 - 5 clock latency @ 133 Max frequency 0001 - 6 clock latency @ 166 Max frequency 0010 - 7 clock latency @ 200 MHz/166 MHz Max frequency (default) 0011 - Reserved 0100 - Reserved ... 1101 - Reserved 1110 - 3 clock latency @ 85 Max frequency 1111 - 4 clock latency @ 104 Max frequency

表 10 配置寄存器 0 (CR0) 位分配 (续)

CR0 bit	Function	Settings (Binary)
[3]	Fixed latency enable	0 - Reserved 1 - Fixed 2 times initial latency (default) The 128-Mb dual-die stack only supports fixed latency. In fixed latency mode, when CS# asserted LOW, 1. The RWDS signal of each die of dual-die 128-Mb will always drive to HIGH during CA phase. 2. The RWDS signal of the non-selected die of dual-die 128-Mb will always drive to Hi-Z after CA phase. 3. The RWDS signal of the selected die of dual-die 128-Mb will drive to L after CA phase.
[2]	Hybrid burst enable	0: Wrapped burst sequence to follow hybrid burst sequencing 1: Wrapped burst sequence in legacy wrapped burst manner (default) This bit setting is effective only when the “burst type” bit in the command/address register is set to ‘0’, i.e. CA[45] = ‘0’; otherwise, it is ignored.
[1:0]	Burst length	00 - 128 bytes 01 - 64 bytes 10 - 16 bytes 11 - 32 bytes (default)

6.3.1.1 回卷并发

回卷并发传输访问在字边界上对齐的一组字内的存储器，该边界与配置的组的长度相匹配。回卷的访问组可以配置为 16、32、64 或 128 字节的对齐和长度。在回卷传输期间，访问从组内的 CA 选定位置开始，继续到配置的字组对齐边界的末尾，然后回卷到组中的起始位置，然后继续回到起始位置。回卷并发通常用于关键字优先指令或数据缓存行填充读取访问。不支持跨越芯片边界的回卷并发。

6.3.1.2 混合并发

混合并发的开始将在目标地址回卷的并发组长度内回卷，然后继续回卷组末尾之外的下一个半页数据。继续访问是按照线性并发顺序进行的，直到通过返回 CS# 高电平结束传输。这种混合模式的回卷是从下一个并发组开始的线性并发的混合，允许在一次访问中填充多个连续地址缓存行。第一个缓存行从关键词开始填充。然后，在处理第一行的同时，可以将存储器中的下一个连续行读入缓存。不支持跨越芯片边界的混合并发。

表 11 CR0[2] 控制包装并发序列

Bit	Default value	Setting details
CR0[2]	1b	Hybrid burst enable CR0[2] = 0: Wrapped burst sequence to follow hybrid burst sequencing CR0[2] = 1: Wrapped burst sequence in legacy wrapped burst manner

寄存器空间访问

表 12 包装并发序列示例（寻址）

Burst type	Wrap boundary (Bytes)	Start address (Hex)	Sequence of byte addresses (hex) of data words
Hybrid 128	128 wrap once then linear	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02 (wrap complete, now linear beyond the end of the initial 128 byte wrap group) 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 4A, 4B, 4C, 4D, 4E, 4F, 50, 51, ...
Hybrid 64	64 wrap once then linear	XXXXXX02	02, 04, 06, 08, 0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 00 (wrap complete, now linear beyond the end of the initial 64 byte wrap group) 40, 42, 44, 46, 48, 4A, 4C, 4E, 50, 52, ...
Hybrid 64	64 wrap once then linear	XXXXXX2E	2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 00, 02, 04, 06, 08, 0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C (wrap complete, now linear beyond the end of the initial 64 byte wrap group) 40, 42, 44, 46, 48, 4A, 4B, 4C, 4D, 4E, 4F, 50, 52, ...
Hybrid 16	16 wrap once then linear	XXXXXX02	02, 04, 06, 08, 0A, 0C, 0E, 00 (wrap complete, now linear beyond the end of the initial 16 byte wrap group) 10, 12, 14, 16, 18, 1A, ..
Hybrid 16	16 wrap once then linear	XXXXXX0C	0C, 0E, 00, 02, 04, 06, 08, 0A (wrap complete, now linear beyond the end of the initial 16 byte wrap group) 10, 12, 14, 16, 18, 1A, ...
Hybrid 32	32 wrap once then linear	XXXXXX0A	0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 00, 02, 04, 06, 08 (wrap complete, now linear beyond the end of the initial 32 byte wrap group) 20, 22, 24, 26, 28, 2A, ...
Wrap 64	64	XXXXXX02	02, 04, 06, 08, 0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 00, ...
Wrap 64	64	XXXXXX2E	2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 00, 02, 04, 06, 08, 0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30,
Wrap 16	16	XXXXXX02	02, 04, 06, 08, 0A, 0C, 0E, 00, ...
Wrap 16	16	XXXXXX0C	0C, 0E, 00, 02, 04, 06, 08, 0A, ...
Wrap 32	32	XXXXXX0A	0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 00, 02, 04, 06, 08, ...
Linear	Linear burst	XXXXXX02	02, 04, 06, 08, 0A, 0C, 0E, 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, ...

寄存器空间访问

6.3.1.3 初始延迟

寄存器读写传输或寄存器空间读取传输需要一定的初始延迟来打开由寄存器控制器 (CA) 选择的行。该初始延迟为 t_{ACC} 。满足 t_{ACC} 所需的延迟时钟数取决于输入时钟频率，频率范围从 3 到 7 个时钟周期不等。CR0[7:4] 中的值用于选择初始延迟的时钟数。默认值为 7 个时钟周期，允许在主机设置较低的初始延迟值（可能对系统更优化）之前，最高工作频率可达 200 MHz。

如果在寄存器读取或写入传输或寄存器空间读取传输开始时需要分布式刷新，则 RWDS 信号在 CA 期间变为高电平，以指示正在插入额外的初始延迟，以允许刷新操作在打开选定行之前完成。

寄存器空间写入传输始终具有零初始延迟。在 CA 期间，RWDS 可能为高电平或低电平。CA 期间 RWDS 的电平不会影响紧接在 CA 之后的寄存器数据的放置，因为不需要初始延迟来获取寄存器数据。可以在内存阵列中与寄存器数据的捕获并行执行刷新操作。

6.3.1.4 固定延迟

提供了一个配置寄存器选项位 CR0[3]，通过在 CA 期间始终将 RWDS 驱动为高电平来使所有寄存器读写传输或寄存器空间读取传输需要相同的初始延迟，以指示需要两个初始延迟期。这种固定的初始延迟与分布式刷新的任何需求无关，它只是为所有这些传输类型提供固定的（确定性的）初始延迟。固定延迟是默认的 POR 或复位配置。

6.3.1.5 驱动强度

DQ 和 RWDS 信号线负载、长度和阻抗根据每个系统设计而变化。配置寄存器位 CR0[14:12] 提供了一种调整 DQ[7:0] 和 RWDS 信号输出阻抗的方法，以根据系统条件定制 DQ 和 RWDS 信号阻抗，从而最大限度地减少过冲、下冲和振铃等高速信号行为。默认 POR 或复位配置值为 000b，用于选择可用输出阻抗选项的中点。

所示的阻抗值是典型硅工艺条件、标称工作电压（1.8 V 或 3.0 V）和 50°C 下的上拉和下拉驱动器的典型值。根据工艺、电压和温度 (PVT) 条件，阻抗值可能与典型值不同。随着过程变慢、电压降低或温度升高，阻抗会增加。随着过程的加快、电压的升高或温度的降低，阻抗将会降低。

每个系统设计都应评估工作电压和温度范围内的数据信号同一性，以选择适合工作条件的最佳驱动强度设置。

6.3.1.6 深度掉电

当系统运行不需要 HYPERRAM™ 器件时，可以通过向 CR0[15] 写入 0，将其置于一种非常低耗电的状态，称为深度掉电 (DPD)。当 CR0[15] 清零时，器件将在 t_{DPDIN} 时间内进入 DPD 状态，所有刷新操作停止。在 DPD 状态下，RAM 中的数据将丢失（在没有刷新的情况下变为无效）。退出 DPD 需要先将 CS 置低再置高、POR 或复位。在 DPD 模式下，仅监控 CS# 和 RESET# 信号。有关更多详细信息，请参阅“[深度掉电](#)”（分页 33）。

注释： 128 Mb HYPERRAM™ 是一种使用两个 64 Mb 芯片的堆叠芯片。在两个芯片中，一次只能编程一个芯片进入 DPD 模式。对两个芯片进行编程以一起进入 DPD 模式是不可行的，因为一个芯片进入 DPD 模式将需要 CS 高电平到低电平跳变，这将导致退出 DPD 模式输入另一芯片，反之亦然。

寄存器空间访问

6.3.2 配置寄存器 1

配置寄存器 1 (CR1) 用于定义HYPERRAM™器件的刷新阵列大小、刷新速率和混合休眠。可配置的特性包括:

- 部分阵列刷新
- 混合休眠状态
- 刷新率

表 13 配置寄存器 1 (CR1) 位分配

CR1 bit	Function	Setting (binary)
[15:8]	Reserved	FFh - Reserved (default) These bits should always be set to FFh
[7]	Burst type	1 - Linear burst (default) 0 - Wrapped burst
[6]	Master clock type	1 - Single ended - CK (default) 0 - Differential - CK#, CK
[5]	Hybrid sleep	1 - Causes the device to enter hybrid sleep state 0 - Normal operation (default) Only one die of the 128-Mb stack-die HYPERRAM™ can be programmed to enter hybrid sleep mode at a time.
[4:2]	Partial array refresh	000 - Full array (default) 001 - Bottom 1/2 array 010 - Bottom 1/4 array 011 - Bottom 1/8 array 100 - None 101 - Top 1/2 array 110 - Top 1/4 array 111 - Top 1/8 array
[1:0]	Distributed refresh interval (read only)	10 - 1 μ s t_{CSM} (Industrial Plus temperature range devices) 11 - Reserved 00 - Reserved 01 - 4 μ s t_{CSM} (Industrial temperature range devices)

6.3.2.1 并发类型

HYPERRAM™在 xSPI (八线) 模式下支持两种并发类型, 即线性和回卷。CR1[7] 选择要使用的类型。

6.3.2.2 主机时钟类型

支持两种时钟类型, 即单端时钟和差分时钟。CR1[6] 选择要使用的类型。

- 在单端时钟模式 (默认情况) 下, CK# 输入不可启用; 因此它可能保持浮动或偏置为高电平或低电平。
- 在差分时钟模式下 (启用时), CK#输入不能悬空。它必须由主机驱动, 或者偏置为高或低。

6.3.2.3 部分阵列刷新

部分格式化刷新配置将HYPERRAM™中的刷新操作限制为 CR1[5:3] 指定的内存阵列的一部分。这降低了待机电流。默认配置会刷新整个阵列。

6.3.2.4 混合休眠 (HS)

当系统运行不需要HYPERRAM™但需要保留器件中的数据时，可以将其置于混合休眠状态以节省更多功率。将1写入CR1[5]，进入混合休眠状态。将CS#拉低将导致器件退出HS状态并将CR1[5]设置为0。此外，POR或硬件复位将导致器件退出混合休眠状态。请注意：POR或硬件复位会禁用刷新，从而防止存储器内核数据可能丢失。

注释： 128 Mb HYPERRAM™是一种使用两个64 Mb芯片的堆叠芯片。在两个芯片中，一次只能编程一个芯片进入HS模式。对两个芯片进行编程以一起进入HS模式是不可行的，因为一个芯片进入HS模式将需要CS高电平到低电平跳变，这将导致退出HS模式输入另一芯片，反之亦然。

6.3.2.5 分布式刷新闻隔

DRAM阵列需要定期刷新阵列中的所有位。主机系统可以通过在指定的时间限制内读取或写入每行中的位置来完成此操作。读或写访问将一行位复制到内部缓冲区。在访问结束时，缓冲区中的位被写回存储器中的行，从而重新充电（刷新）DRAM存储器单元行中的位。

HYPERRAM™器件包括自动刷新行的自刷新逻辑。仅当主机未主动读取或写入存储器时，才能自动刷新行。如果当时需要刷新，刷新逻辑会等待任何活动读取或写入结束，然后再进行刷新。如果在刷新完成之前开始新的读取或写入，则存储器将在CA期间将RWDS驱动为高电平，以指示在新访问开始时需要2X初始延迟时间，以便允许刷新操作在开始新访问之前完成。

整个内存阵列所需的刷新时间间隔随温度的变化而变化，如表14所示。这是所有行必须刷新的时间。所有行的刷新可以作为每个间隔开始时的单批访问完成，也可以分批（并发刷新）多次刷新，分散在每个间隔内，或者作为在整个间隔内均匀分布的单行刷新。自刷新逻辑将单行刷新操作分布在每个间隔内，这样存储器就不会长时间忙于执行并发刷新操作，从而避免并发刷新会长时间延迟主机访问。

表 14 不同温度的阵列刷新闻隔

Device temperature (°C)	Array refresh interval (ms)	Array rows	Recommended t_{CSM} (μs)
85	64	8192	4
105	16	8192	1
105	16	8192	1

分布式刷新方法要求主机不执行太长的并发传输，以免阻止存储器在需要时执行分布式刷新。这为读写传输的长度设置了上限，以便刷新逻辑可以在传输之间插入刷新。此限制称为CS为低电平最大时间(t_{CSM})。 t_{CSM} 值由阵列刷新闻隔除以阵列中的行数确定，然后将该计算结果减半，以确保在需要分布式刷新之前立即开始的最大长度主机访问不会完全错过分布式刷新闻隔。由于 t_{CSM} 设置为所需分布式刷新闻隔的一半，因此任何延迟刷新操作的最大长度主机访问都将以刷新闻隔除以行数所需速率的两倍以上刷新操作。

主机需要遵守 t_{CSM} 值，在超出 t_{CSM} 限制之前结束每个传输。这可以通过主机存储控制器逻辑在达到 t_{CSM} 限制时拆分长传输来实现，或者通过主机硬件或软件不执行比 t_{CSM} 更长的单个读取或写入传输来实现。如表14所示在较低温度下，刷新闻隔较长，因此可以增加 t_{CSM} 以允许更长的传输。主机系统可以使用表中的 t_{CSM} 值来确定最高工作温度，也可以通过读取只读CR1[1:0]位动态确定该值，以便在每次访问之前设置分布式刷新闻隔。

接口状态

7 接口状态

表 15 描述了每个接口状态所需的接口信号值。

表 15 接口状态

Interface state	V_{CC}/V_{CCQ}	CS#	CK, CK#	DQ7-DQ0	RWDS	RESET#
Power-off	$< V_{LKO}$	X	X	HIGH-Z	HIGH-Z	X
Power-on (cold) reset	$\geq V_{CC}/V_{CCQ \text{ min}}$	X	X	HIGH-Z	HIGH-Z	X
Hardware (warm) reset	$\geq V_{CC}/V_{CCQ \text{ min}}$	X	X	HIGH-Z	HIGH-Z	L
Interface standby	$\geq V_{CC}/V_{CCQ \text{ min}}$	H	X	HIGH-Z	HIGH-Z	H
CA	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	Master output valid	Y	H
Read initial access latency (data bus turn around period)	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	HIGH-Z	L	H
Write initial access latency (RWDS turn around period)	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	HIGH-Z	HIGH-Z	H
Read data transfer	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	Slave output valid	Slave output valid Z or T	H
Write data transfer with initial latency	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	Master output valid	Master output valid X or T	H
Write data transfer without initial latency ^[26]	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	T	Master output valid	Slave output L or HIGH-Z	H
Active clock stop ^[27]	$\geq V_{CC}/V_{CCQ \text{ min}}$	L	Idle	Master or slave output valid or HIGH-Z	Y	H
Deep Power Down ^[27]	$\geq V_{CC}/V_{CCQ \text{ min}}$	H	X or T	HIGH-Z	HIGH-Z	H
Hybrid sleep ^[27]	$\geq V_{CC}/V_{CCQ \text{ min}}$	H	X or T	HIGH-Z	HIGH-Z	H

标志

L = V_{IL} H = V_{IH} X = V_{IL} 或 V_{IH} Y = V_{IL} 或 V_{IH} 或 V_{OL} 或 V_{OH} Z = V_{OL} 或 V_{OH}

L/H = 上升沿

H/L = 下降沿

T = 信息传输期间切换

Idle = CK 为低电平且 CK# 为高电平

Valid = 所有总线信号都有稳定的低或高电平

注释

26. 无初始延迟的写入（初始延迟为零）没有 RWDS 的周转期。HYPERRAM™ 器件将始终在 CA 期间驱动 RWDS，以指示是否需要延长延迟。由于主机写入数据紧随 CA 周期之后，HYPERRAM™ 器件可能会继续将 RWDS 驱动为低电平，或者将 RWDS 置于高阻态。主机不得在零延迟写入期间驱动 RWDS。零延迟写入不使用 RWDS 作为数据掩码功能。写入数据的所有字节（全字写入）。

27. 主动时钟停止详见“有效时钟停止”（分页31），DPD 详见“深度掉电”（分页33），混合休眠详见“混合休眠”（分页32）。

8 节能模式

8.1 接口待机

待机是在主机没有选择器件传输数据时 (CS# = 高) 的一种默认、低功耗接口状态。在此状态下, 除 CS# 和 RESET# 之外的所有输入和输出都将被忽略。

8.2 有效时钟停止

设计注释: 有效时钟停止功能是挂起器件特性以确定是否支持它。

有效时钟停止状态可减少在读写操作的数据传输过程中器件接口对 I_{CC6} 电平的热量消耗。当时钟保持稳定时间 $t_{ACC} + 30 \text{ ns}$ 时, 器件会自动启用此状态。在有效时钟停止状态下, 读取数据被锁存并始终驱动到数据总线。 I_{CC6} 的直流特性如“**直流特性**” (第36页) 所示。

当主机时钟停止以暂停数据传输时, 有效时钟停止状态有助于减少功耗电流。即使在延长的数据传输周期内 CS 可能保持低电平, 存储器器件主机接口也会在电流电平 $t_{ACC} + 30 \text{ ns}$ 时进入有效时钟停止。这允许器件在数据传输停滞时转换为较低的电流状态。一旦使用切换时钟重新启动数据传输, 有效读取或写入电流将恢复。有效时钟停止状态的使用不得违反 t_{CSM} 限制。CS 必须在违反 t_{CSM} 之前变为高电平。只要时钟处于低电平状态, 就可以在有效传输的任何部分停止时钟。注意, 建议避免在寄存器访问期间停止时钟。

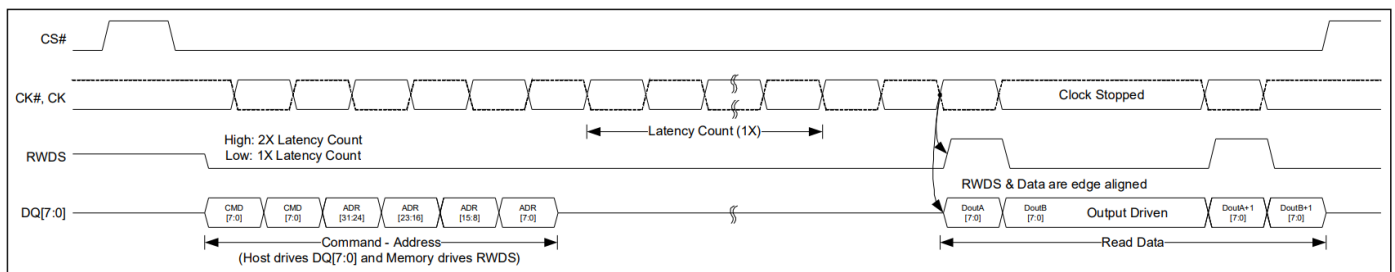


图 16 读取传输期间的有效时钟停止 (DDR)

8.3 混合休眠

在混合休眠 (HS) 状态下, 消耗电流减少 (I_{HS})。通过向 CR1[5] 写入 0 进入 HS 状态。器件会在 t_{HSIN} 时间内降低功率。存储空间和寄存器空间中的数据在 HS 状态期间被保留。将 CS 拉低将导致器件退出 HS 状态并将 CR1[5] 设置为 1。此外, POR 或硬件复位将导致器件退出混合休眠状态。请注意: POR 或硬件复位会禁用刷新, 从而防止内存数据可能丢失。返回到当前状态需要 t_{EXTHS} 时间。由于任何这些事件而退出 HS 后, 器件将处于与进入混合休眠相同的状态。

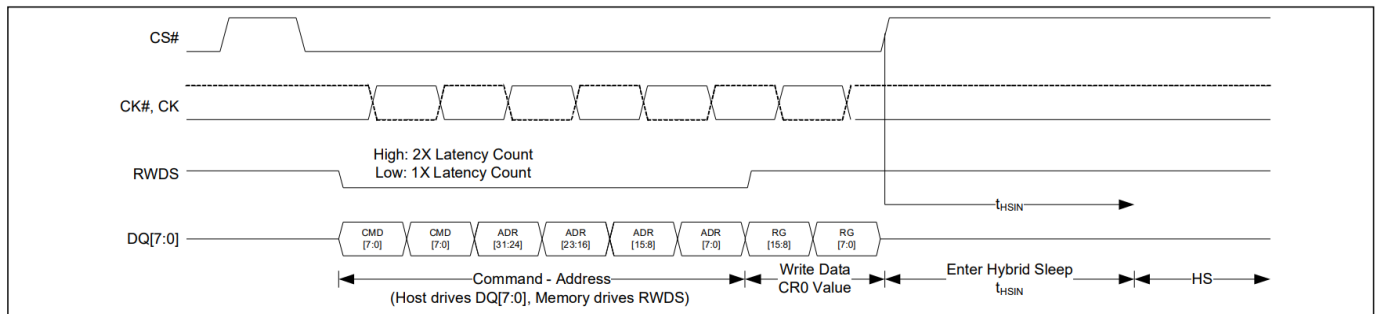


图17 进入HS传输^[28]

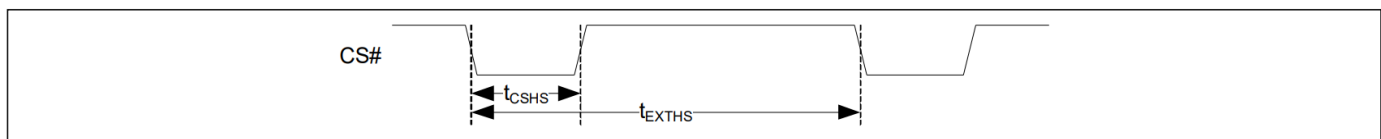


图18 退出 HS 传输

表 16 混合休眠时序参数

Parameter	Description	Min	Max	Unit
t_{HSIN}	Hybrid sleep CR1[5] = 1 register write to HS power level	–	3	μ s
t_{CSHS}	CS# pulse width to exit HS	60	3000	ns
t_{EXTHS}	CS# exit hybrid sleep to standby wakeup time	–	100	μ s

注释

28. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。无延迟写入传输仅用于寄存器写入。

8.4 深度掉电

在深度掉电 (DPD) 状态下, 消耗电流被驱动至尽可能低的水平 (I_{DPD})。通过向 CR0[15] 写入 0 进入 DPD 状态。器件在 t_{DPDIN} 时间内降低功率, 并且所有刷新操作停止。DPD 状态下, 存储空间中的数据丢失 (不刷新就无效)。将 CS# 驱动为低电平然后驱动为高电平将导致器件退出 DPD 状态。此外, POR 或硬件复位将导致器件退出 DPD 状态。

返回待机状态需要 t_{EXTDPD} 时间。与任何其他 POR 一样, POR 后返回待机状态需要 t_{VCS} 时间。由于上述任何事件退出 DPD 后, 器件处于与 POR 后相同的状态。

注释: 在 xSPI (八线) 中, 深度掉电传输或写入任意寄存器传输都可以用于进入 DPD。

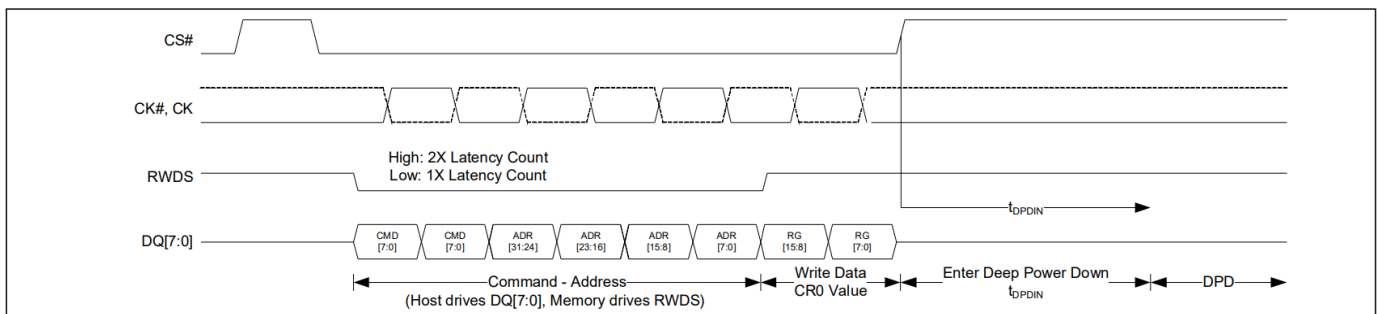


图 19 进入 DPD 传输^[29]

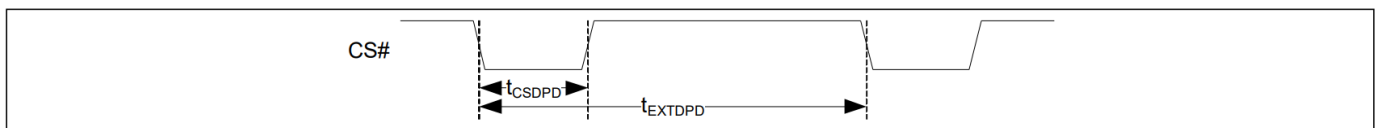


图 20 退出 DPD 传输

表 17 深度掉电时序参数

Parameter	Description	Min	Max	Unit
t_{DPDIN}	Deep Power Down CR0[15] = 0 register write to DPD power level	-	3	μ s
t_{CSDPD}	CS# pulse width to exit DPD	200	3000	ns
t_{EXTDPD}	CS# exit Deep Power Down to standby wakeup time	-	150	μ s

注释

29. 初始延迟“低电平 = 1x 延迟计数”不适用于双核心芯片、128-Mb HYPERRAM™。无延迟写入传输仅用于寄存器写入。

9 电气规格参数

9.1 绝对最大额定值

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +115°C
Voltage with respect to ground All signals ^[31]	-0.5 V to +(V _{CC} + 0.5 V)
Output short circuit current ^[32]	100 mA
V _{CC} , V _{CCQ}	-0.5 V to +4.0 V

9.2 输入信号过冲

在DC条件下，输入或 I/O 信号应保持等于或介于 V_{SS} 和 V_{CC} 之间。在电压转换期间，输入或 I/O 可能会超过 V_{SS} 至 -1.0 V 或超过 V_{CC} + 1.0 V，持续时间最长为 20 ns。

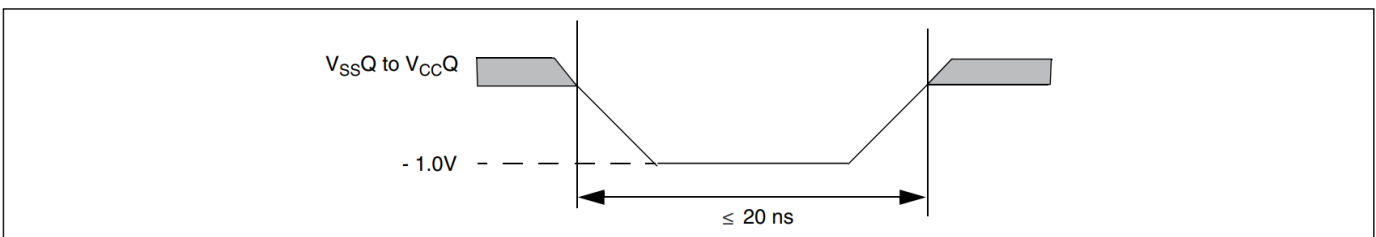


图21 最大负过冲波形

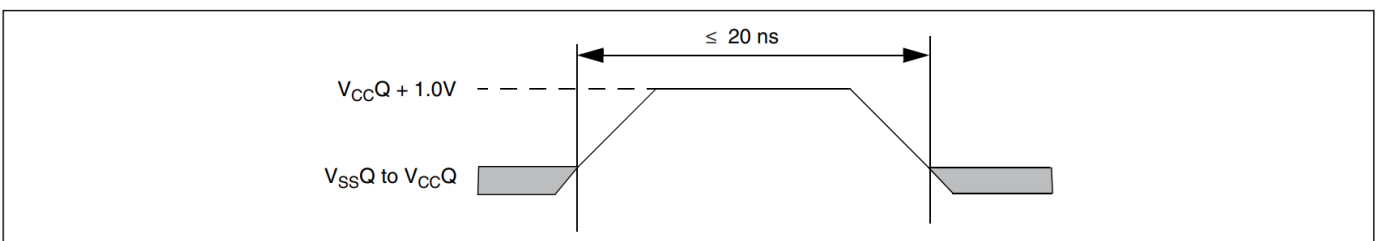


图 22 最大正过冲波形

注释

30. 如果使用大于**绝对最大额定值**中所列出的数值，可能对器件造成永久性损害。这只是压力额定值；并不意味器件在这些值或者在此数据手册操作部分所示值之上的任何其他情形下不能正常运行。如果让器件长时间在绝对最大额定值情况下运行，可能会影响器件的可靠性。
31. 输入或 I/O 信号上的最小直流电压为 -1.0 V。在电压转换期间，输入或 I/O 信号可能低于 V_{SS} 至 -1.0V，持续时间长达 20 ns。见**图 21**。输入或 I/O 信号上的最大直流电压为 V_{CC} + 1.0 V。在电压转换期间，输入或 I/O 信号可能高于 V_{CC} + 1.0V，持续时间长达 20 ns，见**图 22**。
32. 每一次只能有一个输出对地短接。短接时间不能超过一秒。

电气规格参数

9.3 闩锁特性

表 18 闩锁规范^[33]

Description	Min	Max	Unit
Input voltage with respect to V_{SSQ} on all input only connections	-1.0	$V_{CCQ} + 1.0$	V
Input voltage with respect to V_{SSQ} on all I/O connections			
V_{CCQ} Current	-100	+100	mA

9.4 工作范围

工作范围定义了一些限值，在这些限值之间可保证器件正常运行。

9.4.1 温度范围

表 19 温度范围

Parameter	Symbol	Device	Spec		Unit
			Min	Max	
Ambient temperature	T_A	Industrial (I)	-40	85	°C
		Industrial Plus (V)		105	
		Automotive, AEC-Q100 Grade 3 (A)		85	
		Automotive, AEC-Q100 Grade 2 (B)		105	

9.4.2 供电电压

表 20 供电电压

Description	Min	Max	Unit
1.8 V V_{CC} power supply	1.7	2.0	V
3.0 V V_{CC} power supply	2.7	3.6	
	2.7	3.6	

注释

33. 不包括功率电源 V_{CC}/V_{CCQ} 。测试条件： $V_{CC}=V_{CCQ}$ ，一次测试一个连接，未测试的连接处于 V_{SS} 。

9.5 直流特性

表 21 直流特性 (CMOS 兼容)

Parameter	Description	Test conditions	128 Mb			Unit
			Min	Typ ^[34]	Max	
I_{LI1}	Input leakage current 3.0 V device reset signal high only	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC}$ max	–	–	4	μA
I_{LI2}	Input leakage current 1.8 V device reset signal high only	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC}$ max			4	
I_{LI3}	Input leakage current 3.0 V device reset signal low only ^[35]	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC}$ max			30	
I_{LI4}	Input leakage current 1.8 V device reset signal low only ^[35]	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC}$ max			30	
I_{CC1}	V_{CC} active read current	$CS\# = V_{IL}$, @ 200 MHz, $V_{CC} = 2.0\text{ V}$		30	50	mA
		$CS\# = V_{IL}$, @ 166 MHz, $V_{CC} = 3.6\text{ V}$			56	
		$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 3.6\text{ V}$			60	
I_{CC2}	V_{CC} active write current	$CS\# = V_{IL}$, @ 200 MHz, $V_{CC} = 2.0\text{ V}$			50	
		$CS\# = V_{IL}$, @ 166 MHz, $V_{CC} = 3.6\text{ V}$			56	
		$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 3.6\text{ V}$			60	
I_{CC4I}	V_{CC} standby current (– 40°C to +85°C)	$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; full array		160	440	μA
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; bottom 1/2 array		–	420	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; bottom 1/4 array			410	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; bottom 1/8 array			400	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; top 1/2 array			420	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; top 1/4 array			410	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; top 1/8 array			400	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\text{ V}$; top 1/8 array			400	

注释

34. 并非100%经过了测试。

35. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式，而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收，使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格参数

表 21 直流特性 (CMOS 兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit	
			Min	Typ ^[34]	Max		
I _{CC4I}	V _{CC} standby current (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V; full array	-	180	500	μA	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/2 array		-	480		
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/4 array			450		
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array			440		
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/2 array			480		
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/4 array			450		
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/8 array			440		
I _{CC4P}	V _{CC} standby current (-40°C to +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V; full array	-	160	660		
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/2 array		-	630		
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/4 array			615		
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/8 array			600		
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/2 array			630		
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/4 array			615		
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/8 array			600		
		CS# = V _{CC} , V _{CC} = 3.6 V; full array			180		750
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/2 array		-			720
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/4 array					675
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array					660
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/2 array					720
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/4 array					675
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/8 array					660

注释

34. 并非100%经过了测试。

35. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式，而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收，使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格参数

表 21 直流特性 (CMOS 兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit
			Min	Typ ^[34]	Max	
I _{CC5}	Reset current	CS# = V _{IH} , RESET# = V _{IL} , V _{CC} = V _{CC max}	–		1.5	mA
I _{CC6I}	Active clock stop current (-40°C to +85°C)	CS# = V _{IL} , RESET# = V _{IH} , V _{CC} = V _{CC max}		10	13	
I _{CC6IP}	Active clock stop current (-40°C to +105°C)	CS# = V _{IL} , RESET# = V _{IH} , V _{CC} = V _{CC max}			19	
I _{CC7}	V _{CC} current during power up ^[34]	CS# = V _{IH} , V _{CC} = V _{CC max} , V _{CC} = V _{CCQ} = 2.0 V or 3.6 V		–	70	μA
I _{DPD} ^[35]	Deep Power Down current (-40°C to +85°C)	CS# = V _{IH} , V _{CC} = V _{CC max}			250	
I _{DPD} ^[35]	Deep Power Down current 3.0 V (-40°C to +85°C)	CS# = V _{IH} , V _{CC} = 3.6 V			220	
I _{DPD} ^[35]	Deep Power Down current (-40°C to +105°C)	CS# = V _{IH} , V _{CC} = V _{CC max}			330	
I _{DPD} ^[35]	Deep Power Down current 3.0 V (-40°C to +105°C)	CS# = V _{IH} , V _{CC} = 3.6 V			360	
I _{HS} ^[35]	Hybrid sleep current (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V; full array		105	420	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/2 array		–	370	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/4 array			330	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/8 array			310	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/2 array			370	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/4 array			330	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/8 array			310	
		CS# = V _{CC} , V _{CC} = 3.6 V; full array		115	480	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/2 array		–	430	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/4 array			370	
CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array			340			

注释

34. 并非100%经过了测试。

35. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式，而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收，使得 RESET# LOW 期间的 ILI 变得无关紧要。

表 21 直流特性 (CMOS 兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit			
			Min	Typ ^[34]	Max				
$I_{HS}^{[35]}$	Hybrid sleep current (-40°C to +85°C)	CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/2 array	-	-	430	μA			
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/4 array			370				
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/8 array			340				
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; full array			185		630		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; bottom 1/2 array			-		570		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; bottom 1/4 array					510		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; bottom 1/8 array					460		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; top 1/2 array					570		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; top 1/4 array					510		
		CS# = V_{CC} , $V_{CC} = 2.0\text{ V}$; top 1/8 array					460		
	Hybrid sleep current (-40°C to +105°C)	CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; full array	215	690					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; bottom 1/2 array	-	630					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; bottom 1/4 array		550					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; bottom 1/8 array		520					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/2 array		630					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/4 array		550					
		CS# = V_{CC} , $V_{CC} = 3.6\text{ V}$; top 1/8 array		520					
		V_{IL}		Input low voltage	-	$-0.15 \times V_{CCQ}$	-	$0.35 \times V_{CCQ}$	V
		V_{IH}		Input high voltage		$0.70 \times V_{CCQ}$		$1.15 \times V_{CCQ}$	
V_{OL}	Output low voltage	$I_{OL} = 100\ \mu\text{A}$ for DQ[7:0]	-		0.20				
V_{OH}	Output high voltage	$I_{OH} = 100\ \mu\text{A}$ for DQ[7:0]	$V_{CCQ} - 0.20$		-				

注释

34. 并非100%经过了测试。

35. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式，而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收，使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格参数

9.5.1 电容特性

表 22 1.8 V 电容特性^[36, 37, 38]

Description	Parameter	128 Mb	Unit
		Max	
Input capacitance (CK, CK#, CS#)	CI	6	pF
Delta input capacitance (CK, CK#)	CID	0.50	
Output capacitance (RWDS)	CO	6	
IO capacitance (DQx)	CIO	6	
IO capacitance delta (DQx)	CIOD	0.50	

表 23 3.0 V 电容特性^[36, 37, 38]

Description	Parameter	128 Mb	Unit
		Max	
Input capacitance (CK, CK#, CS#)	CI	6	pF
Delta input capacitance (CK, CK#)	CID	0.50	
Output capacitance (RWDS)	CO	6	
IO capacitance (DQx)	CIO	6	
IO capacitance delta (DQx)	CIOD	0.50	

9.5.2 热阻抗

表 24 热阻抗

Parameter ^[39]	Description	Test conditions	24-ball FBGA package	Unit
θ_{JA}	Thermal resistance (junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance, per EIA/JESD51.	54	°C/W
θ_{JC}	Thermal resistance (junction to case)		25.5	

注释

36. 这些值由设计保证，并且仅在样片基础上进行测试。

37. 触点电容采用矢量网络分析仪，按照 JEP147 电容测量规程进行测量。施加 V_{CC} 、 V_{CCQ} ，其他所有信号（被测信号除外）悬空。DQ 应处于高阻态。

38. 请注意：CK、CK#、RWDS 和 DQx 信号的电容值必须具有相似的电容值，以允许系统中的信号传播时间匹配。CS# 的电容值并不那么重要，因为在 CS# 变为有效（低电平）和数据出现在 DQ 总线上之间没有关键的时间顺序。

39. 此参数由特性保证；未经生产测试。

9.6 上电初始化

HYPERRAM™产品包括用于启动上电初始化过程的片上电压传感器。 V_{CC} 和 V_{CCQ} 必须同时施加。当电源达到 V_{CC} (min)或以上的稳定电平时，器件将需要 t_{VCS} 时间来完成其自初始化过程。

上电期间不得选择器件。CS# 必须跟随施加在 V_{CCQ} 上的电压，直至上电期间达到 V_{CC} (最小值)，然后CS# 必须保持高电平，并持续延迟 t_{VCS} 。可以在 V_{CCQ} 和片选(CS#)之间使用一个简单的上拉电阻，以确保安全正确地上电。

如果RESET# 在上电期间为低电平，器件会延迟 t_{VCS} 周期的启动，直至RESET# 变为高电平。 t_{VCS} 周期主要用于对DRAM 阵列执行刷新操作以对其进行初始化。

初始化完成后，器件即可正常运行。

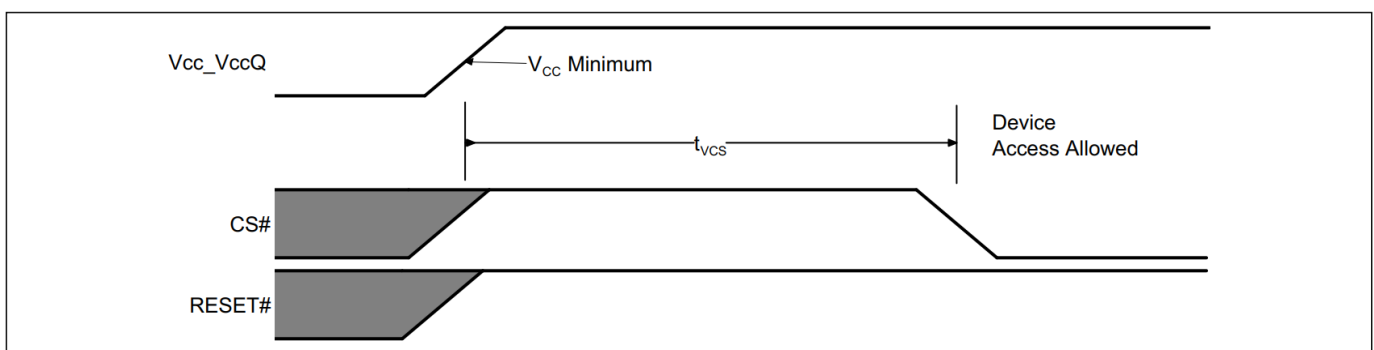


图 23 RESET# 为高电平时上电

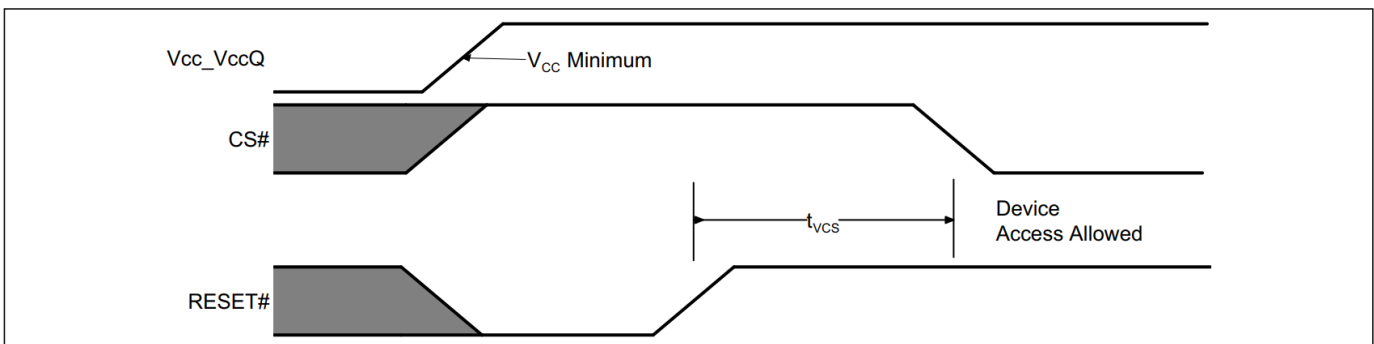


图 24 RESET# 为低电平时上电

表 25 上电和复位参数^[40, 41, 42]

Parameter	Description	Min	Max	Unit
V_{CC}	1.8 V V_{CC} power supply	1.7	2.0	V
	3.0 V V_{CC} power supply	2.7	3.6	
t_{VCS}	V_{CC} and $V_{CCQ} \geq$ minimum and RESET# HIGH to first access	–	150	μ s

注释

40. 上电复位时间(t_{VCS})期间不允许进行总线传输(读和写)。
41. V_{CCQ} 的电压必须与 V_{CC} 相同。
42. V_{CC} 斜率可能是非线性的。

9.8 硬件复位

RESET# 输入提供了一种将器件返回到待机状态的硬件方法。

在 t_{RPH} 期间，器件将吸收 I_{CC5} 电流。如果 RESET# 持续保持低电平超过 t_{RPH} 时间，器件将吸收 CMOS 待机电流 (I_{CC4})。当 RESET# 保持低电平 (t_{RP} 期间) 以及 t_{RPH} 期间，不允许总线传输。

硬件复位将执行以下操作：

- 使配置寄存器恢复到其默认值
- 当 RESET# 为低电平时停止自刷新操作 - 内存阵列数据被视为无效
- 强制器件退出混合休眠状态
- 强制器件退出深度掉电状态

RESET# 返回高电平后，将恢复自刷新操作。由于自刷新操作在 RESET# LOW 期间停止，且自刷新行计数器已重置至其默认值，因此某些行可能无法在表 14 所规定的阵列刷新间隔内刷新。这可能会导致在硬件复位期间或之后立即丢失 DRAM 阵列数据。主机应假定 DRAM 阵列数据在硬件复位后丢失，并重新加载任何所需的数据。

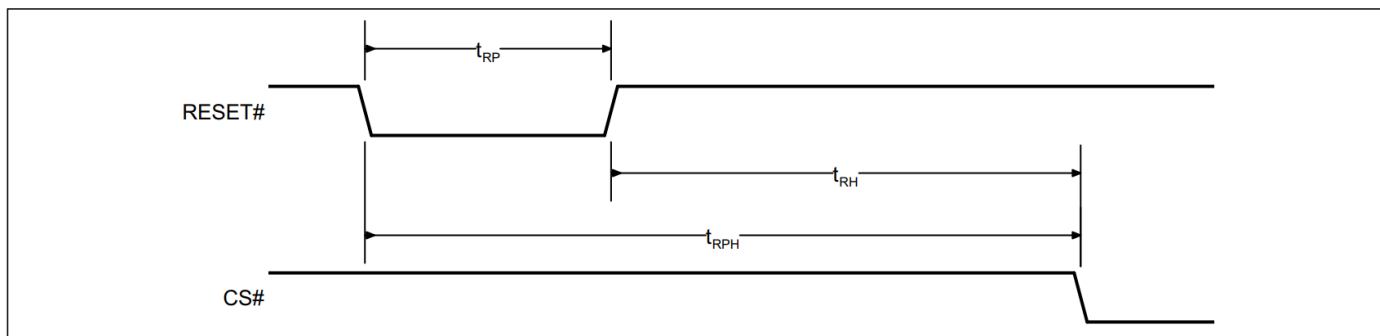


图 26 硬件复位时序图

表 28 上电和复位参数

Parameter	Description	Min	Max	Unit
t_{RP}	RESET# pulse width	200	-	ns
t_{RH}	Time between RESET# (HIGH) and CS# (LOW)			
t_{RPH}	RESET# LOW to CS# LOW	400		

9.9 软件复位

软件复位提供了一种将器件恢复到待机状态的软件方法。在 t_{SR} 期间，器件将吸收 I_{CC5} 电流。

软件复位将执行以下操作：

- 使配置寄存器恢复到其默认值
- 在软件复位过程中停止自刷新操作 - 内存阵列数据被视为无效

软件复位完成后，将恢复自刷新操作。由于自刷新操作已停止，并且自刷新行计数已重置至其默认值，因此在表14所规定的阵列刷新间隔内，某些行可能未刷新。这可能会导致在软件复位期间或紧随其后丢失 DRAM 阵列数据。主机应假定 DRAM 阵列数据在软件复位后丢失并重新加载任何所需的数据。

表 29 软件复位时序

Parameter	Description	Min	Max	Unit
t_{SR}	Software reset transaction CS# HIGH to device in standby	-	400	ns

时序规范

10 时序规范

以下部分描述了HYPERRAM™器件时序规范的相关方面。

10.1 波形切换的关键

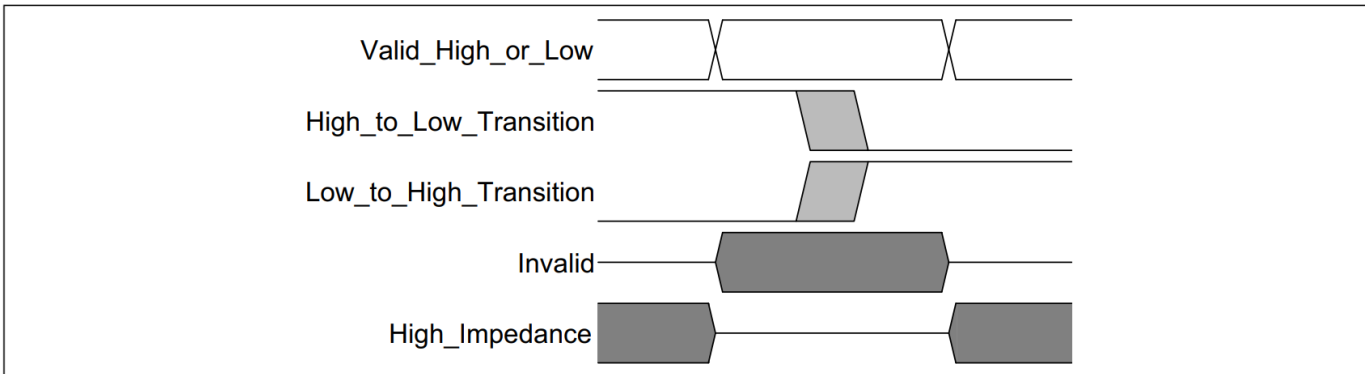


图 27 切换波形

10.2 交流测试条件

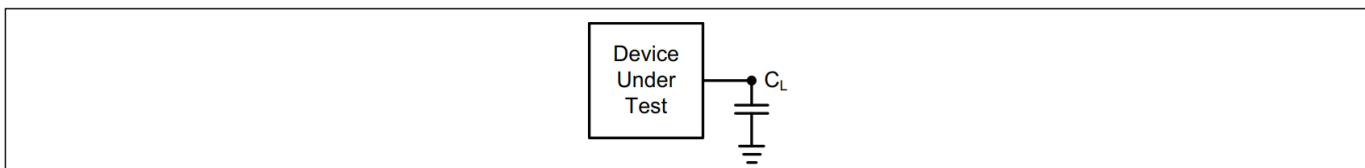


图 28 测试设置

表 30 测试规范^[44]

Parameter	All speeds	Units
Output load capacitance, C_L	15	pF
Minimum input rise and fall slew rates (1.8 V) ^[45]	1.13	V/ns
Minimum input rise and fall slew rates (3.0 V) ^[45]	2.06	
Input pulse levels	0.0– V_{CCQ}	V
Input timing measurement reference levels	$V_{CCQ}/2$	
Output timing measurement reference levels		

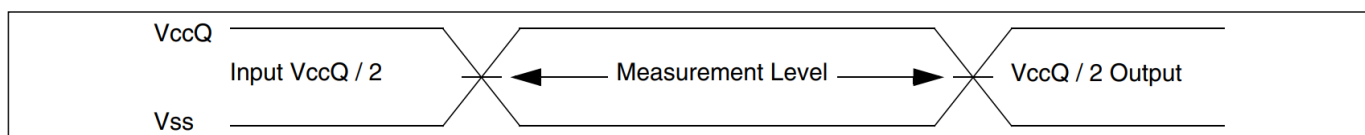


图 29 输入波形和测量电平^[46]

注释

- 44. 输入和输出时序以 $V_{CCQ}/2$ 或 CK/CK# 交叉为参考。
- 45. 所有交流时序均采用此输入斜率。
- 46. 差分 CK/CK# 对的输入时序是通过时钟交叉来测量的。

时序规范

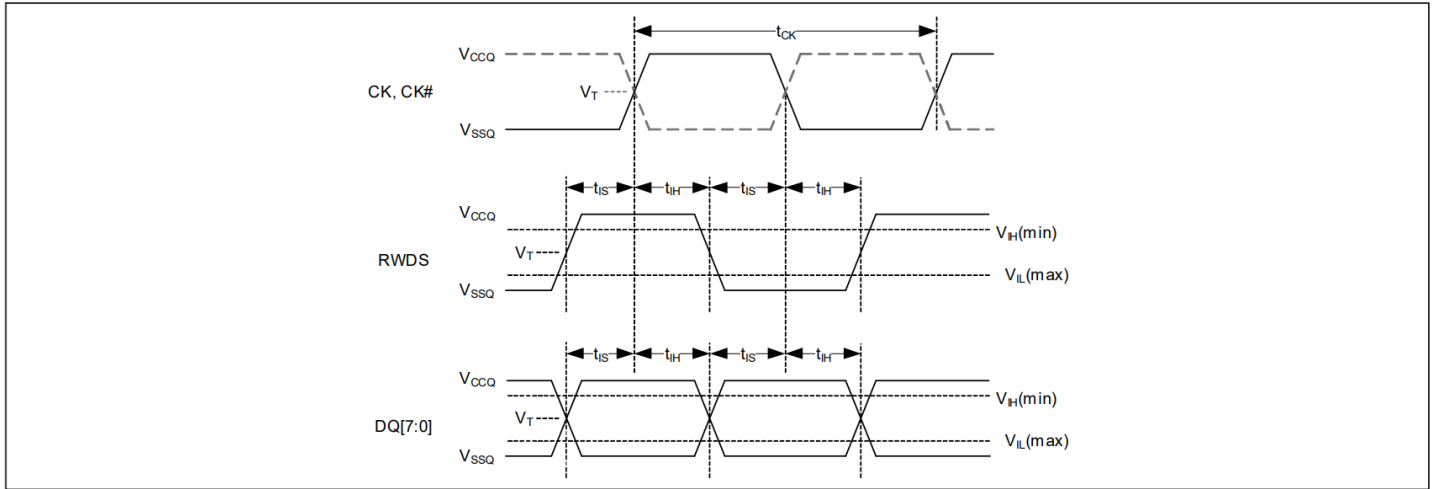


图 30 DDR 输入时序参考电平

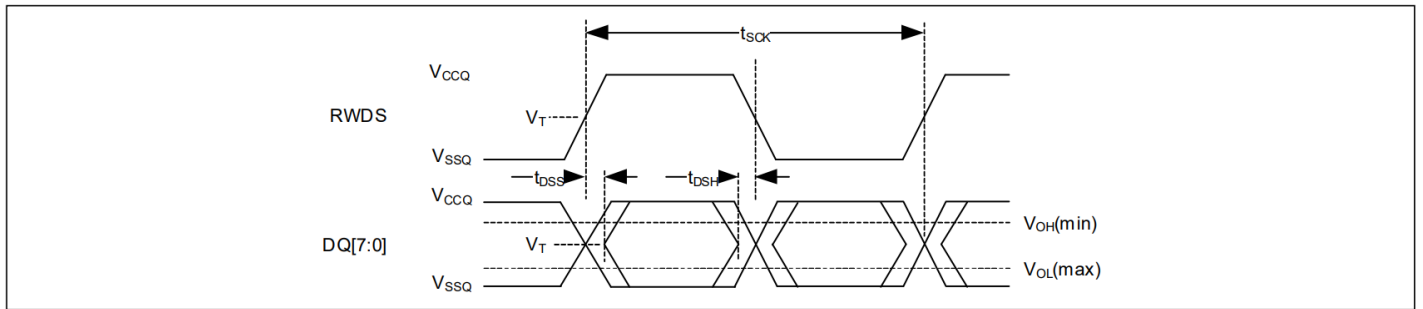


图 31 DDR 输出时序参考电平

时序规范

10.3 时钟特性

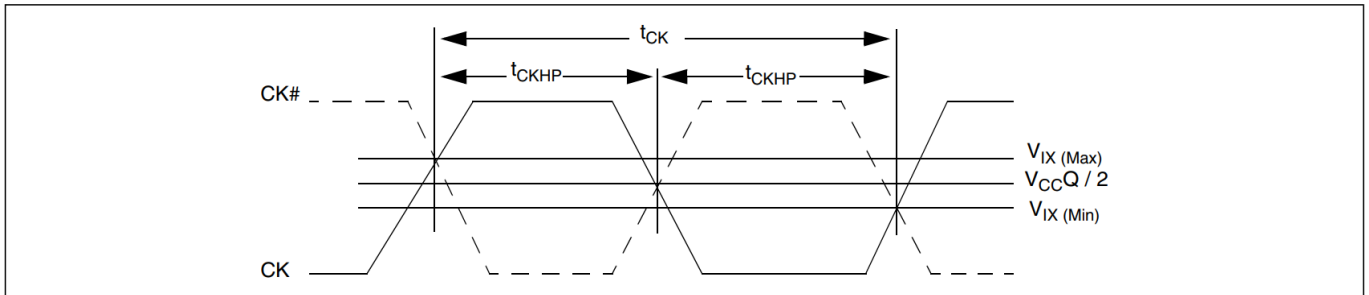


图 32 时钟特性

表 31 时钟时序^[47, 48, 49]

Parameter ^[50, 51]	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
CK period	t_{CK}	5	–	6	–	ns
CK half period - duty cycle	t_{CKHP}	0.45	0.55	0.45	0.55	t_{CK}
CK half period at frequency Min = 0.45 t_{CK} Min Max = 0.55 t_{CK} Min	t_{CKHP}	2.25	2.75	2.7	3.3	ns

表 32 时钟 AC-DC 电气特性^[52, 53]

Parameter	Symbol	Min	Max	Unit
DC input voltage	V_{IN}	-0.3	$V_{CCQ} + 0.3$	V
DC input differential voltage	$V_{ID(DC)}$	$V_{CCQ} \times 0.4$	$V_{CCQ} + 0.6$	
AC input differential voltage	$V_{ID(AC)}$	$V_{CCQ} \times 0.6$	$V_{CCQ} + 0.6$	
AC differential crossing voltage	V_{IX}	$V_{CCQ} \times 0.4$	$V_{CCQ} \times 0.6$	

注释

47. 允许 $\pm 5\%$ 的时钟抖动
48. 最小频率 (最大 t_{CK}) 取决于最大 CS# 低时间 (t_{CSM})、初始延迟和并发长度。
49. CK 和 CK# 输入斜率必须为 ≥ 1 V/ns (如果采用差分测量则为 2 V/ns)。
50. CK# 仅用于 1.8 V 器件, 显示为虚线波形。
51. 3V 器件采用单端时钟输入。
52. V_{ID} 是 CK 上的输入电平与 CK# 上的输入电平之间的差值幅度。
53. V_{IX} 的值预计等于目标器件的 $V_{CCQ}/2$, 并且必须跟踪 V_{CCQ} 的直流电平的变化。

时序规范

10.4 交流特性

10.4.1 读取传输

表 33 HYPERRAM™特定读取时序参数

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Chip select high between transactions - 1.8 V	t_{CSHI}	6	–	6	–	ns
Chip select high between transactions - 3.0 V						
HYPERRAM™ read-write recovery time - 1.8 V	t_{RWR}	35		36		
HYPERRAM™ read-write recovery time - 3.0 V						
Chip select setup to next CK rising edge	t_{CSS}	4.0		3		
Data strobe valid - 1.8 V	t_{DSV}	–	5.0	–	12	
Data strobe valid - 3.0 V				6.5		12
Input setup - 1.8 V	t_{IS}	0.5	–	0.6	–	
Input setup - 3.0 V						
Input hold - 1.8 V	t_{IH}					
Input hold - 3.0 V						
HYPERRAM™ read initial access time - 1.8 V	t_{ACC}	35		36		
HYPERRAM™ read initial access time - 3.0 V						
Clock to DQs low Z	t_{DQLZ}	0		0		
CK transition to DQ valid - 1.8 V	t_{CKD}	1	5.0	1	5.5	
CK transition to DQ valid - 3.0 V			6.5		7	
CK transition to DQ invalid - 1.8 V	t_{CKDI}	0	4.2	0	4.6	
CK transition to DQ invalid - 3.0 V			0.5		5.6	
Data Valid (t_{DV} min = the lesser of: t_{CKHP} min – t_{CKD} max + t_{CKDI} max or t_{CKHP} min – t_{CKD} min + t_{CKDI} min) - 1.8 V	$t_{DV}[5, 55]$	1.45	–	1.8	–	
Data Valid (t_{DV} min = the lesser of: t_{CKHP} min – t_{CKD} max + t_{CKDI} max or t_{CKHP} min – t_{CKD} min + t_{CKDI} min) - 3.0 V				1.3		
CK transition to RWDS valid - 1.8 V	t_{CKDS}	–	5.0	1	5.5	
CK transition to RWDS valid - 3.0 V			6.5		7	
RWDS transition to DQ valid - 1.8 V	t_{DSS}	–0.4	+0.4	–0.45	+0.45	
RWDS transition to DQ valid - 3.0 V						
RWDS transition to DQ invalid - 1.8 V	t_{DSH}					
RWDS transition to DQ invalid - 3.0 V						
Chip select hold after CK falling edge	t_{CSH}	0	–	0	–	

注释

54. 数据有效时序详见 图 35。

55. t_{DV} 时序计算仅供参考，不用于确定规格限值。规格限值由测试来保证。

物理接口

11 物理接口

11.1 FBGA 24 球 5 x 5 阵列封装

HYPERRAM™器件采用强化球栅阵列 (FBGA)、1 mm 间距、24 球、5 × 5 球阵列封装，主体尺寸为 6 mm × 8 mm。

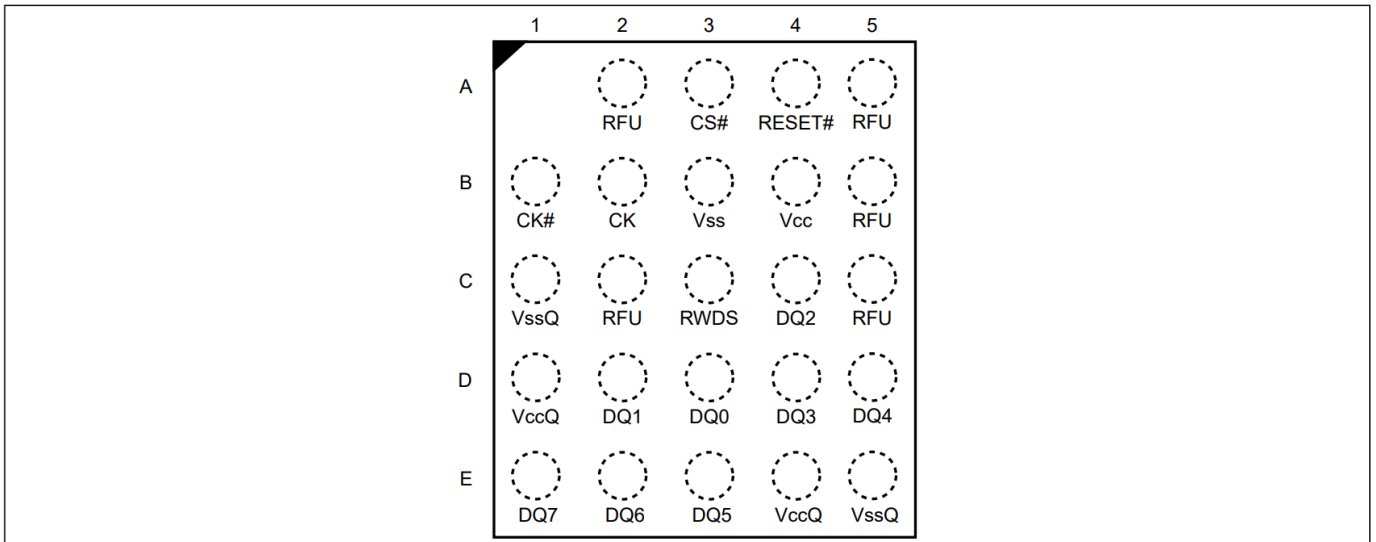
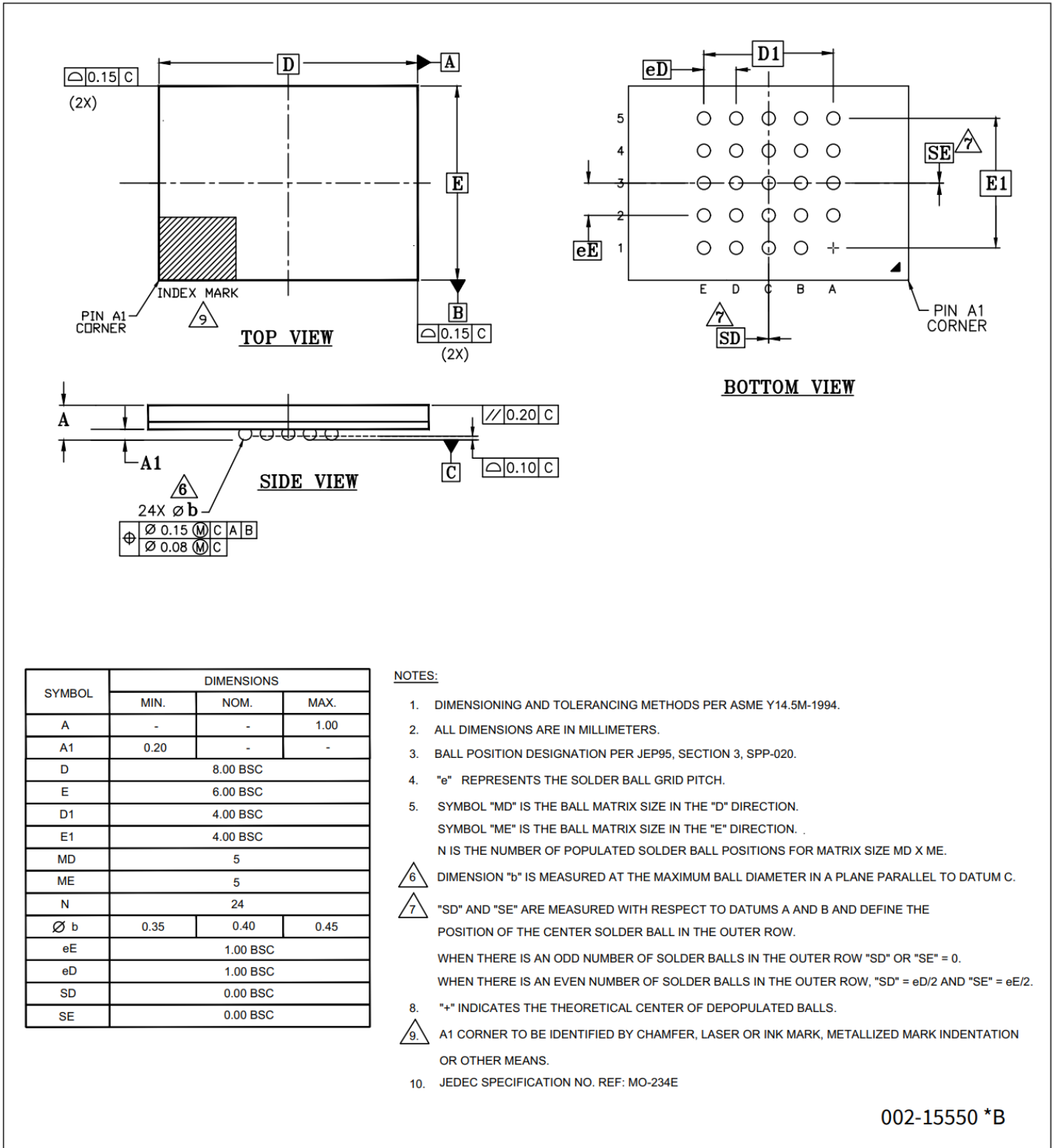


图 36 24 球 FBGA, 6 × 8 mm, 5 × 5 球封装, 顶视图

11.2 封装图



002-15550 *B

图 37 24 球BGA (8.0 mm × 6.0 mm × 1.0 mm) 封装外形 (PG- BGA -24)

12 DDR 中心对齐读取选通 (DCARS) 功能

HYPERRAM™器件提供了一种可选特性，可以实现RWDS信号相对于读取数据输出的独立倾斜（相移）。根据订购部件编号 (OPN)，某些器件会提供此特性。

当提供 DCARS 特性时，第二个差分相移时钟输入 PSC/PSC# 代替 CK/CK# 作为 RWDS 边缘的基准。第二个时钟通常是 CK/CK# 的副本，其相移 90 度，以将 RWDS 边缘置于 DQ 信号有效数据窗口的中心。然而，CK/CK# 和 PSC/PSC# 之间的其他相位差可用于优化 DQ 信号有效数据窗口内 RWDS 边缘的位置，以便 RWDS 提供所需的数据设置量并保持与 RWDS 边缘相关的时间。

写入传输期间不使用 PSC/PSC#。PSC 和 PSC# 可分别被驱动为低电平和高电平，或者在写入传输期间均被驱动为低电平。

PSC/PSC# 用于 xSPI（八线）器件。如果选择单端模式，则必须将 PSC# 驱动为低电平，但不得使其处于浮动状态（漏电问题）。

12.1 带有 DCARS 信号的 xSPI HYPERRAM™产品描述

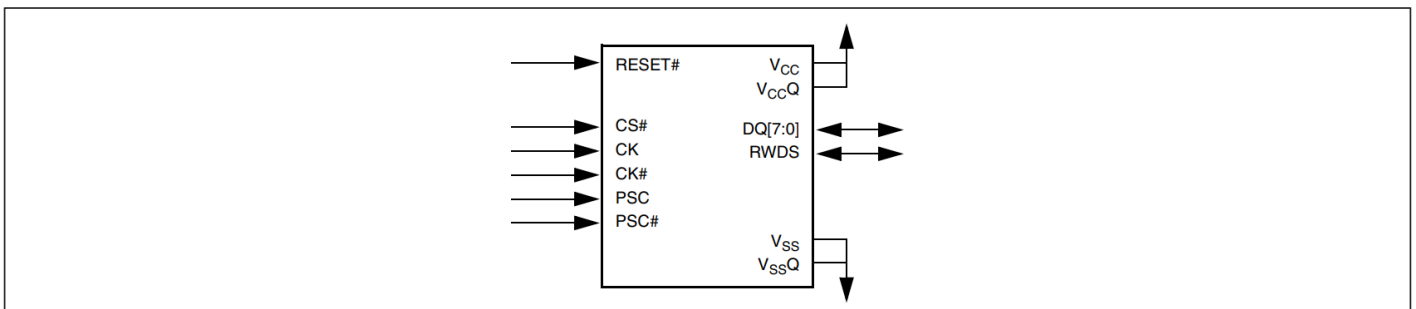


图 38 带有 DCARS 信号的 xSPI 产品图

表 35 信号描述

Symbol	Type	Description
CS#	Input	Chip Select xSPI transactions are initiated with a HIGH to LOW transition. xSPI transactions are terminated with a LOW to HIGH transition.
CK, CK#		Differential Clock Command, address, and data information is output with respect to the crossing of the CK and CK# signals. Use of differential clock is optional. Single Ended Clock CK# is not used, only a single ended CK is used. The clock is not required to be free-running.
PSC, PSC#		Phase Shifted Clock PSC/PSC# allows independent skewing of the RWDS signal with respect to the CK/CK# inputs. If the CK/CK# (differential mode) is configured, then PSC/PSC# are used. Otherwise, only PSC is used (single ended). PSC (and PSC#) may be driven HIGH and LOW respectively or both may be driven LOW during write transactions.

表 35 信号描述 (续)

Symbol	Type	Description
RWDS	Output	Read-Write Data Strobe Data bytes output during read transactions are aligned with RWDS based on the phase shift from CK, CK# to PSC, PSC#. PSC, PSC# cause the transitions of RWDS, thus the phase shift from CK, CK# to PSC, PSC# is used to place RWDS edges within the data valid window. RWDS is an input during write transactions to function as a data mask. At the beginning of all bus transactions RWDS is an output and indicates whether additional initial latency count is required. The dual-die, 128-Mb HYPERRAM™ chip supports data transactions with additional (2X) latency only.
DQ[7:0]	Input/output	Data Input/Output CA/data information is transferred on these DQs during read and write transactions.
RESET#	Input	Hardware RESET When LOW, the device will self initialize and return to the idle state. RWDS and DQ[7:0] are placed into the HIGH-Z state when RESET# is LOW. RESET# includes a weak pull-up, if RESET# is left unconnected it will be pulled up to the HIGH state.
V _{CC}	Power supply	Array Power
V _{CCQ}		Input/Output Power
V _{SS}		Array Ground
V _{SSQ}		Input/Output Ground

12.2 具有 DCARS 的 HYPERRAM™ 产品 – FBGA 24 球、5 × 5 阵列封装

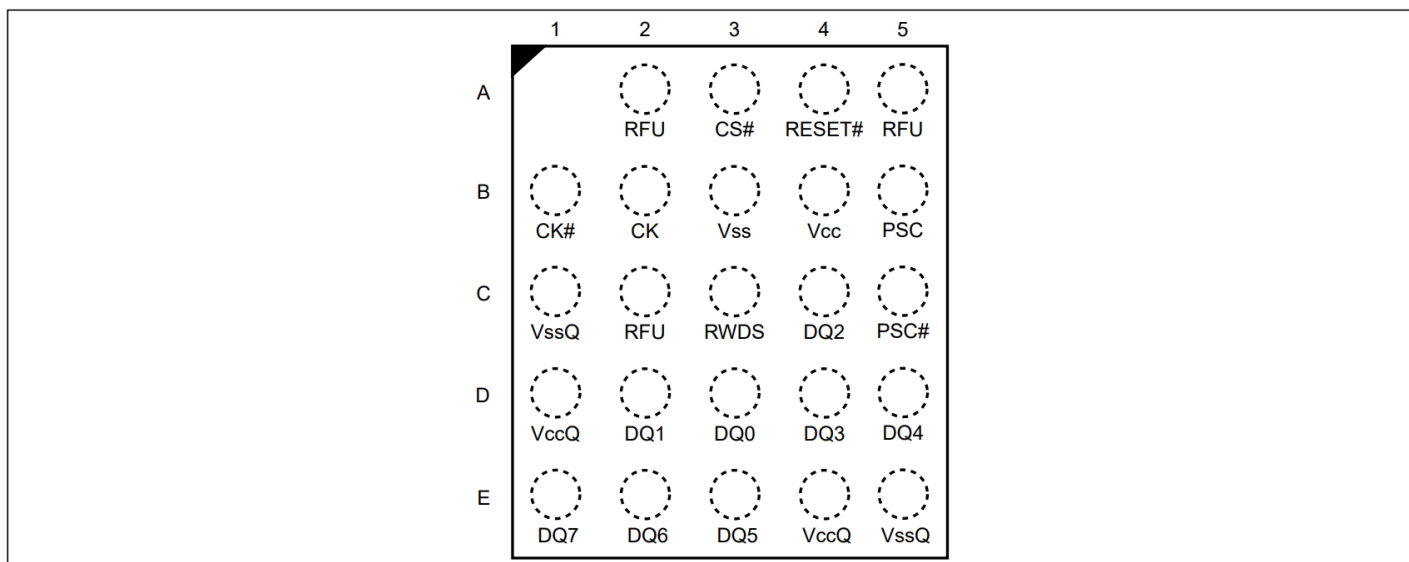


图 39 24 球 FBGA, 5 × 5 球封装, 顶视图

12.3 带有 DCARS 时序的 HYPERRAM™ 存储器

这里显示的插图和参数仅用于定义 DCARS 特性并显示相移时钟、RWDS 和数据之间的关系。

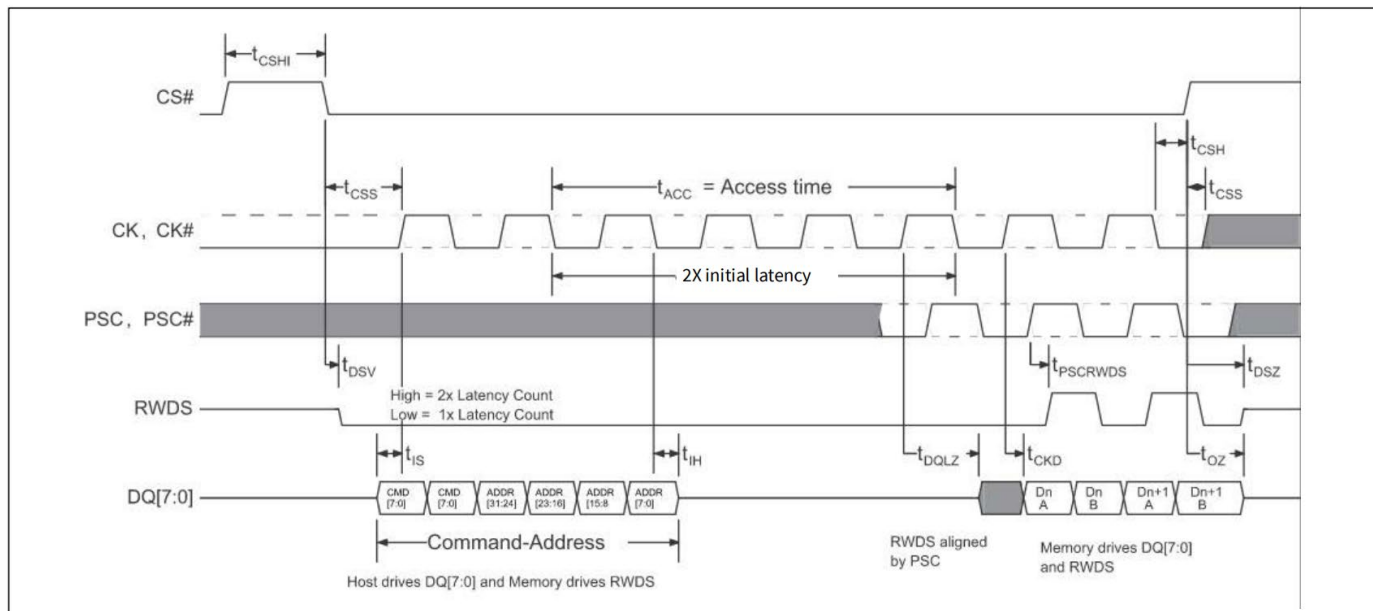


图 40 HYPERRAM™ 控制器 DCARS 时序图 [59, 60, 61, 62]

注释

59. 命令必须以 CK = 低电平和 CK# = 高电平来发起。在启动新命令之前，CS# 必须返回至高电平。
60. 存储器在读取传输期间驱动 RWDS。
61. 该示例演示了四个时钟的延迟代码设置，不需要额外的初始延迟。
62. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。

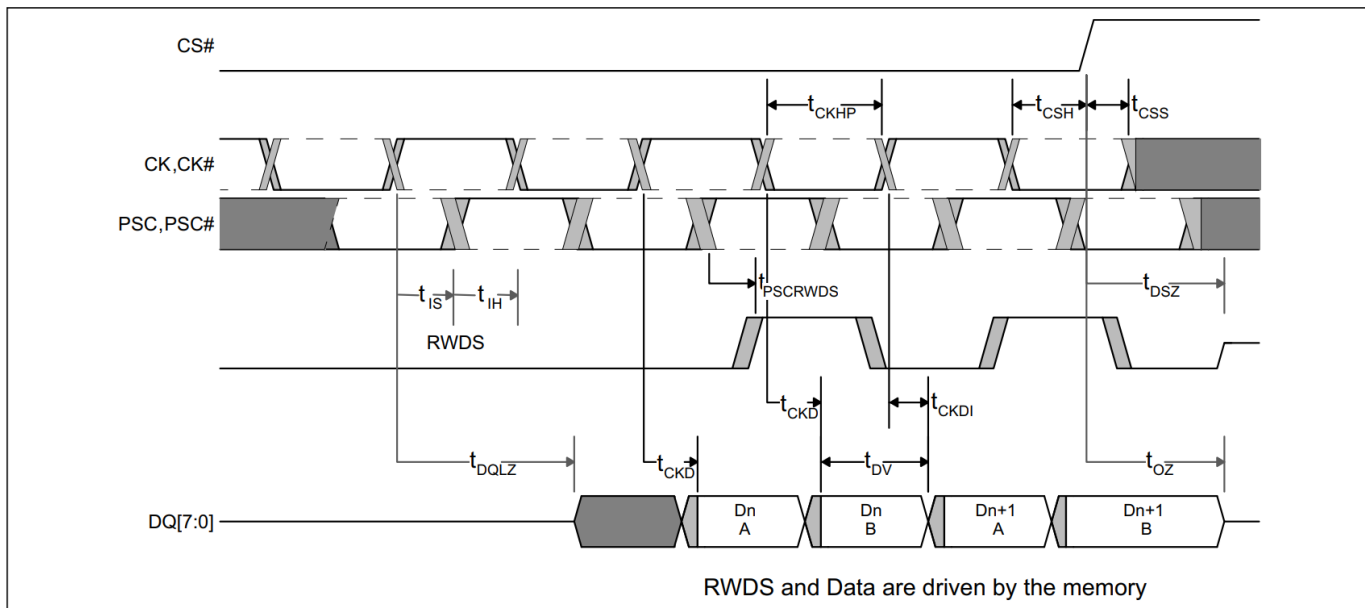
图 41 DCARS 数据有效时序^[63, 64, 65, 66]

表 36 DCARS 读取时序

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Input setup - CK/CK# setup w.r.t PSC/PSC# (edge to edge)	t_{IS}	0.5	-	0.6	-	ns
CK half period - duty cycle (edge to edge)	t_{IH}					
HYPERRAM™ PSC transition to RWDS transition	$t_{PSCRWDS}$	-	5	-	6.5	
Time delta between CK to DQ valid and PSC to RWDS ^[67]	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	-1.0	+0.5	

注释

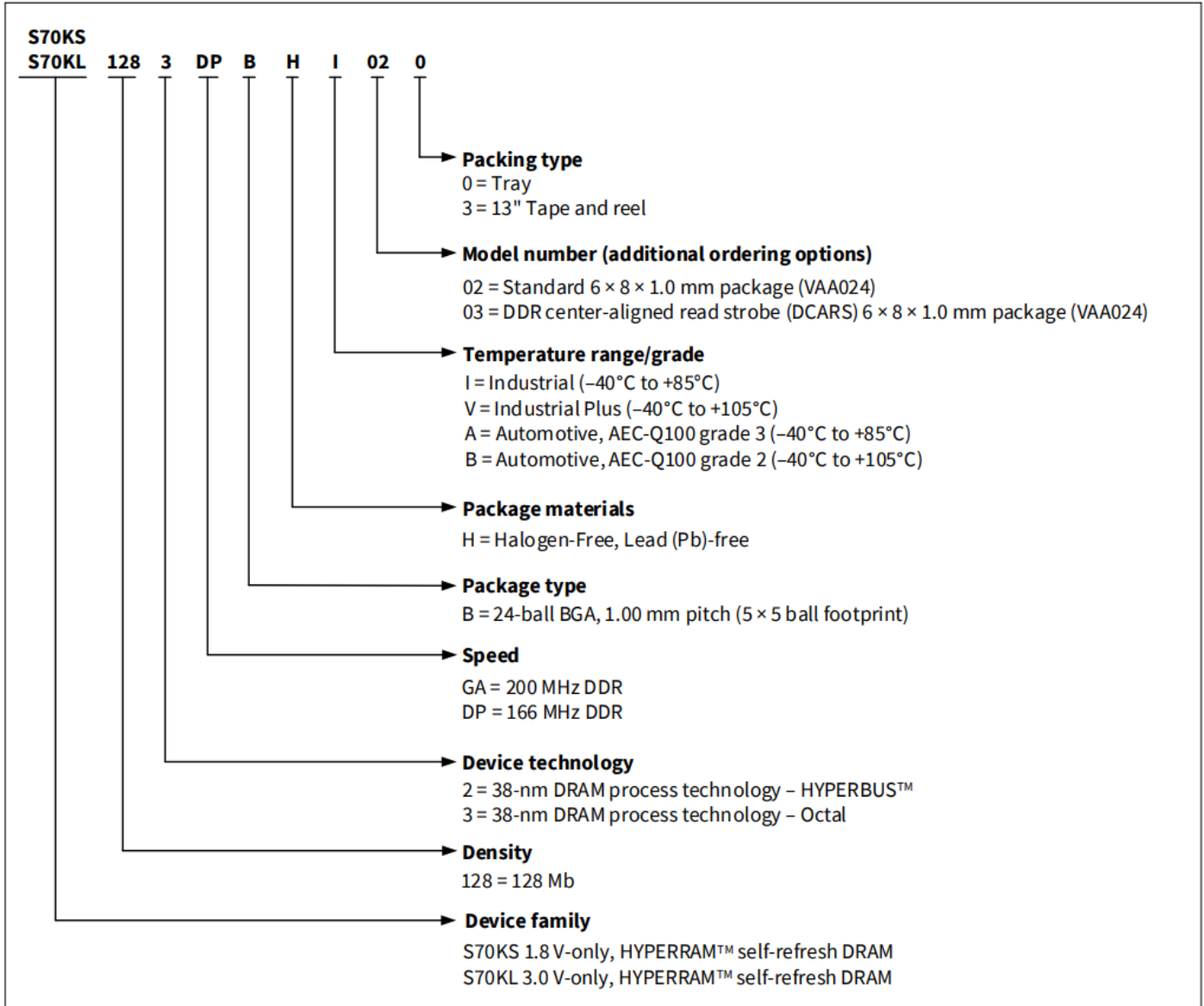
63. 命令必须以 CK = 低电平和 CK# = 高电平来发起。在启动新命令之前，CS# 必须返回至高电平。
64. 该图显示了图 38 的数据传输部分的近视图，以便更清楚地显示数据有效期受时钟抖动和时钟输出延迟不确定性的影响。
65. CK 到 PSC 的延迟（相位差）由 xSPI 主机接口（主机）控制，通常在 40 到 140 度之间，以便将 RWDS 边缘置于数据有效窗口内，并具有足够的设置和数据到 RWDS 的保持时间。RWDS 的数据设置和保持时间的要求由 xSPI 主机接口设计确定，并且不由 xSPI 从机相关参数解决。
66. xSPI 时序参数 t_{CKD} 和 t_{CKDI} 定义数据有效周期的起始和终止位置。由于 RWDS 和 Data 是同一器件在相同电压和温度条件下的输出，因此 t_{CKD} 和 t_{CKDI} 值同步变化（以相同的比率变化）。
67. 采样值，并非 100% 经过了测试。

订购信息

13 订购信息

13.1 订购代码定义

订购代码由以下有效组合形成：



订购信息

13.2 有效组合

推荐组合表列出了计划大量供应的配置。表 37 会随着新组合的推出而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 37 有效组合 - 标准

Device family	Density	Technology	Speed	Package, material, and temperature	Model number	Packing type	Product	Package marking		
S70KL	128	3	DP	BHI	02	0	S70KL1283DPBHI020	7KL1283DPHI02		
						3	S70KL1283DPBHI023	7KL1283DPHI02		
						0	S70KL1283GABHI020	7KL1283GAHI02		
						3	S70KL1283GABHI023	7KL1283GAHI02		
			DP	BHV		0	S70KL1283DPBHV020	7KL1283DPHV02		
						3	S70KL1283DPBHV023	7KL1283DPHV02		
						0	S70KL1283GABHV020	7KL1283GAHV02		
						3	S70KL1283GABHV023	7KL1283GAHV02		
						GA	BHV	0	S70KL1283GABHV020	7KL1283GAHV02
								3	S70KL1283GABHV023	7KL1283GAHV02
S70KS	128	3	GA	BHI	02	0	S70KS1283GABHI020	7KS1283GAHI02		
						3	S70KS1283GABHI023	7KS1283GAHI02		
			BHV	0		S70KS1283GABHV020	7KS1283GAHV02			
				3		S70KS1283GABHV023	7KS1283GAHV02			

13.3 有效组合 - 汽车级/AEC-Q100

表 38 列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 38 有效组合 - 汽车级/AEC-Q100

Device family	Density	Technology	Speed	Package, material, and temperature	Model number	Packing type	Product	Package marking	
S70KL	128	3	DP	BHA	02	0	S70KL1283DPBHA020	7KL1283DPHA02	
						3	S70KL1283DPBHA023	7KL1283DPHA02	
						0	S70KL1283DPBHB020	7KL1283DPHB02	
				BHB		3	S70KL1283DPBHB023	7KL1283DPHB02	
						GA	0	S70KL1283GABHB020	7KL1283GAHB02
							3	S70KL1283GABHB023	7KL1283GAHB02
			S70KS	128		3	GA	BHA	02
3	S70KS1283GABHA023	7KS1283GAHA02							
BHB	0	S70KS1283GABHB020			7KS1283GAHB02				
	3	S70KS1283GABHB023			7KS1283GAHB02				

 缩略语

14 缩略语

表39 本文档中使用的缩略语

Acronym	Description
CMOS	complementary metal oxide semiconductor
DCARS	DDR center-aligned read strobe
DDR	double data rate
DPD	Deep Power Down
DRAM	dynamic RAM
HS	Hybrid Sleep
MSb	most significant bit
POR	Power-on Reset
PSRAM	pseudo static RAM
PVT	process, voltage, and temperature
RWDS	read-write data strobe
SPI	serial peripheral interface
xSPI	expanded serial peripheral interface

文档惯例

15 文档惯例

15.1 测量单位

表 40 测量单位

Symbol	Unit of measure
°C	degree celsius
MHz	megahertz
μA	microampere
μs	microsecond
mA	milliampere
mm	millimeter
ns	nanosecond
Ω	ohm
%	percent
pF	picofarad
V	volt
W	watt

修订记录

修订记录

Document revision	Date	Description of changes
**	2020-02-07	New datasheet.
*A	2022-04-19	<p>Migrated to Infineon template.</p> <p>Configuration Register 1: Updated description.</p> <p>Interface states: Updated Table 15. Updated Note 27.</p> <p>Hybrid sleep: Updated Table 16.</p> <p>DC characteristics: Updated Table 21.</p> <p>Added Thermal resistance.</p> <p>AC test conditions: Added Figure 30 and Figure 31.</p> <p>Read transactions: Updated Table 33. Added Notes 54, 55 and referred these notes in t_{DV} parameter in Table 33. Removed figure “Read Timing Diagram”. Updated Figure 33.</p> <p>Write transactions: Updated Figure 34 and Figure 35.</p> <p>Added Notes 56, 57, 58 and referred the same notes in Figure 35.</p> <p>Valid combinations: Updated part numbers in Table 37. Deleted Table 38. Valid combinations - DCARS and Table 40. Valid combinations – DCARS automotive grade / AEC-Q100.</p>
*B	2025-06-25	<p>Updated system byte address bits for rows within 128-Mb device in Table 6.</p> <p>Updated Figure 37 to have the latest Infineon package outline version and package code.</p>
*C	2025-08-01	<p>Updated the ‘address’ column in Table 7.</p> <p>Updated the ‘settings’ of bit [7:4] in Table 8.</p> <p>Updated product information for S70KL device family in Table 37 under Valid combinations.</p> <p>Updated product information for S70KL and S70KS device family in Table 38 under Valid combinations – Automotive grade/AEC-Q100.</p>



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。

版本 2026-04-20

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com