

英飞凌 128 Mb HYPERRAM™ 自刷新 DRAM (PSRAM)

HYPERBUS™ 接口, 1.8V/3.0V

特性

• 接口

- HYPERBUS™ 接口
- 1.8V/3.0V 电压接口支持
 - 单端时钟 (CK) - 11个总线信号
 - 可选差分时钟 (CK、CK#) - 12个总线信号
- 芯片选择 (CS#)
- 8位数据总线 (DQ[7:0])
- 硬件复位 (RESET#)
- 双向读写数据选通 (RWDS)
 - 所有传输开始时的输出指示刷新延迟
 - 在读取传输期间作为读取数据选通输出
 - 在写入传输期间作为写入数据掩码输入
- 可选 DDR 中心对齐读取选通 (DCARS)
 - 在读取传输期间, RWDS 被第二个时钟偏移, 与 CK 相移
 - 相移时钟用于在读取数据时间窗内移动 RWDS 转换边沿

• 性能、功耗和封装

- 最大时钟频率 200-MHz
- DDR 在时钟的两个边沿传输数据
- 数据吞吐量高达 400 MBps (3200 Mbps)
- 可配置的并发特性
 - 线性并发
 - 回卷并发长度:
 - 16 个字节 (8 个时钟)
 - 32 个字节 (16 个时钟)
 - 64 个字节 (32 个时钟)
 - 128 个字节 (64 个时钟)
 - 混合选项 - 在线性并发至64Mb边界之后变为回卷并发。不支持跨越芯片边界的线性并发。
- 可配置的驱动能力大小
- 电源模式^[1]
 - 混合休眠模式
 - 深度掉电
- 阵列刷新
 - 部分闪存阵列 (1/8、1/4、1/2 等)
 - 完整存储器阵列
- 封装
 - 24球FBGA

注

1. 128 Mb HYPERRAM™ 是一种使用两个 64 Mb 核的堆叠芯片。一次只能对一个核心进行编程以进入混合休眠模式或深度掉电模式。

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

性能总结

- 工作温度范围
 - 工业级 (I): -40°C 至 +85°C
 - 扩展工业级 (V): -40°C 至 +105°C
 - 车规级 (A) , AEC-Q100 3 级: -40°C 至 +85°C
 - 车规级 (B) , AEC-Q100 2级: -40 °C 至 +105°C

• 技术

- 38 纳米 DRAM

性能总结

表1 读取传输时序

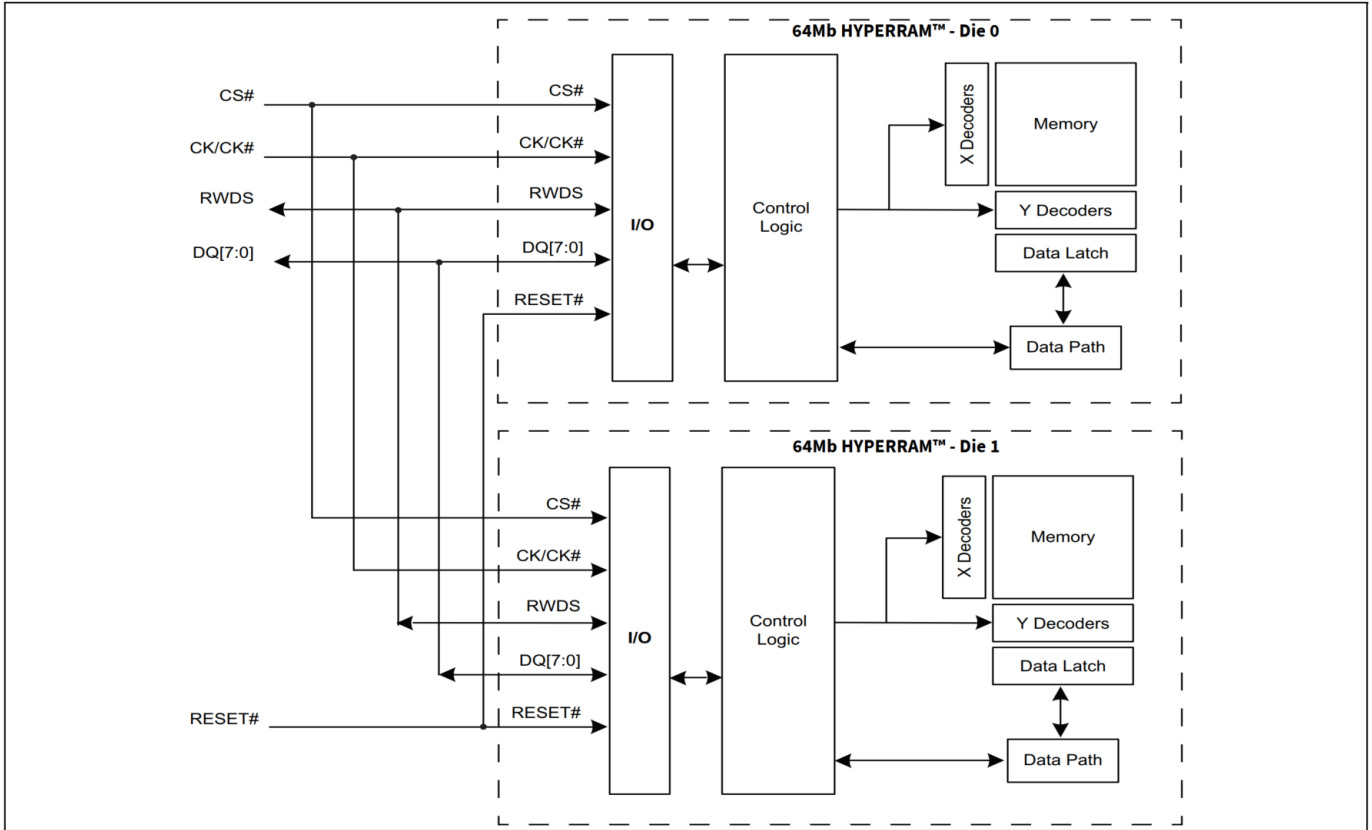
Read transaction timings	Unit
Maximum clock rate at 1.8 V V_{CC}/V_{CCQ}	200 MHz
Maximum clock rate at 3.0 V V_{CC}/V_{CCQ}	200 MHz
Maximum access time (t_{ACC})	35 ns

表2 最大电流损耗

Maximum current consumption	Unit
Burst read or write (linear burst at 200 MHz, 1.8 V)	50 mA
Burst read or write (linear burst at 200 MHz, 3.0 V)	60 mA
Standby ($CS\# = V_{CC} = 3.6\text{ V}, 105^\circ\text{C}$)	750 μA
Deep Power Down ($CS\# = V_{CC} = 3.6\text{ V}, 105^\circ\text{C}$)	360 μA
Standby ($CS\# = V_{CC} = 2.0\text{ V}, 105^\circ\text{C}$)	660 μA
Deep Power Down ($CS\# = V_{CC} = 2.0\text{ V}, 105^\circ\text{C}$)	330 μA

逻辑框图

逻辑框图



目录

目录

特性.....	1
性能总结.....	2
逻辑框图.....	3
目录.....	4
1 概述.....	6
1.1 HYPERBUS™ 接口.....	6
2 产品概述.....	9
2.1 HYPERBUS™ 接口.....	9
3 信号说明.....	10
3.1 输入/输出简介.....	10
4 HYPERBUS™ 传输详情.....	11
4.1 指令/地址/数据位分配.....	11
4.2 读取传输.....	16
4.3 写入传输 (存储器阵列写入).....	17
4.4 无初始延迟的写入传输(寄存器写入).....	19
5 存储器空间.....	20
5.1 HYPERBUS™ 接口.....	20
6 寄存器空间.....	21
6.1 HYPERBUS™ 接口.....	21
6.2 器件标识寄存器.....	22
6.2.1 密度和行界.....	22
6.3 寄存器空间访问.....	23
6.3.1 配置寄存器 0.....	23
6.3.2 配置寄存器 1.....	28
7 接口状态.....	30
8 节能模式.....	31
8.1 接口待机.....	31
8.2 有效时钟停止.....	31
8.3 混合休眠.....	32
8.4 深度掉电.....	33
9 电气规格.....	34
9.1 绝对最大额定值.....	34
9.2 输入信号过冲.....	34
9.3 闩锁特性.....	35
9.3.1 闩锁规格.....	35
9.4 工作范围.....	35
9.4.1 温度范围.....	35
9.4.2 电源电压.....	35
9.5 DC 特性.....	36
9.5.1 电容特性.....	40
9.5.2 热阻抗.....	40
9.6 上电初始化.....	41
9.7 掉电.....	42
9.8 硬件复位.....	43
10 时序规格.....	44
10.1 波形切换的关键.....	44
10.2 AC 测试条件.....	44
10.3 时序参考电平.....	45
10.4 时钟特性.....	46
10.5 AC 特性.....	48
10.5.1 读取传输.....	48

目录

10.5.2 写入传输.....	50
11 物理接口.....	51
11.1 FBGA 24球 5×5 阵列封装.....	51
11.2 封装图.....	52
12 DDR 中心对齐读取选通 (DCARS) 功能.....	53
12.1 带有 DCARS 信号的 HYPERRAM™ 产品描述.....	53
12.2 带有 DCARS 的 HYPERRAM™ 产品 - FBGA 24球、5×5 阵列封装.....	55
12.3 带有 DCARS 时序的 HYPERRAM™ 存储器.....	55
13 订购信息.....	57
13.1 订购部件编号.....	57
13.2 有效组合.....	58
13.3 有效组合 - 车规级 / AEC-Q100.....	59
修订记录.....	60

概述

1 概述

英飞凌128-Mb HYPERRAM™ 器件是一种高速 CMOS、自刷新DRAM，带有 HYPERBUS™ 接口。DRAM 阵列使用需要定期刷新的动态单元。当 HYPERBUS™ 接口主机(主控)未主动读取或写入存储器时，器件内的刷新控制逻辑管理DRAM上的刷新操作。由于不需要主机管理任何刷新操作，因此在主机看来，DRAM 阵列就像静态单元，无需刷新即可保留数据。因此，该存储器更准确地描述为伪静态 RAM (PSRAM)。

由于DRAM单元在读写传输期间无法刷新，因此要求主机限制读写并发传输长度，以便在需要时允许内部逻辑刷新操作。如果存储器指示需要刷新操作，则主机必须限制传输的持续时间并允许在新传输开始时增加初始读取延迟。

1.1 HYPERBUS™ 接口

HYPERBUS™是一种低信号计数 DDR 接口，可实现高速读写吞吐量。DDR 协议在 DQ[7:0] 输入/输出信号上每个时钟周期传输两个数据字节。HYPERBUS™上的读或写传输由内部HYPERRAM™阵列上的 16 位宽、一个时钟周期数据传输的串联以及 DQ 信号上两个相应的 8 位宽、半时钟周期数据传输组成。所有输入和输出均兼容 LV-CMOS。通过不同的订购部件号 (OPN)，器件可用作阵列 (V_{CC}) 和 I/O 指示灯 (V_{CCQ}) 电源的 1.8 V_{VCC}/V_{CCQ} 或 3.0 V_{VCC}/V_{CCQ} (标称)。

指令、地址和数据信息通过8个HYPERBUS™ DQ[7:0] 信号传输。当接收指令、地址或 DQ 信号上的数据时，时钟 (CK#、CK) 用于由HYPERBUS™ 从设备捕获信息。指令或地址值是带有时钟转换的中心对齐。

每个传输都以 CS 和指令地址 (CA) 信号的置位开始，然后开始时钟转换以传输 6 个 CA 字节，接着是初始读取延迟和读取或写入数据传输，直到 CS 被取消置位。

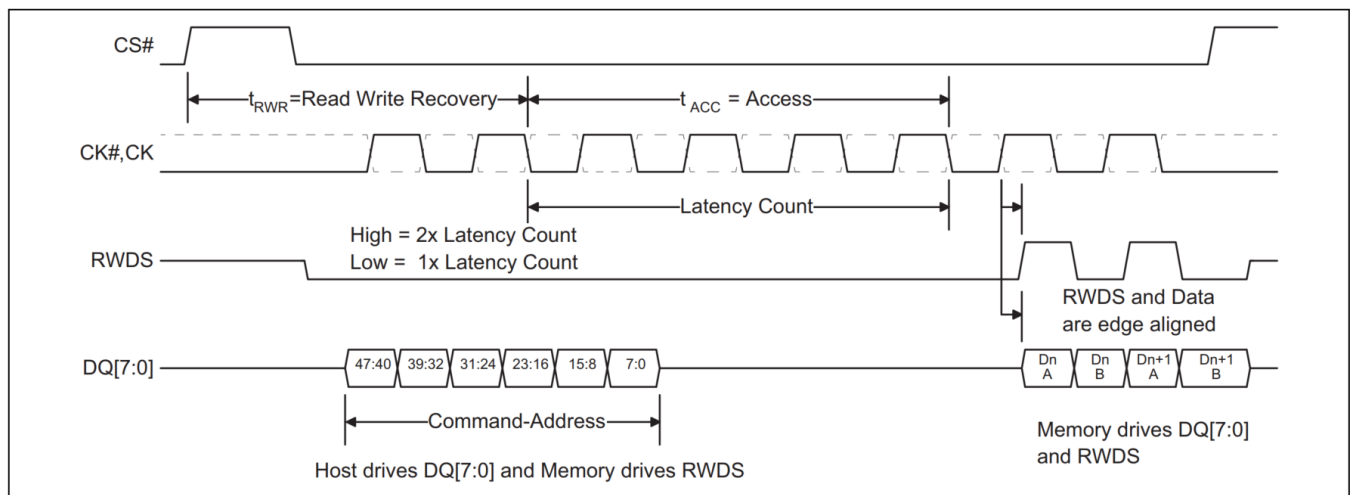


图 1 读取传输，额外延迟计数^[2]

注

2. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。

概述

RWDS 是一个双向信号，用于指示：

- 读取传输中数据开始从HYPERRAM™器件传输到主件的时间（初始读取延迟）
- 当数据在读取传输期间从HYPERRAM™器件传输到主件时（作为源同步读取数据选通）
- 当数据开始从主件传输到HYPERRAM™器件进行写入传输时（初始写入延迟）
- 写入数据传输期间的数据屏蔽

在读或写传输的 CA 传输部分期间，RWDS 充当HYPERRAM™设备的输出，以指示传输中是否需要额外的初始读取延迟。

在读数据传输过程中，RWDS 是一种读数据选通，数据值随 RWDS 的转换而边沿对齐。

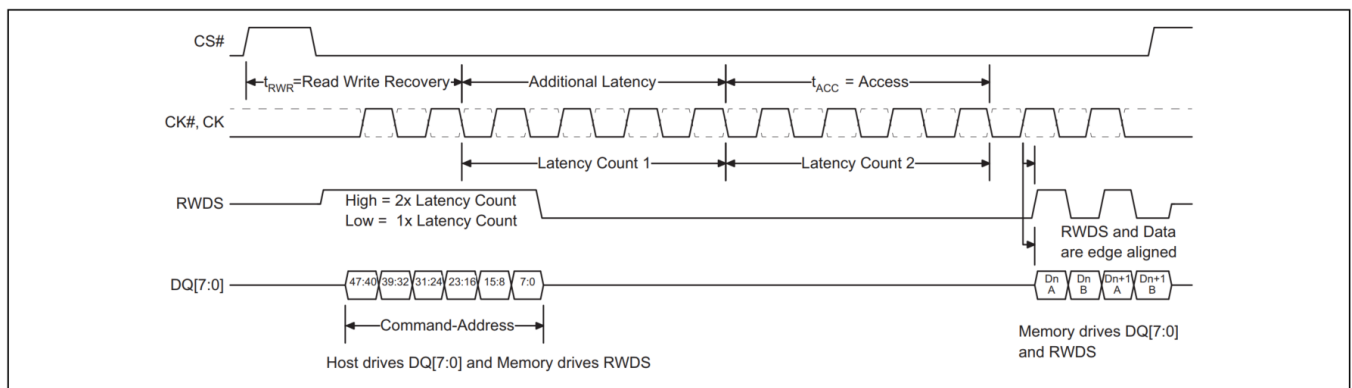


图 2 读取传输

在写入数据传输期间，RWDS 指示每个数据字传输是否被 RWDS HIGH 屏蔽（无效且无法更改存储器中的数据字）或未被 RWDS LOW 屏蔽（有效且已写入存储器）。主机可以使用数据掩码在存储器内对数据进行字节对齐写入，或者在一次突发写入中合并多个非字对齐的写入。在写入传输中，数据与时钟转换中心对齐。

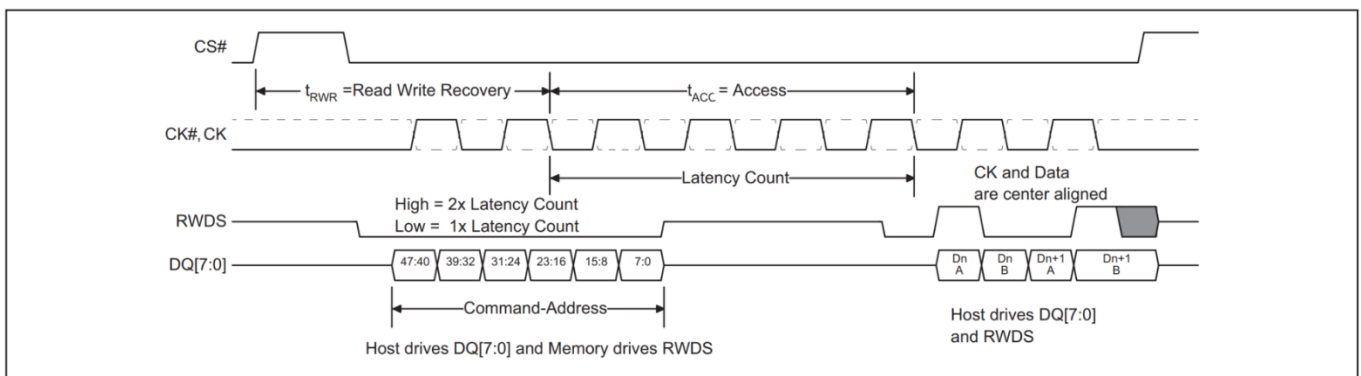


图 3 写入传输，初始延迟计数^[3]

注

3. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。

概述

读写传输是面向突发的，在每个时钟周期传输下一个顺序字。每个单独的读取或写入传输都可以使用包裹式或线性突发序列。

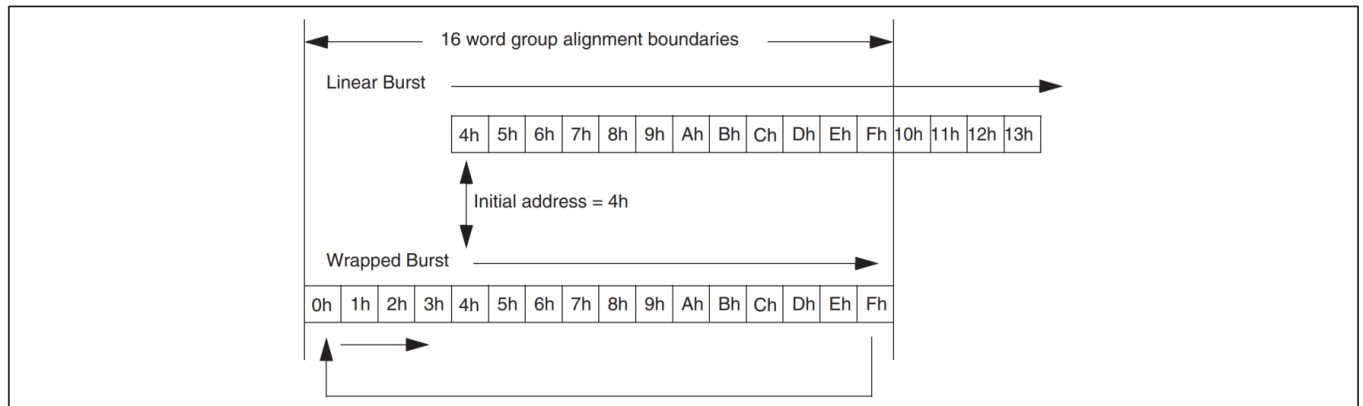


图 4 线性与回卷分布序列

在回卷传输期间，访问从组内的 CA 选定位置开始，继续到配置的字组对齐边界的末尾，然后回卷到组中的起始位置，然后继续回到起始位置。回卷通常用于关键字第一服务器行填充读取传输。在线性操作期间，访问从选定的位置开始并以顺序的方式继续，直到读取操作终止，此时 CS# 返回高电平。线性传输一般用于大型连续数据传输，如图形图像。由于每个传输指令都会选择该传输的突发序列类型，因此可以根据需要动态地混合封装突发传输和线性突发传输。

2 产品概述

128-Mb HYPERRAM™ 器件是 1.8 V 或 3.0V 串行和 I/O、同步自刷新 DRAM。HYPERRAM™ 器件为主机提供 HYPERBUS™ 从机接口。HYPERBUS™ 接口具有 8 位（1 字节宽度 DDR 数据传输）并且仅使用字宽（16 位数据）地址边界。读取传输在每个时钟周期提供 16 位数据（两个时钟边沿各 8 位）。写入传输从每个时钟周期获取 16 位数据（每个时钟边沿获取 8 位）。

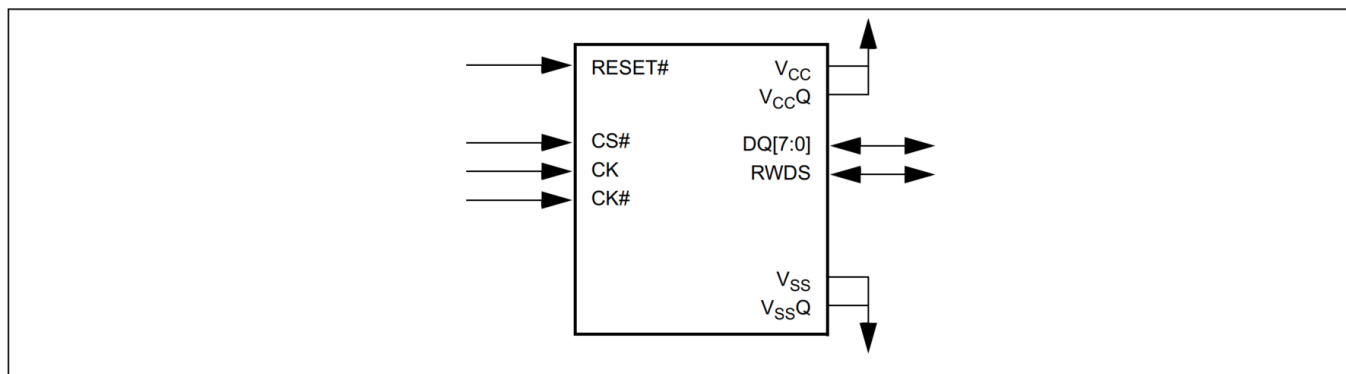


图 5 HYPERRAM™接口^[4]

2.1 HYPERBUS™ 接口

读写传输需要两个时钟周期来定义目标行地址和突发类型，然后是初始读取延迟 t_{ACC} 。在传输的 CA 阶段，存储器会通过将 RWDS 信号置高来指示是否在初始延迟的基础上增加所需的刷新时间 (t_{RFH})。在 CA 阶段，第三个时钟周期将指定目标行内的目标字地址。在读取（或写入）传输期间，初始数据值输出（或输入）后，可以在后续时钟周期以循环或线性顺序从该行读取（或写入）其他数据。当配置为线性突发模式时，器件将自动从存储器阵列中读取/读取下一个连续行，以支持连续线性突发。在读取或写入数据传输过程中同时访问阵列中的下一行，可实现线性顺序突发操作，从而提供 400 MBps 的持续数据传输速率 [1 字节 (8 位数据总线) * 2 (数据时钟沿) * 200 MHz = 400 MBps]。

注

4. CK# 用于差分时钟模式，但可选。

3 信号说明

3.1 输入/输出简介

HYPERRAM™ 信号以 [表3](#) 的形式。低电平有效信号名称带有哈希符号 (#) 后缀。

表 3 I/O简介^[6]

Symbol	Type	Description
CS#	Master output, slave input	Chip select. Bus transactions are initiated with a HIGH to LOW transition. Bus transactions are terminated with a LOW to HIGH transition. The master device has a separate CS# for each slave.
CK, CK# ^[5]		Differential clock. Command, address, and data information is output with respect to the crossing of the CK and CK# signals. Use of differential clock is optional. Single ended clock. CK# is not used, only a single ended CK is used. The clock is not required to be free-running.
DQ[7:0]	Input/output	Data input/output. Command, address, and data information is transferred on these signals during read and write transactions.
RWDS		Read-write data strobe. During the command/address portion of all bus transactions, RWDS is a slave output and indicates whether additional initial latency is required. Slave output during read data transfer, data is edge-aligned with RWDS. Slave input during data transfer in write transactions to function as a data mask. The dual-die, 128-Mb HYPERRAM™ chip supports data transactions with additional (2X) latency only.
RESET#	Master output, slave input, internal pull-up	Hardware RESET. When LOW, the slave device will self initialize and return to the STANDBY state. RWDS and DQ[7:0] are placed into the HIGH-Z state when RESET# is LOW. The slave RESET# input includes a weak pull-up, if RESET# is left unconnected it will be pulled up to the HIGH state.
V _{CC}	Power supply	Array power.
V _{CCQ}		Input/output power.
V _{SS}		Array ground.
V _{SSQ}		Input/output ground.
RFU	No connect	Reserved for future use. May or may not be connected internally, the signal/ball location should be left unconnected and unused by PCB routing channel for future compatibility. The signal/ball may be used by a signal in the future.

注

- CK# 用于差分时钟模式，但可选连接。如果未连接到主控控制器，请将 CK# 输入引脚连接到 V_{CCQ} 或 V_{SSQ}，但不要使其悬空。
- 可选的中心对齐读取选通 (DCARS) 引脚分配和引脚描述详见第53页的“[DDR 中心对齐读取选通 \(DCARS\) 功能](#)”。

4 HYPERBUS™ 传输详情

4.1 指令/地址/数据位分配

所有 HYPERRAM™ 总线传输都可以分为读或写。当时钟处于空闲状态 (CK = 低电平且 CK# = 高电平) 时, CS# 变为低电平, 总线传输开始。前三个时钟传输三个字的指令/地址 (CA0、CA1、CA2) 信息来定义命令特征: 指令/地址字使用前六个时钟沿与 DDR 一起呈现。

以下特征由指令/地址信息定义:

- 读取或写入传输。
- 地址空间:存储器空间或寄存器空间
 - - 寄存器空间用于访问器件标识符 (ID) 寄存器和配置寄存器 (CR), 用于识别器件特性并确定在 HYPERBUS™ 接口上读取和写入传输的从机特定行为。
- 命令是否使用线性或回卷突发序列。
- 目标行 (和半页) 地址 (上位地址)
- 目标列 (半页内的单词) 地址 (低阶地址)

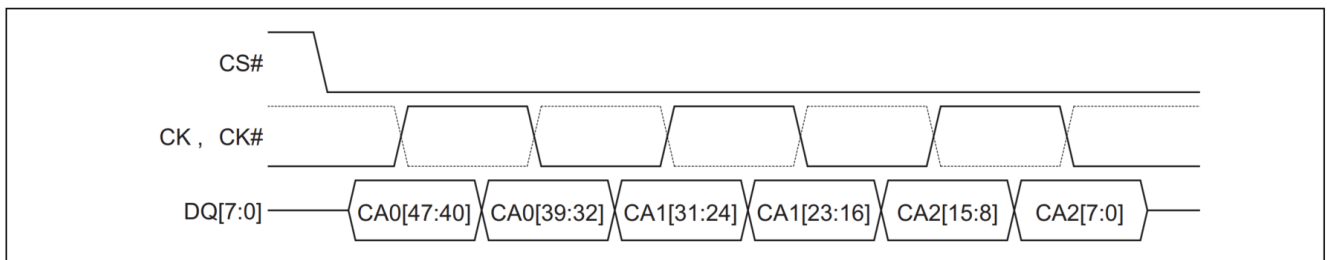


图 6 指令-地址 (CA) 序列^[7-10]

表 4 CA 位属性到 DQ 信号

Signal	CA0[47:40]	CA0[39:32]	CA1[31:24]	CA1[23:16]	CA2[15:8]	CA2[7:0]
DQ[7]	CA[47]	CA[39]	CA[31]	CA[23]	CA[15]	CA[7]
DQ[6]	CA[46]	CA[38]	CA[30]	CA[22]	CA[14]	CA[6]
DQ[5]	CA[45]	CA[37]	CA[29]	CA[21]	CA[13]	CA[5]
DQ[4]	CA[44]	CA[36]	CA[28]	CA[20]	CA[12]	CA[4]
DQ[3]	CA[43]	CA[35]	CA[27]	CA[19]	CA[11]	CA[3]
DQ[2]	CA[42]	CA[34]	CA[26]	CA[18]	CA[10]	CA[2]
DQ[1]	CA[41]	CA[33]	CA[25]	CA[17]	CA[9]	CA[1]
DQ[0]	CA[40]	CA[32]	CA[24]	CA[16]	CA[8]	CA[0]

注

7. 图 6 显示 HYPERBUS™ 上所有传输的前三个时钟周期。
8. 差分时钟的 CK# 以虚线波形显示。
9. 在读取和写入传输期间, CA 信息与时钟“中心对齐”。
10. 每个字节中的数据位始终按从高到低的顺序排列, 其中 DQ7 为第 7 位, DQ0 为第 0 位。

表 5 指令/地址位分配^[11-14]

CA bit#	Bit name	Bit function
47	R/W#	Identifies the transaction as a read or write. R/W# = 1 indicates a read transaction R/W# = 0 indicates a write transaction
46	Address space (AS)	Indicates whether the read or write transaction accesses the memory or register space. AS = 0 indicates memory space AS = 1 indicates the register space The register space is used to access device ID and configuration registers.
45	Burst type	Indicates whether the burst will be linear or wrapped. Burst type = 0 indicates wrapped burst Burst type = 1 indicates linear burst
44-16	Row & upper column address	Row and upper column component of the target address: System word address bits A31-A3. Any upper row address bits not used by a particular device density should be set to 0 by the host controller master interface. The size of rows and therefore the address bit boundary between row and column address is slave device dependent.
15-3	Reserved	Reserved for future column address expansion. Reserved bits are don't care in current HYPERBUS™ devices but should be set to 0 by the host controller master interface for future compatibility.
2-0	Lower column address	Lower column component of the target address: System word address bits A2-A0 selecting the starting word within a half-page.

注

11. 行是指与内部存储器阵列结构相关的一组单词。HYPERRAM™ 存储器的分布式刷新闻隔计算中也使用了行数。
12. 列地址选择行内突发传输的起始字位置。列地址分为上部和下部。上部选择一个 8 字（16 字节）半页，下部选择半页中的读取或写入传输脉冲串从这里开始。
13. 初始读取访问时间从行和上列（半页）地址位被从机接口捕获时开始。连续线性读突发是由工厂设备内部错访问 16 字节半页来实现的。
14. HYPERBUS™ 协议地址空间限制，假设：
 - 29 行和上列地址位
 - 3 个低列地址位
 - 每个地址选择一个字宽度（16位=2字节）数据值
 - $29 + 3 = 32$ 位地址 = 4G 个地址，支持最大 8 GB (64 Gb) 地址空间
 - 未来列地址的扩展可以允许 29 行和高列 + 16 低列地址位 = 35 太字 = 70 太字节的地址空间。

HYPERBUS™ 传输详情

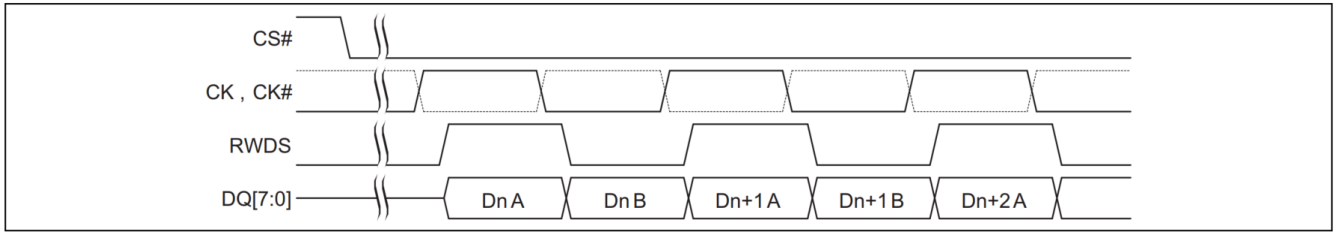


图 7 读取传输期间的数据放置^[15 - 19]

存储器读/写期间的数据放置取决于主机。该器件将按照写入（写入）的方式输出数据（读取）。因此，存储器阵列同时支持大端位和小端位。

存储器读/写期间的数据放置是大端位的。

注

15. 图7 显示了 HYPERBUS™ 上的读取传输的一部分。差分时钟的 CK# 以虚线波形显示。
16. 数据是“边沿对齐”，RWDS 在读传输期间充当读选数据通。
17. 数据始终以整字增量传输（字粒度传输）。
18. 每个时钟周期字地址递增。每个字中，字节 A 位于 RWDS 上升沿和下降沿之间，字节 B 位于 RWDS 下降沿和上升沿之间。
19. 每个字节中的数据位始终按从高到低的顺序排列，其中 DQ7 为第 7 位，DQ0 为第 0 位。

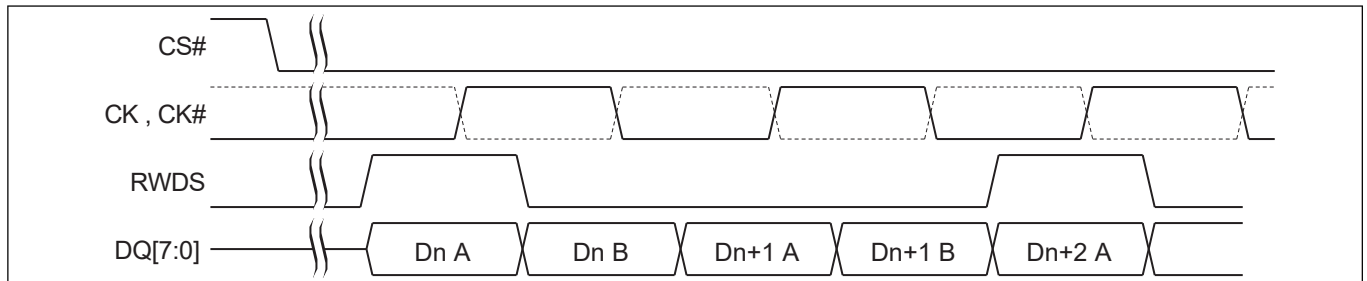
HYPERBUS™ 传输详情

表 6 读取或写入传输期间的数据位放置

Address space	Byte order	Byte position	Word data bit	DQ	Bit order
Memory	Big-endian	A	15	7	When data is being accessed in memory space: The first byte of each word read or written is the “A” byte and the second is the “B” byte. The bits of the word within the A and B bytes depend on how the data was written. If the word lower address bits 7–0 are written in the A byte position and bits 15–8 are written into the B byte position, or vice versa, they will be read back in the same order. Memory space can be stored and read in either little-endian or big-endian order.
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
		8	0		
		B	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
	1		1		
	Little-endian	A	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
		0	0		
		B	15	7	
			14	6	
			13	5	
			12	4	
			11	3	
10			2		
9	1				
8	0				

表 6 读取或写入传输期间的数据位放置 (续)

Address space	Byte order	Byte position	Word data bit	DQ	Bit order
Register	Big-endian	A	15	7	<p>When data is being accessed in register space: During a Read transaction on the HYPERBUS™ two bytes are transferred on each clock cycle. The upper order byte A (Word[15:8]) is transferred between the rising and falling edges of RWDS (edge-aligned). The lower order byte B (Word[7:0]) is transferred between the falling and rising edges of RWDS.</p> <p>During a write, the upper order byte A (Word[15:8]) is transferred on the CK rising edge and the lower order byte B (Word[7:0]) is transferred on the CK falling edge. So, register space is always read and written in Big-endian order because registers have device dependent fixed bit location and meaning definitions.</p>
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
			8	0	
		B	7	7	
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
			0	0	

图 8 写入传输期间的数据放置^[20-23]**注**

20. 图8 显示HYPERBUS™ 写入传输的一部分。
21. 在写入传输期间，数据与时钟“中心对齐”。
22. RWDS 在写入数据传输期间用作数据掩码，具有初始延迟。通过对第一个字节和最后一个字节进行掩码，来说明未对齐的 3 字节数据写入。
23. 在写入数据传输过程中，RWDS 不受主机驱动，初始延迟为零。在这种情况下，始终写入完整的数据字。在这种情况下，RWDS 可能被从机驱动为低电平或保持高阻态。

4.2 读取传输

HYPERBUS™主机在时钟空闲时，通过将 CS 拉低来开始传输。然后，在传输 CA 字时时钟开始切换。

在 CA0 中，CA[47] = 1 表示要执行读取传输。CA[46] = 0 表示正在读取存储空间，或者 CA[46] = 1 表示正在读取寄存器空间。CA[45] 表示脉冲串类型（包裹或线性）。一旦 CA0 和 CA1 中呈现了行和上列地址，读取传输就可以开始内部阵列访问（CA[47:16]）。CA2 (CA[15:0]) 标识所进行中的目标字地址。

然后，HYPERBUS™主机继续计时由配置寄存器 0 中的延迟计数设置定义的一个或多个周期。特定时钟频率所需的初始延迟计数基于 RWDS。如果在 CA 周期期间 RWDS 为低电平，则插入一个延迟计数。如果在 CA 周期期间 RWDS 为高电平，则会插入额外的延迟计数。一旦这些延迟时钟完成，存储器就会开始同时转换 RWDS 并输出目标数据。

新数据随着 RWDS 的每次转换而输出边沿对齐。只要主机在 CS# 为低电平期间继续转换时钟，数据就会继续输出。注意并发传输不应该太长，以免阻止存储器进行分布式刷新。

回卷并发将继续在并发长度内回卷，而线性并发将跨行边界按顺序输出数据。当线性并发读取到达阵列中的最后一个地址时，继续在最后一个地址之外进行并发将提供从地址范围的开头开始的数据。当时钟空闲时，可以通过将 CS# 置于高电平来随时结束读取传输。

时钟不能自由运行。当 CS# 为高电平时，时钟可能保持空闲。

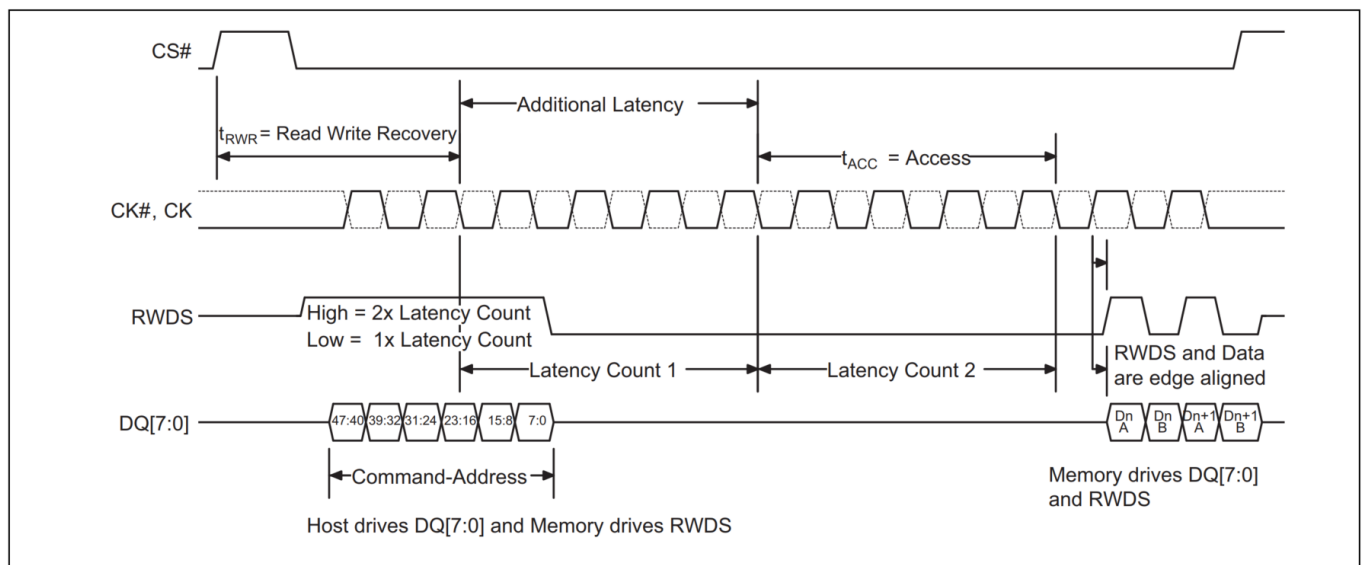


图 9 读取传输的初始延迟 [24-31]

注

24. 当 CS# 下降且 CK = LOW 且 CK# = HIGH 时，交易启动。
25. 在启动新命令之前，CS# 必须返回至高电平。
26. CK# 是 CK 信号的补码。差分时钟的 CK# 用虚线波形表示。
27. 一旦 CA[23:16] 被捕获，读取访问数组就开始。
28. 读取延迟由配置寄存器中的初始延迟值定义。
29. 在这个读取传输示例中，初始延迟计数为置位到四个时钟。
30. 在此读取传输中，CA 期间的 RWDS HIGH 指示会使目标数据的输出延迟四个时钟周期。
31. 存储器在读取传输期间驱动 RWDS。

4.3 写入传输 (存储器阵列写入)

HYPERBUS™主机在时钟空闲时, 通过将 CS 拉低来开始传输。然后, 在传输 CA 字时时钟开始切换。

在 CA0 中, CA[47]=0 表示要执行写传输。CA[46]=0 表示正在写入存储空间。CA[45] 表示脉冲串类型 (包裹或线性)。一旦 CA0 和 CA1 中提供了行和上列地址, 写入传输就可以开始内部阵列访问 (CA[47:16])。CA2 (CA[15:0]) 标识所选行中的目标字地址。

然后, HYPERBUS™ 主机继续计时由配置寄存器 0 中的延迟计数设置定义的一个或多个周期。特定时钟频率所需的初始延迟计数基于 RWDS。如果在 CA 周期期间 RWDS 为低电平, 则插入一个延迟计数。如果在 CA 周期期间 RWDS 为高电平, 则会插入额外的延迟计数。

一旦这些延迟时钟完成, HYPERBUS™主机就开始输出目标数据。写入数据与时钟边沿中心对齐。每个字中的第一个字节数据在 CK 的上升沿被存储器捕获, 而第二个字节在 CK 的下降沿被捕获。

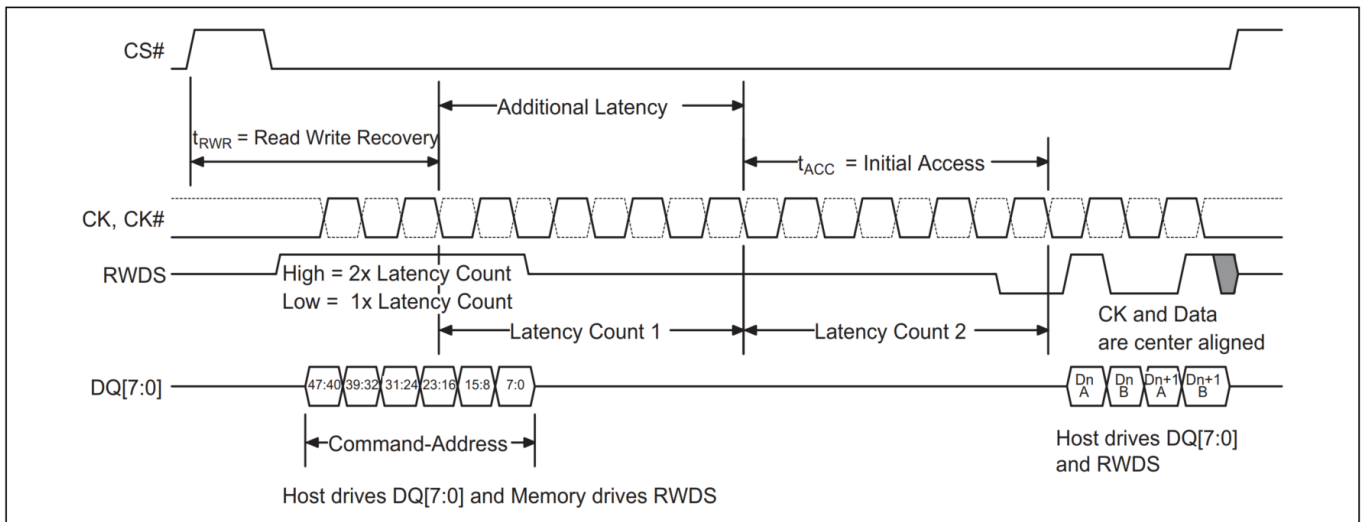
在 CA 时钟周期期间, RWDS 由存储器驱动。

在写入数据传输期间, RWDS 由主机接口作为数据缓冲区驱动。当数据被写入且 RWDS 为高电平时, 该字节将被屏蔽且阵列不会被改变。当数据被写入且 RWDS 为低电平时, 数据将被放入阵列中。由于主机在写入数据传输期间驱动 RWDS, 因此主机和HYPERRAM™ 器件都无法指示写入传输的数据传输部分内是否需要延迟。可接受的写入数据并发长度设置也显示在配置寄存器 0 中。

只要HYPERBUS™ 主机在 CS 为低电平时继续转换时钟, 数据就会继续传输。注意并发传输不应该太长, 以免阻止存储器进行分布式刷新。传统格式的回卷并发将继续在突发长度内循环。混合式缠绕会缠绕一次, 然后从下一个缠绕边界开始切换到线性突发式缠绕。线性突发传输以顺序方式跨越分页边界接收数据。当时钟空闲时, 可以通过将 CS# 置于高电平来随时结束读取传输。

当线性突发写入到达存储器空间中的最后一个地址时, 继续突发将写入到地址范围的开头。

时钟不能自由运行。当 CS# 为高电平时, 时钟可能保持空闲。

图 10 具有初始延迟的写入传输^[32 - 38]**注**

32. 命令必须以 CK = 低电平和 CK# = 高电平来发起。
33. 在启动新命令之前, CS# 必须返回至高电平。
34. 在 CA 期间, RWDS 由存储器驱动, 并指示是否需要额外的延迟周期。
35. 在本例中, RWDS 表示需要额外的初始延迟周期。
36. 在 CA 周期结束时, 设备停止驱动 RWDS, 以允许主机 HYPERBUS™ 主机开始驱动 RWDS。主机必须在初始延迟结束之前将 RWDS 驱动至有效低电平, 以便为从机提供数据空闲期。
37. 在数据传输过程中, RWDS 由主机驱动, 以指示哪些 16 位数据应该被屏蔽或加载到阵列中。
38. 该图显示了 RWDS 掩码字节 Dn A 和字节 Dn+1 B, 以对字节 Dn B 和 Dn+1 A 执行未对齐字写入。

4.4 无初始延迟的写入传输（寄存器写入）

写入操作从前三个时钟周期开始，提供指示命令特征的 CA_x（指令/地址）信息。CA₀ 可能表示要执行写入传输，并且还表示地址空间和突发类型（循环或线性）。

无初始延迟写入用于寄存器空间写入。HYPERRAM™ 器件的零延迟写入传输意味着 CA 周期之后紧接着是写入数据传输。初始延迟为零的写入不需要 RWDS 周期。HYPERRAM™ 设备在 CA 期间始终驱动 RWDS，以指示对于具有初始延迟的交易是否需要延长延迟。然而，RWDS 是在 HYPERRAM™ 器件接收到 CA 的第一个字节之前驱动的，也就是说，是在 HYPERRAM™ 器件知道传输是对寄存器空间的读取还是写入之前驱动的。在写入延迟为零的情况下，CA 期间的 RWDS 状态不会影响初始延迟为零。在这种情况下，由于主机写入数据紧随 CA 周期之后，HYPERRAM™ 器件可能会继续将 RWDS 拉低，或者在写入数据传输期间将 RWDS 置于高阻态。主机不得在零延迟写入期间驱动 RWDS。零延迟写入不使用 RWDS 作为数据掩码功能。写入数据的所有字节（全字写入）。

数据的第一个字节（A）出现在 CK 的上升沿，第二个字节（B）出现在 CK 的下降沿。写入数据与 CK/CK# 输入中心对齐。当时钟空闲时，可以通过将 CS# 置于高电平来随时结束读取传输。时钟不能自由运行。

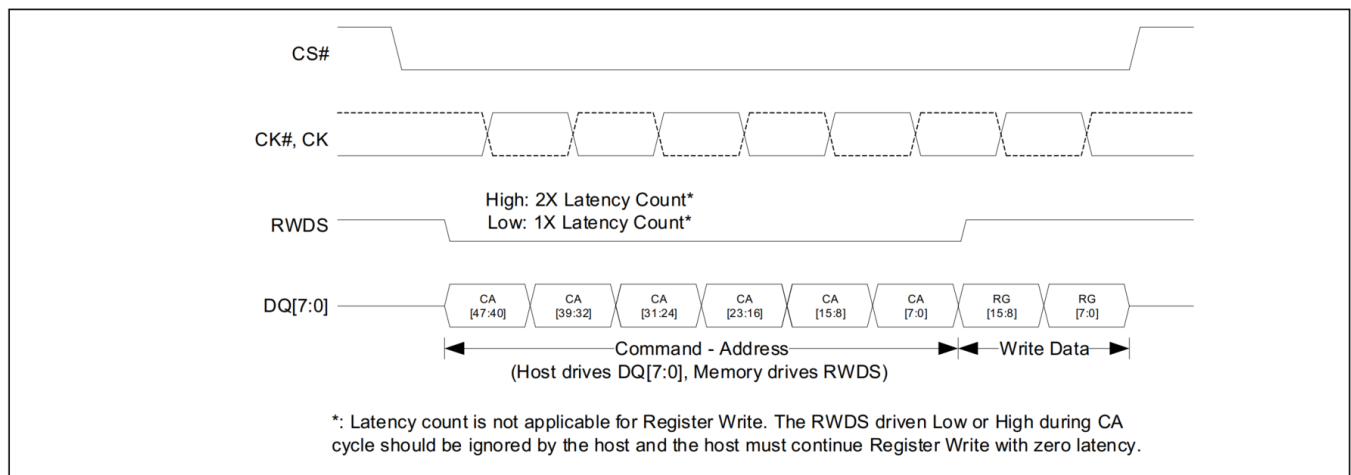


图 11 无初始延迟的写入操作^[39]

注

39. 初始延迟“低电平 = 1x 延迟计数”不适用于双芯片、128 Mb HYPERRAM™。

存储器空间

5 存储器空间

5.1 HYPERBUS™ 接口

表 7 存储器空间地址映射 (基于字 - 16 位)

Unit type	Count	System word address bits	CA bits	Notes
Rows within 128 Mb device	16384 (rows)	A22-A9	35-22	-
Rows within 64 Mb device	8192 (rows)	A21-A9	34-22	-
Row	1 (row)	A8-A3	21-16	512 (word addresses) 1 KB
Half-page	8 (word addresses)	A2-A0	2-0	8 words (16 bytes)

寄存器空间

6 寄存器空间

6.1 HYPERBUS™ 接口

当 CA[46] 为“1”时，读取或写入传输将访问寄存器空间。

表 8 寄存器空间地址映射

Register	System address	—	—	—	31-27	26-19	18-11	10-3	—	2-0
	CA bits	47	46	45 ^[40]	44-40	39-32	31-24	23-16	15-8	7-0
Identification Register 0 Read - Die 0 ^[41]		C0h or E0h				00h	00h	00h	00h	00h
Identification Register 0 Read - Die 1 ^[41]		C0h or E0h				08h	00h	00h	00h	00h
Identification Register 1 Read - Die 0 ^[41]		C0h or E0h				00h	00h	00h	00h	01h
Identification Register 1 Read - Die 1 ^[41]		C0h or E0h				08h	00h	00h	00h	01h
Configuration Register 0 Read - Die 0		C0h or E0h				00h	01h	00h	00h	00h
Configuration Register 0 Read - Die 1		C0h or E0h				08h	01h	00h	00h	00h
Configuration Register 0 Write - Die 0		60h				00h	01h	00h	00h	00h
Configuration Register 0 Write - Die 1		60h				08h	01h	00h	00h	00h
Configuration Register 1 Read - Die 0		C0h or E0h				00h	01h	00h	00h	01h
Configuration Register 1 Read - Die 1		C0h or E0h				08h	01h	00h	00h	01h
Configuration Register 1 Write - Die 0		60h				00h	01h	00h	00h	01h
Configuration Register 1 Write - Die 1		60h				08h	01h	00h	00h	01h
Die Manufacture Information Register (0-17) Read - Die 0		C0h or E0h				00h	02h	00h	00h	00h-11h
Die Manufacture Information Register (0-17) Read - Die 1		C0h or E0h				08h	02h	00h	00h	00h-11h

注

40. 对于缠绕或线性读数，CA45 可以为 0 或 1。CA45 必须为 1，因为仅支持线性单字寄存器写入。

41. 寄存器读取不支持突发类型（循环/线性）定义。因此，C0h/E0h 具有相同的效果。

寄存器空间

6.2 器件标识寄存器

有两个只读、不易丢失的寄存器，提供有关当 CS 为低电平时所选器件的信息。

器件信息字段标识：

- 制造商
- 类型
- 密度
 - 行地址位数
 - 列地址位数

表 9 识别寄存器 0 (ID0) 位分配

Bits	Function	Settings (binary)
[15:14]	MCP die address	00b - Die 0 01b - Die 1
[13]	Reserved	0 - Default
[12:8]	Row address bit count	00000 - One row address bit ... 11111 - Thirty-two row address bits ... 01100 - 64 Mb - Thirteen row address bits (default)
[7:4]	Column address bit count	0000 - One column address bits ... 1000 - Nine column address bits (default) ... 1111 - Sixteen column address bits
[3:0]	Manufacturer	0001 - Infineon 0000, 0010 to 1111 - Reserved

表10 识别寄存器 1 (ID1) 位分配

Bits	Function	Settings (binary)
[15:4]	Reserved	0000_0000_0000 (default)
[3:0]	Device type	0001 - HYPERRAM™ 2.0 0000, 0010 to 1111 - Reserved

6.2.1 密度和行界

器件的DRAM阵列大小(密度)可以根据用于行和列地址的系统地址位总数来确定，如 ID0 中的行地址位计数和列地址位计数字段所示。例如：64 Mb HYPERRAM™ 器件有 9 个列地址位和 13 个行地址位，总共 22 个地址位(字节地址) = 2^{22} = 4M 字 (8MBs)。9 列地址位表示每行包含 2^9 = 512 个字 = 1KB。行地址计数表示每个刷新间隔内有 8196 行需要刷新。行计数用于计算刷新间隔。

如果从芯片 0 读取，HYPERRAM™ 的 ID0 值为 0x0C81；如果从芯片 1 读取，则 HYPERRAM™ 的 ID0 值为 0x4C81。请参阅 [表 8](#) 每个芯片的寄存器映射图。

寄存器空间

6.3 寄存器空间访问

上电或硬件复位时，寄存器默认值将被加载。当器件处于当前状态时，寄存器可以随时更改。

使用单个 16 位字写入传输，即可通过写入传输完成寄存器的加载，无需初始延迟。

每个寄存器都通过单独的单字写入传输进行写入。写入传输具有零延迟，数据的单字紧随CA之后。写入期间 RWDS 不由主机驱动，因为在 CA 周期期间 RWDS 始终由存储器驱动，以指示存储器格式化刷新是否正在进行。由于寄存器空间写入直接进入寄存器，而不是写入寄存器，因此不存在与可能正在进行的寄存器刷新相关的初始写入延迟。在寄存器写入操作中，RWDS 也不用作数据掩码，因为寄存器的两个字节总是被写入，并且永远不会被掩码。

保留寄存器字段必须写入其结构值/默认值。写入非默认值的保留字段可能会产生未定义的结果。由于 128 Mb 是堆叠式芯片，因此配置寄存器设置的任何更改都应该在两个芯片上独立执行。

注

- 主机在写入寄存器空间期间不得驱动 RWDS。
- 在 CA 期间，RWDS 信号由存储器驱动，具体取决于存储器阵列是否正在刷新。此刷新指示不影响寄存器数据的写入。
- CA 周期过后，RWDS 信号恢复到高阻态。寄存器数据永远不会被屏蔽。寄存器数据的两个数据字节都被加载到选定的寄存器中。

读取寄存器是通过单次或双次初始延迟的读取传输完成的，每次读取传输读取 16 位数据。如果读取多个字，则输出结果不确定。寄存器的内容将与读取存储器阵列相同的方式返回，如图 9 所示，延迟计数为一或二，具体取决于 CA 期间 RWDS 的状态。延迟计数在配置寄存器 0 读取延迟字段 (CR0[7:4]) 中定义。

6.3.1 配置寄存器 0

配置寄存器 0 (CR0) 用于定义 HYPERRAM™ 器件的电源状态和访问协议操作条件。可配置的特性包括：

- 回卷并发长度 (16、32、64 或 128 字节对齐和长度数据组)
- 回卷并发类型
 - 传统回卷 (按选定长度和对齐组内的换行顺序访问)
 - 混合回卷 (传统换行一次，然后在下一连串组开始时线性回卷)
- 初始延迟
- 可变延迟
 - 阵列读取或写入传输是否使用固定或可变延迟。如果选择固定延迟，存储器将始终指示刷新延迟并相应地延迟读取数据传输。如果选择了可变延迟，则仅当新传输开始时需要刷新时才会添加刷新延迟。
- 输出驱动强度
- 深度掉电 (DPD) 模式

寄存器空间

表 11 配置寄存器 0 (CR0) 位分配

CR0 bit	Function	Settings (Binary)
[15]	Deep power down enable	1 - Normal operation (default). HYPERRAM™ will automatically set this value to '1' after DPD exit 0 - Writing 0 causes the device to enter deep power down Only one die of the 128-Mb stack-die HYPERRAM™ can be programmed to enter DPD mode at a time.
[14:12]	Drive strength	000 - 34 Ω (default) 001 - 115 Ω 010 - 67 Ω 011 - 46 Ω 100 - 34 Ω 101 - 27 Ω 110 - 22 Ω 111 - 19 Ω
[11:8]	Reserved	1 - Reserved (default) Reserved for future use. When writing this register, these bits should be set to 1 for future compatibility.
[7:4]	Initial latency	0000 - 5 Clock latency @ 133 MHz max frequency 0001 - 6 Clock latency @ 166 MHz max frequency 0010 - 7 Clock latency @ 200 MHz/166 MHz max frequency (default) 0011 - Reserved 0100 - Reserved ... 1101 - Reserved 1110 - 3 Clock latency @ 85 MHz max frequency 1111 - 4 Clock latency @ 104 MHz max frequency
[3]	Fixed latency enable	0 - Reserved 1 - Fixed 2 times initial latency (default) The 128-Mb dual-die stack only supports fixed latency. In fixed latency mode, when CS# asserted LOW, 1. The RWDS signal of each die of dual-die 128-Mb will always drive to HIGH during CA phase. 2. The RWDS signal of the non-selected die of dual-die 128-Mb will always drive to Hi-Z after CA phase. 3. The RWDS signal of the selected die of dual-die 128-Mb will drive to L after CA phase.
[2]	Hybrid burst enable	0: Wrapped burst sequence to follow hybrid burst sequencing 1: Wrapped burst sequence in legacy wrapped burst manner (default) This bit setting is effective only when the "Burst type" bit in the Command/Address register is set to '0', i.e. CA[45] = '0'; otherwise, it is ignored.
[1:0]	Burst length	00 - 128 bytes 01 - 64 bytes 10 - 16 bytes 11 - 32 bytes (default)

6.3.1.1 回卷并发

回卷并发传输访问在字边界上对齐的一组字内的存储器，该边界与配置的组的长度相匹配。回卷的访问组可以配置为 16、32、64 或 128 字节的对齐和长度。在回卷传输期间，访问从组内的 CA 选定位置开始，继续到配置的字组对齐边界的末尾，然后回卷到组中的起始位置，然后继续回到起始位置。回卷并发通常用于关键字优先指令或数据缓存行填充读取访问。不支持跨越芯片边界的回卷并发。

6.3.1.2 混合并发

混合并发的开始将在目标地址回卷的并发组长度内回卷，然后继续回卷组末尾之外的下一个半页数据。继续访问是按照线性并发顺序进行的，直到通过返回 CS# 高电平结束传输。这种混合模式的回卷突是从下一个并发组开始的线性并发的混合，允许在一次访问中填充多个连续地址缓存行。第一个缓存行从关键词开始填充。然后，在处理第一行的同时，可以将存储器中的下一个连续行读入缓存。不支持跨越芯片边界的混合并发。

表 12 CR0[2] 控制封装并发序列

Bit	Default value	Name
2	1	Hybrid burst enable CR0[2] = 0: Wrapped burst sequence to follow hybrid burst sequencing CR0[2] = 1: Wrapped burst sequence in legacy wrapped burst manner

寄存器空间

表 13 回卷序列示例 (HYPERBUS™ 寻址)

Burst type	Wrap boundary (Bytes)	Start address (Hex)	Sequence of word addresses (Hex) of data words
Hybrid 128	128 Wrap once then linear	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02 (Wrap complete, now linear beyond the end of the initial 128 byte wrap group) 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 4A, 4B, 4C, 4D, 4E, 4F, 50, 51, ...
Hybrid 64	64 Wrap once then linear	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02 (Wrap complete, now linear beyond the end of the initial 64 byte wrap group) 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, ...
Hybrid 64	64 Wrap once then linear	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D (Wrap complete, now linear beyond the end of the initial 64 byte wrap group) 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 4A, 4B, 4C, 4D, 4E, 4F, 50, 51, ...
Hybrid 16	16 Wrap once then linear	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01 (Wrap complete, now linear beyond the end of the initial 16 byte wrap group) 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, ...
Hybrid 16	16 Wrap once then linear	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B (Wrap complete, now linear beyond the end of the initial 16 byte wrap group) 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, ...
Hybrid 32	32 Wrap once then linear	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09 (Wrap complete, now linear beyond the end of the initial 32 byte wrap group) 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, ...
Wrap 64	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
Wrap 64	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...
Wrap 16	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
Wrap 16	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
Wrap 32	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
Linear	Linear burst	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...

寄存器空间

6.3.1.3 初始延迟

存储器读写传输或寄存器空间读取传输需要一定的初始延迟来打开 CA 选择的行。此初始延迟为 t_{ACC} 。满足 t_{ACC} 所需的延迟时钟数取决于 HYPERBUS™ 频率, 范围为 3 到 7 个时钟。CR0[7:4] 中的值选择初始延迟的时钟数。默认值为 7 个时钟, 允许操作最多持续 7 个时钟。HYPERBUS™ 在主机系统设置较低的初始延迟值之前, 频率为 200 MHz, 这可能对系统更有利。

如果在寄存器读取或写入传输或寄存器空间读取传输开始时需要分布式刷新, 则 RWDS 信号在 CA 期间变为高电平, 以指示正在插入额外的初始延迟, 以允许刷新操作在打开选定行之前完成。

寄存器空间写入传输始终具有零初始延迟。在 CA 期间, RWDS 可能为高电平或低电平。CA 期间 RWDS 的电平不会影响紧接在 CA 之后的寄存器数据的放置, 因为不需要初始延迟来获取寄存器数据。可以在存储器阵列中与寄存器数据的捕获并行执行刷新操作。

6.3.1.4 固定延迟

提供了一个配置寄存器选项位 CR0[3], 通过在 CA 期间始终将 RWDS 驱动为高电平来使所有寄存器读写传输或寄存器空间读取传输需要相同的初始延迟, 以指示需要两个初始延迟期。这种固定的初始延迟与分布式刷新的任何需求无关, 它只是为所有这些传输类型提供固定的 (确定性的) 初始延迟。固定延迟选项可以简化某些 HYPERBUS™ 存储控制器的设计或确保确定性的传输性能。固定延迟是默认的 POR 或复位配置。

6.3.1.5 驱动强度

DQ 和 RWDS 信号线负载、长度和阻抗根据每个系统设计而变化。配置寄存器位 CR0[14:12] 提供了一种调整 DQ[7:0] 和 RWDS 信号输出阻抗的方法, 以根据系统条件定制 DQ 和 RWDS 信号阻抗, 从而最大限度地减少过冲、下冲和振铃等高速信号行为。默认 POR 或复位配置值为 000b, 用于选择可用输出阻抗选项的中点。

所示的阻抗值是典型硅工艺条件、标称工作电压 (1.8 V 或 3.0 V) 和 50°C 下的上拉和下拉驱动器的典型值。根据工艺、电压和温度 (PVT) 条件, 阻抗值可能与典型值不同。随着过程变慢、电压降低或温度升高, 阻抗会增加。随着过程的加快、电压的升高或温度的降低, 阻抗将会降低。

每个系统设计都应评估工作电压和温度范围内的数据信号同一性, 以选择适合工作条件的最佳驱动强度设置。

6.3.1.6 深度掉电 (DPD)

当 HYPERRAM™ 器件不需要用于系统运行时, 可以通过向 CR0[15] 写入“0”将其置于一种称为深度刷新 (DPD) 的极耗电状态。当 CR0[15] 被清除为“0”时, 器件会在 t_{DPDIN} 时间内进入 DPD 状态, 并且所有刷新操作都会停止。在 DPD 状态下, RAM 中的数据会丢失 (不刷新则失效)。退出 DPD 状态需要将 CS 拉低再拉高、进行上POR或执行复位操作。仅 CS 和 RESET# 可以退出 DPD 状态。

在 DPD 模式下会监测信号。更多详情, 请参阅第 33 页的“深度掉电”部分。

注: 128-Mb HYPERRAM™ 是一种使用两个 64 Mb 芯片的堆叠芯片。在两个芯片中, 一次只能编程一个芯片进入 DPD 模式。对两个芯片进行编程以一起进入 DPD 模式是不可行的, 因为一个芯片进入 DPD 模式将需要 CS 高电平到低电平跳变, 这将导致退出 DPD 模式输入另一芯片, 反之亦然。

寄存器空间

6.3.2 配置寄存器 1

配置寄存器 1 (CR1) 用于定义 HYPERRAM™ 器件的刷新阵列大小、刷新速率和混合休眠。可配置的特性包括：

- 部分阵列刷新
- 混合休眠状态
- 刷新率

表 14 配置寄存器 1 (CR1) 位分配

CR1 bit	Function	Setting (Binary)
[15:8]	Reserved	FFh - Reserved (default) These bits should always be set to FFh
[7]	Reserved	1 - Reserved (default)
[6]	Master clock type	1 - Single-ended - CK (default) 0 - Differential - CK#, CK
[5]	Hybrid sleep	1 - Causes the device to enter hybrid sleep state 0 - Normal operation (default) Only one die of the 128-Mb stack-die HYPERRAM™ can be programmed to enter Hybrid Sleep mode at a time.
[4:2]	Partial array Refresh	000 - Full Array (default) 001 - Bottom 1/2 Array 010 - Bottom 1/4 Array 011 - Bottom 1/8 Array 100 - None 101 - Top 1/2 Array 110 - Top 1/4 Array 111 - Top 1/8 Array
[1:0]	Distributed refresh Interval (read only)	10 - 1 μ s t_{CSM} (Industrial plus temperature range devices) 11 - Reserved 00 - Reserved 01 - 4 μ s t_{CSM} (Industrial temperature range devices)

6.3.2.1 主时钟类型

支持两种时钟类型，即单端时钟和差分时钟。CR1[6] 选择要使用的类型。

- 在单端时钟模式（默认情况）下，CK# 输入不可启用；因此它可能保持浮动或偏置为高电平或低电平。
- 在差分时钟模式下（启用时），CK#输入不能悬空。它必须由主机驱动，或者偏置为高或低。

6.3.2.2 部分阵列刷新

部分格式化刷新配置将HYPERRAM™中的刷新操作限制为 CR1[5:3] 指定的存储器阵列的一部分。这降低了待机电流。默认配置会刷新整个阵列。

寄存器空间

6.3.2.3 混合休眠 (HS)

当系统运行不需要 HYPERRAM™ 但需要保留器件中的数据时, 可以将其置于混合休眠状态以节省更多功率。将 1 写入 CR1[5] 进入混合休眠状态。将 CS# 拉低将导致器件退出 HS 状态并将 CR1[5] 设置为 0。此外, POR 或硬件复位将导致器件退出混合休眠状态。请注意: POR 或硬件复位会禁用刷新, 从而防止存储器内核数据可能丢失。

注: 128-Mb HYPERRAM™ 是一种使用两个 64 Mb 芯片的堆叠芯片。在两个芯片中, 一次只能编程一个芯片进入 HS 模式。对两个芯片进行编程以一起进入 HS 模式是不可行的, 因为一个芯片进入 HS 模式将需要 CS 高电平到低电平跳变, 这将导致退出 HS 模式输入另一芯片, 反之亦然。

6.3.2.4 分布式刷新闻隔

DRAM 阵列需要定期刷新阵列中的所有位。主机系统可以通过在指定的时间限制内读取或写入每行中的位置来完成此操作。读或写访问将一行位复制到内部缓冲区。在访问结束时, 缓冲区中的位被写回存储器中的行, 从而重新充电 (刷新) DRAM 存储器单元行中的位。

HYPERRAM™ 器件包括自动刷新行的自刷新逻辑。仅当主机未主动读取或写入存储器时, 才能自动刷新行。如果当时需要刷新, 刷新逻辑会等待任何活动读取或写入结束, 然后再进行刷新。如果在刷新完成之前开始新的读取或写入, 则存储器将在 CA 期间将 RWDS 驱动为高电平, 以指示在新访问开始时需要 2X 初始延迟时间, 以便允许刷新操作在开始新访问之前完成。

整个存储器阵列所需的刷新时间间隔随温度的变化而变化, 如表 15 所示。这是所有行必须刷新的时间。所有行的刷新可以作为每个间隔开始时的单批访问完成, 也可以分批 (并发刷新) 多次刷新, 分散在每个间隔内, 或者作为在整个间隔内均匀分布的单行刷新。自刷新逻辑将单行刷新操作分布在每个间隔内, 这样存储器就不会长时间忙于执行并发刷新操作, 从而避免并发刷新会长时间延迟主机访问。

表 15 不同温度的阵列刷新闻隔

Device temperature (°C)	Array refresh interval (ms)	Array rows	Recommended t_{CSM} (μs)
85	64	8192	4
105	16	8192	1

分布式刷新方法要求主机不要执行持续时间过长的突发传输, 以免妨碍计算机在需要时执行分布式刷新。这样就对读取和写入传输的长度设置了上限, 以便刷新逻辑可以在传输之间插入刷新操作。此限额

称为 CS LOW 最大时间 (t_{CSM})。 t_{CSM} 值由阵列刷新闻隔除以阵列中的行数确定, 然后将该计算结果减半, 以确保在需要分布式刷新之前立即开始的最大长度主机访问不会完全错过分布式刷新闻隔。由于 t_{CSM} 是所需分布式刷新闻隔的一半, 因此任何延迟刷新操作的最大长度主机访问都将以刷新闻隔除以行数所需速率的两倍来追赶刷新操作。

主机需要遵守 t_{CSM} 值, 在超出 t_{CSM} 限制之前结束每个传输。这可以通过主机存储控制器逻辑在达到 t_{CSM} 限制时拆分长传输来实现, 或者通过主机硬件或软件不执行比 t_{CSM} 更长的单个读取或写入传输来实现。如表 15 所示在较低温度下, 刷新闻隔较长, 因此可以增加 t_{CSM} 以允许更长的传输。主机系统可以使用表中的 t_{CSM} 值来确定最高工作温度, 也可以通过读取只读 CR1[1:0] 位动态确定该值, 以便在每次访问之前设置分布式刷新闻隔。

接口状态

7 接口状态

表16 描述了每个接口状态所需的接口信号值。

表 14 接口状态

Interface state	V _{CC} /V _{CCQ}	CS#	CK, CK#	DQ7-DQ0	RWDS	RESET #
Power-off	< V _{LKO}	X	X	HIGH-Z	HIGH-Z	X
Power-on (cold) reset	≥ V _{CC} /V _{CCQ} min	X	X			X
Hardware (warm) reset	≥ V _{CC} /V _{CCQ} min	X	X			L
Interface standby	≥ V _{CC} /V _{CCQ} min	H	X			H
CA	≥ V _{CC} /V _{CCQ} min	L	T	Master output valid	Y	H
Read initial access latency (data bus turn around period)	≥ V _{CC} /V _{CCQ} min	L	T	HIGH-Z	L	H
Write initial access latency (RWDS turn around period)	≥ V _{CC} /V _{CCQ} min	L	T		HIGH-Z	H
Read data transfer	≥ V _{CC} /V _{CCQ} min	L	T	Slave output Valid	Slave output valid Z or T	H
Write data transfer with initial latency	≥ V _{CC} /V _{CCQ} min	L	T	Master output valid	Master output valid X or T	H
Write data transfer without initial latency ^[42]	≥ V _{CC} /V _{CCQ} min	L	T	Master output valid	Slave output L or HIGH-Z	H
Active clock stop ^[43]	≥ V _{CC} /V _{CCQ} min	L	Idle	Master or slave output valid or HIGH-Z	Y	H
Deep power down ^[43]	≥ V _{CC} /V _{CCQ} min	H	X or T	HIGH-Z	HIGH-Z	H
Hybrid sleep ^[43]	≥ V _{CC} /V _{CCQ} min	H	X or T			H

图例

L = V_{IL}H = V_{IH}X = V_{IL} 或 V_{IH}Y = V_{IL} 或 V_{IH} 或 V_{OL} 或 V_{OH}Z = V_{OL} 或 V_{OH}

L/H = 上升沿

H/L = 下降沿

T = 信息传输期间切换

Idle = CK 为低电平且 CK# 为高电平

Valid = 所有总线信号都有稳定的低或高电平

注

42. 无初始延迟的写入（初始延迟为零）没有 RWDS 的周转期。HYPERRAM™ 器件将始终在 CA 期间驱动 RWDS，以指示是否需要延长延迟。由于主机写入数据紧随 CA 周期之后，HYPERRAM™ 器件可能会继续将 RWDS 驱动为低电平，或者将 RWDS 置于高阻态。主机不得在零延迟写入期间驱动 RWDS。零延迟写入不使用 RWDS 作为数据掩码功能。写入数据的所有字节（全字写入）。

43. 有效时钟停止在第31页的“有效时钟停止”中有所描述，DPD在第33页的“深度掉电”中有所描述。混合休眠在第32页的“混合休眠”中有所描述。

节能模式

8 节能模式

8.1 接口待机

待机是在主机没有选择器件传输数据时 (CS# = 高) 的一种默认、低功耗接口状态。在此状态下, 除 CS# 和 RESET# 之外的所有输入和输出都将被忽略。

8.2 有效时钟停止

有效时钟停止状态可减少在读写操作的数据传输过程中器件接口对 I_{CC6} 电平的热量消耗。当时钟保持稳定时间 $t_{ACC} + 30 \text{ ns}$ 时, 器件会自动启用此状态。在有效时钟停止状态下, 读取数据被锁存并始终驱动到数据总线。 I_{CC6} 的直流特性如第36页的“DC 特性”所示。

当主机时钟停止以暂停数据传输时, 有效时钟停止状态有助于减少功耗电流。即使在延长的数据传输周期内 CS 可能保持低电平, 存储器器件主机接口也会在电流电平 $t_{ACC} + 30 \text{ ns}$ 时进入有效时钟停止。这允许器件在数据传输停滞时转换为较低的电流状态。一旦使用切换时钟重新启动数据传输, 有效读取或写入电流将恢复。有效时钟停止状态的使用不得违反 t_{CSM} 限制。CS 必须在违反 t_{CSM} 之前变为高电平。只要时钟处于低电平状态, 就可以在有效传输的任何部分停止时钟。注意, 建议避免在寄存器访问期间停止时钟。

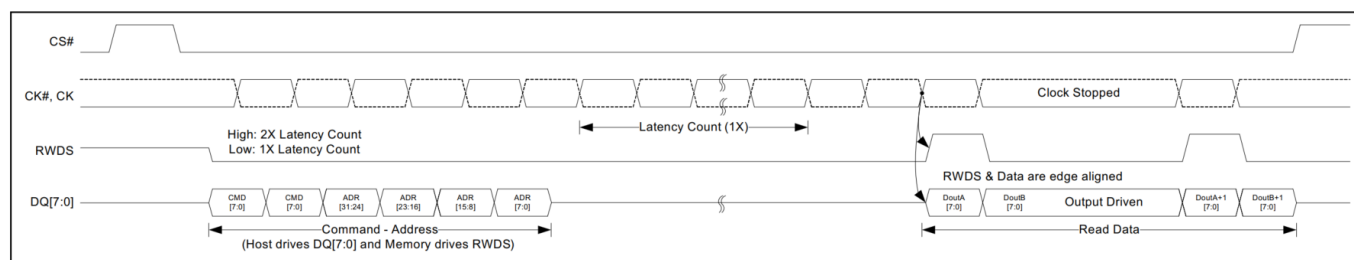


图 12 读取传输期间的有效时钟停止 (DDR) [44]

注

44. 在 CA 循环期间, RWDS 为低电平。在此读取传输中, 读取数据访问只有一个初始延迟计数, 因为此读取传输并非在从机需要额外延迟时开始。

节能模式

8.3 混合休眠

在混合休眠 (HS) 状态下, 消耗电流减少 (i_{HS})。通过向 CR1[5] 写入 0 进入 HS 状态。器件会在 t_{HSIN} 时间内降低功率。存储空间和寄存器空间中的数据在 HS 状态期间被保留。将 CS 拉低将导致器件退出 HS 状态并将 CR1[5] 设置为 0。此外, POR 或硬件复位将导致器件退出混合休眠状态。请注意: POR 或硬件复位会禁用刷新, 从而防止存储器数据可能丢失。返回到当前状态需要 t_{EXTHS} 时间。由于任何这些事件而退出 HS 后, 器件将处于与进入混合休眠相同的状态。

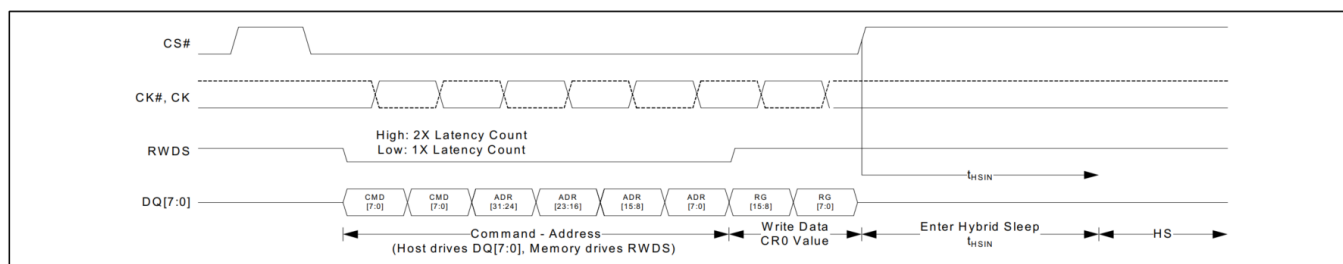


图 13 进入 HS 传输

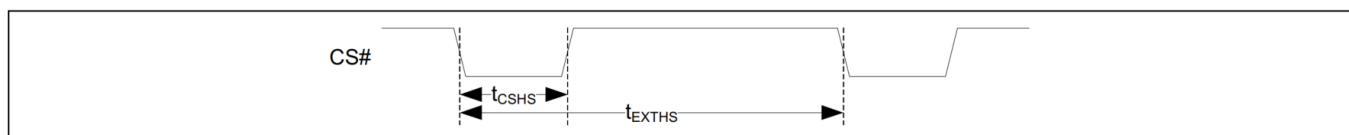


图 14 退出 HS 传输

表 17 混合休眠时序参数

Parameter	Description	Min	Max	Unit
t_{HSIN}	Hybrid Sleep CR1[5] = 1 register write to HS power level	-	3	μ s
t_{CSHS}	CS# Pulse Width to Exit HS	60	3000	ns
t_{EXTHS}	CS# Exit Hybrid Sleep to Standby wakeup time	-	100	μ s

节能模式

8.4 掉电

在深度掉电 (DPD) 状态下, 消耗电流被驱动至尽可能低的水平 (I_{DPD})。通过向 CR0[15] 写入 0 进入 DPD 状态。器件在 t_{DPDIN} 时间内降低功率, 并且所有刷新操作停止。DPD 状态下, 存储空间中的数据丢失 (不刷新就无效)。将 CS# 驱动为低电平然后驱动为高电平将导致器件退出 DPD 状态。此外, POR 或硬件复位将导致器件退出 DPD 状态。

返回待机状态需要 t_{EXTDPD} 时间。与任何其他 POR 一样, POR 后返回待机状态需要 t_{VCS} 时间。由于上述任何事件退出 DPD 后, 器件处于与 POR 后相同的状态。

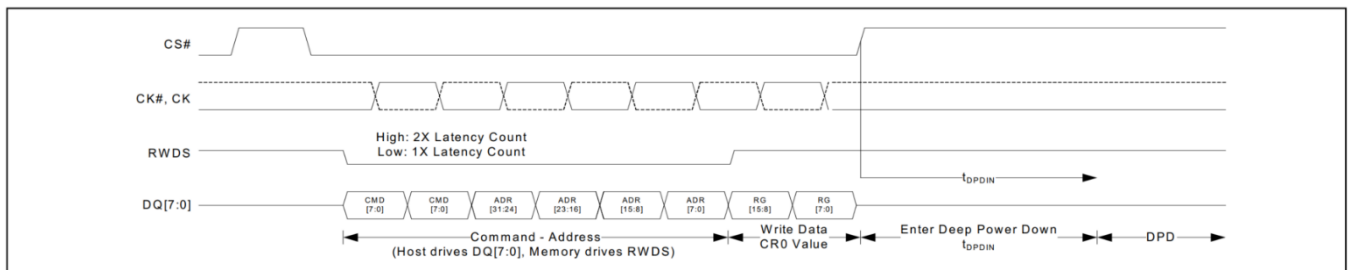


图 15 进入DPD传输

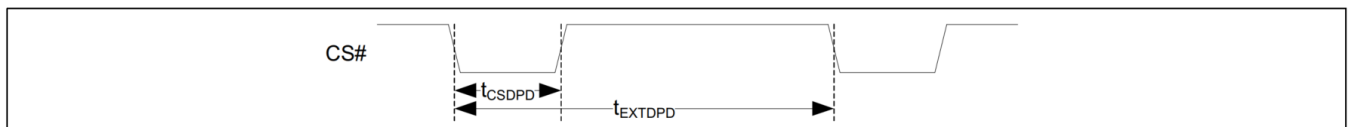


图 16 退出 DPD 传输

表 18 深度掉电时序参数

Parameter	Description	Min	Max	Unit
t_{DPDIN}	Deep power down CR0[15] = 0 register write to DPD power level	-	3	μ s
t_{CSDPD}	CS# pulse width to exit DPD	200	3000	ns
t_{EXTDPD}	CS# exit deep power down to standby wakeup time	-	150	μ s

电气规格

9 电气规格

9.1 绝对最大额定值^[47]

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +115°C
Voltage with respect to ground All signals ^[45]	-0.5 V to +(V _{CC} + 0.5 V)
Output short circuit current ^[46]	100 mA
V _{CC} , V _{CCQ}	-0.5 V to +4.0 V
Electrostatic discharge voltage: Human body model (JEDEC Std JESD22-A114-B) Charged device model (JEDEC Std JESD22-C101-A)	2000 V 500 V

9.2 输入信号过冲

在DC条件下，输入或 I/O 信号应保持等于或介于 V_{SS}和 V_{CC}之间。在电压转换期间，输入或 I/O 可能会超过 V_{SS}至 -1.0 V 或超过 V_{CC}+ 1.0 V，持续时间最长为 20 ns。

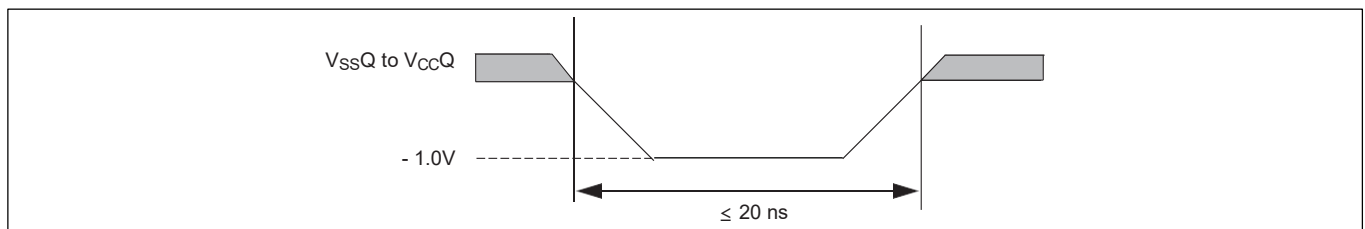


图17 最大负过冲波形

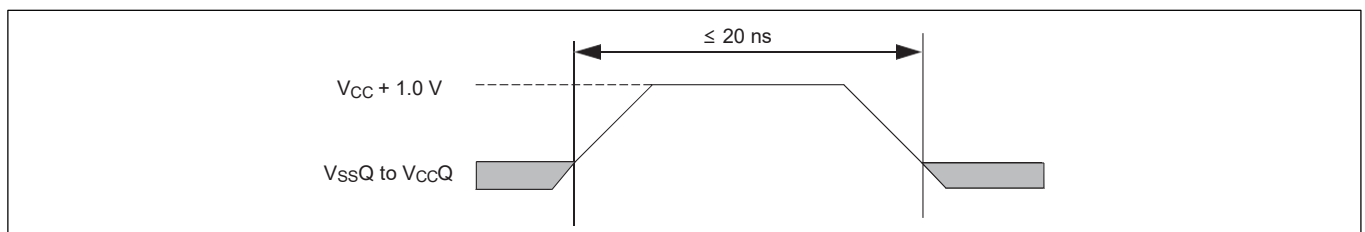


图 18 最大正极过冲波形

注

45. 输入或 I/O 信号上的最小 DC 电压为-1.0 V。在电压转换期间，输入或 I/O 信号可能低于 V_{SS}至-1.0 V，持续时间长达 20 ns。见 图17。输入或 I/O 信号上的最大 DC 电压为 V_{CC} + 1.0 V。在电压转换期间，输入或 I/O 信号可能高于 V_{CC} + 1.0 V，持续时间长达 20 ns。见 图18。
46. 每一次只能有一个输出对地短接。短接时间不能超过一秒。
47. 高于第34页的“绝对最大额定值^[47]”所列应力可能会对器件造成永久性损坏。这只是一个额定值；并不暗示器件在这些条件或高于本数据表操作部分中指示的任何其他条件下的功能操作。器件长期处于绝对最大额定值条件下可能会影响器件可靠性。

电气规格

9.3 闩锁特性

9.3.1 闩锁规格

表19 闩锁规格^[48]

Description	Min	Max	Unit
Input voltage with respect to V_{SSQ} on all input only connections	-1.0	$V_{CCQ} + 1.0$	V
Input voltage with respect to V_{SSQ} on all I/O connections			
V_{CCQ} current	-100	+100	mA

9.4 工作范围

工作范围定义了一些限值，在这些限值之间可保证器件正常运行。

9.4.1 温度范围

表20 温度范围

Parameter	Symbol	Device	Spec		Unit
			Min	Max	
Ambient temperature	T_A	Industrial (I)	-40	85	°C
		Industrial plus (V)		105	
		Automotive, AEC-Q100 Grade 3 (A)		85	
		Automotive, AEC-Q100 Grade 2 (B)		105	

9.4.2 电源电压

表21 电源电压

Description	Min	Max	Unit
1.8 V V_{CC} power supply	1.7	2.0	V
3.0 V V_{CC} power supply	2.7	3.60	

注:

48. 不包括电源 V_{CC}/V_{CCQ} 。测试条件： $V_{CC}=V_{CCQ}$ ，一次测试一个连接，未测试的连接处于 V_{SS} 。

电气规格

9.5 DC 特性

表 22 DC 特性 (CMOS 兼容)

Parameter	Description	Test conditions	128 Mb			Unit
			Min	Typ ^[49]	Max	
I_{LI1}	Input leakage current 3.0 V device reset signal high only	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC\ max}$		-	4	μA
I_{LI2}	Input leakage current 1.8 V device reset signal high only					
I_{LI3}	Input leakage current 3.0 V Device reset signal low only ^[50]					
I_{LI4}	Input leakage current 1.8 V device reset signal low only ^[50]					
I_{CC1}	V_{CC} active read current	$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 2.0\ V$	30		50	mA
		$CS\# = V_{SS}$, @ 166 MHz, $V_{CC} = 3.6\ V$			56	
		$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 3.6\ V$			60	
I_{CC2}	V_{CC} active write current	$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 2.0\ V$			50	
		$CS\# = V_{SS}$, @ 166 MHz, $V_{CC} = 3.6\ V$			56	
		$CS\# = V_{SS}$, @ 200 MHz, $V_{CC} = 3.6\ V$			60	
I_{CC4I}	V_{CC} standby current (-40°C to +85°C)	$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; full array	-	160	440	μA
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; bottom 1/2 array	-		420	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; bottom 1/4 array			410	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; bottom 1/8 array			400	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; top 1/2 array			420	
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; top 1/4 array	410			
		$CS\# = V_{CC}$, $V_{CC} = 2.0\ V$; top 1/8 array	400			
		$CS\# = V_{CC}$, $V_{CC} = 3.6\ V$; full array	180	500		
		$CS\# = V_{CC}$, $V_{CC} = 3.6\ V$; bottom 1/2 array	-		480	
		$CS\# = V_{CC}$, $V_{CC} = 3.6\ V$; bottom 1/4 array			450	

注

49. 并非100%经过了测试。

50. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式, 而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收, 使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格

表 22 DC特性 (CMO兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit		
			Min	Typ ^[49]	Max			
I _{CC4I}	V _{CC} standby current (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array	-		440			
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/2 array			480			
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/4 array			450			
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/8 array			440			
I _{CC4P}	V _{CC} standby current (-40°C to +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V; full array			160		660	μA
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/2 array			-		630	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/4 array					615	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/8 array					600	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/2 array					630	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/4 array					615	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/8 array					600	
		CS# = V _{CC} , V _{CC} = 3.6 V; full array					180	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/2 array	-	720				
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/4 array		675				
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array		660				
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/2 array		720				
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/4 array		675				
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/8 array		660				
I _{CC5}	Reset current	CS# = V _{CC} , RESET# = V _{SS} , V _{CC} = V _{CC} max			1.5	mA		

注

49. 并非100%经过了测试。

50. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式, 而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收, 使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格

表 22 DC特性 (CMO兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit
			Min	Typ ^[49]	Max	
I_{CC6I}	Active clock stop current (-40°C to +85°C)	CS# = V _{SS} , RESET# = V _{CC} , V _{CC} = V _{CC} max		10	13	mA
I_{CC6IP}	Active clock stop current (-40°C to +105°C)	CS# = V _{SS} , RESET# = V _{CC} , V _{CC} = V _{CC} max			19	
I_{CC7}	V _{CC} current during power up ^[50]	CS# = V _{CC} , V _{CC} = V _{CC} max, V _{CC} = V _{CCQ} = 2.0 V or 3.6 V			70	
$I_{DPD}^{[50]}$	Deep power down current 3.0 V (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V			250	μA
	Deep power down current 1.8 V (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V		-	220	
	Deep power down current 3.0 V (-40°C to +105°C)	CS# = V _{CC} , V _{CC} = 3.6 V			330	
	Deep power down current 1.8 V (-40°C to +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V			360	
$I_{HS}^{[50]}$	Hybrid sleep current (-40°C to +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V; full array		105	420	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/2 array			370	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/4 array			330	
		CS# = V _{CC} , V _{CC} = 2.0 V; bottom 1/8 array			310	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/2 array			370	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/4 array			330	
		CS# = V _{CC} , V _{CC} = 2.0 V; top 1/8 array			310	
		CS# = V _{CC} , V _{CC} = 3.6 V; full array		115	480	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/2 array			430	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/4 array			370	
		CS# = V _{CC} , V _{CC} = 3.6 V; bottom 1/8 array			340	
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/2 array			430	
		CS# = V _{CC} , V _{CC} = 3.6 V; top 1/4 array			370	

注

49. 并非100%经过了测试。

50. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式, 而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收, 使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格

表 22 DC特性 (CMO兼容) (续)

Parameter	Description	Test conditions	128 Mb			Unit			
			Min	Typ ^[49]	Max				
$I_{HS}^{[50]}$	Hybrid sleep current (-40°C to +85°C)	CS# = V_{CC} , $V_{CC} = 3.6 V$; top 1/8 array	-	-	340	μA			
		CS# = V_{CC} , $V_{CC} = 2.0 V$; full array		185	630				
	CS# = V_{CC} , $V_{CC} = 2.0 V$; bottom 1/2 array	-		570					
	CS# = V_{CC} , $V_{CC} = 2.0 V$; bottom 1/4 array	-		510					
	CS# = V_{CC} , $V_{CC} = 2.0 V$; bottom 1/8 array	-		460					
	CS# = V_{CC} , $V_{CC} = 2.0 V$; top 1/2 array	-		570					
	CS# = V_{CC} , $V_{CC} = 2.0 V$; top 1/4 array	-		510					
	CS# = V_{CC} , $V_{CC} = 2.0 V$; top 1/8 array	-		460					
	Hybrid sleep current (-40°C to +105°C)	CS# = V_{CC} , $V_{CC} = 3.6 V$; full array		-	215		690		
		CS# = V_{CC} , $V_{CC} = 3.6 V$; bottom 1/2 array		-	630				
		CS# = V_{CC} , $V_{CC} = 3.6 V$; bottom 1/4 array		-	550				
		CS# = V_{CC} , $V_{CC} = 3.6 V$; bottom 1/8 array		-	520				
		CS# = V_{CC} , $V_{CC} = 3.6 V$; top 1/2 array		-	630				
		CS# = V_{CC} , $V_{CC} = 3.6 V$; top 1/4 array		-	550				
		CS# = V_{CC} , $V_{CC} = 3.6 V$; top 1/8 array		-	520				
		V_{IL}		Input low voltage	-		$-0.15 \times V_{CCQ}$	$0.30 \times V_{CCQ}$	V
		V_{IH}		Input high voltage	-		$0.70 \times V_{CCQ}$	$1.15 \times V_{CCQ}$	
		V_{OL}		Output low voltage	$I_{OL} = 100 \mu A$ for DQ[7:0]		-	0.20	
	V_{OH}	Output high voltage		$I_{OH} = 100 \mu A$ for DQ[7:0]	$V_{CCQ} - 0.20$		-		

注

49. 并非100%经过了测试。

50. 双芯片 128 Mb 芯片中只有一个可以进入 DPD 模式，而另一个芯片则保持待机模式。RESET# LOW 启动从 DPD 状态退出并启动 ICC5 复位电流的吸收，使得 RESET# LOW 期间的 ILI 变得无关紧要。

电气规格

9.5.1 电容特性

表 23 1.8 V 电容特性^[51 - 53]

Description	Parameter	128 Mb	Unit
		Max	
Input capacitance (CK, CK#, CS#)	CI	6	pF
Delta input capacitance (CK, CK#)	CID	0.50	
Output capacitance (RWDS)	CO	6	
IO capacitance (DQx)	CIO	6	
IO capacitance delta (DQx)	CIOD	0.50	

表 24 3.0 V 电容特性^[51 - 53]

Description	Parameter	128 Mb	Unit
		Max	
Input capacitance (CK, CK#, CS#)	CI	6	pF
Delta input capacitance (CK, CK#)	CID	0.50	
Output capacitance (RWDS)	CO	6	
IO capacitance (DQx)	CIO	6	
IO capacitance delta (DQx)	CIOD	0.50	

9.5.2 热阻抗

表 25 热阻

Parameter ^[54]	Description	Test conditions	24-ball FBGA package	Unit
θ_{JA}	Thermal resistance (junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance, per EIA/JESD51.	54	°C/W
θ_{JC}	Thermal resistance (junction to case)		25.5	

注

51. 这些值由设计保证，并且仅在样片基础上进行测试。
52. 触点电容采用矢量网络分析仪，按照JEP147电容测量规程进行测量。施加 V_{CC} 、 V_{CCQ} ，其他所有信号（被测信号除外）悬空。DQ应处于高阻态。
53. 请注意：CK、CK#、RWDS 和 DQx 信号的电容值必须具有相似的电容值，以允许系统中的信号传播时间匹配。CS# 的电容值并不那么重要，因为在 CS# 变为有效（低电平）和数据出现在 DQ 总线上之间没有关键的时间顺序。
54. 此参数由特性保证；未经生产测试。

电气规格

9.6 上电初始化

HYPERRAM™产品包括用于启动上电初始化过程的片上电压传感器。 V_{CC} 和 V_{CCQ} 必须同时施加。当电源达到 $V_{CC}(\text{min})$ 或以上的稳定电平时,器件将需要 t_{VCS} 时间来完成其自初始化过程。

上电期间不得选择器件。 $CS\#$ 必须跟随施加在 V_{CCQ} 上的电压,直至上电期间达到 V_{CC} (最小值),然后 $CS\#$ 必须保持高电平,并持续延迟 t_{VCS} 。可以在 V_{CCQ} 和片选($CS\#$)之间使用一个简单的上拉电阻,以确保安全正确地上电。

如果 $RESET\#$ 在上电期间为低电平,器件会延迟 t_{VCS} 周期的启动,直至 $RESET\#$ 变为高电平。 t_{VCS} 周期主要用于对DRAM阵列执行刷新操作以对其进行初始化。

初始化完成后,器件即可正常运行。

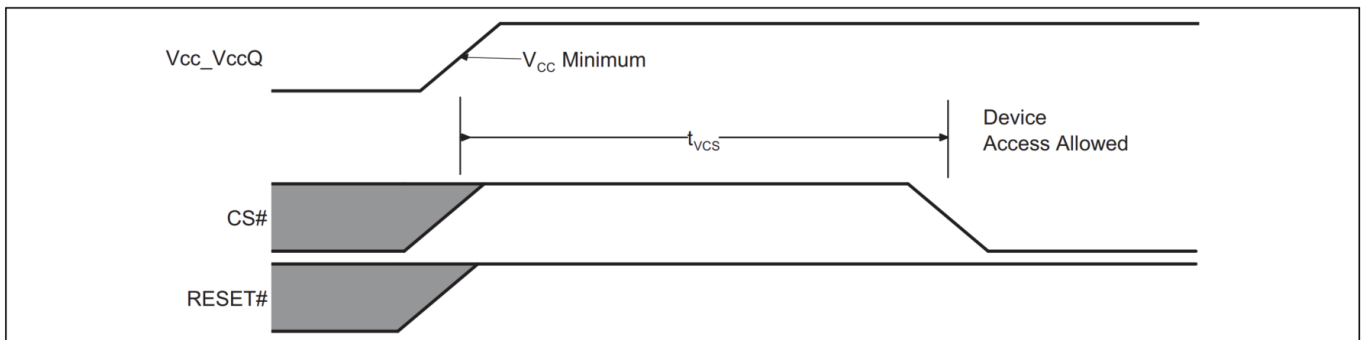


图 19 $RESET\#$ 为高电平时上电

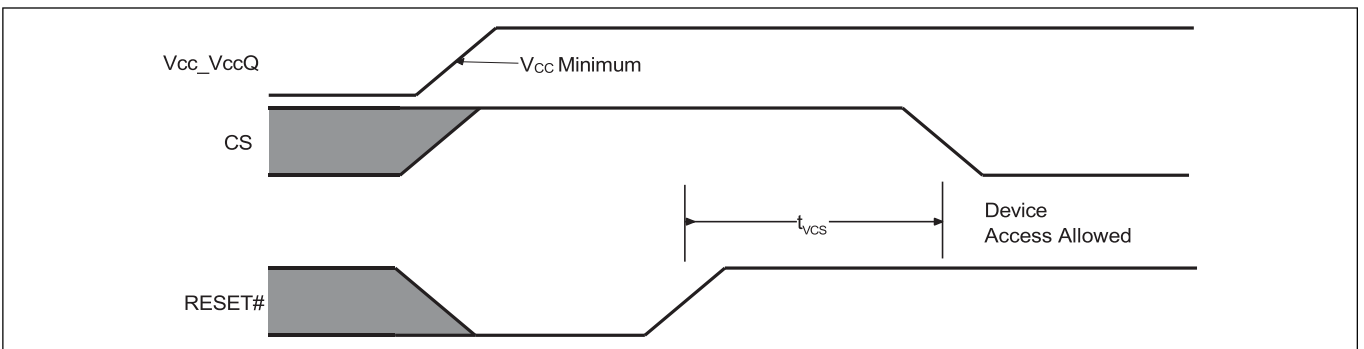


图 20 $RESET\#$ 为低电平时上电

表 26 上电和复位参数^[55 - 57]

Parameter	Description	Min	Max	Unit
V_{CC}	1.8 V V_{CC} power supply	1.7	2.0	V
V_{CC}	3.0 V V_{CC} power supply	2.7	3.6	
t_{VCS}	V_{CC} and $V_{CCQ} \geq$ minimum and $RESET\#$ HIGH to first access	-	150	μs

注

55. 上电复位时间(t_{VCS})期间不允许进行总线传输(读和写)。

56. V_{CCQ} 的电压必须与 V_{CC} 相同。

57. V_{CC} 斜率可能是非线性的。

电气规格

9.7 掉电

HYPERRAM™当原生电源 (V_{CC} 降至 V_{CC} 锁定电压 (V_{LKO}) 以下时, 器件被视为已断电HYPERRAM™。在电源转换至 V_{SS} 电平期间, V_{CCQ} 应保持小于或等于 V_{CC} 。在 V_{LKO} 电平, 器件将丢失配置或阵列数据。

V_{CC} 必须始终大于或等于 V_{CCQ} ($V_{CC} \geq V_{CCQ}$)。

在电源下降或电压降至 V_{LKO} 以下期间, 初始电源电压也必须在掉电周期 (t_{PD}) 内降至低于 V_{CC} 复位 (V_{RST}), 以便在电源再次升至最低 V_{CC} 时正确初始化 (参见图 21)。

如果在降压过程中 V_{CC} 保持在 V_{LKO} 以上, 器件将保持初始化状态, 并在 V_{CC} 再次高于 V_{CC} 最小值时正常工作。如果 V_{CC} 未低于 V_{RST} 且持续超过时间 t_{PD} , 则无法保证POR过程能够执行。在这种情况下, 需要硬件复位来确保器件正确初始化。

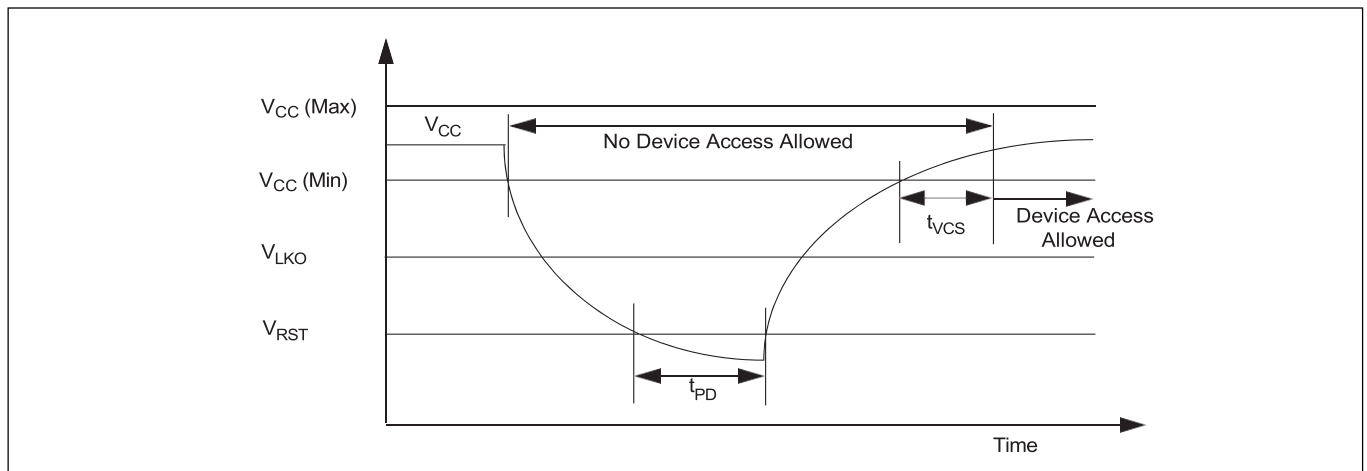


图21 掉电或电压下降

以下部分介绍了HYPERRAM™器件的掉电规格相关方面。

表 27 1.8 V 掉电电压及时序^[58]

Symbol	Parameter	Min	Max	Unit
V_{CC}	V_{CC} power supply	1.7	2.0	V
V_{LKO}	V_{CC} lock-out below which re-initialization is required	1.5	-	
V_{RST}	V_{CC} low Voltage needed to ensure initialization will occur	0.7		
t_{PD}	Duration of $V_{CC} \leq V_{RST}$	50		μ s

表 28 3.0 V 掉电电压及时序^[58]

Symbol	Parameter	Min	Max	Unit
V_{CC}	V_{CC} power supply	2.7	3.6	V
V_{LKO}	V_{CC} lock-out below which re-initialization is required	2.4	-	
V_{RST}	V_{CC} low voltage needed to ensure initialization will occur	0.7		
t_{PD}	Duration of $V_{CC} \leq V_{RST}$	50		μ s

注

58. V_{CC} 斜率可以是非线性的。

电气规格

9.8 硬件复位

RESET# 输入提供了一种将器件返回到待机状态的硬件方法。

在 t_{RPH} 期间, 器件将吸收 I_{CC5} 电流。如果 RESET# 持续保持低电平超过 t_{RPH} 时间, 器件将吸收 CMOS 待机电流 (I_{CC4})。当 RESET# 保持低电平 (t_{RP} 期间) 以及 t_{RPH} 期间, 不允许总线传输。

硬件复位将执行以下操作:

- 使配置寄存器恢复到其默认值
- 当 RESET# 为低电平时停止自刷新操作 - 存储器阵列数据被视为无效
- 强制器件退出混合休眠状态
- 强制器件退出深度掉电状态

RESET# 返回高电平后, 将恢复自刷新操作。由于自刷新操作在 RESET# LOW 期间停止, 且自刷新行计数器已重置至其默认值, 因此某些行可能无法在表 15 所规定的阵列刷新间隔内刷新。这可能会导致在硬件复位期间或之后立即丢失 DRAM 阵列数据。主机应假定 DRAM 阵列数据在硬件复位后丢失, 并重新加载任何所需的数据。

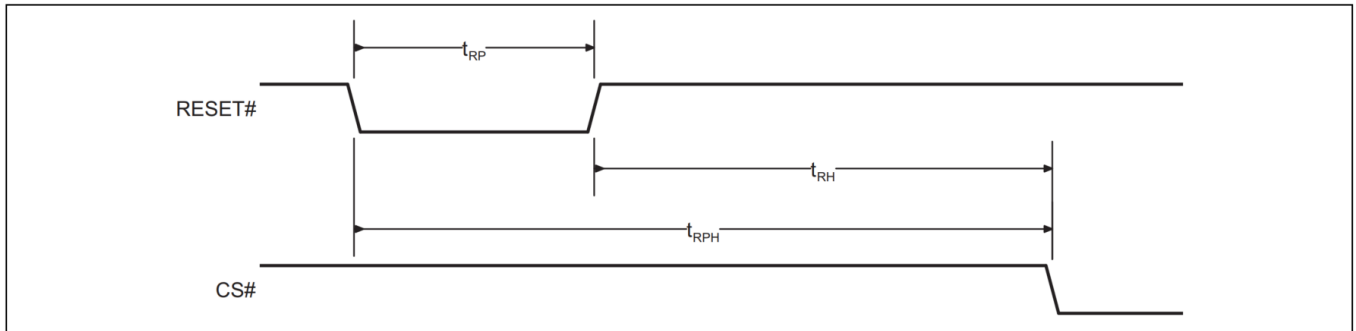


图 22 硬件复位时序图

表 29 上电和复位参数

Parameter	Description	Min	Max	Unit
t_{RP}	RESET# pulse width	200	-	ns
t_{RH}	Time between RESET# (HIGH) and CS# (LOW)			
t_{RPH}	RESET# LOW to CS# LOW	400		

时序规格

10 时序规格

以下部分描述了HYPERRAM™器件时序规格的相关方面。

10.1 波形切换的关键

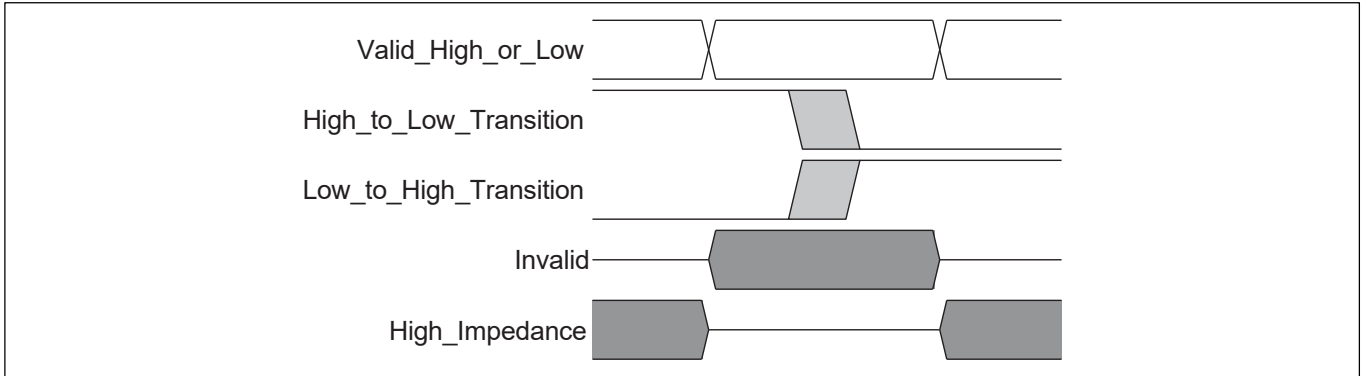


图 23 波形切换的关键

10.2 AC 测试条件

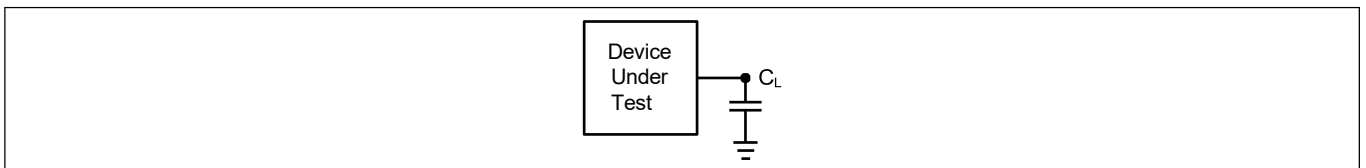


图 24 测试设置

表 30 测试规格^[59]

Parameter	All speeds	Unit
Output load capacitance, C_L	15	pF
Minimum input rise and fall slew rates (1.8 V) ^[60]	1.13	V/ns
Minimum input rise and fall slew rates (3.0 V) ^[60]	2.06	
Input pulse levels	0.0– V_{CCQ}	V
Input timing measurement reference levels	$V_{CCQ}/2$	
Output timing measurement reference levels		

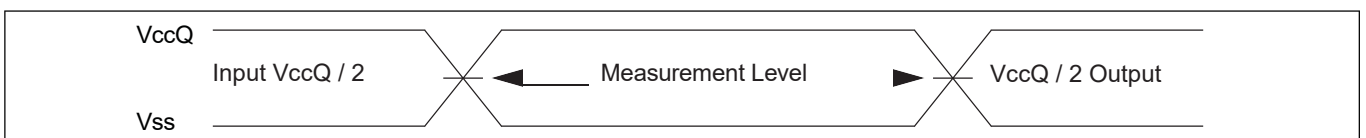


图25 输入波形和测量电平^[61]

注

- 59. 除了 t_{IS}/t_{IH} 和 t_{DSS}/t_{DSH} 之外, 输入和输出时序均参考 $V_{CCQ}/2$ 或 $CK/CK\#$ 的交叉点。
- 60. 所有交流时序均采用此输入斜率。
- 61. 差分 $CK/CK\#$ 对的输入时序是通过时钟交叉来测量的。

时序规格

10.3 时序参考电平

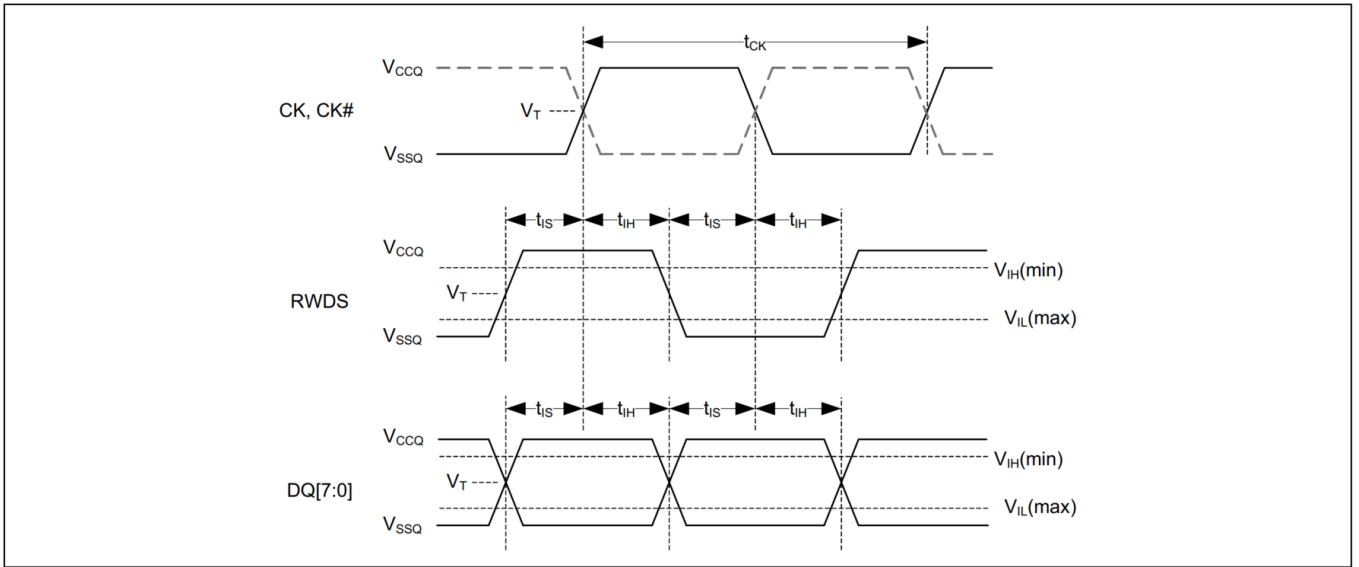


图 26 DDR 输入参考电平

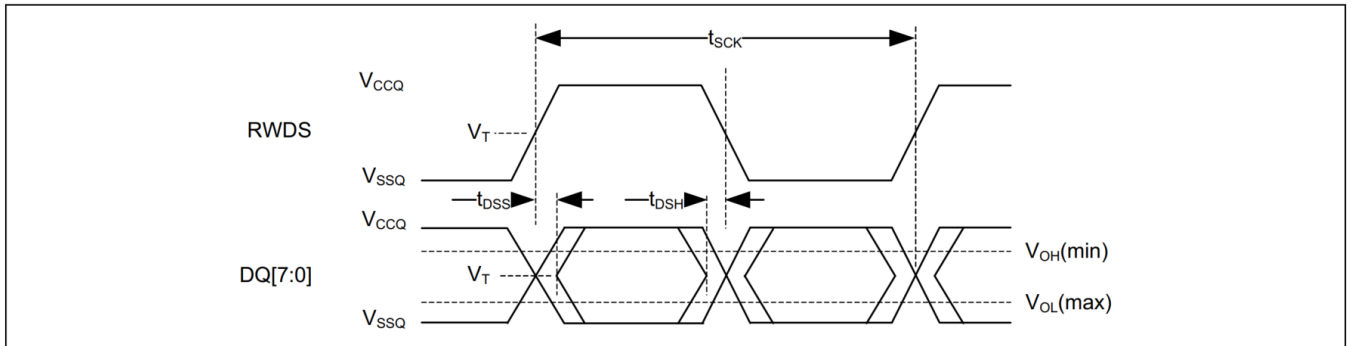


图 27 DDR 输出参考电平

时序规格

10.4 时钟特性

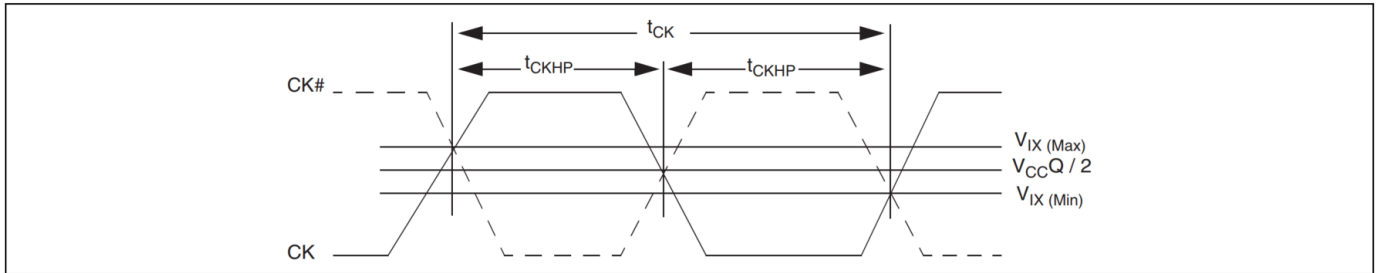


图 28 时钟特性

表 31 时钟时序^[62-64]

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
CK period	t_{CK}	5	-	6	-	ns
CK half period - Duty cycle	t_{CKHP}	0.45	0.55	0.45	0.55	t_{CK}
CK half period at frequency Min = 0.45 t_{CK} Min Max = 0.55 t_{CK} Min	t_{CKHP}	2.25	2.75	2.7	3.3	ns

注

- 62. 允许 ±5% 的时钟抖动
- 63. 最小频率 (最大 t_{CK}) 取决于最大 CS# 低时间 (t_{CSM})、初始延迟和并发长度。
- 64. CK 和 CK# 输入斜率必须为 ≥ 1 V/ns (如果采用差分测量则为 2 V/ns)。

时序规格

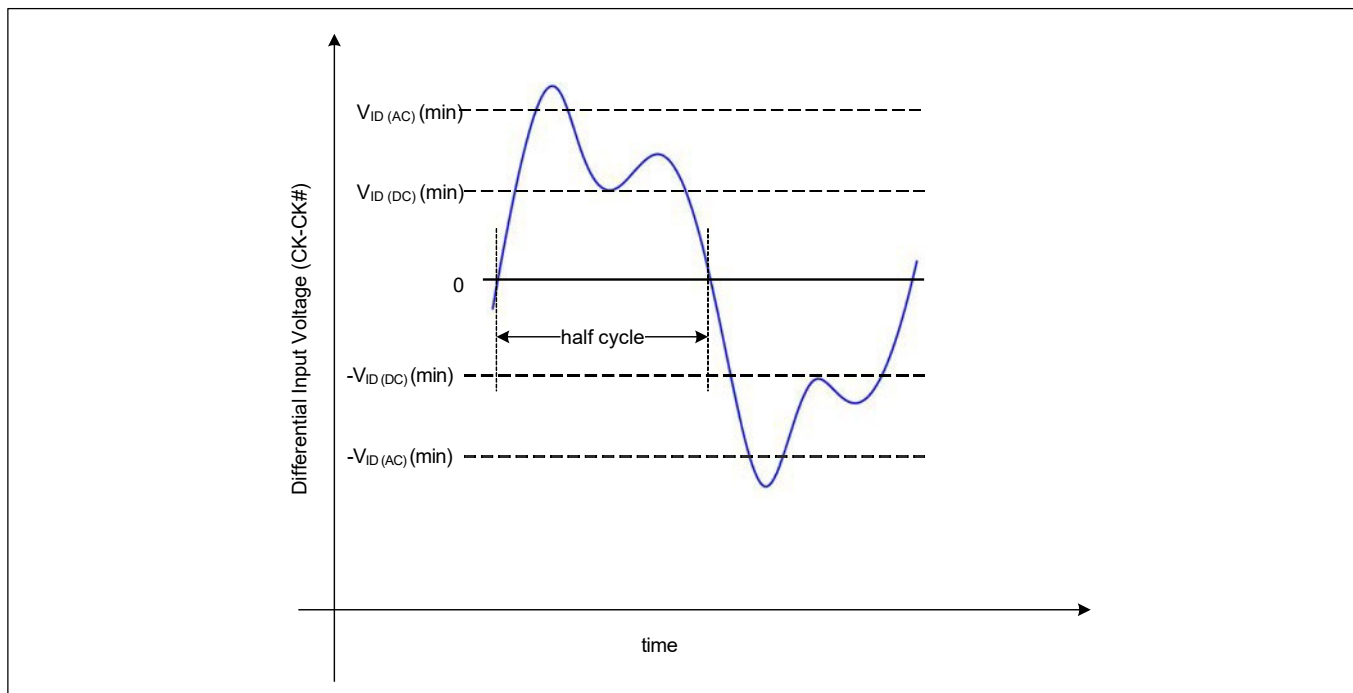


图 29 差分时钟 (CK/CK#) 输入摆幅

表 32 时钟 AC-DC 电气特性^[65、66]

Parameter	Symbol	Min	Max	Unit
DC input voltage	V_{IN}	-0.3	$V_{CCQ} + 0.3$	V
DC input differential voltage	$V_{ID(DC)}$	$V_{CCQ} \times 0.4$	$V_{CCQ} + 0.6$	
AC input differential voltage	$V_{ID(AC)}$	$V_{CCQ} \times 0.6$		
AC differential crossing voltage	V_{IX}	$V_{CCQ} \times 0.4$	$V_{CCQ} \times 0.6$	

注

65. V_{ID} 是 CK 上的输入电平与 CK# 上的输入电平之间的差值幅度。

66. V_{IX} 输入波形和测量电平的值预计等于目标器件的 $V_{CCQ}/2$ ，并且必须跟踪 V_{CCQ} 的 DC 电平的变化。

时序规格

10.5 AC 特性

10.5.1 读取传输

表 33 HYPERRAM™特定读取时序参数

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Chip select HIGH between transactions - 1.8 V	t_{CSHI}	6	-	6	-	ns
Chip select HIGH between transactions - 3.0 V						
HYPERRAM™ read-write recovery time - 1.8 V	t_{RWR}	35	-	36	-	
HYPERRAM™ read-write recovery time - 3.0 V						
Chip select setup to next CK rising edge	t_{CSS}	4.0		3		
Data strobe valid - 1.8 V	t_{DSV}	-	5.0	-	12	
Data strobe valid - 3.0 V			6.5			
Input setup - 1.8 V	t_{IS}	0.5	-	0.6	-	
Input setup - 3.0 V						
Input hold - 1.8 V	t_{IH}	-	-	-	-	
Input hold - 3.0 V						
HYPERRAM™ read initial access time - 1.8 V	t_{ACC}	35	-	36	-	
HYPERRAM™ read initial access time - 3.0 V						
Clock to DQs Low Z	t_{DQLZ}	0		0		
CK transition to DQ valid - 1.8 V	t_{CKD}	1	5.0	1	5.5	
CK transition to DQ valid - 3.0 V			6.5		7	
CK transition to DQ invalid - 1.8 V	t_{CKDI}	0.5	4.2	0.5	4.6	
CK transition to DQ invalid - 3.0 V					5.7	
Data valid (t_{DV} min = the lesser of: t_{CKHP} min - t_{CKD} max + t_{CKDI} max) or t_{CKHP} min - t_{CKD} min + t_{CKDI} min) - 1.8 V	t_{DV} [67, 68]	1.45	-	1.8	-	
Data valid (t_{DV} min = the lesser of: t_{CKHP} min - t_{CKD} max + t_{CKDI} max) or t_{CKHP} min - t_{CKD} min + t_{CKDI} min) - 3.0 V				1.3		
CK transition to RWDS valid - 1.8 V	t_{CKDS}	-	5.0	1	5.5	
CK transition to RWDS valid - 3.0 V			6.5		7	
RWDS transition to DQ valid - 1.8 V	t_{DSS}	-0.4	+0.4	-0.45	+0.45	
RWDS transition to DQ valid - 3.0 V						
RWDS transition to DQ invalid - 1.8 V	t_{DSH}	-0.4	+0.4	-0.45	+0.45	
RWDS transition to DQ invalid - 3.0 V						
Chip select hold after CK falling edge	t_{CSH}	0	-	0	-	
Chip select inactive to RWDS High-Z - 1.8 V	t_{DSZ}	-	5.0	-	6	
Chip select inactive to RWDS High-Z - 3.0 V			6.5		7s	
Chip select inactive to DQ High-Z - 1.8 V	t_{OZ}	-	5	-	6	
Chip select inactive to DQ High-Z - 3.0 V			6.5		7	

注

67. 请参阅图32以获取有效时序数据。

68. t_{DV} 时序计算仅供参考，不用于确定规格限值。规格限值由测试来保证。

时序规格

表 33 HYPERRAM™ 特定读取时序参数 (续)

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Refresh time - 1.8 V	t_{RFH}	35	-	36	-	ns
Refresh time - 3.0 V		t_{CKDSR}	1	5.5	1	
CK transition to RWDS LOW @ CA phase @Read - 1.8 V	7		7	7	7	
CK transition to RWDS LOW @ CA phase @Read - 3.0 V						

注

67. 请参阅 图 32 以获取数据有效时序。

68. t_{DV} 时序计算仅供参考, 不用于确定规格限值。规格限值由测试来保证。

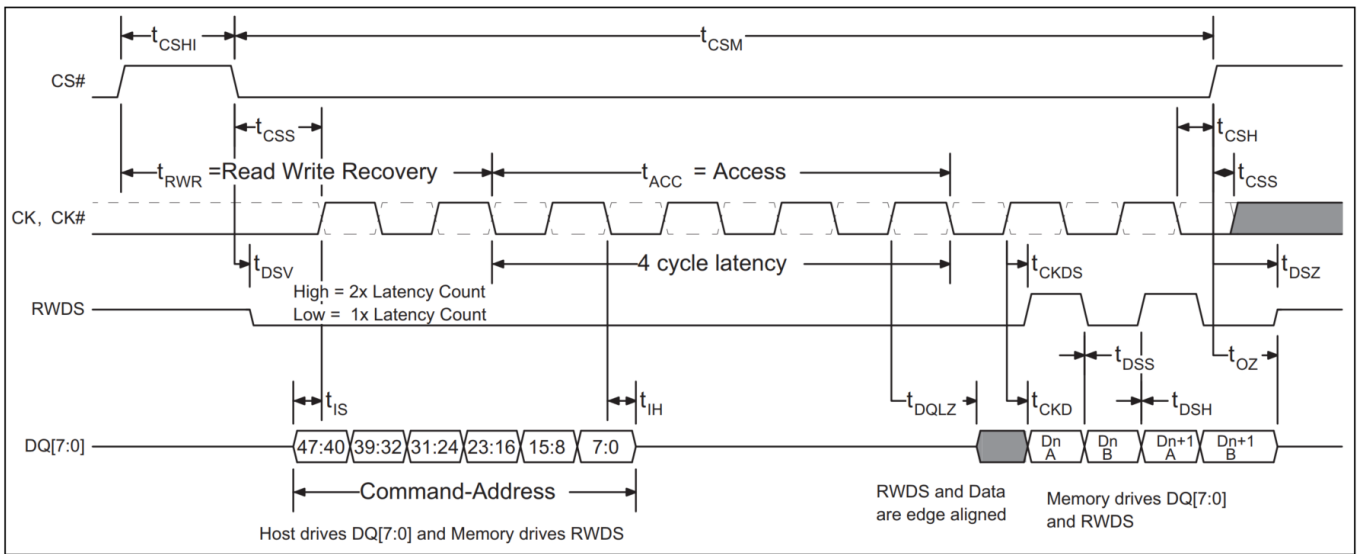


图 30 读取时序图

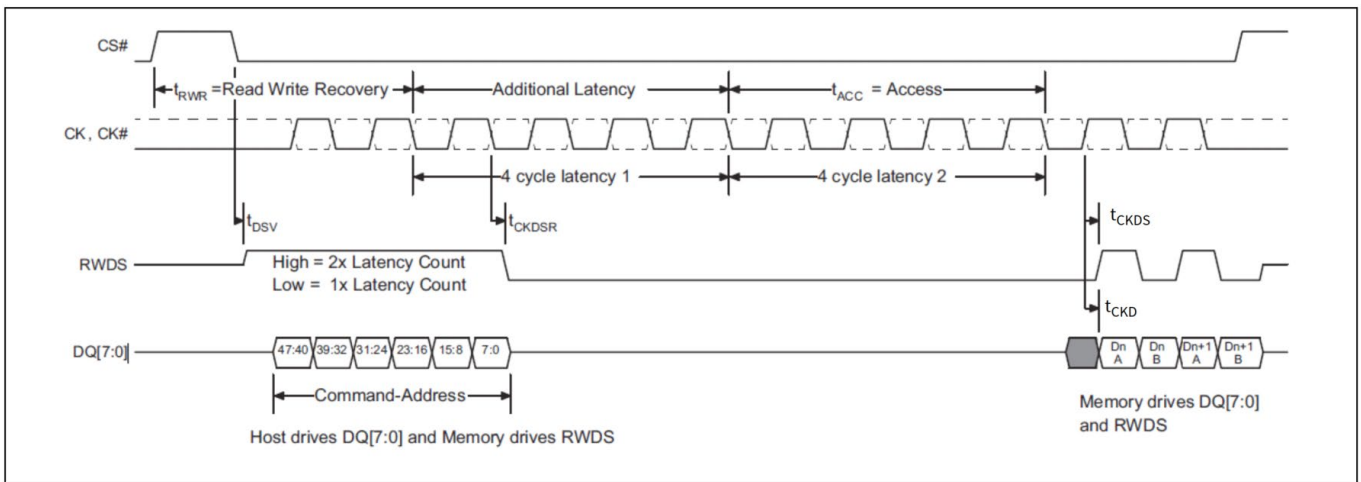


图 31 读取时序图 – 包含初始延迟

时序规格

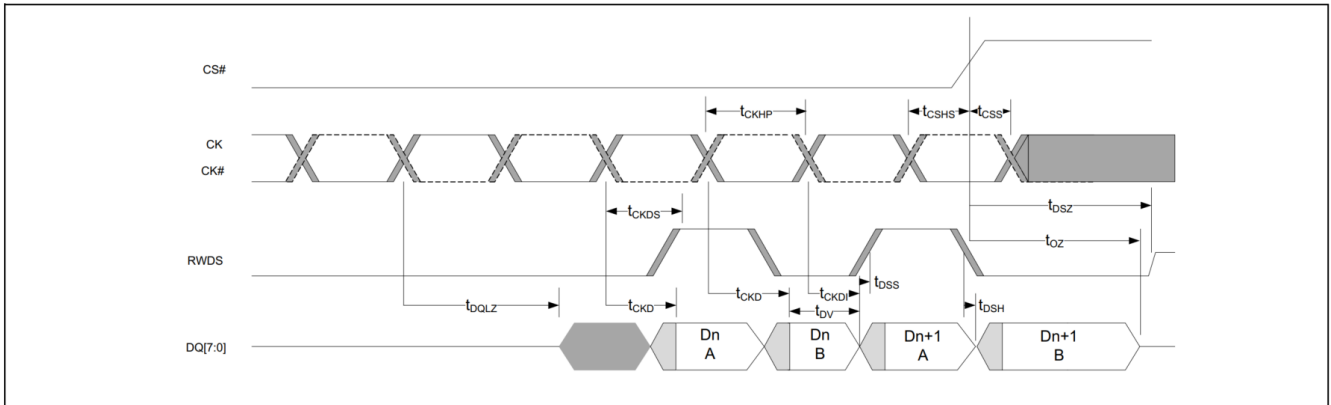


图 32 数据有效时序^[69-71]

10.5.2 写入传输

表 34 写入时序参数

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Read-write recovery time	t_{RWR}	35	-	36	-	ns
Access time	t_{ACC}					
Refresh time	t_{RFH}					
Chip select maximum low time (85°C)	t_{CSM}	-	4	-	4	μ s
Chip select maximum low time (105°C)	t_{CSM}		1		1	
RWDS data mask valid	t_{DMV}	0	-	0	-	

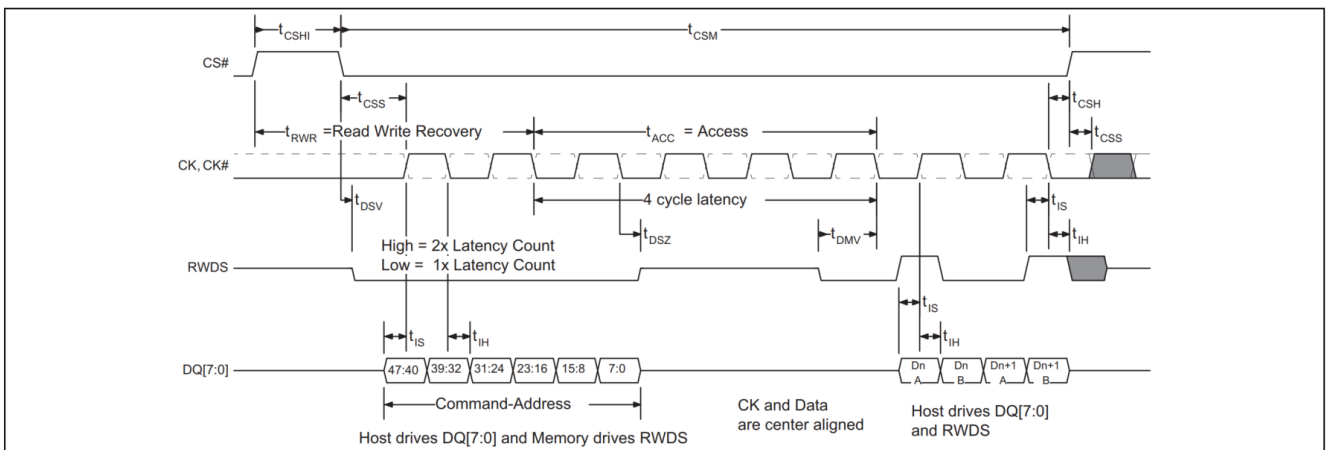


图 33 写入时序图

注

69. t_{CKD} 和 t_{CKDI} 的参数定义了数据有效期的起始和结束位置。

70. t_{DSS} 和 t_{DSH} 定义了 DQ 相对于 RWDS 的转换时间。这是 CK 到 DQ 延迟之间的电位偏差 t_{CKD} 和 CK 到 RWDS 延迟 t_{CKDS} 。

71. 由于 DQ 和 RWDS 是相同的输出类型，因此 t_{CKD} 和 t_{CKDS} 值也是一致的（以相同的比率变化）。

物理接口

11 物理接口

11.1 FBGA 24 球 5 x 5 阵列封装

HYPERRAM™ 器件采用强化球栅阵列 (FBGA)、1 mm 间距、24 球、5 × 5 球阵列封装，主体尺寸为 6 mm × 8 mm。

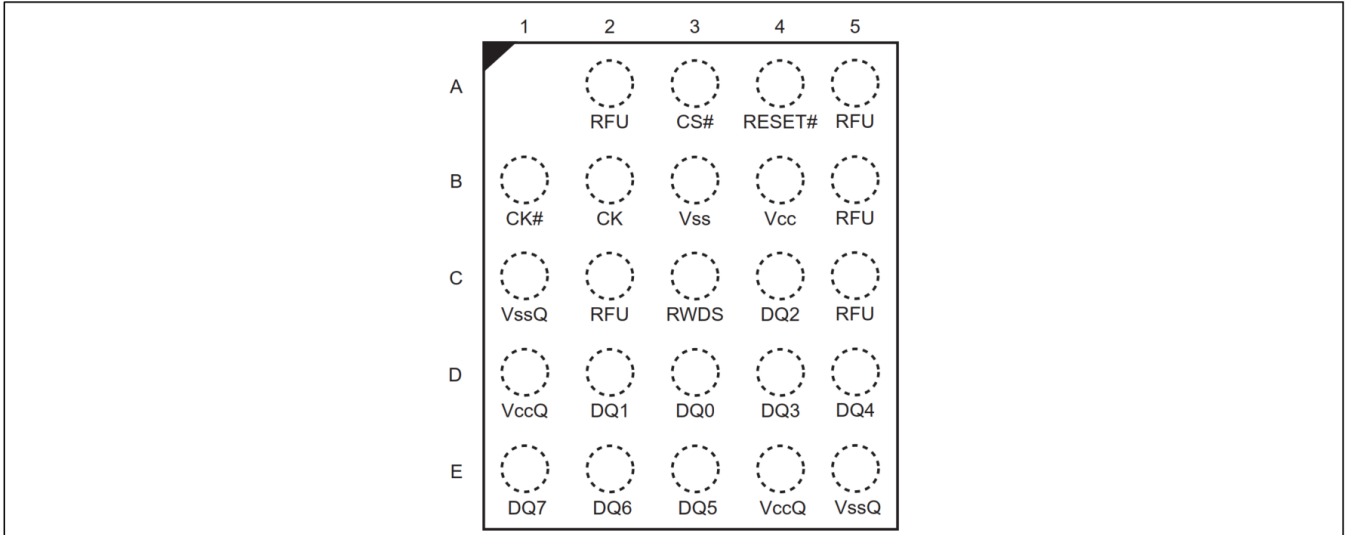


图 34 24 球 FBGA, 6 × 8 mm, 5 × 5 球封装, 俯视图

物理接口

11.2 封装图

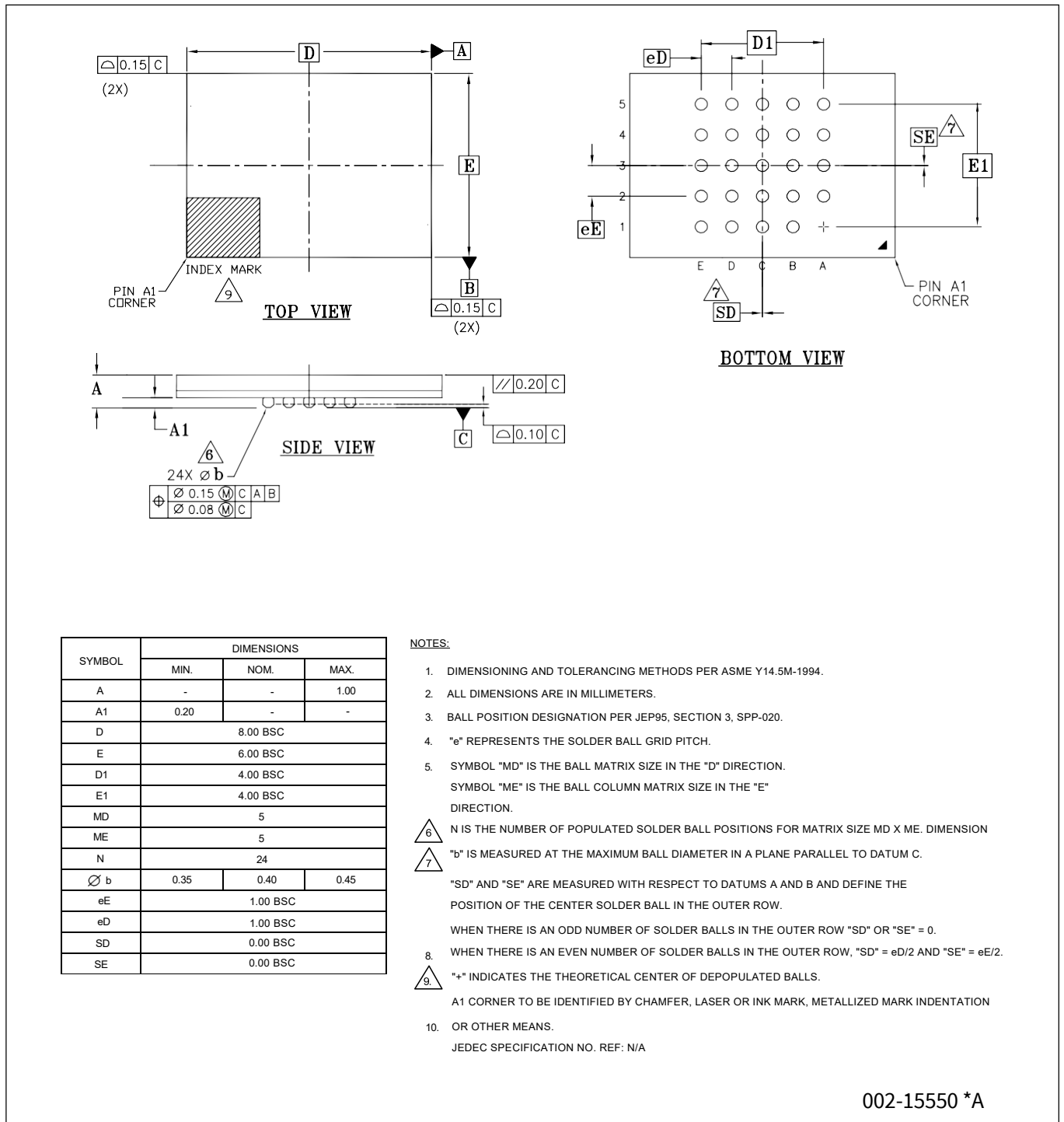


图 35 24 球 FBGA (8.0 × 6.0 × 1 mm) 封装外形, 002-15550

12 DDR 中心对齐读取选通 (DCARS) 功能

HYPERRAM™器件提供了一种可选特性，可以实现RWDS信号相对于读取数据输出的独立倾斜（相移）。根据订购部件编号 (OPN)，某些器件会提供此特性。

当提供 DCARS 特性时，第二个差分相移时钟输入 PSC/PSC# 代替 CK/CK# 作为 RWDS 边缘的基准。第二个时钟通常是 CK/CK# 的副本，其相移 90 度，以将 RWDS 边缘置于 DQ 信号有效数据窗口的中心。然而，CK/CK# 和 PSC/PSC# 之间的其他相位差可用于优化 DQ 信号有效数据窗口内 RWDS 边缘的位置，以便 RWDS 提供所需的数据设置量并保持与 RWDS 边缘相关的时间。

写入传输期间不使用 PSC/PSC#。PSC 和 PSC# 可分别被驱动为低电平和高电平，或者在写入传输期间均被驱动为低电平。

PSC/PSC# 用于HYPERBUS™器件。如果选择单端模式，则必须将 PSC# 驱动为低电平，但不得使其处于浮动状态（漏电问题）。

12.1 带有 DCARS 信号的 HYPERRAM™产品描述

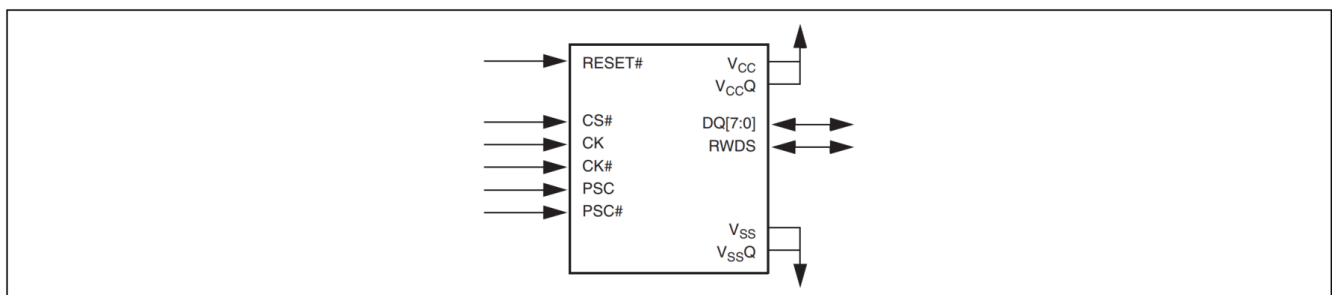


图 36 带DCARS 信号的 HYPERBUS™产品

表 35 信号说明

Symbol	Type	Description
CS#	Input	Chip Select. HYPERBUS™ transactions are initiated with a HIGH to LOW transition. HYPERBUS™ transactions are terminated with a LOW to HIGH transition.
CK, CK#		Differential Clock. Command, address, and data information is output with respect to the crossing of the CK and CK# signals. Use of differential clock is optional. Single Ended Clock. CK# is not used, only a single ended CK is used. The clock is not required to be free-running.
PSC, PSC#		Phase Shifted Clock. PSC/PSC# allows independent skewing of the RWDS signal with respect to the CK/CK# inputs. If the CK/CK# (differential mode) is configured, then PSC/PSC# are used. Otherwise, only PSC is used (Single Ended). PSC (and PSC#) may be driven HIGH and LOW respectively or both may be driven LOW during write transactions.
RWDS	Output	Read-write Data Strobe. Data bytes output during read transactions are aligned with RWDS based on the phase shift from CK, CK# to PSC, PSC#. PSC, PSC# cause the transitions of RWDS, thus the phase shift from CK, CK# to PSC, PSC# is used to place RWDS edges within the data valid window. RWDS is an input during write transactions to function as a data mask. At the beginning of all bus transactions RWDS is an output and indicates whether additional initial latency count is required The dual-die, 128 Mb HYPERRAM™ chip supports data transactions with additional (2X) latency only.
DQ[7:0]	Input/output	Data input/output. CA/Data information is transferred on these DQs during Read and Write transactions.
RESET#	Input	Hardware RESET. When LOW, the device will self initialize and return to the idle state. RWDS and DQ[7:0] are placed into the HIGH-Z state when RESET# is LOW. RESET# includes a weak pull-up, if RESET# is left unconnected it will be pulled up to the HIGH state.
V _{CC}	Power supply	Array power.
V _{CCQ}		Input/output Power.
V _{SS}		Array ground.
V _{SSQ}		Input/output ground.

12.2 带有 DCARS 的 HYPERRAM™ 产品 — FBGA 24 球、5 × 5 阵列封装

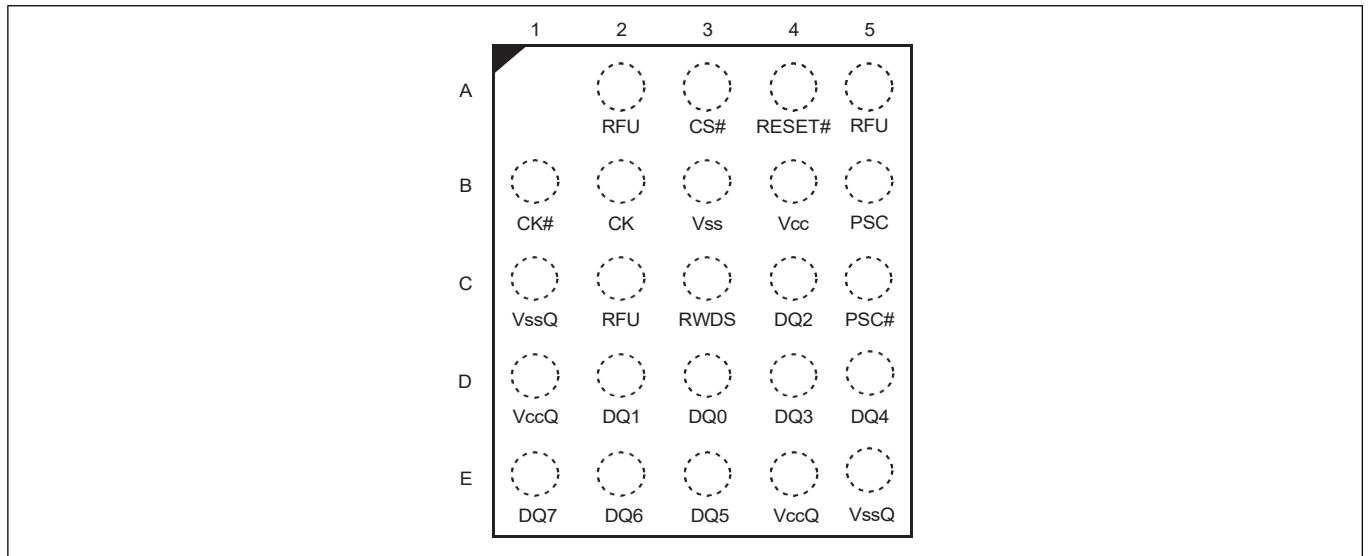


图 37 24 球 FBGA, 5 × 5 球封装, 俯视图

12.3 带有 DCARS 时序的 HYPERRAM™ 存储器

这里显示的插图和参数仅用于定义 DCARS 特性并显示相移时钟、RWDS 和数据之间的关系。

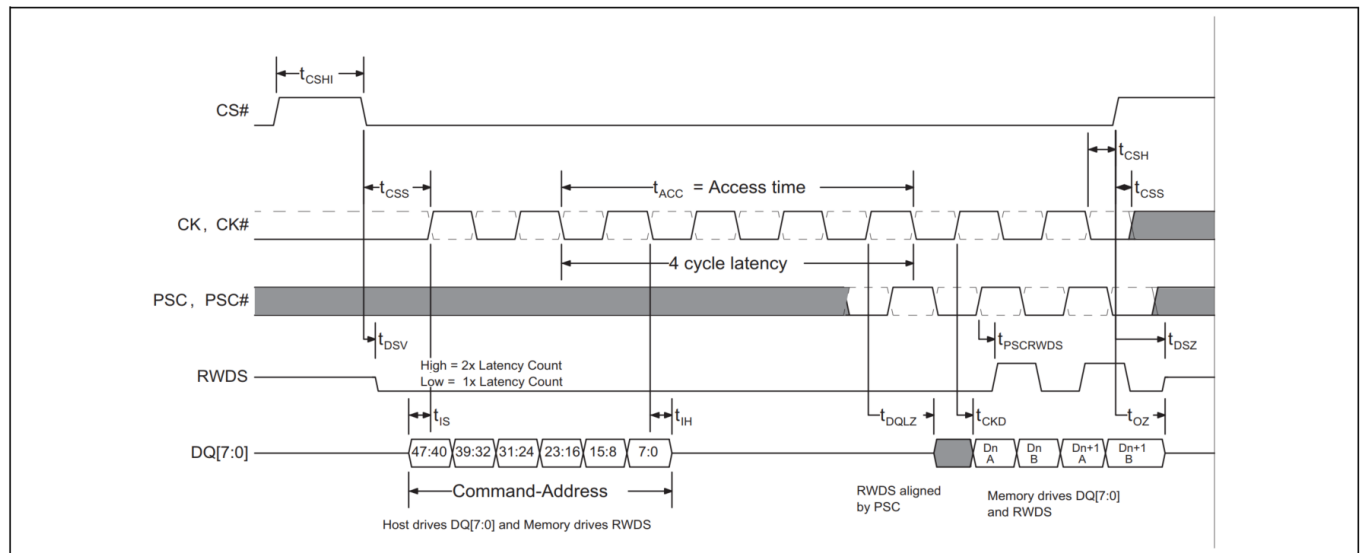


图 38 HYPERRAM™ 存储器 DCARS 时序图^[72 - 74]

注

- 72. 命令必须以 CK = 低电平和 CK# = 高电平来发起。在启动新命令之前，CS# 必须返回至高电平。
- 73. 存储器在读取传输期间驱动 RWDS。
- 74. 该示例演示了四个时钟的延迟代码设置，不需要额外的初始延迟。

DDR 中心对齐读取选通 (DCARS) 功能

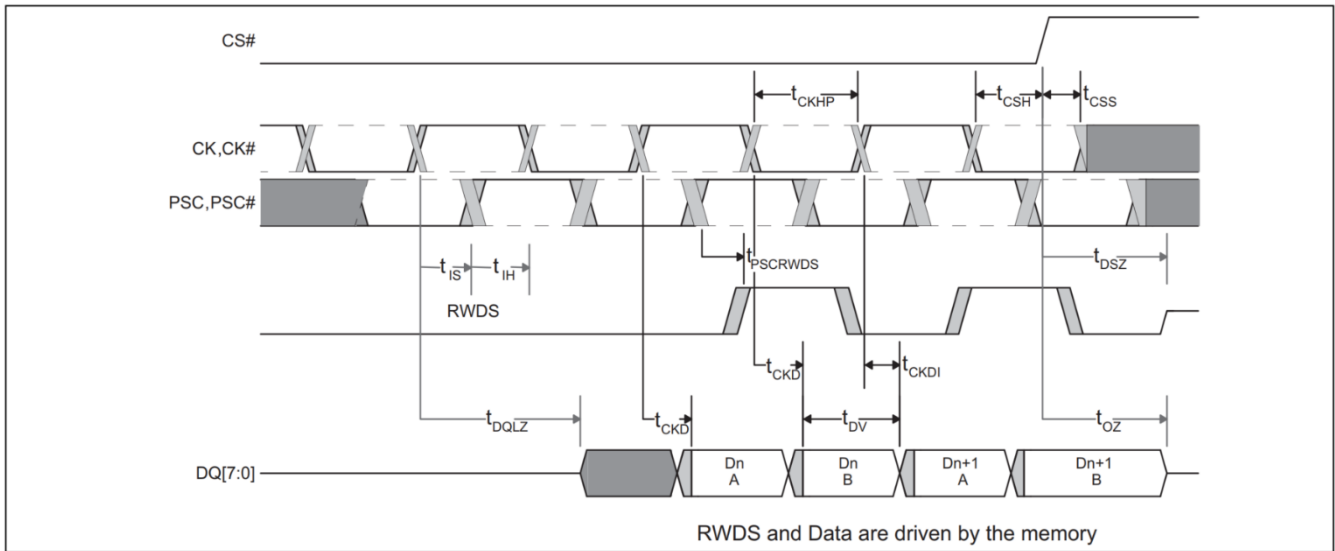


图 39 DCARS 数据有效时序^[75-77]

表 36 DCARS 读取时序

Parameter	Symbol	200 MHz		166 MHz		Unit
		Min	Max	Min	Max	
Input setup - CK/CK# setup w.r.t PSC/PSC# (edge to edge)	t_{IS}	0.5	-	0.6	-	ns
CK half period - duty cycle (edge to edge)	t_{IH}					
HYPERRAM™ PSC transition to RWDS transition	$t_{PSCRWDS}$	-	5	-	6.5	ns
Time delta between CK to DQ valid and PSC to RWDS ^[78]	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	-1.0	+0.5	

注

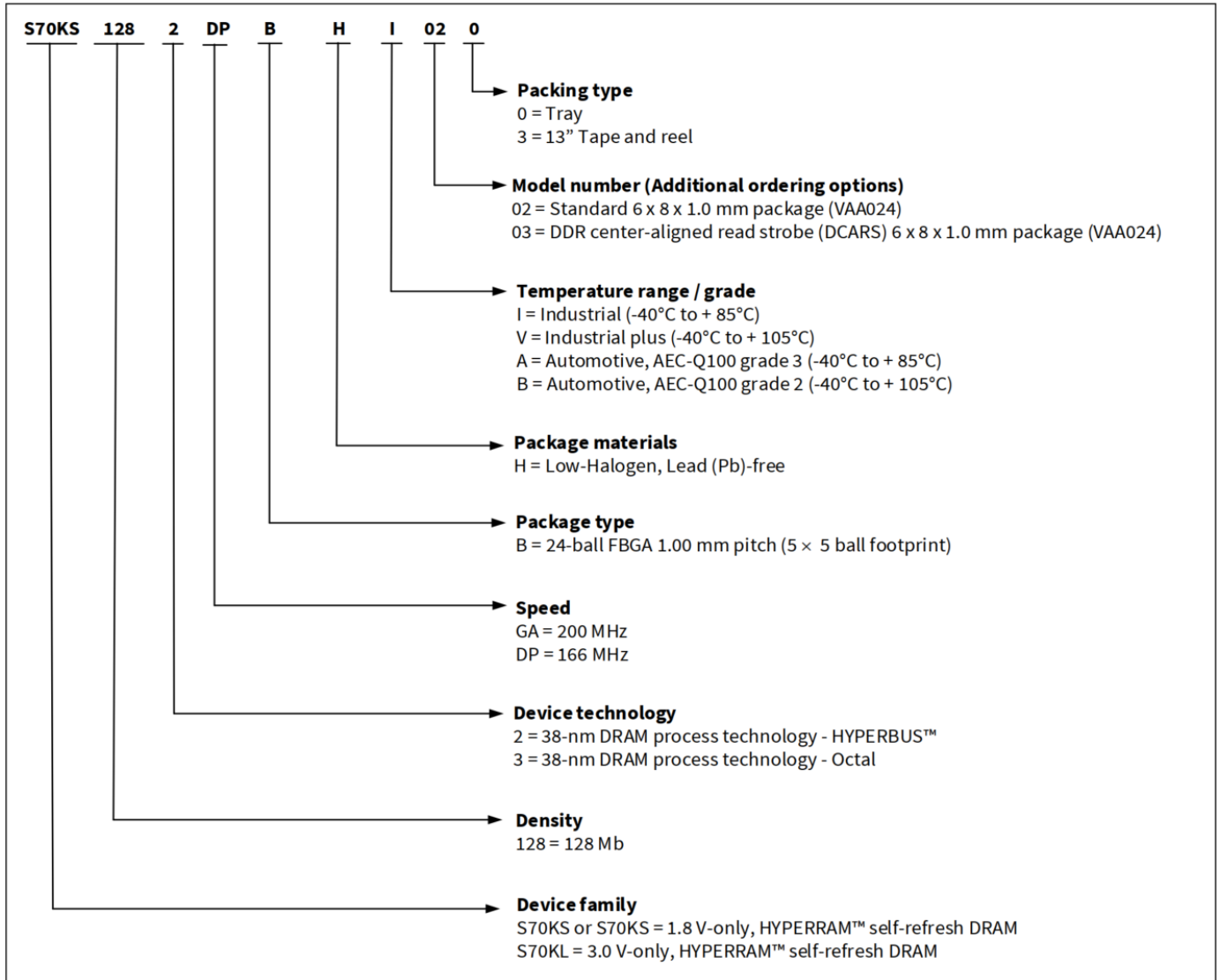
- 75. 该图显示了 图 36 的数据传输部分的近视图，以便更清楚地显示数据有效期受时钟抖动和时钟输出延迟不确定性的影响。
- 76. CK 到 PSC 的延迟（相位差）由 HYPERBUS™ 主机接口（主机）控制，通常在 40 到 140 度之间，以便将 RWDS 边缘置于数据有效窗口内，并具有足够的设置和数据到 RWDS 的保持时间。RWDS 的数据设置和保持时间的要求由 HYPERBUS™ 主机接口设计确定，并且不由 HYPERBUS™ 从机相关参数解决。
- 77. HYPERBUS™ 时序参数 t_{CKD} 和 t_{CKD1} 定义数据有效周期的起始和终止位置。由于 RWDS 和 Data 是同一器件在相同电压和温度条件下的输出，因此 t_{CKD} 和 t_{CKD1} 值同步变化（以相同的比率变化）。
- 78. 采样值，并非 100% 经过了测试。

订购信息

13 订购信息

13.1 订购部件编号

订购部件编号由以下有效组合形成:



订购信息

13.2 有效组合

推荐组合表列出了计划大量供应的配置。表 37 会随着新组合的推出而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 37 有效组合 - 标准

Device family	Density	Technology	Speed	Package, material, and temperature	Model number	Packing type	Ordering part number	Package marking
S70KL	128	2	DP	BHI	02	0	S70KL1282DPBHI020	7KL1282DPHI02
						3	S70KL1282DPBHI023	7KL1282DPHI02
			GA			0	S70KL1282GABHI020	7KL1282GAHI02
						3	S70KL1282GABHI023	7KL1282GAHI02
			DP	BHV		0	S70KL1282DPBHV020	7KL1282DPHV02
						3	S70KL1282DPBHV023	7KL1282DPHV02
			GA			0	S70KL1282GABHV020	7KL1282GABHV02
						3	S70KL1282GABHV023	7KL1282GABHV02
S70KS	128	2	GA	BHI	02	0	S70KS1282GABHI020	7KS1282GAHI02
				3		S70KS1282GABHI023	7KS1282GAHI02	
			BHV	0		S70KS1282GABHV020	7KS1282GAHV02	
				3		S70KS1282GABHV023	7KS1282GAHV02	

订购信息

13.3 有效组合 – 车规级/AEC-Q100

表 38 和 表 39 列出了符合车规级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表38 有效组合 – 车规级/AEC-Q100

Device family	Density	Technology	Speed	Package, material, and temperature	Model number	Packing type	Ordering part number	Package marking
S70KL	128	2	DP	BHA	02	0	S70KL1282DPBHA020	7KL1282DPHA02
				BHA		3	S70KL1282DPBHA023	7KL1282DPHA02
				BHB		0	S70KL1282DPBHB020	7KL1282DPHB02
			3			S70KL1282DPBHB023	7KL1282DPHB02	
			GA			0	S70KL1282GABHB020	7KL1282GAHB02
				3		S70KL1282GABHB023	7KL1282GAHB02	
S70KS	128	2	GA	BHA	02	0	S70KS1282GABHA020	7KS1282GAHA02
				BHA		3	S70KS1282GABHA023	7KS1282GAHA02
			BHB	0		S70KS1282GABHB020	7KS1282GAHB02	
				3		S70KS1282GABHB023	7KS1282GAHB02	

表39 有效组合 – 车规级/AEC-Q100

Device family	Density	Technology	Speed	Package, material, and temperature	Model number	Packing type	Ordering part number	Package marking
S70KL	128	2	DP	BHB	03	0	S70KL1282DPBHB030	7KL1282DPHB03
						3	S70KL1282DPBHB033	7KL1282DPHB03
			GA			0	S70KL1282GABHB030	7KL1282GAHB03
						3	S70KL1282GABHB033	7KL1282GAHB03
S70KS	128	2	GA	BHB	03	0	S70KS1282GABHB030	7KS1282GAHB03
						3	S70KS1282GABHB033	7KS1282GAHB03

修订记录

修订记录

Document revision	Date	Description of changes
**	2020-02-07	New datasheet.
*A	2020-05-05	<p>Updated HYPERBUS™ transaction details:</p> <p>Updated Write transactions without initial latency (Register write):</p> <p>Added Note 39 and referred the same note in Figure 11.</p> <p>Updated Register space:</p> <p>Updated Register space access:</p> <p>Updated Configuration Register 1:</p> <p>Updated Table 14 (Fixed typos).</p> <p>Updated Electrical specifications:</p> <p>Updated Absolute maximum ratings[47]:</p> <p>Added Electrostatic discharge voltage parameter and its corresponding details.</p> <p>Updated DC characteristics:</p> <p>Added Thermal resistance.</p> <p>Updated Timing specifications:</p> <p>Added Timing reference levels.</p> <p>Updated CLK characteristics:</p> <p>Updated Table 31 (Fixed typos).</p> <p>Added Figure 29.</p> <p>Updated AC characteristics:</p> <p>Updated Read transactions:</p> <p>Added Note 67 and referred the same note in t_{DV} parameter in Table 33.</p> <p>Updated Ordering information:</p> <p>Updated Valid combinations:</p> <p>Removed table “Valid Combinations — DCARS”.</p> <p>Updated Valid combinations - Automotive grade / AEC-Q100:</p> <p>Removed table “Valid Combinations — DCARS Automotive Grade / AEC-Q100”.</p>
*B	2022-01-18	<p>Updated Register space:</p> <p>Updated Register space access:</p> <p>Updated Configuration Register 1:</p> <p>Updated Master clock type:</p> <p>Updated description.</p> <p>Updated Power conservation modes:</p> <p>Updated Hybrid sleep:</p> <p>Updated Table 17.</p> <p>Updated Electrical specifications:</p> <p>Updated DC characteristics:</p> <p>Updated Table 22.</p> <p>Updated Timing specifications:</p> <p>Updated Timing reference levels:</p> <p>Updated Figure 26.</p> <p>Updated Figure 27.</p> <p>Updated CLK characteristics:</p> <p>Updated Read transactions:</p> <p>Updated Table 33.</p> <p>Added Note 68 and referred the same note in t_{DV} parameter in Table 33.</p> <p>Added Figure 32.</p>

修订记录

Document revision	Date	Description of changes
*B (cont.)	2022-01-18	Updated Ordering information : Updated Valid combinations : Updated Table 37 (Updated ordering part numbers). Updated Valid combinations - Automotive grade / AEC-Q100 : Updated Table 38 (Updated ordering part numbers). Migrated to Infineon template.
*C	2022-04-19	Updated DDR center-aligned read strobe (DCARS) functionality : Updated HYPERRAM™ products with DCARS - FBGA 24-ball, 5 x 5 array footprint : Updated Figure 37 . Updated Ordering information : Updated Valid combinations - Automotive grade / AEC-Q100 : Added Table 39 . Updated to new template.
*D	2023-05-31	Updated DDR center-aligned read strobe (DCARS) functionality : Updated HYPERRAM™ products with DCARS - FBGA 24-ball, 5 x 5 array footprint : Updated Figure 37 . Updated to new template.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-06-25

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。