

# 英飞凌 1Gb (128 MB) FS-S Flash

## SPI Multi-I/O, 1.8 V

### 特性

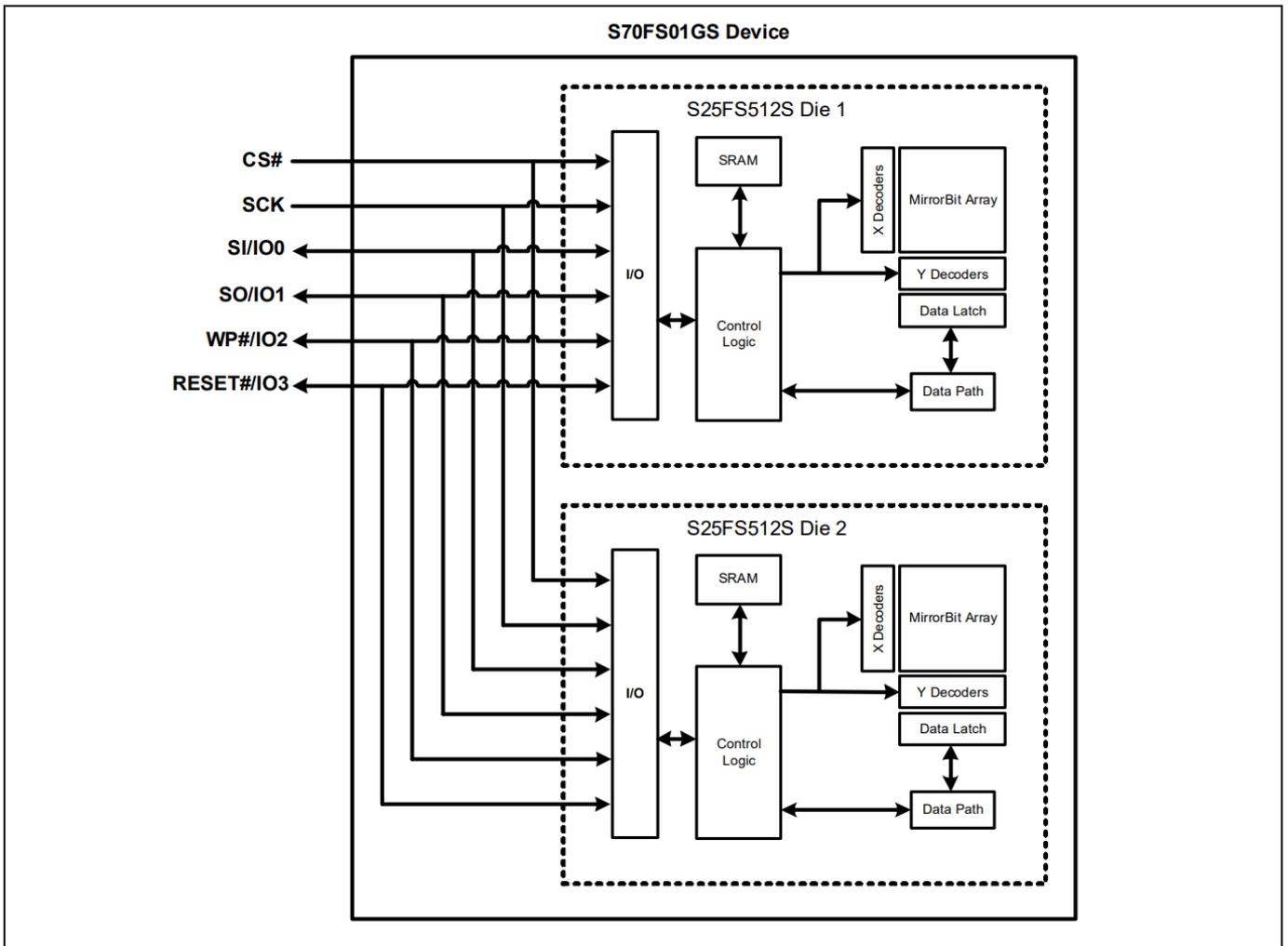
- 具有多个 I/O 的串行外设接口 (SPI)
  - SPI 时钟极性和相位模式 0 和 3
  - DDR
  - 扩展寻址：24 位或 32 位地址选项
  - 串行指令集和封装与 S25FL1-K、S25FL-P 和 S25FL-S SPI 系列兼容
  - 多线 I/O 指令集和封装与 S25FL-P、S25FL1-K 和 S25FL-S SPI 系列兼容
- Read
  - 指令：Normal, Fast, Dual I/O, Quad I/O, DDR Quad I/O
  - 模式：突发回绕、四线外设接口 (QPI)
  - 串行闪存可发现参数 (SFDP) 和通用串行接口 (CFI)，用于配置信息。
- 编程
  - 256 或 512 字节页编程缓冲区
  - 编程挂起和恢复
  - 自动错误检查和纠正 (ECC) —— 带有单独的一位错误纠正功能的内部硬件 ECC
- 擦除
  - 混合扇区选项
    - 八个 4 KB 扇区和一个 224 KB 扇区的物理配置位于地址空间的顶部或底部，所有剩余扇区均为 256 KB
  - 统一扇区选项
    - 物理统一的 256KB blocks
  - 擦除挂起和恢复
  - 擦除状态评估
  - 任何扇区至少可进行 100,000 次编程-擦除周期
  - 数据保留时间至少 20 年
- 加密特性
  - 1024 字节的 OTP 阵列
  - 功能块保护：
    - 状态寄存器位用于控制对连续扇区范围的编程或擦除保护。
    - 硬件和软件控制选项
  - 高级扇区保护 (ASP)
    - 由引导代码或密码控制的单独扇区保护
    - 读取访问的密码控制选项
- 技术
  - 采用 Eclipse 架构的 65 纳米 MIRRORBIT™ 技术
- 带 CMOS I/O 的单电源电压
  - 1.7 V 至 2.0 V
- 温度范围
  - 工业级 (-40°C ~ +85°C)
  - 扩展的工业级 (-40°C ~ +105°C)
  - 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
  - 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
  - 汽车级, AEC-Q100 1 级 (-40°C ~ +125°C)

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

逻辑框图

- 封装 (全部无铅)
- 16引脚SOIC 300mil
- BGA-24 6 × 8 mm
  - 5 × 5 ball 封装

逻辑框图



## 性能总结

## 性能总结

## 最大读取率

Command	Clock rate (MHz)	MBps
Read	50	6.25
Fast Read	133	16.5
Dual Read	133	33
Quad Read	133	66
DDR Quad I/O Read	80	80

## 典型编程和擦除速率

Operation	KBps
Page Programming (256-bytes page buffer)	711
Page Programming (512-bytes page buffer)	1078
4-KB Physical Sector Erase (Hybrid Sector Option)	17
256-KB Sector Erase (Uniform Logical Sector Option)	275

## 典型消耗电流, -40°C 至 +85°C

Operation	Current (mA)
Serial Read 50 MHz	10
Serial Read 133 MHz	20
Quad Read 133 MHz	60
Quad DDR Read 80 MHz	70
Program	60
Erase	60
Standby	0.07
Deep Power Down (DPD)	0.006

## 目录

## 目录

特性.....	1
逻辑框图.....	2
性能总结.....	3
目录.....	4
<b>1 概述.....</b>	<b>6</b>
1.1 概述.....	6
1.2 迁移说明.....	6
1.3 词汇表.....	9
<b>2 具有多路输入/输出的SPI和(SPI-MIO).....</b>	<b>11</b>
<b>3 信号说明.....</b>	<b>12</b>
3.1 输入/输出简介.....	12
3.2 多线输入/输出(MIO).....	13
3.3 串行时钟(SCK).....	13
3.4 片选(CS#).....	13
3.5 串行输入(SI) / IO0.....	13
3.6 串行输出(SO) / IO1.....	13
3.7 写保护(WP#) / IO2.....	14
3.8 IO3 / RESET#.....	14
3.9 电源电压(V <sub>CC</sub> ).....	14
3.10 电源和信号地(V <sub>SS</sub> ).....	14
3.11 未连接(NC).....	14
3.12 保留以供将来使用(RFU).....	15
3.13 请勿使用(DNU).....	15
3.14 框图.....	15
<b>4 信号协议.....</b>	<b>17</b>
4.1 SPI 时钟模式.....	17
4.2 命令协议.....	18
4.3 接口状态.....	22
4.4 配置寄存器对接口的影响.....	26
4.5 数据保护.....	26
<b>5 电气规格参数.....</b>	<b>27</b>
5.1 绝对最大额定值.....	27
5.2 热阻抗.....	27
5.3 闩锁特性.....	27
5.4 工作范围.....	28
5.5 上电和断电.....	29
5.6 直流特性.....	31
<b>6 时序规范.....</b>	<b>34</b>
6.1 波形切换.....	34
6.2 交流测试条件.....	34
6.3 复位.....	36
6.4 SDRAC 特性.....	39
6.5 DDRAC 特性.....	42
<b>7 物理接口.....</b>	<b>45</b>
7.1 连接图.....	45
7.2 物理图.....	46
<b>8 地址空间映射.....</b>	<b>48</b>
8.1 概述.....	48
8.2 闪存存储器阵列.....	48
8.3 ID-CFI 地址空间.....	49
8.4 JEDEC JESD216 串行闪存可发现参数(SFDP)空间.....	49

8.5 OTP 地址空间.....	50
8.6 纠错码 (ECC).....	51
8.7 寄存器.....	52
<b>9 数据保护 .....</b>	<b>74</b>
9.1 安全硅区(OTP) .....	74
9.2 写使能指令.....	75
9.3 功能块保护.....	75
9.4 高级扇区保护.....	77
9.5 建议的保护流程.....	82
<b>10 命令 .....</b>	<b>83</b>
10.1 命令汇总.....	85
10.2 器件识别命令.....	93
10.3 寄存器访问指令.....	95
10.4 读取闪存存储器阵列命令 .....	105
10.5 编程闪存存储器阵列指令.....	113
10.6 擦除闪存存储器阵列指令.....	115
10.7 一次性编程区域指令.....	124
10.8 高级扇区保护.....	125
10.9 复位命令.....	131
10.10 DPD命令.....	133
<b>11 数据完整性 .....</b>	<b>135</b>
11.1 擦除耐久性.....	135
11.2 数据保留.....	135
<b>12 嵌入式算法性能表 .....</b>	<b>136</b>
<b>13 软件接口参考 .....</b>	<b>137</b>
13.1 串行闪存可发现参数(SFDP)地址映射.....	137
13.2 器件 ID 和通用闪存接口(ID-CFI)地址分布 .....	141
13.3 初始交付状态.....	162
13.4 FS01GS 行为和软件修改 .....	163
<b>14 订购信息.....</b>	<b>166</b>
14.1 订购部件编号.....	166
14.2 有效组合 – 标准.....	167
14.3 有效组合 – 汽车级 / AEC-Q100.....	167
<b>修订记录.....</b>	<b>168</b>

概述

## 1 概述

### 1.1 概述

FS-S 系列设备是闪存存储器非易失存储器产品，使用：

- MIRRORBIT™技术 - 在每个存储器晶体管中存储两个数据位
- Eclipse 架构 - 显著提高编程和擦除性能
- 65 纳米工艺光刻

FS-S系列通过SPI连接到主控系统。支持传统SPI单独的一位串行输入和输出（单线 I/O 或 SIO），以及可选的两位（双线 I/O 或 DIO）和四位宽四 I/O (QIO) 或 QPI，也称为四线外设接口 (QPI) 串行指令。这种多宽度接口称为 SPI Multi-I/O 或 MIO。此外，还有针对QIO和QPI的DDR读指令，可以在时钟的两个边沿传输地址并读取数据。

FS-S Eclipse 架构具有页编程指示，允许在一次操作中编程多达 512 字节，从而比上一代SPI程序或编程算法实现更快的有效编程和编程速度。

直接从闪存执行代码通常称为 eXecute-In-Place (XIP)。通过使用支持更高时钟速率的 FS-S 系列器件，并使用四线或 DDR-四线指令，指令读取传输速率可以匹配或超过传统的并行接口、异步、NOR 闪存，显著减少信号脚数量。

FS-S系列产品提供高容量以及各种移动或嵌入式应用所需的灵活性和快速性能。对于空间、信号连接和功率有限的系统来说，它们是绝佳的解决方案。它们是将代码映射到 RAM、直接执行代码 (XIP) 以及存储可重新编程数据的理想选择。

S70FS01GS 器件是两个 FS512S 芯片的叠在一起。

### 1.2 迁移说明

#### 1.2.1 功能比较

FS-S 系列的指令子集和封装与上一代 FL-S、FL1-K 和 FL-P 系列兼容。但是电源和接口电压标称值为1.8V。

**表 1 SPI 系列比较**

Parameter	FS-S	FL-S
Technology node	65-nm	65nm
Architecture	MIRRORBIT™ Eclipse	MIRRORBIT™ Eclipse
Release Date	2H2015	2H2011
Density	1Gb	1GB
Bus width	x1, x2, x4	x1, x2, x4
Supply voltage	1.7 V–2.0 V	2.7 V–3.6 V / 1.65 V–3.6 V <sub>IO</sub>
Normal read speed (SDR)	6 MBps (50 MHz)	6 MBps (50 MHz)
Fast read speed (SDR)	16.5 MBps (133 MHz)	17 MBps (133 MHz)
Dual read speed (SDR)	33 MBps (133 MHz)	26 MBps (104 MHz)
Quad read speed (SDR)	66 MBps (133 MHz)	52 MBps (104 MHz)

**注：**

1. 仅 128 Mb/256 Mb 密度 FL-S 设备具有 4 KB 参数扇区选项。
2. 512 Mb/1 Gb FL-S 设备仅支持 256 KB 扇区。
3. 请参阅各个数据表以了解更多详细信息。

概述

**表 1 SPI 系列比较 (续)**

Parameter	FS-S	FL-S
Quad Read Speed (DDR)	80 MBps (80 MHz)	80 MBps (80 MHz)
Program Buffer Size	256 B / 512 B	256 B / 512 B
Erase Sector Size	256 KB	256 KB
Parameter Sector Size	4 KB (option)	4 KB (option)
Sector Erase Rate (typ.)	500 KBps	500 KBps
Page Programming Rate (typ.)	0.71 MBps (256B) 1.08 MBps (512B)	1.0 MBps (256B) 1.5 MBps (512B)
OTP	1024B	1024B
Advanced Sector Protection	Yes	Yes
Auto Boot Mode	No	Yes
Erase Suspend/Resume	Yes	Yes
Program Suspend/Resume	Yes	Yes
Operating Temperature	-40 °C to +85 °C / +105 °C / +125 °C	-40 °C to +85 °C / +105 °C

**注:**

1. 仅 128 Mb/256 Mb 密度 FL-S 设备具有 4 KB 参数扇区选项。
2. 512 Mb/1 Gb FL-S 设备仅支持 256 KB 扇区。
3. 请参阅各个数据表以了解更多详细信息。

## 1.2.2 与前几代产品的已知差异

### 1.2.2.1 错误报告

FS-S 和 FL-S 系列具有针对编程和擦除操作的错误报告状态位。当出现内部编程或擦除故障，或者试图对受保护的扇区进行编程或擦除时，可以置位这些寄存器。在这些情况下，编程或擦除操作没有按照指令的要求完成。在 SR1V 中，P\_ERR 或 E\_ERR 位以及 WIP 位将被置位为 1 并保持为 1。必须发送清除状态寄存器命令来清除错误并使设备返回待机状态。

### 1.2.2.2 安全硅区 (OTP)

一次性编程区域的 FS-S 大小和格式 (地址映射) 与 FL-K 和 FL-P 代不同。保护 OTP 区域各部分的方法也不同。有关更多详细信息，请参阅“[安全硅区域 \(OTP\)](#)”位于分页 74。

### 1.2.2.3 配置寄存器冻结位

配置寄存器 1 冻结位 CR1V[0]，锁定功能块保护位 (SR1NV[4:2] 和 SR1V[4:2])、TBPARM\_O 位 (CR1NV[2]) 和 TBPROT\_O 位 (CR1NV[5]) 的状态，与前几代一样。在 FS-S 和 FL-S 系列中，Freeze 位还锁定配置寄存器 1 BPNV\_O 位 (CR1NV[3]) 和安全硅区域 (OTP) 区域的状态。

### 1.2.2.4 扇区擦除命令

仅支持在 FS-S 器件地址空间顶部或底部的 4 KB 参数扇区上使用 4 KB 扇区的指令。

不支持 8 KB 区域 (两个 4 KB 扇区) 的指令。

不支持 32 KB 区域 (八个 4 KB 扇区) 的指令。

### 1.2.2.5 深度掉电 (DPD)

FS-S 系列设备支持 DPD 功能。

### 1.2.2.6 WRR 单个寄存器写入

在一些传统的SPI设备中，只有一个数据字节的写寄存器 (WRR) 指令会更新状态寄存器 1 和清零，复位配置寄存器 1 中的一些位，包括四线模式位。这可能会导致意外退出四线模式。当提供单个数据字节时，FS-S系列仅更新状态寄存器1。在这种情况下，配置寄存器 1 不会被修改。

### 1.2.2.7 不支持保持输入

在一些传统的SPI设备中，IO3 输入具有备用功能，作为 HOLD# 输入，用于暂停信息传输而不需要停止串行时钟。FS-S 系列不支持该功能。

### 1.2.2.8 不支持单独的复位输入

在一些传统的SPI设备中，具有超过 8 个连接的封装支持单独的硬件复位输入。FS-S 系列不支持单独的 RESET# 输入。FS-S系列为IO3输入提供备用功能作为RESET#输入。当 CS 信号为高电平且 IO3/复位特性为启用时，IO3/RESET# 输入用于在输入变为低电平时启动硬件复位。

### 1.2.2.9 不支持的其他旧指令

- Autoboot 相关指令
- Bank地址相关指令
- 双线输出读取
- 四线输出读取
- 四线页编程 (QPP) - 在 QPI 模式下被页编程取代
- DDR 快速读取
- DDR 双线 I/O 读取
- 写寄存器
- 读取配置寄存器
- 读取状态寄存器 1
- 读取状态寄存器 2
- 编程NV数据学习寄存器
- ASP编程
- 密码编程
- PPB 擦除
- 擦除编程挂起 (B0h)
- 擦除编程恢复 (30h)

### 1.2.2.10 新特性

FS-S 系列为英飞凌SPI类别存储器引入了新功能：

- 用于核心和 I/O 电压的单个 1.8 V 电源。
- 可配置初始读取延时（虚拟周期数）以获得更快的初始读取时间或更高的时钟速率读取指令
- QPI (QPI, 4-4-4) 读取模式，其中所有传输均为 4 位宽，包括指令
- JEDEC JESD216 标准、串行闪存存储器可发现参数 (SFDP)，提供器件特性和配置信息。
- 评估擦除状态指令以确定扇区上的最后一个擦除操作是否成功完成。该命令可用于检测由于断电或其他原因导致的不完全擦除。该指令有助于flash文件系统软件在掉电后进行文件系统恢复。
- 高级扇区保护 (ASP) 永久保护。在 ASP 寄存器中添加了一个位，以提供对持久保护位 (PPB) 进行永久保护的选项。此外，当选择两种 ASP 模式之一时，所有寄存器中的所有 OTP 配置位都受到保护，不能进一步编程，以便所有 OTP 配置设置都永久保留。OTP 地址空间不受 ASP 模式选择的保护。冻结位 (CR1V[0]) 可用于保护 OTP 地址空间。
- 单片选片 (CS) 双芯片封装 (DDP) 密度选项，使用两个堆叠在同一封装内的 FS512S 设备来提供 1Gb 内存。这两个设备共享 CS 输入以提供连续的 1 Gb (128 MB) 地址空间。但是，与 FS-S 家族的其他成员相比，存在一些行为和软件差异，如“**FS01GS行为**”和“**软件修改**”中所述位于 分页163。

## 1.3 词汇表

- **BCD**= 二进制-十进制数码。每 4 位半字节代表一个十进制数的值。
- **命令**= CS 为低电平期间，主控系统与内存之间传输的所有信息。这包括指令（有时称为操作码或opcode）和任何所需的地址、模式位、延时周期或数据。
- **DDP**= 双芯片封装 = 两个芯片堆叠在同一封装内，以增加单个封装的内存容量。通常也称为多芯片封装 (MCP)
- **DDR**= 双倍数据率 = 当输入和输出在 SCK 的每个边沿被锁存时。
- **ECC**= ECC单元 = 主存储器阵列和OTP阵列中16字节对齐和长度的数据组，每个数据组都有自己隐藏的ECC特征值，以便能够对每个组进行纠错。
- **Flash**= 一种电气可编程擦除存储器 (EEPROM) 的名称，它能够并行擦除块存储位，使擦除操作比早期的 EEPROM 快得多。
- **High** = 信号电压电平  $\geq V_{IH}$  或代表二进制一 (“1”) 的逻辑电平。
- **Instruction** = 指示指令要执行的函数的 8 位代码（有时称为操作码或opcode）。指令始终是从主控系统传输到存储器任何指令中的前 8 位。
- **Low** = 信号电压电平  $\leq V_{IL}$  或代表二进制零 (“0”) 的逻辑电平。
- **LSb** = 最低有效位 = 通常是寄存器或数据值的一组位中最右边的位，具有最低的数量级值。
- **MSb** = 最高有效位 = 通常是寄存器或数据值的一组位中数量级值最高的最左边的位。
- **N/A**= 不适用。值与所述情况无关。
- **非易失**=不需要电源来维持存储器中存储的数据。

---

概述

- **OPN** = 订购部件号 = 指定存储器器件类型、容量、封装、工厂非易失配置等的字母数字字符串，用于选择所需的器件。
- **Page** = 512 字节或 256 字节对齐和长度的数据组。页的指定大小取决于订购部件号。
- **PCB**-印刷电路板
- **寄存器位参考**= 格式为：Register\_name[bit\_number] 或 Register\_name[bit\_range\_MSB: bit\_range\_LSB]
- **SDR**= 单数据率 = 当输入在 SCK 的上升沿锁存并在下降沿输出时。
- **扇区**= 擦除单元大小；根据器件型号和扇区位置，这可能是 4 KB、64 KB 或 256 KB
- **写入**= 更改易失性或非易失寄存器位或非易失性内部数据的操作。当改变非易失数据时，作为操作的一部分，对任何未改变的非易失数据进行重新编程，使得非易失数据被写操作修改，就像修改易失性数据一样—作为单个操作。对于主控系统来说，非易失数据似乎可以通过单个读命令进行更新，而不需要单独的指令擦除和对相邻数据重新编程，而不影响数据。

具有多路输入/输出的 SPI (SPI-MIO)

## 2 具有多路输入/输出的 SPI (SPI-MIO)

许多存储设备通过各自的并行控制线、地址线和数据信号线连接到其主控系统，需要大量的信号连接和更大的封装尺寸。由于大量信号交换，因此信号连接的数量越多，功耗也越高；较大的封装尺寸会增加成本。

FS-S 系列通过 4 到 6 个信号串行传输所有控制、地址和数据信息，减少了连接到主控系统的信号数量。这样可以降低存储器封装的成本和信号交换的功耗，减少主机信号连接的数量，主机可以节省连接以供其他功能使用。

FS-S 系列使用行业标准单独的一个 SPI，并且还支持用于两位 (Dual) 和四位 (Quad) 宽串行传输的可选扩展指令。这种多宽度接口称为 SPI 多线 I/O 或 SPI-MIO。

### 3 信号说明

#### 3.1 输入/输出简介

表 2 信号列表

Signal name	Type	Description
SCK	Input	<b>Serial Clock</b>
CS#	Input	<b>Chip Select</b>
SI / IO0	I/O	<b>Serial Input</b> for single bit data commands or IO0 for Dual or Quad commands.
SO / IO1	I/O	<b>Serial Output</b> for single bit data commands. IO1 for Dual or Quad commands.
WP# / IO2	I/O	<b>Write Protect</b> when not in Quad Mode (CR1V[1] = 0 and SR1NV[7] = 1). IO2 when in Quad Mode (CR1V[1] = 1). The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or write protection. If write protection is enabled by SR1NV[7] = 1 and CR1V[1] = 0, the host system is required to drive WP# HIGH or LOW during a WRAR command.
IO3 / RESET#	I/O	IO3 in Quad-I/O Mode, when Configuration Register-1 QUAD bit, CR1V[1] = 1, and CS# is LOW. RESET# when enabled by CR2V[5] = 1 and not in Quad-I/O Mode, CR1V[1] = 0, or when enabled in Quad Mode, CR1V[1] = 1 and CS# is HIGH. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or RESET#.
V <sub>CC</sub>	Supply	<b>Power Supply.</b>
V <sub>SS</sub>	Supply	<b>Ground.</b>
NC	Unused	<b>Not Connected.</b> No device internal signal is connected to the package connector nor is there any future plan to use the connector for a signal. The connection may safely be used for routing space for a signal on a PCB. However, any signal connected to an NC must not have voltage levels higher than V <sub>CC</sub> .
RFU	Reserved	<b>Reserved for Future Use.</b> No device internal signal is currently connected to the package connector but there is potential future use of the connector for a signal. It is recommended to not use RFU connectors for PCB routing channels so that the PCB may take advantage of future enhanced features in compatible footprint devices.
DNU	Reserved	<b>Do Not Use.</b> A device internal signal may be connected to the package connector. The connection may be used by Infineon for test or other purposes and is not intended for connection to any host system signal. Any DNU signal related function will be inactive when the signal is at V <sub>IL</sub> . The signal has an internal pull-down resistor and may be left unconnected in the host system or may be tied to V <sub>SS</sub> . Do not use these connections for PCB signal routing channels. Do not connect any host system signal to this connection.

### 3.2 多线输入/输出 (MIO)

传统SPI单独的宽指令 (Single 或 SIO) 仅通过串行输入(SI) 信号将信息从主控发送到存储器。数据会通过串行输出 (SO) 信号从存储器内串行回送给主机。

双线或四线输入 / 输出 (I/O) 命令只能通过 SI/IO0 信号将指令发送给存储器。地址或数据以 IO0 和 IO1 上的位对或 IO0、IO1、IO2 和 IO3 上的四个位 (半字节) 组的形式从主控发送到存储器。数据同样可以按照双比特一组的方式通过 IO0 和 IO1 从存储器回送给主机, 也可以按照四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 被回送。

QPI 模式允许以四比特 (半字节) 一组的方式将所有指令、地址和数据通过 IO0、IO1、IO2 和 IO3 从主机传送到存储器内。数据返回主控的方式类似IO0、IO1、IO2、IO3上的四位半字节。

### 3.3 串行时钟 (SCK)

该输入信号为 SPI 接口提供了同步参考。指令、地址或数据输入被锁存于SCK信号的上升沿。在SDR指令中, 数据输出在SCK的下降沿之后发生变化, 在DDR指令中, 数据输出在每个边沿之后发生变化。

### 3.4 片选 (CS#)

片选信号指示命令正在向器件传输信息或从器件传输信息, 包括与存储器器件相关其他信号。

当 CS 信号处于逻辑 HIGH 状态时, 器件未被选中, 所有输入信号被忽略, 所有输出信号为高阻态。如果启用 IO3 / RESET# 选项, 请参见“**IO3 / RESET#**”位于第14页了解 CS 信号操作。器件将处于待机模式, 除非内部嵌入式操作正在进行中。状态寄存器 1 写入进行中位 (SR1V[1]) 置位为 1 指示嵌入式操作, 直到操作完成。一些嵌入式操作示例包括: 编程、擦除或写寄存器 (WRAR) 操作。

将 CS# 输入驱动为低逻辑状态可以启用器件, 使器件进入工作模式。上电后, 必须等到 CS# 的下降沿到来后才能执行其他命令。

### 3.5 串行输入 (SI)/IO0

该输入信号用于将数据串行传输到器件中。它接收要编程的指令、地址和数据。值被锁存于串行 SCK 时钟信号的上升沿。

SI变成 IO0 - 在执行双线和四线命令过程中, 在执行双线和四线命令过程中, 用于接收指令、地址和写入的数据 (数据在串行 SCK 时钟信号的上升沿时被锁存), 并在 SCK 下降沿时 (若执行 SDR 命令) 移出数据或在任意一个边沿时 (若执行 DDR 命令) 移出数据。

### 3.6 串行输出 (SO)/IO1

该输出信号用于将数据串行传输出器件。数据在串行 SCK 时钟信号的下降沿移出。

SO 变成 IO1 - 双线指令和四线指令期间的输入和输出, 用于接收地址和要编程的数据 (在串行 SCK 时钟信号的上升沿锁存的值) 以及移出数据 (在SDR指令中, 在 SCK 的下降沿, 以及在 DDR 指令中, 在 SCK 的每个边沿)。

### 3.7 写保护 (WP#) / IO2

当 WP# 被驱动为低电平 ( $V_{IL}$ ) 时, 在 WRAR 指令期间, 当状态寄存器-1 (SR1NV[7]) 的状态寄存器写入无效, 不使能 (SRWD\_NV) 位置为 1 时, 无法写入状态寄存器-1 或配置寄存器-1 相关寄存器。在这种情况下, WRAR 指令被忽略, 选择 SR1NV、SR1V、CR1NV 或 CR1V 的 WRAR 指令被忽略, 并且没有错误置位。

这可以防止对功能块保护设置进行任何更改。因此, 如果 WRAR 指令期间 WP# 为低电平且 SRWD\_NV 置位为 1, 则受功能块保护特性保护的内存区域中的所有数据字节也受到硬件保护, 以防止数据修改。

当启用四线模式 (CR1V[1] = 1) 时, WP# 功能不可用。在四线模式下, WP# 功能被作为输入和输出 IO2, 用于接收地址和要编程的数据 (数值在串行 SCK 时钟信号的上升沿时被锁存) 并在 SCK 下降沿时 (若执行 SDR 命令) 移出数据或在任意一个边沿时 (若执行 DDR 命令) 移出数据。

WP# 具有内部上拉电阻; 未连接时, WP# 处于  $V_{IH}$ , 如果不用于四线模式或写保护模式, 则可以在主控系统中保持未连接状态。

### 3.8 IO3/RESET#

IO3 在四线模式 (CR1V[1] = 1) 下用于输入和输出, 用于接收地址和要编程的数据 (数值在串行 SCK 时钟信号的上升沿时被锁存) 并在 SCK 下降沿时 (若执行 SDR 命令) 移出数据或在任意一个边沿时 (若执行 DDR 命令) 移出数据。

IO3 / RESET# 信号也可用于启动复位硬件功能, 通过写入配置寄存器 2 非易失位 5 (CR2V[5] = 1) 来使能初始化复位功能。仅当器件未处于四线 I/O 模式、CR1V[1] = 0 或 CS 为高电平时, 该输入才被视为 RESET#。当使用四线 I/O 模式时, CR1V[1] = 1, 且器件通过 CS 低电平选择, 则 IO3 / RESET# 仅用作 IO3 进行信息传输。当 CS# 为高电平时, IO3/RESET# 不用于信息传输, 而是用作 RESET# 输入。通过在四线模式期间将 CS 上的复位操作调节为高电平, 复位功能在四线模式期间保持可用。

当系统进入复位状态时, 作为复位过程的一部分, CS 信号必须被驱动为高电平, 并且 IO3 / RESET# 信号被驱动为低电平。当 CS# 变为高电平时, IO3 / RESET# 输入从 IO3 转变为 RESET# 输入。然后, 当 CS 保持高电平且 IO3 / RESET# 信号保持低电平持续  $t_{RP}$ 。如果不打算复位, 则系统需要在数据传输到存储器结束时将驱动为高电平的同时, 主动将 IO3 / Reset# CS 驱动为高电平。在将数据传输到主控系统之后, 存储器将在  $t_{CS}$  期间将 IO3 驱动为高电平。这将确保 IO3 / RESET# 不会悬空或被内部或外部无源的上拉缓慢拉为高电平。因此, 不会由于 IO3 / RESET# 在  $t_{RP}$  结束之前未被识别为高电平而触发意外复位。

当复位特性被禁用时 (CR2V[5] = 0), IO3 / RESET# 输入复位功能被禁用。

IO3 / RESET# 信号有内部上拉电阻, 如果不用于四线模式或复位功能, 可以在主控系统中悬空。主控系统主动将信号驱动为高电平后, 内部上拉将保持 IO3/复位高电平, 然后停止驱动信号。

注意, 如果多个 SPI-MIO 存储器中有任意一个工作于四线 I/O 模式, 那么它们不能共享 IO3/RESET# 功能, 因为来自一个选定存储器或向其发送的 IO3 可用作第二个未选定的存储器, 且它们共享相同的 IO3/RESET# 信号。

### 3.9 电源电压 ( $V_{CC}$ )

$V_{CC}$  是所有器件内部逻辑的电压源。它是用于所有器件内部功能 (包括读取、编程和擦除) 的单一电压。

### 3.10 电源和信号地 ( $V_{SS}$ )

$V_{SS}$  器件内核、输入信号接收器和输出驱动器的公共电压开漏和接地参考。

### 3.11 未连接 (NC)

没有任何器件内部信号被连接到封装引脚, 将来也不计划用于信号连接。该连接可安全地用于 PCB 上的信号布线空间。

### 3.12 保留以供将来使用 (RFU)

当前没有任何器件内部信号被连接到封装引脚，预留供将来使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。

### 3.13 请勿使用 (DNU)

器件的内部信号可能被连接到封装引脚。该连接可能被 Infineon 用于测试或其他目的，并不用于连接到任何主控系统信号。DNU 引脚处于低电平 ( $V_{IL}$ ) 时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到  $V_{SS}$ 。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

### 3.14 框图

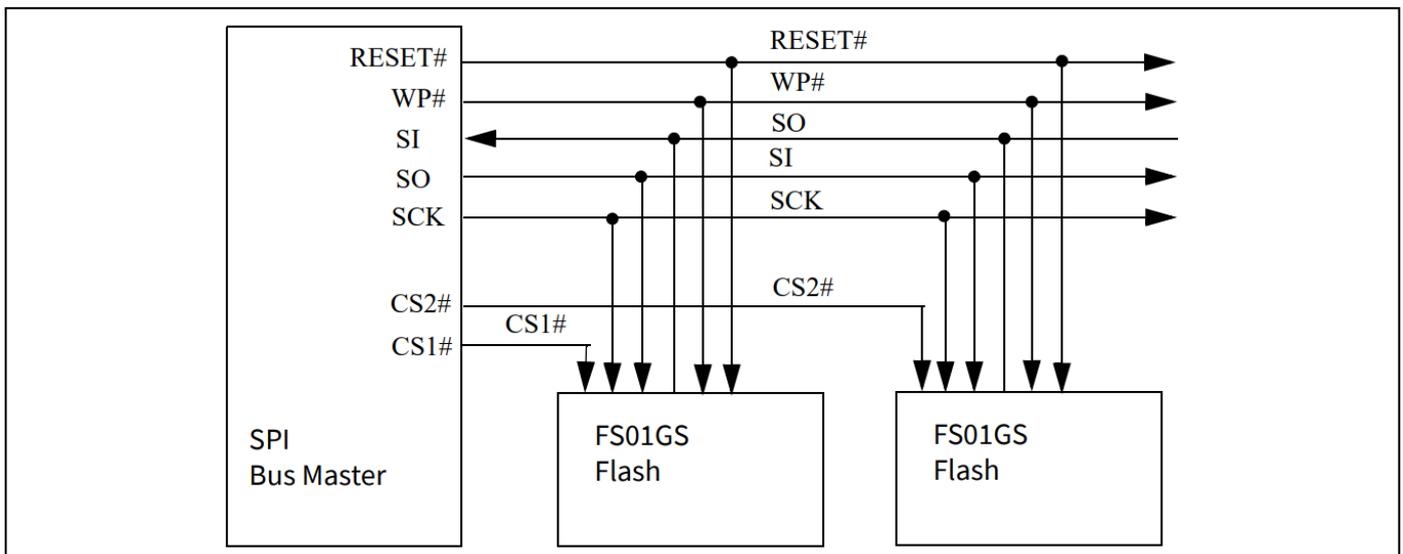


图 1 SPI总线上的总线主控和存储设备 – 单比特数据路径

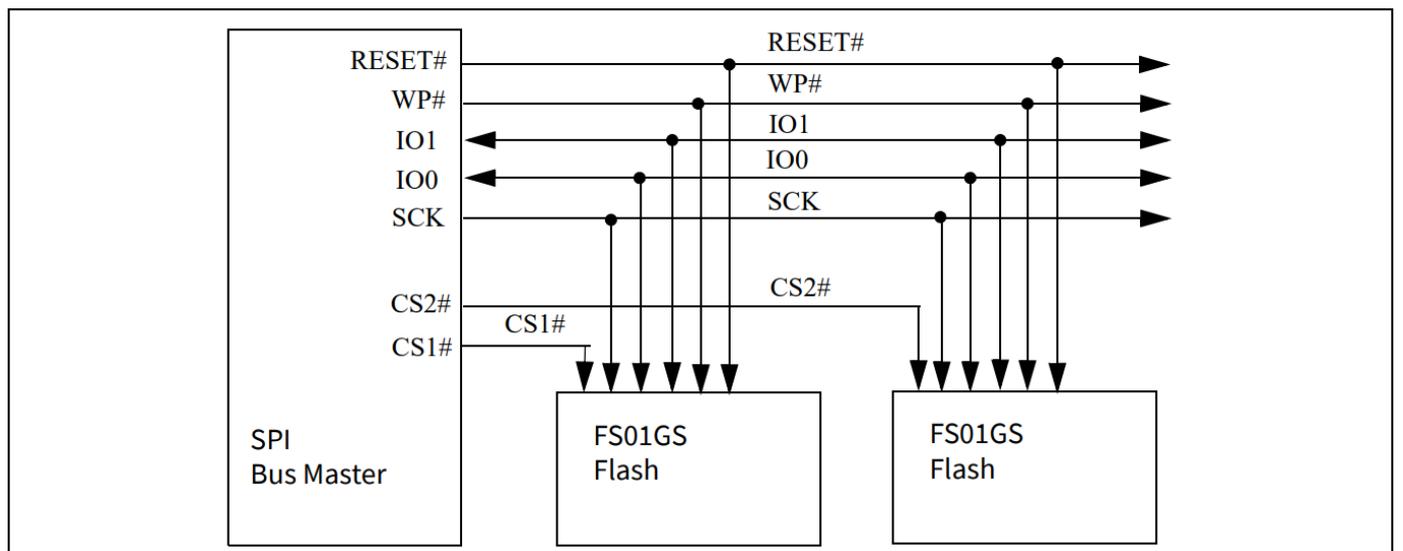


图2 SPI总线上的总线主控和存储设备–双比特数据路径

信号说明

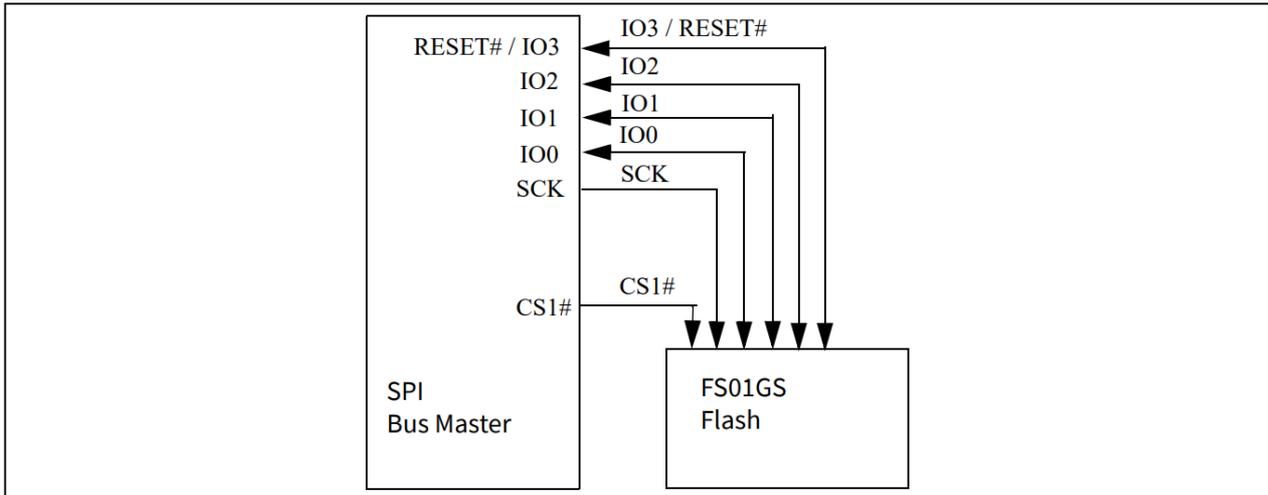


图 3 SPI总线上的总线主控和存储设备 – 四比特数据路径

## 4 信号协议

### 4.1 SPI 时钟模式

#### 4.1.1 SDR

FS-S 系列可由嵌入式微处理器（总线主机）以以下两种时钟模式驱动。

- 模式 0，时钟极性 (CPOL) = 0，时钟相位 (CPHA) = 0
- 模式 3，CPOL = 1 且 CPHA = 1

对于这两种模式，输入到器件中的数据始终在 SCK 信号的上升沿锁存，而输出数据始终在 SCK 时钟信号的下降沿可用。

两种模式之间的区别在于当总线主机处于待机模式且不传输任何数据时的时钟极性。

- 当 CPOL = 0、CPHA = 0 时，SCK 将保持逻辑低电平状态
- 当 CPOL = 1、CPHA = 1 时，SCK 将保持逻辑高电平状态

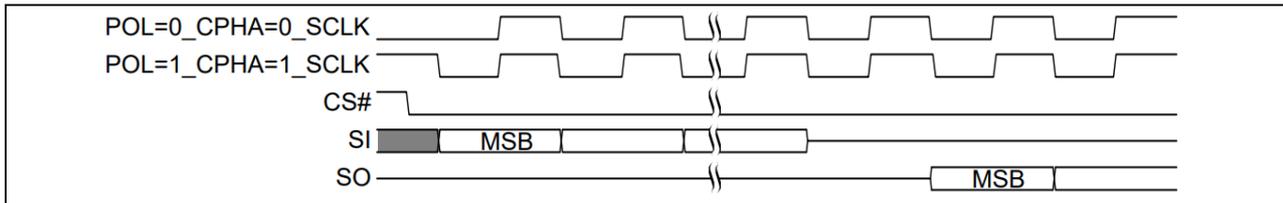


图 4 支持的 SPI SDR 模式

本文档其余部分的时序图通常通过在 CS# 下降时将 SCK 显示为高电平和低电平来显示为模式 0 和模式 3。在某些情况下，时序图可能通过显示 SCK 在 CS# 下降沿时的低电平来显示唯一的模式 0。在这种情况下，唯一的模式 3 的时序图只是表示在 CS# 的下降沿上时钟信号为高电平，因此模式 3 不需要从 CS# 下降沿后到 SCK 上升沿前的建立和保持时间。

SCK 周期是从一个 SCK 的下降沿到下一个 SCK 的下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

#### 4.1.2 DDR

DDR 指令也支持模式 0 和模式 3。与 SDR 指令相同，在 DDR 指令中，指令位总是在时钟的上升沿时被锁存。然而，指令之后的地址和输入数据都会在 SCK 的上升沿时和下降沿时被锁存。最后一个指令位在下降沿时之后，第一位地址位在随后第一个 SCK 上升沿时被锁存。第一个输出数据位则在最后访问延迟（虚拟）周期结束后的下降沿上被发送。

与 SDR 命令相同，SCK 周期也是从一个 SCK 下降沿到下一个 SCK 下降沿进行测量（计数）得到的。在模式 0 下，一个指令的第一个 SCK 周期的开始是从 CS 的下降沿到 SCK 的第一个下降沿来测量的，因为在指令开始时 SCK 已经是低电平了。

信号协议

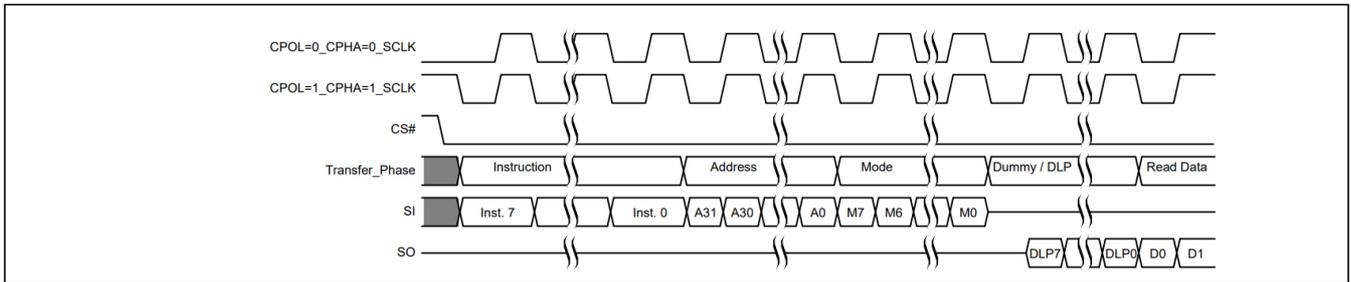


图 5 支持的 SPI DDR 模式

## 4.2 命令协议

主控系统与FS-S系列存储设备之间的所有通讯都是以称为“命令”的单元的形式进行的。

所有指令都以一个 8 位指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到闪存的数据传输或从闪存的数据传输。所有指令、地址和数据信息在主控系统和存储器器件之间顺序传输。

命令协议也通过字符命名法进行分类，使用三个字符来标记三个指令阶段的传输宽度：

- 指令
- 地址和指令修饰符（连续读取模式位）；对于S70FS01GS，请勿使用连续读取模式，这会导致两个512 Mb 芯片之间发生总线争用。
- Data

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据可以通过 SO 信号串行发送回主控。对于单比特宽指令，单比特宽地址和修饰符、单比特数据的结构，被称为 1-1-1 命令协议。

双线或四线输入 / 输出 (I/O) 命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 传输给存储器。数据返回到主控的方式类似于 IO0 和 IO1 上的位对，或者 IO0、IO1、IO2 和 IO3 上的四位（半字节）组。对于双线 I/O 和四线 I/O 命令，这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

FS-S系列还支持QPI模式输入，所有信息都以4位宽度传输，包括指令、地址、修饰符和数据。这被称为 4-4-4 指令协议。

命令结构如下：

- 每个命令都在 CS# 的下降沿开始执行，并在 CS# 的上升沿结束。主机通过一个命令将片选（CS#）信号驱动为低电平，从而能够选择存储器。
- 串行时钟（SCK）标记主控和存储器之间每个位或一组位的传输。
- 每个命令都以一个八位（字节）指令开始。该指令选择要执行的信息传输类型或器件操作。指令传输发生在 SCK 上升沿。但某些读命令被前一个读命令修改，因此该指令要从更早的命令中显示。这被称为连续读取模式。对于S70FS01GS，请勿使用连续读取模式，这会导致两个512 Mb 芯片之间出现总线争用。
- 该指令可以是独立的，也可以跟随地址位以选择器件中多个地址空间之一内的位置。该指令决定所使用的地址空间。地址可以是 24 位或 32 位、字节边界、地址。地址传输发生在SDR指令中的 SCK 上升沿，或 DDR 指令中的每个 SCK 边沿。

## 信号协议

- 在传统 SPI 模式下，指令之后的所有传输的宽度均由发送的指令决定。以下表示的可能是其中一种传输类型：仅通过串行输入 (SI) 或串行输出 (SO) 信号传输单比特；通过 IO0 和 IO1 信号每次 (双线) 传输将以双比特的形式进行发送；或通过 IO0-IO3 信号每次 (四线) 传输以 4 比特的形式执行。在双组或四组内，最低有效位位于 IO0 上。其他更高有效位则按照权值大小，通过 IO 信号的编号有序放置。单个位或并行位组按照从最高有效位到最低有效位的顺序进行传输。
- 在 QPI 模式下，所有传输的宽度都是 IO0-IO3 信号上的 4 位宽 (四倍) 传输。
- 双线和四线 I/O 读指令在发送地址后将发送一个指令修饰符 (称为连续读取模式位)，以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。这些模式位启动或结束连续读取模式。在连续读取模式下，下一个命令不提供指令字节，只提供新地址和模式位。对于 S70FS01GS，请勿使用连续读取模式，这会导致两个 512 Mb 芯片之间出现总线争用。
- 地址或模式位后面可能跟有要存储在存储器器件中的写入数据，或者后面可能是读取数据返回到主控之前的读取延时时间。
- 在 SDR 指令中，写入数据位的传输发生在 SCK 上升沿，或者在 DDR 指令中发生在每个 SCK 沿。
- SCK 会在读访问的延迟周期内继续进行切换。延时可能是零到几个 SCK 周期 (也称为虚拟周期)。在读取延时周期结束时，第一个读取数据位在最后一个读取延时周期结束时的 SCK 下降沿时输出。第一个读取的数据位被作为在下一个 SCK 上升沿时传输到主控端。在 SDR 指令中，后续每次传输都发生在下一个 SCK 上升沿，而在在 DDR 指令中，发生在每个 SCK 跳变沿。
- 如果指令返回读取数据到主控，器件将继续发送数据传输，直到主控将 CS 信号拉高。在读取数据时序中的任何传输之后，CS# 信号都可以被驱动为高电平。这将终止指令。
- 在没有返回数据的指令结束时，主控将 CS 输入驱动为高电平。在独立指令或传输的最后一个写入数据字节的第八位之后，CS# 信号必须变为高电平。也就是说，当 CS# 信号驱动为低电平后的位数是八位的整数倍时，CS# 信号必须驱动为高电平。如果 CS# 信号没有在指令或写入数据的八位边界处准确变为高电平，则命令将被拒绝并且不会执行。
- 所有指令、地址和模式位首先移入具有最高有效位的器件。数据位首先从器件最高有效位 (数据字左最位) 移入和移出。所有数据都以字节为单位传输，首先发送最低地址字节。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期 (嵌入式操作) 期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。
- 根据指令不同，执行时间也不同。从正在执行的指令中读取状态信息的指令可用于确定指令何时完成执行以及指令是否成功。

## 4.2.1 指令时序示例

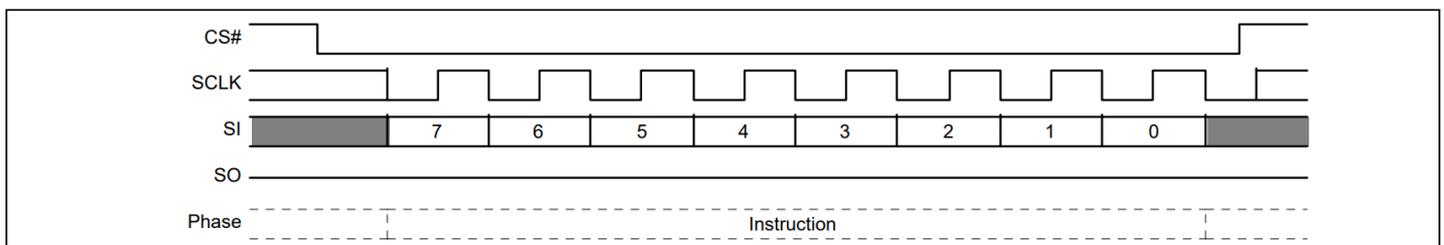


图 6 单独指令命令

信号协议

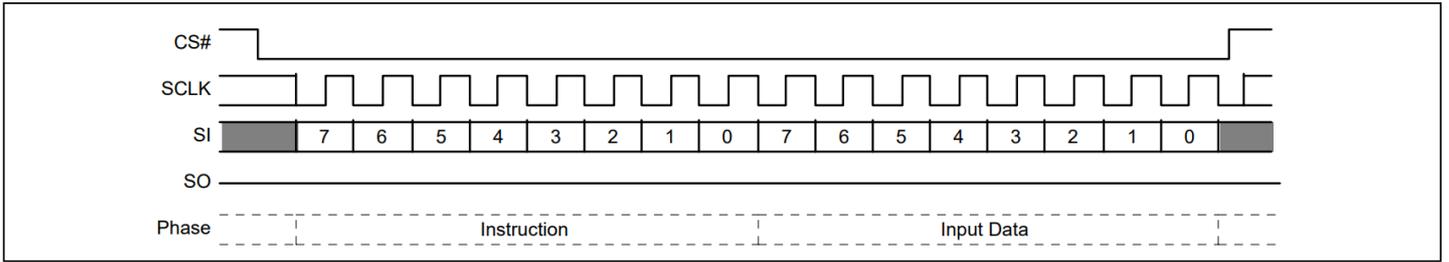


图 7 单线位宽输入命令

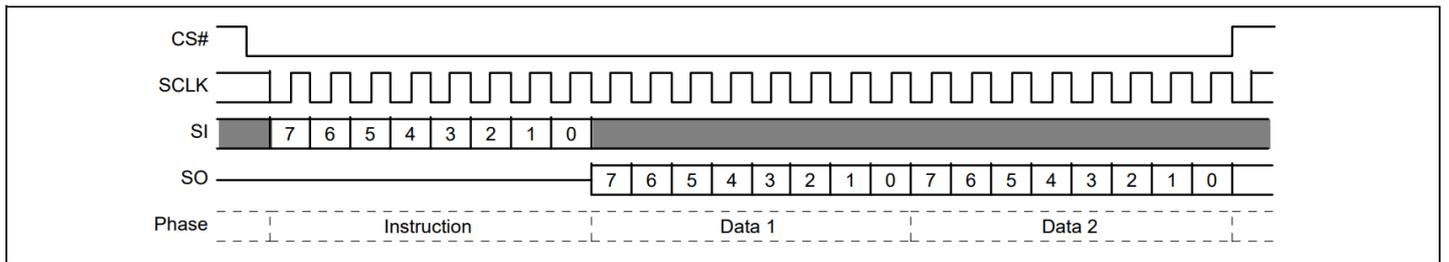


图 8 单线位宽输出命令

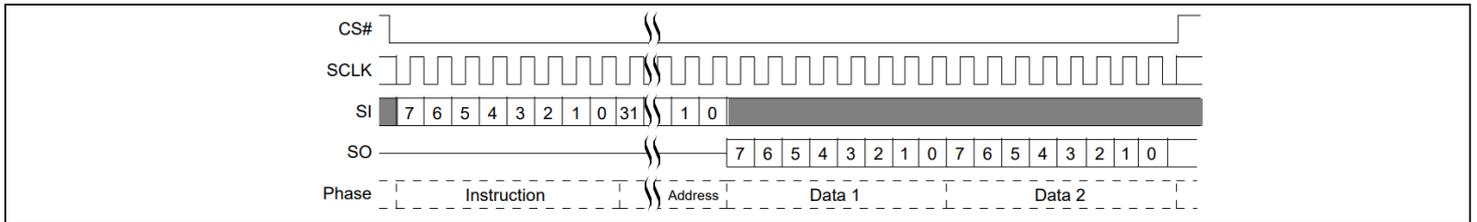


图 9 无延时的单线位宽的I/O 命令

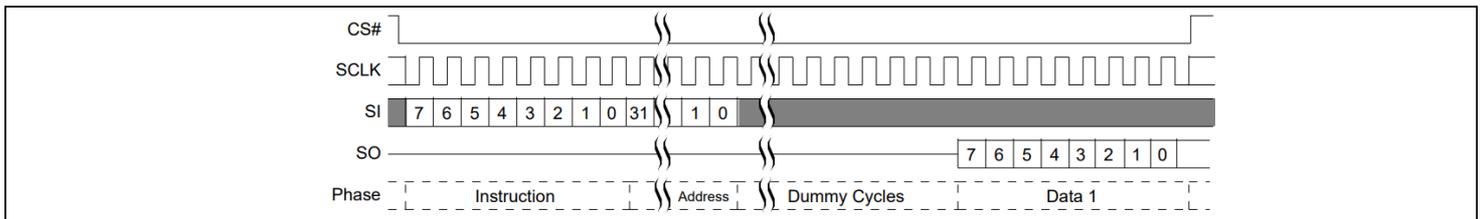


图 10 带延时的单线位宽的I/O 命令

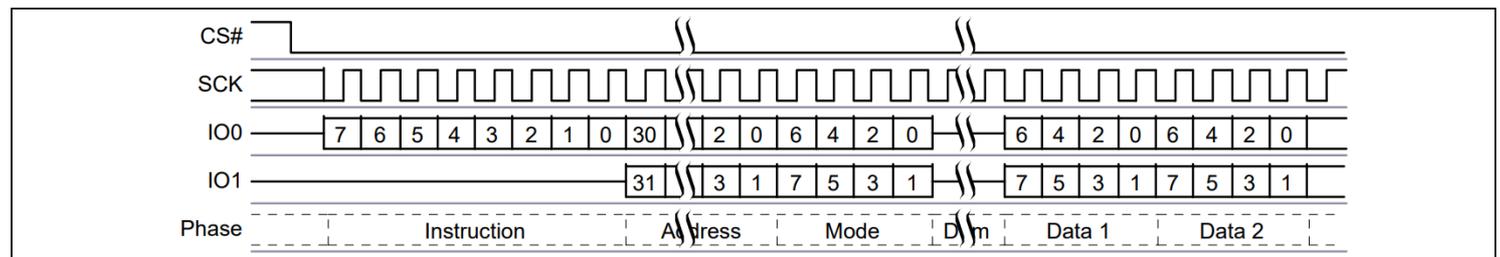


图 11 双线I/O 命令

信号协议

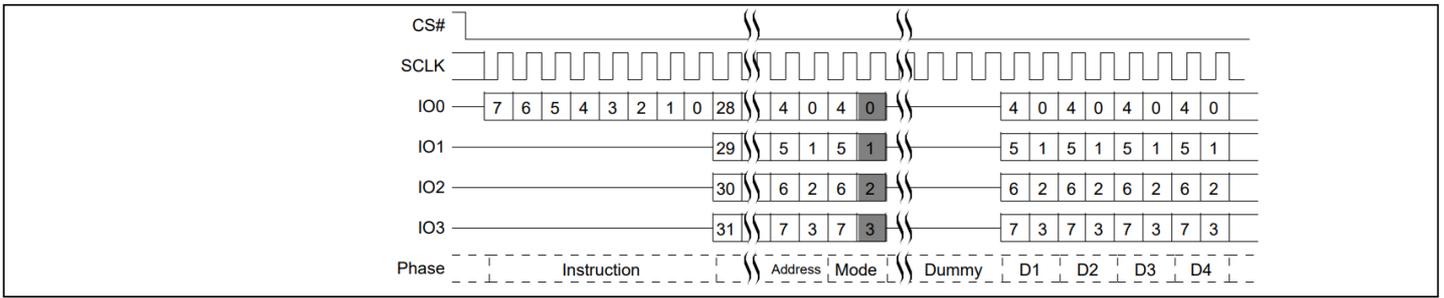


图 12 四线 I/O 命令

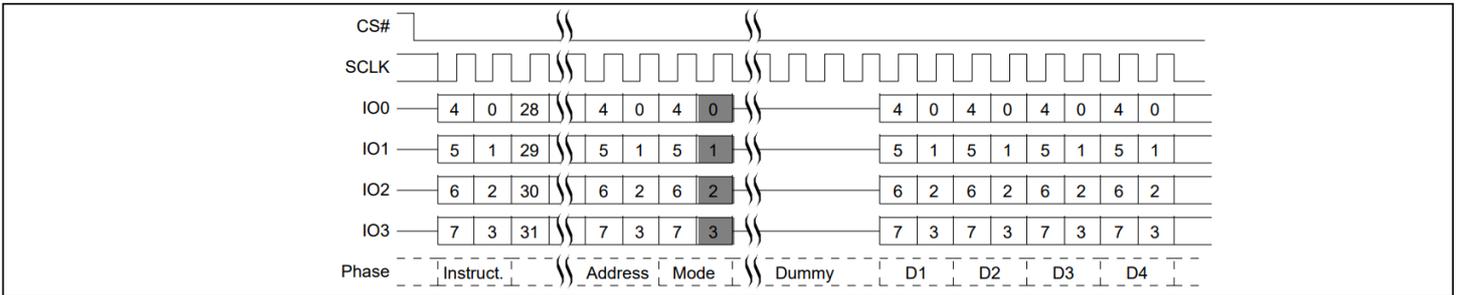


图 13 QPI 模式下的四线 I/O 读取命令

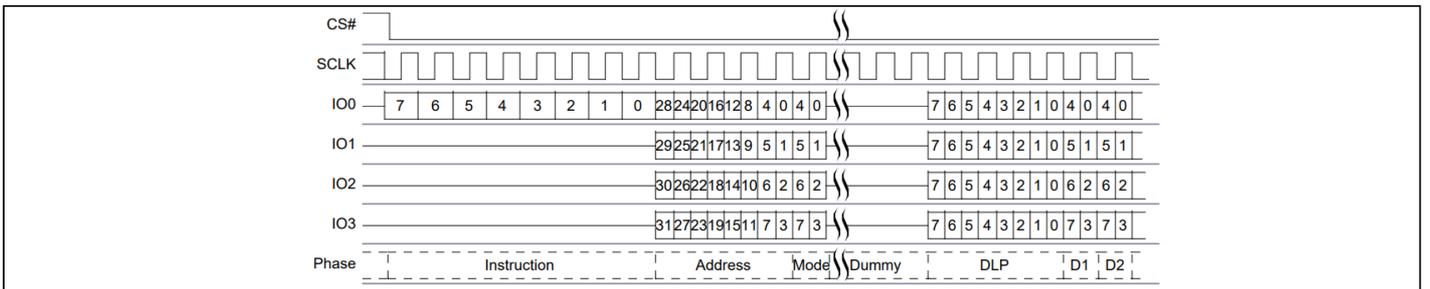


图 14 DDR 四线 I/O 读取

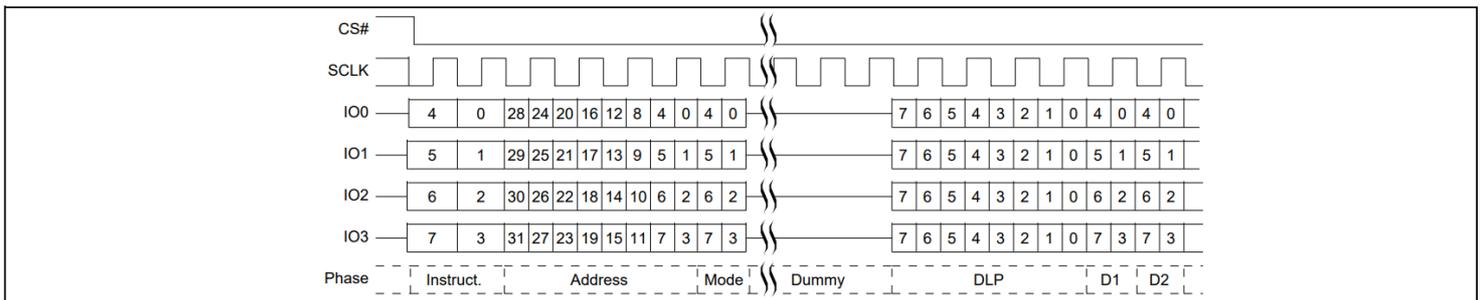


图 15 QPI 模式下的 DDR 四线 I/O 读取

页83“命令”中提供了特定于每个指令的附加时序图。

### 4.3 接口状态

本节介绍与 SPI 接口行为相关的输入和输出信号电平。

**表 3 接口状态汇总**

Interface state	V <sub>CC</sub>	SCK	CS#	IO3 / RESET#	WP# / IO2	SO / IO1	SI / IO0
Power-Off	<V <sub>CC</sub> (low)	X	X	X	X	Z	X
Low Power Hardware Data Protection	<V <sub>CC</sub> (cut-off)	X	X	X	X	Z	X
Power-On (Cold) Reset	≥V <sub>CC</sub> (min)	X	HH	X	X	Z	X
Hardware (Warm) Reset Non-Quad Mode	≥V <sub>CC</sub> (min)	X	X	HL	X	Z	X
Hardware (Warm) Reset Quad Mode	≥V <sub>CC</sub> (min)	X	HH	HL	X	Z	X
Interface Standby	≥V <sub>CC</sub> (min)	X	HH	X	X	Z	X
Instruction Cycle (Legacy SPI)	≥V <sub>CC</sub> (min)	HT	HL	HH	HV	Z	HV
Single Input Cycle Host to Memory Transfer	≥V <sub>CC</sub> (min)	HT	HL	HH	X	Z	HV
Single Latency (Dummy) Cycle	≥V <sub>CC</sub> (min)	HT	HL	HH	X	Z	X
Single Output Cycle Memory to Host Transfer	≥V <sub>CC</sub> (min)	HT	HL	HH	X	MV	X
Dual Input Cycle Host to Memory Transfer	≥V <sub>CC</sub> (min)	HT	HL	HH	X	HV	HV
Dual Latency (Dummy) Cycle	≥V <sub>CC</sub> (min)	HT	HL	HH	X	X	X
Dual Output Cycle Memory to Host Transfer	≥V <sub>CC</sub> (min)	HT	HL	HH	X	MV	MV
Quad Input Cycle Host to Memory Transfer	≥V <sub>CC</sub> (min)	HT	HL	HV	HV	HV	HV
Quad Latency (Dummy) Cycle	≥V <sub>CC</sub> (min)	HT	HL	X	X	X	X
Quad Output Cycle Memory to Host Transfer	≥V <sub>CC</sub> (min)	HT	HL	MV	MV	MV	MV
DDR Quad Input Cycle Host to Memory Transfer	≥V <sub>CC</sub> (min)	HT	HL	HV	HV	HV	HV
DDR Latency (Dummy) Cycle	≥V <sub>CC</sub> (min)	HT	HL	MV or Z	MV or Z	MV or Z	MV or Z
DDR Quad Output Cycle Memory to Host Transfer	≥V <sub>CC</sub> (min)	HT	HL	MV	MV	MV	MV

信号协议

#### 图标说明：

Z = 无驱动器 - 悬空信号，  
HL = 主控驱动  $V_{IL}$ ，  
HH = 主控驱动  $V_{IH}$ ，  
HV = HL 或 HH，  
X = HL 或 HH 或 Z，  
HT = 在 HL 和 HH 之间切换，  
ML = 存储器驱动  $V_{IL}$ ，  
MH = 存储器驱动  $V_{IH}$ ，  
MV = ML 或 MH。

### 4.3.1 掉电

当内核供电电压等于或低于  $V_{CC(Low)}$  电压时，器件被认为已掉电。器件不会对外部信号做出反应，并且会被阻止执行任何编程或擦除操作。

### 4.3.2 低压硬件数据保护

当  $V_{CC}$  小于  $V_{CC(Cut-off)}$  时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编程和擦除操作无法启动。

### 4.3.3 上电（冷启动）复位

当内核电压源保持在  $V_{CC(Low)}$  电压或低于  $V_{CC(Low)}$  电压的时间  $\geq t_{PD}$ ，然后上升到  $\geq V_{CC(Minimum)}$  时，器件将开始上电复位(POR)过程。POR 持续到  $t_{PU}$  结束。在  $t_{PU}$  期间，器件不对外部输入信号作出反应，也不驱动任何输出。 $t_{PU}$  结束后，器件转换到接口待机状态并可以接受指令。有关POR的更多信息，请参阅“[上电\(冷启动\)](#)”第36页。

### 4.3.4 硬件（热）复位

当器件不处于四线模式或处于四线模式且 CS 为高电平时，提供了一个配置选项，允许 IO3 用作硬件复位输入。当 IO3 / RESET# 被驱动为低电平并持续  $t_{RP}$  时间时，器件开始硬件复位流程。该流程持续  $t_{RPH}$  时间。在  $t_{RPH}$  结束和 RESET# 变高电平复位保持时间  $t_{RH}$  结束后，器件将切换至接口待机状态并可接受指令。有关硬件复位的更多信息，请参阅注释17。

### 4.3.5 接口待机

当 CS 为高电平时，SPI 接口处于待机状态。除 RESET# 之外的输入将被忽略。接口等待新指令的开始。当 CS# 变为低电平以开始新命令时，下一个接口状态是指令周期。

在接口待机状态下，如果没有嵌入式算法正在运行，存储器器件将消耗待机电流 ( $I_{SB}$ )。如果嵌入式算法正在运行，则将消耗相关电流，直到运算结束，此时整个器件恢复到待机电流消耗状态。

FS-S 系列设备支持 DPD 模式。如果器件已通过 DPD (B9h) 指令置于 DPD 模式，则接口待机功耗为 ( $I_{DPD}$ )。仅当器件未执行嵌入式算法（如状态寄存器 1 易失性写入进行中 (WIP) 位清零 (SR1V[0] = 0) 所示）时，才接受 DPD 指令。在 DPD 模式下，器件会忽略除释放 DPD (RES ABh) 指令之外的所有指令，将在延时  $t_{RES}$  后将器件返回到接口待机状态。

### 4.3.6 指令周期（传统 SPI 模式）

当主控驱动指令的最高有效位且 CS# 变为低电平时，在 SCK 的下一个上升沿时，器件捕获开始新命令并捕获新指令的指令的 MSb（最高有效位）。在 SCK 的每个后续上升沿，该器件捕获 8 位指令的下一个较低有效位。主控保持 CS 低电平，并根据指令需要驱动写保护 (WP#) 和 IO3/RESET# 信号。但是，WP# 仅在 WRAR 命令的指令周期内相关，否则会被忽略。器件未处于四线模式 (CR1V[1]=0) 或 QPI 模式 (CR2V[6]=0) 且不需要硬件复位时，IO3/RESET# 被驱动为高电平。

每条指令选择操作的地址空间，和使用的传输格式在命令其他部分。传输格式可以是单线 I/O、双线 I/O、四线 I/O 或 DDR 四线 I/O。预期的下一个接口状态取决于收到的指令。

有些指令是独立的，不需要与存储器之间进行地址或数据传输。对于该指令中的第八位指令，主控在 SCK 的上升沿之后返回 CS 高电平。在这种情况下，下一个接口状态是接口待机。

### 4.3.7 指令周期（QPI 模式）

在 QPI 模式下，当 CR2V[6]=1 时，指令每周期传输 4 位。在此模式下，指令周期与四线输入周期相同（请参阅“[四线输入周期-主控到存储器传输](#)”位于分页 25）。

### 4.3.8 单线输入周期-主控到寄存器的传输

几条指令通过单个串行输入 (SI) 信号将信息从主控器件传送到存储器器件。主控保持 RESET# 为高电平，CS# 为低电平，并根据指令的需要驱动 SI。存储器不驱动串行输出 (SO) 信号。

预期的下一个接口状态取决于指令。一些指令使用额外的单输入周期继续向存储器发送地址或数据。其他可能转换为单线延时，或直接转换为单线、双线或四线输出周期状态。

### 4.3.9 单线延时（虚拟）周期

读指令可能有零到几个延时周期，在此期间读数据在传输到主控之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时代码决定。在延时周期内，主控保持 RESET# 为高电平，CS# 为低电平。写保护 (WP#) 信号被忽略。主控可能会在这些周期内驱动 SI 信号，或者主控可能会让 SI 处于浮动状态。在延时周期内，存储器不使用 SI/I/O0 或其他 I/O 信号上驱动的任何数据。在延时周期内，存储器不会驱动串行输出 (SO) 或 I/O 信号。

下一个接口状态取决于指令结构，即延时周期数，以及读取是单线、双线还是四线。

### 4.3.10 单输出周期-内存到主控的传输

多个指令通过单个串行输出 (SO) 信号将信息传回主控。主控保持 RESET# 为高电平，CS# 为低电平。写保护 (WP#) 信号被忽略。存储器忽略串行输入 (SI) 信号。存储器用数据驱动 SO。

下一个接口状态继续为单线输出周期，直到主控将 CS 返回为高电平结束指令。

### 4.3.11 双线输入周期 - 主控至寄存器的传输

双线读取 I/O 指令在每个周期传输两位地址或模式位到存储器。主控保持 RESET# 为高电平，CS# 为低电平。写保护 (WP#) 信号被忽略。主控驱动器地址位于 SI/I/O0 和 SO/I/O1。

地址和模式位传送之后的下一个接口状态是双延时周期（有延时要求）；如果不需要延时，则为双线输出周期。

#### 4.3.12 双线延时（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主机之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时代码决定。在延时周期内，主控保持RESET#为高电平，CS#为低电平。写保护 (WP#) 信号被忽略。主机可能会在这些周期内驱动SI / IO0 和 SO / IO1 信号，或者主机可能会让SI / IO0 和 SO / IO1 处于悬空状态。在延时周期内，内存不使用 SI/IO0 和 SO/IO1 上驱动的任何数据。在最后一个延时周期结束时的下降沿时，主控必须停止驱动SI / IO0 和 SO / IO1。建议主控在所有延时周期内停止驱动它们，以便在延时周期结束时，存储器开始驱动之前有足够的时间让主控驱动关闭。这样可以防止信号跳变时，主控与存储器的驱动相互冲突。存储器在延时周期内不会驱动 SI/IO0 和 SO/IO1 信号。最后一个延时周期之后的下一个接口状态是双线输出周期。

#### 4.3.13 双线输出循环-存储器到主控的传输

双线读取输出和线读取 I/O 在每个周期向主控返回两位数据。主控保持RESET#为高电平，CS#为低电平。写保护 (WP#) 信号被忽略。存储器在双线输出周期内驱动 SI/IO0 和 SO/IO1 信号上的数据。

下一个接口状态继续为双线输出周期，直到主控将 CS# 返回为高电平结束指令。

#### 4.3.14 四线输入周期 - 主控至存储器的传输

四线 I/O 读取命令在每个周期将四个地址位或模式位传输到存储器。在 QPI 模式下，四路 I/O 读取和分页编程指令在每个周期（包括指令周期）向存储器传输四个数据位。主控保持CS#低电平，驱动IO信号。

对于四线 I/O 读取，在传送地址位和模式位之后下一个接口状态，如果需要延时周期则为四线延时周期，如果不需要延时则为四线输出周期。对于 QPI 模式页编程命令，主控在传送要写入的数据后，返回 CS# 为高电平，且接口返回待机状态。

#### 4.3.15 带延时的四线（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主机之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时代码决定。在延时周期内，主控保持CS#低电平。主控可能会在这些周期内驱动 IO 信号，或者主控可能会让 IO 处于浮动状态。在延时周期内，存储器不使用任何通过 IO 驱动的数据。主机必须在最后一个延时周期结束时的下降沿停止驱动 IO 信号。建议主控在所有延时周期内停止驱动它们，以便在延时周期结束时，存储器开始驱动之前有足够的时间让主控驱动关闭。这样可以防止信号跳变时，主控与存储器的驱动相互冲突。存储器在延迟周期内不会驱动 IO 信号。

最后一个延时周期之后的下一个接口状态是四线输出周期。

#### 4.3.16 四线输出周期-存储器到主控的传输

四线 I/O 读取在每个周期向主控返回四位数据。主机保持CS低位。存储器在四路输出周期内通过 IO0-IO3 信号驱动数据。

下一个接口状态继续为四线输出循环，直到主控将 CS# 返回为高电平并结束指令。

#### 4.3.17 DDR 四线输入周期 - 主控至存储器的传输

DDR 四线 I/O 读取命令通过所有 IO 信号将地址和模式位发送到存储器。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主机保持CS#低位。

传送地址位和模式位之后的下一个接口状态是 DDR 延时周期。

### 4.3.18 DDR 延时周期

DDR 读指令可能有一到几个延时周期，在此期间读数据在传输到主控之前从主队列中读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时代码决定。在延时周期内，主控保持CS低电平。主控可能不会在这些周期内驱动 IO 信号。这样在存储器开始驱动之前，主机驱动器就有足够的时间停止传输操作。这样可以防止信号跳变时，主控与存储器的驱动相互冲突。存储器有一个选项，可以在最后 4 个延时周期内加载数据学习模式(DLP) 驱动所有 IO 信号。延时周期少于 5 个时，不应启用 DLP 选项，以便在存储器开始驱动 DLP 之前至少有一个高阻态周期用于 IO 信号的转变。当延迟周期超过 4 个时，存储器直到最后四个延迟周期才会驱动 IO 信号。

最后一个延时周期之后的下一个接口状态是 DDR 单线输出周期或四线输出周期，取决于指令。

### 4.3.19 DDR 四线输出周期 - 存储器到主控的传输

DDR 四线I/O 读取命令将所有 IO 信号上的位返回至主控。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主机保持CS低位。

下一个接口状态继续为 DDR 四线输出周期，直到主控将 CS# 返回为高电平并结束指令。

## 4.4 配置寄存器对接口的影响

配置寄存器 2 易失性位 3 至 0 (CR2V[3:0]) 选择除读取和读取 SDFP (RSDFP) 之外的所有读取指令的可变延时。读取始终具有零延时周期。RSDFP 始终具有八个延时周期。可变延时也用于 OTPR 和 RDAR 指令。

配置寄存器位 1 (CR1V[1]) 选择是使能四线模式，以将 WP# 切换到 IO2 功能，将 RESET# 切换到 IO3 功能，从而允许四线 I/O 读取和 QPI 模式命令。DDR 四线I/O 读取命令必须选择四线模式。DDR 四线I/O 读取命令必须选择四线模式。

## 4.5 数据保护

硬件设计提供了一些基本保护措施，可防止意外更改存储的数据，这些措施完全由硬件设计控制。这些措施在“[数据保护](#)”位于页74中进行了描述。其他软件管理的保护方法在本文档“[数据保护](#)”位于页74中进行了讨论。

### 4.5.1 上电

当内核供电电压等于或低于 $V_{CC(Low)}$ 电压时，器件被认为已掉电。器件不会对外部信号做出反应，并且会被阻止执行任何编程或擦除操作。

在上电复位 (POR) 期间，将继续阻止编程和擦除操作，因为直到退出POR到待机状态时才接受任何指令。

### 4.5.2 低功耗

当 $V_{CC}$ 小于 $V_{CC(Cut-off)}$ 时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编程和擦除操作无法启动。

### 4.5.3 时钟脉冲计数

器件在执行之前验证所有非易失的存储器和寄存器数据修改指令是否由时钟计数组成，该计数是八位传输 (字节边界) 的倍数。不以 8 位 (字节) 边界结尾的指令将被忽略，并且该指令不会设置错误状态。

### 4.5.4 深度掉电

在 DPD 模式下，器件仅响应 DPD 释放指令 (RES ABh)。在 DPD 模式期间，所有其他命令都会被忽略，从而保护内存免受写入和擦除操作的影响。

## 5 电气规格参数

### 5.1 绝对最大额定值

Storage temperature plastic packages	-65 °C to +150 °C
Ambient temperature with power applied	-65 °C to +125 °C
V <sub>CC</sub>	-0.5 V to +2.5 V
Input voltage with respect to Ground (V <sub>SS</sub> ) <sup>[4]</sup>	-0.5 V to V <sub>CC</sub> + 0.5 V
Output short circuit current <sup>[5]</sup>	100 mA

### 5.2 热阻抗

表4 热阻

Parameter	Description	SL3016	ZSA024	Unit
Theta JA	Thermal resistance (Junction to ambient)	39	33	°C/W
Theta JB	Thermal resistance (Junction to board)	8	11	
Theta JC	Thermal resistance (Junction to case)	9	11	

### 5.3 闩锁特性

表5 闩锁参数

Description	Min	Max	Unit
Input voltage with respect to V <sub>SS</sub> on all input only connections	-1.0	V <sub>CC</sub> + 1.0	V
Input voltage with respect to V <sub>SS</sub> on all I/O connections	-1.0	V <sub>CC</sub> + 1.0	V
V <sub>CC</sub> Current	-100	+100	mA

**注:**

4. 请参阅“**输入信号过冲**”在页29为信号转换期间允许的最大值。
5. 每一次只能有一个输出对地短接。短接时间不能超过一秒。
6. 超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。器件长时间处于绝对最大额定值条件下可能会影响器件可靠性。
7. 不包括电源 V<sub>CC</sub>。测试条件：V<sub>CC</sub> = 1.8 V，每次测试一个连接，未测试的连接 V<sub>SS</sub>。

电气规格参数

## 5.4 工作范围

运行范围定义了一些限值，在这些限值之间可保证器件正常运行。

### 5.4.1 供电电压

$V_{CC}$	1.7 V to 2.0 V
----------	----------------

### 5.4.2 温度范围

表 6 温度范围

Parameter	Symbol	Conditions	Spec		Unit
			Min	Max	
Ambient Temperature	$T_A$	Industrial (I) devices	-40	+85	°C
		Industrial Plus (V) devices	-40	+105	°C
		Automotive, AEC-Q100 grade 3 (A) Devices	-40	+85	°C
		Automotive, AEC-Q100 grade 2 (B) Devices	-40	+105	°C
		Automotive, AEC-Q100 grade 1 (M) Devices	-40	+125	°C

#### 注：

- 工业 Plus 的操作和性能参数将由器件特性决定，并且可能与本规范中显示的标准工业温度范围设备有所不同。

### 5.4.3 输入信号过冲

在直流条件下，输入或 I/O 信号应保持相等或介于  $V_{SS}$  和  $V_{CC}$  之间。在电压传输期间，输入或 I/O 可能会超过  $V_{SS}$  至  $-1.0V$  或超过  $V_{CC} + 1.0V$ ，持续时间最长为 20 ns。

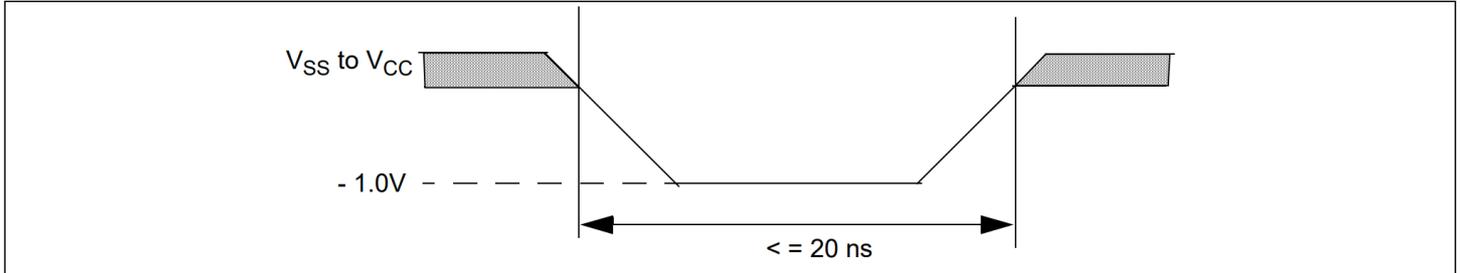


图16 最大负过冲波形

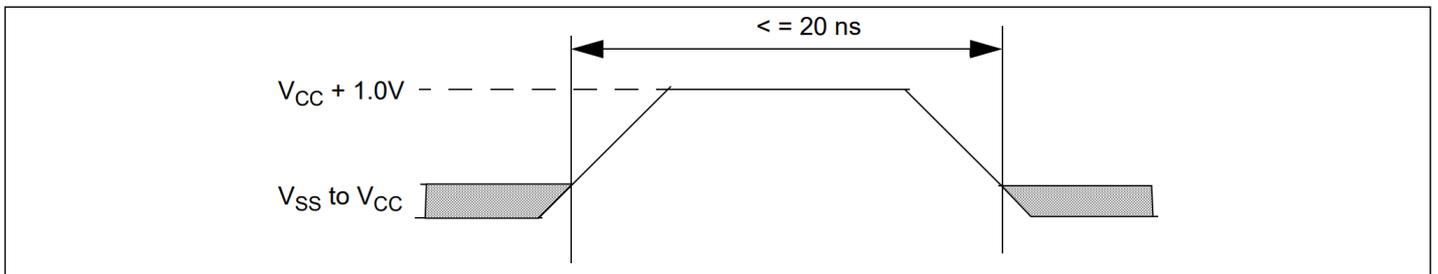


图17 最大正过冲波形

## 5.5 上电和断电

在上电或掉电时一定不要选择该器件（即 CS 必须遵循施加在  $V_{CC}$  上的电压），直到  $V_{CC}$  达到如下正确的值：

- 上电时为  $V_{CC}(\text{min})$ ，然后再延迟  $t_{PU}$
- $V_{SS}$  在掉电时

片选 (CS) 上的一个简单的上拉电阻通常可用于确保安全和完整的上电和掉电。

在  $V_{CC}$  上升到最低  $V_{CC}$  阈值之后，器件会忽略所有指令，直到经过  $t_{PU}$  时间延迟（见图18）。但是，如果  $V_{CC}$  在  $t_{PU}$  期间返回到  $V_{CC}(\text{min})$  以下，则无法保证器件的正确运行。在  $t_{PU}$  结束之前，不应向器件发送任何指令。

器件在  $t_{PU}$  期间吸收  $I_{POR}$  电流。上电 ( $t_{PU}$ ) 后，器件处于待机模式，吸收 CMOS 待机电流 ( $I_{SB}$ )，并且 WEL 位复位。

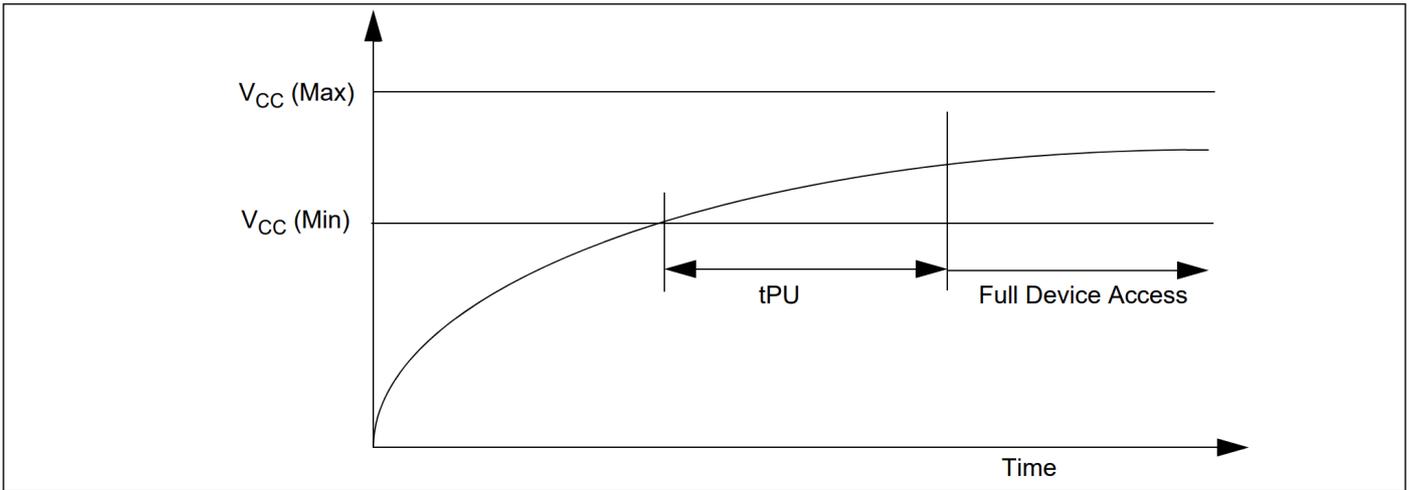
在掉电或电压降至  $V_{CC}(\text{cut-off})$  以下时，电压必须降至  $V_{CC}(\text{low})$  以下并持续  $t_{PD}$  时间，以使器件在上电时正确初始化（见图19）。如果在降压过程中  $V_{CC}$  保持在  $V_{CC}(\text{cut-off})$  以上，则部件将保持初始化状态，并在  $V_{CC}$  再次高于  $V_{CC}(\text{min})$  时可以正常工作。如果上电后上电复位未正确完成，则应使用 RESET# 信号或接收软件复位指令（复位命令）将重新启动 POR 流程。

必须采取正常的预防措施来对电源轨进行去耦，以稳定器件的  $V_{CC}$  电源。系统中的每个器件都应通过靠近封装电源连接的合适电容器对  $V_{CC}$  轨进行去耦（该电容器通常为  $0.1 \mu\text{F}$  量级）。

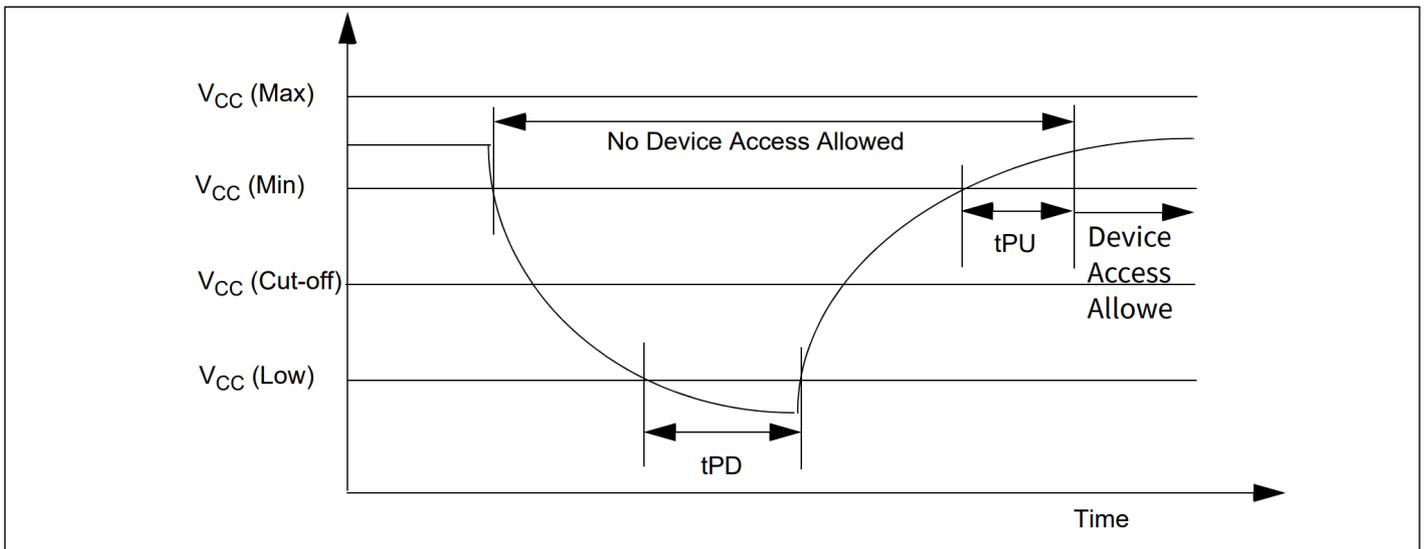
电气规格参数

**表 7 FS-S 上电/掉电的电压和时序**

Symbol	Parameter	Min	Max	Unit
$V_{CC}(\text{min})$	$V_{CC}$ (minimum operation voltage)	1.7		V
$V_{CC}(\text{cut-off})$	$V_{CC}$ (Cut Off where re-initialization is needed)	1.5		V
$V_{CC}(\text{low})$	$V_{CC}$ (low voltage for initialization to occur)	0.7		V
$t_{PU}$	$V_{CC}(\text{min})$ to Read operation		300	$\mu\text{s}$
$t_{PD}$	$V_{CC}(\text{low})$ time	10.0		$\mu\text{s}$



**图 18 上电**



**图 19 掉电或电压下降**

电气规格参数

## 5.6 直流特性

### 5.6.1 工业级

适用于-40°C至+85°C的工作温度范围。

**表 8 S01GS DC特性 – 工业**

Symbol	Parameter	Test conditions	Min	Typ <sup>[10]</sup>	Max	Unit
$V_{IL}$	Input low voltage	-	-0.5	-	$0.3 \times V_{CC}$	V
$V_{IH}$	Input high voltage	-	$0.7 \times V_{CC}$	-	$V_{CC} + 0.4$	V
$V_{OL}$	Output low voltage	$I_{OL} = 0.1 \text{ mA}$	-	-	0.2	V
$V_{OH}$	Output high voltage	$I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.2$	-	-	V
$I_{LI}$	Input leakage current	$V_{CC} = V_{CC} \text{ Max}$ , $V_{IN} = V_{IH} \text{ or } V_{SS}$ , $CS\# = V_{IH}$	-	-	$\pm 4$	$\mu\text{A}$
$I_{LO}$	Output leakage current	$V_{CC} = V_{CC} \text{ Max}$ , $V_{IN} = V_{IH} \text{ or } V_{SS}$ , $CS\# = V_{IH}$	-	-	$\pm 4$	$\mu\text{A}$
$I_{CC1}$	Active power supply current (READ) <sup>[10]</sup>	Serial SDR @ 50 MHz Serial SDR @ 133 MHz Quad SDR @ 133 MHz Quad DDR @ 80 MHz	-	18 25 60 70	25 45 65 90	mA
$I_{CC2}$	Active power supply current (Page Program)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC3}$	Active power supply current (WRAR)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC4}$	Active power supply current (SE)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC5}$	Active power supply current (BE)	$CS\# = V_{CC}$	-	60	100	mA
$I_{SB}$	Standby current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$ , Industrial Temp	-	140	200	$\mu\text{A}$
$I_{DPD}$	Deep power down current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$ , Industrial Temp	-	16	120	$\mu\text{A}$
$I_{POR}$	Power on reset current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$	-	-	160	mA

注:

9. 典型值为  $T_{AI} = 25^\circ\text{C}$  和  $V_{CC} = 1.8\text{V}$ 。
10. 读取数据返回期间输出未连接。不包括输出开关电流。

电气规格参数

### 5.6.2 工业plus级

适用于-40°C至+105°C的工作温度范围。

这些值将在 DE 仿真后进行调整，以预测工业增强型的性能。

**表 9 DC特性 – 工业增PLUS**

Symbol	Parameter	Test conditions	Min	Typ <sup>[11]</sup>	Max	Unit
V <sub>IL</sub>	Input low voltage	-	-0.5	-	0.3 × V <sub>CC</sub>	V
V <sub>IH</sub>	Input high voltage	-	0.7 × V <sub>CC</sub>	-	V <sub>CC</sub> + 0.4	V
V <sub>OL</sub>	Output low voltage	I <sub>OL</sub> = 0.1 mA	-	-	0.2	V
V <sub>OH</sub>	Output high voltage	I <sub>OH</sub> = -0.1 mA	V <sub>CC</sub> - 0.2	-	-	V
I <sub>LI</sub>	Input leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±8	μA
I <sub>LO</sub>	Output leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±8	μA
I <sub>CC1</sub>	Active power supply current (READ) <sup>[12]</sup>	Serial SDR @ 50 MHz Serial SDR @ 133 MHz Quad SDR @ 133 MHz Quad DDR @ 80 MHz	-	18 25 60 70	25 45 65 90	mA
I <sub>CC2</sub>	Active power supply current (Page Program)	CS# = V <sub>CC</sub>	-	60	100	mA
I <sub>CC3</sub>	Active power supply current (WRAR)	CS# = V <sub>CC</sub>	-	60	100	mA
I <sub>CC4</sub>	Active power supply current (SE)	CS# = V <sub>CC</sub>	-	60	100	mA
I <sub>CC5</sub>	Active power supply current (BE)	CS# = V <sub>CC</sub>	-	60	100	mA
I <sub>SB</sub> (Industrial Plus)	Standby current	IO3/RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> , Industrial Plus Temp	-	140	600	μA
I <sub>DPD</sub>	Deep power down current	IO3/RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> , Industrial Temp	-	16	300	μA
I <sub>POR</sub>	Power on reset current	IO3/RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub>	-	-	160	mA

**注:**

11. 典型值为 T<sub>A</sub> = 25 °C 和 V<sub>CC</sub> = 1.8 V。
12. 读取数据返回期间输出未连接。不包括输出开关电流。

电气规格参数

### 5.6.3 扩展

适用于-40°C至+125°C的工作温度范围。

**表 10 DC特性 – 扩展**

Symbol	Parameter	Test Conditions	Min	Typ <sup>[13]</sup>	Max	Unit
$V_{IL}$	Input low voltage	-	-0.5	-	$0.3 \times V_{CC}$	V
$V_{IH}$	Input high voltage	-	$0.7 \times V_{CC}$	-	$V_{CC} + 0.4$	V
$V_{OL}$	Output low voltage	$I_{OL} = 0.1 \text{ mA}$	-	-	0.2	V
$V_{OH}$	Output high voltage	$I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.2$	-	-	V
$I_{LI}$	Input leakage current	$V_{CC} = V_{CC} \text{ Max}$ , $V_{IN} = V_{IH} \text{ or } V_{SS}$ , $CS\# = V_{IH}$	-	-	$\pm 8$	$\mu\text{A}$
$I_{LO}$	Output leakage current	$V_{CC} = V_{CC} \text{ Max}$ , $V_{IN} = V_{IH} \text{ or } V_{SS}$ , $CS\# = V_{IH}$	-	-	$\pm 8$	$\mu\text{A}$
$I_{CC1}$	Active power supply current (READ) <sup>[14]</sup>	Serial SDR @ 50 MHz Serial SDR @ 133 MHz Quad SDR @ 133 MHz Quad DDR @ 80 MHz	-	18 25 60 70	25 50 65 90	mA
$I_{CC2}$	Active power supply current (Page Program)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC3}$	Active power supply current (WRAR)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC4}$	Active power supply current (SE)	$CS\# = V_{CC}$	-	60	100	mA
$I_{CC5}$	Active power supply current (BE)	$CS\# = V_{CC}$	-	60	100	mA
$I_{SB}$ (Industrial Plus)	Standby current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$ , Industrial Plus Temp	-	140	600	$\mu\text{A}$
$I_{DPD}$	Deep power down current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$ , Industrial Temp	-	16	500	$\mu\text{A}$
$I_{POR}$	Power on reset current	IO3/RESET#, $CS\# = V_{CC}$ ; SI, SCK = $V_{CC}$ or $V_{SS}$	-	-	160	mA

注:

- 典型值为  $T_{AI} = 25^\circ\text{C}$  和  $V_{CC} = 1.8 \text{ V}$ 。
- 读取数据返回期间输出未连接。不包括输出开关电流。

### 5.6.4 工作模式和待机功耗模式

当片选 (CS) 为低电平时，器件处于启用的状态并处于工作的功率模式。当 CS 为高电平时，器件被禁用，但可能仍处于工作功率模式，直到所有编程、擦除和写操作完成。然后器件进入待机功耗模式，功耗降至  $I_{SB}$ 。

FS-S系列设备支持DPD模式。如果器件已通过 DPD (B9h) 指令置于 DPD 模式，则接口待机功耗为 ( $I_{DPD}$ )。仅当器件未执行嵌入式算法（如状态寄存器 1 易失性写入进行中 (WIP) 位清零 (SR1V[0] = 0) 所示）时，才接受 DPD 指令。在 DPD 模式下，器件会忽略除释放 DPD (RES ABh) 指令之外的所有指令，将在延时  $t_{RES}$  后将器件返回到接口待机状态。

## 6 时序规范

### 6.1 波形切换

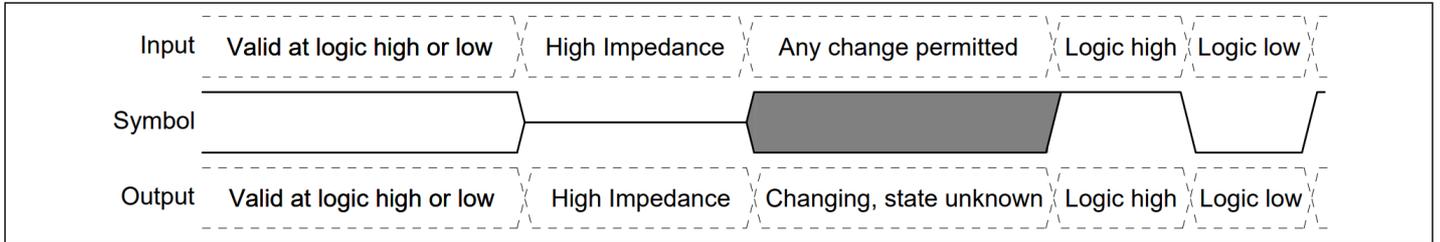


图20 波形因素含义

### 6.2 交流测试条件

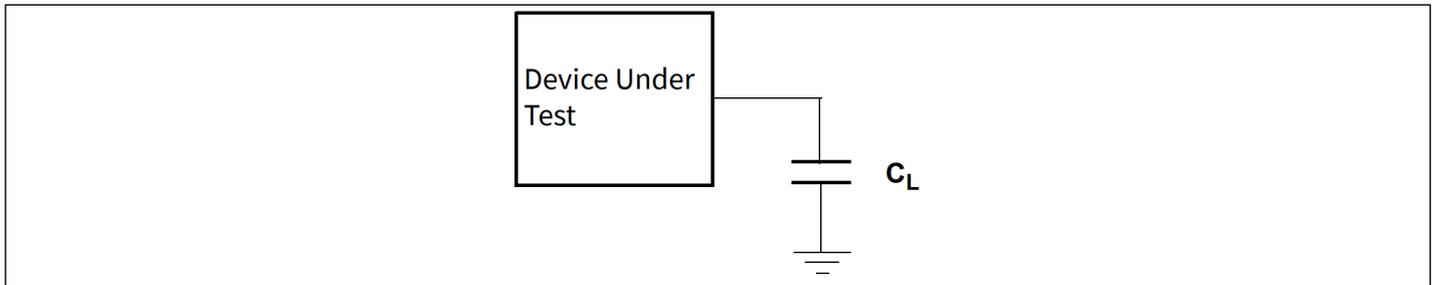


图 21 测试设置

表 11 AC测量条件

Symbol	Parameter	Min	Max	Unit
$C_L$	Load capacitance	-	30	pF
	Input pulse voltage	$0.2 \times V_{CC}$	$0.8 \times V_{CC}$	V
	Input slew rate	0.23	1.25	V/ns
	Input rise and fall times	0.9	5	ns
	Input timing ref voltage	$0.5 \times V_{CC}$		V
	Output timing ref voltage	$0.5 \times V_{CC}$		V

注:

15. 在  $V_{CC}$  最大时, 从输入脉冲最小值到最大值测量输入斜率。  
例如:  $(1.9 \text{ V} \times 0.8) - (1.9 \text{ V} \times 0.2) = 1.14 \text{ V}$ ;  $1.14 \text{ V} / 1.25 \text{ V/ns} = 0.9 \text{ ns}$  上升或下降时间。
16. AC特性表-假设时钟和数据信号具有相同的斜率(斜率)。

时序规范

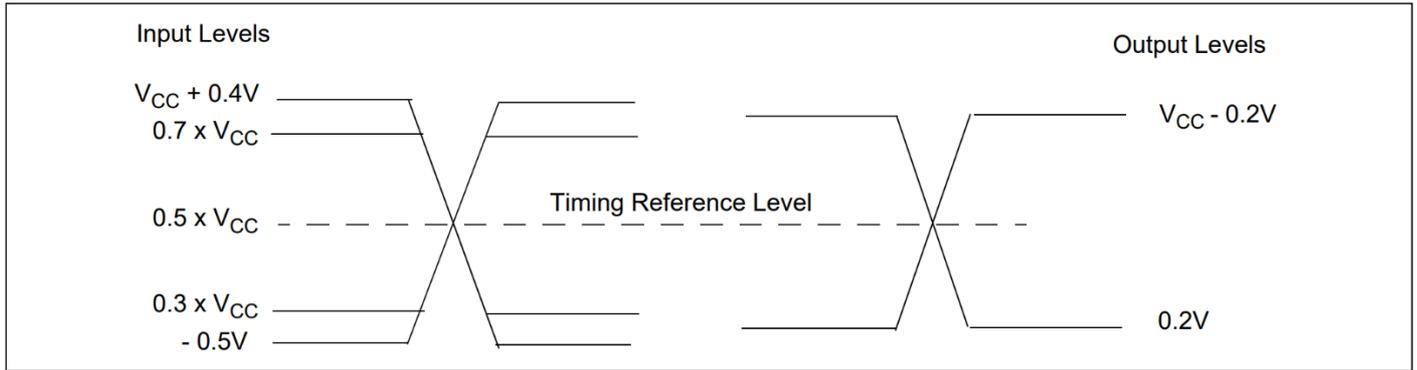


图 22 输入、输出和时序的参考标准

### 6.2.1 电容特性

表 12 电容值

Symbol	Parameter	Test Conditions	Min	Max	Unit
$C_{IN}$	Input capacitance (applies to SCK, CS#, IO3/RESET#)	1 MHz	-	16	pF
$C_{OUT}$	Output capacitance (applies to All I/O)	1 MHz	-	16	pF

**注:**

15 参数值尚未经过 100% 测试。有关更多详细信息，请参阅 IBIS 模型。

## 6.3 RESET (复位)

### 6.3.1 上电 (冷启动) 复位

该器件执行上电复位 (POR) 过程, 直到  $V_{CC}$  上升到最小  $V_{CC}$  阈值以上后, 经过  $t_{PU}$  时间延迟。参见图18 和表 7。上电期间 ( $t_{PU}$ ) 不得选择该器件 (CS 跟随  $V_{CC}$  变为高电平), 即在  $t_{PU}$  结束之前不得向该器件发送指令。当 CS 处于高电平状态的时间超过  $t_{CS}$  时间或四线模式未启用时 ( $CR1V[1] = 0$ ), IO3/RESET# 信号用作 RESET# 输入。

POR 期间会忽略 RESET#。如果 RESET# 在 POR 期间为低电平, 并在  $t_{PU}$  结束后保持低电平, 则 CS# 必须在 RESET# 返回高电平后保持高电平持续  $t_{RH}$  时间。RESET# 在返回低电平之前, 必须返回高电平并持续超过  $t_{RS}$  才能启动硬件复位。

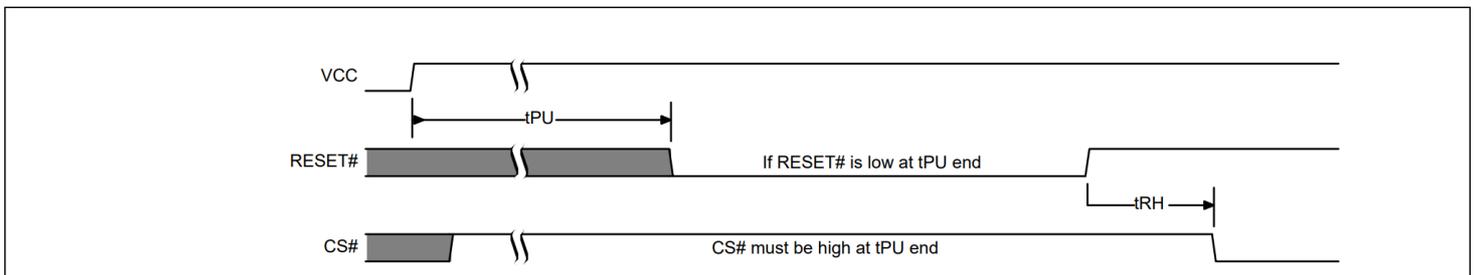


图 23 POR 结束时复位低电平

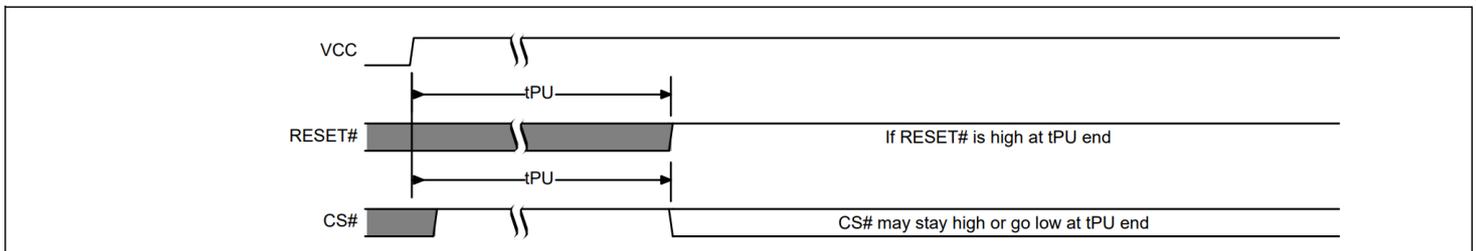


图 24 POR 结束时复位为高电平

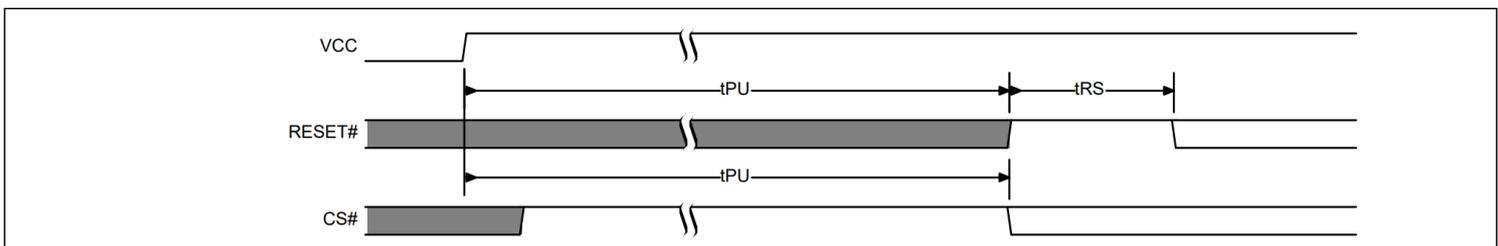


图 25 POR 后进行硬件复位

### 6.3.2 IO3 / RESET# 输入启动硬件（热启动）复位

当CS#处于高电平状态的时间超过  $t_{CS}$  时间或未启用四线模式的  $CR1V[1] = 0$  时，IO3 / RESET# 信号用作 RESET# 输入。IO3 / RESET# 输入有内部上拉至  $V_{CC}$ ，如果不使用四线模式，则可以悬空。CS变为高电平后延时  $t_{CS}$  时间后，为存储器或主控系统提供了在CS为低电平时，用作四线模式 I/O 信号之后将 IO3 驱动为高电平的时间。内部上拉至  $V_{CC}$  将保持 IO3 / RESET# 为高电平，直到主控系统开始驱动 IO3 / RESET#。

当 CS 在  $t_{CS}$  器件保持高电平时，IO3 / RESET# 输入将被忽略，以避免意外的复位操作。如果将CS驱动为低电平以开始新的命令，则 IO3 / RESET# 将用作 IO3。

器件未处于四线模式，CS 为高电平时，IO3 / RESET# 从  $V_{IH}$  转换为  $V_{IL}$  并持续  $> t_{RP}$ ，随后是  $t_{CS}$ ，器件将以与POR相同的方式复位寄存器状态，但不会经历POR期间执行的完整复位过程。硬件复位过程需要  $t_{RPH}$  的时间才能完成。如果POR在上电过程 ( $t_{PU}$ ) 因某种原因未正确完成，则 RESET# 变为低电平将启动完整POR过程，而不是硬件复位过程，并且需要  $t_{PU}$  时间来完成POR过程。

复位指令与 IO3 / RESET# 的状态无关。如果 IO3 / RESET# 为高电平或未连接，并且发出复位指令，器件将执行软件复位。

IO3 RESET# 的其他注意事项：

- IO3 / RESET# 再次变为低电平以启动硬件复位之前，必须在  $t_{PU}$  或  $t_{RPH}$  之后的  $t_{RS}$  时间内保持高电平。
- 当 IO3 / RESET# 被驱动为低电平并持续至少  $t_{RP}$  时（在  $t_{CS}$  之后），器件将终止正在进行的任何操作，使所有输出处于高阻态，并在  $t_{RH}$  期间忽略所有读/写命令。器件将接口重置为待机状态。
- 如果Quad以及IO3 / RESET# 特点是启用的，则主机系统不应在  $t_{CS}$  期间驱动IO3 低电平，以避免IO3 上的驱动器争用。紧接着在四线模式下将数据传输到主机的指令（例如四线 I/O 读取）后，存储器会在  $t_{CS}$  期间将 IO3/RESET# 驱动为高电平，以避免意外的复位操作。紧接着以四线模式将数据传输到存储器的指令（例如分页编程）后，主机系统应在  $t_{CS}$  期间将 IO3 / RESET# 驱动为高电平，以避免意外的复位操作。
- 如果 Quad模式未启用，并且如果 IO3/RESET# 置为低电平时 CS 为低电平，则 CS 必须在  $t_{RPH}$  期间返回高电平，然后才能在  $t_{RH}$  之后再次置为低电平。

表 13 硬件复位参数

Parameter	Description	Limit	Time	Unit
$t_{RS}$	Reset Setup - Prior Reset end and RESET# HIGH before RESET# LOW	Min	50	ns
$t_{RPH}$	Reset Pulse Hold - RESET# LOW to CS# LOW	Min	35	$\mu$ s
$t_{RP}$	RESET# Pulse Width	Min	200	ns
$t_{RH}$	Reset Hold - RESET# HIGH before CS# LOW	Min	50	ns

注：

18. 上电 ( $t_{PU}$ ) 期间，IO3 / RESET# 低电平被忽略。如果在  $t_{PU}$  结束时 Reset# 被使用，器件将保持复位状态， $t_{RH}$  将决定 CS# 何时可能变为低电平。

19. 如果四线模式启用，则在  $t_{CS}$  期间忽略 IO3/RESET# 低电平。

20  $t_{RP}$  和  $t_{RH}$  的总和不能小于  $t_{RPH}$ 。

时序规范

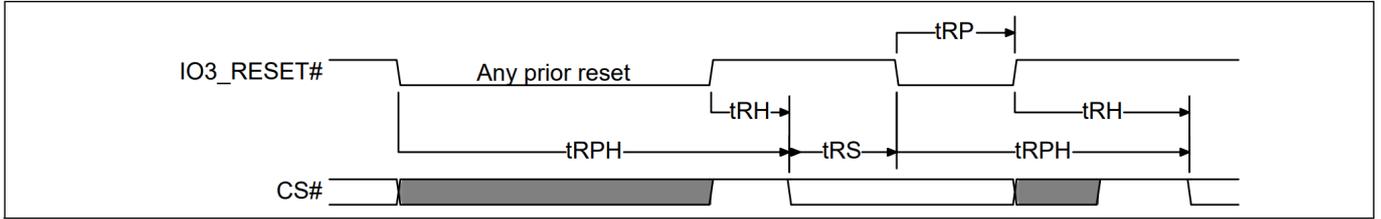


图 26 四线模式未启用且 IO3 / Reset# 启用时的硬件复位

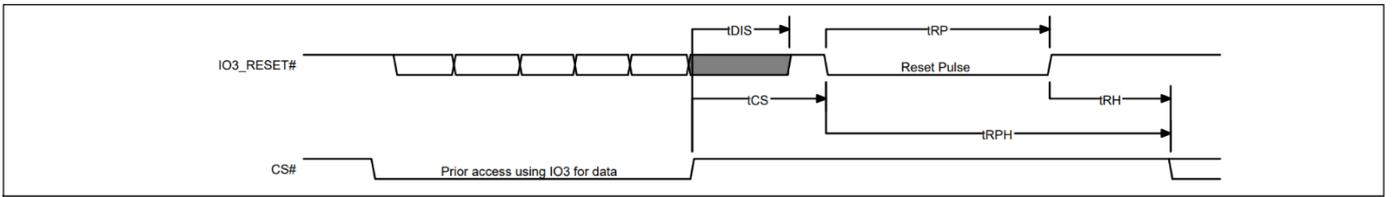


图 27 四线模式和 IO3 / Reset# 启用时的硬件复位

## 6.4 SDR AC 特性

表14 AC特性

Symbol	Parameter	Min	Max	Unit
$F_{SCK, R}$	SCK clock frequency for READ and 4READ instructions	DC	50	MHz
$F_{SCK, C}$	SCK clock frequency for the following dual and quad commands: QOR, 4QOR, DIOR, 4DIOR, QIOR, 4QIOR	DC	133	MHz
$F_{SCK, D}$	SCK clock frequency for the following DDR commands: QIOR, 4QIOR	DC	80	MHz
$P_{SCK}$	SCK clock period	$1/F_{SCK}$	$\infty$	
$t_{WH}, t_{CH}$	Clock High time	$50\% P_{SCK} - 5\%$	-	ns
$t_{WL}, t_{CL}$	Clock Low time	$50\% P_{SCK} - 5\%$	-	ns
$t_{CRT}, t_{CLCH}$	Clock rise time (slew rate)	0.1	-	V/ns
$t_{CFT}, t_{CHCL}$	Clock fall time (slew rate)	0.1	-	V/ns
$t_{CS}$	CS# High time (Read instructions) CS# High time (Read instructions when Reset feature and Quad mode are both enabled) CS# High time (Program/Erase Instructions)	10 20 <sup>[25]</sup> 50	-	ns
$t_{CSS}$	CS# Active Setup time (relative to SCK)	2	-	ns
$t_{CSH}$	CS# Active Hold time (relative to SCK)	3	-	ns
$t_{SU}$	Data in Setup time	2	-	ns
$t_{HD}$	Data in Hold time	3	-	ns
$t_V$	Clock low to output valid	-	8 <sup>[22]</sup> 6 <sup>[23]</sup>	ns
$t_{HO}$	Output Hold time	1	-	ns
$t_{DIS}$	Output disable time <sup>[24]</sup> Output disable time (when Reset feature and Quad Mode are both enabled)	-	8 20 <sup>[25]</sup>	ns
$t_{WPS}$	WP# Setup time <sup>[21]</sup>	20	-	ns
$t_{WPH}$	WP# Hold time <sup>[21]</sup>	100	-	ns
$t_{DPD}$	CS# High to power-down mode	-	3	$\mu$ s
$t_{RES}$	CS# High to Standby Mode without Electronic Signature Read	-	30	$\mu$ s

**注:**

21. 仅适用于当 SRWD 置位为 1 时对 WRAR 指令的约束。
22. 完整  $V_{CC}$  范围和  $C_L = 30$  pF。
23. 完整  $V_{CC}$  范围和  $C_L = 15$  pF。
24. 数据不再被驱动时输出高阻抗。
25. 当复位特性和四线模式启用时 ( $CR2V[5] = 1$  且  $CR1V[1] = 1$ )， $t_{CS}$  和  $t_{DIS}$  需要额外的时间。
26. 暂定的 AC 参数，取决于器件特性，因为 DDP 增加了 I/O 容值，可能会稍微变动。

### 6.4.1 时钟时序

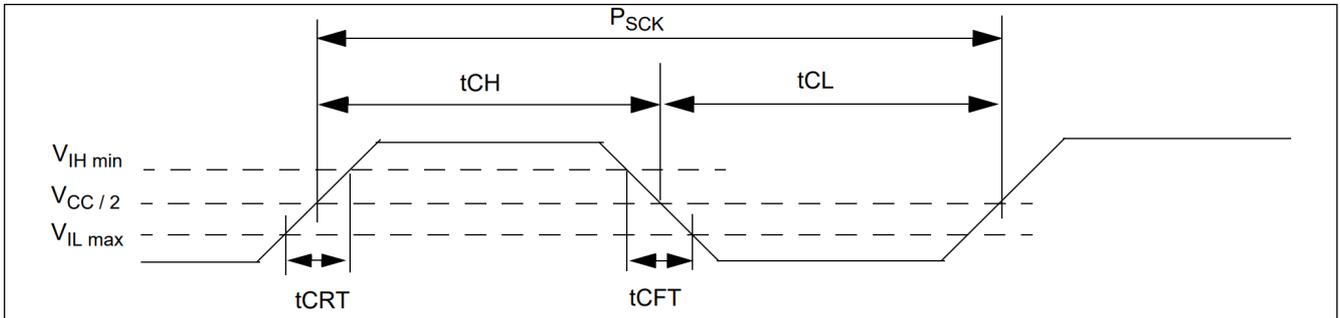


图28 时钟时序

### 6.4.2 输入/输出时序

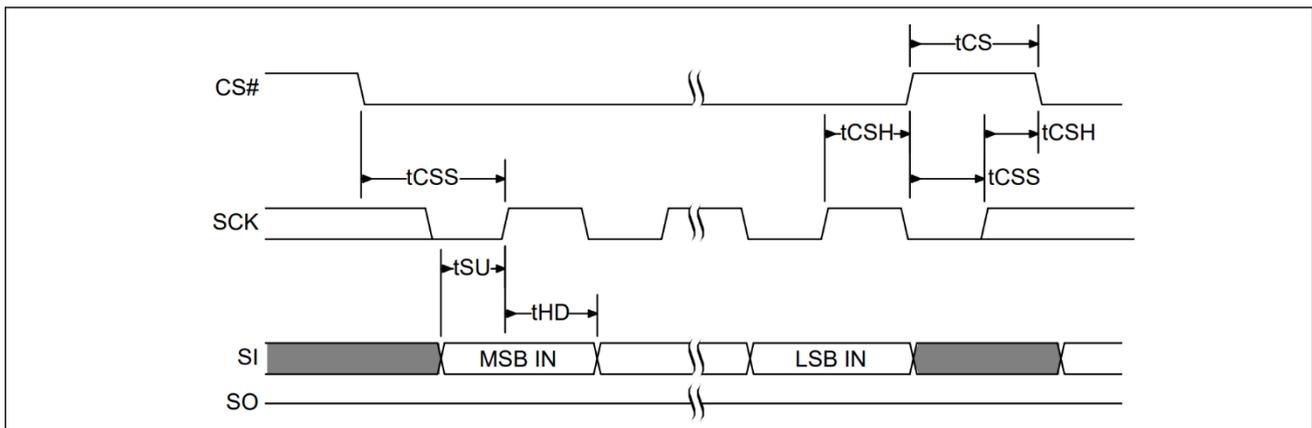


图29 SPI单线输入时序

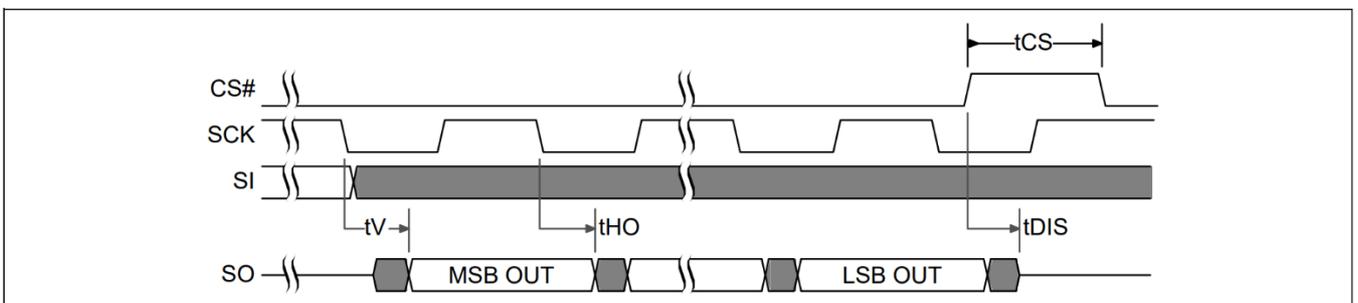


图30 SPI单线输出时序

时序规范

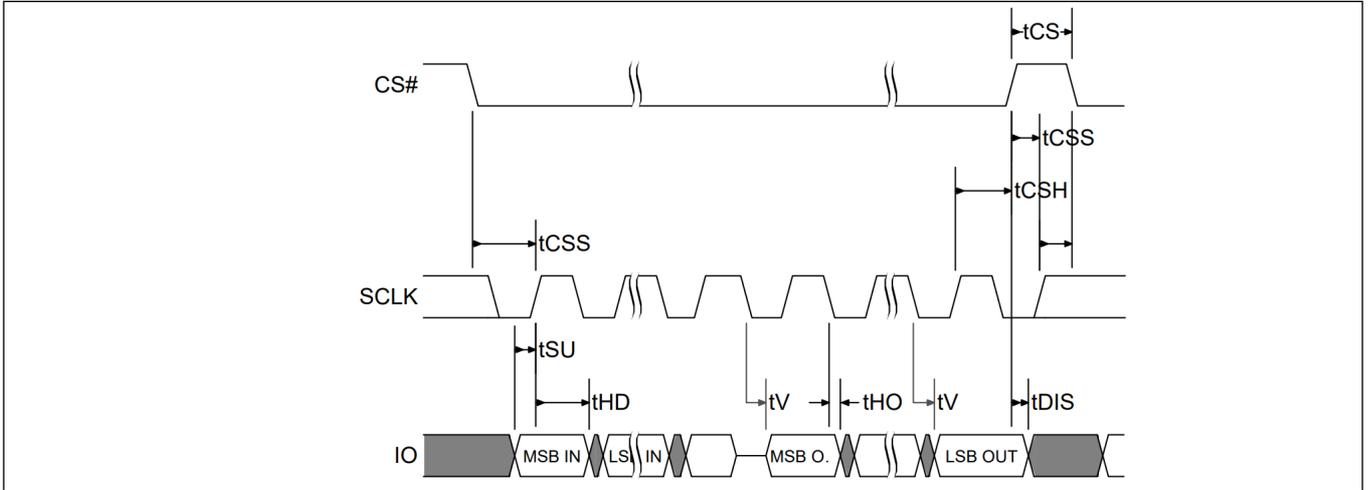


图 31 SPI SDR MIO 时序

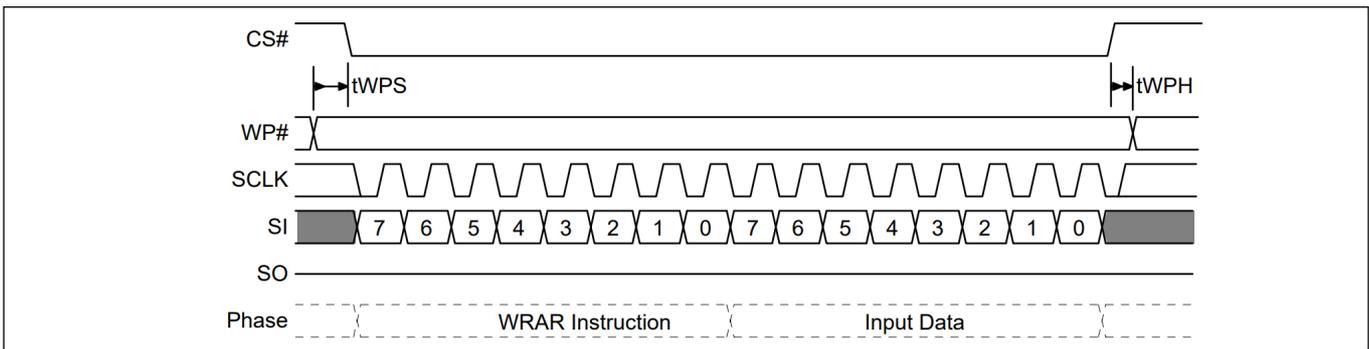


图32 WP#输入时序

时序规范

**6.5 DDR AC 特性**

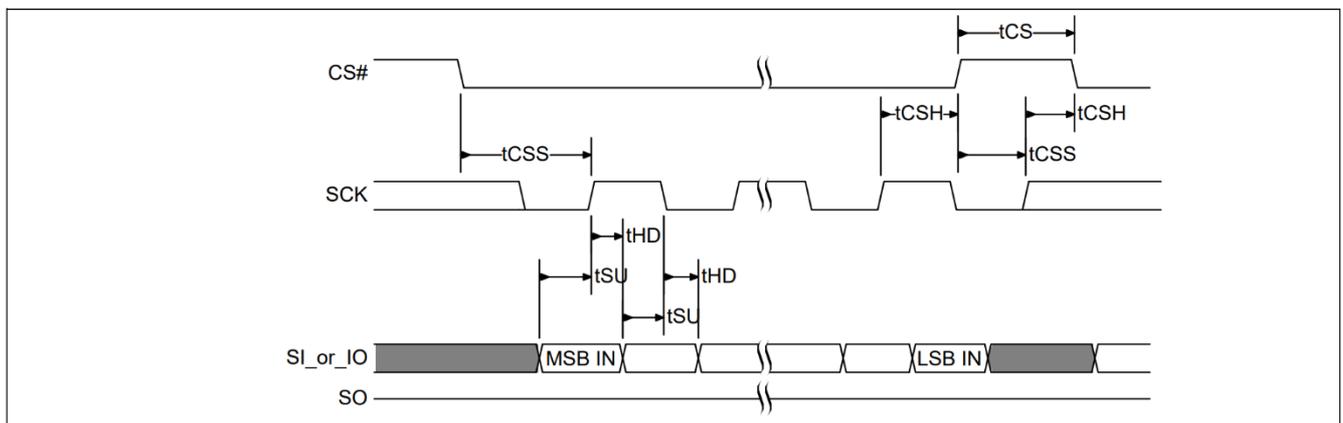
**表 15 FS01GS AC特性 80MHz 操作**

Symbol	Parameter	Min	Max	Unit
$F_{SCK, R}$	SCK Clock Frequency for DDR READ instruction	DC	80	MHz
$P_{SCK, R}$	SCK Clock Period for DDR READ instruction	12.5	$\infty$	ns
$t_{WH}, t_{CH}$	Clock High Time	50% $P_{SCK} - 5\%$	-	ns
$t_{WL}, t_{CL}$	Clock Low Time	50% $P_{SCK} - 5\%$	-	ns
$t_{CS}$	CS# High Time (Read Instructions) CS# High Time (Read Instructions when Reset feature is enabled)	10 20	-	ns
$t_{CSS}$	CS# Active Setup Time (relative to SCK)	2	-	ns
$t_{CSH}$	CS# Active Hold Time (relative to SCK)	3	-	ns
$t_{SU}$	IO in Setup Time	1.5	-	ns
$t_{HD}$	IO in Hold Time	1.5	-	ns
$t_V$	Clock Low to Output Valid	1.5	6 (1)	ns
$t_{HO}$	Output Hold Time	1	-	ns
$t_{DIS}$	Output Disable Time Output Disable Time (when Reset feature is enabled)	-	8 20	ns
$t_{IO\_skew}$	First IO to last IO data valid time	-	400	ps
$t_{DPD}$	CS# High to Power-down Mode	-	3	$\mu$ s
$t_{RES}$	CS# High to Standby Mode without Electronic Signature Read	-	30	$\mu$ s

注:

27.  $C_L = 15$  pF.

**6.5.1 DDR 输入时序**



**图33 SPI DDR输入时序**

### 6.5.2 DDR 输出时序

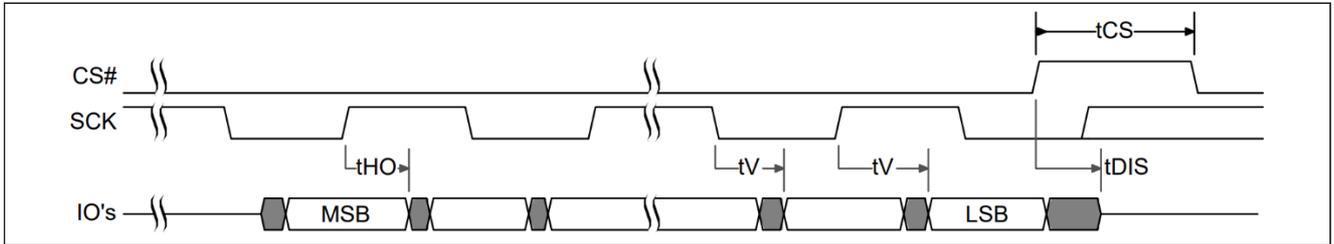


图34 SPI DDR输出时序

### 6.5.3 使用 DLP 的 DDR 数据有效时序

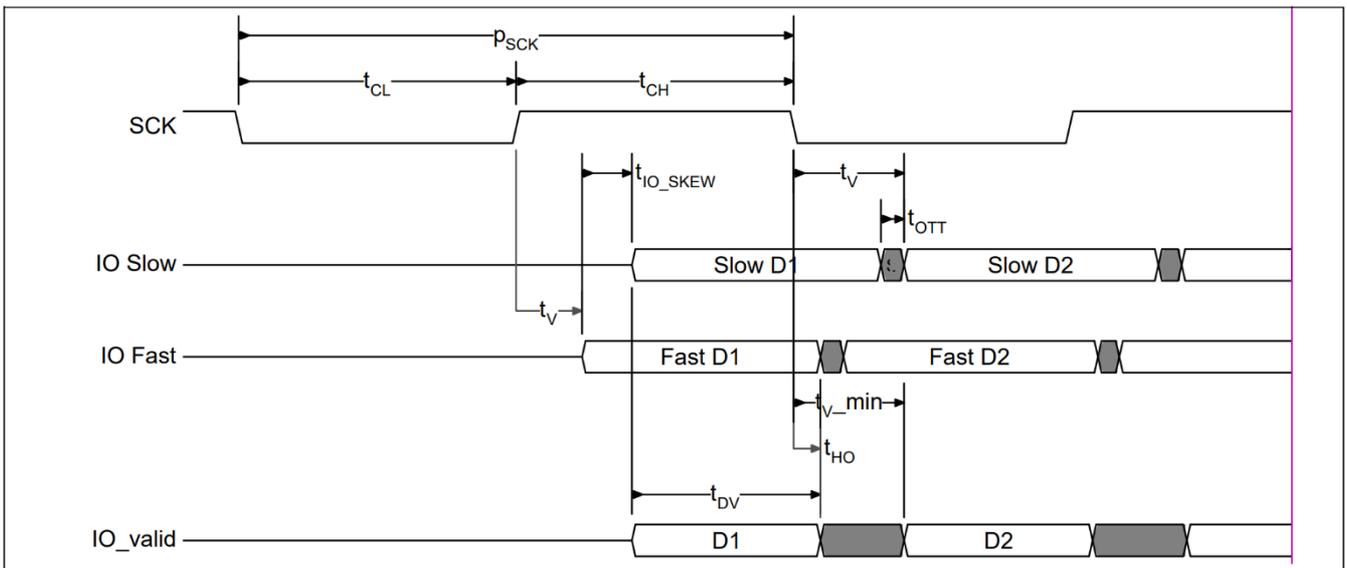


图 35 SPI DDR数据有效观察窗口

## 时序规范

最小数据有效窗口 ( $t_{DV}$ ) 和  $t_V$  最小值可按下列公式计算:

$$t_{DV} = \text{最小半个时钟周期时间}(t_{CLH})^{[28]} - t_{OTT}^{[30]} - t_{IO\_SKEW}^{[29]}$$

$$t_{V\_min} = t_{HO} + t_{IO\_SKEW} + t_{OTT}$$

### 示例

80 MHz 时钟频率 = 12.5 ns 时钟周期, DDR 操作和 45% 或更高的占空比

$$t_{CLH} = 0.45 \times \text{PCK} = 0.45 \times 12.5 \text{ ns} = 5.625 \text{ ns}$$

总线阻抗为 45 ohm, 电容为 22 pf, 时序基准为  $0.75V_{CC}$ , 从 0 到 1 的上升时间或从 1 到 0 的下降时间为  $1.4^{[33]} \times \text{阻容时间常数}(\text{Tau})^{[33]} = 1.4 \times 0.99 \text{ ns} = 1.39 \text{ ns}$

$$t_{OTT} = \text{上升时间} + \text{下降时间} = 1.39 \text{ ns} + 1.39 \text{ ns} = 2.78 \text{ ns}$$

### 数据有效窗口

$$t_{DV} = t_{CLH} - t_{IO\_SKEW} - t_{OTT} = 5.625 \text{ ns} - 400 \text{ ps} - 2.78 \text{ ns} = 2.45 \text{ ns}$$

$t_V$  Minimum

$$t_{V\_min} = t_{HO} + t_{IO\_SKEW} + t_{OTT} = 1.0 \text{ ns} + 400 \text{ ps} + 2.78 \text{ ns} = 4.38 \text{ ns}$$

### 注:

28.  $t_{CLH}$  是  $t_{CL}$  或  $t_{CH}$  中较短的持续时间。
29.  $t_{O\_SKEW}$  是所有 IO 信号的最小和最大  $t_V$  (输出有效) 之间的最大差异 (增量)。
30.  $t_{OTT}$  是每个 IO 上从一个有效数据值到下一个有效数据值的最大输出转换时间。  $t_{OTT}$  取决于系统电平考虑因素, 包括:
  - a. 存储器器件的输出阻抗 (驱动强度)。
  - b. IO 上的系统级寄生效应 (主要是总线容值)。
  - c. 主控存储控制器输入  $V_{IH}$  和  $V_{IL}$  电平, 在此电平上可识别 0 到 1 和 1 到 0 的转换。  $t_{OTT}$  不是 Infineon 测试的规范, 它依赖于系统, 必须由系统设计者基于以上考虑得出。
31.  $t_{DV}$  是数据有效窗口。
32.  $\text{Tau} = R$  (输出阻抗)  $\times C$  (负载电容)。
33. 电压上升至  $V_{CC}$  的 75% 的 Tau 时间乘数。

物理接口

## 7 物理接口

### 7.1 连接图

#### 7.1.1 SOIC 16 引脚

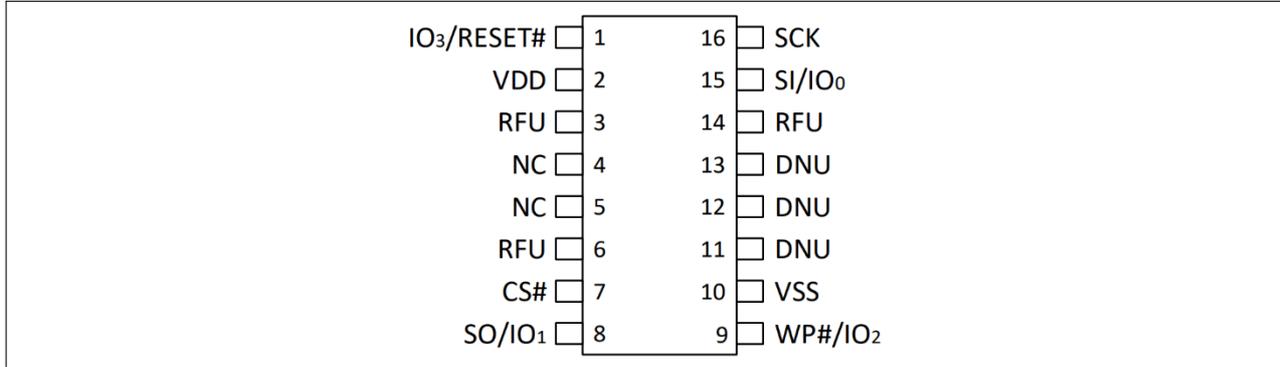


图 36 16 引脚 SOIC 封装顶视图<sup>[34]</sup>

#### 7.1.2 BGA 24-ball, 5x5 ball 封装 (ZSA024)

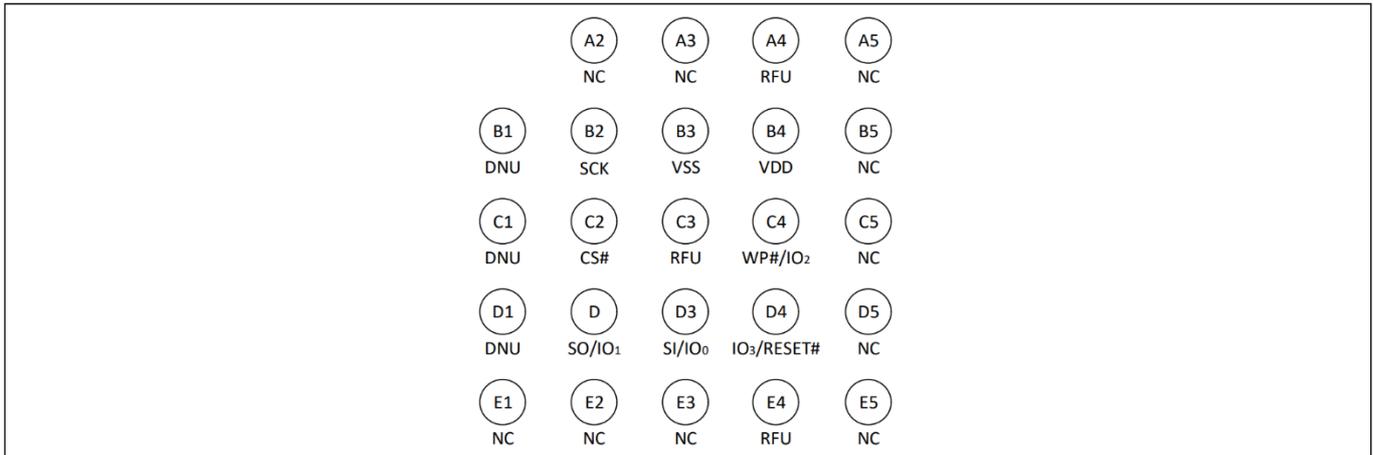


图 37 24-ball 球 BGA, 5x5 ball 封装 (ZSA024), 顶视图<sup>[35, 36]</sup>

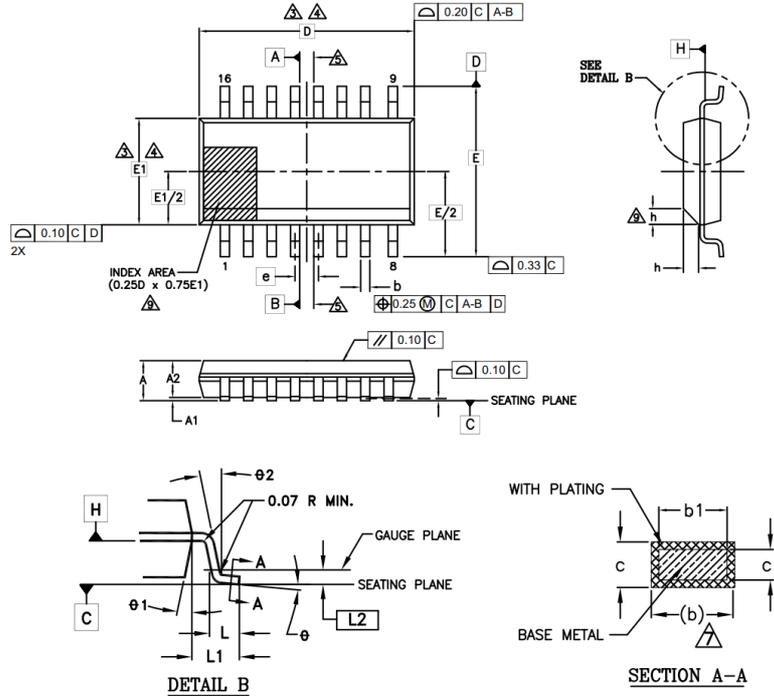
#### 7.1.3 关于FBGA封装的特殊处置说明

如果使用超声波清洁方法，FBGA封装的闪存器件可能被损坏。如果封装体长时间暴露在 150°C 以上的温度下，封装和/或数据完整性可能会受到损害。

**注：**

- 34. RESET# 输入具有内部上拉电阻，如果未使用四线模式和硬件复位，则可以在系统中保持未连接状态。
- 35. 信号连接与 FAC024 BGA 处于相同的相对位置，从而允许单个 PCB 封装使用任一封装。
- 36. RESET# 输入具有内部上拉电阻，如果未使用四线模式和硬件复位，则可以在系统中保持未连接状态。

7.2 物理图



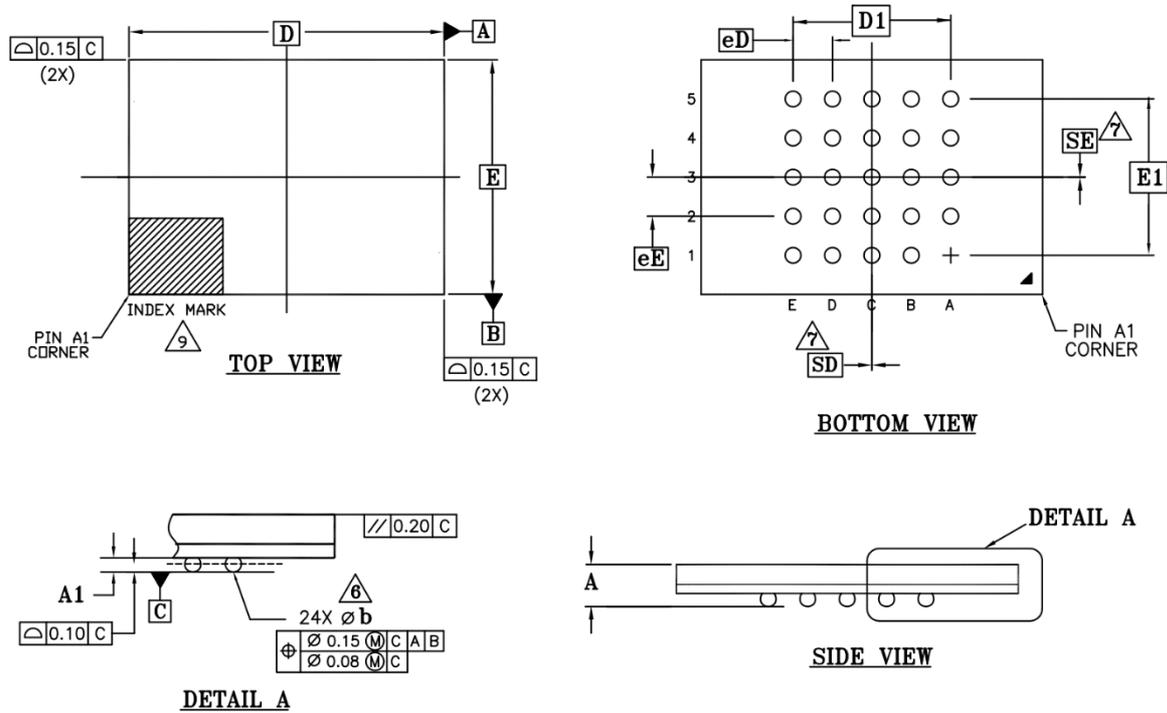
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	2.35	-	2.65
A1	0.10	-	0.30
A2	2.05	-	2.55
b	0.31	-	0.51
b1	0.27	-	0.48
c	0.20	-	0.33
c1	0.20	-	0.30
D	10.30 BSC		
E	10.30 BSC		
E1	7.50 BSC		
e	1.27 BSC		
L	0.40	-	1.27
L1	1.40 REF		
L2	0.25 BSC		
N	16		
h	0.25	-	0.75
θ	0°	-	8°
θ1	5°	-	15°
θ2	0°	-	-

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

002-15547 \*A

图 38 封装外形，16 引脚 SOIC 10.30 x 7.50 x 2.65 SL3016 (PG-DSO-16-806)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.20	-	-
D	8.00 BSC		
E	6.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
n	24		
Ø b	0.35	0.40	0.45
eD	1.00 BSC		
eE	1.00 BSC		
SD	0.00		
SE	0.00		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- ☐ REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.  
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.  
n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- △ DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- △ "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.  
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW,  
"SD" OR "SE" = 0.  
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW,  
"SD" = eD/2 AND "SE" = eE/2.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- △ A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

002-15078 \*\*

图 39 封装外形, 24-Ball FBGA 8.0 x 6.0 x 1.2 MM ZSA024

## 8 地址空间映射

### 8.1 概述

#### 8.1.1 扩展地址

FS-S 系列支持 32 位 (4 字节) 地址, 可实现比仅支持 24 位 (3 字节) 地址的上一代 (传统) SPI 设备更高容量的设备。24 位字节分辨率地址只能访问 16 MB (128 Mb) 最大容量。32 位字节分辨率地址允许直接寻址最多 4 GB (32 GB) 的地址空间。

为了实现向后软件兼容性, 旧指令继续支持 24 位地址。扩展 32 位地址有两种实现方式:

- 扩展地址模式 — 一种易失性的配置寄存器位置, 可将所有旧指令更改为期望主控系统提供的 32 位地址。
- 4 字节地址指令 — 执行旧功能和新功能, 总是需要 32 位地址。

扩展地址模式的默认条件, 在上电或复位后, 由非易失性配置位控制。默认的扩展地址模式可能是 24 位或 32 位地址的置位。使得传统软件能够兼容器件的前 128 Mb 访问/访问, 或者使器件能够直接以 32 位地址模式启动。

#### 8.1.2 多个地址空间

许多命令操作都在闪存存储器阵列上。地址空间上的一些指令操作与闪存存储器阵列独立的。每个单独的地址空间都使用完整的 24 位或 32 位地址, 但可能只定义可用地址空间的一小部分。

### 8.2 闪存存储器阵列

主要的闪存阵列被分为称为物理扇区的 256 KB 扇区单元。FS01GS 包含两个堆叠在 DDP 中的 FS512S 设备。必须配置低位地址和高位地址 FS512S 设备, 以定义 CS# 为 DDP 选择的整个 1 Gb (128 MB) 空间的整体扇区映射。FS512S 的低位地址可以配置为底部参数扇区或统一扇区。FS512S 的高地址可以配置为顶部参数扇区或统一扇区。当低位地址 FS512S 配置为底部参数扇区时, 高位地址 FS512S 必须配置为统一扇区。当高位地址 FS512S 配置为顶部参数扇区时, 低位地址 FS512S 必须配置为统一扇区。这样, DDP 的整体地址空间可能有底部, 或顶部参数扇区, 或统一扇区。不支持其他配置。

**表 16 S70FS01GS 扇区地址映射, 底部 4 KB 扇区**

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Notes
4	8	SA00	00000000h-00000FFFh	Sector Starting Address — Sector Ending Address
		:	:	
		SA7	00007000h-00007FFFh	
224	1	SA8	00008000h-0003FFFFh	
256	511	SA9	00040000h-0007FFFFh	
		:	:	
		SA519	07FC0000h-07FFFFFFh	

**表 17 S70FS01GS 扇区地址映射, 前 4 KB 扇区**

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Notes
256	511	SA00	0000000h-003FFFFh	Sector Starting Address — Sector Ending Address
		:	:	
224	1	SA510	07F80000h-07FBFFFFh	
		SA511	07FC0000h-07FF7FFFh	
4	8	SA512	07FF8000h-07FF8FFFh	
		:	:	
		SA519	07FFF000h-07FFFFFFh	

**表 18 S70FS01GS 扇区地址映射 (统一扇区)**

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Notes
256	512	SA00	00000000h-0003FFFFh	Sector Starting Address — Sector Ending Address
		:	:	
		SA511	07FC0000h-07FFFFFFh	

**注意** 这些是使用几个扇区作为参考的压缩表格。有些地址范围未明确列出。所有 4 KB 扇区都有模型为 XXXX000h-XXXXFFFh。所有 256 KB 扇区的模型码为 XX00000h-XX3FFFFh、XX40000h-XX7FFFFh、XX80000h-XXCFFFFh 或 XXD0000h-XXFFFFFFh。

### 8.3 ID-CFI 地址空间

RDID 指令 (9Fh) 从器件标识 (ID) 的单独的地址空间和公共字符串接口 (CFI) 信息中读取信息。参见“[器件 ID 和常见的闪存存储器接口 \(ID-CFI\) 地址映射](#)”位于分页 141 用于定义 ID-CFI 地址空间内容的表。

ID-CFI 地址空间由英飞凌编程，对于主控系统是只读的。

### 8.4 JEDEC JESD216 串行闪存可发现参数 (SFDP) 空间

RSFDP 指令 (5Ah) 从单独的存储器地址空间读取器件标识、特点和配置信息的信息，符合串行存储器可发现参数的 JEDEC JESD216 标准。ID-CFI 地址空间被合并为 SFDP 参数之一。参见“[串行闪存存储器可发现参数 \(SFDP\) 地址分布图](#)”在分页 137 用于定义 SFDP 地址空间内容的表。SFDP 地址空间由英飞凌写入，对于主控系统是只读的。

## 8.5 OTP 地址空间

每个 FS-S 系列存储器器件都有一个 1024 字节一次性编程 (OTP) 地址空间，与闪存存储器阵列分开的。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 16 个最低地址字节由英飞凌使用 128 位随机数进行写入。只有英飞凌能够在这些字节中编程。这些字节位置中的编程将被忽略，并且不会影响英飞凌写入的值。尝试在这些字节位置中编程任何零都会失败，并且置位 P\_ERR。
- 接下来的 4 个较高地址字节（OTP 锁定字节）用于为每个 OTP 区域提供一位，以永久保护每个区域免于编程。从 Infineon 发货时，这些字节已被擦除。OTP 区域编程后，可以通过在 OTP 锁定字节中编程相关保护位来锁定该区域以防止进一步编程。
- 最低地址区域的接下来的 12 个高字节是保留以备将来使用 (RFU)。这些 RFU 字节中的位可以由主控系统进行编程，但必须理解，未来的器件可能会使用这些位来保护更大的 OTP 空间。从 Infineon 发货时，这些字节已被擦除。

剩余区域在从 Infineon 发货时被擦除，并且可用于烧录额外的永久数据。

参考图 40 查看 OTP 存储空间的图示。

OTP 存储空间旨在提高系统安全性。OTP 值（例如 Infineon 编程的随机数）可用于闪存器件电池与系统 CPU/ASIC “配对”，以防止器件替换。

当配置配置寄存器 FREEZE (CR1V[0]) 为 1 时，可保护整个 OTP 存储空间，避免对其编程。这允许可信引导代码控制 OTP 区域的编程，然后设置 FREEZE 位以防止在正常开机系统操作的其余时间期间进一步进行 OTP 存储空间编程。

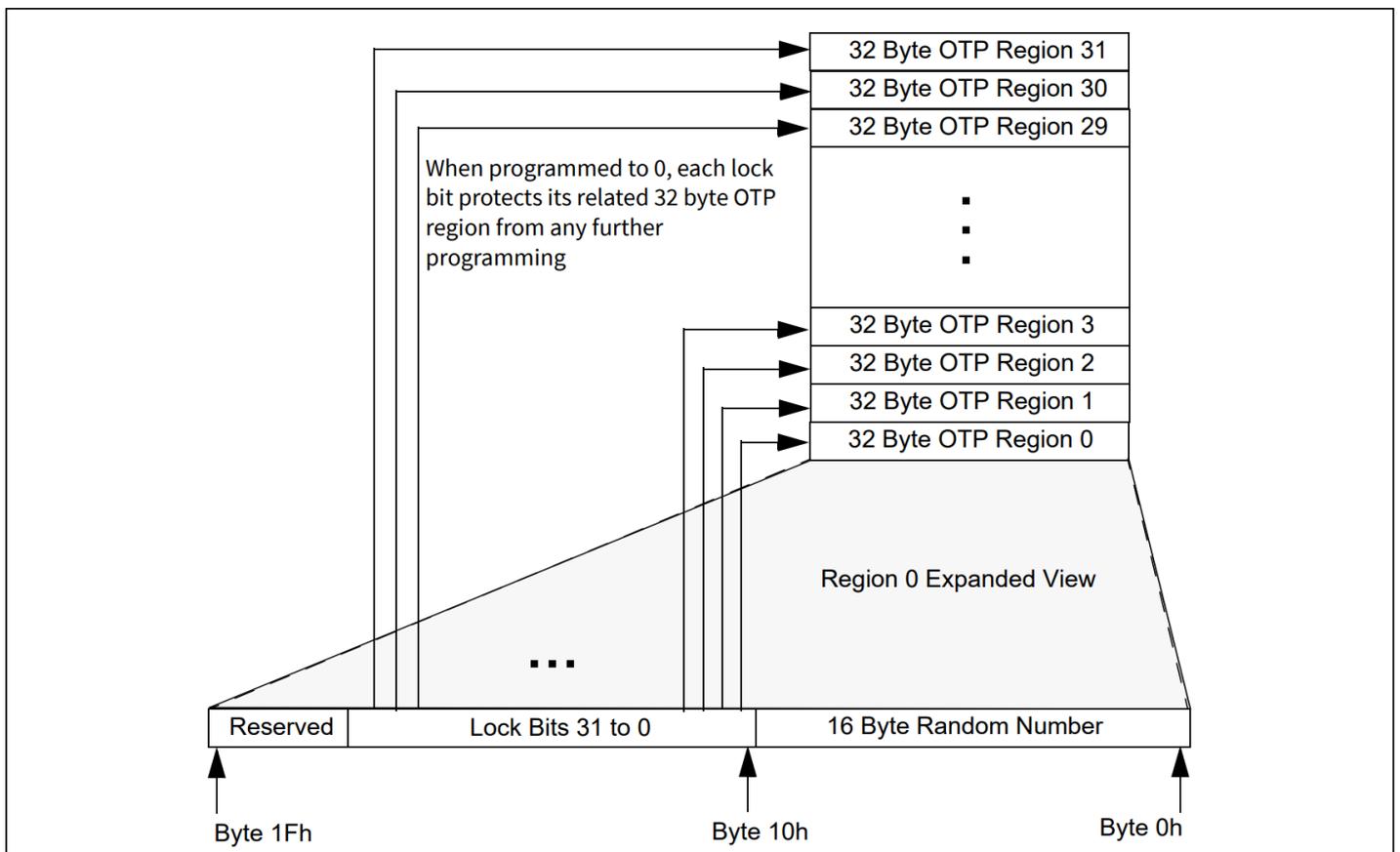


图 40 OTP 地址空间

**表 19**      **OTP 地址映射**

Region	Byte address range (Hex)	Contents	Initial delivery state (Hex)
Region 0	000	Least Significant Byte of Infineon Programmed Random Number	Infineon Programmed Random Number
	...	...	
	00F	Most Significant Byte of Infineon Programmed Random Number	
	010 to 013	Region Locking Bits Byte 10 [bit 0] locks region 0 from programming when = 0 ... Byte 13 [bit 7] locks region 31 from programming when = 0	All Bytes = FF
	014 to 01F	Reserved for Future Use (RFU)	All Bytes = FF
Region 1	020 to 03F	Available for User Programming	All Bytes = FF
Region 2	040 to 05F	Available for User Programming	All Bytes = FF
...	...	Available for User Programming	All Bytes = FF
Region 31	3E0 to 3FF	Available for User Programming	All Bytes = FF

## 8.6 纠错码 (ECC)

错误检测和纠正 (EDC) 适用于闪存地址空间中除寄存器以外的所有部分。为每组受保护的字节计算一个错误校正码 (ECC)，并将 ECC 存储在与该字节组相关的隐藏区域中。受保护的字节组和相关的 ECC 一起称为 ECC 单元。

- ECC是按每 16 字节对齐和长度计算的ECC单元
- 单比特的 EDC 支持每个ECC单元 8 个ECC位，加上 1 位ECC失效，禁止使能标志
- 扇区擦除将所有ECC禁止使能标志，使扇区中的标志恢复为默认状态（启用的）
- ECC被编程为标准编程指令操作的一部分
- 如果对同一个ECC单元进行多次编程操作，ECC会自动禁用。
- 允许单字节编程或单比特编程，但第二次编程到相同的 16 字节ECC单元，ECC会被禁用。
- ECC禁止使能标志是在ECC禁用时编程的
- 要为已禁用的ECC单元重新启用ECC，必须擦除包含ECC单元置的扇区
- 为了确保 EDC 提供的最佳数据完整性，每个ECC单元只能编程一次，以便为该单元存储ECC并且不会禁用。
- ECC 的计算、编程和禁用作为编程操作的一部分自动完成。如果需要，检测和纠错将作为读取操作的一部分自动完成。主控系统只能看到读取操作中更正的数据。
- 有一个命令可以读取任何 ECC 单元的 ECC 状态。

- ECC保护OTP区域 – 然而，同一个ECC单元上的第二次编程操作将会使ECC永久地在该ECC单元失效（OTP是一次性的，因此禁止重新使能ECC使能位的操作）

## 8.7 寄存器

寄存器是一小组存储单元，用于配置 FS-S 系列存储器件的操作方式或报告器件操作的状态。寄存器通过特定指令访问。每个寄存器使用的命令（和十六进制指令代码）都在每个寄存器描述中注明。

在传统 SPI 存储设备中，各个寄存器位可以是同一寄存器内的易失性、非易失性或OTP)位的混合。在某些配置选项中，寄存器位的类型可能会发生变化，例如从非易失性到易失性。

FS-S系列使用单独的非易失性或易失性存储器单元组（区域）来实现不同的寄存器位类型。但是，为了与旧版软件兼容，传统寄存器和指令仍会继续出现并正常运行。当传统寄存器具有易失性位或者当读取遗留寄存器的指令具有零读取延时，每个遗留寄存器存在非易失和易失性版本。当读取此类寄存器时，将传送该寄存器的易失性版本。在上电复位（POR）、硬件复位或软件复位期间，寄存器的非易失版本被复制到易失性版本，以提供易失性寄存器的默认状态。当写入非易失性寄存器位时，寄存器的非易失性版本将被擦除并使用新的位值进行编程，而寄存器的易失性版本将使用非易失性版本的新内容进行更新。当对 OTP 位进行编程时，也会对寄存器的非易失性版本进行编程，并在寄存器的易失性版本中更新相应的位。当写入易失性寄存器位时，只有寄存器的易失性版本才会更新相应的位。

每个寄存器描述中都注明了每个位的类型。每个位显示的默认状态指的是上电复位、硬件复位或软件复位（如果该位是易失性的）后的状态。如果位为非易失性或OTP，则默认状态为器件从Infineon出厂时的值。非易失位具有与主闪存阵列相同的寿命（擦除和编程）耐久性。

## 8.7.1 状态寄存器1

### 8.7.1.1 状态寄存器-1 非易失性 (SR1NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)

表 20 状态寄存器-1 非易失性 (SR1NV)

Bits	Field name	Function	Type	Default state	Description
7	SRWD_NV	Status Register Write Disable Default	Non-Volatile	0	1 = Locks state of SRWD, BP, and configuration register-1 bits when WP# is LOW by not executing WRAR commands that would affect SR1NV, SR1V, CR1NV, or CR1V. 0 = No protection, even when WP# is LOW
6	P_ERR_D	Programming Error Default	Non-Volatile Read Only	0	Provides the default state for the Programming Error Status. Not user programmable.
5	E_ERR_D	Erase Error Default	Non-Volatile Read Only	0	Provides the default state for the Erase Error Status. Not user programmable.
4	BP_NV2	Block Protection Non-Volatile	Non-Volatile	000b	Protects the selected range of sectors (Block) from Program or Erase when the BP bits are configured as non-volatile (CR1NV[3] = 0). Programmed to 111b when BP bits are configured to volatile (CR1NV[3] = 1).- after which these bits are no longer user programmable.
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL Default	Non-Volatile Read Only	0	Provides the default state for the WEL Status. Not user programmable.
0	WIP_D	WIP Default	Non-Volatile Read Only	0	Provides the default state for the WIP Status. Not user programmable.

**状态寄存器写入非易失性 (SRWD\_NV) SR1NV[7]:** 当此位置位为 1 且 WP# 输入驱动为低电平时，器件处于硬件保护模式。在此模式下，写寄存器 (WRR) 和写任意寄存器 (WRAR) 指令（选择状态寄存器 1 或配置寄存器 1）将被忽略且不被接受执行，通过使寄存器为只读，有效地锁定状态寄存器 1 和配置寄存器 1 (SR1NV、SR1V、CR1NV 或 CR1V) 位的状态。如果 WP# 为高电平，状态寄存器 1 和配置寄存器 1 可能会被 WRAR 指令更改。如果 SRWD\_NV 为 0，WP# 不起作用，状态寄存器 1 和配置寄存器 1 可能会被 WRAR 指令更改。WP# 对任何其他寄存器的写入均无影响。SRWD\_NV 位具有与主闪存阵列相同的非易失性寿命的耐用性。SRWD (SR1V[7]) 位仅用作 SRWD\_NV 位的副本，以提供零读取延时。

**编程错误默认值 (P\_ERR\_D) SR1NV[6]:** 为 SR1V[6] 中的编程错误状态提供默认状态。此位不是用户可编程的。

**擦除错误 (E\_ERR) SR1V[5]:** 为 SR1V[5] 中的擦除错误状态提供默认状态。此位用户不可编程的。

**功能块保护 (BP\_NV2, BP\_NV1, BP\_NV0) SR1NV[4:2]:** 这些位定义闪存存储器阵列区域受到软件保护, 免受写入和擦除指令的影响。BP 位被选择为易失性或非易失性, 取决于配置寄存器 CR1NV[3] 中 BP 非易失位 (BPNV\_O) 的状态。当 CR1NV[3] = 0 时, BP 位 (SR1NV[4:2]) 的非易失版本用于控制功能块保护, WRAR 指令写入 SR1NV[4:2] 并将 SR1V[4:2] 更新为相同值。当 CR1NV[3] = 1 时, BP 位 (SR1V[4:2]) 的易失性版本用于控制功能块保护和 WRAR 指令写入 SR1V[4:2], 并且不影响 SR1NV[4:2]。当一个或多个 BP 位设置为“1”时, 相关存储区域将受到保护, 避免写入和擦除。仅当 BP 位清除为 0 时, 才能执行 Bulk (BE) 指令。参阅“[功能块保护](#)”位于分页75了解 BP 位值如何选择受保护的闪存阵列区域的描述。非易失版本的BP位具有与闪存阵列相同的非易失寿命。

**写使能锁存默认值 (WEL\_D) SR1NV[1]:** 为 SR1V[1] 中的 WEL 状态提供默认状态。此位由 Infineon 编程, 用户不可编程。

**写入进行中默认值 (WIP\_D) SR1NV[0]:** 为 SR1V[0] 中的 WIP 状态提供默认状态。此位由 Infineon 编程, 用户不可编程。

### 8.7.1.2 状态寄存器-1 易失性 (SR1V)

相关指令: 写入使能(WREN 06h)、写入禁用(WRDI 04h)、清除状态寄存器(CLSR 30h 或82h)、读取任何寄存器(RDAR 65h)、写入任何寄存器(WRAR 71h)。

**表 21 状态寄存器-1 易失性 (SR1V)**

Bits	Field name	Function	Type	Default state	Description
7	SRWD	Status Register Write Disable	Volatile Read Only	SR1NV	Volatile copy of SR1NV[7].
6	P_ERR	Programming Error Occurred	Volatile Read Only		1 = Error occurred 0 = No Error
5	E_ERR	Erase Error Occurred	Volatile Read Only		1 = Error occurred 0 = No Error
4	BP2	Block Protection Volatile	Volatile		Protects selected range of sectors (Block) from Program or Erase when the BP bits are configured as volatile (CR1NV[3] = 1). Volatile copy of SR1NV[4:2] when BP bits are configured as non-volatile. User writable when BP bits are configured as volatile.
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile		1 = Device accepts Write Registers (WRAR), program, or erase commands 0 = Device ignores Write Registers (WRAR), program, or erase commands This bit is not affected by WRAR, only WREN and WRDI commands affect this bit.
0	WIP	Write in Progress	Volatile Read Only		1 = Device Busy, an embedded operation is in progress such as program or erase 0 = Ready Device is in Standby Mode and can accept commands This bit is not affected by WRAR, it only provides WIP status.

**状态寄存器写入 (SRWD) SR1V[7]:** SRWD 是 SR1NV[7] 的易失性副本。此位跟随对此位的非易失性版本的任何更改。

**编程错误(P\_ERR) SR1V[6]:** 编程错误位用作编程操作成功或失败的指示。当编程错误位设置为“1”时，表示上次编程操作出现错误。当用户尝试在受保护的主存储器扇区中编程或在锁定的OTP区域中编程时，该位置也将是置位。当编程故障位设置为“1”时，可以使用清零，复位状态寄存器 (CLSR) 指令将该位清零。这是一个只读位，不受WRAR 指令的影响。

**擦除错误 (E\_ERR) SR1V[5]:** 擦除错误位用作擦除操作成功或失败的指示。当擦除错误位设置为“1”时，表示上次擦除操作出现错误。当用户试图破坏单个受保护的主存储器扇区时，该位置也将被设置。如果在指令执行期间发现受保护的扇区，则 Bulk擦除指令将不会置位 E\_ERR。当错误位设置为“1”时，可以使用清除状态寄存器(CLSR)指令将该位清零。这是一个只读位，不受 WRAR 指令的影响。

**功能块保护 (BP2, BP1, BP0) SR1V[4:2]:** 这些位定义了主闪存分阵列区域受到软件保护，免受编程和擦除指令的影响。BP 位被选择为易失性或非易失，取决于配置寄存器 CR1NV[3] 中 BP 非易失位 (BPNV\_O) 的状态。当 CR1NV[3] = 0 时，BP 位 (SR1NV[4:2]) 的非易失版本用于控制功能块保护，并且 WRAR 指令写入 SR1NV[4:2] 并将 SR1V[4:2] 更新为相同值。当 CR1NV[3] = 1 时，BP 位 (SR1V[4:2]) 的易失性版本用于控制功能块保护和 WRAR 指令写入 SR1V[4:2]，并且不影响 SR1NV[4:2]。当一个或多个 BP 位设置为 1 时，相关存储区域将受到保护，避免编程和擦除。仅当 BP 位清除为 0 时，才能执行 Bulk 擦除(BE) 指令。请参阅“[功能块保护](#)”位于分页75了解BP 位值如何选择受保护的内存阵列区域的描述。

**写使能锁存器 (WEL) SR1V[1]:** WEL 位必须设置为 1 才能使能编程、写或擦除操作，作为防止无意中更改存储器或寄存器值的一种手段。写指令 (WREN) 指令执行将写指令锁存器设置为“1”，以允许随后执行任何编程、擦除或写指令。写禁止使能 (WRDI) 指令可用于将写使能锁存器设置为“0”，以防止所有编程、擦除和写指令执行。在任何成功的编程、写入或擦除操作结束时，WEL 位将被清除为 0。操作失败后，WEL 位可能会保持置位，并且应使用 CLSR 指令后的 WRDI 指令清除。在掉电/上电时序、硬件复位或软件复位后，写使能锁存器置位为“0”。WRAR 指令不影响该位。

**Write In Progress (WIP) SR1V[0]:** 指示器件是否正在执行编程、写入、擦除操作或任何其他操作，在此期间新的操作指令将被忽略。当位设置为“1”时，器件正忙于执行操作。当 WIP 为“1”时，仅接受读取状态 (RDSR1 或 RDSR2)、读取任何寄存器 (RDAR)、擦除挂起 (ERSP)、编程挂起 (PGSP)、清除状态寄存器 (CLSR) 和软件复位 (RESET) 指令。仅当闪存阵列擦除或编程操作正在进行时，ERSP 和 PGSP 才会被接受。当 WIP = 1 时，状态寄存器 E\_ERR 和 P\_ERR 位会更新。当 P\_ERR 或 E\_ERR 位置位为 1 时，WIP 位将保持置位为 1，表示器件仍忙且无法接收新的操作指令。必须接收清除状态寄存器 (CLSR) 指令才能将器件返回到待机模式。当 WIP 位清零时，无操作正在进行。这是只读位。

## 8.7.2 状态寄存器 2 易失性 (SR2V)

相关指令：读取任何寄存器 (RDAR 65h)。状态寄存器 2 用户不可编程非易失性位，所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位的。

**表 22 状态寄存器-2 易失性 (SR2V)**

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved		0	Reserved for Future Use
6	RFU	Reserved		0	Reserved for Future Use
5	RFU	Reserved		0	Reserved for Future Use
4	RFU	Reserved		0	Reserved for Future Use
3	RFU	Reserved		0	Reserved for Future Use
2	ESTAT	Erase Status	Volatile Read Only	0	1 = Sector Erase Status command result = Erase Completed 0 = Sector Erase Status command result = Erase Not Completed
1	ES	Erase Suspend	Volatile Read Only	0	1 = In Erase Suspend Mode. 0 = Not in Erase Suspend Mode.
0	PS	Program Suspend	Volatile Read Only	0	1 = In Program Suspend Mode. 0 = Not in Program Suspend Mode.

**擦除状态 (ESTAT) SR2V[2]:** 擦除状态位指示前一个擦除状态指令所选择的扇区是否完成了该扇区上的最后一个擦除指令。必须在读取 SR2V 之前立即发出命令擦除指令才能获得有效的命令状态。在编程或擦除挂起期间读取 SR2V 不会提供有效的擦除状态。系统软件可以使用擦除状态位来检测上次擦除操作失败的扇区。这可以用于检测由于在擦除操作过程中掉电而导致的擦除操作失败。

**擦除挂起 (ES) SR2V[1]:** 擦除挂起位用于确定器件何时处于擦除挂起模式。这是一个用户不能写入的状态位。当擦除挂起位置位为“1”时，器件处于擦除挂起模式。当擦除挂起位清为“0”时，器件不处于挂起模式。有关擦除挂起/恢复指令的详细信息，请参阅“[擦除或编程挂起 \(EPS 85h, 75h\)](#)”位于分页 120。

**编程挂起 (PS) SR2V[0]:** 编程挂起位用于确定器件何时处于编程挂起模式。这是一个用户不能写入的状态位。当编程挂起位置位为“1”时，器件处于编程挂起模式。当编程挂起位清“0”时，器件不处于编程挂起模式。请参阅“[擦除或编程挂起 \(EPS 85h, 75h\)](#)”在页 120 了解详情。

### 8.7.3 配置寄存器 1

配置寄存器 1 控制某些接口和数据保护功能。可以使用 WRAR 指令来更改寄存器位。

#### 8.7.3.1 配置寄存器 1 非易失性 (CR1NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

**表 23 配置寄存器 1 非易失性 (CR1NV)**

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved for Future Use	Non-volatile	0	Reserved
6	RFU			0	
5	TBPROT_O	Configures Start of Block Protection and selects readable boot sector in Read Password Mode	OTP	0	1 = BP starts at bottom (Low address) 0 = BP starts at top (High address)
4	RFU	Reserved for Future Use	OTP	0	Reserved for Future Use
3	BPNV_O	Configures BP2-0 in Status Register	OTP	0	1 = Volatile 0 = Non-Volatile
2	TBPARAM_O	Configures Parameter Sectors location	OTP	0	1 = 4 KB physical sectors at top, (High address) 0 = 4 KB physical sectors at bottom (Low address) RFU in uniform sector configuration.
1	QUAD_NV	Quad Non-Volatile	Non-Volatile	0	Provides the default state for the QUAD bit.
0	FREEZE_D	FREEZE Default	Non-Volatile Read Only	0	Provides the default state for the Freeze bit. Not user programmable.

**顶部或底部保护(TBPROT\_O) CR1NV[5]:** 该位定义寄存器状态中功能块保护位BP2、BP1和BP0的操作。如状态部分所述，BP2-0 位允许用户选择保护一部分阵列，范围从 1/64、1/4、1/2 等直至整个阵列。当 TBPROT\_O 设置为“0”时，功能块保护被定义为从阵列的顶部（最大地址）开始。当 TBPROT\_O 设置为“1”时，功能块保护被定义为从阵列的底部（零地址）开始。从Infineon出厂时，TBPROT\_O 位是OTP，置位为“0”。如果 TBPROT\_O 被编程为 1，则将位写入零不会改变该值或置位编程错误位 (SR1V[6] 中的 P\_ERR)。

必须在系统制造期间对器件进行初始配置期间选择 TBPROT\_O 的所需状态；在主闪存阵列上执行第一次编程或擦除操作之前。在主闪存阵列中编程或擦除完成后，不得对 TBPROT\_O 进行编程。

当读取密码模式为有效时，TBPROT\_O 也会选择复位上电后可读的 boot 地址范围。当 TBPROT\_O 被清除为“0”时，阵列的底部（零地址）256 KB 可读。当 TBPROT\_O 设置为“1”时，阵列的顶部（最大地址）256 KB 是可读的。

**CR1NV[4]:** 保留以供将来使用

**功能块保护非易失性 (BPNV\_O) CR1NV[3]:** BPNV\_O 位定义是选择状态寄存器中的 BP\_NV 2-0 位还是 BP 2-0 位来控制功能块保护特点。BPNV\_O 位是 OTP，从英飞凌出厂时清除为“0”，BP\_NV 位清除为“000”。当 BPNV\_O 设置为“0”时，状态寄存器中的 BP\_NV 2-0 位被选择来控制功能块保护并由 WRAR 写入指令。写入 BP\_NV 位所需的时间为  $t_w$ 。当 BPNV 设置为“1”时，状态寄存器中的 BP 2-0 位被选择来控制功能块保护，并且 BP\_NV 2-0 位将被编程为二进制“111”。这将导致 BP 2-0 位在 POR、硬件复位或指令复位后置位到二进制 111。当 BPNV 置位为 1 时，使用 WRAR 仅写入 BP 位的易失性版本 (SR1V[4:2])。这允许 BP 位写入次数不受限制，因为它们是易失性的，并且写入易失性 BP 位的时间比写入易失性寄存器  $C_S$  的时间要快得多。如果将 BPNV\_O 编程为 1，则将位写入零不会更改值或置位编程错误位 (SR1V[6] 中的 P\_ERR)。

**TBPARAM\_O CR1NV[2]:** TBPARAM\_O 定义参数功能块的逻辑位置。参数功能块由八个 4KB 的参数扇区组成，它们取代了最高或最低地址扇区的 32KB 部分。当 TBPARAM\_O 置位为“1”时，参数功能块位于闪存阵列地址空间的顶部。当 TBPARAM\_O 置位为“0”时，参数功能块位于阵列的底部。TBPARAM\_O 是 OTP，从 Infineon 出厂时置位为“0”。如果 TBPARAM\_O 编程为 1，则用 0 写入位不会更改该值或设置编程位 (SR1V[6] 中的 P\_ERR)。

必须在器件制造期间对器件进行初始配置期间选择 TBPARAM\_O 的所需状态；在闪存阵列上执行第一个编程或擦除操作之前。在存储器阵列中编程或擦除操作完成后，不得对 TBPARAM\_O 进行编程。

TBPROT\_O 可独立于 TBPARAM\_O 位被置位或清除。因此，用户可以选择从阵列底部存储参数信息并从阵列顶部开始保护引导代码，反之亦然。或者，用户可以选择从顶部或者底部开始一起存储和保护参数信息。

当闪存阵列配置为统一扇区时，TBPARAM\_O 位被保留以备将来使用 (RFU)，并且不起作用，因为所有扇区都是统一大小。

**四线数据宽度非易失性 (QUAD\_NV) CR1NV[1]:** 提供 CR1V[1] 中四线位的默认状态。WRAR 指令会影响此位。通过编程 CR2NV[6] = 1 选择 QPI 模式，也可以编程 QUAD\_NV = 1，以将默认状态更改为四线数据宽度模式。当通过 CR2V[6] = 1 选择 QPI 模式时，Quad\_NV 位不能被清除为“0”。

**防冻保护默认值 (FREEZE) CR1NV[0]:** 为 CR1V[0] 中的 FREEZE 位提供默认状态。此位不可由用户编程。

### 8.7.3.2 配置寄存器 1 易失性 (CR1V)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

**表 24 配置寄存器 1 易失性 (CR1V)**

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved for Future Use	Volatile	CR1NV	Reserved
6	RFU				Reserved
5	TBPROT	Volatile copy of TBPROT_O	Volatile Read Only		Not user writable See CR1NV[5] TBPROT_O
4	RFU	RFU	Volatile Read Only		Reserved for Future Use
3	BPNV	Volatile copy of BPNV_O	Volatile Read Only		Not user writable See CR1NV[3] BPNV_O
2	TBPARAM	Volatile copy of TBPARAM_O	Volatile Read Only		Not user writable See CR1NV[2] TBPARAM_O
1	QUAD	Quad I/O Mode	Volatile		1 = Quad 0 = Dual or Serial
0	FREEZE	Lock-down Block Protection until next power cycle	Volatile		Lock current state of Block Protection control bits, and OTP regions 1 = Block Protection and OTP locked 0 = Block Protection and OTP un-locked

**TBPROT、BPNV 和 TBPARAM CR1V[5,3,2]：**这些位是 CR1NV 相关非易失性位的易失性副本。这些位会跟踪这些位的相关非易失性版本的任何更改。

**四线数据宽度 (QUAD) CR1V[1]：**当置位为 1 时，该位将器件的数据宽度切换为 4 位 - 四线模式。也就是说，当 CS 为低电平时，WP# 变为 IO2，IO3 / RESET# 变为有效的 I/O 信号，或者当 CS 为高电平时，变为 RESET# 输入。WP# 输入的正常功能不受监控，并且在内部设置为高电平（无效）。串行和双线 I/O 读取的指令仍然可以正常运行，但是，当使用不同的数据路径宽度在指令之间切换时，无需驱动这些指令的 WP# 输入。同样，在这些指令期间不需要驱动 IO3/RESET#（当 CS 为低电平时）。当使用四线 I/O 读取、DDR 四线 I/O 读取、QPI 模式（CR2V[6] = 1）和读取四线 ID 指令时，QUAD 位必须置位为 1。当 CR2V[6] = 1 选择 QPI 模式时，QUAD 位无法清零。使用 WRAR 指令写入 QUAD 位的非易失版本 (CR1NV[1])，这也会导致易失版本 CR1V[1] 的更新。当需要写入易失性 QUAD 位 CR1V[1] 而不影响非易失版本 CR1NV[1] 时，必须使用 WRAR 指令。

**冻结保护 (FREEZE) CR1V[0]**: 冻结位，当置位为 1 时，锁定功能块保护控制位和OTP区域的当前状态：

- 非易失性状态寄存器 1 (SR1NV[4:2]) 中的 BPNV\_2-0 位
- 易失性状态寄存器 1 (SR1V[4:2]) 中的 BP 2-0 位
- 非易失性配置寄存器 (CR1NV[5, 3, 2]) 中的 TBPROT\_O、TBPARAM\_O 和 BPNV\_O 位
- 易失性配置寄存器 (CR1V[5, 3, 2]) 中的 TBPROT、TBPARAM 和 BPNV 位受到间接保护，因为它们是跟随相关 CR1NV OTP 位，并且是只读的
- 整个 OTP 存储空间

当 FREEZE = 1 时，任何试图更改上面列出的位的行为都会被阻止：

- WRAR 指令不影响列出的位并且不会置位任何错误状态。
- 地址位于OTP区域内的 OTPP 指令失败，P-ERR 状态会被置位。

只要 FREEZE 位保持清除为逻辑 0，功能块保护控制位和 FREEZE 都是可写的，并且OTP地址空间是可编程的。

一旦将 FREEZE 位写入逻辑 1，就只能通过掉电到上电周期或硬件复位将其清除为逻辑 0。软件复位不会影响 FREEZE 位的状态。

CR1V[0] FREEZE 位是易失性的，上电后的 FREEZE 默认状态来自 CR1NV[0] 中的 FREEZE\_D。FREEZE 位可以通过单个 WRAR 指令更新 CR1V 中的其他值来配置。

FREEZE 位不会阻止 WRAR 指令更改 SRWD\_NV (SR1NV[7])、Quad\_NV (CR1NV[1]) 或 QUAD (CR1V[1]) 位。

地址空间映射

## 8.7.4 配置寄存器 2

配置寄存器 2 控制某些接口功能。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。寄存器的非易失版本提供了置位控制的POR、硬件复位或软件复位状态的能力。这些配置位是 OTP 的，在系统配置期间，它们的默认状态只能更改为相反的值一次。寄存器的易失性版本控制正常操作期间的特点行为。

### 8.7.4.1 配置寄存器 2 非易失性 (CR2NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 25 配置寄存器 2 非易失性 (CR2NV)

Bits	Field name	Function	Type	Default state	Description
7	AL_NV	Address Length	OTP	0	1 = 4 byte address 0 = 3 byte address
6	QA_NV	QPI		0	1 = Enabled -- QPI (4-4-4) protocol in use 0 = Disabled -- Legacy SPI protocols in use, instruction is always serial on SI
5	IO3R_NV	IO3 Reset		0	1 = Enabled -- IO3 is used as RESET# input when CS# is high or Quad Mode is disabled CR1V[1] = 1 0 = Disabled -- IO3 has no alternate function, hardware reset is disabled.
4	RFU	Reserved		0	Reserved For Future Use
3	RL_NV	Read Latency		1	0 to 15 latency (dummy) cycles following read address or continuous mode bits. Note that bit 3 has a default value of 1 and may be programmed one time to 0 but cannot be returned to 1.
2				0	
1				0	
0				0	

**地址长度非易失性 CR2NV[7]:** 该位控制所有需要地址且不固定仅 3 字节或仅 4 字节 (32 位) 地址的指令的预期地址长度的POR、硬件复位或软件复位状态。大多数需要地址的指令都是传统上使用 3 字节的传统 SPI 指令(24位)地址。对于大于 128 Mbit 器件的容量，需要 4 字节地址来访问整个存储器阵列。地址长度配置位用于将大多数 3 字节地址指令更改为期望 4 字节地址。见表 46 对于指令地址长度。这种非易失性的地址长度配置位使器件能够以 4 字节地址模式立即启动 (引导)，而不是传统的 3 字节地址模式。

**QPI 非易失性 CR2NV[6]:** 该位控制所有指令的预期指令宽度的POR、硬件复位或软件复位状态。传统 SPI 指令始终在 SI (IO0) 信号上发送单位宽指令 (串行 I/O)。FS-S 系列还支持 QPI 模式输入，主控系统和存储器之间的所有传输都是 4 位宽的 IO0 到 IO3，包括所有指令。这种不易丢失的 QPI 配置位使器件能够在 QPI 模式下立即启动 (引导)，而不是传统的串行指令模式。当该位被编程为 QPI 模式时，QUAD\_NV 位也被编程为四线模式 (CR1NV[1] = 1)。转至 QPI 模式的推荐程序是首先使用 WRAR 指令设置 CR2V[6] = 1，QPI 模式。

QPI 模式的易失性寄存器写入具有短暂且明确定义的时间 ( $t_{CS}$ )，可将器件接口切换到 QPI 模式。然后可以立即在 QPI 协议中发送以下指令。WRAR 指令可用于编程 CR2NV[6] = 1，然后轮询 SR1V[0] 以了解编程操作何时完成。同样，要退出 QPI 模式，WRAR 指令用于清除 CR2V[6] = 0。CR2NV[6] 不能被擦除为 0，因为它是 OTP。

**IO3 复位非易失性 CR2NV[5]:** 该位控制 IO3 信号行为的POR、硬件复位或软件复位状态。由于传统 SPI 器件封装中可用的信号计数和连接有限，大多数传统 SPI 设备没有硬件复位输入信号。当 IO3 信号未用于在主控系统和存储器之间传输信息时，FS-S 系类提供了使用 IO3 信号作为硬件复位输入的选项。该非易失性 IO3 复位配置位使器件能够立即启动（启动）并使用 IO3 启用作为 RESET# 信号。

**读延时非易失性 CR2NV[3:0]:** 该位控制所有可变延时读指令中读延迟（虚拟周期）延时的POR、硬件复位或软件复位状态。下面的读指令在地址或模式结束和读数据开始返回主控之间有一个可变的延时时间：

- Fast Read
- Dual I/O Read
- Quad I/O Read
- DDR Quad I/O Read
- OTPR
- ECCRD
- RDAR

此非易失性读取延时配置位设置正在使用的读取延时（虚拟周期）数，以便器件能够以适合主控系统的读取延时立即启动（引导）。

**表 26 延时编码（周期）与频率**

Latency code	Read command maximum frequency (MHz)			
	Fast Read (1-1-1) OTPR (1-1-1) RDAR (1-1-1) RDAR (4-4-4)	Dual I/O (1-2-2)	Quad I/O (1-4-4) Quad I/O (4-4-4)	DDR Quad I/O (1-4-4) DDR Quad I/O (4-4-4) <sup>[40]</sup>
	Mode cycles = 0	Mode cycles = 4	Mode cycles = 2	Mode cycles = 1
0	50	80	40	N/A
1	66	92	53	22
2	80	104	66	34
3	92	116	80	45
4	104	129	92	57
5	116	133	104	68
6	129	133	116	80
7	133	133	129	80
8	133	133	133	80
9	133	133	133	80
10	133	133	133	80
11	133	133	133	80
12	133	133	133	80
13	133	133	133	80
14	133	133	133	80
15	133	133	133	80

**注：**

- 37. 该系列器件不支持 SCK 频率 > 133 MHz SDR 或 80MHz DDR。
- 38. Dual I/O、Quad I/O、QPI、DDR Quad I/O 和 DDR QPI 指令协议包括地址后面的连续读取模式位。对于 S70FS01GS，请勿使用连续读取模式，这会导致两个 512 Mb 芯片之间发生总线争用。这些位的时钟周期不计入表中所示的延时周期的一部分。示例：传统的 Quad I/O 指令在地址后面有 2 个连续读取模式周期。因此，没有额外读取延时的传统 Quad I/O 指令仅支持表中所示的频率，以实现 0 个周期的读取延时。通过增加变量读取延时，可以增加四线 I/O 指令的频率，以允许操作达到最高支持 133 MHz 频率。
- 39. 其他读指令有固定的延时，例如 读取始终具有零读取延时。RSFDP 始终具有八个周期的延时。
- 40. DDR QPI 仅支持延迟周期 1 至 5 以及高达 68 MHz 的时钟频率。

### 8.7.4.2 配置寄存器 2 易失性 (CR2V)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)、4BAM。

**表 27 配置寄存器 2 易失性 (CR2V)**

Bits	Field name	Function	Type	Default state	Description
7	AL	Address Length	Volatile	CR2NV	1 = 4 byte address 0 = 3 byte address
6	QA	QPI			1 = Enabled -- QPI (4-4-4) protocol in use 0 = Disabled -- Legacy SPI protocols in use, instruction is always serial on SI
5	IO3R_S	IO3 Reset			1 = Enabled -- IO3 is used as RESET# input when CS# is high or Quad Mode is disabled CR1V[1] = 1 0 = Disabled -- IO3 has no alternate function, hardware reset is disabled.
4	RFU	Reserved			Reserved for Future Use
3	RL	Read Latency			0 to 15 latency (dummy) cycles following read address or continuous mode bits
2					
1					
0					

**地址长度 CR2V[7]:** 该位控制所有需要地址且不固定为 3 字节或 4 字节 (32 位) 地址的指令的预期地址长度。见表46对于指令地址长度。此易失性地址长度配置位使地址长度能够在正常操作期间更改。四字节地址模式(4BAM)指令直接将该位设置为4字节地址模式。

**QPI CR2V[6]:** 此位控制所有指令的预期指令宽度。此易失性 QPI 配置位使器件能够在正常运行期间进入和退出 QPI 模式。当此位被置位为 QPI 模式时, QUAD 位也被置位为 Quad 模式 (CR1V[1] = 1)。当此位被清除为传统SPI模式时, QUAD 位不受影响。

**IO3 复位 CR2V[5]:** 此位控制 IO3 / RESET# 信号行为。此易失性 IO3 复位配置位允许在正常运行期间将 IO3 用作 RESET# 输入。

**读取延时 CR2V[3:0]:** 此位控制可变延时读取指令中的读取延时 (虚拟周期) 延迟。这些易失性配置位使用户能够在正常运行期间调整读取延时, 以根据需要优化不同指令或不同工作频率下的延时。

## 8.7.5 配置寄存器 3

配置寄存器 3 控制某些指令行为。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。非易失性寄存器提供控制的 POR、硬件复位或软件复位状态。这些配置位是 OTP 的，如果需要，可以在系统配置期间将其编程为相反状态一次。配置寄存器 3 的易失性版本允许在系统运行或测试期间更改配置。

### 8.7.5.1 配置寄存器 3 非易失性 (CR3NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 28 配置寄存器 3 非易失性 (CR3NV)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	OTP	0	Reserved for Future Use
6	RFU	Reserved		0	Reserved for Future Use
5	BC_NV	Blank Check		0	1 = Blank Check during erase enabled 0 = Blank Check disabled
4	02h_NV	Page Buffer Wrap		0	1 = Wrap at 512 Bytes 0 = Wrap at 256 Bytes
3	20h_NV	4 KB Erase		0	1 = 4 KB Erase disabled (Uniform Sector Architecture) 0 = 4 KB Erase enabled (Hybrid Sector Architecture)
2	RFU	Reserved		0	Reserved for Future Use
1	RFU	Reserved		0	Reserved for Future Use
0	F0h_NV	Legacy Software Reset Enable		0	1 = F0h Software Reset is enabled 0 = F0h Software Reset is disabled (ignored)

**空白检查非易失性 CR3NV[5]：**该位控制着空白检查的POR、硬件复位或软件复位状态。

**02h 非易失性 CR3NV[4]：**该位控制页编程缓冲地址空间的POR、硬件复位或软件复位状态。

**20h 非易失性 CR3NV[3]：**该位控制主闪存存储器阵列地址映射中 4 KB 参数扇区可用性的POR、硬件复位或软件复位状态。

必须在系统制造期间对器件进行初始配置期间选择 20h\_NV 的所需状态；在主闪存式存储器阵列上执行第一个程序或擦除操作之前。在主闪存阵列中编程或完成编程后，不得对 20h\_NV 进行编程。

下部和上部 FS512S 设备默认配置为混合扇区架构，其中器件底部地址处的 4 KB 扇区（请参见表23上的 TBPARM\_0）。建议选择有效的扇区映射选项之一，请参见表72。

**F0h 非易失性 CR3NV[0]：**该位控制 Infineon 传统 FL-S 家族软件复位指令可用性的POR、硬件复位或软件复位状态。

### 8.7.5.2 配置寄存器 3 易失性 (CR3V)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

**表 29 配置寄存器 3 易失性 (CR3V)**

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	Volatile	CR3NV	Reserved for Future Use
6	RFU	Reserved			Reserved for Future Use
5	BC_V	Blank Check			1 = Blank Check during erase enabled 0 = Blank Check disabled
4	02h_V	Page Buffer Wrap			1 = Wrap at 512 Bytes 0 = Wrap at 256 Bytes
3	20h_V	4 KB Erase	Volatile, Read Only		1 = 4 KB Erase disabled (Uniform Sector Architecture) 0 = 4 KB Erase enabled (Hybrid Sector Architecture)
2	RFU	Reserved	Volatile		Reserved for Future Use
1	RFU	Reserved			Reserved for Future Use
0	F0h_V	Legacy Software Reset Enable			1 = F0h Software Reset is enabled 0 = F0h Software Reset is disabled (ignored)

**白检易失性 CR3V[5]：**该位控制着擦除功能时的空白检查。当这个功能使能时，擦除指令首先评估扇区的擦除状态。如果发现扇区未成功执行其最后一个扇区擦除，则该扇区将被无条件擦除。如果最后一次擦除成功，则读取扇区以确定扇区是否已被擦除（空白）。找到任何编程的0后，立即开始执行操作。如果扇区已经为空白（未找到编程的0位），则跳过扇区擦除操作。当扇区已被擦除时不需要进行扇区擦除操作时，可以大大减少擦除扇区时间。使能的空检功能，可以在参数扇区擦除，扇区擦除和Bulk擦除命令中使用。当空检被禁用时，擦除指令无条件地执行。

**02h 易失性 CR3V[4]：**该位控制页编程缓冲区地址大小。传统的SPI设备通常使用 256 字节页编程缓冲区，并定义如果数据加载到故障中超出 255 字节位置，则加载额外字节的地址将被回卷到缓冲区的0地址。FS-S系列提供了512字节的页编程缓冲区，可以提高编程性能。为了兼容旧版软件，此配置位提供了继续在 256 字节边界处进行回卷行为的选项，或者通过不在 256 字节边界处回卷加载地址来充分利用可用的 512 字节缓冲区。

**20h 易失性 CR3V[3]：**该位控制存储器阵列地址中分布 4-KB 参数扇区的可用性。参数扇区可以处在器件的最高或最低 32-KB 地址范围，也可以从地址分布中移除它们，以便所有扇区大小统一。该位不得写入与 CR3NV[3] 的值不同的值。CR3V[3]的值只能通过写入CR3NV[3]来改变。

**F0h 易失性 CR3V[0]：**该位控制 Infineon 传统 FL-S 系列软件复位指令的可用性。FS-S系列支持业界通用的66h + 99h指令序列进行软件复位。该配置位允许选择继续使用传统的 F0h 单指令进行软件复位。

## 8.7.6 配置寄存器 4

配置寄存器 4 控制闪存阵列读取指令突发回卷行为。突发回卷配置不会影响从除主闪存阵列以外的区域读取指令，例如 寄存器或OTP阵列的读取指令。当在POR、硬件复位或软件复位期间将内容复制到寄存器的易失性版本时，寄存器的非易失性版本能够设置控件的启动(引导)状态。寄存器的易失性版本控制正常操作期间的特点行为。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。寄存器的易失性版本也可以通过置位突发长度 (C0h) 指令写入。

### 8.7.6.1 配置寄存器 4 非易失性 (CR4NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 30 配置寄存器 4 非易失性 (CR4NV)

Bits	Field name	Function	Type	Default state	Description
7	OI_O	Output Impedance	OTP	0	See <a href="#">Table 31</a> .
6				0	
5				0	
4	WE_O	Wrap Enable		1	0 = Wrap Enabled 1 = Wrap Disabled
3	RFU	Reserved		0	Reserved for Future Use
2	RFU	Reserved		0	Reserved for Future Use
1	WL_O	Wrap Length		0	00 = 8-byte wrap 01 = 16 byte wrap 10 = 32 byte wrap 11 = 64 byte wrap
0			0		

**输出阻抗非易失性 CR4NV[7:5]：** 这些位控制 IO 信号输出阻抗（驱动强度）的POR、硬件复位或软件复位状态。多种驱动强度可帮助将输出阻抗与系统PCB环境相匹配，以最大限度地减少过冲和振铃。这些非易失性的输出阻抗配置位使器件能够以适当的驱动强度立即启动（boot）。

表 31 输出阻抗控制

CR4NV[7:5] Impedance selection	Typical impedance to V <sub>SS</sub> (Ohms)	Typical impedance to V <sub>CC</sub> (Ohms)	Notes
000	47	45	Factory default
001	124	105	
010	71	64	
011	47	45	
100	34	35	
101	26	28	
110	22	24	
111	18	21	

**回卷使能非易失性 CR4NV[4]:** 该位控制回卷使能的POR、硬件复位或软件复位状态。受 Wrap 使能影响的指令有：Quad I/O Read 和 DDR Quad I/O Read。此配置位使器件能够以回卷突发读取模式立即启动（boot），而不是传统的顺序读取模式。

**回卷长度非易失性 CR4NV[1:0]:** 这些位控制回卷读取长度和对齐的POR、硬件复位或软件复位状态。这些非易失性的配置位使器件能够以回卷突发读取模式而不是传统的顺序读取模式立即启动（boot）。

### 8.7.6.2 配置寄存器 4 易失性 (CR4V)

相关指令：读任何寄存器（RDAR 65h）、写任何寄存器（WRAR 71h）、置位突发长度（SBL C0h）。

**表 32 配置寄存器 4 易失性 (CR4V)**

Bits	Field name	Function	Type	Default state	Description
7	OI	Output Impedance	Volatile	CR4NV	See <a href="#">Table 31</a> .
6					
5					
4	WE	Wrap Enable			0 = Wrap Enabled 1 = Wrap Disabled
3	RFU	Reserved			Reserved for Future Use
2	RFU	Reserved			Reserved for Future Use
1	WL	Wrap Length			00 = 8-byte wrap 01 = 16 byte wrap 10 = 32 byte wrap 11 = 64 byte wrap
0					

**输出阻抗 CR2V[7:5]:** 这些位控制 IO 信号输出阻抗（驱动强度）。此易失性输出阻抗配置位使用户能够在正常运行期间调整驱动强度。

**回卷使能 CR4V[4]:** 该位控制突发回卷特点。这种易失性配置位使器件能够在正常操作期间进入和退出突发回卷读取模式。

**回卷长度 CR4V[1:0]:** 这些位控制正常操作期间的回卷读取长度和对齐。这些易失性配置位使用户能够在正常操作期间调整突发回卷读取长度。

### 8.7.7 ECC 状态寄存器 (ECCSR)

**相关指令：** ECC读取 (ECCRD 18h 或 19h) 。 ECCSR 没有用户可编程的非易失位，所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位。

每个ECC单元的ECC状态由8位ECC状态寄存器(ECCSR)提供。 ECC寄存器读取命令后跟ECC单元地址。状态寄存器的内容则显示对于所选择的ECC单元，在 ECC单元数据是否有错误，或者ECC该ECC单元是否被禁用。

**表 33 ECC 状态寄存器 (ECCSR)**

Bits	Field name	Function	Type	Default state	Description
7 to 3	RFU	Reserved		0	Reserved for Future Use
2	EECC	Error in ECC	Volatile, Read only	0	1 = Single Bit Error found in the ECC unit error correction code 0 = No error.
1	EECCD	Error in ECC unit data	Volatile, Read only	0	1 = Single Bit Error corrected in ECC unit data. 0 = No error.
0	ECCDI	ECC Disabled	Volatile, Read only	0	1 = ECC is disabled in the selected ECC unit. 0 = ECC is enabled in the selected ECC unit.

ECCSR[2] = 1 表示 ECC 中的错误已得到纠正。 ECCSR[1] = 1 表示ECC单元数据中的错误已更正。 ECCSR[0] = 1 表示 ECC 被禁用。所有这些位的默认状态为“0”，表示没有故障并且可以启用ECC。

ECCSR[7:3]被保留。它们的值（高或低）不确定，每次状态读取的值不一定相同。软件读取状态时，这些位应忽略，而不用考虑。

## 8.7.8 ASP 寄存器 (ASPR)

**相关指令：**ASP 读取 (ASPRD 2Bh) 和 ASP 编程 (ASPP 2Fh)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

ASP 寄存器是一个 16 位 OTP 内存位置，用于永久配置高级扇区保护 (ASP) 功能的行为。ASPR 没有用户可编程的易失性位，所有定义的位都是 OTP。

ASPR 位的默认状态由 Infineon 编程。

**表 34 ASP 寄存器 (ASPR)**

Bits	Field name	Function	Type	Default state	Description
15 to 9	RFU	Reserved	OTP	1	Reserved for Future Use
8	RFU	Reserved	OTP	1	Reserved for Future Use
7	RFU	Reserved	OTP	1	Reserved for Future Use
6	RFU	Reserved	OTP	1	Reserved for Future Use
5	RFU	Reserved	OTP	1	Reserved for Future Use
4	RFU	Reserved	OTP	1	Reserved for Future Use
3	RFU	Reserved	OTP	1	Reserved for Future Use
2	PWDMLB	Password Protection Mode Lock Bit	OTP	1	0 = Password Protection Mode permanently enabled. 1 = Password Protection Mode not permanently enabled.
1	PSTMLB	Persistent Protection Mode Lock Bit	OTP	1	0 = Persistent Protection Mode permanently enabled. 1 = Persistent Protection Mode not permanently enabled.
0	RFU	Reserved	OTP	1	Reserved for Future Use

**保留以供将来使用 (RFU) ASPR[15:3]。**

**密码保护模式锁定位 (PWDMLB) ASPR[2]：**当编程为 0 时，将永久选择密码保护模式。

**持久保护模式锁定位 (PSTMLB) ASPR[1]：**当编程为 0 时，将永久选择持久保护模式。此位还可与读取密码模式结合使用，以永久保护在提供读取密码时原本不受保护的扇区。PWDMLB (ASPR[2]) 和 PSTMLB (ASPR[1]) 是互斥的，只能将其中一个编程为零。

仅当 ASPR[2:1] = 11b 时才可对 ASPR 位进行编程。当 ASPR[2:1] 不为 11b 时尝试对 ASPR 位进行编程将导致编程错误，并且 P\_ERR (SR1V[6]) 置位为 1。通过编程 ASPR[2:1] = 10b 或 01b 选择 ASP 模式后，所有 ASPR 位的状态都将被锁定并永久保护，以防止进一步编程。尝试编程 ASPR[2:1] = 00b 将导致编程错误，并且 P\_ERR (SR1V[6]) 置位为 1。

类似地，ASP 寄存器描述中列出的 OTP 配置位（请参阅“[ASP 寄存器](#)”位于分页 79），仅当 ASPR[2:1] = 11b 时才可以编程。必须在选择 ASP 保护模式之前选择 OTP 配置。选择 ASP 保护模式后，OTP 配置位将永久受到保护，不会再次更改。

在 ASPR[2:1] 不等于 11b 时尝试编程这些 OTP 配置位将导致编程错误，P\_ERR (SR1V[6]) 置位为“1”。

应在系统配置期间选择 ASP 模式，以确保不会有非期望的恶意编程的保护模式。通过选择 ASP 模式锁定所有保护配置，可防止恶意编程随后更改保护方法。

### 8.7.9 密码寄存器 (PASS)

相关指令：密码读取 (PASSRD E7h)、读取任何寄存器 (RDAR 65h) 和写入任何寄存器 (WRAR 71h)。  
 PASS 寄存器是一个 64 位 OTP 存储单元，用于永久定义高级扇区保护 (ASP) 特点密码。PASS 没有用户可编程的易失性位，所有定义的位都是 OTP。PASS 的易失性副本用于满足读取延时要求，但易失性寄存器不是用户可写入的，也没有更深的描述。

**表 35 密码寄存器 (PASS)**

Bits	Field name	Function	Type	Default state	Description
63 to 0	PWD	Hidden Password	OTP	FFFFFFFF-FFFFFFFFh	Non-volatile OTP storage of 64 bit password. The password is no longer readable after the Password Protection Mode is selected by programming ASP register bit 2 to zero.

### 8.7.10 PPB 锁定寄存器 (PPBL)

相关指令：PPB 锁定读取 (PLBRD A7h、PLBWR A6h)、读取任何寄存器 (RDAR 65h)。

PPBL 没有单独的用户可编程非易失性位，所有定义的位都是易失性只读状态。RFU 位的默认状态是由硬件置位。PPBLOCK 位的默认状态由 ASPR[2:1] 中的 ASP 模式位定义。PPBL 寄存器没有非易失性版本。PPBLOCK 位用于保护 PPB 位。当 PPBL[0] = 0 时，PPB 位不可编程。在读取密码保护模式下，PPB 锁定位也用于控制地址的高位，通过强制将地址范围限制为存储引导代码的一个扇区，直到提供读取密码。

**表 36 PPB 锁定寄存器 (PPBL)**

Bits	Field name	Function	Type	Default state	Description
7 to 1	RFU	Reserved	Volatile	00h	Reserved for Future Use
0	PPBLOCK	Protect PPB Array	Volatile Read Only	ASPR[2:1] = 1xb = Persistent Protection Mode = 1 ASPR[2:1] = 01b = Password Protection Mode = 0	0 = PPB array protected 1 = PPB array may be programmed or erased.

### 8.7.11 PPB 访问寄存器 (PPBAR)

**相关指令：** PPB 读取 (PPBRD FCh 或 4PPBRD E2h)、PPB 编程 (PPBP FDh 或 4PPBP E3h)、PPB 擦除 (PPBE E4h)。

PPBAR 没有用户可写的易失性位，所有 PPB 阵列位都是非易失性的。PPB 阵列的默认状态被英飞凌擦除为 FFh。PPBAR 寄存器没有易失性版本。

**表 37 PPB 访问寄存器 (PPBAR)**

Bits	Field name	Function	Type	Default state	Description
7 to 0	PPB	Read or Program per sector PPB	Non-volatile	FFh	00h = PPB for the sector addressed by the PPBRD or PPBP command is programmed to 0, protecting that sector from program or erase operations. FFh = PPB for the sector addressed by the PPBRD command is 1, not protecting that sector from program or erase operations.

### 8.7.12 DYB 访问寄存器 (DYBAR)

**相关指令：** DYB 读 (DYBRD FAh 或 4DYBRD E0h) 和 DYB 写 (DYBWR FBh 或 4DYBWR E1h)。

DYBAR 没有用户可编程的非易失性位，所有位都是 DYB 阵列中易失性位的表示。DYB 阵列位的默认状态是硬件置位。DYBAR 寄存器没有非易失性版本。

**表 38 DYB 访问寄存器 (DYBAR)**

Bits	Field name	Function	Type	Default state	Description
7 to 0	DYB	Read or Write per sector DYB	Volatile	FFh	00h = DYB for the sector addressed by the DYBRD or DYBWR command is cleared to “0”, protecting that sector from program or erase operations. FFh = DYB for the sector addressed by the DYBRD or DYBWR command is set to “1”, not protecting that sector from program or erase operations.

### 8.7.13 SPI DDR 数据学习寄存器

**相关指令：**写入 VDLR (WVDLR 4Ah)、数据学习模型型读取 (DLPRD 41h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

数据学习模型码 (DLP) 驻留在 8 位非易失数据学习寄存器 (NVDLR) 和 8 位易失数据学习寄存器 (VDLR) 中。从英飞凌发货时，NVDLR 值为 00h。一旦编程，NVDLR 就不能被重新编程或擦除；NVDLR 中的数据模型的副本也将写入 VDLR。VDLR 可以随时写入，但在电源周期上，数据模型码将恢复到 NVDLR 中的内容。在 SPI DDR 模式中描述的学习过程中，DLP 将来自 VDLR。每个 IO 将在每个时钟边沿输出相同的 DLP 值。例如，如果 DLP 为 34h（或二进制 00110100），则在第一个时钟边期间，所有 IO 将输出 0；随后，沿所有 I/O 的第二个时钟边将输出 0，第三个时钟边将输出 1，依此类推。

当 VDLR 值为 00h 时，DDR 指令中的虚拟阶段期间不会出现前导码数据模型码。

**表 39 非易失性数据学习寄存器 (NVDLR)**

Bits	Field name	Function	Type	Default state	Description
7 to 0	NVDLP	Non-Volatile Data Learning Pattern	OTP	00h	OTP value that may be transferred to the host during DDR read command latency (dummy) cycles to provide a training pattern to help the host more accurately center the data capture point in the received data bits.

**表 40 易失性数据学习寄存器 (VDLR)**

Bits	Field name	Function	Type	Default state	Description
7 to 0	VDLP	Volatile Data Learning Pattern	Volatile	Takes the value of NVDLR during POR or Reset	Volatile copy of the NVDLP used to enable and deliver the Data Learning Pattern (DLP) to the outputs. The VDLP may be changed by the host during system operation.

## 9 数据保护

### 9.1 安全硅区 (OTP)

该器件有一个 1024 字节一次性编程 (OTP) 地址空间，与主闪存阵列分开。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

OTP存储空间旨在提高系统安全性。OTP值可以将闪存器件与系统 CPU/ ASIC “配对”，以防止器件替换。请参阅“[OTP 地址空间](#)”在页 50，“[OTP 编程 \(OTPP 42h\)](#)”在页 124 上，以及“[OTP 读取\(OTPR 4Bh\)](#)”在页 124 上。

#### 9.1.1 读取 OTP 存储空间

OTP 读取命令使用与快速读取相同的协议。有效 1 KB OTP 地址范围之外的 OTP 读取操作将产生不确定的数据。

#### 9.1.2 编程 OTP 存储空间

OTP编程指令的协议与页编程相同。OTP程序指令可以多次发出到任何给定的OTP地址，但该地址空间永远不能被擦除。

在对每个 16 字节区域进行第一次编程操作时，会自动对 ECC 进行编程。在 16 字节区域内多次编程会禁用 ECC。建议对每个 32 字节区域的每个 16 字节部分编程一次，以便 ECC 保持可用，以提供最佳的数据错误。

OTP编程的有效地址范围如[图 40](#)所示。有效OTP地址范围之外的OTP编程操作将被忽略，SR1V 置位中的 P\_ERR 不设置为“1”。当 FREEZE = 1 时，有效OTP地址范围内的OTP编程操作将失败，并且 SR1V 置位中的 P\_ERR 为“1”。OTP地址空间不受 ASP 模式选择的保护。冻结位 (CR1V[0]) 可用于保护OTP地址空间。

#### 9.1.3 Infineon 编程随机数

Infineon的标准做法是使用线性同余随机数方法用128位随机数对OTP低地址16字节（位置0x0至0xF）进行编程。该算法的种子值是一个随机数，与测试器插入的日期和时间连接起来。

#### 9.1.4 锁定字节

每个锁定字节的最低有效位 (LSB) 保护与字节相关的最低地址区域，最高有效位 (MSB) 保护与字节相关的最高地址区域。下一个更高的地址字节同样保护下一个更高的 8 个区域。最低地址锁定字节的 LSB 保护最低地址区域的较高地址 16 字节。换句话说，位置 0x10 的最低有效位保护最低地址区域中的所有锁定字节和 RFU 字节免遭进一步编程。请参阅“[OTP地址空间](#)”位于分页 50。

## 9.2 写使能指令

写入使能 (WREN) 指令必须先于任何修改非易失性数据的指令写入。WREN 指令设置写使能锁存器 (WEL) 位。在上电、硬件复位期间或器件完成以下指令后，WEL 位被清除为 0 (禁用写入)：

- RESET (复位)
- 页编程 (pp 或 4PP)
- 参数 4 KB 擦除 (P4E 或 4P4E)
- 扇区擦除 (SE 或 4SE)
- 批量擦除 (BE)
- 写禁止使能 (WRDI)
- 写入任意寄存器 (WRAR)
- OTP 字节编程 (OTPP)
- 高级扇区保护寄存器 (ASPP)
- 持久保护位 (PPBP)
- 持久保护位 (PPBE)
- 密码编程 (PASSP)
- 编程非易失性数据学习寄存器 (PNVDLR)

## 9.3 功能块保护

功能块保护位(状态寄存器位BP2、BP1、BP0)与配置寄存器TBPROT\_O位相结合，可用于保护主闪存地址范围免受编程和读写操作的影响。范围的大小由 BP 位的值决定，范围的上限或下限起点由配置寄存器 (CR1NV[5]) 的 TBPROT\_O 位选择。

FS01GS 包含两个 FS512S 设备，以提供整体 1 Gb 地址空间的下半部分和上半部分。每个 FS512S 都有自己的功能块保护配置位，这些配置位仅影响该 FS512S 的地址空间，但是 WP# 信号对于两个设备都是通用的。

**表 41 顶部阵列保护启动 (TBPROT\_O = 0)**

Status Register Content			Protected Fraction of Memory Array	Protected Memory (KB)
BP2	BP1	BP0		FS512S 512 Mb
0	0	0	None	0
0	0	1	Upper 64th	1024
0	1	0	Upper 32nd	2048
0	1	1	Upper 16th	4096
1	0	0	Upper 8th	8192
1	0	1	Upper 4th	16384
1	1	0	Upper Half	32768
1	1	1	All Sectors	65536

**表 42 底部阵列保护启动 (TBPROT\_O = 1)**

Status Register Content			Protected Fraction of Memory Array	Protected Memory (KB)
BP2	BP1	BP0		FS512S 512 Mb
0	0	0	None	0
0	0	1	Lower 64th	1024
0	1	0	Lower 32nd	2048
0	1	1	Lower 16th	4096
1	0	0	Lower 8th	8192
1	0	1	Lower 4th	16384
1	1	0	Lower Half	32768
1	1	1	All Sectors	65536

当功能块保护启用时（即任意BP2-0置位为“1”），高级扇区保护（ASP）仍可用于保护不受功能块保护方案保护的扇区。如果在同一个扇区上同时使用 ASP 和功能块保护，则使用与该扇区相关的 ASP 和功能块保护的逻辑或。

### 9.3.1 冻结位

配置寄存器1 (CR1V[0]) 的位0 是FREEZE 位。冻结位，当置位为1时，锁定功能块保护控制位和OTP 区域的当前状态，直到下一个电源开关周期。其他详细信息请参见“[配置寄存器 1 易失性 \(CR1V\)](#)” 位于 59 页。

### 9.3.2 写入保护信号

写保护 (WP#) 输入与状态寄存器写禁止使能 (SRWD) 位 (SR1NV[7]) 相结合，提供硬件输入信号控制保护。当 WP# 为低电平且 SRWD 置位为“1”时，状态寄存器-1 (SR1NV 和 SR1V) 和配置寄存器-1 (CR1NV 和 CR1V) 受到保护，不被更改。这可以防止禁用或更改功能块保护位定义的保护。请参阅“[状态寄存器-1](#)” 在页 53。

## 9.4 高级扇区保护

高级扇区保护 (ASP) 是用于在任何或所有扇区中单独禁止使能或使能编程或擦除操作的独立硬件和软件方法的名称。

每个主闪存阵列扇区都有一个与其相关的非易失性持久保护位 (PPB) 和易失性动态保护位 (DYB)。当任一位为“0”时，扇区受到保护，免受编程和擦除操作的影响。当易失性 PPB 锁定位为“0”时，PPB 位受到保护，免受编程和擦除。有两种方法可以管理 PPB 锁定位的状态：密码保护和持久保护。这些方法的概述如 [图 42](#) 所示。

每个扇区的功能块保护和 ASP 保护设置在逻辑上进行“或”运算以定义每个扇区的保护，即如果任一机制正在保护某个扇区，则该扇区不能被编程或擦除。参见“[功能块保护](#)”在页 75 了解 BP2-0 位的完整详细信息。

FS01GS 包含两个 FS512S 设备，以提供整体 1 Gb 地址空间的下半部分和上半部分。每个 FS512S 都有自己的一组 ASP 配置位，这些配置位仅影响 FS512S 的地址空间。

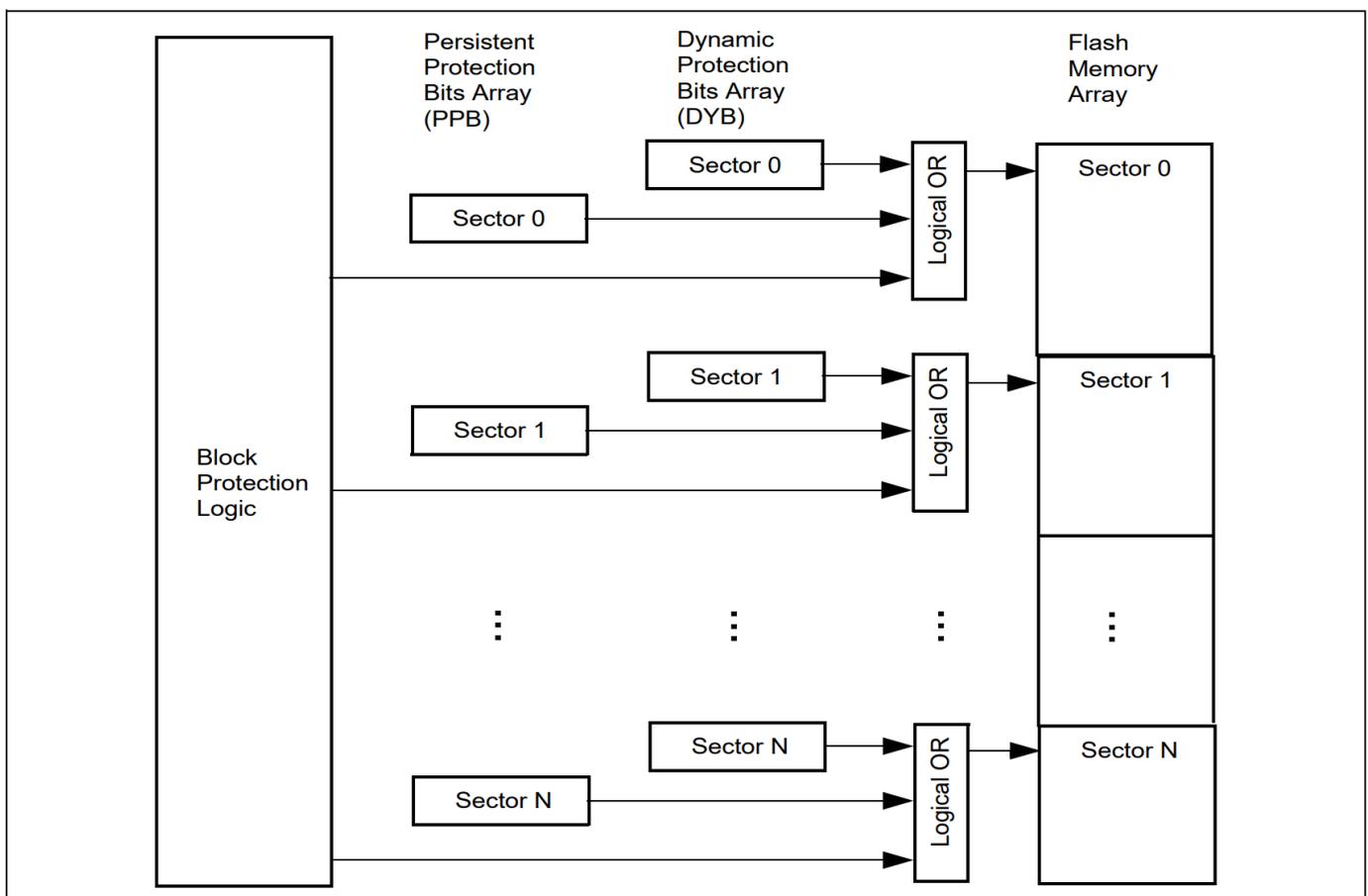


图 41 扇区保护控制

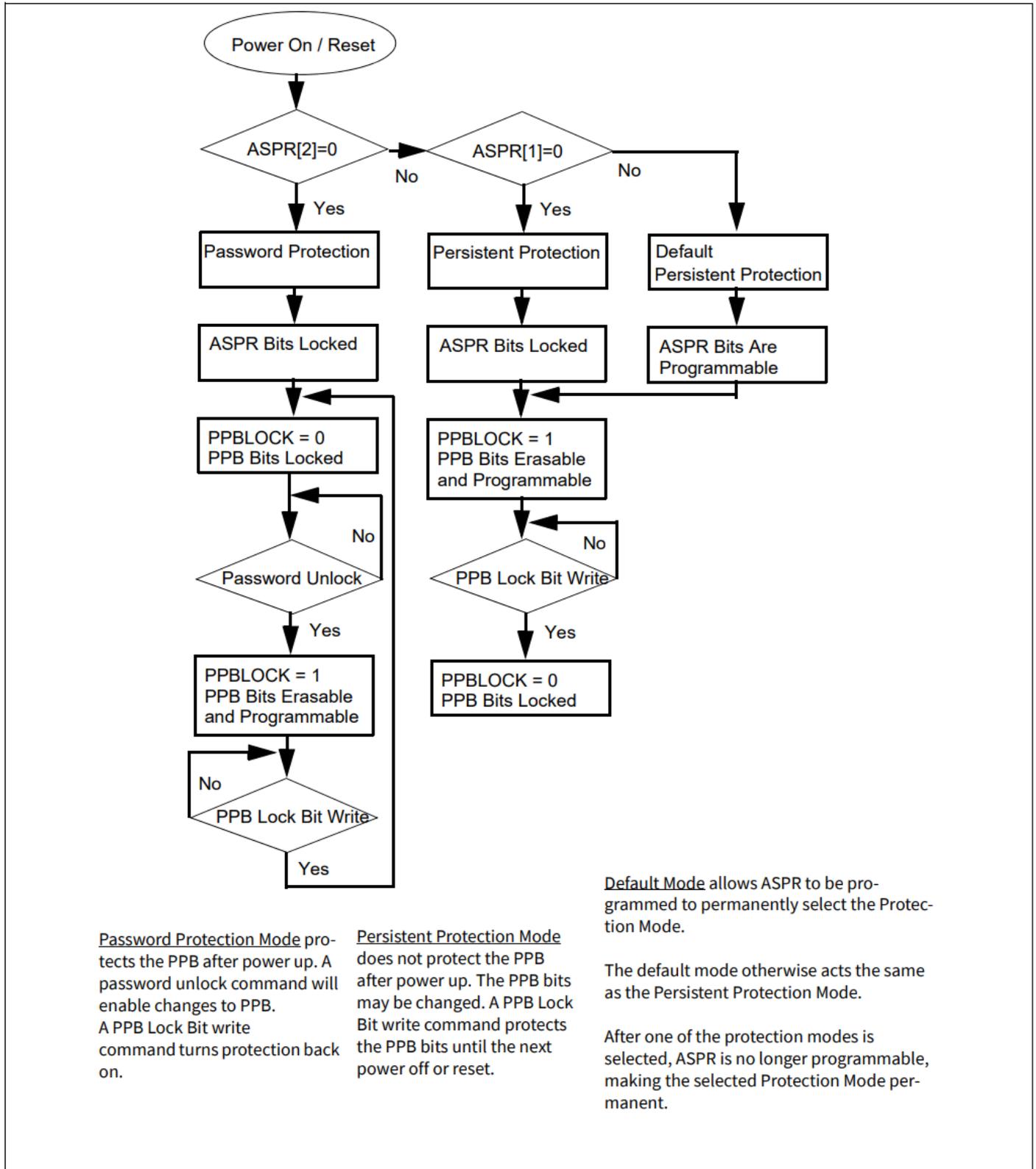


图 42 高级扇区保护概述

## 数据保护

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有任何指令可将PPB锁定位设为1，因此PPB锁定位一直为0，直到下一次关闭电源或硬件复位为止。持久保护方法允许引导代码通过编程或擦除PPB来更改扇区保护，然后通过清除PPB锁定位在正常系统操作的剩余时间内保护PPB，不使其更改。这有时称为引导代码控制的扇区保护。

密码方法在POR或硬件复位期间将PPB锁定位清除为‘0’，以保护PPB。对于密码方法，可以永久地编程并隐藏一个64位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则PPB锁定位设为1，以取消PPB保护。PPB锁定位可以通过一个指令来清除为0。此方法需要使用密码来控制PPB保护。

通过编程锁定寄存器中的OTP位，可以永久性选择要使用的PPB锁定管理方法。

### 9.4.1 ASP 寄存器

ASP 寄存器用于永久配置高级扇区保护 (ASP) 功能的行为。请参阅表 34。

从工厂出厂时，所有器件在上电时均默认使用持久保护方法，所有扇区均不受保护。器件编程器或主机系统随后可以选择使用哪种扇区保护方法。对一次性可编程的保护模式锁定位进行编程，可将部件永久锁定在选定的模式下：

- ASPR[2:1] = “11” = 未选择 ASP 模式，默认为持久保护模式。
- ASPR[2:1] = “10” = 永久选择持久保护模式。
- ASPR[2:1] = “01” = 永久选择密码保护模式。
- ASPR[2:1] = “00” 是非法条件，尝试将多个位编程为零会导致编程失败。

ASP寄存器编程规则：

- 如果选择密码模式，则必须在设置保护模式锁定位之前对密码进行编程。
- 一旦选择了保护模式，以下 OTP 配置寄存器位将受到永久保护，不能被编程，并且不允许对 OTP 寄存器位进行任何进一步的更改：
  - CR1NV[5:2]
  - CR2NV
  - CR3NV
  - CR4NV
  - ASPR
  - 通过
  - NVDLR
- 选择 ASP 模式后，若尝试更改上述任意寄存器，操作将失败，并且 P\_ERR (SR1V[6]) 将被置位为 1。

ASP 寄存器的编程时间与典型的编程时间相同。系统可以通过读取状态寄存器中的 WIP 位来确定 ASP 寄存器编程操作的状态。请参阅“[状态寄存器-1](#)”在页53了解有关 WIP 的信息。

参见“[扇区保护状态汇总](#)”在页80。

## 9.4.2 持久保护位 (PPB)

持久保护位 (PPB) 位于单独的非易失性闪存阵列中。为每个扇区分配一个PPB位。当一个PPB位为0时，相应的扇区受到保护，不能对它执行编程和擦除操作。PPB位可单独编程，但必须按组进行擦除。这与字相似，各个字可以在主阵列中单独编程，但整个扇区必须同时擦除。PPB 具有与主闪存阵列相同的编程和擦除寿命。擦除前的预编程和验证由EAC执行。

编程一个PPB位需要典型的字编程时间。擦除所有PPB需要典型的扇区擦除时间。在PPB位编程和PPB位擦除期间，可以通过读取状态寄存器来获取状态。读取PPB位需要器件的最终读取时间。

### 注：

1. 每个PPB单独编程为“0”，然后全部并行擦除为“1”。
2. 如果PPB锁定位为0，PPB编程或擦除指令不被执行，并且被超时。
3. 可以使用PPB读取命令来验证给定扇区的PPB状态。

## 9.4.3 动态保护位 (DYB)

DYB是易失性位，可以单独更改该位。每个扇区只有一个唯一的DYB。DYB只控制那些PPB已设为“1”的扇区的保护。通过发出DYB写入命令，DYB被清除为“0”或者置位为“1”，从而分别将每个扇区置于受保护或不受保护的状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消其保护。由于DYB是易失性位，因此可以根据需要随时置位或清除。

## 9.4.4 PPB 锁定位 (PPBL[0])

PPB锁定位是用于保护所有PPB位的易失性位。当设置为“0”时，它将锁定所有PPB；当设置为“1”时，它将允许更改PPB。请参阅“[PPB 锁定寄存器 \(PPBL\)](#)”位于页71了解更多信息。

PLBWR指令用于清零，将PPB锁定位复位为“0”。只有当所有PPB位均配置为所需的设置后，才将PPB锁定位清零。

在持久保护模式下，PPB锁定在POR或硬件复位期间被置为1。清除后，所有软件指令时序都不能设置PPB锁定，只有通过硬件复位或上电才能设置PPB锁定位。

在密码保护模式下，PPB锁定在POR或硬件复位期间被清除为0。PPB锁定只能通过密码解锁指令设为1。

## 9.4.5 扇区保护状态汇总

每个扇区均可以处于下面一种保护状态：

- 解锁-扇区不受保护，保护状态可通过一个简单的指令进行更改。当器件从英飞凌发货时，保护状态默认为不受保护。
- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。在开关电源周期或硬件复位后，保护状态不被保存。
- 持久锁定-扇区受保护，只有将PPB锁定位设置为1时才能更改保护状态。保护状态是非易失性的，在开关电源或硬件复位后仍被保存。更改保护状态需要编程或擦除PPB位。

**表43 扇区保护状态**

Protection bit values			Sector state
PPB lock	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
1	1	0	Protected – PPB and DYB are changeable
1	0	1	Protected – PPB and DYB are changeable
1	0	0	Protected – PPB and DYB are changeable
0	1	1	Unprotected – PPB not changeable, DYB is changeable
0	1	0	Protected – PPB not changeable, DYB is changeable
0	0	1	Protected – PPB not changeable, DYB is changeable
0	0	0	Protected – PPB not changeable, DYB is changeable

### 9.4.6 持久保护模式

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。软件复位不会影响PPB锁定位。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有指令可设置PPB锁定位，因此PPB锁定位将一直为‘0’，直到下一次关闭电源或硬件复位为止。

### 9.4.7 PPB密码保护模式

PPB密码保护模式使用64位密码来设置PPB锁定，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB锁定还清除为0以确保在上电时提供保护。通过输入整个密码并成功执行密码解锁指令后，PPB锁定将设为1，从而允许修改扇区PPB。

密码保护注意事项：

- 编程和验证密码后，必须设置密码模式锁定位，以防止读取或修改密码。
- 密码编程指令只能编程“0”。在一个cell编程为“0”之后编程一个“1”会导致cell保留为“0”，而不会出现编程错误置位。
- 从英飞凌出厂时，密码64位全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。对密码区域的所有进一步编程和读取指令都被禁用，并且这些指令被忽略或返回未定义的数据。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。
- 保护模式锁定位不可擦除。
- 只有输入准确的密码，才能解锁。如果密码解锁指令提供的密码与隐藏的内部密码不匹配，则解锁操作将失败，其失败方式与受保护扇区上的编程操作相同。P\_ERR位置位为1，WIP位保持置位，PPB锁定位保持清零。

## 数据保护

- 密码解锁命令的接受频率不能快于每  $100\ \mu\text{s} \pm 20\ \mu\text{s}$  一次。这样，如果黑客试图通过实现所有64位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。读取状态指令 1 指令可用于读取 WIP 位，以确定器件何时完成密码解锁指令或准备好接受新密码指令。当提供有效密码时，密码解锁指令不会在将 WIP 位返回为零之前插入  $100\ \mu\text{s}$  延迟。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定。
- 仅可从可读扇区读取 ECC 状态。在读保护模式下，地址被强制为引导扇区地址。ECC状态仅在该扇区内，而读保护模式是有效的。

## 9.5 建议的保护流程

在系统制造过程中，闪存器件配置应按以下方式定义：

1. 根据需要对 CR1NV[5, 3:2]、CR2NV、CR3NV 和 CR4NV 中的 OTP 配置位进行编程。
2. 根据需要对安全硅区域（OTP 区域）进行编程。
3. 根据需要通过 PPBP 指令对 PPB 位进行编程。
4. 如果将在 DDR 读取指令中使用，则对非易失性数据学习模型码 (NVDLR) 进行编程。
5. 如果要使用密码保护，请对密码寄存器 (PASS) 进行编程。
6. 根据需要对 ASP 寄存器进行编程，包括选择持久或密码 ASP 模式输入 ASPR[2:1]。明确选择保护模式非常重要，这样可以防止以后对 ASP 寄存器和 OTP 配置进行意外或恶意编程。这是为了确保仅启用预期的OTP保护和配置功能。对 ASPR 寄存器进行编程时：
  7. RPME位 (ASPR[5]) 可用于选择读取密码模式，以使用密码来控制对大多数阵列的读取访问。

系统启动并引导代码执行时：

1. 可信引导代码可以确定是否需要编程额外的SSR（OTP区域）信息。如果不需要更改SSR，则可以将 FREEZE 位 (CR1V[0]) 置位为 1，以保护SSR在上电保持开启的情况下在剩余的正常系统运行时间内免受更改。
2. 如果使用持久保护模式，可信引导代码可以确定是否需要通过 PPBP 或 PPBE 指令修改持久（PPB）扇区保护。如果不需要更改 PPB，则可以通过 PPBL 将 PPBLOCK 位清除为 0，以在上电保持开启的情况下保护 PPB 位在系统正常运行的剩余时间内免受更改。
3. 可以根据需要通过 DYBAR 写入动态（DYB）扇区保护位。

命令

## 10 命令

主控系统与FS-S系列存储设备之间的所有通讯都是以称为“命令”的单元的形式进行的。

所有命令都以一条指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到存储器的数据传输或从闪存的数据传输。所有指令、地址和数据信息在主控系统和存储器器件之间顺序传输。

指令协议也通过数字命名法进行分类，使用三个数字来标记三个指令阶段的传输宽度：

- 操作说明;
- 地址和指令修饰符（模式）；
- 数据。

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据可以通过 SO 信号串行发送回主控。对于单比特宽指令，单比特宽地址和修饰符、单比特数据的结构，被称为 1-1-1 命令协议。

双线或四线输入 / 输出 (I/O) 命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 传输给存储器。数据返回到主控的方式类似于 IO0 和 IO1 上的位对，或者 IO0、IO1、IO2 和 IO3 上的四位（半字节）组。对于双线 I/O 和四线 I/O 命令，这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

FS-S 系列还支持 QPI 模式输入，所有信息都以 4 位宽度传输，包括指令、地址、修饰符和数据。这被称为 4-4-4 命令协议。

指令结构如下：

- 每个命令都以一个八位（字节）指令开始。然而，一些读取指令被先前的读取命令修改，使得该指令是从先前的指令隐含的。这被称为连续读取模式。对于 S70FS01GS，不要使用连续读取模式，这会导致两个 512Mb 芯片之间的总线争用。
- 该指令可以是独立的，也可以跟随地址位以选择器件中多个地址空间之一内的位置。地址可以是 24 位或 32 位、字节边界、地址。
- 具有多个 IO 的 SPI 为每次地址和数据信息的传输提供了并行传输一位、两位或四位的选项。这使得信号连接数量（IO 总线宽度）和信息传输速度之间能够实现平衡。如果主控系统可以支持 2 位或 4 位宽的 IO 总线，则可以通过使用提供并行 2 位（双线）或并行 4 位（四线）传输的指令来提高存储器性能。
- 在传统 SPI 多 IO 模式中，指令之后的所有传输的宽度由发送的指令决定。以下表示的可能是其中一种传输类型：仅通过串行输入（SI）或串行输出（SO）信号传输单比特；通过 IO0 和 IO1 信号每次（双线）传输将以双比特的形式进行发送；或通过 IO0-IO3 信号每次（四线）传输以 4 比特的形式执行。在双比特或四比特组中，最低有效位位于 IO0 上。其他更高有效位则按照权值大小，通过 IO 信号的编号有序放置。单比特或并行位组按照从最高有效位到最低有效位的顺序进行传输。
- 在 QPI 模式下，所有传输（包括指令）的宽度都以 IO0-IO3 信号上的 4 位宽（四线）传输。
- 双线 I/O 和四线 I/O 读取指令在地址后发送一个称为模式位的指令修饰符，表示下一个命令将与隐含指令（而非显式指令）属于同一类型，并不是明确的命令。。下一个命令不提供指令字节，只有新地址和模式位。当某个相同命令重复了前序中的命令类型时，会减少发送一个命令所需要的时间。
- 地址或模式位后面可能跟有要存储在存储器器件中的写入数据，或者后面可能是读取数据返回到主控之前的读取延时时间。

---

## 命令

- 读取延时可能为0到几个 SCK 周期（也称为虚拟周期）。
- 所有指令、地址、模式和数据信息均以字节作最小单位传输。地址按最高有效字节首先移入器件中。所有数据都以首先发送最低地址字节的方式进行传输。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。当编程、擦除或写操作正在进行时，建议在向器件发出大多数指令之前检查写入进度（WIP）位是否为 0，以确保可以接受新指令。
- 根据指令不同，执行时间也不同。从正在执行的指令中读取状态信息的指令可用于确定指令何时完成执行以及指令是否成功。
- 虽然在某些情况下主控软件用于直接控制 SPI 接口信号，但主控系统和存储器器件的硬件接口通常处理信号关系和时序的细节。因此，本文的软件接口重点部分不详细介绍信号关系和时序。相反，重点是每个指令中传输的位的逻辑顺序，而不是信号时序和关系。以下是一些需要记住的一般信号关系描述。有关指令的位电平格式和信号时序关系的更多信息，请参阅“[指令协议](#)”在第 18 页。
  - 主控始终控制片选 (CS)、串行时钟 (SCK) 和串行输入 (SI) - SI 用于单个的比特位传输。存储器驱动串行输出 (SO) 以进行单个的比特位读取传输。主控和存储器在双线和四线传输期间交替驱动 IO0-IO3 信号。
  - 所有指令都是从主控在 SCK 第一个上升沿之前驱动 CS 为低电平来选择存储器开始的。CS 在整个指令中保持低电平，当 CS 返回高电平时，指令结束。一般来说，CS# 保持低电平以八位传输倍数来传输字节粒度信息。如果 CS 返回的高电平不在 8 位边界处，则某些指令将不被接受。

命令

## 10.1 命令汇总

### 10.1.1 扩展寻址

为了适应 128 Mb 以上的寻址，有两种选择：

1. 始终需要 4 字节地址的指令，用于访问最多 32 Gb 的内存：

**表 44** 说明详细信息

Command name	Function	Instruction (Hex)
4READ	Read	13
4FAST_READ	Read Fast	0C
4DIOR	Dual I/O Read	BC
4QIOR	Quad I/O Read	EC
4DDRQIOR	DDR Quad I/O Read	EE
4PP	Page Program	12
4P4E	Parameter 4 KB Erase	21
4SE	Erase 256 KB	DC
4ECCRD	ECC Status Read	18
4DYBRD	DYB Read	E0
4DYBWR	DYBWR	E1
4PPBRD	PPB Read	E2
4PPBP	PPB Program	E3

命令

2.4 字节地址模式，用于向后兼容 3 字节地址指令。标准 3 字节指令可以与由地址长度配置位 (CR2V[7]) 控制的 4 字节地址模式结合使用。CR2V[7] 的默认值/默认值从 CR2NV[7]（上电、硬件复位或软件复位）加载，以实现默认的 3 字节 (24 位) 或 4 字节 (32 位) 寻址。当地址长度 (CR2V[7]) 置位为 1 时，旧指令更改为地址字段需要 4 字节 (32 位)。以下指令可与 4 字节地址模式配置结合使用，以从 3 字节地址字段切换到 4 字节地址字段。

**表 45 指令详细信息**

Command name	Function	Instruction (Hex)
READ	Read	03
FAST_READ	Read Fast	0B
DIOR	Dual I/O Read	BB
QIOR	Quad I/O Read	EB
DDRQIOR	DDR Quad I/O Read)	ED
PP	Page Program	02
P4E	Parameter 4 KB Erase	20
SE	Erase 256 KB	D8
RDAR	Read Any Register	65
WRAR	Write Any Register	71
EES	Evaluate Erase Status	D0
OTPP	OTP Program	42
OTPR	OTP Read	4B
ECCRD	ECC Status Read	19
DYBRD	DYB Read	FA
DYBWR	DYBWR	FB
PPBRD	PPB Read	FC
PPBP	PPB Program	FD

命令

### 10.1.2 FS01GS DDP

FS01GS 包含两个堆叠在双芯片封装 (DDP) 中的 FS512S 设备。当两个设备共享的 CS# 信号变为低电平时，将选择两个设备来解码每个命令指令和地址。一个 FS512S 器件经过修改，可响应具有选择总 1 Gb (128 MB) 地址空间中较低 512 Mb 的地址的指令。另一个 FS512S 器件被修改为响应指令，地址选择地址空间的高 512 Mb。有些命令没有地址，仅由低地址 FS512S 执行；有些命令由两个设备并行执行。

必须配置底部和顶部地址 FS512S 设备，通过写入每个器件中的各种状态和配置寄存器，来定义单个 CS 为 DDP 选择的整个 1 Gb 空间的整体扇区映射和两个设备的行为。然而，几个用于寄存器读取、写入或其他操作的传统 SPI 指令在指令中没有明确的地址。因此，FS01GS 不支持几个传统的 SPI 指令，必须使用包含地址的替代指令将指令路由至较底部或顶部的 FS512S。

FS01GS 不支持以下指令：

- WRR (01h)
- RDCR (35h)
- RDSR1 (05h)
- RDSR2 (07h)
- PNVDLR (43h)
- ASPP (2Fh)
- PASSP (E8h)
- PPBE (E4h)
- EPS (B0h)
- EPR (30h)

必须使用 RDAR (65h) 和 WRAR (71h) 指令来读取和写入寄存器，以便指令地址将操作指向 DDP 中的较低或较高 FS512S 器件。为 Bulk 擦除寻址 (BEA, FEh) 和 PPB 寻址 (PPBEA, EAh) 添加了具有 4 字节地址的新指令，以将操作定向到较低或较高的 FS512S 器件。

有关 FS01GS 行为和软件修改的完整讨论，请参阅“[FS01GS行为和软件修改](#)”在第163页。

命令

### 10.1.3 按功能分类命令汇总

**表 46 FS-S 系列指令集 (按功能排序)**

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
Read Device ID	RDID	Read ID (JEDEC Manufacturer ID and JEDEC CFI)	9F	133	0	Yes
	RSFDP	Read JEDEC Serial Flash Discoverable Parameters	5A	50	3	Yes
	RDQID	Read Quad ID	AF	133	0	Yes
Register Access	RDAR	Read Any Register	65	133	3 or 4	Yes
	WRDI	Write Disable	04	133	0	Yes
	WREN	Write Enable	06	133	0	Yes
	WRAR	Write Any Register	71	133	3 or 4	Yes
	CLSR	Clear Status Register-1 - Erase/Program Fail Reset This command may be disabled and the instruction value instead used for a program / erase resume command - see <b>“Configuration Register 3”</b> on page 65	30	133	0	Yes
	CLSR	Clear Status Register-1 (Alternate instruction) - Erase/Program Fail Reset	82	133	0	Yes
	4BAM	Enter 4 Byte Address Mode	B7	133	0	No
	SBL	Set Burst Length	C0	133	0	No
	EES	Evaluate Erase Status	D0	133	3 or 4	Yes
	ECCRD	ECC Read	19	133	3 or 4	Yes
	4ECCRD	ECC Read	18	133	4	Yes
	DLPRD	Data Learning Pattern Read	41	133	0	No
	WVDLR	Write Volatile Data Learning Register	4A	133	0	No

**注：**

- 41. 如果在器件处于 QPI 模式时发送 QPI 模式下不支持的指令，则会出现未定义的行为。
- 42. FS01GS 不支持部分指令，增加了部分指令。如需更多信息，请参阅**“FS01GS 行为和软件修改”**在页163。

命令

**表 46 FS-S 系列指令集（按功能排序）(续)**

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
Read Flash Array	READ	Read	03	50	3 or 4	No
	4READ	Read	13	50	4	No
	FAST_READ	Fast Read	0B	133	3 or 4	No
	4FAST_READ	Fast Read	0C	133	4	No
	DIOR	Dual I/O Read	BB	133	3 or 4	No
	4DIOR	Dual I/O Read	BC	133	4	No
	QIOR	Quad I/O Read	EB	133	3 or 4	Yes
	4QIOR	Quad I/O Read	EC	133	4	Yes
	DDRQIOR	DDR Quad I/O Read	ED	80	3 or 4	Yes
	4DDRQIOR	DDR Quad I/O Read	EE	80	4	Yes
Program Flash Array	PP	Page Program	02	133	3 or 4	Yes
	4PP	Page Program	12	133	4	Yes
Erase Flash Array	P4E	Parameter 4 KB-sector Erase	20	133	3 or 4	Yes
	4P4E	Parameter 4 KB-sector Erase	21	133	4	Yes
	SE	Erase 256 KB	D8	133	3 or 4	Yes
	4SE	Erase 256 KB	DC	133	4	Yes
	BE	Bulk Erase	60	133	0	Yes
	BE	Bulk Erase (alternate instruction)	C7	133	0	Yes
	BEA	Bulk Erase Addressed	FE	133	4	Yes
Erase /Program Suspend /Resume	EPS	Erase Suspend	75	133	0	Yes
	EPS	Program Suspend	85	133	0	Yes
	EPR	Erase Resume	7A	133	0	Yes
	EPR	Program Resume	8A	133	0	Yes
One Time Program Array	OTPP	OTP Program	42	133	3 or 4	No
	OTPR	OTP Read	4B	133	3 or 4	No

**注：**

41. 如果在器件处于 QPI 模式时发送 QPI 模式下不支持的指令，则会出现未定义的行为。

42. FS01GS 不支持部分指令，增加了部分指令。如需更多信息，请参阅“[FS01GS 行为和软件修改](#)”在163页。

命令

**表 46 FS-S 系列指令集（按功能排序）(续)**

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
Advanced Sector Protection	DYBRD	DYB Read	FA	133	3 or 4	Yes
	4DYBRD	DYB Read	E0	133	4	Yes
	DYBWR	DYB Write	FB	133	3 or 4	Yes
	4DYBWR	DYB Write	E1	133	4	Yes
	PPBRD	PPB Read	FC	133	3 or 4	No
	4PPBRD	PPB Read	E2	133	4	No
	PPBP	PPB Program	FD	133	3 or 4	No
	4PPBP	PPB Program	E3	133	4	No
	PPBEA	PBB Erase Addressed	EA	133	4	No
	ASPRD	ASP Read	2B	133	0	No
	PLBRD	PPB Lock Bit Read	A7	133	0	No
	PLBWR	PPB Lock Bit Write	A6	133	0	No
	PASSRD	Password Read	E7	133	0	No
	PASSU	Password Unlock	E9	133	0	No
Reset	RSTEN	Software Reset Enable	66	133	0	Yes
	RST	Software Reset	99	133	0	Yes
	RESET	Legacy Software Reset	F0	133	0	No
	MBR	Mode Bit Reset	FF	133	0	Yes
DPD	DPD	Enter DPD Mode	B9	133	0	Yes
	RES	Release from DPD Mode	AB	133	0	Yes

**注：**

- 41. 如果在器件处于 QPI 模式时发送 QPI 模式下不支持的指令，则会出现未定义的行为。
- 42. FS01GS 不支持部分指令，增加了部分指令。如需更多信息，请参阅“[FS01GS 行为和软件修改](#)”在163页。

## 命令

### 10.1.4 读取器件标识

有多个指令可以读取有关器件制造商、器件类型和器件功能的信息。不同供应商的SPI存储器使用不同的指令和格式来读取有关存储器的信息。FS-S系列支持三种器件信息命令。

### 10.1.5 寄存器读或写

有多个寄存器用于报告嵌入式操作状态或控制器件配置选项。有用于读取或写入这些寄存器的指令。寄存器包含易失性位和非易失性位。寄存器中的非易失性位将被自动擦除并作为单一（写入）操作进行编程。

#### 10.1.5.1 监测操作状态

主控系统可以通过监视状态寄存器中的WIP位来确定写入、编程、唤醒、挂起或其他嵌入式操作何时完成。读取状态寄存器-1指令或读取任何寄存器指令提供WIP位的状态。状态寄存器中的编程错误（P\_ERR）和擦除错误（E\_ERR）位指示最近的编程或擦除指令是否未成功完成。当P\_ERR或E\_ERR位置位为1时，WIP位将保持置位为1，指示器件仍处于忙状态并且无法接收最新操作指令。仅当P\_ERR或E\_ERR置位为1时，读取任何寄存器（RDAR 65h）、状态清除（CLSR 30h或82h）和软件复位（RSTEN 66h、RST 99h或复位F0h）才是有效指令。必须先发送清除状态寄存器（CLSR），然后发送写禁止使能（WRDI）指令，才能将器件返回到待机状态。清除状态寄存器清除WIP、P\_ERR和E\_ERR位。WRDI清除WEL位。或者，可以使用硬件复位或软件复位（RST或复位）将器件返回到待机状态。

#### 10.1.5.2 拓扑结构

有一些指令用于读取、写入和保护寄存器，这些指令控制接口路径宽度、接口地址、接口地址长度以及数据保护的某些方面。

### 10.1.6 读闪存阵列

数据可以从任意字节界限开始从存储器中读取。数据字节按顺序从逐渐升高的字节地址读取，直到主控通过驱动CS#输入高电平来结束数据传输。如果字节地址达到存储器阵列的最大地址，则将从阵列的零地址处继续读取。

由于FS01GS是由堆叠在DDP中的两个FS512S设备构成的，因此达到FS512S器件最大地址的顺序读取访问将在同一FS512S器件的地址0处继续。在FS01GS的地址03FFFFFFh处进行连续读取后，将接着在00000000h处进行读取。在FS01GS的地址07FFFFFFh处进行连续读取之后，将接着读取04000000h处的内容。

有几种不同的读取指令来指定不同的访问延时和数据路径位宽。DDR指令还定义了两个SCK边沿的地址和数据位关系：

- 地址读取命令在SI信号上的每个SCK上升沿提供一个位，读取数据在SO信号上的每个SCK下降沿返回一个单独的位。该指令在地址和返回数据之间具有0延时，但最大SCK速率限制为50 MHz。
- 其他读指令在地址和返回数据之间有延时时间，但可以在更高的SCK频率下操作。延时取决于配置寄存器读取延时值。延时取决于配置寄存器读取延时值。
- 快速读取命令在SI信号上的每个SCK上升沿提供一位，读取数据在SO信号上的每个SCK下降沿返回一位数据。
- 双线或四线I/O读取指令在SCK上升沿提供两位或四位地址，读取数据在IO0-IO3信号上每个SCK下降沿返回两位或四位数据。
- 四线DDR数据速率读取指令为每个SCK边沿提供四位地址，读取数据在IO0-IO3信号上的每个SCK边沿返回四位数据。

命令

### 10.1.7 编程闪存阵列

数据编程需要两个指令写入使能 (WREN) 和页编程 (PP)。页编程指令接受 1 字节到 256 或 512 个连续字节的数据 (页) 在一次操作中进行编程。编程意味着位可以保留为 1，或者从 1 编程为 0。将位从 0 更改为 1 需要擦除操作。

### 10.1.8 擦除闪存阵列

参数扇区擦除、扇区擦除或Bulk擦除指令将扇区或整个存储器中的所有位设置为“1”。需要先将位擦除为 1，然后才能编程将其更改为 0。尽管可以单独将位从 1 编程为 0，但必须在整个扇区或整个阵列 (Bulk) 将位从 0 擦除为 1。写使能 (WREN) 指令必须位于擦除指令之前。

### 10.1.9 OTP、功能块保护和高级扇区保护

有一些指令可以读取和编程用于永久性数据 (例如序列号) 的单独OTP格式。有指令控制一个连续组 (功能块) 的连续扇区, 使其免受编程和指针操作的影响。有指令控制哪个单独的连续扇区免受编程和编程操作的影响。有一种模式可以限制读取访问闪存阵列, 直到提供密码为止。

### 10.1.10 RESET (复位)

器件上电后, 有一些指令可将其恢复到默认状态。然而, 软件复位指令不影响FREEZE 或PPB 锁定位的当前状态。在所有其他方面, 软件复位与硬件复位相同。

### 10.1.11 深度掉电

FS-S 系列设备支持 DPD 模式。如果器件已通过 DPD (B9h) 指令置于 DPD 模式, 则接口备用电流为 ( $I_{DPD}$ )。仅当器件未执行嵌入式算法 (如状态寄存器 1 易失性写入进行中 (WIP) 位清零 (SR1V[0] = 0) 所示) 时, 才接受 DPD 指令。在 DPD 模式下, 器件会忽略除来自的释放之外的所有指令。

DPD (RES ABh) 指令, 将在延迟  $t_{RES}$  后将器件返回到接口待机状态。

### 10.1.12 预留

某些指令保留供将来使用。在这一代 FS-S 系列中, 其中一些指令可能未被使用且不会影响器件操作, 有些则可能产生未定义的结果。

保留一些指令是为了确保允许使用传统或替换器件命令而不产生任何影响。这使得旧版软件可以发出一些与当前一代 FS-S 家族无关的指令, 但保证这些指令不会导致一些意外的操作。

一些指令被保留用于本文档未涉及的 FS-S 特殊版本或未来版本。这使得新的主控存储控制器设计能够灵活地规划发出这些指令指令。如果已知指令格式, 则在发布此文档修订版时定义该格式。

命令

## 10.2 器件识别命令

### 10.2.1 读取器件标识 (RDID 9Fh)

读取标识 (RDID) 指令提供对制造商标识、器件标识和通用闪存接口 (CFI) 信息的读取访问。制造商标识由 JEDEC 分配。CFI 结构由 JEDEC 标准定义。器件标识和 CFI 值由 Infineon 指定。

JEDEC 通用闪存接口 (CFI) 规范定义了一个器件信息结构，该结构允许供应商指定的软件闪存管理程序 (驱动器) 用于整个系列的闪存设备。软件支持可以与器件无关、与 JEDEC 制造商 ID 无关，并且可以向后兼容指定的闪存器件系列。系统供应商可以通过使用 CFI 值从正在使用的器件的 CFI 信息配置家族驱动器来标准化其闪存驱动程序，以实现长期软件兼容性。

在编程、擦除或写周期正在进行时发出的任何 RDID 指令都将被忽略，并且对正在进行的编程、擦除或写周期的执行没有影响。

RDID 指令在 SI 上移位。当 RDID 指令最后一位移入器件后，SO 上将依次移出 1 字节制造商标识、2 字节器件标识、扩展器件标识、CFI 信息。总的来说，该信息称为 ID-CFI。参见“[器件 ID 和通用闪存接口 \(ID-CFI\) 地址映射](#)”在页 141 有关 ID-CFI 内容的详细描述。

如果继续将输出移到定义的 ID-CFI 地址空间末尾之外，将会提供未定义的数据。在数据输出期间，随时将 CS 驱动至逻辑高电平状态即可终止 RDID 指令序列。

RDID 指令的最大时钟频率为 133 MHz。

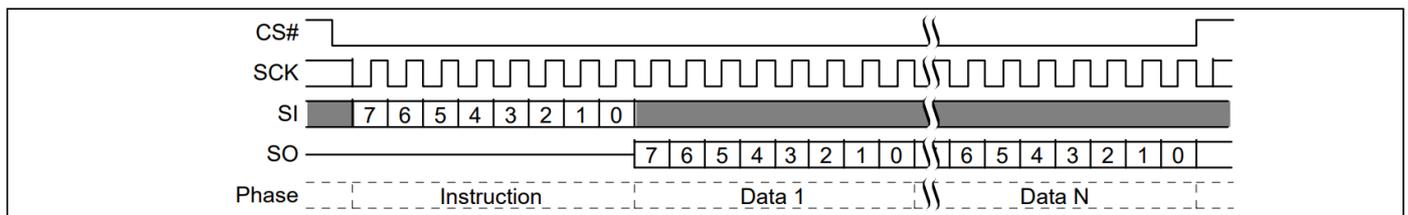


图 43 读取标识 (RDID) 指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-I03 上移入，返回数据在 IO0-I03 上移出。

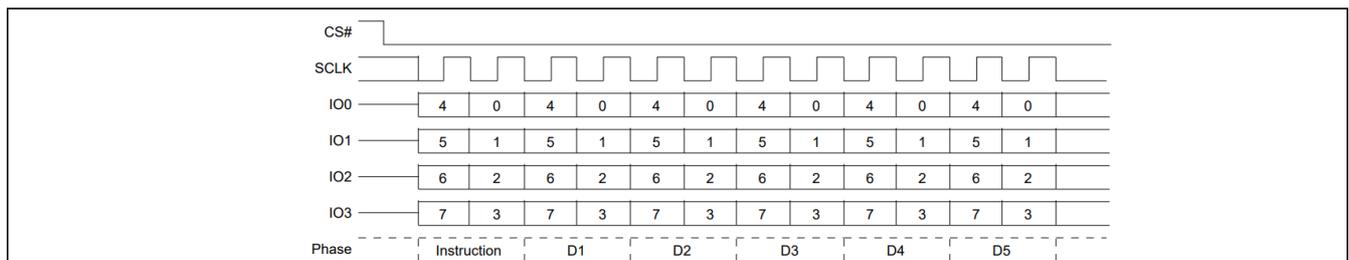


图 44 读标识 (RDID) QPI 模式指令

命令

### 10.2.2 四线读取标识 (RDQID AFh)

四线读取标识 (RDQID) 指令提供对制造商标识、器件接口标识和通用字符串 (CFI) 信息的读取访问。此指令是在 QPI 模式下读取 RDID 指令提供的相同信息的另一种方法。在所有其他方面，该指令的行为与 RDID 指令相同。

仅当器件处于 QPI 模式 (CR2V[6] = 1) 时才能识别该指令。该指令在 IO0-IO3 上移入。当指令的最后一位移入器件后，1 字节制造商标识、2 字节器件标识、扩展器件标识和 CFI 信息将依次从 IO0-IO3 移出。总的来说，该信息称为 ID-CFI。参见“[器件ID和通用闪存接口 \(ID-CFI\) 地址映射](#)”在页 141 有关 ID-CFI 内容的详细描述。

如果继续将输出移到定义的 ID-CFI 地址空间末尾之外，将会提供未定义的数据。在数据输出期间，随时将 CS 驱动至逻辑高电平状态即可终止指令时序。

该指令的最大时钟频率为 133 MHz。

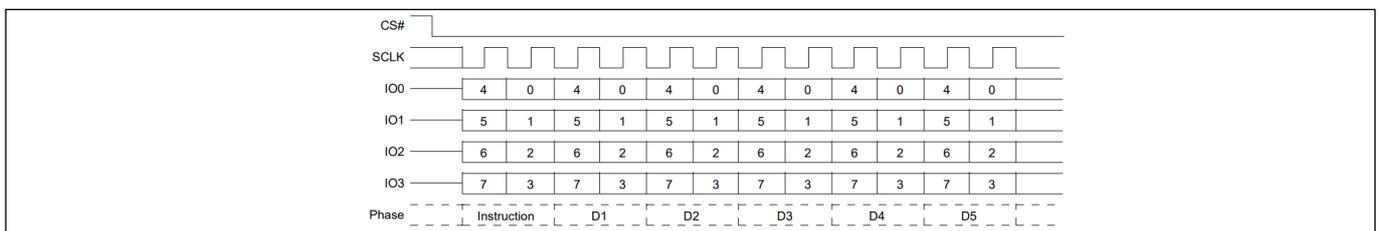


图 45 四线读取识别 (RDQID) 指令时序

### 10.2.3 读取串行闪存可发现参数 (RSFDP 5Ah)

该命令通过在 SI 上移位指令代码“5Ah”来启动，后跟 24 位地址 000000h，然后是 8 个虚拟周期。然后，SFDP 字节在虚拟周期之后从 SCK 的下降沿开始在 SO 上移出。SFDP 字节始终以最高有效位 (数据字最左位) 先移出。如果将 24 位地址置位为任何其他值，则 SFDP 空间中选定的位置即为数据读取的起点。这使得能够对 SFDP 空间中的任何参数进行随机访问。RSFDP 指令最高支持 50 MHz。

在提供密码之前，读取密码模式不支持 RSFDP。

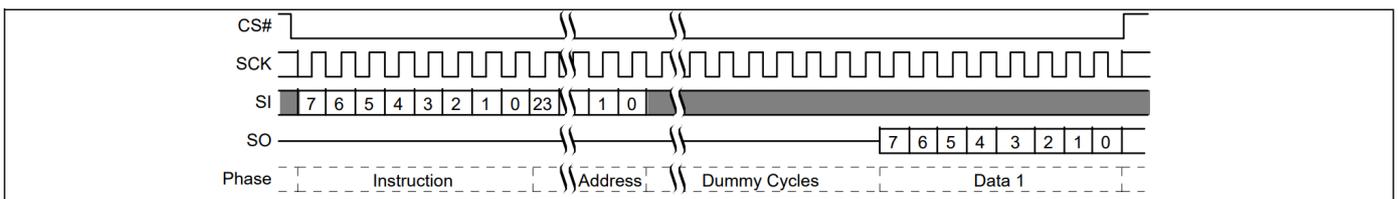


图 46 RSFDP 指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，返回数据在 IO0-IO3 上移出。

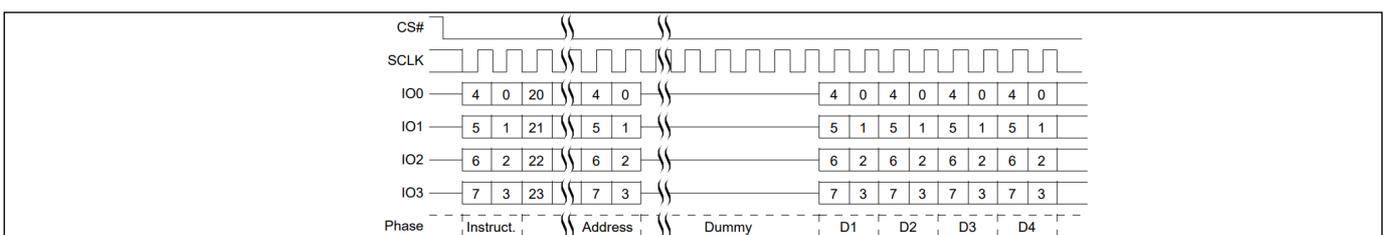


图 47 RSFDP QPI 模式指令时序

命令

### 10.3 寄存器访问指令

FS01GS 不支持以下寄存器访问指令：WRR (01h)、RDCR (35h)、RDSR1 (05h)、RDSR2 (07h)、PNVDLR (43h)。必须使用 RDAR (65h) 和 WRAR (71h) 指令来读取和写入寄存器，以便指令地址将操作指向 DDP 中的较低或较高 FS512S 器件。

#### 10.3.1 写入使能 (WREN 06h)

写入使能 (WREN) 指令将状态寄存器 1 (SR1V[1]) 的写入使能锁存器 (WEL) 位设置为“1”。写使能锁存器 (WEL) 位必须通过发出写使能 (WREN) 指令置位为“1”以进行写、编程和读写指令。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令字节的第八位被锁存在 SI 上之后，如果 CS# 没有被驱动到逻辑高电平状态，那么写使能操作将不会被执行。

由于 FS01GS 由两个堆叠在 DDP 中的 FS512S 设备构成，因此 WREN 指令将两个 FS512S 设备中的 WEL 位设置为 1。只有稍后执行写入、编程或擦除指令执行的 FS512S 器件才会在指令执行结束时将该器件中的 WEL 位返回到 0。必须发出写禁止使能 (WRDI) 指令才能将两个器件中的 WEL 位返回到 0。WRDI 指令可以在每次写入、编程或擦除指令完成后发出，或者在一系列此类指令完成后发出一次。在每次写入、编程或指令之前仍需要 WREN 指令，以确保指令执行前 WEL 位为 1。

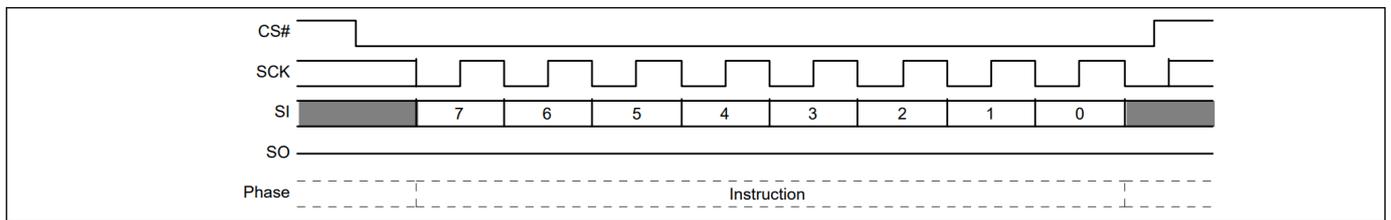


图 48 写入使能 (WREN) 指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

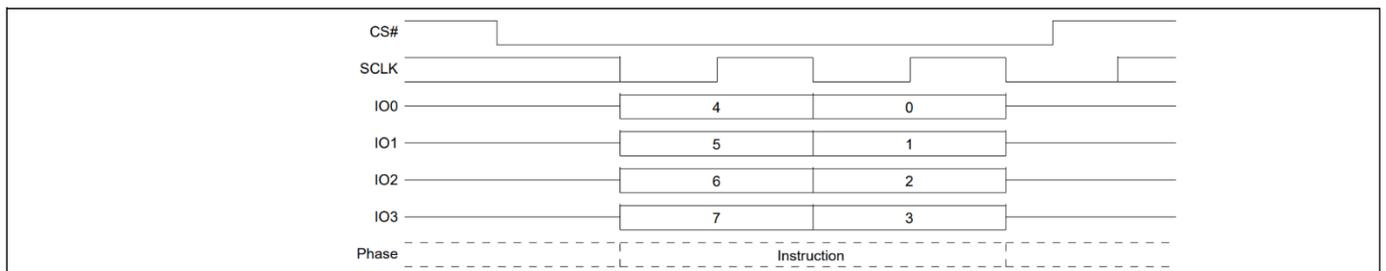


图 49 写入使能 (WREN) 指令时序 QPI 模式

命令

### 10.3.2 禁止使能 (WRDI 04h):

写禁止使能 (WRDI) 指令将状态寄存器 1 (SR1V[1]) 的写使能锁存器 (WEL) 位清除为“1”。

写使能锁存器 (WEL) 位可以通过发出写 OTP，不使能 (WRDI) 指令来清除为“0”。用户可以使用 WRDI 指令来保护闪存区域，防止意外写入，从而可能损坏闪存内容。当 WIP 位 = 1 时，嵌入操作期间会忽略 WRDI 指令。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令的第八位字节被锁存到 SI 上之后，如果 CS 没有被驱动到逻辑高状态，则写禁止使能操作将不会被执行。

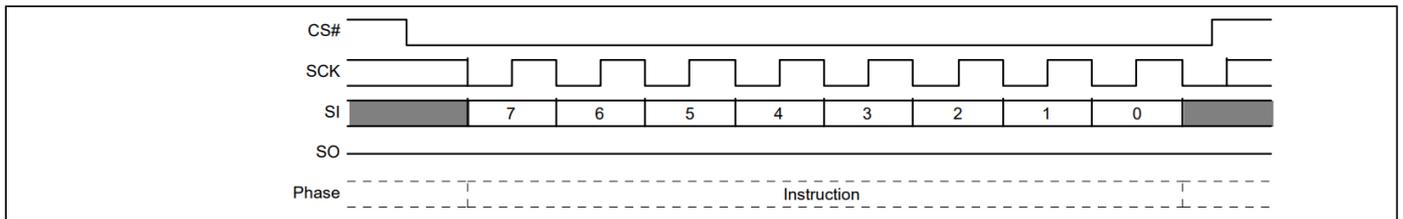


图 50 写禁止能 (WRDI) 指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-I03 上移入，每个字节两个时钟周期。

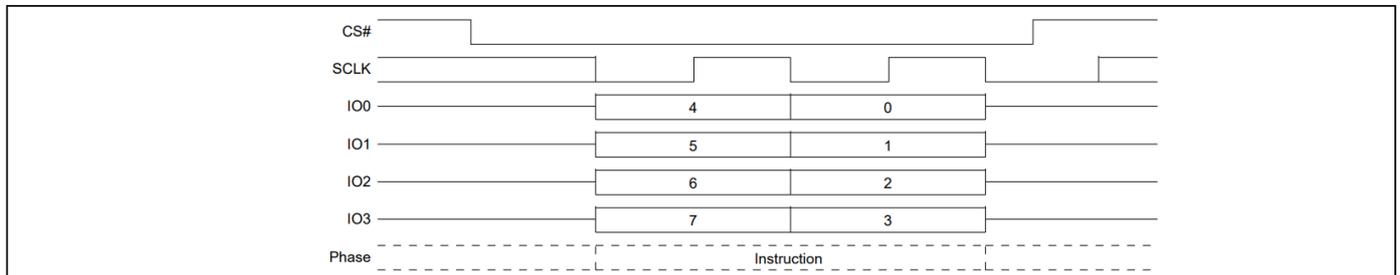


图 51 禁止使能 (WRDI) 指令时序 QPI 模式

命令

### 10.3.3 清除态寄存器 (CLSR 30h 或 82h) :

清除状态寄存器指令会复位位 SR1V[5] (擦除失败标志) 和位 SR1V[6] (编程失败标志)。在执行清除状态寄存器指令之前, 无需置位 WEL 位。即使器件保持忙且 WIP 置位为 1, 清除状态寄存器指令也会被接受, 因为当任一故障位为置位时器件确实保持忙。该指令执行后, WEL 位不会发生变化。传统的清除状态寄存器 (CLSR 30h) 指令可能会被禁用, 并且 30h 指令值会被用于编程 / 擦除恢复指令。请参阅“配置寄存器 3”在页 65。清除状态寄存器备用指令 (CLSR 82h) 始终可用于清除状态寄存器。

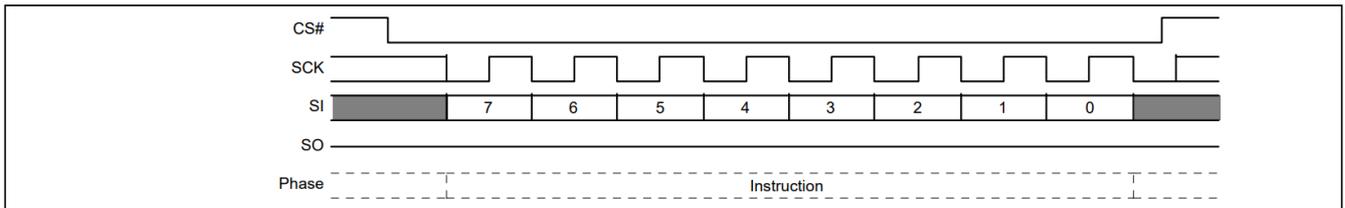


图 52 清除状态寄存器 (CLSR) 指令时序

QPI 模式也支持此指令。在全四线模式下, 指令在 IO0-IO3 上移入, 每个字节两个时钟周期。

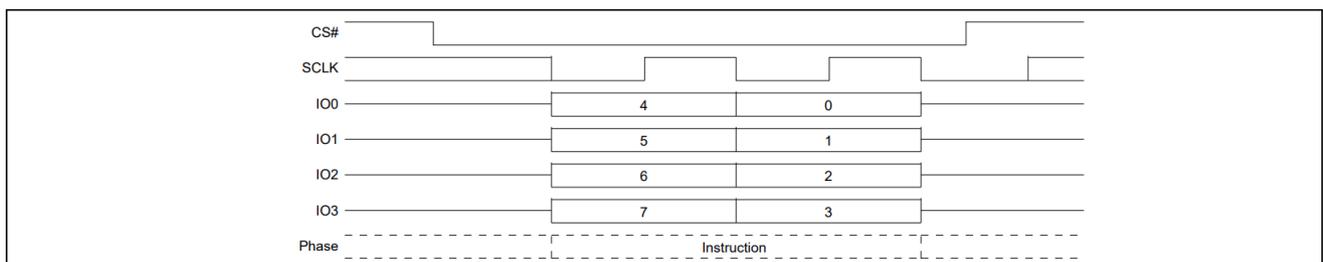


图 53 清除状态寄存器 (CLSR) 指令时序 QPI 模式

命令

### 10.3.4 ECC 状态寄存器读取 (ECCRD 19h 或 4EECRD 18h)

要读取ECC地址状态，指令后面跟着ECC单元地址，该地址的4个最低有效位（LSB）必须置位为零。接下来是通过 CR2V[3:0] 中的读取延时值选择的虚拟周期数。然后，ECC寄存器的8位内容来，选择的ECC单元地址，在 SO 上移出 16 次，ECC单元中每字节移出一。如果CS保持低电平，则通过SO发送下一个ECC单元状态16次，ECC单元中每字节一次。ECC读取命令的最大工作时钟频率为133MHz。

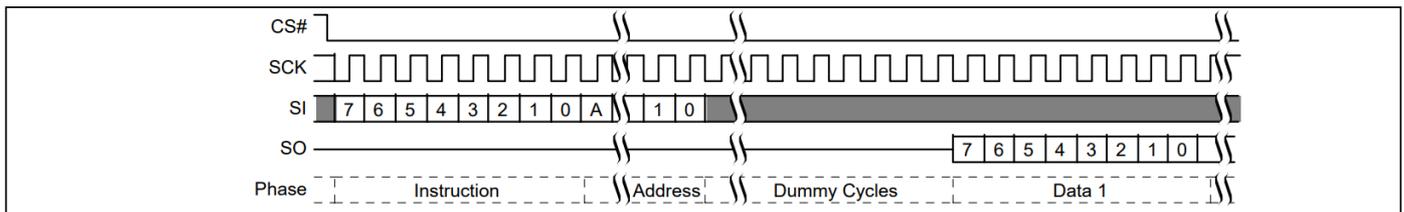


图 54 ECC 状态寄存器读取命令时序<sup>[43, 44]</sup>

此指令在全四线中也受支持。在全四线模式下，指令在 IO0–IO3 上移入，每个字节两个时钟周期。在全四线模式下，0 虚拟延时不支持 ECC 读取命令。

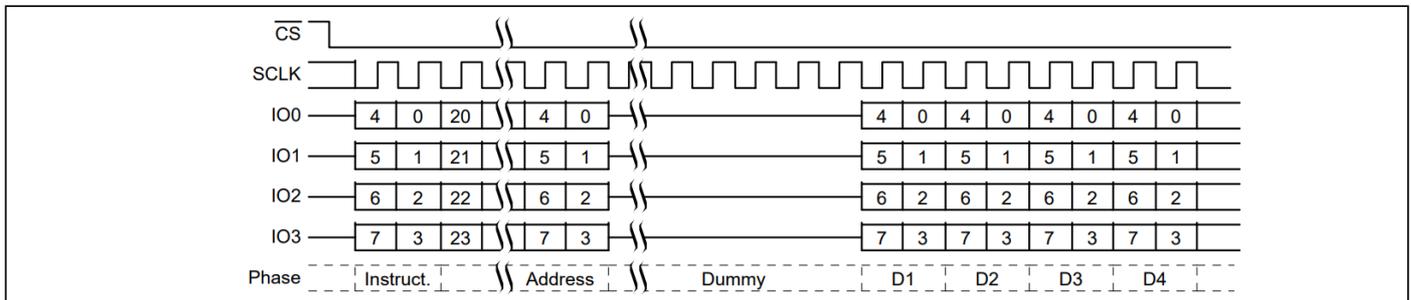


图 55 ECCRD (19h)，四线全模式，CR2[7] = 0，指令时序

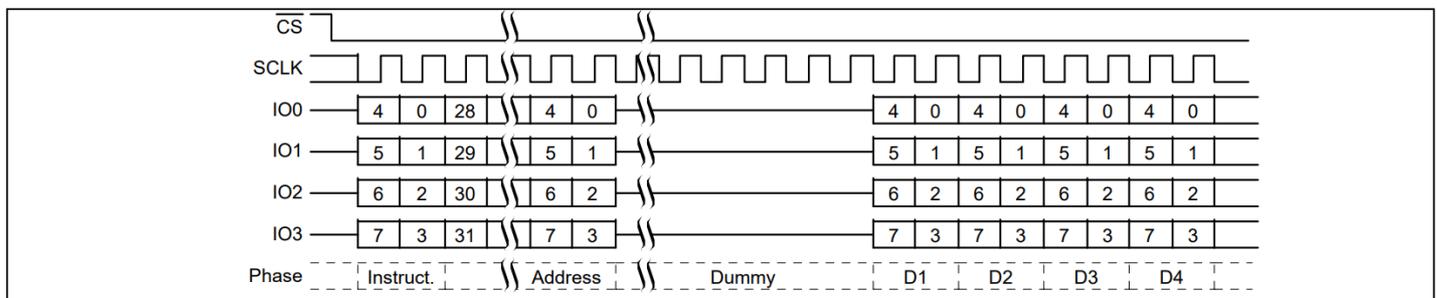


图 56 ECCRD (19h)，四线全模式，CR2[7] = 1，或 4EECRD (18h) 指令时序

注：

43.A = 地址的最高有效位 = 23 对于地址长度 (CR2V[7]=0，或 31 对于 CR2V[7]=1，指令为 19h。  
44.A = 地址最高有效位 = 31，指令为 18h。

命令

### 10.3.5 写入 VDLR (WVDLR 4Ah)

在器件接受 Write VDLR (WVDLR) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 WVDLR 操作。

通过在 SI 上移位指令和数据字节来输入 WVDLR 命令。

锁存第八 (8) 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 WVDLR 指令。一旦 CS# 被驱动到逻辑高电平状态，WVDLR 操作就会立即启动，不会有任何延时。PNVDLR 指令的最大时钟频率为 133 MHz。

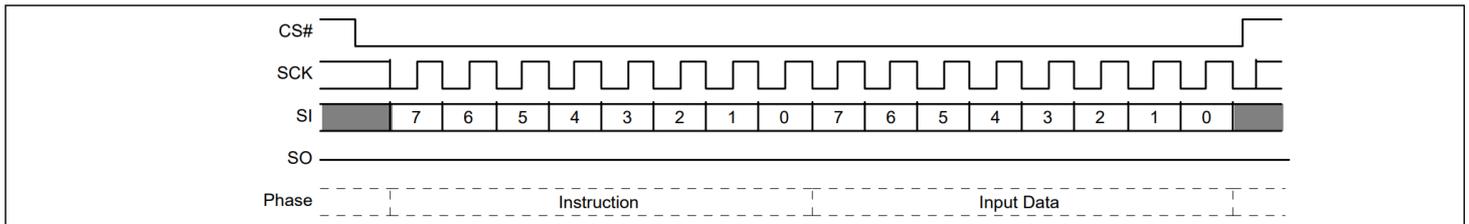


图 57 写入 VDLR (WVDLR) 指令时序

### 10.3.6 数据学习模式码阅读 (DLPRD 41h)

指令在 SI 上移位，然后 8 位 DLP 在 SO 上移出。通过提供八个时钟周期的倍数，可以连续读取 DLP。DLPRD 指令的最大工作时钟频率为 133 MHz。

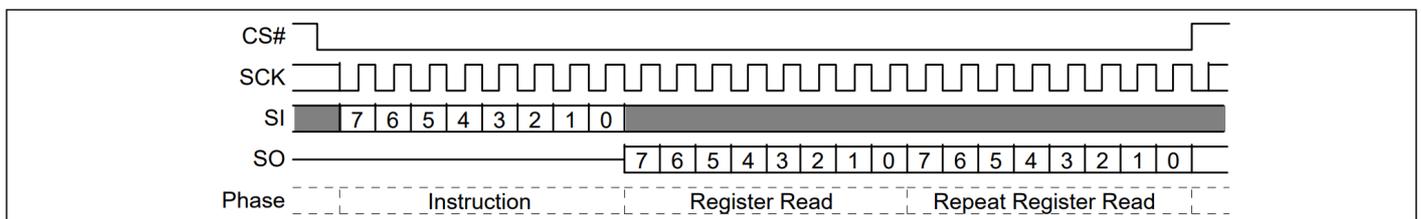


图 58 DLP 读取 (DLPRD) 指令时序

### 10.3.7 进入 4 字节地址模式 (4BAM B7h)

进入 4 字节地址模式 (4BAM) 指令将易失性地址长度位 (CR2V[7]) 设置为 1，以将大多数 3 字节地址指令更改为需要 4 字节地址。读取 SFDP (RSFDP) 指令是唯一的 3 字节指令，不受地址长度位的影响。JEDEC JESD216 标准要求 RSFDP 始终只有 3 个字节的地址。

退出 4 字节地址模式需要硬件或软件复位。

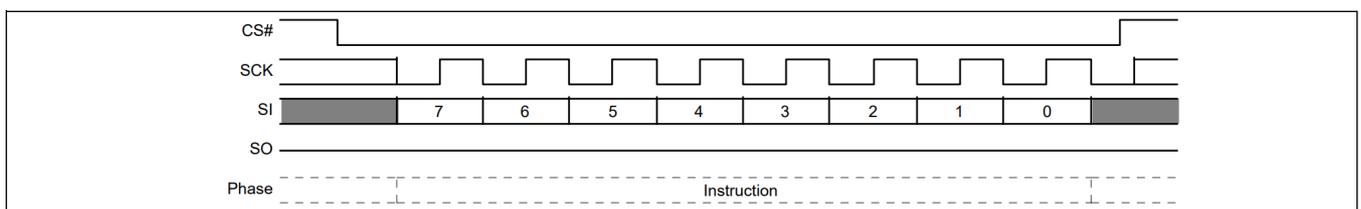


图 59 输入 4 字节地址模式 (4BAM B7h) 指令时序

### 10.3.8 读取任何寄存器 (RDAR 65h)

Read Any Register (RDAR) 指令提供了一种读取所有器件寄存器的方法 - 非易失性和易失性。该指令后面跟着一个 3 或 4 字节地址（取决于 CR2V[7] 的地址长度配置，后面跟着 CR2V[3:0] 设置的多个延时（虚拟）周期。然后返回所选寄存器的内容。如果继续读取，则返回相同地址的寄存器内容，直到指令终止 - 每个 RDAR 指令只读取一个寄存器。

FS01GS 要求该指令使用 4 字节地址模式，以便 4 字节地址选择内部顶部或底部 FS512S 器件进行读取。4BAM (B7h) 指令用于在使用 RDAR 指令之前进入 4 字节地址模式。地址 A26 = 0 选择较低地址 FS512S，A26 = 1 选择较高的地址 FS512S。

读取未定义的位置会提供未定义的数据。

RDAR 指令可用于嵌入式操作期间读取状态寄存器 1 (SR1V)。

RDAR 指令不用于读取作为更大阵列窗口的寄存器：ECCSR、PPBAR 和 DYBAR。需要单独的指令来选择和读取所访问阵列中的位置。

如果通过将 ASPR[2] 编程为 0 来选择 ASP 密码保护模式，则 RDAR 指令将从 PASS 寄存器位置读取无效数据。

命令

**表 47 寄存器地址映射**

Byte address (Hex)	Register name	Description
00000000	SR1NV	Non-volatile Status and Configuration Registers
00000001	N/A	
00000002	CR1NV	
00000003	CR2NV	
00000004	CR3NV	
00000005	CR4NV	
...	N/A	
00000010	NVDLR	Non-volatile Data Learning Register
...	N/A	
00000020	PASS[7:0]	Non-volatile Password Register
00000021	PASS[15:8]	
00000022	PASS[23:16]	
00000023	PASS[31:24]	
00000024	PASS[39:32]	
00000025	PASS[47:40]	
00000026	PASS[55:48]	
00000027	PASS[63:56]	
...	N/A	
00000030	ASPR[7:0]	Non-volatile
00000031	ASPR[15:8]	
...	N/A	
00800000	SR1V	Volatile Status and Configuration Registers
00800001	SR2V	
00800002	CR1V	
00800003	CR2V	
00800004	CR3V	
00800005	CR4V	
...	N/A	
00800010	VDLR	Volatile Data Learning Register
...	N/A	
00800040	PPBL	Volatile PPB Lock Register
...	N/A	

命令

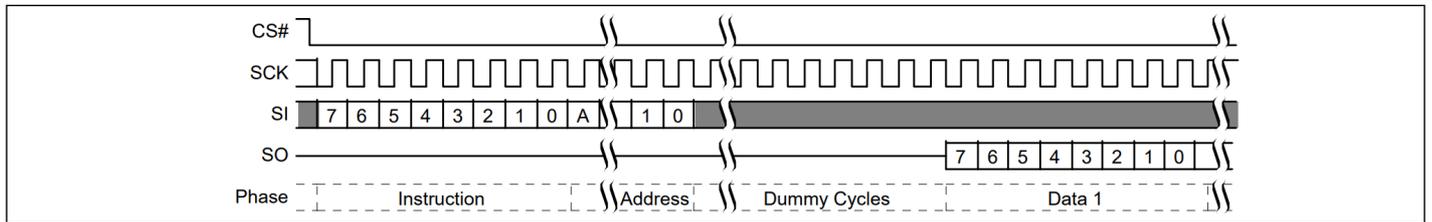


图 60 Read Any Register 读取命令时序<sup>[45]</sup>

QPI 模式也支持此指令。在全四线模式下，指令在 IO0~IO3 上移入，每个字节两个时钟周期。

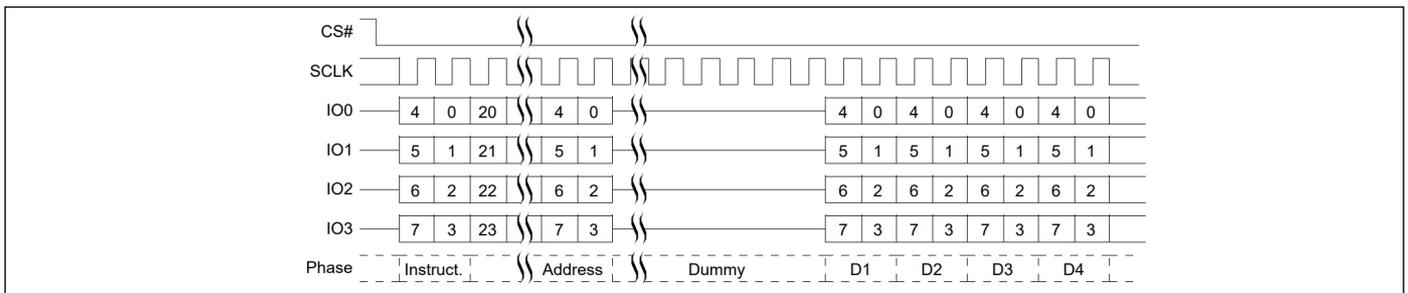


图 61 读取任意寄存器，QPI 模式，CR2[7] = 0，指令时序

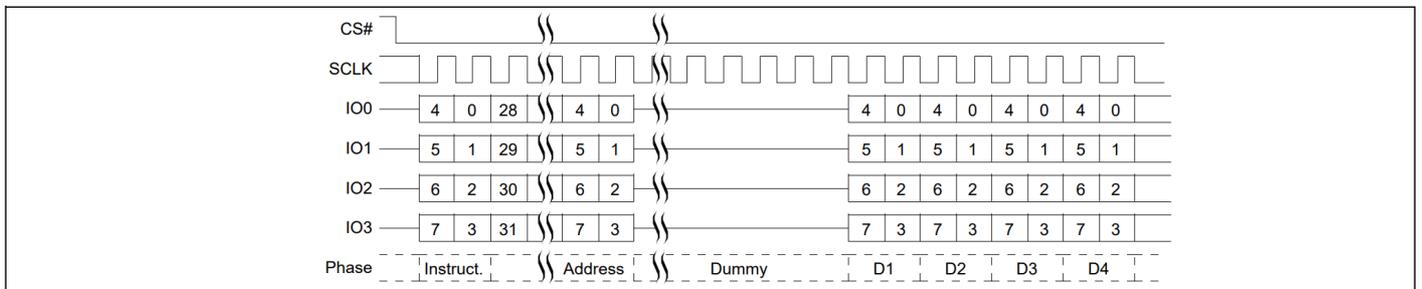


图 62 读取任意寄存器，QPI 模式，CR2[7] = 1 指令时序

注：

45.A = 地址最高有效位 = 23（对于地址长度 CR2V[7] = 0），或 31（对于 CR2V[7] = 1）。

### 10.3.9 写入任意寄存器 (WRAR 71h)

Write Any Register (WRAR) 指令提供了一种写入任何器件寄存器的方法 - 非易失性或易失性。该指令后面跟着一个 3 或 4 字节地址（取决于地址长度配置 CR2V[7]），后面跟着要写入所选地址寄存器的 1 字节数据。FS01GS 要求该指令使用 4 字节地址模式，以便 4 字节地址选择内部顶部或底部的 FS512S 器件进行写入。在使用 WRAR 指令之前，4BAM (B7h) 指令可用于进入 4 字节地址模式。地址 A26 = 0 选择较低地址 FS512S，A26 = 1 选择较高地址 FS512S。

在器件接受 WRAR 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL) 以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR1V 中的 P\_ERR 和 E\_ERR 位来确定操作期间是否发生任何错误。

一些寄存器混合了多种位类型，并且有单独的规则来控制哪些位可以被修改。有些位是只读的，有些是 OTP 的。

只读位永远不会被修改，并且 WRAR 指令数据字节中的相关位将被忽略，而不会设置程序或擦除错误指示 (SR1V 中的 P\_ERR 或 E\_ERR)。因此，WRAR 数据字节中这些位的值并不重要。

OTP 位只能被编程为与其默认状态相反的电平。将 OTP 位写回到其默认状态的操作将被忽略，并且不会发生任何错误。

由 WRAR 数据改变的非易失性位需要更新非易失性寄存器写入时间 ( $t_W$ )。更新过程涉及到对非易失性寄存器位的编程操作。如果更新的部分擦除或编程操作失败，则 SR1V 中的相关故障位和 WIP 将置位为 1。

由 WRAR 数据改变的易失性位需要更新易失性寄存器写入时间 ( $t_{CS}$ )。状态寄存器 1 可反复读取 (轮询) 监测器的写入进度 (WIP) 位 (SR1V[0]) 和错误位 (SR1V[6,5])，以确定寄存器写入何时完成或失败。如果写入失败，则清除状态指令用于清除错误状态，使器件能够返回待机状态。

然而，PPBL 寄存器不能通过 WRAR 指令写入。只有 PPB 锁定位写入 (PLBWR) 指令可以写入 PPBL 寄存器。

指令时序和行为与 PP 或 4PP 指令相同，仅提供单个字节的数据。请参阅“[页编程 \(PP 02h 或 4PP 12h\)](#)”在 113 页。

寄存器的地址映射与“[读任何寄存器 \(RDAR 65h\)](#)”在 100 页。

命令

### 10.3.10 设置突发长度 (SBL C0h)

设置突发长度 (SBL) 指令用于配置突发回卷特点。在传统SPI或 QPI 模式下，突发回卷与四线 I/O 读取和 DDR 四线 I/O 读取结合使用，以访问固定长度和对齐的数据。某些应用程序可以从此特性中受益，从而提高整体系统代码执行性能。突发回卷特点允许使用缓存的应用首先来自关键地址的指令或数据填充缓存行，然后用固定长度 (8/16/32/64 字节) 的数据填充缓存行的剩余部分，而无需发出多个读取指令。

设置位突发长度 (SBL) 指令写入 CR4V 寄存器位 4、1 和 0 来使能或禁止使能回卷读取特性，并且设置位为回卷边界。CR4V 寄存器的其他位不受 SBL 指令的影响。当启用回卷读取特性时，相关的读取指令从顺序读取直到指令结束变为在一组字节内顺序包装读取。

当 CR4V[4]=1 时，不支持回卷模式，进行无限制长度顺序读取。

当 CR4V[4]=0 时，启用回卷模式，从读取命令提供的字节地址开始读取固定长度且对齐的 8、16、32 或 64 字节组，并在组对齐边界处进行回绕。

字节组的长度为 8、16、32 或 64 字节边界。CR4V[1:0] 选择边界。请参阅“配置寄存器-4 易失性 (CR4V)”在页 68。

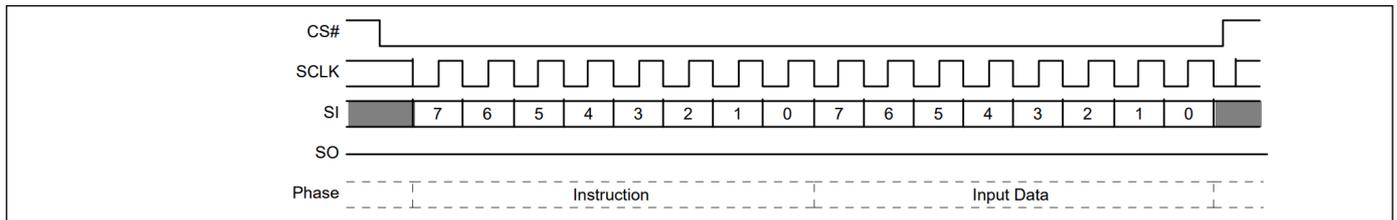
读取命令的起始地址选择字节组，返回的第一个数据是寻址的字节。然后按顺序读取字节，直到到达组边界的末尾。如果读取继续，地址将绕回到组的开头并继续按顺序读取。这个回卷的读取时序持续到指令通过 CS 返回高电平来结束。

表 48 突发回卷时序示例

SBL data value (Hex)	Wrap boundary (Bytes)	Start address (Hex)	Address sequence (Hex)
1X	Sequential	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
00	8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02, ...
00	8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01, ...
01	16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, ...
01	16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, ...
02	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, ...
02	32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, ...
03	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F 00, 01, 02, ...
03	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, , ...

通过使用 WRAR 指令将 CR4NV 编程为所需值，可以更改上电复位、硬件复位或软件复位默认突发长度。

命令



**图 63 置位突发长度指令时序**

### 10.4 读取闪存阵列命令

主要闪存阵列的读取指令为上一代SPI兼容性或增强型性能SPI提供了许多选项：

- 某些指令在 SCK 的每个上升沿传输地址或数据。这些被称为SDR命令。
- 某些SDR指令在 SCK 的每个上升沿传输一个地址，并在 SCK 的每个上升沿返回 1 位数据。这些称为单线指令。
- 某些SDR指令在每个 SCK 上升沿传输 2 或 4 位地址和数据。对于两位，它们被称为双线I/O；对于四位，它们被称为四线I/O和 QPI。QPI 也在每个上升沿传输 4 位指令。
- 有些指令在SCK的上升沿和下降沿都传输地址和数据。这些被称为DDR指令。
- 每个 SCK 边沿有 4 位地址或数据的 DDR 指令。这些被称为四线 I/O DDR 和 QPI DDR，用于每边传输 4 位。

所有这些命令（QPI 读取除外）都以指令代码开始，该指令代码在每个 SCK 上升沿传输一位。QPI 读取在每个 SCK 上升沿传输 4 位指令。指令后面跟着在 SDR 或 DDR 上传输的 3 或 4 字节地址。每个时钟沿传输地址或数据 2 或 4 位的指令称为多线 I/O (MIO) 指令。对于256Mb或更高容量的FS-S系列器件，传统的SPI 3 字节地址无法直接寻址存储器阵列中的所有位置。提供单独的 4 字节地址读取指令用于访问整个地址空间。这些设备可以配置为使用传统的 3 字节地址指令从主控制系统获取 4 字节地址。传统指令的 4 字节地址模式通过将配置寄存器 2 中的地址长度位设置为“0”来激活。

四线I/O 和 QPI 指令提供了由在地址位之后发送的模式位控制的性能改进选项。模式位指示当前读取结束后的指令是否是另一个相同类型的读取，而在读取开始时没有指令。这些模式位提供了在进行一系列四线读访问时消除指令周期的选项。

某些指令需要地址或模式位后面的延时周期，以允许有时间访问闪存阵列 - 读取延时。延时或读取等待时间周期传统上被称为虚拟周期。存储器会忽略虚拟周期，因此主控在这些周期内提供的任何数据都是“不关心的”，并且主控也可能在虚拟周期内将SI信号保持在高阻态。当使用 MIO 指令时，主控必须在最后一个虚拟周期结束之前停止驱动 IO 信号（输出为高阻态）。当使用 DDR 指令时，主控不得在任何虚拟周期内驱动 I/O 信号。虚拟周期的数量随通过配置寄存器 2 (CR2V[3:0]) 延时编码位选择的 SCK 频率或性能选项而变化。虚拟周期是按 SCK 下降沿到下一个 SCK 下降沿进行计算的。SPI 输出传统上在每个 SCK 的下降沿被驱动为一个新值。零虚拟周期意味着返回数据由内存在主控停止驱动地址或模式位的同一 SCK 下降沿驱动。

DDR 指令可以选择性地在所有数据输出上在数据开始之前的虚拟周期中具有由存储器驱动的 8 个边缘数据学习模式 (DLP)。DLP可以帮助主控存储控制器确定SCK到数据边缘的相位差，以便存储控制器可以捕获数据眼中心的数据。

命令

当在较高的 SCK 频率 (>50 MHz) 下使用 SDR I/O 指令时, 应选择提供 1 个或多个虚拟周期的 LC, 以便在存储器开始驱动数据之前为主控提供额外的时间停止驱动, 从而最大限度地减少 I/O 驱动器冲突。当使用启用了 DLP 的 DDR I/O 指令时, 应选择提供 5 个或更多虚拟周期的 LC, 以便在闪存开始驱动 4 周期 DLP 之前, 允许主控有 1 个周期的额外时间停止驱动。

当数据返回期间的任何时候 CS# 返回高电平时, 每个读取命令都结束。在数据返回之前的模式或虚拟周期内, CS 不得返回高电平, 因为这可能会导致模式位被错误捕获; 从而不确定器件是否保持为连续读取模式。

### 10.4.1 读取 (读取 03h 或 4READ 13h)

指令

- 03h (CR2V[7] = 0) 后跟随 3 字节地址 (A23-A0) 或
- 03h (CR2V[7] = 1) 后跟随 4 字节地址 (A31-A0) 或
- 13h 后面跟着 4 字节地址 (A31-A0)

然后将给定地址处的内存内容移出 SO。读取命令的最大工作时钟频率为 50 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后, 地址会按依次递增到下一个更高的地址。因此, 只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时, 地址计数器将回绕并回滚至 000000h, 从而允许读取时序无限期地继续。

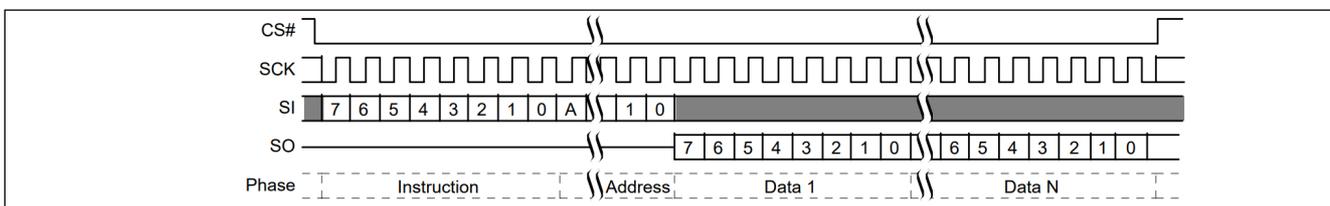


图 64 读取命令时序 (3 字节地址, 03h 或 13h) <sup>[46]</sup>

注:

46.A = 地址最高有效位 = 23 (CR2V[7] = 0), 或 31 (CR2V[7] = 1 或指令 13h)。

命令

### 10.4.2 快速读取 (FAST\_READ 0Bh 或 4FAST\_READ 0Ch)

指令

- 0Bh (CR2V[7] = 0) 后跟 3 字节地址 (A23-A0) 或
- 0Bh (CR2V[7] = 1) 后跟 4 字节地址 (A31-A0) 或
- 0Ch 后面跟着 4 字节地址 (A31-A0)

该地址后面是虚拟周期，具体取决于配置寄存器 CR2V[3:0] 中的延时编码值。虚拟周期为器件内部电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，SO 上的数据值为“无关”并且可能为高阻态。然后将给定地址处的闪存内容移出 SO。

快速读取命令的最大工作时钟频率为 133 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

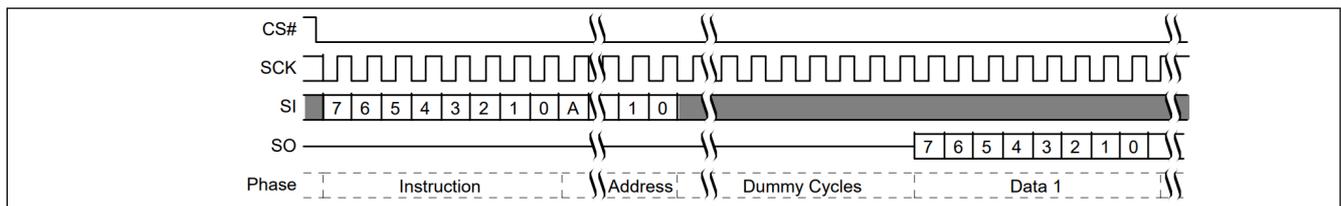


图 65 快速读取 (FAST\_READ) 指令时序 (3-byte 地址, 0Bh [CR2V[7] = 0])<sup>[47]</sup>

注:

47.A = 地址最高有效位 = 23 (CR2V[7] = 0) , 或 31 (CR2V[7] = 1 或指令 0Ch) 。

命令

### 10.4.3 双线 I/O 读取 (DIOR BBh 或 4DIOR BCh)

指令

- BBh (CR2V[7] = 0) 后跟 3 字节地址 (A23-A0) 或
- BBh (CR2V[7] = 1) 后跟 4 字节地址 (A31-A0) 或
- BCh后面跟着4字节地址 (A31-A0)

双线 I/O 读取指令通过两个 I/O 信号 — IO0 (SI) 和 IO1 (SO) 来提高吞吐量。此指令接受地址的输入并在每个 SCK 上升沿返回两位读取数据。在某些应用中，减少的地址输入和数据输出时间可能允许代码就地执行 (XIP)，即直接从闪存器件执行。

双线 I/O 读取的最大工作时钟频率为 133 MHz。

双线 I/O 读取命令具有跟随地址的连续读取模式位。对于 S70FS01GS，请勿使用连续读取模式，这会导致两个 512 Mb 芯片之间发生总线争用。系列中的第一个双线 I/O 读取命令以 8 位指令开始，然后是地址，然后是四个不等于 Axh 的模式位周期，然后是可选的延时周期。

在模式位移入 SI 和 SO 之后、数据开始移出 IO0 和 IO1 之前，可能会添加可变延时。此延时时间（虚拟周期）允许器件内部电路有足够的时间来访问初始地址处的数据。在虚拟周期期间，SI 和 SO 上的数据值是“不关心的”并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

注意，四个模式位周期是器件内部电路延时时间的一部分，用于在时钟输入 IO0 (SI) 和 IO1 (SO) 的最后一个地址周期之后访问初始地址。

重要的是，I/O 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动（总线切换）之前可用于关闭主控输出的时间减少。这是允许的，并且可能有助于防止 I/O 信号争用，主控系统可以在最后两个“无关”模式周期或任何虚拟周期内关闭 I/O 信号输出（使其成为高阻态）。

在等待时间之后，给定地址的存储器内容通过 IO0 (SI) 和 IO1 (SO) 每次移出两位。在 SCK 信号的下降沿，以 SCK 频率移出两位。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

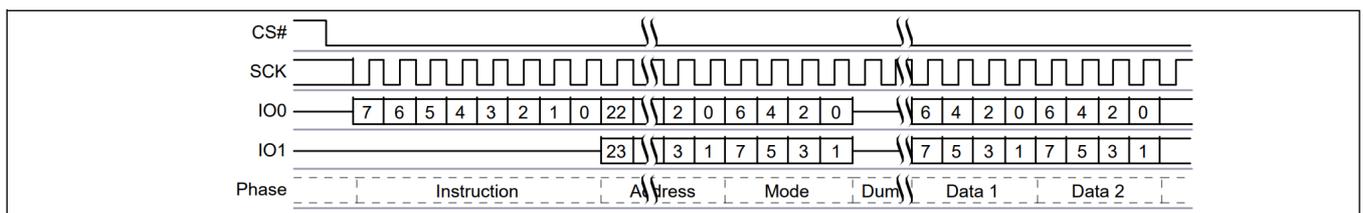
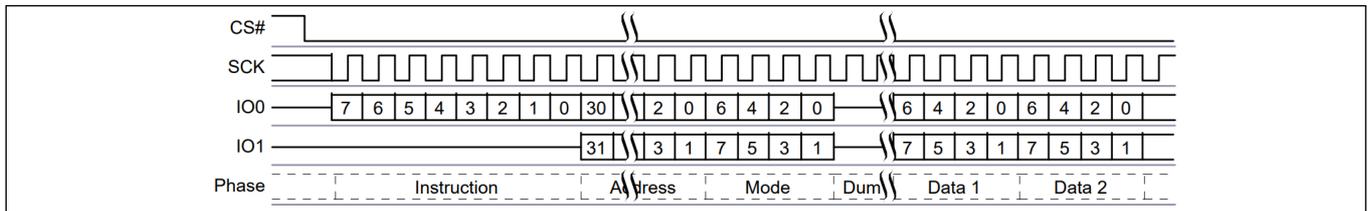


图 66 双线 I/O 读取命令时序 (3 字节地址, BBh [CR2V[7] = 0]) [48]

注:

48. 模式的最低有效4位是无关紧要的，主控可以选择驱动这些位。主控可能会在这些周期内关闭驱动器，以增加主控的模式位与从内存返回数据之间的总线切换时间。模式位不能等于 Axh，S70FS01GS 不支持连续读取模式。

命令



**图 67 双线 I/O 读取命令时序 (4 字节地址, BBh [CR2V[7] = 1])**

### 10.4.4 四线 I/O 读取 (QIOR EBh 或 4QIOR ECh)

指令

- EBh (CR2V[7] = 0) 后跟 3 字节地址 (A23-A0) 或
- EBh (CR2V[7] = 1) 后跟 4 字节地址 (A31-A0) 或
- ECh 后面跟着 4 字节地址 (A31-A0)

四线 I/O 读取命令通过四个 I/O 信号 (I00-I03) 来提高吞吐量。它允许每个串行 SCK 时钟输入四位地址位。在某些应用中, 减少的指令开销可能允许直接从 FS-S 系列设备执行代码 (XIP)。配置寄存器的 QUAD 位必须为配置位 (CR1V[1]=1) 才能启用 FS-S 四线设备的 Quad 功能。

四线 I/O 读取的最大工作时钟频率为 133 MHz。

对于四线 I/O 读取命令, 在模式位 (如下所述) 之后, 数据开始移出 I00-I03 之前需要有一个延时。该延时时间 (即虚拟周期) 允许器件的内部电路有足够的时间来访问初始地址处的数据。在延时周期内, I00-I03 上的数据值是“不关心的”, 并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

在延时周期之后, 给定地址处的存储器内容通过 I00-I03 每次移出四位。每个半字节 (4 位) 以 SCK 频率通过 SCK 信号的下降沿移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后, 地址会按依次递增到下一个更高的地址。因此, 只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时, 地址计数器将回绕并回滚至 000000h, 从而允许读取序列无限期地继续。

对于 S70FS01GS, 请勿使用连续读取模式, 这会导致两个 512 Mb 芯片之间发生总线争用。模式位不得等于 Axh, 这将使器件保持标准读取模式。

注意, 两个模式位时钟周期和附加等待状态 (即虚拟周期) 允许器件的内部电路延时时间在时钟输入 I00-I03 的最后一个地址周期之后访问初始地址。

重要的是, I00-I03 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下, 在存储器器件开始驱动 (总线切换) 之前可用于关闭主控输出的时间减少。这是允许的, 并且可能有助于防止 I00-I03 信号争用, 因为主控系统可以在最后一个“无关”模式周期或任何虚拟周期内关闭 I00-I03 信号输出 (使其成为高阻态)。

在模式或虚拟位期间不应将 CS# 驱动为高电平, 因为这可能会使模式位不确定。

在 QPI 模式 (CR2V[6] = 1) 下, 四线 I/O 指令在每个 SCK 上升沿发送 4 位。指令协议的其余部分与四线 I/O 指令相同。

命令

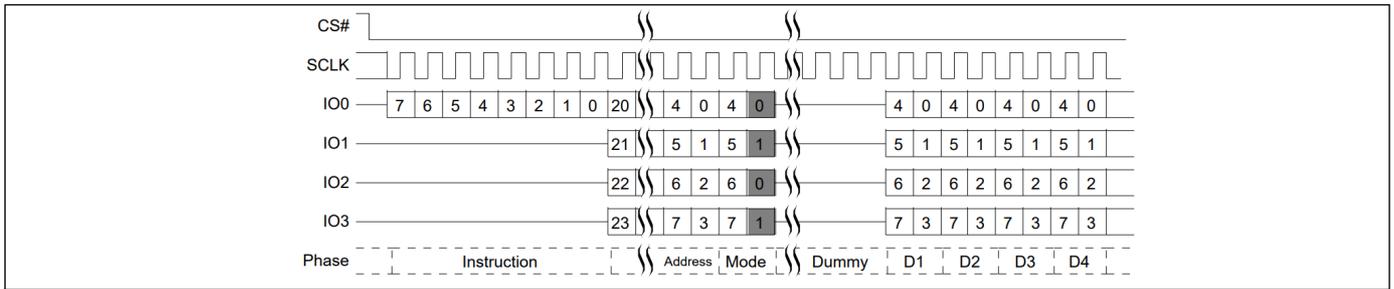


图 68 四线 I/O 读取命令时序 (3 字节地址, EBh [CR2V[7] = 0])

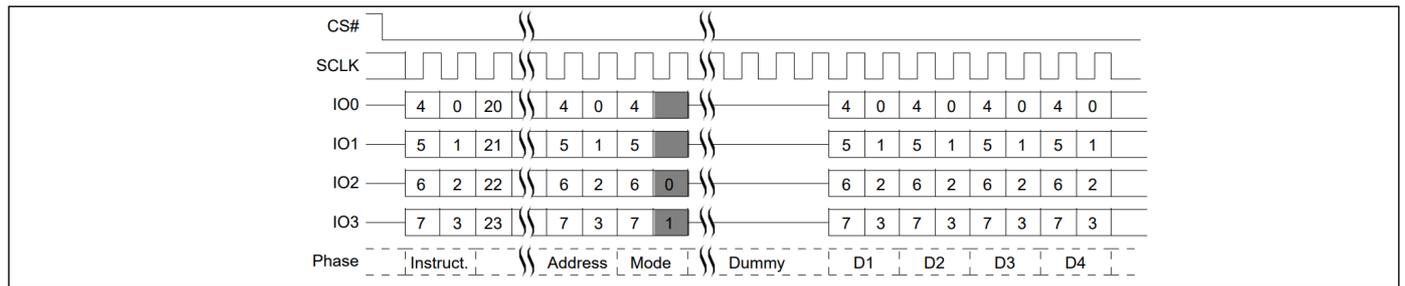


图 69 四线 I/O 读取命令时序 (3 字节地址, EBh [CR2V[7] = 0]) QPI 模式

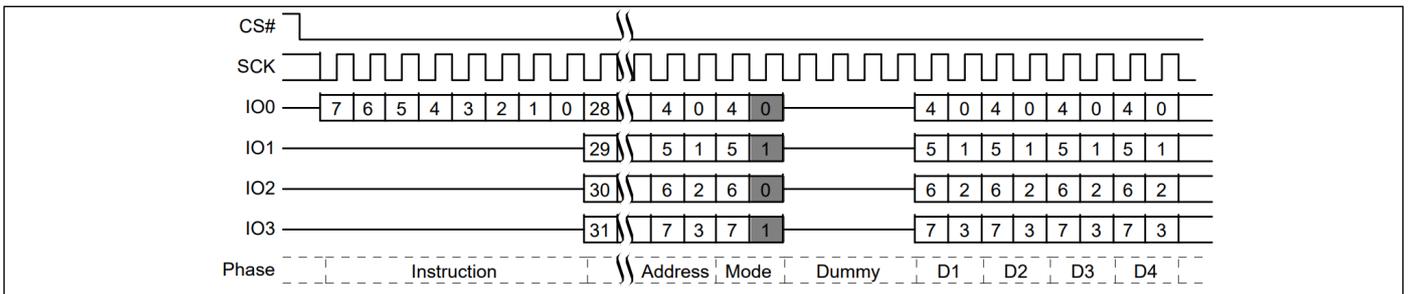


图 70 四线 I/O 读取命令时序 (4 字节地址, ECh 或 EBh [CR2V[7] = 1])

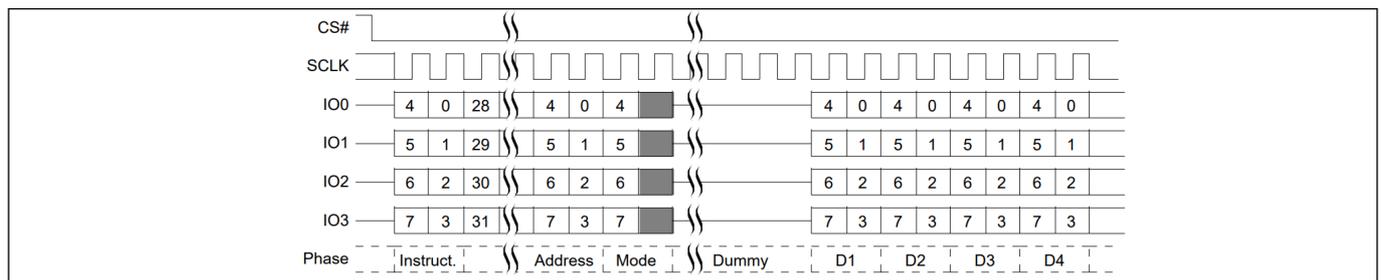


图 71 四线 I/O 读取命令时序 (4 字节地址, ECh 或 EBh [CR2V[7] = 1]) QPI 模式

命令

### 10.4.5 DDR 四线 I/O 读取 (EDh、EEh)

DDR 四线 I/O 读取命令通过四个 I/O 信号 - IO0-IO3 来提高吞吐量。它类似于四线 I/O 读取命令，但允许在时钟的每个边沿输入四位地址。在某些应用中，减少的指令开销可能允许直接从 FS-S 系列设备执行代码 (XIP)。配置配置的 QUAD 位必须为配置位 (CR1V[1] = 1) 才能启用 Quad 功能。

指令

- EDh (CR2V[7] = 0) 后跟 3 字节地址 (A23-A0) 或
- EDh (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- EEh 后面跟着 4 字节地址 (A31-A0)

地址后面是模式位。然后，以 DDR 方式将给定地址的内存内容移出，通过 IO0-IO3，每个时钟边沿每次移出四位。

DDR 四线 I/O 读取命令的最大工作时钟频率为 80 MHz。

对于 DDR 四线 I/O 读取，在最后一个地址和模式位移入 IO0-IO3 信号之后，数据开始移出 IO0-IO3 之前需要一段延时。该延时周期 (虚拟周期) 允许器件的内部电路有足够的时间来访问初始地址。在这些延时周期内，IO0-IO3 上的数据值是“不关心的”并且可能是高阻态。当数据学习模式 (DLP) 启用时，主控系统不得在虚拟周期期间驱动 IO 信号。主控必须将 IO 信号置于高阻态，以便存储器器件能够在虚拟周期内驱动 DLP。

虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

对于 S70FS01GS，不要使用连续读取模式，这会导致两个 512Mb 芯片之间发生总线争用。模式位的高半字节 (IO[7:4]) 和低半字节 (IO[3:0]) 不得互补 (即 5h 和 Ah)；这使器件保持标准 DDR Quad I/O 读取模式。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

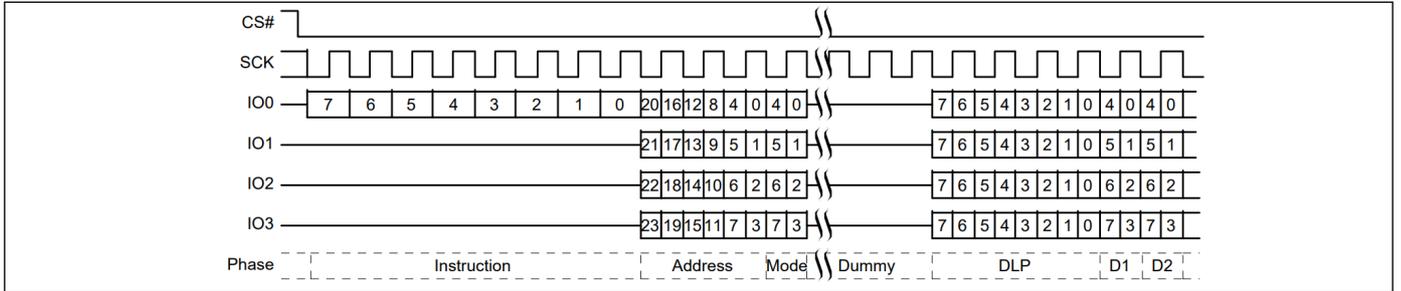
在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。注意，存储设备可能会在第一个数据值之前使用前导码来驱动 IO。前导码是数据学习模式 (DLP)，主控控制器使用它来优化更高频率的数据捕获。前导码在数据输出前的四个时钟周期内驱动 IO 总线。主控必须确保持续输出前导码之前停止驱动 IO 总线。

前导码旨在向主控控制器提供关于从主控驱动时钟边沿到相应数据值从存储器器件返回的往返时间的指示。主控控制器将在前导周期内偏移数据捕获点，以优化时序裕度，然后在剩余的读取操作期间使用相同的偏移时间来捕获数据。优化的捕获点将在每次读操作的前导周期内确定。该优化策略的目的是为了补偿存储器器件和主控控制器的 PVT (工艺、电压、温度) 以及由 PCB 上的走线时间引起的任何系统电平延时。

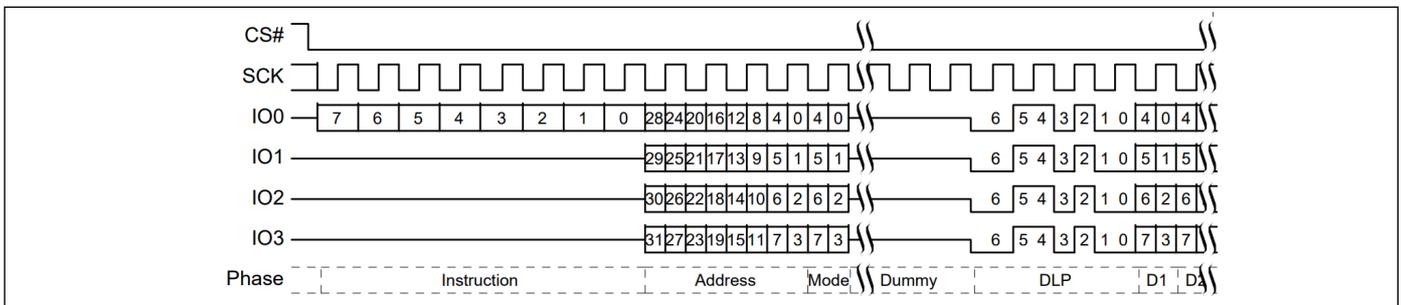
尽管数据学习模型码 (DLP) 是可编程的，但下例仍以 34h 的 DLP 为例。DLP 34h (或 00110100) 将在每个有效输出 (即所有 4 个 SIO) 上驱动。选择此模型码是为了涵盖“DC”和“AC”数据转换场景。两种 DC 转换场景包括数据低电平持续较长时间 (两个半时钟周期)，然后转为高电平 (001) 以及互补的低电平转为高电平 (110)。两种 AC 转换场景包括数据低电平持续较短时间 (一个半时钟周期)，然后转为高电平 (101) 以及互补的低电平转为高电平 (010)。DC 转换的起点通常比交流转换更靠近供电轨，因为 AC 转换可能尚未完全稳定在稳态 (DC) 水平。在许多情况下，DC 转换将限制数据有效期的开始，AC 转换将限制数据有效期的结束。这些转换将允许主控控制器识别有效数据眼的开始和结束。一旦数据眼被识别，就可以选择最佳数据捕获点。参见“[SPI DDR 数据学习寄存器](#)”在页 73 了解更多详情。

命令

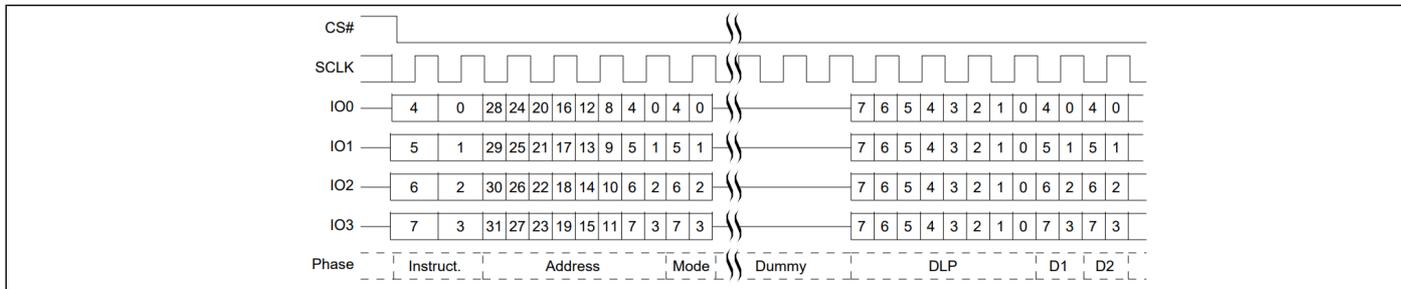
在 QPI 模式 (CR2V[6] = 1) 下, DDR 四线 I/O 指令在每个 SCK 上升沿发送 4 位。指令协议的其余部分与 DDR 四线 I/O 指令相同。



**图 72 DDR 四线 I/O Read 初始读取 (3-byte 地址, EDh [CR2V[7] = 0])**



**图 73 DDR 四线 I/O Read 初始读取 (4-byte 地址, EEh 或 EDh [CR2V[7] = 1])** <sup>[49]</sup>



**图 74 DDR 四线 I/O Read 初始读取 (4-byte 地址, EEh 或 EDh [CR2V[7] = 1]) QPI 模式** <sup>[50]</sup>

注:

- 49. 示例 DLP 为 34h (或 00110100)。
- 50. 示例 DLP 为 34h (或 00110100)。

命令

## 10.5 编程闪存存储器阵列指令

### 10.5.1 编程粒度

#### 10.5.1.1 自动ECC

每个 16 字节对齐、16 字节长度的编程功能块都有一个隐藏的纠错码 (ECC) 值。数据功能块加上 ECC 形成 ECC 单元。与错误检测和纠正 (EDC) 逻辑相结合，ECC 用于检测和纠正读取访问期间发现的任何单独的错误。当数据首次在 ECC 单元内编程时，ECC 值是整个 ECC 单元的置位。如果同一 ECC 单元被编程多次，则 ECC 值将更改为失效，不能使用 EDC 功能。需要擦除扇区才能再次启用该编程功能块上的自动 ECC。16 字节程序功能块是自动 ECC 启用的最小编程单位。

这些是对用户透明的自动操作。自动 ECC 的透明性提高了典型编程操作（即向每个 ECC 单元写入一次数据）的数据准确性，但是，仍然允许单字节编程和位走动（其中同一个 ECC 单元被编程多次），从而促进了与前几代 FL 家族产品的软件兼容性。当 ECC 单元禁用自动 ECC 时，不会对从 ECC 单元位置读取的数据进行 EDC。

提供 ECC 状态寄存器用于确定 ECC 是否在 ECC 单元上启用以及是否已在 ECC 单元数据或 ECC 中检测到并纠正任何错误。ECC 状态寄存器读取 (ECCRD) 指令用于读取任何 ECC 单元上的 ECC 状态。

#### 10.5.1.2 页编程

页编程是通过将要编程的数据加载到页缓冲区并发出编程指令将数据从缓冲区移至闪存阵列来完成的。这设置了可使用单个编程指令进行编程的数据量的上限。页编程允许在一次操作中对最多 1 个页大小 (256 或 512 字节) 进行编程。页大小由配置寄存器位置 CR3V[4] 确定。页与页大小地址边界对齐。在每个写入缓冲区编程操作中，可以编程 1 位到 512 字节。建议写入 16 字节长度的倍数并对齐的编程块。这确保自动 ECC 不会被禁用。为了获得最佳性能，编程应以 512 字节边界对齐的整页 512 字节进行，并且每个页只编程一次。

#### 10.5.1.3 单字节编程

通过允许在存储器阵列中的任何位置对单个字节进行编程，单字节编程允许完全向后兼容传统标准 SPI 页编程 (PP) 指令。虽然支持单字节编程，但这将禁用在该字节所在的 16 字节 ECC 单元上进行自动 ECC。

### 10.5.2 页编程 (PP 02h 或 4PP 12h)

页编程 (pp) 指令允许在存储器中对字节进行编程（将位从 1 更改为 0）。在器件接受页编程 (pp) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写入使能 (WREN) 指令后，器件将状态寄存器中的写入使能锁存器 (WEL) 设置为使任何写入操作有效。

指令

- 02h (CR2V[7] = 0) 后跟 3 字节地址 (A23-A0) 或
- 02h (CR2V[7] = 1) 后跟 4 字节地址 (A31-A0) 或
- 12h 后面跟着 4 字节地址 (A31-A0)

并且 SI 上至少有一个数据字节。根据 CR3V[4]，页大小可以是 256 或 512 字节。使用指令 02h 提供 3 字节地址或使用指令 12h 提供 4 字节地址后，SI 上最多可以提供一页。

命令

如果发送到器件的数据多于起始地址和页对齐结束边界之间的空间，则数据加载时序将从页中的最后一个字节绕回到同一分页的零字节位置，并开始重写页中先前加载的任何数据。最后一个页数据被编程在页中。这是由于该器件配备了长度仅为页大小的页编程缓冲区。如果向器件发送的数据少于页大小，则这些数据字节将从页内提供的地址开始按顺序进行编程，而不会对同一页的其他字节产生任何影响。

使用分页编程 (PP) 指令在分页边界内加载整个分页，与将少于一个分页加载到编程相比，将节省总体编程时间。

编程过程由内部器件控制逻辑来管理。发出编程指令后，可以使用读状态寄存器-1指令检查编程操作状态。WIP 位 (SR1V[0]) 将指示编程操作何时完成。P\_ERR 位 (SR1V[6]) 将指示编程操作中是否发生了阻止编程成功完成的错误。这包括尝试对保护区进行编程。

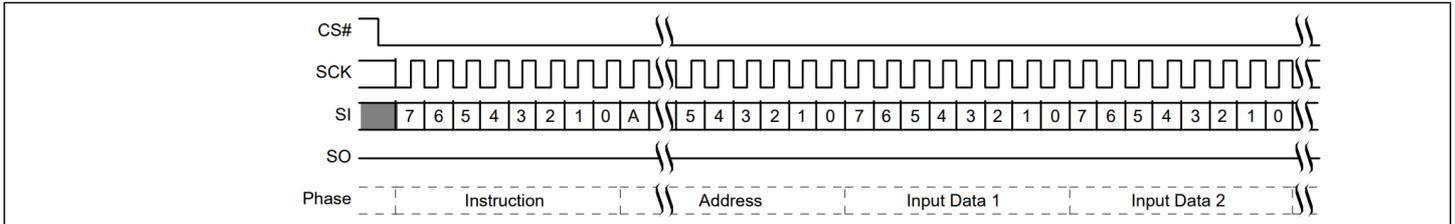


图 75 页编程 (pp 02h 或 4PP 12h) 指令时序<sup>[51]</sup>

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

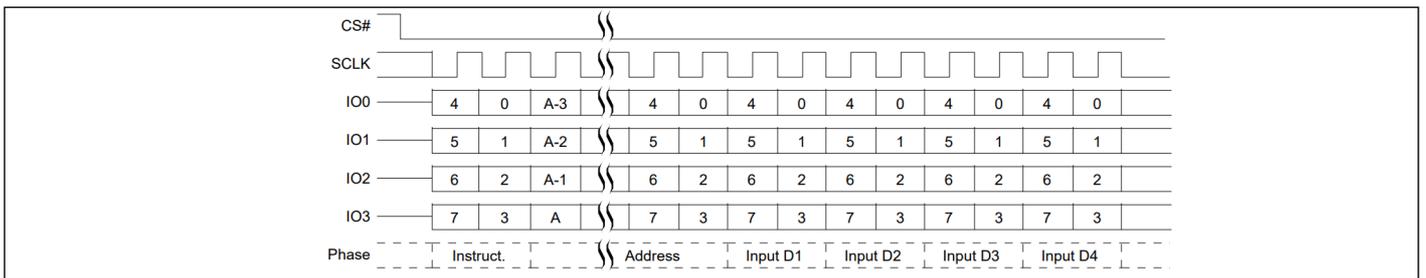


图 76 页编程 (pp 02h 或 4PP 12h) QPI 模式指令时序<sup>[52]</sup>

注:

51.A = 地址最高有效位 = A23 (对于 pp 02h) , 或 A31 (对于 4PP 12h) 。

52.A = 地址的最高有效位 = A23 (对于 PP 02h) , 或 A31 (对于 4PP 12h) 。

命令

## 10.6 擦除闪存存储器指令

### 10.6.1 参数 4 KB 扇区擦除 (P4E 20h 或 4P4E 21h)

主闪存阵列地址分布可以配置为将 4-KB 参数扇区覆盖在最低地址统一扇区的最低地址部分（底部参数扇区）上或覆盖最高地址统一扇区的最高地址部分（顶部参数扇区）。主闪存阵列地址分布也可以配置为仅具有统一大小的扇区。参数扇区配置由配置位 CR3V[3] 控制。当器件仅配置为统一扇区 (CR3V[3] = 1) 时，P4E 和 4P4E 指令将被忽略。

参数 4 KB-扇区指令置位 4 KB 参数扇区的所有位为 1（所有字节均为 FFh）。在器件接受 P4E 或 4P4E 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令

- 20h [CR2V[7] = 0] 后跟 3 字节地址 (A23-A0)，或
- 20h [CR2V[7] = 1] 后跟一个 4 字节地址 (A31-A0)，或者
- 21h后面跟着4字节地址 (A31-A0)

地址的第 24 位或第 32 位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始，其中包括对闪存阵列选定扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平，则不会执行扇区擦除操作。

一旦 CS# 被驱动为高电平，内部擦除周期就会启动。随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。WIP 位将指示“1”。擦除周期正在进行时为“0”，擦除周期完成时为“0”。

对已通过功能块保护位或 ASP 进行写保护的扇区应用 P4E 或 4P4E 指令将不会被执行，并且将置位 E\_ERR 状态。应用于大于 4 KB 的扇区的 P4E 指令将不会被执行，并且不会置位 E\_ERR 状态。

命令

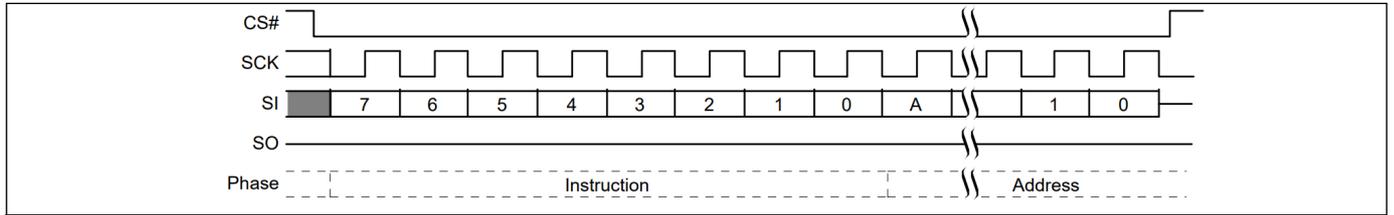


图 77 参数扇区擦除 (P4E 20h 或 4P4E 21h) 指令时序<sup>[53]</sup>

QPI 模式也支持此指令。在全四线通道模式下，指令在 IO0–IO3 上移入，每个字节两个时钟周期。

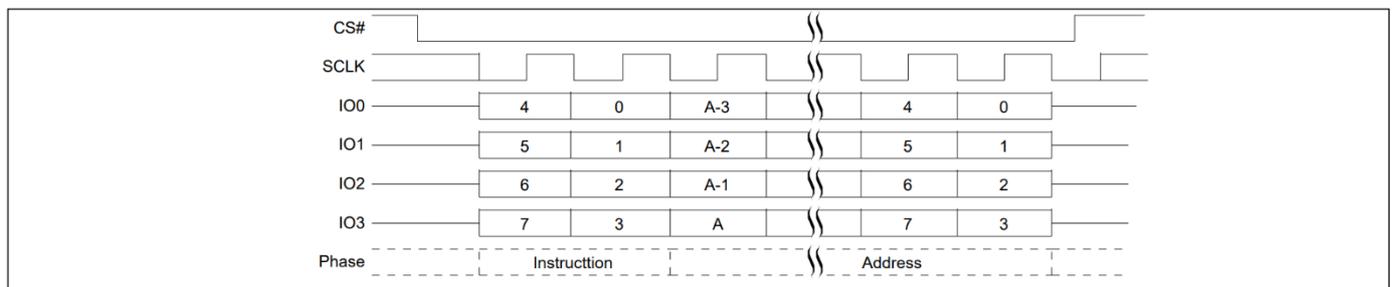


图 78 参数扇区擦除 (P4E 20h 或 4P4E 21h) QPI 模式指令时序<sup>[53]</sup>

注：

53.A = 地址的最高有效位 = A23 (对于 P4E 20h, CR2V[7] = 0) , 或 A31 (对于 P4E 20h, CR2V[7] = 1 或 4P4E 21h) 。

命令

### 10.6.2 扇区擦除 (SE D8h 或 4SE DCh)

扇区寻址 (SE) 指令将寻址扇区中的所有位设置为 1 (所有字节均为 FFh)。在器件接受扇区寄存器 (SE) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL), 以允许任何写操作。

指令

- D8h [CR2V[7] = 0] 后跟 3 字节地址 (A23-A0), 或者
- D8h [CR2V[7] = 1] 后跟一个 4 字节地址 (A31-A0), 或者
- DCh 后面跟着 4 字节地址 (A31-A0)

在地址的第 24 位或第 32 位被锁存在 SI 上之后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 其中包括所选扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平, 则不会执行扇区擦除操作。

一旦 CS# 被驱动到逻辑高电平状态, 内部擦除周期就会启动。随着内部擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时, WIP 位将指示“1”, 当擦除周期已完成时, WIP 位将指示“0”。

应用于已通过功能块保护位或 ASP 写保护的扇区的扇区 (SE) 指令将不会被执行, 并将置位 E\_ERR 状态。

器件配置选项 (CR3V[3]) 确定是否使用 4 KB 参数扇区。如果 CR3V[3] = 0, 4 KB 参数区扇覆盖器件地址空间的最高或最低地址 32 KB 的一部分。如果扇区指令应用于被 4 KB 扇区覆盖的 256 KB 范围, 则被覆盖的 4 KB 扇区不受该扇区的影响。当 CR3V[3] = 1 时, 器件地址空间中没有 4 KB 参数扇区, 扇区指令始终在完全可见的 256 KB 扇区上运行。ASP 对每个物理扇区 (包括任何 4 KB 扇区) 都有一个 PPB 和一个 DYB 保护位。

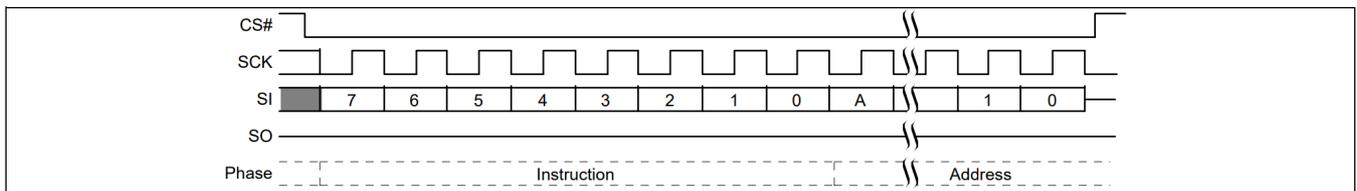


图 79 扇区擦除 (SE D8h 或 4SE DCh) 指令时序<sup>[54]</sup>

QPI 模式也支持此指令。在全四线模式下, 指令在 IO0-IO3 上移入, 每个字节两个时钟周期。

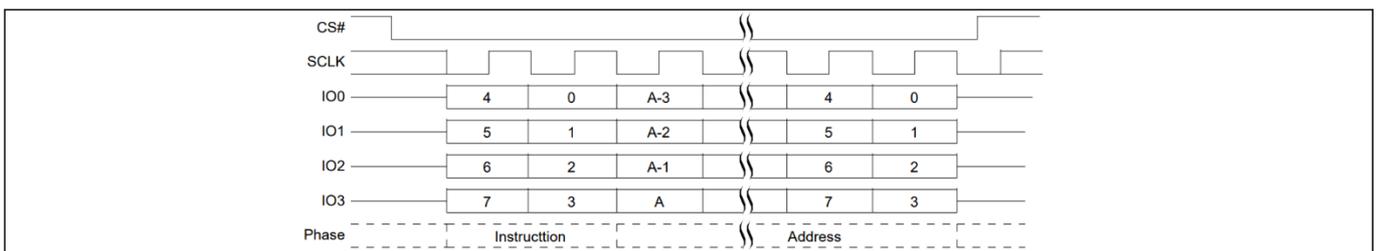


图 80 扇区擦除 (SE D8h 或 4SE DCh) QPI 模式指令时序<sup>[54]</sup>

注:

54.A = 地址的最高有效位 = A23 (对于 CR2V[7] = 0 的 SE D8h), 或 A31 (对于 CR2V[7] = 1 的 SE D8h 或 4P4E DCh)。

命令

### 10.6.3 批量擦除 (BE 60h 或 C7h)

FS01GS 不支持批量擦除(BE) 指令。批量擦除 (BEA, FEh) 具有 4 字节地址，用于将批量擦除操作在底部或顶部 FS512S 器件。

### 10.6.4 批量擦除寻址 (BEA FEh)

FS01GS 不支持批量擦除(BE) 指令。批量擦除字节寻址 (BEA) 指令具有 4 字节地址，用于将批量擦除操作在底部或顶部 FS512S 器件。

BEA 指令将所选低位或高位 FS512S 器件的整个地址组内的所有位设置为 1 (所有字节均为 FFh)。未选择的其他 FS512S 器件不受影响。在器件接受 BEA 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

地址的最后一位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动器件周期，其中涉及所选器件的整个器件阵列的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平，则不会执行 BEA 操作。

一旦 CS# 被驱动到逻辑高电平状态，擦除周期就会启动。随着擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当擦除周期正在进行时，WIP 位将指示“1”，当擦除周期已完成时，WIP 位将指示“0”。

仅当所选器件中的功能块保护位 (BP2、BP1、BP0) 设置为“0”时，BEA 指令才能执行。如果 BPA 位不为零，则不执行 BEA 指令，并且不置位 E\_ERR。BEA 指令将跳过选定器件中任何受 DYB 或 PPB 保护的扇区，并且 E\_ERR 状态将不会被置位。

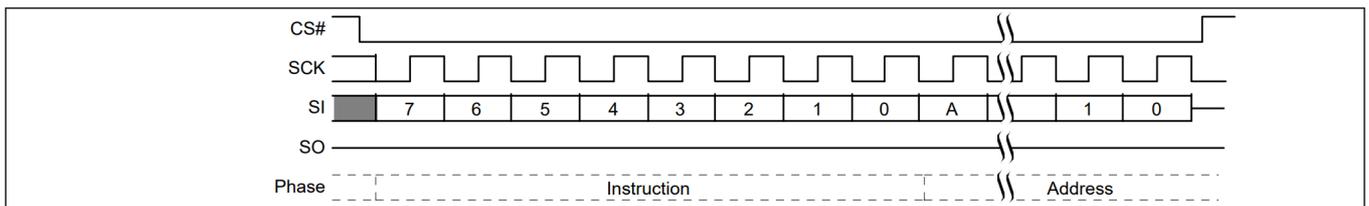


图 81 批量寻址指令时序<sup>[55]</sup>

QPI 模式也支持此指令。在全四线模式下，指令在 IO0–IO3 上移入，每个字节两个时钟周期。

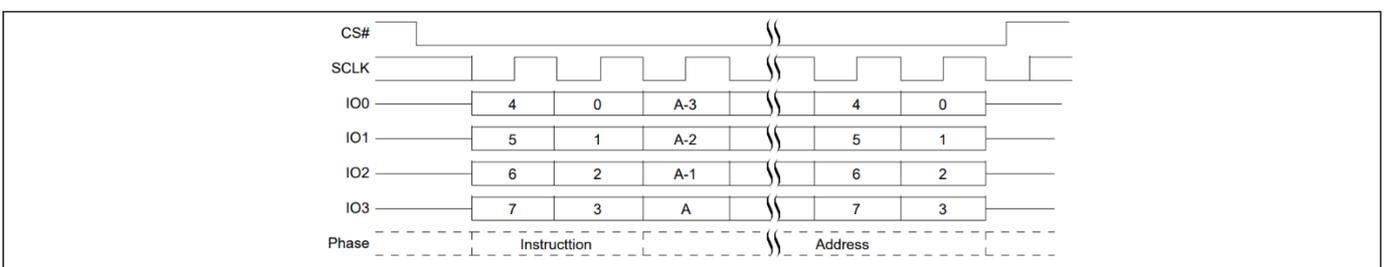


图 82 批量寻址指令时序 QPI 模式<sup>[55]</sup>

**注：**

55.A = 最高有效位地址 = A31。

命令

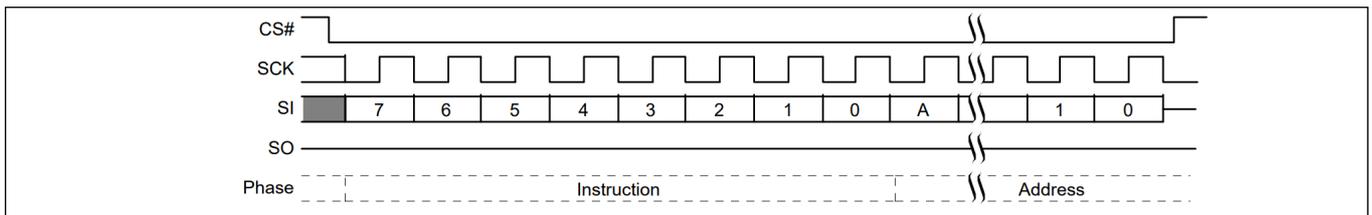
### 10.6.5 评估擦除状态 (EES)

评估擦除状态 (EES) 指令用于验证对已指定地址的扇区进行的擦除操作是否完全成功。如果所选扇区被成功擦除，则扇区状态位 (SR2V[2]) 置位为 1。如果选定的扇区未被完全擦除，则 SR2V[2] 为 0。

使用EES指令可以检测擦除操作失败的原因，原因可能是：断电、复位或擦除操作过程失败。

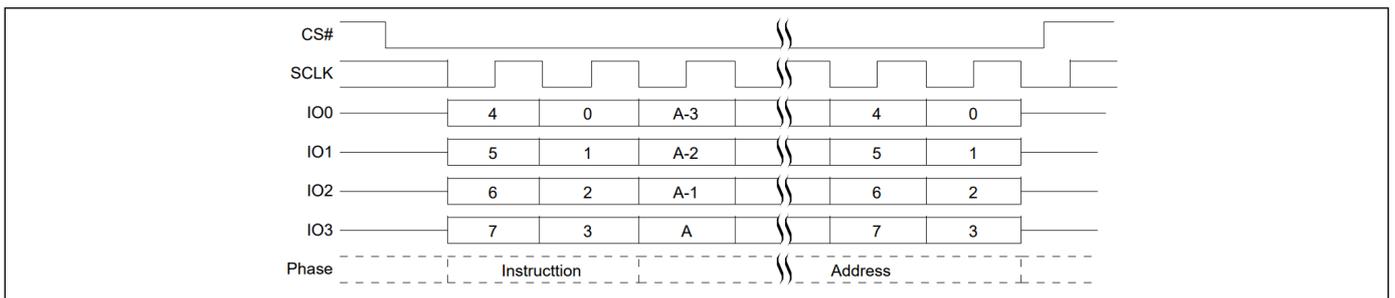
EES 指令后面跟着 3 或 4 字节地址，具体取决于地址长度配置 (CR2V[7])。EES 指令要求 tEES 完成并更新 SR2V 中的擦除状态。可以使用 RDSR1 (05h) 指令读取 WIP 位 (SR1V[0])，以确定 EES 指令何时完成。然后可以使用 RDSR2 (07h) 或 RDAR (65h) 指令读取 SR2V[2]。如果发现某个扇区未被擦除 (SR2V[2] = 0)，则必须再次擦除该扇区以确保该扇区中数据的可靠存储。

在 EES 指令之前不需要写使能指令 (设置为 WEL 位)。但是，WEL 位由器件本身置位，并在操作结束时清除，如读取状态时在 SR1V[1] 中可见。



**图 83 EES 指令时序**<sup>[56]</sup>

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-I03 上移入，每个字节两个时钟周期。



**图 84 EES QPI 模式指令时序**<sup>[56]</sup>

**注：**

56.A = 最高有效位地址 = A23 (CR2V[7] = 0)，或 A31 (CR2V[7] = 1)。

命令

### 10.6.6 擦除或编程挂起 (EPS 85h、75h)

有三个用于编程或擦除暂停 (EPS) 的指令代码，以实现旧版和备用源软件的兼容性。

EPS 指令允许系统中断编程或擦除操作，然后从任何其他非擦除挂起扇区或非编程挂起页面读取。编程或擦除挂起仅在编程或扇区擦除操作期间有效。批量擦除操作无法暂停。

必须检查状态寄存器 1 (SR1V[0]) 中的写入进行中 (WIP) 位，才能知道编程或擦除操作何时停止。状态寄存器-2 (SR2[0]) 中的编程暂停状态位可用于确定在 WIP 变为 0 时编程操作是否已暂停或完成。状态寄存器-2 (SR2[1]) 中的擦除挂起状态位可用于确定在 WIP 变为 0 时擦除操作是否已挂起或完成。完成挂起操作所需的时间为  $t_{SL}$ ，见表 53。

可以暂停擦除以允许编程操作或读取操作。在擦除挂起期间，可以读取 DYB 阵列来检查扇区保护，并写入以移除或恢复要编程的扇区的保护。

可以暂停编程操作以允许读取操作。

在已经暂停的擦除或编程操作下不允许进行新的擦除操作。在这种情况下，擦除指令将被忽略。

FS01GS 使用 EPS 指令代码与其他 FS 系列设备不同：

- EPS 85h 指令用于仅暂停 DDP 中底部或顶部 FS512S 器件中的编程操作。
- EPS 75h 指令用于仅暂停 DDP 中顶部或底部 FS512S 器件中的擦除操作。
- 不支持 EPS B0h 指令。

**表 49 编程或擦除挂起期间允许的指令**

Instruction Name	Instruction Code (Hex)	Allowed During Erase Suspend	Allowed During Program Suspend	Comment
PP	02	X		Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
READ	03	X	X	All array reads allowed in suspend
RDAR	65	X	X	Alternate way to read WIP to determine end of suspend process
WREN	06	X		Required for program command within erase suspend.
4PP	12	X		Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
4READ	13	X	X	All array reads allowed in suspend

命令

**表 49** 编程或擦除挂起期间允许的指令 (续)

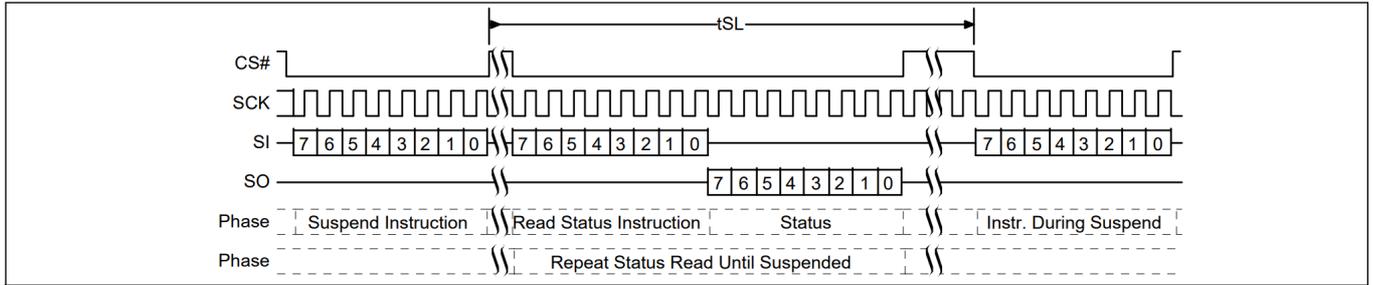
Instruction Name	Instruction Code (Hex)	Allowed During Erase Suspend	Allowed During Program Suspend	Comment
CLSR	30	X		Clear status may be used if a program operation fails during erase suspend. Note the instruction is only valid if enabled for clear status by CR4NV[2 = 1]
CLSR	82	X		Clear status may be used if a program operation fails during erase suspend.
EPR	7A	X	X	Required to resume from erase or program suspend.
EPR	8A	X	X	Required to resume from erase or program suspend.
RSTEN	66	X	X	Reset allowed anytime
RST	99	X	X	Reset allowed anytime
FAST_READ	0B	X	X	All array reads allowed in suspend
4FAST_READ	0C	X	X	All array reads allowed in suspend
DIOR	BB	X	X	All array reads allowed in suspend
4DIOR	BC	X	X	All array reads allowed in suspend
DYBRD	FA	X		It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
DYBWR	FB	X		It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
PPBRD	FC	X		Allowed for checking persistent protection before attempting a program command during erase suspend.
4DYBRD	E0	X		It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
4DYBWR	E1	X		It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
4PPBRD	E2	X		Allowed for checking persistent protection before attempting a program command during erase suspend.
QIOR	EB	X	X	All array reads allowed in suspend
4QIOR	EC	X	X	All array reads allowed in suspend
DDRQIOR	ED	X	X	All array reads allowed in suspend
4DDRQIOR	EE	X	X	All array reads allowed in suspend
RESET	F0	X	X	Reset allowed anytime
MBR	FF	X	X	May need to reset a read operation during suspend

命令

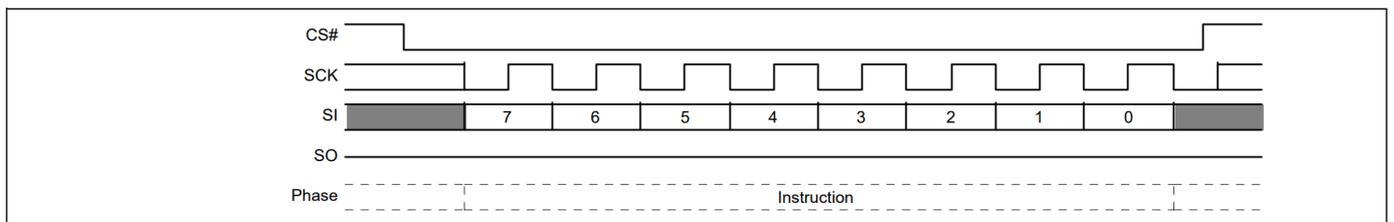
在扇区擦除挂起或编程挂起页内的任何地址读取都会产生不确定的数据。

在擦除挂起或编程挂起期间不允许使用 WRAR 或 PPB 擦除 指令，因此在擦除挂起期间不可能更改功能块保护或 PPB 位。如果有扇区在擦除挂起期间可能需要编程，则这些扇区应该仅受 DYB 位的保护，这些 DYB 位可以在擦除挂起期间关闭。

擦除挂起的编程操作完成后，EAC 返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态，就像在执行标准编程操作一样。

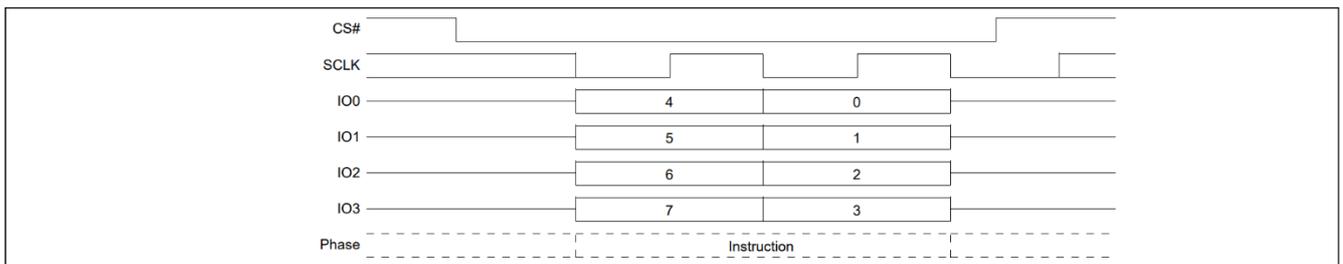


**图 85 擦除挂起或编程挂起指令时序**



**图 86 擦除挂起或编程挂起指令时序**

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。



**图 87 QPI 模式下的擦除挂起或编程挂起指令时序**

### 10.6.7 擦除或编程恢复 (EPR 7Ah、8Ah)

必须写入一个擦除或编程恢复指令来恢复暂停的操作。有三个用于擦除或程序恢复 (EPR) 的指令代码, 以实现旧版和备用源软件的兼容性。

在编程或擦除挂起期间, 编程或读取操作完成后, 将发送擦除或编程恢复指令以继续暂停的操作。

在发出擦除或编程恢复指令后, 状态寄存器-1 中的 WIP 位将置位为 1, 并且编程操作将恢复 (如果暂停)。如果没有暂停编程操作, 则暂停的擦除操作将恢复。如果没有暂停的程序或者操作, 则恢复指令将被忽略。

编程或擦除操作可根据需要随时中断, 例如, 编程挂起指令可紧跟在编程恢复指令之后, 但是为了使编程或擦除操作顺利完成, 在恢复和下一个暂停指令之间必须有一段大于或等于  $t_{RS}$  的时间间隔。参见表 53。

FS01GS 使用 EPR 指令代码与其他 FS 系列设备不同:

- EPR 8Ah 指令用于仅恢复 DDP 中顶部或底部 FS512S 器件中的编程操作。
- EPR 7Ah 指令用于仅恢复 DDP 中顶部或底部 FS512S 器件中的擦除操作。
- 不支持 EPR 30h 指令。

通过对编程和擦除恢复使用单独的指令代码, 当底部 FS512S 暂停一项操作而顶部 FS512S 暂停另一项操作时, 将恢复正确的操作。

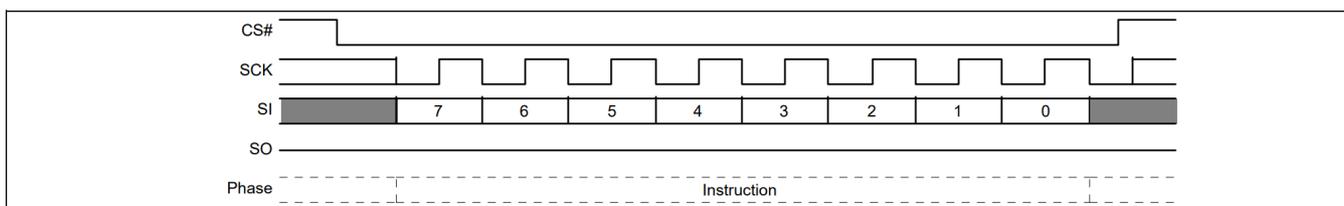


图 88 擦除或编程恢复指令时序

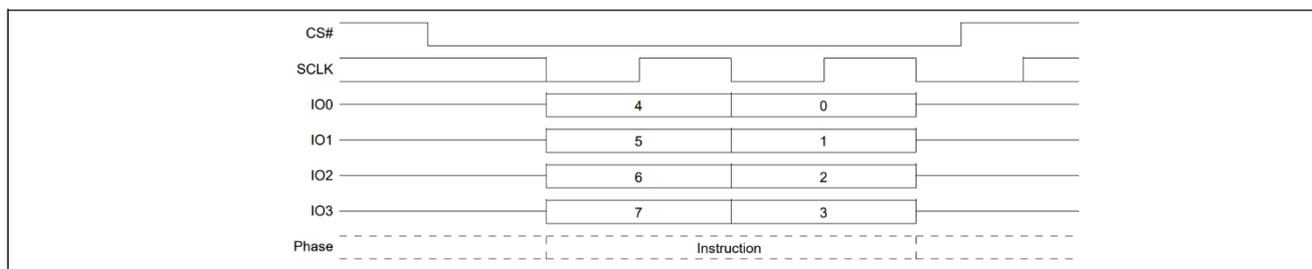


图 89 擦除或编程恢复指令时序 QPI 模式

## 10.7 一次性编程区域指令

### 10.7.1 OTP编程 (OTPP 42h)

OTP编程指令在一次性编程区域中对数据进行编程，该区域与主数组数据位于不同的地址空间中。OTP区域为 1024 字节，因此对于该指令，从 A31 到 A10 的地址位必须为零。请参阅“[OTP 地址空间](#)”在页 50 有关OTP区域的详细信息。

在器件接受OTP编程指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL)，以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR1V 中的 P\_ERR 位来确定操作期间是否发生任何错误。

为了以位为单位对OTP阵列进行编程，数据字节内的其余位可以设置为“1”。

OTP 存储空间中的每个区域都可以被编程一次或多次，前提是该区域未被锁定。尝试在锁定的区域中编程零将会失败，并且 SR1V 置位中的 P\_ERR 位将变为“1”。

编程位置即使在受保护的区域也不会导致错误并且不会置位 P\_ERR。后续的OTP编程只能对未编程的位（即“1”数据）进行。在一个ECC单元内编程一次以上将会在该ECC单元的ECC失效。

OTP编程指令的协议与页编程指令相同。参见“[页编程 \(PP 02h 或 4PP 12h\)](#)”在页 113 指令时序。

### 10.7.2 OTP 读取 (OTPR 4Bh)

OTP读取命令从OTP 区域读取数据。OTP 区域为 1024 字节，因此对于该指令，从 A31 到 A10 的地址位必须为零。有关区域的详细信息，请参阅“[OTP 地址空间](#)”位于页50 OTP。OTP 读取命令的协议与Fast读取命令类似，只是地址达到最大值后不会回绕到起始地址；相反，超出最大OTP地址的数据将是未定义的。OTP 读取命令的读延时由CR2V[3:0]中的延时值置位。

参见“[快速 读取 \(FAST\\_READ\) 0Bh 或者 4 FAST\\_READ 0Ch](#)”在页 107 指令时序。

命令

## 10.8 高级扇区保护

### 10.8.1 ASP 读取 (ASPRD 2Bh)

ASP 读指令 2Bh 在 SCK 信号的上升沿被移入 SI。然后，16 位 ASP 寄存器内容以最低有效字节优先的方式移出到串行输出 SO。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 16 个时钟周期的倍数，可以连续读取 ASP 寄存器。ASP 读取 (ASPRD) 指令的最大工作时钟频率为 133 MHz。

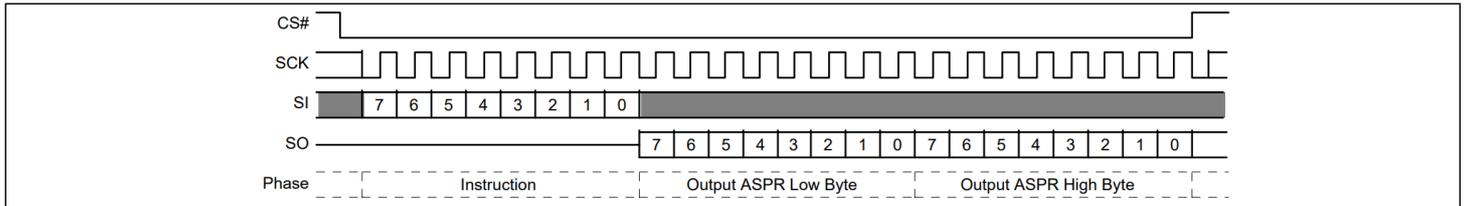


图 90 ASPRD 指令

### 10.8.2 DYB 读取 (DYBRD FAh 或 4DYBRD E0h)

该指令由 SCK 信号的上升沿锁存到 SI 中。该指令后面跟着 24 位或 32 位地址，具体取决于地址长度配置 CR2V[7]，选择所需扇区内的零位置。注意，特定容量器件未使用的高阶地址位必须为零。然后，8 位 DYB 访问寄存器的内容通过串行输出 SO 移出。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供八个时钟周期的倍数，可以连续读取相同的 DYB 访问寄存器。DYB 寄存器的地址没有递增，所以这不是读取整个 DYB 阵列的方法。必须使用单独的 DYB 读取命令读取每个位置。读取命令的最大工作时钟频率为 133 MHz。

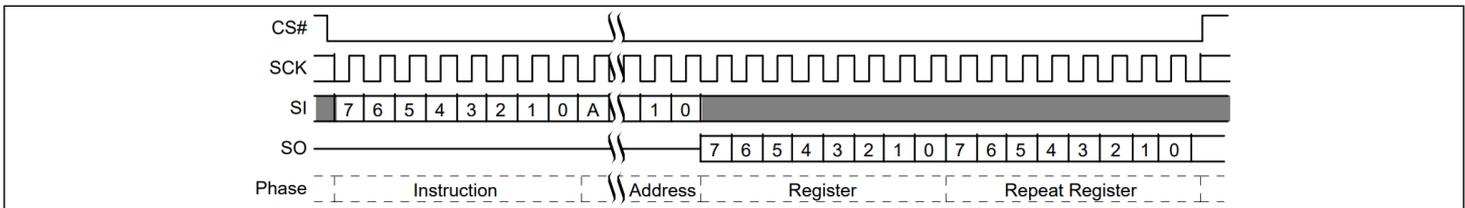


图 91 DYBRD 指令时序<sup>[57, 58]</sup>

QPI 模式也支持此指令。在全四线模式下，指令和地址通过 IO0–IO3 移入，返回数据通过 IO0–IO3 移出。

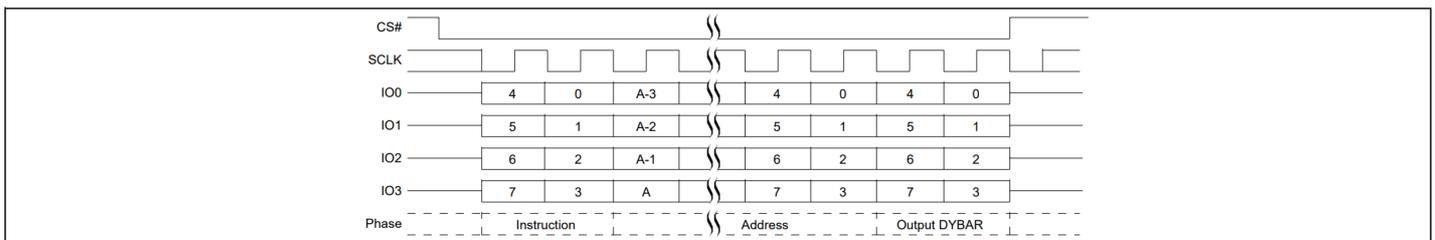


图 92 DYBRD QPI 模式指令时序<sup>[57, 58]</sup>

注：

57.A = 地址最高有效位 = 23 对地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FAh)。

58.A = 地址最高有效位 = 31, 指令为 E0h。

命令

### 10.8.3 DYB 写入 (DYBWR FBh 或 4DYBWR E1h)

在器件接受DYB写入 (DYBWR) 指令之前，必须发出写入使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态，然后是指令，然后是 24 或 32 位地址，具体取决于地址长度配置 CR2V[7]，选择所需扇区内的位置零（注意，特定容量器件未使用的高阶地址位必须为零），然后是SI上的数据字节，即可输入 DYBWR 指令。DYB访问寄存器的长度为一数据字节。数据值必须为 00h 才能保护选定扇区，数据值必须为 FFh 才能取消保护选定扇区。

DYBWR 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P\_ERR 和 WIP 位。锁存第八位数据后，必须将 CS# 驱动至逻辑高电平状态。一旦 CS# 被驱动为逻辑高电平状态，自定时 DYBWR 操作就会启动。当 DYBWR 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。自定时 DYBWR 操作期间，写入进度 (WIP) 位为“1”，完成时为“0”。当DYBWR操作完成后，写使能锁存位 (WEL) 被置位为“0”

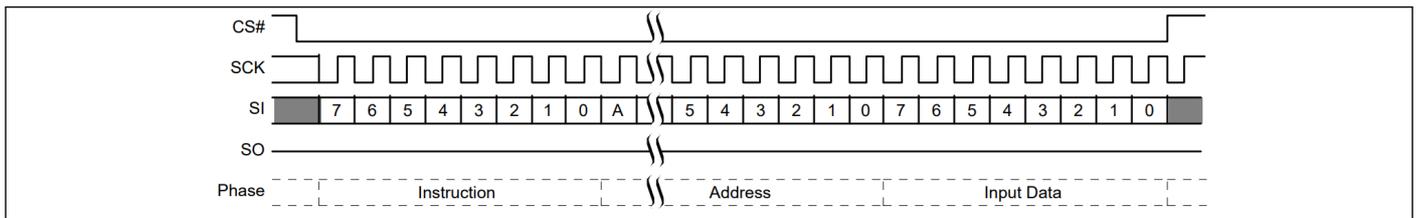


图 93 DYBWR 指令时序<sup>[59, 60]</sup>

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

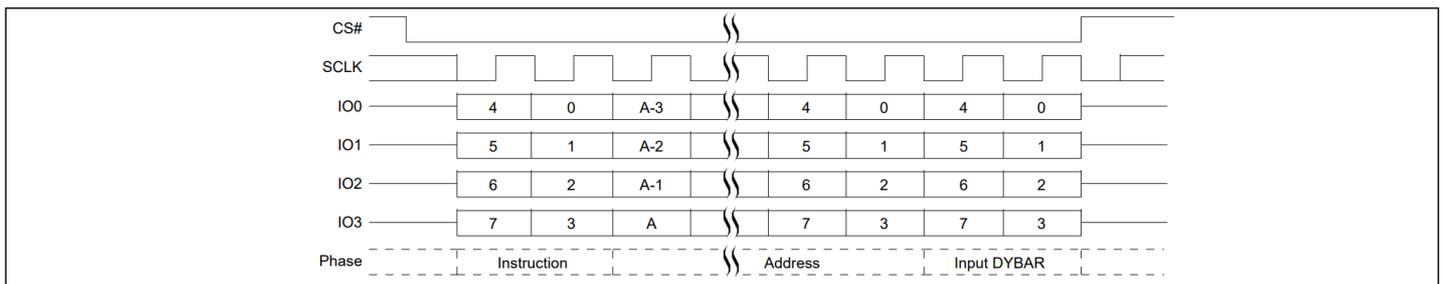


图 94 DYBWR QPI 模式指令时序<sup>[59, 60]</sup>

注：

59.A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FBh。

60.A = 地址最高有效位 = 31, 指令为 E1h。

命令

### 10.8.4 PPB 读取 (PPBRD FCh 或 4PPBRD E2h)

指令 E2h 通过 SCK 信号的上升沿移位到 SI，然后是 24 或 32 位地址，具体取决于地址长度配置 CR2V[7]，选择所需区域内的位置零（注意，特定容量器件未使用的高阶地址位必须为零）。然后，8 位 PPB 访问寄存器内容在 SO 上移出。

通过提供八个时钟周期的倍数，可以连续读取相同的 PPB 访问寄存器。PPB 寄存器的地址没有递增，所以这不是读取整个 PPB 阵列的方法。必须使用单独的 PPB 读取命令来读取每个位置。PPB 读取命令的最大工作时钟频率为 133 MHz。

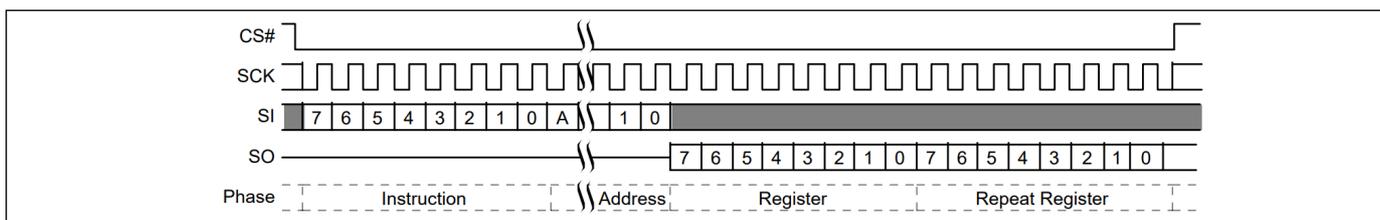


图 95 PPBRD 指令时序<sup>[61,62]</sup>

### 10.8.5 PPB 编程 (PPBP FDh 或 4PPBP E3h)

在器件接受 PPB 程序 (PPBP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态，然后是指令，然后是 24 位或 32 位地址，根据地址长度配置 CR2V[7]，选择所需扇区内的位置零（注意，特定容量器件未使用的高阶地址位必须为零）来输入 PPBP 指令。

PPBP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P\_ERR 和 WIP 位。

在地址的最后一位被锁存后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PPBP 指令。一旦 CS# 被驱动至逻辑高电平状态，自定时 PPBP 操作就会启动。当 PPBP 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。自定时 PPBP 操作期间，写入进度 (WIP) 位为“1”，完成时为“0”。当 PPBP 操作完成后，写使能锁存位 (WEL) 被置位为“0”。

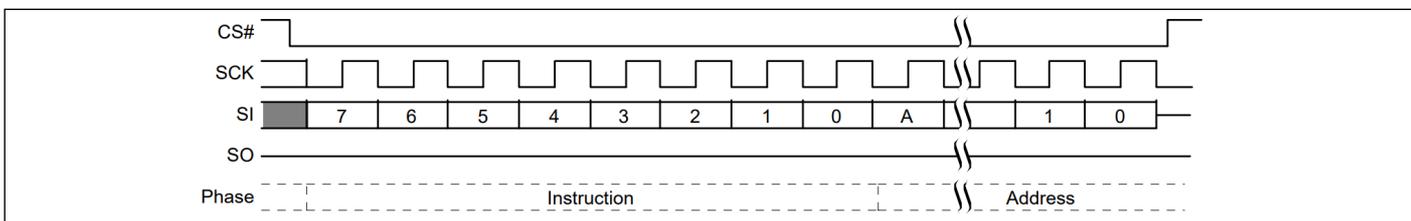


图 96 PPBP 指令时序<sup>[63, 64]</sup>

注:

- 61.A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FCh。
- 62.A = 最高有效位地址 = 31, 指令为 E2h。
- 63.A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FDh。
- 64.A = 地址最高有效位地址 = 31, 指令为 E3h。

### 10.8.6 PPB 擦除 (PPBE E4h)

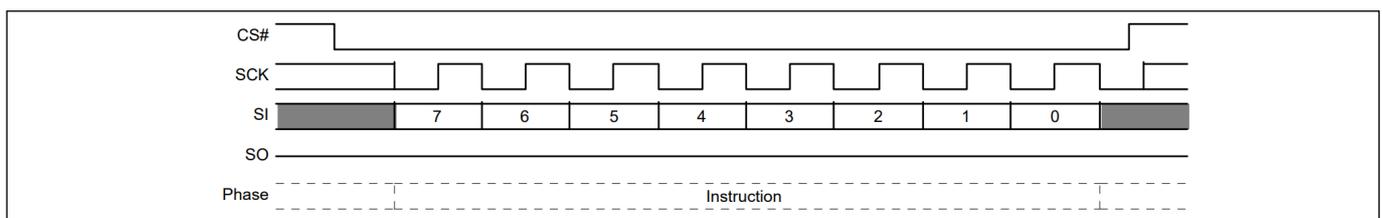
FS01GS 不支持 PPB (PPBE) 指令。PPB 擦除寻址 (PBBEA) 指令具有 4 字节地址，用于将 PPB 字节操作定向到底部或顶部 FS512S 器件。

PPB 擦除(PPBE) 指令将所有 PPB 位设置为 1。在器件接受 PPB 寄存器指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会将状态寄存器中的写使能锁存器 (WEL) 设置为允许任何写操作。

指令 E4h 通过 SCK 信号的上升沿移位到 SI 中。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始，其中涉及整个 PPB 存储器阵列的预编程和擦除。如果在指令的第八位之后没有将 CS# 驱动为逻辑高电平状态，则不会执行 PPB 擦除操作。

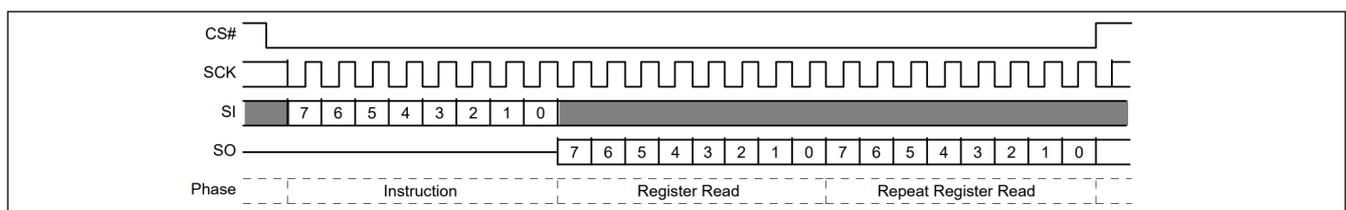
随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时，WIP 位将指示“1”，当擦除周期已完成时，WIP 位将指示“0”。PPB 擦除期间不允许擦除挂起。



**图 97 PPB 擦除指令时序**

### 10.8.7 PPB 锁定位读取 (PLBRD A7h)

PPB 锁定读取 (PLBRD) 指令允许将 PPB 锁定寄存器内容读取 SO 的位。通过提供八个时钟周期的倍数，可以连续读取 PPB 锁定寄存器。仅当器件处于待机状态且没有其他操作正在进行时，才可以读取 PPB 锁定的内容。建议在向器件发出新指令之前检查寄存器状态的写入进度 (WIP) 位。



**图 98 PPB 锁定寄存器读取命令时序**

命令

### 10.8.8 PPB 锁定位写入 (PLBWR A6h)

PPB 锁定位写入 (PLBWR) 指令将 PPB 锁定位清零。在器件接受 PLBWR 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL) 以允许任何写操作。

通过将 CS# 驱动至逻辑低电平状态来输入 PLBWR 命令，然后输入指令。

锁存指令的第八位后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PLBWR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PLBWR 操作就会启动。当 PLBWR 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PLBWR 操作期间为“1”，完成时为“0”。当 PLBWR 操作完成之后，写使能锁存位 (WEL) 被置位为“0”。PLBWR 指令的最大时钟频率为 133 MHz。

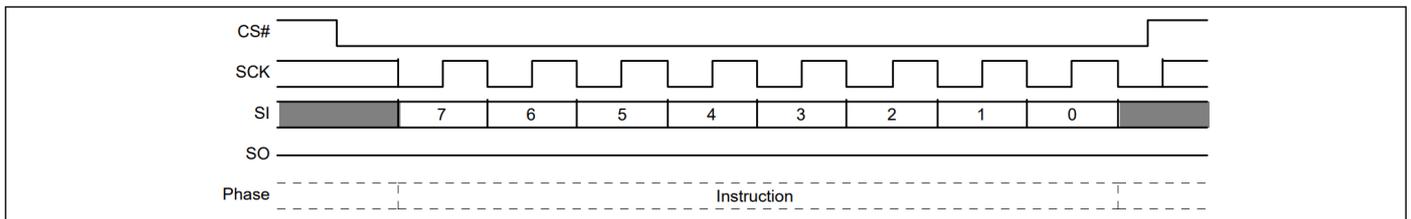


图 99 PPB 锁定位写入命令时序

### 10.8.9 密码读取 (PASSRD E7h)

仅当密码值被编程之后并且通过将 ASP 寄存器 (ASP[2]) 中的密码保护模式位编程为 0 来选择密码模式之前，才可以读取正确的密码值。选择密码保护模式后，密码不再可读，PASSRD 指令将输出未定义的数据。

PASSRD 指令被移入 SI。然后，64 位密码在串行输出 SO 上移出，首先是最低有效字节，然后是每个字节的最高有效位。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 64 个时钟周期的倍数，可以连续读取密码。PASSRD 指令的最大工作时钟频率为 133 MHz。

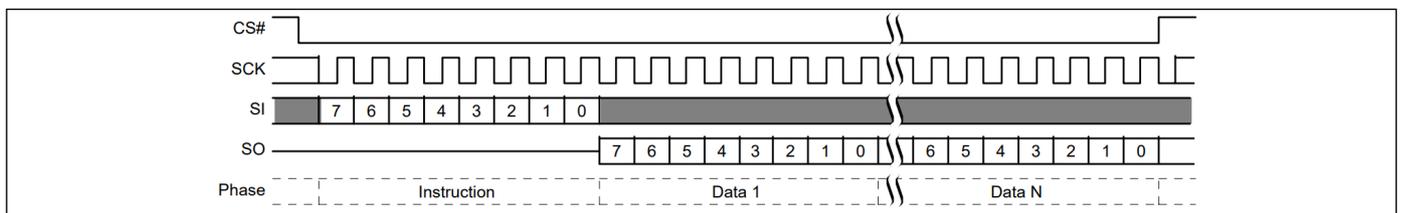


图 100 密码读取命令时序

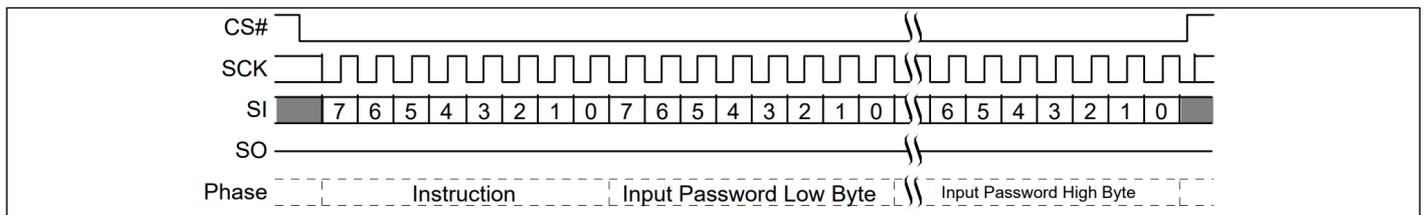
### 10.8.10 密码解锁 (PASSU E9h)

通过将 CS# 驱动至逻辑低电平状态来输入 PASSU 命令，然后在 SI 上输入指令和密码数据字节，首先是最有效字节，然后是每个字节的最高有效位。密码长度为六十四 (64) 位。

第六十四个 (64<sup>th</sup>) 位数据被锁存后，必须将 CS 驱动至逻辑高电平状态。否则，不会执行 PASSU 指令。一旦 CS 被驱动至逻辑高电平状态，自定时 PASSU 操作就会启动。在 PASSU 操作进行过程中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PASSU 周期内为“1”，完成后为“0”。

如果 PASSU 指令提供的密码与密码寄存器中的隐藏密码不匹配，则通过将 P\_ERR<sub>x</sub> 设置为 1 来报告错误。状态寄存器的 WIP 位也保持为 1。必须使用 CLSR 指令清零，复位状态寄存器，使用复位指令软件复位器件，或者驱动复位#输入低电平来启动硬件复位，以便将 P\_ERR 和 WIP 位返回到 0。这会器件返回到待机状态，为新的指令（例如重试 PASSU 指令）做好准备。

如果密码匹配，则 PPB 锁定位置设置为“1”。PASSU 指令的最大时钟频率为 133 MHz。



**图 101 密码解锁指令时序**

命令

## 10.9 复位命令

软件控制的复位指令通过从非易失默认值重新加载易失性寄存器来将器件恢复到其初始上电状态。但是，配置寄存器 CR1V[0] 中的易失性 FREEZE 位和 PPB 锁定寄存器中的易失性 PPB 锁定位不会通过软件复位进行更改。软件复位不能用于规避其他安全配置位的 FREEZE 或 PPB 锁定位保护机制。

冻结位和 PPB 锁定位将在软件复位之前保持其最后值。要清除 FREEZE 位并将 PPB 锁定位设置为其保护模式选择的上电状态，必须执行完整的上电复位时序或硬件复位。

配置寄存器 (CR1NV) 中的非易失性位 TBPROT\_O、TBPARAM 和 BPNV\_O 在软件复位后保留其先前的状态。

仅当 FREEZE = 0 时，状态寄存器 (SR1V) 中的功能块保护位 BP2、BP1 和 BP0 才会被复位至其默认值。

复位指令 (RST 或复位) 在指令结束时 CS 变为高电平时执行，需要  $t_{RPH}$  时间来执行。

如果之前的上电复位 (POR) 未能完成，复位指令会触发完整的上电时序，需要  $t_{PU}$  完成。

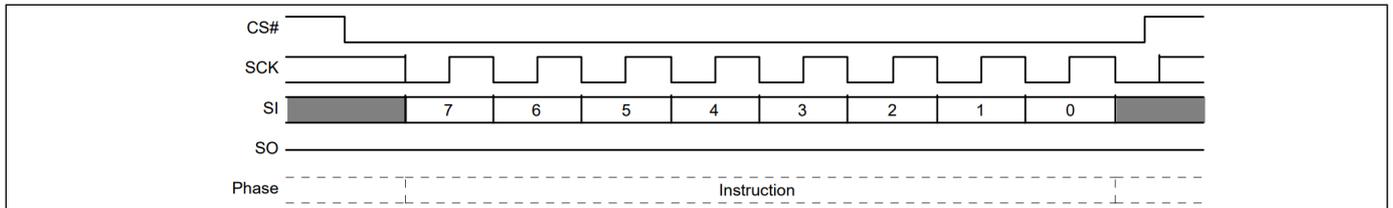


图 102 软件复位指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

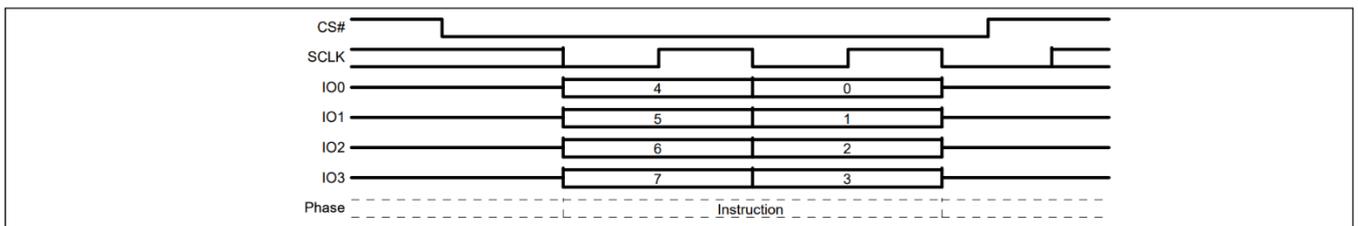


图 103 软件复位指令时序 QPI 模式

### 10.9.1 软件复位使能 (RSTEN 66h)

复位使能 (RSTEN) 指令紧接在复位指令 (RST) 之前，以便软件复位是两个指令的时序。RSTEN 指令后面除 RST 以外的任何指令都将清除复位使能条件，并阻止后面的 RST 指令被识别。

### 10.9.2 软件复位 (RST 99h)

复位 (RST) 指令紧随 RSTEN 指令，启动软件复位过程。

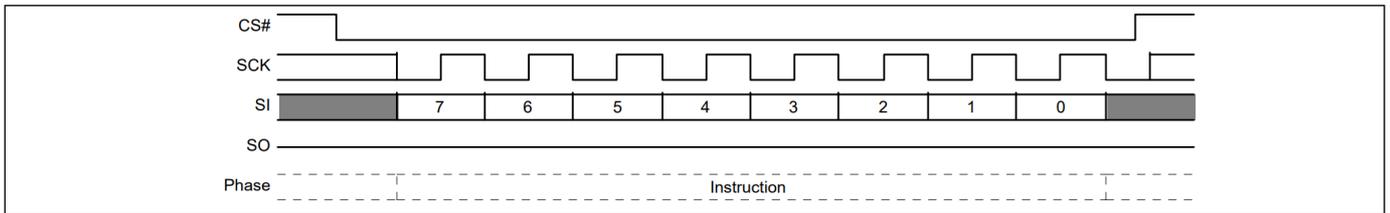
### 10.9.3 传统软件复位 (复位 F0h)

传统软件复位 (复位) 是启动软件复位过程的单个指令。默认情况下, 此指令是禁用的, 但可以通过编程 CR3V[0] = 1 来启用它, 以实现与英飞凌传统 FL-S 设备的软件兼容性。

### 10.9.4 模式位复位 (MBR FFh)

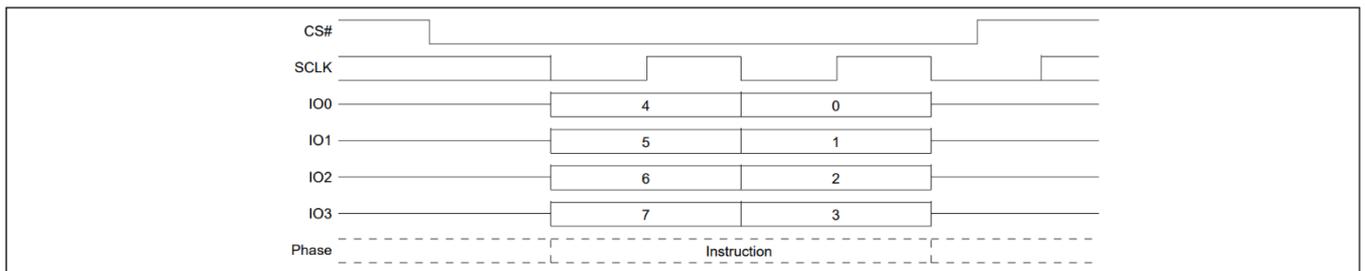
模式位复位 (MBR) 指令用于将器件从连续高性能读取模式返回到正常待机状态, 等待任何新指令。由于某些器件封装缺少硬件复位输入, 并且处于连续高性能读取模式的器件可能无法识别任何正常的SPI指令, 因此该器件可能无法识别系统硬件复位或软件复位指令。当 RESET# 信号不可用时, 建议在系统复位之后使用 MBR 指令, 或者在发送软件复位之前, 以确保器件从连续高性能读取模式中释放。

MBR 指令在 SI 或 IO0 上发送 1, 持续 8 个 SCK 周期。在这些周期内, IO1 至 IO3 是“不受关注的”。



**图 104 Mode 位复位指令时序**

QPI 模式也支持此指令。在全四线模式下, 指令在 IO0-I03 上移入, 每个字节两个时钟周期。



**图 105 模式位复位指令时序 QPI 模式**

命令

## 10.10 DPD 命令

### 10.10.1 进入深度掉电 (DPD B9h)

尽管正常运行期间的待机电流相对较低，但通过 DPD 指令可以进一步降低待机电流。较低的功耗使得 DPD 指令对于电池供电的应用特别有用（请参阅  $I_{DPD}$  在“DC 特性”中位于页31）。

仅当器件未执行嵌入式算法（如状态寄存器 1 易失性写入进行中 (WIP) 位清零 (SR1V[0] = 0) 所示）时，才接受 DPD 指令。

该指令通过将 CS 引脚驱动为低电平并移位指令代码“B9h”来启动，如图106所示。在第八位被锁存后，CS 引脚必须被驱动为高电平。如果不这样做，深度掉电指令将不会被执行。CS 驱动为高电平后，在  $t_{DPD}$  持续时间内将进入掉电状态（“时序规范”位于页34）。

当处于电源掉电状态时，仅会识别深度掉电释放恢复指令，该指令将器件恢复到正常工作状态。所有其他指令都将被忽略。这包括读取寄存器状态指令，该指令在正常操作期间始终可用。忽略除一个指令之外的所有指令也使得关闭状态对于写保护很有用。该器件始终在接口待机状态下上电，待机电流为  $I_{CC1}$ 。

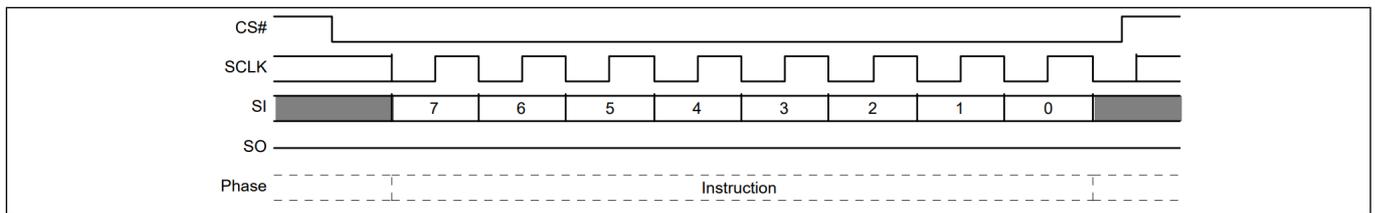


图 106 深度掉电指令时序

QPI 模式也支持此指令。在全四线模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

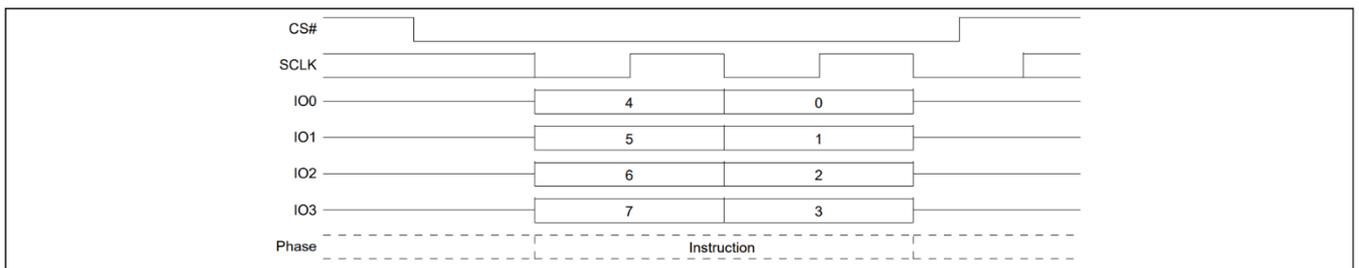


图 107 DPD 指令时序 QPI 模式

### 10.10.2 深度掉电释放 (RES ABh)

深度掉电释放指令用于将器件从深度掉电状态释放。在一些传统的SPI设备中，RES 指令也可以用来获取器件的电子识别 (ID) 号。但是，RES 指令不支持器件 ID 功能。

要将器件从深度掉电状态释放，可通过将 CS 引脚驱动为低电平、移位指令代码“ABh”并将 CS 驱动为高电平来发出指令，如图108所示。从深度掉电状态中释放将需要  $t_{RES}$  的持续时间 (“时序说明”在页34) 器件才能恢复正常运行，并且其他指令才能被接受。在  $t_{RES}$  时间内，CS 引脚必须保持高电平。作为硬件复位过程的一部分，硬件复位还会将器件从 DPD 状态释放。

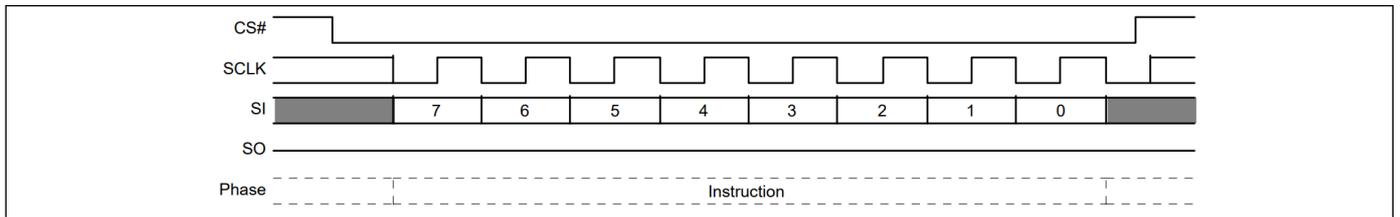


图 108 从深度掉电状态指令时序中释放

QPI 模式也支持此指令。在全四线模式下，指令在 IO0–IO3 上移入，每个字节两个时钟周期。

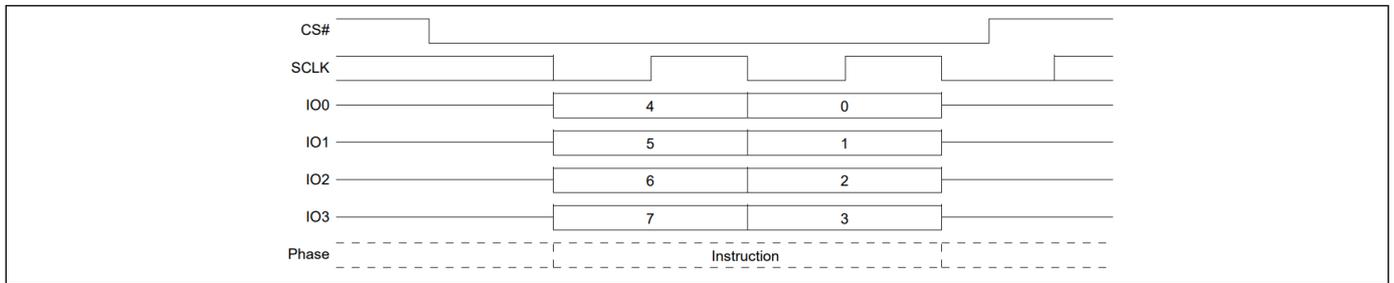


图 109 RES 指令时序 QPI 模式

数据完整性

## 11 数据完整性

### 11.1 擦除耐久性

表 50 擦除寿命工业级和工业+级温度

Parameter	Minimum	Unit
Program/Erase cycles per main Flash array sectors	100K	PE cycle
Program/Erase cycles per PPB array or non-volatile register array <sup>[65]</sup>	100K	PE cycle

### 11.2 数据保留

表 51 工业和工业Plus温度范围内的数据保留

Parameter	Test conditions	Minimum time	Unit
Data Retention Time	10K Program/Erase Cycles	20	Years
	100K Program/Erase Cycles	2	Years

联系 Infineon Sales 和 FAE，了解有关数据完整性的更多信息。应用注释请参考[www.infineon.com](http://www.infineon.com)。

#### 注：

65. 每一条写入非易失性寄存器的指令都会导致整个非易失性寄存器阵列进入一个编程/擦除周期。OTP 位和寄存器内置一个单独的阵列中，不进行编程/擦除周期。

## 12 嵌入式算法性能表

**表 52 编程和擦除性能**

Symbol	Parameter	Min	Typ <sup>[66]</sup>	Max	Unit
$t_W$	Non-volatile Register Write Time		240	750	ms
$t_{PP}$	Page Programming (512Bytes)		475	2000	$\mu$ s
	Page Programming (256Bytes)		360	2000	
$t_{SE}$	Sector Erase Time (256 KB physical sectors)		930	2900	ms
	Sector Erase Time (64 KB or 4 KB physical sectors)		240	725	ms
$t_{BE}$	Bulk Erase Time (S25FS512S)		220	720	sec
tEES	Evaluate Erase Status Time (4 KB physical sectors)		20	25	$\mu$ s
	Evaluate Erase Status Time (256 KB physical or logical sectors)		80	100	

**表 53 编程和擦除AC参数**

Parameter	Typical	Max	Unit	Comments
Suspend Latency ( $t_{SL}$ )		40	$\mu$ s	The time from Suspend command until the WIP bit is 0.
Resume to next Program Suspend ( $t_{RS}$ )	100		$\mu$ s	Minimum is the time needed to issue the next Suspend command but $\geq$ typical periods are needed for Program or Erase to progress to completion.

### 注:

66. 典型编程和擦除时间假定以下条件: 25 °C,  $V_{CC}=1.8V$ ; 10,000 次周期; 确认数据模型码。  
 67. 任何OTP 编程指令的编程时间与  $t_{pp}$  相同。这包括 OTPP 42h、PNVDLR 43h、ASPP 2Fh 和 PASSP E8h。  
 68. PPBP E3h 指令的编程时间与  $t_{pp}$  相同。PPBE E4h 指令的擦除时间与  $t_{SE}$  相同。

## 13 软件接口参考

### 13.1 串行闪存可发现参数 (SFDP) 地址映射

SFDP 地址空间具有从地址零开始的帧头，用于标识 SFDP 数据结构并为每个参数提供指针。有一个参数是 JEDEC JESD216 标准规定的。Infineon 通过指向 ID-CFI 地址空间提供了附加参数，即 ID-CFI 地址空间是 SFDP 地址空间的一个子集。JEDEC 参数位于 ID-CFI 地址空间内，因此既是 CFI 参数，又是 SFDP 参数。这样，SFDP 和 ID-CFI 信息都可以通过 RSFDP 或 RDID 指令访问。

表格 54 SFDP 概述图

Byte address	Description
0000h	Location zero within JEDEC JESD216B SFDP space - start of SFDP header
...	Remainder of SFDP header followed by undefined space
1000h	Location zero within ID-CFI space - start of ID-CFI parameter tables
...	ID-CFI parameters
1090h	Start of SFDP parameter tables which are also grouped as one of the CFI parameter tables (the CFI parameter itself starts at 108Eh, the SFDP parameter table data is double word aligned starting at 1090h)
...	Remainder of SFDP parameter tables followed by either more CFI parameters or undefined space

### 13.1.1 字段定义

**表 55 SFDP 帧头**

SFDP byte address	SFDP Dword name	Data	Description
00h	SFDP Header 1st DWORD	53h	This is the entry point for Read SFDP (5Ah) command i.e. location zero within SFDP space ASCII "S"
01h		46h	ASCII "F"
02h		44h	ASCII "D"
03h		50h	ASCII "P"
04h	SFDP Header 2nd DWORD	06h	SFDP Minor Revision (06h = JEDEC JESD216 Revision B) This revision is backward compatible with all prior minor revisions. Minor revisions are changes that define previously reserved fields, add fields to the end, or that clarify definitions of existing fields. Increments of the minor revision value indicate that previously reserved parameter fields may have been assigned a new definition or entire Dwords may have been added to the parameter table. However, the definition of previously existing fields is unchanged and therefore remain backward compatible with earlier SFDP parameter table revisions. Software can safely ignore increments of the minor revision number, as long as only those parameters the software was designed to support are used i.e. previously reserved fields and additional Dwords must be masked or ignored. Do not do a simple compare on the minor revision number, looking only for a match with the revision number that the software is designed to handle. There is no problem with using a higher number minor revision.
05h	Parameter Header 0 1st DWORD	01h	SFDP Major Revision This is the original major revision. This major revision is compatible with all SFDP reading and parsing software.
06h		05h	Number of Parameter Headers (zero based, 05h = 6 parameters)
07h		FFh	Unused
08h		00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
09h	Parameter Header 0 2nd DWORD	00h	Parameter Minor Revision (00h = JESD216) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 0 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a higher numbered minor revision that contains additional parameters for that software revision.
0Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
0Bh		09h	Parameter Table Length (in double words = Dwords = 4 byte units) 09h = 9 Dwords
0Ch		90h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h
0Dh	Parameter Header 0 2nd DWORD	10h	Parameter Table Pointer Byte 1
0Eh		00h	Parameter Table Pointer Byte 2
0Fh		FFh	Parameter ID MSB (FFh = JEDEC defined legacy Parameter ID)

**表 55 SFDP 帧头 (续)**

SFDP byte address	SFDP Dword name	Data	Description
10h	Parameter Header 1 1st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
11h		05h	Parameter Minor Revision (05h = JESD216 Revision A) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 5 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a later minor revision that contains additional parameters.
12h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.)
13h		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
14h	Parameter Header 1 2nd DWORD	90h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h address
15h		10h	Parameter Table Pointer Byte 1
16h		00h	Parameter Table Pointer Byte 2
17h		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
18h	Parameter Header 2 1st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
19h		06h	Parameter Minor Revision (06h = JESD216 Revision B)
1Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.)
1Bh		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
1Ch	Parameter Header 2 2nd DWORD	90h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h address
1Dh		10h	Parameter Table Pointer Byte 1
1Eh		00h	Parameter Table Pointer Byte 2
1Fh		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
20h	Parameter Header 3 1st DWORD	81h	Parameter ID LSB (81h = SFDP Sector Map Parameter)
21h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
22h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.)
23h		0Eh (01Gb)	Parameter Table Length (in double words = Dwords = 4 byte units) OPN Dependent 14 = 0Eh (1Gb)
24h	Parameter Header 3 2nd DWORD	D8h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 10D8h
25h		10h	Parameter Table Pointer Byte 1
26h		00h	Parameter Table Pointer Byte 2
27h		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)

**表 55 SFDP 帧头 (续)**

SFDP byte address	SFDP Dword name	Data	Description
28h	Parameter Header 4 1st DWORD	84h	Parameter ID LSB (00h = SFDP 4 Byte Address Instructions Parameter)
29h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
2Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
2Bh		02h	Parameter Table Length (in double words = Dwords = 4 byte units) (2h = 2 Dwords)
2Ch	Parameter Header 4 2nd DWORD	D0h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 10D0h
2Dh		10h	Parameter Table Pointer Byte 1
2Eh		00h	Parameter Table Pointer Byte 2
2Fh		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
30h	Parameter Header 5 1st DWORD	01h	Parameter ID LSB (Infineon Vendor Specific ID-CFI parameter) Legacy Manufacturer ID 01h = AMD / Infineon
31h		01h	Parameter Minor Revision (01h = ID-CFI updated with SFDP Rev B table)
32h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
33h		44h (1Gb)	Parameter Table Length (in double words = Dwords = 4 byte units) Parameter Table Length (in double words = Dwords = 4 byte units)
34h	Parameter Header 5 2nd DWORD	00h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) Entry point for ID-CFI parameter is byte offset = 1000h relative to SFDP location zero.
35h		10h	Parameter Table Pointer Byte 1
36h		00h	Parameter Table Pointer Byte 2
37h		01h	Parameter ID MSB (01h = JEDEC JEP106 Bank Number 1)

## 13.2 器件ID和通用闪存接口 (ID-CFI) 地址分布

### 13.2.1 字段定义

**表 56 制造商和器件ID**

Byte address	Data	Description
00h	01h	Manufacturer ID for Infineon
01h	02h (1 Gb)	Device ID Most Significant Byte - Memory Interface Type
02h	21h (1 Gb)	Device ID Least Significant Byte - Density
03h	4Dh	ID-CFI Length - number bytes following. Adding this value to the current location of 03h gives the address of the last valid location in the ID-CFI legacy address map. The legacy CFI address map ends with the Primary Vendor-Specific Extended Query. The original legacy length is maintained for backward software compatibility. However, the CFI Query Identification String also includes a pointer to the Alternate Vendor-Specific Extended Query that contains additional information related to the FS-S family.
04h	00h (Uniform 256 KB physical sectors)	Physical Sector Architecture The FS-S Family may be configured with or without 4 KB parameter sectors in addition to the uniform sectors.
05h	81h (FS-S Family)	Family ID
06h	xxh	ASCII characters for Model
07h	xxh	Refer to <b>“Ordering Information”</b> on page 166 for the model number definitions.
08h	xxh	Reserved
09h	xxh	Reserved
0Ah	xxh	Reserved
0Bh	xxh	Reserved
0Ch	xxh	Reserved
0Dh	xxh	Reserved
0Eh	xxh	Reserved
0Fh	xxh	Reserved

**表 57 CFI查询识别字符串**

Byte address	Data	Description
10h 11h 12h	51h 52h 59h	Query Unique ASCII string “QRY”
13h 14h	02h 00h	Primary OEM Command Set FL-P backward compatible command set ID
15h 16h	40h 00h	Address for Primary Extended Table
17h 18h	53h 46h	Alternate OEM Command Set Ascii characters “FS” for SPI (F) interface, S Technology
19h 1Ah	51h 00h	Address for Alternate OEM Extended Table

**表 58 CFI系统接口字符串**

Byte address	Data	Description
1Bh	17h	V <sub>CC</sub> Min. (erase/program): 100 millivolts BCD)
1Ch	19h	V <sub>CC</sub> Max. (erase/program): 100 millivolts BCD)
1Dh	00h	V <sub>PP</sub> Min. voltage (00h = no V <sub>PP</sub> present)
1Eh	00h	V <sub>PP</sub> Max. voltage (00h = no V <sub>PP</sub> present)
1Fh	09h	Typical timeout per single byte program 2 <sup>N</sup> μs
20h	09h	Typical timeout for Min. size Page program 2 <sup>N</sup> μs (00h = not supported)
21h	0Ah (256KB)	Typical timeout per individual sector erase 2 <sup>N</sup> ms
22h		Typical timeout for full chip erase 2 <sup>N</sup> ms (00h = not supported)
23h	02h	Max. timeout for byte program 2 <sup>N</sup> times typical
24h	02h	Max. timeout for page program 2 <sup>N</sup> times typical
25h	03h	Max. timeout per individual sector erase 2 <sup>N</sup> times typical
26h	03h	Max. timeout for full chip erase 2 <sup>N</sup> times typical (00h = not supported)

**表 59 器件底部boot几何定义的出厂状态**

Byte address	Data	Description
27h	1Bh (1 Gb)	Device Size = 2 <sup>N</sup> bytes;
28h	02h	Flash Device Interface
29h	01h	Description; 0000h = x8 only 0001h = x16 only 0002h = x8/x16 capable 0003h = x32 only 0004h = Single I/O SPI, 3-byte address 0005h = Multi I/O SPI, 3-byte address 0102h = Multi I/O SPI, 3 or 4 byte address
2Ah	08h	Max. number of bytes in multi-byte write = 2 <sup>N</sup>
2Bh	00h	0000h = not supported 0008h = 256B page 0009h = 512B page
2Ch	03h	Number of Erase Block Regions within device 1 = Uniform Device, >1 = Boot Device
2Dh	07h	Erase Block Region 1 Information (refer to JEDEC JEP137) 8 sectors = 8-1 = 0007h 4 KB sectors = 256 Bytes x 0010h
2Eh	00h	
2Fh	10h	
30h	00h	
31h	00h	Erase Block Region 2 Information (refer to JEDEC JEP137) 128Mb & 256Mb: 1 sectors = 1-1 = 0000h 32 KB sector = 256 Bytes x 0080h 512Mb & 1 Gb: 1 sectors = 1-1 = 0000h 224 KB sector = 256 Bytes x 0380h
32h	00h	
33h	80h	
34h	03h (1 Gb)	
35h	FEh	Erase Block Region 3 Information 128Mb & 256Mb: 255 sectors = 255-1 = 00FEh (128 Mb) 511 sectors = 511-1 = 01FEh (256 Mb) 64 KB sectors = 0100h x 256 Bytes 512Mb: 255 sectors = 255-1 = 00FEh 256 KB sectors = 0400h x 256 Bytes 1 Gb: 511 sectors = 511-1 = 01FEh 256 KB sectors = 0400h x 256 Bytes
36h	01h (1 Gb)	
37h	00h	
38h	04h (1 Gb)	
39h thru 3Fh	FFh	RFU

**注:**

69. FS-S 设备可由用户配置为混合扇区架构（具有八个 4 KB 扇区，所有剩余扇区统一为 64 KB 或 256 KB）或统一扇区架构（所有扇区统一为 64 KB 或 256 KB）。FS-S 设备也可由用户配置为在存储器地址空间顶部具有 4 KB 参数扇区。上表的 CFI 几何信息仅与初始交付状态相关。所有设备最初都是从INFINEON发货的，采用混合扇区架构，4 KB 扇区位于阵列地址映射的底部。然而，器件配置 TBPARM 位 CR1NV[2] 可以被编程为反转扇区映射，将 4 KB 扇区放置在扇区地址映射的顶部。可以对 20h\_NV 位 (CR3NV[3]) 进行编程以从地址映射中移除 4 KB 扇区。闪存存储器器件驱动程序软件必须检查 TBPARM 和 20h\_NV 位以确定扇区映射是否已反转或混合扇区被移除。

**表 60 CFI主要厂商特定的扩展查询**

Byte address	Data	Description
40h	50h	Query-unique ASCII string "PRI"
41h	52h	
42h	49h	
43h	31h	Major version number = 1, ASCII
44h	33h	Minor version number = 3, ASCII
45h	21h	Address Sensitive Unlock (Bits 1-0) 00b = Required, 01b = Not Required Process Technology (Bits 5-2) 0000b = 0.23 $\mu$ m Floating Gate 0001b = 0.17 $\mu$ m Floating Gate 0010b = 0.23 $\mu$ m MIRRORBIT™ 0011b = 0.11 $\mu$ m Floating Gate 0100b = 0.11 $\mu$ m MIRRORBIT™ 0101b = 0.09 $\mu$ m MIRRORBIT™ 1000b = 0.065 $\mu$ m MIRRORBIT™
46h	02h	Erase Suspend 0 = Not Supported, 1 = Read Only, 2 = Read & Program
47h	01h	Sector Protect 00 = Not Supported, X = Number of sectors in group
48h	00h	Temporary Sector Unprotect 00 = Not Supported, 01 = Supported
49h	08h	Sector Protect/Unprotect Scheme 04 = High Voltage Method 05 = Software Command Locking Method 08 = Advanced Sector Protection Method
4Ah	00h	Simultaneous Operation 00 = Not Supported, X = Number of Sectors
4Bh	01h	Burst Mode (Synchronous sequential read) support 00 = Not Supported, 01 = Supported
4Ch	03h	Page Mode Type, initial delivery configuration, user configurable for 512B page 00 = Not Supported, 01 = 4 Word Read Page, 02 = 8 Read Word Page, 03 = 256 Byte Program Page, 04 = 512 Byte Program Page
4Dh	00h	ACC (Acceleration) Supply Minimum 00 = Not Supported, 100 mV
4Eh	00h	ACC (Acceleration) Supply Maximum 00 = Not Supported, 100 mV
4Fh	07h	WP# Protection 01 = Whole Chip 04 = Uniform Device with Bottom WP Protect 05 = Uniform Device with Top WP Protect 07 = Uniform Device with Top or Bottom Write Protect (user configurable)
50h	01h	Program Suspend 00 = Not Supported, 01 = Supported

软件接口参考

替换供应商特定扩展查询提供了与 FS-S 系列提供的扩展指令置位相关的信息。替换查询参数使用一种格式，其中每个参数以标识符字节和参数长度字节开头。驱动程序软件可以检查每个参数ID，如果该参数不需要或软件无法识别，则可以使用长度值跳到下一个参数。

**表 61 CFI 备用供应商特定扩展查询帧头**

Byte address	Data	Description
51h	41h	Query-unique ASCII string "ALT"
52h	4Ch	
53h	54h	
54h	32h	Major version number = 2, ASCII
55h	30h	Minor version number = 0, ASCII

**表 62 CFI 备用供应商特定扩展查询参数 0**

Parameter relative byte address offset	Data	Description
00h	00h	Parameter ID (Ordering Part Number)
01h	10h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	53h	Ascii "S" for manufacturer (Infineon)
03h	32h	Ascii "25" for Product Characters (Single Die SPI)
04h	35h	
05h	46h	
06h	53h	Ascii "FS" for Interface Characters (SPI 1.8Volt)
07h	30h (1 Gb)	Ascii characters for density
08h	31h (1 Gb)	
09h	47h (1 Gb)	
0Ah	53h	Ascii "S" for Technology (65nm MirrorBit)
0Bh	FFh	Reserved for Future Use
0Ch	FFh	
0Dh	FFh	Reserved for Future Use
0Eh	FFh	
0Fh	FFh	Reserved for Future Use
10h	xxh	ASCII characters for Model Refer to <b>"Ordering Information"</b> on page 166 for the model number definitions.
11h	xxh	

表 63 CFI 备用供应商特定扩展查询参数 80h 地址选项

Parameter relative byte address offset	Data	Description
00h	80h	Parameter ID (Ordering Part Number)
01h	01h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	EBh	Bits 7:5 - Reserved = 111b Bit 4 - Address Length Bit in CR2V[7] - Yes = 0b Bit 3 - AutoBoot support - No = 1b Bit 2 - 4 byte address instructions supported - Yes = 0b Bit 1 - Bank address + 3 byte address instructions supported - No = 1b Bit 0 - 3 byte address instructions supported - No = 1b

表 64 CFI 备用供应商特定扩展查询参数 84h 挂起指令

Parameter relative byte address offset	Data	Description
00h	84h	Parameter ID (Suspend Commands)
01h	08h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	85h	Program suspend instruction code
03h	28h	Program suspend latency maximum ( $\mu$ s)
04h	8Ah	Program resume instruction code
05h	64h	Program resume to next suspend typical ( $\mu$ s)
06h	75h	Erase suspend instruction code
07h	28h	Erase suspend latency maximum ( $\mu$ s)
08h	7Ah	Erase resume instruction code
09h	64h	Erase resume to next suspend typical ( $\mu$ s)

表 65 CFI 备用供应商特定扩展查询参数 88h 数据保护

Parameter relative byte address offset	Data	Description
00h	88h	Parameter ID (Data Protection)
01h	04h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	0Ah	OTP size $2^N$ bytes, FFh = not supported
03h	01h	OTP address map format, 01h = FL-S and FS-S format, FFh = not supported
04h	xxh	Block Protect Type, model dependent 00h = FL-P, FL-S, FS-S FFh = not supported
05h	xxh	Advanced Sector Protection type, model dependent 01h = FL-S & FS-S ASP, 03h = FS-S ASP with Read Password Enabled.

表 66 CFI 备用供应商特定扩展查询参数 8Ch 复位时序

Parameter relative byte address offset	Data	Description
00h	8Ch	Parameter ID (Reset Timing)
01h	06h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	96h	POR maximum value
03h	01h	POR maximum exponent $2^N \mu\text{s}$
04h	23h	Hardware Reset maximum value, FFh = not supported (the initial delivery state has hardware reset disabled but it may be enabled by the user at a later time)
05h	00h	Hardware Reset maximum exponent $2^N \mu\text{s}$
06h	23h	Software Reset maximum value, FFh = not supported
07h	00h	Software Reset maximum exponent $2^N \mu\text{s}$

表 67 CFI 备用供应商特定扩展查询参数 94h ECC

Parameter relative byte address offset	Data	Description
00h	94h	Parameter ID (ECC)
01h	01h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	10h	ECC unit size byte, FFh = ECC disabled

表 68 CFI 备用供应商特定扩展查询参数 F0h RFU

Parameter relative byte address offset	Data	Description
00h	F0h	Parameter ID (RFU)
01h	09h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	FFh	RFU
...	FFh	RFU
0Ah	FFh	RFU

该参数类型（参数ID F0h）可能出现多次，且每次的长度不同。此参数用于在ID-CFI图中预留空间，或者强制放置（填塞）将后面的参数对齐到所需的边界。

### 13.2.1.1 JEDEC SFDP Rev B 参数表

从 CFI 数据结构的角度来看，所有 SFDP 参数表都作为连续的字节序列组合成单个 CFI 参数。

从SFDP数据结构来看，有三个独立的参数表。其中两个表具有固定长度，一个表具有可变结构和长度，具体取决于器件容量订购部件编号 (OPN)。基本闪存参数表和 4 字节地址指令参数表具有固定长度，并在下面作为单个表呈现。该表是整体 CFI 参数的第 1 部分。

JEDEC扇区映射参数表的结构和长度取决于容量型号，并以表的置位形式呈现，每个器件容量一个。

**表 69 CFI 备用供应商特定扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 部分, 基本闪存参数和 4 字节地址指令参数**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
00h	--	N/A	A5h	CFI Parameter ID (JEDEC SFDP)
01h	--	N/A	80h (1Gb)h	CFI Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter). OPN dependent: 18Dw + 14Dw = 32Dw * 4B = 128B = 80h B (1Gb)
02h	00h	JEDEC Basic Flash Parameter Dword-1	E7h	Start of SFDP JEDEC parameter, located at 1090h in the overall SFDP address space. Bits 7:5 = unused = 111b Bit 4:3 = 06h is status register write instruction & status register is default non-volatile = 00b Bit 2 = Program Buffer > 64Bytes = 1 Bits 1:0 = Uniform 4 KB erase unavailable = 11b
03h	01h		FFh	Bits 15:8 = Uniform 4 KB erase opcode = not supported = FFh
04h	02h		BAh (FSxxxSDS)	Bit 23 = Unused = 1b Bit 22 = Supports Quad Out Read = No = 0b Bit 21 = Supports Quad I/O Read = Yes = 1b Bit 20 = Supports Dual I/O Read = Yes = 1b Bit 19 = Supports DDR 0 = No, 1 = Yes; FS-SAG = 0b, FS-SDS = 1b Bit 18:17 = Number of Address Bytes, 3 or 4 = 01b Bit 16 = Supports Dual Out Read = No = 0b
05h	03h		FFh	Bits 31:24 = Unused = FFh
06h	04h		JEDEC Basic Flash Parameter Dword-2	FFh
07h	05h	FFh		
08h	06h	FFh		
09h	07h	3Fh (1 Gb)		

**表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
0Ah	08h	JEDEC Basic Flash Parameter Dword-3	48h	Bits 7:5 = number of Quad I/O (1-4-4) Mode cycles = 010b Bits 4:0 = number of Quad I/O Dummy cycles = 01000b (Initial Delivery State)
0Bh	09h		EBh	Quad I/O instruction code
0Ch	0Ah		FFh	Bits 23:21 = number of Quad Out (1-1-4) Mode cycles = 111b Bits 20:16 = number of Quad Out Dummy cycles = 11111b
0Dh	0Bh		FFh	Quad Out instruction code
0Eh	0Ch	JEDEC Basic Flash Parameter Dword-4	FFh	Bits 7:5 = number of Dual Out (1-1-2) Mode cycles = 111b Bits 4:0 = number of Dual Out Dummy cycles = 11111b
0Fh	0Dh		FFh	Dual Out instruction code
10h	0Eh		88h	Bits 23:21 = number of Dual I/O (1-2-2) Mode cycles = 100b Bits 20:16 = number of Dual I/O Dummy cycles = 01000b (Initial Delivery State)
11h	0Fh		BBh	Dual I/O instruction code
12h	10h	JEDEC Basic Flash Parameter Dword-5	FEh	Bits 7:5 RFU = 111b Bit 4 = QPI supported = Yes = 1b Bits 3:1 RFU = 111b Bit 0 = Dual All not supported = 0b
13h	11h		FFh	Bits 15:8 = RFU = FFh
14h	12h		FFh	Bits 23:16 = RFU = FFh
15h	13h		FFh	Bits 31:24 = RFU = FFh
16h	14h	JEDEC Basic Flash Parameter Dword-6	FFh	Bits 7:0 = RFU = FFh
17h	15h		FFh	Bits 15:8 = RFU = FFh
18h	16h		FFh	Bits 23:21 = number of Dual All Mode cycles = 111b Bits 20:16 = number of Dual All Dummy cycles = 11111b
19h	17h		FFh	Dual All instruction code
1Ah	18h	JEDEC Basic Flash Parameter Dword-7	FFh	Bits 7:0 = RFU = FFh
1Bh	19h		FFh	Bits 15:8 = RFU = FFh
1Ch	1Ah		48h	Bits 23:21 = number of QPI Mode cycles = 010b Bits 20:16 = number of QPI Dummy cycles = 01000b
1Dh	1Bh		EBh	QPI Mode Quad I/O (4-4-4) instruction code

**表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
1Eh	1Ch	JEDEC Basic Flash Parameter Dword-8	0Ch	Erase type 1 size $2^N$ Bytes = 4 KB = 0Ch for Hybrid (Initial Delivery State)
1Fh	1Dh		20h	Erase type 1 instruction
20h	1Eh		10h	Erase type 2 size $2^N$ Bytes = 64 KB = 10h
21h	1Fh		D8h	Erase type 2 instruction
22h	20h	JEDEC Basic Flash Parameter Dword-9	12h	Erase type 3 size $2^N$ Bytes = 256 KB = 12h
23h	21h		D8h	Erase type 3 instruction
24h	22h		00h	Erase type 4 size $2^N$ Bytes = not supported = 00h
25h	23h		FFh	Erase type 4 instruction = not supported = FFh
26h	24h	JEDEC Basic Flash Parameter Dword-10	82h	Bits 31:30 = Erase type 4 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 1S = 11b (RFU) Bits 29:25 = Erase type 4 Erase, Typical time count = 11111b (RFU) Bits 24:23 = Erase type 3 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 128 ms = 10b Bits 22:18 = Erase type 3 Erase, Typical time count = 00100b (typ erase time = count + 1 * units = 5 * 128 ms = 640 ms) Bits 17:16 = Erase type 2 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16 ms = 01b Bits 15:11 = Erase type 2 Erase, Typical time count = 01000b (typ erase time = count + 1 * units = 9 * 16 ms = 144 ms) Bits 10:9 = Erase type 1 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16 ms = 01b Bits 8:4 = Erase type 1 Erase, Typical time count = 01000b (typ erase time = count + 1 * units = 9 * 16 ms = 144 ms) Bits 3:0 = Multiplier from typical erase time to maximum erase time = $2 * (N + 1)$ , N = 2h = 6x multiplier
27h	25h		42h	
28h	26h		11h	
29h	27h		FFh	Binary Fields: 11-11111-10-00100-01-01000-01-01000-0010 Nibble Format: 1111_1111_0001_0001_0100_0010_1000_0010 Hex Format: FF_11_42_82

表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
2Ah	28h		91h	Bit 31 Reserved = 1b
2Bh	29h		26h	Bits 30:29 = Chip Erase, Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 1Gb chip erase not supported, BEA command erases upper or lower 512 Mb
2Ch	2Ah		07h	Bits 28:24 = Chip Erase, Typical time count, (count + 1) * units, 1Gb chip erase not supported, BEA command erases upper or lower 512 Mb
2Dh	2Bh	JEDEC Basic Flash Parameter Dword-11	E2h (1 Gb)	Bits 23 = Byte Program Typical time, additional byte units (0b:1 $\mu$ s, 1b:8 $\mu$ s) = 1 $\mu$ s = 0b Bits 22:19 = Byte Program Typical time, additional byte count, (count + 1) * units, count = 0000b, (typ Program time = count + 1 * units = 1 * 1 $\mu$ s = 1 $\mu$ s Bits 18 = Byte Program Typical time, first byte units (0b:1 $\mu$ s, 1b:8 $\mu$ s) = 8 $\mu$ s = 1b Bits 17:14 = Byte Program Typical time, first byte count, (count + 1) * units, count = 1100b, (typ Program time = count + 1 * units = 13 * 8 $\mu$ s = 104 $\mu$ s) Bits 13 = Page Program Typical time units (0b:8 $\mu$ s, 1b:64 $\mu$ s) = 64 $\mu$ s = 1b Bits 12:8 = Page Program Typical time count, (count + 1) * units, count = 00110b, (typ Program time = count + 1 * units = 7 * 64 $\mu$ s = 448 $\mu$ s) Bits 7:4 = Page size $2^N$ , N = 9h, = 512B page Bits 3:0 = Multiplier from typical time to maximum for Page or Byte program = $2 * (N + 1)$ , N = 1h = 4x multiplier  128 Mb Binary Fields: 1-10-01000-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1100_1000_0000_0111_0010_0110_1001_0001 Hex Format: C8_07_26_91 256 Mb Binary Fields: 1-10-10001-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1101_0001_0000_0111_0010_0110_1001_0001 Hex Format: D1_07_26_91 512 Mb Binary Fields: 1-11-00010-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1110_0010_0000_0111_0010_0110_1001_0001 Hex Format: E2_07_26_91

表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
2Eh	2Ch	JEDEC Basic Flash Parameter Dword-12	ECh	Bit 31 = Suspend and Resume supported = 0b
2Fh	2Dh		83h	Bits 30:29 = Suspend in-progress erase max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b
30h	2Eh		18h	Bits 28:24 = Suspend in-progress erase max latency count = 00100b, max erase suspend latency = count + 1 * units = 5 * 8 μs = 40 μs
31h	2Fh		44h	Bits 23:20 = Erase resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs Bits 19:18 = Suspend in-progress program max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b Bits 17:13 = Suspend in-progress program max latency count = 00100b, max erase suspend latency = count + 1 * units = 5 * 8 μs = 40 μs Bits 12:9 = Program resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs Bit 8 = RFU = 1b Bits 7:4 = Prohibited operations during erase suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx1xb: May not initiate a page program in the erase suspended sector size + x1xxb: May not initiate a read in the erase suspended sector size + 1xxb: The erase and program restrictions in bits 5:4 are sufficient = 1110b Bits 3:0 = Prohibited Operations During Program Suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx0xb: May not initiate a new page program anywhere (program nesting not permitted) + x1xxb: May not initiate a read in the program suspended page size + 1xxb: The erase and program restrictions in bits 1:0 are sufficient = 1100b  Binary Fields: 0-10-00100-0001-10-00100-0001-1-1110-1100 Nibble Format: 0100_0100_0001_1000_1000_0011_1110_1100 Hex Format: 44_18_83_EC

**表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
32h	30h	JEDEC Basic Flash Parameter Dword-13	8Ah	Bits 31:24 = Erase Suspend Instruction = 75h Bits 23:16 = Erase Resume Instruction = 7Ah Bits 15:8 = Program Suspend Instruction = 85h Bits 7:0 = Program Resume Instruction = 8Ah
33h	31h		85h	
34h	32h		7Ah	
35h	33h		75h	
36h	34h	JEDEC Basic Flash Parameter Dword-14	F7h	Bit 31 = Deep Power Down Supported = supported = 0 Bits 30:23 = Enter Deep Power Down Instruction = B9h Bits 22:15 = Exit Deep Power Down Instruction = ABh Bits 14:13 = Exit Deep Power Down to next operation delay units = (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 1 μs = 01b Bits 12:8 = Exit Deep Power Down to next operation delay count = 11101b, Exit Deep Power Down to next operation delay = (count + 1) * units = 29 + 1 * 1 μs = 30 μs Bits 7:4 = RFU = Fh Bit 3:2 = Status Register Polling Device Busy = 01b: Legacy status polling supported = Use legacy polling by reading the Status Register with 05h instruction and checking WIP bit[0] (0=ready; 1=busy). = 01b Bits 1:0 = RFU = 11b  Binary Fields: 0-10111001-10101011-01-11101-1111-01-11 Nibble Format: 0101_1100_1101_0101_1011_1101_1111_0111 Hex Format: 5C_D5_BD_F7
37h	35h		BDh	
38h	36h		D5h	
39h	37h		5Ch	

表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
3Ah	38h	JEDEC Basic Flash Parameter Dword-15	8Ch	Bits 31:24 = RFU = FFh
3Bh	39h		F6h	Bit 23 = Hold and WP Disable = not supported = 0b
3Ch	3Ah		5Dh	Bits 22:20 = Quad Enable Requirements = 101b: QE is bit 1 of the status register 2. Status register 1 is read using Read Status instruction 05h. Status register 2 is read using instruction 35h. QE is set via Write Status instruction 01h with two data bytes where bit 1 of the second byte is one. It is cleared via Write Status with two data bytes where bit 1 of the second byte is zero.
3Dh	3Bh		FFh	Bits 19:16 0-4-4 Mode Entry Method = xxx1b: Mode Bits[7:0] = A5h Note: QE must be set prior to using this mode + x1xxb: Mode Bit[7:0]=Axh + 1xxb: RFU = 1101b Bits 15:10 0-4-4 Mode Exit Method = xx_1xxb: Mode Bits[7:0] = 00h will terminate this mode at the end of the current read operation + xx_1xxb: Input Fh (mode bit reset) on DQ0–DQ3 for 8 clocks. This will terminate the mode prior to the next read operation. + x1_1xxb: Mode Bit[7:0] != Axh + 1x_1xx: RFU = 11_1101 Bit 9 = 0-4-4 mode supported = 1 Bits 8:4 = 4-4-4 mode enable sequences = x_1xxb: device uses a read-modify-write sequence of operations: read configuration using instruction 65h followed by address 800003h, set bit 6, write configuration using instruction 71h followed by address 800003h. This configuration is volatile. = 01000b Bits 3:0 = 4-4-4 mode disable sequences = x1xxb: device uses a read-modify-write sequence of operations: read configuration using instruction 65h followed by address 800003h, clear bit 6, write configuration using instruction 71h followed by address 800003h.. This configuration is volatile. + 1xxb: issue the Soft Reset 66/99 sequence = 1100b  Binary Fields: 11111111-0-101-1101-111101-1-01000-1100 Nibble Format: 1111_1111_0101_1101_1111_0110_1000-1100 Hex Format: FF_5D_F6_8C

表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
3Eh	3Ch	JEDEC Basic Flash Parameter Dword-16	F0h	Bits 31:24 = Enter 4-Byte Addressing = xxxx_xxx1b: issue instruction B7h (preceding write enable not required) + xx1x_xxxx: Supports dedicated 4-Byte address instruction set. Consult vendor data sheet for the instruction set definition. + 1xxx_xxxx: Reserved = 10100001b Bits 23:14 = Exit 4-Byte Addressing = xx_xx1x_xxxx: Hardware reset + xx_x1xx_xxxx: Software reset (see bits 13:8 in this DWORD) + xx_1xxx_xxxx: Power cycle + x1_xxxx_xxxx: Reserved + 1x_xxxx_xxxx: Reserved = 11_1110_0000b Bits 13:8 = Soft Reset and Rescue Sequence Support = x1_xxxx: issue reset enable instruction 66h, then issue reset instruction 99h. The reset enable, reset sequence may be issued on 1, 2, or 4 wires depending on the device operating mode. + 1x_xxxx: exit 0-4-4 mode is required prior to other reset sequences above if the device may be operating in this mode. = 110000b Bit 7 = RFU = 1 Bits 6:0 = Volatile or Non-Volatile Register and Write Enable Instruction for Status Register 1 = + xx1_xxxx: Status Register 1 contains a mix of volatile and non-volatile bits. The 06h instruction is used to enable writing of the register. + x1x_xxxx: Reserved + 1xx_xxxx: Reserved = 1110000b  Binary Fields: 10100001-1111100000-110000-1-1110000 Nibble Format: 1010_0001_1111_1000_0011_0000_1111_0000 Hex Format: A1_F8_30_F0
3Fh	3Dh		30h	
40h	3Eh		F8h	
41h	3Fh		A1h	

表 69 CFI 备用供应商特定的扩展查询参数 A5h JEDEC SFDP Rev B, 第 1 节, 基本闪存参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
42h	40h	JEDEC 4 Byte Address Instructions Parameter Dword-1	6Bh	Supported = 1, Not Supported = 0 Bits 31:20 = RFU = FFFh Bit 19 = Support for non-volatile individual sector lock write command, Instruction = E3h = 1 Bit 18 = Support for non-volatile individual sector lock read command, Instruction = E2h = 1 Bit 17 = Support for volatile individual sector lock Write command, Instruction = E1h = 1 Bit 16 = Support for volatile individual sector lock Read command, Instruction = E0h = 1 Bit 15 = Support for (1-4-4) DTR_Read Command, Instruction = EEh = 1 Bit 14 = Support for (1-2-2) DTR_Read Command, Instruction = BEh = 0 Bit 13 = Support for (1-1-1) DTR_Read Command, Instruction = 0Eh = 0 Bit 12 = Support for Erase Command - Type 4 = 0 Bit 11 = Support for Erase Command - Type 3 = 1 Bit 10 = Support for Erase Command - Type 2 = 1 Bit 9 = Support for Erase Command - Type 1 = 1 Bit 8 = Support for (1-4-4) Page Program Command, Instruction = 3Eh = 0 Bit 7 = Support for (1-1-4) Page Program Command, Instruction = 34h = 0 Bit 6 = Support for (1-1-1) Page Program Command, Instruction = 12h = 1 Bit 5 = Support for (1-4-4) FAST_READ Command, Instruction = ECh = 1 Bit 4 = Support for (1-1-4) FAST_READ Command, Instruction = 6Ch = 0 Bit 3 = Support for (1-2-2) FAST_READ Command, Instruction = BCh = 1 Bit 2 = Support for (1-1-2) FAST_READ Command, Instruction = 3Ch = 0 Bit 1 = Support for (1-1-1) FAST_READ Command, Instruction = 0Ch = 1 Bit 0 = Support for (1-1-1) READ Command, Instruction = 13h = 1
43h	41h		8Eh	
44h	42h		FFh	
45h	43h		FFh	
46h	44h	JEDEC 4 Byte Address Instructions Parameter Dword-2	21h	Bits 31:24 = FFh = Instruction for Erase Type 4: RFU Bits 23:16 = DCh = Instruction for Erase Type 3 Bits 15:8 = DCh = Instruction for Erase Type 2 Bits 7:0 = 21h = Instruction for Erase Type 1
47h	45h		DCh	
48h	46h		DCh	
49h	47h		FFh	

### 扇区图参数表说明：

以下扇区映射参数表提供了一种方法来识别器件地址映射的配置方式，并为每个支持的配置提供扇区映射。这是通过定义一系列指令来读取影响地址映射选择的相关配置寄存器位来完成的。当必须读取多个配置位时，所有位将连接成一个索引值，用于选择当前地址映射。

为了识别 FS01GS 中的扇区映射配置，按照以下最高有效位（MSB）到最低有效位（LSB）的顺序读取以下配置位，以形成配置映射索引值：

- 底部地址 FS512S 器件 CR3NV[3] - 0 = 混合架构，1 = 统一架构
- 顶部地址 FS512S 器件 CR3NV[3] - 0 = 混合架构，1 = 统一架构

某些配置位的值可能会使其他配置位值不相关（不关心），因此并非所有可能的索引值组合都定义有效的地址映射。只有选定的配置位组合（见表 70）由 SFDP 扇区图参数表支持（见表 71）。使用 SFDP 扇区映射参数表时，不得使用其他组合来配置扇区地址映射（请参见表 71）确定扇区图。支持以下索引值组合。

**表 70 允许的扇区配置**

Device	Low address CR3NV[3]	High address CR3NV[3]	Index value	Description
FS01GS	0	1	01h	4 KB sectors at bottom with remainder 256 KB sectors
	1	0	02h	4 KB sectors at top with remainder 256 KB sectors
	1	1	03h	Uniform 256 KB sectors

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 部分, 扇区映射参数表, 1Gb

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
4Ah	48h	JEDEC Sector Map Parameter Dword-1 Config. Detect-1	FCh	Read lower address FS512S configuration. Note that only the lower or the upper address FS512S device may have parameter sectors. All other sectors are 256 KB. Bits 31:24 = Read data mask = 0000_1000b: Select bit 3 of the data byte for 20h_NV value 0 = Hybrid map with 4 KB parameter sectors 1 = Uniform map Bits 23:22 = Configuration detection command address length = 11b: Variable length Bits 21:20 = RFU = 11b Bits 19:16 = Configuration detection command latency = 1111b: variable latency Bits 15:8 = Configuration detection instruction = 65h: Read any register Bits 7:2 = RFU = 111111b Bit 1 = Command Descriptor = 0 Bit 0 = not the end descriptor = 0
4Bh	49h		65h	
4Ch	4Ah		FFh	
4Dh	4Bh		08h	
4Eh	4Ch	JEDEC Sector Map Parameter Dword-2 Config. Detect-1	04h	Bits 31:0 = Sector map configuration detection command address = 00_00_00_04h: address of CR3NV
4Fh	4Dh		00h	
50h	4Eh		00h	
51h	4Fh		00h	
52h	50h	JEDEC Sector Map Parameter Dword-3 Config. Detect-2	FCh	Read upper address FS512S configuration. Note that only the lower or the upper address FS512S device may have parameter sectors. All other sectors are 256 KB. Bits 31:24 = Read data mask = 0000_1000b: Select bit 3 of the data byte for 20h_NV value 0 = Hybrid map with 4 KB parameter sectors 1 = Uniform map Bits 23:22 = Configuration detection command address length = 11b: Variable length Bits 21:20 = RFU = 11b Bits 19:16 = Configuration detection command latency = 1111b: variable latency Bits 15:8 = Configuration detection instruction = 65h: Read any register Bits 7:2 = RFU = 111111b Bit 1 = Command Descriptor = 0 Bit 0 = not the end descriptor = 0
53h	51h		65h	
54h	52h		FFh	
55h	53h		08h	
56h	54h	JEDEC Sector Map Parameter Dword-4 Config. Detect-2	04h	Bits 31:0 = Sector map configuration detection command address = 04_00_00_04h: address of CR3NV with A26 selecting the higher address device.
57h	55h		00h	
58h	56h		00h	
59h	57h		04h	

**表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 部分, 扇区映射参数表, 1Gb (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
5Ah	58h	JEDEC Sector Map Parameter Dword-5 Config-1 Header	FEh	Bits 31:24 = RFU = FFh
5Bh	59h		01h	Bits 23:16 = Region count (Dwords -1) = 02h: Three regions
5Ch	5Ah		02h	Bits 15:8 = Configuration ID = 01h: 4 KB sectors at bottom with remainder 256 KB sectors
5Dh	5Bh		FFh	Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = not the end descriptor = 0
5Eh	5Ch	JEDEC Sector Map Parameter Dword-6 Config-1 Region-0	F1h	Bits 31:8 = Region size = 00007Fh:
5Fh	5Dh		7Fh	Region size as count - 1 of 256 Byte units = 8 x 4 KB sectors = 32 KB
60h	5Eh		00h	Count = 32 KB/256 = 128, value = count - 1 = 128 - 1 = 127 = 7Fh
61h	5Fh		00h	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 0b --- Erase Type 3 is 256 KB erase and is supported in the 4 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 4 KB sector region Bit 0 = Erase Type 1 support = 1b --- Erase Type 1 is 4 KB erase and is supported in the 4 KB sector region
62h	60h	JEDEC Sector Map Parameter Dword-7 Config-1 Region-1	F4h	Bits 31:8 = Region size = 00037Fh:
63h	61h		7Fh	Region size as count - 1 of 256 Byte units = 1 x 224 KB sectors = 224 KB
64h	62h		03h	Count = 224 KB/256 = 896, value = count - 1 = 896 - 1 = 895 = 37Fh
65h	63h		00h	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256 KB erase and is supported in the 32 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 32 KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4 KB erase and is not supported in the 32 KB sector region

**表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 部分, 扇区映射参数表, 1Gb (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
66h	64h		F4h	Bits 31:8 = 1Gb device Region size = 07FBFFh:
67h	65h		FFh	Region size as count - 1 of 256 Byte units = 511 x 256 KB
68h	66h		FBh	sectors = 130816 KB Count = 130816 KB/256 = 523264, value = count - 1 = 523264
69h	67h	JEDEC Sector Map Parameter Dword-8 Config-1 Region-2	07h (1Gb)	- 1 = 523263 = 7FBFFh Bits 7:4 = RFU = Fh Erase Type not supported = 0 / supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256 KB erase and is supported in the 64 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 64 KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4 KB erase and is not supported in the 64 KB sector region
6Ah	68h	JEDEC Sector Map Parameter Dword-9 Config-2 Header	FEh	Bits 31:24 = RFU = FFh
6Bh	69h		02h	Bits 23:16 = Region count (Dwords - 1) = 02h: Three regions
6Ch	6Ah		02h	Bits 15:8 = Configuration ID = 02h: 4 KB sectors at top with remainder 256 KB sectors
6Dh	6Bh		FFh	Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = not the end descriptor = 0
6Eh	6Ch		F4h	Bits 31:8 = 1Gb device Region size = 07FBFFh:
6Fh	6Dh		FFh	Region size as count-1 of 256 Byte units = 511 x 256 KB
70h	6Eh		FBh	sectors = 130816 KB Count = 130816 KB/256 = 523264, value = count - 1 = 523264 - 1 = 523263 = 7FBFFh
71h	6Fh	JEDEC Sector Map Parameter Dword-10 Config-2 Region-0	07h (1Gb)	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256 KB erase and is supported in the 64 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 64 KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4 KB erase and is not supported in the 64 KB sector region

**表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 部分, 扇区映射参数表, 1Gb (续)**

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
72h	70h	JEDEC Sector Map Parameter Dword-11 Config-2 Region-1	F4h	Bits 31:8 = Region size = 00037Fh:
73h	71h		7Fh	Region size as count - 1 of 256 Byte units = 1 x 224 KB sectors = 224 KB
74h	72h		03h	Count = 224 KB/256 = 896, value = count - 1 = 896 - 1 = 895 = 37Fh
75h	73h		00h	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256 KB erase and is supported in the 32 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 32 KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4 KB erase and is not supported in the 32 KB sector region
76h	74h	JEDEC Sector Map Parameter Dword-12 Config-2 Region-2	F1h	Bits 31:8 = Region size = 00007Fh:
77h	75h		7Fh	Region size as count - 1 of 256 Byte units = 8 x 4 KB sectors = 32 KB
78h	76h		00h	Count = 32 KB/256 = 128, value = count - 1 = 128 - 1 = 127 = 7Fh
79h	77h		00h	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 0b --- Erase Type 3 is 256 KB erase and is supported in the 4 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 4 KB sector region Bit 0 = Erase Type 1 support = 1b --- Erase Type 1 is 4 KB erase and is supported in the 4 KB sector region
7Ah	78h	JEDEC Sector Map Parameter Dword-13 Config-3 Header	FFh	Bits 31:24 = RFU = FFh
7Bh	79h		03h	Bits 23:16 = Region count (Dwords - 1) = 00h: One region
7Ch	7Ah		00h	Bits 15:8 = Configuration ID = 03h: Uniform 256 KB sectors
7Dh	7Bh		FFh	Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = The end descriptor = 1

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 部分, 扇区映射参数表, 1Gb (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
7Eh	7C		F4h	Bits 31:8 = 1Gb device Region size = 07FFFFh:
7Fh	7D		FFh	Region size as count - 1 of 256 Byte units = 512 x 256 KB sectors = 131072 KB
80h	7E		FFh	Count = 131072 KB/256 = 524288, value = count - 1 = 524288 - 1 = 524287 = 7FFFFh Bits 7:4 = RFU = Fh
81h	7F	JEDEC Sector Map Parameter Dword-14 Config-3 Region-0	07h	Erase Type not supported = 0 / supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256 KB erase and is supported in the 256 KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64 KB erase and is not supported in the 256 KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4 KB erase and is not supported in the 256 KB sector region

### 13.3 初始交付状态

低地址器件由Infineon出厂时, 非易失性位设置如下:

- 整个存储器阵列被擦除: 即所有位都置位为1 (每个字节包含FFh)。
- OTP 地址空间的前 16 个字节被编程为随机数。所有其他字节均被擦除为 FFh。
- SFDP 地址空间包含 SFDP 地址空间描述中定义的值。
- ID-CFI 地址空间包含 ID-CFI 地址空间描述中定义的值。
- 状态寄存器 1 非易失性包含 00h (所有 SR1NV 位均清除为 0)。
- 配置寄存器 1 非易失性包含 00h。
- 配置寄存器 2 非易失性包含 08h。
- 配置寄存器 3 非易失性包含 00h。
- 配置寄存器 4 非易失性包含 00h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFh
- 所有 PPB 位均为“1”。
- ASP 寄存器位为 FFFFh

高地址器件由Infineon出厂, 其非易失性位设置如下:

- 整个存储器阵列被擦除: 即所有位都置位为1 (每个字节包含FFh)。
- OTP 地址空间的前 16 个字节被编程为随机数。所有其他字节均被擦除为 FFh。
- SFDP 地址空间包含 SFDP 地址空间描述中定义的值。

## 软件接口参考

- ID-CFI 地址空间包含 ID-CFI 地址空间描述中定义的值。
- 状态寄存器 1 非易失性包含 00h（所有 SR1NV 位均清除为 0）。
- 配置寄存器 1 非易失性包含 00h。
- 配置寄存器 2 非易失性包含 08h。
- 配置寄存器 3 非易失性包含 00h。
- 配置寄存器 4 非易失性包含 00h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFh
- 所有 PPB 位均为“1”。
- ASP 寄存器位为 FFFFh

### 13.4 FS01GS 行为和软件修改

FS01GS 提供单芯片选择 (CS#) 双芯片封装 (DDP) 容量选项，该选项使用堆叠在同一封装内的两个 FS512S 设备来提供 1Gb 内存。这两个设备共享 CS# 输入以提供连续的 1 Gb (128 MB) 地址空间。一个器件响应指向地址空间下层 512 Mb 的指令，另一个器件响应指向地址空间上层 512 Mb 的指令。

然而，与低容量 FS-S 系列设备相比，存在一些行为和所需软件差异。

- 需要四个字节地址模式或四个字节地址指令来存取 FS01GS 地址空间的前 128 Mb (16MB) 以上的闪存位置以及每个 FS512S 中的寄存器。4BAM (B7h) 指令用于进入四字节地址模式。
- 连续读取序列不会跨越设备之间的 512 Mbit 边界。在一个 FS512S 器件的地址空间末尾继续进行的读取访问，会回绕到同一器件的最低地址。在 FS01GS 的地址 03FFFFFFh 处进行连续读取后，将接着在 00000000h 处进行读取。在 FS01GS 的地址 07FFFFFFh 处进行连续读取之后，将接着读取 04000000h 处的内容。
- 一些用于寄存器读取、写入或其他操作的传统 SPI 指令在指令中没有明确的地址。因此，FS01GS 不支持几个传统的 SPI 指令，必须使用包含地址的替代指令将指令路由至较底部或顶部的 FS512S。FS01GS 不支持以下指令：
  - WRR (01h)
  - RDCR (35h)
  - RDSR1 (05h)
  - RDSR2 (07h)
  - PNVDLR (43h)
  - ASPP (2Fh)
  - PASSP (E8h)
  - PPBE (E4h)
  - EPS (B0h)
  - EPR (30h)

软件接口参考

- 必须在每个器件中单独配置状态和配置寄存器。必须在四字节地址模式下使用 RDAR (65h) 和 WRAR (71h) 指令来读取和写入寄存器，以便指令地址将操作定向到 DDP 中较低或较高的 FS512S 器件。由于 RDAR 和 WRAR 指令可以在 3 字节和 4 字节地址模式下操作，因此在使用 RDAR 和 WRAR 指令访问下层和上层 FS512S 设备中的访问寄存器之前，有必要发出四字节地址模式 (4BAM, B7h) 指令。通常必须将每个器件中的寄存器配置为好像器件对作为单个器件一样，以便简化以后向下一代单片 1 Gb 器件的迁移。
- 每个 FS512S 中必须配置相同的寄存器位（注意每个器件中匹配的非易失性寄存器必须相同，并且匹配的易失性寄存器必须相同，但易失性寄存器的值可能与其相关的非易失性寄存器不同）：
  - 状态寄存器写入禁用在 SR1NV[7] 和 SR1V[7] 中使用
  - CR1NV[7:3, 1:0] 和 CR1V[7:3, 1:0] 中的配置寄存器 1 位 7 至 3 和 1 至 0
  - CR2NV 和 CR2V 中的配置寄存器 2 位 7 至 0
  - CR3NV[7:4, 2:0] 和 CR3V[7:4, 2:0] 中的配置寄存器 3 位 7 至 4 和 2 至 0
  - CR4NV 和 CR4V 中的配置寄存器 4 位 7 至 0
  - ASPR 中的 ASP 寄存器位 15 至 0
  - 在PASS中的密码寄存器中的位 63 至 0。在通过编程每个器件中的 ASP 寄存器来选择密码模式之前，应该对密码进行编程并读回，以验证每个器件中的位是否编程正确。
  - NVDLR 和 VDLR 中的数据学习唤醒类型码
- 每个 FS512S 中可能配置相同或不同的寄存器位：
  - CR1NV[2] 中的 TBPARM\_O 和 CR3NV[3] 中的 20h\_NV。参数扇区 (4 KB) 可以选择性地仅位于 1 Gb 地址空间的底部或顶部。这意味着仅支持这两个配置位的三种组合，如表72所示。

**表 72 FS01GS 参数扇区映射选项**

Device Parameter sector location	Lower FS512S		Upper FS512S	
	TBPARM_O	20h_NV	TBPARM_O	20h_NV
None (Uniform Sectors)	X	1	X	1
Bottom	0	0	X	1
Top	X	1	1	0
Default Configuration	0	0	0	0

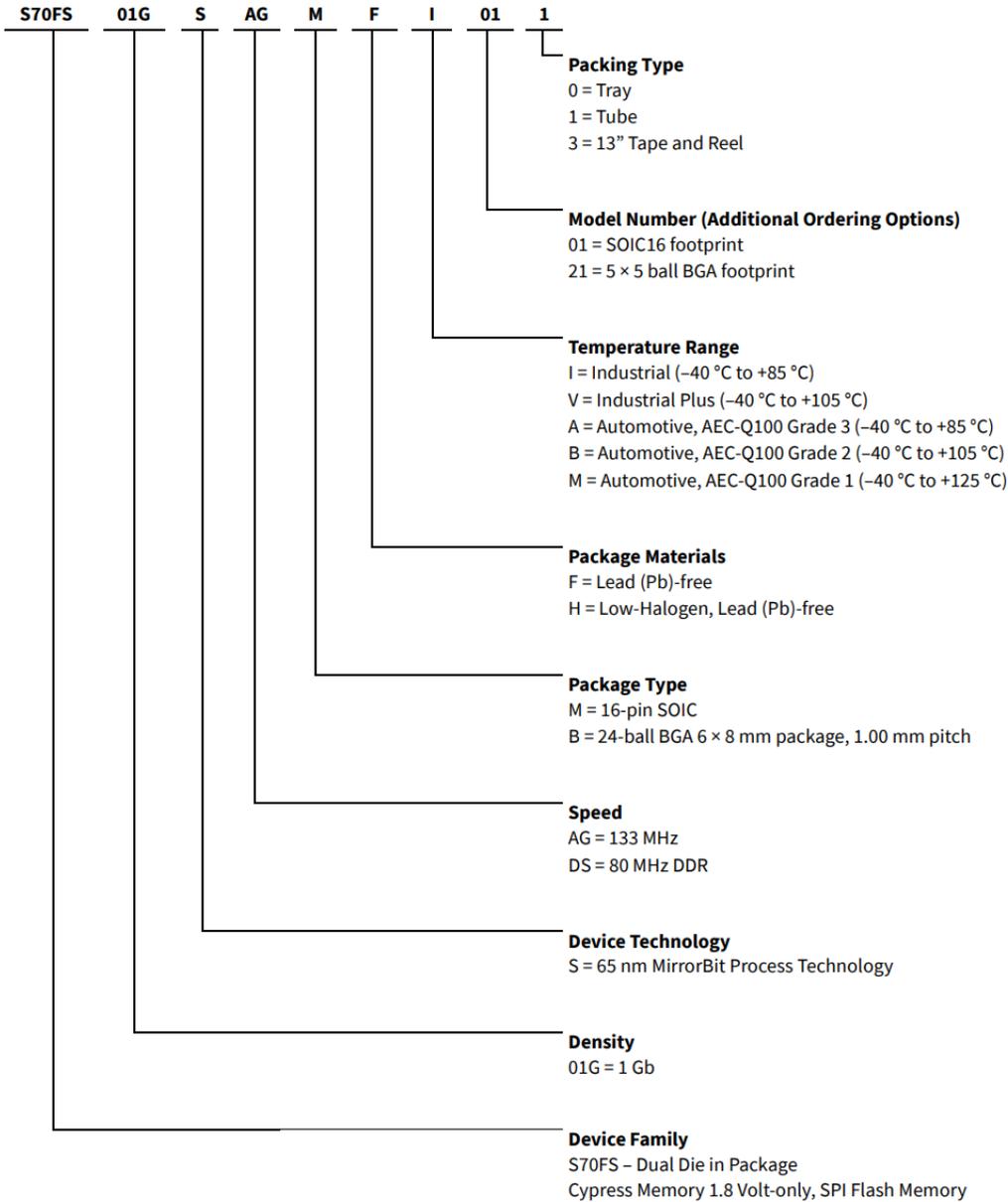
- 功能块 SR1NV[4:2]和SR1V[4:2]中的保护位。必须根据需要在每个 FS512S 中配置功能块保护，以保护每个器件中的扇区。受 BP 位保护的阵列部分与 BP 位所在的 FS512S 器件一致。注释：由于每个器件中的 TBPROT\_O 位必须配置相同，因此两个器件中的 BP 保护范围都位于顶部或底部。
- 必须根据需要在每个 FS512S 中配置高级扇区动态保护 (DYB) 和持久保护位 (PPB)，以保护每个器件中的扇区。4DYBWR、4DYBRD、4PPBP 或 4PPBRD 指令可用于配置DYB和 PPB 位。或者，可以使用四字节地址模式下的 DYBWR、DYBRD、PPBP 或 PPBRD 指令来配置DYB和 PPB 位。

- 以下指令同时操作两个 FS512S 设备的：
  - 4BAM (B7h)
  - SBL (C0h)
  - WVDLR (4Ah)
  - CLSR (82h or 30h)
  - PLBWR (A6h)
  - PASSU (E9h)
  - RSTEN (66h)
  - RST (99h)
  - MBR (FFh)
  - DPD (B9h)
  - RES (ABh)
  - WREN (06h)
    - 写使能 (WREN) 指令使能两个设备都可以进行写操作。在完成写操作的器件中，写操作被自动禁用。写操作在未被写操作选择的器件中保持启用。
  - WRDI (04h)
    - 建议在任何写操作完成后使用写禁用 (WRDI) 指令，以使两个器件中的写操作禁止使能。
- 单独的挂起和恢复指令对用于编程操作和擦除操作。
  - 需要 EPS (85h)指令来暂停编程操作。
  - 需要 EPS (75h)指令来暂停擦除操作。
  - 需要EPR (8Ah)指令来恢复编程操作。
  - 需要EPR (7Ah)指令来恢复擦除操作。
- 为 Bulk 擦除寻址 (BEA, FEh) 和 PPB 寻址 (PPBEA, EAh) 添加了具有 4 字节地址的新指令，以将操作定向到较低或较高的 FS512S 器件。
- 由于两个 FS512S 器件并联，输入和输出电容是其他 FS-S 系列器件的两倍。这可能会减慢主控或内存上的输出切换速度，从而降低最大传输速率。
- 由于两个 FS512S 器件在这些操作过程中并行运行，上电、复位和 DPD 消耗的电流是其他 FS-S 系列器件的两倍。

## 14 订购信息

### 14.1 订购部件编号

订购部件编号由以下有效组合形成：



订购信息

## 14.2 有效组合 – 标准

有效组合列出了计划批量支持的此器件的配置。 如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

**表73 有效组合 – 标准**

Base Ordering Part Number	Speed Option	Package and Temperature	Model Number	Packing Type	Package Marking
S70FS01GS	AG	MFI, MFV	01	0, 1, 3	FS01GS + A + (Temp) + F + (Model Number)
		BHI, BHV	21	0, 3	FS01GS + A + (Temp) + H + (Model Number)
	DS	MFI, MFV	01	0, 1, 3	FS01GS + D + (Temp) + F + (Model Number)
		BHI, BHV	21	0, 3	FS01GS + D + (Temp) + H + (Model Number)

## 14.3 有效组合 – 汽车级/AEC-Q100

**表74**列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

**表74 有效组合 – 汽车级/AEC-Q100**

Base Ordering Part Number	Speed Option	Package and Temperature	Model Number	Packing Type	Package Marking
S70FS01GS	AG	MFA, MFB, MFM	01	0, 1, 3	FS01GS + A +(Temp) + F + (Model Number)
		BHA, BHB, BHM	21	0, 3	FS01GS + A +(Temp) + H + (Model Number)
	DS	MFA, MFB, MFM	01	0, 1, 3	FS01GS + D +(Temp) + F + (Model Number)
		BHA, BHB, BHM	21	0, 3	FS01GS + D +(Temp) + H + (Model Number)

修订记录

修订记录

Document revision	Date	Description of changes
**	2015-11-10	Initial release.
*A	2016-03-18	<p>Updated <b>Features</b> (Removed “Continuous (XIP)” in Modes under “Read”).</p> <p>Updated <b>Command Protocol</b> (Updated description).</p> <p>Updated <b>Electrical specifications:</b></p> <p>Updated <b>DC characteristics:</b></p> <p>Updated <b>Industrial:</b></p> <p>Updated <b>Table 8</b> (Changed Icc Active current at 133 Mhz maximum from 35 mA to 45 mA, changed Icc Deep Power down current maximum from 100 µA to 120 µA).</p> <p>Updated <b>Industrial Plus:</b></p> <p>Updated <b>Table 9</b> (Changed Serial SDR @ 54 MHz to 50 MHz, changed Icc1 Active Power Supply Current Read maximum value from 35 mA to 45 mA).</p> <p>Updated <b>Address space maps:</b></p> <p>Updated <b>Error correction code (ECC):</b></p> <p>Updated <b>Configuration Register 1:</b></p> <p>Updated <b>Configuration Register 1 Non-volatile (CR1NV):</b></p> <p>Updated <b>Table 23</b> (Changed default state from “X” to “0” for Bits2 TBPARAM_O).</p> <p>Updated <b>Configuration Register 2:</b></p> <p>Updated <b>Configuration Register 2 Non-volatile (CR2NV)</b></p> <p>Updated <b>Table 26</b> (Updated Note 2).</p> <p>Updated <b>Commands:</b></p> <p>Updated <b>Command set summary:</b></p> <p>Updated <b>Reset</b> (Updated description).</p> <p>Updated <b>Read Memory Array commands:</b></p> <p>Updated <b>Dual I/O Read (DIOR BBh or 4DIOR BCh)</b>(Updated description, updated Note 1 in <b>Figure 66</b>, removed figure “Dual I/O Continuous Read Command Sequence (4-Byte Address [CR2V[7] = 1])”).</p> <p>Updated <b>Quad I/O Read (QIOR EBh or 4QIOR ECh)</b> (Updated description, removed figures “Continuous Quad I/O Read Command Sequence (3-Byte Address)” and “Continuous Quad I/O Read Command Sequence (4-Byte Address)”).</p> <p>Updated <b>DDR Quad I/O Read (EDh, EEh)</b> (Updated description, removed figures “Continuous DDR Quad I/O Read Subsequent Access (3-Byte Address)” and “Continuous DDR Quad I/O Read Subsequent Access (4-Byte Address)”).</p> <p>Updated <b>Software Interface Reference:</b></p> <p>Updated <b>Device ID and Common Flash Interface (ID-CFI) Address Map</b></p> <p>Updated <b>Field Definitions:</b></p> <p>Updated <b>Table 68.</b></p> <p>Updated <b>FS01GS Behavior and Software Modifications:</b></p> <p>Updated <b>Table 72.</b></p> <p>Updated to new template.</p>

修订记录

Document revision	Date	Description of changes
*B	2016-08-17	<p>Added Extended temperature range (–40 °C to +125 °C) related information in all instances across the document.</p> <p>Updated <b>Logic block diagram</b>:  Updated Typical Program and Erase Rates:  Updated “256 KB Sector Erase (Uniform Logical Sector) Option” value.  Updated <b>Electrical specifications</b>:  Updated <b>DC characteristics</b>:  Updated <b>Industrial</b>:  Updated <b>Table 8</b> (Updated typical and maximum values of I<sub>CC2</sub>, I<sub>CC3</sub>, I<sub>CC4</sub>, I<sub>CC5</sub> parameters).  Updated <b>Industrial Plus</b>:  Updated <b>Table 9</b> (Updated typical and maximum values of I<sub>CC2</sub>, I<sub>CC3</sub>, I<sub>CC4</sub>, I<sub>CC5</sub> parameters).  Added <b>Data Integrity</b>.  Updated to new template.</p>
*C	2017-04-21	<p>Added ECC related information in all instances across the document.  Removed Extended Temperature Range related information in all instances across the document.  Replaced V<sub>DD</sub> with V<sub>CC</sub> in all instances across the document.  Updated <b>Physical interface</b>:  Updated <b>Physical diagrams</b>:  Updated <b>SOIC 16-lead, 300-mil body width (SL3016)</b>.  Updated .  Updated <b>Address space maps</b>:  Updated <b>Flash memory array</b>:  Updated <b>Table 17</b>.  Updated <b>Data Integrity</b>:  Updated <b>Data Retention</b>:  Updated <b>Table 51</b>.  Updated to new template.</p>
*D	2018-05-23	<p>Replaced V<sub>DD</sub> with V<sub>CC</sub> in all instances across the document.  Added <b>Logic block diagram</b>.  Updated <b>Performance summary</b>:  Updated <b>Typical current consumption, –40 °C to +85 °C</b> (Updated details under “Current (mA)” column).  Updated Other Resources:  Updated hyperlinks.  Updated <b>Electrical specifications</b>:  Updated <b>Power-up and power-down</b>:  Updated <b>DDR data valid timing using DLP</b>:  Updated description.  Removed “Data Learning Pattern Minimum Window”.  Updated <b>Physical interface</b>:  Updated <b>Physical diagrams</b>:  Updated .  Updated to new template.</p>

修订记录

Document revision	Date	Description of changes
*E	2018-12-14	<p>Updated <b>Overview</b>:  Updated Other Resources:  Removed “Specification Bulletins”.  Updated <b>Signal protocols</b>:  Updated <b>Interface states</b>:  Updated <b>Instruction cycle (QPI mode)</b>:  Updated description.  Updated <b>Address space maps</b>:  Updated <b>Registers</b>:  Updated <b>Configuration Register 3</b>:  Updated <b>Configuration Register 3 Non-volatile (CR3NV)</b>:  Updated <b>Table 28</b>.  Updated description.  Updated <b>Configuration Register 3 Volatile (CR3V)</b>.  Updated <b>Table 29</b>.  Updated description.</p>
*F	2022-05-04	<p>Updated Document Title to read as “S70FS01GS, 1Gb (128 MB) FS-S Flash SPI Multi-I/O, 1.8V”.  Updated <b>Performance summary</b>:  Updated <b>Typical Program and Erase rates</b>:  Updated all values.  Updated <b>Overview</b>:  Removed “Other Resources”.  Updated <b>SPI with multiple input / output (SPI-MIO)</b>:  Replaced “Hardware interface” with “SPI with multiple input / output (SPI-MIO)” in heading.  Updated <b>Table 2</b>.  Updated <b>Signal descriptions</b>:  Updated <b>Chip Select (CS#)</b>:  Updated description.  Updated <b>Write Protect (WP#) / IO2</b>:  Updated description.  Updated <b>Signal protocols</b>:  Updated <b>Interface states</b>:  Updated <b>Instruction cycle (Legacy SPI mode)</b>:  Updated description.  Updated <b>Electrical specifications</b>:  Updated <b>Thermal resistance</b>:  Updated <b>Table 4</b>.  Updated <b>DC characteristics</b>:  Updated <b>Industrial</b>:  Updated <b>Table 8</b>.  Updated <b>Industrial Plus</b>:  Updated <b>Table 9</b>.  Updated <b>Extended</b>:  Updated <b>Table 10</b>.</p>

修订记录

Document revision	Date	Description of changes
*F (cont.)	2022-05-04	<p>Updated <b>Timing specifications</b>:  Updated <b>SDR AC characteristics</b>:  Updated Note 21.  Updated <b>Input / Output timing</b>:  Updated <b>Figure 32</b>.  Updated <b>DDR AC characteristics</b>:  Updated <b>DDR data valid timing using DLP</b>:  Replaced “DDR data learning pattern timing” with “DDR data valid timing using DLP” in heading.  Updated <b>Figure 35</b> (Updated caption only).  Removed “Software interface”.  Updated <b>Address space maps</b>:  Updated <b>Registers</b>:  Updated <b>Status Register-1</b>:  Updated <b>Status Register-1 Non-Volatile (SR1NV)</b>:  Updated <b>Table 20</b>.  Updated description.  Updated <b>Status Register-1 Volatile (SR1V)</b>:  Updated <b>Table 21</b>.  Updated description.  Updated <b>Configuration Register 1</b>:  Updated <b>Configuration Register 1 Non-volatile (CR1NV)</b>:  Updated description.  Updated <b>Configuration Register 1 Volatile (CR1V)</b>:  Updated description.  Updated <b>Data Protection</b>:  Updated <b>Write Enable Command</b>:  Updated description.  Updated <b>Commands</b>:  Updated <b>Command set summary</b>:  Updated <b>Command summary by function</b>:  Updated <b>Table 46</b>.  Updated <b>Register Access commands</b>:  Updated <b>Write Disable (WRDI 04h)</b>:  Updated description.  Updated <b>Erase Flash Array Commands</b>:  Updated <b>Erase or Program Suspend (EPS 85h, 75h)</b>:  Updated description.  Updated <b>Software Interface Reference</b>:  Updated <b>Initial Delivery State</b>:  Updated description.  Migrated to Infineon template.</p>
*G	2023-06-27	<p>Updated <b>Table 4</b>: Replaced “ZSZ024” with “ZSA024”.  Updated <b>Figure 37</b>: Replaced “FAB024” with “ZSA024” in figure caption.  Updated Physical diagrams captions.</p>



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-12-24

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:

[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。