

1 Gb (128 MB) / 512 Mb (64 MB) GL-T MIRRORBIT™ 闪存式存储器

Parallel, 3.0 V

概述

英飞凌S29GL01GT/512T是基于45 nm工艺技术的MIRRORBIT™ 闪存产品。这些设备提供15 ns的快速页面读取时间，相应的随机访问时间可达100 ns。它们配备写入缓冲器，在一个操作中最多可编程256字/512字节，与标准编程算法相比，有效编程时间更短。因此，对于当今需要更高容量、更好性能和更低功耗的嵌入式应用程序来说，这些设备是理想的选择。

特性

- 45nm MIRRORBIT™ 技术
- 单电源 (V_{CC}) 为读取/编程/擦除操作供电 (2.7 V ~ 3.6 V)
- 多用途I/O功能
 - 宽 I/O 电压范围 (V_{IO}): 1.65 V ~ V_{CC}
- $\times 8/\times 16$ 数据总线
- 异步32字节页面读取
- 512字节编程缓冲器
 - 多页面编程，最多512字节
- 支持单字编程和对同一字多次编程
- 自动错误检查和纠正 (ECC) ——带有单独的一位错误纠正功能的内部硬件 ECC
- 扇区擦除
 - 统一的 128 KB 扇区
- 编程和擦除操作的挂起和恢复指令
- 可通过状态寄存器、数据轮询和就绪/忙碌引脚等方法确定设备状态
- 高级扇区保护 (ASP)
 - 为每个扇区提供易失性和非易失性的保护方法
- 独立的2048字节一次性编程 (OTP) 区域
 - 四个可锁定区域 (SSR0-SSR3)
 - SSR0为出厂锁定
 - SSR3为密码读取保护
- 通用闪存接口 (CFI) 参数表
- 温度范围/等级
 - 工业级 (-40°C ~ +85°C)
 - 扩展的工业级 (-40°C ~ +105°C)
 - 扩展级 (-40°C ~ +125°C)
 - 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
 - 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
- 100,000 次编程/擦除周期
- 20 年的数据保留时间

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

性能总结

• 封装选项

- 56-引脚TSOP
- 64球形焊盘LAA加固的BGA, 13 mm x 11 mm
- 64球形焊盘LAE加固的BGA, 9 mm x 9 mm
- 56球形焊盘VBU加固的BGA, 9 mm x 7 mm

性能总结

工作温度范围 (–40°C ~ +85°C) 的性能总结

Maximum read access times					
Density	Voltage range	Random access time (t_{ACC})	Page access time (t_{PACC})	CE# access time (t_{CE})	OE# access time (t_{OE})
512 Mb	Full $V_{CC} = V_{IO}$	100	15	100	25
	Versatile I/O V_{IO}	110	25	110	35
1 Gb	Full $V_{CC} = V_{IO}$	100	15	100	25
	Versatile I/O V_{IO}	110	25	110	35

工作温度范围 (–40°C ~ +105°C) 的性能总结

Maximum read access times					
Density	Voltage range	Random access time (t_{ACC})	Page access time (t_{PACC})	CE# access time (t_{CE})	OE# access time (t_{OE})
512 Mb	Full $V_{CC} = V_{IO}$	110	15	110	25
	Versatile I/O V_{IO}	120	25	120	35
1 Gb	Full $V_{CC} = V_{IO}$	110	15	110	25
	Versatile I/O V_{IO}	120	25	120	35

工作温度范围 (–40°C ~ +125°C) 的性能总结

Maximum read access times					
Density	Voltage range	Random access time (t_{ACC})	Page access time (t_{PACC})	CE# access time (t_{CE})	OE# access time (t_{OE})
512 Mb	Full $V_{CC} = V_{IO}$	120	15	120	25
	Versatile I/O V_{IO}	130	25	130	35
1 Gb	Full $V_{CC} = V_{IO}$	120	15	120	25
	Versatile I/O V_{IO}	130	25	130	35

性能总结

典型编程和擦除速率

Operation	-40°C to +85°C	-40°C to +105°C	-40°C to +125°C
Buffer programming (512 bytes)	1.14 MBps	1.14 MBps	1.14 MBps
Sector erase (128 KB)	245 KBps	245 KBps	245 KBps

最大电流消耗

Operation	-40°C to +85°C	-40°C to +105°C	-40°C to +125°C
Active read at 5 MHz, 30 pF	60 mA	60 mA	60 mA
Program	100 mA	100 mA	100 mA
Erase	100 mA	100 mA	100 mA
Standby	100 µA	200 µA	215 µA

目录

目录

概述.....	1
特性.....	1
性能总结.....	2
目录.....	4
1 产品概述	6
2 地址空间重叠.....	8
2.1 闪存存储器阵列.....	10
2.2 器件ID 和 CFI (ID-CFI) ASO	11
2.3 状态寄存器ASO.....	12
2.4 数据轮询状态 ASO	12
2.5 SSR ASO	13
2.6 扇区保护控制.....	14
2.7 ECC状态ASO	15
3 数据保护	16
3.1 器件保护方法.....	16
3.2 指令保护.....	16
3.3 SSR (OTP)	16
3.4 扇区保护方法.....	17
4 读取操作	22
4.1 异步读取.....	22
4.2 页模式读取.....	22
5 嵌入式操作.....	23
5.1 嵌入式算法控制器 (EAC).....	23
5.2 编程和擦除摘要.....	24
5.3 自动 ECC	25
5.4 指令集.....	27
5.5 状态监控.....	43
5.6 错误类型和清除步骤.....	50
5.7 嵌入式算法性能表.....	53
6 数据完整性	57
6.1 擦除耐久性.....	57
6.2 数据保留.....	57
7 软件接口参考.....	58
7.1 指令汇总.....	58
7.2 器件ID和通用闪存接口 (ID-CFI) ASO 映射.....	64
8 信号说明	69
8.1 地址和数据配置.....	69
8.2 输入/输出简介	69
8.3 字/字节配置.....	70
8.4 多用途I/O出特性.....	70
8.5 就绪/忙碌 (RY/BY#)	70
8.6 硬件复位.....	70
9 信号协议	71
9.1 接口状态.....	71
9.2 掉电与硬件数据保护	72
9.3 节能模式.....	72
9.4 读取.....	73
9.5 写入.....	74
10 电气规格参数	75
10.1 绝对最大限度额定值	75
10.2 热阻抗.....	75

目录

10.3 锁闭特性.....	75
10.4 工作范围.....	76
10.5 DC特性.....	79
10.6 电容特性.....	82
11 时序规范.....	84
11.1 波形切换关键.....	84
11.2 AC测试条件.....	85
11.3 上电复位(POR) 和热复位.....	86
11.4 AC 特性.....	89
12 物理接口.....	106
12.1 56-引脚 TSOP.....	106
12.2 64-球 FBGA.....	108
12.3 56-球 FBGA.....	111
13 关于FBGA封装的特殊处置说明.....	113
14 订购信息.....	114
14.1 有效的组合-标准.....	114
14.2 有效的组合— 汽车级/ AEC- Q100.....	117
修订记录.....	120

1 产品概述

GL-T系列包括512 Mb到1 Gb、3.0 V内核、多用途I/O、非易失性、闪存存储器器件。这些器件具有一个8位（字节）/16位（字）宽的数据总线，并且只使用了一个字节/字宽的地址边界。所有读取访问在每个总线传输周期提供8/16位数据。所有写入在每个总线传输周期提取8/16位数据。

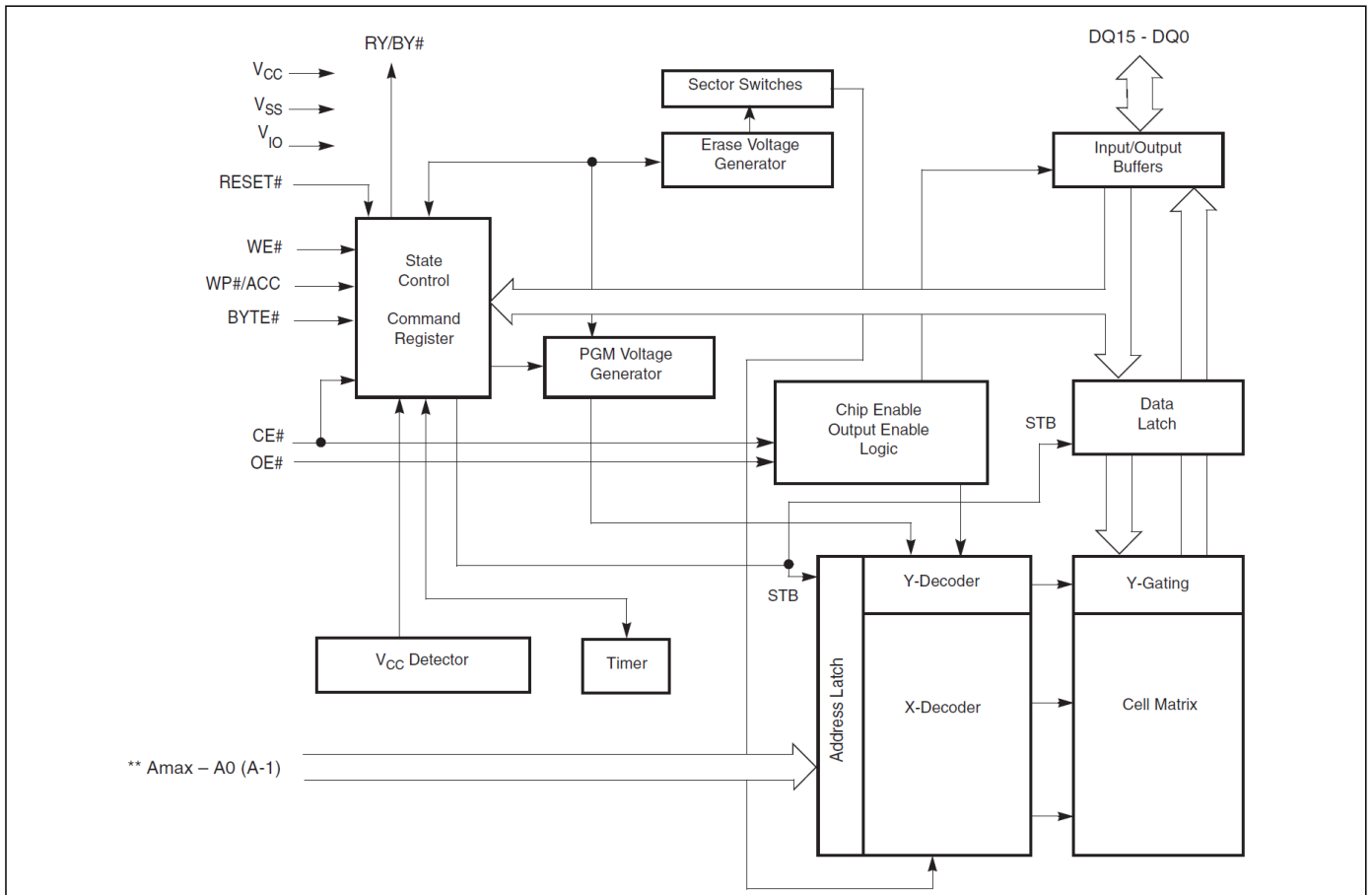


图1 框图^[1]

GL-T系列结合了芯片内执行（XIP）和数据存储闪存的最佳特性。在拥有大容量、快速编程的数据存储闪存的基础上，该系列产品还能对XIP闪存进行快速的随机访问。

对任意随机位置的读取访问需要100 ns到120 ns，具体按器件容量和I/O电源电压而定。每次随机（初始）访问时读取整个以32字节排列的组数据（称为页面）。读取同一页面内的其他字时，更改字地址的低4位即可。同一页面内的每次读取需要15 ns到25 ns。这种操作被称为页面模式读取。更改字地址的高位时，将选择不同的页面并开始新的初始读取。所有读取访问均为异步。

注释：

1. Amax GL01GT = A25, Amax GL512T = A24。

产品概述

表1 S29GL-T地址映射

Type	×16		×8	
	Count	Addresses	Count	Addresses
Address within page	16	A3–A0	32	A3–A1
Address within write buffer	256	A7–A0	256	A7–A1
Page	4096 per sector	A15–A4	4096 per sector	A15–A4
Write-buffer-line	256 per sector	A15–A8	256 per sector	A15–A8
Sector	1024 (1 Gb) 512 (512 Mb)	Amax–A16	1024 (1 Gb) 512 (512 Mb)	Amax–A16

器件控制逻辑分成两个并行的操作区，Host Interface Controller（主机接口控制器，HIC）和Embedded Algorithm Controller（嵌入式算法控制器，EAC）。HIC监控器件输入的信号电平，并根据需要驱动输出，以完成主机系统内的读取和写入数据传输。HIC在读取传输时将传递当前所在的地址空间中的数据；将写入传输地址和数据信息放入EAC指令存储器内；告知EAC电源转换、硬件复位以及写入传输的情况。EAC在写入传输后查看指令存储器中的合法指令序列，并执行相关的嵌入式算法。

更改存储器阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为嵌入式算法（EA）。这些算法完全由器件内部的EAC来管理。主算法执行主阵列数据的编程和擦除。主机系统将指令代码写入到闪存器件地址空间内。EAC接收指令用于执行所有必要的步骤以完成指令，并在EA执行期间提供状态信息。

每个存储器位的擦除状态为一个逻辑 1。编程操作会将逻辑 1（高电平）修改为逻辑 0（低电平）。只有通过擦除操作才可以将逻辑 0 修改为逻辑 1。擦除操作必须从须在整个扇区（即128 kB对齐的数据组）内执行。英飞凌出厂时，所有扇区均为擦除状态。

编程通过一个512字节的写入缓冲区完成。开始编程操作前，在x16模式下，可以向写入缓冲区内的任意位置上写入1到256个字。在闪存阵列内，每个以512字节排列的512字节组称为行。开始编程操作之前，在x8模式下，可以向写入缓冲区内任意位置写入1到256个字节。编程操作将易失性数据从写入缓冲区传输到非易失性存储器阵列行中。该操作称为写入缓冲区编程。

针对每页加载到写入缓冲器的 32 字节对齐数据，当器件将其传送到 512 字节闪存阵列行时，内部逻辑会在主机系统软件不可见的存储器阵列部分为该页编程ECC代码。在每次阵列读操作的初始化访问过程中，内部逻辑都会检查ECC信息。如有需要，ECC信息会在初始读取时修正一个位的故障。

复位后或使用写入缓冲区完成任何操作后，写入缓冲区的内容被置 1。对于“写入到缓冲区”指令未写入 0 的位置，在默认情况下仍为 1。在编程操作期间，写入缓冲区中的任何 1 都不会影响存储器阵列中的数据。加载到写入缓冲区中的每个数据页面都被传输到存储器阵列行中。

高级扇区保护（ASP）功能集可以分别实现对扇区的擦写保护。ASP提供多种硬件和软件控制的、易失性和非易失性的方法，来选择需要擦写保护的扇区。

2 地址空间重叠

在闪存存储器器件的地址范围内，可能出现多个单独的地址空间。在任意给定时间，只有一个地址空间可见（进入）。

- 闪存存储器阵列：主非易失性存储器阵列，用于存储可通过异步读取操作进行随机访问的数据。
- ID/CFI区域：用于存储英飞凌工厂预编程的器件特性信息。该区域包含器件标识（ID）和通用闪存接口（CFI）信息表。
- 安全硅区域（SSR）：一次性可编程（OTP）非易失性存储器阵列用于存储英飞凌工厂预编程的永久性数据以及客户可编程的永久性数据。
- 锁定寄存器：一个OTP非易失性字，用于配置ASP功能和锁定SSR。
- 持久保护位（PPB）：非易失性闪存存储器阵列（每扇区一位）。编程后，每一位都会保护相关的扇区，以防止擦除和编程。
- PPB锁定位：它是一个易失性寄存器位，用于使能或禁用对PPB位进行的编程和擦除。
- 阵列密码：它是一个OTP非易失性阵列，可存储64位密码，允许在使用密码模式扇区保护时更改PPB锁定位的状态。
- SSR3密码：它是一个OTP非易失性阵列，可存储64位密码，并允许读取SSR3。
- 动态保护位（DYB）：它是易失性阵列（每扇区一位）。设置该位后，每一位都会保护相关的扇区，以防止进行擦除和编程。
- 状态寄存器：它是一个易失性寄存器，用于显示嵌入式算法的状态。
- 数据轮询状态：它是一个易失性寄存器，用作显示嵌入式算法状态的备用方式，与旧版软件兼容。
- ECC状态：提供读取所选页面时所采取的任何错误检测或纠正动作的状态。

主闪存存储器阵列是主要同时也是默认的地址空间，但随时会被另一个地址空间覆盖掉。每个备用地址空间都被称为地址空间重叠（ASO）。

每个ASO取代（重叠）闪存器件的整个地址空间。没有被特定ASO地址映射定义的范围将留作将来使用。ASO地址映射之外的所有读取访问均返回无效（未定义）的数据。读取地址映射之外的位置取得的数据，无论是1还是0，都未定义其含义。

器件工作模式有四种，可以确定闪存器件地址空间在任何特定时刻的内容：

- 读取模式
- 数据轮询模式
- 状态寄存器（SR）模式
- 地址空间重叠（ASO）模式

地址空间重叠

在读取模式下，主机系统存储控制器可能直接读取整个闪存阵列。存储器件的嵌入式算法控制器（EAC）在上电期间、硬件复位后、指令复位后或 EA 挂起后，都会将器件置于读取模式。在读取模式下，器件可接受读取访问和指令写入。当 EA 挂起时，在读取模式下器件可接受部分指令。

在任一模式下，都可以发出状态寄存器读取指令，从而在器件地址空间中的每个字地址都出现状态寄存器 ASO。在该状态寄存器 ASO 模式下，器件接口将等待读取访问，写入访问被忽略。随后的一次器件读取访问，读取状态寄存器的内容并退出状态寄存器 ASO，然后返回之前收到状态寄存器读取指令时的（调用）模式。

在 EA 模式下，EAC 执行 EA，如编程或擦除非易失性存储器阵列。在 EA 模式下，闪存器件的整个地址空间被数据轮询状态 ASO 取代，主闪存阵列不可读。器件地址空间中的每个字位置均出现数据轮询状态。数据轮询状态将出现在器件地址空间的每个字位置。

在 EA 模式下，只接受编程挂起/擦除挂起指令或状态寄存器读取指令。所有其他指令均被忽略。因此，无法从 EA 模式进入其他 ASO。

当 EA 挂起时，在器件挂起 EA 前，数据轮询 ASO 一直可见。当 EA 挂起时，数据轮询 ASO 退出，闪存阵列数据可用。当挂起的 EA 得到恢复时，将重新进入数据轮询 ASO，并一直持续到 EA 重新挂起或完成为止。当 EA 完成时，数据轮询 ASO 退出，器件进入先前（调用）模式（EA 在该模式下启动）。

在 ASO 模式下，进入其中一个剩余的重叠地址空间（覆盖主闪存阵列地址映射）。在任意特定时间内，只能进入一个 ASO。对器件执行的指令对当前进入的 ASO 产生影响。每个 ASO 都有自己特定的有效指令。它们被罗列在表 23 中每个 ASO 的相关章节内。

下列 ASO 包含非易失性数据，可通过编程将 1 改为 0：

- 安全硅区域
- 锁定寄存器
- 持久保护位（PPB）
- 密码
- 只有 PPB ASO 中包含非易失性数据，并可通过擦除该数据将 0 改为 1

在进入其中一个非易失性 ASO 后发出编程或擦除指令时，EA 将对该 ASO 执行操作。当 EA 处于活动状态时，该 ASO 不可读。EA 完成后，ASO 仍留在进入状态，但重新变成可读。在任意 ASO 的 EA 过程中，挂起和恢复指令无效。

地址空间重叠

2.1 闪存式存储器阵列

S29GL-T系列具有统一的扇区架构，扇区大小为128 kB。下表显示的是不同器件的扇区架构。

表 2 S29GL01GT 扇区和存储地址映射

Sector size (KB)	Sector count	Sector range	Address range (16-bit)	Address range (8-bit)	Notes
128	1024	SA0	0000000h-000FFFFh	0000000h-001FFFFh	Sector starting address
		:	:	:	-
		SA1023	3FF0000h-3FFFFFFh	7FE0000h-7FFFFFFh	Sector ending address

表 3 S29GL512T 扇区和存储地址映射

Sector size (KB)	Sector count	Sector range	Address range (16-bit)	Address range (8-bit)	Notes
128	512	SA0	0000000h-000FFFFh	0000000h-001FFFFh	Sector starting address
		:	:	:	-
		SA511	1FF0000h-1FFFFFFh	3FE0000h-3FFFFFFh	Sector ending address

注释：这些表只是在一个页面上简单列出了整个器件的扇区相关信息。对于未明确列出的扇区以及它们的地址范围（如GL512T上的SA1-SA510），其扇区起始地址和结束地址与该尺寸的所有其他扇区具有相同的组合。例如，所有128 kb扇区的组合均为XXX0000h-XXXFFFFh（在x16模式下）和XXX0000h-XXX1FFFF（在x8模式下）。

地址空间重叠

2.2 器件ID和CFI (ID-CFI) ASO

系统可以通过两种传统方法识别系统中已经安装的闪存类型。一种被传统定义为“自动选择”，现在指的是器件标识 (ID)。另一种方法称为通用闪存接口 (CFI)。

对于ID，使用一条指令来启用一个地址空间重叠，最多可从这个空间内读取16字位置，用于从闪存中获取JEDEC制造商标识 (ID)、器件ID和一些配置及保护状态信息。系统可以使用制造商和器件ID为闪存器件选择相应的驱动程序软件。

CFI也使用一个指令来使能一个地址空间重叠，从其中读取关于闪存组织和操作的标准信息的详细表。通过该方法，在编写驱动程序软件时，便不用再熟知每种可能的存储器件细节。在编写驱动程序软件时，只需根据CFI表中的信息来调整驱动程序的运行方式即可，无需按照常规方式来处理多种不同的器件。

传统上，这两个地址空间为不同的重叠，分别使用单独的指令。不过，这两个地址空间的映射是非重叠的，因此可以组合成一个地址空间并一同出现在一个重叠中。进入“自动选择” (ID) 或CFI映射的任意一条传统指令都可以进入现在组合的ID-CFI地址映射。

ID-CFI地址映射可能会覆盖掉整个闪存阵列。

ID-CFI地址映射起始于所选扇区的0位置。对于从所定义ID-CFI ASO最大地址到所选扇区最大地址之间的位置，其数据未被定义。ID-CFI进入指令使用与前一代存储器相同的地址和数据值分别用来读取JEDEC制造商ID (自动选择) 和通用闪存接口 (CFI) 信息。

表 4 ID-CFI 地址映射概览

Word address	Byte address	Description	Read/write
(SA) + 0000h to 000Fh	(SA) + 0000h to 001Fh	Device ID (traditional autoselect values)	Read only
(SA) + 0010h to 0079h	(SA) + 0020h to 00F2h	CFI data structure	Read only
(SA) + 0080h to FFFFh	(SA) + 00F3h to 1FFFFh	Undefined	Read only

完整地址映射见表 25。

2.2.1 器件ID

美国电子工程设计发展联合协会 (JEDEC) 标准JEP106T定义了兼容存储器的制造商ID。通用行业用法定义了从存储器件读取制造商ID和器件特定ID的方法和格式。制造商和器件ID信息的主要目的是为了使编程装置自动匹配器件和相应的编程算法。英飞凌在此32字节地址空间中增加了更多字段。

初始行业格式的结构适合任一内存数据总线宽度，如x8、x16、x32。传统上ID代码值为字节宽度，但位于总线带宽地址边界。因此，器件地址输入递增时，将读取连续的字节、字或双字位置，并且ID代码始终位于数据总线上最低有效字节的位置。由于器件数据总线为字宽度，因此每个代码字节分别位于每个字位置的下半部。基础行业格式要求高字节始终为0。英飞凌已经修改了该格式，从而能在地址控制的某些字中使用两种字节。有关器件ID地址映射的详细说明，请参见表 25。

2.2.2 通用闪存接口 (CFI)

JEDEC CFI规范 (JESD68.01) 定义了可从闪存器件读取的标准化数据结构，它允许厂商在整个器件系列中使用其指定的软件算法。数据结构包含系统配置信息，如各种电气和时序参数以及器件支持的特殊功能。这样，软件支持就变得与器件和器件ID无关，并且对整个闪存器件系列前后兼容。

系统可以从选定扇区中各个地址读取CFI信息，如第64页 [器件ID和通用闪存接口 \(ID-CFI\) ASO映射](#) 所示。

与器件ID信息相似，CFI信息的结构也适合任一内存数据总线宽度，如x8、x16、x32。代码值总是字节宽度，但位于数据总线带宽地址边界。因此，器件地址递增时，将读取连续的字节、字或双字位置，并且代码始终位于数据总线上最低有效字节的位置。由于数据总线为字宽度，因此每个代码字节分别位于每个字位置的下半部，并且高字节始终为0。

更多有关信息，请参考CFI规范，版本1.4（或更高版本）以及JEDEC出版物JEP137-A和JESD68.01。欲了解JEDEC标准，请访问该组织的网站：www.jedec.org。

2.3 状态寄存器ASO

状态寄存器ASO具有一个包含了EA的易失性状态的单字寄存器值。发出状态寄存器读取指令时，寄存器将（在WE#的上升沿上）捕获当前状态，并进入ASO。状态寄存器的内容将会出现在所有字位置上。第一次读取访问使系统退出状态寄存器ASO（在CE#或OE#的上升沿上），并将其返回到发出状态寄存器读取指令时所使用的地址空间映射。发出写入指令不会使器件退出状态寄存器ASO状态。

2.4 数据轮询状态ASO

数据轮询状态ASO包含一个易失性存储器的单字，用于指明EA的进度。在任一启动EA的指令序列的最后一个写入周期完成时，立即进入数据轮询状态ASO。启动EA的指令包括：

- 字编程
- 编程缓冲区到闪存
- 芯片擦除
- 扇区擦除
- 擦除恢复/编程恢复
- 编程恢复增强方法
- 空白检查
- 锁定寄存器编程
- 密码编程
- PPB编程
- 所有PPB擦除
- 评估擦除状态

数据轮询状态字出现在器件地址空间中的所有字位置。当EA完成时，器件将退出数据轮询状态ASO，器件地址空间则返回EA启动时的地址映射模式。

2.5 SSR ASO

SSR提供一个额外的存储器区域，该区域可编程一次并受到永久保护，以后不能更改。也就是说，它是一次性编程（OTP）区域。SSR的长度是2048个字节。它包括大小为512个字节的出厂锁定的安全硅区域（SSR0）

大小为1024个字节的用户锁定的安全硅区域（SSR1和SSR2）以及大小为512个字节且带有读取密码的用户锁定的安全硅区域（SSR3）。

出厂时，SSR0已经被锁定，用于防止发生意外的编程。SSR1和SSR2都是OTP，它们都带有单独的锁定位。一旦被锁定，则不能对这些区域进行任何更改。SSR3也是一个OTP，对该区域进行读取或编程时，需要一个SSR3密码。如果SSR3被锁定，便不能对该区域进行任何更改。

安全存储进入指令期间所提供的扇区地址将选择闪存存储器阵列扇区，该扇区将被 SSR 地址映射覆盖掉。SSR从所选扇区0位置开始覆盖。考虑到未来的兼容性，建议使用扇区0地址。进入SSRASO后，所有其他扇区的内容变成用于读取的存储器内核数据。在ASO外，不能进行编程。

表 5 SSR

Word address range	Byte address range	Content	Region	Size
(SA) + 0000h to 00FFh	(SA) + 0000h to 01FFh	Factory locked secure silicon region	SSR0	512 bytes
(SA) + 0100h to 01FFh	(SA) + 0200h to 03FFh	Customer locked secure silicon region	SSR1	512 bytes
(SA) + 0200h to 02FFh	(SA) + 0400h to 05FFh	Customer locked secure silicon region	SSR2	512 bytes
(SA) + 0300h to 03FFh	(SA) + 0600h to 07FFh	Customer locked secure silicon region with read password	SSR3	512 bytes
(SA) + 0400h to FFFFh	(SA) + 0800h to 1FFFFh	Undefined	n/a	126 KB

2.6 扇区保护控制

2.6.1 锁定寄存器ASO

锁定寄存器ASO包含OTP存储器的一个单字。进入ASO后，锁定寄存器出现在器件地址空间中的所有字位置。不过，考虑到未来的兼容性，建议只在器件地址空间0位置对锁定寄存器ASO执行读取或编程操作。

2.6.2 持久保护位（PPB）ASO

PPB ASO包含了器件中每个扇区的闪存阵列的一位。进入PPB ASO后，扇区的PPB位出现在扇区中每个地址的最低有效位（LSB）。读取扇区中的任一地址时会显示数据，其中LSB指明该扇区的易失性保护状态。不过，考虑到未来的兼容性，建议只在扇区的地址0上对PPB执行读取或编程操作。该位是0时，扇区受到保护，不能对其进行编程和擦除。该位是1时，PPB不保护扇区。扇区可能受到ASP其他功能的保护。

2.6.3 PPB锁定ASO

PPB锁定ASO包含易失性存储器的一位。该位会决定PPB ASO中的各个位能否被编程或擦除。该位是0时，PPB ASO受到保护，不能对其进行编程和擦除。该位是1时，PPB ASO不受保护。进入PPB锁定ASO后，PPB锁定位出现在器件地址空间中每个地址的最低有效位（LSB）。不过，考虑到未来的兼容性，建议只在器件的地址0对PPB锁定ASO执行读取或编程操作。

2.6.4 密码ASO

密码ASO包含OTP存储器的四个字。进入ASO后，密码出现在器件地址空间中从0地址开始的位置。第四个字之上的所有位置均为未定义。

2.6.5 动态保护位（DYB）ASO

DYB ASO包含器件中每个扇区的易失性存储器阵列的一位。进入DYB ASO后，扇区的DYB位出现在扇区中每个地址的最低有效位（LSB）。读取扇区中的任一地址时会显示数据，其中LSB指明该扇区的易失性保护状态。不过，考虑到未来的兼容性，建议只在扇区的位置0上对DYB执行读取、设置或清除操作。该位是0时，扇区受到保护，不能对其进行编程和擦除。该位是1时，DYB不保护扇区。扇区可能受到ASP其他功能的保护。

2.7 ECC状态ASO

系统可以在读取模式下通过发出ECC状态项指令序列来访问ECC状态ASO。ECC状态ASO提供ECC功能的使能或禁用状态，或者在读取选定页面时ECC功能是否更正了单比特错误。第25页的“**自动ECC**”详细描述了ECC功能。

ECC 状态 ASO 允许以下活动：

- 读取选定页的ECC状态。
- ASO退出。

2.7.1 ECC状态

ECC状态ASO的内容表明，对于所选的ECC页，ECC逻辑是否纠正了ECC页的八位ECC代码中的错误，或在包含32字节数据的 ECC 页中纠正了错误，或ECC是否已禁用该ECC单位。ECC状态读取命令中指定的地址（见**表23**和**表24**）用于选择相应的ECC页。

表 6 ECC状态字——高字节

Bit	15	14	13	12	11	10	9	8
Name	RFU	RFU	RFU	RFU	RFU	RFU	RFU	RFU
Value	X	X	X	X	X	X	X	X

表 7 ECC 状态字——低字节

Bit	7	6	5	4	3	2	1	0
Name	RFU	RFU	RFU	RFU	ECC enabled on 16-Word Page	Single bit error corrected ECC bits	Single bit error corrected data bits	RFU
Value	X	X	X	X	0 = ECC enabled 1 = ECC disabled	0 = No error corrected 1 = Single bit error corrected	0 = No error corrected 1 = Single bit error corrected	X

3 数据保护

为防止通过硬件方式恶意或意外地修改任何扇区，器件提供了多项保护功能。

3.1 器件保护方法

3.1.1 上电写入禁止

在上电复位（POR）期间，RESET#、CE#、WE#和OE#均被忽略。在POR期间，不能选择器件，在WE#的上升沿上器件不会接受任何指令，也不驱动输出。主机接口控制器（HIC）和嵌入式算法控制器（EAC）在POR期间复位至待机状态，准备读取阵列数据。在POR结束（ t_{VCS} ）前，CE#或OE#的电压必须转为 V_{IH} 。POR结束时，器件状况如下：

- 所有内部配置信息已加载，
- 器件处于读取模式，
- 状态寄存器处于默认值，
- DYB ASO中的所有位被设置为取消保护所有扇区，
- 写入缓冲区全部加载1，
- EAC处于待机状态。

3.1.2 低电平 V_{CC} 写禁止

当 V_{CC} 小于 V_{LKO} 时，HIC不会接受任何写入周期和EAC复位。这可在 V_{CC} 上电和掉电期间保护数据。系统必须向控制引脚提供正确的信号，以防止当 V_{CC} 大于 V_{LKO} 时意外写入。

3.2 指令保护

将指令序列写入到EAC指令存储器中，从而启动EA。指令存储器阵列没有ASO，也不能被主机系统读取。每个主机接口写入是发给器件的一个指令或指令序列的一部分。EAC检查每个写入传输中的地址和数据，以确定写入是否是合法命令序列的一部分。如果合法命令序列是完整的，EAC将启动相应的EA。

如果写入的地址或数据值不正确或者写入了错误的序列，一般会导致EAC返回其待机状态。不过，此类错误指令序列可能使器件进入未知状态。在这种情况下，系统必须写入复位指令，或者可能需要通过将RESET#信号置为低电平来提供一个硬件复位，才能使EAC返回其待机状态，并准备执行随机读取。

每个写入中提供的地址可能包含一个位组合，有助于识别该写入是否是发给器件的指令。地址的高位也选择了执行指令操作的扇区地址。扇区地址（SA）包括Amax到A16闪存地址位（系统字节地址信号Amax到A16）。指令位组合位于A10到A0闪存地址位（系统字节地址信号A11到A1）。

每个写入中提供的数据可能是：位组合，有助于识别该写入是否是指令；代码，用于识别要执行的指令操作，或提供为执行操作而必需的信息。有关器件接受的所有指令的列表，请参见表 23。

3.3 SSR（OTP）

请参见第12页上的“SSR ASO”，以便了解安全硅区域的说明。请参考第39页上的“安全硅区域ASO”，以便了解所允许的指令。

3.4 扇区保护方法

3.4.1 写入保护信号

WP# = V_{IL} 时，最低或最高地址扇区受到保护（与任何其他ASP配置无关），不能对这些扇区执行编程或擦除操作。受保护的扇区是最低扇区还是最高扇区则取决于所选择的器件订购选项（型号）。WP# = V_{IH} 时，最低或最高地址扇区不受 WP# 信号的保护，但可能受到其他 ASP 配置的保护。WP# 有一个内部上拉电阻；当断开连接时，WP# 将处于 V_{IH} 。在执行任意嵌入式操作期间，WP# 不会在 V_{IL} 和 V_{IH} 间切换。

3.4.2 高级扇区保护（ASP）

ASP 是一组独立的硬件和软件方法，分别用于禁止或允许对任何或所有扇区执行编程或擦除操作。此部分介绍存储器阵列中所存储数据的各种保护方法。图2是这些方法的概述。

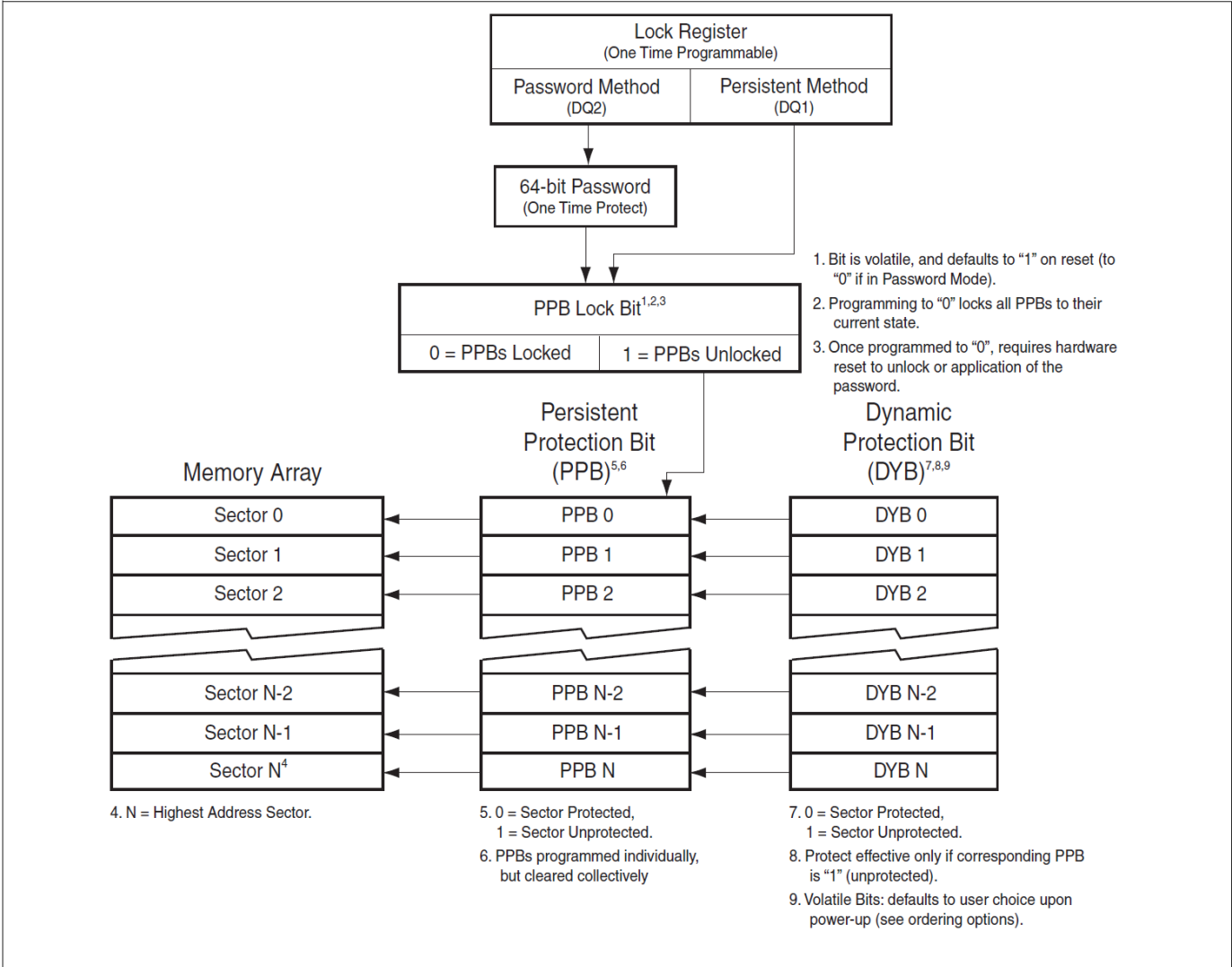


图2 ASP概述

数据保护

每个主闪存阵列扇区都有与其有关的一个非易失性（PPB）和一个易失性（DYB）保护位。如果某位是‘0’，则全部扇区受到保护，从而不能对其执行编程和擦除操作。

PPB锁定位为‘0’时，不能执行编程和擦除操作。PPB锁定位的状态可通过两种方法进行管理：持久保护和密码保护。

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。有一个指令可将PPB锁定位清除为‘0’，以保护PPB。持久保护方法没有指令可设置PPB锁定位，因此PPB锁定位将一直为‘0’，直到下一次关闭电源或硬件复位为止。持久保护方法允许引导代码通过编程或擦除PPB来更改扇区保护，然后通过清除PPB锁定位在正常系统操作的剩余时间内保护PPB，不令其更改。这有时称为引导代码控制的扇区保护。

密码方法在POR或硬件复位期间将PPB锁定位清除为‘0’，以保护PPB。对于密码方法，可以永久地编程并隐藏一个64位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则PPB锁定位为1，以取消PPB保护。PPB锁定位可以通过一个指令来清除为0。

通过编程锁定寄存器中的OTP位，可以永久性选择要使用的PPB锁定管理方法。

锁定寄存器还包含OTP位，用于保护SSR。

从英飞凌出厂时，PPB位被清除，因此所有主闪存阵列扇区不受保护。SSR在工厂可能设成保护或不保护，具体视订购选项（型号）而定。

3.4.3 PPB锁定

PPB锁定是一个易失性位，用于保护所有PPB位。当清除为0时，它锁定所有PPB；设成1时，允许更改PPB。每个器件只有一个PPB锁定位。

PPB锁定指令用于将该位清零。只有当所有PPB位均配置为所需的设置后，才将PPB锁定位清零。

在持久保护模式下，PPB锁定在POR或硬件复位期间被设为1。清除后，所有软件指令序列都不能设置PPB锁定，只有通过硬件复位或上电才能设置PPB锁定位。

在密码保护模式下，PPB锁定在POR或硬件复位期间被清除为0。PPB锁定只能通过密码解锁指令序列设为1。可以使用PPB锁定位清除指令将PPB锁定位清零。

3.4.4 持久保护位（PPB）

PPB位于一个单独的非易失性闪存阵列中。为每个扇区分配一个PPB位。当一个PPB位为0时，相应的扇区受到保护，不能对它执行编程和擦除操作。PPB位可单独编程，但必须按组进行擦除。这与字相似，各个字可以在主阵列中单独编程，但整个扇区必须同时擦除。擦除前的预编程和验证由EAC执行。

编程一个PPB位需要典型的字编程时间。在编程或擦除一个PPB位期间，数据轮询状态DQ6跳变位将持续跳变，直至操作完成。擦除所有PPB需要典型的扇区擦除时间。

如果PPB锁定位为0，PPB编程或擦除指令不被执行，并且被超时。

与特定扇区相关的PPB的保护状态，可通过在进入PPB ASO后执行一个PPB状态读取指令来检查。

3.4.5 动态保护位 (DYB)

DYB是易失性位，可以单独更改该位。每个扇区只有一个唯一的DYB。DYB只控制那些已清除PPB的扇区的保护。如果某个扇区的PPB位为1，则通过发送DYB设置或清除指令序列，可分别将DYB设置为0或清除为1，因此该扇区将相应进入保护或无保护状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。

DYB可以在需要时随时设为0或清除为1。

3.4.6 扇区保护状态汇总

每个扇区均可以处于下面一种保护状态：

- 解锁- 扇区不受保护，保护状态可通过一个简单的指令进行更改。在关电源或硬件复位后，保护状态默认为不保护。
- 动态锁定- 扇区受保护，保护状态可通过一个简单的指令进行更改。在关电源或硬件复位后，保护状态不被保存。
- 持久锁定- 扇区受保护，只有将PPB锁定位设置为1时才能更改保护状态。保护状态是非易失性的，在关电源或硬件复位后仍被保存。更改保护状态需要编程或擦除PPB位。

表 8 扇区保护状态

Protection bit values			Sector state
PPB lock	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
1	1	0	Protected – PPB and DYB are changeable
1	0	1	Protected – PPB and DYB are changeable
1	0	0	Protected – PPB and DYB are changeable
0	1	1	Unprotected – PPB not changeable, DYB is changeable
0	1	0	Protected – PPB not changeable, DYB is changeable
0	0	1	Protected – PPB not changeable, DYB is changeable
0	0	0	Protected – PPB not changeable, DYB is changeable

3.4.7 锁定寄存器

锁定寄存器保持非易失性OTP位，用于控制SSR保护和确定PPB锁定位的管理方法（保护模式）。

表 9 锁定寄存器

Bit	Default value	Name
15–12	1	Reserved
11	1	SSR region 3 password protection mode lock bit
10	1	SSR region 3 (Customer) lock bit
9	1	SSR region 2 (Customer) lock bit
8	0	Reserved
7	1	Reserved
6	1	SSR region 1 (Customer) lock bit
5	1	Reserved
4	1	Reserved
3	1	Reserved
2	1	Password protection mode lock bit
1	1	Persistent protection mode lock bit
0	0	SSR region 0 (Factory) lock bit

SSR保护位必须谨慎使用。一旦锁定，没有办法可解锁SSR中受保护的部分，也没有办法可修改受保护的SSR存储空间中的所有位。一旦SSR受到保护，任何在该区域中继续编程的尝试都会失败，其状态表现为要编程的区域受到保护。区域0指示位位于锁定寄存器中的位0，区域1的位于位6，区域2的位于位9，区域3的位于位10。

从工厂出厂时，所有器件在上电时均默认使用持久保护方法，所有扇区均不受保护。器件编程器或主机系统随后可以选择使用哪种扇区保护方法。通过对下面两个一次性可编程、非易失性位中的一位进行编程，可将器件永久性锁定于相应模式：

持久保护模式锁定位（DQ1）

密码保护模式锁定位（DQ2）如果同时编程这两个锁定位，操作将中止。一旦编程了密码模式锁定位，持久模式锁定位永远被禁用，保护方案无法更改。类似的，如果编程了持久模式锁定位，将永久性禁用密码模式。

如果选择密码模式，必须在设置相应的锁定寄存器位之前编写密码。设置密码保护模式锁定位（DQ2）可阻止对密码进行编写或读取操作。

锁定寄存器的编程时间与典型的字编程时间相同。在锁定寄存器编程EA期间，数据轮询状态DQ6跳变位将持续跳变，直至编程完毕。系统还可通过读取状态寄存器来确定锁定寄存器的编程状态。欲了解这些状态位的信息，请参见第43页上的“[状态寄存器](#)”。

用户不能同时编程DQ2或DQ1与DQ6或DQ0位。这使得用户可以在选择器件保护方案之前或之后锁定SSR。编程锁定位时，必须将保留位设置为1（被掩码）。

3.4.8 持久保护模式

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有任何指令可将PPB锁定位设为1，因此PPB锁定位一直为0，直到下一次关闭电源或硬件复位为止。

3.4.9 密码保护模式

3.4.9.1 PPB密码保护模式

PPB密码保护模式使用64位密码来设置PPB锁定，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB锁定还清除为0以确保在上电时提供保护。通过输入整个密码并成功执行密码解锁指令后，PPB锁定将设为1，从而允许修改扇区PPB。

密码保护注意事项：

- 密码编程指令只能编程“0”。
- 从英飞凌出厂时，密码全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 编程和验证密码后，必须设置密码模式锁定位，以防止读取或修改密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。所有对密码区域进行读取的指令均被禁用（读取数据返回的结果全是1）。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。对锁定扇区进行任何编程操作都会失败，并且报告为一个一般的编程故障。
- 不能擦除密码模式锁定位。
- 只有输入准确的密码，才能解锁。
 - 地址可按任何序列进行加载，但需要全部4个字以实现成功匹配。
 - 密码地址/数据被加载时，会将扇区地址（Amax - A16）和字线地址（A15 - A8）与“零”进行比较。如果扇区地址或字线地址不匹配，那么在写周期结束时将报告错误。状态寄存器返回就绪状态、编程状态位被设为1，并且写入缓冲区中止状态位被设为1，用于表示编程操作失败。数据轮询状态将保持活动状态，DQ7设成为密码解锁指令的最后一个字中DQ7位的补码，并且DQ6跳变。RY/BY#将保持低电平状态。
 - 发送“从缓冲区写入闪存”指令后，将比较特定地址和数据。如果它们与内部设置值不匹配，则状态寄存器将返回就绪状态，并且编程状态位设为1，用于表示编程操作失败。数据轮询状态将保持活动，DQ7设成密码解锁指令的最后一个字中DQ7位的补码，并且DQ6跳变。RY/BY#将保持低电平状态。在这种因密码不正确而导致的错误情况下，器件需要 t_{PPBV} 的等待时间，并在发出密码ASO退出指令之前发出软件复位命令清除错误，以正确退出密码ASO。否则将导致器件停留在密码ASO中。
- 为器件设置有效的64位密码后，需要进过 t_{PPB} 时间来设置PPB锁定。这样，如果黑客试图通过实现所有64位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。EA状态检查方法可用于确定EAC何时准备好接受新的密码指令。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定。

4 读取操作

4.1 异步读取

可以对存储器中的任意位置进行读取访问（随机读取）。每个随机读取访问均为自定时，与从 CE# 或地址到数据有效的延迟（ t_{ACC} 或 t_{CE} ）相同。

4.2 页模式读取

每个随机读取并行访问整个32字节的页面。后续读取同一页面时，读取访问速度会加快。页面由高位地址（Amax-A4）选择，页面中的特定字由最低有效地址位A3-A0（在x8模式中为A3-A1）选择。高位地址保持不变，只有A3-A0（在x8模式中为A3-A1）发生改变，以选择同一页面中不同的字。这是异步读取，数据出现在DQ15-DQ0（在x8模式中为DQ7-DQ0）上需满足的条件为：CE#为低电平、OE#为低电平，并且满足异步页面访问时间（ t_{PACC} ）。对于后续访问，如果CE#拉至高电平再返回到低电平，则执行随机读取访问，并且需要（ t_{ACC} 或 t_{CE} ）时间。

5 嵌入式操作

5.1 嵌入式算法控制器 (EAC)

EAC从主机系统接收关于编程和擦除闪存阵列的指令，并执行改变非易失性存储器状态时所需的所有复杂操作。这样可以减轻主机系统的负担，并且不需要管理编程和擦除过程。

EAC操作有四种类别：

- 待机（读取模式）
- 地址空间切换
- 嵌入式算法（EA）
- 高级扇区保护（ASP）管理

5.1.1 EAC待机

在待机模式下，电流消耗明显降低。当没有执行任何指令和嵌入式算法时，EAC进入待机模式。如果在嵌入式算法期间取消了选择器件（CE# = 高电平），器件仍会消耗工作电流，直至操作完成为止（ I_{CC3} ）。第79页“**DC特性**”中的 I_{CC4} 表明了基于以下状态时的待机电流规范：主机接口和EAC处于其待机状态。

5.1.2 地址空间切换

写入特定地址和数据序列（指令序列）可将存储器件地址空间从主闪存阵列切换到其中一个地址空间重叠（ASO）。EA对当前活动（进入的）ASO中的可见信息进行操作。在系统发出ASO退出指令、执行硬件复位之前，或者断开器件电源之前，系统可以一直访问ASO。ASO退出指令可将器件从ASO切换回主闪存阵列地址空间。进入特定ASO后所接受的指令被罗列在指令定义表中，该表位于ASO进入和退出指令之间。有关所有指令序列的地址和数据要求，请参见第58页**命令汇总**。

5.1.3 嵌入式算法（EA）

更改存储阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为嵌入式算法（EA）。这些算法完全由器件内部的EAC来管理。主算法执行对主阵列数据和ASO的编程和擦除操作。主机系统将指令代码写入到闪存器件地址空间内。EAC接收指令用于执行所有必要的步骤以完成指令，并在EA执行期间提供状态信息。

5.2 编程和擦除摘要

闪存数据位以大组（称为扇区）的形式被并行擦除。擦除操作将扇区中的每个数据位置于逻辑1状态（高）。每个闪存数据位可以分别进行编程，使其从擦除1状态变为编程逻辑0（低）状态。数据位0不能编程为1。后续的读取结果显示，数据位仍然为0。只有通过执行擦除操作才能将0变换为1。多次对同一个字位置进行编程不同的0位，会引起原数据和正在编程的新数据间进行逻辑AND运算。第53页上的“[嵌入式算法性能表](#)”介绍了编程和擦除时长。

编程和擦除操作可能被挂起。

- 擦除操作可能被挂起，允许编程或读取另一个扇区（不是在擦除扇区中）。在擦除挂起期间，不能启动其它擦除操作。
- 编程操作可能被挂起，允许读取另一个位置（并非位于正在编程的行中）。
- 在编程操作挂起期间，不能启动其它编程或擦除操作；在该时间内，编程或擦除指令将被忽略。
- 在完成嵌入的编程操作或读取访问后，可以恢复被挂起的擦除或编程操作。如果器件当前没有执行其它指令，则可以随时恢复被挂起的操作。
- 编程和擦除操作可以根据需要被中断，但为了正常完成编程或擦除操作，恢复和下一次挂起指令之间的时长必须大于或等于第53页上的[嵌入式算法性能表](#)中所介绍的 t_{PRS} 或 t_{ERS} 。
- 完成EA时，EAC返回至启动EA时所在的操作状态和地址空间（擦除挂起、EAC待机、...）。

系统可以通过读取状态寄存器或使用数据轮询状态来确定编程或擦除操作的状态。欲了解这些状态位的信息，请参见第43页上的[状态寄存器](#)。有关更多信息，请参考第45页上的[数据轮询状态](#)。

除了编程挂起（x51h）、状态读取指令（x70h）和擦除挂起/编程挂起指令（xB0h）外，在嵌入式编程算法期间写入器件的所有指令都被忽略。

除了状态读取（x70h）和擦除挂起/编程挂起指令（xB0h）外，在嵌入式擦除算法期间写入器件的所有指令都被忽略。

硬件复位会立即终止正在执行的所有编程/擦除操作，并在经过 t_{RPH} 时间后返回到读取模式。一旦器件返回待机状态，应重新启动被终止的操作，以确保数据完整性。

出于性能和可靠性原因，读取和编程操作在全部32字节页面上内部完成。第79页上的[DC特性](#)中的 I_{CC3} 显示了写入（EA）操作的工作电流规范。

5.2.1 编程粒度

S29GL-T支持两种编程方法：字或写入缓冲区编程。每个页面可以使用任一方法进行编程。对于工业温度版本（-40°C至+85°C），一线中可以包含使用不同方法进行编程的页面。对于扩展的工业级温度版本（-40°C~+105°C）和扩展温度版本（-40°C~+125°C），在两次擦除操作之间，器件仅支持每个页面一次编程操作，并且不支持单字编程指令。

字编程检查指令中提供的数据字，在寻址的存储阵列字中编程0，以匹配指令数据字中的0。

写入缓冲区编程检查写入缓冲区，在寻址的存储阵列行中编程0，以匹配写入缓冲区中的0。写入缓冲区不需要全部填入数据。在一个编程操作中，可以尽可能少地编程，如单个位、多个位、单个字、多个字、一个页面、多个页面、或者整个缓冲区。使用写入缓冲区方法可以减轻主机系统在写入编程指令方面的负担，并能够减轻存储器件在编程操作方面的内部负担。与使用字编程指令对各个字进行编程相比，写入缓冲区编程更快、更有效率。

5.2.2 增量编程

同一字位置可以通过字或写入缓冲区编程方法进行多次编程，从而增量方式将1改为0。注：在同一页上进行多次编程操作将禁用该页的ECC。

5.3 自动ECC

5.3.1 ECC概述

自动ECC功能可以透明地与正常的编程、擦除和读取操作一起工作。当器件将每页数据从写缓冲器传输到存储器阵列时，内部 ECC 逻辑会将该页的 ECC 代码编程到存储器阵列中主机系统看不到的部分。在每次初始化访问页时，器件都会评估页数据和 ECC 代码。如有需要，内部 ECC 逻辑会在初始化访问过程中纠正一个位的故障位。

对特定页编程超过一次将禁用该页的 ECC 功能。在主机系统下一次擦除包含该页的扇区之前，该页的 ECC 功能将一直处于禁用状态。主机系统可在多次编程操作后读取存储在该页中的数据，但 ECC 功能会被禁用，且无法检测或纠正该页中的错误。

5.3.2 编程和擦除摘要

出于性能和可靠性的原因，读取和编程操作在完整的 32 字节页面上并行进行。器件在首次编程时通过向每个页面添加 ECC 代码来在每个页面上提供 ECC。ECC代码是自动的，并且对主控系统透明。

5.3.3 ECC执行

主充电/快闪式存储器阵列中的每个 32 字节页面以及每个 32 字节OTP区域都具有关联的 ECC 代码。内部 ECC 逻辑能够检测并纠正读取访问期间在页面或相关 ECC 代码中发现的任何单独的错误。

应用于该页的第一个写入缓冲区编程操作对该页面的ECC代码进行编程。在特定页面失效上发生多次的后续编程操作，不能使该页面的ECC功能发挥作用。这允许进行位或字编程；但要注释的是，对同一页进行多次编程操作将禁用发生递增编程的页上的ECC功能。擦除包含已禁用 ECC 的页面的扇区将会重新启用该页面的 ECC 功能。

ECC功能是自动的，对用户透明。自动 ECC 功能的透明度增强了向每个页面写入一次数据的典型编程操作的数据完整性。ECC 功能还允许单字编程和走位，即对同一页或字进行多次编程，从而促进了与前几代 GL 系列产品的软件兼容性。当页面的自动 ECC 禁用时，ECC 功能将不会检测或纠正从该页面读取的数据的错误。

5.3.4 字编程

字编程可对主存储器阵列中任意位置的单个字进行编程。在同一个 32 字节页面中编程多个字会禁用该页上的自动 ECC 保护。对包含该页的扇区进行扇区擦除后，将在对该页进行多个字编程操作后重新启用自动 ECC。

5.3.5 写入缓冲区编程

每次写缓冲器程序操作允许对1位最多512个字节进行编程。32字节页面是具有自动ECC保护功能的最小程序粒度。对同一个页进行多次编程将会失效，无法使用该页面上的自动 ECC 功能。英飞凌建议，在一次写入操作中对多个页面进行编程，并且每个页面仅写入一次。这使得自动 ECC 保护在每个页上保持使能状态。为了获得最佳性能，请以 512 字节边界对齐的完整行编写程序。

5.4 指令集

5.4.1 编程方法

5.4.1.1 字编程

字编程用于编程主闪存阵列中任意位置的单个字。

字编程指令是四个写入循环序列。编程指令序列开始于两个解锁写入循环，然后是编程设置指令。接下来写入编程地址和数据，以启动嵌入式字编程算法。系统不需要提供其它控制或时序。器件自动生成编程脉冲，并内部检验编程的网格边距。当嵌入式字编程算法完成时，EAC随后返回其待机模式。

系统可以通过使用数据轮询状态、读取状态寄存器、或监控RY/BY#输出等方式来确定编程操作的状态。欲了解这些状态位的信息，请参见第43页上的[状态寄存器](#)。欲了解这些状态位的信息，请参见第45页上的[数据轮询状态](#)。欲了解字编程操作的流程图，请参见图3。

除了编程挂起指令外，在嵌入式编程算法期间写入器件的所有指令都被忽略。请注意，硬件复位（RESET# = V_{IL} ）可立即终止编程操作，并经过 t_{RPH} 时间后可使器件返回到读取模式。为确保数据完整性，一旦器件完成硬件复位操作，应重新启动编程指令序列。

修改版的字编程指令没有解锁写入周期，从而能够在进入锁定寄存器、密码和PPB ASO或解锁旁通模式后进行编程。进入PPB锁定和DYB ASO后，可以使用相同的指令更改易失性位。欲了解编程指令序列，请参见表23。

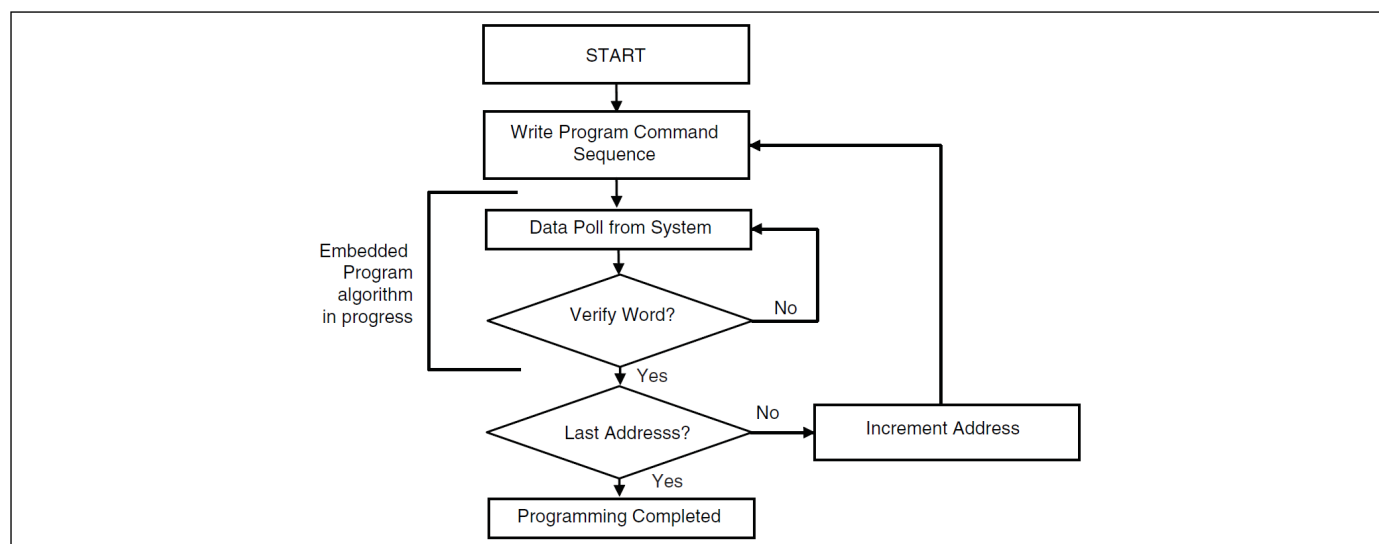


图3 字编程操作

嵌入式操作

5.4.1.2 写入缓冲区编程

写入缓冲区用于在512字节边界（线）上对齐的512字节地址范围内编程数据。因此，整个写入缓冲区编程操作必须与线边界对齐。不足512字节的编程操作可以在任意字边界上开始，但不能跨越线边界。在写入缓冲区编程操作开始时，缓冲区中所有位的位置全部为1（FFFFh字），因此未加载的位置仍保持现有数据。有关地址映射的信息，请参见第6页上的[产品概述](#)。

写入缓冲区编程在一个操作中最多可编程512字节。在每个写入缓冲区编程操作中，可以编程1位到512字节。建议写入多个页面，每个页面只写入一次。为达到最佳性能，编程应在512字节边界对齐的全部512字节线上完成。

仅在主闪存阵列或SSRASO中支持写入缓冲区编程。

写入缓冲区编程操作开始于两个写入解锁周期。随之是写入到缓冲区指令的第三个写入周期，其中包含要编程的扇区地址（SA）。接下来，系统会写入字位置数量减去1。这会告知器件有多少写入缓冲区地址加载了数据以及何时会发出“编程缓冲区到闪存”的确认指令。写入到缓冲区指令和写入字计数指令中的扇区地址必须匹配。要编程的扇区必须解锁（不受保护）。

系统随后写入起始地址/数据组合。这个起始地址是要编程的第一个地址/数据对，选择写入缓冲区线地址。扇区地址必须与通过写入到缓冲区指令进行编程的扇区地址匹配，否则操作将中止并返回中止状态。所有后续地址/数据对必须是连续顺序。所有写入缓冲区地址必须在同一线内。如果系统尝试加载此范围之外的数据，操作将中止并返回中止状态。

每个数据加载操作后，计数器递减。请注意，随着数据写入倒计时，每个写入操作都被认为数据正在加载到写入缓冲区。在写入缓冲区加载期间，不能执行任何指令。唯一可停止写入缓冲区加载的方式是写入编程操作线之外的地址。这个无效地址将立即中止写入到缓冲区指令。

一旦已加载指定的写入缓冲区地址数量，系统必须在扇区地址内写入编程缓冲区到闪存指令。器件随之开始忙碌。嵌入式编程算法自动编程数据，并验证数据是否为正确的数据组合。在这些操作期间，系统不需要提供任何控制或时序。如果加载的写入缓冲区位置的数量不正确，操作将中止并返回中止状态。由于在字计数结束时需要写入编程缓冲区到闪存指令，所以如果此时写入其它任何指令，编程操作会中止。

写入缓冲区嵌入式编程操作可以通过编程挂起指令来挂起。完成嵌入式编程算法时，EAC返回到编程操作启动时所在的EAC待机或擦除挂起待机状态。

系统可以通过使用数据轮询状态、读取状态寄存器、或监控 RY/BY# 输出等方式来确定编程操作的状态。欲了解这些状态位的信息，请参见第43页上的[状态寄存器](#)。欲了解这些状态位的信息，请参见第45页上的[数据轮询状态](#)。欲了解编程操作的流程图，请参见[图4](#)。

在下列情况下，写入缓冲区编程序列将中止：

- 加载的字计数值超过缓冲区容量（255）。
- 写入的地址超出在写入到缓冲区指令中提供的线。
- 加载完写入字计数的数据字数量后不发出写入缓冲区到闪存指令。

当导致写入缓冲区指令中止的任何条件发生时，指令操作将立即中止，并在状态寄存器的位置位4指明编程失败（PSB = 1），因为写入缓冲区中止位置位3被设置（WBASB = 1）。下一次成功的编程操作将清除失败状态，或者可以使用清除状态寄存器指令清除PSB状态位。

有两种方法可终止写入缓冲区编程序列：硬件复位或关开电源。不过，使用任一方法都可能造成正在编程的区域处于中间状态，即包含无效或不稳定的数据值。在此情况下，需要使用相同的数据对该区域进行重新编程或者擦除该区域，以确保正确编程数据值或适当擦除它们。

嵌入式操作

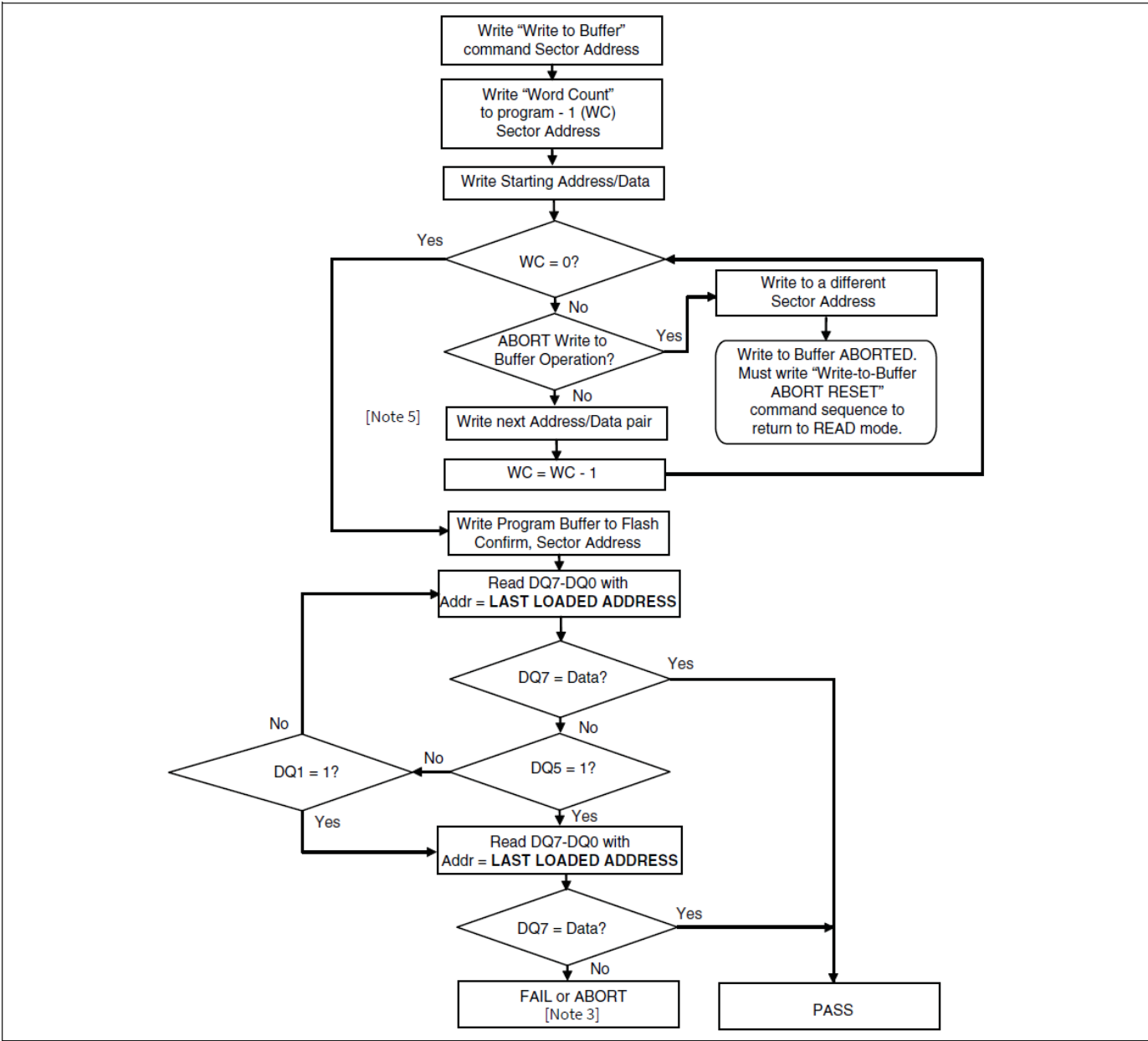


图 4 使用数据轮询状态验证写入缓冲区编程操作

注释：

2. 由于DQ7可能与DQ5同时改变，因此即使DQ5 = 1，也应重新检查DQ7。
3. 如果由于DQ5 = 1而到达此流程图位置，则器件发生故障。如果由于DQ1 = 1而到达此流程图位置，则写入缓冲区操作已中止。无论在何种情况下，都必须向器件写入正确的复位指令，以使器件返回读取模式。
如果DQ1 = 1，则写入缓冲区编程中止复位；
如果DQ5 = 1，则软件复位或写入缓冲区编程中止复位。
4. 欲了解写入缓冲区编程所需的指令序列，请参见表23。
5. 当指定了扇区地址时，所选扇区中的任何地址均可接受。不过，为写入缓冲区地址位置加载数据时，所有地址必须在所选写入缓冲区页面范围内。

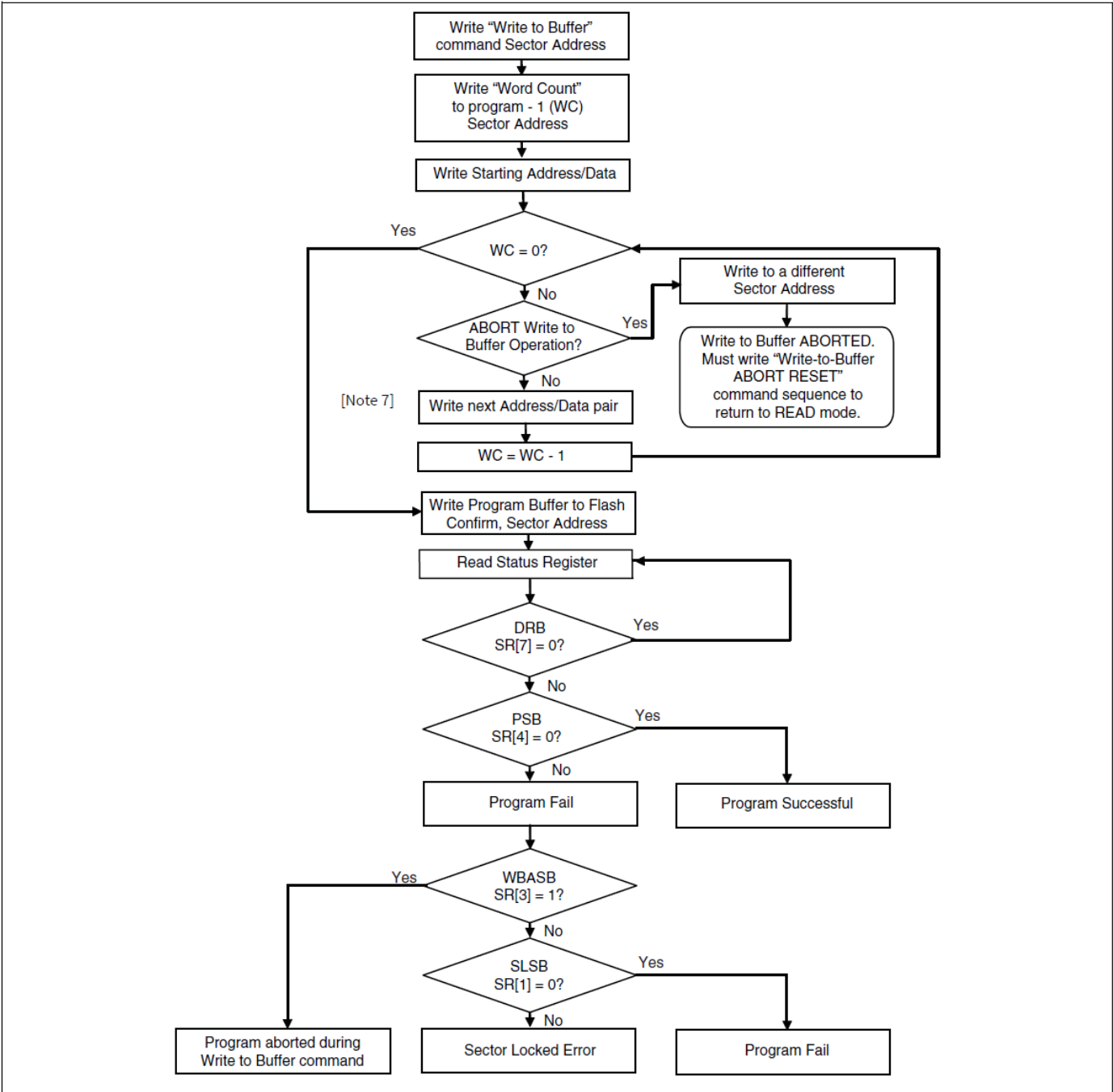


图 5 使用状态寄存器验证写入缓冲区编程操作

注释：

- 欲了解写入缓冲区编程所需的指令序列，请参见表23。
- 当指定了扇区地址时，所选扇区中的任何地址均可接受。不过，为写入缓冲区地址位置加载数据时，所有地址必须在所选写入缓冲区页面范围内。

表 10 写入缓冲区编程指令序列

Sequence	×16		×8		Comment
	Address	Data	Address	Data	
Issue Unlock command 1	555	AA	AAA	AA	
Issue Unlock command 2	2AA	55	555	55	
Issue Write to Buffer command at sector address	SA	0025h	SA	25h	
Issue number of locations at sector address Example: WC of 0 = 1 word to pgm WC of 1 = 2 words to pgm	SA	WC	SA	WC	WC = number of words to program – 1 (in ×8 mode WC = number of bytes to program – 1)
Load starting address / data pair	Starting address	PD	Starting address	PD	Selects write-buffer-page and loads first address/data pair.
Load next address / data pair	WBL	PD	WBL	PD	All addresses must be within the selected write-buffer-page boundaries, and have to be loaded in sequential order.
Load last address/data pair	WBL	PD	WBL	PD	All addresses must be within the selected write-buffer-page boundaries, and have to be loaded in sequential order.
Issue write buffer program confirm at sector address	SA	0029h	SA	29h	This command must follow the last write buffer location loaded, or the operation will abort.
Device goes busy.					

图标：

SA = 扇区地址（非扇区地址位不用考虑。扇区内的任何地址足够）

WBL = 写入缓冲区位置（必须位于起始地址指定的写入缓冲区行的边界内）

WC = 字计数

PD = 编程数据

5.4.2 编程挂起/编程恢复指令

编程挂起指令允许系统中断嵌入式编程操作，以便能够从非挂起的行中读取数据。当在某个编程过程中写入编程挂起指令时，器件在 t_{PSL} （编程挂起延迟）时间内挂起编程操作并更新状态位。在写入编程挂起指令时，不用考虑地址。

编程挂起可通过两个指令来执行。传统组合擦除/编程挂起指令（B0h指令代码）和单独的编程挂起指令（51h指令代码）。编程恢复也可通过两个指令来执行。传统组合擦除/编程恢复指令（30h指令代码）和单独的编程恢复指令（50h指令代码）。建议在编程时使用单独的编程挂起和恢复指令，只在擦除挂起和恢复时使用传统组合指令。

编程操作挂起后，系统可以读取任何非挂起的行中的阵列数据。当擦除操作被挂起时，仍可以在编程期间发出编程挂起指令。在此情况下，可以从擦除挂起或编程挂起之外的地址读取数据。

写入编程恢复指令后，器件返回编程状态，并且状态位被更新。系统可以通过读取状态寄存器或使用数据轮询来确定编程操作的状态。欲了解这些状态位的信息，请参见第43页上的[状态寄存器](#)。更多有关信息，请参考第45页上的[数据轮询状态](#)中介绍的内容。

在编程挂起期间有效的访问和指令包括：

- 读取任何其他非擦除挂起的扇区
- 读取任何其他非编程挂起的行
- 状态读取指令
- 状态寄存器清除
- 退出ASO或指令集退出
- 编程恢复指令

系统必须写入编程恢复指令，才能退出编程挂起模式并继续编程操作。进一步写入的编程恢复指令被忽略。在器件恢复编程后，便可写入另一个编程挂起指令。

编程操作可以根据需要经常中断，但为了使编程操作正常完成，恢复和下一次挂起指令之间的时长必须大于或等于第23页上的[嵌入式算法控制器（EAC）](#)中所述的 t_{PRS} 。

进入ASO后，不支持编程挂起和恢复。

5.4.3 加速编程

当系统激活 WP#/ACC或ACC引脚上的 V_{HH} 时，器件支持加速编程操作。当 WP#/ACC或ACC引脚上的电压下降到 V_{IH} 或 V_{IL} 时，器件将退出加速编程模式，并返回执行正常操作。WP#/ACC可以承受 V_{HH} 电压，但不能加速编程功能。如果系统激活输入端的 V_{HH} ，器件将自动进入解锁省略模式。系统随后可以使用解锁省略模式提供的写入缓冲区加载指令序列。请注意，如果在解锁省略模式下需要“写入到缓冲区中止复位”，则必须使用完整的3周期RESET指令序列来复位器件。如果在嵌入式编程操作完成时从ACC输入去除 V_{HH} ，器件将返回正常操作。注意：除了加速编程操作外，WP#/ACC引脚不能处于 V_{HH} ，否则器件可能损坏。WP#有一个内部上拉电阻；当断开连接时，WP#将处于 V_{IH0} 。仅在室温条件下才支持加速编程。

- 在WP#/ACC提升至 V_{HH} 前，必须解锁扇区。
- 建议在上电序列完成后才在WP#/ACC上应用 V_{HH} 。另外，在 V_{CC}/V_{IO} 掉电前，建议将WP#/ACC上的 V_{HH} 变回到 V_{IH}/V_{IL} 范围内的电压。

5.4.4 解锁省略

此器件提供解锁省略模式，可缩短编程指令。一旦器件进入解锁省略模式，只需两个写周期（而不是正常的四个周期）即可编程数据。该器件也支持写入缓冲区指令而仅需要四个写周期以上。

该模式不使用标准编程指令序列所需的前两个解锁周期，从而缩短总计编程时间。第58页上的[命令汇总](#)介绍了解锁省略指令序列的要求。

在解锁省略模式下，只有读取、编程、写入缓冲区编程、写入到缓冲区中止复位、状态寄存器读取、状态寄存器清除、软复位、解锁省略扇区擦除、解锁省略芯片擦除、解锁省略擦除挂起/恢复、解锁省略挂起/恢复以及解锁省略复位等指令均有效。为了退出解锁省略模式，系统必须发出两周期解锁省略复位指令序列。第一个周期地址为“无需关注”和数据90h。第二个周期只需包含数据00h。扇区随后返回读取模式。

软件函数和代码示例

下面是使用解锁省略进入、编程、以及退出功能的C源代码示例。有关英飞凌闪存存储器软件开发指南的通用信息，请参见[英飞凌底层驱动器用户指南](#)。

表 11 解锁省略进入 (LLD函数 = lld_UnlockBypassEntryCmd)

Cycle	Description	Operation	Byte address	Word address	Data
1	Unlock	Write	Base + AAAh	Base + 555h	00AAh
2	Unlock	Write	Base + 555h	Base + 2AAh	0055h
3	Entry Command	Write	Base + AAAh	Base + 555h	0020h

```
/* Example: Unlock Bypass Entry Command */
*( (UINT16 *)base_addr + 0x555 ) = 0x00AA; /* write unlock cycle 1 */
*( (UINT16 *)base_addr + 0x2AA ) = 0x0055; /* write unlock cycle 2 */
*( (UINT16 *)base_addr + 0x555 ) = 0x0020; /* write unlock bypass command */
/* At this point, programming only takes two write cycles. */
/* Once you enter Unlock Bypass Mode, do a series of like */
/* operations (programming or sector erase) and then exit */
/* Unlock Bypass Mode before beginning a different type of */
/* operations. */
```

表 12 解锁省略编程 (LLD函数 = lld_UnlockBypassProgramCmd)

Cycle	Description	Operation	Byte address	Word address	Data
1	Program setup	Write	Base + XXXh	Base + XXXh	00A0h
2	Program command	Write	Program address	Program address	Program data

```
/* Example: Unlock Bypass Program Command */
/* Do while in Unlock Bypass Entry Mode! */
*( (UINT16 *)base_addr ) = 0x00A0; /* write program setup command */
*( (UINT16 *)pa ) = data; /* write data to be programmed */
/* Poll until done or error. */
/* If done and more to program, */
/* do above two cycles again. */
```

表 13 解锁省略复位 (LLD函数 = lld_UnlockBypassResetCmd)

Cycle	Description	Operation	Byte address	Word address	Data
1	Reset cycle 1	Write	Base + XXXh	Base + XXXh	0090h
2	Reset cycle 2	Write	Program address	Program address	0000h

```
/* Example: Unlock Bypass Exit Command */
*( (UINT16 *)base_addr ) = 0x0090;
*( (UINT16 *)base_addr ) = 0x0000;
```

5.4.5 评估擦除状态 (EES)

评估擦除状态 (EES) 指令用于验证对已指定地址的扇区进行的擦除操作是否完全成功 (即Trust Worthy — 值得信任)。使用EES指令可以检测擦除操作失败的原因, 原因可能是: 掉电、复位或擦除操作过程失败。要想对一个扇区启动评估擦除状态 (EES), 可以在EAC处于待机状态时向该扇区中的地址555h写入35h。

当器件正在编程、擦除或挂起时, 不能写入EES指令。

EES指令不允许在评估擦除状态期间读取阵列。

通过使用状态寄存器或轮询方法 (仅DQ6切换) 可以确定该器件当前处于繁忙还是完成状态。完成后, 使用状态寄存器读取指令来确认该扇区是否可靠。如果该扇区可靠, 则状态寄存器 (SR[5]) 的位5将被清除为0。如果该扇区不可靠, 则SR[5]将被置1, RD/BY#为低电平, 并且需要执行软件复位/ASO退出指令或状态寄存器清除指令, 从而使器件返回到待机状态。

EES完成后, EAC返回待机状态。

EES指令需要经过 t_{EES} 时间来完成并更新状态寄存器中的擦除状态。可以读取DRB位 (SR[7]), 以确定EES指令完成的时间。如果SR[5]=1, 则表示扇区未被擦除, 那么必须重新执行擦除操作, 以确保该扇区中数据存储的可靠性。

嵌入式操作

5.4.6 空白检查

空白检查指令将确认所选的主闪存阵列扇区是否已擦除（即Trust Worthy（值得信任）和Blank（空白））。空白检查指令不允许在空白检查期间读取阵列。若在执行此指令时读取阵列，会返回轮询数据。

要想对一个扇区启动空白检查，可以在EAC处于待机状态时向该扇区中的地址555h写入33h。

当器件正在编程、擦除或挂起时，不能写入空白检查指令。

通过使用状态寄存器或轮询方法（等于嵌入式擦除操作）可以确定该器件处于繁忙还是完成状态。完成后，状态寄存器和轮询方法将显示该扇区为空（等于成功擦除操作）还是未清除该扇区。如果该扇区为空，状态寄存器（SR[5]）的位5将清除为0。如果该扇区为非空，则SR[5]将被置1，RD/BY#为低电平，而且需要执行软件复位/ASO退出指令或状态寄存器清除指令以使器件返回待机状态。

一旦发现任何位没有擦除，器件将中止操作并报告结果。

空白检查完成后，EAC返回待机状态。

5.4.7 擦除方法

5.4.7.1 芯片擦除

芯片擦除功能擦除整个主闪存阵列。器件不要求系统在擦除之前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个存储器是否为全0数据组合。芯片擦除成功后，器件内的所有位置均包含FFFFh。在这些操作期间，系统不需要提供任何控制或时序。芯片擦除指令序列通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是芯片擦除指令，用于激活嵌入式擦除算法。当WE#在第6个命令周期结束后被拉高时，RY/BY#将变为低电平。

嵌入式擦除算法完成后，EAC返回待机状态。请注意，正在执行嵌入式擦除操作时，系统不能从器件读取数据。系统可以通过读取RY/BY#、状态寄存器或使用数据轮询来确定擦除操作的状态。有关RY/BY#的信息，请参考第70页上的**就绪/忙碌#（RY/BY#）**。有关这些状态位的信息，请参见第43页上的**状态寄存器**。更多有关信息，请参考第45页上的**数据轮询状态**中介绍的内容。

芯片擦除操作开始后，只有状态读取、硬件复位或开关电源有效。所有其他指令均被忽略。不过，硬件复位或开关电源会立即终止擦除操作，并在经过 t_{RPH} 时间后返回读取模式。如果芯片擦除操作被终止，一旦器件返回闲置状态，必须重新启动芯片擦除指令序列，以确保数据完整性。

有关参数和时序框图的信息，请参见**表18**、第96页上的**异步写入操作**和第104页上的**备用CE#控制的写入操作**。

受ASP DYB和PPB位保护的扇区不会被擦除。请参见第17页上的**高级扇区保护（ASP）**。如果一个扇区在芯片擦除期间受到保护，芯片擦除将跳过受保护的扇区，并继续对下一个扇区执行擦除。如果对受保护扇区的擦除失败，状态寄存器擦除状态位和扇区锁定位将不设置为1。

5.4.7.2 扇区擦除

扇区擦除功能擦除存储阵列中的一个扇区。器件不要求系统在擦除前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个扇区是否为全0数据组合。扇区擦除成功后，被擦除扇区内的所有位置均包含FFFFh。在这些操作期间，系统不需要提供任何控制或时序。扇区擦除指令序列通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是要擦除的扇区地址以及扇区擦除指令。当WE#在第6个命令周期结束后被拉高时，RY/BY#将变为低电平。

写入指令序列后，会出现 t_{SEA} 的扇区擦除超时。在超时期间，可以写入其他扇区地址以及扇区擦除指令。在超时期间，无效指令将被忽略。加载扇区擦除缓冲区可以通过任意序列完成，扇区数量可以从一个扇区到所有扇区。这些附加周期之间的时间必须小于 t_{SEA} ，否则将开始擦除。超出超时之后的任何扇区擦除地址和指令可能被接受，也可能不被接受。建议在此期间禁止处理器中断，以确保接受所有指令。在写入最后一个扇区擦除指令后，可以再次使能所述中断。请注意，在擦除操作期间，不能使用安全扇区、自动选择和CFI等功能。系统必须重新写入该指令序列以及其它地址和指令。

系统可以通过读取RY/BY#、状态寄存器或使用数据轮询来确定擦除操作的状态。有关RY/BY#的信息，请参考第70页上的**就绪/忙碌# (RY/BY#)**。有关这些状态位的信息，请参见第43页**状态寄存器**。更多信息，请参考第45页**数据轮询状态**。

扇区擦除操作开始后，状态寄存器读取和擦除挂起指令均有效。所有其他指令均被忽略。不过，硬件复位会立即终止擦除操作，并在经过 t_{RPH} 时间后返回读取模式。如果扇区擦除操作被终止，一旦器件执行了复位操作，必须重新启动扇区擦除指令序列，以确保数据完整性。

受ASP DYB和PPB位或密码保护的扇区不会被擦除。请参见第17页**高级扇区保护 (ASP)**。如果多扇区擦除操作中包含有被保护的扇区，扇区擦除将跳过受保护的扇区，并继续对下一个扇区执行擦除。如果对受保护扇区的擦除失败，状态寄存器擦除状态位和扇区锁定位将不设置为1。欲了解参数和时序框图的信息，请参见第23页**嵌入式算法控制器 (EAC)**。受ASP DYB和PPB位保护的扇区不会被擦除。请参见17页**高级扇区保护 (ASP)**。

嵌入式操作

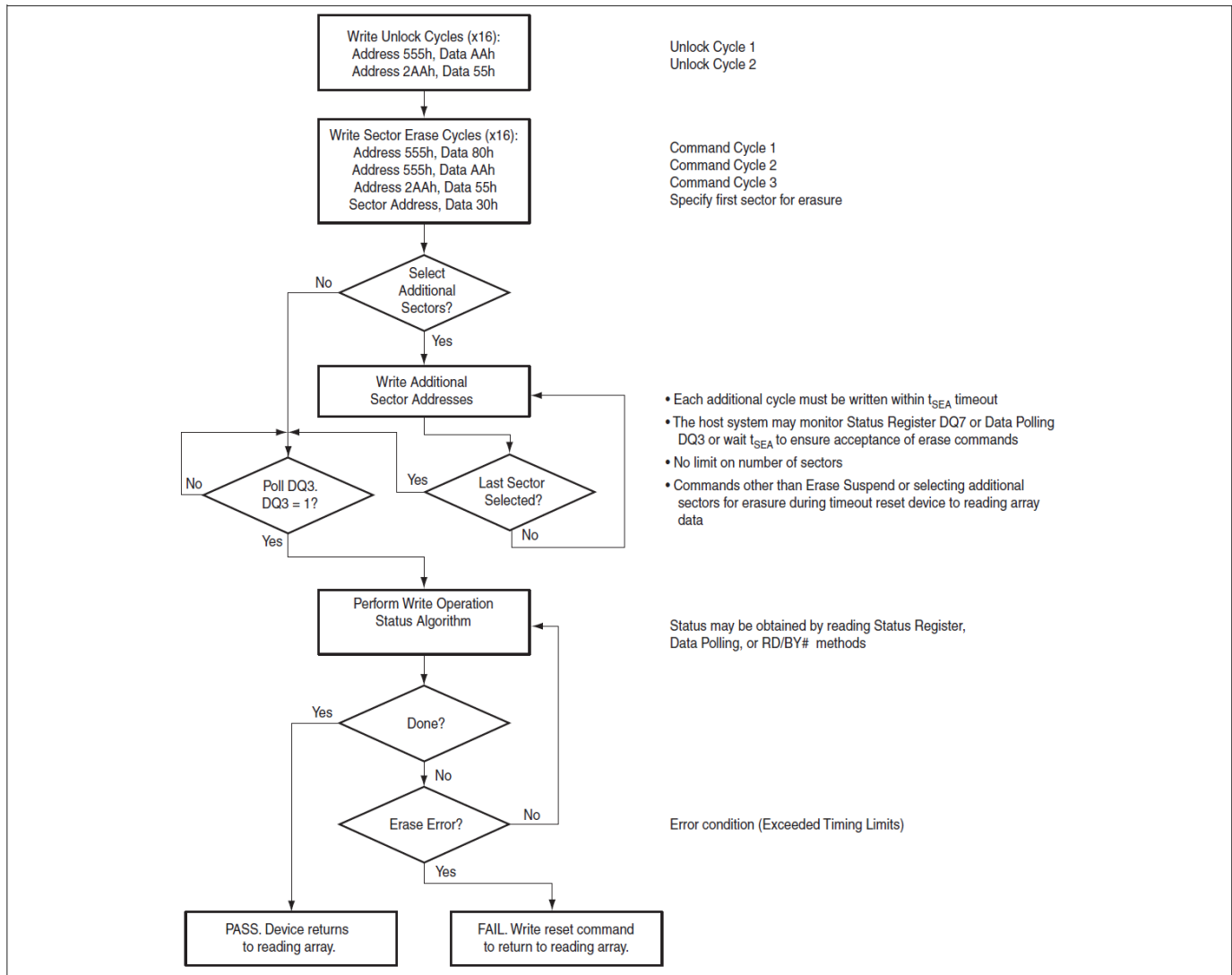


图 6 扇区擦除操作^[8]

注释:

8. 请参考x8总线周期的指令汇总。

5.4.8 擦除挂起/擦除恢复

擦除挂起指令允许系统中断扇区擦除操作，然后从主闪存阵列读取数据或向其编程数据。此指令仅在扇区擦除或编程操作期间有效。如果在芯片擦除操作期间写入擦除挂起指令，该指令将被忽略。

如果在扇区擦除操作期间写入擦除挂起指令，器件需要最多 t_{ESL} （擦除挂起等待时间）时间来挂起擦除操作并更新状态位。

擦除操作被挂起后，该部分进入擦除挂起模式。系统可以从主闪存阵列读取数据或向其编程数据。读取擦除挂起扇区中的地址会生成不确定的数据。系统可通过读取状态寄存器或使用数据轮询来确定扇区是正在擦除还是已挂起。有关这些状态位的信息，请参见第43页 [状态寄存器](#)。更多有关信息，请参考第45页 [数据轮询状态](#)。

擦除挂起的编程操作完成后，EAC返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态，就像在执行标准编程操作一样。

如果在擦除挂起期间编程操作失败，状态寄存器清除或软复位指令会使器件返回擦除挂起状态。在重新对擦除阵列编程之前，需要恢复并完成擦除操作。

在擦除挂起期间有效的存取和指令包括：

- 读取任何其他非挂起的扇区
- 编程任何其他非挂起的扇区
- 状态寄存器读取
- 状态寄存器清除
- 擦除恢复指令

为恢复扇区擦除操作，系统必须写入擦除恢复指令。器件将返回擦除状态，状态位将更新。进一步写入的恢复指令被忽略。在芯片恢复擦除后，方可写入另一个擦除挂起指令。

进入ASO后，不支持擦除挂起和恢复。

嵌入式操作

5.4.9 进入和退出ASO

5.4.9.1 ID-CFI ASO

系统可以通过在读取模式期间发出ID-CFI进入指令序列来进入ID-CFI ASO。欲了解详细信息，请参见表25。

ID-CFI ASO允许实现下列操作：

- 使用与进入指令中所用SA相同的SA读取ID-CFI ASO。
- 读取扇区地址（SA）+ 2h的扇区保护状态。2h地址提供与被寻址扇区的当前扇区保护状态相关的易失性信息。2h位置字的第0位显示与被寻址扇区相关的PPB和DYB位的逻辑与非。因此，如果扇区受到其PPB=0或DYB=0位的保护，则状态显示为受保护。（1= 扇区受保护，0= 扇区不受保护。）
- ASO退出。

下面是使用CFI进入和退出功能的C源代码示例。有关英飞凌闪存存储器软件开发指南的通用信息，请参见英飞凌底层驱动器用户指南。

```
/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x55 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */
```

5.4.9.2 状态寄存器ASO

状态寄存器ASO包含了一个嵌入式算法状态的易失性单字寄存器值。发出状态寄存器读取指令时，寄存器将（在WE#的上升沿上）捕获当前状态，并进入ASO。状态寄存器的内容将会出现在所有字位置上。第一次读取访问使系统退出状态寄存器ASO（在CE#或OE#的上升沿上），并将其返回到发出状态寄存器读取指令时所使用的地址空间映射。发出写入指令不会使器件退出状态寄存器ASO状态。

5.4.9.3 安全硅区域ASO

系统可以通过在读取模式期间发出安全硅区域进入命令序列来存取安全硅区域。此进入指令使用指令中的扇区地址（SA）来确定哪个扇区将被覆盖。

安全硅区域ASO允许实现下列操作：

- 读取安全硅区域。
- 通过使用字或写入缓冲区编程指令可以对客户安全硅区域进行编程。不能使用解锁省略指令和ACC。
- ASO退出使用传统安全硅区域退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。
- 使用SSR区域3读密码模式的建议流程如下所示：
- 在SSR区域3中编程您需要的数据。
- 将锁定寄存器位10清除为0，这样将不能再次执行编程操作。
- 编程SSR区域3密码。
- 将锁定寄存器位11清除为0，以使能SSR区域3密码功能。这样，在读取SSR区域3前，需要应用一个密码。

嵌入式操作

5.4.9.4 锁定寄存器ASO

系统可以通过在读取模式期间发出锁定寄存器进入指令序列来存取锁定寄存器。此进入指令不会使用进入指令中的扇区地址。锁定寄存器出现在器件地址空间中的字位置0。器件地址空间中的所有其他位置均为未定义。

锁定寄存器ASO允许下列活动：

- 使用器件地址0位置读取锁定寄存器。
- 使用修改版的字编程指令对用户锁定寄存器进行编程。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。

5.4.9.5 ECC 状态 ASO

系统可以通过在读取模式期间发出 ECC 状态 项命令序列来存取 ECC 状态 ASO。ECC 状态 ASO 提供特定页的 ECC 功能的使能或禁用状态，或者 ECC 逻辑是否纠正了所选页上的单独一位的错误。

ECC 状态 ASO 允许以下活动：

- 读取选定页的ECC状态。

5.4.9.6 密码ASO

系统可以通过在读取模式期间发出密码进入指令序列来存取密码ASO。此进入指令不会使用进入指令中的扇区地址。密码的位置是在器件地址空间中字位置0到3。器件地址空间中的所有其他位置均为未定义。

密码ASO允许下列操作：

- 使用器件地址位置0到3读取密码（如果未锁定）。
- 使用修改版的字编程指令对密码进行编程。
- 使用密码解锁指令解锁PPB锁定位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。

5.4.9.7 PPB ASO

系统可以通过在读取模式期间发出PPB进入指令序列来存取PPB ASO。此进入指令不会使用进入指令中的扇区地址。扇区的PPB位出现在扇区中所有字位置的位0。

PPB ASO允许下列操作：

- 在扇区中任意字的位0读取扇区的PPB保护状态。
- 使用修改版的字编程指令对PPB位进行编程。
- 使用PPB擦除指令擦除所有PPB位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。

嵌入式操作

5.4.9.8 PPB锁定ASO

系统可以通过在读取模式期间发出PPB锁定进入指令序列来存取PPB锁定ASO。此进入指令不会使用进入指令中的扇区地址。全局PPB锁定位出现在器件中所有字位置的位0。

PPB锁定ASO允许下列操作：

- 在器件地址空间中任意字的位0读取PPB锁定保护状态。
- 使用修改版的字编程指令设置PPB锁定位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。

5.4.9.9 DYB ASO

系统可以通过在读取模式期间发出DYB进入指令序列来存取DYB ASO。此进入指令不会使用进入指令中的扇区地址。扇区的DYB位出现在扇区中所有字位置的位0。

DYB ASO允许下列操作：

- 在扇区中任意字的位0读取扇区的DYB保护状态。
- 使用修改版的字编程指令设置DYB位。
- 使用修改版的字编程指令清除DYB位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- ASO退出也可以使用ASO通用退出指令，以实现一致的退出方式。

5.4.9.10 软件（指令）复位/ASO退出

软件复位是指令集的一部分（参见表23），也可使EAC返回待机状态，在下列情况下必须使用：

- 退出ASO模式
- 发生超时时清除数据轮询的超时位（DQ5）

软件复位不影响EA模式。编程或擦除已经开始后，在操作完成前，软件复位指令将一直被忽略。软件复位不影响输出；其主要作用是从ASO模式或者从失败的编程或擦除操作返回读取模式。

软件复位可以使未定义的状态（因指令序列无效而造成）返回读取模式。不过，从某些未定义状态返回正常操作可能需要硬件复位。

软件复位没有等待时间要求。软件复位指令在 t_{WPH} 期间执行。

5.4.9.11 连续性检查功能

通过连续性检查功能，可以对从封装连接器到每个晶片焊盘和DDP中的各个单独晶片间的连接进行基本测试。该功能是传统的解锁周期序列的扩展，可以在开始执行某些指令时使用该功能。解锁序列包括两个写操作，其中1和0格式在地址和数据线的低部分上进行交换，而且该格式在第一和第二个写操作之间进行反转。要想执行连续性检查功能，需要扩展这些格式，从而包含所有地址（Amax转换到0）和数据线（DQ15转换到0）。一个逻辑比较电路寻找在两个写周期间进行反转的1和0格式。

在DDP情况下，可以使用A26输入来选择将要执行写操作的晶片。当检测到正确格式时，状态寄存器位0将被设置为1。状态寄存器清除指令会将状态寄存器位清除为0。

下表显示的是以下模式下单晶片的连续性检查序列（例如，GL01GT）：x16模式。

表 14 单晶片的连续性检查序列

Phase	Access type	Address A26	Address A25 to A0	Data	Comment
Set-up	Write	N/A	XXXX555	XX71	Clear die zero status
	Write	N/A	555	XX70	Write Status Register Read command to die zero
	Read	N/A	x	RD	Read status from die zero to confirm status bit zero = 0
Continuity pattern	Write	N/A	2AAAA55	FF00	First continuity cycle
	Write	N/A	15555AA	00FF	Second continuity cycle
Verify continuity pattern detected	Write	N/A	555	XX70	Write Status Register Read command to die zero
	Read	N/A	x	RD	Read status from die zero to confirm status bit zero = 1 for continuity pattern detected

下表显示的是以下模式下单晶片的连续性检查序列（例如，GL01GT）：x8模式。

表 15 单晶片的连续性检查序列

Phase	Access type	Address A26	Address A25 to A1	Data	Comment
Set-up	Write	N/A	XXXX555	71	Clear die zero status
	Write	N/A	AAA	70	Write Status Register Read command to die zero
	Read	N/A	x	RD	Read status from die zero to confirm status bit zero = 0
Continuity pattern	Write	N/A	55554AB	FF	First continuity cycle
	Write	N/A	2AAAB54	00	Second continuity cycle
Verify continuity pattern detected	Write	N/A	555	70	Write Status Register Read command to die zero
	Read	N/A	x	RD	Read status from die zero to confirm status bit zero = 1 for continuity pattern detected

5.5 状态监控

EA状态有三种监控方法。前几代S29GL闪存系列使用的方法称为数据轮询和就绪/忙碌# (RY/BY#) 信号。S29GL-T系列仍支持这些方法。另外一个方法是读取状态寄存器。

5.5.1 状态寄存器

编程和擦除操作的状态由一个16位状态寄存器提供。写入状态寄存器读取指令后，将对状态寄存器的内容进行一次读取。发出状态寄存器读取指令时，寄存器将（在WE#的上升沿上）捕获当前状态，并进入ASO。状态寄存器的内容在器件地址空间的所有位置内均为别名（被覆盖）。对状态寄存器ASO中进行的有效读（CE#和OE#为低电平）访问可使系统退出ASO（在CE#或OE#的上升沿上，在 t_{CEPH}/t_{OEPH} 时间内），并将其返回到发出状态寄存器读取指令时所使用的地址空间映射。在x8模式下，如果将CE#和OE#保持为低电平，并且在A1上进行了一次切换，则可以通过一个状态寄存器进入指令读取整个状态寄存器（高位字节和低位字节）。写操作被忽略，并且器件处于状态寄存器ASO模式。状态寄存器包含与结果相关的位 – 成功或失败 – 与最近完成的嵌入式算法（EA）：

- 擦除状态（位5），
- 编程状态（位4），
- 写入缓冲区异常终止（位3），
- 扇区锁定状态（位1），
- 检测到连续性检查模型（位0）。

以及，与正在执行的EA的当前状态相关的位：

- 器件繁忙（位7），
- 擦除挂起（位6），
- 编程挂起（位2），

当前状态位表明EA状态：正在进行、挂起或已完成。

高8位（位15:8）保留。它们的值（高或低）不确定，每次状态读取的值不一定相同。软件读取状态时，这些位应忽略，而不用考虑。

如果状态寄存器位3为0，则软复位指令将状态寄存器的位[5、4、1、0]清除为0，但不会影响当前的状态位。清除状态寄存器指令将状态寄存器的位[5、4、3、1、0]清除为0，但并不影响当前状态位。

表 16 状态寄存器

Bit #	15:8	7	6	5	4	3	2	1	0
Bit description	Reserved	Device ready bit	Erase suspend status bit ^[9]	Erase status bit ^[10]	Program status bit ^[11, 12]	Write buffer abort status bit	Program suspend status bit ^[13]	Sector lock status bit ^[14, 15]	Continuity check
Bit name	Note 18	DRB	ESSB	ESB	PSB	WBASB	PSSB	SLSB	CC
Reset status ^[16, 17]	X	1	0	0	0	0	0	0	0
Busy status	Invalid	0	Invalid	Invalid	Invalid	Invalid	Invalid	Invalid	Invalid
Ready status	X	1 ^[19, 20, 21]	0 = No erase in suspension ^[22] 1 = Erase in suspension	0 = Erase successful 1 = Erase fail	0 = Program successful 1 = Program fail	0 = Program not aborted 1 = Program aborted during Write to Buffer command	0 = No program in suspension 1 = Program in suspension	0 = Sector not locked during operation 1 = Sector locked error	0 = Continuity check pattern not detected 1 = Continuity check pattern detected

注释：

9. 在擦除挂起期间，将忽略对挂起扇区或队列中的扇区进行编程操作，而且不会报告错误。
10. ESB反映最近擦除操作成功或失败。
11. PSB反映最近编程操作成功或失败。
12. 发出编程挂起指令时，用户必须继续读取状态，直到DRB变为1为止。
13. 通过“恢复编程”指令可将 PSSB 清除为“0”。
14. SLSB指明编程或擦除操作因扇区锁定而失败。
15. SLSB反映最近编程或擦除操作的状态。
16. 冷复位或热复位可将所有位置于它们的复位状态。
17. 通过清除状态寄存器命令或复位命令可将第 5、4、3 和 1 位清除为“0”。
18. 位15到位8保留给将来使用，它们可能显示为0或1。检查状态时，应该忽略（屏蔽）这些位。
19. 当器件中没有嵌入式算法正在执行时，位7为1。
20. 仅当位7是1时，位6到位1才有效。
21. 发出擦除挂起指令时，用户必须继续读取状态，直至DRB变为1。
22. 通过“恢复擦除”指令可将 ESSB 清除为“0”。

5.5.2 数据轮询状态

在活动的嵌入式算法期间，EAC自动切换到数据轮询ASO，此时任何读取访问显示的都是EA状态。状态信息的单个字在器件地址空间的所有位置均为别名。在状态字中，有多个位用于确定EA的状态。这些被看作是DQ位，当EA正在执行时，它们在读取访问期间出现在数据总线上。DQ位15到位8、DQ4和DQ0被保留，它们提供未定义的数据。状态监控软件必须屏蔽保留的位，而不用考虑它们。在x8模式下，当执行数据轮询时，A1将被忽略。表17和后续小节介绍了剩余位的功能。

5.5.2.1 DQ7: Data#轮询

Data#轮询位DQ7向主机系统指明嵌入式算法是正在执行中还是已完成。Data#轮询在编程或擦除指令序列中最后WE#脉冲的上升沿之后生效。请注意，对于写入缓冲区编程，Data#轮询只对编程期间写入缓冲区页面内正在编程的最后一个字有效。如果对写入缓冲区页面中正在编程的最后一个字之外的任何字读取Data#轮询状态，将返回错误的状态信息。

在嵌入式编程算法期间，器件在DQ7输出为DQ7编程的数据位的补码。此DQ7状态还应用于擦除挂起期间编程操作的状态检查。当嵌入式编程算法完成时，器件输出为编程的最后一个字的位7编程的数据位。在编程挂起情况下，器件只允许读取阵列数据。如果编程地址位于受保护的扇区内，则DQ7上的Data#轮询在 t_{DP} 时间内有效，然后该器件返回读取阵列数据。

在嵌入式擦除、评估擦除状态或空白检查算法期间，Data#轮询在DQ7上生成0。当算法完成时，或者如果器件进入擦除挂起模式，Data#轮询在DQ7上生成1。这与为嵌入式编程算法介绍的补码/真数据输出相似：擦除功能将扇区中的所有位变成1；在此之前，器件输出补码或0。系统必须提供一个位于所选擦除扇区内的地址，以读取DQ7上的有效状态信息。

写入擦除指令序列后，如果所选擦除扇区受到保护，DQ7上的Data#轮询将在 t_{DP} 时间内有效，然后器件返回读取阵列数据。

在嵌入式编程或擦除操作完成前，当输出使能（OE#）为低电平时，DQ7可能与DQ6-DQ0异步变化。即，器件可能从提供状态信息变为在DQ7上提供有效数据。根据系统对DQ7输出进行采样的时间，可能读取状态或有效数据。即使器件已完成编程或擦除操作并且DQ7为有效数据，DQ6-DQ0上的数据输出仍可能无效。DQ7-DQ0上的有效数据出现在后续的读取循环。

当系统检测到DQ7已从补码变成真数据时，它可以在随后读取周期在DQ15-DQ0（x8模式下的DQ7-DQ0）上读取有效数据。这是因为当输出使能（OE#）保持低电平时，DQ7可能与DQ6-DQ0异步变化，如图29所示。图17显示的是DQ7上Data#轮询的输出。图4显示的是写入缓冲区编程所使用的Data#轮询算法。

有效的DQ7数据轮询状态只能从下列各项读取：

- 写入缓冲区编程操作中加载到写入缓冲区的最后一个字的地址；
- 单个字编程操作的位置；
- 正在执行擦除、评估擦除状态或空白检查的扇区中的地址；
- 或者芯片擦除期间任何扇区中的地址。

嵌入式操作

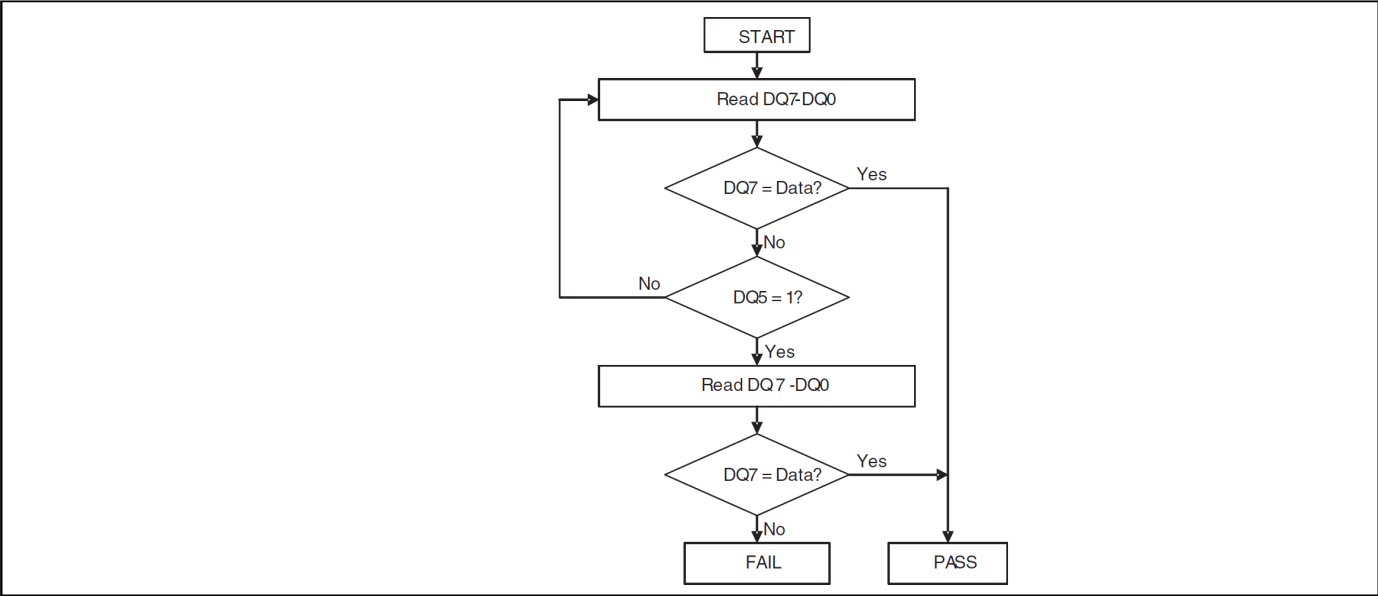


图 7 Data#轮询算法^[23]

注释:

23. 由于DQ7可能与DQ5同时改变，因此即使DQ5 = 1，也应重新检查DQ7。

嵌入式操作

5.5.2.2 DQ6：切换位I

DQ6上的切换位I指明嵌入式编程或擦除算法是正在执行还是已完成，或者器件是否已进入编程挂起或擦除挂起模式。切换位I可在任意地址读取，在指令序列最后WE#脉冲的上升沿之后（编程或擦除操作之前）生效。

在嵌入式编程或擦除算法操作期间，对任何地址的连续读取循环会导致DQ6切换。（系统可以使用OE#或CE#控制读取周期）。当操作完成时，DQ6停止切换。

写入擦除指令序列后，如果所选擦除扇区受到保护，DQ6将在 t_{DP} 时间内进行切换，然后EAC返回待机（读取模式）。如果所选扇区不受保护，嵌入式擦除算法擦除不受保护的扇区。

系统可以同时使用DQ6和DQ2来确定扇区是正在擦除还是擦除挂起。当器件正在擦除时（即嵌入式擦除算法正在执行中），DQ6切换。当器件进入编程挂起模式或擦除挂起模式时，DQ6停止切换。不过，系统还必须使用DQ2来确定哪个扇区正在擦除或擦除挂起。此外，系统还可以使用DQ7（请参考第45页**DQ7：Data#轮询**）。

DQ6在擦除挂起编程模式下也会切换，当嵌入式编程算法完成时停止切换。

表17显示的是DQ6行上切换位I的输出。**图8**以流程图形式显示切换位算法，而第48页**读取转换位DQ6/DQ2**说明了该算法。**图8**显示的是切换位时序框图。另请参阅第47页**DQ2：切换位II**。

5.5.2.3 DQ3：扇区擦除定时器

写入扇区擦除指令序列后，系统可以读取DQ3以确定是否已开始擦除。更多信息，请参考第36页**扇区擦除**。（扇区擦除定时器不适用于芯片擦除指令。）如果选择附加扇区进行擦除，整个超时在每个附加扇区擦除指令后也适用。当超时期间结束时，DQ3从0切换到1。如果系统附加扇区擦除指令之间的时间小于 t_{SEA} ，则系统不需要监控DQ3。

扇区擦除指令写入后，系统应读取DQ7（Data#轮询）或DQ6（切换位I）的状态以确保器件已接受指令序列，然后读取DQ3。如果DQ3是1，则嵌入式擦除算法已开始；所有进一步指令（擦除挂起除外）会被忽略，直至擦除操作完成。如果DQ3是0，器件会接受附加扇区擦除指令。为确保指令已接受，系统软件应在每个后续扇区擦除指令之前和之后检查DQ3的状态。如果DQ3在第二次状态检查时为高电平，则最后一个指令可能尚未被接受。**表17**显示相对于其他状态位的DQ3状态。

5.5.2.4 DQ2：切换位II

DQ2上的切换位II与DQ6一起使用时，指明特定的扇区是正在擦除（即嵌入式擦除算法正在执行）还是擦除挂起。切换位II在指令序列中最后WE#脉冲的上升沿之后生效。

当系统读取所选擦除扇区（或在多扇区擦除期间为擦除操作选择的所有扇区）内的地址时，DQ2将切换。（系统可以使用OE#或CE#控制读取周期）。但DQ2无法区分扇区是正在擦除还是擦除挂起。相对的，DQ6通过比较，指明器件是正在擦除还是擦除挂起，但无法区分选择的扇区是否正在擦除或擦除挂起的扇区。因此，扇区和模式信息需要两个状态位。请参见**表17**以比较DQ2和DQ6的输出。**图7**以流程图形式显示切换位算法，并且第48页上的**读取转换位DQ6/DQ2**说明了该算法。**图8**显示了切换位的时序图。

5.5.2.5 读取转换位DQ6/DQ2

关于下面的讨论，请参见图7。每当系统开始读取切换位状态时，它必须连续读取DQ7-DQ0至少两次，以确定切换位是否切换。通常，系统在第一次读取后会记录和存储切换位的值。第二次读取后，系统会比较切换位的新值和前一个值。如果切换位未切换，则器件已完成编程或擦除操作。系统可以在随后的读取周期读取DQ15-DQ0（x8模式下的DQ7-DQ0）上的阵列数据。

不过，如果最初两个读取循环后，系统确定切换位仍切换，系统也应注意DQ5的值是否为高（请参考第49页**DQ5：超时限制**）。若是，系统随后应再次确定切换位是否切换，因为DQ5变为高后切换位可能停止切换。如果切换位不再切换，则器件已成功完成编程或擦除操作。如果它仍切换，则器件未成功完成操作，系统必须写入复位指令以返回读取阵列数据。建议将用于轮询目的的数据读取专用于轮询目的。一旦该切换停止，便能够对阵列数据进行后续读取。

其余情况是系统在最初确定切换位正在切换，并且DQ5尚未变为高。系统可能通过后续读取循环继续监控切换位和DQ5，以确定状态，如前一段所述。此外，它可以选择执行其他系统任务。在此情况下，当系统返回以确定操作状态时，必须在算法开始处启动（图8）。

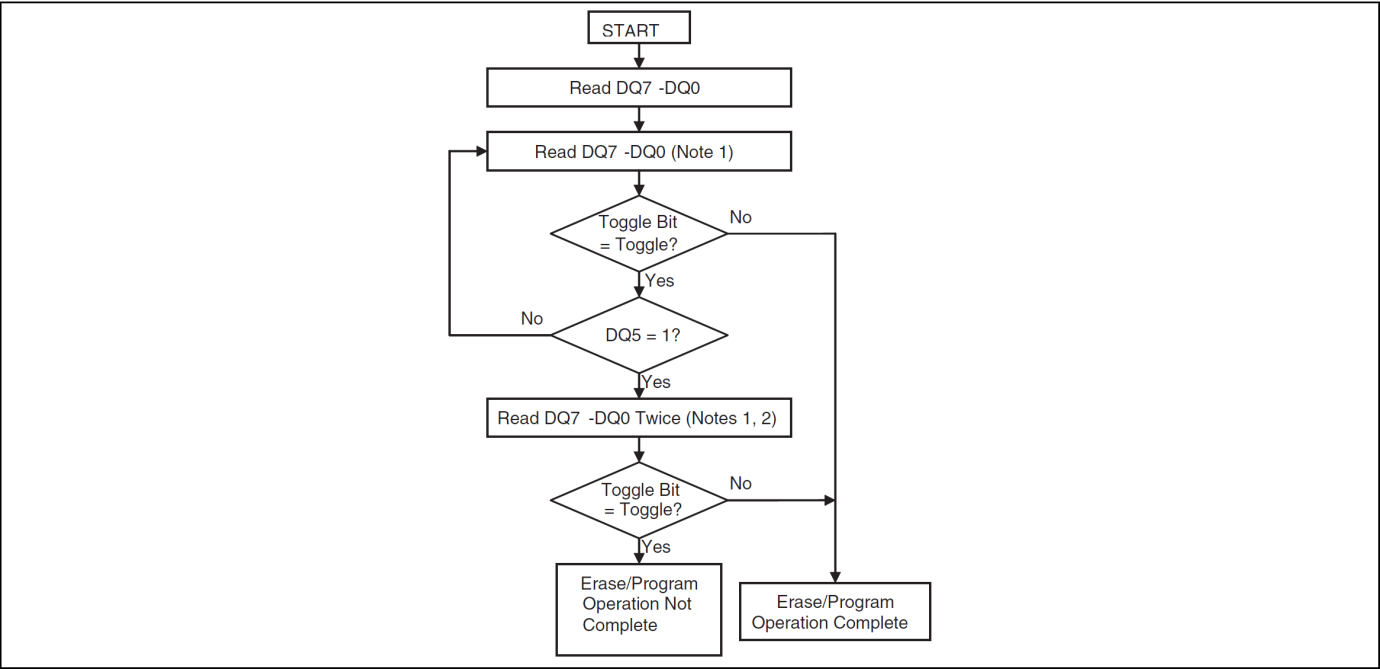


图 8 切换位程序^[24、25]

注释：

- 24. 读取切换位两次可确定其是否切换。参见正文。
- 25. 切换位可能随着DQ5变为1而停止切换，因此需重新检查。参见文字说明。参见正文。

嵌入式操作

5.5.2.6 DQ5：超时限制

DQ5指明编程或擦除时间是否超出了指定的内部脉冲计数限制。在这些情况下，DQ5生成“1”，以指明编程或擦除周期未成功完成。系统必须发出复位命令，以使器件返回阵列数据读取模式。

发生超时，软件必须发出软复位或状态寄存器复位命令以清除超时位（DQ5）并使EAC返回初始状态。在此情况下，在复位命令发出后闪存有可能继续通信忙碌最多 t_{TOR} 时间。

5.5.2.7 DQ1：写入到缓冲区终止

DQ1指明写入到缓冲区操作是否已终止。在这些情况下，DQ1生成“1”。系统必须发出写入到缓冲区终止复位命令序列或状态寄存器擦除命令，以使EAC返回待机（读取模式）并清除状态寄存器失败位。更多信息，请参考第28页[写入缓冲区编程](#)。

表 17 数据轮询状态

Operation		DQ7 ^[27]	DQ6	DQ5 ^[26]	DQ3	DQ2 ^[27]	DQ1 ^[29]	RY/BY#
Standard Mode	Embedded Program Algorithm	DQ7#	Toggle	0	N/A	No Toggle	0	0
	Reading within Erasing Sector ^[30]	0	Toggle	0	1	Toggle	N/A	0
	Reading Outside erasing Sector ^[30]	0	Toggle	0	1	No Toggle	N/A	0
Program Suspend Mode ^[28]	Reading within Program Suspended Sector	INVALID (Not allowed)	INVALID (Not allowed)	INVALID (Not allowed)	INVALID (Not allowed)	INVALID (Not allowed)	INVALID (Not allowed)	1
	Reading within Non-Program Suspended Sector	Data	Data	Data	Data	Data	Data	1
Erase Suspend Mode ^[32]	Reading within Erase Suspended Sector	1	No Toggle	0	N/A	Toggle	N/A	1
	Reading within Non-Erase Suspend Sector	Data	Data	Data	Data	Data	Data	1
	Programming within Non-Erase Suspended Sector	DQ7#	Toggle	0	N/A	N/A	N/A	0
Write-to-Buffer ^[29, 31]	BUSY State	DQ7#	Toggle	0	N/A	No Toggle	0	0
	Exceeded Timing Limits	DQ7#	Toggle	1	N/A	N/A	0	0
	ABORT State	DQ7#	Toggle	0	N/A	N/A	1	0

注释：

26. 当嵌入式编程或嵌入式擦除操作超出了最大时间限制时，DQ5变为“1”。有关的详细信息，请参见第49页[DQ5：超时限制](#)。
27. 读取状态信息时，DQ7和DQ2需要一个有效的地址。有关的详细信息，请参见相应的小节。
28. 编程挂起行中地址的数据是无效的。可对所有地址（除编程挂起行中的地址之外）进行读取，以获得有效数据。
29. DQ1指明在写入缓冲区编程操作期间的写入到缓冲区终止状态。
30. 多扇区擦除期间，加载最后的一个扇区后，DQ3在50 μ s中保持为“0”。
31. 仅针对编程操作。
32. 当某一挂起扇区处于SECSI模式时，如果在该模式下启动了某一编程操作，那么在嵌入式操作期间，DQ6会切换，DQ2则不切换。

5.6 错误类型和清除步骤

嵌入式操作状态方法报告的错误类型有三种。根据错误类型，报告的状态和清除错误状态的步骤会有所不同。下面是错误清除后的状态：

- 如果在错误发生之前器件进入了ASO，它保持进入该状态，等待ASO读取或命令写入。
- 如果在错误发生之前一个擦除操作被挂起，器件会返回擦除挂起状态，等待闪存阵列读取或命令写入。
- 否则，器件将处于待机状态，等待闪存阵列读取或命令写入。

5.6.1 嵌入式操作错误

如果在嵌入式操作（编程、擦除、空白检查、或密码解锁）期间发生错误，器件（EAC）保持忙碌状态。RY/BY#输出保持低电平，所有地址位置继续处于数据轮询状态，状态寄存器显示准备就绪和有效的状态位。器件一直忙碌，直到主机系统状态监控检测到错误状态并且错误状态被清除为止。

在嵌入式算法错误状态期间，数据轮询状态将显示如下：

- DQ7是加载到写入缓冲区的最后一个字（密码解锁命令时是密码的最后一个字）中DQ7位的求反。DQ7 = 0时，擦除，评估擦除状态或空白检查失败
- DQ6 继续切换
- DQ5 = 1；嵌入式操作失败
- DQ4 是保留位（RFU），无需关注（屏蔽）
- DQ3 = 1指明正在进行嵌入式扇区擦除操作；= 0则指明正在进行嵌入式编程操作
- DQ2继续切换，与用于读取状态的地址无关
- DQ1 = 0；写入缓冲区终止错误
- DQ0是保留位（RFU），无需关注（屏蔽）

在嵌入式算法错误状态期间，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在EA错误期间可能是或不是擦除挂起
- SR[5] = 1；指明擦除或空白检查错误；其他情况 = 0
- SR[4] = 1；指明编程或密码解锁错误；其他情况 = 0
- SR[3] = 0；写入缓冲区终止
- SR[2] = 0；编程挂起
- SR[1] = 0；扇区受保护
- SR[0] = X；RFU 保留，无需关注（屏蔽）

当检测到嵌入式算法错误状态时，必须清除错误状态，以便返回正常操作，RY/BY#为高，为新读取或命令写入做好准备。错误状态可通过写入下列命令来清除：

- 复位命令
- 状态寄存器清除命令

嵌入式操作

在嵌入式算法错误状态期间可接受的命令包括：

- 状态寄存器读取
- 复位命令
- 状态寄存器清除命令

5.6.2 保护错误

如果嵌入式算法尝试更改受保护区域的数据（编程或擦除受保护的扇区或OTP区域），器件（EAC）会进入忙碌状态 t_{DP} 时间，然后返回正常操作。在忙碌期间，RY/BY#输出保持低电平，所有地址位置继续处于数据轮询状态，状态寄存器显示未准备就绪和无效的状态位（SR[7] = 0）。

在保护错误状态忙碌期间，数据轮询状态将显示如下：

- DQ7是加载到写入缓冲区的最后一个字中DQ7位的求反。DQ7 = 0表示擦除失败
- DQ6 继续切换，与用于读取状态的地址无关
- DQ5 = 0；指明在忙碌期间嵌入式操作没有失败
- DQ4 是保留位（RFU），无需关注（屏蔽）
- DQ3 = 1指明正在执行嵌入式扇区擦除
- DQ2 继续切换，与用于读取状态的地址无关
- DQ1 = 0；写入缓冲区终止错误
- DQ0 是保留位（RFU），无需关注（屏蔽）

在保护错误状态忙碌期间可接受的命令包括：

- 状态寄存器读取

忙碌期间结束时，器件返回正常操作，数据轮询状态不再存在，RY/BY#为高，状态寄存器显示准备就绪和有效状态位。器件已准备好对闪存阵列执行新读取或写入命令。

经过保护错误状态忙碌期间后，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在保护错误忙碌期间后可能是或不是擦除挂起
- SR[5] = 1；指明擦除错误，其他情况 = 0
- SR[4] = 1；指明编程错误，其他情况 = 0
- SR[3] = 0；编程未终止
- SR[2] = 0；没有编程挂起
- SR[1] = 1；因尝试更改受保护的位置而发生错误
- SR[0] = X；RFU 保留，无需关注（屏蔽）

经过保护错误状态忙碌期间后可接受的命令包括：

- 任何命令

5.6.3 写入缓冲区终止

如果在执行写入到缓冲区命令期间发生错误，器件（EAC）会保持忙碌状态。RY/BY#输出保持低电平，所有地址位置继续处于数据轮询状态，状态寄存器显示准备就绪和有效的状态位。器件一直忙碌，直到主机系统状态监控检测到错误状态并且错误状态被清除为止。

在写入到缓冲区终止（WBA）错误状态期间，数据轮询状态将显示如下：

- DQ7是加载到写入缓冲区的最后一个字中DQ7位的求反
- DQ6继续切换，与用于读取状态的地址无关
- DQ5 = 0；指明编程操作没有失败。WBA是在编程操作可以开始之前写入到缓冲区命令输入的值中的一个错误
- DQ4 是保留位（RFU），无需关注（屏蔽）
- 编程操作后，由于没有执行任何擦除操作，无需关注DQ3。如果擦除操作挂起后，开始执行一个写入缓冲区操作，则DQ3将为“1”。如果未执行任何擦除操作，则DQ3为无需关注项，并应被屏蔽。
- 由于编程操作后，没有执行任何擦除操作，DQ2不切换。如果擦除操作挂起后，开始执行一个写入缓冲区编程操作，则DQ2将仅在擦除操作挂起的扇区内切换。如果未执行任何擦除操作，则DQ2为无需关注，并应被屏蔽。
- DQ1 = 1：写入缓冲区终止错误DQ0是保留，无需关注（屏蔽）
- DQ0是保留位（RFU），无需关注（屏蔽）

在写入到缓冲区终止（WBA）错误状态期间，状态寄存器将显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在WBA错误状态期间可能是或不是擦除挂起
- SR[5] = 0；擦除成功
- SR[4] = 1；与编程相关的错误
- SR[3] = 1；写入缓冲区终止
- SR[2] = 0；没有编程挂起
- SR[1] = 0；在操作期间扇区未锁定
- SR[0] = X；RFU 保留，无需关注（屏蔽）

当检测到WBA错误状态时，必须清除错误状态，以便返回正常操作，RY/BY#为高，为新读取或命令写入做好准备。可通过写入下列命令来清除错误状态，并使器件返回到正常操作：

- 写入缓冲区终止复位命令
- 状态寄存器清除命令
- 在写入到缓冲区终止（WBA）错误状态期间可接受的命令包括：
 - 状态寄存器读取
 - 读取状态寄存器并返回WBA忙碌状态
- 写入缓冲区终止复位命令
- 状态寄存器清除命令

5.7 嵌入式算法性能表

联合电子器件工程委员会（JEDEC）标准JESD22-A117根据一个合格规范对执行耐久性和保持时间测试的步骤要求进行了定义。该测试的目的在于确定闪存器件在无失败的条件下保持重复的数据更改的能力（写入/擦除耐久性）和在预期时间内保持数据的能力（数据保持）。耐久性和数据保持合格规范在JESD47中指定，也可以通过知识库方法进行开发，如JESD94中所示。

嵌入式操作

表 18 嵌入式算法特性 (-40°C ~ +85°C)

Parameter		Min	Typ ^[34]	Max ^[35]	Unit	Comments
Sector Erase Time 128 KB		–	535	3500	ms	Includes pre-programming prior to erasure ^[37]
Chip Erase	GL512T	–	274	1792 ^[33]	s	
	GL01GT	–	548	3584 ^[33]	s	
Single Word Programming Time ^[33]		–	160	750	μs	
Buffer Programming Time	2-byte ^[33]	–	160	750	μs	
	32-byte ^[33]	–	195	750		
	64-byte ^[33]	–	219	750		
	128-byte ^[33]	–	258	750		
	256-byte ^[33]	–	327	750		
	512-byte ^[36]	–	451	750		
Effective Write Buffer Program Operation per Word	512-byte	–	1.76	–	μs	
Sector Programming Time 128 KB (full Buffer Programming)		–	115.4	192	ms	See Note [38].
Erase Suspend Latency (t _{ESL})		–	–	40	μs	
Program Suspend Latency (t _{PSL})		–	–	40	μs	
Erase Resume to next Erase Suspend (t _{ERS})		–	100	–	μs	Minimum of 60 μs but ≥ typical periods are needed for Erase to progress to completion.
Program Resume to next Program Suspend (t _{PRS})		–	100	–	μs	Minimum of 60 μs but ≥ typical periods are needed for Program to progress to completion.
Evaluate Erase Status (t _{EES})		–	25	30	μs	
Blank Check		–	6.2	8.5	ms	
NOP (Number of Program-operations, per Line)		–	–	256		

注释:

33. 并非100%经过了测试。

34. 典型的编程和擦除时间假设使用以下条件：温度 = 25°C，3.0 V V_{CC}，10,000次循环，使用随机数据图案。

35. 有效的写入缓冲区规范基于512字节写入缓冲区操作。

36. 512字节的加载不受x8模式的支持。

37. 在嵌入式擦除算法的预编程步骤，在扇区和芯片擦除前所有字均编程为0000h。

38. 系统级开销是执行编程命令的总线循环序列所需要的时间。

欲了解命令定义的信息，请参见表23。

嵌入式操作

表 19 嵌入式算法特性 (-40°C ~ +105°C)

Parameter		Min	Typ ^[40]	Max ^[41]	Unit	Comments
Sector Erase Time 128 KB		–	535	3500	ms	Includes pre-programming prior to erasure (See Note 43)
Chip Erase	GL512T	–	274	1792 ^[39]	s	
	GL01GT	–	548	3584 ^[39]		
Single Word Programming Time ^[39]		–	160	1050	μs	
Buffer Programming Time	2-byte ^[39]	–	160	1050	μs	
	32-byte ^[39]	–	195	1050		
	64-byte ^[39]	–	219	1050		
	128-byte ^[39]	–	258	1050		
	256-byte ^[39]	–	327	1050		
	512-byte ^[39]	–	451	1050		
Effective Write Buffer Program Operation per Word	512-byte	–	1.76	–	μs	
Sector Programming Time 128 kB (full Buffer Programming)		–	115.4	269	ms	See Note 44.
Erase Suspend Latency (t _{ESL})		–	–	50	μs	
Program Suspend Latency (t _{PSL})		–	–	50	μs	
Erase Resume to next Erase Suspend (t _{ERS})		–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for Erase to progress to completion.
Program Resume to next Program Suspend (t _{PRS})		–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for Program to progress to completion.
Evaluate Erase Status (t _{EES})		–	25	30	μs	
Blank Check		–	7.6	9.0	ms	
NOP (Number of Program-operations, per Line)		–	–	1 per 16 word		

注释:

39. 并非100%经过了测试。

40. 编程和擦除的典型时间假设使用以下条件：温度 = 25°C，3.0 V V_{CC}，10,000次循环，使用交错式数据图案。

41. 有效的写入缓冲区规范基于512字节写入缓冲区操作。

42. x8模式不支持512字节的加载。

43. 在嵌入式擦除算法的预编程步骤，在扇区和芯片擦除前所有字均编程为0000h。

44. 系统级开销是执行编程命令的总线循环序列所需要的时间。

欲了解命令定义的信息，请参见表23。

嵌入式操作

表 20 嵌入式算法特性 (-40°C ~ +125°C)

Parameter		Min	Typ ^[46]	Max ^[47]	Unit	Comments
Sector Erase Time 128 KB		–	535	3500	ms	
Chip Erase	GL512T	–	274	1792 ^[45]	s	Includes pre-programming prior to erasure ^[49]
	GL01GT	–	548	3584 ^[45]	μs	
Single Word Programming Time ^[45]		–	160	1050	μs	
Buffer Programming Time	2-byte ^[45]	–	160	1050		
	32-byte ^[45]	–	195	1050		
	64-byte ^[45]	–	219	1050		
	128-byte ^[45]	–	258	1050		
	256-byte ^[45]	–	327	1050		
	512-byte ^[45]	–	451	1050		
Effective Write Buffer Program Operation per Word	512-byte	–	1.76	–	μs	
Sector Programming Time 128 kB (full Buffer Programming)		–	115.4	269	ms	See Note [50].
Erase Suspend Latency (tESL)		–	–	50	μs	
Program Suspend Latency (tPSL)		–	–	50	μs	
Erase Resume to next Erase Suspend (tERS)		–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for Erase to progress to completion.
Program Resume to next Program Suspend (tPRS)		–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for Program to progress to completion.
Evaluate Erase Status (tEES)		–	25	30	μs	
Blank Check		–	7.6	9.0	ms	
NOP (Number of Program-operations, per Line)		–	–	1 per 16 word		

注释：

45. 并非100%经过了测试。
46. 编程和擦除的典型时间假设使用以下条件：温度 = 25°C，3.0 V VCC，1000次擦写，使用随机数据图案。
47. 有效的写入缓冲区规范基于512字节写入缓冲区操作。
48. x8模式不支持512字节的加载。
49. 在嵌入式擦除算法的预编程步骤中，扇区和芯片擦除前所有字均被编程为0000h。
50. 系统级开销是执行编程命令的总线循环序列所需要的时间。
欲了解命令定义的信息，请参见表23。

数据完整性

6 数据完整性

6.1 擦除耐久性

表 21 擦除耐久性

Parameter	Minimum	Unit
Program/erase cycles per main flash array sectors	100K	P/E cycle
Program/erase cycles per PPB array or non-volatile register array ^[51]	100K	P/E cycle

6.2 数据保留

表 22 数据保留

Parameter	Test conditions	Minimum time	Unit
Data retention time	1K program/erase cycles	20	Years
	10K program/erase cycles	2	Years
	100K program/erase cycles	0.2	Years

有关数据完整性的更多信息，请联系英飞凌销售或 FAE 代表。

注释：

51. 每一条写入非易失性寄存器的指令都会导致整个非易失性寄存器阵列进入一个编程/擦除周期。
OTP 位和寄存器内置一个单独的阵列中，不进行编程/擦除周期。

7 软件接口参考

7.1 命令汇总

表 23 命令定义x16

Command sequence ^[52]		Cycles	Bus cycles ^[53, 54, 55, 56]													
			First		Second		Third		Fourth		Fifth		Sixth		Seventh	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read ^[57]		1	RA	RD												
Reset/ASO Exit ^[58, 68]		1	XXX	F0												
Status Register Read		2	555	70	XXX	RD										
Status Register Clear		1	555	71												
Word Program		4	555	AA	2AA	55	555	A0	PA	PD						
Write to Buffer		6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
Program Buffer to Flash (confirm)		1	SA	29												
Write-to-Buffer-Absort Reset ^[64]		3	555	AA	2AA	55	555	F0								
Unlock Bypass	Enter	3	555	AA	2AA	55	555	20								
	Program ^[60]	2	XXX	A0	PA	PD										
	Write-to-Buffer ^[60]	4	SA	25	SA	WC	WBL	PD	WBL	PD						
	Program Buffer to Flash (confirm)	1	SA	29												
	Write-to-Buffer-Absort Reset ^[64]	3	555	AA	2AA	55	555	F0								
	Sector Erase ^[60]	2	XXX	80	SA	30										
	Chip Erase ^[60]	2	XXX	80	XXX	10										
	Command Set Exit ^[61]	2	XXX	90	XXX	00										
Chip Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10		
Sector Erase ^[71]		6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30		
Erase Suspend/Program Suspend Legacy Method ^[62]		1	XXX	B0												
Erase Suspend Enhanced Method																
Erase Resume/Program Resume Legacy Method ^[63]		1	XXX	30												
Erase Resume Enhanced Method																
Program Suspend Enhanced Method		1	XXX	51												
Program Resume Enhanced Method		1	XXX	50												
Evaluate Erase State		1	(SA) 555	35												
Blank Check		1	(SA) 555	33												
CFI Enter ^[59]		1	(SA) 55	98												
Continuity Check		7	555	71	555	70	XX	RD	2AAAA55	FF00	15555AA	00FF	555	70	XX	RD
ID-CFI (Autoselect) ASO	ID (Autoselect) Entry	3	555	AA	2AA	55	555	90								
	CFI Enter ^[59]	1	55	98												
	ID-CFI Read	1	RA	RD												
	CFI Exit	1	XXX	FF												
	Reset/ASO Exit ^[58, 69]	1	XXX	F0												

表 23 命令定义x16 (续)

Command sequence ^[52]			Cycles	Bus cycles ^[53, 54, 55, 56]													
				First		Second		Third		Fourth		Fifth		Sixth		Seventh	
				Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Secure Silicon Region Command Definitions																	
Secure Silicon Region (SSR) ASO	SSR Entry	3	555	AA	2AA	55	(SA) 555	88									
	Read ^[57]	1	RA	RD													
	Word Program	4	555	AA	2AA	55	555	A0	PA	PD							
	Write to Buffer	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD			
	Program Buffer to Flash (confirm)	1	SA	29													
	Write-to-Buffer-Absort Reset ^[64]	3	555	AA	2AA	55	555	F0									
	SSR Exit ^[64]	4	555	AA	2AA	55	555	90	XX	0							
	Reset/ASO Exit ^[58, 69]	1	XXX	F0													
Lock Register Command Set Definitions																	
Lock Register ASO	Lock Register Entry	3	555	AA	2AA	55	555	40									
	Program ^[68]	2	XXX	A0	XXX	PD											
	Read ^[68]	1	0	RD													
	Command Set Exit ^[65, 69]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[58, 69]	1	XXX	F0													
Password Protection Command Set Definitions																	
Password ASO	Password ASO Entry	3	555	AA	2AA	55	555	60									
	Program ^[67]	2	XXX	A0	PWAx	PWDx											
	Read ^[68]	4	0	PWD0	1	PWD1	2	PWD2	3	PWD3							
	Unlock ^[68]	7	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	0	29	
	Command Set Exit ^[65, 69]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[58, 69]	1	XXX	F0													
Non-Volatile Sector Protection Command Set Definitions																	
PPB (Non-Volatile)	PPB Entry	3	555	AA	2AA	55	555	C0									
	PPB Program ^[70]	2	XXX	A0	SA	0											
	All PPB Erase ^[70]	2	XXX	80	0	30											
	PPB Read ^[70]	1	SA	RD (0)													
	Command Set Exit ^[65, 69]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[58, 69]	1	XXX	F0													
Global Non-Volatile Sector Protection Freeze Command Set Definitions																	
PPB Lock Bit	PPB Lock Entry	3	555	AA	2AA	55	555	50									
	PPB Lock Bit Cleared	2	XXX	A0	XXX	0											
	PPB Lock Status Read ^[70]	1	XXX	RD (0)													
	Command Set Exit ^[65, 69]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[69]	1	XXX	F0													
Volatile Sector Protection Command Set Definitions																	
DYB (Volatile Sector)	DYB ASO Entry	3	555	AA	2AA	55	555	E0									
	DYB Set ^[70]	2	XXX	A0	SA	0											
	DYB Clear ^[70]	2	XXX	A0	SA	1											
	DYB Status Read ^[70]	1	SA	RD (0)													
	Command Set Exit ^[65, 69]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[69]	1	XXX	F0													
Command Set Definitions ECC																	
ECC ASO	ECC ASO Entry	3	555	AA	2AA	55	555	75									
	ECC Status Read	1	RA	RD													
	Command Set Exit ^[65, 69]	1	XXX	F0													

软件接口参考

图标:

X = 无需关注。

RA = 要读取的存储器地址。

RD = 在读取操作期间从位置RA读取的数据。

PA = 要编程的存储器位置的地址。

PD = 要在位置PA编程的数据。

SA = 所选扇区的地址。地址位Amax-A16唯一地选择任一扇区。

WBL = 写入缓冲区位置。地址必须在同一行内。

WC = 字计数，等于要加载的写入缓冲区位置数量减1。

PWAx = PPB密码地址，word0 = 00h、word1 = 01h、word2 = 02h和word3 = 03h。

SSR3密码地址，word0 = 10h、word1 = 11h、word2 = 12h和word3 = 13h。

PWDx = 密码数据word0、word1、word2和word3。

灰色与白色空格 = 读与写操作

注释:

52. 请参见表 31 了解总线操作的信息。
53. 所有值均为十六进制数值。
54. 除了下列周期外，所有总线周期均为写入周期：发生于读取过程的读取周期、ID/CFI读取（制造商ID/器件ID）、指示位、安全硅区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
55. 除了RD、PD、WC和PWD外，命令序列中的数据位DQ15-DQ8无需关注。
56. 除非需要SA或PA，否则在解锁和命令循环期间，地址位Amax-A11均为无需关注。（Amax是最高地址引脚）。
57. 读取阵列的数据时，不需要解锁或命令周期。
58. 在器件处于ASO模式或者DQ5变为高电平（当器件正在提供状态数据时）的情况下，需要通过复位命令返回阵列数据读取模式。
59. 器件就绪读取阵列数据时，命令将有效。
60. 在解锁省略编程和解锁省略写入到缓冲区命令之前，需要使用解锁省略命令。
61. 当器件处于解锁省略模式时，需要执行解锁省略复位命令，才能返回读取阵列数据。
62. 在擦除挂起模式下，系统可以对非擦除扇区进行读取和编程/编程挂起的操作，或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
63. 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
64. 检测到器件处于写入到缓冲区终止状态后，发出该命令序列以返回到读取状态。
请注意，如果进行复位以退出终止状态，则需使用完整的命令序列。
65. 退出命令会使器件返回到读取阵列状态。
66. 密码的各部分可以以任何顺序输入或读取，前提是要输入或读取整个64位密码。如果访问SSR3，则地址为10h-13h。
67. 对于PWDx，每个A0命令只能编程密码的一部分。密码的各部分必须按连续顺序进行编程（PWD0 - PWD3）。
68. 所有锁定寄存器位都只能编程一次。编程状态 = 0，擦除状态 = 1。此外，持久保护模式锁定位和密码保护模式锁定位不能同时编程，否则将终止锁定寄存器位编程操作，并使器件返回读取模式。保留给未来使用的锁定寄存器位未定义，可能是0或1。
69. 如果发出任何进入命令，则必须发出退出命令，以使器件返回到读取状态。
70. 受保护状态 = 00h，不受保护状态 = 01h。DYB设置、DYB擦除或PPB编程命令的扇区地址可以是扇区内的任意位置 - 扇区地址的低位无需关注。
71. 请参见第36页 [扇区擦除](#)，了解多扇区擦除的信息。

表 24 命令定义x8

Command sequence ^[72]		Cycles	Bus cycles ^[73, 74, 75, 76]													
			First		Second		Third		Fourth		Fifth		Sixth		Seventh	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read ^[76]		1	RA	RD												
Reset/ASO Exit ^[77, 88]		1	XXX	F0												
Status Register Read		2	AAA	70	XXX	RD										
Status Register Clear		1	AAA	71												
Word Program		4	AAA	AA	555	55	AAA	A0	PA	PD						
Write to Buffer ^[90]		6	AAA	AA	555	55	SA	25	SA	WC	WBL	PD	WBL	PD		
Program Buffer to Flash (confirm)		1	SA	29												
Write-to-Buffer-Abort Reset ^[83]		3	AAA	AA	555	55	AAA	F0								
Unlock Bypass	Enter	3	AAA	AA	555	55	AAA	20								
	Program ^[79]	2	XXX	A0	PA	PD										
	Write-to-Buffer ^[79]	4	SA	25	SA	WC	WBL	PD	WBL	PD						
	Program Buffer to Flash (confirm) ^[79]	1	SA	29												
	Write-to-Buffer-Abort Reset ^[83]	3	AAA	AA	555	55	AAA	F0								
	Sector Erase ^[79]	2	XXX	80	SA	30										
	Chip Erase ^[79]	2	XXX	80	XXX	10										
	Command Set Exit ^[80]	2	XXX	90	XXX	00										
Chip Erase		6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	AAA	10		
Sector Erase ^[90]		6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	SA	30		
Erase Suspend/Program Suspend Legacy Method ^[81]		1	XXX	B0												
Erase Suspend Enhanced Method																
Erase Resume/Program Resume Legacy Method ^[82]		1	XXX	30												
Erase Resume Enhanced Method																
Program Suspend Enhanced Method		1	XXX	51												
Program Resume Enhanced Method		1	XXX	50												
Evaluate Erase State		1	(SA) AAA	35												
Blank Check		1	(SA) AAA	33												
CFI Enter ^[78]		1	(SA) AA	98												
Continuity Check		7	AAA	71	AAA	70	XX	RD	55554AB	FF	2AAAB54	00	AAA	70	XX	RD
ID-CFI (Autoselect)	ID (Autoselect) Entry	3	AAA	AA	555	55	AAA	90								
	CFI Enter ^[78]	1	AA	98												
	ID-CFI Read	1	RA	RD												
	CFI Exit	1	XXX	FF												
	Reset/ASO Exit ^[77, 88]	1	XXX	F0												

表 24 命令定义x8 (续)

Command sequence ^[72]			Cycles	Bus cycles ^[73, 74, 75, 76]													
				First		Second		Third		Fourth		Fifth		Sixth		Seventh	
				Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Secure Silicon Region Command Definitions																	
Secure Silicon Region	SSR Entry	3	AAA	AA	555	55	(SA) AAA	88									
	Read ^[76]	1	RA	RD													
	Word Program	4	AAA	AA	555	55	AAA	A0	PA	PD							
	Write to Buffer ^[90]	6	AAA	AA	555	55	SA	25	SA	WC	WBL	PD	WBL	PD			
	Program Buffer to Flash (confirm)	1	SA	29													
	Write-to-Buffer-Abort Reset ^[83]	3	AAA	AA	555	55	AAA	F0									
	SSR Exit ^[83]	4	AAA	AA	555	55	AAA	90	XX	0							
Reset/ASO Exit ^[77, 88]	1	XXX	F0														
Lock Register Command Set Definitions																	
Lock Register ASO	Lock Register Entry	3	AAA	AA	555	55	AAA	40									
	Program ^[87]	2	XXX	A0	XXX	PD											
	Read ^[87]	1	0	RD													
	Command Set Exit ^[84, 88]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[77, 88]	1	XXX	F0													
Password Protection Command Set Definitions																	
Password ASO	Password ASO Entry	3	AAA	AA	555	55	AAA	60									
	Program ^[86]	2	XXX	A0	PWAx	PWDx											
	Read ^[85]	8	0	PWD0	1	PWD1	2	PWD2	3	PWD3	4	PWD4	5	PWD5	6	PWD6	
			7	PWD7													
	Unlock ^[85]	11	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	4	PWD4	
			5	PWD5	6	PWD6	7	PWD7	0	29							
Command Set Exit ^[84, 88]	2	XXX	90	XXX	0												
Reset/ASO Exit ^[77, 88]	1	XXX	F0														
Non-Volatile Sector Protection Command Set Definitions																	
PPB (Non-Volatile)	PPB Entry	3	AAA	AA	555	55	AAA	C0									
	PPB Program ^[89]	2	XXX	A0	SA	0											
	All PPB Erase ^[89]	2	XXX	80	0	30											
	PPB Read ^[89]	1	SA	RD (0)													
	Command Set Exit ^[84, 88]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[77, 88]	1	XXX	F0													
Global Non-Volatile Sector Protection Freeze Command Set Definitions																	
PPB Lock Bit	PPB Lock Entry	3	AAA	AA	555	55	AAA	50									
	PPB Lock Bit Cleared	2	XXX	A0	XXX	0											
	PPB Lock Status Read ^[89]	1	XXX	RD (0)													
	Command Set Exit ^[84, 88]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[88]	1	XXX	F0													
Volatile Sector Protection Command Set Definitions																	
DYB Volatile Sector	DYB ASO Entry	3	AAA	AA	555	55	AAA	E0									
	DYB Set ^[89]	2	XXX	A0	SA	0											
	DYB Clear ^[89]	2	XXX	A0	SA	1											
	DYB Status Read ^[89]	1	SA	RD (0)													
	Command Set Exit ^[84, 88]	2	XXX	90	XXX	0											
	Reset/ASO Exit ^[88]	1	XXX	F0													
ECC Command Set Definitions																	
ECC ASO	ECC ASO Entry	3	AAA	AA	555	55	AAA	75									
	ECC Status Read	1	RA	RD													
	Command Set Exit ^[84, 88]	1	XXX	F0													

软件接口参考

图标:

X = 无需关注。

RA = 要读取的存储器地址。

RD = 在读取操作期间从位置RA读取的数据。

PA = 要编程的存储器位置的地址。

PD = 要在位置PA编程的数据。

SA = 所选扇区的地址。地址位Amax-A16唯一地选择任一扇区。

WBL = 写入缓冲区位置。地址必须在同一行内。

WC = 字计数, 等于要加载的写入缓冲区位置数量减1。

PWAX = PPB密码地址, byte0 = 00h、byte1 = 01h、byte2 = 02h、byte3 = 03h、byte04 = 04h、byte5 = 05h、byte6 = 06h和byte7 = 07h。SSR3密码地址, byte0 = 20h、byte1 = 21h、byte2 = 22h、byte3 = 23h、byte04 = 24h、byte5 = 25h、byte6 = 26h和byte7 = 27h。

PWDx = 密码数据byte0、byte1、byte2、byte3、byte4、byte5、byte6和byte7

灰色与白色空格 = 读与写操作

注释:

72. 请参见表 31 了解总线操作的信息。
73. 所有值均为十六进制数值。
74. 除了下列周期外, 所有总线周期均为写入周期: 发生于读取过程的读取周期、ID/CFI读取 (制造商ID / 器件ID)、指示位、安全硅区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
75. 除非需要SA或PA, 否则在解锁和命令循环期间, 地址位Amax-A11均为无需关注。(Amax是最高地址引脚)。
76. 读取阵列的数据时, 不需要解锁或命令周期。
77. 在器件处于ASO模式或者DQ5变为高电平 (当器件正在提供状态数据时) 的情况下, 需要通过复位命令返回阵列数据读取模式。
78. 器件就绪读取阵列数据时, 命令将有效。
79. 在解锁省略编程和解锁省略写入到缓冲区命令之前, 需要使用解锁省略命令。
80. 当器件处于解锁省略模式时, 需要执行解锁省略复位命令, 才能返回读取阵列数据。
81. 在擦除挂起模式下, 系统可以对非擦除扇区进行读取和编程/编程挂起的操作, 或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
82. 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
83. 检测到器件处于写入到缓冲区终止状态后, 发出该命令序列以返回到读取状态。
请注意, 如果进行复位以退出终止状态, 则需使用完整的命令序列。
84. 退出命令会使器件返回到读取阵列状态。
85. 密码的各部分可以以任何顺序输入或读取, 前提是要输入或读取整个64位密码。如果访问 SSR3, 则地址为 20h-27h。
86. 对于PWDx, 每个A0命令只能编程密码的一部分。密码的各个部分必须按顺序进行编程 (PWD0-PWD7)。
87. 所有锁定寄存器位都只能编程一次。编程状态 = 0, 擦除状态 = 1。此外, 持久保护模式锁定位和密码保护模式锁定位不能同时编程, 否则将终止锁定寄存器位编程操作, 并使器件返回读取模式。保留给未来使用的锁定寄存器位未定义, 可能是0或1。
88. 如果发出任何进入命令, 则必须发出退出命令, 以使器件返回到读取状态。
89. 受保护状态 = 00h, 不受保护状态 = 01h。DYB设置、DYB擦除或PPB编程命令的扇区地址可以是扇区内的任意位置 - 扇区地址的低位无需关注。
90. 请参见第36页 **扇区擦除**, 了解多扇区擦除的信息。
91. 在8x模式, WC表示2 x8 WBL/PD周期 (例如, 如果WC = 0, 那么第五个总线周期会将数据加载到低字节地址, A1为低和第六个总线周期会将数据加载到高字节地址, A1为高)。

7.2 器件ID和通用闪存接口 (ID-CFI) ASO映射

ASO的器件ID部分（字位置0h到0Fh）提供器件的制造商ID、器件ID、扇区保护状态、以及基本功能集信息。

对位置02h的读取访问时间总是 t_{ACC} ，对此位置的读取操作需要CE#在读取之前变为高，然后返回低以启动读取（异步读取访问）。不支持位置02h和其他ID位置之间的页模式读取。支持位置02h以外和ID位置之间的页模式读取。

在x8模式下，地址A1被忽略，两个地址的相应数据的低8位被返回（仅针对CFI）。x8模式下，只能读取CFI或Autoselect数据。x16模式下，可从任意命令读取两个存储器。

欲了解更多信息，请参见第39页ID-CFI ASO。

表 25 ID（自动选择）地址映射

Description	Address (×16)	Address (×8)	Read data
Manufacture ID	(SA) + 0000h	(SA) + 0000h	0001h
Device ID	(SA) + 0001h	(SA) + 0002h	227Eh
Protection verification	(SA) + 0002h	(SA) + 0004h	Sector protection state (1 = Sector protected, 0 = Sector unprotected). To read a different SA protection state, only a new SA needs to be given.
Indicator bits	(SA) + 0003h	(SA) + 0006h	DQ15–DQ08 = 1 (Reserved) DQ7 - Factory locked secure silicon region 1 = Locked, 0 = Not locked DQ6 - Customer locked secure silicon region 1 = Locked 0 = Not locked DQ5 = 1 (Reserved) DQ4 - WP# protects 0 = Lowest address sector 1 = Highest address sector DQ3–DQ0 = 1 (Reserved)
RFU	(SA) + 0004h	(SA) + 0008h	Reserved
	(SA) + 0005h	(SA) + 000Ah	Reserved
	(SA) + 0006h	(SA) + 000Ch	Reserved
	(SA) + 0007h	(SA) + 000Eh	Reserved
	(SA) + 0008h	(SA) + 0010h	Reserved
	(SA) + 0009h	(SA) + 0012h	Reserved
	(SA) + 000Ah	(SA) + 0014h	Reserved
	(SA) + 000Bh	(SA) + 0016h	Reserved
Lower software bits	(SA) + 000Ch	(SA) + 0018h	Bit 0 - Status Register support 1 = Status Register supported 0 = Status Register not supported Bit 1 - DQ polling support 1 = DQ bits polling supported 0 = DQ bits polling not supported Bit 3–2 - Command set support 11 = reserved 10 = reserved 01 = Reduced Command set 00 = Classic Command set Bits 4–15 - Reserved = 0
Upper software bits	(SA) + 000Dh	(SA) + 001Ah	Reserved

表 25 ID (自动选择) 地址映射 (续)

Description	Address (×16)	Address (×8)	Read data
Device ID	(SA) + 000Eh	(SA) + 001Ch	2228h = 1 Gb 2223h = 512 Mb
Device ID	(SA) + 000Fh	(SA) + 001Eh	2201h

表 26 CFI查询识别字符串

Word address	Byte address	Data	Description
(SA) + 0010h (SA) + 0011h (SA) + 0012h	(SA) + 0020h (SA) + 0022h (SA) + 0024h	0051h 0052h 0059h	Query Unique ASCII string “QRY”
(SA) + 0013h (SA) + 0014h	(SA) + 0026h (SA) + 0028h	0002h 0000h	Primary OEM Command set
(SA) + 0015h (SA) + 0016h	(SA) + 002Ah (SA) + 002Ch	0040h 0000h	Address for Primary Extended table
(SA) + 0017h (SA) + 0018h	(SA) + 002Eh (SA) + 0030h	0000h 0000h	Alternate OEM Command set (00h = none exists)
(SA) + 0019h (SA) + 001Ah	(SA) + 0032h (SA) + 0034h	0000h 0000h	Address for Alternate OEM Extended table (00h = none exists)

表 27 CFI系统接口字符串

Word address	Byte address	Data	Description
(SA) + 001Bh	(SA) + 0036h	0027h	V _{CC} Min. (erase/program) (D7–D4: volts, D3–D0: 100 mV)
(SA) + 001Ch	(SA) + 0038h	0036h	V _{CC} Max. (erase/program) (D7–D4: volts, D3–D0: 100 mV)
(SA) + 001Dh	(SA) + 003Ah	0000h	V _{PP} Min. voltage (00h = no V _{PP} pin present)
(SA) + 001Eh	(SA) + 003Ch	0000h	V _{PP} Max. voltage (00h = no V _{PP} pin present)
(SA) + 001Fh	(SA) + 003Eh	0008h	Typical timeout per single word write 2 ^N μs
(SA) + 0020h	(SA) + 0040h	0009h	Typical timeout for max multi-byte program, 2 ^N μs (00h = not supported)
(SA) + 0021h	(SA) + 0042h	000Ah	Typical timeout per individual block erase 2 ^N ms
(SA) + 0022h	(SA) + 0044h	0014h (1 Gb) 0013h (512 Mb)	Typical timeout for full chip erase 2 ^N ms (00h = not supported)
(SA) + 0023h	(SA) + 0046h	0002h (85°C) 0003h (105°C)	Max. timeout for single word write 2 ^N times typical
(SA) + 0024h	(SA) + 0048h	0001h (85°C) 0002h (105°C)	Max. timeout for buffer write 2 ^N times typical
(SA) + 0025h	(SA) + 004Ah	0002h	Max. timeout per individual block erase 2 ^N times typical
(SA) + 0026h	(SA) + 004Ch	0002h	Max. timeout for full chip erase 2 ^N times typical (00h = not supported)

表 28 CFI器件几何定义

Word address	Byte address	Data	Description
(SA) + 0027h	(SA) + 004Eh	001Bh (1 Gb) 001Ah (512 Mb)	Device Size = 2 ^N byte;
(SA) + 0028h	(SA) + 0050h	0002h	Flash Device Interface Description 0 = ×8-only, 1 = ×16-only, 2 = ×8/×16 capable
(SA) + 0029h	(SA) + 0052h	0000h	
(SA) + 002Ah	(SA) + 0054h	0009h	Max. number of byte in multi-byte write = 2 ^N (00 = not supported)
(SA) + 002Bh	(SA) + 0056h	0000h	Note For ×16 (WORD) mode only.
(SA) + 002Ch	(SA) + 0058h	0001h	Number of Erase Block Regions within device 1 = Uniform device, 2 = Boot device
(SA) + 002Dh	(SA) + 005Ah	00XXh	Erase Block Region 1 information (refer to JEDEC JESD68-01 or JEP137 specifications) 00FFh, 0003h, 0000h, 0002h = 1 Gb 00FFh, 0001h, 0000h, 0002h = 512 Mb
(SA) + 002Eh	(SA) + 005Ch	000Xh	
(SA) + 002Fh	(SA) + 005Eh	0000h	
(SA) + 0030h	(SA) + 0060h	000Xh	
(SA) + 0031h	(SA) + 0062h	0000h	Erase Block Region 2 information (refer to CFI publication 100)
(SA) + 0032h	(SA) + 0064h	0000h	
(SA) + 0033h	(SA) + 0066h	0000h	
(SA) + 0034h	(SA) + 0068h	0000h	
(SA) + 0035h	(SA) + 006Ah	0000h	Erase Block Region 3 information (refer to CFI publication 100)
(SA) + 0036h	(SA) + 006Ch	0000h	
(SA) + 0037h	(SA) + 006Eh	0000h	
(SA) + 0038h	(SA) + 0070h	0000h	
(SA) + 0039h	(SA) + 0072h	0000h	Erase Block Region 4 information (refer to CFI publication 100)
(SA) + 003Ah	(SA) + 0074h	0000h	
(SA) + 003Bh	(SA) + 0076h	0000h	
(SA) + 003Ch	(SA) + 0078h	0000h	
(SA) + 003Dh	(SA) + 007Ah	FFFFh	Reserved
(SA) + 003Eh	(SA) + 007Ch	FFFFh	
(SA) + 003Fh	(SA) + 007Eh	FFFFh	

表 29 CFI主要厂商特定的扩展查询

Word address	Byte address	Data	Description
(SA) + 0040h	(SA) + 0080h	0050h	Query-unique ASCII string “PRI”
(SA) + 0041h	(SA) + 0082h	0052h	
(SA) + 0042h	(SA) + 0084h	0049h	
(SA) + 0043h	(SA) + 0086h	0031h	Major version number, ASCII
(SA) + 0044h	(SA) + 0088h	0033h (CFI 1.3) 0035h (CFI 1.5)	Minor version number, ASCII 0033h = CFI Minor Version 3 (Model Number is 03, 04, V3, and V4) 0035h = CFI Minor Version 5 (Model Number is 01, 02, V1, and V2)

表 29 CFI主要厂商特定的扩展查询 (续)

Word address	Byte address	Data	Description
(SA) + 0045h	(SA) + 008Ah	0024h	Address Sensitive Unlock (Bits 1–0) 00b = Required 01b = Not required Process technology (Bits 5–2) 0000b = 0.23 µm Floating Gate 0001b = 0.17 µm Floating Gate 0010b = 0.23 µm MIRRORBIT™ 0011b = 0.13 µm Floating Gate 0100b = 0.11 µm MIRRORBIT™ 0101b = 0.09 µm MIRRORBIT™ 0110b = 0.09 µm Floating Gate 0111b = 0.065 µm MIRRORBIT™ Eclipse 1000b = 0.065 µm MIRRORBIT™ 1001b = 0.045 µm MIRRORBIT™
(SA) + 0046h	(SA) + 008Ch	0002h	Erase Suspend 0 = Not supported 1 = Read only 2 = Read and write
(SA) + 0047h	(SA) + 008Eh	0001h	Sector Protect 00 = Not supported X = Number of sectors in smallest group
(SA) + 0048h	(SA) + 0090h	0000h	Temporary Sector Unprotect 00 = Not supported 01 = Supported
(SA) + 0049h	(SA) + 0092h	0008h	Sector Protect/Unprotect Scheme 04 = High Voltage method 05 = Software Command Locking method 08 = Advanced Sector Protection method
(SA) + 004Ah	(SA) + 0094h	0000h	Simultaneous Operation 00 = Not supported X = Number of banks
(SA) + 004Bh	(SA) + 0096h	0000h	Burst Mode type 00 = Not supported 01 = Supported
(SA) + 004Ch	(SA) + 0098h	0003h	Page Mode type 00 = Not supported 01 = 4 Word Page 02 = 8 Word Page 03 = 16 Word Page
(SA) + 004Dh	(SA) + 009Ah	00B5h	ACC (Acceleration) Supply Minimum 00 = Not supported D7–D4: Volt D3–D0: 100 mV
(SA) + 004Eh	(SA) + 009Ch	00C5h	ACC (Acceleration) Supply Maximum 00 = Not supported D7–D4: Volt D3–D0: 100 mV
(SA) + 004Fh	(SA) + 009Eh	0004h (Bottom) 0005h (Top)	WP# Protection 00h = Flash device without WP Protect (No Boot) 01h = Eight 8 KB Sectors at TOP and Bottom with WP (Dual Boot) 02h = Bottom Boot Device with WP Protect (Bottom Boot) 03h = Top Boot Device with WP Protect (Top Boot) 04h = Uniform, Bottom WP Protect (Uniform Bottom Boot) 05h = Uniform, Top WP Protect (Uniform Top Boot) 06h = WP Protect for all sectors 07h = Uniform, Top and Bottom WP Protect

表 29 CFI主要厂商特定的扩展查询 (续)

Word address	Byte address	Data	Description
(SA) + 0050h	(SA) + 00A0h	0001h	Program Suspend 00 = Not supported 01 = Supported
Below Queries Only available for CFI Version 1.5			
(SA) + 0051h	(SA) + 00A2h	0001h	Unlock Bypass 00 = Not supported 01 = Supported
(SA) + 0052h	(SA) + 00A4h	0009h	Secured Silicon Sector (Customer OTP Area) Size 2 ^N (bytes)
(SA) + 0053h	(SA) + 00A6h	008Fh	Software Features bit 0: status register polling (1 = supported, 0 = not supported) bit 1: DQ polling (1 = supported, 0 = not supported) bit 2: new program suspend/resume commands (1 = supported, 0 = not supported) bit 3: word programming (1 = supported, 0 = not supported) bit 4: bit-field programming (1 = supported, 0 = not supported) bit 5: autodetect programming (1 = supported, 0 = not supported) bit 6: RFU bit 7: multiple writes per Line (1 = supported, 0 = not supported)
(SA) + 0054h	(SA) + 00A8h	0005h	Page Size = 2 ^N bytes
(SA) + 0055h	(SA) + 00AAh	0006h	Erase Suspend Timeout Maximum < 2 ^N (μs)
(SA) + 0056h	(SA) + 00ACh	0006h	Program Suspend Timeout Maximum < 2 ^N (μs)
(SA) + 0057h to (SA) + 0077h	(SA) + 00AEh to (SA) + 00ACh	FFFFh	Reserved
(SA) + 0078h	(SA) + 00F0h	0006h	Embedded Hardware Reset Timeout Maximum < 2 ^N (μs) Reset with Reset Pin
(SA) + 0079h	(SA) + 00F2h	0009h	Non-Embedded Hardware Reset Timeout Maximum < 2 ^N (μs) Power-on-Reset

信号说明

8 信号说明

8.1 地址和数据配置

地址和数据通过单独的信号输入和I/O并行连接（ADP）。

8.2 输入/输出简介

表 30 I/O简介

Symbol	Type	Description
RESET#	Input	Hardware Reset. At V_{IL} , causes the device to reset control logic to its standby state, ready for reading array data.
CE#	Input	Chip Enable. At V_{IL} , selects the device for data transfer with the host memory controller.
OE#	Input	Output Enable. At V_{IL} , causes outputs to be actively driven. At V_{IH} , causes outputs to be high impedance (High-Z).
WE#	Input	Write Enable. At V_{IL} , indicates data transfer from host to device. At V_{IH} , indicates data transfer is from device to host.
Amax-A0	Input	Address inputs. A25-A0 for S29GL01GT A24-A0 for S29GL512T
DQ14-DQ0	Input/Output	Data inputs and outputs
DQ15/A1	Input/Output	DQ15: Data inputs and outputs A1: LSB address input in byte mode
WP#/ACC	Input	Write Protect. At V_{IL} , disables program and erase functions in the lowest or highest address 64-Kword (128-KB) sector of the device. At V_{IH} , the sector is not protected. At V_{HH} , automatically places device in unlock bypass mode. WP# has an internal pull up; When unconnected WP# is at V_{IH} .
RY/BY#	Output – open drain	Ready/Busy. Indicates whether an Embedded Algorithm is in progress or complete. At V_{IL} , the device is actively engaged in an Embedded Algorithm such as erasing or programming. At High-Z, the device is ready for read or a new command write - requires external pull-up resistor to detect the High-Z state. Multiple devices may have their RY/BY# outputs tied together to detect when all devices are ready.
BYTE#	Input	Selects data bus width. At V_{IL} , the device is in byte configuration and data I/O pins DQ7-DQ0 are active and DQ15/A1 becomes the LSB address input. At V_{IH} , the device is in word configuration and data I/O pins DQ15-DQ0 are active.
V_{CC}	Power Supply	Core power supply
V_{IO}	Power Supply	Versatile I/O power supply.
V_{SS}	Power Supply	Power supplies ground
NC	No Connect	Not Connected internally. The pin/ball location may be used in Printed Circuit Board (PCB) as part of a routing channel.
RFU	No Connect	Reserved for Future Use. Not currently connected internally but the pin/ball location should be left unconnected and unused by PCB routing channel for future compatibility. The pin/ball may be used by a signal in the future.
DNU	Reserved	Do Not Use. Reserved for use by Infineon. The pin/ball is connected internally. The input has an internal pull down resistance to V_{SS} . The pin/ball can be left open or tied to V_{SS} on the PCB.

信号说明

8.3 字/字节配置

BYTE#引脚控制器件数据I/O引脚是以字节配置还是字配置运行。如果BYTE#引脚设在逻辑“1”，则器件采用字配置，DQ0-DQ15有效并受CE#和OE#控制。

如果BYTE#引脚设在逻辑“0”，则器件采用字节配置，仅数据I/O引脚DQ0-DQ7有效并受CE#和OE#控制。数据I/O引脚DQ8-DQ14处于三态，DQ15引脚用作LSB（A1）地址功能的输入。

仅在器件处于待机（读取）模式下，BYTE#引脚才能切换。

BYTE#引脚具有一个内部上拉电阻。虽然x16系统没有要求，但建议将该引脚与高电压（如 V_{IO} ）相连。

8.4 多用途I/O特性

器件可驱动的最高输出电压和可接受的输入电平由 V_{IO} 电源决定。此电源允许器件驱动和接收去往和来自同一总线上接口信号电平与器件内核电压不同的其他器件的信号。

8.5 就绪/忙碌#（RY/BY#）

RY/BY#是专用的漏极开路输出引脚，指明EA、上电复位（POR）或硬件复位是正在执行中还是已完成。RY/BY#状态在命令序列中最后WE#脉冲上升沿之后、当 V_{CC} 在POR期间高于 V_{CC} 最小值时、或者在RESET#下降沿之后有效。由于RY/BY#是漏极开路输出，多个RY/BY#引脚可通过上拉电阻并行连接到 V_{IO} 。

如果输出是低（忙碌），器件正在执行擦除、编程或复位。（这包括擦除挂起模式下的编程）。如果输出为高（就绪），则器件已准备好读取数据（包括在擦除挂起模式期间），或者处于待机模式。表17显示了RY/BY#在每一个操作中的输出。

如果EA失败（编程/擦除由于最大脉冲或编程终止而失败），则RY/BY#将为低电平，直到状态寄存器位4和5被清除并且复位命令被发出为止。如果EA失败（扇区被锁定），则RY/BY#将转为高电平（就绪）状态。这包括对锁定的扇区执行的擦除或编程。

8.6 硬件复位

RESET#输入提供一种硬件复位方法，可使器件返回待机状态。当RESET#保持低至少 t_{RP} 时间时，器件立即：

- 终止任何正在执行的操作，
- 退出所有ASO，
- 使所有输出三态化，
- 复位状态寄存器，
- 将EAC复位到待机状态。
- CE#在复位操作期间（ t_{RPH} ）被忽略。
- 为符合复位电流规范（ I_{CC5} ），CE#必须保持高电平状态。

为确保数据完整性，一旦器件准备好接受另一个命令序列，应重新启动被中断的操作。

信号协议

9 信号协议

以下部分介绍29GL-T系列闪存器件的主机系统接口信号工作方式和时序。

9.1 接口状态

表31描述了每个接口状态所需的接口信号值。

表 31 接口状态

Interface State	V_{CC}	V_{IO}	RESET#	CE#	OE#	WE#	BYTE# ^[97]	WP#/ACC	Amax-A0 ^[92]	DQ0-DQ7	DQ8-DQ15	
											BYTE# = V_{IH}	BYTE# = V_{IL}
Power-Off with Hardware Data Protection	$< V_{LKO}$	$\leq V_{CC}$	X	X	X	X	L or H	X	X	High-Z	High-Z	High-Z
Power-On (Cold) Reset	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	X	X	X	X	L or H	X	X	High-Z	High-Z	High-Z
Hardware (Warm) Reset	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	L	X	X	X	L or H	X	X	High-Z	High-Z	High-Z
Interface Standby	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	H	H	X	X	L or H	H	X	High-Z	High-Z	High-Z
Automatic Sleep ^[93, 95]	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	H	L	X	X	L or H	H	Valid	Output Available	Output Available	DQ8-DQ14 = High-Z, DQ15 = A1
Read with Output Disable ^[94]	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	H	L	H	H	L or H	X	Valid	High-Z	High-Z	High-Z
Random Read	$\geq V_{CC \min}$	$\geq V_{IO \min}$	H	L	L	H		X	Valid	Output Valid	Output Valid	DQ8-DQ14 = High-Z, DQ15 = A1
Page Read	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	H	L	L	H	L or H	X	Amax-A4 Valid A3-A0 (or A3-A1) Modified	Output Valid	Output Valid	DQ8-DQ14 = High-Z, DQ15 = A1
Write	$\geq V_{CC \min}$	$\geq V_{IO \min}$ $\leq V_{CC}$	H	L	H	L	L or H	Note [96]	Valid	Input Valid	Input Valid	DQ8-DQ14 = High-Z, DQ15 = A1

图标:

L = V_{IL} H = V_{IH} X = V_{IL} 或 V_{IH}

L/H = 上升沿

H/L = 下降沿

有效 = 所有总线信号都有稳定的低或高电平

修改 = 有效状态不同于之前的有效状态

可用 = 读取数据在内部存储, 输出驱动由OE#控制

注释:

92. 地址分别是 Amax:A0 (字模式); Amax:A1 (字节模式)。

93. WE#和OE#不能同时等于 V_{IL} 。

94. 读取(输出禁用)是由OE#为高电平时启动的读取。

95. 自动睡眠是一个读/写操作; 发生该操作时, 数据在一段扩展时间内输入到总线上, CS#不转为高电平, 并且器件的内部逻辑进入待机模式, 从而节约功耗。

96. 如果WP# = V_{IL} , 最外面的扇区保持受保护。如果WP# = V_{IH} , 最外面的扇区不受保护。

WP#有一个内部上拉电阻; 当断开连接时, WP#将等于 V_{IH} 。

97. $V_{IL} = V_{SS}$ 和 $V_{IH} = V_{IO}$ 。

9.2 掉电与硬件数据保护

当内核供电电压 (V_{CC}) 下降到锁定电压 (V_{LKO}) 以下时, 存储器被视为掉电。当 V_{CC} 低于 V_{LKO} 时, 整个存储器阵列受保护, 不能进行写入或擦除操作。这样可防止在电源转换期间存储内容发生篡改。在电源切换到关闭期间, V_{IO} 应保持不大于 V_{CC} 。

如果 V_{CC} 降到 V_{RST} (最小值) 以下, 然后又升高, 超过 V_{RST} (最小值) 并达到 V_{CC} (最小值), 器件将进入上电复位接口状态, 且 EAC 开始冷复位嵌入式算法。

9.3 节能模式

9.3.1 接口待机

待机是在主机没有选择器件传输数据时 ($CE\#$ = 高) 的一种默认、低功耗接口状态。在此状态下, 所有输入均被忽略, 所有输出 ($RY/BY\#$ 除外) 均为高阻抗。 $RY/BY\#$ 是 EAC 的直接输出, 不受主机接口的控制。

9.3.2 自动睡眠

在经过随机读取访问时间后, 自动睡眠模式将器件接口能耗降低到睡眠级别 (I_{CC6})。地址在 $t_{ACC} + 30\text{ ns}$ 期间保持稳定时, 器件将自动进入该模式。在自动睡眠模式下, 输出数据处于锁存状态, 系统可随时使用。数据输出取决于 $OE\#$ 信号的电平, 但自动睡眠模式的电流与 $OE\#$ 信号电平无关。当地址发生变化时, 标准地址访问时序 (t_{ACC} 或 t_{PACC}) 将提供新数据。有关自动睡眠模式的电流规范 I_{CC6} , 请参考第 79 页上的 **DC 特性**。

自动睡眠有助于降低电流消耗, 特别是当主机系统时钟减慢以降低功耗时。与系统高速运行时相比, 在系统时钟减慢期间, 读取和写入循环时间可能增加数倍。即使在这些延长的数据传输周期内 $CE\#$ 可能为低, 存储器件主机接口也会在 $t_{ACC} + 30\text{ ns}$ 后切换到自动睡眠电流。器件将保持自动睡眠电流 t_{ASSB} 时间。随后器件将切换到待机电流级别。这使得存储器在较长数据传输期间的大部分时间都能保持自动睡眠或待机功率级别, 避免了在主机系统选择了存储器件的所有时间都消耗全部读取功率。

然而, EAC 的运行与主机接口的自动睡眠模式无关, 它会在 EA 执行期间继续消耗电流。只有当主机接口和 EAC 都处于其待机状态时, 电流才能达到待机级别。

9.4 读取

9.4.1 读取（输出禁用）

当CE#为低电平时，主机系统存储控制器开始读取或写入数据传输。在数据传输开始时经常有一段时间CE#为低、地址为有效、OE#为高、WE#为高。在此状态下，会假定是一个读取访问并启动随机读取进程，同时数据输出保持高阻抗。如果OE#信号变为低，接口将转换到随机读取状态，数据输出被驱动。如果WE#信号保持低，接口将转换到写入状态。注意，OE#和WE#不应同时为低，以确保主机系统和存储器之间没有数据总线冲突。

9.4.2 随机（异步）读取

当主机系统接口通过驱动CE#低来选择存储器件时，器件接口将退出待机状态。如果CE#变为低时WE#为高，会启动随机读取访问。数据输出与地址映射模式以及在读取访问启动时提供的地址有关。

当CE#为低、OE#为低、WE#保持高、地址保持稳定、且满足异步访问时间时，数据出现在DQ15-DQ0（x8模式下为DQ7-DQ0）上。地址访问时间（ t_{ACC} ）等于从稳定地址到有效输出数据的延迟。芯片使能访问时间（ t_{CE} ）是从稳定CE#到有效输出数据的延迟。为了将读取数据驱动到数据输出，OE#信号必须在有效数据可用之前保持低至少输出使能时间（ t_{OE} ）。

CE#有效（ t_{CE} ）、地址稳定（ t_{ACC} ）或OE#有效（ t_{OE} ）后开始的随机访问时间结束时，无论哪个先发生，数据输出都提供来自当前有效的地址映射模式的读取数据。如果CE#保持低并且Amax到A4的任何地址信号变为新值，会开始新的随机读取访问。如果CE#保持低并且OE#变为高，接口转换到读取（输出禁用）状态。如果CE#保持低、OE#变为高并且WE#变为低，接口转换到写入状态。如果CE#返回高，接口进入待机状态。相邻访问（在访问之间CE#保持低）要求更改地址以启动第二个访问操作。请参见第89页[异步读取操作](#)。

9.4.3 页读取操作

随机读取访问结束后，如果CE#保持低、OE#保持低、Amax到A4地址信号保持稳定、并且任意A3到A0地址信号变化，会在同一页面内开始新访问。在x8模式下，每当任意A3到A1地址信号变化时，都会在同一页面内开始进行新的访问。与随机读取访问相比，页面读取完成得更快（ t_{PACC} ）。

9.5 写入

9.5.1 异步写入

如果CE#为低后WE#变为低，会从一个读取状态转换到写入状态。如果在CE#变为低之前WE#为低，会从待机状态直接转换到写入状态，而不开始读取访问。

当CE#为低、OE#为高、并且WE#变为低时，开始写入数据传输。注意，OE#和WE#不应同时为低，以确保主机系统和存储器之间没有数据总线冲突。当异步写入循环时序要求得到满足时，WE#可以变为高以将地址和数据值捕获到EAC命令存储器中。

地址在WE#或CE#（两者中后到来的一个）下降沿上捕获。数据在WE#或CE#（两者中先到来的一个）上升沿上捕获。

如果CE#在WE#变为低之前为低，并且在WE#变为高之后保持低，则访问称为WE#控制的写入。当WE#为高且CE#变为高时，将转换到待机状态。如果CE#保持低并且WE#变为高，将转换到读取（输出禁用）状态。

如果WE#在CE#变为低之前为低，并且在CE#变为高之后保持低，则访问称为CE#控制的写入。CE#控制的写入转换到待机状态。

如果WE#在CE#变为低之前为低，则CE#变为低时将启动写入传输。如果WE#在CE#变为高之后为低，则在CE#的上升沿上捕获地址和数据。这些情况被称为CE#控制的写入状态转换。

由读取访问随后的写入操作（在访问之间CE#保持低）要求更改地址以启动后面的读取访问。

相邻访问（在访问之间CE#保持低）要求更改地址以启动第二个访问操作。

EAC命令存储器阵列没有ASO，也不能被主机系统读取。EAC检查每个写入传输中的地址和数据，以确定写入是否是合法命令序列的一部分。如果合法命令序列是完整的，EAC将启动相应的EA。

9.5.2 写入脉冲“假信号”保护

WE#上短于5 ns（典型值）的噪声脉冲不会启动写入循环。

9.5.3 逻辑禁止

通过将OE#设为 V_{IL} ，或CE#为 V_{IH} ，或WE#为 V_{IH} ，可禁止写入周期。要启动写入周期，CE#和WE#必须为低电平（ V_{IL} ），并且OE#为高电平（ V_{IH} ）。

电气规格参数

10 电气规格参数

10.1 绝对最大额定值

Table 32 绝对最大额定值

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +125°C
Voltage with respect to ground	
All pins other than RESET# ^[98]	-0.5 V to (V _{IO} + 0.5 V)
RESET# ^[98]	-0.5 V to (V _{CC} + 0.5 V)
Output short circuit current ^[99]	100 mA
V _{CC}	-0.5 V to +4.0 V
V _{IO}	-0.5 V to +4.0 V
ACC	-0.5 V to +12.5 V

10.2 热阻抗

表 33 热阻抗

Parameter	Description	Test condition	Device	TS056	LAE064	LAA064	VBU056	Unit	
Theta JA	Thermal resistance (Junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance in accordance with EIA/JESD51. with Still Air (0 m/s).	1G	43.5	30	24	30.5	°C/W	
			512M	45	32	26	33	°C/W	
Theta JB	Thermal resistance (Junction to board)		1G	40.5	8.4	10.5	8.3	°C/W	
			512M	14	12.4	11.8	10.4	°C/W	
Theta JC	Thermal resistance (Junction to case)		1G	20	7.5	6.7	8.1	°C/W	
			512M	19.5	10.1	7.3	10	°C/W	

10.3 锁闭特性

该产品符合JEDEC标准中的JESD78C锁闭测试要求。

注释：

98. 输入或I/O引脚上的最小DC电压是-0.5 V。在电压转换期间，输入或I/O引脚可能低于V_{SS}，降到-2.0 V，时间最长为20 ns。请参见图11。输入或I/O引脚上的最大DC电压是V_{CC} + 0.5 V。在电压转换期间，输入或I/O引脚可能升到V_{CC} + 2.0 V，时间最长为20 ns。请参见图12。

99. 每一次只能有一个输出对地短接。短接时间不能超过一秒。

100. 如果使用大于**最大绝对额定值**中所列出的数值，可能造成永久性损害。这只是压力额定值；并不暗示器件在这些值或者在此数据手册操作部分所示值之上的任何其他情形下能正常运行。如果让器件长时间在绝对最大额定值情况下运行，会影响器件的可靠性。

电气规格参数

10.4 工作范围

10.4.1 温度范围

表 34 温度范围

Parameter	Symbol	Devices	Spec		Unit
			Min	Max	
Ambient temperature	T_A	Industrial (I)	-40	+85	°C
		Industrial Plus (V)	-40	+105	
		Extended (N)	-40	+125	
		Automotive, AEC-Q100 grade 3 (A)	-40	+85	
		Automotive, AEC-Q100 grade 2 (B)	-40	+105	

10.4.2 供电电压

表 35 供电电压

V_{CC}	2.7 V to 3.6 V
V_{IO}	1.65 V to $V_{CC} + 200$ mV

注释:

101. 运行范围定义了一些限值, 在这些限值之间可保证器件正常运行。

电气规格参数

10.4.3 上电和掉电

上电或掉电期间， V_{CC} 必须不小于 V_{IO} ($V_{CC} \geq V_{IO}$)。

在 V_{CC} 和 V_{IO} 增加到 V_{CC} 和 V_{IO} 最小阈值以上，并一直保持该状态后的 t_{VCS} 延迟时间内，器件会忽略所有输入。在 t_{VCS} 期间，器件会执行上电复位操作。

在掉电期间或当电压降到 V_{CC} 锁定最大值 (V_{LKO}) 以下， V_{CC} 和 V_{IO} 电压必须保证在 t_{PD} 的时间内低于 V_{CC} 复位 (V_{RST}) 最低值，以确保当 V_{CC} 和 V_{IO} 重新返回到其运行范围时，器件正确进行初始。请参见图10。如果在电压下降过程中， V_{CC} 保持为高于 V_{LKO} 最大值的状态，那么当 V_{CC} 再次超过 V_{CC} 最小值时，器件将被初始化，并正常运行。如果器件因不正确的初始化而被锁定，可以使用硬件复位来正确初始化器件。

为了确保稳定的 V_{CC} 和 V_{IO} 电源，必须采取正常的预防措施进行电源去耦。系统中每个器件的 V_{CC} 和 V_{IO} 电源应使用一个大小合适的电容器进行去耦（此电容器需与封装接近，且通常为 $0.1 \mu F$ ）。在任何情况下， V_{IO} 始终不能比 V_{CC} 大 200 mV ($V_{CC} \geq V_{IO} - 200 \text{ mV}$)。

表 36 上电/掉电电压和时序

Symbol	Parameter	Min	Max	Unit
V_{CC}	V_{CC} power supply	2.7	3.6	V
V_{LKO}	V_{CC} level below which re-initialization is required ^[102]	–	2.5	V
V_{RST}	V_{CC} and V_{IO} Low voltage needed to ensure initialization will occur ^[102]	1.0	–	V
t_{VCS}	V_{CC} and $V_{IO} \geq$ minimum to first access ^[102]	300	–	μs
t_{PD}	Duration of $V_{CC} \leq V_{RST}(\text{min})$ ^[102]	15	–	μs

注释：

102. 并非100%经过了测试。

电气规格参数

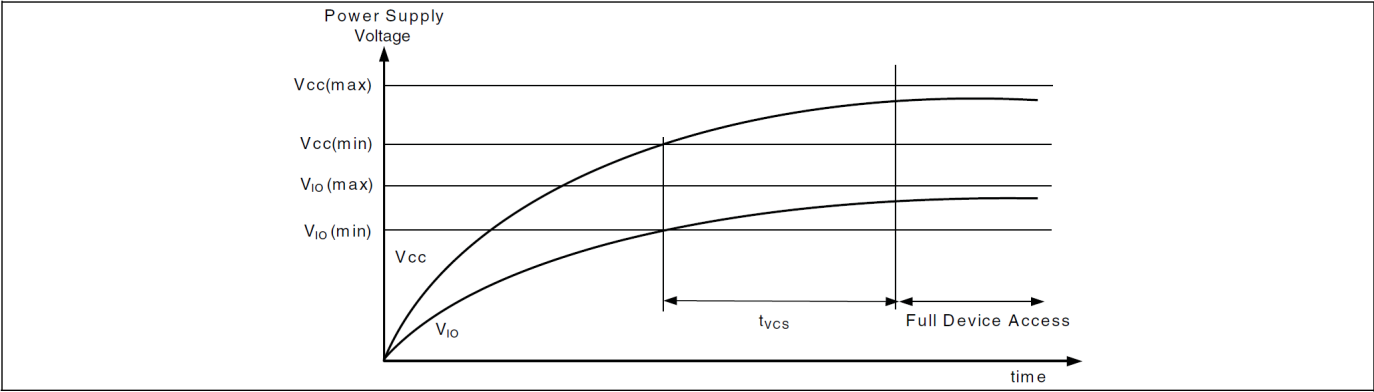


图 9 上电

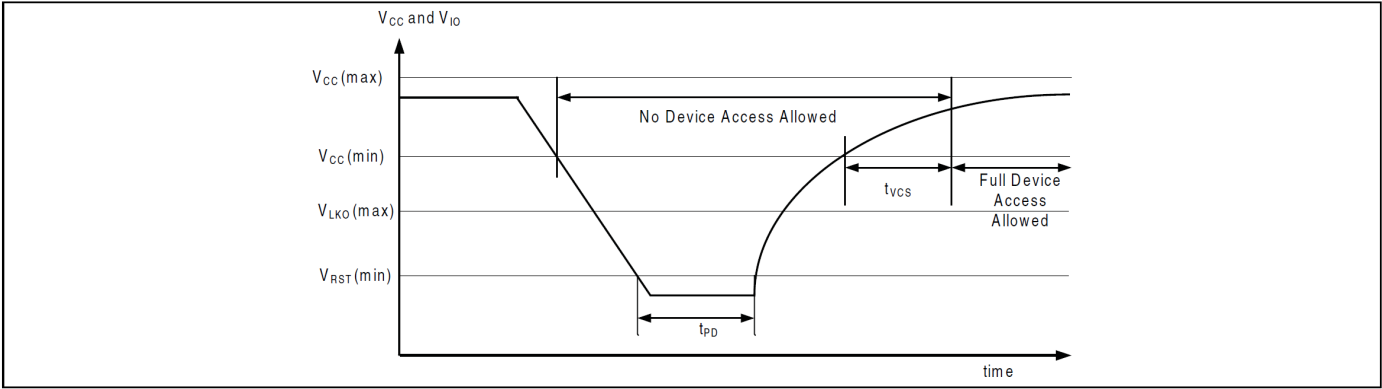


图 10 掉电或电压下降

10.4.4 输入信号过冲

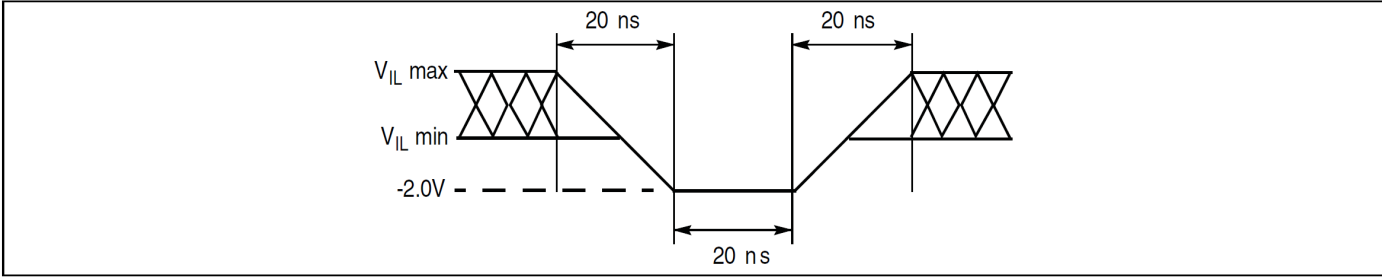


图 11 最大负过冲波形

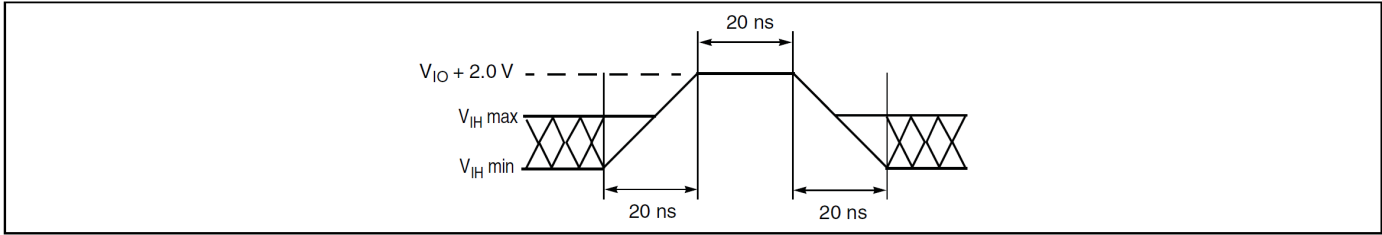


图 12 最大正过冲波形

电气规格参数

10.5 DC 特性

表 37 DC 特性 (−40°C ~ +85°C)

Parameter	Description	Test conditions		Min	Typ ^[103]	Max	Unit
I _{LI}	Input load current	V _{IN} = V _{SS} to V _{CC} , V _{CC} = V _{CC} max	All others	–	±0.02	±1.0	μA
			WP#, BYTE#	–	±0.5	±2.0	
I _{LO}	Output leakage current	V _{OUT} = V _{SS} to V _{CC} , V _{CC} = V _{CC} max		–	±0.02	±1.0	μA
I _{CC1}	V _{CC} active read current	CE# = V _{IL} , OE# = V _{IH} , address switching @ 5 MHz, V _{CC} = V _{CC} max		–	55	60	mA
I _{CC2}	V _{CC} intra-page read current	CE# = V _{IL} , OE# = V _{IH} , address switching @ 33 MHz, V _{CC} = V _{CC} max		–	9	25	mA
I _{CC3}	V _{CC} active erase/program current ^[103, 104]	CE# = V _{IL} , OE# = V _{IH} , V _{CC} = V _{CC} max		–	45	100	mA
I _{CC4}	V _{CC} standby current	CE#, RESET#, OE# = V _{IH} , V _{IH} = V _{IO} , V _{IL} = V _{SS} , V _{CC} = V _{CC} max		–	70	100	μA
I _{CC5}	V _{CC} reset current ^[103, 105]	CE# = V _{IH} , RESET# = V _{IL} , V _{CC} = V _{CC} max		–	10	20	mA
I _{CC6}	Automatic sleep mode ^[106]	V _{IH} = V _{IO} , V _{IL} = V _{SS} , V _{CC} = V _{CC} max, t _{ACC} + 30 ns		–	3	6	mA
		V _{IH} = V _{IO} , V _{IL} = V _{SS} , V _{CC} = V _{CC} max, t _{ASSB}		–	100	150	μA
I _{CC7}	V _{CC} current during power-up ^[103, 107]	RESET# = V _{IO} , CE# = V _{IO} , OE# = V _{IO} , V _{CC} = V _{CC} max		–	53	80	mA
V _{IL}	Input low voltage ^[108]	–		–0.5	–	0.3 × V _{IO}	V
V _{IH}	Input high voltage ^[108]	–		0.7 × V _{IO}	–	V _{IO} + 0.4	V
V _{HH}	Voltage for ACC program acceleration	V _{CC} = 2.7 V–3.6 V		11.5	–	12.5	V
V _{OL}	Output low voltage ^[108, 110]	I _{OL} = 100 μA for DQ15–DQ0; I _{OL} = 2 mA for RY/BY#		–	–	0.15 × V _{IO}	V
V _{OH}	Output high voltage ^[108]	I _{OH} = 100 μA		0.85 × V _{IO}	–	–	V
V _{LKO}	Low V _{CC} lock-out voltage ^[103]	–		2.25	–	2.5	V
V _{RST}	Low V _{CC} power-on-reset voltage ^[103]	–		–	1.0	–	V

注释:

103. 并非100%经过了测试。

104. 在执行EA期间, I_{CC} 有效。

105. 如果复位开始时嵌入式操作正在执行中, 则电流消耗将保持在嵌入式操作规范, 直到嵌入式操作被复位停止。如果复位开始时没有执行任何嵌入式操作, 或者在嵌入式操作停止之后, 在 t_{RPH} 剩余期间消耗的电流为 I_{CC5} 。在 t_{RPH} 结束时, 器件会进入待机模式, 直到进行下一个读取或写入操作为止。

106. 地址在指定的时间内保持稳定时, 通过自动睡眠模式可实现低功耗模式。

107. 在上电期间, 有电流波峰需求, 要求系统能够提供该电流, 以保证器件正确初始化。

108. $V_{IO} = 1.65\ V$ 至 V_{CC} 或 $2.7\ V$ 至 V_{CC} 取决于型号。109. $V_{CC} = 3\ V$ 和 $V_{IO} = 3\ V$ 或 $1.8\ V$ 。 $V_{IO} = 1.8\ V$ 时, I/O引脚不可在高于1.8 V的电压下运行。110. 推荐的RY/BY#输出上拉电阻范围为5 K Ω -10 K Ω 。

电气规格参数

表 38 DC 特性 (−40°C ~ +105°C)

Parameter	Description	Test conditions		Min	Typ ^[111]	Max	Unit
I_{LI}	Input load current	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC\ max}$	All others	–	±0.02	±1.0	μA
			WP#, BYTE#	–	±0.5	±2.0	
I_{LO}	Output leakage current	$V_{OUT} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC\ max}$		–	±0.02	±1.0	μA
I_{CC1}	V_{CC} active read current	$CE\# = V_{IL}$, $OE\# = V_{IH}$, address switching @ 5 MHz, $V_{CC} = V_{CC\ max}$		–	55	60	mA
I_{CC2}	V_{CC} intra-page read current	$CE\# = V_{IL}$, $OE\# = V_{IH}$, address switching @ 33 MHz, $V_{CC} = V_{CC\ max}$		–	9	25	mA
I_{CC3}	V_{CC} active erase/program current ^[111, 112]	$CE\# = V_{IL}$, $OE\# = V_{IH}$, $V_{CC} = V_{CC\ max}$		–	45	100	mA
I_{CC4}	V_{CC} standby current	$CE\#, RESET\#, OE\# = V_{IH}$, $V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$		–	70	200	μA
I_{CC5}	V_{CC} reset current ^[111, 113]	$CE\# = V_{IH}$, $RESET\# = V_{IL}$, $V_{CC} = V_{CC\ max}$		–	10	20	mA
I_{CC6}	Automatic sleep mode ^[114]	$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$, $t_{ACC} + 30\ ns$		–	3	6	mA
		$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$, t_{ASSB}		–	100	200	μA
I_{CC7}	V_{CC} current during power-up ^[111, 115]	$RESET\# = V_{IO}$, $CE\# = V_{IO}$, $OE\# = V_{IO}$, $V_{CC} = V_{CC\ max}$		–	53	80	mA
V_{IL}	Input low voltage ^[116]			−0.5	–	$0.3 \times V_{IO}$	V
V_{IH}	Input high voltage ^[116]			$0.7 \times V_{IO}$	–	$V_{IO} + 0.4$	V
V_{HH}	Voltage for ACC program acceleration	$V_{CC} = 2.7\ V - 3.6\ V$		11.5	–	12.5	V
V_{OL}	Output low voltage ^[116, 118]	$I_{OL} = 100\ \mu A$ for DQ15–DQ0; $I_{OL} = 2\ mA$ for RY/BY#		–	–	$0.15 \times V_{IO}$	V
V_{OH}	Output high voltage ^[116]	$I_{OH} = 100\ \mu A$		$0.85 \times V_{IO}$	–	–	V
V_{LKO}	Low V_{CC} lock-out voltage ^[111]			2.25	–	2.5	V
V_{RST}	Low V_{CC} power-on-reset voltage ^[111]			–	1.0	–	V

注释:

111. 并非100%经过了测试。

112. 在执行EA期间, I_{CC} 有效。

113. 如果复位开始时嵌入式操作正在执行中, 则电流消耗将保持在嵌入式操作规范, 直到嵌入式操作被复位停止。如果复位开始时没有执行任何嵌入式操作, 或者在嵌入式操作停止之后, 在 t_{RPH} 剩余期间消耗的电流为 I_{CC7} 。在 t_{RPH} 结束时, 器件会进入待机模式, 直到进行下一个读取或写入操作为止。

114. 地址在指定的时间内保持稳定时, 通过自动睡眠模式可实现低功耗模式。

115. 在上电期间, 有电流波峰需求, 要求系统能够提供该电流, 以保证器件正确初始化。

116. $V_{IO} = 1.65\ V$ 到 V_{CC} 还是 $2.7\ V$ 到 V_{CC} , 取决于不同的型号。117. $V_{CC} = 3\ V$ 和 $V_{IO} = 3\ V$ 或 $1.8\ V$ 。 $V_{IO} = 1.8\ V$ 时, I/O引脚不可在高于 $1.8\ V$ 的电压下运行。118. 推荐的RY/BY#输出上拉电阻范围为 $5\ k\Omega - 10\ k\Omega$ 。

电气规格参数

表 39 DC 特性 (-40°C ~ +125°C)

Parameter	Description	Test conditions		Min	Typ ^[119]	Max	Unit
I_{LI}	Input load current	$V_{IN} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC\ max}$	All others	-	±0.02	±1.0	μA
			WP#, BYTE#	-	±0.5	±2.0	
I_{LO}	Output leakage current	$V_{OUT} = V_{SS}$ to V_{CC} , $V_{CC} = V_{CC\ max}$		-	±0.02	±1.0	μA
I_{CC1}	V_{CC} active read current	$CE\# = V_{IL}$, $OE\# = V_{IH}$, address switching @ 5 MHz, $V_{CC} = V_{CC\ max}$		-	55	60	mA
I_{CC2}	V_{CC} intra-page read current	$CE\# = V_{IL}$, $OE\# = V_{IH}$, Address switching @ 33 MHz, $V_{CC} = V_{CC\ max}$		-	9	25	mA
I_{CC3}	V_{CC} active erase/program current ^[119, 120]	$CE\# = V_{IL}$, $OE\# = V_{IH}$, $V_{CC} = V_{CC\ max}$		-	45	100	mA
I_{CC4}	V_{CC} standby current	$CE\#, RESET\#, OE\# = V_{IH}$, $V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$		-	70	215	μA
I_{CC5}	V_{CC} reset current ^[119, 121]	$CE\# = V_{IH}$, $RESET\# = V_{IL}$, $V_{CC} = V_{CC\ max}$		-	10	20	mA
I_{CC6}	Automatic sleep mode ^[122]	$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$, $t_{ACC} + 30\ ns$		-	3	6	mA
		$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC\ max}$, t_{ASSB}		-	100	215	μA
I_{CC7}	V_{CC} current during power-up ^[119, 123]	$RESET\# = V_{IO}$, $CE\# = V_{IO}$, $OE\# = V_{IO}$, $V_{CC} = V_{CC\ max}$		-	53	80	mA
V_{IL}	Input low voltage ^[124]	-		-0.5	-	$0.3 \times V_{IO}$	V
V_{IH}	Input high voltage ^[124]	-		$0.7 \times V_{IO}$	-	$V_{IO} + 0.4$	V
V_{HH}	Voltage for ACC program acceleration	$V_{CC} = 2.7\ V - 3.6\ V$		11.5	-	12.5	V
V_{OL}	Output low voltage ^[124, 126]	$I_{OL} = 100\ \mu A$ for DQ15-DQ0; $I_{OL} = 2\ mA$ for RY/BY#		-	-	$0.15 \times V_{IO}$	V
V_{OH}	Output high voltage ^[124]	$I_{OH} = 100\ \mu A$		$0.85 \times V_{IO}$	-	-	V
V_{LKO}	Low V_{CC} lock-out voltage ^[119]	-		2.25	-	2.5	V
V_{RST}	Low V_{CC} power-on-reset voltage ^[119]	-		-	1.0	-	V

注释:

119. 并非100%经过了测试。

120. 在执行EA期间, I_{CC} 有效。

121. 如果复位开始时嵌入式操作正在执行中, 则电流消耗将保持在嵌入式操作规范, 直到嵌入式操作被复位停止。如果复位开始时没有执行任何嵌入式操作, 或者在嵌入式操作停止之后, 在 t_{RPH} 剩余期间消耗的电流为 I_{CC7} 。在 t_{RPH} 结束时, 器件会进入待机模式, 直到进行下一个读取或写入操作为止。

122. 地址在指定的时间内保持稳定时, 通过自动睡眠模式可实现低功耗模式。

123. 在上电期间, 有电流波峰需求, 要求系统能够提供该电流, 以保证器件正确初始化。

124. $V_{IO} = 1.65\ V$ 到 V_{CC} 还是 $2.7\ V$ 到 V_{CC} , 取决于不同的型号。125. $V_{CC} = 3\ V$ 和 $V_{IO} = 3\ V$ 或 $1.8\ V$ 。 $V_{IO} = 1.8\ V$ 时, I/O引脚不可在高于 $1.8\ V$ 的电压下运行。126. 推荐的RY/BY#输出上拉电阻范围为 $5\ k\Omega - 10\ k\Omega$ 。

电气规格参数

10.6 电容特性

表 40 FBGA (LAA) 封装的连接电容

Symbol	Description	Test setup	Typ	Max	Unit
C_{IN}	Input capacitance	$V_{IN} = 0$	4	5.5	pF
C_{OUT}	Output capacitance	$V_{OUT} = 0$	3.5	5	pF
C_{IN2}	Control pin capacitance	$V_{IN} = 0$	4	8	pF
RY/BY#	Output capacitance	$V_{OUT} = 0$	3	4	pF
RESET#	Reset input capacitance	$V_{IN} = 0$	21	23	pF

表 41 FBGA (LAE) 封装中的连接电容

Symbol	Description	Test setup	Typ	Max	Unit
C_{IN}	Input capacitance	$V_{IN} = 0$	3.5	5	pF
C_{OUT}	Output capacitance	$V_{OUT} = 0$	3.5	5	pF
C_{IN2}	Control pin capacitance	$V_{IN} = 0$	3.5	7	pF
RY/BY#	Output capacitance	$V_{OUT} = 0$	2.5	3.5	pF
RESET#	Reset input capacitance	$V_{IN} = 0$	20	22	pF

注释:

127. 采样值, 并非100%经过了测试。

128. 测试条件: $T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$ 。

129. 采样值, 并非100%经过了测试。

130. 测试条件: $T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$ 。

电气规格参数

表 42 FBGA (VBU) 封装的连接器电容

Symbol	Description	Test setup	Typ	Max	Unit
C_{IN}	Input capacitance	$V_{IN} = 0$	3.5	5	pF
C_{OUT}	Output capacitance	$V_{OUT} = 0$	3.5	5	pF
C_{IN2}	Control pin capacitance	$V_{IN} = 0$	3.5	7	pF
RY/BY#	Output capacitance	$V_{OUT} = 0$	3	4	pF
RESET#	Reset input capacitance	$V_{IN} = 0$	20	22	pF

表 43 TSOP封装连接器电容

Symbol	Description	Test setup	Typ	Max	Unit
C_{IN}	Input capacitance	$V_{IN} = 0$	3	5	pF
C_{OUT}	Output capacitance	$V_{OUT} = 0$	3	4.5	pF
C_{IN2}	Control pin capacitance	$V_{IN} = 0$	3.5	7	pF
RY/BY#	Output capacitance	$V_{OUT} = 0$	2.5	3.5	pF
RESET#	Reset input capacitance	$V_{IN} = 0$	20	22	pF

注释:

131. 采样值, 并非100%经过了测试。

132. 测试条件: $T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$ 。

133. 采样值, 并非100%经过了测试。

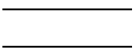
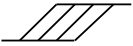
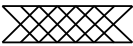
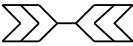
134. 测试条件: $T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$ 。

时序规范

11 时序规范

11.1 波形切换关键

表 44 波形切换

Waveform	Inputs	Outputs
	Steady	
	Changing from H to L	
	Changing from L to H	
	Don't care, any change permitted	Changing, state unknown
	Does not apply	Center line is high impedance state (High-Z)

11.2 AC 测试条件

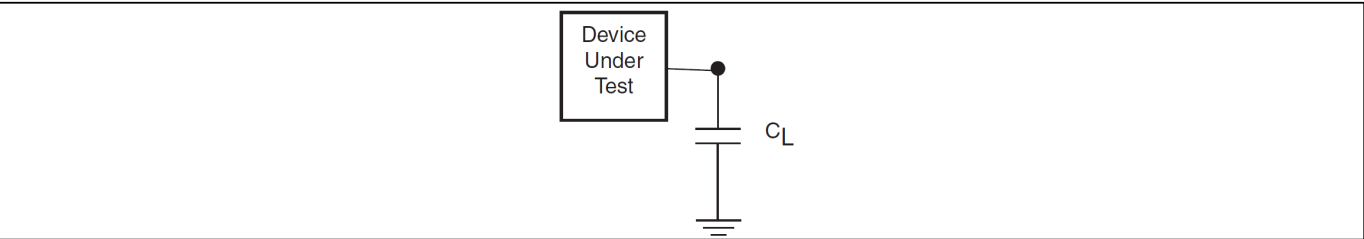


图 13 测试设置

表 45 测试规范

Parameter	All speeds	Units
Output load capacitance, C_L	30	pF
Input rise and fall times ^[135]	1.5	ns
Input pulse levels	0.0– V_{IO}	V
Input timing measurement reference levels	$V_{IO}/2$	V
Output timing measurement reference levels	$V_{IO}/2$	V

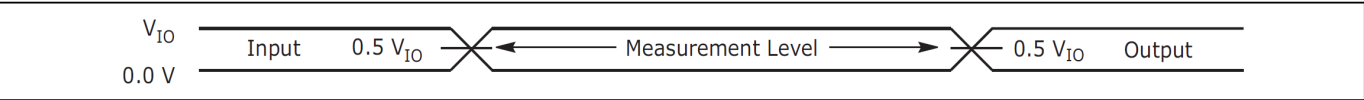


图 14 输入波形和测量电平

注释：

135. 在 V_{IL} 最大值和 V_{IH} 最小值之间进行测试。

11.3 上电复位（POR）和热复位

为了确保稳定的 V_{CC} 和 V_{IO} 电源，必须采取正常的预防措施进行电源去耦。系统中每个器件的 V_{CC} 和 V_{IO} 电源应使用一个大小合适的电容器进行去耦（此电容器需与封装接近，且通常为0.1 μ F）。

表 46 上电和复位参数

Parameter	Description	Limit	Value	Unit
t_{VCS}	V_{CC} setup time to first access ^[136, 137]	Min	300	μ s
t_{VIOS}	V_{IO} setup time to first access ^[136, 137]	Min	300	μ s
t_{RPH}	RESET# LOW to CE# LOW	Min	35	μ s
t_{RP}	RESET# pulse width	Min	200	ns
t_{RH}	Time between RESET# (HIGH) and CE# (LOW)	Min	50	ns
t_{CEH}	CE# pulse width HIGH	Min	20	ns

注释：

136. 并非100%经过了测试。

137. 从 V_{CC} 达 V_{CC} 最小值和 V_{IO} 达 V_{IO} 最小值到RESET为 V_{IH} 和CE#为 V_{IL} 之间进行时序测量。

138. RESET#低在POR期间可选。如果在POR期间激活RESET， t_{RPH} 、 t_{VIOS} 或 t_{VCS} 中的最后发生的时间确定CS#何时变为低电平。如果RESET#在 t_{VIOS} 或 t_{VCS} 后保持低的要求得到满足， t_{RPH} 将从 t_{VIOS} 或 t_{VCS} 结束时开始计算。CS#变为低电平前，RESET必须在 t_{RH} 时间内保持为高电平。

139. 上电期间， $V_{CC} \geq V_{IO} - 200$ mV。

140. V_{CC} 和 V_{IO} 的升降速率可能是非线性的。

141. $t_{RP} + t_{RH}$ 的总和不能小于 t_{RPH} 。

时序规范

11.3.1 上电（冷）复位（POR）

在电源上升期间， V_{IO} 电源电压不可大于 V_{CC} 电源电压。 V_{IH} 同样不能大于 V_{IO} 供电电压。

冷复位EA需要一个长达数百 μs 的时间（ t_{VCS} ）从非易失性存储器加载所有EAC算法和默认状态。在冷复位期间，所有控制信号（包括CE#和RESET#）均被忽略。如果CE#在 t_{VCS} 期间保持为低电平，器件在 t_{VCS} 时间内消耗的电流可能超过典型POR电流，但CE#的电平不会影响冷复位EA。在 t_{VCS} 期间，RESET#可能为高或低电平。如果RESET#在 t_{VCS} 期间为低电平，它在 t_{VCS} 结束时可能保持该状态，以使器件保持硬件复位状态。如果RESET#在 t_{VCS} 结束时为高电平，器件将进入待机状态。

第一次上电时，电源电压先低于 V_{RST} ，然后逐渐上升，以达到运行范围的最小值，内部器件配置和冷复位操作被启动。CE#在POR操作期间（ t_{VCS} 或 t_{VIOS} ）被忽略。RESET#低在此POR期间可选。如果在POR期间将RESET#置低，则必须满足硬件复位参数 t_{RP} 和 t_{RPH} 。这样，复位操作会在 t_{VCS} 或 t_{VIOS} 或 t_{RPH} 结束后完成。CE#、OE#或地址转换会启动第一个读取操作。如果CE#在POR期间保持为低电平，那么当前地址将自动被读取。

在冷复位期间，器件消耗的电流为 I_{CC7} 。

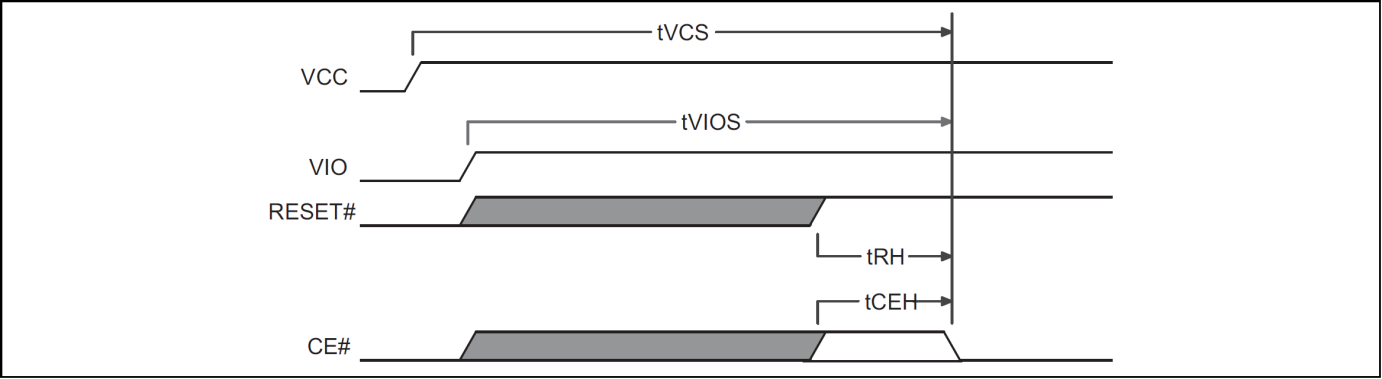


图 15 上电图

时序规范

11.3.2 硬件（热）复位

在硬件复位期间 (t_{RPH})，器件消耗的电流为 I_{CC5} 。

RESET#保持为 V_{SS} 电压时，器件消耗的电流为CMOS待机电流 (I_{CC4})。如果RESET#保持为 V_{IL} 而不是 V_{SS} ，则待机电流会更大。

在 t_{VCS} 之后，如果器件尚未完成冷复位，而RESET#已被激活，将执行Cold Reset# EA而不是Warm RESET#，并且需要 t_{VCS} 时间完成。请参见图16。

器件完成POR并进入待机状态后，以后转换到硬件复位状态时将启动热复位EA。热复位的时间比冷复位的时间短得多，它只需要几十 μs (t_{RPH}) 便能完成。在热复位EA期间，正在执行的所有EA都停止，EAC返回其POR状态，而不会从非易失性存储器重新加载EAC算法。热复位EA完成后，接口会在一下条件下保持在硬件复位状态：RESET#保持低。当RESET#返回高时，接口将转换到待机状态。如果RESET#在热复位EA结束时为高，接口将直接转换到待机状态。如果CE#在热复位期间保持低电平，那么当前地址将自动被读取。

如果在 t_{VCS} 结束时尚未正确完成POR，以后转换到硬件复位状态时将导致转换到上电复位接口状态，并启动冷复位EA。这样可确保器件能够完成冷复位，即使系统上电电压升高的相关问题可导致POR不能正确启动或完成。RY/BY#引脚在冷复位或热复位期间为低，以指明器件正在执行复位操作。

硬件复位由RESET#信号变为 V_{IL} 启动。

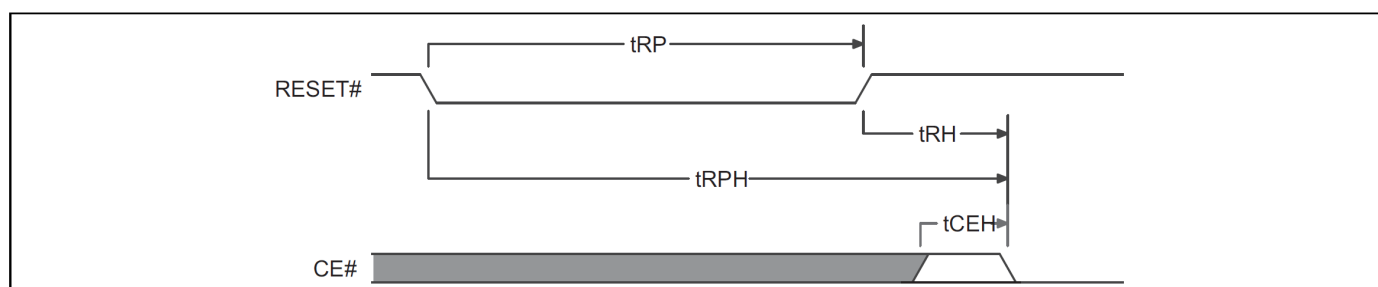


图 16 硬件复位

时序规范

11.4 AC 特性

11.4.1 异步读取操作

表 47 读取操作 $V_{IO} = V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$ (温度为 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

Parameter		Description	Test setup		Speed option	Unit
JEDEC	Std					
t_{AVAV}	t_{RC}	Read cycle time ^[142]	512 Mb, 1 Gb	Min	100	ns
t_{AVQV}	t_{ACC}	Address to output delay	CE# = V_{IL} OE# = V_{IL}	Max	100	ns
t_{ELQV}	t_{CE}	Chip Enable to output delay	OE# = V_{IL}	Max	100	ns
	t_{PACC}	Page access time	512 Mb, 1 Gb	Max	15	ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read	Max	25	ns
			Poll	Max	35	
t_{AXQX}	t_{OH}	Output hold time from addresses, CE# or OE#, whichever occurs first		Min	0	ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[142]		Max	15	ns
	t_{OEHL}	Output Enable hold time ^[142]	Read	Min	0	ns
			Poll	Min	10	ns
	t_{ASO}	Address setup time to OE# LOW	Poll	Min	15	ns
	t_{AHT}	Address hold time from CE# or OE# HIGH	Poll	Min	0	ns
	t_{CEPH}	CE# HIGH	Poll	Min	20	ns
	t_{OEPH}	OE# HIGH	Poll	Min	20	ns
	t_{ASSB}	Automatic sleep to Standby time ^[142]	CE# = V_{IL} , Address stable	Typ	5	μs
				Max	8	μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to CE# LOW		Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to CE# LOW		Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[142]		Max	1	μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1	μs

注释:

142. 并非100%经过了测试。

时序规范

表 48 读取操作 $V_{IO} = 1.65\text{ V} \sim V_{CC}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$ (温度为 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

Parameter		Description	Test setup		Speed option	Unit
JEDEC	Std					
t_{AVAV}	t_{RC}	Read cycle time ^[143]	512 Mb, 1 Gb	Min	110	ns
t_{AVQV}	t_{ACC}	Address to output delay CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
t_{ELQV}	t_{CE}	Chip Enable to output delay OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
	t_{PACC}	Page access time	512 Mb, 1 Gb	Min	25	ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read and poll	Max	35	ns
t_{AXQX}	t_{OH}	Output Hold time from addresses, CE# or OE#, whichever occurs first		Min	0	ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[143]		Max	20	ns
	t_{OEHL}	Output Enable hold time ^[143]	Read	Min	0	ns
			Poll	Min	10	ns
	t_{ASO}	Address setup time to OE# LOW	Poll	Min	15	ns
	t_{AHT}	Address hold time from CE# or OE# HIGH	Poll	Min	0	ns
	t_{CEPH}	CE# HIGH	Poll	Min	20	ns
	t_{OEPH}	OE# HIGH	Poll	Min	20	ns
	t_{ASSB}	Automatic sleep to standby time ^[143]	CE# = V_{IL} , Address stable	Typ	5	μs
				Max	8	μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to CE# LOW		Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to CE# LOW		Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[143]		Max	1	μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1	μs

注释:

143. 并非100%经过了测试。

时序规范

表 49 读取操作 $V_{IO} = V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$ (温度为 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

Parameter		Description	Test setup		Speed option	Unit
JEDEC	Std					
t_{AVAV}	t_{RC}	Read cycle time ^[144]		512 Mb, 1 Gb	Min	110 ns
t_{AVQV}	t_{ACC}	Address to output delay	$CE\# = V_{IL}$ $OE\# = V_{IL}$	512 Mb, 1 Gb	Max	110 ns
t_{ELQV}	t_{CE}	Chip Enable to output delay	$OE\# = V_{IL}$	512 Mb, 1 Gb	Max	110 ns
	t_{PACC}	Page access time		512 Mb, 1 Gb	Max	15 ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read	Max	25	ns
			Poll	Max	35	
t_{AXQX}	t_{OH}	Output hold time from addresses, CE# or OE#, whichever occurs first		Min	0	ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[144]		Max	15	ns
	t_{OEHL}	Output Enable hold time ^[144]	Read	Min	0	ns
			Poll	Min	10	ns
	t_{ASO}	Address setup time to OE# LOW	Poll	Min	15	ns
	t_{AHT}	Address hold time from CE# or OE# HIGH	Poll	Min	0	ns
	t_{CEPH}	CE# HIGH	Poll	Min	20	ns
	t_{OEPH}	OE# HIGH	Poll	Min	20	ns
	t_{ASSB}	Automatic sleep to standby time ^[144]	$CE\# = V_{IL}$, Address stable	Typ	5	μs
				Max	8	μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to CE# LOW		Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to CE# LOW		Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[144]		Max	1	μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1	μs

注释:

144. 并非100%经过了测试。

时序规范

表 50 读取操作 $V_{IO} = 1.65\text{ V} \sim V_{CC}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$ (温度为 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$)

Parameter		Description	Test setup	Speed option	Unit
JEDEC	Std				
t_{AVAV}	t_{RC}	Read cycle time ^[145]	512 Mb, 1 Gb	Min	120 ns
t_{AVQV}	t_{ACC}	Address to output delay $CE\# = V_{IL}$ $OE\# = V_{IL}$	512 Mb, 1 Gb	Max	120 ns
t_{ELQV}	t_{CE}	Chip Enable to output delay $OE\# = V_{IL}$	512 Mb, 1 Gb	Max	120 ns
	t_{PACC}	Page access time	512 Mb, 1 Gb	Max	25 ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read and Poll	Max	35 ns
t_{AXQX}	t_{OH}	Output Hold time from addresses, $CE\#$ or $OE\#$, whichever occurs first		Min	0 ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[145]		Max	15 ns
	t_{OEH}	Output Enable hold time ^[145]	Read	Min	0 ns
			Poll	Min	10 ns
	t_{ASO}	Address setup time to $OE\#$ LOW	Poll	Min	15 ns
	t_{AHT}	Address hold time from $CE\#$ or $OE\#$ HIGH	Poll	Min	0 ns
	t_{CEPH}	$CE\#$ HIGH	Poll	Min	20 ns
	t_{OEPH}	$OE\#$ HIGH	Poll	Min	20 ns
	t_{ASSB}	Automatic sleep to standby time ^[145]	$CE\# = V_{IL}$, Address stable	Typ	5 μs
				Max	8 μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to $CE\#$ LOW		Min	10 ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to $CE\#$ LOW		Min	10 ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[145]		Max	1 μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1 μs

注释:

145. 并非100%经过了测试。

时序规范

表 51 读取操作 $V_{IO} = V_{CC} = 2.7\text{ V}$ 至 3.6 V (温度为 -40°C ~ $+125^{\circ}\text{C}$)

Parameter		Description	Test setup		Speed option	Unit
JEDEC	Std					
t_{AVAV}	t_{RC}	Read cycle time ^[146]	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Min	120 ns
t_{AVQV}	t_{ACC}	Address to output delay	OE# = V_{IL}	512 Mb, 1 Gb	Max	120 ns
t_{ELQV}	t_{CE}	Chip Enable to output delay		512 Mb, 1 Gb	Max	120 ns
	t_{PACC}	Page access time		512 Mb, 1 Gb	Max	15 ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read	Max	25	ns
			Poll	Max	35	ns
t_{AXQX}	t_{OH}	Output Hold time from addresses, CE# or OE#, whichever occurs first		Min	0	ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[146]		Max	15	ns
	t_{OEHL}	Output Enable hold time ^[146]	Read	Min	0	ns
			Poll	Min	10	ns
	t_{ASO}	Address setup time to OE# LOW	Poll	Min	15	ns
	t_{AHT}	Address hold time from CE# or OE# HIGH	Poll	Min	0	ns
	t_{CEPH}	CE# HIGH	Poll	Min	20	ns
	t_{OEPH}	OE# HIGH	Poll	Min	20	ns
	t_{ASSB}	Automatic sleep to standby time ^[146]	CE# = V_{IL} , Address stable	Typ	5	μs
				Max	8	μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to CE# LOW		Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to CE# LOW		Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[146]		Max	1	μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1	μs

注释:

146. 并非100%经过了测试。

时序规范

表 52 读取操作 $V_{IO} = 1.65\text{ V} \sim V_{CC}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$ ($-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)

Parameter		Description	Test setup	Speed option	Unit
JEDEC	Std				
t_{AVAV}	t_{RC}	Read cycle time ^[147] CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Min	130 ns
t_{AVQV}	t_{ACC}	Address to output delay OE# = V_{IL}	512 Mb, 1 Gb	Max	130 ns
t_{ELQV}	t_{CE}	Chip Enable to output delay	512 Mb, 1 Gb	Max	130 ns
	t_{PACC}	Page access time	512 Mb, 1 Gb	Max	20 ns
t_{GLQV}	t_{OE}	Output Enable to output delay	Read	Max	25 ns
			Poll	Max	35 ns
t_{AXQX}	t_{OH}	Output Hold time from addresses, CE# or OE#, whichever occurs first		Min	0 ns
t_{EHQZ}	t_{DF}	Chip Enable or Output Enable to output High-Z ^[147]		Max	15 ns
	t_{OEHL}	Output Enable hold time ^[147]	Read	Min	0 ns
			Poll	Min	10 ns
	t_{ASO}	Address setup time to OE# LOW	Poll	Min	15 ns
	t_{AHT}	Address hold time from CE# or OE# HIGH	Poll	Min	0 ns
	t_{CEPH}	CE# HIGH	Poll	Min	20 ns
	t_{OEPH}	OE# HIGH	Poll	Min	20 ns
	t_{ASSB}	Automatic sleep to standby time ^[147] CE# = V_{IL} , Address stable	Typ	5	μs
			Max	8	μs
t_{BLEL}	t_{FLEL}	BYTE# LOW to CE# LOW		Min	10 ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH to CE# LOW		Min	10 ns
t_{BLQV}	t_{FLQV}	BYTE# LOW to output High-Z ^[147]		Max	1 μs
t_{BHQV}	t_{FHQV}	BYTE# HIGH to output delay		Max	1 μs

注释:

147. 并非100%经过了测试。

时序规范

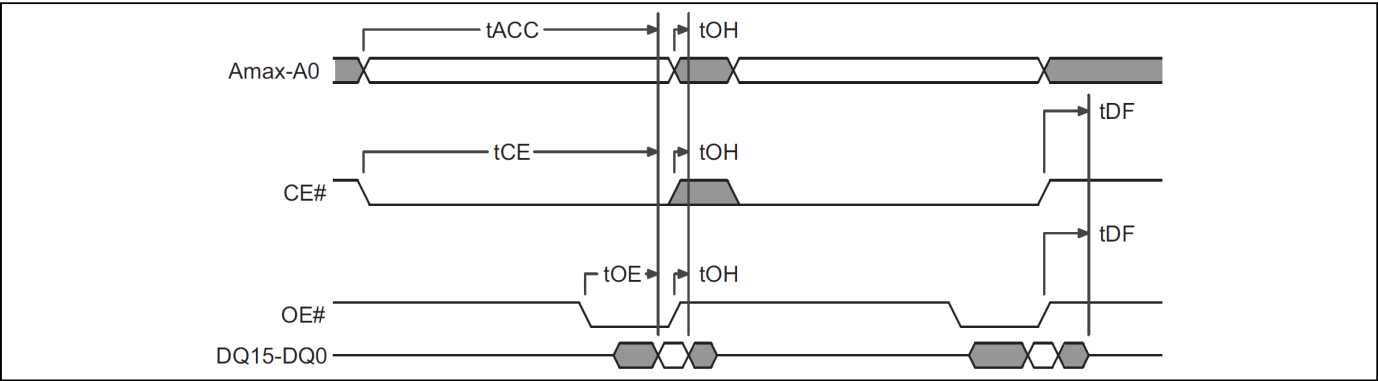


图 17 相邻读取 (t_{ACC}) 操作时序图^[151]

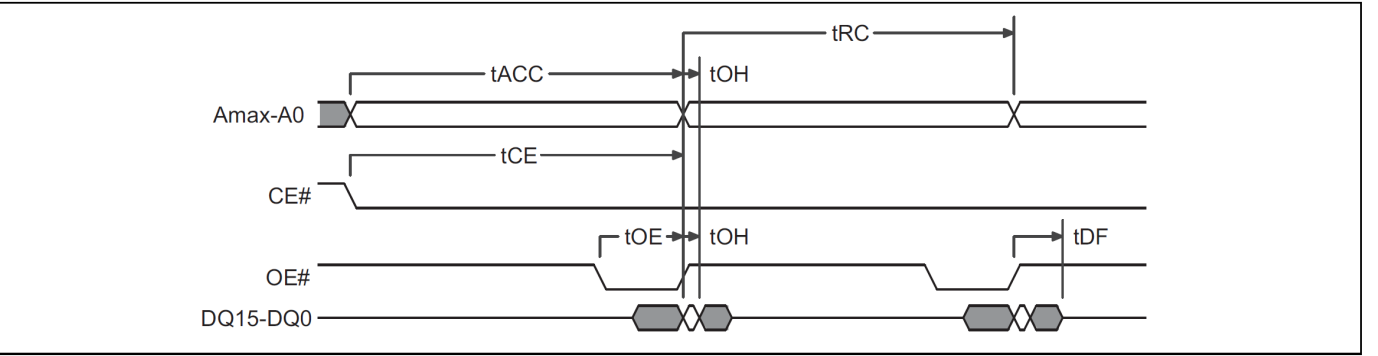


图 18 相邻读取操作 (t_{RC}) 时序图^[148、149]

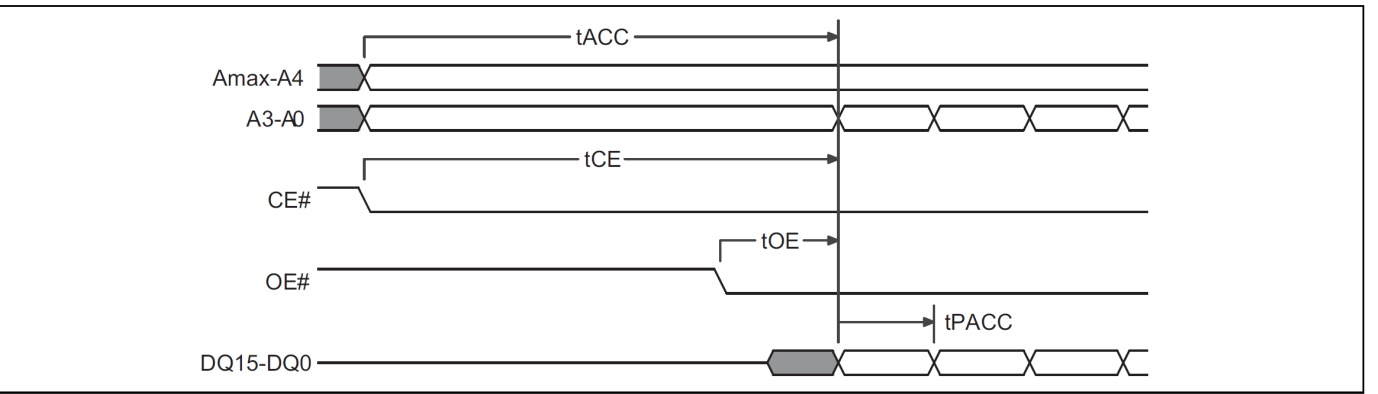


图 19 页面读取时序图^[148、150]

注释:

- 148. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。
- 149. 相邻操作 (访问之间CE#保持低) 要求更改地址以启动第二个访问。
- 150. 切换A3:A0 (字模式) ; A3:A1 (字节模式) 。
- 151. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。

时序规范

11.4.2 异步写入操作

表 53 写入操作

Parameter		Description		V _{IO} = 2.7 V to V _{CC}	V _{IO} = 1.65 V to V _{CC}	Unit
JEDEC	Std					
t _{AVAV}	t _{WC}	Write cycle time ^[152]	Min	60		ns
t _{AVWL}	t _{AS}	Address setup time	Min	0		ns
	t _{ASO}	Address setup time to OE# LOW during toggle bit polling	Min	15		ns
t _{WLAX}	t _{AH}	Address hold time	Min	45		ns
	t _{AHT}	Address hold time From CE# or OE# HIGH during toggle bit polling	Min	0		ns
t _{DVWH}	t _{DS}	Data setup time	Min	30		ns
t _{WHDX}	t _{DH}	Data hold time	Min	0		ns
t _{GHWL}	t _{GHWL}	Read recovery time before write (OE# HIGH to WE# LOW)	Min	0		ns
t _{ELWL}	t _{CS}	CE# setup time	Min	0		ns
t _{WHEH}	t _{CH}	CE# hold time	Min	0		ns
t _{WLWH}	t _{WP}	WE# pulse width	Min	25		ns
t _{WHWL}	t _{WPH}	WE# pulse width HIGH	Min	20		ns
	t _{SEA}	Sector erase time-out	Min	50		μs

注释:

152. 并非100%经过了测试。

时序规范

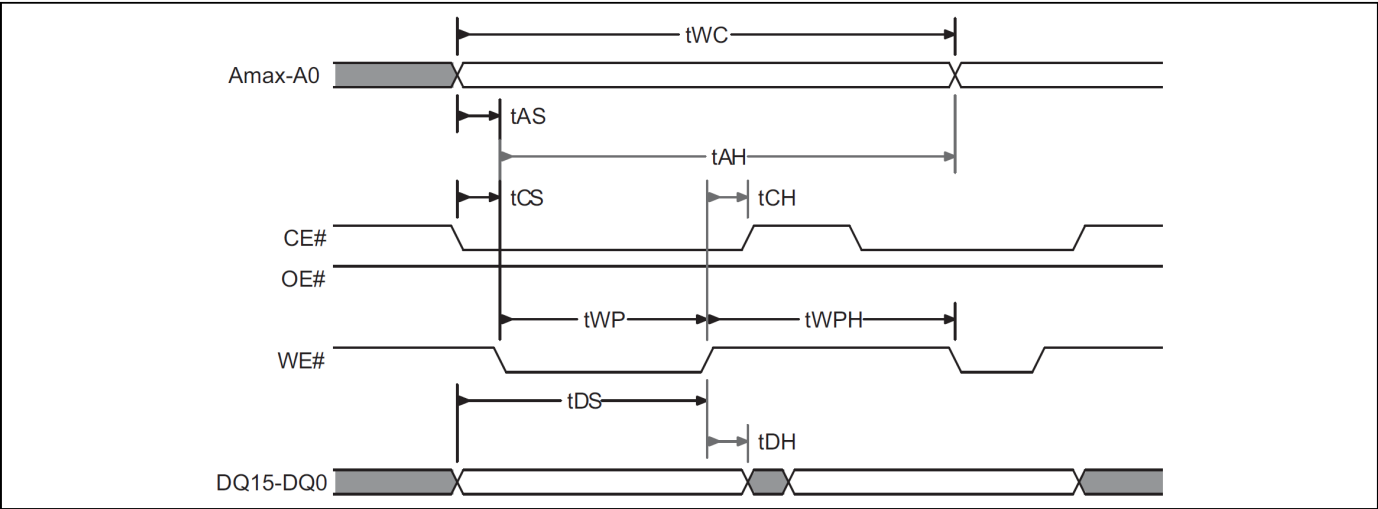


图 20 相邻写入操作时序图^[153]

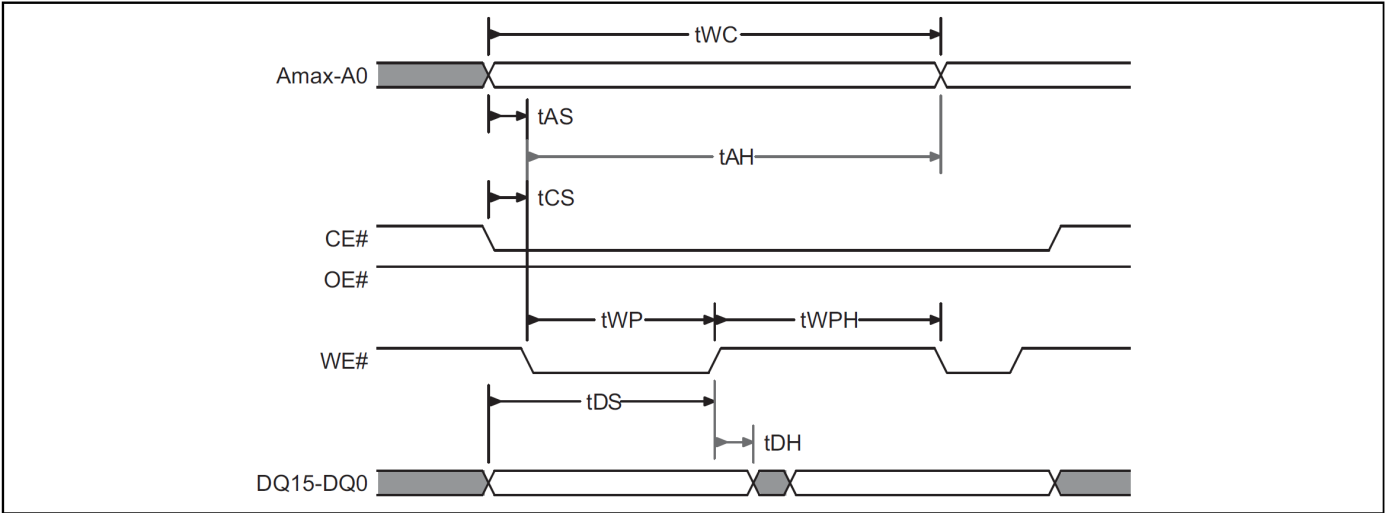


图 21 相邻 (CE#VIL) 写入操作时序图^[153]

注释:

153. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。

时序规范

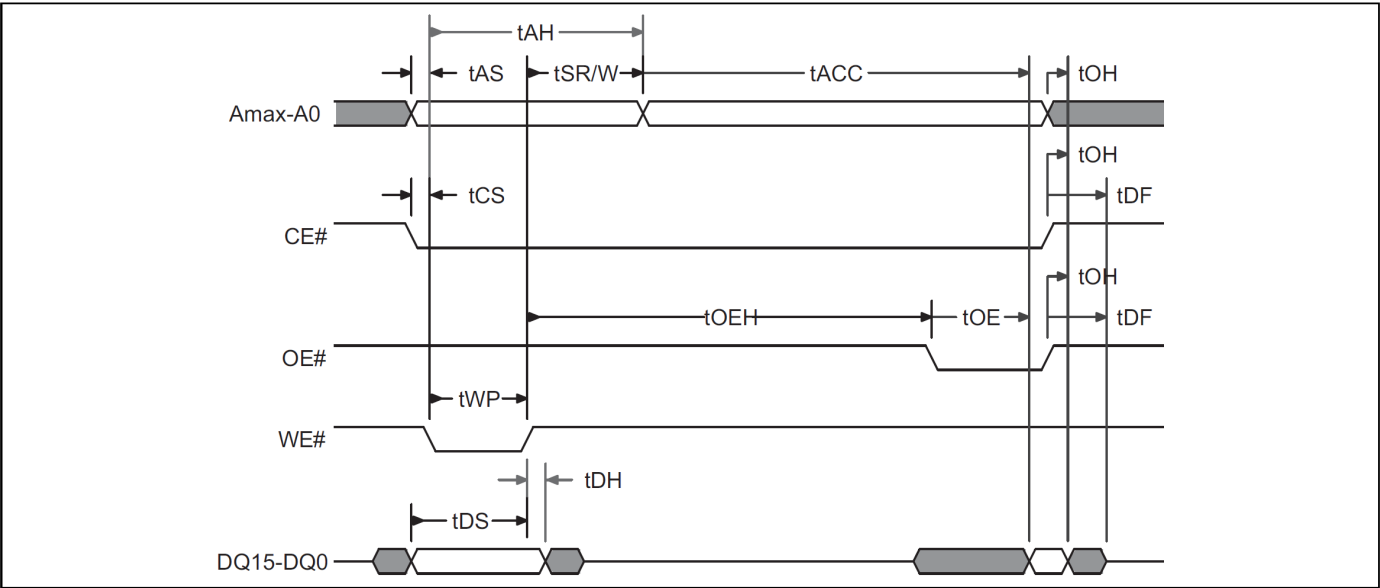


图 22 写入到读取 (t_{ACC}) 操作时序图^[154]

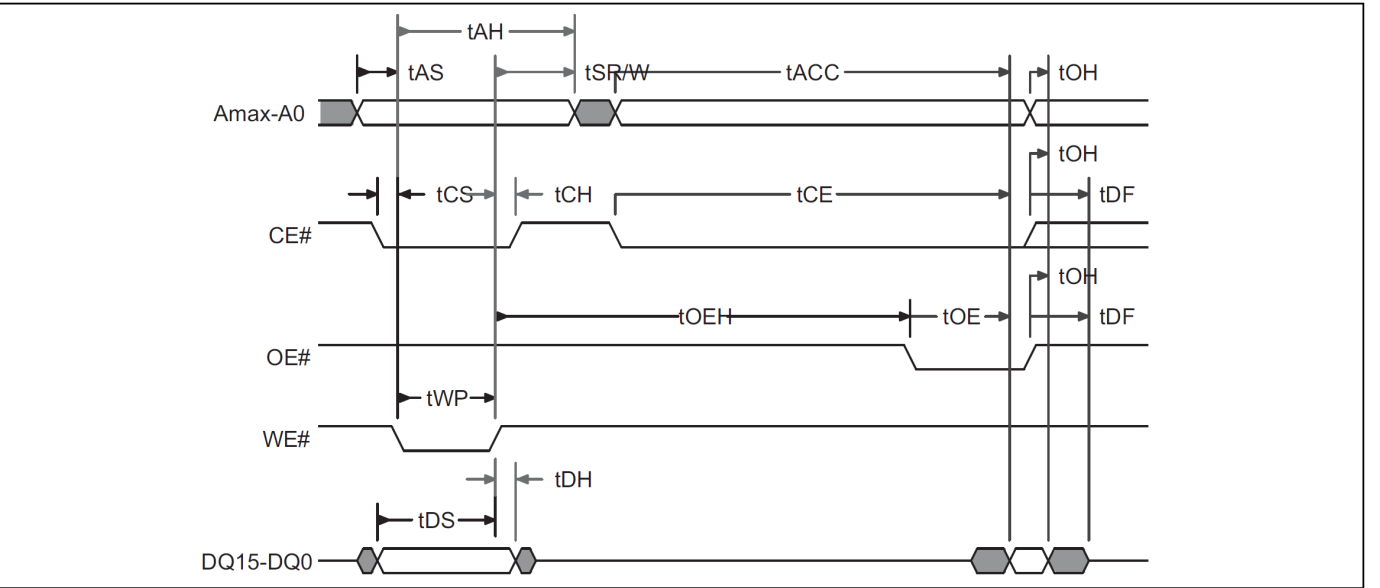


图 23 写入到读取 (t_{CE}) 操作时序图^[154]

注释:

154. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。

时序规范

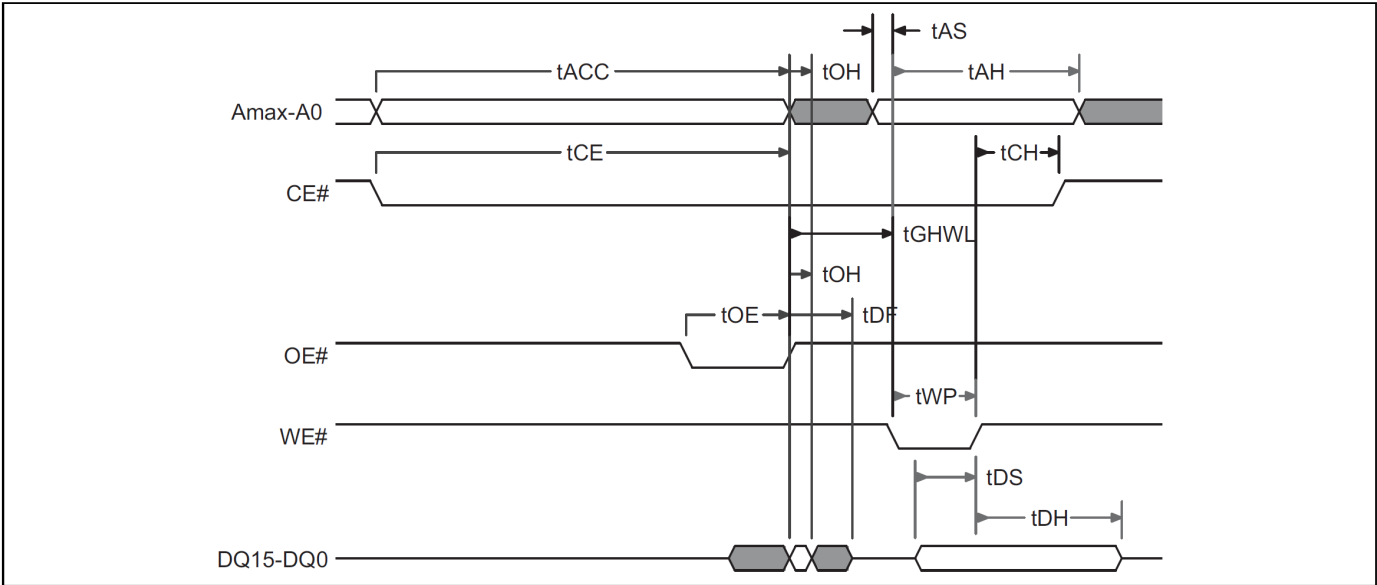


图 24 读取到写入 (CE# V_{IL}) 操作时序图^[155]

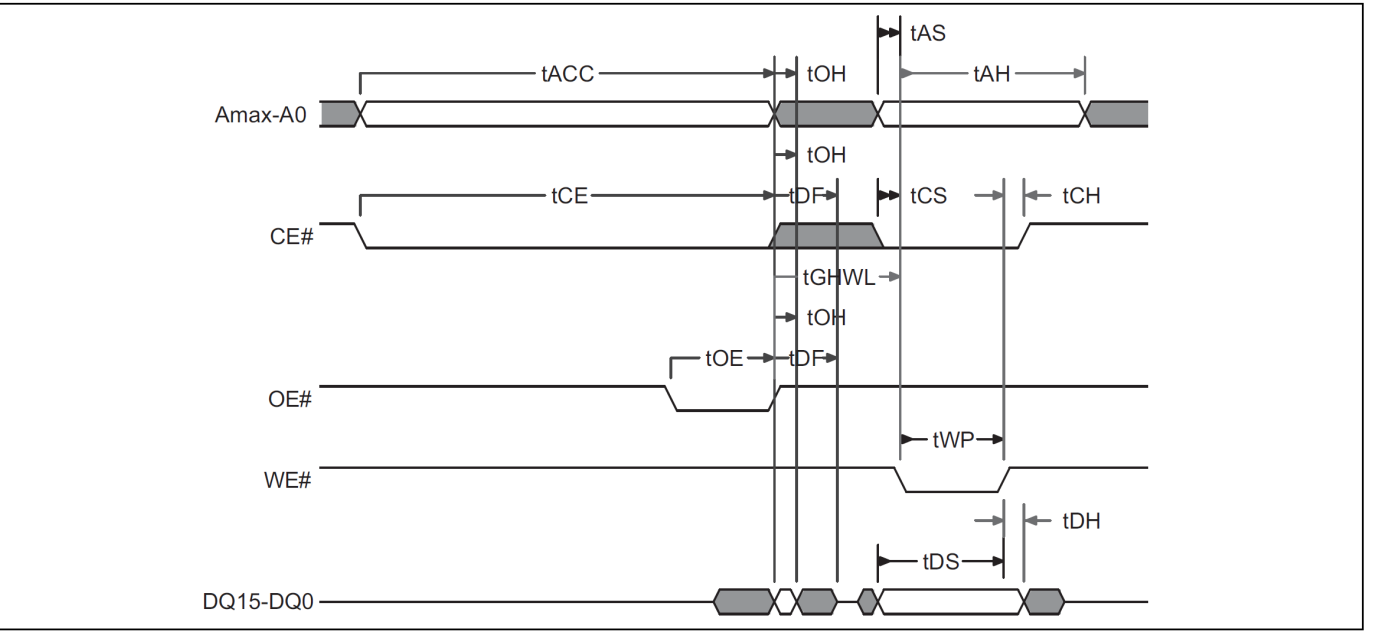


图 25 读取到写入 (CE#切换) 操作时序图^[155]

注释:

155. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。

时序规范

表 54 擦除/编程操作

Parameter		Description		V _{IO} = 2.7 V to V _{CC}	V _{IO} = 1.65 V to V _{CC}	Unit
JEDEC	Std					
t _{WHWH1}	t _{WHWH1}	Write Buffer Program operation	Typ	Note [158]		μs
		Effective Write Buffer Program operation per word	Typ	Note [158]		μs
		Program operation per word or page	Typ	Note [158]		μs
t _{WHWH2}	t _{WHWH2}	Sector Erase operation ^[156]	Typ	Note [158]		ms
	t _{BUSY}	Erase/Program valid to RY/BY# delay	Max	80		ns
	t _{SR/W}	Latency between Read and Write operations ^[157]	Min	10		ns
	t _{ESL}	Erase Suspend Latency	Max	Note [158]		μs
	t _{PSL}	Program Suspend Latency	Max	Note [158]		μs
	t _{RB}	RY/BY# Recovery time	Min	0		μs
	t _{PPB}	PPB Lock Unlock	Min	80		μs
			Max	120		
	t _{DP}	Data Polling to Protected Sector (Program)	Min	3		μs
			Max	20		
		Data Polling to Protected Sector (Erase)	Min	3		
			Max	100		
	t _{VHH}	V _{HH} Rise and Fall time ^[156]	Min	250		ns
	t _{TOR}	Exceeded timing cleared (DQ5)	Min	100		ns

注释:

156. 并非100%经过了测试。

157. 在WE#上升沿上, 必须等待 $t_{SR/W}$ 时间, 然后才切换到另一个地址。

158. 请参考表18和表19, 了解特定值信息。

时序规范

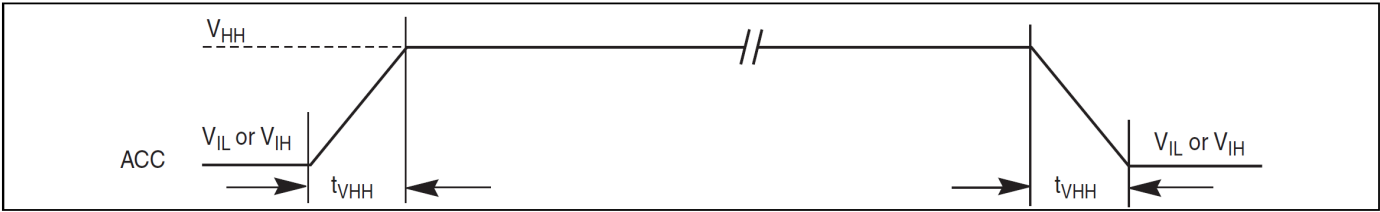


图 26 加速编程操作时序图

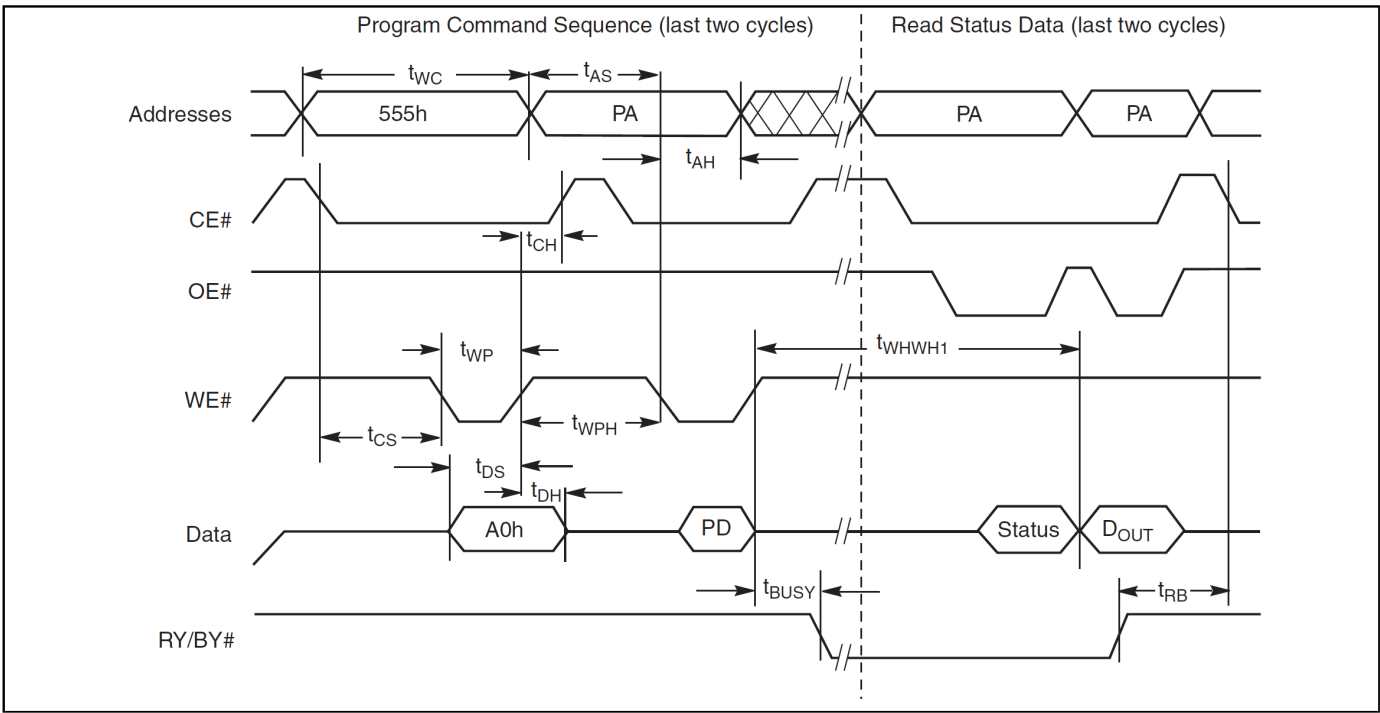


图 27 编程操作时序图^[159、160]

注释：

159. 地址为Amax:A0（字模式）；Amax:A1（字节模式），数据为DQ15-DQ0（字模式）；DQ7-DQ0（字节模式）。
160. PA = 编程地址，PD = 编程数据，D_{OUT} 是位于编程地址的真实数据。

时序规范

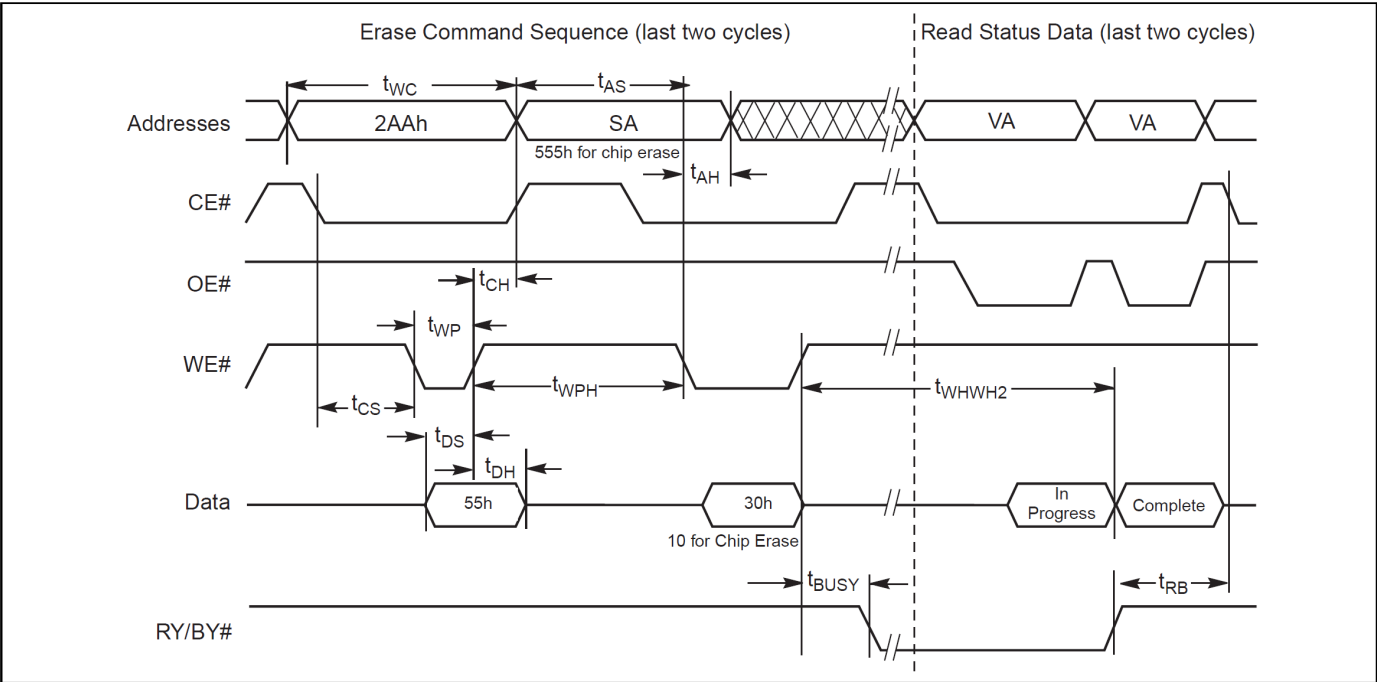


图 28 芯片/扇区擦除操作时序图^[161、162]

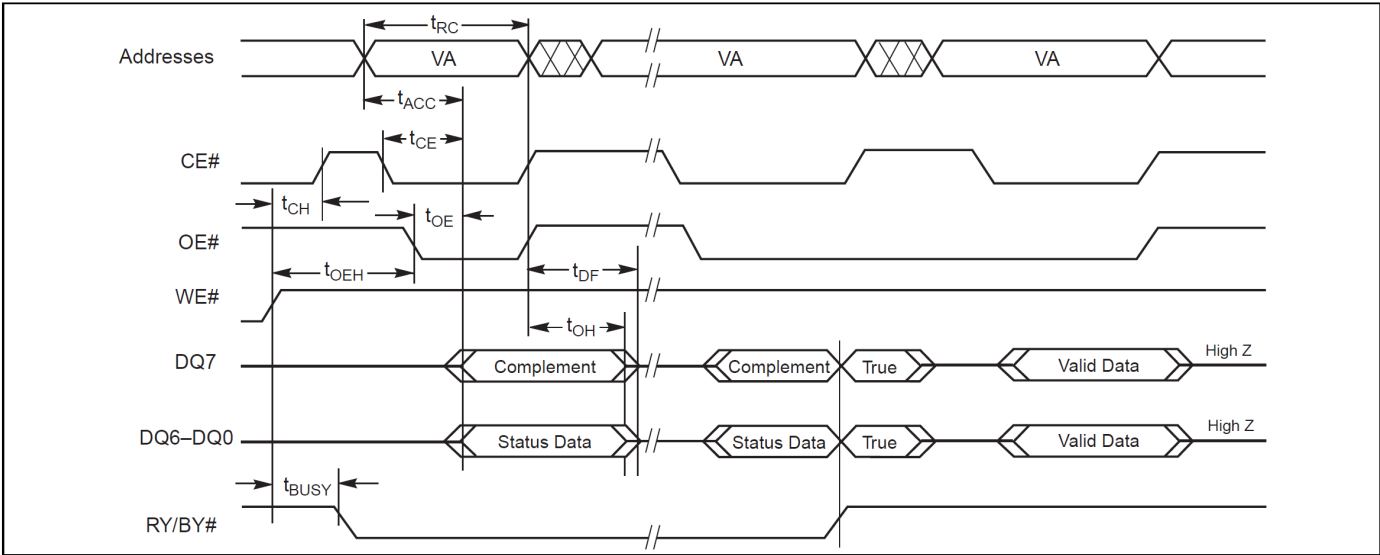


图 29 Data#轮询时序图 (在执行EA期间) ^[163]

注释:

- 161.地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。
162. SA = 扇区地址 (对于扇区擦除) , VA = 用于读取状态数据的有效地址。
163. VA = 有效地址。图例显示命令序列之后的第一个状态循环、最后一个状态读取循环、以及阵列数据读取循环。

时序规范

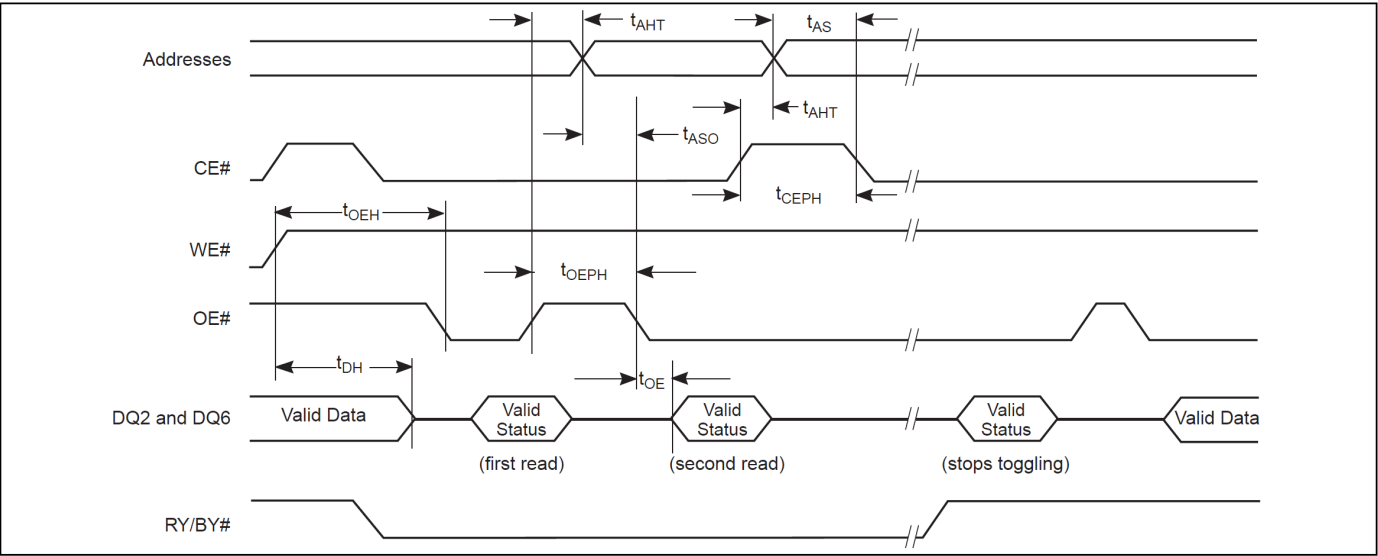


图 30 切换位时序图（在执行EA期间） [164]

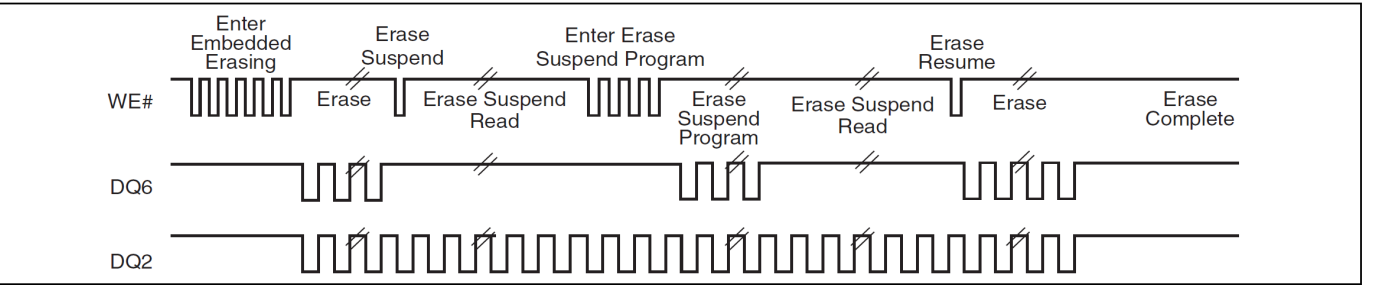


图 31 DQ2与DQ6关系图 [165]

注释：

164. 器件忙碌时，DQ6将在任一读取地址切换。如果地址在当前擦除扇区之内，DQ2将切换。
165. 系统可以使用OE#或CE#切换DQ2和DQ6。仅当读取的地址在擦除挂起扇区内时，DQ2才切换。

11.4.3 备用CE#控制的写入操作

表 55 备用CE#控制的写入操作

Parameter		Description		$V_{IO} = 2.7\text{ V}$ to V_{CC}	$V_{IO} = 1.65\text{ V}$ to V_{CC}	Unit
JEDEC	Std					
t_{AVAV}	t_{WC}	Write Cycle time ^[166]	Min	60		ns
t_{AVWL}	t_{AS}	Address Setup time	Min	0		ns
	t_{ASO}	Address Setup time to OE# LOW during toggle bit polling	Min	15		ns
t_{WLAX}	t_{AH}	Address Hold time	Min	45		ns
	t_{AHT}	Address Hold time from CE# or OE# HIGH during toggle bit polling	Min	0		ns
t_{DVWH}	t_{DS}	Data Setup time	Min	30		ns
t_{WHDX}	t_{DH}	Data Hold time	Min	0		ns
	t_{CEPH}	CE# HIGH during toggle bit polling	Min	20		ns
	t_{OEPH}	OE# HIGH during toggle bit polling	Min	20		ns
t_{GHEK}	t_{GHEL}	Read Recovery time before Write (OE# HIGH to WE# LOW)	Min	0		ns
t_{WLEL}	t_{WS}	WE# Setup time	Min	0		ns
t_{ELWH}	t_{WH}	WE# Hold time	Min	0		ns
t_{ELEH}	t_{CP}	CE# Pulse Width	Min	25		ns
t_{EHEL}	t_{CPH}	CE# Pulse Width HIGH	Min	20		ns
	t_{SEA}	Sector Erase time-out	Min	50		μs

注释:

166. 并非100%经过了测试。

时序规范

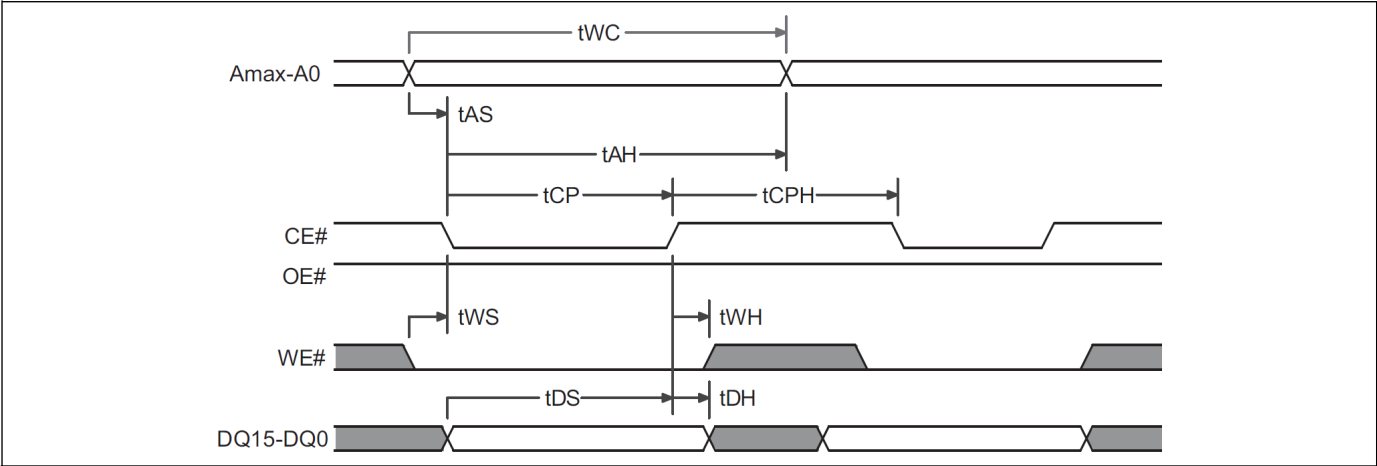


图 32 相邻 (CE#) 写入操作时序图^[167]

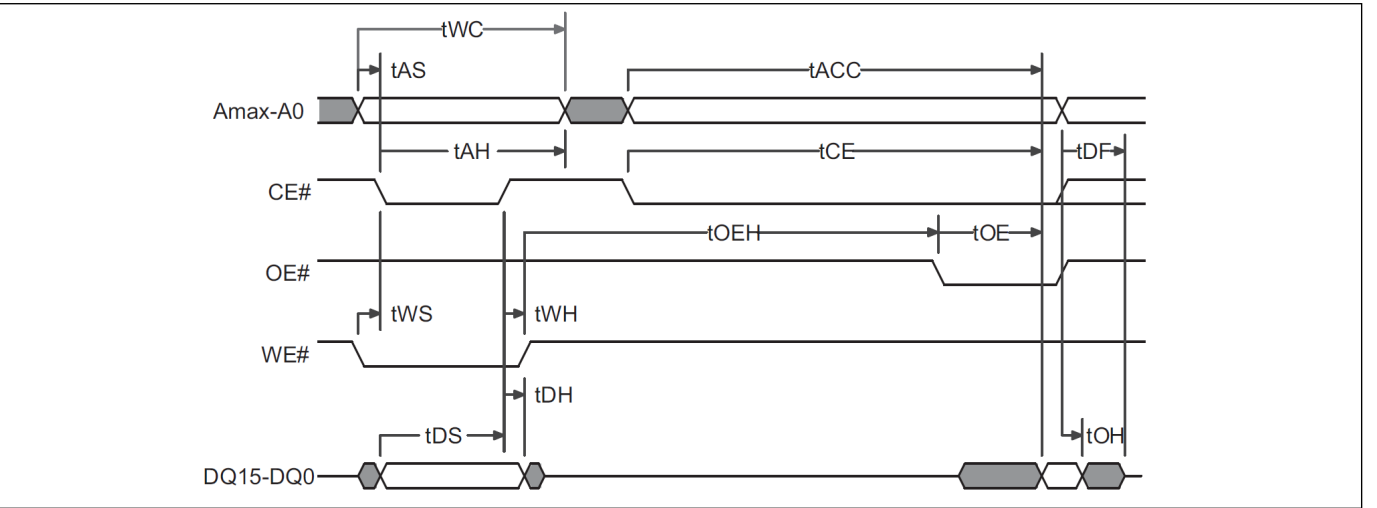


图 33 (CE#) 写入到读取操作时序图^[167]

注释:

167. 地址为Amax:A0 (字模式) ; Amax:A1 (字节模式) , 数据为DQ15-DQ0 (字模式) ; DQ7-DQ0 (字节模式) 。

物理接口

12 物理接口

12.1 56-引脚 TSOP

12.1.1 连接图

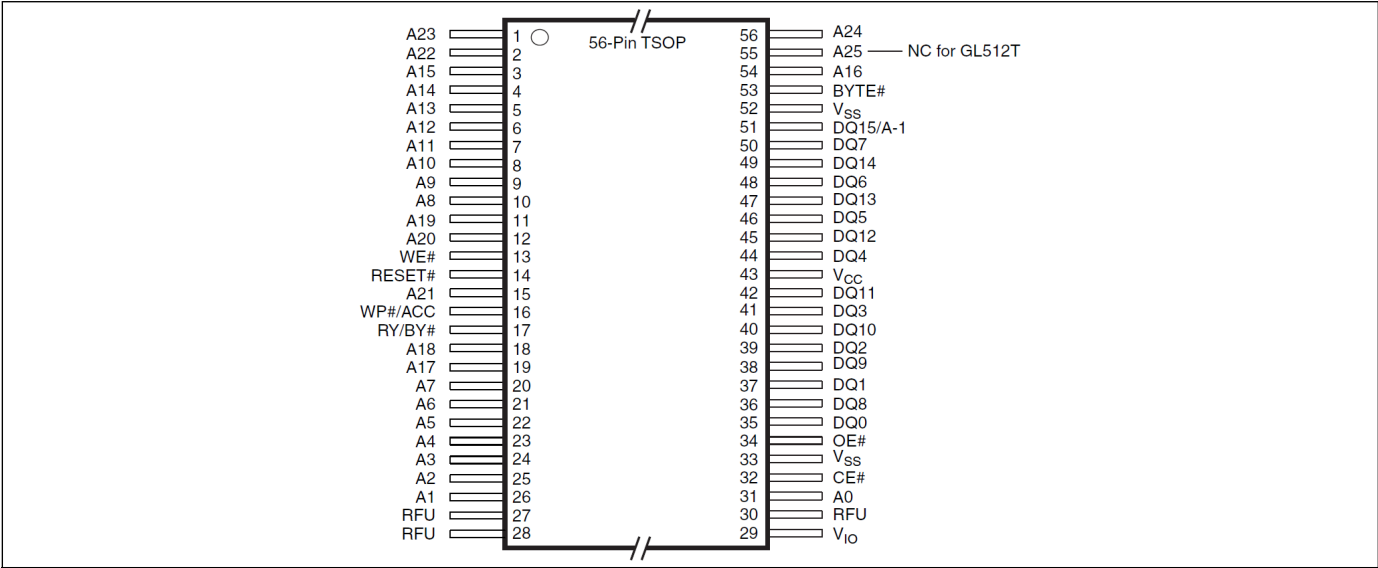


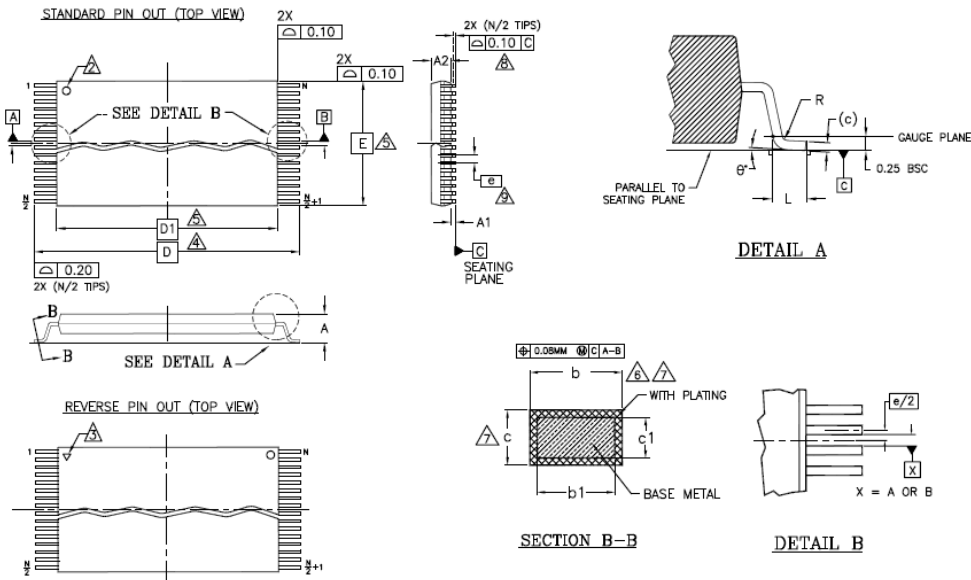
图 34 标准56-引脚 TSOP^[168]

注释:

168. 引脚27、28和30保留给未来使用 (RFU) 。

物理接口

12.1.2 物理图



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	14.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	56		

NOTES:

1. DIMENSIONS ARE IN MILLIMETERS (mm).
2. PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
3. PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
4. TO BE DETERMINED AT THE SEATING PLANE $\square C \square$. THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
5. DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
6. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm.
7. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
8. LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
9. DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
10. JEDEC SPECIFICATION NO. REF: MO-142(D)EC.

002-15549 *B

图 35 56-引脚 TSOP (18.4 × 14.0 × 1.2 mm) 封装外形, 002-15549

物理接口

12.2 64-球FBGA

12.2.1 连接图

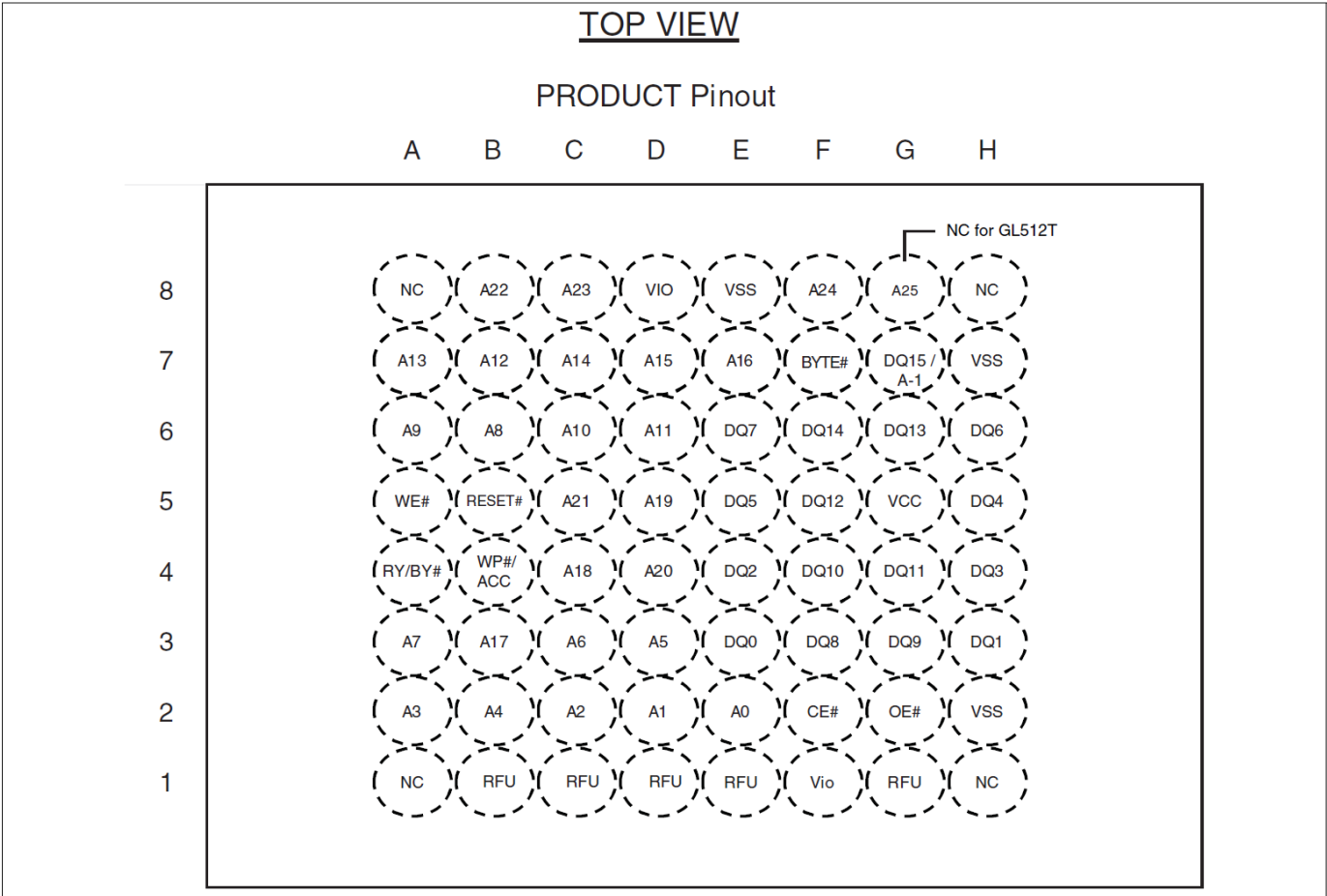


图 36 64-球加固球栅阵列^[169、170]

注释：

169. 球A1、A8、H1和H8是无连接（NC）。
170. 球B1、C1、D1、E1和G1是保留给未来使用（RFU）。

12.2.2 物理图 — LAE064

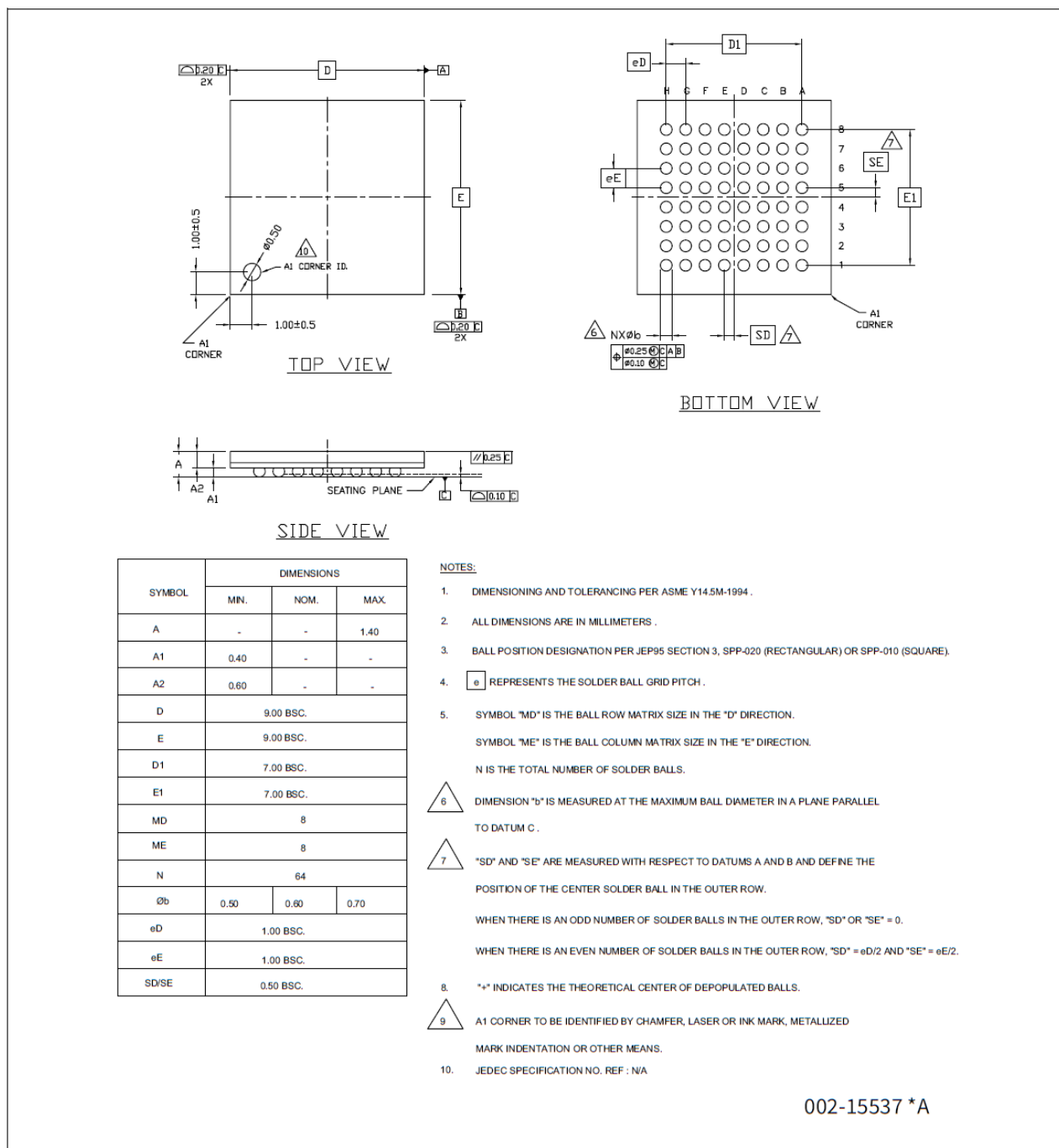


图 37 64-球 FBGA (9.0 × 9.0 × 1.4 mm) 封装外形, 002-15537

物理接口

12.2.3 物理图 — LAA064

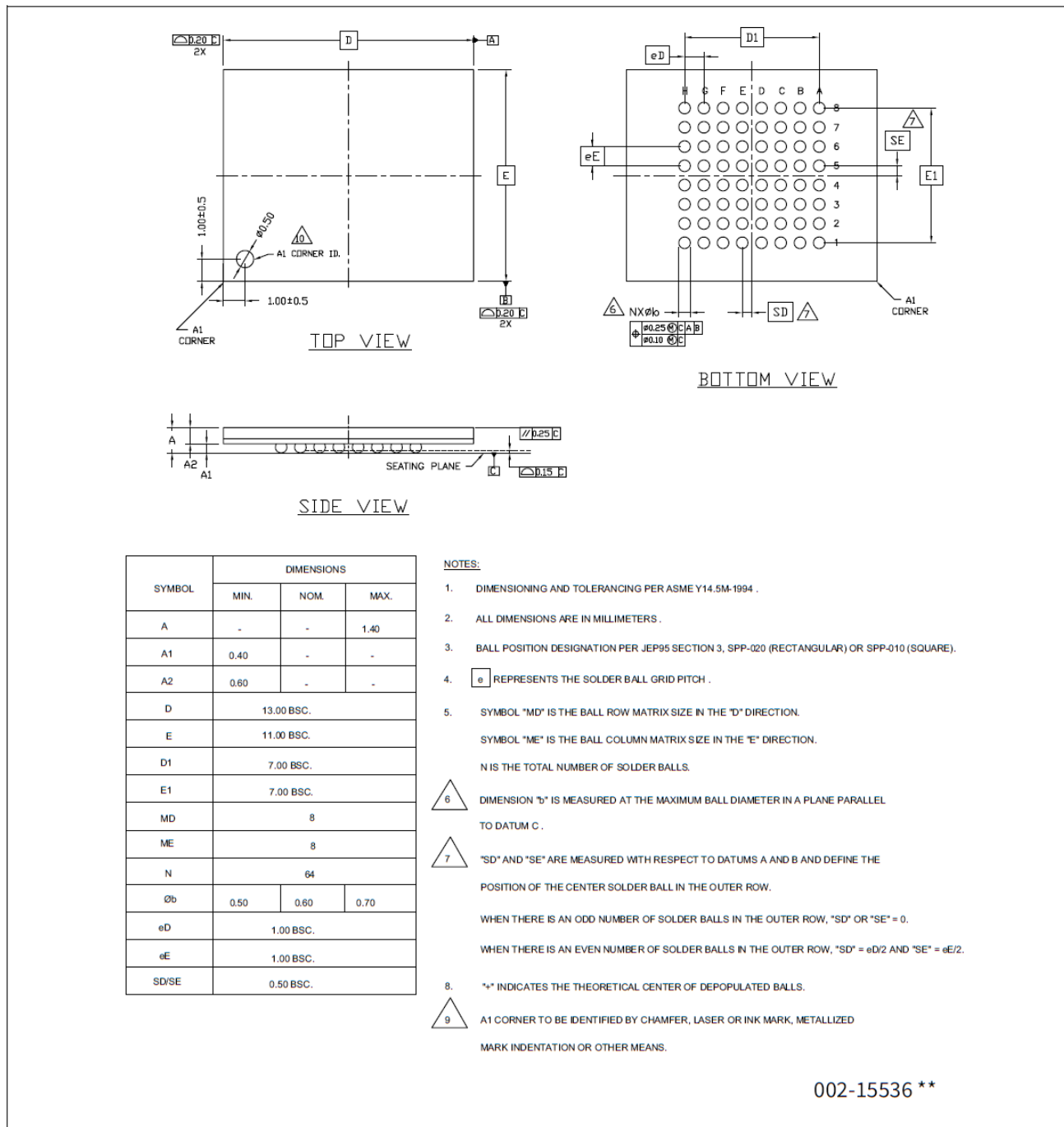


图 38 64-球 FBGA (13.0 × 11.0 × 1.4 mm) 封装外形, 002-15536

物理接口

12.3 56-球FBGA

12.3.1 连接图

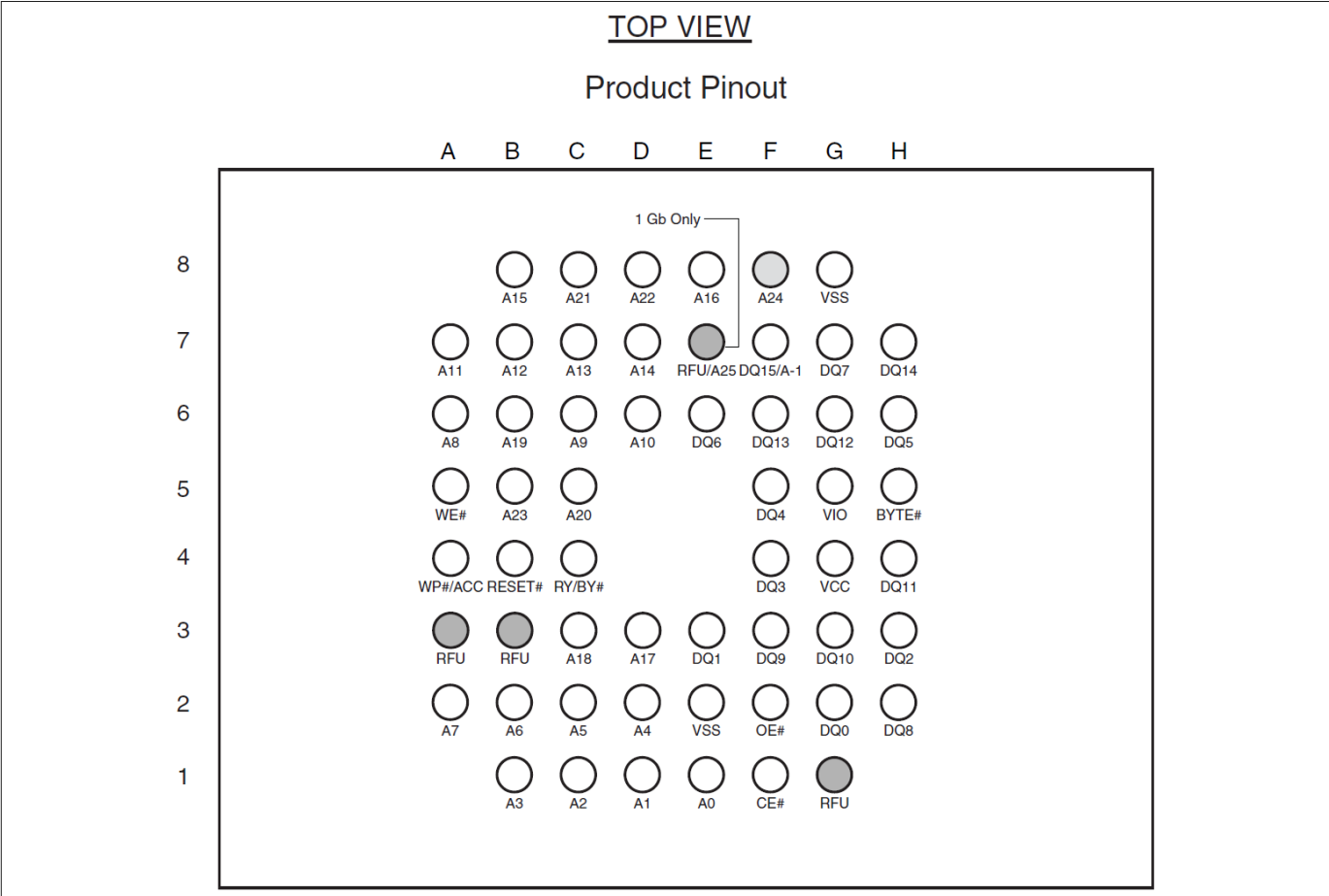


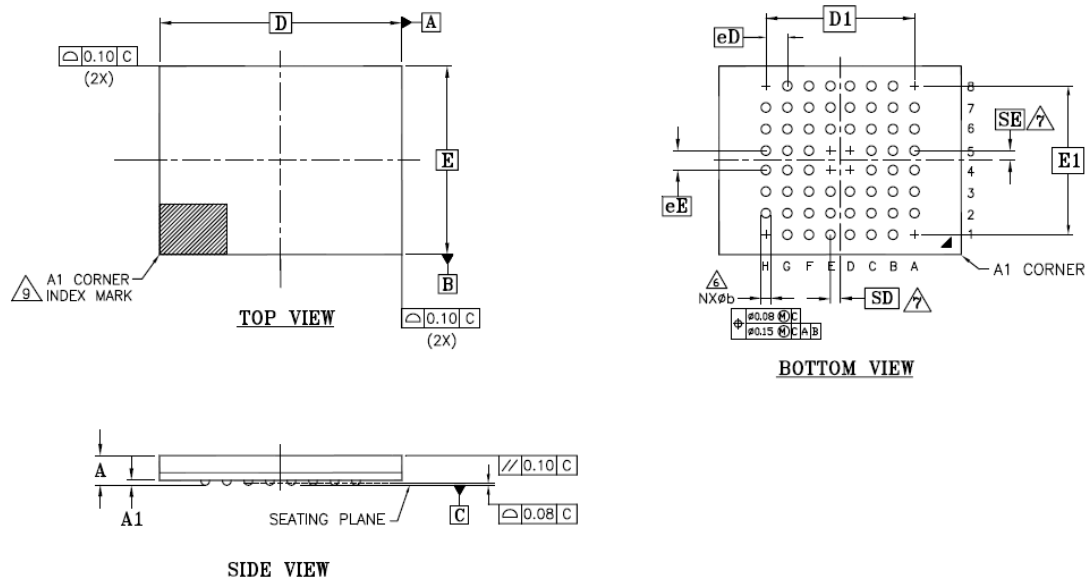
图 39 56-球加固球栅阵列^[171]

注释:

171. 球A3、B3和G1是保留给未来使用（RFU）。

物理接口

12.3.2 物理图



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.17	-	-
D	9.00 BSC.		
E	7.00 BSC.		
D1	5.60 BSC.		
E1	5.60 BSC.		
MD	8		
ME	8		
n	56		
Øb	0.33	-	0.45
eD/eE	0.80 BSC.		
SD/SE	0.40 BSC.		

NOTES:

- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010/020.
- REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL ROW MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL COLUMN MATRIX SIZE IN THE "E" DIRECTION.
n IS THE TOTAL NUMBER OF POPULATED SOLDER BALLS FOR MATRIX SIZE MD AND ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 and "SE" = eE/2.
- *+ INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

002-15551 **

图 40 56-球 FBGA (9.0 × 7.0 × 1.0 mm) 封装外形, 002-15551

关于FBGA封装的特殊处置说明

13 关于FBGA封装的特殊处置说明

FBGA封装的闪存产品需要特殊处置。

如果使用超声波清洁方法，FBGA封装的闪存器件可能被损坏。如果封装体长时间暴露在 150°C 以上的温度下，封装和/或数据完整性可能会受到损害。

14 订购信息

14.1 有效组合 — 标准

推荐组合表列出了计划大量供应的配置。下表会随着新组合的推出而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 56 S29GL-T CFI 1.3版本的有效组合

S29GL-T valid combinations					
Base OPN	Speed (ns)	Package and temperature ^[172]	Model number	Packing type ^[173]	Ordering part number (yy = Model number, x = Packing type)
S29GL01GT	100	DHI, FAI, FHI, GHI, TFI	03, 04	0, 3	S29GL01GT10DHlyyx S29GL01GT10FAlyyx S29GL01GT10FHlyyx S29GL01GT10GHlyyx S29GL01GT10TFlyyx
	110	DHI, FAI, FHI, GHI, TFI	V3, V4		S29GL01GT11DHlyyx S29GL01GT11FAlyyx S29GL01GT11FHlyyx S29GL01GT11GHlyyx S29GL01GT11TFlyyx
	110	DHV, FHV, TFV	03, 04		S29GL01GT11DHVyyx S29GL01GT11FHVyyx S29GL01GT11TFVyyx
	120	DHV, FHV, TFV	V3, V4		S29GL01GT12DHVyyx S29GL01GT12FHVyyx S29GL01GT12TFVyyx
	120	DHN, TFN	03, 04		S29GL01GT12DHNyyxx S29GL01GT12TFNyyxx
	130	DHN, TFN	V3, V4		S29GL01GT13DHNyyxx S29GL01GT13TFNyyxx
S29GL512T	100	DHI, FAI, FHI, GHI, TFI	03, 04	0, 3	S29GL512T10DHlyyx S29GL512T10FAlyyx S29GL512T10FHlyyx S29GL512T10GHlyyx S29GL512T10TFlyyx
	110	DHI, FAI, FHI, GHI, TFI	V3, V4		S29GL512T11DHlyyx S29GL512T11FAlyyx S29GL512T11FHlyyx S29GL512T11GHlyyx S29GL512T11TFlyyx
	110	DHV, FHV, TFV	03, 04		S29GL512T11DHVyyx S29GL512T11FHVyyx S29GL512T11TFVyyx
	120	DHV, FHV, TFV	V3, V4		S29GL512T12DHVyyx S29GL512T12FHVyyx S29GL512T12TFVyyx
	120	DHN, TFN	03, 04		S29GL512T12DHNyyxx S29GL512T12TFNyyxx
	130	DHN, TFN	V3, V4		S29GL512T13DHNyyxx S29GL512T13TFNyyxx

注释:

172. 更多速度、封装和温度选项会在以后提供。请咨询您当地的销售代表，以了解可用的选项。

173. 封装类型0是标准选项。

表 57 S29GL-T CFI 1.5版本的有效组合

S29GL-T valid combinations					
Base OPN	Speed (ns)	Package and temperature ^[174]	Model number	Packing type ^[175]	Ordering part number (yy = Model number, x = Packing type)
S29GL01GT	100	DHI, FAI, FHI, GHI, TFI	01, 02	0, 3	S29GL01GT10DHlyyx S29GL01GT10FAllyyx S29GL01GT10FHlyyx S29GL01GT10GHlyyx S29GL01GT10TFlyyx
	110	DHI, FAI, FHI, GHI, TFI	V1, V2		S29GL01GT11DHlyyx S29GL01GT11FAllyyx S29GL01GT11FHlyyx S29GL01GT11GHlyyx S29GL01GT11TFlyyx
	110	DHV, FHV, TFV	01, 02		S29GL01GT11DHVyyx S29GL01GT11FHVyyx S29GL01GT11TFVyyx
	120	DHV, FHV, TFV	V1, V2		S29GL01GT12DHVyyx S29GL01GT12FHVyyx S29GL01GT12TFVyyx
	120	DHN, TFN	01, 02		S29GL01GT12DHNyyxx S29GL01GT12FHNyyxx S29GL01GT12TFNyyxx
	130	DHN, TFN	V1, V2		S29GL01GT13DHNyyxx S29GL01GT13TFNyyxx
S29GL512T	100	DHI, FAI, FHI, GHI, TFI	01, 02	0, 3	S29GL512T10DHlyyx S29GL512T10FAllyyx S29GL512T10FHlyyx S29GL512T10GHlyyx S29GL512T10TFlyyx
	110	DHI, FAI, FHI, GHI, TFI	V1, V2		S29GL512T11DHlyyx S29GL512T11FAllyyx S29GL512T11FHlyyx S29GL512T11GHlyyx S29GL512T11TFlyyx
	110	DHV, FHV, TFV	01, 02		S29GL512T11DHVyyx S29GL512T11FHVyyx S29GL512T11TFVyyx
	120	DHV, FHV, TFV	V1, V2		S29GL512T12DHVyyx S29GL512T12FHVyyx S29GL512T12TFVyyx
	120	DHN, TFN	01, 02		S29GL512T12DHNyyxx S29GL512T12TFNyyxx
	130	DHN, TFN	V1, V2		S29GL512T13DHNyyxx S29GL512T13TFNyyxx

注释：

174. 更多速度、封装和温度选项会在以后提供。请咨询您当地的销售代表，以了解可用的选项。

175. 封装类型0是标准选项。

14.2 有效组合 — 汽车级/AEC-Q100

下表列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。请咨询本地销售代表，确认是否有特定的与运算相关的产品，并查询新发布的产品组合。

仅为 AEC-Q100 级产品提供生产部件批准程序（PPAP）支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 58 用于 CFI 1.3 版本的 S29GL-T 有效与运算组合 - 汽车级 / AEC-Q100

S29GL-T valid combinations — automotive grade / AEC-Q100					
Base OPN	Speed (ns)	Package and temperature	Model number	Packing type	Ordering part number (yy = Model number, x = Packing type)
S29GL01GT	100	DHA, FHA, TFA	03, 04	0, 3	S29GL01GT10DHAyyx S29GL01GT10FHAyyx S29GL01GT10TFAyyx
	110	DHA, FHA, TFA	V3, V4		S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHB, FHB, TFB	03, 04		S29GL01GT11DHByyx S29GL01GT11FHByyx S29GL01GT11TFByyx
	120	DHB, FHB, TFB	V3, V4		S29GL01GT12DHByyx S29GL01GT12FHByyx S29GL01GT12TFByyx
S29GL512T	100	DHA, FHA, TFA	03, 04	0, 3	S29GL512T10DHAyyx S29GL512T10FHAyyx S29GL512T10TFAyyx
	110	DHA, FHA, TFA	V3, V4		S29GL512T11DHAyyx S29GL512T11FHAyyx S29GL512T11TFAyyx
	110	DHB, FHB, TFB	03, 04		S29GL512T11DHByyx S29GL512T11FHByyx S29GL512T11TFByyx
	120	DHB, FHB, TFB	V3, V4		S29GL512T12DHByyx S29GL512T12FHByyx S29GL512T12TFByyx

表 59 用于 CFI 1.5 版本的 S29GL-T 有效与运算组合 - 汽车级 / AEC-Q100

S29GL-T valid combinations –automotive grade / AEC-Q100					
Base OPN	Speed (ns)	Package and temperature	Model number	Packing type	Ordering part number (yy = Model number, x = Packing type)
S29GL01GT	100, 110	DHA, FHA, TFA	01, 02	0, 3	S29GL01GT10DHAyyx S29GL01GT10FHAyyx S29GL01GT10TFAyyx S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHA, FHA, TFA	V1, V2		S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHB, FHB, TFB	01, 02		S29GL01GT11DHByyx S29GL01GT11FHByyx S29GL01GT11TFByyx
	120	DHB, FHB, TFB	V1, V2		S29GL01GT12DHByyx S29GL01GT12FHByyx S29GL01GT12TFByyx
S29GL512T	100	DHA, FHA, TFA	01, 02	0, 3	S29GL512T10DHAyyx S29GL512T10FHAyyx S29GL512T10TFAyyx
	110	DHA, FHA, TFA	V1, V2		S29GL512T11DHAyyx S29GL512T11FHAyyx S29GL512T11TFAyyx
	110	DHB, FHB, TFB	01, 02		S29GL512T11DHByyx S29GL512T11FHByyx S29GL512T11TFByyx
	120	DHB, FHB, TFB	V1, V2		S29GL512T12DHByyx S29GL512T12FHByyx S29GL512T12TFByyx

订购信息

一般市场器件的订购器件型号是如下形式的有效组合：

S29GL01GT	10	D	H	I	01	0
						Packing type 0 = Tray 3 = 13" Tape and reel
						Model number (CFI Version, V_{IO}, and V_{CC} Range) CFI Version 1.3 03 = $V_{IO} = V_{CC} = 2.7\text{ V}$ to 3.6 V , highest address sector protected 04 = $V_{IO} = V_{CC} = 2.7\text{ V}$ to 3.6 V , lowest address sector protected V3 = $V_{IO} = 1.65$ to V_{CC} , $V_{CC} = 2.7\text{ V}$ to 3.6 V , highest address sector protected V4 = $V_{IO} = 1.65$ to V_{CC} , $V_{CC} = 2.7\text{ V}$ to 3.6 V , lowest address sector protected CFI Version 1.5 01 = $V_{IO} = V_{CC} = 2.7\text{ V}$ to 3.6 V , highest address sector protected 02 = $V_{IO} = V_{CC} = 2.7\text{ V}$ to 3.6 V , lowest address sector protected V1 = $V_{IO} = 1.65$ to V_{CC} , $V_{CC} = 2.7\text{ V}$ to 3.6 V , highest address sector protected V2 = $V_{IO} = 1.65$ to V_{CC} , $V_{CC} = 2.7\text{ V}$ to 3.6 V , lowest address sector protected
						Temperature range I = Industrial (-40°C to $+85^{\circ}\text{C}$) V = Industrial Plus (-40°C to $+105^{\circ}\text{C}$) N = Extended (-40°C to $+125^{\circ}\text{C}$) A = Automotive, AEC-Q100 Grade 3 (-40°C to $+85^{\circ}\text{C}$) B = Automotive, AEC-Q100 Grade 2 (-40°C to $+105^{\circ}\text{C}$)
						Package materials set A = Not Lead (Pb)-Free F = Lead Free (Pb-Free) H = Low Halogen, Pb-Free
						Package type D = Fortified ball-grid array package (LAE064) 9 mm x 9 mm F = Fortified ball-grid array package (LAA064) 13 mm x 11 mm G = Fortified ball-grid array package (VBU056) 9 mm x 7 mm T = Thin small outline package (TSOP) standard pinout
						Speed option 10 = 100 ns random access time 11 = 110 ns random access time 12 = 120 ns random access time 13 = 130 ns random access time
Device number/description S29GL01GT, S29GL512T 3.0 V core, with V_{IO} option, 1024, 512 Megabit page-mode flash memory, Manufactured on 45-nm MIRRORBIT™ process technology						

修订记录

修订历史

Document revision	Date	Description of changes
**	01/19/2015	Initial release.
*A	2015-05-08	Performance Summary: Typical Program and Erase Rates table: updated Sector Erase for –40°C to +85°C Embedded Algorithm Performance Table: Embedded Algorithm Characteristics (–40°C to +85°C) table: updated Sector Erase Time, Chip Erase, and Max Single Word Programming Time Device ID and Common Flash Interface (ID-CFI) ASO Map: CFI System Interface String table: updated ‘(SA) + 0023h’ Data
*B	2015-07-29	Performance Summary: Typical Program and Erase Rates table: Updated Sector Erase for –40°C to +105°C Embedded Algorithm Performance Table: Embedded Algorithm Characteristics (–40°C to +105°C) table: updated Sector Erase Time, Chip Erase, Single Word Programming Time, Buffer Programming Time, Effective Write Buffer Program Operation per Word, and Sector Programming Time 128 kB Device ID and Common Flash Interface (ID-CFI) ASO Map: CFI System Interface String table: updated Data for Word Address (SA) + 0023h and (SA) + 0024h
*C	2015-08-24	Updated to Cypress template.
*D	2015-10-07	Added a note on Errata in page 1. Added Errata.
*E	2015-12-08	Added Extended Temperature Range related information in all instances across the document. Removed note on Errata in page 1. Updated Ordering information : Updated Table 56 : Updated details in “Package and Temperature” column and “Ordering Part Number” column. Removed Errata.
*F	2016-03-09	Updated Performance summary : Replaced “Performance Summary Industrial Plus Temperature Range” with “Performance Summary Extended Temperature Range” in table title. Replaced “200 µA” with “215 µA” in “–40°C to +125°C” column corresponding to “Standby” operation in “Maximum Current Consumption” table. Updated Product overview : Updated Table 1 : Corrected typos in “×8” column. Updated description below Table 1 (Removed (A7 = 0 or A7 = 1) from 7th paragraph of the section). Updated Data protection : Updated Sector protection methods : Updated Password protection mode : Updated PPB password protection mode : Updated description. Updated Timing specifications : Updated AC characteristics : Updated Asynchronous read operations : Added Table 51 and Table 52 . Updated Physical interface : Updated 64-ball FBGA : Updated Physical diagram – LAE064 : Updated Figure 37 (Updated with the latest revision). Updated Ordering information : No change in part numbers. Updated Ordering Code Definitions below Table 56 .

修订记录

Document revision	Date	Description of changes
*G	2016-10-27	Added “Automotive, AEC-Q100 Grade 3” and “Automotive, AEC-Q100 Grade 2” Temperature Range related information in all instances across the document. Added “ECC” related information in all instances across the document. Updated Product overview: Updated Table 1. Updated Address space overlays: Added ECC status ASO. Updated Embedded operations: Added Automatic ECC. Updated Error types and clearing procedures: Removed Note “Under worst case conditions of 90°C, $V_{CC} = 2.70\text{ V}$, 100,000 cycles, and a random data pattern.” below Table 18, Table 19 and Table 20. Removed Note “Data retention of 20 years is based on 1K erase cycles.” below Table 18, Table 19 and Table 20. Added Data integrity. Updated Software interface reference: Updated Command summary: Updated Table 23: Added “ECC ASO” Command Sequence and its details. Updated Table 24: Added “ECC ASO” Command Sequence and its details. Updated Device ID and Common Flash Interface (ID-CFI) ASO map: Updated Table 29: Updated details in “Description” column corresponding to Word Address “(SA) + 0044h”. Updated Electrical specifications: Added Thermal resistance. Updated Ordering information: Removed “Valid Combinations”. Added Valid combinations — standard. Added Valid combinations — automotive grade / AEC-Q100. Updated Ordering Code Definitions. Updated Other resources: Removed “Software”. Removed “Application Notes”. Added “Cypress Flash Memory Roadmap”. Added “Links to Software”. Added “Links to Application Notes”. Updated to new template.
*H	2017-01-18	Updated Electrical specifications: Updated DC characteristics: Updated Table 39: Added minimum values for V_{IL}, V_{IH}, V_{HH}, V_{OH}, V_{LKO} parameters. Updated to new template.
*I	2017-05-24	Corrected the number of cycles mentioned for ECC ASO exit command. Updated Cypress Logo and Copyright.
*J	2018-09-03	Updated Product overview: Updated Table 1. Updated Software interface reference: Updated Device ID and Common Flash Interface (ID-CFI) ASO map: Updated Table 28. Updated Electrical specifications: Updated Thermal resistance: Updated Table 33. Updated to new template.
*K	2018-10-17	Updated Electrical specifications: Updated Thermal resistance: Updated Table 33 (Changed value of Theta JA from 46 °C/W to 43.5 °C/W in “TS056” column corresponding to 1G). Updated Ordering information: Updated Table 57.

修订记录

Document revision	Date	Description of changes
*L	2019-04-05	Updated Address space overlays: Updated Flash memory array: Updated Table 2 (Updated details under “Address Range (8-Bit)” column). Updated Table 3 (Updated details under “Address Range (8-Bit)” column). Updated Timing specifications: Updated AC characteristics: Updated Asynchronous read operations: Updated Table 47 through Table 52: Changed name of parameter from t_{ASH} to t_{AHT}. Removed t_{OEP}, t_{OEC} parameters and their details. Updated Physical interface: Updated 56-pin TSOP: Updated Physical diagram: Replaced existing spec with 002-15549 *B. Updated 64-ball FBGA: Updated Physical diagram – LAE064: Replaced existing spec with 002-15537 *A. Updated Physical diagram – LAA064: Replaced existing spec with 002-15536 **. Updated 56-ball FBGA: Updated Physical diagram: Replaced existing spec with 002-15551 **. Updated Copyright information.
*M	2022-07-25	Updated Document Title to read as “S29GL01GT, S29GL512T, 1 Gb (128 MB)/512 Mb (64 MB) GL-T MIRRORBIT™ Flash Parallel, 3.0 V”. Replaced “MirrorBit® Eclipse” with “MIRRORBIT™” in all instances across the document. Updated Features: Replaced “Distinctive characteristics” with “Features” in heading. Updated Address space overlays: Updated Device ID and CFI (ID-CFI) ASO: Updated Common flash memory interface: Updated description. Updated Embedded operations: Updated Status monitoring: Updated Status Register: Updated Table 16. Updated Data integrity: Updated Erase endurance: Updated Table 21. Updated Data retention: Updated description. Removed “Software interface”. Removed “Hardware interface”. Updated Electrical specifications: Updated Thermal resistance: Updated Table 33. Removed “Other resources”. Migrated to Infineon template.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-06-16

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。