

64M ビット HYPERRAM™ セルフリフレッシュ DRAM (PSRAM)

HYPERRBUS™ インターフェース , 1.8 V/3.0 V

特長

・インターフェース

- HYPERRBUS™ インターフェース
- 1.8V/3.0V インターフェース対応
 - シングルエンド クロック (CK) - 11 本のバス信号
 - オプションの差動クロック (CK, CK#) - 12 本のバス信号
- チップセレクト (CS#)
- 8 ビット データバス (DQ[7:0])
- ハードウェアリセット (RESET#)
- 双方向読み出し書き込みデータストローブ (RWDS)
 - すべてのトランザクションの開始時においてリフレッシュ レイテンシを示す出力
 - 読み出しトランザクション中に読み出しデータストローブとしての出力
 - 書き込みトランザクション中に書き込みデータマスクとしての入力
- オプションとしての DDR 中央揃え読み出しストローブ (DCARS)
 - 読み出しトランザクション中、RWDS は CK から位相シフトされた第 2 のクロックによりオフセット
 - 位相シフトクロックは、RWDS 遷移エッジを読み出しデータのタイミング内に移動するために使用

・性能、消費電力、およびパッケージ

- 200MHz の最大クロックレート
- DDR - クロックの両エッジでデータを転送
- 最大 400MBps (3,200 Mbps) のデータスループット
- 設定可能なバースト特性
 - リニアバースト
- ラップバースト長
 - 16 バイト (8 クロック)
 - 32 バイト (16 クロック)
 - 64 バイト (32 クロック)
 - 128 バイト (64 クロック)
- ハイブリッド オプション - 1 回のラップバーストの後にリニアバーストが続く

・設定可能な出力駆動強度

・電力モード

- ハイブリッドスリープモード
- ディープパワーダウン

・アレイリフレッシュ

- 部分的メモリアレイ (1/8, 1/4, 1/2 など)
- 全体

・パッケージ

- 24 ボール FBGA

・動作温度範囲

- 産業用 (I): -40°C ~ +85°C
- 産業用プラス (V): -40°C ~ +105°C
- 車載向け, AEC-Q100 グレード 3: -40°C ~ +85°C
- 車載向け, AEC-Q100 グレード 2: -40°C ~ +105°C

・テクノロジー

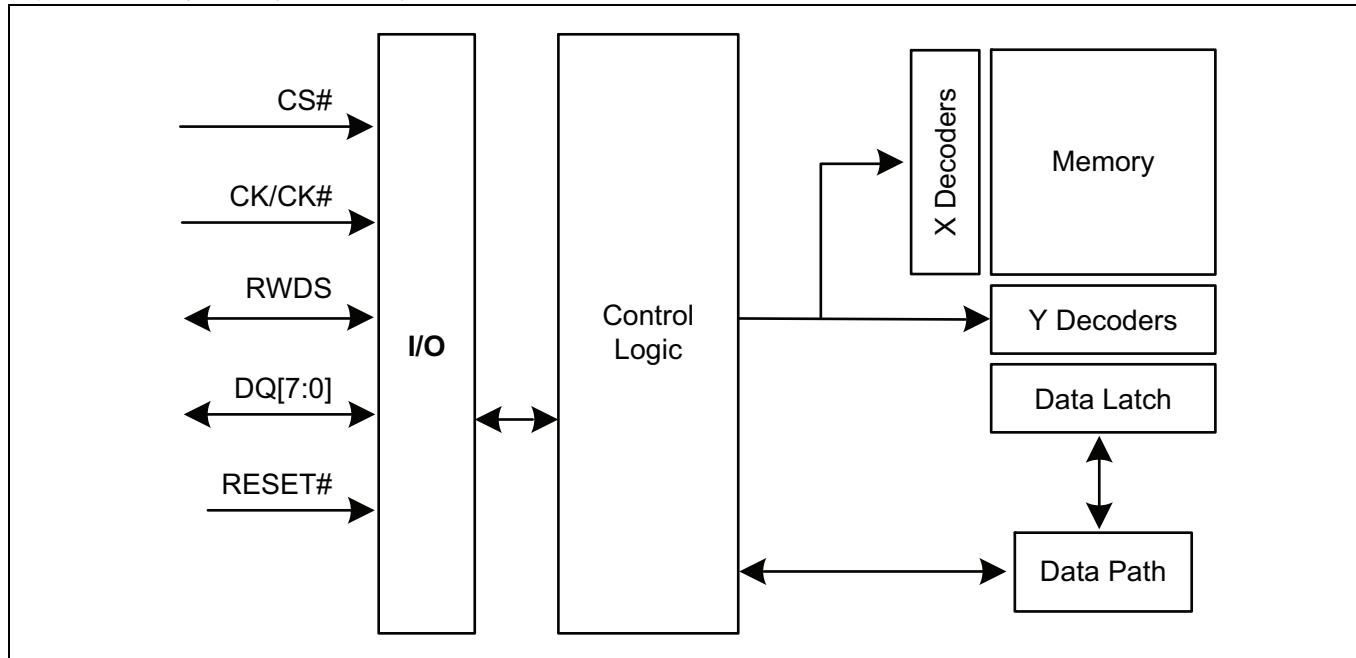
- 38nm DRAM

性能要約

読み出しトランザクションタイミング	単位
1.8V V_{CC}/V_{CCQ} での最大クロックレート	200MHz
3.0V V_{CC}/V_{CCQ} での最大クロックレート	
最大アクセス時間 (t_{ACC})	35ns

最大消費電流	単位
バースト読み出し / 書き込み (200MHz, 1.8V でのリニアバースト)	25mA
バースト読み出し / 書き込み (200MHz, 3.0V でのリニアバースト)	30mA
スタンバイ ($CS\# = V_{CC} = 3.6V, 105^\circ C$)	360µA
ディープパワーダウン ($CS\# = V_{CC} = 3.6V, 105^\circ C$)	15µA
スタンバイ ($CS\# = V_{CC} = 2.0V, 105^\circ C$)	330µA
ディープパワーダウン ($CS\# = V_{CC} = 2.0V, 105^\circ C$)	12µA

論理ブロック ダイヤグラム



目次

特長	1
性能要約	2
論理ブロック ダイヤグラム	2
目次	3
1 概要説明	5
1.1 HYPERBUS™ インターフェース	5
2 製品概要	8
2.1 HYPERBUS™ インターフェース	8
3 信号説明	9
3.1 入出力の要約	9
4 HYPERBUS™ トランザクションの詳細	10
4.1 コマンド / アドレス ビットの割り当て	10
4.2 読み出しトランザクション	15
4.3 書き込みトランザクション (メモリアレイ書き込み)	16
4.4 初期レイテンシなしの書き込みトランザクション (レジスタ書き込み)	18
5 メモリ空間	19
5.1 HYPERBUS™ インターフェース	19
6 レジスタ空間	20
6.1 HYPERBUS™ インターフェース	20
6.2 デバイス ID レジスタ	20
6.2.1 メモリ容量と行境界	21
6.3 レジスタ空間アクセス	22
6.3.1 コンフィギュレーションレジスタ 0	22
6.3.2 ハイブリッド バースト	24
6.3.3 コンフィギュレーションレジスタ 1	27
7 インターフェース状態	29
8 低消費電力モード	30
8.1 インターフェーススタンバイ	30
8.2 アクティブクロック停止	30
8.3 ハイブリッドスリープ	30
8.4 ディープパワーダウン	31
9 電気的仕様	32
9.1 絶対最大定格 [45]	32
9.2 入力信号オーバーシュート	32
9.3 ラッチアップ特性	33
9.4 動作範囲	33
9.4.1 温度範囲	33
9.4.2 電源電圧	33
9.5 DC 電気的特性	34
9.5.1 静電容量特性	38
9.6 電源投入時の初期化	39
9.7 電源切断	40
9.8 ハードウェアリセット	41
10 タイミング仕様	42
10.1 スイッチング波形の要素	42
10.2 AC テスト条件	42
10.3 タイミング基準レベル	43
10.4 CLK 特性	44
10.5 AC 電気的特性	46
10.5.1 読み出しトランザクション	46
10.5.2 書き込みトランザクション	49

目次

11 物理インターフェース	50
11.1 FBGA 24 ボール 5×5 のアレイ フットプリント	50
12 パッケージ図	51
13 DDR 中央揃え読み出しストローブ (DCARS) 機能	52
13.1 DCARS を備えた HYPERRAM™ 製品の信号説明	52
13.2 DCARS を備えた HYPERRAM™ 製品 – FBGA 24 ボール、5×5 アレイ フットプリント	54
13.3 DCARS を備えた HYPERRAM™ メモリのタイミング	54
14 注文情報	56
14.1 注文製品番号	56
14.2 有効な組合せ	57
14.3 有効な組合せ – 車載向けグレード / AEC-Q100	58
改訂履歴.....	59

1 概要説明

インフィニオンの 64Mb HYPERRAM™ デバイスは、HYPERBUS™ インターフェースを備えた高速 CMOS、セルフリフレッシュ DRAM です。DRAM アレイは周期的にリフレッシュが必要なダイナミックセルを使用します。デバイス内のリフレッシュ制御ロジックは、メモリが HYPERBUS™ インターフェースマスター(ホスト)によってアクティブに読み出しましたは書き込みされていないときに DRAM アレイ上のリフレッシュ動作を管理します。ホストがリフレッシュ動作を管理する必要がないため、ホストからは DRAM アレイがリフレッシュなしにデータを保持するスタティックセルを使用しているように見えます。したがって、このメモリは擬似スタティック RAM (PSRAM) として、より正確に記述されます。

DRAM セルは読み出し / 書き込みトランザクション中にリフレッシュできないため、ホストが読み出し / 書き込みのバースト転送長を制限して、必要に応じて内部ロジックのリフレッシュ動作を行えるようにする必要があります。メモリがリフレッシュ動作を必要とした場合、ホストはトランザクションの期間を制限し、新しいトランザクションの開始時に追加の初期アクセス レイテンシを許可する必要があります。

1.1 HYPERBUS™ インターフェース

HYPERBUS™ は少信号数の DDR インターフェースで、高速の読み出しと書き込みのスループットを達成します。DDR プロトコルでは、クロックサイクルごとに 2 データ バイトが DQ[7:0] 入出力信号上で転送されます。HYPERBUS™ での読み出し / 書き込みのトランザクションは、内部 HYPERRAM™ アレイにおける一連の 1 クロックサイクルの 16 ビット幅データ転送と、DQ 信号上の 2 つの 1/2 クロックサイクルの 8 ビット幅データ転送で構成されます。すべての入出力は LV-CMOS 互換です。デバイスは異なる注文製品番号 (OPN) で、アレイ (V_{CC}) および I/O バッファ (V_{CCQ}) の電源電圧として 1.8V V_{CC}/V_{CCQ} または 3.0V V_{CC}/V_{CCQ} (公称) に対応しています。

コマンド、アドレスおよびデータ情報は 8 本の HYPERBUS™ DQ[7:0] 信号を介して転送されます。クロック (CK#、CK) は、DQ 信号上でコマンド、アドレスまたはデータを受信する際に、HYPERBUS™ スレーブデバイスによる情報の取り込みに使用されます。コマンドまたはアドレス値はクロック遷移と中央揃えになります。

各トランザクションは CS# とコマンド アドレス (CA) 信号のアサートから始まり、その後に 6 個の CA バイトを転送するためにクロック遷移が開始し、その後初期アクセス レイテンシと読み出し / 書き込みデータ転送が続いて、CS# のデアサートで終了します。

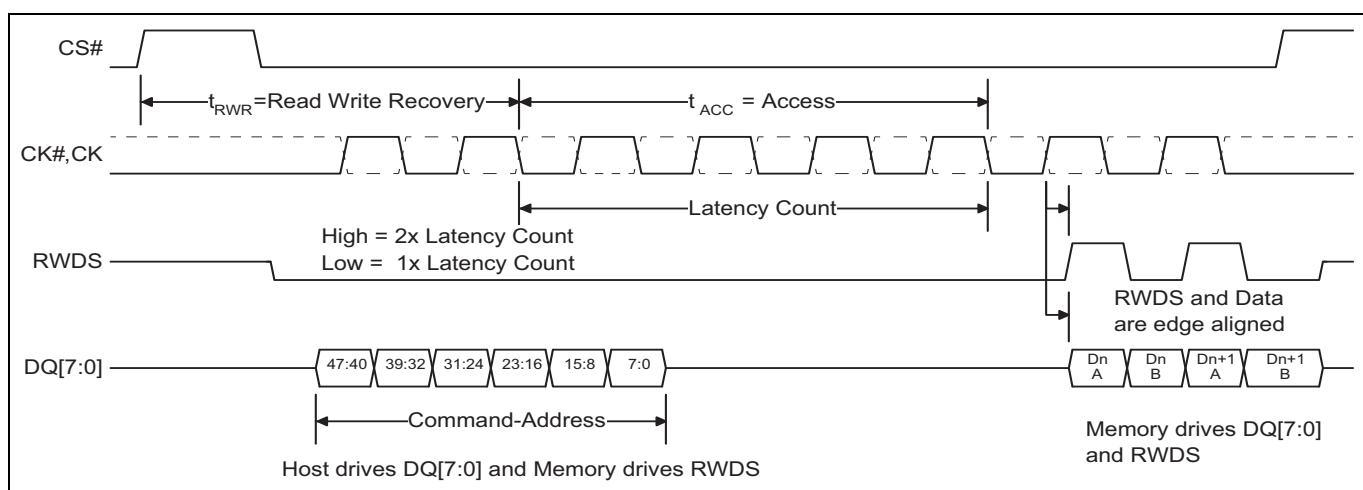


Figure 1 読み出しトランザクション、シングル初期レイテンシ カウント

RWDS は以下のことを示す双方向信号です。

- 読み出しトランザクションで HYPERRAM™ デバイスからマスター デバイスまでのデータ転送が開始されるとき (初期読み出しレイテンシ)
- 読み出しトランザクションでデータが HYPERRAM™ デバイスからマスター デバイスまで転送されているとき (ソース同期読み出しデータストローブとして)
- 書き込みトランザクションでマスター デバイスから HYPERRAM™ デバイスまでのデータ転送が開始するとき (初期書き込みレイテンシ)
- 書き込みデータ転送中のデータマスク

読み出し / 書き込みトランザクションの CA 転送部分中、RWDS は HYPERRAM™ デバイスからの出力として機能し、トランザクションに追加の初期アクセス レイテンシが必要となるかを示します。

読み出しデータ転送中、RWDS はデータ値が RWDS の遷移と同時に変化する読み出しデータストローブ信号です。

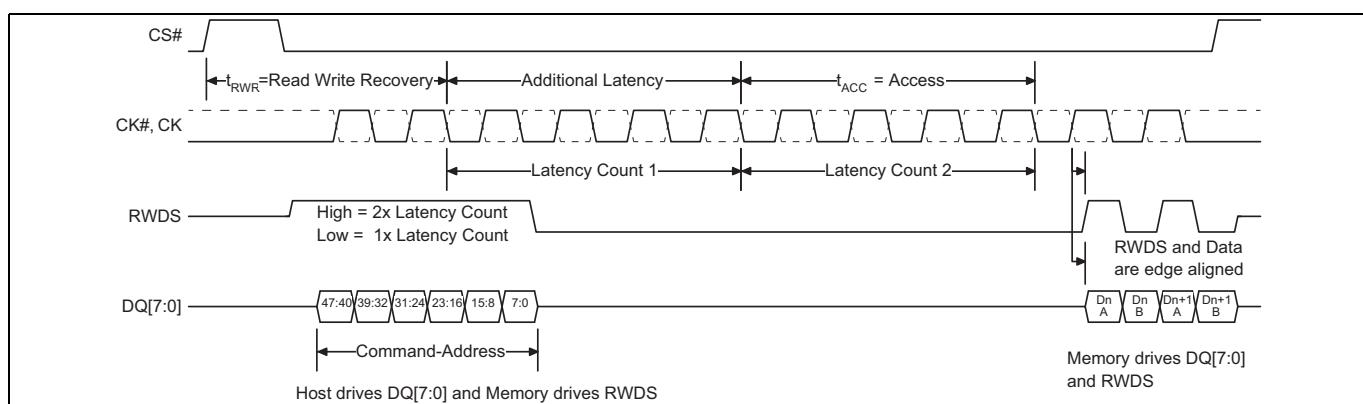


Figure 2 読み出しトランザクション、追加のレイテンシ カウント

書き込みデータ転送中、RWDS が HIGH になる場合は各データ バイトの転送がマスクされる (無効でメモリ内のバイト位置の変更ができない) ことを示し、RWDS が LOW になる場合はマスクされない (有効でメモリに書き込まれる) ことを示します。データマスクは、メモリ内で書き込みデータをバイト境界に揃えるか、またはワード境界に揃えられない複数の書き込みを单一のバースト書き込みに結合するためにホストによって使用されます。書き込みトランザクション中、データはクロック遷移と中央揃えになります。

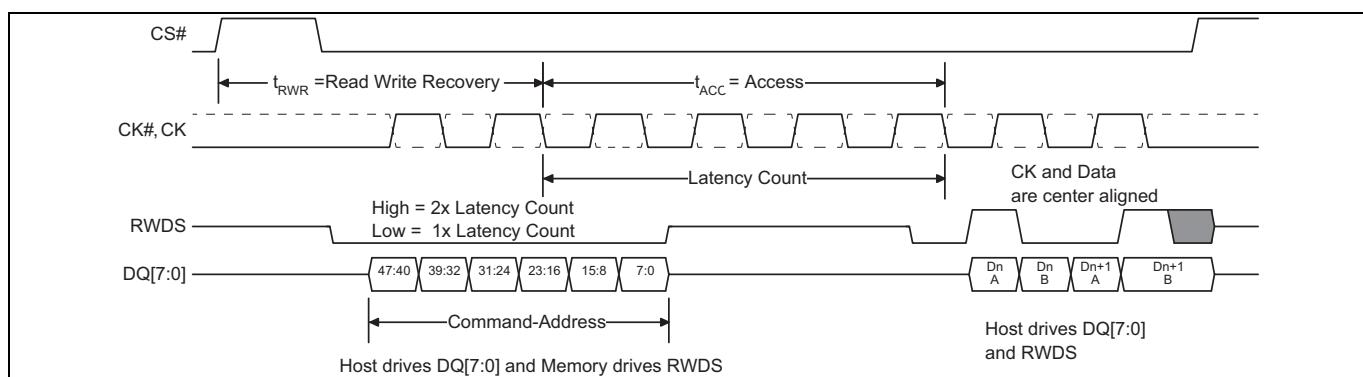


Figure 3 書き込みトランザクション、シングル初期レイテンシ カウント

読み出しと書き込みのトランザクションはバースト指向で、クロック サイクルごとに次のシーケンシャル ワードを転送します。個々の読み出し / 書き込みトランザクションは、ラップ バーストまたはリニア バースト シーケンスで行えます。

概要説明

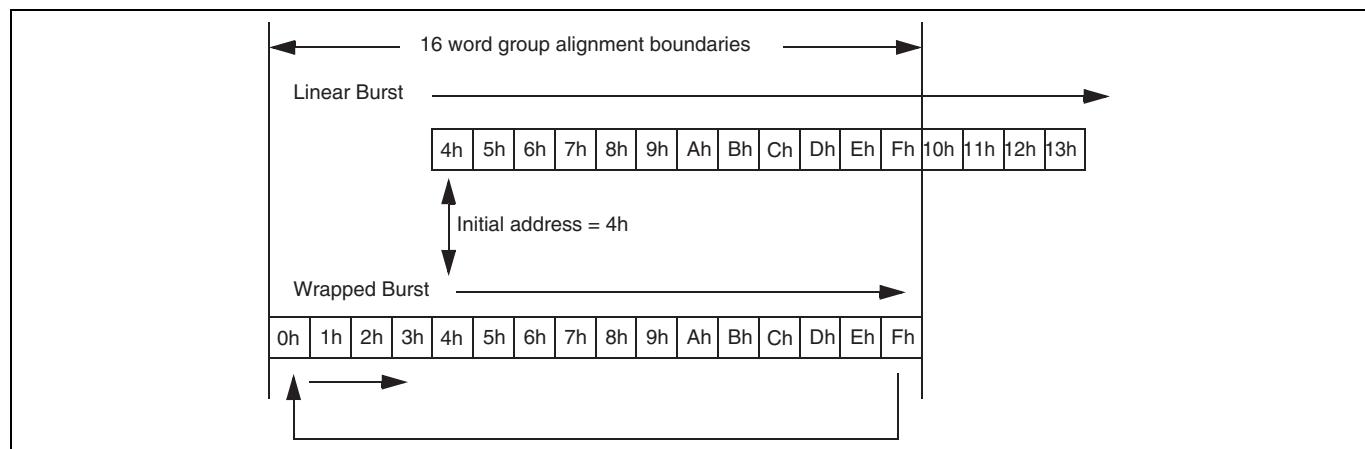


Figure 4 リニア バースト シーケンスとラップ バースト シーケンスの比較

ラップ トランザクションでは、アクセスは選択された位置から開始し、設定されたワード グループ揃えの境界の終わりまで継続してから、グループの開始位置までラップした後、最初の開始位置に戻るまで続けます。ラップ バーストは一般的に、クリティカルワード ファースト方式でキャッシュ ラインに書き込ませる読み出しアクセスに使用されます。リニア トランザクションでは、アクセスは選択された位置から開始し、トランザクションが終了する (CS# が HIGH に戻る) までシーケンシャルに継続します。リニア トランザクションは一般的に、グラフィック画像などの大量の隣接データの転送に使用されます。各トランザクション コマンドがそのトランザクションのバースト シーケンスのタイプを選択するため、必要に応じてラップとリニアのバースト トランザクションを動的に混合できます。

2 製品概要

64Mb HYPERRAM™ デバイスは、1.8V または 3.0V のアレイと I/O の同期セルフリフレッシュ DRAM です。 HYPERRAM™ デバイスはホストシステムへ HYPERBUS™ スレーブインターフェースを提供します。

HYPERBUS™ インターフェースは 8 ビット(1 バイト)幅の DDR データバスを持ち、ワード幅(16 ビットデータ)のアドレス境界のみを使用します。読み出しトランザクションはクロックサイクルごとに 16 ビット(クロックエッジごとに 8 ビット)のデータを提供します。書き込みトランザクションはクロックサイクルごとに 16 ビット(クロックエッジごとに 8 ビット)のデータを使用します。

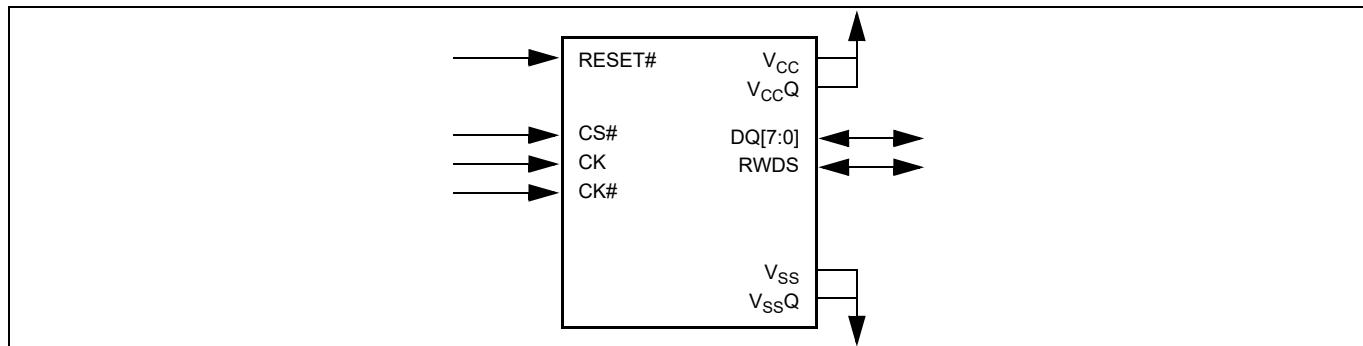


Figure 5 HYPERBUS™ インターフェース^[1]

2.1 HYPERBUS™ インターフェース

読み出し / 書き込みトランザクションは、対象の行アドレスとバーストタイプを定義するために 2 クロックサイクル、そして t_{ACC} の初期アクセスレイテンシが必要です。トランザクションの CA 部分の間、RWDS 信号を HIGH に駆動することで、メモリは必要なリフレッシュ時間(t_{RFH})に対する追加のレイテンシが初期レイテンシに挿入されるかを示します。CA 期間中、3 番目のクロックサイクルは対象の行内における対象のワードアドレスを指定します。読み出し(または書き込み)トランザクション中、初期のデータ値が出力(または入力)された後、後続のクロックサイクルで追加のデータがラップまたはリニアシーケンスに従って行から読み出されます(または行に書き込まれます)。リニアバーストモードに設定されている場合、デバイスはメモリアレイから次の連続する行を自動的にフェッチして、連続リニアバーストをサポートします。読み出し / 書き込みデータ転送が進行中に同時にアレイ内の次の行にアクセスすると、400MBps の持続データ速度を実現できるリニアシーケンシャルバーストを実行できます [1 バイト(8 ビットデータバス)*2(データクロックエッジ)*200MHz=400MBps]。

注:

1. CK# はオプションとして差動クロックモードで使用されます。

信号説明

3 信号説明

3.1 入出力の要約

Table 1 に HYPERRAM™ 信号を示します。アクティブ LOW の信号名の末尾にはハッシュ記号 (#) が付いています。

Table 1 入出力の要約^[3]

記号	タイプ	説明
CS#		チップセレクト: バストランザクションは HIGH から LOW への遷移で開始し、LOW から HIGH への遷移で終了します。マスター デバイスには、スレーブごとに個別の CS# があります。
CK, CK#[²]	マスター出力、 スレーブ入力	差動クロック: コマンド、アドレスおよびデータ情報は CK と CK# 信号の交差に対して出力されます。差動クロックの使用はオプションです。 シングルエンドクロック: CK# は使用されず、シングルエンド CK のみが使用されます。クロックがフリー ランである必要はありません。
DQ[7:0]		データ入力 / 出力: コマンド、アドレスおよびデータ情報は、読み出しと書き込みトランザクション中にこれらの信号上で転送されます。
RWDS	入力 / 出力	読み出し / 書き込みデータストローブ: あらゆるバストランザクションのコマンド / アドレス部分では、RWDS はスレーブ出力となり、追加の初期レイテンシが必要かどうかを示します。読み出しデータ転送中、RWDS はスレーブ出力となり、データは RWDS とエッジが揃えられます。書き込みトランザクションのデータ転送中、RWDS はスレーブ入力となり、データマスクとして機能します。 (HIGH= 追加レイテンシあり、LOW= 追加レイテンシなし)
RESET#	マスター出力、 スレーブ入力、 内部プルアップ	ハードウェアリセット: LOW のとき、デバイスは自己初期化し、スタンバイ状態に戻ります。RESET# が LOW のとき、RWDS と DQ[7:0] は HIGH-Z 状態になります。スレーブ RESET# 入力は弱プルアップに接続している、すなわち、RESET# が未接続の場合に HIGH 状態にプルアップされます。
V _{CC}	電源	アレイの電源
V _{CCQ}		入力 / 出力の電源
V _{SS}		アレイのグランド
V _{SSQ}		入力 / 出力のグランド
RFU	未接続	将来使用するために予約済み: 内部で接続される場合と接続されない場合があり、将来的な互換性維持のため、この信号 / ボールの位置は未接続のままとし、PCB のルーティング チャネルで使用しないでください。この信号 / ボールは将来的に信号によって使用される場合があります。

注:

2. CK# はオプションの接続で差動クロック モードで使用されます。ホストコントローラーに接続しない場合、CK# 入力ピンを開放のままにせず、V_{CCQ} または V_{SSQ} に接続してください。
3. オプションの中央揃え読み出しストローブ (DCARS) のピン配置とピンの説明は、**DDR 中央揃え読み出しへストローブ (DCARS) 機能**に記載されています。

4 HYPERBUS™ トランザクションの詳細

4.1 コマンド / アドレス ビットの割り当て

すべての HYPERRAM™ バストランザクションは読み出しと書き込みの 2 種類に分けられます。バストランザクションはクロックがアイドル状態 ($CK=LOW$ かつ $CK#=HIGH$) の状態で CS# が LOW に遷移することによって開始します。最初の 3 クロックサイクルでは、トランザクションの特性を定義するための 3 ワードのコマンド / アドレス (CA0, CA1, CA2) 情報が転送されます。コマンド / アドレスワードは最初の 6 クロックエッジを使用して DDR タイミングで示されます。

以下の特性はコマンド / アドレス情報で定義されます。

- 読み出しトランザクションまたは書き込みトランザクション
- アドレス空間 : メモリアレイ空間またはレジスタ空間
 - レジスタ空間は、デバイスの特性を識別し、HYPERBUS™ インターフェースでの読み出し / 書き込み転送のスレーブ固有の動作を指定するするデバイス識別レジスタ (ID) とコンフィギュレーションレジスタ (CR) にアクセスするために使用されます。
- トランザクションがリニアバーストシーケンスまたはラップバーストシーケンスのどちらを使用するか
- 対象の行 (およびハーフページ) アドレス (上位アドレス)
- 対象の列 (ハーフワード内のワード) アドレス (下位アドレス)

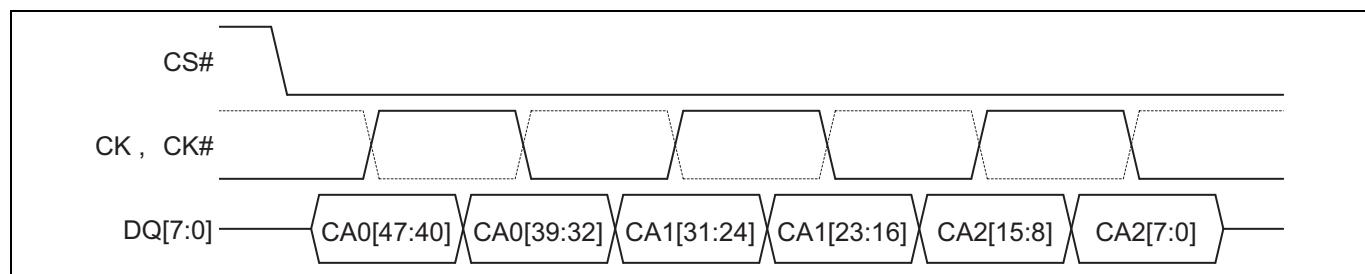


Figure 6 コマンド / アドレス (CA) シーケンス [4.5,6,7]

Table 2 DQ 信号への CA ビットの割り当て

信号	CA0[47:40]	CA0[39:32]	CA1[31:24]	CA1[23:16]	CA2[15:8]	CA2[7:0]
DQ[7]	CA[47]	CA[39]	CA[31]	CA[23]	CA[15]	CA[7]
DQ[6]	CA[46]	CA[38]	CA[30]	CA[22]	CA[14]	CA[6]
DQ[5]	CA[45]	CA[37]	CA[29]	CA[21]	CA[13]	CA[5]
DQ[4]	CA[44]	CA[36]	CA[28]	CA[20]	CA[12]	CA[4]
DQ[3]	CA[43]	CA[35]	CA[27]	CA[19]	CA[11]	CA[3]
DQ[2]	CA[42]	CA[34]	CA[26]	CA[18]	CA[10]	CA[2]
DQ[1]	CA[41]	CA[33]	CA[25]	CA[17]	CA[9]	CA[1]
DQ[0]	CA[40]	CA[32]	CA[24]	CA[16]	CA[8]	CA[0]

注 :

4. Figure 6 に HYPERBUS™ でのすべてのトランザクションの初期の 3 クロックサイクルを示します。
5. 差動クロックの CK# は破線の波形で表示されます。
6. CA 情報は読み出しと書き込みトランザクションの両方の間にクロックと「中央揃え」があります。
7. 各バイト内のデータビットは常に上位から下位の順で配置され、ビット 7 が DQ7 であり、ビット 0 が DQ0 あります。

Table 3 コマンド / アドレスビットの割り当て [8,9,10,11]

CA ビット番号	ビット名	ビット機能
47	R/W#	トランザクションを読み出しか書き込みとして特定します。 R/W#=1 は読み出しトランザクションを示します。 R/W#=0 は書き込みトランザクションを示します。
46	アドレス空間 (AS)	読み出し / 書き込みトランザクションがメモリ空間かレジスタ空間のどちらにアクセスするかを示します。 AS=0 はメモリ空間を示します。 AS=1 はレジスタ空間を示します。 レジスタ空間はデバイス ID とコンフィギュレーションレジスタにアクセスするために使用されます。
45	バーストタイプ	バーストがリニアかラップであるかを示します。 バーストタイプ =0 はラップバーストを示します。 バーストタイプ =1 はリニアバーストを示します。
44-16	列と上位行アドレス	対象アドレスの列と上位行要素 : システムワードアドレスビット A31 ~ A3 ホストコントローラーマスターインターフェースは、特定のデバイス容量に使用されない上位行のアドレスビットを「0」にセットする必要があります。行のサイズ、およびそれによる行と列のアドレス間のアドレスビット境界はスレーブデバイスによって異なります。
15-3	予約済み	将来の列アドレス拡張用に予約済みです。 予約済みビットは、現時点の HyperBus デバイスでは「ドントケア」ビットですが、将来の互換性維持のためにホストコントローラーマスターインターフェースによって「0」にセットする必要があります。
2-0	下位行アドレス	対象アドレスの下位列要素 : ハーフページ内の開始ワードを選択するシステムワードアドレスビット A2 ~ A0

注:

8. 行は内部メモリアレイ構造に関連するワードグループです。行数は HYPERRAM™ メモリ用の分散型リフレッシュ間隔の計算にも使用されます。
9. 列アドレスは、行内にあるバーストトランザクションの開始ワード位置を選択します。列アドレスは上位部分と下位部分に分割されています。上位部分は 8 ワード (16 バイト) ハーフページを選択し、下位部分は読み出し / 書き込みトランザクションバーストが開始するハーフページ内のワードを選択します。
10. 行と上位列 (ハーフページ) アドレスビットがスレーブインターフェースによって取り込まれると、初期読み出しアクセス時間が開始します。連続リニア読み出しバーストは、メモリデバイスが内部で 16 バイトのハーフページに対するアクセスをインテリーブすることで有効にされます。
11. HYPERBUS™ プロトコルアドレス空間の境界について以下を仮定します。
 - 29 の行と上位列アドレスビット
 - 3 の下位列アドレスビット
 - 各アドレスが 1 ワード幅 (16 ビット = 2 バイト) のデータ値を選択
 - 29 + 3 = 32 アドレスビット = 4G アドレス、最大 8GB (64Gb) までのアドレス空間をサポート
 - 列アドレスの将来の拡張で 29 の行と上位列 +16 の下位列アドレスビット = 35 テラワード = 70 テラバイトのアドレス空間が可能です。

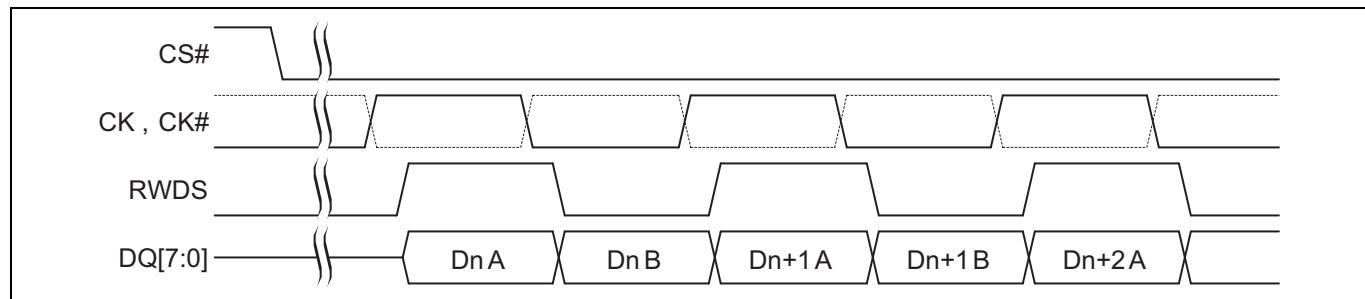


Figure 7 読み出しトランザクション中のデータ配置 [12,13,14,15,16]

メモリの読み出し / 書き込み中のデータ配置はホストに依存します。デバイスは、書き込まれた(書き込み)データを出力します(読み出し)。したがって、メモリアレイではビッグエンディアンとリトルエンディアンの両方がサポートされます。

レジスタの読み出し / 書き込み中のデータ配置はビッグエンディアンです。

注:

12. Figure 7 に HYPERBUS™ 上の読み出しトランザクションの一部を示します。差動クロックの CK# は破線の波形で表示されます。
13. データは読み出しトランザクションの間に読み出しデータストローブとして機能する RWDS と「エッジ揃え」となります。
14. データは常にフルワードインクリメントで転送されます(ワード単位の転送)。
15. ワードアドレスは各クロックサイクルでインクリメントします。各ワードではバイト A が RWDS の立ち上りエッジと立ち下りエッジの間にあり、その後に RWDS の立ち下りエッジと立ち上がりエッジの間にあるバイト B が続きます。
16. 各バイト内のデータビットは常に上位から下位の順で配置され、ビット 7 が DQ7 にあり、ビット 0 が DQ0 あります。

Table 4 読み出し / 書き込みトランザクション中のデータビットの配置

アドレス空間	バイト順	バイト位置	ワードデータビット	DQ	ビット順
メモリ	ビッグエンディアン	A	15	7	メモリ空間でデータにアクセスしている場合: 各読み出し / 書き込みワードの最初のバイトは「A」バイト、2番目は「B」バイトです。AおよびBバイトのワードのビットは、データの書き込み方法に依存します。ワード下位アドレスビット7～0がAバイトの位置に書き込まれ、ビット15～8がBバイトの位置に書き込まれる場合、またはその逆の場合、同じ順序で読み出されます。
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
			8	0	
		B	7	7	メモリ空間はリトルエンディアンまたはビッグエンディアンの順で格納され、読み出されます。
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
			0	0	
メモリ	リトルエンディアン	A	7	7	メモリ空間でデータにアクセスしている場合: 各読み出し / 書き込みワードの最初のバイトは「A」バイト、2番目は「B」バイトです。AおよびBバイトのワードのビットは、データの書き込み方法に依存します。ワード下位アドレスビット7～0がAバイトの位置に書き込まれ、ビット15～8がBバイトの位置に書き込まれる場合、またはその逆の場合、同じ順序で読み出されます。
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
			0	0	
		B	15	7	メモリ空間はリトルエンディアンまたはビッグエンディアンの順で格納され、読み出されます。
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
			8	0	

HYPERBUS™ トランザクションの詳細

Table 4 読み出し / 書き込みトランザクション中のデータビットの配置 (Continued)

アドレス空間	バイト順	バイト位置	ワードデータビット	DQ	ビット順
レジスタ ビッグエンディアン	A		15	7	レジスタ空間でデータにアクセスしている場合: HYPERBUS™での読み出しトランザクション中、クロックサイクルごとに2バイトが転送されます。上位バイト A(ワード [15:8])は RWDS の立ち上りエッジと立ち下りエッジの間で転送されます(エッジ揃え)。下位バイト B(ワード [7:0])は RWDS の立ち下りエッジと立ち上りエッジの間で転送されます。
			14	6	
			13	5	
			12	4	
			11	3	
			10	2	
			9	1	
			8	0	
	B		7	7	書き込み中、上位バイト A(ワード [15:8])は CK 立ち上りエッジで転送され、下位バイト B(ワード [7:0]) CK の立ち下りエッジで転送されます。したがって、レジスタにはデバイスに依存する固定ビット位置と意味の定義があるため、レジスタ空間は常にビッグエンディアンで読み書きされます。
			6	6	
			5	5	
			4	4	
			3	3	
			2	2	
			1	1	
			0	0	

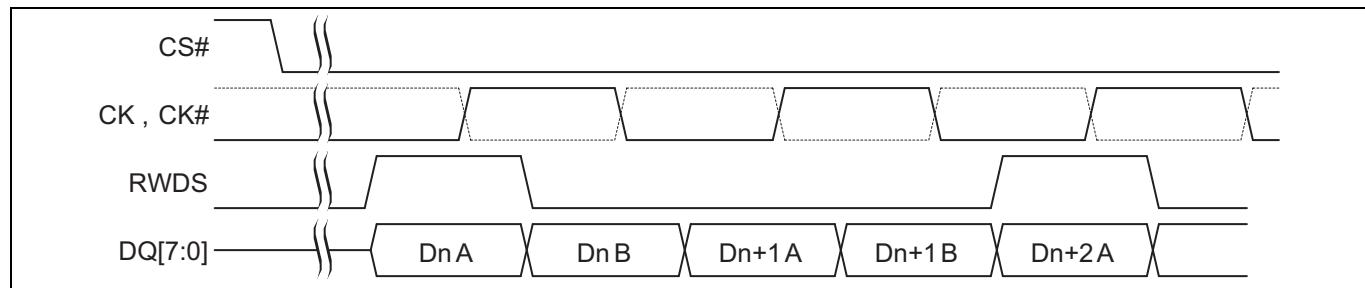


Figure 8 書き込みトランザクション中のデータ配置 [17,18,19,20]

注:

17. Figure 8 に HYPERBUS™ 上の書き込みトランザクションの一部を示します。
18. 書き込みトランザクション中は、データはクロックと「中央揃え」となります。
19. 初期レイテンシありの書き込みデータ転送の間、RWDS はデータマスクとして機能します。最初と最後のバイトのマスクにより、境界調整されていない3データバイトの書き込みを示します。
20. 初期レイテンシのない書き込みデータ転送の間に RWDS はマスターによって駆動されません。この場合、常にデータのフルワードが書き込まれます。この場合、RWDS がスレーブによって LOW に駆動されるか、または HIGH-Z 状態のままにされています。

4.2 読み出しトランザクション

HYPERBUS™ マスターはクロックがアイドル中に CS# を LOW に駆動することでトランザクションを開始します。その後、CA ワードが転送されている間にクロックがトグルし始めます。

CA0 では、CA[47]=1 は読み出しトランザクションが実行されることを示します。CA[46]=0 はメモリ空間が、CA[46]=1 はレジスタ空間が読み出されていることを示します。CA[45] はバーストタイプを示します (ラップまたはリニア)。行と上位列アドレスが CA0 と CA1 (CA[47:16]) にて提供されし、読み出し動作は内部のアレイアクセスを開始します。CA2 (CA[15:0]) は選択された行内の対象ワードアドレスを指定します。

HYPERBUS™ マスターはその後、コンフィギュレーションレジスタ 0 で設定されたレイテンシ数によって定義されたサイクル数の間、クロック供給を続けます。特定のクロック周波数のために必要な初期レイテンシカウントは RWDS に基づきます。CA サイクル中に RWDS が LOW の場合、1つのレイテンシが挿入されます。CA サイクル中に RWDS が HIGH の場合、追加のレイテンシカウントが挿入されます。これらのレイテンシクロックサイクルが完了すると、RWDS の遷移を開始すると同時に対象データの出力を開始します。

新しいデータは RWDS の各遷移とエッジが揃えられて出力されます。CS# が LOW の間にホストがクロックの遷移を継続する限り、データは引き続き出力されます。バーストトランザクションは、メモリが分散型リフレッシュを実行するのを妨げるほど長くしないでください。

ラップバーストはバースト長の範囲内でラップし続け、リニアバーストは行の境界を越えて順次にデータを出力します。リニアバースト読み出しがアレイの最後のアドレスに達した後、最終アドレスを越えてバーストを継続すると、アドレス範囲の先頭からデータが提供されます。クロックがアイドルの間に CS# を HIGH にすることで読み出し転送をいつでも終了できます。

クロックがフリー ランである必要はありません。CS# が HIGH の間にクロックはアイドル状態のままであることがあります。

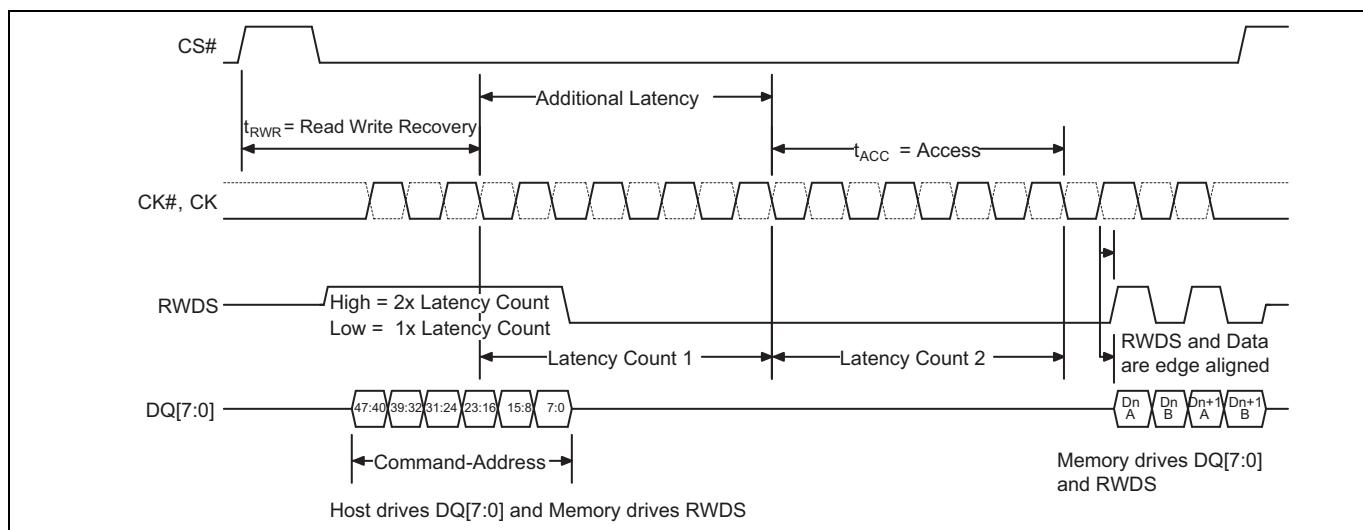


Figure 9 追加の初期レイテンシありの読み出しトランザクション [21,22,23,24,25,26,27,28]

注:

21. Figure 8 は HYPERBUS™ 上の書き込みトランザクションの一部を示します。
22. 書き込みトランザクション中は、データはクロックと「中央揃え」となります。
23. 初期レイテンシありの書き込みデータ転送の間、RWDS はデータマスクとして機能します。最初と最後のバイトのマスクにより、境界調整されていない 3 データバイトの書き込みを示します。
24. 初期レイテンシのない書き込みデータ転送の間に RWDS はマスターによって駆動されません。この場合、常にデータのフルワードが書き込まれます。この場合、RWDS がスレーブによって LOW に駆動されるか、または HIGH-Z 状態のままにされています。
25. 読み出しレイテンシはコンフィギュレーションレジスタ内の初期レイテンシ値で定義されます。
26. この読み出しトランザクションの例では、初期レイテンシカウントが 4 クロックサイクルに設定されました。
27. この読み出しトランザクションでは、CA 転送中に RWDS が HIGH になることは、対象データの出力を追加の 4 クロックサイクル遅延させます。
28. メモリデバイスは読み出しトランザクション中に RWDS を駆動します。

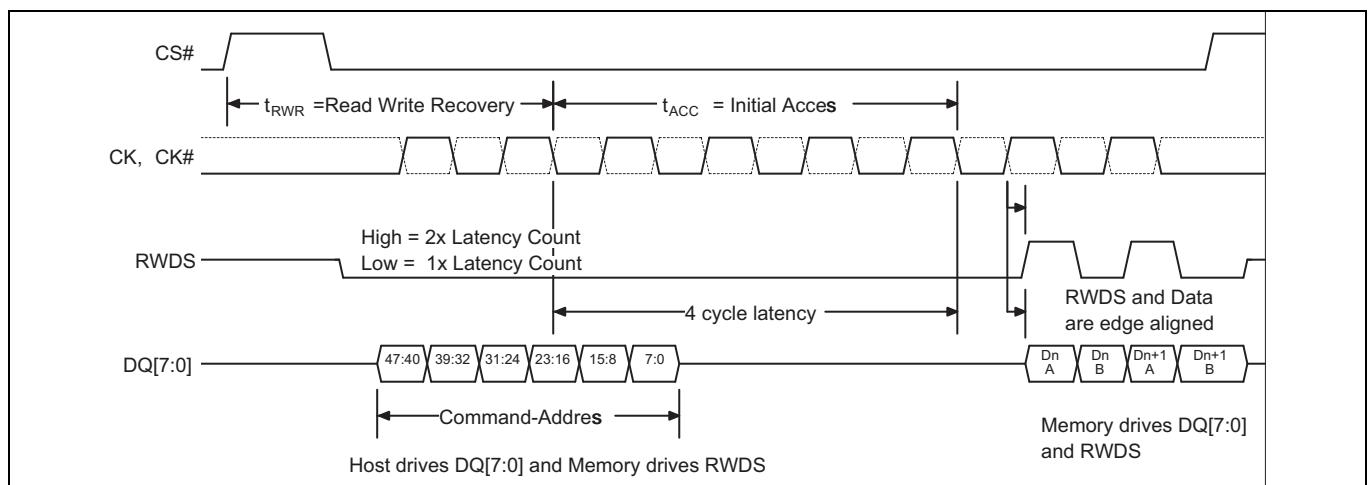


Figure 10 追加の初期レイテンシなしの読み出しトランザクション^[29]

4.3 書き込みトランザクション(メモリアレイ書き込み)

HYPERRAM™ マスターはクロックがアイドル中に CS# を LOW に駆動することでトランザクションを開始します。その後、CA ワードが転送されている間にクロックがトグルし始めます。

CA0 では、CA[47]=0 は書き込みトランザクションが実行されることを示します。CA[46]=0 はメモリ空間が書き込み対象であることを示します。CA[45] はバーストタイプを示します(ラップまたはリニア)。行と上位列アドレスが CA0 と CA1 (CA[47:16]) にて提供されしだい、書き込み動作は内部のアレイアクセスを開始します。CA2 (CA[15:0]) は選択された行内の対象ワード アドレスを指定します。

HYPERRAM™ マスターはその後、コンフィギュレーションレジスタ 0 で設定されたレイテンシ数によって定義されたサイクル数の間、クロック供給を続けます。特定のクロック周波数のために必要な初期レイテンシ カウントは RWDS に基づきます。CA サイクル中に RWDS が LOW の場合、1 つのレイテンシが挿入されます。CA サイクル中に RWDS が HIGH の場合、追加のレイテンシ カウントが挿入されます。

このレイテンシクロック サイクルが経過すると、HYPERRAM™ マスターは対象のデータを出力し始めます。書き込みデータはクロックエッジでの中央揃えです。メモリは各ワードの最初のデータバイトを CK の立ち上りエッジで取り込んで、第 2 バイトを CK の立ち下りエッジで取り込みます。

CA クロック サイクル中に RWDS はメモリによって駆動されます。

書き込みデータ転送中に RWDS はデータマスクとしてホストマスターインターフェースにより駆動されます。データの書き込み中で RWDS が HIGH のとき、バイトがマスクされ、アレイは変更されません。データの書き込み中で RWDS が LOW のとき、データがアレイに配置されます。書き込みデータ転送中にマスターが RWDS を駆動しているため、マスター デバイスも HYPERRAM™ デバイスも書き込みトランザクションのデータ転送部分内のレイテンシの必要性を示せません。許容される書き込みデータバースト長の設定も、コンフィギュレーションレジスタ 0 に示されます。

CS# が LOW の間に HYPERRAM™ マスターがクロックを遷移し続ける限り、データは引き続き転送されます。バーストトランザクションは、メモリが分散型リフレッシュを実行するのを妨げるほど長くしないでください。レガシーフォーマットのラップバーストはバースト長以内でラップし続けます。ハイブリッド ラップは 1 回ラップしてから、次のラップ境界で開始するリニアバーストに切り替わります。リニアバーストはページ境界を越えて連続的なデータを受け入れます。クロックがアイドルの間に CS# を HIGH にすることで書き込み転送をいつでも終了できます。

リニアバースト書き込みがメモリアレイ空間の最後のアドレスに到達したとき、バーストの継続はアドレス範囲の先頭に書き込まれます。

クロックがフリー ランである必要はありません。CS# が HIGH の間にクロックはアイドル状態のままであることがあります。

注:

29.RWDS は CA サイクル中に LOW になります。追加レイテンシがスレーブによって必要とされる時点で読み出しトランザクションが開始しないため、この読み出しトランザクションでは読み出しデータのアクセス用に 1 つの初期レイテンシがあります。

HYPERBUS™ トランザクションの詳細

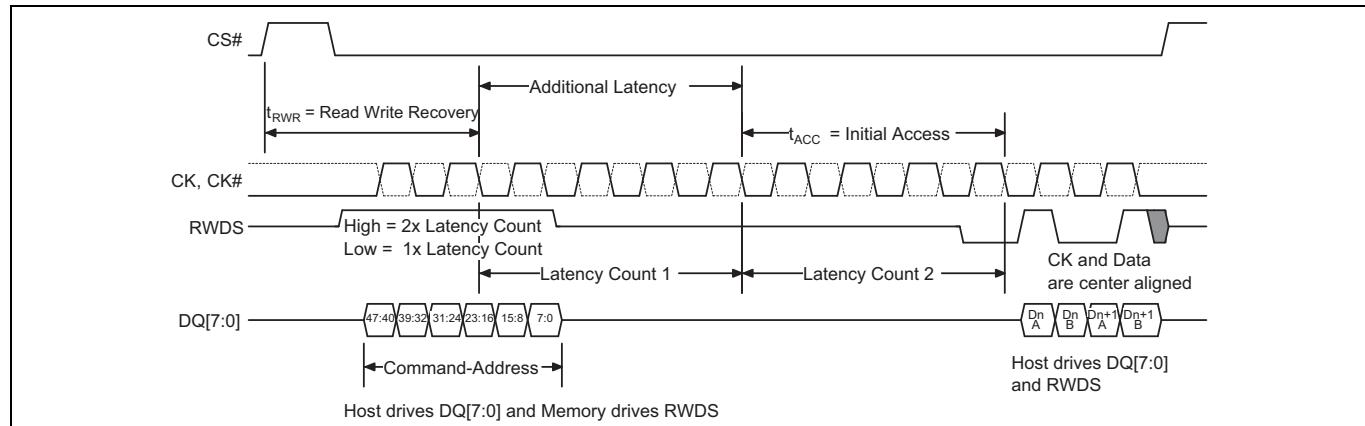


Figure 11 追加の初期レイテンシありの書き込みトランザクション [30,31,32,33,34,35,36]

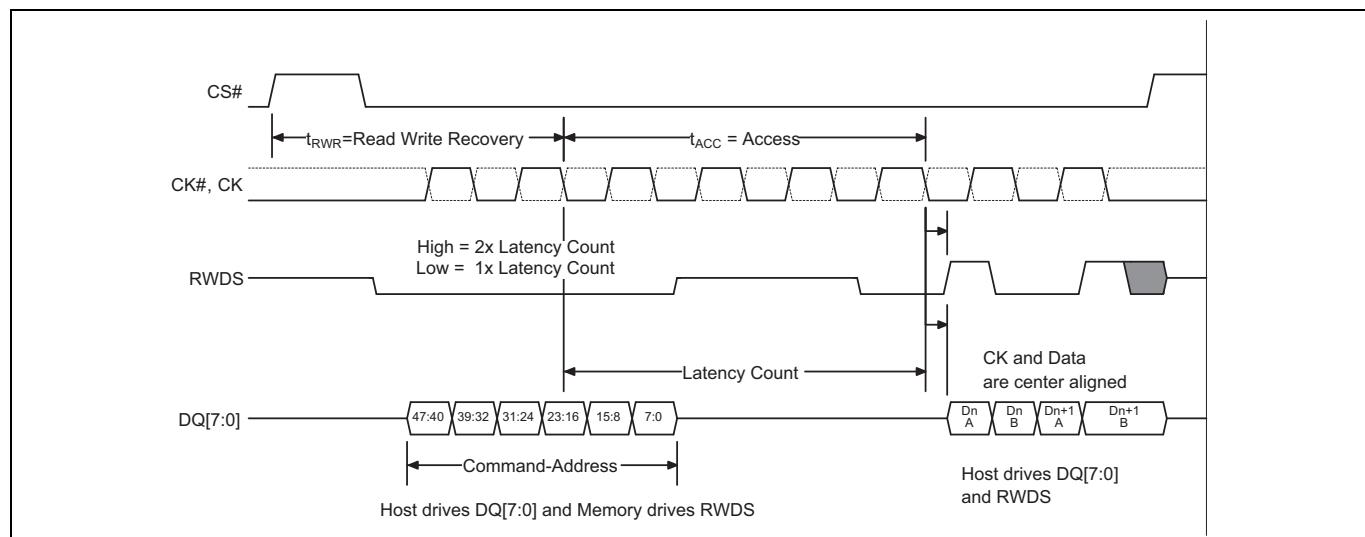


Figure 12 追加の初期レイテンシなしの書き込みトランザクション [32,33,34,35,36]

注:

30. トランザクションは CK=LOWかつ CK#=HIGH のときに開始する必要があります。
31. CS# は新しいトランザクションが開始する前に HIGH に戻る必要があります。
32. CA の間、RWDS はメモリによって駆動され、追加のレイテンシサイクルが必要かどうかを示します。
33. この例では、RWDS は追加のレイテンシサイクルが必要であることを示します。
34. CA サイクルの終了時点で、メモリは RWDS の駆動を停止し、ホスト HYPERBUS™ マスターが RWDS の駆動を開始できるようにします。マスターは初期レイテンシの終了前に RWDS を有効な LOW 状態に駆動し、スレーブにデータマスクプリアンブル期間を提供する必要があります。
35. データを転送中、RWDS はホストによって駆動され、データのどのバイトがマスクされるか、またはアレイにロードされるかを示します。
36. この図は、バイト Dn B と Dn+1 A に非整列ワード書き込みを実行するために RWDS がバイト Dn A と Dn+1 B をマスクしている状況を示します。

4.4 初期レイテンシなしの書き込みトランザクション(レジスタ書き込み)

書き込みトランザクションは、トランザクションの特性を示すコマンド / アドレス情報を提供する最初の 3クロックサイクルで開始します。CA0 は書き込みトランザクションが次に実行されることを示す一方、アドレス空間およびバーストタイプ(ラップまたはリニア)も示します。

初期レイテンシのない書き込みは、レジスタ空間に書き込むために使用されます。HYPERRAM™ デバイスのレイテンシなし書き込みトランザクションは、CA サイクルの後に書き込みデータ転送が続くことを意味します。初期レイテンシのない書き込み動作に RWDS 用のターンアラウンド期間はありません。HYPERRAM™ デバイスは CA 期間中に常に RWDS を駆動して、初期レイテンシのあるトランザクションに延長レイテンシが必要とされるかを示します。しかし、HYPERRAM™ デバイスが最初の CA バイトを受信する前に、すなわち、トランザクションがレジスタ空間に対する読み出しか書き込みかを知る前に、RWDS は駆動されます。レイテンシのない書き込みの場合、CA 期間中の RWDS の状態は初期のゼロレイテンシに影響しません。この場合に CA 期間の直後にマスター書き込みデータが続くため、書き込みデータ転送中に HYPERRAM™ デバイスは RWDS を LOW に駆動し続けるか、または RWDS を High-Z 状態にすることがあります。レイテンシのない書き込み期間中に、マスターは RWDS を駆動してはいけません。レイテンシのない書き込みは、RWDS をデータマスク機能として使用しません。書き込みデータのすべてのバイトが書き込まれます(フルワード書き込み)。

各ワードでの最初のデータバイトは CK の立ち上りエッジに、第 2 のデータバイトは CK の立ち下りエッジに現れます。書き込みデータはクロック入力と中央揃えです。クロックがアイドルの間に CS# を HIGH にすることで書き込み転送をいつでも終了できます。クロックがフリー ランである必要はありません。

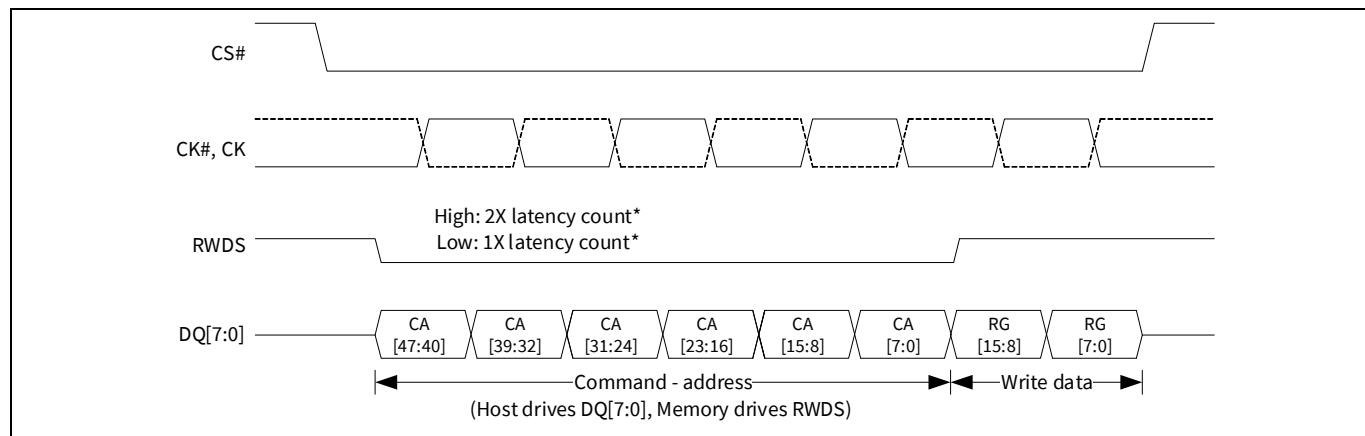


Figure 13 初期レイテンシなしの書き込み動作^[37]

注:

37.レイテンシカウントは、レジスタ書き込みには適用されません。CA サイクル中に LOW または HIGH に駆動された RWDS はホストによって無視され、ホストはゼロレイテンシでレジスタ書き込みを継続する必要があります。

5 メモリ空間

5.1 HYPERBUS™ インターフェース

Table 5 メモリ空間アドレスマップ(ワードベース - 16 ビット)

ユニットタイプ	カウント	システムワードアドレスビット	CAビット	備考
64 Mb デバイスの行	8192(行)	A21 - A9	34 - 22	-
行	1(行)	A8 - A3	21 - 16	512(ワードアドレス) 1 KB
ハーフページ	8(ワードアドレス)	A2 - A0	2 - 0	8ワード(16バイト)

レジスタ空間

6 レジスタ空間

6.1 HYPERBUS™ インターフェース

CA[46]=1 のとき、読み出し / 書き込みトランザクションはレジスタ空間にアクセスします。

Table 6 レジスタ空間アドレスマップ

レジスタ	システムアドレス	-	-	-	31 ~ 27	26 ~ 19	18 ~ 11	10 ~ 3	-	2 ~ 0
	CA ビット	47	46	45 ^[38]	44 ~ 40	39 ~ 32	31 ~ 24	23 ~ 16	15 ~ 8	7 ~ 0
ID レジスタ 0 読み出し ^[39]	C0h または E0h			00h	00h	00h	00h	00h	00h	00h
ID レジスタ 1 読み出し ^[39]	C0h または E0h			00h	00h	00h	00h	00h	01h	01h
コンフィギュレーション レジスタ 0 読み出し	C0h または E0h			00h	01h	00h	00h	00h	00h	00h
コンフィギュレーション レジスタ 0 書き込み	60h			00h	01h	00h	00h	00h	00h	00h
コンフィギュレーション レジスタ 1 読み出し	C0h または E0h			00h	01h	00h	00h	00h	01h	01h
コンフィギュレーション レジスタ 1 書き込み	60h			00h	01h	00h	00h	00h	00h	01h
ダイメーカー情報レジス タ (0-17) 読み出し	C0h または E0h			00h	02h	00h	00h	00h	00h ~ 11h	

6.2 デバイス ID レジスタ

CS# が LOW のときに選択されたデバイスに関する情報を提供する 2 つの読み出し専用不揮発性ワード レジスタがあります。

デバイス情報フィールドは以下を識別します。

- メーカー
- タイプ
- メモリ容量
 - 行アドレス ビット数
 - 列アドレス ビット数

注:

38.CA45 はラップまたはリニアの読み出しを示すために、それぞれ 0 または 1 です。リニアシングル

ワードのレジスタ書き込みのみがサポートされるため、CA45 は 1 である必要があります。

39.バーストタイプ(ラップ / リニア)定義は、レジスタ読み出しではサポートされていません。した
がって、C0h/E0h は同じ効果があります。

レジスタ空間

Table 7 ID レジスタ 0 (ID0) のビット割り当て

ビット	機能	設定 (2 進)
[15:4]	MCP ダイアドレッス	00: デフォルト
[13]	予約済み	0: デフォルト
[12:8]	行アドレスビット数	00000: 1 個の行アドレスビット ... 11111: 32 個の行アドレスビット ... 01100: 64Mb - 13 個の行アドレスビット (デフォルト)
[7:4]	列アドレスビット数	0000: 1 個の列アドレスビット ... 1000: 9 個の列アドレスビット (デフォルト) ... 1111: 16 個の列アドレスビット
[3:0]	メーカー	0001: Infineon 0000, 0010 ~ 1111: 予約済み

Table 8 ID レジスタ 1 (ID1) のビット割り当て

ビット	機能	設定 (2 進)
[15:4]	予約済み	0000_0000_0000 (デフォルト)
[3:0]	デバイス タイプ	0001: HYPERRAM™ 2.0 0000, 0010 ~ 1111: 予約済み

6.2.1 メモリ容量と行境界

デバイスの DRAM アレイ サイズ(容量)は、ID0 レジスタの行アドレスビット数と列アドレスビット数フィールドに示された行と列アドレスに使用されるシステムアドレスの総ビット数で判定できます。例えば、64Mb HYPERRAM™ デバイスは 9 列アドレスビットと 13 行アドレスビットがあり、合計で 22 ワードアドレスビット = 2^{22} =4M ワード =8MB があります。9 列アドレスビットは、各行には 2^9 =512 ワード=1KB があることを示します。行アドレスビット数は、各アレイのリフレッシュ間隔以内に 8196 行がリフレッシュされることを示します。行数はリフレッシュ間隔の計算に使用されます。

64Mb HYPERRAM™ の ID0 値は 0x0C81 です。

6.3 レジスタ空間アクセス

レジスタの初期設定値は電源投入時またはハードウェアリセット時にロードされます。レジスタはデバイスがスタンバイ状態にある間いつでも変更できます。

レジスタのロードは、初期レイテンシのない単一 16 ビットワード書き込みトランザクションを実行することで行われます。

各レジスタは個別の単一ワード書き込みトランザクションで書き込まれます。レジスタ書き込みトランザクションにはレイテンシがなく、単一のデータワードは CA の直後に続きます。RWDS はメモリアレイのリフレッシュが進行中であるかを示すために CA サイクル中常にメモリによって駆動されるため、書き込み中にはホストによって駆動されません。レジスタ空間への書き込みはメモリアレイでなくレジスタに直接アクセスするため、進行中のアレイリフレッシュに関する初期書き込みレイテンシはありません。レジスタ書き込みでは、レジスタの両バイトがマスクされず、常に書き込まれるため、RWDS はデータマスクとしても使用されません。

予約済みレジスタフィールドはデフォルト値で書き込む必要があります。予約済みフィールドに初期設定以外の値を書き込むと、未定義の結果となることがあります。

注:

- レジスタ空間への書き込み中にはホストは RWDS を駆動してはいけません。
- RWDS 信号は、メモリアレイがリフレッシュされているかどうかに応じて CA 期間中にメモリによって駆動されます。このリフレッシュの指定はレジスタデータの書き込みに影響しません。
- RWDS 信号は CA 期間後に高インピーダンスに戻ります。レジスタデータはマスクされることはありません。レジスタデータの両データバイトは選択したレジスタにロードされます。

レジスタの読み出しは、単一 16 ビット読み出しトランザクションを使用して、1 倍または 2 倍の初期レイテンシの読み出しトランザクションを実行することで行われます。複数のワードが読み出された場合、出力は不定になります。[Figure 9](#) に示すように、レジスタの内容はアレイデータの読み出しと同じ方法で返されますが、CA 期間中の RWDS の状態に応じて 1 つか 2 つのレイテンシがあります。レイテンシ数はコンフィギュレーションレジスタ 0 の読み出しレイテンシフィールド (CR0[7:4]) で定義されます。

6.3.1 コンフィギュレーションレジスタ 0

コンフィギュレーションレジスタ 0 (CR0) は、HYPERRAM™ デバイスの電力状態とアクセスプロトコルの動作条件の定義に使用されます。設定可能な特性は以下のとおりです。

- ラップバースト長(長さが 16, 32, 64, または 128 バイトの揃えたデータグループ)
- ラップバーストタイプ
 - レガシーラップ(選択した長さを持つ境界調整されたグループ内でラップアラウンドによるシーケンシャルアクセス)
 - ハイブリッド ラップ(1回のレガシーラップ後に次のシーケンシャルグループの開始でリニアバーストを使用)
- 初期レイテンシ
- 可変レイテンシ
 - アレイの読み出し / 書き込みトランザクションが固定レイテンシを用いるか可変レイテンシを用いるかを設定します。固定レイテンシを選択した場合、メモリは常に 1 つのリフレッシュレイテンシを指定し、それに応じて読み出しデータ転送を遅延させます。可変レイテンシを選択した場合、新しいトランザクションが開始すると同時にリフレッシュが必要となるときにのみリフレッシュレイテンシが追加されます。
- 出力駆動強度
- ディープパワーダウン (DPD) モード

Table 9 コンフィギュレーションレジスタ 0 (CR0) のビット割り当て

CR0 ビット	機能	設定 (2 進)
[15]	ディープパワー・ダウン有効化	1: 通常動作 (デフォルト)。HYPERRAM™ は DPD 終了後にこの値を自動的に「1」にセットします。 0: 「0」を書き込むと、デバイスはディープパワーダウンに入ります。
[14:12]	駆動強度	000: 34 Ω (デフォルト) 001: 115 Ω 010: 67 Ω 011: 46 Ω 100: 34 Ω 101: 27 Ω 110: 22 Ω 111: 19 Ω
[11:8]	予約済み	1: 予約済み (デフォルト) 将来使用のために予約済みです。このレジスタに書き込むとき、将来の互換性維持のためにこれらのビットを「1」にセットする必要があります。
[7:4]	初期レイテンシ	0000: 133MHz の最大周波数での 5 クロック レイテンシ 0001: 166MHz の最大周波数での 6 クロック レイテンシ 0010: 200MHz/166MHz の最大周波数での 7 クロック レイテンシ (デフォルト) 0011: 予約済み 0100: 予約済み ... 1101: 予約済み 1110: 85MHz の最大周波数での 3 クロック レイテンシ 1111: 104MHz の最大周波数での 4 クロック レイテンシ
[3]	固定レイテンシ有効化	0: 可変レイテンシ。CA サイクル中の RWDS に応じて初期レイテンシの 1 倍または 2 倍 1: 固定レイテンシ。初期レイテンシの 2 倍 (デフォルト)
[2]	ハイブリッドバースト有効化	0: ハイブリッドバーストシーケンスに従うラップバーストシーケンス 1: レガシーラップバースト方式でのラップバーストシーケンス (デフォルト) このビット設定は、コマンド / アドレスレジスタの「バーストタイプ」ビットが「0」に設定されている場合、つまり CA[45]=0 の場合にのみ有効です。それ以外の場合は無視されます。
[1:0]	バースト長	00: 128 バイト 01: 64 バイト 10: 16 バイト 11: 32 バイト (デフォルト)

6.3.2 ラップ バースト

ラップ バーストトランザクションは、設定されたワード グループの長さと一致したワード境界に揃えたワード グループ内のメモリにアクセスします。ラップ アクセス グループは 16、32、64 または 128 バイトの揃えと長さとして構成できます。ラップトランザクション中に、アクセスはグループ内で CA によって選択された位置から開始し、設定されたワード グループ揃えの境界の終わりまで継続してから、グループの始まりにラップアラウンドした後、開始位置まで続けます。ラップ バーストは一般的に、クリティカルワード ファースト方式で命令またはデータをキャッシュ ラインに書き込ませる読み出しアクセスに使用されます。

6.3.2.1 ハイブリッド バースト

ハイブリッド バーストの始まりは対象アドレスのラップ バースト グループの長さ内でラップしてから、ラップ グループの終わりの後に次のデータ ハーフページまで続けます。継続したアクセスは、CS# を HIGH にすることで転送を終了するまでリニア バースト順序で実行されます。ラップ バーストと、次のバースト グループの始まりから開始するリニア バーストの混成により、単一のアクセスで複数のシーケンシャル アドレス キャッシュ ラインにデータが書き込まれます。最初のキャッシュ ラインはクリティカルなワードから書き込まれます。その後、最初のラインを処理中にメモリ内の次のシーケンシャル ラインを読み出してキャッシュに格納できます。

Table 10 CR0[2] によるラップ バースト シーケンスの制御

ビット	デフォルト値	名称
2	1	ハイブリッド バースト有効化 CR0[2]=0: ハイブリッド バースト シーケンスに従うラップ バースト シーケンス CR0[2]=1: レガシー ラップ バースト方式でのラップ バースト シーケンス

レジスタ空間

Table 11 ラップ バースト シーケンス例 (HYPERBUS™ アドレス指定)

バースト タイプ	ラップ境界(バ イト)	開始アドレス (16進)	データワードのワードアドレス(16進)シーケンス
ハイブ リッド 128	1回の128 バイ トのラップ後 にリニアバー ストが続く	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02 (ラップバースト完了。最初の128 バイトのラップグループの終了時点以降リニアバーストを実行) 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 4A, 4B, 4C, 4D, 4E, 4F, 50, 51, ...
ハイブ リッド 64	1回の64 バイ トのラップ後 にリニアバー ストが続く	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02 (ラップバースト完了。最初の64 バイトのラップグループの終了時点以降リニアバーストを実行) 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, ...
ハイブ リッド 64	1回の64 バイ トのラップ後 にリニアバー ストが続く	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D (ラップバースト完了。最初の64 バイトのラップグループの終了時点以降リニアバーストを実行) 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 4A, 4B, 4C, 4D, 4E, 4F, 50, 51, ...
ハイブ リッド 16	1回の16 バイ トのラップ後 にリニアバー ストが続く	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01 (ラップバースト完了。最初の16 バイトのラップグループの終了時点以降リニアバーストを実行) 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, ...
ハイブ リッド 16	1回の16 バイ トのラップ後 にリニアバー ストが続く	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B (ラップバースト完了。最初の16 バイトのラップグループの終了時点以降リニアバーストを実行) 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, ...
ハイブ リッド 32	1回の32 バイ トのラップ後 にリニアバー ストが続く	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09 (ラップバースト完了。最初の32 バイトのラップグループの終了時点以降リニアバーストを実行) 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, ...
ラップ 64	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
ラップ 64	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...
ラップ 16	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
ラップ 16	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
ラップ 32	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
リニア	リニア バースト	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...

6.3.2.2 初期レイテンシ

メモリ空間への読み出し / 書き込みのトランザクションまたはレジスタ空間への読み出しトランザクションは、CAで選択された行を開くためにいくつかの初期レイテンシを要します。この初期レイテンシは t_{ACC} です。 t_{ACC} を満たすために必要なレイテンシクロック数は、HYPERBUS™ 周波数に応じて 3 ~ 7 クロックの間で変化します。CR0[7:4] の値は初期レイテンシのクロック数を選択します。初期設定値は 7 クロックであり、ホストシステムがより最適な低い初期レイテンシを設定する前に最大 200MHz までの周波数で動作することを可能とします。

メモリ空間への読み出し／書き込みトランザクションまたはレジスタ空間への読み出しトランザクションが開始すると同時に分配型リフレッシュが必要となるとき、RWDS 信号は CA の期間中に HIGH になり、選択された行を開く前にリフレッシュ動作が完了するための追加の初期レイテンシが挿入されていることを示します。

レジスタ空間への書き込みトランザクションは常にゼロ初期レイテンシです。RWDS は CA 期間中に HIGH または LOW です。レジスタデータをキャプチャするために必要な初期レイテンシがないため、RWDS の CA 期間中の論理レベルは CA の直後のレジスタデータの配置に影響を与えません。リフレッシュ動作はレジスタデータのキャプチャと並行してメモリアレイで実行できます。

6.3.2.3 固定レイテンシ

コンフィギュレーションレジスタのオプションビット CR0[3] は、すべてのメモリ空間への読み出し／書き込みトランザクションまたはレジスタ空間への読み出しトランザクションに必要な初期レイテンシを同じにします。このためには、CA 期間中常に RWDS を HIGH に駆動して 2 つの初期レイテンシ期間が必要であることを指定します。この固定レイテンシは分配型リフレッシュの必要性にかかわらず、単に固定の(決定的な)初期レイテンシをすべてのトランザクションタイプに提供します。固定レイテンシオプションを使うと、一部の HYPERBUS™ メモリコントローラーのデザインを簡素化できるか、またはトランザクションの決定的な性能を保証できます。固定レイテンシはデフォルトの POR またはリセットコンフィギュレーションです。システムは、このコンフィギュレーションビットをクリアして固定レイテンシを無効にし、リフレッシュ用の追加のレイテンシが必要となるときにのみ RWDS を HIGH に駆動して可変レイテンシを有効にできます。

6.3.2.4 駆動強度

DQ と RWDS 信号ラインの負荷、長さ、インピーダンスはシステムデザインによって異なります。コンフィギュレーションレジスタビット CR0[14:12] を使うと、DQ[7:0] 信号と RWDS 信号の出力インピーダンスを調整して DQ 信号と RWDS 信号のインピーダンスをシステム条件に適合させ、オーバーシュートやアンダーシュート、リングインなど高速信号の動作を最小限にできます。デフォルトの POR またはリセットコンフィギュレーション値は 000b であり、出力インピーダンスオプションの中間点を選択します。

指定されたインピーダンス値は、標準的なシリコンプロセス条件、定格動作電圧(1.8V または 3.0V)、50°C でのプルアップとプルダウン両方のドライバの Typ 値です。インピーダンス値はプロセス、電圧および温度(PVT)条件によって Typ 値と異なることがあります。プロセスが遅く、電圧が低く、温度が高いほどインピーダンスは高くなります。プロセスが速く、電圧が高く、温度が低いほどインピーダンスは低くなります。

各システムデザインでは、動作電圧と温度範囲にわたってデータのシグナルインテグリティを評価して、動作条件に最適な駆動強度を選択する必要があります。

6.3.2.5 ディープパワーダウン

HYPERRAM™ デバイスがシステムの動作に必要ない場合、CR0[15] に「0」を書き込むことで、デバイスをディープパワーダウン(DPD)という非常に低消費電力な状態に移行させられます。CR0[15] を「0」にクリアすると、デバイスは t_{DPDIN} 時間に内に DPD 状態に移行し、すべてのリフレッシュ動作が停止します。DPD 状態の間、RAM に格納されたデータは失われます(リフレッシュなしで無効になります)。DPD を終了するには、CS #を LOW に駆動してから HIGH に駆動すること、POR またはリセットが必要です。DPD モードでは、CS# と RESET# 信号のみが監視されます。詳細は [ディープパワーダウン](#) を参照してください。

6.3.3 コンフィギュレーションレジスタ 1

コンフィギュレーションレジスタ 1(CR1) は、HYPERRAM™ デバイスのリフレッシュ アレイサイズ、リフレッシュ レート、ハイブリッド スリープを定義するために使用されます。設定可能な特性は以下のとおりです。

- 部分的アレイ リフレッシュ
- ハイブリッド スリープ状態
- リフレッシュ レート

Table 12 コンフィギュレーションレジスタ 1(CR1) のビット割り当て

CR1 ビット	機能	設定(2進)
[15:8]	予約済み	FFh: 予約済み(デフォルト) これらのビットは常に FFh に設定しなければいけません。
[7]	予約済み	1: 予約済み(デフォルト)
[6]	マスタークロックタイプ	1: シングルエンド - CK(デフォルト) 0: 差分 - CK#, CK
[5]	ハイブリッド スリープ	1: デバイスがハイブリッド スリープ状態に移行 0: 通常動作(デフォルト)
[4:2]	部分的アレイ リフレッシュ	000: アレイ全体(デフォルト) 001: アレイの下位 1/2 010: アレイの下位 1/4 011: アレイの下位 1/8 100: なし 101: アレイの上位 1/2 110: アレイの上位 1/4 111: アレイの上位 1/8
[1:0]	分散型リフレッシュ間隔 (読み出しのみ)	10: $1\mu\text{s}$ t_{CSM} (産業用プラス温度範囲デバイス) 11: 予約済み 00: 予約済み 01: $4\mu\text{s}$ t_{CSM} (産業用温度範囲デバイス)

6.3.3.1 マスタークロックタイプ

シングルエンドと差動の 2 つのクロック タイプがサポートされます。CR1[6] は使用するタイプを選択します。

- シングルエンドクロックモード(デフォルト)では、CK# 入力は有効になっていません。したがって、フローティングのままにするか、HIGH または LOW にバイアスできます。
- 差動クロックモード(有効な場合)では、CK# 入力をフローティングのままにできません。ホストによって駆動されるか、HIGH または LOW にバイアスされる必要があります。

6.3.3.2 部分的アレイ リフレッシュ

部分的アレイ リフレッシュ コンフィギュレーションは HYPERRAM™ のリフレッシュ動作を CR1[5:3] で指定されたメモリアレイの部分に制限します。これにより、スタンバイ電流が削減されます。デフォルトのコンフィギュレーションでは、アレイ全体がリフレッシュされます。

6.3.3.3 ハイブリッド スリープ(HS)

HYPERRAM™ デバイスがシステムの動作に必要なく、デバイスのデータを保持する必要がある場合、デバイスをハイブリッド スリープ状態にして、さらに消費電力を節約できます。CR1[5] に「1」を書き込むことにより、デバイスをハイブリッド スリープ状態にします。CS# を LOW にすると、デバイスは HS 状態を終了し、CR1[5] を「0」にセットします。また、POR またはハードウェアリセットによっても、デバイスはハイブリッド スリープ状態を終了します。POR またはハードウェアリセットは、メモリコアデータが失われる可能性があるリフレッシュを無効にすることに注意してください。

6.3.3.4 分散型リフレッシュ間隔

DRAM アレイはすべてのビットの定期的なリフレッシュが必要です。これは、ホストシステムが特定の制限時間内に各行内の 1 つの位置を読み出し / 書き込みすることで行われます。読み出し / 書き込みのアクセスにより、その行のビットは内部バッファにコピーされます。アクセスの終了時、バッファに格納されたビットはメモリ内の行に書き戻されるため、DRAM メモリセル内のビット行が再充電(リフレッシュ)されます。

HYPERRAM™ デバイスは自動的に行をリフレッシュするセルフリフレッシュロジックを内蔵しています。メモリがホストシステムによってアクティブに読み出し / 書き込みされていないときにのみ、行の自動リフレッシュを実行できます。リフレッシュロジックは、その時点でリフレッシュが必要な場合、アクティブな読み出し / 書き込みの終了を待ってからリフレッシュを実行します。リフレッシュが完了する前に新しい読み出し / 書き込みが開始する場合、メモリは CA 期間中に RWDS を HIGH に駆動して新しいアクセスの開始時に追加の初期レイテンシが必要となることを示します。これにより、新しいアクセスが開始する前にリフレッシュ動作が完了できます。

Table 13 に示すように、メモリアレイ全体の必要なリフレッシュ間隔は温度によって異なります。これは、すべての行を更新する必要がある時間です。すべての行のリフレッシュは、各間隔の開始時に一括してアクセスすること、あるいは 1 回にいくつかの行のグループを、各間隔を通して分散された形でのリフレッシュ(バーストリフレッシュ)をすること、あるいは間隔にわたって均等に分配された単一行のリフレッシュとしても実行できます。セルフリフレッシュロジックは間隔内で單一行のリフレッシュ動作を分散することで、バーストリフレッシュの実行でメモリが長い期間ビジーになることはなく、これによりホストアクセスが長い期間遅延されることはありません。

Table 13 温度ごとのアレイリフレッシュ間隔

デバイスの温度 (°C)	アレイリフレッシュ間隔(ms)	アレイ行数	推奨 t_{CSM} (μs)
85	64	8192	4
105	16	8192	1

分配型リフレッシュ方式は、ホストがメモリの必要な分配型リフレッシュを行えなくなるほど長いバーストトランザクションを実行しないことを必要とします。このことから、リフレッシュロジックがトランザクション同士間にリフレッシュを挿入できるように読み出し / 書き込みトランザクションの長さの上限値が設定されます。この上限値は CS# の最大 LOW 時間 (t_{CSM}) と呼ばれます。 t_{CSM} 値は、アレイリフレッシュ間隔をアレイ内の行数で割ってから、結果を半分に減らすことで計算されます。これにより、分配型リフレッシュが必要とされる直前に開始する最大長のホストアクセスが原因で分配型リフレッシュ間隔が完全に見逃されることを防止できます。 t_{CSM} が必要な分散型リフレッシュ間隔の半分にセットされた値であるため、リフレッシュ動作を遅延させる一連の最大長のホストアクセスは、リフレッシュ間隔を行数で割った値の 2 倍である速度でリフレッシュ動作に追い付きます。

ホストシステムは、各トランザクションを t_{CSM} に違反する前に終了することで t_{CSM} の要件を満たす必要があります。このためには、ホストメモリコントローラロジックは t_{CSM} の制限に達すると長いトランザクションを分割するか、またはホストシステムハードウェアあるいはソフトウェアは t_{CSM} よりも長い単一読み出し / 書き込みトランザクションを実行しません。

Table 13 に示したように、低温ではアレイリフレッシュ間隔が長くなるため、 t_{CSM} が増加し、その結果、より長いトランザクションを実行できるようになります。ホストシステムは、最大動作温度に対して、表からの t_{CSM} 値を使用することもでき、すべてのアクセスの前に分散型リフレッシュ間隔を設定するために読み出し専用の CR1[1:0] ビットを読み出して動的に決定できます。

7 インターフェース状態

Table 14 に、信号の値の要件を、インターフェースの状態ごとに示します。

Table 14 インターフェース状態

インターフェース状態	V_{CC} / V_{CCQ}	CS#	CK, CK#	DQ7-DQ0	RWDS	RESET#
電源切断	$< V_{LKO}$	X	X	HIGH-Z	HIGH-Z	X
パワーオン(コールド)リセット	$\geq V_{CC} / V_{CCQ \min}$	X	X	HIGH-Z	HIGH-Z	X
ハードウェア(ウォーム)リセット	$\geq V_{CC} / V_{CCQ \min}$	X	X	HIGH-Z	HIGH-Z	L
インターフェーススタンバイ	$\geq V_{CC} / V_{CCQ \min}$	H	X	HIGH-Z	HIGH-Z	H
CA	$\geq V_{CC} / V_{CCQ \min}$	L	T	マスター出力有効	Y	H
読み出し初期アクセスレイテンシ(データバストーンアラウンド周器)	$\geq V_{CC} / V_{CCQ \min}$	L	T	HIGH-Z	L	H
書き込み初期アクセスレイテンシ(RWDS ターンアラウンド周器)	$\geq V_{CC} / V_{CCQ \min}$	L	T	HIGH-Z	HIGH-Z	H
読み出しデータ転送	$\geq V_{CC} / V_{CCQ \min}$	L	T	スレーブ出力有効 Z または T	スレーブ出力有効 Z または T	H
初期レイテンシありの書き込みデータ転送	$\geq V_{CC} / V_{CCQ \min}$	L	T	マスター出力有効	マスター出力有効 X または T	H
初期レイテンシなしの書き込みデータ転送 ^[40]	$\geq V_{CC} / V_{CCQ \min}$	L	T	マスター出力有効	スレーブ出力 L または HIGH-Z	H
アクティブクロック停止 ^[41]	$\geq V_{CC} / V_{CCQ \min}$	L	アイドル	マスターまたは スレーブ出力有効 または HIGH-Z	Y	H
ディープパワーダウン ^[41]	$\geq V_{CC} / V_{CCQ \min}$	H	X or T	HIGH-Z	HIGH-Z	H
ハイブリッドスリープ ^[41]	$\geq V_{CC} / V_{CCQ \min}$	H	X or T	HIGH-Z	HIGH-Z	H

凡例

L = V_{IL} , H = V_{IH}

X = V_{IL} または V_{IH}

Y = V_{IL} または V_{IH} または V_{OL} または V_{OH}

Z = V_{OL} または V_{OH}

L/H = 立ち上りエッジ

H/L = 立ち下りエッジ

T = 情報転送中にトグル

アイドル = CKがLOWレベルおよびCK#がHIGHレベル

有効 = すべてのバス信号が L または H に安定している

注:

40. 初期レイテンシのない(ゼロ初期レイテンシ)書き込み動作には、RWDS 用のターンアラウンド期間がありません。HYPERRAM™ デバイスは CA 期間中に常に RWDS を駆動して、延長レイテンシが必要かどうかを示します。CA 期間の直後にマスター書き込みデータが続くため、HYPERRAM™ デバイスは RWDS を LOW に駆動し続けるか、または RWDS を HIGH-Z 状態にすることがあります。レイテンシのない書き込み期間中に、マスターは RWDS を駆動してはいけません。レイテンシのない書き込みは、RWDS をデータマスク機能として使用しません。書き込みデータのすべてのバイトが書き込まれます(フルワード書き込み)。

41. アクティブクロック停止は **アクティブクロック停止** で説明し、DPD は **ディープパワーダウン** で説明し、およびハイブリッドスリープは **ハイブリッドスリープ** で説明します。

8 低消費電力モード

8.1 インターフェース スタンバイ

スタンバイは、デバイスがホストによってデータ転送用に選択されていない (CS#=HIGH) とき、インターフェースにとってのデフォルトの低消費電力状態です。この状態では、CS# と RESET# 以外のすべての入出力は無視されます。

8.2 アクティブクロック停止

アクティブクロック停止状態では、読み出し / 書き込み動作のデータ転送部分の間、デバイスインターフェースの消費エネルギーを I_{CC6} レベルに低減します。クロックが $[t_{ACC}+30\text{ns}]$ にわって安定状態に維持されると、デバイスは自動的にこの状態に入ります。アクティブクロック停止状態では、読み出しデータはラッチされ、常にデータバスに出力されます。 I_{CC6} については [DC 電気的特性](#) を参照してください。

アクティブクロック停止状態により、ホストシステムクロックが停止してデータ転送を一時停止するときに消費電流を減少できます。このような拡張されたデータ転送サイクル中に CS# が LOW にある場合がありますが、メモリデバイスのホストインターフェースは $[t_{ACC}+30\text{ns}]$ が経過した後にアクティブクロック停止時の電流レベルになります。これにより、データ転送が停止された場合、デバイスは低電流状態に入ります。クロックのトグルによりデータ転送が再開されると、アクティブ読み書き電流に戻ります。アクティブクロック停止状態は t_{CSM} の制限に違反して使用してはいけません。CS# は t_{CSM} が違反される前に HIGH になる必要があります。クロックは LOW 状態にある限り、アクティブトランザクションのどの部分でも停止できます。レジスタアクセス中にはクロックを停止しないことを注意してください。

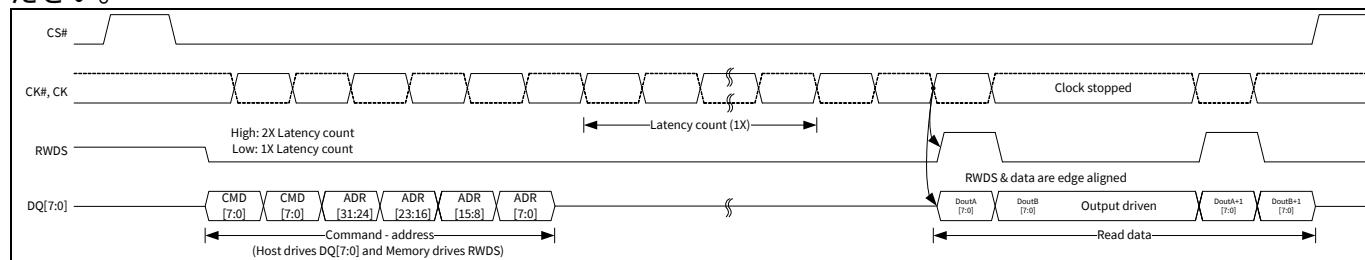


Figure 14 読み出しトランザクション中のアクティブクロック停止 (DDR)^[42]

8.3 ハイブリッドスリープ

ハイブリッドスリープ(HS)状態では、消費電流が削減されます (i_{HS})。CR1[5] に「0」を書き込むことで HS 状態に入れます。デバイスは t_{HSIN} の間消費電力を減少させます。メモリ空間とレジスタ空間のデータは HS 状態中に保持されます。CS# を LOW にすると、デバイスは HS 状態を終了し、CR1[5] を「1」にセットします。また、POR またはハードウェアリセットによっても、デバイスはハイブリッドスリープ状態を終了します。POR またはハードウェアリセットは、メモリコアデータが失われる可能性があるリフレッシュを無効にすることに注意してください。スタンバイ状態に復帰するためには t_{EXITHS} の時間がかかります。これらのイベントのいずれかで HS を終了した後、デバイスの状態はハイブリッドスリープに入る状態と同じです。

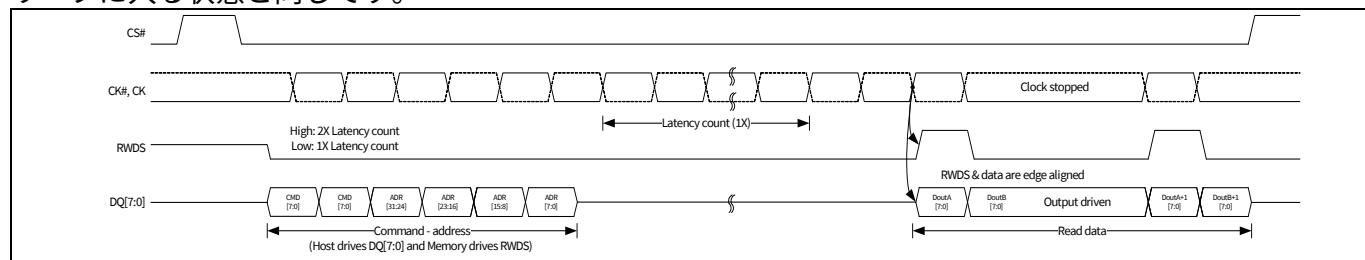


Figure 15 HS トランザクション開始

注:

42.RWDS は CA サイクル中に LOW になります。追加レイテンシがスレーブによって必要とされる時点で読み出しトランザクションが開始しないため、この読み出しトランザクションでは読み出しデータのアクセス用に 1 つの初期レイテンシがあります。

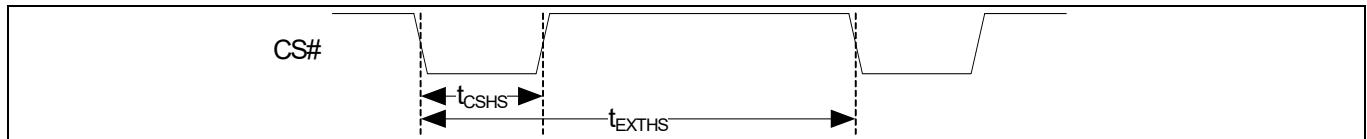


Figure 16 HS トランザクション終了

Table 15 ハイブリッドスリープタイミングパラメーター

パラメーター	説明	Min	Max	単位
t_{HSIN}	ハイブリッドスリープ CR1[5]=1 レジスタ書き込みから HS 電力レベルになるまでの時間	-	3	μs
t_{CSHS}	HS を終了する CS# パルス幅	60	3000	ns
t_{EXTHS}	CS# ハイブリッドスリープ終了からスタンバイになるまでのウェイクアップ時間	-	100	μs

8.4 ディープパワーダウン

ディープパワーダウン (DPD) 状態では、消費電流は可能な限り低レベル (I_{DPD}) で駆動されます。CR0[15]に「0」を書き込むことで DPD 状態に入れます。デバイスは t_{DPDIN} の間消費電力を減少させ、すべてのリフレッシュ動作を停止します。DPD 状態の間、メモリ空間に格納されたデータは失われます(リフレッシュなしで無効になります)。CS# を LOW に駆動してから HIGH に駆動することにより、デバイスは DPD 状態を終了します。また、POR またはハードウェアリセットによってもデバイスは DPD 状態を終了します。スタンバイ状態に復帰するためには t_{EXTDPD} の時間がかかります。POR の後にスタンバイ状態に復帰するには t_{VCS} 時間かかります。これは、どの POR においても同様です。これらのイベントのいずれかで DPD を終了した後、デバイスの状態は POR を実行した後の状態と同じです。

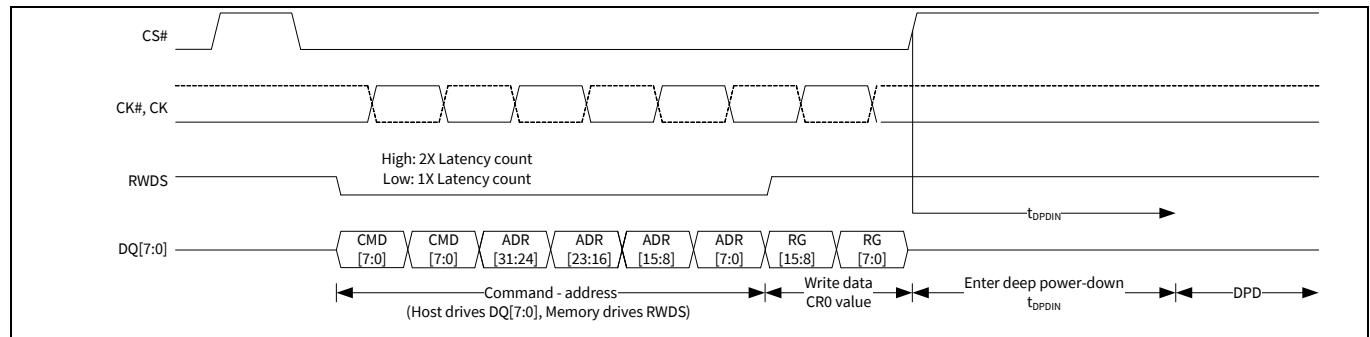


Figure 17 DPD トランザクション開始

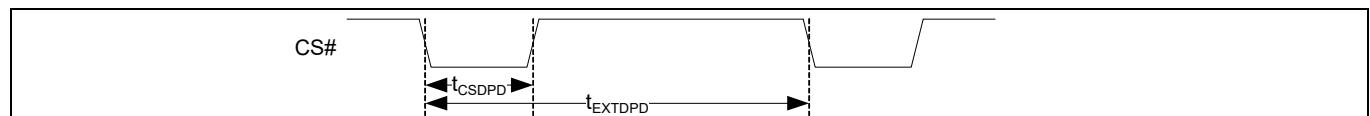


Figure 18 DPD トランザクション終了

Table 16 ディープパワーダウンタイミングパラメーター

パラメーター	説明	Min	Max	単位
t_{DPDIN}	ディープパワーダウン CR0[15]=0 のレジスタ書き込みから DPD 電力レベルになるまでの時間	-	3	μs
t_{CSDPD}	DPD を終了する CS# パルス幅	200	3000	ns
t_{EXTDPD}	CS# ディープパワーダウン終了からスタンバイになるまでのウェイクアップ時間	-	150	μs

9 電気的仕様

9.1 絶対最大定格^[45]

プラスチック パッケージの保管温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +115°C
グランドに対する電圧 すべての信号 ^[43]	-0.5V ~ + (V _{CC} + 0.5 V)
出力短絡電流 ^[44]	100 mA
V _{CC} , V _{CCQ}	-0.5 V ~ +4.0 V
静電気の放電電圧	
人体モデル (JEDEC 規格 JESD22-A114-B)	2000 V
荷電デバイス モデル (JEDEC 規格 JESD22-C101-A)	500 V

9.2 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は V_{SS} と V_{CC} の電圧範囲内にあることが必要です。電圧変動中、入力または I/O は最大 20ns の間 V_{SS} から -1.0V に負のオーバーシュート、または V_{CC}+1.0V に正のオーバーシュートを起こす可能性があります。

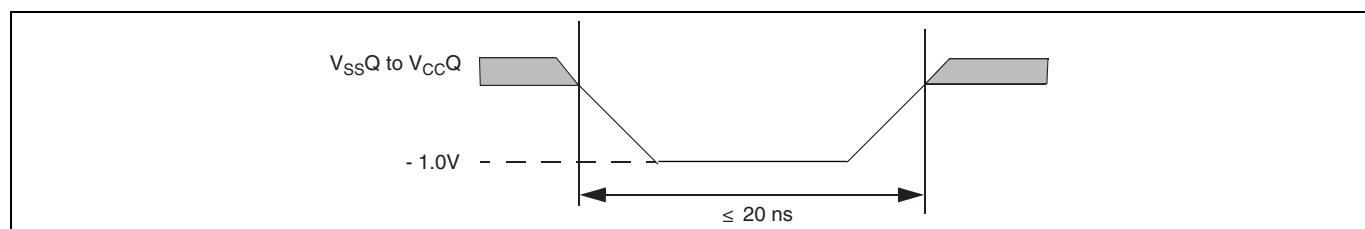


Figure 19 最大負のオーバーシュート波形

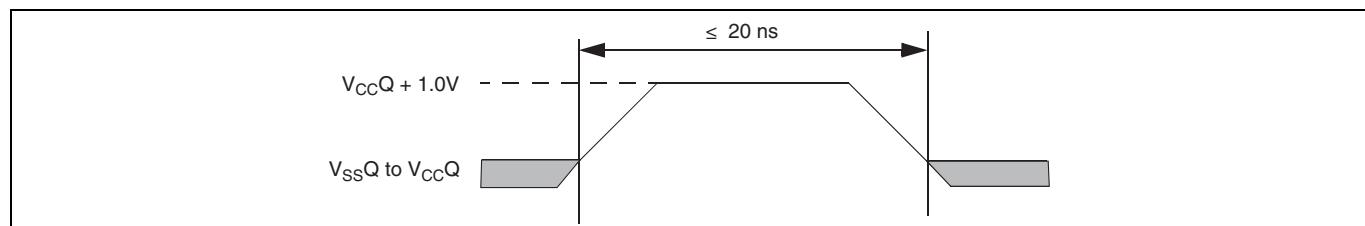


Figure 20 最大正のオーバーシュート波形

注:

43. 入力または I/O 信号の最小 DC 電圧は -1.0V です。電圧変動時、入力または I/O 信号は最大 20ns の間 V_{SS} から -1.0V までアンダーシュートする可能性があります。[Figure 19](#) を参照してください。入力または I/O 信号の最大 DC 電圧は V_{CC}+1.0V です。電圧変動時、入力または I/O 信号は最大 20ns の間 V_{CC}+1.0V までオーバーシュートする可能性があります。[Figure 20](#) を参照してください。
44. 複数の出力は同時にグランドに短絡できません。短絡時間は 1 秒を超えてはいけません。
45. **絶対最大定格 [45]** に記載されたものを越えるとストレスの印加は、デバイスを完全に破壊する可能性があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を越える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。

9.3 ラッチアップ特性

Table 17 ラッチアップ仕様^[46]

説明	Min	Max	単位
すべての入力専用接続での V_{SSQ} を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	V
すべての I/O 接続で V_{SSQ} を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	
V_{CCQ} 電流	-100	+100	mA

9.4 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

9.4.1 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T_A	産業用 (I)	-40	85	°C
		産業用プラス (V)		105	
		車載向け , AEC-Q100 グレード 3 (A)		85	
		車載向け , AEC-Q100 グレード 2 (B)		105	

9.4.2 電源電圧

説明	Min	Max	単位
1.8V V_{CC} 電源電圧	1.7	2.0	V
3.0V V_{CC} 電源電圧	2.7	3.60	

注:

46. V_{CC}/V_{CCQ} の電源電圧を除外します。テスト条件 : $V_{CC} = V_{CCQ}$ 、一度に 1 つの接続をテストし、テストされていないピンは V_{SS} に接続します。

電気的仕様

9.5 DC 電気的特性

Table 18 DC 電気的特性 (CMOS 互換)

パラメーター	説明	テスト条件	64 Mb			単位
			Min	Typ ^[47]	Max	
I _{LI1}	入力リーク電流 3.0V デバイスリセット信号 high のみ	V _{IN} = V _{SS} ~ V _{CC} , V _{CC} = V _{CC} max	—	—	2	μA
I _{LI2}	入力リーク電流 1.8V デバイスリセット信号 high のみ	V _{IN} = V _{SS} ~ V _{CC} , V _{CC} = V _{CC} max	—	—	2	
I _{LI3}	入力リーク電流 3.0V デバイスリセット信号 low のみ ^[48]	V _{IN} = V _{SS} ~ V _{CC} , V _{CC} = V _{CC} max	—	—	15	
I _{LI4}	入力リーク電流 1.8V デバイスリセット信号 low のみ ^[48]	V _{IN} = V _{SS} ~ V _{CC} , V _{CC} = V _{CC} max	—	—	15	
I _{CC1}	V _{CC} アクティブ読み出し電流	CS# = V _{SS} , 200MHz 時, V _{CC} = 2.0V	—	15	25	mA
		CS# = V _{SS} , 166MHz 時, V _{CC} = 3.6V	—	15	28	
		CS# = V _{SS} , 200MHz 時, V _{CC} = 3.6V	—	15	30	
I _{CC2}	V _{CC} アクティブ書き込み電流	CS# = V _{SS} , 200MHz 時, V _{CC} = 2.0V	—	15	25	
		CS# = V _{SS} , 166MHz 時, V _{CC} = 3.6V	—	15	28	
		CS# = V _{SS} , 200MHz 時, V _{CC} = 3.6V	—	15	30	
I _{CC4I}	V _{CC} スタンバイ電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V; アレイ全体	—	80	220	μA
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/2	—	—	200	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/4	—	—	180	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/8	—	—	170	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/2	—	—	200	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/4	—	—	180	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/8	—	—	170	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイ全体	—	90	250	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/2	—	—	230	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/4	—	—	200	

注:

47.完全にテストされているわけではありません。

48.RESET# が LOW のとき、デバイスは DPD 状態を示し、I_{CC5} リセット電流を消費し始め、RESET# LOW 期間中の I_{LI} が小さくなります。

電気的仕様

Table 18 DC 電気的特性 (CMOS 互換) (Continued)

パラメーター	説明	テスト条件	64 Mb			単位
			Min	Typ ^[47]	Max	
I _{CC4I}	V _{CC} スタンバイ電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/8	—	—	190	μA
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/2	—	—	230	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/4	—	—	200	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/8	—	—	190	
I _{CC4P}	V _{CC} スタンバイ電流 (-40°C ~ +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V; アレイ全体	—	80	330	μA
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/2	—	—	300	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/4	—	—	270	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/8	—	—	250	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/2	—	—	300	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/4	—	—	270	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/8	—	—	250	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイ全体	—	90	360	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/2	—	—	330	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/4	—	—	290	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/8	—	—	270	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/2	—	—	330	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/4	—	—	290	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/8	—	—	270	
I _{CC5}	リセット電流	CS# = V _{CC} , RESET# = V _{SS} , V _{CC} = V _{CC} max	—	—	1	mA
I _{CC6I}	アクティブクロック停止時の電流 (-40°C ~ +85°C)	CS# = V _{SS} , RESET# = V _{CC} , V _{CC} = V _{CC} max	—	5	8	
I _{CC6IP}	アクティブクロック停止時の電流 (-40°C ~ +105°C)	CS# = V _{SS} , RESET# = V _{CC} , V _{CC} = V _{CC} max	—	8	12	
I _{CC7}	電源投入時の V _{CC} 電流 ^[47]	CS# = V _{CC} , V _{CC} = V _{CC} max, V _{CC} = V _{CCQ} = 2.0 V または 3.6 V	—	—	35	

注:

47.完全にテストされているわけではありません。

48.RESET# が LOW のとき、デバイスは DPD 状態を示し、I_{CC5} リセット電流を消費し始め、RESET# LOW 期間中の I_{L1} が小さくなります。

電気的仕様

Table 18 DC 電気的特性 (CMOS 互換) (Continued)

パラメーター	説明	テスト条件	64 Mb			単位
			Min	Typ ^[47]	Max	
IDPD ^[48]	3.0V でのディープパワーダウン電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V	—	—	12	
	1.8V でのディープパワーダウン電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V	—	—	10	
	3.0V でのディープパワーダウン電流 (-40°C ~ +105°C)	CS# = V _{CC} , V _{CC} = 3.6 V	—	—	15	
	1.8V でのディープパワーダウン電流 (-40°C ~ +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V	—	—	12	
I _{HS} ^[48]	1.8V でのハイブリッドスリープ電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 2.0 V; アレイ全体	—	25	200	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/2	—	—	170	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/4	—	—	150	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/8	—	—	140	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/2	—	—	170	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/4	—	—	150	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの上位 1/8	—	—	140	
	3.0V でのハイブリッドスリープ電流 (-40°C ~ +85°C)	CS# = V _{CC} , V _{CC} = 3.6 V; アレイ全体	—	35	230	μA
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/2	—	—	200	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/4	—	—	170	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの下位 1/8	—	—	150	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/2	—	—	200	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/4	—	—	170	
		CS# = V _{CC} , V _{CC} = 3.6 V; アレイの上位 1/8	—	—	150	
1.8V でのハイブリッドスリープ電流 (-40°C ~ +105°C)	1.8V でのハイブリッドスリープ電流 (-40°C ~ +105°C)	CS# = V _{CC} , V _{CC} = 2.0 V; アレイ全体	—	25	300	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/2	—	—	270	
		CS# = V _{CC} , V _{CC} = 2.0 V; アレイの下位 1/4	—	—	240	

注:

47.完全にテストされているわけではありません。

48.RESET# が LOW のとき、デバイスは DPD 状態を示し、I_{CC5} リセット電流を消費し始め、RESET# LOW 期間中の I_{L1} が小さくなります。

電気的仕様

Table 18 DC 電気的特性 (CMOS 互換) (Continued)

パラメーター	説明	テスト条件	64 Mb			単位
			Min	Typ ^[47]	Max	
$I_{HS}^{[48]}$	1.8V でのハイブリッドスリープ電流 (-40°C ~ +105°C)	CS# = V_{CC} , $V_{CC} = 2.0$ V; アレイの下位 1/8	—	—	210	μA
		CS# = V_{CC} , $V_{CC} = 2.0$ V; アレイの上位 1/2	—	—	270	
		CS# = V_{CC} , $V_{CC} = 2.0$ V; アレイの上位 1/4	—	—	240	
		CS# = V_{CC} , $V_{CC} = 2.0$ V; アレイの上位 1/8	—	—	210	
	3.0V でのハイブリッドスリープ電流 (-40°C ~ +105°C)	CS# = V_{CC} , $V_{CC} = 3.6$ V; アレイ全体	—	35	330	
		CS# = V_{CC} , $V_{CC} = 3.6$ V; アレイの下位 1/2	—	—	300	
		CS# = V_{CC} , $V_{CC} = 3.6$ V; アレイの下位 1/4	—	—	260	
		CS# = V_{CC} , $V_{CC} = 3.6$ V; アレイの下位 1/8	—	—	250	
V_{IL}	入力 low 電圧	—	$-0.15 \times V_{CCQ}$	—	$0.30 \times V_{CCQ}$	V
V_{IH}	入力 high 電圧	—	$0.70 \times V_{CCQ}$	—	$1.15 \times V_{CCQ}$	
V_{OL}	出力 low 電圧	DQ[7:0] に対して $I_{OL} = 100\mu A$	—	—	0.20	
V_{OH}	出力 high 電圧	DQ[7:0] に対して $I_{OH} = 100\mu A$	$V_{CCQ} - 0.20$	—	—	

注:

47.完全にテストされているわけではありません。

48.RESET# が LOW のとき、デバイスは DPD 状態を示し、 I_{CC5} リセット電流を消費し始め、RESET# LOW 期間中の I_{LI} が小さくなります。

電気的仕様

9.5.1 静電容量特性

Table 19 1.8V での静電容量特性 [49,50,51]

説明	パラメーター	64 Mb	単位
		Max	
入力静電容量 (CK, CK#, CS#)	CI	3.0	pF
デルタ入力静電容量 (CK, CK#)	CID	0.25	
出力静電容量 (RWDS)	CO	3.0	
I/O 静電容量 (DQx)	CIO	3.0	
I/O 静電容量デルタ (DQx)	CIOD	0.25	

Table 20 3.0V での静電容量特性 [49,50,51]

説明	パラメーター	64 Mb	単位
		Max	
入力静電容量 (CK, CK#, CS#)	CI	3.0	pF
デルタ入力静電容量 (CK, CK#)	CID	0.25	
出力静電容量 (RWDS)	CO	3.0	
I/O 静電容量 (DQx)	CIO	3.0	
I/O 静電容量デルタ (DQx)	CIOD	0.25	

Table 21 熱抵抗

パラメーター [52]	説明	テスト条件	24 ボール FBGA パッケージ	単位
θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う。	66.7	°C/W
θ_{JC}	熱抵抗 (接合部からケース)		37	

注:

- 49.これらの値は設計によって保証されており、サンプルベースでのみテストされています。
- 50.接触容量は、ベクトルネットワークアナライザを使用して容量を測定するための JEP147 手順に従って測定されます。 V_{CC} 、 V_{CCQ} が適用され、他のすべての信号（テスト中の信号を除く）がフローティングになります。DQ は高インピーダンス状態である必要があります。
- 51.CK, CK#, RWDS, および DQx 信号の静電容量値は、システムでの信号伝搬時間のマッチングを可能にするために、同様の静電容量値を持っている必要があることに注意してください。CS# がアクティブ (low) になってからデータが DQ バスに表示されるまでの間に重要なタイミングがないため、CS# の容量値はそれほど重要ではありません。
- 52.このパラメーターは特性によって保証され、量産中にテストされません。

9.6 電源投入時の初期化

HYPERRAM™ 製品は、電源投入時の初期化プロセスを起動する電圧センサーを内蔵しています。 V_{CC} と V_{CCQ} は同時に印加する必要があります。電源電圧が $V_{CC}(\text{min})$ 以上の安定したレベルに達した後、デバイスは自己初期化プロセスを完了するために t_{VCS} 時間を要します。

電源投入時にデバイスは選択できません。電源投入時に $V_{CC}(\text{min})$ に達するまで CS# は V_{CCQ} に印加された電圧に応じて変化しなければなりません。その後、CS# は t_{VCS} の追加の遅延時間の間 HIGH を維持する必要があります。 V_{CCQ} とチップセレクト (CS#) を接続する簡単なプルアップ抵抗を使用すると安全かつ適切な電源投入を保証できます。

電源投入時に RESET# が LOW である場合、デバイスは RESET# が HIGH になるまで t_{VCS} 期間の開始を遅らせます。 t_{VCS} 期間は、DRAM アレイのリフレッシュ動作を実行して初期化するために使用されます。

初期化が完了すると、デバイスは通常動作が開始できます。

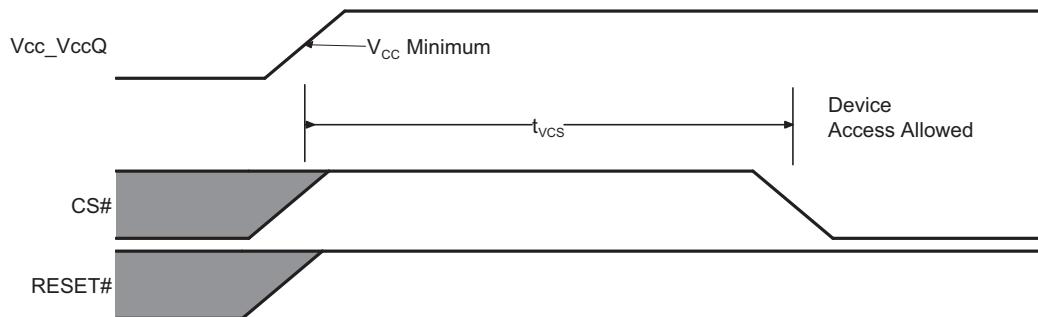


Figure 21 RESET# が HIGH 時の電源投入

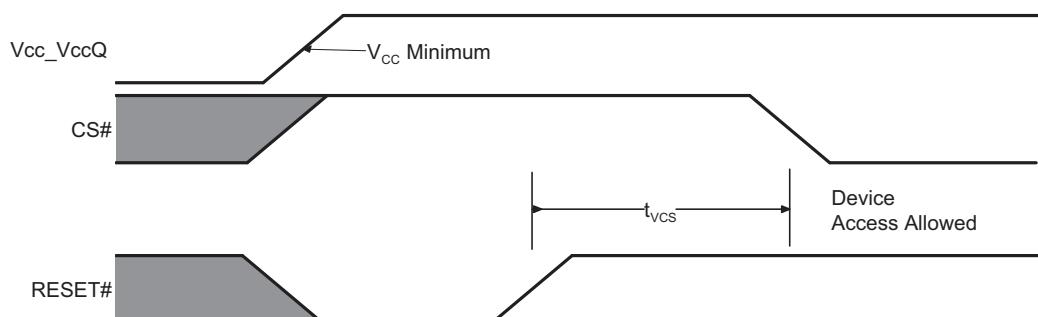


Figure 22 RESET# が LOW 時の電源投入

Table 22 電源投入およびリセット パラメーター [53-55]

パラメーター	説明	Min	Max	単位
V_{CC}	1.8V V_{CC} 電源電圧	1.7	2.0	V
V_{CC}	3.0V V_{CC} 電源電圧	2.7	3.6	
t_{VCS}	V_{CC} と $V_{CCQ} \geq \text{min.}$ かつ RESET# HIGH から最初のアクセスまでの時間	-	150	μs

注:

53.電源投入時のリセット時間 (t_{VCS}) 中はバストランザクション(読み出しと書き込み)は禁止されます。

54. V_{CCQ} は、 V_{CC} と同じ電圧でなければいけません。

55. V_{CC} ランプレートは非線形である場合があります。

9.7 電源切斷

HYPERRAM™ デバイスは、アレイ電源 (V_{CC}) が V_{CC} ロックアウト電圧 (V_{LKO}) 以下となったときに電源切斷とみなされます。電源電圧が V_{SS} レベルまで低下する変動の間は、 V_{CCQ} は V_{CC} 以下を保つ必要があります。 V_{LKO} レベルでは、HYPERRAM™ デバイスのコンフィギュレーションまたはアレイデータは失われています。

V_{CC} は常に V_{CCQ} 以上 ($V_{CC} \geq V_{CCQ}$) であることが必要です。

電源切斷時または電源電圧が V_{LKO} を下回ったとき、アレイ電源電圧も電源切斷期間 (t_{PD}) の間 V_{CC} リセット (V_{RST}) 以下である必要があります。これにより、電源電圧が再び $V_{CC}(\min)$ まで上昇したとき、デバイスが正しく初期化します。Figure 23 を参照してください。

電圧低下時に、 V_{CC} が V_{LKO} を上回ったままの場合は、デバイスは初期化状態のままであり、 V_{CC} が再度 $V_{CC}(\min)$ を上回ったとき正常に動作します。 V_{CC} が t_{PD} 期間以上 V_{RST} を下回らない場合、POR プロセスが実行される保証はありません。この場合は、HYPERBUS™ デバイスが正しく初期化されていることを確認するためにハードウェアリセットが必要です。

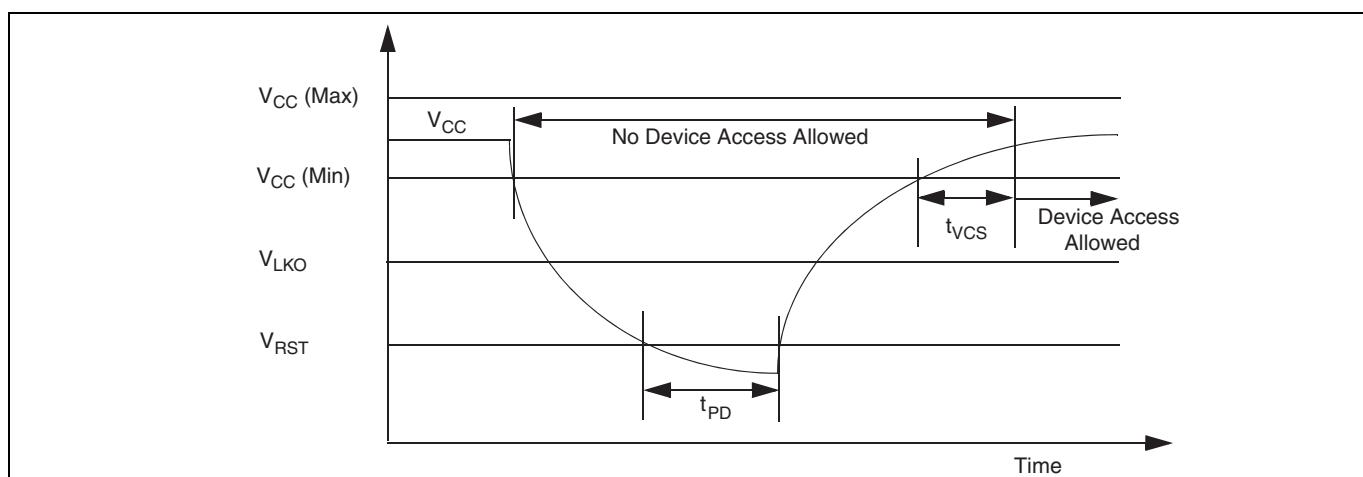


Figure 23 電源切斷または電圧低下

以下では電源切斷仕様の HYPERRAM™ デバイスに依存する側面を説明します。

Table 23 1.8V でのパワーダウン電圧とタイミング [56]

記号	パラメーター	Min	Max	単位
V_{CC}	V_{CC} 電源電圧	1.7	2.0	V
V_{LKO}	デバイスの電圧がこれを下回ると再初期化が必要となる V_{CC} ロックアウト	1.5	-	
V_{RST}	初期化を確実に行うために必要な V_{CC} 低電圧	0.7	-	
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	50	-	μs

Table 24 3.0V でのパワーダウン電圧とタイミング [56]

記号	パラメーター	Min	Max	単位
V_{CC}	V_{CC} 電源電圧	2.7	3.6	V
V_{LKO}	デバイスの電圧がこれを下回ると再初期化が必要となる V_{CC} ロックアウト	2.4	-	
V_{RST}	初期化を確実に行うために必要な V_{CC} 低電圧	0.7	-	
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	50	-	μs

注:

56. V_{CC} ランプレートは非線形である場合があります。

9.8 ハードウェアリセット

RESET# 入力は、デバイスをスタンバイ状態に復帰させるハードウェアによる方法を提供します。

t_{RP} の間、デバイスは I_{CC5} 電流を消費します。RESET# が継続的に t_{RPH} を越えて LOW に保持される場合、CMOS スタンバイ電流 (I_{CC4}) を消費します。RESET# が LOW の間 (t_{RP} 期間中) および t_{RPH} 期間中、バストランザクションは許可されません。

ハードウェアリセットは以下を行います。

- コンフィギュレーションレジスタをデフォルト値に戻させます
- RESET# が LOW の間にセルフリフレッシュ動作を停止させ、メモリアレイデータが無効とみなされます
- デバイスにハイブリッドスリープ状態を強制的に終了させます
- デバイスにディープパワーダウン状態を強制的に終了させます

RESET# が HIGH に戻った後、セルフリフレッシュ動作が再開します。RESET# が LOW の間にセルフリフレッシュ動作が停止され、セルフリフレッシュ行カウンターが初期設定値にリセットされるため、

Table 13 に示した必要なアレイリフレッシュ間隔以内にリフレッシュされない行がある場合があります。これは、ハードウェアリセット中またはその直後に DRAM アレイデータが失われる可能性があります。ホストシステムは、ハードウェアリセット後に DRAM アレイデータが失われたと想定し、必要なデータをリロードします。

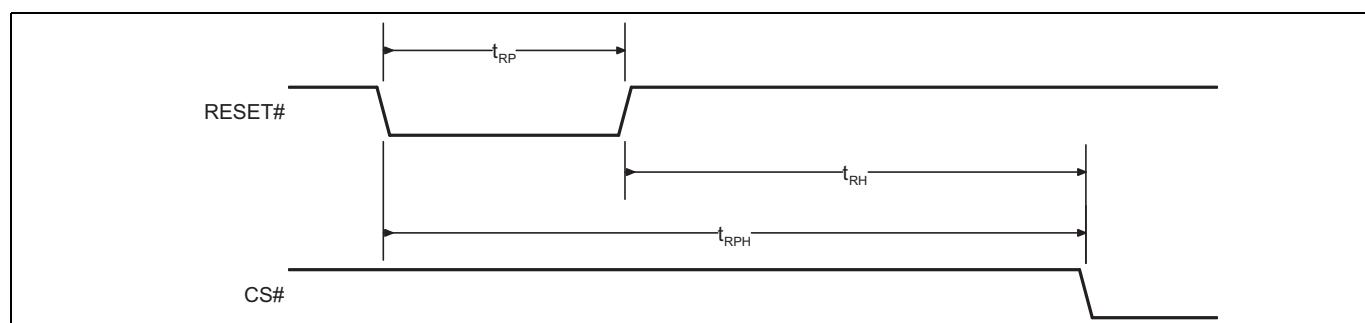


Figure 24 ハードウェアリセットタイミング図

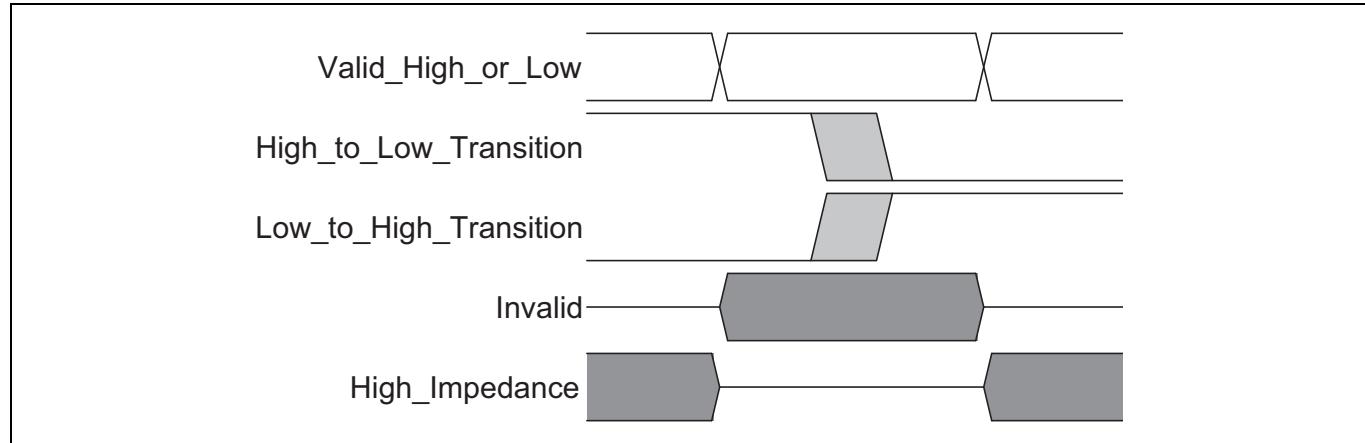
Table 25 電源投入およびリセットパラメーター

パラメーター	説明	Min	Max	単位
t_{RP}	RESET# パルス幅	200	-	ns
t_{RH}	RESET# (HIGH) と CS# (low) の間の時間	200	-	
t_{RPH}	RESET# LOW から CS# LOW までの時間	400	-	

10 タイミング仕様

以下ではタイミング仕様の HYPERRAM™ デバイスに依存する側面を説明します。

10.1 スイッチング波形の要素



10.2 AC テスト条件

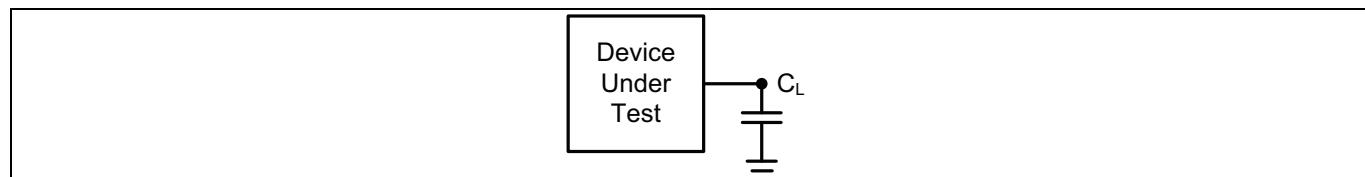


Figure 25 テスト セットアップ

Table 26 テスト 仕様^[58]

パラメーター	全速度バージョン	単位
出力負荷静電容量, C_L	15	pF
入力の立ち上りと立ち下りの最小スルーレート (1.8V) ^[57]	1.13	V/ns
入力の立ち上りと立ち下りの最小スルーレート (3.0V) ^[57]	2.06	
入力パルス レベル	0.0 ~ V_{CCQ}	V
入力タイミング測定基準レベル	$V_{CCQ}/2$	
出力タイミング測定基準レベル	$V_{CCQ}/2$	

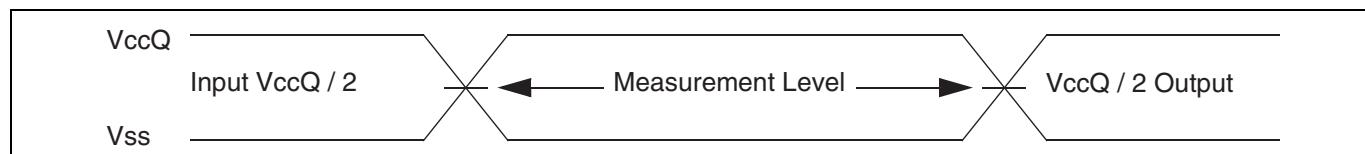


Figure 26 入力波形および測定レベル^[59]

注:

57.すべてのACタイミングは入力のスルーレート 2V/ns を基準とします。

58.入力および出力のタイミングは $V_{CCQ}/2$ or または CK/CK# の交差を基準とします。

59.差動 CK/CK# ペアの入力タイミングはクロック交差のポイントから測定されます。

10.3 タイミング基準レベル

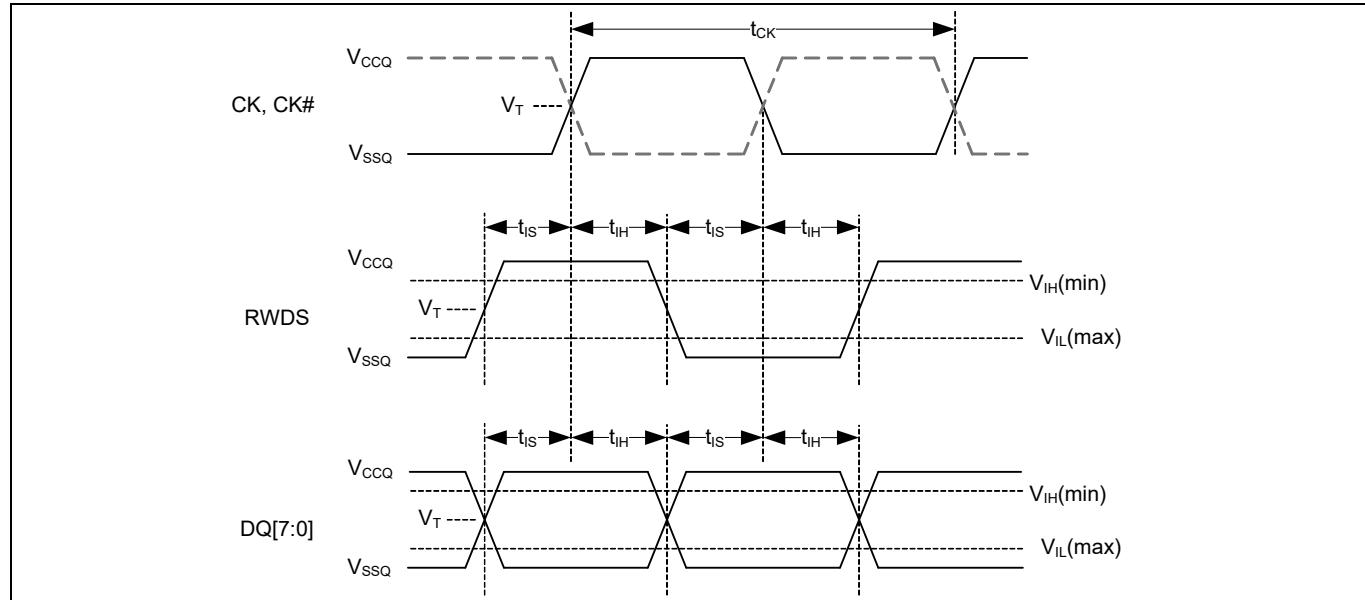


Figure 27 DDR 入力タイミング基準レベル

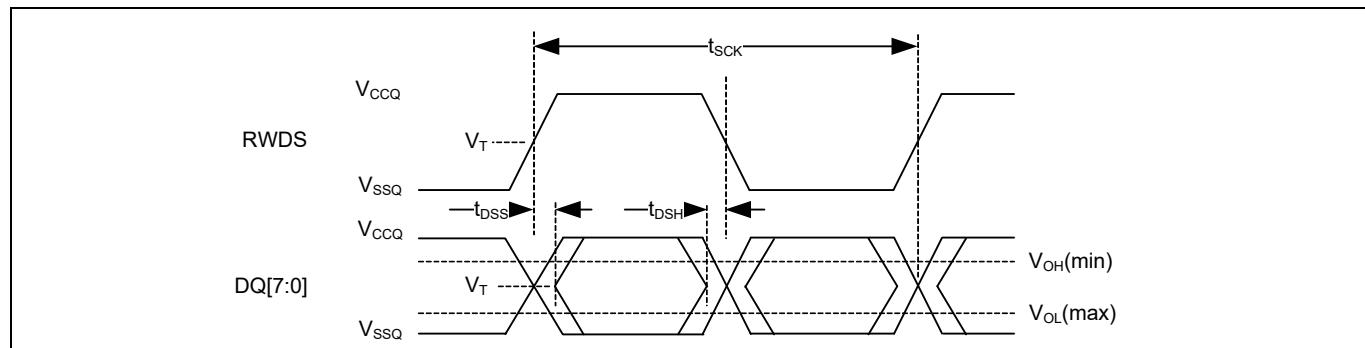


Figure 28 DDR 出力タイミング基準レベル

10.4 CLK 特性

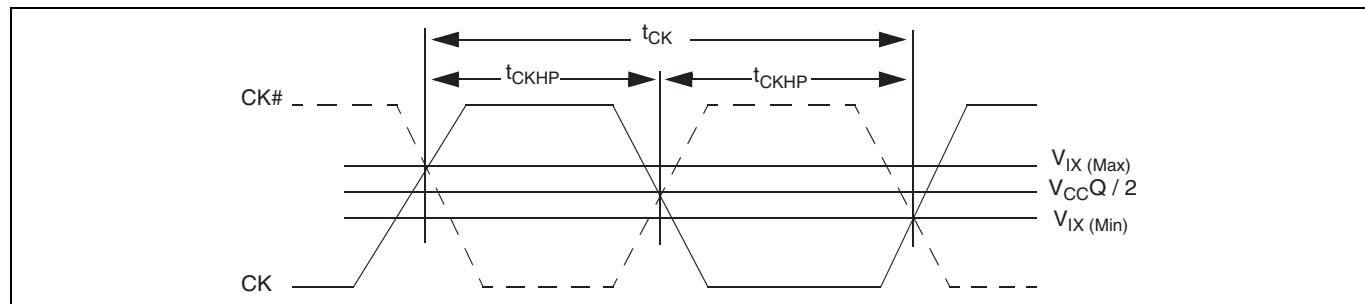


Figure 29 クロック特性

Table 27 クロックタイミング [60-62]

パラメーター	記号	200 MHz		166 MHz		単位
		Min	Max	Min	Max	
CK 周期	t _{CK}	5	-	6	-	ns
CK 半周期 - デューティサイクル	t _{CKHP}	0.45	0.55	0.45	0.55	t _{CK}
周波数での CK 半周期 Min = 0.45 t _{CK} Min Max = 0.55 t _{CK} Min	t _{CKHP}	2.25	2.75	2.7	3.3	ns

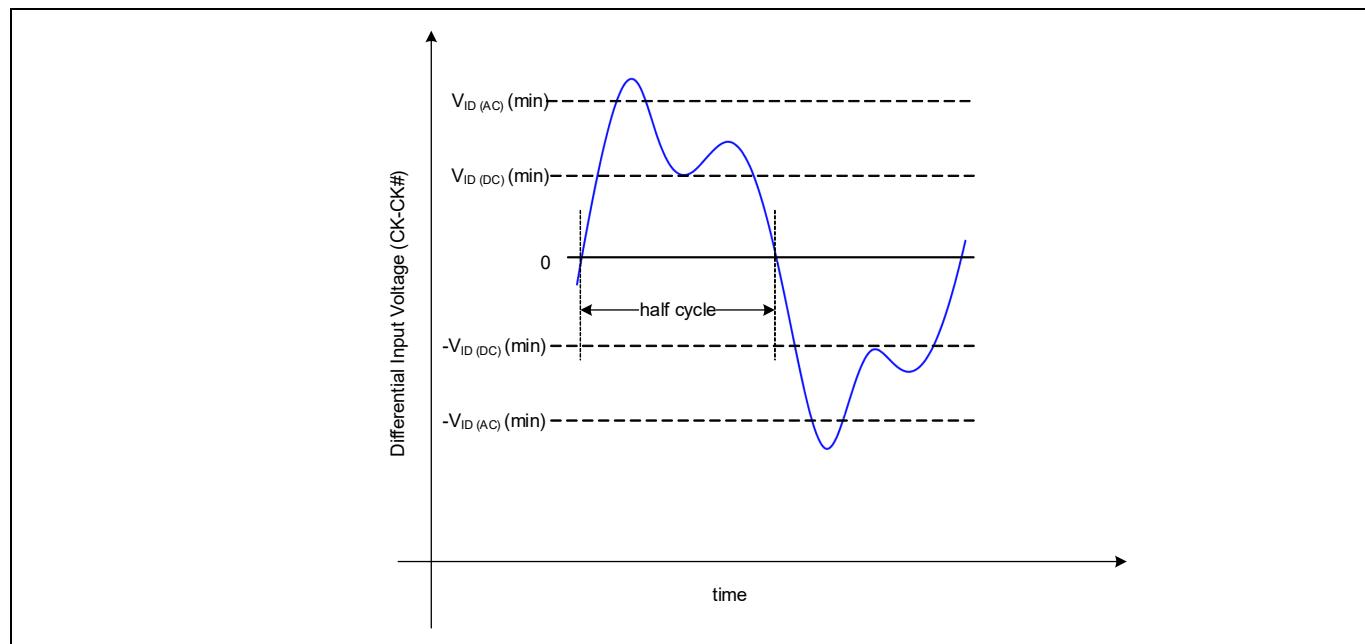


Figure 30 差動クロック (CK/CK#) 入力スイング

注:

60.±5% のクロックジッタが許容されます。

61.最小周波数(最大 t_{CK})は、CS#の最大LOW時間(t_{CSM})、初期レイテンシ、バースト長に依存します。

62.CK および CK# 入力スルーレートは $\geq 1V/ns$ (差動的に測定される場合は $2V/ns$) でなければいけません。

Table 28 クロックの AC/DC 電気的特性^[63, 64]

パラメーター	記号	Min	Max	単位
DC 入力電圧	V_{IN}	-0.3	$V_{CCQ} + 0.3$	V
DC 差動入力電圧	$V_{ID(DC)}$	$V_{CCQ} \times 0.4$	$V_{CCQ} + 0.6$	
AC 差動入力電圧	$V_{ID(AC)}$	$V_{CCQ} \times 0.6$	$V_{CCQ} + 0.6$	
AC 差動交差電圧	V_{IX}	$V_{CCQ} \times 0.4$	$V_{CCQ} \times 0.6$	

注:63. V_{ID} は CK の入力レベルと CK# の入力レベルの差の大きさです。64. V_{IX} の期待値は、送信デバイスの $V_{CCQ}/2$ であり、 V_{CCQ} の DC レベルの変化に追随しなければいけません。

10.5 AC 電気的特性

10.5.1 読み出しトランザクション

Table 29 HYPERRAM™ 固有読み出しタイミング パラメーター

パラメータ	記号	200 MHz		166 MHz		単位
		Min	Max	Min	Max	
トランザクション同士間のチップセレクト HIGH 時間 (1.8V)	t_{CSHI}	6	-	6	-	ns
トランザクション同士間のチップセレクト HIGH 時間 (3.0V)		6	-	6	-	
HYPERRAM™ 読み出し / 書き込み回復時間 (1.8V)	t_{RWR}	35	-	36	-	ns
HYPERRAM™ 読み出し / 書き込み回復時間 (3.0V)		35	-	36	-	
チップセレクトセットアップからの次の CK 立ち上りエッジまでの時間	t_{CSS}	4.0	-	3	-	
データストローブ有効時間 (1.8V)	t_{DSV}	-	5.0	-	12	ns
データストローブ有効時間 (3.0V)		-	6.5	-	12	
入力セットアップ時間 (1.8V)	t_{IS}	0.5	-	0.6	-	ns
入力セットアップ時間 (3.0V)		0.5	-	0.6	-	
入力ホールド時間 (1.8V)	t_{IH}	0.5	-	0.6	-	ns
入力ホールド時間 (3.0V)		0.5	-	0.6	-	
HYPERRAM™ 読み出し初期アクセス時間 (1.8V)	t_{ACC}	35	-	36	-	ns
HYPERRAM™ 読み出し初期アクセス時間 (3.0V)		35	-	36	-	
クロックから DQ low Z までの時間	t_{DQLZ}	0	-	0	-	
CK 遷移から DQ 有効までの時間 (1.8V)	t_{CKD}	1	5.0	1	5.5	ns
CK 遷移から DQ 有効までの時間 (3.0V)		1	6.5	1	7	
CK 遷移から DQ 無効までの時間 (1.8V)	t_{CKDI}	0	4.2	0	4.6	ns
CK 遷移から DQ 無効までの時間 (3.0V)		0.5	5.7	0.5	5.6	
データ有効時間 ($t_{DV} \text{ min} = [t_{CKHP} \text{ min} - t_{CKD} \text{ max} + t_{CKDI} \text{ max}]$ または $[t_{CKHP} \text{ min} - t_{CKD} \text{ min} + t_{CKDI} \text{ min}]$ の小さい方) (1.8V)	$t_{DV}^{[65, 66]}$	1.45	-	1.8	-	ns
データ有効時間 ($t_{DV} \text{ min} = [t_{CKHP} \text{ min} - t_{CKD} \text{ max} + t_{CKDI} \text{ max}]$ または $[t_{CKHP} \text{ min} - t_{CKD} \text{ min} + t_{CKDI} \text{ min}]$ の小さい方) (3.0V)		1.45	-	1.3	-	
CK 遷移から RWDS 有効までの時間 (1.8V)	t_{CKDS}	-	5.0	1	5.5	
CK 遷移から RWDS 有効までの時間 (3.0V)		-	6.5	1	7	
RWDS 遷移から DQ 有効までの時間 (1.8V)	t_{DSS}	-0.4	+0.4	-0.45	+0.45	
RWDS 遷移から DQ 有効までの時間 (3.0V)		-0.4	+0.4	-0.45	+0.45	
RWDS 遷移から DQ 無効までの時間 (1.8V)	t_{DSH}	-0.4	+0.4	-0.45	+0.45	
RWDS 遷移から DQ 無効までの時間 (3.0V)		-0.4	+0.4	-0.45	+0.45	
CK 立ち上りエッジの後のチップセレクトホールド時間	t_{CSH}	0	-	0	-	
チップセレクト非アクティブから RWDS HIGH-Z までの時間 (1.8V)	t_{DSZ}	-	5.0	-	6	ns
チップセレクト非アクティブから RWDS HIGH-Z までの時間 (3.0V)		-	6.5	-	7	

パラメータ	記号	200 MHz		166 MHz		単位
		Min	Max	Min	Max	
チップセレクト非アクティブから DQ HIGH-Z までの時間 (1.8V)	t_{OZ}	-	5	-	6	ns
チップセレクト非アクティブから DQ HIGH-Z までの時間 (3.0V)		-	6.5	-	7	
リフレッシュ時間 (1.8V)	t_{RFH}	35	-	36	-	
リフレッシュ時間 (3.0V)		35	-	36	-	
読み出しの CA フェーズでの CK 遷移から RWDS low までの時間 (1.8V)	t_{CKDSR}	1	5.5	1	5.5	
読み出しの CA フェーズでの CK 遷移から RWDS low までの時間 (3.0V)		1	7	1	7	

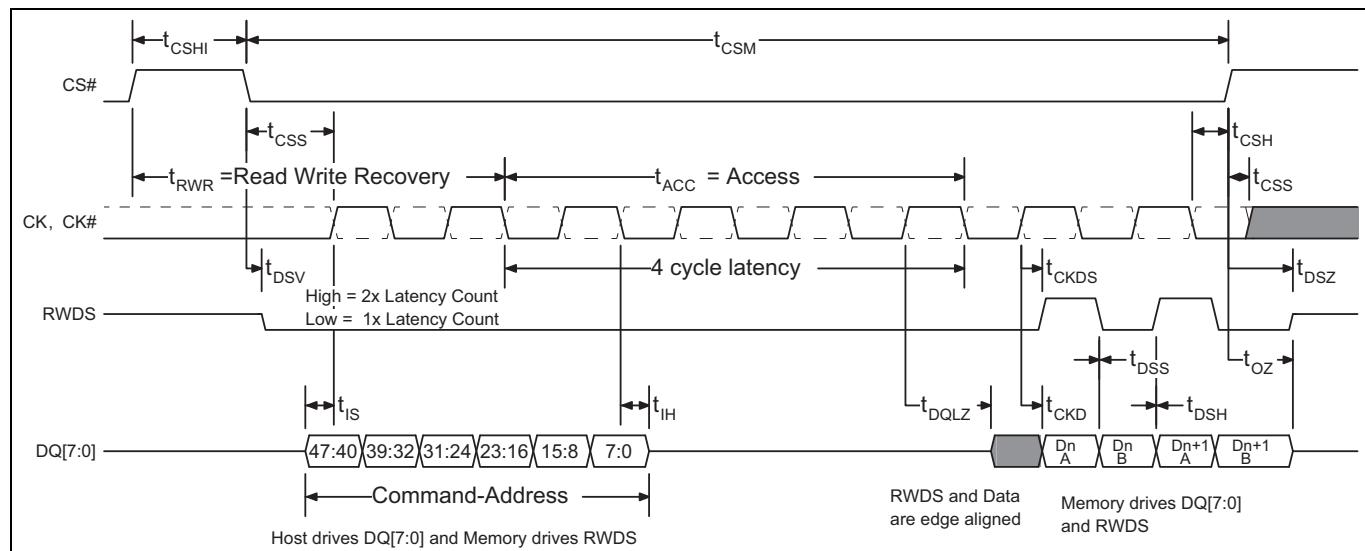


Figure 31 読み出しタイミング図 – 追加レイテンシなし

注:

65.データの有効なタイミングについては、Figure 10.5.2 を参照してください。

66. t_{DV} タイミングの計算は、仕様の制限を決定するためではなく、参照用にのみ提供されています。仕様制限はテストによって保証されています。

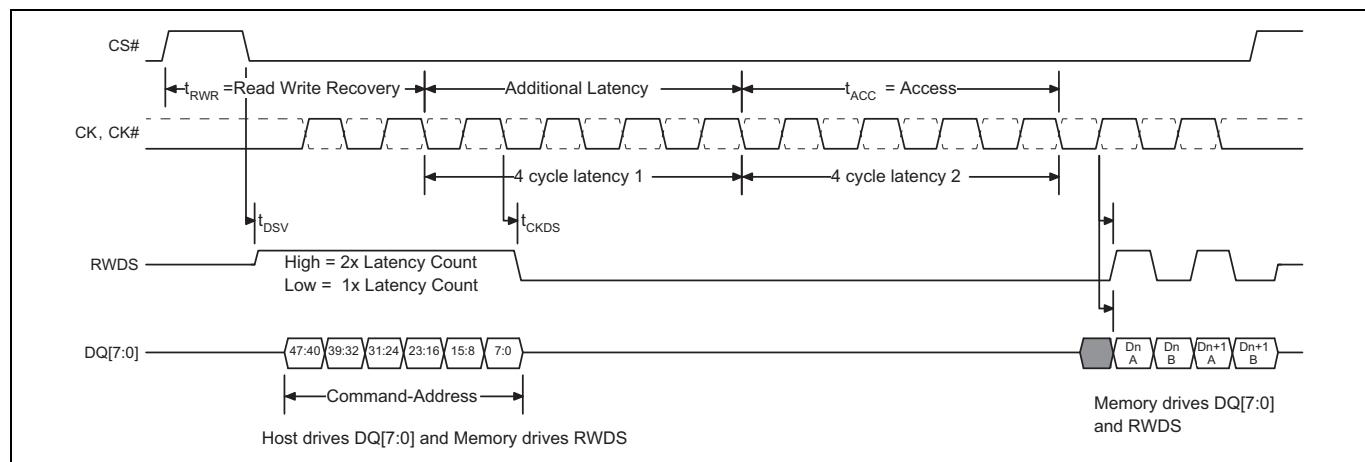


Figure 32 読み出しタイミング図 – 追加レイテンシあり

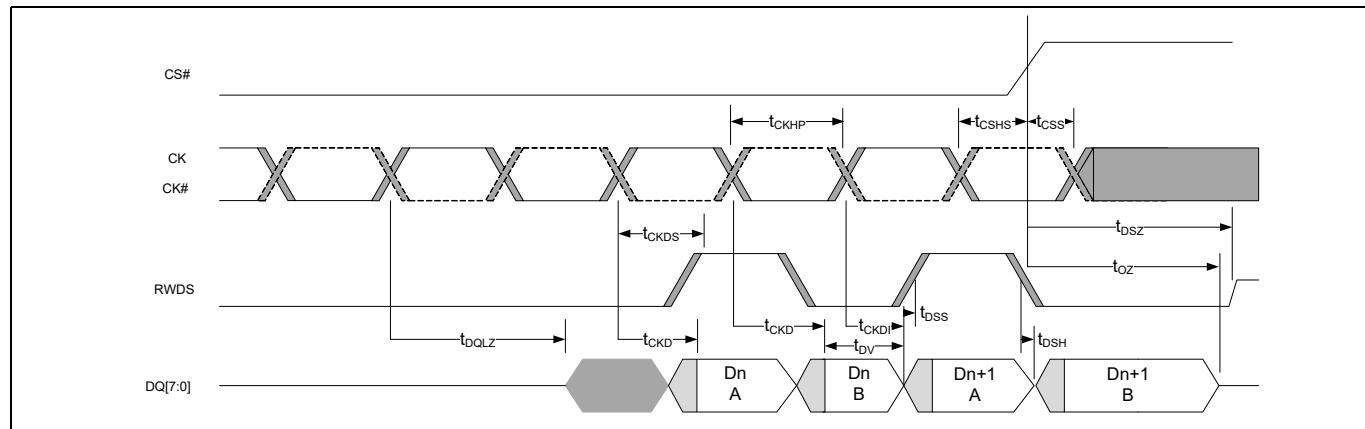


Figure 33 データの有効なタイミング [67,68,69]

注:

67. t_{CKD} および t_{CKDI} パラメーターは、データ有効期間の開始位置と終了位置を定義します。

68. t_{DSS} および t_{DSH} は、RWDS に対して DQ がどの程度早くまたは遅く移行するかを定義します。これは、CK から DQ への遅延 t_{CKD} と CK から RWDS への遅延 t_{CKDS} の間の潜在的なスキーです。

69. DQ および RWDS は同じ出力タイプであるため、 t_{CKD} と t_{CKDS} の値は一緒に追跡されます (同じ比率で変化します)。

10.5.2 書き込みトランザクション

Table 30 書き込みタイミングパラメーター

パラメーター	記号	200 MHz		166 MHz		単位
		Min	Max	Min	Max	
読み出し / 書き込み回復時間	t_{RWR}	35	-	36	-	ns
アクセス時間	t_{ACC}	35	-	36	-	
リフレッシュ時間	t_{RFH}	35	-	36	-	
チップセレクト最大 low 時間 (85°C)	t_{CSM}	-	4	-	4	μs
チップセレクト最大 low 時間 (105°C)	t_{CSM}	-	1	-	1	
RWDS データマスク有効時間	t_{DMV}	0	-	0	-	

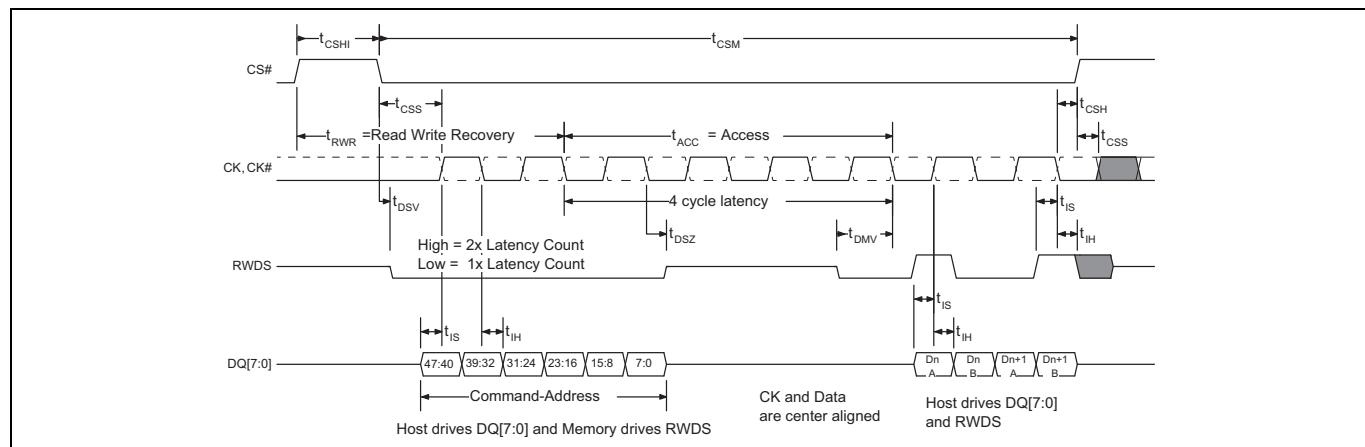


Figure 34 書き込みタイミング図 – 追加レイテンシなし

11 物理インターフェース

11.1 FBGA 24 ボール 5x5 のアレイ フットプリント

HYPERRAM™ デバイスは 1mm ピッチ、24 ボール、5x5 ボールアレイ フットプリント、ボディが 6mmx8mm の強化ボールグリッドアレイ (FBGA) で提供されます。

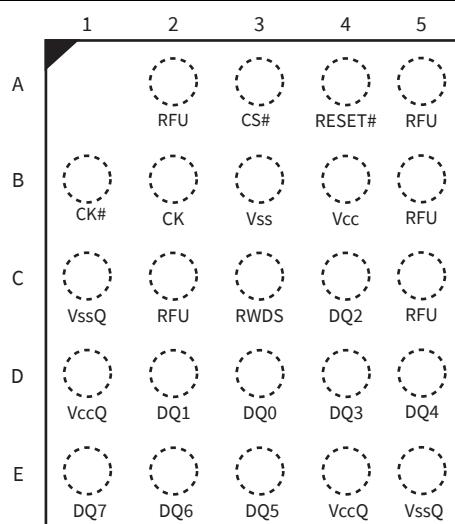
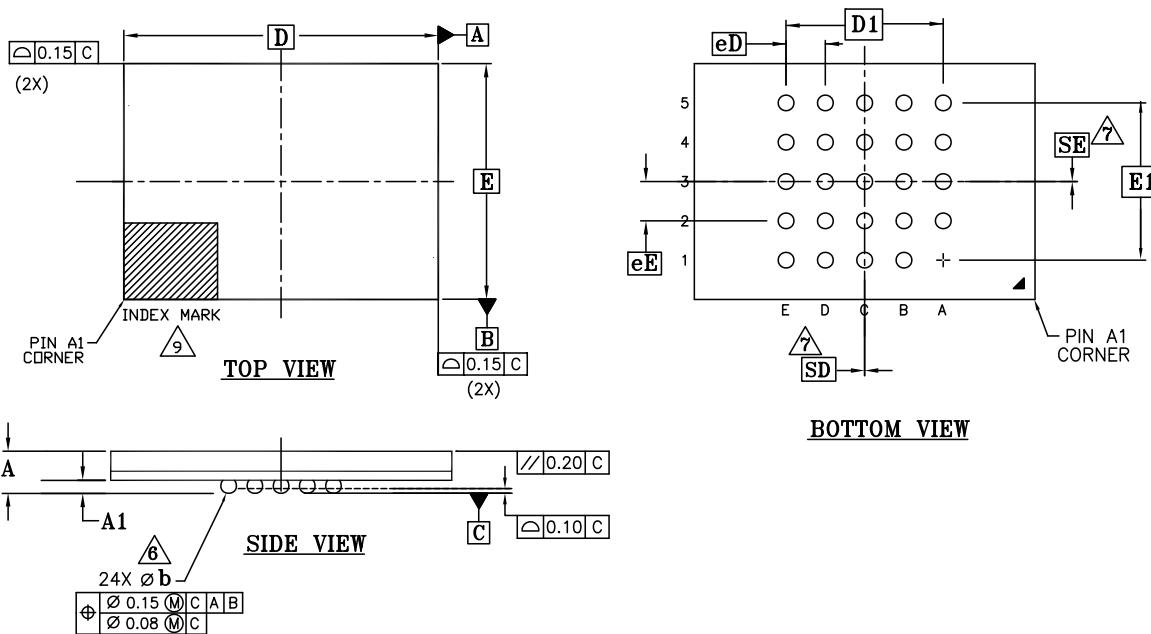


Figure 35 24 ボール FBGA, 6×8 mm, 5×5 ボール フットプリントの上面図

パッケージ図

12 パッケージ図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.20	-	-
D	8.00 BSC		
E	6.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
N	24		
$\emptyset b$	0.35	0.40	0.45
eE	1.00 BSC		
eD	1.00 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

1. DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
4. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.
10. JEDEC SPECIFICATION NO. REF: N/A

002-15550 *A

Figure 36 24 ボール、6x8x1.0mm の強化ボールグリッド アレイ (VAA024)

13 DDR 中央揃え読み出しきストローブ (DCARS) 機能

HYPERRAM™ デバイスでは、読み出しデータ出力に対して RWDS 信号の独立したスキー (位相シフト) を可能にするオプションの機能が選択できます。この機能は注文製品番号 (OPN) に応じた特定のデバイスで提供されています。

DCARS 機能が有効になった場合、第 2 の差動位相シフトクロック入力 PSC/PSC# が CK/CK# の代わりに RWDS エッジの基準として使用されます。第 2 クロックは一般的に CK/CK# のコピーでこれを 90° 位相シフトしており、これによって RWDS エッジを DQ 信号の有効データ ウィンドウの中心部に配置するようになっています。ただし、DQ 信号の有効データ ウィンドウ内にある RWDS エッジの位置を最適化して、RWDS 信号が RWDS エッジに対するデータセットアップ時間とホールド時間の要求の値を提供するために、CK/CK# および PSC/PSC# 間で別の位相のずれ度を使用することもできます。

PSC/PSC# は書き込みトランザクション中に使用されません。書き込みトランザクションの間は、PSC および PSC# はそれぞれ LOW と HIGH に駆動するか、または両方とも LOW に駆動できます。

PSC/PSC# は HYPERBUS™ デバイスで使用されます。シングルエンド モードが選択されている場合、PSC# は LOW で駆動する必要がありますが、開放のままにしないでください (リークの問題)。

13.1 DCARS を備えた HYPERRAM™ 製品の信号説明

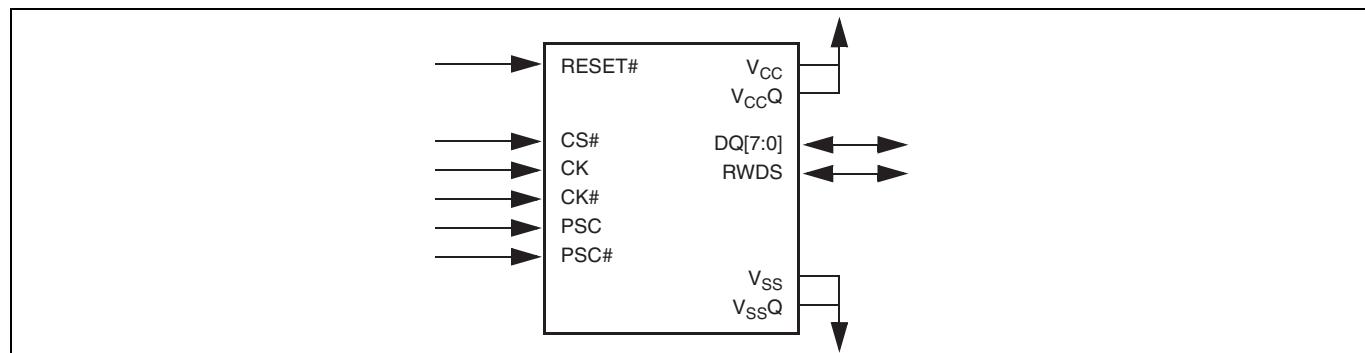


Figure 37 DCARS を備えた HYPERBUS™ 製品の信号図

Table 31 信号の説明

記号	タイプ	説明
CS#	入力	チップセレクト : HYPERBUS™ トランザクションは、HIGH から LOW への遷移で開始し、LOW から HIGH への遷移で終了します。
CK, CK#		差動クロック : コマンド、アドレスおよびデータ情報は CK と CK# 信号の交差に対して出力されます。差動クロックの使用はオプションです。 シングルエンドクロック : CK# は使用されず、シングルエンド CK のみが使用されます。クロックがフリー ランである必要はありません。
PSC, PSC#		位相シフトクロック : PSC/PSC# は、CK/CK# 入力に対する、RWDS 信号の独立したスキーを可能にします。CK/CK#(差動モード)が設定された場合、PSC/PSC# が使用されます。そうでない場合、PSCのみが使用されます(シングルエンド)。 書き込みトランザクション中、PSC と PSC# はそれぞれ HIGH と LOW に駆動するか、または両方とも LOW に駆動できます。
RWDS	出力	読み出し / 書き込みデータストローブ : 読み出しトランザクション中に出力されるデータ バイトは CK、CK# から PSC、PSC# への位相シフトに基づいて RWDS のタイミングに揃えられます。PSC、PSC# が RWDS の遷移を引き起こすため、CK、CK# から PSC、PSC# への位相シフトは RWDS エッジをデータ有効ウィンドウ内に配置するために使用されます。書き込みトランザクション中、RWDS は入力となり、データマスクとして機能します。あらゆるバストランザクションの開始時に、RWDS は出力となり、追加の初期レイテンシが必要かどうかを示します (1=追加レイテンシあり、0=追加レイテンシなし)。
DQ[7:0]	入力 / 出力	データ入力 / 出力 : CA/ データ情報は、読み出しと書き込みトランザクション中にこれらの DQ 信号上で転送されます。
RESET#	入力	ハードウェアリセット : LOW のとき、デバイスは自己初期化し、アイドル状態に戻ります。RESET# が LOW のとき、RWDS と DQ[7:0] は HIGH-Z 状態になります。RESET# は弱いプルアップを含み、RESET# が未接続の場合に HIGH 状態にプルアップされます。
V _{CC}	電源	アレイの電源
V _{CCQ}		入力 / 出力の電源
V _{SS}		アレイのグランド
V _{SSQ}		入力 / 出力のグランド

13.2 DCARS を備えた HYPERRAM™ 製品 – FBGA 24 ボール、5×5 アレイ フットプリント

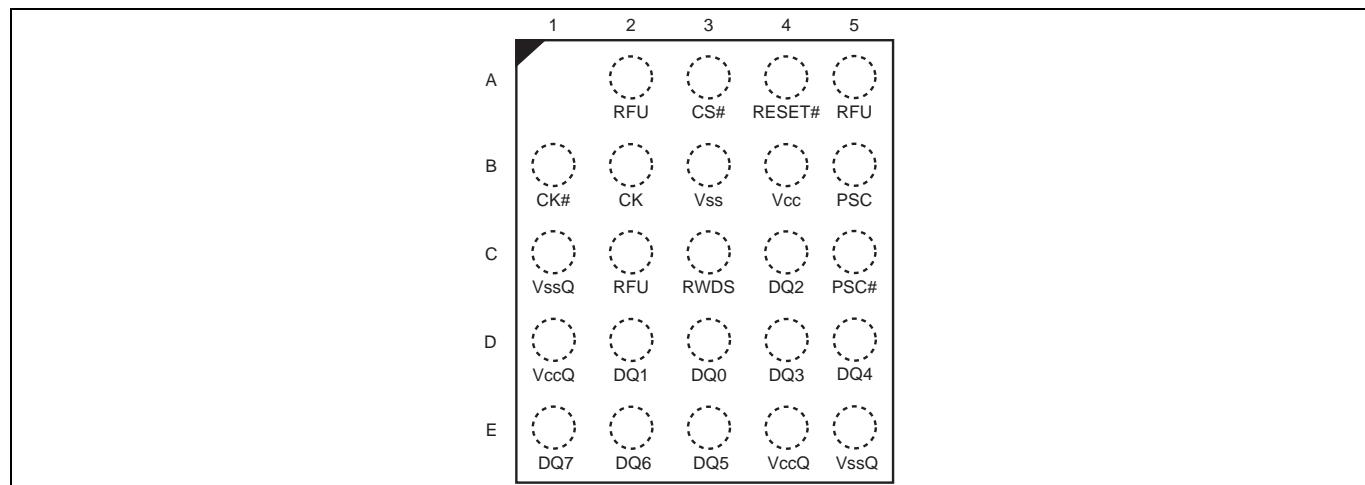


Figure 38 24 ボール FBGA、6×8 mm、5×5 ボール フットプリント、上面図

13.3 DCARS を備えた HYPERRAM™ メモリのタイミング

ここで示すイラストやパラメーターは、DCARS 機能を定義し、位相シフトクロック、RWDS およびデータ間の関係を示すために必要なもののみを示します。

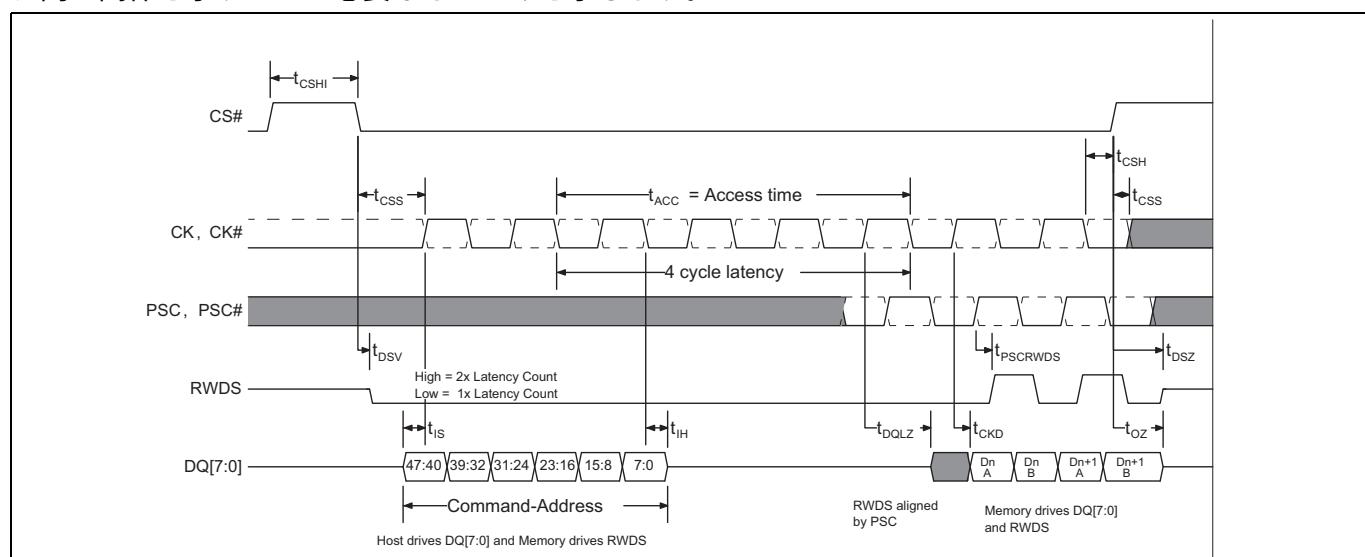


Figure 39 HYPERRAM™ メモリの DCARS タイミング図 [70,71,72]

注:

- 70.トランザクションは CK=LOW かつ CK#=HIGH のときに開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に戻る必要があります。
- 71.メモリは読み出しトランザクション中に RWDS を駆動します。
- 72.この例は、4 クロックのレイテンシコード設定を示し、追加の初期レイテンシは不要です。

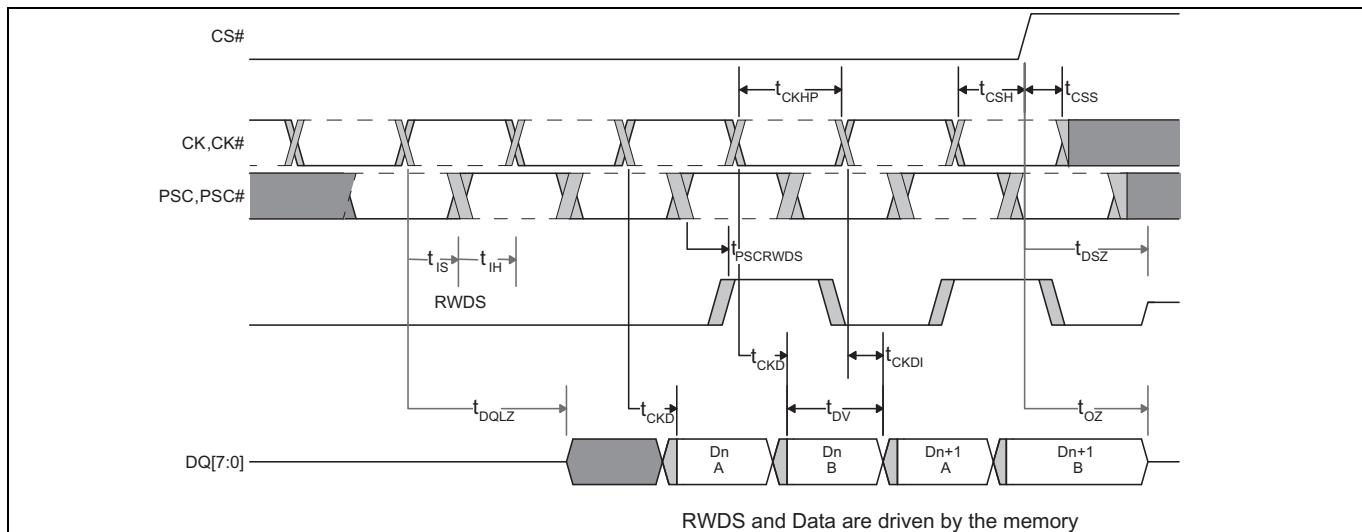


Figure 40 DCARS データ有効のタイミング [73,74,75]

Table 32 DCARS 読み出しタイミング

パラメーター	記号	200 MHZ		166 MHZ		単位
		Min	Max	Min	Max	
入力セットアップ - PSC/PSC# に対する CK/CK# セットアップ時間 (エッジからエッジまで)	t_{IS}	0.5	-	0.6	-	ns
CK 半周期 - デューティサイクル (エッジからエッジまで)	t_{IH}	0.5	-	0.6	-	
HYPERRAM™ PSC 遷移から RWDS 遷移までの時間	$t_{PSCRWDS}$	-	5	-	6.5	
CK から DQ 有効までの時間と PSC から RWDS までの時間の差 [76]	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	-1.0	+0.5	

注

73. この図は、クロックジッタとクロックから出力への遅延の不確実性の影響を受けるデータの有効期間をより明確に示すために、Figure 37 のデータ転送部分の拡大図を示しています。
74. CK から PSC への遅延(位相シフト)は、HYPERBUS™ マスターインターフェース(ホスト)によって制御され、RWDS へのデータの十分なセットアップとホールド時間により、データ有効ウィンドウ内に RWDS エッジを配置するためには、通常 40 ~ 140 度です。データのセットアップと RWDS までのホールド時間の要件は、HYPERBUS™ マスターインターフェースの設計によって決定され、HYPERBUS™ スレーブタイミングパラメーターでは対処されません。
75. t_{CKD} および t_{CKDI} の HYPERBUS™ タイミングパラメーターは、データ有効期間の開始位置と終了位置を定義します。RWDS とデータは同じ電圧と温度の条件の下で同じデバイスから出力されるため、 t_{CKD} と t_{CKDI} の値は一緒に追跡されます(同じ比率で変化します)。
76. サンプリングされたもので、完全にテストされているわけではありません。

注文情報

14 注文情報

14.1 注文製品番号

注文製品番号は下記の有効な組合せで構成されます。

S27KS	064	2	DP	B	H	I	02	0
包装形態								
0 = トレイ 3 = 13インチ テープ&リール								
モデル番号 (追加の注文オプション)								
02 = 標準 6x8x1.0mm パッケージ (VAA024) 03 = DDR 中央揃え読み出しストローブ (DCARS) 6x8x1.0mm パッケージ (VAA024)								
温度範囲 / グレード								
I = 産業用 (-40°C ~ +85°C) V = 産業用プラス (-40°C ~ +105°C) A = 車載向け, AEC-Q100 グレード 3 (-40°C ~ +85°C) B = 車載向け, AEC-Q100 グレード 2 (-40°C ~ +105°C)								
パッケージ材料								
H = 低ハロゲン, 鉛フリー								
パッケージタイプ								
B = 24ポール FBGA, 1.00mm ピッチ (5x5 ポール フット プリント)								
速度								
GA = 200MHz DP = 166MHz								
デバイス技術								
2 = 38nm DRAM プロセス技術 - HYPERBUS™ 3 = 38nm DRAM プロセス技術 - オクタル								
メモリ容量								
064 = 64Mb								
デバイス ファミリ								
S27KS 1.8 V専用, HYPERRAM™ セルフリフレッシュ DRAM								
S27KL 3.0 V専用, HYPERRAM™ セルフリフレッシュ DRAM								

注文情報

14.2 有効な組合せ

推奨の組合せは、量産対応が計画されているコンフィギュレーションをリストしたものです。Table 33 および Table 34 は、新しい組合せがリリースされると更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは最寄りの販売代理店までお問い合わせください。

Table 33 有効な組合せ – 標準

デバイス ファミリ	メモリ 容量	技術	速度	パッケージ, 材料, および 温度	モデル 番号	包装形態	注文製品番号	パッケージ マーキング
S27KL	064	2	DP	BHI	02	0	S27KL0642DPBHI020	7KL0642DPHI02
S27KL	064	2	DP	BHI	02	3	S27KL0642DPBHI023	7KL0642DPHI02
S27KL	064	2	GA	BHI	02	0	S27KL0642GABHI020	7KL0642GAHI02
S27KL	064	2	GA	BHI	02	3	S27KL0642GABHI023	7KL0642GAHI02
S27KL	064	2	DP	BHV	02	0	S27KL0642DPBHV020	7KL0642DPHV02
S27KL	064	2	DP	BHV	02	3	S27KL0642DPBHV023	7KL0642DPHV02
S27KL	064	2	GA	BHV	02	0	S27KL0642GABHV020	7KL0642GAHV02
S27KL	064	2	GA	BHV	02	3	S27KL0642GABHV023	7KL0642GAHV02
S27KS	064	2	GA	BHI	02	0	S27KS0642GABHI020	7KS0642GAHI02
S27KS	064	2	GA	BHI	02	3	S27KS0642GABHI023	7KS0642GAHI02
S27KS	064	2	GA	BHV	02	0	S27KS0642GABHV020	7KS0642GAHV02
S27KS	064	2	GA	BHV	02	3	S27KS0642GABHV023	7KS0642GAHV02

Table 34 有効な組合せ – DCARS

デバイス ファミリ	メモリ 容量	技術	速度	パッケージ, 材料, および 温度	モデル 番号	包装形態	注文製品番号	パッケージ マーキング
S27KL	064	2	DP	BHI	03	0	S27KL0642DPBHI030	7KL0642DPHI03
S27KL	064	2	DP	BHI	03	3	S27KL0642DPBHI033	7KL0642DPHI03
S27KL	064	2	GA	BHI	03	0	S27KL0642GABHI030	7KL0642GAHI03
S27KL	064	2	GA	BHI	03	3	S27KL0642GABHI033	7KL0642GAHI03
S27KS	064	2	GA	BHI	03	0	S27KS0642GABHI030	7KS0642GAHI03
S27KS	064	2	GA	BHI	03	3	S27KS0642GABHI033	7KS0642GAHI03

注文情報

14.3 有効な組合せ – 車載向けグレード / AEC-Q100

Table 35 は車載向けグレード / AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは最寄りの販売代理店までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のみに提供されています。

ISO/TS-16949 準拠を必要とするエンドユース アプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユース アプリケーションにも PPAP サポートなしで提供されています。

Table 35 有効な組合せ – 車載グレード / AEC-Q100

デバイス ファミリ	メモリ 容量	技術	速度	パッケージ, 材料, および 温度	モデル 番号	包装形態	注文製品番号	パッケージ マーキング
S27KL	064	2	DP	BHA	02	0	S27KL0642DPBHA020	7KL0642DPHA02
S27KL	064	2	DP	BHA	02	3	S27KL0642DPBHA023	7KL0642DPHA02
S27KL	064	2	GA	BHA	02	0	S27KL0642GABHA020	7KL0642GAHA02
S27KL	064	2	GA	BHA	02	3	S27KL0642GABHA023	7KL0642GAHA02
S27KL	064	2	DP	BHB	02	0	S27KL0642DPBHB020	7KL0642DPHB02
S27KL	064	2	DP	BHB	02	3	S27KL0642DPBHB023	7KL0642DPHB02
S27KL	064	2	GA	BHB	02	0	S27KL0642GABHB020	7KL0642GAHB02
S27KL	064	2	GA	BHB	02	3	S27KL0642GABHB023	7KL0642GAHB02
<hr/>								
S27KS	064	2	GA	BHA	02	0	S27KS0642GABHA020	7KS0642GAHA02
S27KS	064	2	GA	BHA	02	3	S27KS0642GABHA023	7KS0642GAHA02
S27KS	064	2	GA	BHB	02	0	S27KS0642GABHB020	7KS0642GAHB02
S27KS	064	2	GA	BHB	02	3	S27KS0642GABHB023	7KS0642GAHB02

改訂履歴

改訂履歴

Document version	Date of release	Description of changes
**	2017-11-22	これは英語版 002-24692 Rev. *F を翻訳した日本語版 Rev. ** です。
*A	2022-07-06	これは英語版 002-24692 Rev. *I を翻訳した日本語版 Rev. *A です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-07-06

Published by

Infineon Technologies AG

81726 Munich, Germany

**© 2022 Infineon Technologies AG.
All Rights Reserved.**

**Do you have a question about this
document?
Go to www.infineon.com/support**

**Document reference
002-29229 Rev. *A**

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関する本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください (www.infineon.com)。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。