

英飞凌 512 Mb/1 Gb SEMPER™闪存存储器

HYPERBUS™接口, 1.8V/3.0V

特性

架构

- 英飞凌45纳米MIRRORBIT™ 技术, 在每个存储单元中存储两个数据位
- 扇区布局选项
 - 全局统一: 地址空间由所有 256 KB 扇区组成
 - 混合扇区:
 - 配置 1: 地址空间由三十二个 4 KB 扇区组成, 这些扇区组分别在顶部或底部, 其余扇区均为 256 KB
 - 配置 2: 地址空间由三十二个 4 KB 扇区组成, 顶部和底部均等分配各一半, 其余扇区均为 256 KB
- 256 或 512 字节的页写入缓存
- 1024 字节 (32 × 32 字节) 的 OTP 安全存储区域 (SSR)

接口

- HYPERBUS™ 接口
 - 兼容 JEDEC eXpanded SPI (JESD251)
 - DDR 选项运行速度高达 400 MBps (200 MHz 时钟速度)
 - 支持数据选通 (DS), 简化高速系统中的读取数据捕获
- 传统 (x1) SPI (1S-1S-1S)
 - 兼容 JEDEC eXpanded SPI (JESD251)
 - SDR 选项运行速度高达 21 MBps (166 MHz 时钟速度)
- 带有HYPERBUS™接口设备的SEMPER™ 存储器支持传统SPI (x1) 或HYPERBUS™接口 (x8) 中的默认启动

亮点

- 功能安全特性
 - 功能安全符合 ISO26262 ASIL B 标准并符合 ASIL-D 标准
 - 英飞凌 Endurance Flex 架构提供高耐久性和长保留分区
 - 接口 CRC (循环冗余校验) 检测主控控制器和SEMPER™闪存存储器之间通讯接口上的错误
 - 数据完整性CRC (循环冗余校验) 检测内存阵列中的错误
 - SafeBoot 报告器件初始化失败、检测配置损坏并提供恢复选项
 - 内置纠错码 (ECC) 可以在内存阵列数据上纠正单比特错误并检测双比特错误 (SECDED)
 - 扇区擦除状态指示器可以提示擦除过程中的意外掉电
- 保护功能
 - 针对每个内存阵列扇区的高级扇区保护
- 自动启动可支持上电后立即访问内存阵列
- 通过 CS# 信号方法 (JEDEC) 和单独的 RESET# 引脚进行硬件复位

鉴别

- 串行闪存设备可发现参数 (SFDP) 用来描述器件功能和特性
- 器件标识、制造商标识和唯一标识

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

特性

数据完整性

- 512 Mb 设备
 - 主阵列至少可进行 1,280,000 次写入-擦除循环
- 1 Gb 设备
 - 主阵列至少可进行 2,560,000 次写入-擦除循环
- 所有设备
 - 4KB 扇区至少可进行 300,000 次写入-擦除循环
 - 至少 25 年的数据保留时间

供电电压

- 1.7 V 至 2.0 V (HS-T)
- 2.7 V 至 3.6 V (HL-T)

等级/温度范围

- 工业级 (-40°C ~ +85°C)
- 扩展的工业级 (-40°C ~ +105°C)
- 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
- 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
- 汽车级, AEC-Q100 1 级 (-40°C ~ +125°C)

封装

- 512 Mb: 24球 BGA 6 × 8 mm
- 1Gb: 24 球 BGA 8×8 mm

性能总结

性能总结

最大读取速率

Transaction	Initial access latency (cycles)	Clock rate (MHz)	MBps
SPI Read	0	50	6.25
SPI Fast Read	10	166	20.75
HYPERBUS™ Read DDR (HS-T)	16	200	400
HYPERBUS™ Read DDR (HL-T)	14	166	332

典型编程和擦除速率

Operation	KBps
256 B page programming (4 KB sector/256 KB sector)	595/533
512 B page programming (4 KB sector/256 KB sector)	753/898
256 KB sector erase	331
4 KB sector erase	95

典型电流消耗

Operation	HL-T current (mA)	HS-T current (mA)
SDR read 50 MHz	10	10
DDR read (HYPERBUS™)	75 (166 MHz)	156 (200 MHz)
Program	50	50
Erase	50	50
Standby (HS-T)	0.014	0.011
Deep Power Down (HS-T)	0.0022	0.0013

Data integrity

写入/擦除 (PE) 耐久性 - 高耐久性 (256 KB 扇区)

Sectors in partition	Minimum PE cycles	Minimum retention time	Unit
	512-Mb and 1-Gb products		
512 (default for 1 Gb devices)	2,560,000	2	Years
508	2,540,000		
504	2,520,000		
...	...		
256 (default for 512 Mb devices)	1,280,000		
252	1,260,000		
128	640,000		
...	...		
28	140,000		
24	120,000		
20	100,000		

注释：最小周期是针对整个高耐久性分区的。

写入/擦除耐久性 - 长数据保持分区 (256 KB 扇区)

Minimum PE cycles	Minimum retention time	Unit
500	25	Years

注释：最小周期针对每个扇区。

写入/擦除耐久性 4 KB 扇区和非易失性寄存器阵列

Flash memory type	Minimum cycles	Unit	Minimum retention time	Unit
Program/erase cycles per 4 KB sector	500	PE cycles	25	Years
	300,000 Note It is required to restrict the power loss events to 300 times per sector during program or erase operation to achieve the mentioned endurance cycles.		2	
Program/erase cycles per persistent protection bits (PPB) array or non-volatile register array Note Each write transaction to a non-volatile register causes a PE cycle on the entire non-volatile register array.	500		25	

目录

特性.....	1
性能总结.....	3
数据完整性.....	4
目录.....	5
1 引脚分配和信号描述.....	7
2 接口概述.....	9
2.1 概述.....	9
2.2 HYPERBUS™ 命令传输协议.....	11
2.3 传统 (x1) SPI 命令传输协议.....	14
2.4 嵌入式操作.....	18
2.5 寄存器命名规则.....	19
2.6 HYPERBUS™ 命令传输命名规则.....	19
2.7 传统 (x1) SPI 命令传输命名规则.....	19
3 地址空间映射.....	20
3.1 SEMPER™ 闪存式存储器存储阵列.....	20
3.2 地址空间重叠 (ASO) (仅 HYPERBUS™).....	22
3.3 ID 地址空间.....	24
3.4 SFDP JEDEC JESD216 串行闪存可发现参数(SFDP)空间.....	24
3.5 安全 SSR 地址空间.....	24
3.6 寄存器 (传统 (x1) SPI 仅有的).....	25
4 功能.....	28
4.1 错误检测和更正.....	28
4.2 英飞凌 Endurance Flex 架构 (负载均衡).....	35
4.3 接口 CRC (循环冗余校验).....	38
4.4 数据完整性 CRC (循环校验).....	40
4.5 数据保护机制.....	42
4.6 安全启动.....	52
4.7 自动引导.....	57
4.8 读取命令传输.....	58
4.9 写命令传输 - 传统 (x1) SPI.....	68
4.10 编程.....	69
4.11 擦除.....	76
4.12 暂停和恢复嵌入式操作.....	80
4.13 错误类型和报告 - HYPERBUS™.....	81
4.14 错误类型和报告 - 传统 (x1) SPI.....	87
4.15 复位.....	88
4.16 功率模式.....	93
4.17 上电和断电.....	95
5 寄存器.....	97
5.1 寄存器命名规则.....	98
5.2 HYPERBUS™ 寄存器.....	98
5.3 传统 (x1) SPI 寄存器.....	116
6 命令传输表.....	135
6.1 HYPERBUS™ 命令传输表.....	135
6.2 传统 (x1) SPI 命令传输表.....	149
7 电气特性.....	152
7.1 绝对最大额定值.....	152
7.2 工作范围.....	152
7.3 热阻抗.....	152
7.4 电容特性.....	153
7.5 锁闭特性.....	153

7.6 DC 特性	154
7.7 AC 测试条件	158
8 时序特性	159
8.1 时序波形	163
9 器件标识	166
9.1 JEDEC SFDP Rev D 帧头表	166
9.2 JEDEC SFDP Rev D 参数表	168
9.3 xSPI 配置文件 2	173
9.4 制造商和器件 ID	174
9.5 唯一 ID	175
10 封装图	176
11 订购信息	178
11.1 有效组合 - 标准 等级	179
11.2 有效组合 - 汽车 等级/AEC-Q100	180
修订记录	181

1 引脚分配和信号描述

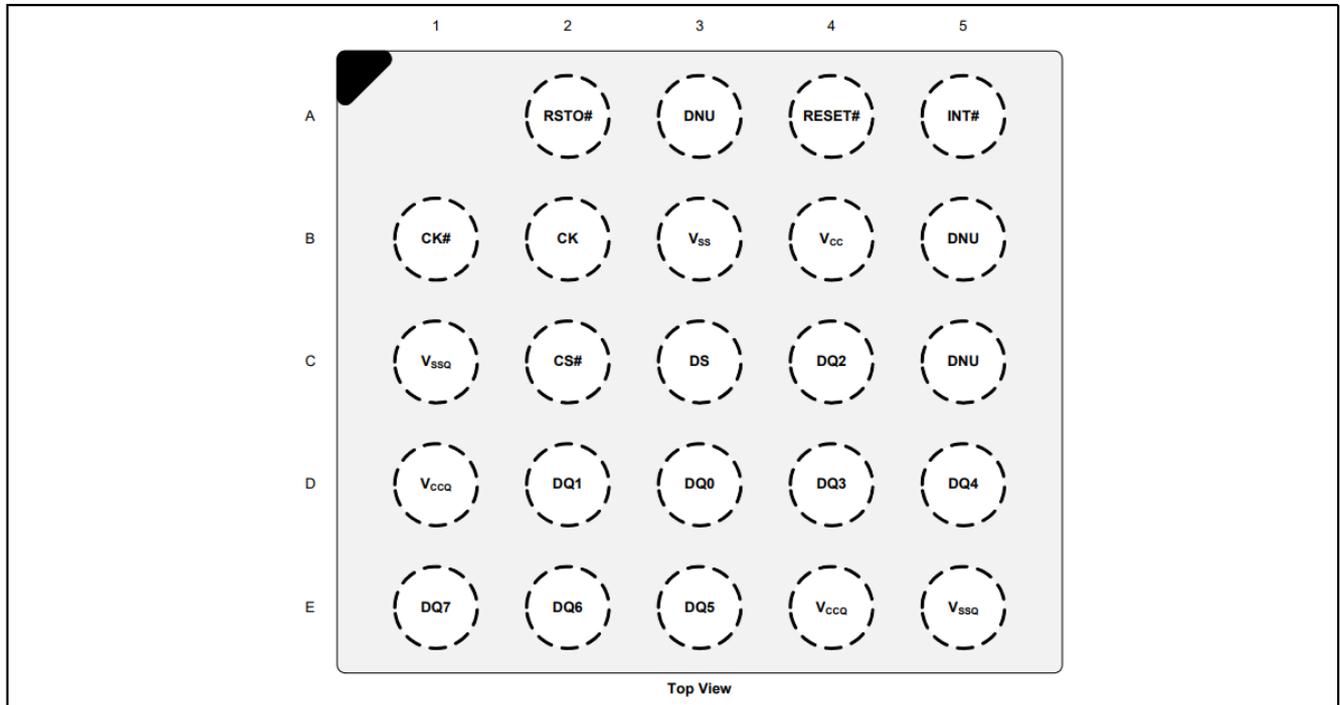


图 1 24 球BGA引脚分布配置^[1]

注释:

1. 如果使用超声波清洁方法, BGA封装的闪存器件可能被损坏。如果封装体长时间暴露在 150°C 以上的温度下, 封装和/或数据完整性可能会受到损害。

Pinout and signal description

表 1 信号描述

Symbol	Type	Mandatory/optional	Description
CS#	Input	Mandatory	Chip select (CS#): All bus transactions are initiated with a HIGH to LOW transition on CS# and terminated with a LOW to HIGH transition on CS#. Driving CS# LOW enables the device, placing it in the Active mode. When CS# is driven HIGH, the device enters Standby mode, unless an internal embedded operation is in progress. All other input pins are ignored and the output pins are put in HIGH impedance state.
CK, CK# ^[2, 3]		Mandatory	Clock (CK, CK#): Clock provides the timing of the serial interface. Single ended and differential clock modes are offered. Transactions are latched either on the rising edge of CK signal (single ended) or on the crossing of the CK and CK# signals (differential). In Legacy (x1) SPI interface, command, address and data inputs are latched on rising edge of the clock, and data is output on the falling edge of the clock. In HYPERBUS™ (x8) interface, for single ended clock, command, address and data input are latched with respect to the rising and falling edge of the CK. In differential clock mode, command, address and data inputs are latched with respect to the crossing of CK and CK#. Differential clock: CK and CK# are used. Single ended: CK is used (CK# is not used and can be left floating).
DS	Output	Mandatory	Read DS. DS is used for data read operations only and indicates output data valid for HYPERBUS™ interface. During a read transaction while CS# is LOW, DS toggles to synchronize data output until CS# goes HIGH. Output data during read transactions are edge aligned with DS.
DQ[7:0]	Input/output	Mandatory	Serial data (DQ[7:0]): Bidirectional signals that transfer command, address and data information. Legacy (x1) SPI interface: DQ[0] is an input (SI) and DQ[1] is an output (SO). HYPERBUS™ (x8) interface: DQ[7:0] are input and output.
RESET#	Input (weak pull-up)	Optional	Hardware reset (RESET#). When Low, the device will self initialize and return to the array read state. DS and DQ[7:0] are placed into the High-Z state when RESET# is Low. RESET# includes a weak pull-up, meaning, if RESET# is left unconnected it will be pulled up to the High state.
INT#	Output (open drain)	Optional	System interrupt (INT#): When LOW, the device is indicating that an internal event has occurred. This signal is intended to be used as a system level interrupt for the device to indicate that an on-chip event has occurred. INT# is an open-drain output.
RSTO#	Output (open drain)	Optional	Reset output (RSTO#): RSTO# is an open-drain output used to indicate when a power-on reset (POR) is occurring within the device and can be used as a system level reset signal. Upon completion of the internal POR the RSTO# signal will transition from low to high impedance after a user defined timeout period has elapsed. Upon transition to the high impedance state the external pull-up resistance will pull RSTO# High and the device immediately is placed into the Standby state. Transactions are blocked when RSTO# is LOW. During this period, the device cannot be selected, will not accept any transactions, and does not drive outputs other than RSTO#.
V _{CC}	Power supply	Mandatory	Core power supply
V _{CCQ}			Input/output power supply
V _{SS}	Ground supply		Core ground
V _{SSQ}			Input/output ground
DNU	-	-	Do not use

注释

2. 时钟不能悬空。
3. CK 和 CK# 不是真正的差分信号。它们是兼容信号。必须小心确保系统电平终端的设计正确。

2 接口概述

2.1 概述

英飞凌 SEMPER™ 闪存存储器系列产品是符合 JEDEC JESD251 eXpanded SPI (xSPI) 规范的高速 CMOS, MIRRORBIT™ NOR 存储器件。SEMPER™ 闪存存储器专为功能安全而设计, 基于 ISO 26262 标准进行开发, 通过 ASIL-B 等级认证并支持最高 ASIL-D 等级。

配备 HYPERBUS™ 接口设备的 SEMPER™ 闪存存储器支持 HYPERBUS™ 接口以及传统 (x1) SPI。两个接口通过串行传输命令, 从而减少了接口连接信号的数量。SPI 支持 SDR, 而 HYPERBUS™ 支持 DDR。

HYPERBUS™ 接口 (DDR) 在数据 (DQ) 信号上每个时钟周期传输两个数据字节。xSPI (八线) 上传输的读取或写入操作由一系列的 16bit 位宽组成, 内部 RAM 阵列在每个时钟周期内以每半个时钟周期为单位在 DQ 信号上传输相应的两个 8bit 位宽的数据。数据和指令/地址信息均通过 8 位数据总线以 DDR 方式传输。当接收到 DQ 信号上的指令/地址/数据信息时, 时钟输入信号用于由 SEMPER™ 存储器进行信号捕获。读取 DS 是 SEMPER™ 存储器的输出, 指示何时从存储器传输数据。在读取操作的数据传输部分, DS 参考 CK 的上升沿和下降沿。指令/地址/写数据值与时钟边沿中心对齐, 读数据值与 DS 的转换边沿对齐。

SEMPER™ 存储器的读取和编程/写入操作是面向突发的。读取传输可以配置为使用回卷突发或线性突发。在回卷操作期间, 访问从选定的位置开始, 并按照组回卷序列继续访问配置数量的位置。在线性操作期间, 访问从选定的位置开始并以顺序的方式继续, 直到读取操作终止, 此时 CS# 返回高电平。写入命令传输一个或多个 16 位值。

每次随机读取都会访问 32 字节长度和对齐的数据位置, 称为分页。每个分页由一对 16 字节对齐的数据组 (称为半页) 组成。半页在 16 字节地址边界上对齐。读访问需要两个时钟周期来定义目标半分页地址和突发类型, 然后是额外的初始延迟。在初始延迟期间, 第三个时钟周期将指定目标半分页内的起始地址。输出初始数据值后, 可以在后续时钟周期以回卷或线性方式从分页读取附加数据。当配置为线性突发模式时, 当分页突发时, 器件将自动从 MIRRORBIT™ 存储器取指/取数下一个连续的分页。这种从阵列中提取数据的同时突发输出允许线性顺序突发操作, 可提供 400/333 MBps 数据速率的持续输出 $[1 \text{ 字节} (8 \text{ 位数据总线}) * 2 \text{ (两个时钟边沿上的数据)} * 200/166 \text{ MHz} = 400/333 \text{ MBps}]$

每个存储器位的擦除状态为一个逻辑 1。编程操作会将逻辑 1 (低电平) 修改为逻辑 0 (高电平)。只有擦除操作才能将内存位从 0 更改为 1。擦除必须对完整扇区 (4 KB 或 256 KB) 执行擦除操作。

SEMPER™ 闪存存储器提供灵活的扇区布局。地址空间既可以配置为统一的 256 KB 扇区阵列, 也可以配置为混合配置 1, 其中三十二个 4 KB 扇区分组在顶部或底部, 而剩余的扇区全部为 256 KB, 或者配置为混合配置 2, 其中三十二个 4 KB 扇区在顶部和底部之间平均分配各半, 而剩余的扇区全部为 256 KB。

在单个写入操作期间使用的页写入缓存可配置为 256 字节或 512 字节。512 字节选项提供最高的写入吞吐量。

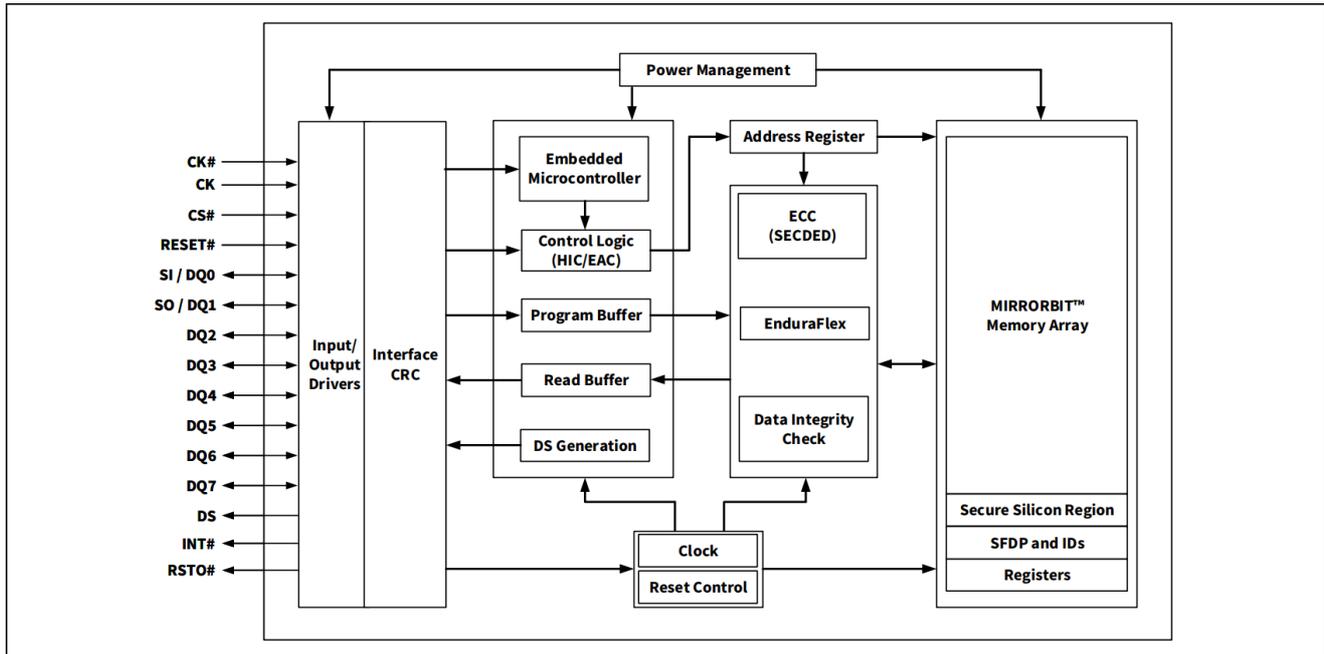


图 2 逻辑框图

配备 SEMPER™ 闪存存储器由多种密度组成，具有 1.8 V 和 3.0 V 核心和 I/O 电压选项。

器件控制逻辑分成两个并行的操作区，Host Interface Controller（主机接口控制器，HIC）和 Embedded Algorithm Controller（嵌入式算法控制器，EAC）。HIC 监控器件输入的信号电平，并根据需要驱动输出，以完成与主机系统间的读取和写入数据传输。HIC 在读取传输时将传递当前所在的地址映射中的数据；将写入传输地址和数据信息放入 EAC 指令存储器内；告知 EAC 电源转换以及写入传输。EAC 在写入传输后查看指令存储器中的合法指令序列，并执行相关的嵌入式算法。

更改存储阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为嵌入式算法（EA）。这些算法完全由器件内部的 EAC 来管理。主算法执行主阵列数据的写入和擦除。主机系统将指令代码写入到闪存器件中。EAC 接收指令用于执行所有必要的步骤以完成指令，并在 EA 执行期间提供状态信息。

除了强制信号 CS、CK、SI/DQ0、SO/DQ1、DQ [7:2] 和 DS 之外，SEMPER™ 闪存存储器还包括可选信号 CK#、RESET#、INT# 和 RSTO#。当 RESET# 从低电平转换为高电平时，器件返回到内部 POR 之后发生的默认状态。数据选通（DS）在读取命令期间与输出数据同步，使主控系统能够以高时钟频率操作捕获数据。INT# 是开漏极输出可为 HYPERFLASH™ 主机提供中断信号，以指示 HYPERFLASH™ 在编程或擦除操作结束时从忙碌状态转换为就绪状态，或指示在读取过程中检测到 ECC 错误。RSTO# 是开漏极输出，用于指示器件内部何时发生 POR，并可用作系统电平复位信号。内部 POR 完成后，经过用户定义的超时时间后，RSTO# 信号将从低电平转换为高阻态。转换到高阻态后，外部上拉阻抗会将 RSTO# 拉高，器件立即进入待机状态。

Endurance Flex 架构使得系统设计人员能够根据其特定应用来定制 NOR 闪存擦写耐久性和数据保持特性。主控定义高耐久性 or 长保留时间的分区，提供高达 100 万次以上的擦写循环或 25 年的数据保留时间。

SEMPER™ 存储器设备通过在存储器阵列编程期间生成嵌入式汉明纠错码来支持错误检测和纠正。然后，该 ECC 代码用于单比特位和双比特位错误检测，以及读取期间的单比特位校正。

SEMPER™ 闪存存储器具有内置诊断功能，为主控系统提供器件状态。

- 写入和擦除操作：报告写入或擦除成功、失败和暂停状态
- 错误检测与纠正：具有地址捕获和错误计数的 1 比特位和/或 2 比特位错误状态
- 数据完整性检查：对内存阵列内容进行错误检测
- 接口CRC（循环校验）：接口的错误检测
- SafeBoot：报告正确的闪存式存储器初始化和配置损坏恢复
- 扇区擦除状态：报告每个扇区的擦除成功或失败状态
- 扇区擦除计数器：计算每个扇区的擦除次数

2.2 HYPERBUS™ 传输协议

命令传输

所有总线传输都可以分为读或写。总线命令以 CS# 变为低电平（CK = 低电平，CK# = 高电平）开始。需要执行的命令在前三个时钟周期内以 DDR 方式使用所有六个时钟边沿呈现给 SEMPER™ 闪存存储器器件。前三个时钟传输三个字的指令/地址（CA0、CA1、CA2）信息来定义命令特征：

- 读取或写入命令。
- 命令传输是发送到内存还是寄存器空间。
 - 虽然 HYPERBUS™ 协议规定从机设备具有存储器和寄存器地址空间，但本规范中描述的 SEMPER™ 存储器并不区分存储器和寄存器作为单独的地址空间。任何命令都会选择一个单一的地址空间，无论命令是否指示目标位置位于存储空间或寄存器空间中。写命令总是将命令地址和数据放入指令寄存器集（缓冲区）中。读取命令从存储器阵列或寄存器地址空间窗口返回数据，该窗口通过执行指令暂时覆盖在单个地址空间内。采用寄存器空间覆盖方法的单一地址空间向后兼容传统并行 NOR 架构设备。
- 命令是否使用线性或回卷突发序列。
 - 读取命令完全支持线性和会见突发。SEMPER™ 承载存储器还支持混合突发，将一个回卷突发与线性突发相结合。
 - SEMPER™ 存储器写命令不支持突发序列并忽略突发类型指示。写入命令传输每次写入传输一个单字。只有字编程指令写入数据传输可以通过线性突发来完成。
- 目标半页地址（行和高位列地址）。
- 目标字（半页内）地址（低位列地址）。

一旦定义了命令，就会使用多个空闲时钟周期来满足数据传输之前的任何读取延迟要求。一旦目标数据已传输，HYPERBUS™ 主机就会通过将 CS 驱动为高电平（CK = 低电平且 CK# = 高电平）来完成命令。数据以 16 位值的形式传输，其中前八位（15-8）在 CK 变为高电平（写入数据或 CA 位）或 DS 沿（读取数据）上传输，后八位（7-0）在 CK 或 DS 变为低电平沿上传输。当 CK = 低电平且 CK# = 高电平时，通过将 CS# 拉高，可以随时结束读取或写入操作期间的数据传输。读取数据与 DS 转换的边缘对齐，写入数据与时钟边缘的中心对齐。

表 2 指令/地址位属性

CA bit#	Bit name	Bit function
47	R/W#	Identifies the transaction as a read or write 1 = Read operation 0 = Write operation Target space is defined in CA46
46	Target	Indicates whether the Read or Write operation accesses the memory or register spaces. 0 = Memory space 1 = Register space The register space is intended to be used by volatile memory and peripheral devices. The HYPERFLASH™ devices will not take advantage of this feature and this bit should be set to 0 during Read or Write transactions.
45	Burst Type	Indicates whether the burst will be linear or wrapped 0 = Wrapped burst 1 = Linear burst
44–39 (1 Gb) 44–38 (512 Mb)	Reserved	Reserved for future address expansion Reserved bits should be set to 0 by the host controller
38–16 (1 Gb) 37–16 (512 Mb)	Row and Upper Column Address	Half-page component of target address
15–3	Reserved	Reserved for future column address expansion. Reserved bits should be set to 0 by the host controller
2–0	Lower Column Address	Lower column component of the target address: System word address bits A2–0 selecting the starting word within a half-page

传输采集

CK/CK# 标记主控和存储器之间每个比特位或多个比特位的传输。指令、地址和写入数据位的传输发生在 CK 边缘或 CK/CK# 交叉处。

注释：在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令集。

读取操作

CA0 指示将要执行的读操作，同时也指示突发类型（回卷或线性）。一旦半分页地址出现在 CA0 和 CA1 中，读操作便开始内部阵列访问。CA2 标识所选半分页内的目标字地址。然后，主机继续计时，计时周期数由配置寄存器中的延迟计数设置定义。一旦这些延迟时钟完成，存储器就开始同时转换数据选通脉冲（DS）并开始输出目标数据。新数据在 DS 每次转换时以边沿对齐的方式输出。只要主机继续转换时钟（CK 和 CK#），数据就会继续输出。回卷突发将继续在突发长度内回卷，而线性突发将以顺序方式跨分页边界输出数据。混合突发提供一个初始回卷突发，然后是线性突发，见 62 页“**突发类型**”。

可以从主阵列、SFDP 表和安全区域 (SSR) 执行回卷读取。当 CK = 低电平且 CK# = 高电平时，可以通过将 CS 拉高来随时结束读取传输。

当线性突发到达阵列中的最后一个地址时，如果突发继续，地址计数器将回滚并回滚到地址 000000h，从而允许读取序列无限期继续。因此，可以用一条读取指令读取整个存储器。

16 字节和 32 字节的封装突发不会跨越分页边界，也不会产生分页边界跨越延迟。对于 64 字节的回卷突发读取，在从目标地址到下一个分页边界跨越期间可能会出现延迟，具体取决于起始地址（参见表 48）。

通过选择双倍初始延迟 CFR2x[7] 选项可以避免页间边界延迟。这允许器件在每次访问期间取指/取数两个连续页面，从而实现无延迟数据访问。

Interface overview

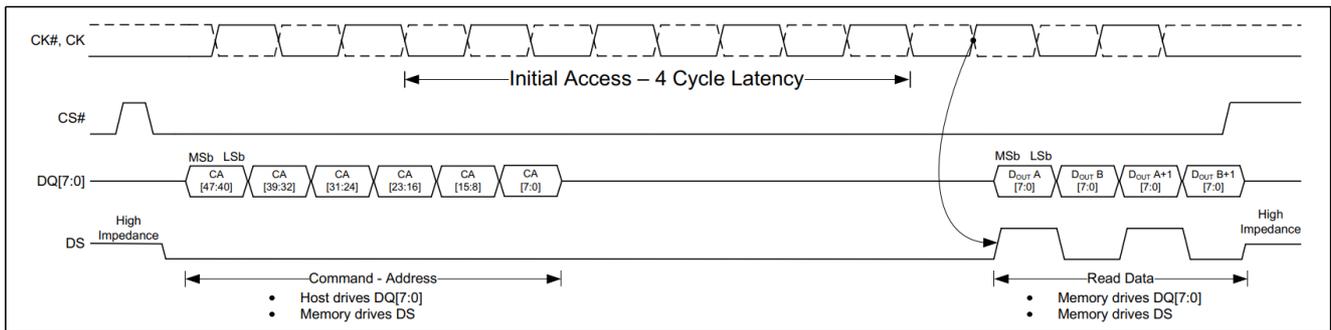


图 3 读取操作（单个初始延迟） [4, 5, 6, 7, 8]

写操作

写入操作从前三个时钟周期开始，提供指示命令特征的 CA_x（指令/地址）信息。突发类型位 CA[45] 为“无关”，因为 SEMPER™ 存储器器件仅支持 16 位的单个写入命令或仅在字编程指令期间加载数据时才支持的连续线性写入突发。紧接着 CA 信息之后，主机能够通过 DQ 总线传输写入数据。数据的第一个字节 (A) 出现在 CK 的上升沿，第二个字节 (B) 出现在 CK 的下降沿。写入数据与 CK/CK# 输入中心对齐。当 CK = 低电平且 CK# = 高电平时，通过将 CS# 拉高可随时结束写入传输。

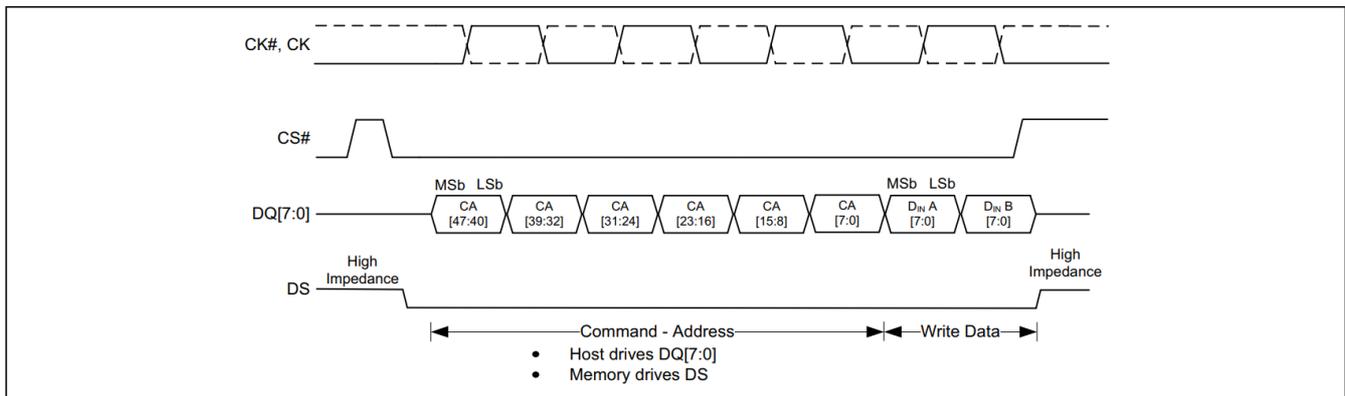


图 4 写操作 [4, 9, 10]

注释

- 命令必须以 CK = 低电平和 CK# = 高电平来发起。在启动新命令之前，CS# 必须返回 HIGH。
- 一旦捕获 CA[23:16]，即可开始从闪存阵列进行读取访问。
- 读取延迟由易失性配置寄存器（或非易失性配置寄存器）中的读取延迟值定义。
- 在这个读取操作的例子中，延迟计数被设置为四个时钟周期。
- 寄存器读取命令期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平，则后续数据值输出未定义。
- 只要 CS 为低电平，DS 就会被驱动为低电平，但在写命令期间不使用 DS。
- 写入操作仅限于单字（16 位）命令或仅在字编程指令期间加载数据时支持的线性写入突发。

2.3 传统 (x1) SPI 命令协议

命令传输

- 在 CS# 为选通（低电平）期间，时钟信号 (CK) 被切换，同时指令信息首先在数据 (SI/DQ0) 信号上传输，然后是地址和数据从主控传输到闪存存储器器件。在从闪存存储器器件向主控传输读取数据或从主控向闪存存储器器件写入数据期间，时钟持续切换。当主控传输了所需数量的数据时，主控将驱动 CS# 处于非选通状态（高电平）。CS# 被选通的时间段称为总线上的一个命令传输。
- 当 CS# 处于非选通状态时，CK 无需切换。
- 指令发送发生在每次命令传输开始时。地址、延迟周期和数据传输阶段是可选的，它们的存在取决于传输的协议模式或指令。

传输采集

- CK 标记主控和存储器之间每个比特位或多个比特位的传输。指令、地址和写数据位传输发生在 CK 上升沿上。

注释：在写入或擦除（嵌入式操作）期间，所有读取闪存阵列的尝试都将被忽略。嵌入式操作将继续执行，不会产生任何影响。在嵌入式操作期间，只能接受非常有限的指令执行位。这些将在 80 页“[挂起和恢复嵌入式操作](#)”讨论。

协议

- 传统 (x1) SPI 模式是上电复位 (POR) 后的默认协议，但闪存设备可以配置为在 HYPERBUS™ 模式下启动。
- 每个传输都以一个 8 比特位（1 字节）指令开始。该指令选择要执行的信息传输类型或器件操作。
- 该协议使用 SI/DQ[0] 将信息从主控传输到闪存式存储器器件，使用 SO/DQ[1] 将信息从闪存式存储器器件传输到主控。在每个 DQ 上，信息按照每个字节内从最高有效位 (MSb) 到最低有效位 (LSb) 的顺序放置在 DQ 线上。连续地址字节按从最高顺序到最低顺序的顺序进行传输。连续数据字节按照从最低地址到最高地址的顺序进行传输。
- DQ[7:2] 不用于数据传输期间。因此，DQ[7:2] 信号将呈高阻态。

2.3.1 命令传输详情

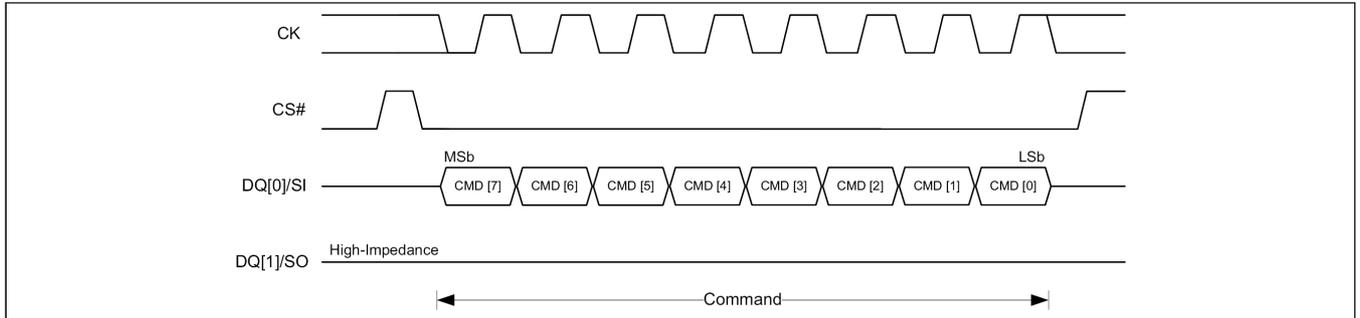


图 5 带指令输入的SPI传输

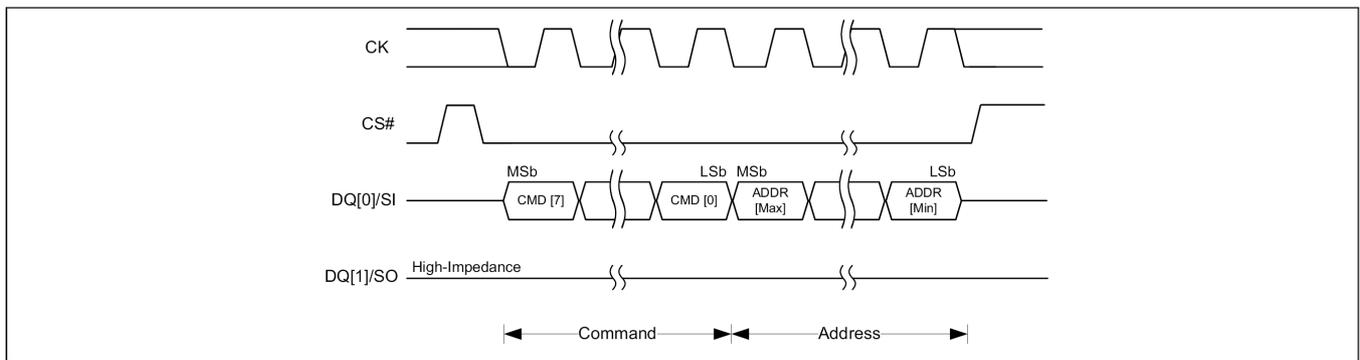


图 6 带有指令和地址输入的SPI传输

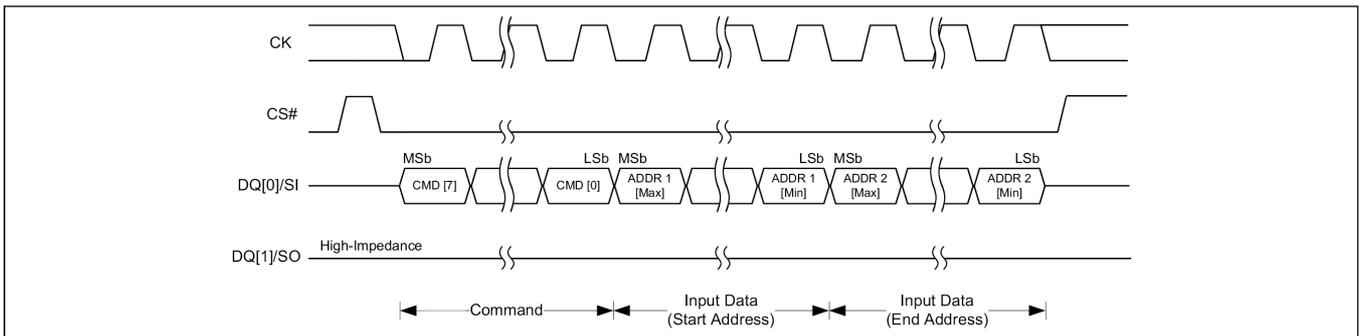


图 7 带有指令和两个输入地址的SPI传输

Interface overview

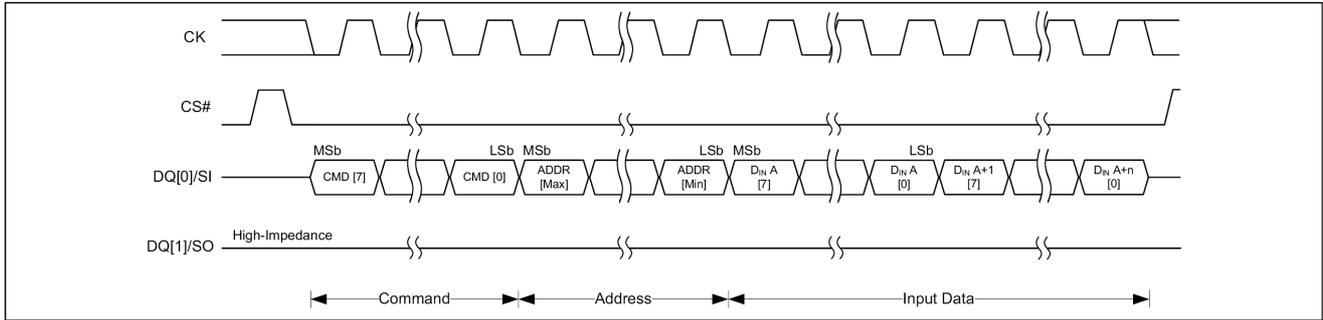


图 8 带有指令、地址和数据输入的SPI写入传输

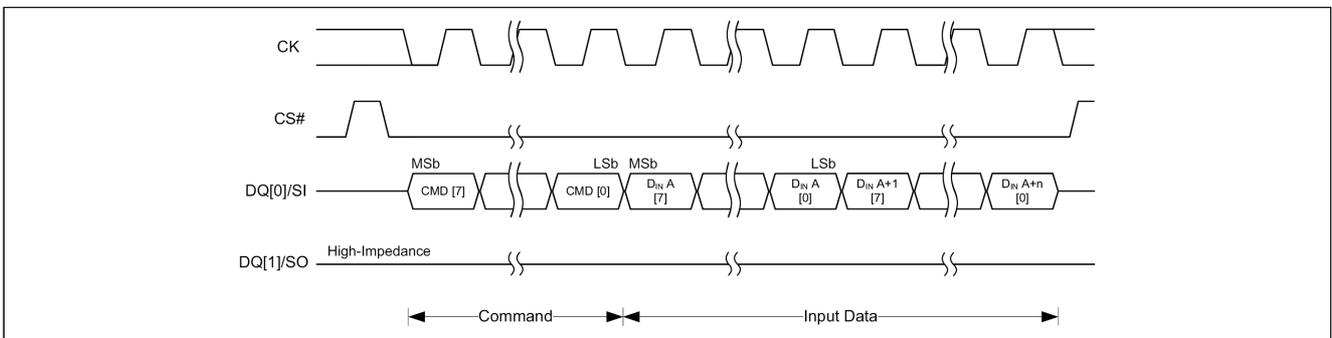


图 9 带有指令和数据输入的SPI写入传输

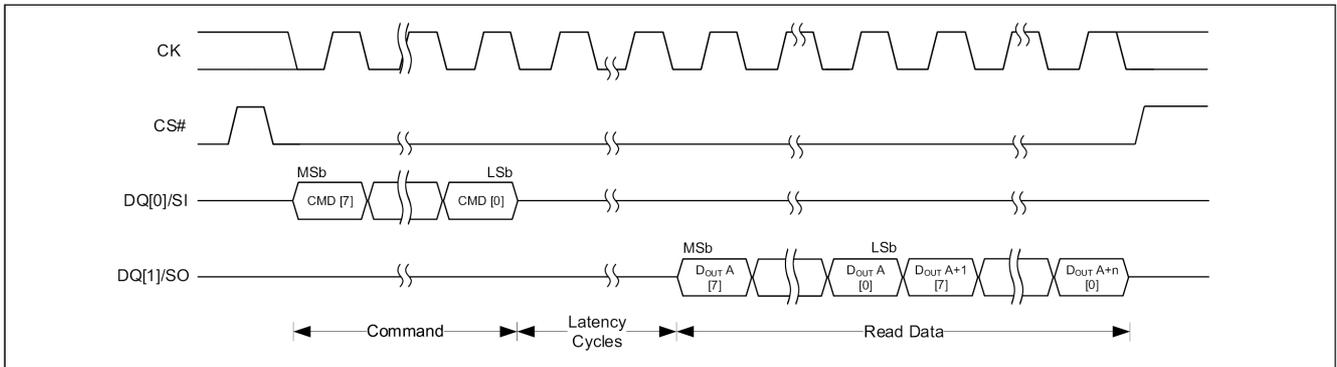


图 10 带指令输入的SPI读取传输 (输出延迟) [11, 12]

注释

11. 在进行寄存器或唯一 ID 读操作时, 存储器首先输出最重要的字节 (高字节/最高有效位 (MSB))
12. 在 SFDP 和标识读操作的情况下, 存储器器件首先输出 Least Significant Byte (LSB)。

Interface overview

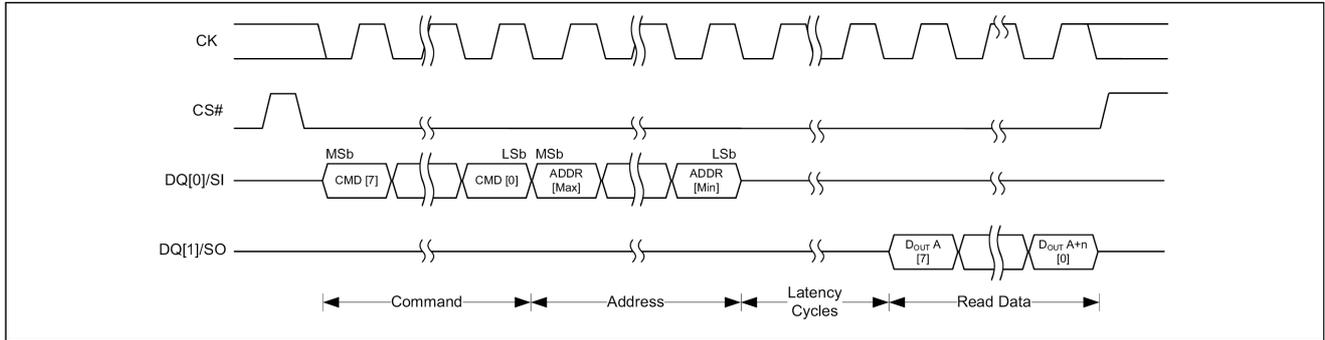


图 11 具有指令和地址输入的SPI读取传输（无输出延迟）

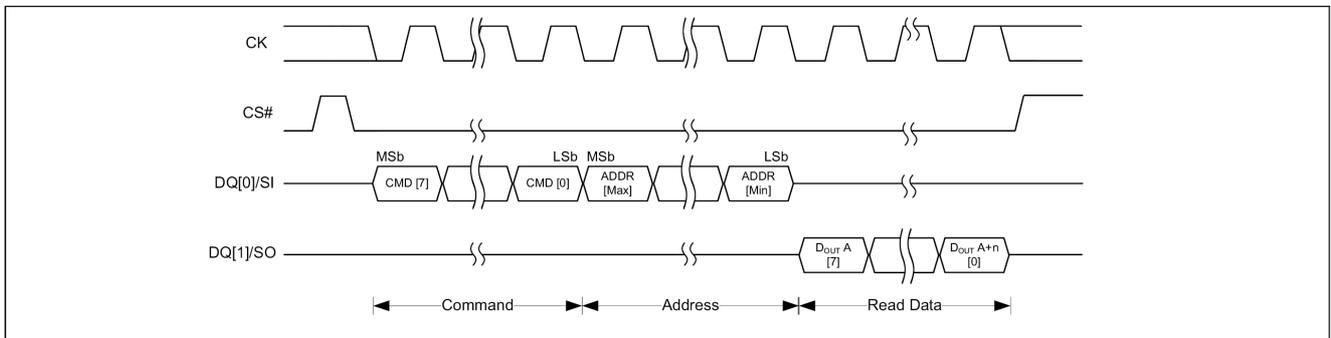


图 12 具有指令和地址输入的SPI读取传输（无输出延迟）

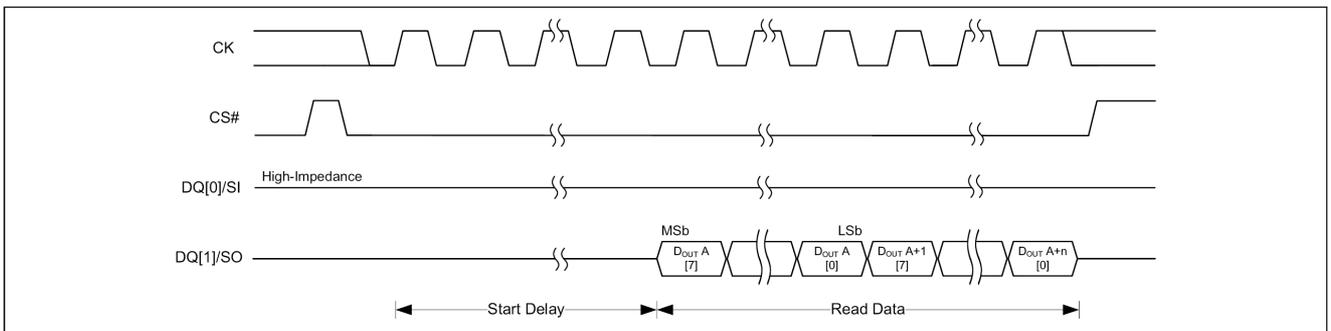


图 13 带输出数据序列的 SPI 传输（AutoBoot）

2.4 嵌入式操作

2.4.1 嵌入式算法控制器 (EAC)

EAC从主机系统接收关于编程和擦除闪存阵列的指令，并执行改变非易失性存储器状态时所需的所有复杂操作。这样可以减轻主机系统的负担，并且不需要管理编程和擦除过程。

EAC操作有五种类别：

- 深度掉电 (DPD)
- 待机 (读取模式)
- 地址空间切换
- 嵌入式算法 (EA)
- 高级扇区保护 (ASP) 管理

2.4.1.1 深度掉电 (DPD)

在 DPD 模式下，消耗电流被驱动到最低水平。必须在器件处于待机状态且未进入 ASO 时进入 DPD 模式。

注释：器件在 DPD 期间保持其配置。换句话说，器件离开 DPD 时的状态与进入时的状态相同。然而，ECC相关寄存器（ECC状态、错误检测计数器和地址捕获）将不会保持其状态，并会在 DPD 退出时复位。

注释：存在一个配置选项，其中器件可以在 DPD 中启动。如果选择此选项，则 CS# 必须在 POR 期间保持高电平才能进入 DPD。

2.4.1.2 待机

待机状态下消耗电流大大减少。当没有指令正在处理并且没有EA正在进行时，EAC进入其待机状态。如果在EA期间取消选择器件（CS = 高），则器件仍会消耗有效电流，直到操作完成 (I_{CC4})。

2.4.1.3 地址空间切换 - 仅限HYPERBUS™

写入特定地址和数据序列（指令序列）可将存储器件地址空间从主闪存阵列切换到其中一个地址空间重叠（ASO）。

嵌入式算法对当前活动（输入的）ASO 中可见的信息进行操作。系统将继续访问 ASO，直到系统发出 ASO 退出指令、执行硬件重置或断开器件电源为止。ASO 退出指令从 ASO 切换回之前的主阵列地址空间。输入特定 ASO 时接受的命令列在命令表中的 ASO 进入命令和退出命令之间。所有命令传输序列的地址和数据要求参见135页“[命令传输表](#)”。

注意在任一模式下，都可以发出状态寄存器读取指令，从而在器件地址空间中的每个字地址都出现状态寄存器ASO。

2.4.1.4 嵌入式算法 (EA)

更改存储器阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为嵌入式算法 (EA)。这些算法完全由器件内部的EAC来管理。主算法执行对主阵列数据和ASO的编程和擦除操作。主机系统将指令代码写入到闪存器件地址空间内。EAC接收指令用于执行所有必要的步骤以完成指令，并在EA执行期间提供状态信息。

2.4.1.5 高级扇区保护 (ASP) 管理

ASP 提供了保护方法来禁用或启用任何或所有扇区的编程或擦除操作。EAC 管理此保护以维护数据完整性。

2.5 寄存器命名规则

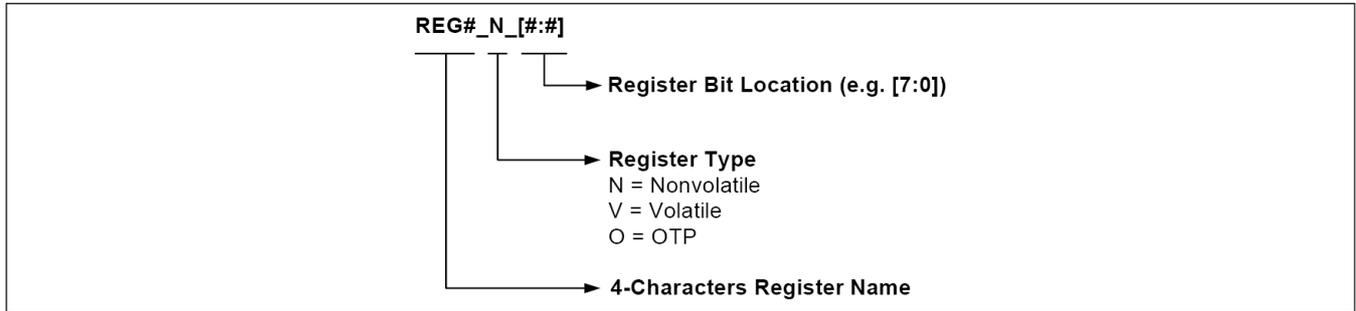


图 14 寄存器命名规则

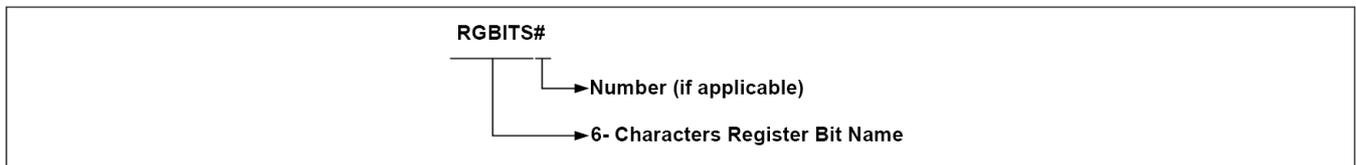


图 15 寄存器位域命名规则

2.6 HYPERBUS™ 传输命名规则

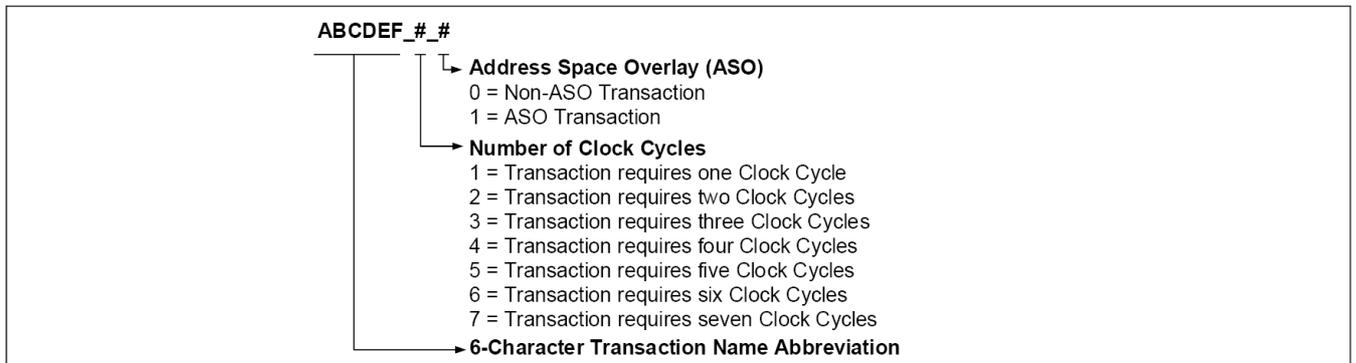


图 16 HYPERBUS™传输命名规则

2.7 传统 (x1) SPI 传输命名约定

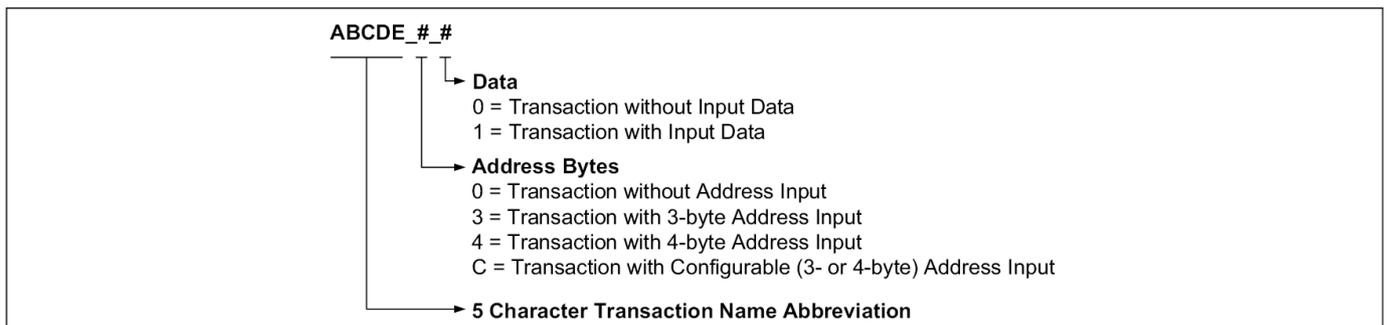


图 17 传统 (x1) SPI 传输命名约定

3 地址空间映射

SEMPER™ 存储器系列的地址空间包含主存储器寻址、地址空间重叠 (ASO)、制造商 ID、器件 ID、唯一 ID、串行存储器可发现参数 (SFDP)、SSR和寄存器。

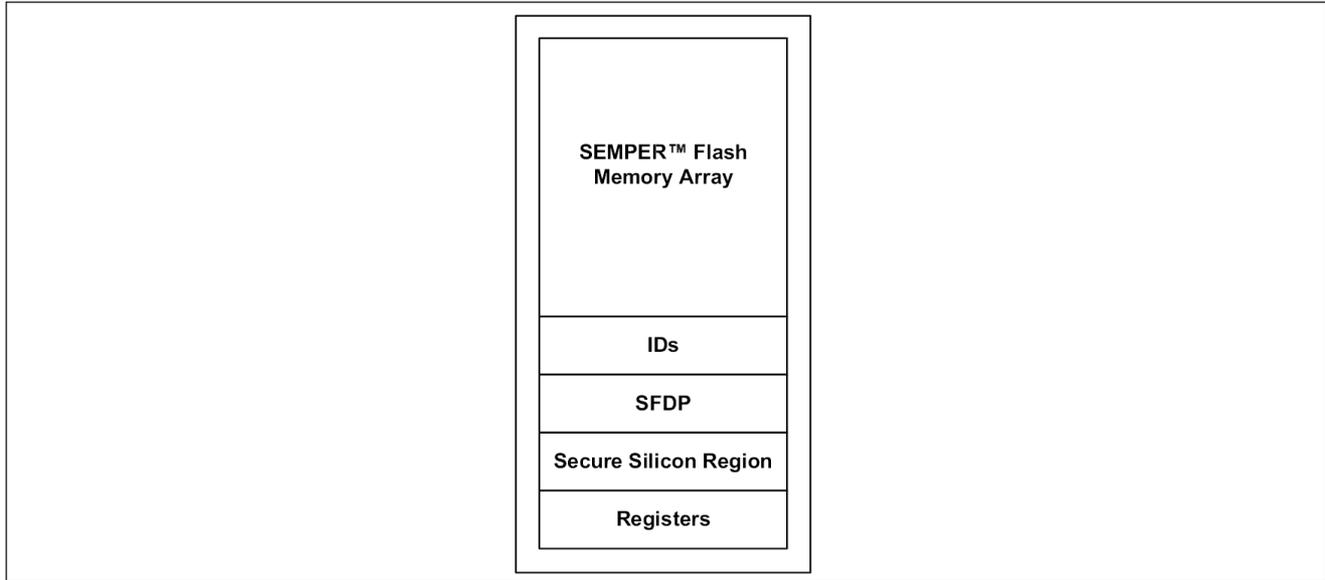


图 18 SEMPER™ 存储器地址空间图概述

3.1 SEMPER™ 闪存式存储器存储阵列

闪存式存储器主要的扇区结构被划分为单元并称之为物理扇区。

HL-T/HS-T系列扇区分布支持以下选项：

- 512 Mb、1 Gb 支持 256 KB 统一扇区选项
- 512 Mb、1 Gb 混合扇区选项
 - 配置1 - 地址空间的顶部和底部均设有各三十二个 4 KB 物理的扇区和一个 128 KB 扇区，其余所有扇区均为 256 KB
 - 配置2 - 地址空间的顶部和底部均设有各十六个 4 KB 物理的扇区和一个 192 KB 扇区，其余所有扇区均为 256 KB

配置寄存器中扇区架构选择位的组合支持SEMPER™存储器系列的不同扇区架构选项。参见 97 页 **“寄存器”** 了解更多信息。

表 3 256KB 统一扇区地址映射

Sector size (KB)	S26HL01GT and S26HS01GT			S26HL512T and S26HS512T		
	Sector count	Sector range	Word address range (sector starting address–sector ending address)	Sector count	Sector range	Word address range (sector starting address–sector ending address)
256	512	SA00	0000000h–001FFFFh	256	SA00	0000000h–001FFFFh
		:	:		:	:
		SA511	3FE0000h–3FFFFFFh		SA255	1FE0000h–1FFFFFFh

表 4 底部混合配置 1：三十二个 4 KB 扇区和 256 KB 统一扇区地址映射

Main array sector size	Parameter-sector number	Address size	Address range (16-bit)	Notes
256 KB	0	4 KB	0000000h–00007FFh	Start of Parameter-Sector 0
	1	4 KB	0000800h–0000FFFh	Parameter-Sector 1
	2	4 KB	0001000h–00017FFh	Parameter-Sector 2
			
	30	4 KB	000F000h–000F7FFh	Parameter-Sector 30
	31	4 KB	000F800h–000FFFFh	End of Parameter-Sector 31
	Exposed portion of Main Array Sector 0	128 KB	0010000h–001FFFFh	Mapped to exposed portion of Main Array Sector 0

表 5 顶部混合配置 1：三十二个 4 KB 扇区和 256 KB 统一扇区地址映射

Main array sector size	Parameter-sector number	Address size	Address range (16-bit)	Notes
256 KB	Exposed portion of last sector in main array	128 KB	xx00000h–xx0FFFFh	Mapped to exposed portion of Main Array Sector (last)
	0	4 KB	xx10000h–xx107FFh	Start of Parameter-Sector 0
	1	4 KB	xx10800h–xx10FFFh	Parameter-Sector 1
			
	30	4 KB	xx0F000h–xx0F7FFh	Parameter-Sector 30
	31	4 KB	xx1F800h–xx1FFFFh	End of Parameter-Sector 31

表 6 混合配置 2：底部十六个和顶部十六个 4KB 扇区地址映射

Main array sector size	Parameter-sector number	Address size	Address range (16-bit)	Notes
256 KB	0	4 KB	0000000h–00007FFh	Start of Parameter-Sector 0
	1	4 KB	0000800h–0000FFFh	Parameter-Sector 1
	2	4 KB	0001000h–00017FFh	Parameter-Sector 2
			
	15	4 KB	0007800h–0007FFFh	Parameter-Sector 15
	Exposed portion of Main Array Sector 0	192 KB	008000h–001FFFFh	Mapped to exposed portion of Main Array Sector 0
			
	Exposed portion of last sector in main array	192 KB	xx00000h–xx17FFFh	Mapped to exposed portion of Main Array Sector (last)
	0	4 KB	xx18000h–xx187FFh	Start of Parameter-Sector 0
	1	4 KB	xx18800h–xx18FFFh	Parameter-Sector 1
			
	14	4 KB	xx1F000h–xx1F7FFh	Parameter-Sector 14
	15	4 KB	xx1F800h–xx1FFFFh	End of Parameter-Sector 15

这些是使用几个扇区作为参考的简明表格。有一些地址范围未明确列出。所有 4 KB 扇区地址类型为 xxxxx000h–xxxxx7FFh。所有 256 KB 扇区地址类型为 xxx00000h–xxx1FFFFh。

3.2 地址空间重叠 (ASO) (仅限HYPERBUS™)

虽然HYPERBUS™协议规定从机设备具有存储器和寄存器地址空间，但本规范中描述的SEMPER™存储器设备并不区分存储器和寄存器作为单独的地址空间。任何命令都会选择一个单一的地址空间，无论HYPERBUS™命令是否指示目标位置位于所选设备的存储空间或寄存器空间中。

写命令总是将命令地址和数据放入指令寄存器集（缓冲区）中。

读取命令从存储器阵列或寄存器地址空间窗口返回数据，该窗口通过执行指令暂时覆盖在单个地址空间内。具有寄存器空间覆盖方法的单一地址范围向后兼容传统的并行 NOR 闪存编程和擦除软件驱动程序。

在闪存存储器器件的地址范围内，可能出现多个单独的地址空间。在任意给定时间，只有一个地址空间可见（进入）。

- 闪存存储器阵列：主非易失性存储器阵列，用于存储可通过异步读取操作进行随机访问的数据。
- ID/SFDP (ID)：用于存储英飞凌工厂预编程的器件特性信息。该区域包含器件标识 (ID)、唯一 ID (UID) 和串行存储器可发现参数 (SFDP) 参数/表。
- 安全硅区域 (SSR)：一次性可编程 (OTP) 非易失性存储器阵列用于存储英飞凌工厂预编程的永久性数据以及客户可编程的永久性数据。
- ASP 配置寄存器：用于配置器件数据保护方案的寄存器。
- 密码：它是一个OTP非易失性阵列，可存储64位密码，允许在使用密码模式扇区保护时更改PPB锁定定位的状态。
- 持久保护位 (PPB)：非易失性闪存存储器阵列（每扇区一位）。编程后，每一位都会保护相关的扇区，以防止擦除和编程。
- PPB锁定位(PPBL)：它是一个易失性寄存器位，用于使能或禁用对PPB位进行的编程和擦除。
- 动态保护位 (DYB)：它是易失性阵列（每扇区一位）。设置该位后，每一位都会保护相关的扇区，以防止进行擦除和编程。
- ECC状态 (ECCST)：读取ECC状态、ECC错误地址和总ECC错误计数。
- 数据完整性检查 (DICRC)：读取磁盘数据CRC（循环校验）校验值。
- 接口 CRC（循环校验） (ICRC)：读取接口 CRC（循环校验）校验值。
- AutoBoot (ATB)：一个非易失地址的起始地址和自动启动延迟的特点。
- 扇区擦除计数 (SEC)：一个 32 位值，显示扇区被擦除的次数。
- Endurance Flex 架构的指针(EFP)：配置五个不易失寄存器的位置，可配置四个指针，以在高耐用性或长保留存储器区域之间进行选择。
- 状态或外部设置寄存器：用于显示EA状态和读取或写入其他寄存器的寄存器访问。

主闪存存储器阵列是主要同时也是默认的地址空间，但随时会被另一个地址空间覆盖掉。每个备用地址空间称为一个 ASO。

每个 ASO 替换（覆盖）由进入 ASO 的指令选择的扇区或整个器件地址范围，具体取决于 ASO 项指令。如果只有一个扇区被 ASO 覆盖，则存储器阵列的其余扇区仍然可读。没有被特定ASO地址映射定义的地址范围将留作将来使用。除非另有说明，否则 ASO 地址映射之外的所有读取访问都会返回无效（未定义）数据。这些位置将显示主动驱动的数据，但其含义尚未定义。

器件工作模式有四种，可以确定闪存器件地址空间在任何特定时刻的内容：

- 读取模式
- 状态寄存器 (SR) 模式
- ASO模式
- 外设寄存器模式

在读取模式下，主机系统存储控制器可能直接读取整个闪存阵列。存储器器件EAC在上电期间或硬件复位后或EA挂起后将器件置于读取模式。在读取模式下，器件可接受读取访问和指令写入。当EA挂起时，在读取模式下器件可接受部分指令。

在任一模式下，都可以发出状态寄存器读取指令，从而在器件地址空间中的每个字地址都出现状态寄存器ASO。在该状态寄存器ASO模式下，器件接口将等待读取访问，写入访问被忽略。随后的一次器件读取访问，读取状态寄存器的内容并退出状态寄存器ASO，然后返回之前收到状态寄存器读取指令时的（调用）模式。

同样，读写其他寄存器的指令也采用外设寄存器模式，该寄存器出现在临时ASO中，在读取或写入选定的指令寄存器后自动退出。读取或写入发生在寄存器访问指令序列的最后一个周期。

在EA模式下，EAC执行嵌入式算法，如编程或擦除非易失性存储器阵列。在EA模式下，闪存阵列均不可读。在EA模式下，只接受编程挂起/擦除挂起指令或状态寄存器读取指令。所有其他指令均被忽略。因此，无法从EA模式进入其他ASO。

在ASO模式下，进入其中一个剩余的重叠地址空间（覆盖主闪存阵列地址映射）。在任意特定时间内，只能进入一个ASO。对器件执行的指令对当前进入的ASO产生影响。每个ASO都有自己特定的有效指令。它们被罗列在 [表 120](#) 中每个ASO的相关章节内。

下列ASO包含非易失性数据，可通过编程将1改为0：

- SSR
- ASP 配置寄存器(ASPR)
- 持久保护位 (PPB)
- 密码
- 自动启动
- Endurance Flex 架构的数据指针
- 只有 PPB 和 AutoBoot ASO 具有非易失性数据，可以擦除这些数据以将 0 更改为 1。

在进入其中一个非易失性ASO后发出编程或擦除指令时，EA将对该ASO执行操作。当EA处于活动状态时，该ASO不可读。EA完成后，ASO仍留在进入状态，但重新变成可读。在任意ASO的EA过程中，挂起和恢复指令无效。

外部配置寄存器模式用于管理POR寄存器、中断配置寄存器、中断状态寄存器、易失性配置寄存器和非易失配置寄存器。

3.3 ID地址空间

存储器的这个特定区域被分配给制造商、器件和唯一标识：

- 制造商标识由 JEDEC 分配（参见表 136 和表 137）。
- 器件标识由英飞凌指定（参见表 136 和表 137）。
- 64 比特位唯一编号位于唯一器件 ID 地址空间的 8 个字节中。此唯一 ID 可用作软件可读的序列号，该序列号对于每个器件都是唯一的（见表 138）。

没有为这些 ID 定义地址空间，因为只能通过提供相应的命令传输来读取它们。读取这些 ID 的传输不需要地址。该地址空间中的数据是只读数据。

3.4 SFDP JEDEC JESD216 串行闪存可发现参数(SFDP)空间

SFDP 标准提供了一种一致的方法来描述内部参数表的标准置位中串行损坏器件的功能和特点。主机软件可以查询这些参数表，以便进行调整以适应不同的功能。SFDP 地址空间具有从地址零开始的报文头，用于标识 SFDP 数据结构并为每个参数提供指针。SFDP 地址空间由英飞凌编程，对于主机系统是只读的。

HYPERBUS™通过在读取模式期间发出 ID-SFDP 项指令序列来访问 ID-SFDP ASO。SFDP 是一个地址覆盖，必须映射到扇区地址 (SA)。传统 (x1) SPI 使用 RSFDP_3_0 命令来访问 SFDP，并且不需要地址覆盖，对于传统 (x1) SPI 必须省略该地址覆盖（请参见表 132 至表 135）。

表 7 SFDP 地址映射概述

Byte address (x1 SPI)	Word address (x8 HB)	Description
0000h	(SA) + 0000h	Location zero within JEDEC JESD216D SFDP space - start of SFDP header
...	...	Remainder of SFDP header followed by undefined space
0100h	(SA) + 0080h	Start of SFDP parameter tables. The SFDP parameter table data starting at 0100h
...	...	Remainder of SFDP parameter tables followed by either more parameters or undefined space

3.5 安全 SSR 地址空间

每个 HS/L-T 家族存储器器件都有一个 1024 字节的安全存储区域，即 OTP 地址空间。该地址空间与主闪存式存储器阵列是分开的。SSR 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 最低 16 个字节包含 128 位随机数。该随机数无法写入、擦除或烧录，任何尝试都会返回 PRGERR 标志。
- 接下来的 4 个字节用于为每个安全区域提供一个比特位（总共 32 位），一旦将位设置为“0”，便可永久防止其被写入、擦除或烧录。
- 所有其他字节均被保留。

剩余区域在从英飞凌出厂时会被擦除，并可用于对额外的永久性数据进行编程。

注释：

13. 传统 (x1) SPI 使用读取串行可发现参数 (RSFDP_3_0) 命令来读取唯一 ID。需要地址。

表 8 SSR 地址映射

Region	Byte address range	Contents	Initial delivery state
Region 0	000h	LSB of Infineon Programmed Random Number	Infineon Programmed Random Number
	
	00Fh	MSB of Infineon Programmed Random Number	
	010h to 013h	Region Locking Bits Byte 10h [bit 0] locks region 0 from programming when = 0 ... Byte 13h [bit 7] locks region 31 from programming when = 0	All Bytes = FFh
	014h to 01Fh	Reserved for Future Use (RFU)	All Bytes = FFh
Region 1	020h to 03Fh	Available for User Programming	
Region 2	040h to 05Fh		
...	...		
Region 31	3E0h to 3FFh		

3.6 寄存器（仅限传统 (x1) SPI）

寄存器是用于配置 HS/L-T 系列存储器器件的运行方式，或报告器件运行的状态的一小组存储单元。寄存器通过特定的指令和地址访问。

表 9 显示该器件中每个可用寄存器的地址映射。

表 9 寄存器地址映射（仅限传统 (x1) SPI）

Function	Register type	Register name	Volatile component address (hex)	Non-volatile component address (hex)
Device Status	Status Register 1	STR1N[7:0], STR1V[7:0]	0x00800000	0x00000000
	Status Register 2	STR2V[7:0]	0x00800001	N/A
Device Configuration	Configuration Register 1	CFR1N[7:0], CFR1V[7:0]	0x00800002	0x00000002
	Configuration Register 2	CFR2N[7:0], CFR2V[7:0]	0x00800003	0x00000003
	Configuration Register 3	CFR3N[7:0], CFR3V[7:0]	0x00800004	0x00000004
	Configuration Register 4	CFR4N[7:0], CFR4V[7:0]	0x00800005	0x00000005
Interface CRC	Interface CRC Enable Register	ICEV[7:0]	0x00800008	N/A

表 9 寄存器地址映射（仅限传统 (x1) SPI）（续）

Function	Register type	Register name	Volatile component address (hex)	Non-volatile component address (hex)
Infineon Endurance Flex architecture	Infineon Endurance Flex Architecture Selection Register 0 [7:0]	EFX00[7:0]	N/A	0x00000050
	Infineon Endurance Flex Architecture Selection Register 0 [15:8]	EFX00[15:8]		0x00000051
	Infineon Endurance Flex Architecture Selection Register 1 [7:0]	EFX10[7:0]		0x00000052
	Infineon Endurance Flex Architecture Selection Register 1 [15:8]	EFX10[15:8]		0x00000053
	Infineon Endurance Flex Architecture Selection Register 2 [7:0]	EFX20[7:0]		0x00000054
	Infineon Endurance Flex Architecture Selection Register 2 [15:8]	EFX20[15:8]		0x00000055
	Infineon Endurance Flex Architecture Selection Register 3 [7:0]	EFX30[7:0]		0x00000056
	Infineon Endurance Flex Architecture Selection Register 3 [15:8]	EFX30[15:8]		0x00000057
	Infineon Endurance Flex Architecture Selection Register 4 [7:0]	EFX40[7:0]		0x00000058
	Infineon Endurance Flex Architecture Selection Register 4 [15:8]	EFX40[15:8]		0x00000059
Interrupt Pin	Interrupt Configuration Register	INCV[7:0]	0x00800068	N/A
	Interrupt Status Register	INSV[7:0]	0x00800067	
Error Correction	ECC Status Register	ESCV[7:0]	0x00800089	
	ECC Error Detection Count Register [7:0]	ECTV[7:0]	0x0080008A	
	ECC Error Detection Count Register [15:8]	ECTV[15:8]	0x0080008B	
	ECC Address Trap Register [7:0]	EATV[7:0]	0x0080008E	
	ECC Address Trap Register [15:8]	EATV[15:8]	0x0080008F	
	ECC Address Trap Register [23:16]	EATV[23:16]	0x00800040	
ECC Address Trap Register [31:24]	EATV[31:24]	0x00800041		

表 9 寄存器地址映射（仅限传统 (x1) SPI）（续）

Function	Register type	Register name	Volatile component address (hex)	Non-volatile component address (hex)
AutoBoot	AutoBoot Register [7:0]	ATBN[7:0]	N/A	0x00000042
	AutoBoot Register [15:8]	ATBN[15:8]		0x00000043
	AutoBoot Register [23:16]	ATBN[23:16]		0x00000044
	AutoBoot Register [31:24]	ATBN[31:24]		0x00000045
Erase Count	Sector Erase Count Register [7:0]	SECV[7:0]	0x00800091	N/A
	Sector Erase Count Register [15:8]	SECV[15:8]	0x00800092	
	Sector Erase Count Register [23:16]	SECV[23:16]	0x00800093	
Data Integrity Check	Data Integrity Check CRC Register [7:0]	DCRV[7:0]	0x00800095	
	Data Integrity Check CRC Register [15:8]	DCRV[15:8]	0x00800096	
	Data Integrity Check CRC Register [23:16]	DCRV[23:16]	0x00800097	
	Data Integrity Check CRC Register [31:24]	DCRV[31:24]	0x00800098	
Protection and Security	Advanced Sector Protection Register [7:0]	ASPO[7:0]	N/A	0x00000030
	Advanced Sector Protection Register [15:8]	ASPO[15:8]		0x00000031
	ASP PPB Lock Register (Persistent Protection Block)	PPLV[7:0]	0x0080009B	N/A
	ASP Password Register [7:0]	PWDO[7:0]	N/A	0x00000020
	ASP Password Register [15:8]	PWDO[15:8]		0x00000021
	ASP Password Register [23:16]	PWDO[23:16]		0x00000022
	ASP Password Register [31:24]	PWDO[31:24]		0x00000023
	ASP Password Register [39:32]	PWDO[39:32]		0x00000024
	ASP Password Register [47:40]	PWDO[47:40]		0x00000025
	ASP Password Register [55:48]	PWDO[55:48]		0x00000026
ASP Password Register [63:56]	PWDO[63:56]	0x00000027		

4 特性

4.1 错误检测和纠正

SEMPER™ 存储器系列器件通过在存储器阵列编程期间生成嵌入式汉明纠错码来支持错误检测和纠正。然后，该 ECC 代码用于读取操作期间的错误检测和纠正。ECC 基于 16 字节数据单位。当 16 字节数据单位被加载到写入缓存并传输到 128 比特位队列线进行写入时（在擦除操作之后），每个数据单位的 8 比特位 ECC 也被写入到主控系统软件不可见的存储器阵列部分中。然后在每次读取操作期间检查此 ECC 信息。数据单位内的 1 比特位错误将由 ECC 逻辑纠正。16 字节数据单位是启用 ECC 最小写入颗粒度。

当在 16 字节数据单位中首次编程任意数量的数据时，计算的 ECC 是整个数据单位的数值。如果随后将附加数据编程到相同的数据单位中，但没有擦除，则该数据单位的 ECC 被禁用，并且 1 比特的 ECC 禁用位会被置位。需要扇区擦除操作才能再次对该数据单位启用 ECC 功能。

这些是对用户公开的自动操作。无感的 ECC 特性增强了向每个数据单位写入一次数据这种典型写入操作的数据可靠性，同时还通过仍然允许单字节写入和比特位遍历（在这种情况下，ECC 将被禁用）这种相同的数据单位被多次写入的方式来提升与前几代产品的软件兼容性。

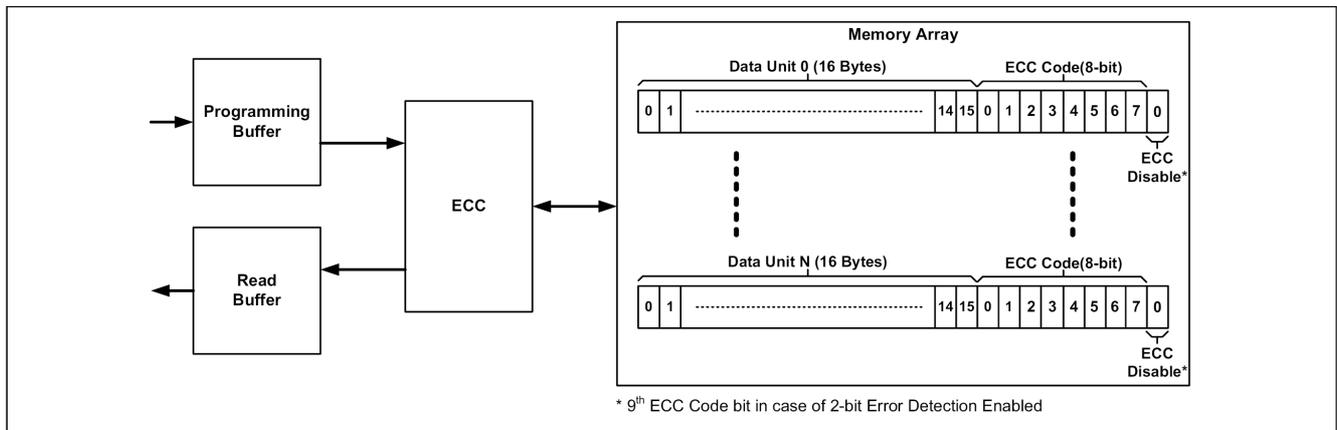


图 19 16 字节 ECC 数据单位示例

SEMPER™ NOR 闪存默认 ECC 配置为支持 2 比特位错误检测。在此配置中，任何数据单位中的 1 比特位错误得到纠正，并且任何 2 比特位错误都被检测并报告。16 字节单元数据需要 9 位 ECC 来进行 2 位错误检测。当启用 2 比特位错误检测时，不允许对同一数据单元（无擦除）进行字节写入、比特位遍历或多次写入操作，这将导致写入错误。将 ECC 模式从 1 比特位错误检测更改为 2 比特位错误检测，或从 2 比特位错误检测更改为 1 比特位错误检测将使内存阵列中的所有数据无效。当改变 ECC 模式时，主控必须先将器件中的所有扇区内的数据擦除。如果在未擦除已写入数据的情况下更改 ECC 模式，则后续读取操作将导致未定义的行为。

4.1.1 ECC错误报告

当检测到ECC错误时，有五种方法可以向主控系统报告。

- ECC数据单位状态提供数据单位中 1 比特位或 2 比特位错误的状态。
- ECC地址捕获寄存器捕获在POR或复位后遇到的存储器阵列读取期间第一个ECC错误的地址位置。
- ECC 错误检测计数器会记录读取过程中数据单位中发生的 1 比特位或 2 比特位错误的数量。
- 中断 (INT#) 输出可以启用，以指示在读取数据时检测到 1 位或 2 位错误。
- 在HYPERBUS™接口中，可以启用一种模式，使数据选通 (DS) 在读取包含 2 位错误的半页时停止切换 (停顿)。当DS在超过 32 个时钟周期内没有转换时，SEMPER™ 存储器控制器可以将停转条件检测为中断错误。CFRix[2] 中的数据选通停顿控制位可用于使能DS停顿。如果启用 (CFRix[2] = 0)，则在出现 2 位错误时，DS将在 2 个时钟周期后被驱动为低电平。只要 CS 保持有效，DS就会保持在低电平状态，只要 CS 恢复高电平，DS就会恢复正常功能。如果 DS 失速控制位处于禁用状态 (CFRix[2] = 1)，则 DS 行为不会受到影响。

4.1.1.1 ECC数据单状态 (EDUS)

- 每个数据单元中的ECC状态由HYPERBUS™的 16 位ECC数据单元状态和传统 (x1) SPI的 8 位ECC数据单元状态提供。
- ECC数据单位状态的内容则指示对于所选择的数据单位，是否存在已纠正的1比特位错误、检测到的 2比特位错误、或针对该数据单位的ECC是否已经被禁用。

表 10 **ECC数据单位状态**

Bits	Field name	Function	Read/Write N = Non-volatile V = Volatile	Factory default (binary)	Description
EDUS[15:4]	RESRVD	Reserved For Future Use	V => R	0000	These bits are Reserved for future use. Note For Legacy (x1) SPI Only, ECC status is only 8 bits.
EDUS[3]	ECC2BD	ECC Error 2-bit Error Detection Flag	V => R	0	This bit indicates whether a two bit error is detected in the data unit, if two bit ECC error detection is enabled CFR4V[3] = 1. When CFR4V[3] = 0 and 2-bit error detection is disabled, ECC2BD bit will always be '0'. Note If 2 bit error detection is enabled (CFR4V[3] = 1), the ECCOFF bit will not be set to 1b while performing single byte programming or bit walking in a data unit that was already partially programmed. An attempt to do such byte programming or bit walking will result in a Program Error. Selection Options: 1 = Two Bit Error detected 0 = No error
EDUS[2]	RESRVD	Reserved For Future Use	V => R	0	This bit is Reserved for future use.
EDUS[1]	ECC1BC	ECC Error 1-bit Error Detection and Correction Flag	V => R	0	This bit indicates whether an error was corrected in the data unit. Selection Options: 1 = Single Bit Error corrected in the addressed data unit 0 = No single bit error was corrected in the addressed data unit
EDUS[0]	ECCOFF	Data Unit ECC Off/On Flag	V => R	0	This bit indicates whether the ECC syndrome is OFF in the data unit. Selection Options: 1 = ECC is OFF in the selected data unit 0 = ECC is ON in the selected data unit Dependency: CFR4x[3]

4.1.1.2 ECC 错误地址捕获 (EATV)

- 一个 32 比特位寄存器用于在读取闪存存储器阵列单元期间首先遇到ECC错误时来捕获相应ECC数据单位地址。仅在POR、硬件复位或ECC清零、复位传输后遇到的第一个使能的ECC错误类型（“仅 2 比特位”或“1 比特位或 2比特位”，取决于 CFR4N[3] 中选择）时的地址。EATV 寄存器仅在读取传输期间更新。

EATV 寄存器包含检测到错误时访问的地址。故障位可能并不位于寄存器中指示的当前地址，而是位于检测到错误所在的对齐 16 字节ECC数据单位内。如果在单次读取操作期间在多个ECC数据单位中发现错误，则仅在 EATV 寄存器中捕获第一个失败的ECC单位的地址。

当2比特位错误检测未启用且同一ECC单位被写入多次时，该ECC单位的ECC错误检测被禁用，因此无法识别错误并捕获该地址。

- 可以使用HYPERBUS™或 Legacy (x1) SPI地址 Trap 寄存器读取命令来读取地址捕获寄存器。
- 清除ECC状态寄存器传输、POR或CS#信号协议/硬件/软件复位会清除地址捕获寄存器。

表 11 错误高/低地址捕获寄存器地址分配

Density	Error lower address register	Error upper address register	
	All	512 Mb	1 Gb
EATV[15]	A15	0	0
EATV[14]	A14	0	0
EATV[13]	A13	0	0
EATV[12]	A12	0	0
EATV[11]	A11	0	0
EATV[10]	A10	0	0
EATV[9]	A9	0	A25
EATV[8]	A8	A24	A24
EATV[7]	A7	A23	A23
EATV[6]	A6	A22	A22
EATV[5]	A5	A21	A21
EATV[4]	A4	A20	A20
EATV[3]	A3	A19	A19
EATV[2]	A2	A18	A18
EATV[1]	A1	A17	A17
EATV[0]	A0	A16	A16

4.1.1.3 ECC错误检测计数器 (ECTV)

- 一个16位寄存器用于计数从闪存阵列读取数据时发生的1比特位或2比特位错误的数量。只有在主阵列中识别的错误才会导致错误检测计数器递增。ECTV 寄存器仅在读取传输期间更新。读取 ECC 状态传输不会影响 ECTV 寄存器。

16 比特位错误检测计数器将不会递增超过 FFFFh。然而，ECC 仍在继续发挥作用。

注释：在连续读取操作期间，当检测到 1 比特位或 2 比特位错误时，时钟可能会继续切换，并且存储器器件将继续增加数据地址并将新数据放置在 DQ 信号上；遇到的任何带有错误的额外数据单元都将被计数，直到 CS# 恢复为高电平。

在读取传输期间，对于发现错误的每个数据单位，仅计为一个错误。每个读取命令传输将导致目标数据单位的新读取。如果多个读取传输访问包含错误的相同数据单位，则每次读取该数据单位时，错误计数器将递增。

当 2 比特位错误检测未启用且同一数据单位被写入多次时，该数据单位的ECC错误检测将被禁用，因此无法识别或计数错误。

- ECC错误检测计数器可以使用HYPERBUS™或传统 (x1) SPI ECC错误检测计数器读取命令来读取。
- ECTV 寄存器在POR、CS#信号协议/硬件/软件复位或者使用清除ECC状态寄存器时置位为 0。

表 12 错误检测计数器 (易失性)

Bit position	EDC result
EDC[15]	R15
EDC[14]	R14
EDC[13]	R13
EDC[12]	R12
EDC[11]	R11
EDC[10]	R10
EDC[9]	R9
EDC[8]	R8
EDC[7]	R7
EDC[6]	R6
EDC[5]	R5
EDC[4]	R4
EDC[3]	R3
EDC[2]	R2
EDC[1]	R1
EDC[0]	R0

4.1.1.4 INT# 输出 - 仅限HYPERBUS™

• SEMPER™ 存储器支持 INT# 输出引脚，以向主控系统指示中断/闪存存储器器件内发生了事件。用户可以将 INT# 输出引脚配置为在以下情况下转换为有源（低电平）状态：

- 检测到 2 位 ECC 错误
- 检测到 1 位 ECC 错误
- 从忙碌状态转换到就绪状态

INT# 引脚仅在 BGA 封装中可用。操作由中断配置寄存器 (INCV) 控制，其中 INT# 输出（通常为高电平）是使能的。中断配置寄存器确定内部事件何时使能，以触发 INT# 输出引脚上的高电平到低电平转变。

中断状态寄存器 (INSV) 指示自上次清除 INSV 以来发生的已使能的内部事件。

如果使能，则 INT# 输出引脚将在发生使能事件时从高电平转换为低电平。一旦主控识别出 INT# 已转换为低电平状态，就可以读取 INSV 寄存器来确定哪个内部事件导致了该事件。

POR、硬件复位、软件复位、DPD 退出或 CS# 信号复位期间的 INT# 输出状态无效。

- 可以通过编程/读取 INCV/INSV HYPERBUS™命令访问 INCV 和 INSV。
- 可以使用以下方法强制 INT# 输出转换回高电平（通过外部上拉电阻返回高电平）：
 - 通过将 1 加载到中断配置寄存器的位 15 中，来关闭 INT# 输出。
 - 在 INSV 位置位中重置适当的位置（通过写入 1），以指示发生哪个内部事件导致输出变为低电平。在 INT# 输出返回高电平之前，INSV 中所有低电平且启用的 INSV 位必须被复位。
 - 如果内部事件为 ECC，则发出清零，复位 ECC 错误命令，而在 ECC ASO 中，INT# 输出将返回高电平。清零，复位 ECC 错误会清除 INSV ECC 相关位 (INSV[1:0])，但不会失效，不会使能 INCV。
 - 通过 CS# 信号复位、硬件复位 (RESET# = 低电平) 或 POR，INT# 输出也将返回到默认（禁用、高阻）状态。通过设置中断配置寄存器为默认（所有中断禁用）状态来使硬件复位和 POR 禁止所有中断生效。

4.1.2 HYPERBUS™ ECC 相关寄存器和命令传输

表 13 HYPERBUS™ ECC 相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
Configuration Register - 2 (CFR2N, CFR2V)	Read Configuration Register 2 (RDVCR2_4_0, RDNCR2_4_0)
ECC Address Trap Register (EATV)	Read Address Trap Register (RDADTU_2_1, RDADTL_2_1) - ECC ASO
ECC Error Detection Counter Register (ECTV)	Read ECC Count Value Register (RDCONT_2_1) - ECC ASO
INT# Pin Configuration Register (INCV)	Read Interrupt Configuration Register (RDVINC_4_0)
INT# Pin Status Register (INSV)	Read Interrupt Status Register (RDVINS_4_0)
	Program Interrupt Configuration Register (PGVINC_4_0)
	Program Interrupt Status Register (PGVINC_4_0)

4.1.3 传统 (x1) SPI ECC 相关寄存器和命令

表 14 传统 (x1) SPI ECC 相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Configuration Register - 2 (CFR2N, CFR2V)	Read Any Register (RDARG_4_0)
ECC Address Trap Register (EATV)	Write Any Register (WRARG_C_1)
ECC Error Detection Counter Register (ECTV)	Read ECC Status (RDECC_4_0)

4.2 英飞凌 Endurance Flex 架构（负载均衡）

英飞凌 Endurance Flex 架构允许将主存储器阵列划分为可配置成高耐久性或长数据保留时间的区域。英飞凌 Endurance Flex 架构在高耐久性区域实现负载均衡，其中写入/擦除周期均匀分布在负载均衡池的所有扇区中。通过避免单个扇区的过早磨损，这极大地提高了器件的可靠性。

从架构上看，英飞凌 Endurance Flex 架构的负载均衡算法基于逻辑扇区到物理扇区的映射。在部件的使用寿命周期内，此映射会发生改变，以保持所有物理扇区的写入/擦除周期的均匀分布。逻辑到物理的映射信息存储在专用的闪存式存储器阵列中，该阵列在交换扇区时更新。当擦除操作时，会发生扇区交换。

英飞凌 Endurance Flex 架构的高耐久性区域要求至少设置 20 个扇区。为了在配置长数据保留时间、高耐久性或两个区域之间提供灵活性，提供了四个指针边界架构。出厂默认设置将所有扇区指定为高耐久性，作为负载均衡池的一部分，并且所有指针边界均被禁用。这四个指针边界最多可用于划分成五个区域，每个区域均可配置为长数据保留时间或高耐久性。

图 20 概述了英飞凌 Endurance Flex 架构。它显示了基于不同扇区架构的五个可能区域。

注释： 4 KB 扇区不属于英飞凌 Endurance Flex 架构的一部分。

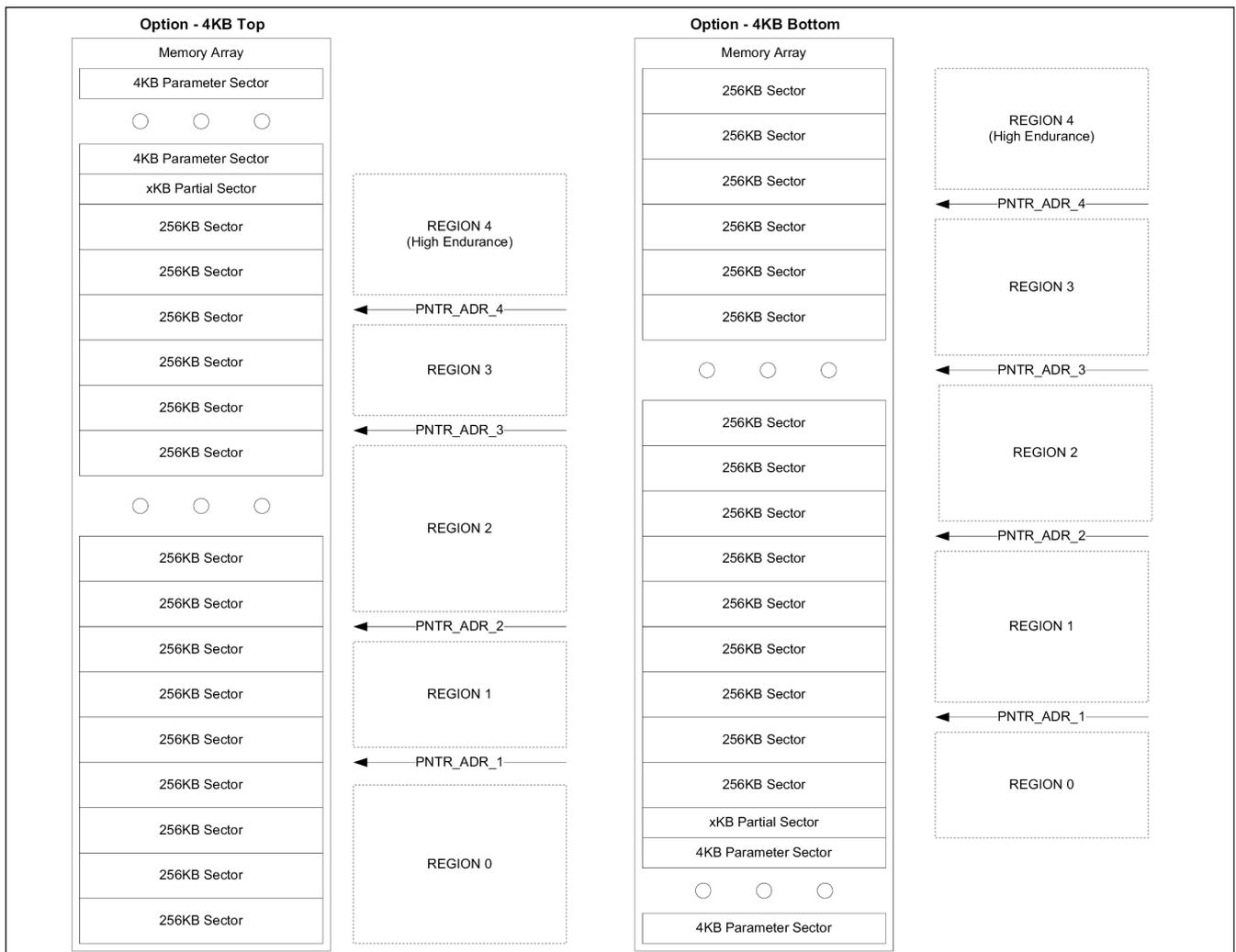


图 20 Infineon Endurance Flex 架构概述

Features

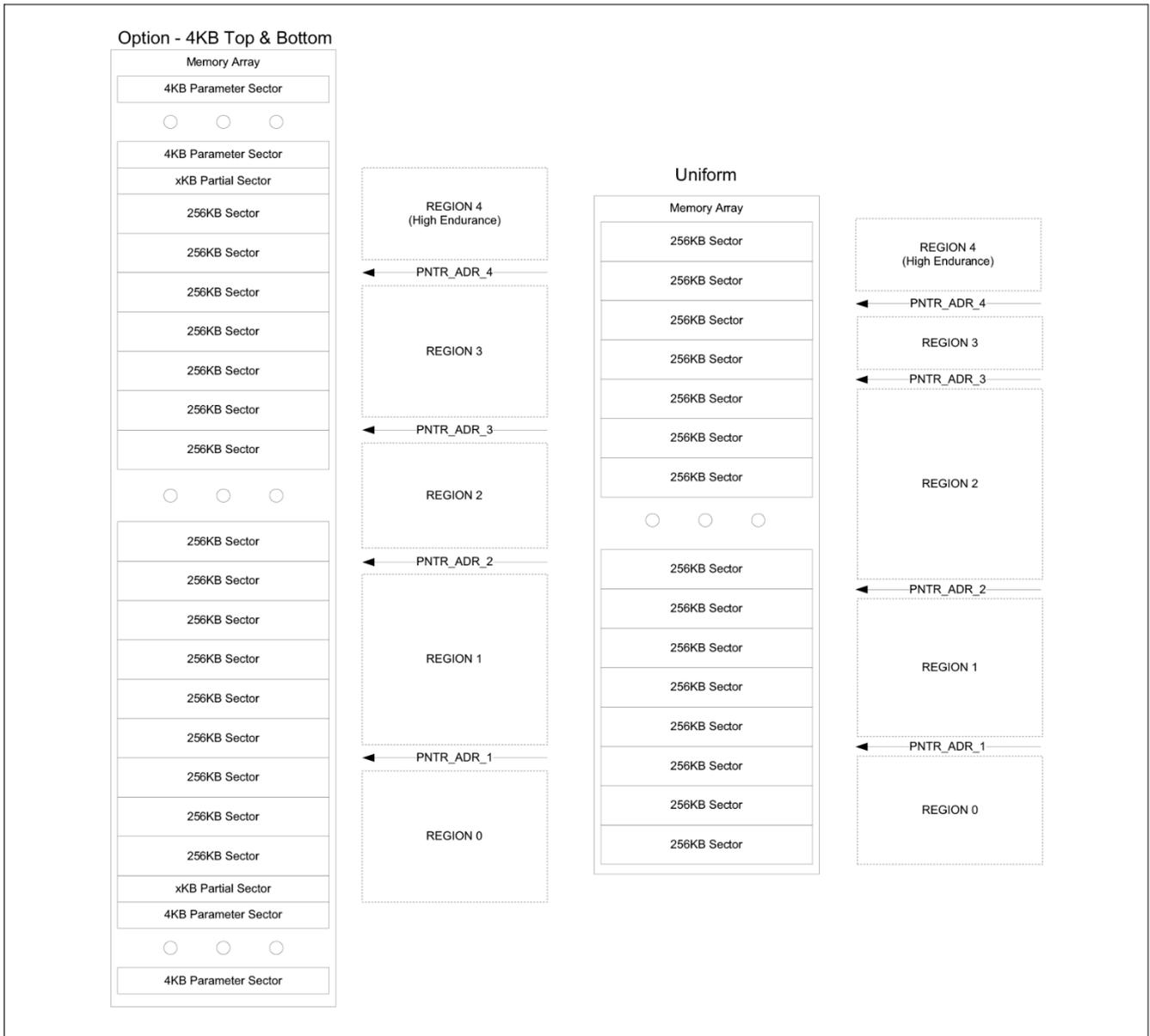


图 21 Infineon Endurance Flex 架构概述 (续)

表 15 区域定义^[14, 15, 16, 17]

Region	Lower limit	Upper limit
0	Sector 0	Address Pointer 1
1	Address Pointer 1	Address Pointer 2
2	Address Pointer 2	Address Pointer 3
3	Address Pointer 3	Address Pointer 4
4	Address Pointer 4	Highest Sector

注释

- 14. 指针地址必须遵循以下规则：
 指针#4 地址 > 指针#3 地址
 指针#3 地址 > 指针#2 地址
 指针#2 地址 > 指针#1 地址
- 15. 4KB 扇区被排除在外。
- 16. 要求在客户首次为器件上电时配置高数据耐久性和长数据保留时间区域。一旦配置完成，就不能再更改。
- 17. 任何高耐久性区域的最少为 20 个扇区。

4.2.1 配置 1：最大耐久性 - 单一高耐久性区域

当所有 256 KB 扇区均指定为高耐久性时，可实现最大耐久性。使用 Endurance Flex 架构指针边界将所有扇区指定为高耐久性。最大耐久性指针边界配置如表 16 所示。

表 16 最大耐久性配置的 Endurance Flex 指针值^[18]

Pointer #	Pointer address EPTADn[8:0]	Region type ERGNTn	Pointer enable# EPTEBn	Global region selection GBLSEL	Wear leveling enable WRLVEN
0	N/A	N/A	N/A	1'b1	1'b1
1	9'b111111111	1'b1	1'b1	N/A	N/A
2	9'b111111111				
3	9'b111111111				
4	9'b111111111				

4.2.2 配置 2：两个区域选择 - 一个长数据保留时间区域和一个高耐久性区域

必须使用英飞凌 Endurance Flex 支架来划定用于长时间保持或高耐用性的扇区。区域 0 定义为长期保留，由 16 个扇区组成。区域 1 定义为高耐久性，扇区数为 240。两个区域配置的指针设置如表 17 所示。

表 17 英飞凌 Endurance Flex 架构指针边界值（双区域配置）^[19]

Pointer #	Pointer address EPTADn[8:0]	Region type ERGNTn	Pointer enable# EPTEBn	Global region selection GBLSEL	Wear leveling enable WRLVEN
0	N/A	N/A	N/A	1'b0	1'b1
1	9'b000010000	1'b1	1'b0	N/A	N/A

4.2.3 HYPERBUS™ Endurance Flex 相关寄存器和命令传输

表 18 HYPERBUS™ Endurance Flex 相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
Infineon Endurance Flex architecture selection registers (EFX40, EFX30, EFX20, EFX10, EFX00)	Read EnduraFlex Registers (RDOENX_1_1) - EnduraFlex ASO
	Program EnduraFlex Registers (PGOENX_2_1) - EnduraFlex ASO

4.2.4 传统 (x1) SPI Endurance Flex 相关寄存器和命令传输

表 19 传统 (x1) SPI Endurance Flex 相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Infineon Endurance Flex architecture selection registers (EFX40, EFX30, EFX20, EFX10, EFX00)	Read Any Register (RDARG_4_0)
	Write Any Register (WRARG_C_1)

注释

18. 这也是该器件的默认配置。
19. 定义的指针数量取决于配置的区域数量。

4.3 接口 CRC

接口CRC对主控与器件之间的通讯进行硬件加速CRC计算，保证传输信息的完整性。CRC（循环冗余校验）是一种错误检测码，常用于设备检测原始数据的意外更改。

HL-T/HS-T 家族设备中的接口CRC（循环冗余校验）方法完全依赖于主控来验证CRC（循环冗余校验）校验值并采取适当的操作。器件计算CRC（循环冗余校验）校验值正是主控使用读取接口 CRC（循环冗余校验）命令序列（RDCRC_4_0, RICRC_1_1）来读取的。计算出的校验值包括CS#为低电平时的所有命令传输内容，即命令、地址和数据。这种CRC（循环冗余校验）的校验和可以在单个或一系列的命令传输集合中生成。唯一的限制是，从机计算的数据大小必须小于 2^{32} 比特。

主控还必须在同一命令传输序列上计算CRC（循环冗余校验）校验值。准备就绪后，主控可以读取器件计算出的CRC（循环冗余校验）校验值，并将其与自身进行比较。如果不匹配，主控可以选择重复完整的命令传输序列。

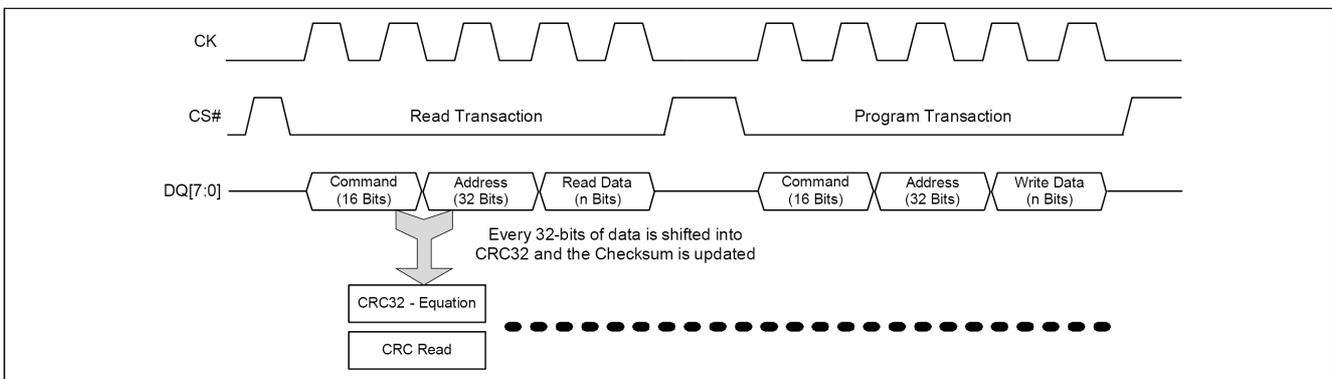


图 22 CRC（循环冗余校验）计算概述

注释：在CRC读取命令序列结束时，设备会重置CRC校验值并重新初始化CRC校验特征多项式。

CRC32 多项式: $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$

注释

- 主控和器件之间的CRC（循环冗余校验）的特征多项式必须相同。
- 在以下条件下，接口CRC（循环冗余校验）校验值将重置为 0xFFFFFFFFh：
 - POR
 - Hardware Reset
 - 软件复位
 - CS#信号复位
 - 读取接口CRC（循环冗余校验）校验值
 - 从深度掉电退出
- 如果在合法接收指令之前中止命令传输，即通过提前取消CS#触发来缩短传输长度 - 传输的数据仍将被计入CRC（循环冗余校验）校验值，但不再得到保证。当使用接口CRC（循环冗余校验）时，只能使用有效的、非中止的命令传输。
- 要求在读取任何易失性状态寄存器之前读取接口CRC（循环冗余校验）值，并在读取任何易失性状态寄存器后清零，清除接口CRC（循环冗余校验）值。
- 当接口CRC（循环冗余校验）被禁用时，接口CRC（循环冗余校验）寄存器值变得不确定。建议在禁用接口CRC功能之前读取接口CRC寄存器，并在使能接口CRC功能后再次读取接口CRC寄存器，以重新初始化CRC计算。

4.3.1 读取

当主控指定READ事务且CS为低电平时，执行读操作。然后，该器件根据地址从内存中提供数据。可以将任意数量的字节读取（并发读取）到连续地址，而无需发出新的读取命令传输。

对于命令传输保护，器件使用CRC32特征多项式对整个命令传输序列（CS# 低电平状态）执行CRC（循环冗余校验）。一旦CS#变为高电平，CRC（循环冗余校验）计算就会停止，并将校验值锁存到CRC（循环冗余校验）寄存器中。如果主控执行多个读取命令传输，器件会在每个CS# 低电平周期之间继续更新CRC（循环冗余校验）校验值。

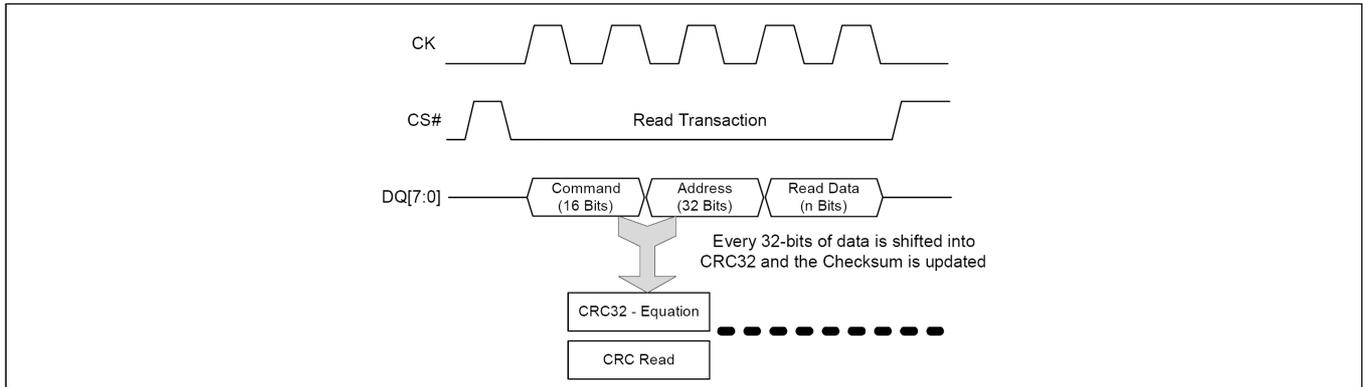


图 23 读 CRC（循环冗余校验）保护

注释：背对背接口CRC（循环冗余校验）读取事务不会显示CRC（循环校验）校验和值正在被重置。在每个读取接口CRC（循环冗余校验）寄存器命令传输结束时，接口CRC（循环冗余校验）寄存器将在至少三个时钟周期内获得具有有效输入数据的命令传输后进行复位并使用新的CRC（循环冗余校验）校验和值更新自身。

4.3.2 写入/擦除

当CS#为低电平时，主控指定一个程序命令编程，则执行写入操作。最多可将256字节/512字节写入（并发写入）连续地址，而无需发出新的写入命令传输。当主控指定了擦除命令传输，而CS#处于低电平时，则执行擦除操作。可以擦除单个扇区或整个器件。

为了进行命令传输保护，从设备将使用建议的CRC32特征多项式对整个指令序列（CS# 低电平状态）执行CRC（循环冗余校验）。一旦CS#变为高电平以完成写入/擦除命令传输，CRC（循环冗余校验）计算将停止，并将校验和锁存到CRC（循环冗余校验）寄存器中。如果主控执行多次写入/擦除命令传输，则从机将在每个CS# 低电平周期之间继续更新CRC（循环冗余校验）校验和。

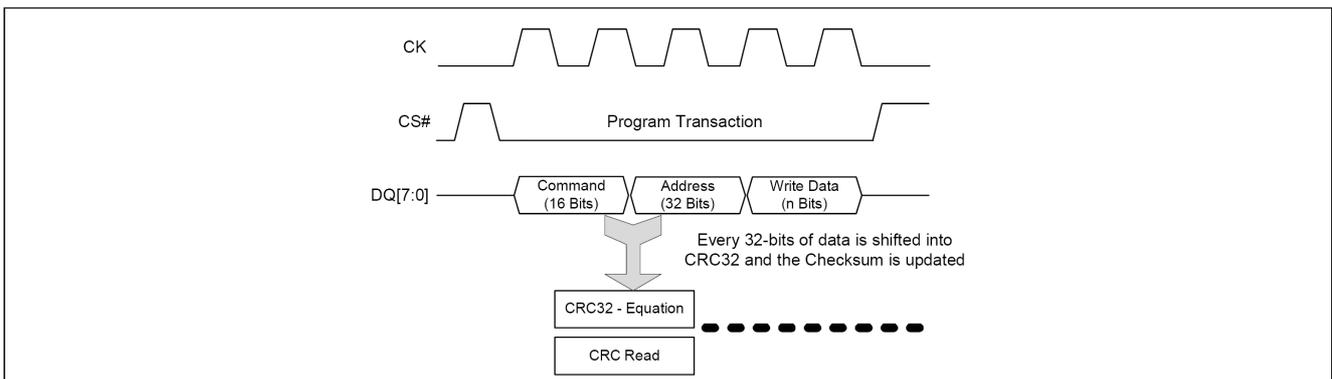


图 24 写入 CRC（循环校验校验）保护

Features

主机设备将使用读取接口 CRC（循环校验）命令从从设备读取 CRC（循环校验）校验和。从设备将包含 RDCRC_4_0 命令作为 CRC（循环校验）校验和的一部分，然后将校验和数据放置在数据存取上。如果主机设备收到从机的CRC校验和发现自己计算的CRC校验和失配，则可以向从设备重新下发编程/擦除命令。对于存储器，由于CRC（循环校验校验）校验和错误，多次编程/擦除同一位置会影响数据耐久性。

4.3.3 HYPERBUS™ 接口 CRC（循环冗余校验）相关寄存器及命令传输

表 20 HYPERBUS™ 接口 CRC（循环冗余校验）相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
N/A	Read Interface CRC Register (RDICRC_1_1) - Read Interface ASO

4.3.4 传统 (x1) SPI接口 CRC（循环校验校验）相关的寄存器和命令传输

表 21 传统 (x1) SPI接口 CRC（循环校验校验）相关的寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Interface CRC Enable Register (ICEV)	N/A

4.4 数据完整性 CRC（循环冗余校验）

HL-T/HS-T系列设备具有一组命令，用于在内存阵列中用户定义的地址范围上执行硬件加速的循环冗余校验（CRC）计算。CRC计算是另一种类似于写入或擦除的嵌入式操作，其在计算进行时器件处于繁忙状态。CRC（循环冗余校验）操作使用与接口 CRC（循环冗余校验）相同的 CRC32 特征多项式来确定 CRC（循环校验）校验值。

$$\text{CRC32 多项式: } X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

通过输入数据完整性检查 (DICLK_4_1, LDENAD_1_1) 命令来启动检查值生成序列。该命令包括/要求将起始地址加载到 CRC（循环读取校验）中。该命令还包括将结束地址加载到 CRC（循环冗余校验）结束地址寄存器中。将 CS# 拉高会启动 CRC（循环冗余校验）计算。CRC（循环校验）过程计算起始地址到结束地址中包含的数据的校验值。需要注意的是，在HYPERBUS™接口中，加载结束地址会启动数据错误 CRC（循环冗余校验）计算。

在计算期间，器件进入忙碌状态 (RDYBSY = 1)。校验值计算完成后，器件将返回到空闲状态 (RDYBSY = 0)，并且可以读取计算出的校验值。校验值存储在数据完整性CRC（循环冗余校验）寄存器 (DCRV[31:0]) 中并且可以读取 (RDARG_4_0、RDDICL_2_1、RDDICU_2_1)。

仅当器件处于空闲状态时，才能启动校验值计算；并且一旦启动，就可以用 CRC 暂停命令 (SPEPD_0_0, SP_DIC_1_1) 从存储器阵列读取数据。在暂停状态期间，状态寄存器中的 CRC 暂停状态位将会置位 (DICRCS = 1)。一旦暂停挂起，主控可以读取状态寄存器，从队列中读取数据，并可以通过CRC 恢复命令 (RSEPD_0_0, RS_DIC_1_1) 恢复CRC（循环冗余校验）计算。

结束地址 (ENDADD) 必须至少比起始地址 (STRADD) 高四个地址。如果 $ENDADD < STRADD + 3$ ，则检查值计算将中止/退出，器件将返回到就绪状态 (RDYBSY = 0)。在 Legacy (x1) SPI中，数据完整性CRC（循环校验）中止/退出状态位将为置位 (DICRCA = 1)，以指示中止条件。一旦置位，DICRCA 位可以通过软件复位或有效的后续 CRC（循环冗余校验）指令执行来清除。在HYPERBUS™中，将写缓冲区中止/退出位置将为置位 (WRBFAB = 1) 以指示中止。状态寄存器清零，复位将清零，复位 WRBFAB 位并允许后续有效的 CRC（循环校验）指令或 CRC（循环校验）ASO 退出序列。如果 $ENDADD < STRADD + 3$ ，则校验值将保留不确定的数据。

CRC（循环读取校验）-32 计算式中计算校验值时使用的读取数据顺序如下所示：

Features

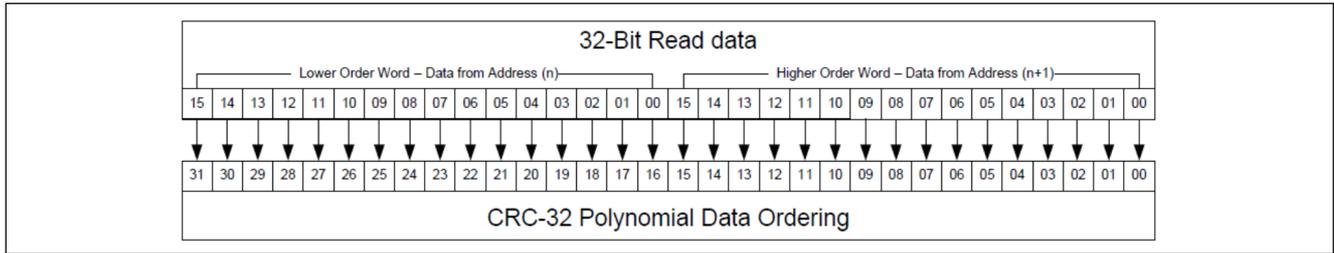


图 25 CrC-32 数据排序

注释：CRC（循环冗余校验）校验值计算期间的任何无效命令传输都可能损坏校验值数据。

4.4.1 HYPERBUS™ 数据完整性检查相关寄存器和命令传输

表 22 HYPERBUS™ 数据完整性 CRC（循环冗余校验）相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
Status Register (STRV)	Read Status Register (RDVSTR_2_0)
Data Integrity CRC Check-Value Register (DCRV)	Clear Status Register Failure Flags (CLVSTR_1_0)
	Load Start Address (LDSTAD_1_1) - Data Integrity Check ASO
	Load End Address (LDENAD_1_1) - Data Integrity Check ASO
	Read Data Integrity CRC Register Upper Word (RDDICU_2_1) - Data Integrity Check ASO
	Read Data Integrity CRC Register Lower Word (RDDICL_2_1) - Data Integrity Check ASO

4.4.2 传统（x1）SPI 数据完整性检查相关寄存器和命令传输

表 23 传统 (x1) SPI数据完整性 CRC（循环校验）相关的寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Status Register 1 (STR1N, STR1V)	Data Integrity Check (DICHK_4_1)
Status Register 2 (STR2V)	Suspend Erase/Program/Data Integrity Check (SPEPD_0_0)
Data Integrity CRC Check-Value Register (DCRV)	Resume Erase/Program/ Data Integrity Check (RSEPD_0_0)

4.5 数据保护机制

需要数据保护来防止存储数据和器件配置的意外更改。这包括无意中擦除或编程存储器以及写入配置寄存器，这可能会改变器件的功能。讨论了三种类型的保护方案，范围从保护单个或一组扇区或整个存储阵列。图 26 显示不同保护方案的概述以及适用的数据区域。

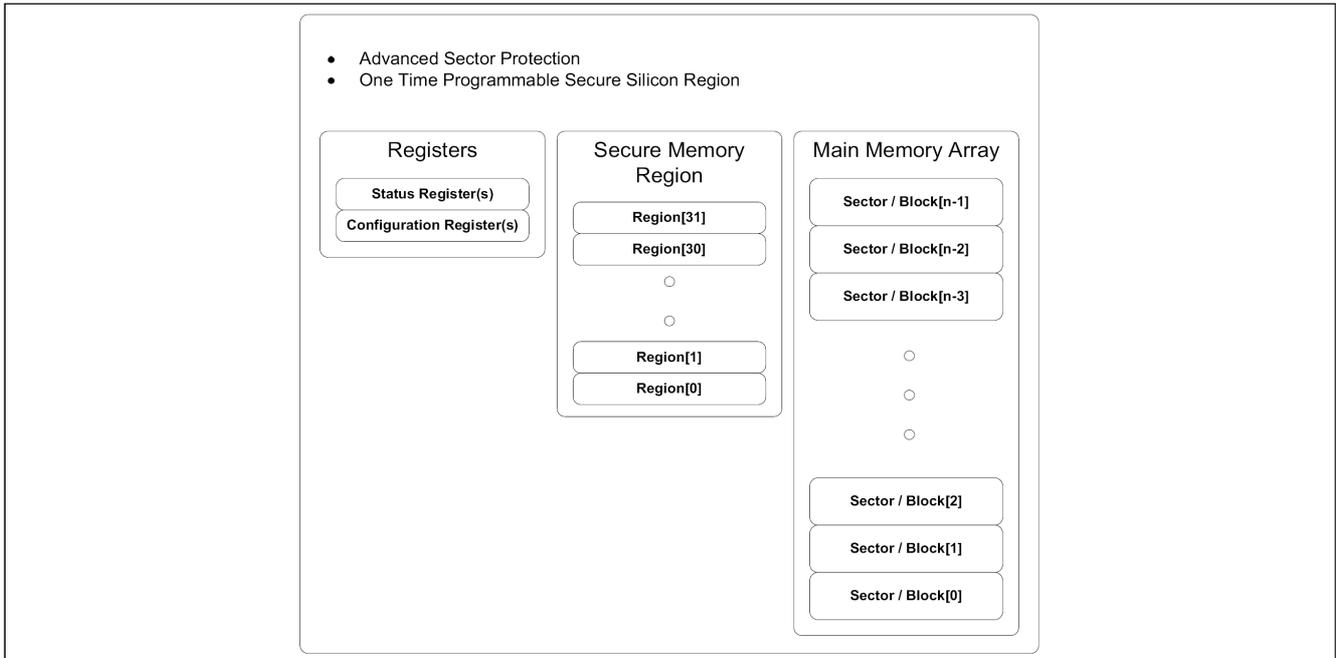


图 26 数据保护和安全（写入/编程/擦除）机制

4.5.1 高级扇区保护（ASP）

高级扇区保护 (ASP) 机制允许每个存储器阵列扇区通过易失性或非易失性锁定功能进行独立控制，以防止擦除或写入。非易失性锁定配置也可以被锁定，也可以受密码保护。

主存储器阵列扇区通过易失性（动态位 - DYB）和非易失（持久保护位 - PPB）保护位对进行保护和编程。每个DYB/PPB 位对可以单独设置为“0”，保护相关扇区，或清除为“1”，不保护相关扇区。DYB保护位可以根据需要经常置位和清除，而 PPB 位则非丢失，必须遵守各自基于技术的耐久性要求。图 27 显示 ASP 的概述。

Features

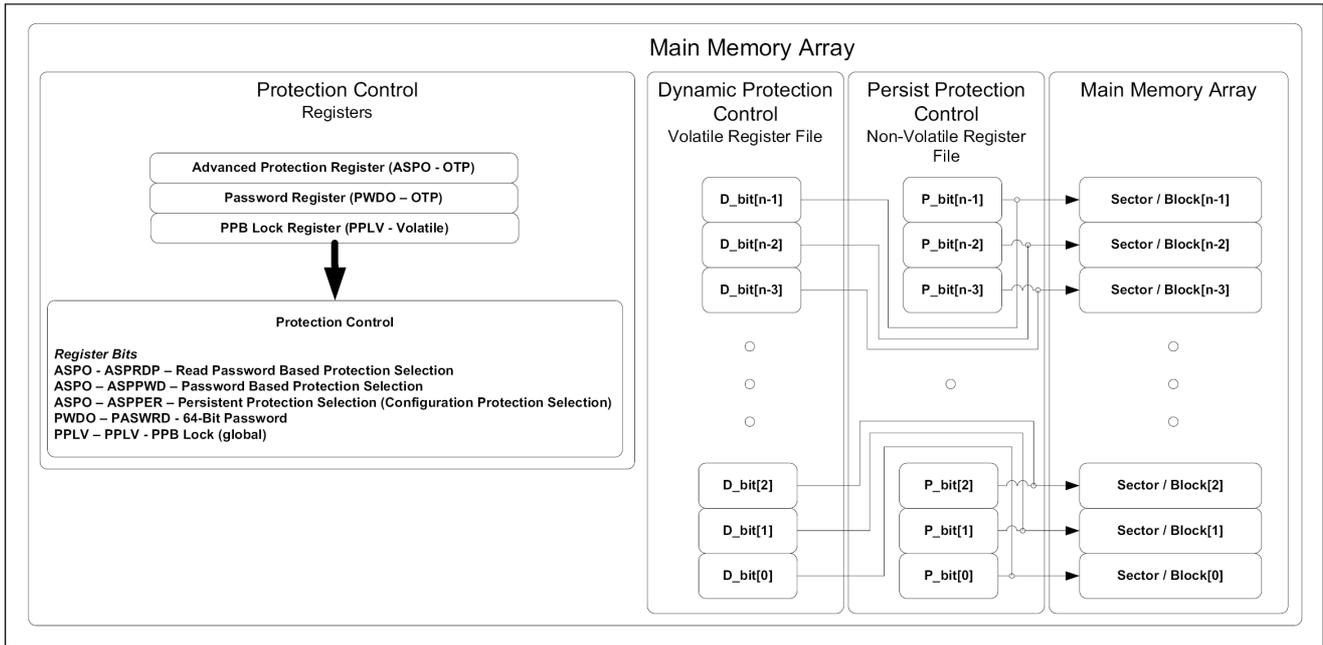


图 27 高级扇区保护（非易失性）

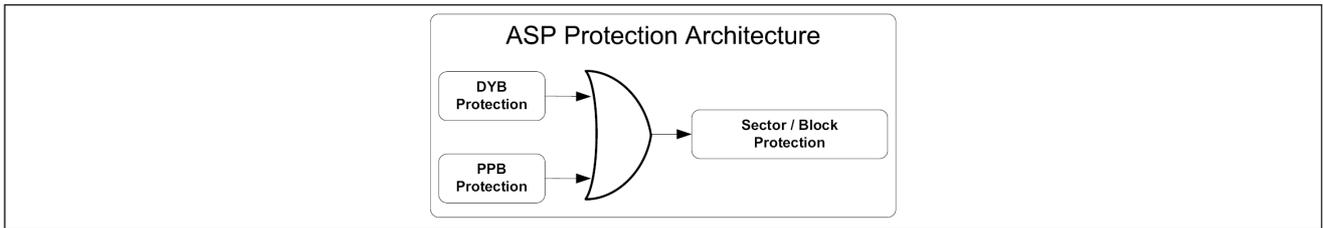


图 28 DVB 和 PPB 保护控制

ASP 提供了丰富的配置选项，可根据设计或系统需求生成多种数据保护方案。这些配置选项在 44 页“ASP 保护总结”至 49 页“传统 (x1) SPI ASP 相关寄存器和命令传输”中进行讨论。

4.5.1.1 ASP 保护总结

PPB定位为‘0’时，不能执行编程和擦除操作。PPB定位的状态可通过两种方法进行管理：持久保护和密码保护。

持久保护方法在POR或硬件复位期间将PPB定位为1，因此进行器件复位后PPB位为不保护状态。软件复位不会影响PPB定位。可以通过一个指令来将PPB定位清除为0，以保护PPB。持久保护方法没有指令可设置PPB定位，因此PPB定位将一直为‘0’，直到下一次关闭电源或硬件复位为止。持久保护方法允许引导代码通过编程或擦除PPB来更改扇区保护，然后通过清除PPB定位（为0）在正常系统操作的剩余时间内保护PPB，不使其更改。这有时称为引导代码控制的扇区保护。

密码方法在POR或硬件复位期间将PPB定位清除为‘0’，以保护PPB。对于密码方法，可以永久地编程并隐藏一个64位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则PPB定位为1，以取消PPB保护。指令可用于清零，将PPB定位重置为0。此方法需要使用密码来控制PPB保护。

通过编程锁定寄存器中的OTP位，可以永久性选择要使用的PPB定位管理方法。

每个扇区均可以处于下面一种保护状态：

- 解锁- 扇区不受保护，保护状态可通过一个简单的指令进行更改。在关电源或硬件复位后，保护状态默认为不保护。
- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。在关电源或硬件复位后，保护状态不被保存。
- 持久锁定-扇区受保护，只有将PPB定位为1时才能更改保护状态。保护状态是非易失性的，在关电源或硬件复位后仍被保存。更改保护状态需要编程或擦除PPB位。

表 24 扇区保护状态

Protection bit values			Sector state
PPB lock bit	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
1	1	0	Protected – PPB and DYB are changeable
1	0	1	
1	0	0	
0	1	1	
0	1	0	Protected – PPB not changeable, DYB is changeable
0	0	1	
0	0	0	

4.5.1.2 PPB 锁定

持久保护位锁是一个易失性位，用于保护所有PPB位。清除为0时，它锁定所有PPB；设成1时，允许更改PPB。每个器件只有一个PPB定位。PPB锁定指令用于将该位清零。只有当所有PPB位均配置为所需的设置后，才将PPB定位清零。

在持久保护模式下，PPB锁定在POR或硬件复位期间被设为1。当用PPB定位清零，复位序列清零时，没有软件指令序列可以置位PPB定位，只有另一个硬件复位或上电可以置位PPB定位。在密码保护模式下，PPB定位在POR或硬件复位期间被清除为0。PPB定位只能通过密码解锁指令序列设为1。可通过PPB定位清零，复位位序列将PPB定位清回0。

4.5.1.3 DYB（易失性）扇区保护

动态保护比特(DYB)是易失性位, 并且每个扇区只有一个唯一的DYB, 可以按照扇区为单位单独进行修改。DYB只控制那些已清除PPB的扇区的保护。通过发出DYB写入命令传输, DYB被置位为“0”或清除为“1”, 从而分别将每个扇区置于受保护或不受保护的状态。使用该功能, 可以轻易保护扇区, 避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。如上所述, 可以根据需要将DYB置位为0或清除为1。

4.5.1.4 PPB（非易失性）扇区保护

持久保护位(PPB)位于单独的非易失性闪存阵列中。为每个扇区分配一个PPB位。当一个PPB位被写入为0时, 相应的扇区受到保护, 不能对它执行写入和擦除操作。PPB位可单独编程, 但必须按组进行擦除。这与字相似, 各个字可以在主阵列中单独编程, 但整个扇区必须同时擦除。编程一个PPB位需要典型的字编程时间。在PPB位写入操作或PPB位擦除期间, 可以访问状态寄存器来确定操作是否完成。擦除所有PPB需要典型的扇区擦除时间。

4.5.1.5 持久保护模式

持久保护方法在POR或硬件复位期间将PPB锁定位设为1, 因此进行器件复位后PPB位为不保护状态。可以通过一个指令来将PPB锁定位清除为0, 以保护PPB。持久保护方法没有任何指令可将PPB锁定位设为1, 因此PPB锁定位一直为0, 直到下一次关闭电源或硬件复位为止。

4.5.1.6 密码保护模式

密码保护模式要求使用64位密码来设置PPB锁定位, 从而比持久区扇保护模式提供更高级别的安全性。除此密码要求外, 上电或硬件复位后, PPB锁定位清为0, 以确保上电时的保护。通过输入整个密码成功执行密码解锁指令会将PPB锁定位设置为1, 从而允许修改扇区PPB。密码保护方案流程图如图29。

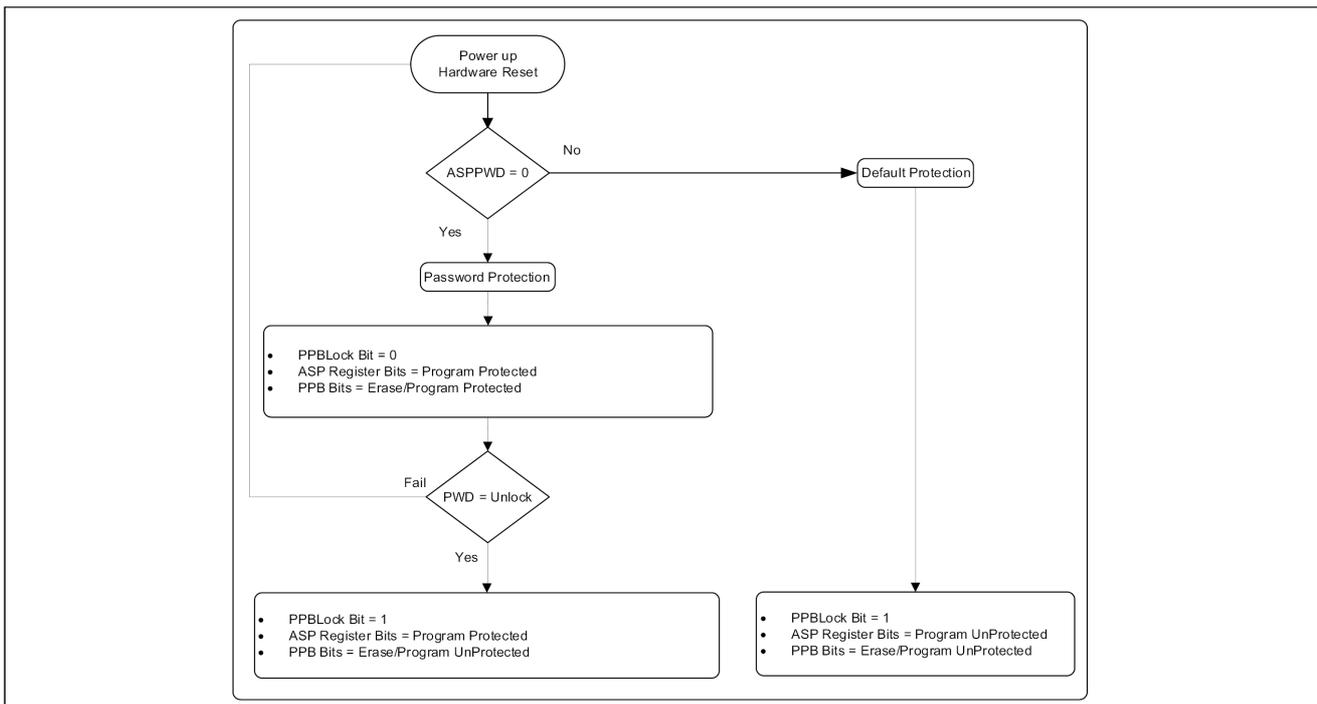


图 29 密码保护机制流程图

密码保护注意事项：

- 密码编程指令只能编程“0”。
- 从英飞凌出厂时，密码64位全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦密码被烧录并验证，密码保护模式锁定位必须被写入（为0）以防止读取密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。对密码区域的所有进一步编程和读取命令均被禁用（数据读取为1）并且忽略。在传统 (x1) SPI中，尝试对受保护的密码进行编程将会置位程序状态位。在HYPERBUS™中，尝试对受保护的密码进行编程将设置扇区锁定状态位和程序状态位。如果尝试对密码或密码保护模式锁定位进行进一步的编程操作，则操作将被中止，并且在状态寄存器中指示失败。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。
- 不能擦除密码模式锁定位。
- 在向器件提供有效的64位密码后，器件需要 t_{PSWD} 来设置 PPB 锁定位。
- 密码解锁指令用于解锁密码。如果提供的密码与隐藏的内部密码不匹配，则该器件会被锁定并且不会接受任何进一步的指令。需要硬件复位或 CS# 信号复位或上电周期才能将器件恢复到中断模式以尝试再次重新输入密码。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定。

4.5.1.7 读取密码保护模式

读密码模式可以取代45页默认的“**密码保护模式**”。当用户编程 ASPR[5] = 0 时，读密码模式可以取代默认的 PPB 密码保护模式。读密码模式只有在编程密码且 ASPR[2] 编程为 0 时才会激活。

读取密码保护机制可以保护存储阵列免遭读取、写入和擦除。只有由非易失配置寄存器位 xVCR1[9:8] 选择的最低或最高 (256KB) 扇区地址范围保持可读，直到成功完成密码解锁指令。注意，从阵列的读保护部分读取的数据将别名回到可读区域。

在此模式下，PPB 锁定位用于控制地址的高位。当 PPB 锁定位为“1”时，地址位正常操作。当 PPB 锁定位为“0”时，选择主阵列扇区地址范围的地址位被强制为 0 或 1，以选择最低或最高地址闪存阵列地址范围。在SPI中，TBPROT (CFR1x[5]) 用于此地址范围选择，而在HYPERBUS™中，使用 TB4KBS[1:0] (CFR1x[9:8] 位)。

注释：当读取密码保护启用时，自动启动将被禁用。读取密码模式中会忽略 ATBR[0]（自动启动使能）位。

表 25 ASP 配置寄存器选择持久和密码保护模式

ASPO bit	Default value	Name
2	1	Persistent/Password Protection Mode Lock bits
1		ASPR[2:1] = 00: Not Allowed ASPR[2:1] = 01: Password Mode Permanently Enabled ASPR[2:1] = 10: Persistent Mode Permanently Enabled ASPR[2:1] = 11: Persistent / Password Modes Disabled (factory default)

表 26 HYPERBUS™ CFR1x 启动功能块地址范围映射

CFR1x bit	Default value	Name
CFR1x[9:8]	11	00 = Map Parameter-Sectors and Read Password Sector mapped into lowest addresses. 01 = Map Parameter-Sectors and Read Password Sector mapped into highest addresses. 10 = Uniform Sectors with Read Password Sector mapped into lowest addresses. 11 = Uniform Sectors with Read Password Sector mapped into highest addresses.

表 27 传统 (x1) SPI CFR1x 启动功能块地址范围

CFR1x bit	Default value	Name
CFR1x[5]	0	0 = Map Parameter-Sectors and Read Password Sector mapped into highest (top) addresses. 1 = Map Parameter-Sectors and Read Password Sector mapped into lowest (bottom) addresses.

当 PPB 锁定位为 0 时，PPB 位受到保护，不能被编程和擦除，而当 PPB 锁定位为 1 时，可以对 PPB 位进行编程或擦除。

PPB 锁定位通过POR或硬件复位置为 0，与 PPB 密码保护模式相同。读取密码保护方案流程图见 图 30。

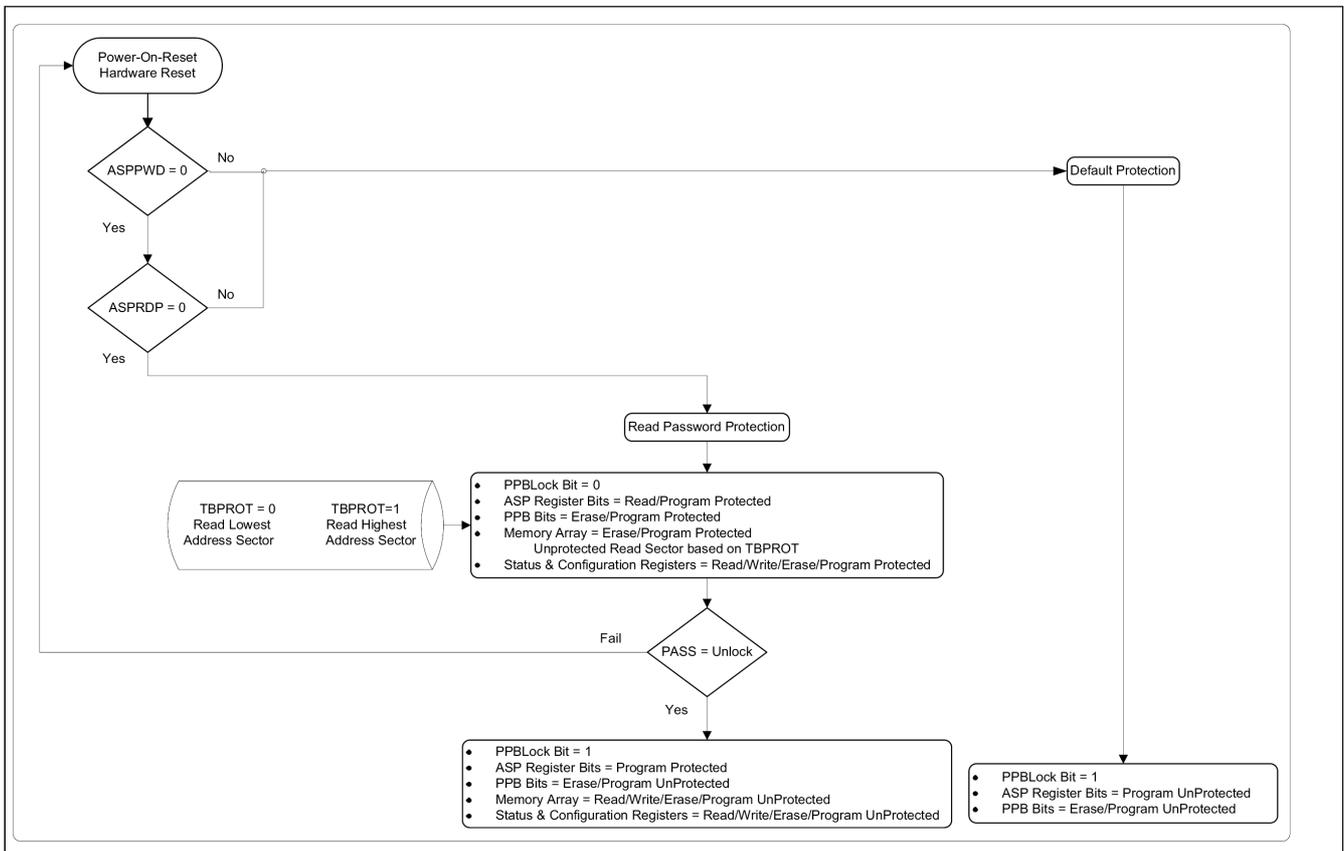


图 30 读取密码保护机制流程图

密码保护注意事项

- 通过将 ASPR[5] 位编程为 0 来启用读取密码。
- 读取密码方法的密码编程、读取和锁定的指令序列与 PPB 密码方法的默认指令序列相同。
- 当启用读取密码模式和密码保护模式时（即将 ASPR[2] 和 ASPR[5] 编程为 0），所有地址都将重定向到启动区，直到使用正确的密码正确输入密码解锁序列。此时，读取密码模式被禁用并且所有寻址都将选择至正确的位置。
- 如果发生系统硬件复位，则重新启用读取密码模式。
- ASPR[5] 用于选择读取密码或 PPB 密码选项。如果 ASPR[5] = 0，则该器件已准备好读取密码。然而，读取密码只有在 ASPR[2] = 0 时才启用。此时，所有地址仅在顶部或底部扇区内选择，直到使用正确的解锁序列和密码解锁该器件。当 ASPR[2] = 1 时，地址选择正常。这允许用户编写代码、测试它、提供密码，然后通过编程 ASPR[2] = 0 来锁定它。
- 如果在使用读取密码保护时发送读取密码指令序列，则会返回未定义的结果。PPB 锁定位只能通过硬件复位、POR 或 PPB 锁定位清零，复位指令序列返回到 0。
- 当 PPB 锁定位 = 0 时，只有 ID 读取命令、密码解锁指令和格式化读取在读取密码模式期间有效。其他指令将被禁用，直到提供密码才能读取整个器件和正常指令操作。
- 当读取密码保护模式激活时（ASPR[5] = 0, ASPR[2] = 0, PPB 锁定位 = 0），允许读取主阵列，但通过强制存储器扇区地址为 0 或 1，强制只有启动扇区可见。读取 DYB 或 PPB 地址空间返回未定义的数据。
- 当读密码保护模式激活时，不允许对存储空间进行写入或写入寄存器。复位操作正常，并且总线协议可以通过复位模式位来修改。

4.5.1.8 HYPERBUS™ ASP 相关寄存器和命令传输

表 28 HYPERBUS™ ASP 相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
Advanced Sector Protection Register (ASPO)	Program Advanced Sector Protection Register (PGOASP_2_1) - Advanced Sector Protection ASO Read Advanced Sector Protection Register (RDOASP_1_1) - Advanced Sector Protection ASO
Configuration Register 1 (CFR1N, CFR1V)	Read Volatile Configuration Register 1 (RDVCR1_4_0) Read Non-volatile Configuration Register 1 (RDNCR1_4_0) Program Non-volatile Persistent Protection Bits (PGNPPB_2_1) - PPB ASO Erase Non-volatile Persistent Protection Bits (ERNPPB_2_1) - PPB ASO Read Non-volatile Persistent Protection Bits (RDNPPB_1_1) - PPB ASO Clear Volatile Persistent Protection Lock (CLVPPL_2_1) - PPB Lock ASO Read Volatile Persistent Protection Lock (RDVPPL_1_1) - PPB Lock ASO Set Volatile Dynamic Protection Bits (STVDYB_2_1) - DYB ASO Clear Volatile Dynamic Protection Bit (CLVDYB_2_1) - DYB ASO Read Volatile Dynamic Protection Bit (RDVDYB_1_1) - DYB ASO Sector Protection Status (PRTSTS_2_1) - PPB/DYB ASO

4.5.1.9 传统 (x1) SPI ASP 相关寄存器和命令传输

表 29 传统 (x1) SPI ASP 相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Advanced Sector Protection Register (ASPO)	Read Dynamic Protection Bit (RDDYB_4_0)
Configuration Register 1 (CFR1N, CFR1V)	Write Dynamic Protection Bit (WRDYB_4_1)
	Read Persistent Protection Bit (RDPPB_4_0)
	Program Persistent Protection Bit (PRPPB_4_0)
	Erase Persistent Protection Bit (ERPPB_0_0)
	Write PPB Protection Lock Bit (WRPLB_0_0)
	Read Password Protection Mode Lock Bit (RDPLB_0_0)
	Password Unlock (PWDUL_0_1)
	Write Enable (WRENB_0_0)
	Read Any Register (RDARG_4_0)
	Write Any Register (WRARG_C_1)

4.5.2 安全存储区域 (SSR)

每个器件都有一个与连接器分开的 1024B OTP SSR地址空间。SSR 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 16 个最低地址字节由英飞凌使用 128 位随机数进行写入。只有英飞凌能够在这些字节中编程。尝试将 0 编程到这些位置将会失败并生成编程状态错误。
- 接下来的四个较高地址字节 (SSR 锁定字节) 用于为每个 SSR 区域提供一位，以永久保护每个区域免于编程。从英飞凌出厂时，这些字节已被擦除。SSR 区域编程后，可以通过在 SSR 锁定字节中编程相关保护位来锁定该区域以防止进一步编程。
- 最低地址区域的接下来的 12 个高字节是保留以备将来使用 (RFU)。这些 RFU 字节中的位可以由主控系统进行编程，但必须理解，未来的器件可能会使用这些位来保护更大的 SSR 空间。从英飞凌出厂时，这些字节已被擦除。

剩余区域在从英飞凌出厂时会被擦除，并可用于对额外的永久性数据进行编程。

SSR存储空间的图示参见图 31。

SSR存储空间旨在提高系统安全性。SSR值（例如英飞凌编程的随机数）可用于闪存器件电池与系统 CPU/ ASIC “配对”，以防止器件替换。

在HYPERBUS™中，SSR (CFR1x[10]) 位的配置寄存器临时锁定选择可在清除时保护整个SSR存储空间免遭编程。这允许可信引导代码控制SSR区域的编程，然后设置 FREEZE 位以防止在正常开机系统操作的其余时间期间进一步进行SSR存储空间编程。

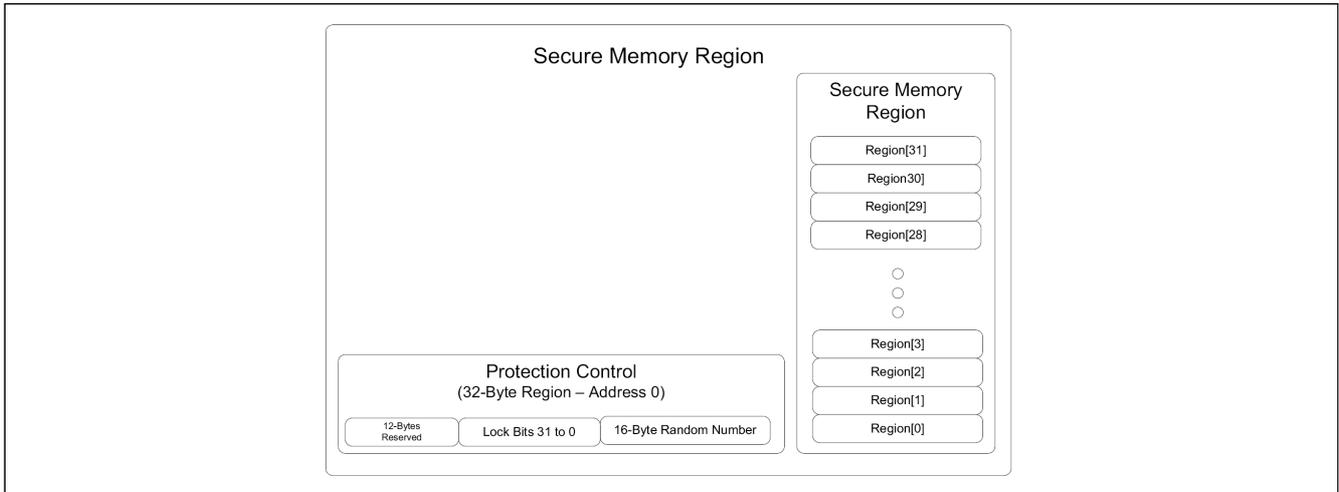


图 31 OTP 保护（非易失性）

4.5.2.1 读取 SSR 存储空间

在HYPERBUS™接口中，一旦使用SSR输入序列进入SSR ASO，就会读取SSR区域。SSR被映射到在SSR项指令序列期间标识的特定扇区。在SSR读指令序列期间标识的扇区内但在有效1KB SSR地址范围之外的SSR读取操作将产生不确定的数据。读取未被SSR ASO覆盖的扇区将检索阵列数据。SSR退出序列会将器件返回到读取ASO。

在传统(x1) SPI接口中，读取SSR区域是使用读取SSR命令(RDSSR_4_0)执行的。

4.5.2.2 编程 SSR 存储空间

在HYPERBUS™接口中，一旦使用SSR进入序列进入SSR ASO，就会对存储器进行编程。SSR编程指令的协议与普通编程相同。SSR编程序列可以多次发送到任何给定的SSR地址，但该地址空间永远不能被擦除。SSR程序的有效地址范围见表30。有效SSR地址范围之外的编程操作将忽略地址A9及更高版本，并将别名插入有效的SSR地址范围。在编程空间时，需要将起始地址对齐到32 SSR位，这意味着地址的A0位应为0'b，并且主机应置低CS以与32位对齐。当SSR的临时锁定选择SSR(CFR1x[10])=0时，SSR编程操作将失败，并且没有失败指示。地址空间不受选择ASP保护模式的保护。SSR退出序列会将器件返回到读取模式。

在传统(x1) SPI接口中，使用读取SSR命令(PRSSR_4_0)对SSR区域进行编程。在对SSR空间进行编程时，需要将起始地址对齐到32位，这意味着地址位A1和A0应为0'b，并且主机应取消CS#以与32位对齐。

表 30 SSR 地址映射

Region	Byte address range (Hex)	Contents	Initial delivery state (Hex)
Region 0	0000h	Least Significant Byte (LSB) of Infineon Programmed Random Number	Infineon Programmed Random Number
	
	000Fh	Most Significant Byte (MSB) of Infineon Programmed Random Number	
	0010h–0013h	Region Locking Bits Byte 10 [bit 0] locks region 0 from programming when = 0 ... Byte 13 [bit 7] locks region 31 from programming when = 0	All Bytes = FFh
	0014h–001Fh	Reserved for Future Use (RFU)	–
Region 1	0020h–003Fh	Available for User Programming	
Region 2	0040h–005Fh		
...	...		
Region 31	03E0h–03FFh		

4.5.2.3 HYPERBUS™ SSR 相关寄存器和命令传输

表 31 HYPERBUS™ SSR 相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
N/A	Read Secure Silicon Region (RD_SSR_1_1) - SSR ASO
	Program Secure Silicon Region Word (PG_SSR_4_1) - SSR ASO
	Load Secure Silicon Region Buffer (LDBSSR_5_1) - SSR ASO
	Program Secure Silicon Region Buffer Confirm (PGCSSR_1_1) - SSR ASO
	Reset Write to Buffer Abort (RSWSSR_3_1) - SSR ASO

4.5.2.4 传统 (x1) SPI SSR 相关寄存器和命令传输

表 32 传统 (x1) SPI SSR 相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
N/A	Program Secure Silicon Region (PRSSR_4_1)
	Read Secure Silicon Region (RDSSR_4_0)

4.6 安全启动

SEMPER™闪存存储器包含一个嵌入式微处理器，用于初始化器件、管理嵌入式操作以及执行其他高级功能。该嵌入式设备的初始化失败或非易失性配置寄存器的配置损坏可能会导致闪存存储器器件无法使用。除非发生灾难性事件，例如嵌入式硬件的永久损坏，一般情况下器件是可以恢复的。

SafeBoot 特性允许状态寄存器轮询通过错误编码的方式来检测嵌入式初始化故障或配置寄存器损坏。

4.6.1 初始化失败检测 (x1 启动选项)

如果嵌入在闪存存储器器件中的微控制器初始化失败，硬件复位一般可以恢复该器件，除非是灾难性故障。该硬件复位必须由主控控制器发起。一旦检测到微控制器初始化失败，闪存存储器会自动恢复到传统 (x1) SPI 接口，并在其状态寄存器中提供故障签名。

表 33 显示检测到初始化失败时器件的状态寄存器位。

表 33 状态寄存器 1 上电检测签名

Bit	Field name	Function	Detection signature
STR1V[7]	RESVRD	Reserved for Future Use	0
STR1V[6]	PRGERR	Programming Error Status Flag	1
STR1V[5]	ERSERR	Erasing Error Status Flag	1
STR1V[4]	RESVRD	Reserved for Future Use	0
STR1V[3]			0
STR1V[2]			0
STR1V[1]			WRPGEN
STR1V[0]	RDYBSY	Device Ready/Busy Status Flag	1

表 34 检测到上电故障时的接口配置^[20]

Interface	Transactions supported	Register type	Address (# of bytes)	Frequency of operation	Register read latency (# of clock cycles)	Output impedance
SPI (1S-1S-1S)	Read Status Register 1 (RDSR1_0_0) Read Any Register (RDARG_4_0)	Status Register (Volatile only)	4	Maximum (allowed for RDSR1_0_0, RDARG_4_0)	2	45 Ω

注释:

20.为了读取状态寄存器，将非易失性状态寄存器地址提供给 RDARG_4_0 将产生不确定的结果。

4.6.1.1 主控轮询行为

主控将需要通过状态寄存器轮询序列来确定器件中是否发生初始化故障。该序列的流程图如图 32 所示。

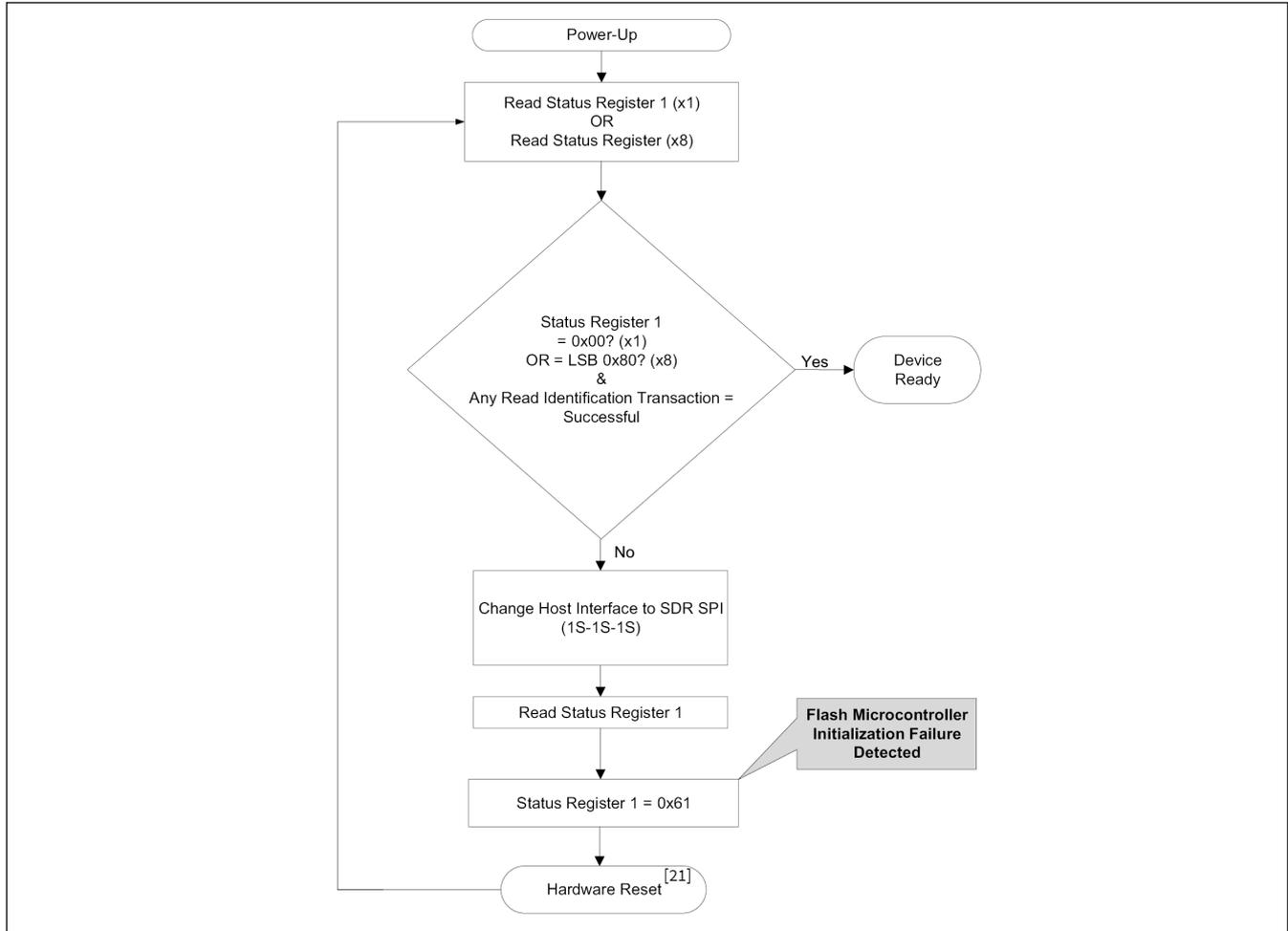


图 32 用于微控制器初始化故障检测的主控轮询序列

4.6.1.2 微控制器初始化初始化失败检测相关寄存器和命令序列

表 35 微控制器初始化失败相关寄存器和命令序列

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)	Related HYPERBUS™ transactions (see Table 120)
Status Register 1 Volatile (STR1V)	Read Any Register (RDARG_4_0) Read Status Register -1 (RDSR1_0_0)	N/A

注释:

21. 如果V_{cc}在规格范围内，并且硬件复位不能解决问题，请更换闪存存储器器件。

4.6.2 初始化失败检测 (x8 启动选项)

一旦检测到微控制器初始化失败，闪存存储器器件将保留在HYPERBUS™接口中，并且不会接受来自主机控制器的任何命令。此外，由于初始化失败，RSTO# 不会从低电平转换为高电平。

4.6.2.1 主控轮询行为

主机将需要经历状态重置轮询序列或查找从低电平转换为高电平的 RSTO# 信号，以确定器件中是否发生初始化故障。该序列的流程图如图 33 所示。在检测到初始化故障检测后，器件支持 30Ω 的输出阻抗。

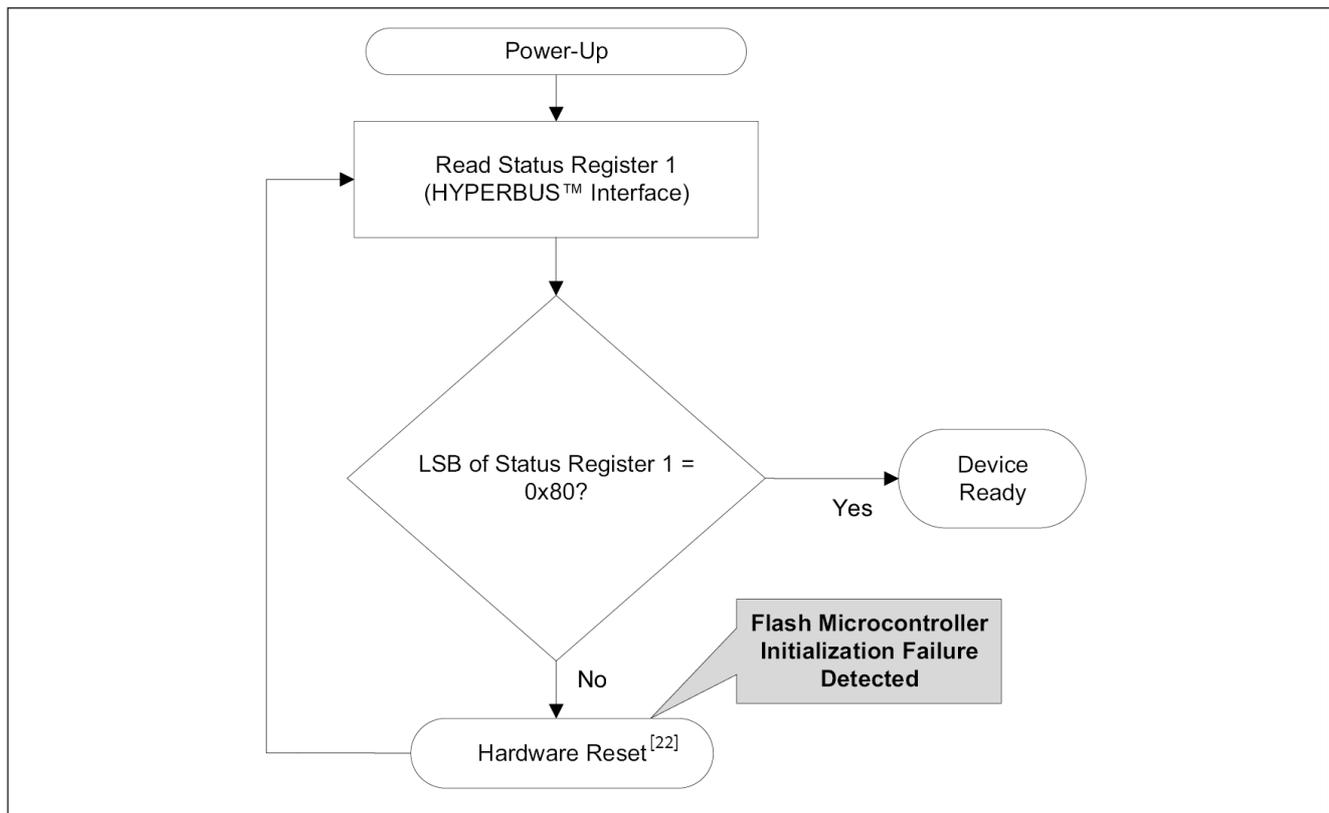


图 33 用于微控制器初始化故障检测的主控轮询序列 (x8 启动选项)

注释:

22. 如果 V_{cc} 在规格范围内，并且硬件复位不能解决问题，请更换闪存存储器器件。

4.6.3 配置损坏检测 (HYPERBUS™ 接口)

如果在使用HYPERBUS™接口进行器件配置更新期间（例如，写入非易失寄存器），发生电力丢失或启动硬件复位，则擦除或写入寄存器将被中断。器件将返回到待机模式，但由于嵌入式写入操作过早终止，非易失性寄存器数据很可能已被损坏。

带有HYPERBUS™接口的SEMPER™存储器将标记 PRGERR (STRV[4]) 位，以防在非易失配置寄存器擦除期间发生断电或启动硬件复位。因此，建议在写入非易失性配置寄存器之前轮询状态寄存器。当检测到配置损坏时，该器件支持 20 个周期的读取延迟。

在开始正常操作之前，建议在非易失寄存器写操作之后验证器件配置。如果寄存器值验证不符合所需配置，则需要再在HYPERBUS™接口中重新写入配置。

4.6.4 配置损坏检测 - (x1 传统 SPI)

如果在使用传统 SPI (1S-1S-1S) 协议进行器件配置更新期间（例如写入非易失性寄存器时），发生掉电或硬件复位，则写入寄存器命令序列将被中断。器件将返回到待机模式，但由于嵌入式写入操作过早终止，非易失性寄存器数据很可能已被损坏。在下次上电期间，将通过在状态寄存器中显示适当的故障标志来检测配置损坏，从而允许再次重写配置。器件将维持配置的保护机制。

表 36 展示检测到配置损坏时器件的状态寄存器位。

表 36 状态寄存器 1 配置损坏检测错误码

Bit	Field name	Function	Detection signature
STR1V[7]	RESVRD	Reserved for Future Use	0
STR1V[6]	PRGERR	Programming Error Status Flag	1
STR1V[5]	ERSERR	Erasing Error Status Flag	0
STR1V[4]	RESVRD	Reserved for Future Use	0
STR1V[3]			0
STR1V[2]			0
STR1V[1]	WRPGEN	Write/Program Enable Status Flag	0
STR1V[0]	RDYBSY	Device Ready/Busy Status Flag	1

表 37 检测到配置损坏时的接口配置

Interface	Transactions supported	Address (# of bytes)	Frequency of operation	Output impedance
Legacy (x1) SPI	All SPI Transactions	4	Maximum	45 Ω

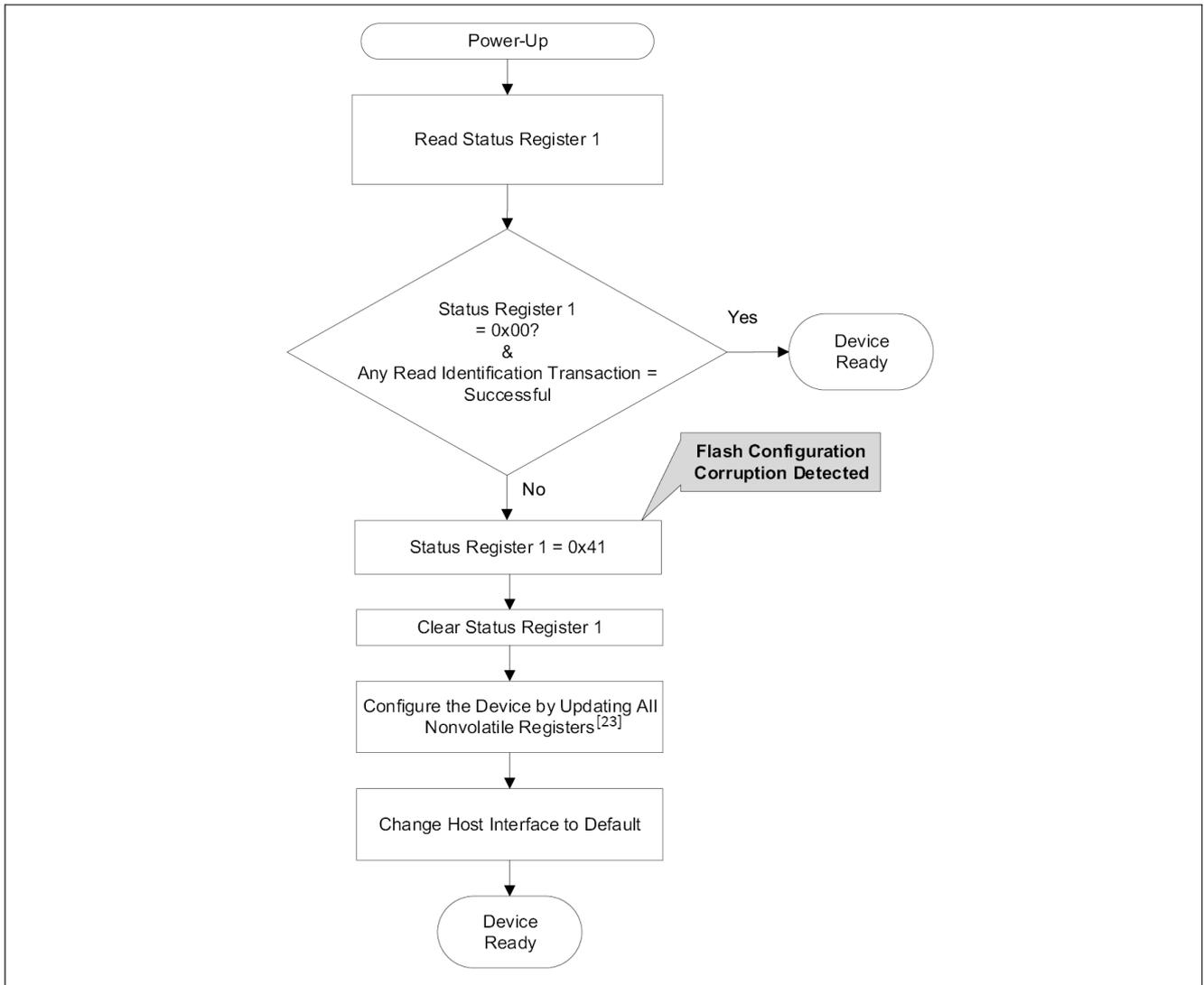


图 34 配置损坏检测的主控轮询序列 (x1 Legacy SPI)

4.6.4.1 配置损坏检测相关寄存器

表 38 配置损坏检测相关寄存器和传输命令

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Status Register 1 Volatile (STR1V)	All 1S-1S-1S Transactions

注释

23. 一旦第一个写入任何寄存器命令更新了非易失状态寄存器或配置寄存器，所有剩余的非易失状态和配置寄存器都会返回到预定义状态 (STR1N = 0x00, CFR1N = 0x00, CFR2N = 0x00, CFR3N = 0x00, CFR4N = 0x00)。建议通过配置地址字节长度和延迟，然后进行其余配置来启动 SafeBoot 恢复操作。

4.7 自动启动

AutoBoot 允许主控在上电后或硬件复位后从 HL-T/HS-T 设备家族读取数据，而无需发送任何读取命令（包括地址）。根据器件配置，一旦 CS# 变为低电平并且 CK 被切换，数据就会在接口 I/O 上输出。

读取数据的起始地址在 AutoBoot 寄存器 (ATBN[31:9] - STADR[22:0]) 中指定。该起始地址可以位于内存中的任何页边界位置（512 字节页边界）。AutoBoot 寄存器中还标识了启动延迟，它以时钟周期数 (ATBN[8:1] - STDLY[7:0]) 表示。这个延迟是在数据读取之前设定的。可以对延迟进行编程以满足主控的要求，但需要根据操作频率满足内存访问时间的最小量。强烈建议在 AutoBoot 执行成功或失败后检查状态寄存器 1 的值，以验证配置是否损坏 (SafeBoot)。

注释：必须禁用 AutoBoot 的 Wrap 功能。

注释：当读取密码功能启用时，自动启动将被禁用，作为高级扇区保护的一部分。当读取密码功能启用时，建议禁用，不能使用 AutoBoot (ATBN[0] - ATBTEN)。

注释：启用接口 CRC（循环冗余校验）的 AutoBoot 需要读出至少 4 个字的数据。

注释：强烈建议在长数据保留区域中分配第一个 AutoBoot 地址。

4.7.1 HYPERBUS™ AutoBoot 相关寄存器和命令传输

表 39 HYPERBUS™ AutoBoot 相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
AutoBoot Register (ATBN)	Program AutoBoot Register (PGNATB_2_1) - AutoBoot ASO
	Read AutoBoot Register (RDATBN_1_0) - AutoBoot ASO
	AutoBoot HYPERBUS™ Transaction

4.7.2 传统 (x1) SPI AutoBoot 相关寄存器和命令传输

表 40 传统 (x1) SPI 自动启动相关寄存器和命令

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
AutoBoot Register (ATBN)	Read Any Register (RDARG_4_0)
	Write Any Register (WRARG_C_1)
	AutoBoot Transaction

4.8 读取命令传输

HL-T/HS-T 支持不同的读传输，即：读存储器阵列、读器件标识、读寄存器、读安全硅、读保护DYB和读保护PPB位。这些读取命令可以使用以下两个接口/协议中的任何一个：

- 带 SDR 的传统 (x1) SPI 接口
- 带 DDR 的 HYPERBUS™ 接口

这些读取命令传输使用以下功能：

- 读取传输需要指令/地址字节后面的延迟周期，以便有时间访问存储器（传统 (x1) SPI 协议的 RDAY1_4_0 和 RDAY1_C_0 除外）。
- 数据选通 (DS) 仅在 HYPERBUS™ 中可用，是一种输出时钟，其边缘与读取数据对齐，使存储控制器能够捕获数据（见 62 页“[数据选通 \(DS\) -HYPERBUS™](#)”）。
- 读取命令可以选回卷、混合或线性突发。

4.8.1 读取身份识别命令传输

有三个独特识别命令传输，每个命令传输都支持两种协议（传统 (x1) SPI）和（HYPERBUS™）。

4.8.1.1 读取器件标识命令传输

读取器件标识 (RDIDN_0_0, RDIDSF_1_1) 命令传输提供对制造商标识和器件标识的读取访问。传统 (x1) SPI 模式没有地址周期。使用 SPI 模式下，该命令传输使用 (CFR3V[7:6]) 的延迟周期来实现 166MHz 的最大时钟频率。类似地，在 HYPERBUS™ 模式下，延迟周期设置为 (CFR1V[7:4])，以使最大时钟频率在 HL-T 下为 166 MHz，在 HS-T 下为 200 MHz。HYPERBUS™ 模式支持 DS 捕获数据。

4.8.1.2 读取 SFDP 命令传输

读取串行闪存存储器可发现参数 (RSFDP_3_0, RDIDSF_1_1)、命令传输提供对 JEDEC 串行闪存存储器发现参数 (SFDP) 的访问。在 SPI 模式下，命令传输使用 3 字节地址。如果选择非零地址，则 SFDP 空间中选定的位置就是数据读取的起点。这使得能够对 SFDP 空间中的任何参数进行随机访问。在提供密码之前，读取密码模式不支持读取 SFDP 命令。在 SPI 模式下，读取 SFDP 命令的最大时钟频率为 156 MHz，而在 HYPERBUS™ 模式下，HL-T 下为 166 MHz，HS-T 下为 200 MHz。HYPERBUS™ 模式支持 DS 捕获数据。

4.8.1.3 读取唯一标识命令传输

读取唯一标识 (RDUID_0_0, RDIDSF_1_1) 命令传输类似于读取器件标识命令传输，但访问每个器件唯一且不同的 64 位数字。唯一的 ID 是工厂预编程。

4.8.1.4 读取身份识别相关寄存器及命令传输

表 41 HYPERBUS™ 读取识别相关寄存器和命令传输

Related registers (see “ HYPERBUS™ registers ” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Configuration Register 1 (CFR1N, CFR1V)	Read ID/Unique ID/SFDP (RDIDSF_1_1) - ID/Unique ID/SFDP ASO

4.8.1.5 传统 (x1) SPI 读取识别相关寄存器和命令传输

表 42 传统 (x1) SPI 读取识别相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
SPI Configuration Register 3 (CFR3N, CFR3V)	Read Identification (RDIDN_0_0)

4.8.2 读取内存阵列命令传输

内存阵列数据可以从任意字节界限开始从内存中读取。数据字节按顺序从逐渐升高的字节地址读取，直到主控通过驱动 CS# 输入高电平来结束数据传输。如果字节地址达到闪存阵列的最大地址，则读取将从阵列的地址零继续。

4.8.2.1 读取命令传输 - HYPERBUS™

HYPERBUS™ 读取命令传输使用 DDR 协议提供最快的数据吞吐量。该协议支持捕获数据的 DS。可以选择线性突发长度以及回卷突发长度。该命令传输使用 (CFR1V[7:4]) 的延迟周期置位来实现 HL-T 下 166 MHz 和 HS-T 下 200 MHz 的最大时钟频率。

4.8.2.2 读取和快速读取命令传输 - 传统 (x1) SPI

SPI 读取和快速读取命令传输适用于需要与传统 SPI 保持向后兼容的主机系统。该协议不支持用于捕获数据的 DS。线性和回卷读取长度的选项可用。读取命令传输的最大时钟频率为 50 MHz，并且不需要延迟周期。快速读取命令传输使用 (CFR2V[3:0]) 的延迟周期来实现 166 MHz 的最大时钟频率。

4.8.2.3 HYPERBUS™ 读取存储器阵列相关寄存器和命令传输

表 43 HYPERBUS™ 读取存储器阵列相关寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Configuration Register 1 (CFR2N, CFR2V)	Read (RDMARY_1_0)

4.8.2.4 传统 (x1) SPI 读取存储器阵列相关寄存器和命令传输

表 44 传统 (x1) SPI 读取存储器阵列相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
SPI Configuration Register 2 (CFR2N, CFR2V)	Read (RDAY1_4_0, RDAY1_C_0)
SPI Configuration Register 4 (CFR4N, CFR4V)	Read Fast (RDAY2_C_0)

4.8.3 读取寄存器命令传输

有多个寄存器用于显示嵌入式操作状态或控制器件配置选项。寄存器包含易失性位和非易失性位。读取寄存器有两种命令传输类型，即通用命令和专用命令。读取任何寄存器命令传输提供了一种读取所有器件寄存器的方法：通过地址选择非易失性和易失性。还有专用的寄存器读取命令传输，它们是根据寄存器定义的，并且只读取该寄存器的内容。传统 (x1) SPI 支持两种命令传输类型，而 HYPERBUS™ 仅支持专用传输命令。

4.8.3.1 读取配置寄存器命令 - HYPERBUS™

读寄存器取配置寄存器 (RDVCR1_4_0、RDVCR2_4_0、RDNCR1_4_0、RDNCR2_4_0) 命令传输读取器件配置寄存器 (易失性和非易失)。随后由 (CFR1V[7:4]) 设置多个延迟周期, 以使最大时钟频率在 HL-T HYPERBUS™ 模式下达到 166 MHz, 在 HS-T 模式下达到 200 MHz。该协议支持捕获数据的DS。

4.8.3.2 读取任何寄存器 - 传统 (x1) SPI

读取任何寄存器 (RDARG_4_0) 命令传输是读取所有器件寄存器的最佳方式, 无论是非易失性还是易失性。该命令传输包括要读取的寄存器的地址。接下来是一些延迟周期 (CFR2V[3:0]) 用于读取非易失性寄存器和 CFR3V[7:6] 用于读取易失性寄存器。然后返回所选寄存器的内容。如果继续读取访问, 则会返回相同寻址的寄存器内容, 直到命令终止; 每个 RDARG_4_0 命令仅读取一个字节寄存器位置。对于具有多个字节数据的寄存器, 必须使用第二个字节的地址重复 RDARG_4_0 命令 (依此类推) 以读取每个字节的数据。

SPI 模式下 RDARG_4_0 命令传输的最大时钟频率为 166 MHz。

RDARG_4_0 命令传输可在嵌入式操作期间用于读取状态寄存器 1 (STR1V)。它不用于读取 ASP PPB 访问寄存器 (PPAV) 和 ASP 动态功能块访问寄存器 (DYAV) 等寄存器。需要单独的指令来选择和读取所访问阵列中的位置。如果通过编程 ASPR[2:0] 选择了 ASP 密码保护模式, 则 RDARG_4_0 命令将从 PASS 寄存器位置读取无效数据。读取未定义的位置会提供未定义的数据。

4.8.3.3 读取状态寄存器命令传输

读取状态寄存器 (RDSR1_0_0、RDSR2_0_0、RDVSTR_2_0) 命令传输允许读取状态寄存器的易失性内容。SPI 模式没有地址周期。SPI 命令传输使用 (CFR3V[7:6]) 的延迟周期来读取易失性寄存器, 以实现 166 MHz 的最大时钟频率。HYPERBUS™ 命令使用延迟周期置位 (CFR1V[7:4]) 来读取易失性寄存器, 从而使 HL-T 下的最大时钟频率为 166 MHz, HS-T 下的最大时钟频率为 200 MHz。HYPERBUS™ 模式支持 DS 捕获数据。

状态寄存器 2 (SPI - 易失性) 的内容可随时读取, 即使在编程、擦除或写入操作进行时也是如此。

在 SPI 模式下, 可以通过提供八个时钟周期的倍数来连续读取状态寄存器。每读取八个周期就会更新一次状态。

4.8.3.4 读取动态保护位 (DYB) 访问寄存器命令传输

读取 DYB 访问寄存器 (RDDYB_4_0, RDVDYB_1_1) 命令传输读取 DYB 访问寄存器的内容。SPI 命令传输使用 (CFR3V[7:6]) 的延迟周期来读取易失性寄存器, 以实现 166 MHz 的最大时钟频率。HYPERBUS™ 命令使用延迟周期置位 (CFR1V[7:4]) 来读取易失性寄存器, 从而使 HL-T 下的最大时钟频率为 166 MHz, HS-T 下的最大时钟频率为 200 MHz。HYPERBUS™ 模式支持捕获数据的DS。无法连续读取整个阵列的 DYB 访问寄存器。必须使用单独的读取 DYB 命令传输来读取每个位置。

4.8.3.5 读取持久保护位 (PPB) 访问寄存器命令传输

读取 PPB 访问寄存器 (RDPBB_4_0, RDNPPB_1_1) 命令传输读取 PPB 访问寄存器的内容。SPI 命令传输使用 (CFR3V[7:6]) 的延迟周期来读取易失性寄存器, 以实现 166 MHz 的最大时钟频率。HYPERBUS™ 命令使用延迟周期置位 (CFR1V[7:4]) 来读取易失性寄存器, 从而使 HL-T 下的最大时钟频率为 166 MHz, HS-T 下的最大时钟频率为 200 MHz。HYPERBUS™ 模式支持捕获数据的DS。无法连续读取阵列中所有扇区的 PPB 访问寄存器。必须使用单独的读取 PPB 命令传输来读取每个位置。

4.8.3.6 读取 PPB 锁定命令传输

读取 PPB 锁定寄存器 (RDPLB_0_0、RDVPPL_1_1) 命令允许读取全局持久保护锁定位。SPI 模式没有地址周期。SPI 命令传输使用 (CFR3V[7:6]) 的延迟周期来读取易失性寄存器，以实现 166 MHz 的最大时钟频率。HYPERBUS™ 命令使用延迟周期置位 (CFR1V[7:4]) 来读取易失性寄存器，从而使 HL-T 下的最大时钟频率为 166 MHz，HS-T 下的最大时钟频率为 200 MHz。HYPERBUS™ 模式支持 DS 捕获数据。

4.8.3.7 读取 ECC 数据单元状态

读取 ECC 数据单元状态 (RDECC_4_0, RDECST_1_1) 命令传输用于确定所寻址的单元数据的 ECC 状态。在此命令传输中，地址的 LSB 必须与 ECC 数据单元对齐。SPI 命令传输使用 (CFR3V[7:6]) 的延迟周期来读取易失性寄存器，以实现 166 MHz 的最大时钟频率。HYPERBUS™ 命令使用延迟周期置位 (CFR1V[7:4]) 来读取易失性寄存器，从而使 HL-T 下的最大时钟频率为 166 MHz，HS-T 下的最大时钟频率为 200 MHz。HYPERBUS™ 模式支持 DS 捕获数据。

在 SPI 模式下，器件输出所选 ECC 单元的 ECC 状态的字节内容。在 HYPERBUS™ 模式下，该器件输出所选 ECC 单元的 ECC 状态的字节内容。要读取下一个 ECC 单元状态，必须向下一个 ECC 数据单元对齐地址发起另一个读取 ECC 数据单元状态命令

- 增加 16 个字节。

4.8.3.8 读取 POR 定时器命令 - HYPERBUS™

读取上电复位定时器 (RDNPOR_4_0) 命令用于读取 POR 定时器寄存器的内容。该命令使用 (CFR1V[7:4]) 的延迟周期置位来实现 HL-T 下 166 MHz 和 HS-T 下 200 MHz 的最大时钟频率。HYPERBUS™ 模式支持 DS 捕获数据。POR 定时器寄存器控制 RSTO# 引脚的功能。

4.8.3.9 HYPERBUS™ 读寄存器相关的寄存器和命令传输

表 45 HYPERBUS™ 读寄存器相关的寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Configuration Register 1 (CFR1N, CFR1V)	Read ID/Unique ID/SFDP (RDIDSF_1_1) - Device ID/ Unique ID/SFDP ASO
	Read Status Register (RDVSTR_2_0)
	Read Volatile Configuration Register 1 (RDVCR1_4_0)
	Read Volatile Configuration Register 2 (RDVCR2_4_0)
	Read Non-volatile Configuration Register 1 (RDNCR1_4_0)
	Read Non-volatile Configuration Register 2 (RDNCR2_4_0)
	Read Non-volatile Persistent Protection Bits (RDNPPB_1_1)
	Read Volatile Persistent Protection Lock (RDVPPL_1_1)
	Read Volatile Dynamic Protection Bits (RDVDYB_1_1)
	Read Error Correction (ECC) Status (RDECST_1_1)
Read Non-volatile POR Timer Register (RDNPOR_4_0)	

4.8.3.10 传统 (x1) SPI 读取寄存器相关的寄存器和命令传输

表 46 传统 (x1) SPI 读取寄存器相关的寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 127)
SPI Configuration Register 2 (CFR2N, CFR2V)	Read Device ID (RDIDN_0_0)
SPI Configuration Register 3 (CFR3N, CFR3V)	Read SFDP (RSFDP_3_0)

4.8.4 数据选通 (DS) - HYPERBUS™

为了实现更高的数据速率，在 DDR 设备中添加了数据选通信号 (DS)。数据选通是由器件驱动的非自由运行信号，它也驱动数据信号。在电路板电平处，选通信号与数据信号具有相同的负载，并且需要进行类似的布线。在读取命令传输的数据传输期间，DS 信号由器件驱动，并随着 DQ 信号数据转换而转换。DS 用作附加输出信号，具有与其他数据输出相同的时序特性，但保证随着每个数据位的传输而发生转换。主机可以接收 DS 信号转换并在内部进行相移，以用作内部读取数据时钟来捕获传输的每个数据位。

DS 行为描述如下：

- DS 将根据有效数据开始传输
- 只要 CS# 处于低电平并且 CK/CK# 处于切换状态，DS 就会继续切换。此规则的例外情况如下：
 - 页面边界延迟
 - 读取半页数据时，如果检测到 ECC 错误，DS 就会停止。

4.8.5 突发类型

该器件在读取命令期间支持三种突发类型：

- 线性突发
- 回卷突发
- 混合突发 - HYPERBUS™

线性突发从选定的位置开始并以顺序的方式输出数据（可以读取整个存储器阵列）。

回卷突发访问从选定的位置开始，并按照组回卷序列继续配置数量的位置。

表 47 突发回卷序列示例

CFR1x [1:0]	CA[45]	Wrap boundary (bytes)	Start address (hex)	Address sequence (hex) (words)
XX	1	Linear	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
10	0	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
10	0	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
11	0	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
11	0	32	XXXXXX1E	1E, 1F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, ...
01	0	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
01	0	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...



表 49 示例 1: 64 字节回卷突发地址序列 (延迟代码 = 12)

Target address	Clock cycle																																																									
	0	1	2	3	...	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52													
0							0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	-	-	-	-	-	-	-	-	-	-	-	-								
1							1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	-	-	-	-	-	-	-	-	-	-	-	-								
2							2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	-	-	-	-	-	-	-	-	-	-	-	-								
3							3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	-	-	-	-	-	-	-	-	-	-	-	-								
4							4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	-	-	-	-	-	-	-	-	-	-	-	-								
5							5	6	7	8	9	10	11	12	13	14	15	X	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	-	-	-	-	-	-	-	-	-	-	-								
6							6	7	8	9	10	11	12	13	14	15	X	X	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	-	-	-	-	-	-	-	-	-	-								
7							7	8	9	10	11	12	13	14	15	X	X	X	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	-	-	-	-	-	-	-	-	-	-						
8							8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	-	-	-	-	-	-	-	-	-	-	-	-	-						
9							9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	-	-	-	-	-	-	-	-	-	-	-	-	-	-					
10							10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	-	-	-	-	-	-	-	-	-	-	-	-	-	-					
11							11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-				
12							12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-				
13							13	14	15	16	17	18	19	20	21	22	23	X	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-				
14							14	15	16	17	18	19	20	21	22	23	X	X	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	-	-	-	-	-	-	-	-	-	-	-	-	-	-				
15	CA0	CA1	CA2				15	16	17	18	19	20	21	22	23	X	X	X	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	-	-	-	-	-	-	-	-	-	-	-	-	-				
16							16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-		
17							17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
18							18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
19							19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
20							20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
21							21	22	23	24	25	26	27	28	29	30	31	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
22							22	23	24	25	26	27	28	29	30	31	X	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
23							23	24	25	26	27	28	29	30	31	X	X	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
24							24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	
25							25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	
26							26	27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
27							27	28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
28							28	29	30	31	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
29							29	30	31	0	1	2	3	4	5	6	7	X	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
30							30	31	0	1	2	3	4	5	6	7	X	X	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
31	CA0	CA1	CA2				31	0	1	2	3	4	5	6	7	X	X	X	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
	-	-	1	2	...	12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	Latency count																																																									



表 50 示例 3：64 字节回卷突发地址序列（延迟代码 = 20）（续）

Target address	Clock cycle after CS# goes low																																		
	0	1	2	3	...	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	
28	CA0	CA1	CA2	Bus Turnaround + Initial Latency				D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
29								D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47	
30								D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
31								D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
	-	-	1	2	...	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Latency count																																			

图标：

X = 标记 DS 未切换时总线上的空闲时间。

-- = 表示 64 字节回卷突发已完成。

Features

要计算跨越分页边界时的延迟，请使用以下公式：

```
if ((PS - LTCY) < ADDR & (SP - 1))  
{  
    ((ADDR & (SP - 1)) - PS + LTCY)  
}  
else  
{0}
```

其中：

PS = 分页大小 = 16 个字

SP = 子页大小 = 8 个字

LTCY = 延迟

ADDR = 目标地址

混合突发结合了一个回卷突发和一个线性突发。混合突发的开始将在目标地址回卷的突发长度组内回卷一次，然后切换到初始回卷突发长度组末尾之外的线性数据突发。混合突发支持 16 字节和 32 字节，但不支持 64 字节的回卷突发长度组。

32 字节和 16 字节混合突发读取的示例突发序列：

1. 32 字节示例（在转换为线性突发之前在 32 字节边界内换行）

a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11

b. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11

2. 16 字节示例（在转换为线性突发之前在 16 字节边界内换行）

a. 06-07-00-01-02-03-04-05-08-09

b. 03-04-05-06-07-00-01-02-08-09

4.9 写入命令传输- 传统 (x1) SPI

有用于写入寄存器的写入命令传输。

4.9.1 写入使能命令传输

写使能 (WRENB_0_0) 命令传输将状态寄存器1 (STR1V[1]) 的写使能状态 (WRPGEN) 位设置为“1”。通过发出写入使能 (WRENB_0_0) 命令来使能写入、编程和擦除命令传输, WRPGEN 位必须设置为 1。

4.9.2 写无效命令传输

写无效 (WRDIS_0_0) 命令传输将状态寄存器1 (STR1V[1]) 的写使能状态 (WRPGEN) 位清除为“0”。

WRPGEN 位可以通过发出写无效(WRDIS_0_0) 命令来清除为 0, 来禁止哪些需要将WRPGEN 位设置为 1 来执行的命令。用户可以使用 WRDIS_0_0 命令来保护存储器区域, 防止意外的写入、编程或擦除操作破坏存储器的内容。当 RDYBSY 位 = 1 (STR1V[0]) 时, 嵌入式操作期间会忽略 WRDIS_0_0 命令。

4.9.3 清除写入和擦除失败标志命令传输

清零, 复位写入和擦除失败标志 (CLPEF_0_0) 命令传输将位 STR1V[5] (擦除错误标志) 和位 STR1V[6] (写入错误标志) 重置为 0。即使器件保持忙且 RDYBSY 置位为 1, 清零, 复位状态寄存器命令也会被接受, 因为当任何一个故障为置位时, 器件确实保持忙。该指令执行后, WRPGEN 位不会发生变化。

4.9.4 清除ECC状态寄存器命令传输

清零, 复位ECC状态寄存器(CLECC_0_0)命令传输复位位ECSV[4](2位ECC检测)、位ECSV[3](1位ECC校正)、INSV[1:0] ECC检测状态位、地址捕获寄存器EATV[31:0]和ECC检测元件ECTV[15:0]。在执行此命令之前, 没有必要设置 WRPGEN 位。即使器件保持忙且 WIP 置位为 1, 清零, 复位状态寄存器指令也会被接受, 因为当任一故障位为置位时器件确实保持忙。

该指令执行后, WRPGEN 位不会发生变化。

4.9.5 写入任意寄存器命令传输

写入任意寄存器(WRARG_C_1) 指令提供了一种写入任何器件寄存器的方法 - 非易失性或易失性。该命令包括要写入的寄存器的地址, 后面跟着要写入寻址寄存器的一个字节的的数据。

在器件接受 WRARG_C_1 命令传输之前, 必须发出并解码写使能 (WRENB_0_0) 命令传输, 这将状态寄存器中的写入/编程使能位 (WRPGEN) 设置为可以进行任何写入操作。可以检查 STR1V[0] 中的 RDYDSY 位来确定操作何时完成。可以检查 STR1V[6:5] 中的 PRGERR 和 ERSERR 位来确定操作期间是否发生任何错误。

一些寄存器混合了多种位类型和单独的规则来控制哪些位可以被修改。有些位是只读的, 有些是 OTP, 有些被指定为保留位 (DNU) 。

只读位永远不会被修改, 并且 WRARG_C_1 命令传输数据字节中的相关位将被忽略, 而不会设置编程或擦除错误指示 (STR1V[6:5] 中的 PRGERR 或 ERSERR) 。因此, WRARG_C_1 数据字节中这些位的值并不重要。

OTP位只能被编程为与其默认状态相反的位。将OTP位写回到其默认状态的操作将被忽略, 并且不会发生任何错误。

由WRARG_C_1数据改变的非易失性位更新需要非易失性寄存器写入时间(t_w)。更新过程涉及到对非易失性寄存器位的擦除和编程操作。如果这个过程中擦除或编程任意部分失败, STR1V 中的相关故障位和 RDYBSY 将置位为“1”。

Features

状态寄存器 1 可以被重复读取（轮询）来监测 RDYBSY 位（STR1V[0]）和错误位（STR1V[6,5]）并确定何时寄存器写入完成或失败。如果发生写入失败，则使用 CLPEF_0_0 命令传输清除错误状态并使器件返回待机状态。

ASP PPB 锁定寄存器 (PPLV) 寄存器不能通过 WRARG_C_1 命令传输写入。只有写 PPB 锁定位 (WRPLB_0_0) 命令传输可以写入 PPLV 寄存器。

数据完整性检查寄存器不能通过 WRARG_C_1 命令传输写入。通过运行数据完整性检查命令传输 (DICHK_4_1) 来加载数据完整性检查寄存器。

4.9.6 写入 PPB 锁定位

写入 PPB 锁定位 (WRPLB_0_0) 命令将 PPB 锁定寄存器 PPLV[0] 清除为零。PPBLOCK 位用于保护 PPB 位。当 PPLV[0] = 0 时，PPB 编程/擦除命令将被中止。在读取密码保护模式下，PPBLCK 位也用于控制地址的高位，通过强制将地址范围限制为存储引导代码的一个扇区，直到提供读取密码。

在器件接受 WRPLB_0_0 命令传输之前，必须发出写使能 (WRENB_0_0) 命令传输并器件对其进行解码，这会将状态寄存器中的写/编程使能 (WRPGEN) 设置为 1，以允许任何写操作。

在操作进行过程中，仍然可以读取状态寄存器来检查 RDYBSY 位的值。在操作期间，WRPGEN 位为‘1’，完成时为‘0’。当写 PPB 锁命令完成时，RDYBSY 位被置位为 0。

4.9.7 进入 4 字节地址模式

输入 4 字节地址模式 (EN4BA_0_0) 命令传输将易失性地址长度位 (CR2V[7]) 设置为“1”，以将大多数 3 字节地址指令更改为需要 4 字节地址。读取 SFDP (RSFDP_3_0) 命令传输不受地址长度位的影响。JEDEC JESD216 标准要求 RSFDP_3_0 始终只有 3 个字节的地址。

POR、硬件或软件复位将根据非易失地址长度位 (CR2N[7]) 中的定义来设置地址长度。

4.9.8 退出 4 字节地址模式

退出 4 字节地址模式 (EX4BA_0_0) 指令将易失性地址位 (CR2V[7]) 设置为“0”，以将大部分 3 字节地址指令更改为需要 3 字节地址。该指令不会仅影响 4 字节地址指令，该指令仍将继续要求 4 字节地址。

4.9.9 传统(x1) SPI 写入命令相关的寄存器和命令传输

表 51 传统 (x1) SPI 写入命令传输相关寄存器和传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
Status Register 1 (STR1N, STR1V)	Write Enable (WRENB_0_0)
Address Trap Register (EATV)	Write Any Register (WRARG_C_1)
ECC Detection Counter (ECTV)	Write PPB Lock Bit (WRPLB_0_0)
Configuration Register 2 (CFR2V)	Enter 4 Byte (EN4BA_0_0), Exit 4 Byte (EX4BA_0_0)

4.10 编程

存在用于将数据编程到器件中的编程命令传输。这些写入命令传输可以使用如下三种协议：

- 带 DDR 的 HYPERBUS™ 接口 - 编程寄存器、存储器阵列、SSR、持久保护位、动态保护位、清零，复位 ECC 状态和清零，复位 PPB 锁定位。
- 带 SDR 传统 (x1) SPI 接口 - 对存储器、SSR 和持久保护位进行编程。

4.10.1 HYPERBUS™

4.10.1.1 字编程

字编程用于对字符串中任意位置的一个单字或一组字进行编程。

最小的字编程指令序列需要四个指令写入命令。编程指令序列通过发出两个解锁指令写入命令（命令一和命令二）来启动，然后是编程设置指令（命令三）。接下来写入编程地址和数据（命令四），进而启动嵌入式编程算法。系统不需要提供其它控制或时序。器件自动生成编程脉冲，并内部检验编程的网格边距。当嵌入式字编程算法完成时，EAC随后返回其待机模式。

前面描述的四个命令字编程指令序列用于单个（16 位）字（两个字节）。可以使用突发写入功能通过字编程序列对多个连续字进行编程。解锁和编程指令序列与单字编程序列相同，但在数据/地址命令期间，在单个CS拉低期间会加载多个连续数据值。所呈现的数据被编程到连续地址中，从突发写入命令的指令地址相中标识的目标地址开始。只要不跨越对齐的 256 字（512 字节）地址边界，最多可以编程 256 个字（512 字节）。

系统可以通过读取状态寄存器来确定编程运行的状态（参见 85 页“[错误类型和报告 - HYPERBUS™](#)”）。

在嵌入式编程算法期间写入器件的除编程挂起和状态寄存器读取以外的任何指令都将被忽略。

注释：硬件复位 (RESET# = V_{IL}) 或下电会立即终止编程操作，并在 t_{RPH} 时间后将器件返回到读取模式。终止可能会使正在编程的区域处于具有无效或不稳定数据值的中间状态。一旦器件完成硬件复位操作，编程指令序列就可以用相同的数据重新启动以完成编程操作，以确保数据被完全编程。然而，为了确保最佳的数据完整性，必须擦除终止编程操作的扇区并重新编程。

输入SSR ASO时也可以使用字编程指令。

当输入高级扇区保护、密码和 PPB ASO 时，使用修改版的字编程指令（不带解锁写入周期）进行编程。当进入 PPB Lock 和DYB ASO 时，使用相同的指令来更改易失性位。

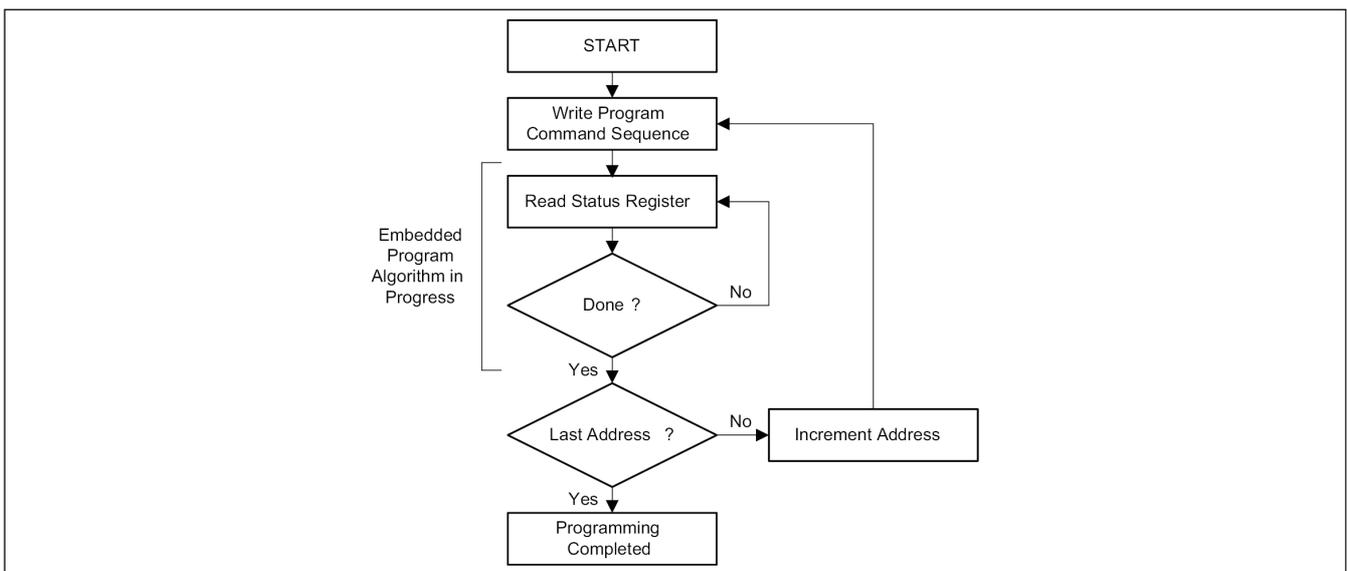


图 35 字编程操作

4.10.1.2 写入缓冲区编程

写入缓冲区于对与 512 字节边界（行）对齐的 512 字节地址范围内的数据进行编程。因此，完整的写入操作必须在行边界上对齐。小于完整 512 字节的编程操作可以在任何字边界上开始，但不能跨越行边界。在写入状态编程操作开始时，故障中的所有位位置都为 1（FFFFh 字），因此任何未加载的位置都将保留现有数据。有关地址映射的信息参见 20 页“地址映射”。

写入缓冲区编程在一个操作中最多可编程 512 字节。在每个写入缓冲区编程操作中，可以编程 1 位到 512 字节。强烈建议写入多个 16 字节半页，并且每个半页只写入一次。为达到最佳性能，编程应在 512 字节边界对齐的全部 512 字节线上完成。

仅在主闪存阵列或 SSR ASO 中支持写入缓冲区编程。

写入缓冲区编程操作开始于两个写入解锁周期。随之是写入到缓冲区指令的第三个写入周期，其中包含要编程的扇区地址（SA）。接下来，系统会写入字位置数量减去 1。这会告知器件有多少写入缓冲区地址加载了数据以及何时会发出“编程缓冲区到闪存”的确认指令。写入到缓冲区指令和写入字计数指令中提供的扇区地址必须匹配。要编程的扇区必须解锁（不受保护）。如果尝试对锁定的扇区进行编程操作，则操作将被中止，并且在状态寄存器中指示失败。

然后系统写入起始地址和数据字。该起始地址是要编程的第一个地址和数据对，并选择写入缓冲区线内的起始字地址。扇区地址必须与通过写入到缓冲区指令进行编程的扇区地址匹配，否则操作将中止并返回中止状态。所有后续的单字地址和数据对写入命令必须按顺序进行。所有写入缓冲区地址必须在同一线内。如果系统尝试加载此范围之外的数据，操作将中止并返回中止状态。

每加载一个数据字，字计数器就会减少一倍。请注意，随着数据写入倒计时，每个写入操作都被认为数据正在加载到写入缓冲区。在写入缓冲区加载期间，不能执行任何指令。唯一可停止写入缓冲区加载的方式是写入编程操作线之外的地址。该无效地址将立即中止/退出写入故障指令序列并设置写入状态中止/退出状态位（WRBFAB - STRV[3]）。

一旦已加载指定的写入缓冲区地址数量，系统必须在扇区地址内写入编程缓冲区到闪存指令。器件随之开始工作。嵌入式编程算法自动编程数据，并验证数据是否为正确的数据组合。在这些操作期间，系统不需要提供任何控制或时序。如果加载的写入缓冲区位置的数量不正确，操作将中止并返回中止状态。由于在字计数结束时需要写入编程缓冲区到闪存指令，所以如果此时写入其它任何指令，编程操作会中止。

写入缓冲区嵌入式编程操作可以通过编程挂起指令来挂起。完成嵌入式编程算法时，EAC 返回到编程操作启动时所在的 EAC 待机或擦除挂起待机状态。

系统可以通过状态寄存器来确定程序操作的状态。参见图 36 了解编程操作的图表。

在下列情况下，写入缓冲区编程序列将中止：

- 加载的字计数值超过缓冲区容量（255）。
- 写入的地址超出在写入到缓冲区指令中提供的线。
- 加载完写入字计数的数据字数量后不发出写入缓冲区到闪存指令。

当导致写入缓冲区指令中止的任何条件发生时，指令操作将立即中止，并在状态寄存器的位置位 4 指明编程失败（PRGERR = 1 - STRV[4]），因为写入缓冲区中止位置位 3 被设置（WRBFAB = 1 - STRV[3]）。写入状态中止/退出复位指令或清零，复位状态寄存器指令将清零，复位故障状态。

有两种方法可终止写入缓冲区编程序列：硬件复位或关闭电源。不过，使用任一方法都可能造成正在编程的区域处于中间状态，即包含无效或不稳定的数据值。在此情况下，需要使用相同的数据对该区域进行重新编程或者擦除该区域，以确保正确编程数据值或适当擦除它们。为了确保最佳的数据完整性，必须擦除并重新编程终止编程操作的扇区。

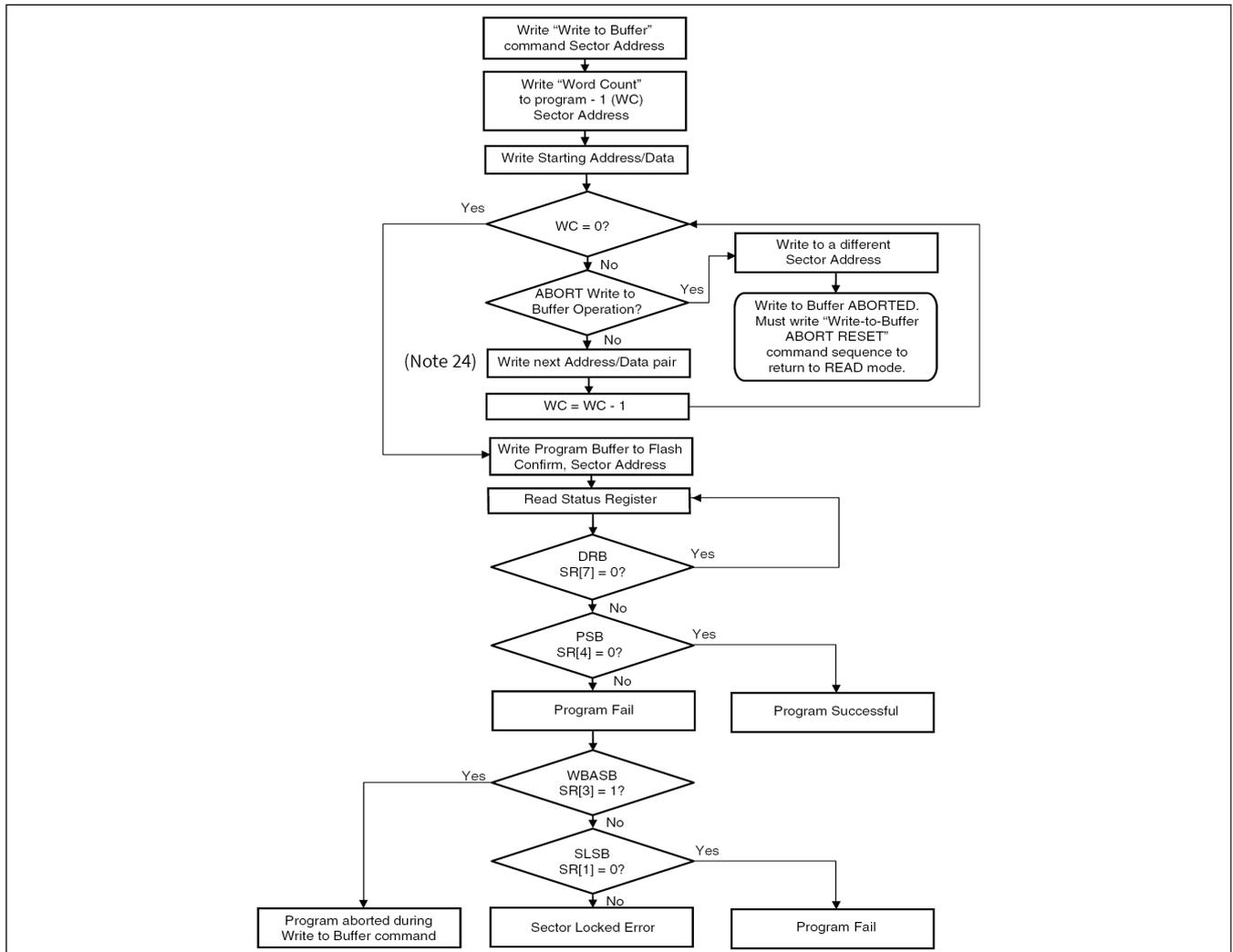


图 36 使用状态寄存器验证写入缓冲区编程操作

4.10.1.3 编程粒度

S26HS-T/S26HL-T支持两种编程方法：字或写入缓冲区编程。

字编程检查指令中提供的数据字，在寻址的存储阵列字中编程0，以匹配指令数据字中的0。

写入缓冲区编程检查写入缓冲区，在寻址的存储阵列行中编程0，以匹配写入缓冲区中的0。写入缓冲区不需要全部填入数据。在一个编程操作中，可以尽可能少地编程，如单个位、多个位、单个字、多个字、一个半页、多个半页、或者整个缓冲区。使用写入缓冲区方法可以减轻主机系统在写入编程指令方面的负担，并能够减轻存储器件在编程操作方面的内部负担。与使用字编程指令对各个字进行编程相比，写入缓冲区编程更快、更有效率。

每个页面可以使用任一方法进行编程。采用不同方法编程的半页可能混合在一行内。对于工业温度版本（-40°C至+85°C），半页可能混合在一行进行页面编程。对于工业 Plus 版本（-40°C至+105°C）和汽车AEC-Q100 1级（-40°C至+125°C）、2级（-40°C至+105°C）和3级（-40°C至+85°C）版本，该器件将仅支持在两次擦除操作之间每次进行一次编程操作。并且不支持单字编程指令。

为了与旧版软件兼容，支持在半页内进行多次字编程和写入缓冲区编程。然而，在没有损耗的半页内多次使用字编程或写入缓冲区编程将会损坏，无法使该半页器件的ECC功能发挥作用。对于需要在同一半页内进行多次编程操作的应用，建议添加系统软件错误检测与纠正，以增强半页的数据完整性。

注释：如果启用了2位ECC，则同一分页内的多个字编程或写入缓冲区编程将导致编程错误。

HYPERFLASH™的未来硅工艺版本可能不再支持在同一半页内进行多次编程操作，除非在包含该半页的扇区上进行擦除操作。规划向未来几代软件的迁移时，应采用每次擦除、每半页仅支持一次编程操作的数据结构和数据管理方法。

4.10.1.4 增量编程

相同的字位置或半分页可以通过字或写入缓冲区形式编程方法多次编程，以增量地将1更改为0。然而，正如72页“编程粒度”所述，增量编程会影响ECC综合症位并导致器件失效，无法使该半分页的ECC。

注释：如果启用2位ECC，则同一分页内的增量字编程或写入缓冲区编程将导致编程错误。

4.10.1.5 编程寄存器命令传输

编程寄存器 (PRNPOR_4_0、PGVINC_4_0、PGVINS_4_0、PGVCR1_4_0、PGVCR2_4_0、PGNCR1_4_0、PGNCR2_4_0、PGOASP_2_1、PGNPWD_2_1、PGNATB_2_1、PGOENX_2_1) 命令传输提供了一种对任何器件寄存器进行编程的方法，非易失或易失性。命令传输包括解锁周期，然后是要写入的一个数据字。

4.10.1.6 编程 SSR命令传输

编程安全区域 (PG_SSR_4_1) 命令对 SSR 中的数据进行编程，该数据位于与主阵列数据不同的地址空间并且是 OTP。SSR 为 1024 字节，因此对于此命令传输，从 A31 到 A10 的地址位必须为零。

可以检查 STRV[4] 中的 PRGERR 位来确定操作期间是否发生任何错误。

4.10.1.7 动态保护位 (DYB)

置位动态保护位 (STVDYB_2_1) 命令在 DYB 寄存器中设置一个位，以保护寻址的扇区不被编程或擦除。

4.10.1.8 写入持久保护位 (PPB)

编程持久保护位 (PGNPPB_2_1) 命令对 PPB 寄存器中的位进行编程，以保护所寻址的扇区不被编程或擦除。可以检查 STRV[4] 中的 PRGERR 位来确定操作期间是否发生任何错误。当尝试对受 PPBLCK (PPLV[0]) 位保护的 PPB 位进行编程时，编程 PPB 位命令将中止/退出。

注释：

24. 欲了解写入缓冲区编程所需的指令序列，请参见表 120。
25. 当指定了扇区地址时，所选扇区中的任何地址均可接受。不过，为写入缓冲区地址位置加载数据时，所有地址必须在所选线边界内。

4.10.1.9 清除ECC状态寄存器命令传输

清零，复位ECC状态寄存器(CLRECC_1_1)命令会复位位ECSV[4] (2位ECC检测)、位ECSV[3] (1位ECC校正)、INSV[1:0] ECC检测状态位。

4.10.1.10 清零，复位 PPB 锁定位

清零，复位 PPB 锁定位 (CLVPPL_2_1) 命令将 PPB 锁定寄存器 PPLV[0] 清除为 0。PPBLCK 位用于保护 PPB 位。当 PPLV[0] = 0 时，PPB 编程/擦除命令将被中止。

4.10.2 Legacy (x1) SPI

在SPI中，在器件接受任何编程命令之前，必须发出写使能 (WRENB_0_0) 命令，将状态寄存器 1 中的写/编程使能 (WRPGEN) 位设置为使能编程操作。当一个写入命令传输完成时，WRPGEN 位被复位为‘0’。

当写入命令传输正在进行时，可以读取状态寄存器 1 以检查器件就绪/忙碌 (RDYBSY) 位的值。自定时写入命令传输期间，RDYBSY 位为“1”，完成时为“0”。

可以检查PGMERR 位来确定写入命令传输期间是否发生任何错误。

应用于已通过任何保护方式进行写保护的扇区的写入命令传输将不会被执行，并且将置位 PGMERR 状态失败。

4.10.2.1 编程粒度

HS/L-T家族支持多次写入（位遍历），其中在“1”上写入为“0”而不执行扇区擦除操作。此器件的非 AEC-Q100 工业温度范围（-40°C 至 +85°C）允许位遍历操作。每一个ECC数据单元在相邻两次擦除之间只允许进行一次写入操作（单次写入）的规则适用于较高温度范围（-40°C 至 +105°C）和（-40°C 至 +125°C）器件以及所有 AEC-Q100 器件。

没有执行擦除操作的多次写入将会使该器件的当前数据单元的ECC功能被禁用。注意如果启用了 2 位ECC，则同一扇区内的多次写入将导致写入错误。

4.10.2.2 页编程

页编程是通过将要编程的数据加载到页缓冲区并发出编程指令将数据从缓冲区移至闪存阵列来完成的。这设置了可使用单个写入命令传输进行写入的数据量的上限。分页写入允许在一次操作中对最多 1 个分页大小（256 或 512 字节）进行写入。分页大小由配置寄存器 3 的CFR3V[4] 位来决定。分页在分页大小地址边界上对齐。可以从1位到分页大小来进行每个写入缓冲区的写入操作。建议写入16 字节长度的倍数和对齐的程序块。这样可确保 ECC 不会被禁用。为了获得最佳的分页写入吞吐率，写入应以 512 字节边界对齐的整页 512 字节进行，并且每个分页只写入一次。

4.10.2.3 写入分页命令传输

写入分页 (PRPGE_4_1) 命令传输将数据写入到存储器阵列中。如果向器件发送的数据大于分页大小（256B 或 512B），则在起始地址和分页对齐结束边界之间的空间中，数据加载序列将从分页中的最后一个字节回卷到同一分页的零字节位置，并开始重写分页中先前加载的任何数据。如果向器件发送的数据少于分页，则发送的数据字节将从分页内提供的地址开始按顺序进行写入，而不会对同一分页的其他字节产生任何影响。写入过程由器件内部控制逻辑管理。PRGERR 位指示写入命令传输中是否发生了阻止写入成功完成的错误。这包括尝试对受保护区域进行写入（见135 页“命令传输表”）。

4.10.2.4 编程 SSR命令传输

编程安全区域命令 (PRSSR_4_1) 对 SSR 中的数据进行编程，该数据位于与主阵列数据不同的地址空间并且是 OTP。SSR 为 1024 字节，因此对于此命令传输，从 A31 到 A10 的地址位必须为零。

可以检查 STR1V[6] 中的 PRGERR 位来确定操作期间是否发生任何错误。

为了以位颗粒度对 OTP 阵列进行写入，数据字节内的其余位可以设置为“1”。

每个 SSR 存储空间均可被写入一次或多次，前提是该区域未被锁定。尝试在锁定的区域中写入零将失败，并且 STR1V[6] 中的 PRGERR 位将置位为 1。写入一次，即使在受保护的区域也不会导致错误，也不会置位 PRGERR 位。后续写入仅可对未写入的位（即为“1”的数据）进行。在同一个 ECC 单元内写入多次将会使该数据单元上的 ECC 禁用。

4.10.2.5 写入持久保护位 (PPB)

编程持久保护位 (PRPPB_4_0) 命令在 PPB 寄存器中编程一个位，以保护所提供地址的扇区不被编程或擦除。

可以检查 STR1V[6] 中的 PRGERR 位来确定操作期间是否发生任何错误。当尝试对受 ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) 和 PPBLCK (PPLV[0]) 位保护的 PPB 位进行写入时，写入 PPB 位命令传输将会中止/退出。

4.10.3 HYPERBUS™ 写入相关的寄存器和命令传输

表 52 HYPERBUS™ 写入相关的寄存器和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Status Register (STR1V)	Program Word (PGWORD_4_0)
HYPERBUS™ Configuration Register 1 (CFR1N, CRF1V)	Program POR Time Register (PRNPOR_4_0) Program Volatile Interrupt Configuration Register (PGVINC_4_0) Program Volatile Interrupt Status Register (PGVINS_4_0) Program Volatile Configuration Register 1 (PGVCR1_4_0) Program Volatile Configuration Register 2 (PGVCR2_4_0) Program Non-volatile Configuration Register 1 (PGNCR1_4_0) Program Non-volatile Configuration Register 2 (PGNCR2_4_0) Program One-Time-Programmable Advanced Sector Protection Register (PGOASP_2_1) Program Non-volatile Password (PGNPWD_2_1) Program Non-volatile AutoBoot Register (RDATBN_1_0) Program One-Time-Programmable EnduraFlex Registers [4:0] (PGOENX_2_1)
HYPERBUS™ Advance Sector Protect Register (ASPO)	Program Secure Silicon Region Word (PG_SSR_4_1)
HYPERBUS™ ASP PPB Lock (PPLV)	Program Non-volatile Persistent Protection Bits (PGNPPB_2_1) Set Volatile Dynamic Protection Bits (STVDYB_2_1) Clear ECC Error Status Failure Flags (CLRECC_1_1) Clear Status Register Failure Flags (CLVSTR_1_0)

4.10.4 传统 (x1) SPI 程序相关寄存器和命令

表 53 传统 (x1) SPI 编程相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
SPI Status Register 1 (STR1N, STR1V)	Write Enable (WRENB_0_0)
SPI Advance Sector Protect Register (ASPO)	Program Secure Silicon (PRSSR_4_1)
SPI ASP PPB Lock (PPLV)	Program Persistent Protection Bit (PRPPB_4_0)

4.11 擦除

擦除命令是将数据位变为 1 的命令传输（所有字节均为 FFh）。这些写入命令传输可以使用如下三种协议：

- 带 SDR 传统 (x1) SPI 接口 - 擦除存储器的阵列和持久保护位。
- HYPERBUS™ 接口，带 DDR - 擦除寄存器，存储器阵列和持久保护位。
- 该器件出厂时的默认状态是所有字节均为 FFh。

4.11.1 HYPERBUS™

4.11.1.1 芯片擦除

芯片擦除功能擦除整个主闪存阵列。器件不要求系统在擦除之前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个存储器是否为全 0 数据组合。芯片擦除成功后，器件内的所有位置均包含 FFFFh。在这些操作期间，系统不需要提供任何控制或时序。芯片擦除指令序列通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是芯片擦除指令，用于激活嵌入式擦除算法。

嵌入式擦除算法完成后，EAC 返回到原来状态。注释：当嵌入式操作正在进行时，系统无法从队列中读取有效数据。系统可以通过读取状态寄存器来判断该操作的状态。有关这些状态位的信息请参阅 [85 页“错误类型和报告 - HYPERBUS™”](#)。一旦芯片操作开始，只有状态读取、硬件复位或上电周期有效。所有其他指令都将被忽略。然而，一个硬件

复位或重新上电立即终止读取操作，并在 t_{RPH} 时间后返回读取模式。如果芯片擦除操作终止，一旦器件返回到当前状态，就必须重新启动芯片指令序列，以确保数据完整性。

受 ASP DYB 和 PPB 位保护的扇区将不会被擦除。如果在芯片擦除期间某个扇区受到保护，则芯片擦除将跳过受保护的扇区并继续进行下一个扇区擦除。受保护扇区上发生故障的扇区不会将状态恢复状态位和扇区锁定位设置为 1。

注释：芯片擦除不能被暂停。

4.11.2 扇区擦除

扇区擦除功能擦除存储阵列中的一个扇区。器件不要求系统在擦除之前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个扇区是否为全 0 数据组合。扇区擦除成功后，被擦除扇区内的所有位置均包含 FFFFh。在这些操作期间，系统不需要提供任何控制或时序。扇区擦除指令序列通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是要擦除的扇区地址以及扇区擦除指令。

系统可以通过读取状态寄存器来确定擦除操作的状态。

一旦开始扇区擦除操作，状态寄存器读取和擦除暂停命令即生效。嵌入式算法控制器将忽略所有其他命令。然而，注意到硬件复位或重新上电立即终止读取操作，并在 t_{RPH} 时间后返回读取模式。如果芯片擦除操作终止，一旦器件返回到当前状态，就必须重新启动芯片指令序列，以确保数据完整性。见18页“[嵌入式算法控制器 \(EAC\)](#)”。

受 ASP DYB 和 PPB 位保护的扇区将不会被擦除。如果尝试对锁定的扇区进行擦除操作，则操作将被中止，并在状态寄存器中指示失败。

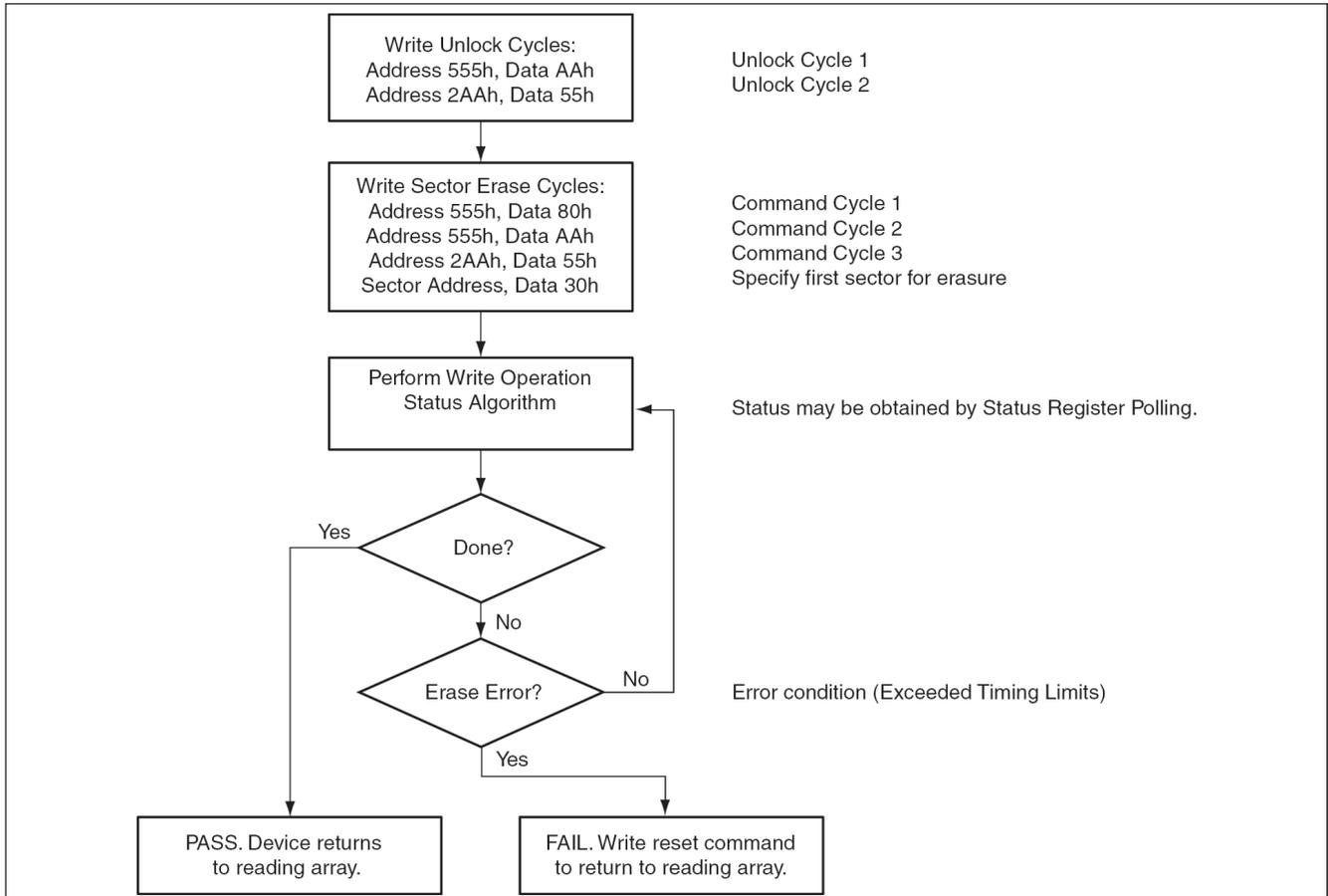


图 37 扇区擦除操作

4.11.2.1 擦除寄存器命令传输

擦除寄存器 (ERN12_3_0) 命令传输提供了一种方法来擦除任何非易失器件寄存器。命令传输包括解锁周期。

可以通过检查 STRV[5] 中的 ERSERR 位来确定操作期间是否发生任何错误。

4.11.2.2 擦除持久保护位 (PPB)

擦除持久保护位 (ERNPPB_2_1) 命令擦除所有 PPB 位。

可以通过检查 STRV[5] 中的 ERSERR 位来确定操作期间是否发生任何错误。当尝试破坏由 PPBLCK (PPLV[0]) 位保护的 PPB 位时，中断 PPB 位命令将中止/退出。

4.11.3 擦除状态及计数

4.11.3.1 评估擦除状态命令传输

评估擦除状态 (EVERST_1_0) 指令用于验证对已指定地址的扇区进行的擦除操作是否完全成功。如果所选扇区被成功擦除, 则扇区状态位 (SESTAT - STRV[0]) 置位为 1。如果选定的扇区没有被完全擦除, 则 STRV[0] 为 0。

评估擦除状态命令传输可用于检测由于电压跌落、复位或擦除操作期间故障而导致的擦除操作何时失败。该命令传输需要 t_{EES} 完成并更新 STRV 中的擦除状态。可以读取 RDYBSY 位 (STRV[7]) 来确定评估擦除状态命令传输何时完成。如果发现扇区未擦除完成并且 STRV[0] = 0 的情况, 则必须再次擦除扇区以确保扇区内数据的可靠存储。

4.11.3.2 读取扇区擦除计数寄存器命令

读取扇区擦除计数 (RDSECV_1_0) 命令输出所寻址扇区的擦除周期数。扇区周期计数存储在扇区计数 (SECV[22:0]) 寄存器中。加载扇区地址 (LDSRAD_2_1) 启动加载扇区擦除计数寄存器。

该命令传输需要 t_{SEC} 时间来完成并更新 SECV[22:0] 寄存器。可以读取 RDYBSY 位以确定扇区计数命令传输何时完成。SECV[23] 位用于确定所报告的扇区擦除计数是否已损坏并已复位。

4.11.3.3 空片检查命令传输

空片检查 (BLKCHK_1_0) 命令传输将确认所选闪存阵列扇区是否已被完全擦除。空片检查指令不允许在空片检查期间读取阵列。若在执行此指令时读取阵列, 会返回轮询数据。

当器件正在编程、擦除或挂起时, 不能写入空白检查指令。

通过读取状态寄存器来确认器件是否仍在忙, 完成后确认扇区是否为空白。状态寄存器的第 7 位将显示器件是否正在执行空白检查 (类似于擦除操作)。如果扇区被擦除, 状态寄存器的第 5 位将被清零为“0”, 如果未被擦除, 则置位为“1”。

一旦发现任何位没有擦除, 器件将中止操作并报告结果。空白检查完成后, EAC 返回待机状态。

4.11.4 Legacy (x1) SPI

在器件接受任何擦除命令传输之前, 必须发出写使能 (WRENB_0_0) 命令传输并且被器件接收对其进行解码。如果状态寄存器中的 Write/Program 使能位 (WRPGEN) 置位为 '1' 来使能擦除操作, 擦除命令传输才能被器件执行。当一个命令传输完成时, WRPGEN 位复位为“0”。

当命令传输处理正在进行时, 可以读取状态 1 以检查器件就绪/忙 (RDYBSY) 位的值。自定时擦除命令传输期间, RDYBSY 位为“1”, 完成时为“0”。

可以检查 STR1V[5] 中的 ERSERR 位来确定擦除命令传输期间是否发生任何错误。

应用于已通过块保护位或 ASP 写保护的扇区的擦除命令传输将不会被执行, 并且将置位 ERSERR 状态失败位。

当 CS# 被驱动到逻辑高电平状态时, 将启动擦除命令传输。

4.11.5 擦除 4KB 扇区命令传输

擦除 4KB 扇区 (ER004_4_0) 事务将 4 KB 扇区的所有位设置为 1 (所有字节均为 FFh)。

仅当器件配置为统一扇区 (CFR3V [3] = 1) 时, 此命令传输将被忽略。如果将擦除 4KB 扇区命令传输发送到非 4KB 扇区地址, 则器件将中止/退出该操作, 并且不会设置 ERSERR 状态失败位。

4.11.6 擦除 256 KB 扇区命令传输

256 KB 扇区 (ER256_4_0) 命令传输将寻址扇区中的所有位设置为 1 (所有字节均为 FFh)。器件配置选项 (CFR3V[3]) 决定是否使用混合扇区架构。当 CFR3V[3] = 0, 4 KB 扇区覆盖器件地址空间的最高或最低地址 128 KB 或 64 KB 的一部分。如果将扇区擦除指令应用于被 4 KB 扇区覆盖的 256 KB 扇区, 则被覆盖的 4 KB 扇区不受该扇区的影响。仅可见 (非覆盖) 的 128 KB 或 192 KB 扇区的部分会被擦除。当 CFR3V[3] = 1 时, 器件地址空间中没有 4 KB 扇区, 扇区擦除命令传输始终在完全可见的 256 KB 扇区上操作。

当 BLKCHK 启用时, 扇区擦除命令传输首先评估扇区的擦除状态。如果发现该扇区已被擦除, 则擦除操作将中止。仅当在扇区中找到写入位时才会执行擦除操作。禁用 BLKCHK 将无条件执行擦除操作。

4.11.7 擦除芯片命令传输

擦除芯片 (ERCHP_0_0) 命令将整个闪存阵列内的所有位设置为 1 (所有字节均为 FFh)。仅当功能块保护位 (BP2、BP1、BP0) 置位为 0 时, 才能执行芯片命令传输。命令传输将跳过任何受高级扇区保护 DYB 或 PPB 保护的扇区, 并且 ERSERR 状态失败位将不会设置。

4.11.8 擦除持久保护位 (PPB) 命令传输

擦除 PPB 命令将所有 PPB 位设置为 1。如果 PPB 位受 ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) 和 PPBLCK (PPLV[0]) 位保护, 则此命令将中止/退出。

4.11.9 擦除状态及计数

4.11.9.1 评估擦除状态命令传输

评估擦除状态 (EVERS_4_0) 指令用于验证对已指定地址的扇区进行的擦除操作是否完全成功 (即所选扇区被成功擦除, 则擦除状态位 (STR2V[2]) 置位为 1。如果选定的扇区没有被完全擦除, 则 STR2V[2] 为 0。在此命令之前不需要进行写/编程使能命令 (设置 WRPGEN 位)。但是, RDYBSY 位由器件本身置位, 并在操作结束时清除, 如读取状态时在 STR1V[0] 中可见。

评估擦除状态命令传输可用于检测由于电压跌落、复位或擦除操作期间故障而导致的擦除操作何时失败。该命令传输需要 EES_{完成} 并更新 STR2V 中的擦除状态。可以读取 RDYBSY 位 (STR1V[0]) 来确定评估擦除状态命令传输何时完成。如果发现扇区未擦除完成并且 STR2V[2] = 0 的情况, 则必须再次擦除扇区以确保扇区内数据的可靠存储。

4.11.9.2 扇区擦除计数命令传输

扇区擦除计数 (SEERC_4_0) 命令输出所寻址扇区的擦除周期数。擦除计数存储在区扇计数 (SECV[22:0]) 寄存器中, 可以使用读取任何寄存器命令 (RDARG_4_0) 读取。但是, RDYBSY 位由器件本身置位, 并在操作结束时清除, 如读取状态时在 STR1V[0] 中可见。

该命令传输需要 t_{SEC} 时间来完成并更新 SECV[22:0] 寄存器。可以读取 RDYBSY 位 (STR1V[0]) 以确定扇区计数命令传输何时完成。SECV[23] 位用于确定所报告的扇区擦除计数是否已损坏并已复位。

4.11.10 HYPERBUS™ 擦除相关寄存器及命令传输

表 54 HYPERBUS™ 擦除相关命令和命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Status Register (STRV)	Erase Sector (ERSCTR_6_0)
HYPERBUS™ Configuration Register 1 (CFR1N, CFR1V)	Erase Chip (ERCHIP_6_0)
SPI ASP PPB Lock (PPLV) HYPERBUS™ ASP PPB Lock (PPLV)	Erase Non-volatile Persistent Protection Bits (ERNPPB_2_1)
HYPERBUS™ Sector Erase Count Register (SECV)	Evaluate Erase Status (EVERST_1_0) Sector Erase Count (RDSECV_1_0)

4.11.11 传统 (x1) SPI 擦除相关寄存器和命令

表 55 传统 (x1) SPI 擦除相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
SPI Status Register 1 (STR1N, STR1V)	Write Enable (WRENB_0_0)
SPI Status Register 2 (STR2V)	Erase 4 KB Sector (ER004_4_0)
SPI ASP PPB Lock (PPLV)	Erase Chip (ERCHP_0_0)
SPI Sector Erase Count Register (SECV)	Sector Erase Count (SEERC_4_0)

4.12 暂停和恢复嵌入式操作

HL-T/HS-T 器件可以中断和暂停正在运行的嵌入式操作，例如擦除、写入或数据一致性检查。一旦主控完成中间操作并将相应的恢复命令传输发送到器件，它还可以恢复暂停的操作。

4.12.1 擦除、写入或数据完整性检查暂停

暂停命令传输允许系统中断写入、擦除或数据完整性检查操作，然后从任何其他非擦除暂停扇区、非编程暂停页面或阵列中读取数据。必须检查状态寄存器1 (SPI - STR1V[0], HYPERBUS™ STRV[7]) 中的器件准备/忙状态标志 (RDYBSY)，以获得写入、擦除或数据一致性检查操作是否已经停止。

4.12.1.1 写入暂停

- 写入暂停仅在写入操作期间有效。
- 写入操作暂停状态标志 (SPI - PROGMS STR2V[0], HYPERBUS™ - PROGMS STRV[2]) 可用于确定在 RDYBSY 变为“0”时写入操作是否已暂停或已完成。
- 可以暂停写入操作以允许读取操作。
- 在写入暂停的分页内的任何地址读取都会产生不确定的数据。

4.12.1.2 清除挂起

擦除挂起指令允许系统中断扇区擦除操作，然后从主闪存阵列读取数据或向其编程数据。该指令仅在扇区擦除操作期间有效。如果在芯片擦除操作期间写入擦除挂起指令，该指令将被忽略。

- 擦除挂起命令仅在扇区擦除操作期间有效。
- 擦除操作挂起状态标志 (SPI - STR2V[1], HYPERBUS™ STRV[6]) 可用于确定 RDYBSY 变为 0 时挂起操作是否已挂起或已完成。
- 批量擦除操作无法被挂起。
- 可以暂停擦除操作以允许写入操作或读取操作。擦除挂起的编程操作完成后，EAC 返回擦除挂起状态。
- 在已暂停的擦除、写入或数据完整性检查操作的情况下，不允许进行新的擦除操作。在这种情况下，擦除指令将被忽略。
- 如果在擦除挂起期间编程操作失败，状态寄存器清除或软件复位指令会使器件返回擦除挂起状态。
- 读取擦除暂停扇区内的任何地址都会产生不确定的数据。

4.12.1.3 数据完整性检查挂起 - 仅传统 SPI

- 数据完整性检查暂停仅在数据完整性检查计算操作期间有效。
- 存储阵列数据完整性检查 CRC (循环冗余校验) 挂起状态标志 (SPI - DICRCS STR2V[4], HYPERBUS™ - DICRCS STRV[8]) 可用于确定 RDYBSY 变为 0 时数据完整性检查操作是否已暂停或已完成。
- 可以暂停数据完整性检查操作以允许读取操作。
- 完成暂停操作所需的时间为 t_{PEDS} 。

系统可以通过读取状态寄存器来确定写入操作的状态，就像在执行标准写入操作一样。

表 56 列出暂停操作期间允许的命令传输。

Features

表 56 挂起期间允许的HYPERBUS™命令

Transaction name	Allowed during erase suspend	Allowed during program suspend	Allowed during data integrity check suspend
Read (RDMARY_1_0) - Non Suspended Sector	Yes	Yes	Yes
Read Status Register (RDVSTR_2_0)			
Software Reset/ASO Exit (SRASOE_1_0)			
Resume Program (RSPROG_1_0)	No		No
Program Volatile Interrupt Configuration Register (PGVINC_4_0)	Yes		Yes
Read Volatile Interrupt Configuration Register (RDVINC_4_0)			
Program Volatile Interrupt Status Register (PGVINS_4_0)			
Read Volatile Interrupt Status Register (RDVINS_4_0)			
Program Word (PGWORD_4_0) - Non Suspended Sector		No	No
Program Write Buffer (LDBUFR_6_0, PGBFCM_1_0, RSTWBA_3_0)			
Read Volatile Configuration Register 1 & 2 (RDVCR1_4_0, RDVCR2_4_0)		Yes	Yes
Read Non-volatile Configuration Register 1 & 2 (RDNCR1_4_0, RDNCR2_4_0)		No	No
Resume Erase (RSESE_1_0)			
Device ID/Unique ID/SFDP ASO (IDSFE1_3_1, IDSFE2_1_1, RDIDSF_1_1, ASOEXT_1_1)		Yes	Yes
Secure Silicon Region ASO (SSRENT_3_1, RD_SSR_1_1, PG_SSR_4_1, LDBSSR_5_1, PGCSSR_1_1, RSWSSR_3_1, ASOEXT_1_1)			

表 57 挂起期间允许的传统 (x1) SPI 命令

Transaction name	Allowed during erase suspend	Allowed during program suspend	Allowed during data integrity check suspend
Write Disable (WRDIS_0_0)	Yes	No	No
Read Status Register 1 (RDSR1_0_0, RDSR1_4_0)		Yes	Yes
Write Enable (WRENB_0_0)		No	No
Read Status Register 2 (RDSR2_0_0, RDSR2_4_0)		Yes	Yes
Program Page (PRPGE_4_1)		No	No
Read ECC Status (RDECC_4_0)		Yes	Yes
Clear ECC Status Register (CLECC_0_0)			
Read PPB Lock Bit (RDPLB_0_0, RDPLB_4_0)		Yes	Yes
Resume Program / Erase / Data Integrity Check (RSEPD_0_0)			
Program SSR (PRSSR_4_1)		No	No
Read SSR (RDSSR_4_0)		Yes	Yes
Read Unique ID (RDUID_0_0, RDUID_4_0)			
Read SFDP (RSFDP_3_0, RSFDP_4_0)			
Read Interface CRC Register (RDCRC_4_0)		Yes	Yes
Read Any Register (RDARG_4_0)			
Software Reset Enable (SRSTE_0_0)			

表 57 挂起期间允许的传统 (x1) SPI 命令 (续)

Transaction name	Allowed during erase suspend	Allowed during program suspend	Allowed during data integrity check suspend
Clear Program and Erase Failure Flags (CLPEF_0_0)	Yes	Yes	Yes
Software Reset (SFRST_0_0)			
Read Identification Register (RDIDIN_0_0, RDIDIN_4_0) (manufacturer and device identification)		Yes	Yes
Suspend Program / Erase / Data Integrity Check (SPEPD_0_0)		No	No
Read DYB (RDDYB_4_0)		Yes	Yes
Read PPB (RDPPB_4_0)			

4.12.2 擦除、写入或数据完整性检查恢复

必须通过发送擦除、写入或数据完整性检查恢复命令传输才能恢复暂停的操作。在写入、擦除或数据完整性检查暂停期间完成写入或读取操作后，将发送恢复命令传输以恢复暂停的操作。

发出“擦除”、“编程”或“数据完整性检查恢复”命令后，状态寄存器中的 RDYBSY 位将置位为 1，如果暂停，则编程操作将恢复。如果没有暂停写入操作，则暂停的擦除操作将恢复。如果没有暂停的写入、擦除或数据完整性检查操作，则恢复命令传输将被忽略。

写入、擦除或数据一致性检查操作可以根据需要中断。例如，写入暂停命令传输可以紧跟在写入恢复命令传输之后，但为了使写入或擦除操作能够完成，在恢复和下一个暂停命令传输之间必须有一段大于或等于 t_{PEDRS} 时间间隔。

图 38 显示暂停和恢复操作的流程。

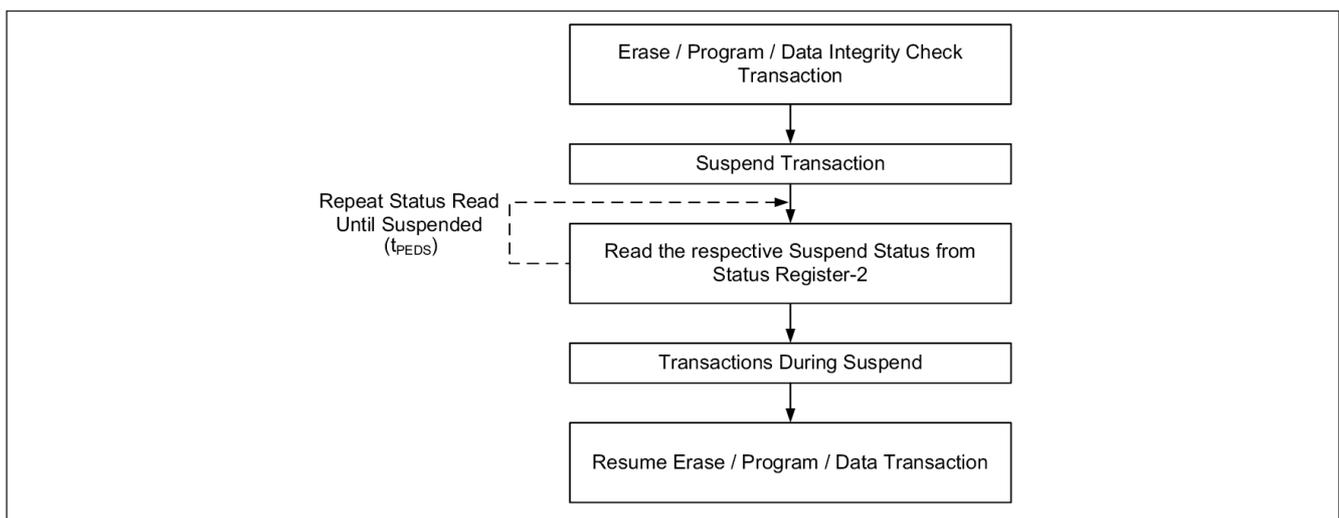


图 38 暂停和恢复流程

4.12.3 HYPERBUS™ 暂停及恢复相关寄存器及命令传输

表 58 HYPERBUS™ 暂停及恢复相关寄存器及命令传输

Related registers (see “HYPERBUS™ registers” on page 98)	Related HYPERBUS™ transactions (see Table 120)
HYPERBUS™ Status Register (STRV)	Suspend Erase (SPERSE_1_0)
	Resume Erase (RSERSE_1_0)
	Suspend Program (SPPROG_1_0)
	Resume Program (RSPROG_1_0)
	Read Status Register (RDVSTR_2_0)

4.12.4 传统 (x1) SPI挂起并恢复相关寄存器和命令传输

表 59 传统(x1) SPI挂起并恢复相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
SPI Status Register 1 (STR1N, STR1V)	Suspend Erase / Program / Data Integrity Check (SPEPD_0_0)
SPI Status Register 2 (STR2V)	Resume Erase / Program / Data Integrity Check (RSEPD_0_0)
	Read Any Register (RDARG_4_0)
	Read Status Register -1 (RDSR1_0_0)
	Read Status Register -2 (RDSR2_0_0)

4.13 错误类型和报告 - HYPERBUS™

嵌入式操作状态方法报告的错误类型有三种。根据错误类型，报告的状态和清除错误状态的步骤会有所不同。

下面是错误清除后的状态：

- 如果在错误发生之前器件进入了ASO，它保持进入该状态，等待ASO读取或命令写入。
- 如果在错误发生之前一个擦除操作被挂起，器件会返回擦除挂起状态，等待闪存阵列读取或命令写入。
- 否则，器件将处于待机状态，等待闪存阵列读取或命令写入。

4.13.1 保护错误

如果嵌入式算法尝试更改受保护区域的数据（编程或擦除受保护的扇区或OTP区域），器件（EAC）会进入忙碌状态（20~100 μs），然后返回正常操作。保护机制包括PPB和锁。在繁忙期间，状态寄存器显示未就绪，状态位无效（SR[7]=0）。如果尝试对锁定区域进行编程或擦除操作，则操作将被中止，并且在状态寄存器中指示失败。

在保护错误状态忙碌期间可接受的命令包括：

- 状态寄存器读取

当繁忙周期结束时，器件返回正常工作状态，并且状态寄存器显示就绪且具有有效状态位。器件已准备好对闪存阵列执行新读取或写入命令。

经过保护错误状态忙碌期间后，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在保护错误忙碌期间后可能是或不是擦除挂起
- SR[5] = 1；指明擦除错误，其他情况 = 0
- SR[4] = 1；指明编程或密码解锁错误；其他情况 = 0
- SR[3] = X；保留，无需关注（屏蔽）
- SR[2] = 0；没有编程挂起
- SR[1] = 1；因尝试更改受保护的位置而发生错误
- SR[0] = X；保留，无需关注（屏蔽）

经过保护错误状态忙碌期间后可接受的命令包括：

- 任何命令

若编程状态位为置位为进一步编程，则操作将立即清零，复位SR[4]。当擦除状态位为置位时，操作将立即清零，复位SR[6]。

4.13.2 写入缓冲区中止 (Program 中止 / DICRC 中止)

如果在执行写入到缓冲区命令期间发生错误，器件（EAC）会保持忙碌状态。状态寄存器显示已准备就绪且具有有效状态位。器件一直忙碌，直到主机系统状态监控检测到错误状态并且错误状态被清除为止。

在嵌入式算法错误状态期间，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在WBA错误状态期间可能是或不是擦除挂起
- SR[5] = 0；擦除成功
- SR[4] = 1；编程相关错误，否则 = 0
- SR[3] = 1；写入缓冲区终止
- SR[2] = 0；没有编程挂起
- SR[1] = 0；在操作期间扇区未锁定
- SR[0] = X；保留，无需关注（屏蔽）

当检测到WBA错误状态时，必须清除错误状态，以便返回正常操作，为新读取或命令写入做好准备。错误状态可通过写入下列命令来清除：

- 写入缓冲区终止复位命令
 - - 清除状态寄存器并返回正常运行
- 状态寄存器清除命令

在嵌入式算法错误状态期间可接受的命令包括：

- 状态寄存器读取
 - - 读取状态寄存器并返回WBA忙碌状态
- 写入缓冲区终止复位命令
- 状态寄存器清除命令

在嵌入式算法期间，与状态寄存器读取无关的读取命令将切换 DS 并返回不确定的数据。

4.14 错误类型和报告 - 传统 (x1) SPI

嵌入式操作状态方法报告的错误类型有三种。根据错误类型，报告的状态和清除错误状态的步骤会有所不同。

表 60 和表 61 提供清除错误状态的详细信息。

表 60 编程错误 (PRGERR) 摘要

Error flag	Symbol	Conditions
Program Error	PRGERR	Bits cannot be programmed '1' to '0'
		Trying to program in a protected region
		If ASP0[2] or ASP0[1] is 0, any Non-volatile Register write attempting to change the value of CFR1N[6:2]/CFR1V[6:2]
		After the Password Protection Mode is selected and ASP Password Register update transaction executed
		SafeBoot Failure
		Configuration Failure

表 61 擦除错误 (ERSERR) 汇总

Error flag	Symbol	Conditions
Erase Error	ERSERR	Sector Device Erase - All bits cannot be erased to '1's
		Trying to erase a protected region
		Register Erase - All bits cannot be erased to '1's during Erase portion of Register Write
		SafeBoot Failure

4.15 复位

HL-T/HS-T器件支持四种复位机制。

- 硬件复位（使用 RESET# 输入引脚）
- 上电复位 (POR)
- CS#信号复位
- 软件复位 - 仅 SPI

4.15.1 硬件复位（使用 RESET# 输入引脚）

RESET# 输入启动复位操作，从逻辑高电平转换为逻辑低电平，持续时间 $> t_{RP}$ ，并使器件执行在 POR 期间执行的完整复位过程。硬件复位过程需要 t_{RH} 时间才能完成。时序规范见表 131。

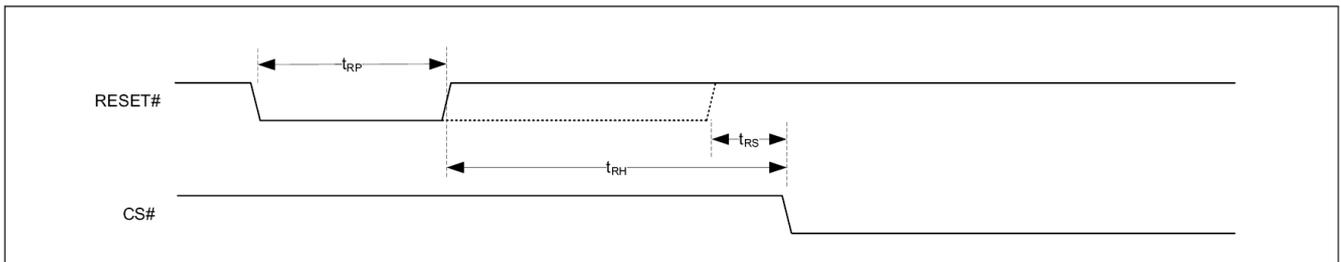


图 39 使用 RESET# 输入进行硬件复位（复位脉冲 = t_{RP} (Min)）

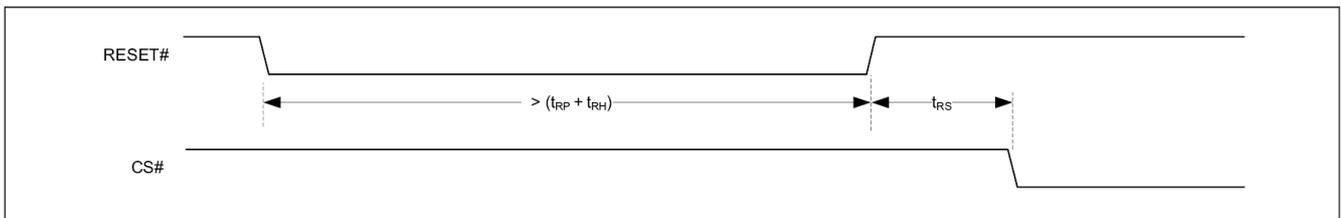


图 40 使用 RESET# 输入进行硬件复位（复位脉冲 $> (t_{RP} + t_{RH})$ ）

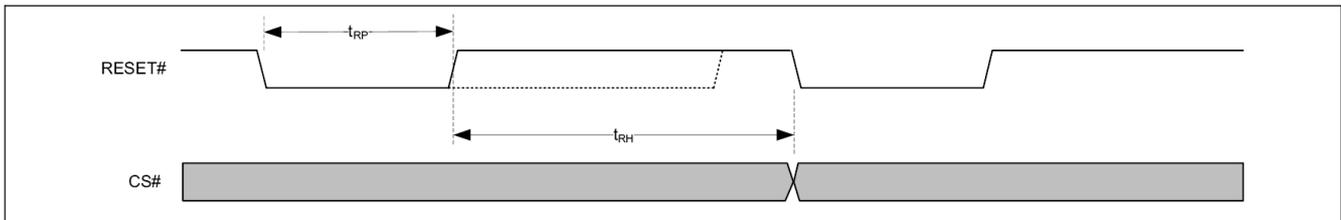


图 41 使用 RESET# 输入的硬件复位（背对背硬件复位）

4.15.2 上电复位 (POR)

该器件执行POR过程，直到 V_{CC} 上升到最小 V_{CC} 阈值之后经过 t_{PU} 时间延迟（见图 42和图 43）。器件不得在上电 (t_{PU}) 期间选择。因此，CS# 必须随 V_{CC} 上升。在 t_{PU} 结束之前，不能向器件发送任何指令。时序规格参见表 131。

POR 期间会忽略 RESET#。如果 POR 期间 RESET# 为低电平，并在 t_{PU} 结束后保持低电平，则 CS# 必须保持高电平，直到 RESET# 返回高电平后并保持 t_{RS} 为止。

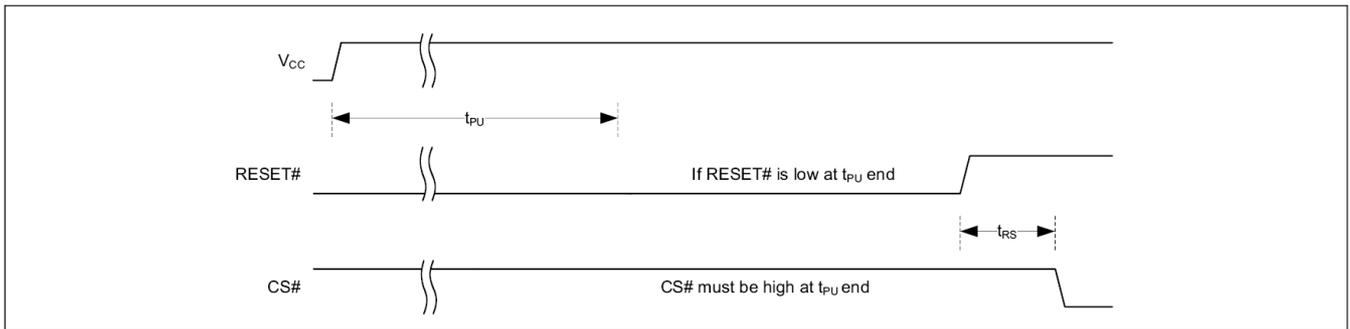


图 42 POR 结束时复位为低电平

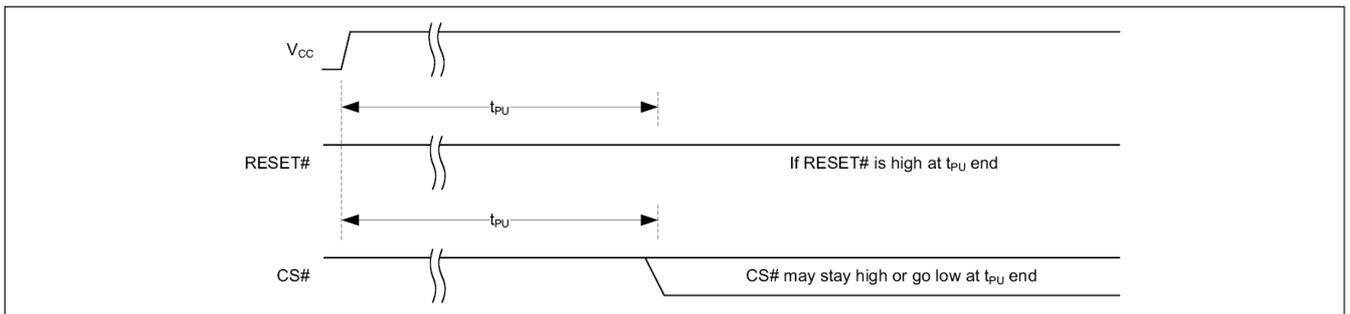


图 43 POR 结束时复位为高电平

4.15.3 CS#信号复位

CS#信号复位需要CS#和DQ0信号。该复位方法定义了一个信令协议，使用现有信号来启动SPI闪存式器件硬件复位，独立于器件运行模式或封装引脚数量。

信令协议如图44所示。时序规范见表131。CS#信号复位步骤如下：

- CS# 驱动为低电平有效。
- CK 在高电平或低电平状态下均保持稳定。
- CS# 和 DQ0 均被驱动为低电平。
- CS# 被驱动为高电平（无效）。
- 重复以上四个步骤，每次交替DQ0的状态总共四次。
- 复位发生在第四个 CS# 周期完成后，并且它变为高电平（非活动）时。

在第四个 CS# 脉冲后，从设备触发其内部复位，器件终止任何正在进行的操作，使所有输出为高阻态，并忽略 t_{RESET} 期间的所有读/写命令传输。然后器件将处于待机状态。

该复位序列不适用于正常上电的情况，而仅适合在器件未对系统作出响应时使用。无论器件处于什么状态，此复位序列都可以运行。

因此，CS# 串行闪存式器件复位信号协议对于不支持 RESET# 引脚的封装非常有用，可提供与硬件复位相同的行为。

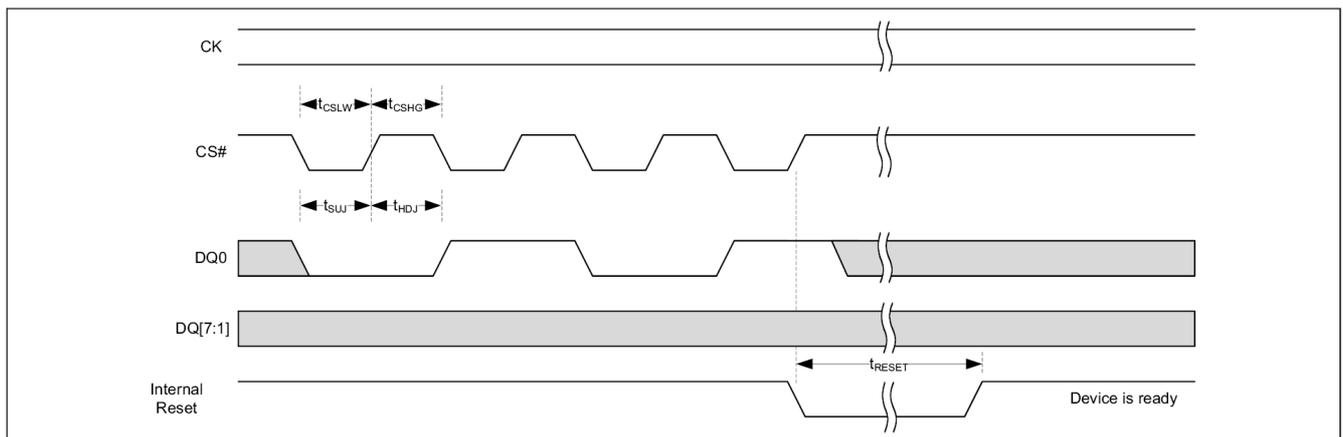


图 44 CS#信令复位协议

4.15.4 软件复位 - 仅 SPI

软件控制的复位命令通过从除保护寄存器之外的非易失默认值重新加载易失性寄存器，将器件恢复到其初始上电状态。当 CS 在命令结束时变为高电平时，执行复位命令 (SFRST_0_0)，并且需要 t_{SR} 时间来执行。时序规格参见表 131。

在复位命令传输 (SFRST_0_0) 之前需要立即执行复位使能 (SRSTE_0_0) 命令传输，以便软件复位执行两个命令传输的序列。SRSTE_0_0 命令传输之后除 SFRST_0_0 以外的任何命令传输都将清除复位使能条件，并防止后面的 SFRST_0_0 命令传输被识别。

复位 (SFRST_0_0) 命令传输紧接着 SRSTE_0_0 命令传输，从而启动软件复位过程。在软件复位期间，在器件的易失性和非易失性配置状态相同时，仅支持状态寄存器 1 的 RDSR1_4_0 和 RDARG_4_0 操作。如果配置状态在软件复位期间发生变化，则只能在软件复位时间过去后才可读取状态寄存器 1。

软件复位与 RESET# 的状态无关。如果 RESET# 为高电平或未连接，并且发出软件复位命令传输，则器件将执行软件复位。

4.15.4.1 软件复位相关寄存器和命令传输

表 62 软件复位相关寄存器和命令传输

Related registers (see “Legacy (x1) SPI registers” on page 116)	Related SPI transactions (see Table 122)
N/A	Software Reset Enable (SRSTE_0_0)
	Software Reset (SFRST_0_0)

4.15.5 复位行为

表 63 复位行为

Transaction/register name	POR	Hardware reset and CS# signaling reset	Software reset (x1 mode only)
Summary	Device Reset Status Bits Reset All Volatile Registers Reset Configuration Reload to Default Volatile Protection Reset to Default Non-volatile Protection unchanged Reset all Embedded operations	Device Reset Status Bits Reset All Volatile Registers Reset Configuration Reload to Default Volatile Protection Reset to Default Non-volatile Protection unchanged Reset all Embedded operations	Device Reset Status Bits Reset Configuration Reload to Default Volatile Protection Reset to Default Non-volatile Protection unchanged Reset all Embedded operations
Interface Requirements	All Inputs - Ignored All Outputs - Tristated	All Inputs - Ignored All Outputs - Tristated	Transactions (SRSTE_0_0, SFRST_0_0)
Status Registers	Load from Non-volatile Registers	Load from Non-volatile Registers	Load from Non-volatile Registers
Configuration Registers	Load from Non-volatile Registers	Load from Non-volatile Registers	Load from Non-volatile Registers
Protection Registers	PPB Lock Register - Load based on ASPO[2:1]	PPB Lock Register - Load based on ASPO[2:1]	PPB Lock Register - No Change
	DYB Access Register - Load based on ASPO[4]	DYB Access Register - Load based on ASPO[4]	DYB Access Register - No Change
	Password Register - Load based on ASPO[2] and ASPO[0]	Password Register - Load based on ASPO[2] and ASPO[0]	Password Register - No Change
ECC Status Register	Load 0x00	Load 0x00	Load 0x00
AutoBoot Register	Load from Non-volatile registers	Load from Non-volatile registers	No Change
Data Integrity Check Register	Load 0x00	Load 0x00	Load 0x00
Interface CRC Register			
ECC Error Count Register			
Address Trap Register			
EnduraFlex Register	Load from Non-volatile Registers	Load from Non-volatile Registers	No Change
I/O Mode			
Memory/Register Erase in Progress	Not Applicable	Abort Erase	Abort Erase
Memory/Register Program in Progress		Abort Program	Abort Program
Memory/Register Read in Progress		Abort Read	Not Applicable

4.16 电源模式

4.16.1 有源电源和备用电源模式

当片选 (CS) 为低电平时，器件处于启用的状态并处于工作的功率模式。当 CS 为高电平时，器件被禁用，但可能仍处于工作功率模式，直到所有编程、擦除和写操作完成。然后器件进入待机功耗模式，功耗降至 I_{SBO} 。参数规格见表 129。

4.16.2 深度掉电 (DPD) 模式

虽然正常运行期间的待机电流相对较低，但通过 DPD 模式可以进一步降低待机电流。较低的功率消耗使得 DPD 模式特别适用于电池供电的应用。

4.16.2.1 进入 DPD 模式

器件可以通过两种方式进入 DPD 模式：

1. 使用命令传输进入 DPD 模式
2. 上电或复位后进入 DPD 模式

使用进入深度掉电模式命令传输进入 DPD 模式

DPD 模式是通过发送进入深度掉电模式命令传输 (ENDPD_0_0, ENTDPD_3_0) 来启用的。CS# 驱动为高电平后，电源将在 t_{ENDPD} 时间内进入深度掉电状态（见表 131 的规格）和功率消耗下降到 I_{DPD} 。

DPD 只能从休闲状态进入。仅当器件未执行嵌入式算法（如就绪/忙碌状态标志 (RDYBSY) 所示）时，才会接受 DPD 命令。在 t_{ENDPD} 时间内不允许向器件发送任何命令。

上电或复位后进入 DPD 模式

如果 DPDPOR 配置位为使能，则在上电、硬件复位或 CS# 串口闪存式器件复位信令协议完成后，器件将处于 DPD 模式。在 POR 或复位期间，CS# 应跟随 VCC 上施加的电压进入 DPD 模式，如图 45 所示。在 t_{ENDPD} 时间内不允许向器件发送任何命令传输。

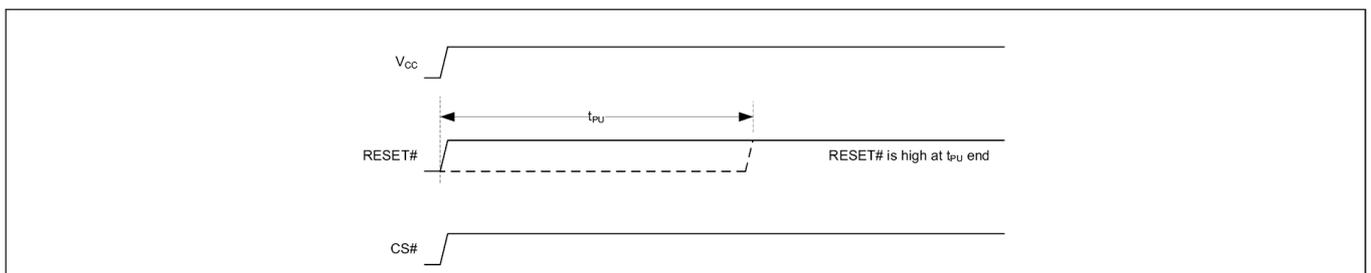


图 45 上电或复位时进入 DPD 模式

4.16.2.2 退出 DPD 模式

器件离开 DPD 模式可通过以下方式之一：

硬件复位后退出 DPD 模式

当器件处于 DPD 且 DPDPOR = 0 时，硬件复位会将器件返回到待机模式。

根据 CS# 脉冲退出 DPD 模式

当器件处于 DPD 模式或 DPDPOR = 1 时，宽度为 t_{CSDPD} 的 CS 脉冲将使器件退出 DPD 模式。CS 应在脉冲后驱动为高电平。DPD 退出后，需要 CS 上的高电平到低电平跳变来启动命令传输周期。退出 DPD 模式需要 t_{EXTDPD} 。器件直到 t_{EXTDPD} 之后才会响应。



图 46 退出 DPD 模式

器件在 DPD 期间保持其配置，这意味着器件退出 DPD 时的状态与进入 DPD 时的状态相同。ECC 状态、ECC 错误检测计数器、地址捕获和中断状态寄存器等寄存器将被清除。

4.16.2.3 HYPERBUS™ DPD 相关寄存器和命令传输

表 64 HYPERBUS™ DPD 相关寄存器和命令传输

Related registers (see “Registers” on page 97)	Related HYPERBUS™ transactions (see Table 120)
Configuration Register 1 (CFR1N, CFR1V)	Enter Deep Power Down Mode (ENTDPD_3_0)

4.16.2.4 传统 (x1) SPI DPD 相关寄存器和命令

表 65 传统 (x1) SPI DPD 相关寄存器和命令

Related registers (see “Registers” on page 97)	Related SPI transactions (see Table 122)
Configuration Register 4 (CFR4N, CFR4V)	Enter Deep Power Down Mode (ENDPD_0_0)

4.17 上电和断电

在 V_{CC} 达到如下正确值之前，一定不要在电压上升或掉电时选通该器件：

- V_{CC} （最小值）在电压上升时，然后再延迟 t_{PU}
- V_{SS} 在掉电时

4.17.1 上电

该器件忽略所有命令，直到 V_{CC} 上升到最小 V_{CC} 阈值之后经过 t_{PU} 的时间延迟见（图 47）。但是，如果 V_{CC} 在 t_{PU} 期间恢复到 $V_{CC}(\text{min})$ 以下，则不能保证器件的正确工作。在 t_{PU} 结束之前，不应向器件发送指令。器件在 t_{PU} 期间吸收 I_{POR} 电流。上电（ t_{PU} ）之后，可以选择处于 DPD 模式或待机模式。配置寄存器中的 DPDPOR 位控制完成后器件是否处于 DPDPOR 模式或待机模式。如果 DPDPOR 位为启用的，则器件上电后处于 DPD 模式。在 POR 之后，需要使用硬件复位 (RESET#) 将器件返回到待机模式。

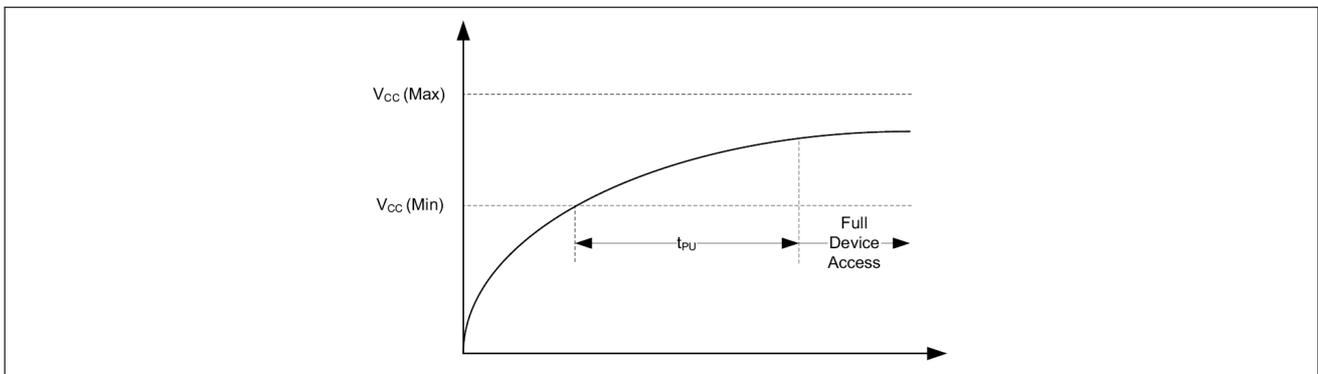


图 47 上电

4.17.2 掉电

在掉电或电压降至 $V_{CC}(\text{cut-off})$ 以下时，电压必须降至 $V_{CC}(\text{Low})$ 以下并持续 t_{PD} ，以使器件在上电时正确初始化（见图 48）。如果在降压过程中 V_{CC} 保持在 $V_{CC}(\text{cut-off})$ 以上，则器件将保持初始化状态，并在 V_{CC} 再次高于 $V_{CC}(\text{min})$ 时正常工作。如果上电后 POR 未正确完成，则 RESET# 信号的置位将重新启动 POR 过程。

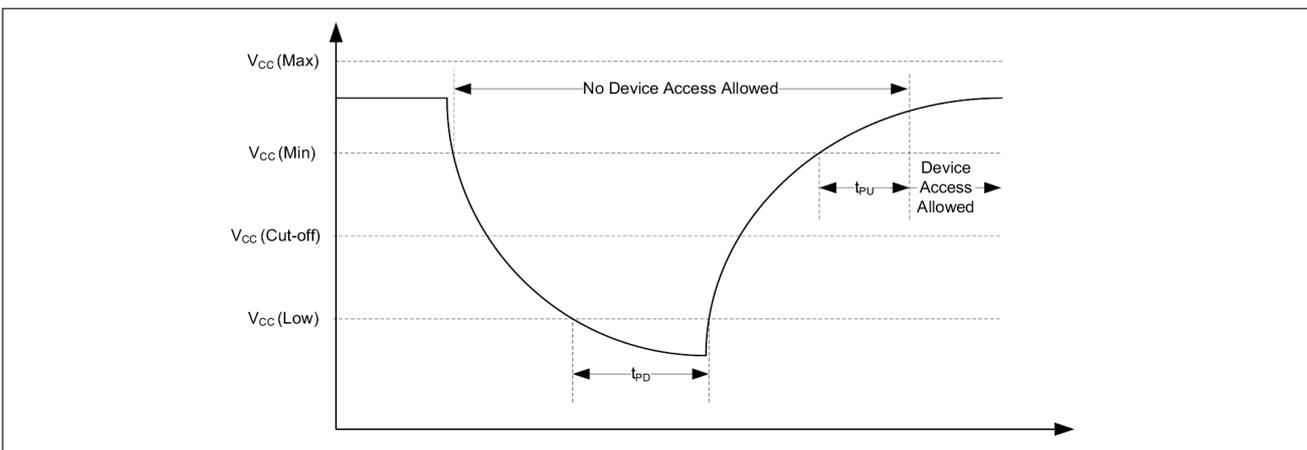


图 48 下电或电压下降

4.17.3 上电和下电顺序

为保证HL-T/HS-T设备可靠运行，需要遵循以下供电顺序：

- 在上电过程中，先施加 V_{CC} ，然后再施加 V_{CCQ} 。在上电过程中，可以同时施加 V_{CC} 和 V_{CCQ} ，只要 V_{CCQ} 不超过 V_{CC} 。
- 在下电模式期间，先降低 V_{CCQ} ，再降低 V_{CC} 。下电期间可以同时降低 V_{CC} 和 V_{CCQ} ，只要 V_{CCQ} 不超过 V_{CC} 。
- 建议保持 $V_{CCQ} \leq V_{CC}$ 。

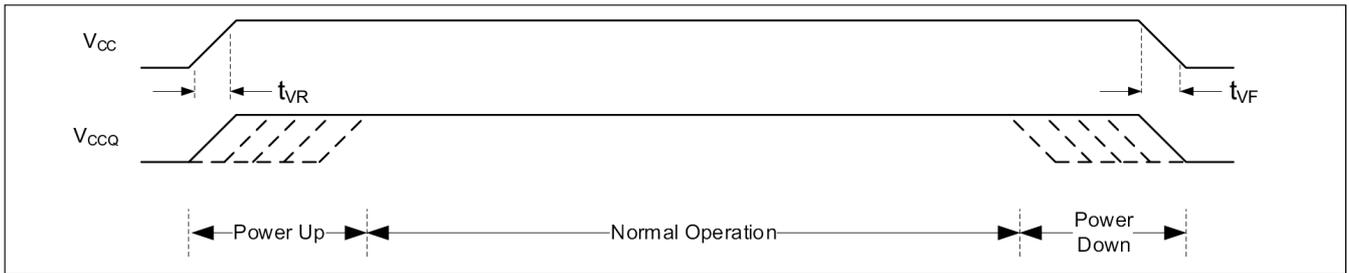


图 49 上电和下电时序

5 寄存器

寄存器是一小组存储单元，用于配置和报告器件操作的状态。HL-T/HS-T 系列器件使用单独的非易失性和易失性存储组来实现不同的寄存器位类型，以实现传统版兼容性和新功能。每个寄存器都由一组易失性位和关联的非易失性位（如果需要持久性）组成。在上电、硬件复位或软件复位期间，寄存器非易失性位中的数据将传输到易失性位，以提供易失性位的默认状态。将新数据写入寄存器的非易失性位时，易失性位也会使用新数据进行更新。但是，将新数据写入易失性寄存器位时，非易失性位将保留旧数据。寄存器结构如图 50 所示。

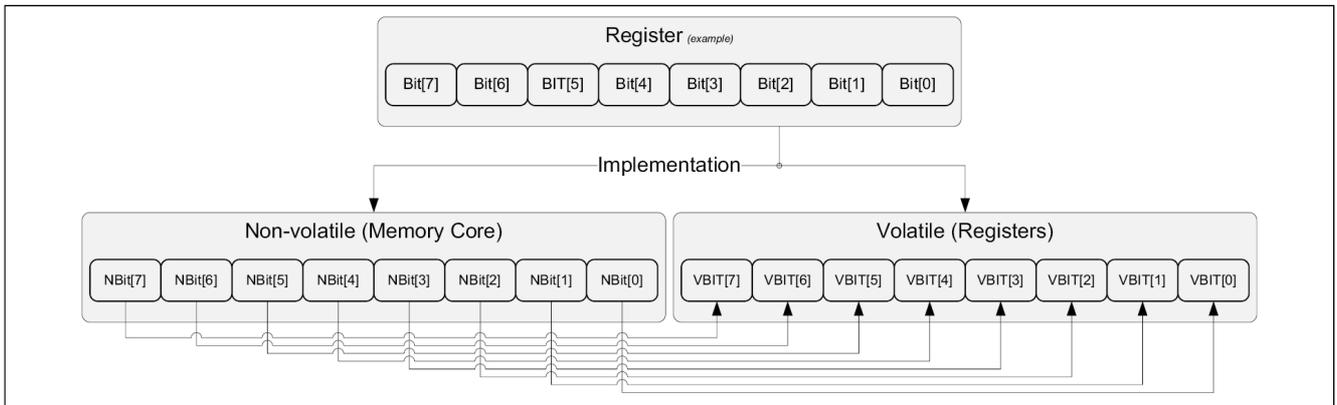


图 50 寄存器结构

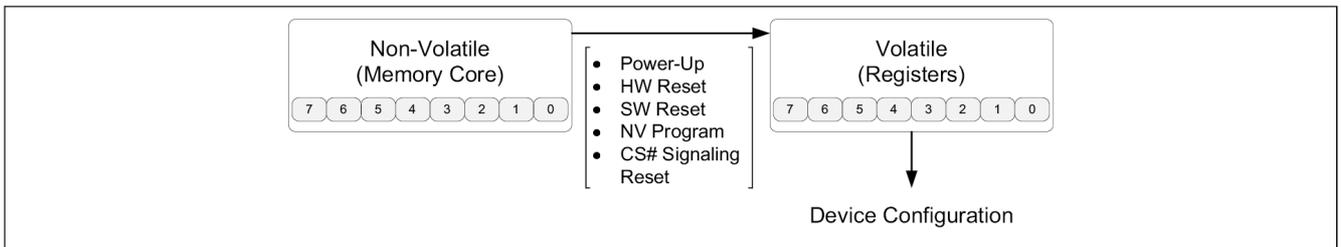


图 51 寄存器组件内的数据移动

注释： 带有HYPERBUS™接口的SEMPER™ 存储器对每个接口类型使用单独的寄存器设置：HYPERBUS™和传统 (x1) SPI。必须针对各自的接口操作配置这两个寄存器组。

5.1 寄存器命名规则

表 66 寄存器位描述规则

Bit number	Name	Function	Read/write	Factory default (binary)	Description
REGNAME#T[x] T = N, V, O Descending Order	-	-	Possible Options: N/A - Not Applicable R - Readable Only R/W - Readable and Writable R/1 - Readable and One Time Programmable	Possible options: 0 1	Format: Description of the Configuration bit 0 = Option '0' selection of the Bit 1 = Option '1' selection of the Bit Dependency: Is this Bit part of a function which requires multiple bits for implementation?

5.2 HYPERBUS™寄存器

5.2.1 配置寄存器 1 (CFR1x) (x8)

配置寄存器 1 控制器件功能。

表 67 配置寄存器 1 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR1N[15] CFR1V[15]	DPDPOR	Deep Power Down power saving mode entry selection upon Power-On-Reset	N => R/W V => R/W	1	Description: The DPDPOR bit selects if the device will be in either the Deep Power Down (DPD) mode or the Standby mode after the completion of Power-On-Reset (POR). If enabled, DPDPOR configures the device to start in DPD mode to reduce current consumption until the device is needed. If the device is in DPD, a pulse on CS# or a Hardware reset will return the device to Standby mode. Selection Options: 0 = Power Down Power mode is entered upon the completion of Power-On-Reset 1 = Standby mode is entered upon the completion of Power-On-Reset Deep Dependency: N/A
CFR1N[14:12] CFR1V[14:12]	IOIMPD[2:0]	I/O Driver Output Impedance Selection	N => R/W V => R/W	101	Description: The IOIMPD[2:0] bits select the IO driver output impedance (drive strength). The output impedance configuration bits adjust the drive strength during normal device operation to meet system signal integrity requirements. Selection Options: 000 = 45 Ω 001 = 120 Ω 010 = 90 Ω 011 = 60 Ω 100 = 45 Ω 101 = 30 Ω (Factory Default) 110 = 20 Ω 111 = 15 Ω Dependency: N/A

Registers

表 67 配置寄存器 1 (x8) (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR1N[11] CFR1V[11]	TLCFRP	Temporary Locking selection of Configuration Registers	N => R/W V => R/W	1	Description: The TLCFRP bit temporarily protects the Configuration Registers. Upon power-up or a hardware reset, TLCFRP is set to its default state. When selected, it protects the Configuration registers from programming. Note It is recommended to program and verify other Configuration Register bits before setting up TLCFRP = 0. Selection Options: 0 = Configuration Registers are protected 1 = Configuration Registers are not protected Dependency: N/A
CFR1N[10] CFR1V[10]	TLSSRP	Temporary Locking selection of Secure Silicon Region	N => R/W V => R/W	1	Description: The TLSSRP bit temporarily protects the SSR. Upon power-up or a hardware reset, TLSSRP is set to its default state. When selected, it protects the SSR from programming. Selection Options: 0 = Secure Silicon Region is protected 1 = Secure Silicon Region is not protected Dependency: N/A
CFR1N[9:8] CFR1V[9:8]	TB4KBS[1:0]	Top or Bottom Address Range Selection for 4 KB Sector Block	N => R/W V => R/W	10	Description: The TB4KBS bits define the logical address location of the 4KB sector block. The 4KB sector block replaces the fitting portion of the highest or lowest address sector. Selection Options: 00 = 4 KB Sector Block and Read Password Sector is mapped into the bottom of the memory address space 01 = 4 KB Sector Block and Read Password Sector is mapped into the top of the memory address space 10 = Uniform Sector architecture and Read Password Sector is mapped into the bottom of the memory address space 11 = Uniform Sector architecture and Read Password Sector is mapped into the top of the memory address space Dependency: N/A
CFR1N[7:4] CFR1V[7:4]	MEMLAT[3:0]	Memory Array Read Latency selection - Dummy cycles required for initial data access	N => R/W V => R/W	1011	Description: The MEMLAT[3:0] bits control the read latency (dummy cycles) delay in all variable latency memory array and Non-volatile Register read transactions. MEMLAT selection allows the user to adjust the read latency during normal operation based on different operating frequencies. The device will support 20 cycles read latency upon erasing the configuration register - 1. Selection Options: 0000 = 5 Latency Cycles Selection based on transaction opcodes 1100 = 20 Latency Cycles Selection based on transaction opcodes Dependency: N/A
CFR5V[3]	RESVRD	Reserved for Future Use	N => R/W V => R/W	1	These bits are Reserved for future use. This bit must always be written/loaded to its default state.

Registers

表 67 配置寄存器 1 (x8) (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR1N[2] CFR1V[2]	DTSTSL	Data Strobe Stall during Device Error Selection (DS)	N => R/W V => R/W	1	Description: The DTSTSL bit selects whether Data Strobe (DS) stalls on device errors such as 2-bit ECC detection. Selection Options: 0 = DS stalls on device errors 1 = DS does not stall on device errors Dependency: N/A
CFR1N[1:0] CFR1V[1:0]	RBSTWL[1:0]	Read Burst Wrap Length selection	N => R/W V => R/W	11	Description: The RBSTWL[1:0] bits select the read burst wrap length and alignment during normal operation. It selects the fixed length/aligned group of 16, 32, or 64 bytes. Selection Options: 00 = Reserved 01 = 64 Bytes Wrap length 10 = 16 Bytes Wrap length 11 = 32 Bytes Wrap length Dependency: N/A

表 68 MEMLAT[3:0] 延迟代码选项的HYPERBUS™最大工作频率

Latency code	Latency clocks initial latency single/double	Single initial latency maximum frequency (MHz)	Double initial latency maximum frequency (MHz)
0000	5/10	57	107
0001	6/12	71	121
0010	7/14	85	135
0011	8/16	100	150
0100	9/18	107	164
0101	10/20	114	178
0110	11/22	128	192
0111	12/24	142	200
1000	13/26	157	200
1001	14/28	171	200
1010	15/30	185	200
1011	16/32	200	200
1100	20/40	200	200
1101	Reserved	-	-
1110	Reserved	-	-
1111	Reserved	-	-

Registers

5.2.2 配置寄存器 2 (CFR2x) (x8)

配置寄存器 2 控制器件功能。

表 69 配置寄存器 2 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR2V[15:8]	RESVRD	Reserved for Future Use	N ⇒ R/W V ⇒ R/W	11111111	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
CFR2N[7] CFR2V[7]	PGLTNS	Memory Read Page Boundary Latency selection	N ⇒ R/W V ⇒ R/W	1	Description: The PGLTNS bit selects whether single or double initial latency is encountered during read instructions. Double initial latency ensures there is no inter-page boundary latency. Selection Options: 0 = Double initial latency - zero latency at page boundaries 1 = Single initial latency - latency at page boundaries Dependency: N/A
CFR2N[6] CFR2V[6]	ATP12S	Address Trap Register 1-bit or 1-bit/2-bit ECC Error selection	N ⇒ R/W V ⇒ R/W	1	Description: The ATP12S bit selects between 1-bit ECC error detection/correction or both 1-bit ECC error detection/correction and 2-bit ECC error detection for Address Trap Register. Selection Options: 1 = Address Trap Register traps address of 2-bit ECC errors 0 = Address Trap Register traps address of both 1-bit and 2-bit ECC errors Dependency: N/A
CFR2N[5] CFR2V[5]	ECC12S	Error Correction Code (ECC) 1-bit or 1-bit/2-bit error correction selection	N ⇒ R/W V ⇒ R/W	0	Description: The ECC12S bit selects between 1-bit ECC error detection/correction or both 1-bit ECC error detection and correction and 2-bit ECC error detection. Selection Options: 0 = 1-bit ECC Error Detection/Correction and 2-bit ECC error detection 1 = 1-bit ECC Error Detection/Correction Dependency: N/A
CFR2N[4] CFR2V[4]	HYBSEL	Hybrid Burst Selection - CA[45] must select Wrapped Burst type for this option	N ⇒ R/W V ⇒ R/W	1	Description: The HYBSEL bit selects hybrid burst which provides one initial wrapped burst followed by a linear burst. Selection Options: 0 = Hybrid burst is enabled (Wrapped burst followed by linear burst) 1 = Hybrid burst is disabled Dependency: N/A
CFR2N[3] CFR2V[3]	RESVRD	Reserved for Future Use	N ⇒ R/W V ⇒ R/W	1	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
CFR2N[2] CFR2V[2]	SP4KBS	Split 4KB Sectors selection between top and bottom address space	N ⇒ R/W V ⇒ R/W	1	Description: The SP4KBS bit selects whether the 4KB sectors are grouped together or evenly split between high and low address ranges. Selection Options: 0 = 4KB Sectors are grouped together 1 = 4KB Sectors are split between High and Low Addresses Dependency: TB4KBS[1:0] (CFR1x[9:8])
CFR2V[1]	RESVRD	Reserved for Future Use	N ⇒ R/W V ⇒ R/W	1	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
CFR2N[0] CFR2V[0]	CK#SEL	Master Clock Selection - Single Ended or Differential	N ⇒ R/W V ⇒ R/W	1	Description: The CK#SEL bit selects whether master clock is single ended (CK) or differential (CK, CK#) Selection Options: 1 = Master Clock is single ended (CK) 0 = Master Clock is differential (CK, CK#) Dependency: N/A

Registers

5.2.3 状态寄存器 (x8)

状态寄存器提供器件的运行状态。

表 70 状态寄存器 (x8) [26]

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
STRV[15:10]	RESVRD	Reserved for Future Use	V=>R	1111111	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
STRV[9]	RESVRD	Reserved for Future Use	V=>R	1	This bit is Reserved for future use. This bit must always be (1 Gb, 512 Mb) written/loaded to its default state.
STRV[8]	DICRCS	Memory Array Data Integrity Check CRC Suspend Status Flag	V=>R	0	Description: The DICRCS bit is used to determine when the device is in Memory Array Data Integrity Check CRC suspend mode. Selection Options: 0 = Memory Array Data Integrity Check CRC is not in suspend mode 1 = Memory Array Data Integrity Check CRC is in suspend mode Dependency: N/A
STRV[7]	RDYBSY	Device Ready/Busy Status Flag	V=>R	1	Description: The RDYBSY bit indicates whether the device is performing an embedded operation or is in standby mode ready to receive new operation transactions. Note If PRGERR or ERSERR is set, the RDYBSY bit will set to a '1'. Selection Options: 0 = Device is busy and unable to receive new operation transactions 1 = Device is in standby mode ready to receive new operation transactions (Host needs to check PRGERR and ERSERR before providing a new transaction) Dependency: N/A
STRV[6]	ERASES	Erase operation Suspend Status Flag	V=>R	0	Description: The ERASES bit is used to indicate if the Erase operation is suspended. Selection Options: 0 = Erase operation is not in suspend mode 1 = Erase operation is in suspend mode Dependency: N/A
STRV[5]	ERSERR	Erasing Error Status Flag	V=>R	0	Description: The ERSERR bit indicates erase operation success or failure. When the ERSERR bit is set to a '1', it indicates that there was an error in the last erasing operation. ERSERR bit is also set when a erase operation is attempted within a protected memory sector. When ERSERR is set, it can only be cleared with the Clear Status Register (CLSR) transaction or a hardware/software reset. Note The device will only go to standby mode once the ERSERR flag is cleared. Selection Options: 0 = Last erase operation was successful 1 = Last erase operation was unsuccessful Dependency: N/A

注释:

26. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STRV 值无效。

Registers

表 70 状态寄存器 (x8) ^[26] (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
STRV[4]	PRGERR	Programming Error Status Flag	V => R	0	<p>Description: The PRGERR bit indicates program operation success or failure. When the PRGERR bit is set to a '1', it indicates that there was an error in the last programming operation. PRGERR bit is also set when a program operation is attempted within a protected memory region. When PRGERR is set, it can only be cleared with the Clear Status Register (CLSR) trans-action or a hardware/software reset. Note The device will only go to standby mode once the PRGERR flag is cleared.</p> <p>Selection Options: 0 = Last programming operation was successful 1 = Last programming operation was unsuccessful</p> <p>Dependency: N/A</p>
STRV[3]	WRBFAB	Write Buffer Abort Status Flag	V => R	0	<p>Description: The WRBFAB bit indicates a programming abort condition. When any condition causes an abort of write buffer instruction, the abort will happen immediately after the offending condition, and will indicate a Program Fail in the Status Register (PRGERR = 1) along with a Write Buffer Abort (WRBFAB = 1). The next successful program operation will clear the failure status or a Clear Status Register may be issued to clear the PSB status bit. The WRBFAB also indicates that the memory array CRC calculation operation was aborted. The Ending Address (EA) should be at least one address higher than the Starting Address (SA). If EA < SA + 1 the Check-value Calculation will abort and the device will return to the Ready state. WRBFAB will be set (1) to indicate the aborted condition. If EA < SA + 1 the CRCR will hold indeterminate data.</p> <p>Selection Options: 0 = Program did not abort during write to buffer instruction or CRC end address load instruction did not abort 1 = Program aborted during write to buffer instruction or CRC end address load instruction aborted</p> <p>Dependency: N/A</p>
STRV[2]	PROGMS	Program operation Suspend Status Flag	V => R	0	<p>Description: The PROGMS bit is used to indicate if the Program operation is suspended.</p> <p>Selection Options: 0 = Program operation is not in suspend mode 1 = Program operation is in suspend mode</p> <p>Dependency: N/A</p>

注释:

26. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STRV 值无效。

Registers

表 70 状态寄存器 (x8) ^[26] (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
STRV[1]	SPROTE	Sector Protection (Lock) Error Flag	V=>R	0	<p>Description: The SPROTE bit indicates that a program or erase operation failed because the target region (memory array, registers or SSR) was protected (locked). SPROTE reflects the status of the most recent program or erase operation.</p> <p>Selection Options: 0 = Operation did not generate a Protection error 1 = Operation generated a Protection error</p> <p>Dependency: N/A</p>
STRV[0]	SESTAT	Sector Erase Success/Failure Status Flag	V=>R	0	<p>Description: The SESTAT bit indicates whether the erase operation on the sector completed successfully. Evaluate Erase Status transaction (EVERS_4_0) must be executed prior to reading SESTAT bit which specifies the sector address.</p> <p>Selection Options: 0 = Addressed sector was not erased successfully 1 = Addressed sector was erased successfully</p> <p>Dependency: N/A</p>

注释:

26. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STRV 值无效。

5.2.4 ECC 状态寄存器 (ECSV) (x8)

ECC 状态 (ECSV) 包含对单元数据执行的任何错误校正操作的 ECC 状态。

表 71 ECC状态寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ECSV[15:4]	RESRVD	Reserved for Future Use	V => R	000000000000	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ECSV[3]	ECC2BT	ECC Error 2-bit Error Detection Flag	V => R	0	Description: The ECC2BT bit indicates that a 2-bit ECC Error was detected in the data unit (16 bytes). Selection Options: 0 = No 2-Bit ECC Error was detected in the data unit (16 bytes) 1 = 2-bit ECC Error was detected in the data unit (16 bytes) Dependency: N/A
ECSV[2]	RESVRD	Reserved for Future Use	V => R	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ECSV[1]	ECC1BT	ECC Error 1-bit Error Detection and Correction Flag	V => R	0	Description: The ECC1BT bit indicates that a 1-bit ECC Error was detected and corrected in the data unit (16 bytes). Selection Options: 0 = No 1-Bit ECC Error was detected in the data unit (16 bytes) 1 = 1-bit ECC Error was detected in the data unit (16 bytes) Dependency: N/A
ECSV[0]	ECCDBL	ECC Disable Flag	V => R	0	Description: The ECCDBL bit indicates whether the ECC is enabled or disabled in the addressed data unit (16 bytes). Selection Options: 0 = ECC is enabled in the addressed data unit (16 bytes) 1 = ECC is disabled in the addressed data unit (16 bytes) Dependency: N/A

5.2.5 ECC 地址捕获寄存器 (EATV) (x8)

ECC 地址捕获寄存器 (EATV) 用于存储读操作期间发生 1 位/2 位错误或仅发生 1 位错误的 ECC 单元数据的地址。它存储第一个 ECC 错误的 ECC 单元地址。

表 72 ECC 地址捕获寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EATV[31:0]	ECCATP[31:0]	ECC 1-bit and 2-bit Error Address Trap Register	V⇒R	0x00000000	<p>Description: The Address Trap Register (ECCATP[31:0]) stores the ECC unit data address where a 1-Bit/2-Bit error occurred during a read operation. ECCATP[31:0] stores the ECC unit address of the first ECC error captured during a memory read operation since the last Clear ECC Status Register transaction (CLECC).</p> <p>Note ECCATP[31:0] is only updated during Read Instruction.</p> <p>Note Mask non-valid upper ECCATP address bits from ECC unit address.</p> <p>Note Clear ECC Status Register transaction (CLECC), POR or Hardware/Software reset clears the EATV[31:0] to 0x00000000.</p> <p>Selection Options: ECC Error Data Unit Address</p> <p>Dependency: N/A+F6:F20</p>

5.2.6 ECC 错误检测计数寄存器 (ECTV) (x8)

ECC 错误检测计数寄存器 (ECTV) 存储自上次 POR 或硬件/软件复位以来读取操作期间发生的 1 位/2 位或仅 1 位 ECC 错误的数量。

表 73 ECC 计数寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
ECTV[15:0]	ECCCNT[15:0]	ECC 1-bit and 2-bit Error Count Register	V⇒R	0x0000	<p>Description: The ECCCNT[15:0] stores the number of 1-bit/2-bit ECC errors occurred during read operations since the last POR or hardware/software reset.</p> <p>Note ECCCNT[15:0] is only updated during Read Instruction.</p> <p>Note Only one ECC error is counted for each data unit. If multiple read transactions access the same unit data containing an ECC error, the ECCCNT[15:0] will increment each time the unit data is read.</p> <p>Note Once the count reaches 0xFFFF, the ECCCNT[15:0] will stop incrementing.</p> <p>Note POR or Hardware/Software reset clears the ECCCNT[15:0] to 0x0000.</p> <p>Selection Options: ECC Error Count</p> <p>Dependency: N/A</p>

5.2.7 ASP 密码寄存器 (PWDO) (x8)

ASP 密码寄存器 (PWDO) 用于永久定义密码。

表 74 密码寄存器 (PASS) (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
PWDO[63:0]	PASWRD[63:0]	Password Register	N => R/1	0xFFFFFFFFFFFFFFFF	Description: The PASWRD[63:0] permanently stores a password used in password protected modes of operation. When the Password Protection mode is enabled, this register will output all 1s data upon read password request. Selection Options: Password Dependency: N/A

5.2.8 高级扇区保护寄存器 (ASPO) (x8)

ASP 寄存器 (ASPO) 配置高级扇区保护方式的行为。

表 75 高级扇区保护寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ASPO[15:6]	RESVRD	Reserved for Future Use	N => R/1	1111111111	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ASPO[5]	ASPRDP	Read Password Based Protection Selection	N => R/1	1	Description: The ASPRDP bit selects the Read Password Mode Protection mode. Read Password Protection mode works in conjunction with Password Protection mode to protect all sectors from Read/Erase/Program. Based on TB4KBS[1:0] configuration bit (CFR1x[9:8]), either the top or bottom sector is available for reading. Selection Options: 0 = Read Password Protection Mode is enabled 1 = Read Password Protection Mode is disabled Dependency: TB4KBS[1:0] (CFR1x[9:8])
ASPO[4]	RESVRD	Reserved for Future Use	N => R/1	1	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ASPO[3]	RESVRD	Reserved for Future Use	N => R/1	1	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ASPO[2]	ASPPWD	Password Based Protection Selection	N => R/1	1	Description: The ASPPWD bit selects the Password Protection Mode. Password Protection mode protects all PPB bits, all registers and all memory from erase/program till the correct password is entered. The ASPPWD can also be used in combination with the ASPRDP to protect all registers and all memory from erase/program and to protect sectors from being read as well till the correct password is provided – except for top or bottom sector which is available for reading based on TB4KBS[1:0] configuration bit (CFR1x[9:8]). Note When ASPPWD is selected, ASPO[15:0] and PWDO[63:0] are protected against write operations.. Selection Options: 0 = Password Protection Mode is enabled 1 = Password Protection Mode is disabled Dependency: ASPPER (ASPO[1])

Registers

表 75 高级扇区保护寄存器(x8) (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ASPO[1]	ASPPER	Persistent Protection Selection (Register Protection Selection)	N => R/1	1	Description: The ASPPER bit selects the Persistent Protection Mode. The Persistent Protection mode (ASPPER) protects the ASPO[15:0] Register from erase or program. Selection Options: 0 = Persistent Protection Mode is enabled 1 = Persistent Protection Mode is disabled Dependency: ASPPWD (ASPO[2])
ASPO[0]	RESVRD	Reserved for Future Use	N => R/1	1	This bit is Reserved for future use. This bit must always be written/loaded to its default state.

5.2.9 ASP PPB 锁定寄存器 (PPLV) (x8)

ASP PPB 锁定寄存器 (PPLV) 中的 PPBLCK 位用于保护 PPB 位。

表 76 ASP PPB 锁定寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
PPLV[15:1]	RESVRD	Reserved for Future Use	V => R	1111111111111111	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
PPLV[0]	PPBLCK	PPB Temporary Protection Selection	V => R	1	Description: The PPBLCK bit is used to temporarily protect all the PPB bits. Selection Options: 0 = PPB bits are protected against erase or program till the next POR or hardware reset 1 = PPB Bits can be erased or programmed Dependency: N/A

5.2.10 ASP PPB 访问寄存器 (PPAV) (x8)

ASP PPB 访问寄存器 (PPAV) 用于提供每个扇区的 PPB 保护位的状态。

表 77 ASP PPB 访问寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
PPAV[15:0]	PPBACS[15:0]	Sector Based PPB Protection Status	N => R/W	1111111111111111	Description: The PPBACS[7:0] bits are used to provide the state of the individual sector's PPB bit. Selection Options: FFFF = PPB for the sector addressed by the Read PPB transaction is 1, not protecting that sector from program or erase operations 0000 = PPB for the sector addressed by the Read PPB transaction is 0, protecting that sector from program or erase operations Dependency: N/A

5.2.11 ASP 动态功能块访问寄存器 (DYAV) (x8)

ASP DYB访问寄存器 (DYAV) 用于提供每个扇区的DYB保护位的状态。

表 78 ASP DYB访问寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
DYAV[15:0]	DYBACS[15:0]	Sector Based DYB Protection Status	V=> R/W	1111111111111111	Description: The DYBACS[7:0] bits are used to provide the state of the individual sector's DYB bit. Selection Options: FFFF = DYB for the sector addressed by the Read DYB transaction is 1, not protecting that sector from program or erase operations 0000 = DYB for the sector addressed by the Read DYB transaction is 0, protecting that sector from program or erase operations Dependency: N/A

5.2.12 自动启动寄存器 (ATBN) (x8)

自动启动寄存器 (ATBN) 提供了一种自动读取启动代码的方法，作为加电复位或硬件复位过程的一部分。

表 79 自动启动寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ATBN[31:9]	STADR[22:0]	Starting Address Selection where AutoBoot will start reading data from	N => R/W	0000000000 0000000000 000	Description: The STADR[22:0] bits set the starting address from which the device will output the read data. Selection Options: Address Bits Dependency: N/A
ATBN[8:1]	STDLY[7:0]	AutoBoot Read Starting Delay Selection	N => R/W	00000000	The STDLY[7:0] bits specify the initial delay (clock cycles) needed by the host before it can accept data. Note STDLY[7:0] = 0x00 is valid for SPI up to 50 MHz. STDLY[8:1] = 0x01 or higher is valid for SPI/DPI/QPI up to 166 MHz. STDLY[7:0] = 0x05 or higher is valid for OPI/HYPERFLASH™ up to 200 MHz. Selection Options: Address Bits Dependency: N/A
ATBN[0]	ATBTEN	AutoBoot Feature Selection	N => R/W	0	Description: The ATBTEN bit enables or disables the AutoBoot feature. Selection Options: 0 = AutoBoot feature disabled 1 = AutoBoot feature enabled Dependency: N/A

Registers

5.2.13 POR 时间寄存器(PORT) (x8)

POR 时间寄存器包含 RSTO# 周期超出 POR 周期的计数。

表 80 POR 时间寄存器 (x8)

Non-volatile-memory core bits					Description
Bits	Name	Function	Read/write	Default state	
15:0	PORT_NV	Power-On-Reset Time	R/W	FFFFh	To extend the RSTO# period beyond the POR period, the non-volatile POR Time Register must be programmed. 0000000000000000b 1111111111111111b

5.2.14 扇区擦除计数寄存器 (SECV) (x8)

扇区擦除计数寄存器 (SECV) 包含指定扇区已擦除的次数。

表 81 扇区擦除计数寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
SECV[31:24]	RESVRD	Reserved for Future Use	V=>R	11111111	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
SECV[23]	SECCPT	Sector Erase Count Corruption Status Flag	V=>R	0	Description: The SECCPT bit is used to determine if the reported sector erase count is corrupted and was reset. Note If SECCPT is set due to count corruption, it will reset to 0 on the next successful erase operation on the selected sector. Selection Options: 0 = Sector Erase Count is not corrupted and is valid 1 = Sector Erase Count is corrupted and is not valid Dependency: N/A
SECV[22:0]	SECVAL[22:0]	Sector Erase Count Value	V=>R	0	Description: The SECVAL[22:0] bits store the number of times a sector has been erased. Selection Options: Value Dependency: N/A

5.2.15 存储器阵列数据完整性检查 CRC (循环校验) 寄存器 (DCRV) (x8)

存储阵列数据完整性检查CRC (循环冗余校验) 寄存器 (DCRV) 存储对指定起始地址和结束地址之间包含的数据进行CRC (循环冗余校验) 计算的结果。

表 82 存储阵列数据完整性校验 CRC (循环冗余校验) 寄存器(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
DCRV[31:0]	DTCRCV[31:0]	Memory Array Data Integrity Check CRC Checksum Value	V=>R	0xFFFFFFFF	Description: The DTCRCV[31:0] bits store the checksum value of the CRC process on the memory array data contained within the starting address and the ending address. Selection Options: Checksum Value Dependency: N/A

5.2.16 接口 CRC（循环校验） 校验值寄存器 (ICRV) (x8)

接口CRC（循环冗余校验）校验值寄存器（ICRV）存储指令上的CRC（循环冗余校验）计算结果和接口上的数据内容以进行保护。

表 83 接口 CRC（循环冗余校验）校验值寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
ICRV[31:0]	ITCRCV[31:0]	Interface CRC Checksum Value	V => R	0xFFFFFFFF	Description: The ITCRCV[31:0] bits store the check-value of the CRC process on the memory array data contained within the starting address and the ending address. Selection Options: Checksum Value Dependency: N/A

5.2.17 英飞凌 Endurance Flex 架构选择寄存器 (EFXx) (x8)

英飞凌 Endurance Flex 架构选择寄存器 (EFXx) 根据四个指针架构来定义长保留/高耐久性区域。

表 84 英飞凌 Endurance Flex 架构选择寄存器（指针 4）(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX4[10:2]	EPTAD4[8:0]	EnduraFlex Pointer 4 Address Selection	N => R/1	11111111	Description: The EPTAD4[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX4[1]	ERGNT4	EnduraFlex Pointer 4 based Region Type Selection	N => R/1	1	Description: The ERGNT4 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX4[0]	EPTEB4	EnduraFlex Pointer 4 Enable# Selection	N => R/1	1	Description: The EPTEN4 bit defines whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

Registers

表 85 英飞凌 Endurance Flex 架构选择寄存器（指针 3）(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX3[10:2]	EPTAD3[8:0]	EnduraFlex Pointer 3 Address Selection	N => R/1	11111111	Description: The EPTAD3[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX3[1]	ERGNT3	EnduraFlex Pointer 3 based Region Type Selection	N => R/1	1	Description: The ERGNT3 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX3[0]	EPTEB3	EnduraFlex Pointer 3 Enable# Selection	N => R/1	1	Description: The EPTEN3 bit defines whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

表 86 英飞凌 Endurance Flex 架构选择寄存器（指针 2）(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX2[10:2]	EPTAD2[8:0]	EnduraFlex Pointer 2 Address Selection	N => R/1	11111111	Description: The EPTAD2[8:0] bits define the 9-bit address of the beginning sector from where the long retention/high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX2[1]	ERGNT2	EnduraFlex Pointer 2 based Region Type Selection	N => R/1	1	Description: The ERGNT2 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX2[0]	EPTEB2	EnduraFlex Pointer 2 Enable# Selection	N => R/1	1	Description: EPTEN2 bit defines whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

Registers

表 87 英飞凌 Endurance Flex 架构选择寄存器（指针 1）(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX1[10:2]	EPTAD1[8:0]	EnduraFlex Pointer 1 Address Selection	N => R/1	11111111	Description: The EPTAD1[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX1[1]	ERGNT1	EnduraFlex Pointer 1 based Region Type Selection	N => R/1	1	Description: The ERGNT1 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX1[0]	EPTEN1	EnduraFlex Pointer 1 Enable# Selection	N => R/1	1	Description: The EPTEN1 bit defines whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

表 88 英飞凌 Endurance Flex 架构选择寄存器（指针 0）(x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX0[1]	GBLSEL	All Sectors based Region type Selection	N => R/1	1	Description: The GBLSEL bit defines whether all sectors are defined as long retention region or high endurance region. Note If all other Pointer registers are disabled, this bit defines the behavior of the entire memory space and is hardwired to start at Sector 0. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX0[0]	WRLVEN	Wear Leveling Enable Selection	N => R/1	1	Description: The WRLVEN bit enables/disables the wear leveling feature. Selection Options: 0 = Wear Leveling Disabled 1 = Wear Leveling Enabled Dependency: N/A

5.2.18 INT# 引脚配置寄存器 (INCV) (x8)

INT# 引脚配置寄存器 (INCV) 配置哪个内部事件将触发 INT# 输出引脚上的高电平到低电平跳变。

表 89 中断配置寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
INCV[15]	INTBEN	INT# pin Enable Selection	V=> R/W	1	Description: The INT# pin is an open-drain output used to indicate to the host system that an event has occurred within the memory device. The INTBEN bit enables or disables the functionality controlling INT# pin. Selection Options: 0 = INT# pin functionality is enabled 1 = INT# pin functionality is disabled Dependency: N/A
INCV[14]	RESRVD	Reserved for Future Use	V=> R/W	11	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
INCV[13:5]	RESRVD	Reserved for Future Use	V=> R/W	11111111	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
INCV[4]	REYBSY	Ready/Busy Transition Selection	V=> R/W	1	Description: The REYBSY bit enables or disables whether device ready/busy state will transition INT#. Selection Options: 0 = A Busy to Ready transition will cause a High to Low transition on the INT# output 1 = Ready/Busy transitions will not transition the INT# output Dependency: N/A
INCV[3:2]	RESRVD	Reserved for Future Use	V=> R/W	11	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
INCV[1]	ECC2BT	ECC 2-bit Error Detection Selection	V=> R/W	1	Description: The ECC2BT bit enables or disables whether a 2-bit ECC detection error will transition INT#. Selection Options: 0 = 2-bit ECC detection will cause a High to Low transition the INT# output 1 = 2-bit ECC detection will not transition the INT# output Dependency: N/A
INCV[0]	ECC1BT	ECC 1-bit Error Detection and Correction Selection	V=> R/W	1	Description: The ECC1BT bit enables or disables whether a 1-bit ECC detection and correction error will transition INT#. Selection Options: 0 = 1-bit ECC detection and correction will cause a High to Low transition the INT# output 1 = 1-bit ECC detection and correction will not transition the INT# output Dependency: N/A

5.2.19 INT# 引脚状态寄存器 (INSV) (x8)

INT# 引脚状态寄存器 (INSV) 指示自上次清除 ISR 以来发生了哪些内部事件。

表 90 中断状态寄存器 (x8)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
INSV[15:5]	RESRVD	Reserved for Future Use	V => R/W	1111111111	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
INSV[4]	REYBSY	Ready/Busy Transition	V => R/W	1	Description: The REYBSY bit indicates whether the device's ready/busy status has caused a transition on INT#. Selection Options: 0 = A Busy to Ready transition has occurred 1 = A Busy to Ready transition has not occurred Dependency: N/A
INSV[3:2]	RESRVD	Reserved for Future Use	V => R/W	11	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
INSV[1]	ECC2BT	ECC 2-bit Error Detection	V => R/W	1	Description: The ECC2BT bit indicates whether a 2-bit ECC detection error has caused a transition on INT#. Selection Options: 0 = 2-bit error detection has occurred 1 = 2-bit error detection has not occurred Dependency: N/A
INSV[0]	ECC1BT	ECC 1-bit Error Detection and Correction	V => R/W	1	Description: The ECC1BT bit indicates whether a 1-bit ECC correction error has caused a transition on INT#. Selection Options: 0 = 1-bit error correction has occurred 1 = 1-bit error correction has not occurred Dependency: N/A

5.3 传统 (x1) SPI 寄存器

5.3.1 状态寄存器 1 (STR1x) (x1)

状态寄存器 1 包含状态位和控制位。表 91 描述了所支持的状态寄存器 1 类型的功能。

表 91 状态寄存器 1 (x8)^[27]

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
STR1N[7] STR1V[7]	RESRVD	Reserved for Future Use	N->R V->R	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
STR1V[6]	PRGERR	Programming Error Status Flag	V->R	0	<p>Description: The PRGERR bit indicates program operation success or failure. When the PRGERR bit is set to a '1', it indicates that there was an error in the last programming operation. PRGERR bit is also set when a program operation is attempted within a protected memory region. When PRGERR is set, it can only be cleared with the Clear Status Register (CLSTR_0_0) transaction or a hardware/software reset.</p> <p>Note The device will only go to standby mode once the PRGERR flag is cleared.</p> <p>Selection Options: 0 = Last programming operation was successful 1 = Last programming operation was unsuccessful</p> <p>Dependency: N/A</p>
STR1V[5]	ERSERR	Erasing Error Status Flag	V->R	0	<p>Description: The ERSERR bit indicates erase operation success or failure. When the ERSERR bit is set to a '1', it indicates that there was an error in the last erasing operation. ERSERR bit is also set when a erase operation is attempted within a protected memory sector. When ERSERR is set, it can only be cleared with the Clear Status Register (CLSTR_0_0) transaction or a hardware/software reset.</p> <p>Note The device will only go to standby mode once the ERSERR flag is cleared.</p> <p>Selection Options: 0 = Last erase operation was successful 1 = Last erase operation was unsuccessful</p> <p>Dependency: N/A</p>
STR1N[4:2] STR1V[4:2]	RESRVD	Reserved for Future Use	N->R V->R	000	These bits are Reserved for future use. They must always be written/loaded to their default state.

注释:

27. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STR1x 值无效。

Registers

表 91 状态寄存器 1(x8)^[27] (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
STR1V[1]	WRPGEN	Write/Program Enable Status Flag	V -> R	0	<p>Description: The WRPGEN bit must be set to '1' to enable all program, erase or register write operations - it provides protection against inadvertent changes to memory or register values. The Write Enable (WRENB_0_0) and Write Enable Volatile (WRENV_0_0) transactions set the WRPGEN bit to '1' to allow program, erase or write transactions to execute. The Write Disable (WRDIS_0_0) transaction resets WRPGEN to a '0' to prevent all program, erase, and write transactions from execution. The WRPGEN bit is cleared to '0' at the end of any successful program, erase or register write operation. After a power down / power up sequence or a hardware/software reset, the Deep Power Down WRPGEN bit is cleared to '0'.</p> <p>Selection Options: 0 = Program, erase or register write is disabled 1 = Program, erase or register write is enabled</p> <p>Dependency: N/A</p>
STR1V[0]	RDYBSY	Device Ready/Busy Status Flag	V -> R	0	<p>Description: The RDYBSY bit indicates whether the device is performing an embedded operation or is in standby mode ready to receive new transactions. Note The PRGERR and ERSERR status bits are updated while RDYBSY is set. If PRGERR or ERSERR are set, the RDYBSY bit will remain set indicating the device is busy and unable to receive new transactions. A Clear Status Register (CLSTR_0_0) transaction must be executed to return the device to standby mode.</p> <p>Selection Options: 0 = Device is in standby mode ready to receive new operation transactions 1 = Device is busy and unable to receive new operation transactions</p> <p>Dependency: N/A</p>

注释:

27. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STR1x 值无效。

Registers

5.3.2 状态寄存器 2 (STR2x) (x1)

状态寄存器 2 提供器件操作状态。表92描述了支持的状态寄存器2类型的功能。

表 92 状态寄存器 2 (x1) ^[28]

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory de- fault (binary)	Description
STR2V[7:5]	RESRVD	Reserved for Future Use	V -> R	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
STR2V[4]	DICRCS	Memory Array Data Integrity Check CRC Suspend Status Flag	V -> R	0	Description: The DICRCS bit is used to determine when the device is in Memory Array Data Integrity Check CRC suspend mode. Selection Options: 0 = Memory Array Data Integrity Check CRC is not in suspend mode 1 = Memory Array Data Integrity Check CRC is in suspend mode Dependency: N/A
STR2V[3]	DICRCA	Memory Array Data Integrity Check CRC Abort Status Flag	V -> R	0	Description: The DICRCA bit indicates that the Memory Array Data Integrity Check CRC calculation operation was aborted. The abort condition is based on ending address (ENDADD) and starting address (STRADD) relationship. If $ENDADD < STRADD + 3$, then DICRCA will be set and the device will return to the Standby state. DICRCA flag gets cleared at the next Data Integrity CRC calculation operation when $ENDADD \geq STRADD + 3$. Selection Options: 0 = Memory Array Data Integrity Check CRC calculation is not aborted 1 = Memory Array Data Integrity Check CRC calculation is aborted Dependency: N/A
STR2V[2]	SESTAT	Sector Erase Success/Failure Status Flag	V -> R	0	Description: The SESTAT bit indicates whether the erase operation on the sector completed successfully. Evaluate Erase Status transaction (EVERS_4_0) must be executed prior to reading SESTAT bit which specifies the sector address. Selection Options: 1 = Addressed sector (EVERS_4_0) was erased successfully 0 = Addressed sector (EVERS_4_0) was not erased success-fully Dependency: N/A
STR2V[1]	ERASES	Erase operation Suspend Status Flag	V -> R	0	Description: The ERASES bit is used to indicate if the Erase operation is suspended. Selection Options: 0 = Erase operation is not in suspend mode 1 = Erase operation is in suspend mode Dependency: N/A
STR2V[0]	PROGMS	Program operation Suspend Status Flag	V -> R	0	Description: The PROGMS bit is used to indicate if the Program operation is suspended. Selection Options: 0 = Program operation is not in suspend mode 1 = Program operation is in suspend mode Dependency: N/A

注释:

28. POR、硬件复位、软件复位、DPD 退出和 CS# 信号复位期间的 STR2x 值无效。仅当 STR1V[0] / RDYBSY = 0 时，STR2x 位才有效。

Registers

5.3.3 配置寄存器 1 (CFR1x) (x1)

配置寄存器 1 控制接口和数据保护功能。

表 93 配置寄存器 1(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR1N[7] CFR1V[7]	RESRVD	Reserved for Future Use	N -> R/W V -> R/W	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
CFR1N[6] CFR1V[6]	SP4KBS	Split 4KB Sectors selection between top and bottom address space	If PLPROT = 0 N -> R/W V -> R If PLPROT = 1 N -> R V -> R	0	Description: The SP4KBS bit selects whether the 4KB sectors are grouped together or evenly split between High and Low address ranges. Selection Options: 0 = 4KB Sectors are grouped together 1 = 4KB Sectors are split between High and Low Addresses Dependency: TB4KBS(CFR1N[2])
CFR1N[5] CFR1V[5]	TBPROT	Top or Bottom Address Selection for Read Password	If PLPROT = 0 N -> R/W V -> R If PLPROT = 1 N -> R V -> R	0	Description: TBPROT selects a memory address range (lowest or highest) to remain readable during Read Password Protection mode even before a successful Password entry is completed. Selection Options: 0 = Top half of the address range 1 = Bottom half of the address range Dependency: N/A
CFR1N[4] CFR1V[4]	PLPROT	Permanent Locking selection of 4KB Sector Architecture	N -> R/1 V -> R	0	Description: The PLPROT bit permanently protects 4KB Sector location. Note PLPROT protects SP4KBS, TBPROT, and TB4KBS bits from program and erase and it is recommended to configure these bits before configuring the PLPROT bit. Selection Options: 0 = 4KB Sector Location is not protected 1 = 4KB Sector Location is protected Dependency: N/A
CFR1N[3] CFR1V[3]	RESRVD	Reserved for Future Use	N -> R/W V -> R/W	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
CFR1N[2] CFR1V[2]	TB4KBS	Top or Bottom Address Range selection for 4KB Sector Block	If PLPROT = 0 N -> R/W V -> R If PLPROT = 1 N -> R V -> R	0	Description: The TB4KBS bit defines the logical address location of the 4KB sector block. The 4KB sector block replaces the fitting portion of the highest or lowest address sector. Selection Options: 0 = 4KB Sector Block is in the bottom of the memory address space 1 = 4KB Sector Block is in the top of the memory address space Dependency: SP4KBS (CFR1x[6])
CFR1N[1] CFR1V[1]	RESRVD	Reserved for Future Use	N -> R/W V -> R/W	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
CFR1N[0] CFR1V[0]	TLPROT	Temporary Locking selection of Legacy Block Protection and Sector Architecture	N -> R V -> R/W	0	Description: The TLPROT bit temporarily protects sector architecture from any changes. Note TLPROT protects SP4KBS, TBPROT, and TB4KBS bits from program and erase. Selection Options: 0 = 4KB Sector Location are not protected 1 = 4KB Sector Location are temporarily protected Dependency: N/A

表 94 4KB 参数扇区位置选择

SP4KBS	TB4KBS	4 KB location
0	0	4 KB physical sectors at bottom (Low address)
0	1	4 KB physical sectors at top, (High address)
1	X	4 KB Parameter sectors are split between top (High Address) and bottom (Low Address)

表 95 PLPROT 和 TLPROT 保护

PLPROT	TLPROT	Array protection and 4K sector
0	0	Unprotected (Unlocked)
1	X	TBPROT, SP4KBS, TB4KBS - Permanently Protected (Locked)
0	1	TBPROT, SP4KBS, TB4KBS - Protected (Locked) till next Power-down

5.3.4 配置寄存器 2 (CFR2x) (x1)

配置寄存器 2 控制存储器读取延迟选择。

表 96 配置寄存器 2(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR2N[7] CFR2V[7]	ADRBYT	Address Byte Length selection between 3 or 4 bytes for Instructions	N -> R/W V -> R/W	0	Description: The ADRBYT bit controls the expected address length for all instructions that require address and is selectable between 3 bytes or 4 bytes. Selection Options: 0 = Instructions will use 3 bytes for address 1 = Instructions will use 4 bytes for address Dependency: N/A
CFR2N[6:4] CFR2V[6:4]	RESRVD	Reserved for Future Use	N -> R/W V -> R/W	000	These bits are Reserved for future use. This bit must always be written/loaded to its default state.
CFR2N[3:0] CFR2V[3:0]	MEMLAT[3:0]	Memory Array Read Latency selection - Dummy cycles required for initial data access	N -> R/W V -> R/W	1000	Description: The MEMLAT[3:0] bits control the read latency (dummy cycles) delay in all variable latency memory array and Non-volatile Register read transactions. MEMLAT selection allows the user to adjust the read latency during normal operation based on different operating frequencies. Selection Options: 0000 = 0 Latency Cycles Selection based on transaction opcodes 1111 = 15 Latency Cycles Selection based on transaction opcodes Dependency: N/A

表 97 延迟代码（周期）与频率^[29, 30, 32]

Latency code CR	Number of cycles	SDR SPI read transactions (MHz) (1S-1S-1S)
		RDAY2_C_0 RDSSR_4_0 RDARG_4_0 ^[31] RDECC_4_0 RDPPB_4_0
0000	0	50
0001	1	68
0010	2	81
0011	3	93
0100	4	106
0101	5	118
0110	6	131
0111	7	143
1000	8	156
1001	9	166
1010	10	166
1011	11	166
1100	12	166
1101	13	166
1110	14	166
1111	15	166

注释

- 29.使用 ECC 错误报告机制时，读取的输出数据必须至少为 2 个字节才能正确进行 ECC 报告。
- 30.HS-T 系列设备不支持 SCK 频率 > 200 MHz SDR 或 > 200 MHz DDR，HL-T 系列设备不支持 SCK 频率 > 166 MHz SDR 或 > 166 MHz DDR。
- 31. RDARG_4_0 使用这些延迟周期来读取非易失性寄存器。
- 32.RSFDP_3_0 始终具有八个延迟周期，并且不同接口的最大频率与八个延迟周期相关。

Registers

5.3.5 配置寄存器 3 (CFR3x) (x1)

配置寄存器 3 控制命令传输行为。

表 98 配置寄存器 3(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR3N[7:6] CFR3V[7:6]	VRGLAT[1:0]	Volatile Register Read Latency selection - Dummy cycles required for initial data access	N-> R/W V-> R/W	00	Description: The VRGLAT[1:0] bits control the read latency (dummy cycles) delay in all variable latency register read transactions. VRGLAT[1:0] selection allows the user to adjust the read latency during normal operation based on different operating frequencies. See Table 99 . Selection Options: 00, 01, 10, 11 Latency Cycles Selection based on transaction opcodes Dependency: N/A
CFR3N[5] CFR3V[5]	BLKCHK	Blank Check selection during Erase operation for better endurance	N-> R/W V-> R/W	0	Description: The BLKCHK bit selects whether a sector is checked before issuing an erase operation. When this feature is enabled an erase transaction first evaluates the erase status of the sector. If the sector is found to be erased, the erase operation is aborted. In other words, the erase operation is only executed if programmed bits are found in the sector. Disabling BLKCHK executes an erase operation unconditionally. Selection Options: 0 = Blank Check is disabled before executing an erase operation 1 = Blank Check evaluation is enabled before executing an erase operation Dependency: N/A
CFR3N[4] CFR3V[4]	PGMBUF	Program Buffer Size selection	N-> R/W V-> R/W	0	Description: The PGMBUF bit selects the Programming Buffer size which is used for page programming. Program buffer size affects the device programming time. Note If programming data exceeds the program buffer size, data gets wrapped. Selection Options: 0 = 256 Byte Write Buffer Size 1 = 512 Byte Write Buffer Size Dependency: N/A
CFR3N[3] CFR3V[3]	UNHYSA	Uniform or Hybrid Sector Architecture selection	N-> R/W V-> R	1	Description: The UNHYSA bit selects between uniform (all 256KB sectors) or hybrid (4KB sectors and 256KB sectors) sector architecture. If hybrid sector architecture is selected, 4KB sector block is made part of the main Flash array address map. The 4KB sector block can overlay at either the highest or the lowest address range of the device. If uniform sector architecture is selected, 4KB sector block is removed from the address map and all sectors are of uniform size. Note Hybrid sector architecture also enables 4KB Sector Erase transaction (20h). Otherwise, 4KB Sector Erase transaction, if issued, is ignored by the device. Selection Options: 0 = Hybrid Sector Architecture (combination of 4KB sectors and 256KB sectors) 1 = Uniform Sector Architecture (all 256KB sectors) Dependency: SP4KBS(CFR1N[6]), TB4KBS(CFR1N[2])
CFR3N[2] CFR3V[2]	RESRVD	Reserved for Future Use	N-> R/W V-> R/W	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.

Registers

表 98 配置寄存器 3(x1) (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR3N[1] CFR3V[1]	INTFTP	Interface type selection between HYPERBUS™ and Legacy (x1) SPI	N-> R/W V-> R/W	0	The INTFTP bit selects the interface of the device between HYPERBUS™ and legacy (x1) SPI. Selection Options: 1 = HYPERBUS™ interface 0 = Legacy (x1) SPI Dependency: N/A
CFR3N[0] CFR3V[0]	RESRVD	Reserved for Future Use	N-> R/W V-> R/W	0	This bit is Reserved for future use. This bit must always be written/loaded to its default state.

表 99 寄存器延迟代码 (周期) 与频率

Latency code	SDR SPI register transaction latency dummy cycles (1S-1S-1S) ^[34, 36]		
	Frequency ^[33]	RDARG_4_0 ^[35] RDDYB_4_0	RDPLB_0_0 RDIDN_0_0 RDSR1_0_0 RDSR2_0_0
00	50 MHz	0	0
01	133 MHz	1	0
10	133 MHz	1	1
11	166 MHz	2	2

注释

33. SCK 频率 > 166 MHz SDR, 不受支持。

34. RDUID_4_0 和 RDUID_0_0 始终具有 32 个周期的延迟。SDR SPI 下的最大频率为 166 MHz, HS-T SDR /DDR 八线下为 200 MHz, HL-T SDR /DDR 八线下为 166 MHz。

35. RDARG_4_0 使用这些虚拟周期来读取易失性寄存器。

36. RDCRC_4_0 始终具有 8 个周期的延迟。SDR SPI 下的最大频率为 166 MHz, HS-T SDR /DDR 八线下为 200 MHz, HL-T SDR /DDR 八线下为 166 MHz。

Registers

5.3.6 配置寄存器 4 (CFR4x) (x1)

配置4控制主要的闪存式存储器读取命令传输突发回卷行为和输出驱动阻抗。

表 100 配置寄存器 4 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
CFR4N[7:5] CFR4V[7:5]	IOIMPD[2:0]	I/O Driver Output Impedance selection	N->R/W V->R/W	101	<p>Description: The IOIMPD[2:0] bits select the IO driver output impedance (drive strength). The output impedance configuration bits adjust the drive strength during normal device operation to meet system signal integrity requirements.</p> <p>Selection Options: 000 = 45 Ω 001 = 120 Ω 010 = 90 Ω 011 = 60 Ω 100 = 45 Ω 101 = 30 Ω (Factory Default) 110 = 20 Ω 111 = 15 Ω</p> <p>Dependency: N/A</p>
CFR4N[4] CFR4V[4]	RBSTWP	Read Burst Wrap Enable selection	N->R/W V->R/W	0	<p>Description: The RBSTWP bit selects the read burst wrap feature. It allows the device to enter and exit burst wrapped read mode during normal operation. The wrap length is selected by RBSTWL[1:0] bits.</p> <p>Selection Options: 0 = Read Wrapped Burst disabled 1 = Read Wrapped Burst enabled</p> <p>Dependency: RBSTWL[1:0] (CFR4x[1:0])</p>
CFR4N[3] CFR4V[3]	ECC12S	Error Correction Code (ECC) 1-bit or 1-bit/2-bit error correction selection	N->R/W V->R/W	1	<p>Description: The ECC12S bit selects between 1-bit ECC error detection/correction or both 1-bit ECC error detection and correction and 2-bit ECC error detection. This configuration option affects Address Trap Register and ECC Counter Register functionalities as well. The host needs to erase and reprogram the data in the SEMPER™ Flash memory upon ECC configuration change (1-bit correction to 1-bit correction and 2-bit detection or vice versa).</p> <p>Selection Options: 0 = 1-bit ECC Error Detection/Correction 1 = 1-bit ECC Error Detection/Correction and 2-bit ECC error detection</p> <p>Dependency: N/A</p>
CFR4N[2] CFR4V[2]	DPDPOR	Deep Power Down power saving mode entry selection upon POR	N->R/W V->R	0	<p>Description: The DPDPOR bit selects if the device will be in either Deep Power Down (DPD) mode or the Standby mode after the completion of POR. If enabled, DPDPOR configures the device to start in DPD mode to reduce current consumption until the device is needed. If the device is in DPD, a pulse on CS# or a Hardware reset will return the device to Standby mode.</p> <p>Selection Options: 0 = Standby mode is entered upon the completion of POR 1 = Deep Power Down Power mode is entered upon the completion of POR</p> <p>Dependency: N/A</p>
CFR4N[1:0] CFR4V[1:0]	RBSTWL[1:0]	Read Burst Wrap Length selection	N->R/W V->R/W	00	<p>Description: The RBSTWL[1:0] bits select the read burst wrap length and alignment during normal operation. It selects the fixed length/aligned group of 8-, 16-, 32-, or 64-bytes.</p> <p>Selection Options: 00 = 8 Bytes Wrap length 01 = 16 Bytes Wrap length 10 = 32 Bytes Wrap length 11 = 64 Bytes Wrap length</p> <p>Dependency: RBSTWP (CFR4x[4])</p>

Registers

表 101 输出数据回卷序列

Wrap boundary (bytes)	Start address (Hex)	Address sequence (Hex)
Sequential	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18.
8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02.
8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01.
16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03.
16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E.
32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F.
32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00.
64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F 00, 01, 02.
64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D.

5.3.7 接口 CRC (循环校验) 使能寄存器(ICEV) (x1)

接口 CRC (循环冗余校验) 使能寄存器控制接口 CRC (循环冗余校验) 功能的启用/禁用。

表 102 接口 CRC (循环校验) 使能寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ICEV[7:1]	RESVRD	Reserved for Future Use	V -> R	0000000	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ICEV[0]	ITCRCE	Interface CRC Selection	V -> R/W	0	Description: The ITCRCE bit controls enabling/disabling of the Interface CRC function. Selection Options: 0 = Interface CRC Enabled 1 = Interface CRC Disabled Dependency: N/A

5.3.8 接口 CRC (循环校验) 校验值寄存器 (ICRV) (x1)

接口CRC (循环冗余校验) 校验值寄存器 (ICRV) 存储指令上的CRC (循环冗余校验) 计算结果和接口上的数据内容以进行保护。

表 103 接口 CRC (循环校验) 校验值寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
ICRV[31:0]	ITCRCV[31:0]	Interface CRC Checksum Value	V -> R	0xFFFFFFFF	Description: The ITCRCV[31:0] bits store the check-value of the CRC process on the memory array data contained within the starting address and the ending address. Selection Options: Checksum Value Dependency: N/A

5.3.9 存储器阵列数据完整性检查 CRC（循环校验）寄存器 (DCRV) (x1)

存储阵列数据完整性检查CRC（循环冗余校验）寄存器（DCRV）存储对指定起始地址和结束地址之间包含的数据进行CRC（循环冗余校验）计算的结果。

表 104 存储阵列数据完整性校验 CRC（循环冗余校验）寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
DCRV[31:0]	DTCRCV[31:0]	Memory Array Data Integrity Check CRC Checksum Value	V -> R	0x00000000	Description: The DTCRCV[31:0] bits store the checksum value of the CRC process on the memory array data contained within the starting address and the ending address. Selection Options: Checksum Value Dependency: N/A

5.3.10 ECC 状态寄存器 (ESCV) (x1)

ECC 状态寄存器（ESCV）包含对单位数据执行的任何纠错操作的ECC状态，该数据的字节在上次读取期间被寻址。

注释：单位数据定义为计算ECC字节数。HL-T/HS-T系列设备有16字节（128位）单位数据。

表 105 ECC 状态寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ECSV[7:5]	RESRVD	Reserved for Future Use	V -> R	000	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ECSV[4]	ECC2BT	ECC Error 2-bit Error Detection Flag	V -> R	0	Description: The ECC2BT bit indicates that a 2-bit ECC Error was detected in the data unit (16 bytes). A Clear ECC Status Register transaction (CLECC_0_0) will reset ECC2BT. Note ECC2BT is updated every time any memory address is read and is sticky, i.e. once it is set, it remains set. The ECC2BT status is maintained until a Clear ECC Status Register transaction (CLECC_0_0) is executed. Note ECC1BT is not valid if ECC2BT status flag is set. Selection Options: 0 = No 2-Bit ECC Error was detected in the data unit (16 bytes) 1 = 2-bit ECC Error was detected in the data unit (16 bytes) Dependency: CFR4x[3]
ECSV[3]	ECC1BT	ECC Error 1-bit Error Detection and Correction Flag	V -> R	0	Description: The ECC1BT bit indicates that a 1-bit ECC Error was detected and corrected in the data unit (16 bytes). A Clear ECC Status Register transaction (CLECC_0_0) will reset ECC1BT. Note ECC1BT is updated every time any memory address is read and is sticky, i.e. once it is set, it remains set. The ECC1BT status is maintained until a Clear ECC Status Register transaction (CLECC_0_0) is executed. Selection Options: 0 = No 1-Bit ECC Error was detected in the data unit (16 bytes) 1 = 1-bit ECC Error was detected in the data unit (16 bytes) Dependency: N/A
ECSV[2:0]	RESRVD	Reserved for Future Use	V -> R	000	This bit is Reserved for future use. This bit must always be written/loaded to its default state.

5.3.11 ECC 地址捕获寄存器 (EATV) (x1)

ECC 地址捕获寄存器 (EATV) 用于存储读操作期间发生 1 位/2 位错误或仅发生 1 位错误的 ECC 单位数据的地址。它存储自上次清除 ECC 命令传输以来在存储器读取操作期间捕获的第一个 ECC 错误的 ECC 单位数据地址。

表 106 ECC 地址捕获寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
EATV[31:0]	ECCATP[31:0]	ECC 1-bit and 2-bit Error Address Trap Register	V -> R	0x00000000	<p>Description: The Address Trap Register (ECCATP[31:0]) stores the ECC unit data address where a 1-Bit/2-Bit error occurred during a read operation. ECCATP[31:0] stores the ECC unit address of the first ECC error captured during a memory read operation since the last Clear ECC Status Register transaction (CLECC_0_0).</p> <p>Note ECCATP[31:0] is only updated during Read Instruction.</p> <p>Note Clear ECC Status Register transaction (CLECC_0_0), POR or Hardware/Software reset clears the EATV[31:0] to 0x00000000.</p> <p>Selection Options: ECC Error Data Unit Address</p> <p>Dependency: N/A</p>

5.3.12 ECC 错误检测计数器寄存器 (ECTV) (x1)

ECC 错误检测计数寄存器 (ECTV) 存储自上次 POR 或硬件/软件复位以来读取操作期间发生的 1 位/2 位或仅 1 位 ECC 错误的数量。

表 107 ECC 计数寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
ECTV[15:0]	ECCCNT[15:0]	ECC 1-bit and 2-bit Error Count Register	V -> R	0x0000	<p>Description: The ECCCNT[15:0] stores the number of 1-bit/2-bit ECC errors occurred during read operations since the last POR or hardware/software reset.</p> <p>Note ECCCNT[15:0] is only updated during Read Instruction.</p> <p>Note Only one ECC error is counted for each data unit. If multiple read transactions access the same unit data containing an ECC error, the ECCCNT[15:0] will increment each time the unit data is read.</p> <p>Note Once the count reaches 0xFFFF, the ECCCNT[15:0] will stop incrementing</p> <p>Note POR or Hardware/Software reset clears the ECCCNT[15:0] to 0x0000.</p> <p>Selection Options: ECC Error Count</p> <p>Dependency: N/A</p>

5.3.13 高级扇区保护寄存器 (ASPO) (x1)

ASP 寄存器 (ASPO) 配置高级扇区保护方式的行为。

表 108 高级扇区保护寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ASPO[15:6]	RESRVD	Reserved for Future Use	N => R/1	111111111	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
ASPO[5]	ASPRDP	Read Password Based Protection Selection	N => R/1	1	<p>Description: The ASPRDP bit selects the Read Password Mode Protection mode. Read Password Protection mode works in conjunction with Password Protection mode to protect all sectors from Read/Erase/Program. Based on TBPROT configuration bit (CFR1x[5]), either the top or bottom sector is available for reading.</p> <p>Selection Options: 0 = Read Password Protection Mode is enabled 1 = Read Password Protection Mode is disabled</p> <p>Dependency: TBPROT (CFR1x[5])</p>
ASPO[4]	ASPDYB	Dynamic Protection (DYB) for all sectors at power-up Selection	N => R/1	1	<p>Description: The ASPDYB bit selects whether all DYB bits (sectors) are in the protected state following power-up or hardware reset. DYB bits will individually need to be reset to change sector protections.</p> <p>Selection Options: 0 = DYB based sector protection enabled at power-up or hardware reset 1 = DYB based sector protection disabled at power-up or hardware reset</p> <p>Dependency: N/A</p>
ASPO[3]	ASPPPB	Permanent Protection (PPB) bits for all sectors programmability Selection	N => R/1	1	<p>Description: The ASPPPB bit selects whether all PPB bits are OTP making PPB sector protection permanent. Note ASPPPB disables PPB erase transaction (ERPPB_0_0).</p> <p>Selection Options: 0 = PPB bits are OTP 1 = PPB bits can be erased and programmed as desired</p> <p>Dependency: N/A</p>
ASPO[2]	ASPPWD	Password Based Protection Selection	N => R/1	1	<p>Description: The ASPPWD bit selects the Password Protection Mode. Password Protection mode protects all PPB bits till the correct password is entered. The ASPPWD can also be used in combination with the ASPRDP to protect all registers and all memory from erase/program and to protect sectors from being read as well till the correct password is provided - except for top or bottom sector which is available for reading based on TBPROT configuration bit (CFR1x[5]). Note When ASPPWD is selected, ASPO[15:0], CFR1N[7:2] and PWDO[63:0] are protected against Write operations..</p> <p>Selection Options: 0 = Password Protection Mode is enabled 1 = Password Protection Mode is disabled</p> <p>Dependency: N/A</p>

Registers

表 108 高级扇区保护寄存器(x1) (续)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ASPO[1]	ASPPER	Persistent Protection Selection (Register Protection Selection)	N => R/1	1	Description: The ASPPER bit selects the Persistent Protection Mode. The Persistent Protection mode (ASPPER) protects the ASPO[15:0], CFR1x[6, 5, 4, 2], and CFR3x[3] registers from erase or program. Selection Options: 0 = Persistent Protection Mode is enabled 1 = Persistent Protection Mode is disabled Dependency: N/A
ASPO[0]	ASPPRM	Permanent Protection Selection	N => R/1	1	Description: The ASPPRM bit selects the Permanent Protection Mode. The Permanent Protection mode (ASPPRM) permanently protects the PPB bits from erase or program. ASPPRM bit should be programmed once all the PPB based sector protections are finalized. Note Permanent protection is independent of the PPBLOCK bit. Selection Options: 0 = Permanent Protection Mode is enabled 1 = Permanent Protection Mode is disabled Dependency: N/A

5.3.14 ASP 密码寄存器 (PWDO) (x1)

ASP 密码寄存器 (PWDO) 用于永久定义密码。

表 109 密码寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
PWDO[63:0]	PASWRD[63:0]	Password Register	N => R/1	0xFFFFFFFF FFFFFFFF	Description: The PASWRD[63:0] permanently stores a password used in password protected modes of operation. When the Password Protection mode is enabled, this register will output the undefined data upon read password request. Selection Options: Password Dependency: N/A

5.3.15 ASP PPB 锁定寄存器 (PPLV) (x1)

ASP PPB 锁定寄存器 (PPLV) 中的 PPBLCK 位用于保护 PPB 位。

表 110 ASP PPB 锁定寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
PPLV[7:1]	RESVRD	Reserved for Future Use	V -> R	0000000	This bit is Reserved for future use. This bit must always be written/loaded to its default state.
PPLV[0]	PPBLCK	PPB Temporary Protection Selection	V -> R/W	1, ASPO[2:1]	Description: The PPBLCK bit is used to temporarily protect all the PPB bits. Selection Options: 1 = PPB Bits can be erased or programmed 0 = PPB bits are protected against erase or program till the next POR or hardware reset Dependency: N/A

5.3.16 ASP PPB 访问寄存器 (PPAV) (x1)

ASP PPB 访问寄存器 (PPAV) 用于提供每个扇区的 PPB 保护位的状态。

表 111 ASP PPB 访问寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
PPAV[7:0]	PPBACS[7:0]	Sector Based PPB Protection Status	N -> W/R	11111111	Description: The PPBACS[7:0] bits are used to provide the state of the individual sector's PPB bit. Selection Options: FF = PPB for the sector addressed by the Read PPB trans-action (RDPPB_4_0) is 1, not protecting that sector from program or erase operations 00 = PPB for the sector addressed by the Read PPB trans-action (RDPPB_4_0) is 0, protecting that sector from program or erase operations Dependency: N/A

5.3.17 ASP 动态功能块访问寄存器 (DYAV)(x1)

ASP DYB访问寄存器 (DYAV) 用于提供每个扇区的DYB保护位的状态。

表 112 ASP DYB访问寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
DYAV[7:0]	DYBACS[7:0]	Sector Based DYB Protection Status	V -> R/W	11111111	Description: The DYBACS[7:0] bits are used to provide the state of the individual sector's DYB bit. Selection Options: FF = DYB for the sector addressed by the Read DYB trans-action (RDDYB_4_0) is 1, not protecting that sector from program or erase operations 00 = DYB for the sector addressed by the Read DYB trans-action (RDDYB_4_0) is 0, protecting that sector from program or erase operations Dependency: N/A

5.3.18 自动启动寄存器 (ATBN) (x1)

自动启动寄存器 (ATBN) 提供了一种自动读取启动代码的方法，作为加电复位或硬件复位过程的一部分。

表 113 自动启动寄存器 (x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
ATBN[31:9]	STADR[22:0]	Starting Address Selection where AutoBoot will start reading data from	N -> R/W	000000000 000000000 00000	Description: The STADR[22:0] bits set the starting address from which the device will output the read data. Selection Options: Address Bits Dependency: N/A
ATBN[8:1]	STDLY[7:0]	AutoBoot Read Starting Delay Selection	N -> R/W	00000000	Description: The STDLY[7:0] bits specify the initial delay (clock cycles) needed by the host before it can accept data. Note STDLY[7:0]=0x00 is valid for SPI up to 50 MHz. STDLY[7:0] = 0x01 or higher is valid for SPI/DPI/QPI up to 166 MHz. STDLY[7:0] = 0x05 or higher is valid for HL-T Octal up to 166 MHz and HS-T Octal up to 200 MHz. Selection Options: Address Bits Dependency: N/A
ATBN[0]	ATBTEN	AutoBoot Feature Selection	N -> R/W	0	Description: The ATBTEN bit enables or disables the AutoBoot feature. Selection Options: 0 = AutoBoot feature disabled 1 = AutoBoot feature enabled Dependency: N/A

5.3.19 扇区擦除计数寄存器 (SECV) (x1)

扇区擦除计数寄存器 (SECV) 包含指定扇区已擦除的次数。

表 114 扇区擦除计数寄存器(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (hex)	Description
SECV[23]	SECCPT	Sector Erase Count Corruption Status Flag	V->R	0x0	Description: The SECCPT bit is used to determine if the reported sector erase count is corrupted and was reset. Note If SECCPT is set due to count corruption, it will reset to 0 on the next successful erase operation on the selected sector. Selection Options: 0 = Sector Erase Count is not corrupted and is valid 1 = Sector Erase Count is corrupted and is not valid Dependency: N/A
SECV[22:0]	SECV[22:0]	Sector Erase Count Value	V->R	0x000000	Description: The SECV[22:0] bits store the number of times a sector has been erased. Selection Options: Value Dependency: N/A

5.3.20 英飞凌 Endurance Flex 架构选择寄存器 (EFXx) (x1)

英飞凌 Endurance Flex 架构选择寄存器 (EFXx) 根据四个指针架构来定义长保留/高耐久性区域。

表 115 英飞凌 Endurance Flex 架构选择寄存器（指针 4）(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX40[10:2]	EPTAD4[8:0]	EnduraFlex Pointer 4 Address Selection	N => R/1	11111111	Description: The EPTAD4[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX40[1]	ERGNT4	EnduraFlex Pointer 4 based Region Type Selection	N => R/1	1	Description: The ERGNT4 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX40[0]	EPTEB4	EnduraFlex Pointer 4 Enable# Selection	N => R/1	1	Description: The EPTEN4 bit define whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

表 116 英飞凌 Endurance Flex 架构选择寄存器（指针 3）(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX30[10:2]	EPTAD3[8:0]	EnduraFlex Pointer 3 Address Selection	N => R/1	11111111	Description: The EPTAD3[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX30[1]	ERGNT3	EnduraFlex Pointer 3 based Region Type Selection	N => R/1	1	Description: The ERGNT3 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX30[0]	EPTEB3	EnduraFlex Pointer 3 Enable# Selection	N => R/1	1	Description: The EPTEN3 bit define whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

Registers

表 117 英飞凌 Endurance Flex 架构选择寄存器（指针 2）(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX20[10:2]	EPTAD2[8:0]	EnduraFlex Pointer 2 Address Selection	N => R/1	11111111	Description: The EPTAD2[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX20[1]	ERGNT2	EnduraFlex Pointer 2 based Region Type Selection	N => R/1	1	Description: The ERGNT2 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX20[0]	EPTEB2	EnduraFlex Pointer 2 Enable# Selection	N => R/1	1	Description: EPTEN2 bit define whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

表 118 英飞凌 Endurance Flex 架构选择寄存器（指针 1）(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX10[10:2]	EPTAD1[8:0]	EnduraFlex Pointer 1 Address Selection	N => R/1	11111111	Description: The EPTAD1[8:0] bits define the 9-bit address of the beginning sector from where the long retention / high endurance region is defined. Selection Options: Pointer Address Dependency: N/A
EFX10[1]	ERGNT1	EnduraFlex Pointer 1 based Region Type Selection	N => R/1	1	Description: The ERGNT1 bit defines whether the region is long retention or high endurance. Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors Dependency: N/A
EFX10[0]	EPTEB1	EnduraFlex Pointer 1 Enable# Selection	N => R/1	1	Description: The EPTEN1 bit define whether the wear leveling pointer is enabled/disabled. Selection Options: 0 = Pointer Address Enabled 1 = Pointer Address Disabled Dependency: N/A

表 119 英飞凌 Endurance Flex 架构选择寄存器 (指针 0)(x1)

Bit number	Name	Function	Read/write N = Non-volatile V = Volatile	Factory default (binary)	Description
EFX00[1]	GBLSEL	All Sectors based Region type Selection	N => R/1	1	<p>Description: The GBLSEL bit defines whether all sectors are defined as long retention region or high endurance region.</p> <p>Note If all other Pointer registers are disabled, this bit defines the behavior of the entire memory space and is hardwired to start at Sector 0.</p> <p>Selection Options: 0 = Long Retention Sectors 1 = High Endurance Sectors</p> <p>Dependency: N/A</p>
EFX00[0]	WRLVEN	Wear Leveling Enable Selection	N => R/1	1	<p>Description: The WRLVEN bit enables/disables the wear leveling feature.</p> <p>Selection Options: 0 = Wear Leveling Disabled 1 = Wear Leveling Enabled</p> <p>Dependency: N/A</p>

Transaction table

6 命令传输表

6.1 HYPERBUS™命令传输表

表 120 HYPERBUS™命令描述

Transaction name	Description	Cycles
RDMARY_1_0	Read transaction allows reading out the memory array data at the given address and places it on DQ[7:0].	1
ENSPIM_3_0	Enter SPI transaction changes the device interface from HYPERBUS™ to Legacy (x1) SPI.	3
SRASOE_1_0	Software Reset / ASO Exit transaction returns the device to reading memory array data mode when device is in ASO. It also clears SR0[5,4,3,1,0] when the device is not busy or is in the middle of a transaction sequence or in an ASO.	1
ENTDPD_3_0	Enter Deep Power Down Mode transaction moves the device in the lowest power consumption mode.	3
RDVSTR_2_0	Read Status Register transaction allows the Status Register contents to be read with data placed on DQ[7:0].	2
CLVSTR_1_0	Clear Status Register Failure Flags transaction resets all failure flags being reported.	1
PRNPOR_4_0	Program Non-volatile POR Timer Register transaction programs into the 16-bit POR Time Register the value which is multiplied by tPOR_CK (25 to 42 μs) to define the length of extension to the RSTO# pulse beyond tVCS with data placed on DQ[7:0].	4
RDNPOR_4_0	Read Non-volatile POR Timer Register transaction allows reading the contents of the 16-bit POR Time Register and places it on DQ[7:0].	4
PGVINC_4_0	Program Volatile Interrupt Configuration Register transaction programs the 16-bit Interrupt Configuration Register with data placed on DQ[7:0].	4
RDVINC_4_0	Read Volatile Interrupt Configuration Register transaction allows reading the contents of the 16-bit Interrupt Configuration Register and places it on DQ[7:0].	4
PGVINS_4_0	Program Volatile Interrupt Status Register transaction programs the 16-bit Interrupt Status Register with data placed on DQ[7:0].	4
RDVINS_4_0	Read Volatile Interrupt Status Register transaction allows reading the contents of the 16-bit Interrupt Status Register and places it on DQ[7:0].	4
PGVCR1_4_0	Program Volatile Configuration Register 1 transaction programs the 16-bit Volatile Configuration Register 0 with data placed on DQ[7:0].	4
PGVCR2_4_0	Program Volatile Configuration Register 2 transaction programs the 16-bit Volatile Configuration Register 1 with data placed on DQ[7:0].	4
RDVCR1_4_0	Read Volatile Configuration Register 1 transaction allows reading the contents of the 16-bit Volatile Configuration Register 0 and places it on DQ[7:0].	4
RDVCR2_4_0	Read Volatile Configuration Register 2 transaction allows reading the contents of the 16-bit Volatile Configuration Register 1 and places it on DQ[7:0].	4
PGNCR1_4_0	Program Non-volatile Configuration Register 1 transaction programs the 16-bit Non-volatile Configuration Register 0 with data placed on DQ[7:0].	4
PGNCR2_4_0	Program Non-volatile Configuration Register 2 transaction programs the 16-bit Non-volatile Configuration Register 1 with data placed on DQ[7:0].	4
ERNCR12_3_0	Erase Non-volatile Configuration Registers 1 and 2 transaction erases the contents of the two 16-bit Non-volatile Configuration registers (0, 1).	3
RDNCR1_4_0	Read Non-volatile Configuration Register 1 transaction allows reading the contents of the 16-bit Non-volatile Configuration Register 0 and places it on DQ[7:0].	4
RDNCR2_4_0	Read Non-volatile Configuration Register 2 transaction allows reading the contents of the 16-bit Non-volatile Configuration Register 1 and places it on DQ[7:0].	4
PGWORD_4_0	Program Word transaction programs the data word (0's) supplied on DQ[7:0] in the addressed memory array.	4
LDBUFR_6_0	Load Write Buffer transaction loads up to 256/512 bytes of data (0's) supplied on DQ[7:0] in the write buffer.	6
PGBFCM_1_0	Program Write Buffer Confirm transaction tells the device to program the data loaded into the write buffer into the addressed memory array.	1
RSTWBA_3_0	Reset Write to Buffer Abort transaction resets the Write Buffer Abort Status Flag (WRBFAB - STRV[3]) and Programming Error Status Flag (PRGERR - STRV[4]) in the Status Register.	3
ERCHIP_6_0	Erase Chip transaction sets all bits to 1 (all bytes are FFh) inside the entire flash memory array.	6

Transaction table

表 120 HYPERBUS™命令描述 (续)

Transaction name	Description	Cycles
ERSCTR_6_0	Erase Sector transaction sets all the bits of an addressed 256KB sector or a 4KB sector to 1 (all bytes are FFh).	6
BLKCHK_1_0	Blank Check transaction confirms if the selected Flash Memory Array sector is fully erased. ERSERR (STRV[5]- Bit 5 of the Status Register) will be cleared to 0 if the sector is erased and set to 1 if not erased.	1
EVERST_1_0	Evaluate Erase Status transaction verifies that the last erase operation on the addressed sector was completed successfully. If the selected sector was successfully erased the SESTAT (STRV[5]-Bit 0 of the Status Register) is set to 1.	1
SPERSE_1_0	Suspend Erase transaction allows the system to interrupt an erase operation.	1
RSERSE_1_0	Resume Erase transaction allows the system to resume an erase operation.	1
SPPROG_1_0	Suspend Program transaction allows the system to interrupt a program operation.	1
RSPROG_1_0	Resume Program transaction allows the system to resume a program operation.	1
IDSFE1_3_1	ASO Device ID Unique ID SFDP ID/Unique ID/SFDP ASO Entry 1 transaction allows reading Device ID, Unique ID and SFDP parameters. This entry transaction uses the Sector Address (SA) in the command to determine which sector will be overlaid.	3
IDSFE2_1_1	ID/Unique ID/SFDP ASO Entry 2 transaction allows reading Device ID, Unique ID and SFDP parameters. This entry transaction uses the Sector Address (SA) in the command to determine which sector will be overlaid.	1
RDIDSF_1_1	Read ID/Unique ID/SFDP transaction allows reading the Device ID, Unique ID and SFDP parameters at the given address and places it on DQ[7:0].	1
ASOEXT_1_1	ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
SSRENT_3_1	ASO SSR SSR ASO Entry transaction allows accessing the SSR. This entry transaction uses the Sector Address (SA) in the command to determine which sector will be overlaid.	3
RD_SSR_1_1	Read SSR transaction allows reading the SSR data at the given address and places it on DQ[7:0].	1
PG_SSR_4_1	Program SSR Word transaction programs the data word (0's) supplied on DQ[7:0] in the addressed SSR.	4
LDBSSR_5_1	Load SSR Buffer transaction loads up to 256/512 bytes of data (0's) supplied on DQ[7:0] in the write buffer.	5
PGCSSR_1_1	Program SSR Buffer Confirm transaction tells the device to program the data loaded into the write buffer into the addressed SSR.	1
RSWSSR_3_1	Reset Write to Buffer Abort transaction resets the Write Buffer Abort Status Flag (WRBFAB - STRV[3]) in the Status Register.	3
ASOEXT_1_1	ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
ASPENT_3_1	ASO Advanced Sector Protection Advanced Sector Protection ASO Entry transaction allows accessing the Advanced Sector Protection Configuration Register. This entry transaction does not use a sector address from the entry transaction to overlay. The ASP Configuration Register appears at word location 0 in the device address space.	3
PGOASP_2_1	Program One-Time-Programmable Advanced Sector Protection Register transaction programs the 16-bit OTP ASP Configuration Register with data placed on DQ[7:0].	2
RDOASP_1_1	Read One-Time-Programmable Advanced Sector Protection Register transaction allows reading the contents of the 16-bit OTP ASP Configuration Register using device address 0 and places it on DQ[7:0].	1
ASOEXT_1_1	ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1

Transaction table

表 120 HYPERBUS™命令描述 (续)

Transaction name	Description	Cycles	
PWDENT_3_1	ASO Password	Password ASO Entry transaction allows accessing the 64-bit password. This entry transaction does not use a sector address from the entry transaction to overlay. The Password appears at word locations 0 to 3 in the device address space.	3
PGNPWD_2_1		Program Non-volatile Password transaction programs the 64-bit Password with data placed on DQ[7:0].	2
RDNPWD_1_1		Read Non-volatile Password transaction allows reading the contents of the 64-bit Password using device address 0 to 3 and places it on DQ[7:0].	1
ULNPWD_7_1		Unlock Non-volatile Password transaction allows entering the 64-bit Password on DQ[7:0] to unlock the device for access.	7
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
PPBENT_3_1	ASO Persistent Protection Bits	Persistent Protection Bits ASO Entry transaction allows accessing the Persistent Protection bits (PPB) associated with sectors. This entry transaction does not use a sector address from the entry transaction to overlay. The PPB bit for a sector appears in bit 0 of all word locations in the sector.	3
PGNPPB_2_1		Program Non-volatile Persistent Protection Bits transaction programs the PPB bit corresponding to a sector with data placed on DQ[7:0]. The PPB bit for a sector appears in bit 0 of all word locations in the sector.	2
ERNPPB_2_1		Erase Non-volatile Persistent Protection Bits transaction erases all the PPB bits.	2
RSWPPB_3_1		Reset Write to Buffer Abort transaction resets the Write Buffer Abort Status Flag (WRBFAB - STRV[3]) in the Status Register caused by a PPB program failure.	3
RDNPPB_1_1		Read Non-volatile Persistent Protection Bits transaction allows reading the PPB bit corresponding to a sector and places it on DQ[7:0]. The PPB bit for a sector appears in bit 0 of all word locations in the sector.	1
PRTSTS_2_1		Sector Protection Status transaction provides the protection status of the addressed sector. Data out during a SA Protection Status Read indicates whether the indicated sector is protected in bits 0-2: Bit 0 – Indicates whether the indicated sector is protected (0 = protected, 1 = unprotected). Bit 1 – Protected using the sector's DYB bit (0 = protected, 1 = unprotected). Bit 2 – Protected using the sector's PPB bit (0 = protected, 1 = unprotected). Bits 3 through 15 are all 1s.	2
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
PPLENT_3_1	ASO PPB Lock	Persistent Protection Lock ASO Entry transaction allows accessing the global Persistent Protection Lock bit. This entry transaction does not use a sector address from the entry transaction to overlay. The global Persistent Protection Lock bit appears in bit 0 of all word locations in the device.	3
CLVPPL_2_1		Clear Volatile Persistent Protection Lock transaction clears the global Persistent Protection Lock bit.	2
RDVPPL_1_1		Read Volatile Persistent Protection Lock transaction allows reading the global Persistent Protection Lock bit and places it on DQ[7:0]. The PPL bit appears in bit 0 of all word locations in the sector.	1
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1

Transaction table

表 120 HYPERBUS™命令描述 (续)

Transaction name	Description	Cycles		
DYBENT_3_1	ASO Dynamic Protection Bits	Dynamic Protection Bits ASO Entry transaction allows accessing the Dynamic Protection bits (DYB) associated with sectors. This entry transaction does not use a sector address from the entry transaction to overlay. The DYBB bit for a sector appears in bit 0 of all word locations in the sector.	3	
STVDYB_2_1		Set Volatile Dynamic Protection Bit transaction sets the DYB bit corresponding to a sector with data placed on DQ[7:0]. The DYB bit for a sector appears in bit 0 of all word locations in the sector.	2	
CLVDYB_2_1		Clear Volatile Dynamic Protection Bit transaction clears the DYB bit corresponding to a sector with data placed on DQ[7:0]. The DYB bit for a sector appears in bit 0 of all word locations in the sector.	2	
RDVDYB_1_1		Read Volatile Dynamic Protection Bit transaction allows reading the DYB bit corresponding to a sector and places it on DQ[7:0]. The DYB bit for a sector appears in bit 0 of all word locations in the sector.	1	
PRTSTS_2_1		Sector Protection Status transaction provides the protection status of the addressed sector. Data out during a SA Protection Status Read indicates whether the indicated sector is protected in bits 0–2: Bit 0 – Indicates whether the indicated sector is protected (0 = protected, 1 = unprotected). Bit 1 – Protected using the sector’s DYB bit (0 = protected, 1 = unprotected). Bit 2 – Protected using the sector’s PPB bit (0 = protected, 1 = unprotected). Bits 3 through 15 are all 1s.	2	
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1	
ECCENT_3_1	ASO Error Correction Codes	Error Correction (ECC) ASO Entry transaction allows accessing the error correction action (ECC status) of any half-page of the Flash Memory Array.	3	
RDECST_1_1		Read Error Correction (ECC) Status transaction provides the ECC Status value for the addressed half-page on DQ[7:0]. A single word of status is displayed at any word location within a half-page.	1	
RDADTL_2_1		Read Address Trap Register Lower Word transaction provides the lower 16-bits of the error correction action (ECC) related address value stored in the Address Trap Register (32-bits) on DQ[7:0].	2	
RDADTU_2_1		Read Address Trap Register Upper Word transaction provides the upper 16-bits of the error correction action (ECC) related address value stored in the Address Trap Register (32-bits) on DQ[7:0].	2	
RDCONT_2_1		Read ECC Count Value Register transaction provides the ECC count of the number of error correction actions on DQ[7:0].	2	
CLRECC_1_1		Clear ECC Error Status Failure Flags transaction resets all failure flags and interrupts being reported.	1	
ASOEXT_1_1			ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
ICRCEN_3_1		ASO Interface CRC	Interface CRC Register ASO Entry transaction allows accessing the contents of the Interface CRC Register. Exiting Interface CRC Register ASO clears the Interface CRC Register.	3
RDICRC_1_1	Read Volatile Interface CRC Register transaction provides the contents of the Interface CRC Register on DQ[7:0]. Addresses 0x00 and 0x01 define the lower and upper 16-bit Interface CRC Register values.		1	
ASOEXT_1_1			ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1

Transaction table

表 120 HYPERBUS™命令描述 (续)

Transaction name	Description	Cycles	
DICREN_3_1	ASO Data Integrity CRC	Data Integrity CRC Register ASO Entry transaction allows accessing the Data Integrity CRC check-value. While the Data Integrity CRC calculation is not suspended the Data Integrity CRC ASO overlays the entire flash memory array. When the CRC calculation is suspended the flash memory array is visible for reading.	3
LDSTAD_1_1		Load Start Address transaction loads the Data Integrity CRC beginning address location.	1
LDENAD_1_1		Load End Address transaction loads the Data Integrity CRC ending address location.	1
SP_DIC_1_1		Suspend Data Integrity CRC transaction allows the system to interrupt the Data Integrity CRC calculation operation.	1
RDCMRY_1_1		Read Memory Array during Data Integrity CRC suspend transaction allows reading out the memory array data at the given address and places it on DQ[7:0].	1
RS_DIC_1_1		Resume Data Integrity CRC transaction allows the system to resume the suspended Data Integrity CRC calculation operation.	1
RDDICL_2_1		Read Data Integrity CRC Register Lower Word transaction provides the lower 16-bits of the Data Integrity CRC check-value on DQ[7:0].	2
RDDICU_2_1		Read Data Integrity CRC Register Upper Word transaction provides the upper 16-bits of the Data Integrity CRC check-value on DQ[7:0].	2
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1
ATBEN_3_1		ASO AutoBoot	AutoBoot Non-volatile Register ASO Entry transaction allows accessing the AutoBoot Register. This entry transaction does not use a sector address from the entry transaction.
PGNATB_2_1	Program Non-volatile AutoBoot Register transaction programs the programs the 16-bit Non-volatile AutoBoot Register with data placed on DQ[7:0].		2
RDATBN_1_0	Read Non-volatile AutoBoot Register transaction allows reading the contents of the 32-bit Non-volatile AutoBoot Register and places it on DQ[7:0]. Addresses 0x00 and 0x01 define the lower and upper 16-bit AutoBoot Register values.		1
ASOEXT_1_1	ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.		1
SECTEN_3_1	ASO Sector Erase Count	Sector Erase Count Volatile Register ASO Entry transaction allows accessing the Sector Erase Count Register. This entry transaction does not use a sector address from the entry transaction.	3
LDSRAD_2_1		Load Sector Address transaction loads the sector address whose erase count is desired.	2
RDSECV_1_0		Read Volatile Sector Erase Count Register transaction allows reading the contents of the 16-bit Volatile Sector Erase Count Register and places it on DQ[7:0].	1
ASOEXT_1_1		ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1

Transaction table

表 120 HYPERBUS™命令描述 (续)

Transaction name	Description	Cycles
ENX_EN_3_1	ASO EnduraFlex EnduraFlex Pointer Selection (Partitions) One-Time-Programmable Register ASO Entry transaction allows accessing the EnduraFlex Pointer registers. This entry transaction does not use a sector address from the entry transaction.	3
PGOENX_2_1	Program One-Time-Programmable EnduraFlex Registers [4:0] trans-action programs the One-Time-Programmable EnduraFlex registers [3:0] with data placed on DQ[7:0]. Addresses 0x00, 0x01, 0x02, 0x03, 0x04 define the four EnduraFlex Register values.	2
RDOENX_1_1	Read One-Time-Programmable EnduraFlex Registers [4:0] transaction reads the One-Time-Programmable EnduraFlex registers [3:0] and places it on DQ[7:0]. Addresses 0x00, 0x01, 0x02, 0x03, 0x04 define the four Endur-aFlex Register values.	1
ASOEXT_1_1	ASO Exit transaction returns the device to reading memory array data mode when device is in an ASO. If any of the ASO Entry commands were issued, an ASO Exit command must be issued to reset the device into Read mode.	1



表 121 HYPERBUS™命令周期

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
RDMARY_1_0	101b	DA[1:0] RDA [AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENSPIM_3_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	F5h	-	-	-	-	-	-	-	-	-	-	-	-
SRASOE_1_0	001b	DA[1:0] {[AMAX:0] 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENTDPD_3_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:0] 'bx}	B9h	-	-	-	-	-	-	-	-	-	-	-	-
RDVSTR_2_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	70h	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLVSTR_1_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	71h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRNPOR_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	34h	001 b	DA[1:0] {[AMAX:0] 'bx}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
RDNPOR_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	3Ch	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVINC_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	36h	001 b	DA[1:0] {[AMAX:0] 'bx}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
RDVINC_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	C4h	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVINS_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	37h	001 b	DA[1:0] {[AMAX:0] 'bx}	FFFFh	-	-	-	-	-	-	-	-	-
RDVINS_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	C5h	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVCR1_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	38h	001 b	DA[1:0] {[AMAX:0] 'bx}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
PGVCR2_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	3Ah	001 b	DA[1:0] {[AMAX:0] 'bx}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
RDVCR1_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	C7h	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
RDVCR2_4_0	001b	DA[1:0] {[AMAX:12] 'bx} 555h	AAh	001 b	DA[1:0] {[AMAX:12] 'bx} 2AAh	55h	001 b	DA[1:0] {[AMAX:12] 'bx} 555h	C9h	101 b	DA[1:0] {[AMAX:0] 'bx}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
PGNCR1_4_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	39h	001b	DA[1:0] {{[AMAX:0] 'bx}}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
PGNCR2_4_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	3Bh	001b	DA[1:0] {{[AMAX:0] 'bx}}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
ERNCR12_3_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	C8h	-	-	-	-	-	-	-	-	-	-	-	-
RDNCR1_4_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	C6h	101b	DA[1:0] {{[AMAX:0] 'bx}}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
RDNCR2_4_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	CAh	101b	DA[1:0] {{[AMAX:0] 'bx}}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGWORD_4_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	A0h	001b	DA[1:0] Pr_addr [AMAX:0]	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
LDBUFR_6_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] Sec_addr [AMAX:AMI N]	25h	001b	DA[1:0] Sec_addr [AMAX:AMI N]	Wd_cnt	001b	DA[1:0] WBL [AMAX:0]	Pr_data [15:0]	001b	DA[1:0] WBL [AMAX:0]	Pr_data [15:0]	-	-	-
PGBFCM_1_0	001b	DA[1:0] Sec_addr [AMAX:AMI N]	29h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSTWBA_3_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:0] 'bx}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
ERCHIP_6_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	80h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	10h	-	-	-
ERSCTR_6_0	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	80h	001b	DA[1:0] {{[AMAX:12] 'bx}} 555h	AAh	001b	DA[1:0] {{[AMAX:12] 'bx}} 2AAh	55h	001b	DA[1:0] Sec_addr [AMAX:AMI N]	30h	-	-	-
BLKCHK_1_0	001b	DA[1:0] Sec_addr [AMAX:AMI N] 555h	33h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EVERST_1_0	001b	DA[1:0] Sec_addr [AMAX:AMI N] 555h	D0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SPERSE_1_0	001b	DA[1:0] {{[AMAX:0] 'bx}}	B0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
RSERSE_1_0	001b	DA[1:0] {{AMAX:0} 'bX}	30h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SPPROG_1_0	001b	DA[1:0] {{AMAX:0} 'bX}	51h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSPROG_1_0	001b	DA[1:0] {{AMAX:0} 'bX}	50h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
IDSFE1_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	90h	-	-	-	-	-	-	-	-	-	-	-	-
IDSFE2_1_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	98h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDIDSF_1_1	101b	DA[1:0] RDA [AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SSRENT_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] Sec_addr [AMAX:AMI N] 555h	88h	-	-	-	-	-	-	-	-	-	-	-	-
RD_SSR_1_1	101b	DA[1:0] RDA [AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PG_SSR_4_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	A0h	001 b	DA[1:0] Pr_addr [AMAX:0]	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
LDBSSR_5_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] Sec_addr [AMAX:AMI N]	25h	001 b	DA[1:0] Sec_addr [AMAX:AMI N]	Wd_cnt	001 b	DA[1:0] WBL [AMAX:0]	Pr_dat a [15:0]	001 b	DA[1:0] WBL [AMAX:0]	Pr_dat a [15:0]	-	-	-
PGCSSR_1_1	001b	DA[1:0] Sec_addr [AMAX:AMI N]	29h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSWSSR_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASPENT_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	40h	-	-	-	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
PGOASP_2_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	A0h	001 b	DA[1:0] {{[AMAX:0] 'bX}}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDOASP_1_1	101b	DA[1:0] {{[AMAX:0] 'bX}}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PWDENT_3_1	001b	DA[1:0] {{[AMAX:12] 'bX} 555h	AAh	001 b	DA[1:0] {{[AMAX:12] 'bX} 2AAh	55h	001 b	DA[1:0] {{[AMAX:12] 'bX} 555h	60h	-	-	-	-	-	-	-	-	-	-	-	-
PGNPWD_2_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	A0h	001 b	DA[1:0] {{[AMAX:2] 'bX} {PSWD Addr[1:0]}	P_PWD X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDNPWD_1_1	101b	DA[1:0] {{[AMAX:2] 'bX} {PSWD Addr[1:0]}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ULNPWD_7_1	001b	DA[1:0] {{[AMAX:2] 'bX} {0h}	25h	001 b	DA[1:0] {{[AMAX:2] 'bX} {0h}	03h	001 b	DA[1:0] {{[AMAX:2] 'bX} {0h}	PWD0 [15:0]	001 b	DA[1:0] {{[AMAX:2] 'bX} {1h}	PWD1 [31:16]	001 b	DA[1:0] {{[AMAX:2] 'bX} {2h}	PWD2 [47:32]	001 b	DA[1:0] {{[AMAX:2] 'bX} {3h}	PWD3 [63:48]	001 b	DA[1:0] {{[AMAX:2] 'bX} {0h}	29h
ASOEXT_1_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PPBENT_3_1	001b	DA[1:0] {{[AMAX:12] 'bX} 555h	AAh	001 b	DA[1:0] {{[AMAX:12] 'bX} 2AAh	55h	001 b	DA[1:0] {{[AMAX:12] 'bX} 555h	C0h	-	-	-	-	-	-	-	-	-	-	-	-
PGNPPB_2_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	A0h	001 b	DA[1:0] Sec_addr [AMAX:AMI N]	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ERNPPB_2_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	80h	001 b	DA[1:0] {{[AMAX:12] 'bX} 000h	30h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSWPPB_3_1	001b	DA[1:0] {{[AMAX:12] 'bX} 555h	AAh	001 b	DA[1:0] {{[AMAX:12] 'bX} 2AAh	55h	001 b	DA[1:0] {{[AMAX:0] 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
RDNPPB_1_1	101b	DA[1:0] Sec_addr [AMAX:AMI N]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRTSTS_2_1	001b	DA[1:0] {{[AMAX:0] 'bX}}	60h	101 b	DA[1:0] Sec_addr [AMAX:AMI N]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PPLENT_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	50h	-	-	-	-	-	-	-	-	-	-	-	-
CLVPPL_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	A0h	001 b	DA[1:0] {{AMAX:0} 'bX}	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDVPPL_1_1	101b	DA[1:0] {{AMAX:0} 'bX}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DYBENT_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	E0h	-	-	-	-	-	-	-	-	-	-	-	-
STVDYB_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	A0h	001 b	DA[1:0] Sec_addr [AMAX:AMI N]	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLVDYB_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	A0h	001 b	DA[1:0] Sec_addr [AMAX:AMI N]	01h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDVDYB_1_1	101b	DA[1:0] Sec_addr [AMAX:AMI N]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRTSTS_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	60h	101 b	DA[1:0] Sec_addr [AMAX:AMI N]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bX}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ECCENT_3_1	001b	DA[1:0] {{AMAX:12} 'bX} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bX} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bX} 555h	75h	-	-	-	-	-	-	-	-	-	-	-	-
RDECST_1_1	101b	DA[1:0] RDA [AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDADTL_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	60h	101 b	DA[1:0] {{AMAX:2} 'bX} {00b}	Rd_data a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDADTU_2_1	001b	DA[1:0] {{AMAX:0} 'bX}	60h	101 b	DA[1:0] {{AMAX:2} 'bX} {01b}	Rd_data a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
RDCONT_2_1	001b	DA[1:0] {{AMAX:0} 'bx}	60h	101 b	DA[1:0] {{AMAX:2} 'bx} {10b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLRECC_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	50h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ICRCEN_3_1	001b	DA[1:0] {{AMAX:12} 'bx} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bx} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bx} 555h	76h	-	-	-	-	-	-	-	-	-	-	-	-
RDICRC_1_1	101b	DA[1:0] {{AMAX:2} 'bx} {00b}	Rd_data 0 [15:0]	101 b	DA[1:0] {{AMAX:2} 'bx} {01b}	Rd_dat a1 {31:16}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DICREN_3_1	001b	DA[1:0] {{AMAX:12} 'bx} 555h	AAh	001 b	DA[1:0] {{AMAX:12} 'bx} 2AAh	55h	001 b	DA[1:0] {{AMAX:12} 'bx} 555h	78h	-	-	-	-	-	-	-	-	-	-	-	-
LDSTAD_1_1	001b	DA[1:0] Start_addr [AMAX:AMI N]	C3h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
LDENAD_1_1	001b	DA[1:0] End_addr [AMAX:AMI N]	3Ch	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SP_DIC_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	C0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDCMRY_1_1	101b	DA[1:0] RDA [AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RS_DIC_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	C1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDDICL_2_1	001b	DA[1:0] {{AMAX:0} 'bx}	60h	101 b	DA[1:0] {{AMAX:2} 'bx} {00b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDDICU_2_1	001b	DA[1:0] {{AMAX:0} 'bx}	60h	101 b	DA[1:0] {{AMAX:2} 'bx} {01b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {{AMAX:0} 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

表 121 HYPERBUS™命令周期 (续)

Transaction name	Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles			Bus cycles					
	First			Second			Third			Fourth			Fifth			Sixth			Seventh		
	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data	CA[47:45]	CA[44:0] Address	DQ[7:0] Data
ATBNEN_3_1	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	AAh	001b	DA[1:0] {[AMAX:12] 'bX'} 2AAh	55h	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	14h	-	-	-	-	-	-	-	-	-	-	-	-
PGNATB_2_1	001b	DA[1:0] {[AMAX:0] 'bX'}	A0h	001b	DA[1:0] {[AMAX:1] 'bX'} {AUTOBOOT T Addr[0]}	P_AUT OBOOT X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDATBN_1_0	101b	DA[1:0] {[AMAX:2] 'bX'} {00b}	Rd_data 0 [15:0]	101b	DA[1:0] {[AMAX:2] 'bX'} {01b}	Rd_dat a1 {31:16}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {[AMAX:0] 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SECTEN_3_1	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	AAh	001b	DA[1:0] {[AMAX:12] 'bX'} 2AAh	55h	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	15h	-	-	-	-	-	-	-	-	-	-	-	-
LDSRAD_2_1	001b	DA[1:0] {[AMAX:0] 'bX'}	A0h	001b	DA[1:0] Sec_addr [AMAX:AMI N]	5Dh	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDSECV_1_0	101b	DA[1:0] {[AMAX:2] 'bX'} {00b}	Rd_data 0 [15:0]	101b	DA[1:0] {[AMAX:2] 'bX'} 01b}	Rd_dat a1 {31:16}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {[AMAX:0] 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENX_EN_3_1	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	AAh	001b	DA[1:0] {[AMAX:12] 'bX'} 2AAh	55h	001b	DA[1:0] {[AMAX:12] 'bX'} 555h	16h	-	-	-	-	-	-	-	-	-	-	-	-
PGOENX_2_1	001b	DA[1:0] {[AMAX:0] 'bX'}	A0h	001b	DA[1:0] {[AMAX:3] 'b0'} Pointer Addr[2:0]	Pr_data X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDOENX_1_1	101b	DA[1:0] {[AMAX:3] 'b0'} Pointer Addr[2:0]	Rd_data {15:0}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0] {[AMAX:0] 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

指令定义图例

X = 无需关注。

RA = 要读取的存储器地址。

RD = 在读取操作期间从位置RA读取的数据。

PA = 要编程的存储器位置的地址。

PD = 要在位置

PA编程的数据。

SA = 所选扇区的地址。地址位 $A_{MAX} - A17$ (256KB 扇区) 和 $A_{MAX} - A11$ (4KB 参数扇区) 唯一选择任何扇区。

WBL = 写入缓冲区位置。地址必须在同一行内。

WC = 字计数, 等于要加载的写入缓冲区位置数量减1。

PWAX = PPB密码地址, word0 = 00h、word1 = 01h、word2 = 02h和word3 = 03h。

PWDx = 密码数据word0、word1、word2和word3。

EFPRx = 英飞凌 Endurance Flex 架构指针地址 寄存器 0, 1, 2, 3, 4

DA = 芯片地址 (DA[1:0] = 00b 对于所有设备)

注释:

37. 所有值均为十六进制数值。所有地址基准16位字。
38. 除了下列周期外, 所有总线周期均为写入周期: 发生于读取过程的读取周期、ID 读取 (制造商ID/器件ID)、指示位、SSR读取、SSR锁定读取以及状态寄存器读取的第二个周期。
39. 除了RD、PD、WC和PWD外, 命令序列中的数据位DQ15-DQ8无需关注。
40. 除非需要SA或PA, 否则在解锁和命令循环期间, 地址位 $A_{MAX} - A11$ 均为无需关注。(A_{MAX}是最高地址引脚)。
41. 读取阵列的数据时, 不需要解锁或命令周期。
42. 当器件处于 ID-SFDP (自动选择) 模式时, 需要使用复位指令来返回读取数据。
43. 器件就绪读取阵列数据或ID-SFDP (自动选择) 模式时, 命令将有效。
44. 在擦除挂起模式下, 系统可以对非擦除扇区进行读取和编程/编程挂起的操作, 或者从该模式进入 ID-SFDP ASO 模式。擦除挂起命令仅在扇区擦除操作期间有效。
45. 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
46. 检测到器件处于写入到缓冲区终止状态后, 发出该命令序列以返回到读取模式。请注意, 如果进行复位以退出终止状态, 则需使用完整的命令序列。
47. 退出命令会使器件返回到读取阵列状态。
48. 对于PWDx, 每个A0命令只能编程密码的一部分。密码的各部分必须按连续顺序进行编程 (PWD0 - PWD3)。
49. 所有 ASP 寄存器位都是 OTP。编程状态 = 0, 擦除状态 = 1。此外, 持久保护模式锁定位和密码保护模式锁定位不能同时编程, 否则将终止 ASPR 寄存器位编程操作, 并使器件返回读取模式。保留给未来使用的ASPR 寄存器位未定义, 可能是0或1。
50. 如果发出任何进入命令, 则必须发出退出命令, 以使器件返回到读取模式。
51. 位 0 = 0 表示受保护状态, 位 0 = 1 表示不受保护状态 - 位 1 至 15 全为 0 表示受保护, 全为 1 表示不受保护。DYB 置位、DYB 清除或 PPB 编程指令的扇区地址可以是扇区内的任意位置 - 扇区地址的低位无需关注。注释: 如果位 1 到 15 不全为 0, 则 PPB 程序指令将中止。
52. 寄存器读取命令期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平, 则后续数据值输出未定义。
53. SA 保护状态读取期间的数据输出指示指示的扇区是否在位 0-2 中受到保护。
位 0 - 指示所指示的扇区是否受保护 (0 = 受保护, 1 = 不受保护)。Bit 1 - Protected using the sector's DYB bit (0 = protected, 1 = unprotected).
Bit 2 - Protected using the sector's PPB bit (0 = protected, 1 = unprotected). Bits 3 through 15 are all 1s.
54. 较小的参数扇区需要包含 A[16:11] 作为地址的一部分, 在擦除和编程指令序列期间标识目标参数扇区。
55. 复位 / ASO 退出行为
56. 当器件不忙或处于指令序列中间时, 清除 SR0[5,4,3,1,0]。
当器件不忙或处于 ASO 状态时, 清除 SR0[5,4,3,1,0]。
57. 如果输入了非法指令序列, 一旦 CS# 变为高电平, 器件将返回到发送模式。
58. 复位、ASO 退出、读取状态寄存器和状态寄存器清零, 复位指令全局适用于所有 ASO。
59. 从存储器阵列读取时, 在自动引导模式下, 回卷功能不可用。
60. 编程上电复位寄存器和非易失配置寄存器不应暂停。挂起将产生不确定的结果, 并且需要硬件复位才能返回到待机模式。
61. 进入SPI模式指令序列之后必须跟着SPI模式下的读取任何寄存器指令 (RDAR), 以便从HYPERBUS™正确转换到SPI接口。



6.2 传统 (x1) SPI 命令传输表

表 122 SPI (1S-1S-1S) 命令传输表

Function	Transaction name	Description	Prerequisite transaction	Byte 1 (Hex)	Byte 2 (Hex)	Byte 3 (Hex)	Byte 4 (Hex)	Byte 5 (Hex)	Byte 6 (Hex)	Byte 7 (Hex)	Byte 8 (Hex)	Byte 9 (Hex)	Transaction format	Max frequency (MHz)	Address length
Read Device ID	RDIDN_0_0	Read manufacturer and device identification trans-action provides read access to manufacturer and device identification.	-	9F (CMD)	-	-	-	-	-	-	-	-	Figure 10	166	N/A
	RSFDP_3_0	Read JEDEC Serial Flash Discoverable Parameters transaction sequentially accesses the Serial Flash Discovery Parameters (SFDP).	-	5A (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	Figure 11	156	3
	RDUID_0_0	Read Unique ID accesses a factory programmed 64-bit number which is unique to each device.	-	4C (CMD)	-	-	-	-	-	-	-	-	Figure 10	166	N/A
Register Access	RDSR1_0_0	Read Status Register 1 transaction allows the Status Register 1 contents to be read from DQ1/SO.	-	05 (CMD)	-	-	-	-	-	-	-	Figure 11			
	RDSR2_0_0	Read Status Register-2 transaction allows the Status Register-2 contents to be read from DQ1/SO.	-	07 (CMD)	-	-	-	-	-	-	-		Figure 11	166	4
RDARG_C_0		Read Any Register transaction provides a way to read all addressed non-volatile and volatile device registers.	-	65 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 11			
			-		ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data [7:0]	-	-		-	Input Data [7:0]	Figure 8
WRENB_0_0		Write Enable sets the Write Enable Latch bit of the Status Register 1 to 1 to enable write, program, and erase transactions.	-	06 (CMD)	-	-	-	-	-	-	-	Figure 5	166	N/A	
WRDIS_0_0		Write Disable sets the Write Enable Latch bit of the Status Register 1 to 0 to disable write, program, and erase transactions execution.	-	04 (CMD)	-	-	-	-	-	-	-				Figure 8
WRARG_C_1		Write Any Register transaction provides a way to write all addressed Non-volatile and Volatile Device registers.	WRENB_0_0	71 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data [7:0]	-	-	-	Figure 8	166	3	
					ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data [7:0]	-	-				-
CLPEF_0_0		Clear Program and Erase Failure Flags transaction resets STR1V[5] (Erase failure flag) and STR1V[6] (Program failure flag).	-	82 (CMD)	-	-	-	-	-	-	-	Figure 5	166	N/A	
EN4BA_0_0		Enter 4 Byte Address Mode transaction sets the Address Length bit	-	B7 (CMD)	-	-	-	-	-	-	-				Figure 5
EX4BA_0_0		Exit 4 Byte Address Mode transaction sets the Address Length bit	-	B8 (CMD)	-	-	-	-	-	-	-	Figure 11	166	4	
ECC	RDECC_4_0	Read ECC Status is used to determine the ECC status of the addressed data unit.	-	19 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-				Figure 11
	CLECC_0_0	Clear ECC Status Register transaction resets ECC Status Register bit[4] (2-bit ECC Detection), ECC Status Register bit[3] (1-bit ECC Correction), Address Trap Register, and ECC Detection Counter.	-	1B (CMD)	-	-	-	-	-	-	-	Figure 5	166	N/A	
CRC	DICHK_4_1	Data Integrity Check transaction causes the device to perform a Data Integrity Check over a user defined address range.	-	5B (CMD)	Start ADDR [31:24]	Start ADDR [23:16]	Start ADDR [15:8]	Start ADDR [7:0]	End ADDR [31:24]	End ADDR [23:16]	End ADDR [15:8]				End ADDR [7:0]



表 122 SPI (1S-1S-1S) 命令传输表 (续)

Function	Transaction name	Description	Prerequisite transaction	Byte 1 (Hex)	Byte 2 (Hex)	Byte 3 (Hex)	Byte 4 (Hex)	Byte 5 (Hex)	Byte 6 (Hex)	Byte 7 (Hex)	Byte 8 (Hex)	Byte 9 (Hex)	Transaction format	Max frequency (MHz)	Address length	
Read Flash Array	RDAY1_C_0	Read transaction reads out the memory contents at the given address. The maximum CK frequency for this transaction is 50 MHz frequency.	-	03 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	Figure 12	50	3	
			-	-	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-			4	
	RDAY1_4_0		-	13 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 11		166	3
			-	0B (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	4				
RDAY2_C_0	Read Fast transaction reads out the memory contents starting at the given address.	-	0B (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	Figure 11	166	3		
		-	-	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-			4		
Program Flash Array	PRPGE_4_1	Program Page programs 256B or 512B data to the memory array in one transaction.	WRENB_0_0	12 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data 1 [7:0]	Input Data 2 [7:0]	(Continue)	-		Figure 8	166	4
Erase Flash Array	ER004_4_0	Erase 4-KB Sector transaction sets all the bits of a 4KB sector to 1 (all bytes are FFh).	WRENB_0_0	21 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-		Figure 6		4
	ER256_4_0	Erase 256-KB Sector transaction sets all the bits of a 256KB sector to 1 (all bytes are FFh).	WRENB_0_0	DC (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	4			
	ERCHP_0_0	Erase Chip transaction sets all bits to 1 (all bytes are FFh) inside the entire flash memory array.	WRENB_0_0	60 or C7 (CMD)	-	-	-	-	-	-	-	-	Figure 5	N/A		
Erase Flash Array	EVERS_4_0	Evaluate Erase Status transaction verifies that the last erase operation on the addressed sector was completed successfully.	-	D0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 6	166		4
	SEERC_4_0	Sector Erase Count transaction outputs the number of erase cycles for the sector of the inputted address from the Sector Erase Count Register.	-	5D (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-				4
Suspend / Resume	SPEPD_0_0	Suspend Erase / Program / Data Integrity Check transaction allows the system to interrupt a programming, erase or data integrity check operation.	-	B0 (CMD)	-	-	-	-	-	-	-	-	Figure 5	166		N/A
	RSEPD_0_0	Resume Erase / Program / Data Integrity Check transaction allows the system to resume a programming, erase or data integrity check operation.	-	7A (CMD)	-	-	-	-	-	-	-	-				N/A
Secure Silicon Region	PRSSR_4_1	Program SSR transaction programs data in 1024 bytes of SSR.	WRENB_0_0	42 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data 1 [7:0]	Input Data 2 [7:0]	(Continue)	-	Figure 8	166		4
	RDSSR_4_0	Read SSR transaction reads data from the SSR.	-	4B (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 11			4



表 122 SPI (1S-1S-1S) 命令传输表 (续)

Function	Transaction name	Description	Prerequisite transaction	Byte 1 (Hex)	Byte 2 (Hex)	Byte 3 (Hex)	Byte 4 (Hex)	Byte 5 (Hex)	Byte 6 (Hex)	Byte 7 (Hex)	Byte 8 (Hex)	Byte 9 (Hex)	Transaction format	Max frequency (MHz)	Address length
Advanced Sector Protection	RDDYB_4_0	Read Dynamic Protection Bit transaction reads the contents of the DYB Access Register.	-	E0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 11	166	4
	WRDYB_4_1	Write Dynamic Protection Bit transaction writes to the DYB Access Register.	WRENB_0_0	E1 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	Input Data 1 [7:0]	Input Data 2 [7:0]	(Continue)	-	Figure 8		
	RDPPB_4_0	Read Persistent Protection Bit transaction reads the contents of the PPB Access Register.	-	E2 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 11		
	PRPPB_4_0	Program Persistent Protection Bit transaction programs / writes the PPB Register to enable the sector protection.	WRENB_0_0	E3 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 6		
	ERPPB_0_0	Erase Persistent Protection Bit transaction sets all persistent protection bits to 1.	WRENB_0_0	E4 (CMD)	-	-	-	-	-	-	-	-	Figure 5		N/A
	WRPLB_0_0	Write PPB Protection Lock Bit transaction clears the PPB Lock to 0.	WRENB_0_0	A6 (CMD)	-	-	-	-	-	-	-	-			
	RDPLB_0_0	Read Password Protection Mode Lock Bit transaction shifts out the 8-bit PPB Lock Register contents with MSb first.	-	A7 (CMD)	-	-	-	-	-	-	-	-	Figure 10		
	PWDUL_0_1	Password Unlock transaction sends the 64-bit password to flash device. If the supplied password does not match the hidden password in the Password Register, the device is locked and only a hardware reset or POR will return the device to standby state, ready for new transactions such as a retry of the PWDUL_0_1. If the password does match, the PPB Lock bit is set to 1.	-	E9 (CMD)	Password [7:0]	Password [15:8]	Password [23:16]	Password [31:24]	Password [39:32]	Password [47:40]	Password [55:48]	Password [63:56]	Figure 9		
Reset	SRSTE_0_0	Software Reset Enable command is required immediately before a SFRST_0_0 transaction.	-	66 (CMD)	-	-	-	-	-	-	-	-	Figure 5		
	SFRST_0_0	Software Reset transaction restores the device to its initial power up state, by reloading Volatile registers from non-volatile default values.	SRSTE_0_0	99 (CMD)	-	-	-	-	-	-	-	-			
Deep Power Down	ENDPD_0_0	Enter Deep Power Down Mode transaction shifts device in the lowest power consumption mode.	-	B9 (CMD)	-	-	-	-	-	-	-	-			

7 电气特性

7.1 绝对最大额定值^[64]

表 123 绝对最大额定值

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power Applied	-65°C to +125°C
V _{CC} (HL-T)	-0.5 V to +4.0 V
V _{CC} (HS-T)	-0.5 V to +2.5 V
Input voltage with respect to Ground (V _{SS}) ^[62]	-0.5 V to V _{CC} + 0.5 V
Output short circuit current ^[63]	100 mA

7.2 工作范围

运行范围定义了一些限值，在这些限值之间可保证器件正常运行。

7.2.1 供电电压

表 124 供电电压

V _{CC} / V _{CCQ} (HL-T devices)	2.7 V to 3.6 V
V _{CC} / V _{CCQ} (HS-T devices)	1.7 V to 2.0 V

7.2.2 温度范围

表 125 温度范围

Parameter	Symbol	Devices	Spec		Unit
			Min	Max	
Ambient temperature	T _A	Industrial / Automotive AEC-Q100 Grade 3	-40	+85	°C
		Industrial Plus / Automotive AEC-Q100 Grade 2 ^[65]		+105	
		Automotive AEC-Q100 Grade 1 ^[65]		+125	

7.3 热阻抗

表 126 热阻抗

Parameter	Description	Test condition	Device	24-ball BGA	Unit
Theta JA	Thermal Resistance (Junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance in accordance with EIA/JESD51. With Still Air (0 m/s)	512T	34.5	°C/W
			01GT	37	
Theta JB	Thermal Resistance (Junction to board)		512T	14.5	
			01GT	9.7	
Theta JC	Thermal Resistance (Junction to case)		512T	5.4	
			01GT	7.5	

7.4 电容特性

表 127 电容值

Symbol	Parameter	Test conditions	Typ	Max	Unit
C_{IN}	Input Capacitance (applies to CK, CS#, RESET#)	1 MHz	3.0	7.50	pF
C_{OUT}	Output Capacitance (applies to all I/O)		6.50		

7.5 锁闭特性

表 128 锁闭规格^[66]

Description	Min	Max	Unit
Input voltage with respect to V_{SSQ} on all input only connections	-1.0	$V_{CCQ} + 1.0$	V
Input voltage with respect to V_{SSQ} on all I/O connections			
V_{CCQ} Current	-100	+100	mA

注释

62. 信号转换期间允许的最大值请参阅 154 页“输入信号过冲”。
63. 每一次只能有一个输出对地短接。短接时间不能超过一秒。
64. 如果使用大于 152 页“绝对最大额定值[64]”所列出的数值，则可能造成器件永久性损害。这只是压力额定值；并不表示器件在这些值或者在此数据手册操作部分所示值之上的任何其他情形下能正常运行。如果让器件长时间在绝对最大额定值情况下运行，会影响器件的可靠性。
65. 扩展工业、汽车 2 级和汽车 1 级的工作和性能参数将由器件特性决定，并且可能与本规范中当前所示的标准工业或汽车 3 级温度范围设备有所不同。

7.6 直流特性

7.6.1 输入信号过冲

在DC条件下，输入或 I/O 信号应保持等于或介于 V_{SSQ} 和 V_{CCQ} 之间。在电压转换期间，输入或 I/O 可能会超过 V_{SSQ} 至 -1.0 V 或超过 $V_{CCQ} + 1.0\text{ V}$ ，持续时间最长为 20 ns 。

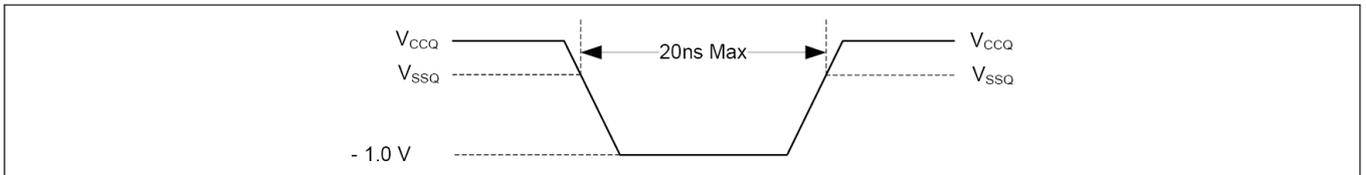


图 52 最大负过冲波形

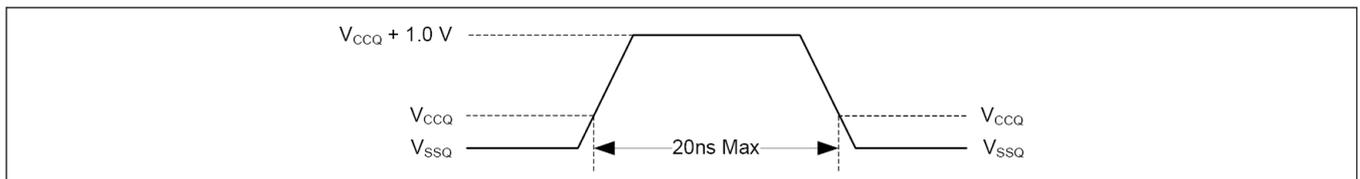


图 53 最大正极过冲波形

7.6.2 DC特性（所有温度范围）

表 129 直流特性^[67, 68]

Symbol	Parameter	Test conditions	Min	Typ	Max	Unit	Reference figure
V_{IL}	Input Low Voltage (all V_{CC})	–	$V_{CCQ} \times -0.15$	–	$V_{CCQ} \times 0.35$	V	–
V_{IH}	Input High Voltage (all V_{CC})	–	$V_{CCQ} \times 0.65$	–	$V_{CCQ} \times 1.15$		
V_{OL}	Output Low Voltage (all V_{CC})	At 0.1mA		–	0.2		
V_{OH}	Output High Voltage (all V_{CC})	At -0.1mA	$V_{CCQ} - 0.20$	–			

注释

- 67. 典型值为 $T_{AI} = 25^\circ\text{C}$ 和 $V_{CC} = 1.8\text{ V}/3.0\text{ V}$ 。
- 68. 建议 INT# 输出的上拉电阻为 $5\text{ k}\Omega$ 至 $10\text{ k}\Omega$ 。
- 69. 读取数据返回期间输出未连接。不包括输出开关电流。

注释：

- 66. 不包括电源 V_{CCQ} 。测试条件： $V_{CC} = 1.8\text{ V}/3.0\text{ V}$ ，每次测试一个连接，未测试的连接 V_{SSQ} 。

Electrical characteristics

表 129 DC 特性^[67, 68] (续)

Symbol	Parameter	Test conditions	Min	Typ	Max	Unit	Reference figure
I _{LI}	Input Leakage Current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 85°C	-	-	±2	μA	-
		V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 105°C	-	-	±3		
		V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 125°C	-	-	±4		
I _{LO}	Output Leakage Current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 85°C	-	-	±2		-
		V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 105°C	-	-	±3		
		V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH} , 125°C	-	-	±4		
I _{CC1}	Active Power Supply Current (READ) ^[69]	SDR @ 50 MHz (HL512T / HS512T) (HL01GT / HS01GT)	-	10 / 10 18 / 14	21 / 18 25 / 25	mA	-
		SDR @ 166 MHz (HL512T / HS512T) (HL01GT / HS01GT)	-	75 / 75 75 / 80	100 / 100 100 / 100		
		DDR @ 166 MHz (HL512T / HS512T) (HL01GT / HS01GT)	-	75 / 75 75 / 80	130 / 150 130 / 168		
		DDR @ 200 MHz (HS512T) (HS01GT)	-	156 156	173 198		
I _{CC2}	Active Power Supply Current (Page Program) (512T / 01GT)	V _{CC} = V _{CC} Max, CS# = V _{IH}	-	50	58 / 66		
I _{CC3}	Active Power Supply Current (Write Any Register) (512T / 01GT)	V _{CC} = V _{CC} Max, CS# = V _{IH}	-	50	55 / 66		
I _{CC4}	Active Power Supply Current (Sector Erase) (512T / 01GT)	V _{CC} = V _{CC} Max, CS# = V _{IH}	-	50	55 / 66		
I _{CC5}	Active Power Supply Current (Chip Erase) (512T / 01GT)	V _{CC} = V _{CC} Max, CS# = V _{IH}	-	50	55 / 66		

注释

- 67. 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V/3.0 V。
- 68. 推荐的INT#输出上拉电阻范围为5 kΩ to 10 kΩ。
- 69. 读取数据返回期间输出未连接。不包括输出开关电流。

Electrical characteristics

表 129 DC 特性^[67, 68] (续)

Symbol	Parameter	Test conditions	Min	Typ	Max	Unit	Reference figure
I_{SB}	Standby Current (HS512T / HS01GT)	RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 85°C	-	11	113 / 160	μA	-
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 105°C	-		188 / 320		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 125°C	-		340 / 650		
	Standby Current (HL512T / HL01GT)	RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 85°C	-	14	126 / 160		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 105°C	-		188 / 320		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 125°C	-		340 / 490		
I_{DPD}	DPD Current (HS512T / HS01GT)	RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 85°C	-	1.3 / 1.3	18 / 24	μA	
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 105°C	-		18 / 26		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 125°C	-		31 / 80		
	DPD Current (HL512T / HL01GT)	RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 85°C	-	2.2 / 2.2	18 / 26		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 105°C	-		18 / 26		
		RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ} , 125°C	-		31 / 52		
I_{POR}	POR Current	RESET#, CS# = V_{CCQ} ; All I/Os = V_{CCQ} or V_{SSQ}	-	-	80	mA	

Power Up / Power Down Voltage

注释

- 67. 典型值为 $T_{AL} = 25^{\circ}C$ 和 $V_{CC} = 1.8 V/3.0 V$ 。
- 68. 推荐的INT#输出上拉电阻范围为5 k Ω to 10 k Ω 。
- 69. 读取数据返回期间输出未连接。不包括输出开关电流。

Electrical characteristics

表 129 DC 特性^[67, 68] (续)

Symbol	Parameter	Test conditions	Min	Typ	Max	Unit	Reference figure
V _{CC} (min)	V _{CC} (minimum operation voltage, HL-T)	-	2.7	-	-	V	Figure 47/ Figure 48
	V _{CC} (minimum operation voltage, HS-T)	-	1.7	-	-		
V _{CC} (cut-off)	V _{CC} (cut off where re-initialization is needed, HL-T)	-	2.4	-	-		Figure 48
	V _{CC} (cut off where re-initialization is needed, HS-T)	-	1.55	-	-		
V _{CC} (Low)	V _{CC} (low voltage for initialization to occur, HL-T)	-	0.7	-	-		
	V _{CC} (Low voltage for initialization to occur, HS-T)	-	0.7	-	-		

注释

- 67. 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V/3.0 V。
- 68. 推荐的INT#输出上拉电阻范围为5 kΩ to 10 kΩ。
- 69. 读取数据返回期间输出未连接。不包括输出开关电流。

7.7 AC 测试条件

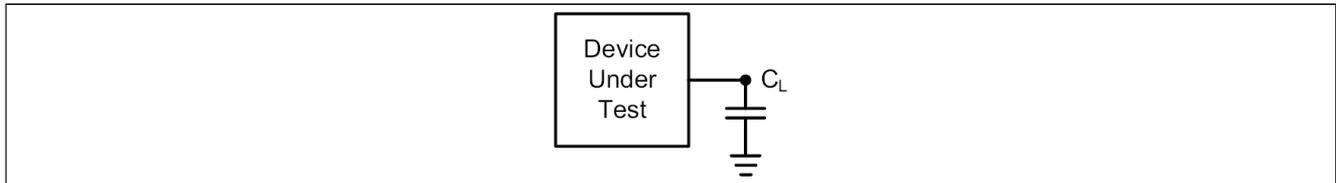


图 54 测试设置

表 130 AC 测量条件^[71]

Parameter	Min	Max	Unit	Reference figure
Load Capacitance (C_L)	–	15	pF	Figure 54
Input Pulse Voltage	0	V_{CCQ}	V	Figure 56
CK Rise (t_{CRT1}) and Fall (t_{CFT1}) Slew Rates at 200 MHz (HS-T) ^[70]	1.13	–	V/ns	Figure 59
CK Rise (t_{CRT2}) and Fall (t_{CFT2}) Slew Rates at 166 MHz (HL-T) ^[70]	1.72	–		
Data Rise (t_{DRT1}) and Fall (t_{DFT1}) Slew Rates at 200 MHz (HS-T) ^[70]	1.13	–		
Data Rise (t_{DRT2}) and Fall (t_{DFT2}) Slew Rates at 166 MHz (HL-T) ^[70]	1.72	–		
$V_{IL(ac)}$	$-0.30 \times V_{CCQ}$	$0.30 \times V_{CCQ}$	V	Figure 56
$V_{IH(ac)}$	$0.7 \times V_{CCQ}$	$1.30 \times V_{CCQ}$		
$V_{OH(ac)}$	$0.75 \times V_{CCQ}$	–		
$V_{OL(ac)}$	–	$0.25 \times V_{CCQ}$		
V_{IX}	$0.4 \times V_{CCQ}$	$0.6 \times V_{CCQ}$		
Input Timing Ref Voltage	$0.5 \times V_{CC}$			
Output Timing Ref Voltage	$0.5 \times V_{CC}$			
				Figure 57/ Figure 58
				Figure 60
				Figure 56
				Figure 57/ Figure 58

注释

70. 在 V_{CC} 最大时测量从输入脉冲最小值到最大值的输入斜率。

71. AC特性表假设时钟和数据信号具有相同的斜率（斜率）。

8 时序特性

表 131 时序特性^[72]

Symbol	Parameter	Min	Typ	Max	Unit	Reference figure
HYPERBUS™						
f _{CK}	CK Clock Frequency for HYPERBUS™ mode transactions using DS (HS-T)	0	–	200	MHz	–
	CK Clock Frequency for HYPERBUS™ mode transactions using DS (HL-T)		–	166		
P _{CK}	CK Clock Period	1/f _{CK}	–	∞	ns	Figure 56
t _{CH}	Clock High Time	45% p _{CK}	–	55% p _{CK}		ns
t _{CL}	Clock Low Time		–			
t _{CS}	CS# High Time (Read transactions)	7.5	–	–	ns	Figure 63
	CS# High Time (CRC ASO: including ASO entry and exit Configuration Register Load Program)	50	–	–		
t _{CSS}	CS# Active Setup Time (relative to CK)	4	–	–	ns	Figure 64
t _{CSH0}	CS# Active Hold Time (relative to CK in Mode 0)	4	–	–		
t _{SU}	HS-T Data Setup Time (all V _{CC})	0.5	–	–	ns	Figure 64
	HL-T Data Setup Time (all V _{CC})	0.6	–	–		
t _{HD}	HL-T Data Hold Time (all V _{CC})	0.6	–	–	ns	Figure 64
	HS-T Data Hold Time (all V _{CC})	0.5	–	–		
t _V ^[73]	Clock Low to Output Valid (15pF Loading) (HS-T)	2	–	5.45	ns	Figure 64
	Clock Low to Output Valid (15pF Loading) (HL-T)		–	7.25		
t _{CKDS}	DS Valid (HS-T)	–	–	5.45	ns	Figure 64
	DS Valid (HL-T)	–	–	7.25		
t _{DSS} ^[74]	DS transition to Data Valid	–0.4	–	0.4	ns	Figure 64
t _{DSH} ^[74]	DS transition to Data Invalid	–0.4	–	0.4		
t _{bIS} ^[72]	CS# Inactive to Output Disable Time (HS-T)	–	–	6.00	ns	Figure 64
	CS# Inactive to Output Disable Time (HL-T)	–	–	7.50		
t _{DSZ}	CS# Inactive to DS Disable Time (HS-T)	–	–	6.00	ns	Figure 64
	CS# Inactive to DS Disable Time (HL-T)	–	–	7.50		
t _{IO_SKEW} ^[74]	Data Skew (First Data Bit to Last Data Bit)	–	–	0.4	ns	–

Timing characteristics

表 131 时序特性^[72] (续)

Symbol	Parameter	Min	Typ	Max	Unit	Reference figure
SPI SDR						
f_{CK}	CK Clock Frequency	0	–	166	MHz	–
P_{CK}	CK Clock Period	$1/f_{CK}$	–	∞	ns	Figure 56
t_{CH}	Clock High Time	$45\% p_{CK}$	–	$55\% p_{CK}$		Figure 59
t_{CL}	Clock Low Time	$45\% p_{CK}$	–	$55\% p_{CK}$		
t_{CS}	CS# High Time (Read transactions)	10	–	–		Figure 61 / Figure 62
	CS# High Time Between Transactions (aborted commands)	20	–	–		
	CS# High Time (Program / Erase transactions)	50	–	–		
t_{CSS}	CS# Active Setup Time relative to CK ($f_{CK} \leq 50$ MHz / $f_{CK} > 50$ MHz)	5 / 4	–	–		Figure 61
t_{CSH0}	CS# Active Hold Time (relative to CK in Mode 0)	4	–	–		
t_{CSH3}	CS# Active Hold Time (relative to CK in Mode 3)	6	–	–		Figure 61
t_{SU}	Data Setup Time (all V_{CC})	2	–	–		
t_{HD}	Data Hold Time (all V_{CC})	2	–	–		
t_V	Clock Low to Output Valid (15 pF Loading, 3.0 V–3.6 V, 30 Ω Output Impedance) (HL-T)	2	–	6.5		Figure 62
	Clock Low to Output Valid (30 pF Loading) (HS-T) (512T / 01GT)	2 / 2	–	8 / 8		
	Clock Low to Output Valid (30 pF Loading) (HL-T)	2	–	9		
	Clock Low to Output Valid (15 pF Loading) (HS-T) (512T / 01GT)	2 / 2	–	6 / 6		
	Clock Low to Output Valid (15 pF Loading) (HL-T)	2	–	8		
t_{HO}	Output Hold Time (HL512T / HS512T) (HL01GT / HS01GT)	1.5 / 1.5 1.5 / 1.5	–	–		
	Output Disable Time (HS-T)	–	–	6		
t_{DIS}	Output Disable Time (HS-T)	–	–	6		
	Output Disable Time (HL-T)	–	–	7.50		
Power Up / Power Down Timing						
t_{PU}	$V_{CC}(\text{min})$ to Read operation (HL512T / HS512T) (HL01GT / HS01GT)	–	–	450 / 500 500 / 500	μs	Figure 47
t_{PD}	$V_{CC}(\text{Low})$ time	25	–	–		Figure 48
$t^{[81]VR}$	V_{CC} / V_{CCQ} Power Up ramp rate	1	–	–	$\mu\text{s}/\text{V}$	Figure 49
t_{VF}	V_{CC} / V_{CCQ} Power Down ramp rate	30	–	–		Figure 65

Timing characteristics

表 131 时序特性^[72] (续)

Symbol	Parameter	Min	Typ	Max	Unit	Reference figure
Deep Power Down Mode Timing						
$t_{\text{ENTDPD}}^{[81]}$	Time to Enter DPD mode	-	-	3	μs	-
t_{EXTDPD}	Time to Exit DPD mode (HL512T / HS512T) (HL01GT / HS01GT)	-	-	380 / 430 430 / 430		Figure 46
t_{CSDPD}	Chip Select Pulse Width to Exit DPD	0.02	-	3		
Reset Timing^[76, 77]						
t_{RS}	Reset Setup - RESET# High before CS# Low	50	-	-	ns	Figure 39
t_{RH}	Reset Pulse Hold - RESET# Low to CS# Low (HL512T / HS512T) (HL01GT / HS01GT)	450 / 500 500 / 500	-	-	μs	
t_{RP}	RESET# Pulse Width	200	-	-	ns	
t_{SR}	Internal Device Reset from Software Reset Transaction (512T / 01GT)	-	-	83 / 83	μs	-
CS# Signaling Reset Timing						
t_{CSLW}	Chip Select Low	500	-	-	ns	Figure 44
t_{CSHG}	Chip Select High	500	-	-		
t_{RESET}	Internal device reset (HL512T / HS512T) (HL01GT / HS01GT)	-	-	450 / 500 500 / 500	μs	
t_{SUJ}	Data in Setup Time (w.r.t CS#)	50	-	-	ns	
t_{HDJ}	Data in Hold Time (w.r.t CS#)	50	-	-		
Embedded Algorithm (Erase, Program and Data Integrity Check) Performance^[78, 79, 80, 81]						
t_{W}	Non-volatile Register Write Time (512T / 01GT)	-	44 / 44	357.5	ms	-
t_{PP}	256B Page Programming 4 KB Sector (512T / 01GT)	-	430 / 430	2175	μs	-
	256B Page Programming 256 KB Sector (512T / 01GT)		430 / 430	1700		
	512B Page Programming 4 KB Sector (512T / 01GT)		680 / 680	2175		
	512B Page Programming 256 KB Sector (512T / 01GT)	-	570 / 570	1700		
t_{SE}	Sector Erase Time (4KB physical sectors)	-	42	335	ms	-
	Sector Erase Time (256KB Infineon Endurance Flex architecture disabled) (512T /01GT)	-	773 / 773	2677		
	Sector Erase Time (256KB Infineon Endurance Flex architecture enabled) (512T /01GT)	-	773 / 773	5869		
t_{BE}	Chip Erase Time (512Mb)	-	201	696	sec	-
	Chip Erase Time (1Gb)	-	398	1381		

Timing characteristics

表 131 时序特性^[72] (续)

Symbol	Parameter	Min	Typ	Max	Unit	Reference figure
t_{EES}	Evaluate Erase Status Time for 4KB physical sectors (HL512T / HS512T) (HL01GT / HS01GT)	–	45 / 45 45 / 45	51 / 51 53 / 56	μs	–
	Evaluate Erase Status Time for 256KB physical sectors (HL512T / HS512T) (HL01GT / HS01GT)	–				
t_{DIC_SETUP}	Data Integrity Check Calculation Setup Time (512T / 01GT)	–	50 / 17	–	μs	–
t_{DIC_RATES}	Data Integrity Check Calculation Rate (Calculation rate over a large (>1024-byte) block of data) (512T / 01GT)	55 / 56	65 / 65	–	MBps	–
t_{SEC}	Sector Erase Count Time (HL512T / HS512T) (HL01GT / HS01GT)	–	55 / 55 55 / 55	63 / 63 70 / 70	μs	–
t_{BEC1}	Blank Check single 256KB sector	–	15	17	ms	–
t_{BEC2}	Blank Check single 4KB sector	–	1	2		
t_{PSWD}	Setting the PPB Lock bit after the valid 64-bit password is given to the device	80	100	120	μs	–
Program, Erase or Data Integrity Check Suspend/Resume Timing						
t_{PEDS}	Program/Erase/Data Integrity Check Suspend	–	–	100	μs	–
t_{PEDRS}	Program/Erase/Data Integrity Check Resume to next Program/Erase/Data Integrity Check Suspend (512T / 01GT)	–	100 / 100	–		

注释

72. 适用于所有工作温度选项。
73. 完整 V_{CC} 范围和 $CL = 15 \text{ pF}$ 。
74. 输出 HI-Z 定义为数据不再驱动的点。
75. 如果在 t_{PU} 结束时 Reset# 有效，则器件将保持在复位状态，并且 t_{RH} 将决定 CS# 何时可能变为低电平。
76. t_{RP} 与 t_{RH} 之和必须等于或大于 t_{RPH} 。
77. 典型写入和擦除时间假定以下条件：25°C， $V_{CC} = 1.8 \text{ V}$ 和 3.0 V；棋盘数据样式。
78. 任何 OTP 写入命令传输的写入时间与 t_{pp} 相同。这包含 PRSSR_4_1。
79. PRPPB_4_0 命令传输的写入时间与 t_{pp} 相同。ERPPB_0_0 命令传输的擦除时间与 t_{SE} 相同。
80. 这些值由特性保证，并未在生产中经过 100% 测试。
81. 由设计保证
82. 联合电子器件工程委员会 (JEDEC) 标准 JESD22-A117 根据一个合格规范对执行耐久性和保持时间测试的步骤要求进行了定义。该测试的目的在于确定闪存器件在无失败条件下保持重复的数据更改的能力 (写入/擦除耐久性) 和在预期时间内保持数据的能力 (数据保持)。耐久性和数据保持合格规范在 JESD47 中指定，也可以通过知识库方法进行开发，如 JESD94 中所示。

Timing characteristics

8.1 时序波形

8.1.1 时序波形

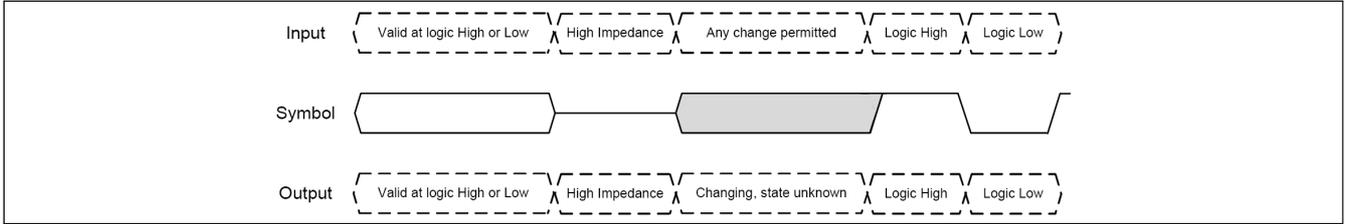


图 55 波形元素含义

8.1.2 时序参考电平

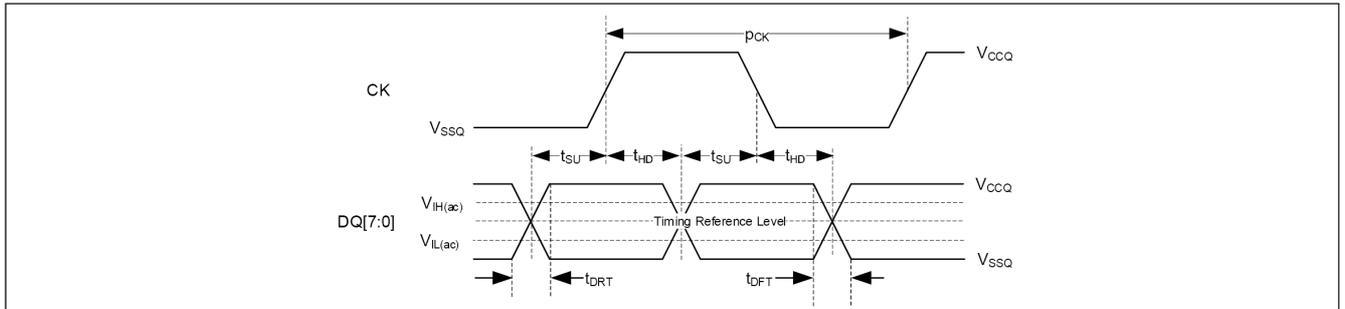


图 56 输入参考电平

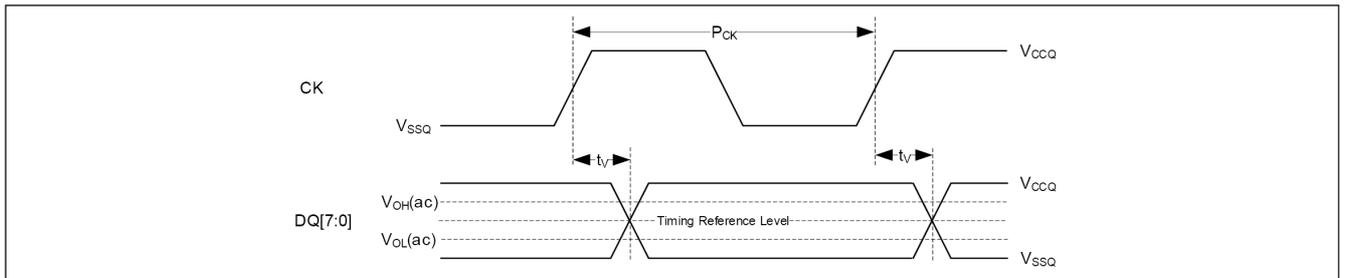


图 57 SDR输出参考电平

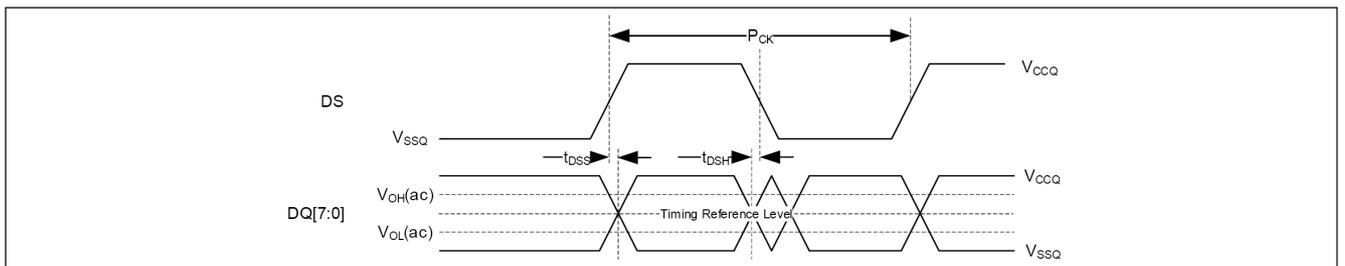


图 58 DDR 输出参考电平

8.1.3 时钟时序

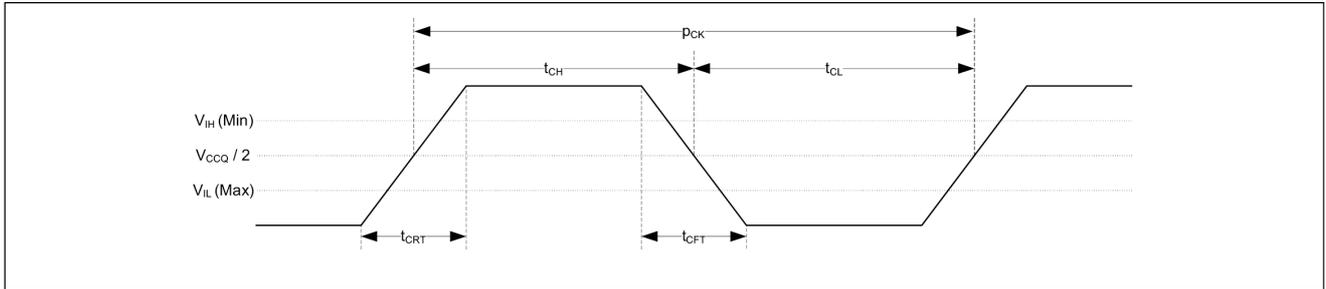


图 59 时钟时序

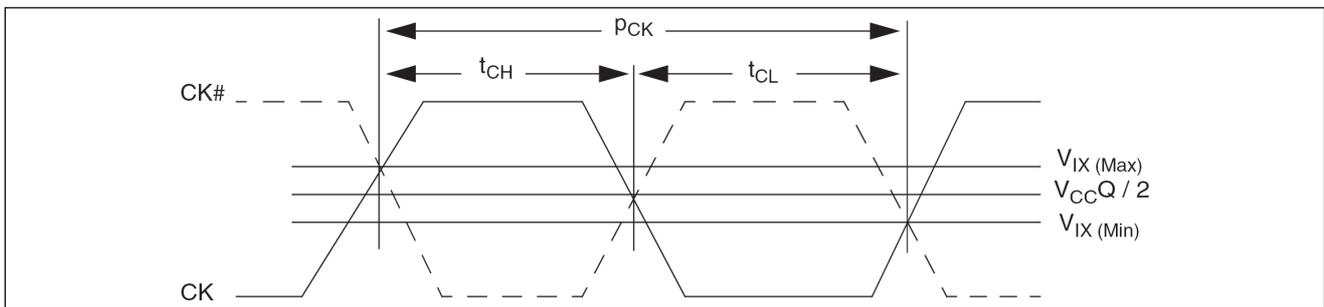


图 60 差分时钟时序

8.1.4 输入/输出时序

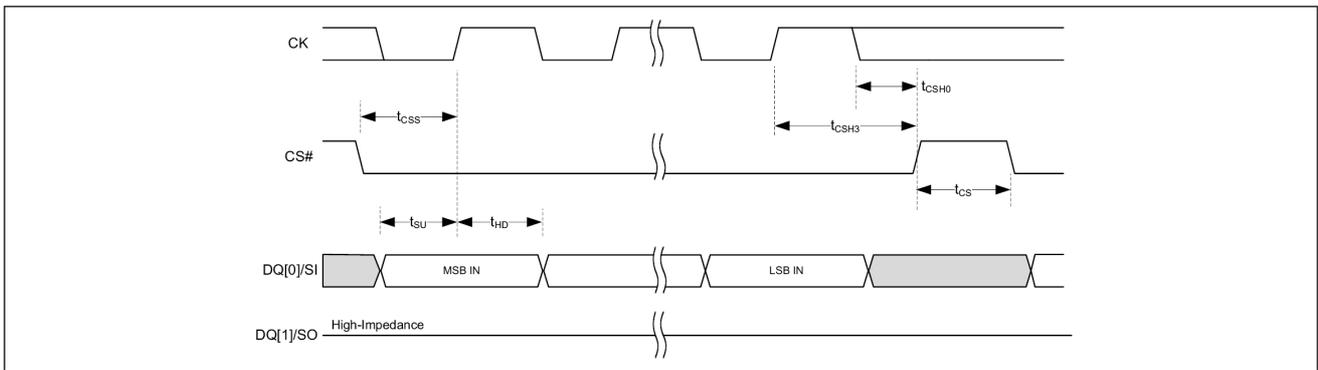


图 61 SPI 输入时序

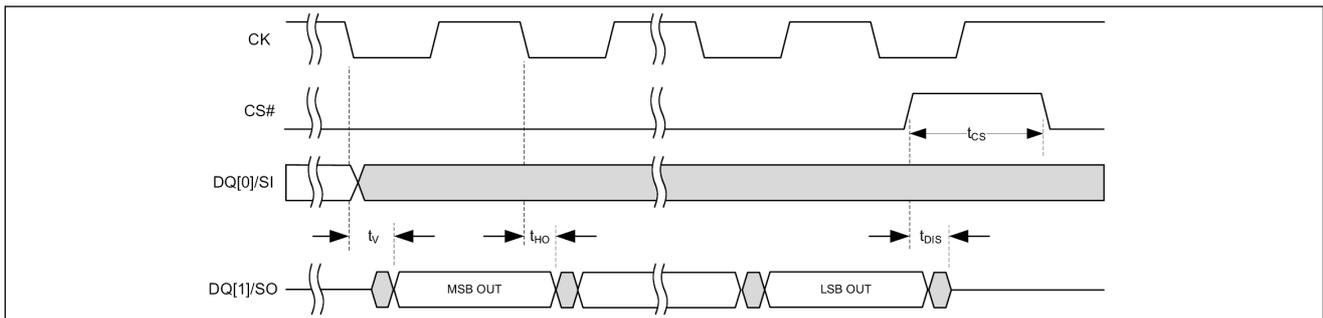


图 62 SPI 输出时序

Timing characteristics

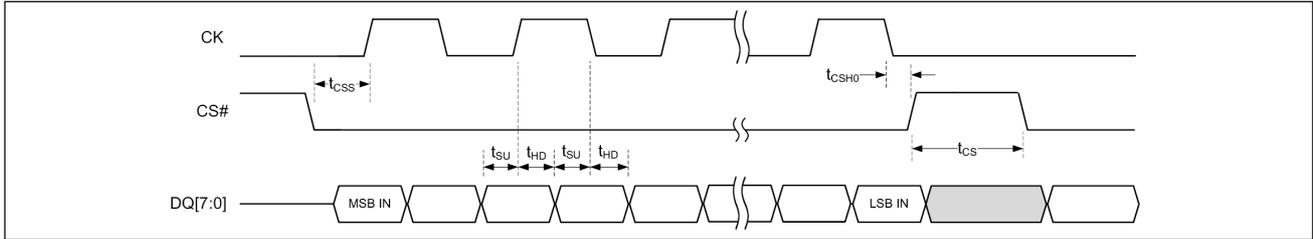


图 63 HYPERBUS™ DDR 输入时序

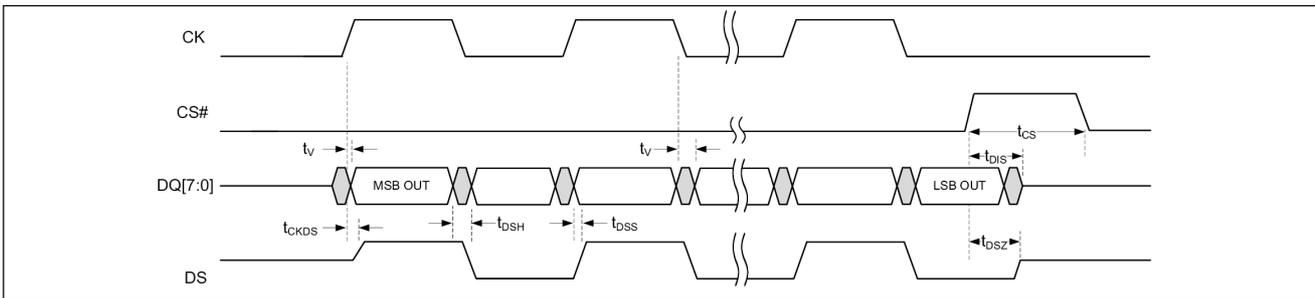


图 64 HYPERBUS™ DDR 输出时序

9 器件标识

9.1 JEDEC SFDP Rev D 帧头表

表 132 JEDEC SFDP Rev D 帧头表

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description	
00h	(SA) + 00h	SFDP Header	53h	This is the entry point for Read SFDP (5Ah) command i.e., location zero within SFDP space ASCII "S"	
01h			46h	ASCII "F"	
02h			(SA) + 01h	44h	ASCII "D"
03h				50h	ASCII "P"
04h			(SA) + 02h	08h	SFDP Minor Revision (08h = JEDEC JESD216 Revision D)
05h				01h	SFDP Major Revision (01h = JEDEC JESD216 Revision D) This is the original major revision. This major revision is compatible with all SFDP reading and parsing software.
06h			(SA) + 03h	02h	Number of Parameter Headers (zero based, 02h = 3 parameters)
07h	FFh (x1) FAh (x8)	Booting up in SPI 1S-1S-1S (FFh) Booting up in xSPI NOR Profile 2 HYPERBUS™, (8D, 8D, 8D) operation, 5-byte addressing for SFDP command, 8 wait states (FAh)			
08h	(SA) + 04h	1st Parameter Header	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI flash parameter)	
09h			00h	Parameter Minor Revision (00h = JEDEC JESD216 Revision D)	
0Ah	(SA) + 05h	1st Parameter Header	01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.	
0Bh			14h	Parameter Table Length (14h = 20 DWORDs are in the Parameter table)	
0Ch	(SA) + 06h	1st Parameter Header	00h (x1) 80h (x8)	Parameter Table Pointer Byte 0 (DWORD = 4-byte aligned) JEDEC Basic SPI flash parameter x1 byte offset = 0100h, x8 word offset = 0080h	
0Dh			01h (x1) 00h (x8)	Parameter Table Pointer Byte 1	
0Eh	(SA) + 07h	1st Parameter Header	00h	Parameter Table Pointer Byte 2	
0Fh			FFh	Parameter ID MSB (FFh = JEDEC defined legacy Parameter ID)	
10h	(SA) + 08h	2nd Parameter Header	06h	Parameter ID LSB (JEDEC xSPI (HYPERBUS™) Profile 2.0)	
11h			00h	Parameter Table Minor Revision (00h = JEDEC JESD216 Revision D)	
12h	(SA) + 09h	2nd Parameter Header	01h	Parameter Table Major Revision (01h = JEDEC JESD216 Revision D)	
13h			03h	Parameter Table Length (3h = 3 DWORDs are in the Parameter table)	
14h	(SA) + 0Ah	2nd Parameter Header	50h (x1) A8h (x8)	Parameter Table Pointer Byte 0 (DWORD = 4 byte aligned) JEDEC xSPI Profile 2.0 = x1 byte offset = 150h, x8 word offset = 00A8h	
15h			01h (x1) 00h (x8)	Parameter Table Pointer Byte 1	
16h	(SA) + 0Bh	2nd Parameter Header	00h	Parameter Table Pointer Byte 2	
17h			FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)	

表 132 JEDEC SFDP Rev D 帧头表 (续)

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description
18h	(SA) + 0Ch	3rd Parameter Header	0Ah	Parameter ID LSB (0Ah = Command Sequences to change to HYPERBUS™ (8D-8D-8D) mode)
19h			00h	Parameter Table Minor Revision (00h = JEDEC JESD216 Revision D)
1Ah	(SA) + 0Dh		01h	Parameter Table Major Revision (01h = JEDEC JESD216 Revision D)
1Bh			04h	Parameter Table Length (4h = 4DWORDs are in the Parameter table)
1Ch	(SA) + 0Eh		5Ch (x1) AEh (x8)	Parameter Table Pointer Byte 0 (DWORD = 4 byte aligned) JEDEC Status, Control and Configuration Register Map x1 byte offset = 015Ch, x8 word offset = 00AEh
1Dh			01h (x1) 00h (x8)	Parameter Table Pointer Byte 1
1Eh	(SA) + 0Fh		00h	Parameter Table Pointer Byte 2
1Fh			FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)

9.2 JEDEC SFDP Rev D 参数表

对于 SFDP 数据结构，有三个独立的参数表。其中两个表具有固定长度，一个表具有可变结构和长度，具体取决于器件容量订购部件号 (OPN)。参数表以单个表的形式呈现在表 133。

表 133 JEDEC SFDP Rev D 参数表

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description
100h	(SA) + 80h	JEDEC basic flash parameter DWORD-1	F7h	Bits 7:5 = unused = 111b Bit 4 = 1b Bit 3 = Block Protect Bits are Non-volatile/volatile Non-volatile = 0b Bit 2 = Program Buffer > 64Bytes = 1b Bits 1:0 = Uniform 4KB erase is unavailable = 11b
101h			21h	Bits 15:8 = Uniform 4KB erase opcode = 21h
102h			8Ah	Bit 23 = Unused = 1b Bit 22 = Supports Quad Out (1-1-4) Read = No = 0b Bit 21 = Supports Quad I/O (1-4-4) Read = No = 0b Bit 20 = Supports Dual I/O (1-2-2) Read = No = 0b Bit 19 = Supports DDR = Yes = 1b Bit 18:17 = Number of Address Bytes = 3- or 4-Bytes = 01b Bit 16 = Supports Dual Out (1-1-2) Read = No = 0b
103h			FFh	Bits 31:24 = Unused = FFh
104h	(SA) + 82h	JEDEC basic flash parameter DWORD-2	FFh	Density in bits, zero based, 512Mb = 1FFFFFFFh Density in bits, zero based, 1Gb = 3FFFFFFFh
105h			FFh	
106h			FFh	
107h			1Fh for 512M 3Fh for 1G	
108h	(SA) + 84h	JEDEC basic flash parameter DWORD-3	00h	Not Supported
109h			00h	
10Ah			00h	
10Bh			00h	
10Ch	(SA) + 86h	JEDEC basic flash parameter DWORD-4	00h	Not Supported
10Dh			00h	
10Eh			00h	
10Fh			00h	
110h	(SA) + 88h	JEDEC basic flash parameter DWORD-5	EEh	Bits 7:5 RFU = 111b Bit 4 = Not Supported = 0b Bits 3:1 RFU = 111b Bit 0 = 2-2-2 Not Supported = 0b
111h			FFh	Bits 15:8 = RFU = FFh
112h			FFh	Bits 23:16 = RFU = FFh
113h	(SA) + 89h		FFh	Bits 31:24 = RFU = FFh
114h	(SA) + 8Ah	JEDEC basic flash parameter DWORD-6	FFh	Bits 7:0 = RFU = FFh
115h			FFh	Bits 15:8 = RFU = FFh
116h	(SA) + 8Bh		00h	Not Supported
117h			00h	

表 133 JEDEC SFDP Rev D 参数表 (续)

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description
118h	(SA) + 8Ch	JEDEC basic flash parameter DWORD-7	FFh	Bits 7:0 = RFU = FFh
119h			FFh	Bits 15:8 = RFU = FFh
11Ah	(SA) + 8Dh		00h	Not Supported
11Bh			00h	
11Ch	(SA) + 8Eh	JEDEC basic flash parameter DWORD-8	0Ch	Erase type 1 size 2^N Bytes = 2^{12} Bytes = 4KB (Initial Delivery State)
11Dh			21h	Erase type 1 Instruction
11Eh	(SA) + 8Fh		00h	Erase type 2 size 2^N Bytes = Not Supported
11Fh			FFh	Erase type 2 instruction = Not Supported
120h	(SA) + 90h	JEDEC basic flash parameter DWORD-9	00h	Erase type 3 not supported
121h			FFh	Erase type 3 instruction
122h	(SA) + 91h		12h	4 Size, 256 KB erase instruction = Erase type size = 2^N (where N=18) = 12h
123h			DCh	Erase type 4 instruction = DCh
124h	(SA) + 92h	JEDEC basic flash parameter DWORD-10	23h	Bits 31:30 = Erase type 4 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 128 ms = 10b Bits 29:25 = Erase type 4 Erase, Typical time count = 00101b) Bits 24:23 = Erase type 3 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 1S = 11b (RFU) Bits 22:18 = Erase type 3 Erase, Typical time count = 11111b (RFU) Bits 17:16 = Erase type 2 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 1S = 11b (RFU) Bits 15:11 = Erase type 2 Erase, Typical time count = 11111b (RFU) Bits 10:9 = Erase type 1 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16ms = 01b Bits 8:4 = Erase type 1 Erase, Typical time count = 00010b (typ erase time = count + 1 * units = 3 * 16 ms = 48 ms) Bits 3:0 = Count = (Max Erase time / (2 * Typical Erase time)) - 1 = 0011b
125h			FAh	
126h	(SA) + 93h		FFh	
127h			8Bh	
128h	(SA) + 94h	JEDEC basic flash parameter DWORD-11	82h	Bits 31 = Reserved = 1b Bits 30:29 = Chip Erase Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 11b Bits 28:24 = Chip Erase Typical time count = 00011b (512M), and 00110b (1G) Bits 23:19 = Byte Program Typical Time, additional byte = 11111b Bits 18:14 = Byte Program Typical Time, first byte = 11111b Bits 13 = Page Program Typical Time unit (0: 8 μs, 1: 64 μs) = 64 μs = 1b Bits 12:8 = Page Program Typical Time Count = 00111 Bits 7:4 = Page Size (256B) = 2^N bytes = 1000h Bits 3:0 = Count = [Max page program time / (2 * Typical page program time)] - 1 = 0010b
129h			E7	
12Ah	(SA) + 95h		FFh	
12Bh			E3h for 512M E6h for 1G	

表 133 JEDEC SFDP Rev D 参数表 (续)

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description	
12Ch	(SA) + 96h	JEDEC basic flash parameter DWORD-12	ECh	Bit 31 = Suspend and Resume supported = 0b	
12Dh			23h	Bits 30:29 = Suspend in-progress erase max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b	
12Eh			19h	Bits 28:24 = Suspend in-progress erase max latency count = 01001b, max erase suspend latency 01001b	
12Fh			49h	Bits 23:20 = Erase resume to suspend interval count = 0001b Bits 19:18 = Suspend in-progress program max latency units (00b: 128ns, 01b: 1μs, 10b: 8 μs, 11b: 64μs) = 8 μs = 10b Bits 17:13 = Suspend in-progress program max latency count = 01001b Bits 12:9 = Program resume to suspend interval count = 0001b Bit 8 = Reserved = 1b Bits 7:4 = Prohibited operations during erase suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx1xb: May not initiate a page program in the erase suspended sector size + x1xxb: May not initiate a read in the erase suspended sector size + 1xxb: The erase and program restrictions in bits 5:4 are sufficient = 1110b Bits 3:0 = Prohibited Operations During Program Suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx0xb: May not initiate a new page program anywhere (program nesting not permitted) + x1xxb: May not initiate a read in the program suspended page size + 1xxb: The erase and program restrictions in bits 1:0 are sufficient = 1100b	
130h	(SA) + 98h	JEDEC basic flash parameter DWORD-13	7Ah	Bits 31:24 = Erase Suspend Instruction = B0h	
131h			B0h	Bits 23:16 = Erase Resume Instruction = 7Ah	
132h	(SA) + 99h	JEDEC basic flash parameter DWORD-13	7Ah	Bits 15:8 = Program Suspend Instruction = B0h	
133h			B0h	Bits 7:0 = Program Resume Instruction = 7Ah	
134h	(SA) + 9Ah	JEDEC basic flash parameter DWORD-14	F7h	Bits 7:4 = RFU = Fh Bit 3:2 = Status Register Polling Device Busy = 01b: Legacy status polling supported = Use legacy polling by reading the Status Register with 05h instruction and checking WIP bit[0] (0 = ready; 1 = busy). Bits 1:0 = RFU = 11b	
135h			66h	Bit 31 = DPD Supported = Supported = 0 Bits 30:23 = Enter DPD Instruction = B9h	
136h			(SA) + 9Bh	80h	Bits 22:15 = Exit DPD Instruction not supported = 00h
137h				5Ch	Bits 14:13 = Exit DPD to next operation delay units = (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 64 μs = 11b Bits 12:8 = Exit DPD to next operation delay count = 00110, Exit DPD to next operation delay = (count+1) * units = (6 + 1) * 64 μs = 448 μs
138h	(SA) + 9Ch	JEDEC basic flash parameter DWORD-15	00h	Bits 31:24 = Reserved = FFh	
139h			00h	Bit 23 = Hold or RESET Disable = not supported = 0b Bits 22:0 = Not supported = 000000h	
13Ah	(SA) + 9Dh	JEDEC basic flash parameter DWORD-15	00h		
13Bh			FFh		

表 133 JEDEC SFDP Rev D 参数表 (续)

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description	
13Ch 13Dh	(SA) + 9Eh	JEDEC basic flash parameter DWORD-16	F9h	Bit 7 = Reserved = 1 Bits 6:0 = Volatile or Non-volatile Register and Write Enable Instruction for Status Register 1 = xxx_xxx1b: Non-volatile Status Register 1, powers-up to last written value, use instruction 06h to enable write. + xxx_1xxx: Non-volatile/Volatile Status Register 1 powers-up to last written value in the non-volatile status register, use instruction 06h to enable write to non-volatile status register. Volatile status register may be activated after power-up to override the non-volatile status register, use instruction 50h to enable write and activate the volatile status register. + xx1_xxxx: Status Register 1 contains a mix of volatile and non-volatile bits. The 06h instruction is used to enable writing of the register. + x1x_xxxx: Reserved + 1xx_xxxx: Reserved = 1111001b	
13Eh 13Fh	(SA) + 9Fh		F8h A1h		Bits 31:24 = Enter 4-byte Addressing + xx1x_xxxx: Supports dedicated 4-Byte address instruction set. Refer to the vendor datasheet for the instruction set definition. +xxxx_xxx1b: Issue instruction B7h (preceding write enable not required) + 1xxx_xxxx: Reserved = 1010_0001b Bits 23:14 = Exit 4-Byte Addressing = xx_xx1x_xxxx: Hardware reset + xx_x1xx_xxxx: Software reset (see bits 13:8 in this DWORD) + xx_1xxx_xxxx: Power cycle + x1_xxxx_xxxx: Reserved + 1x_xxxx_xxxx: Reserved = 11_1110_0000b Bits 13:8 = Soft Reset and Rescue Sequence Support + x1_xxxx: issue reset enable instruction 66h, then issue reset instruction 99h. The reset enable, reset sequence may be issued on 1, 2, or 4 wires depending on the device operating mode. = 010000
140h 141h 142h 143h	(SA) + A0h (SA) + A1h	JEDEC basic flash parameter DWORD-17	00h 00h 00h 00h	Not Supported	
144h 145h 146h 147h	(SA) + A2h (SA) + A3h		00h 00h BCh 40h		Bit 31 = 0b Bit 30:29 = 10b Bit 28 = 0b Bit 27:26 = Not supported = 00b Bits 25:24 = 00b Bit 23 = JEDEC SPI Protocol Reset Supported = 1b Bits 22:18 = 01111b Bits 17:0 = Reserved = 00000h
148h 149h 14Ah 14Bh	(SA) + A4h (SA) + A5h		00h		Not Supported

表 133 JEDEC SFDP Rev D 参数表 (续)

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description
14Ch	(SA) + A6h	JEDEC basic flash parameter DWORD-20	FFh	Bits 31:28 = Maximum operation speed of device in 8D-8D-8D mode when utilizing Data Strobe = 1000b (200 MHz) / 0111b (166 MHz) Bits 27:24 = 8D-8D-8D mode without using Data Strobe is not characterized = 1110b Bits 23:20 = 1111b Bits 19:16 = 1111b Bit 15:0 = Not Supported = FFFFh
14Dh			FFh	
14Eh	(SA) + A7h		FFh	
14Fh			8Eh HS-T 7Eh HL-T	

9.3 xSPI 配置文件 2

表 134 xSPI 配置文件 2 参数

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description
150h	(SA) + A8h	JEDEC xSPI (Profile 2.0) DWORD 1	E0h	Bit 7 = Program Suspend Supported = 1b Bit 6 = Program Resume Supported = 1b Bit 5 = Enter SPI (1S-1S-1S) Supported = 1b Bit 4:0 = Reserved (00000b)
151h			FFh	Bit 15 = Deep Power Down Supported = 1b Bit 14 = Word Program Supported = 1b Bit 13 = Sector Erase Supported = 1b Bit 12 = Chip Erase Supported = 1b Bit 11 = Erase Suspend Supported = 1b Bit 10 = Erase Resume Supported = 1b Bit 9 = Write to Buffer Supported = 1b Bit 8 = Program Write to Buffer Supported = 1b
152h	(SA) + A9h		FFh	Bit 23 = Memory Write Linear Supported = 1b Bit 22 = WREN1 Supported = 1b Bit 21 = WREN2 Supported = 1b Bit 20 = SREN Supported = 1b Bit 19 = Status Register Read Supported = 1b Bit 18 = Status Register Clear Supported = 1b Bit 17 = Configuration Register Read Supported = 1b Bit 16 = Configuration Register Load Supported = 1b
153h			FFh	Bit 31 = xSPI Profile 2 Supported = 1b Bit 30 = Register Read Wrap Supported = 1b Bit 29 = Register Read Linear Supported = 1b Bit 28 = Memory Read Wrap Supported = 1b Bit 27 = Memory Read Linear Supported = 1b Bit 26 = Register Write Wrap Supported = 1b Bit 25 = Register Write Linear Supported = 1b Bit 24 = Memory Write Wrap Supported = 1b
154h	(SA) + AAh	JEDEC xSPI (Profile 2.0) DWORD 2	2Ch	Bits 15:12 = Reserved = 0000b
155h			08h	Bits 11:7 = 200 MHz 16 Dummy Cycles = 10000b Bits 6:2 = 200 MHz Configuration Bit Pattern = 01011b Bits 1:0 = Reserved = 00b
156h	(SA) + ABh		00h	Bits 31:16 = Reserved = 0000000000000000b
157h			00h	
158h	(SA) + ACh	JEDEC xSPI (Profile 2.0) DWORD 3	0Ch	Bits 31:27 = 166 MHz 14 Dummy Cycles = 01110b
159h			74h	Bits 26:22 = 166 MHz Configuration Bit Pattern = 01001b Bits 21:17 = 133 MHz 12 Dummy Cycles = 01100b
15Ah	(SA) + ADh		58h	Bits 16:12 = 133 MHz Configuration Bit Pattern = 00111b Bits 11:7 = 100 MHz 8 Dummy Cycles = 01000b
15Bh			72h	Bits 6:2 = 100 MHz Configuration Bit Pattern = 00011b Bits 1:0 = Reserved = 00b

表 135 更改为配置文件 2.0 模式的指令序列

Byte address (x1 SPI)	Word address (x8 HB)	SFDP DWORD name	Data	Description	
15Ch	(SA) + AEh	Command Sequences Profile Change DWORD 1	00h	Bits 31:24 = 01h	
15Dh			00h	Bits 23:16 = 06h	
15Eh			(SA) + AFh	06h	Bits 15:8 = 00h
150Fh				01h	Bits 7:0 = 00h
160h	(SA) + B0h	Command Sequences Profile Change DWORD 2	00h	Bits 31:24 = 00h	
161h			00h	Bits 23:16 = 00h	
162h	(SA) + B1h		00h	Bits 15:8 = 00h	
163h			00h	Bits 7:0 = 00h	
164h	(SA) + B2h	Command Sequences Profile Change DWORD 3	00h	Bits 31:24 = 05h	
165h			80h	Bits 23:16 = 71h	
166h	(SA) + B3h		71h	Bits 15:8 = 80h	
167h			05h	Bits 7:0 = 00h	
168h	(SA) + 94h	Command Sequences Profile Change DWORD 4	00h	Bits 31:24 = 04h	
169h			00h	Bits 23:16 = 0Ah	
16Ah	(SA) + 95h		0Ah	Bits 15:8 = 00h	
16Bh			04h	Bits 7:0 = 00h	

9.4 制造商和器件 ID

表 136 制造商和器件 ID (x1 SPI)

Byte address ^[83]	Data	Description
00h	34h	Infineon Manufacturer ID
01h	00h	
02h	6Ah (HL-T) 7Bh (HS-T)	Interface Voltage Type
03h	00h	
04h	1Ah = 512 Mb 1Bh = 1024 Mb	Device Density
05h	00h	
06h	0Fh	Device ID Length
07h	00h	

注释:

83. 传统 (x1) SPI 使用读取标识 (RDIDN_0_0) 命令来读取器件 ID。不需要地址。

表 137 制造商和器件 ID (x8 HYPERBUS™)

Word address ^[84]	Data	Description
(SA) + 0800h	0034h	Infineon Manufacturer ID
(SA) + 0801h	006Ah (HL-T) 007Bh (HS-T)	Interface Voltage Type
(SA) + 0802h	001Ah = 512 Mb 001Bh = 1024 Mb	Device Density

注释:

84. 基于地址的指令。

Device identification

表 137 制造商和器件 ID (x8 HYPERBUS™) (续)

Word address ^[84]	Data	Description
(SA) + 0803h	000Fh	Device ID Length
(SA) + 0804h	0090h	Family ID: (HL-T/HS-T Family)

注释:

84. 基于地址的指令。

9.5 唯一 ID

表 138 唯一 ID^[85]

Byte address (x1 SPI) ^[86]	Word address (x8 HB) ^[87]	Data
00h	(SA) + 0200h	Device Dependent
01h		
02h	(SA) + 0201h	
03h		
04h	(SA) + 0202h	
05h		
06h	(SA) + 0203h	
07h		

注释

85. 实际唯一 ID 取决于器件。

86. 传统 (x1) SPI 使用读取唯一 ID (RDUID_0_0) 命令来读取唯一 ID。不需要地址。

87. 基于地址的指令。

10 封装图

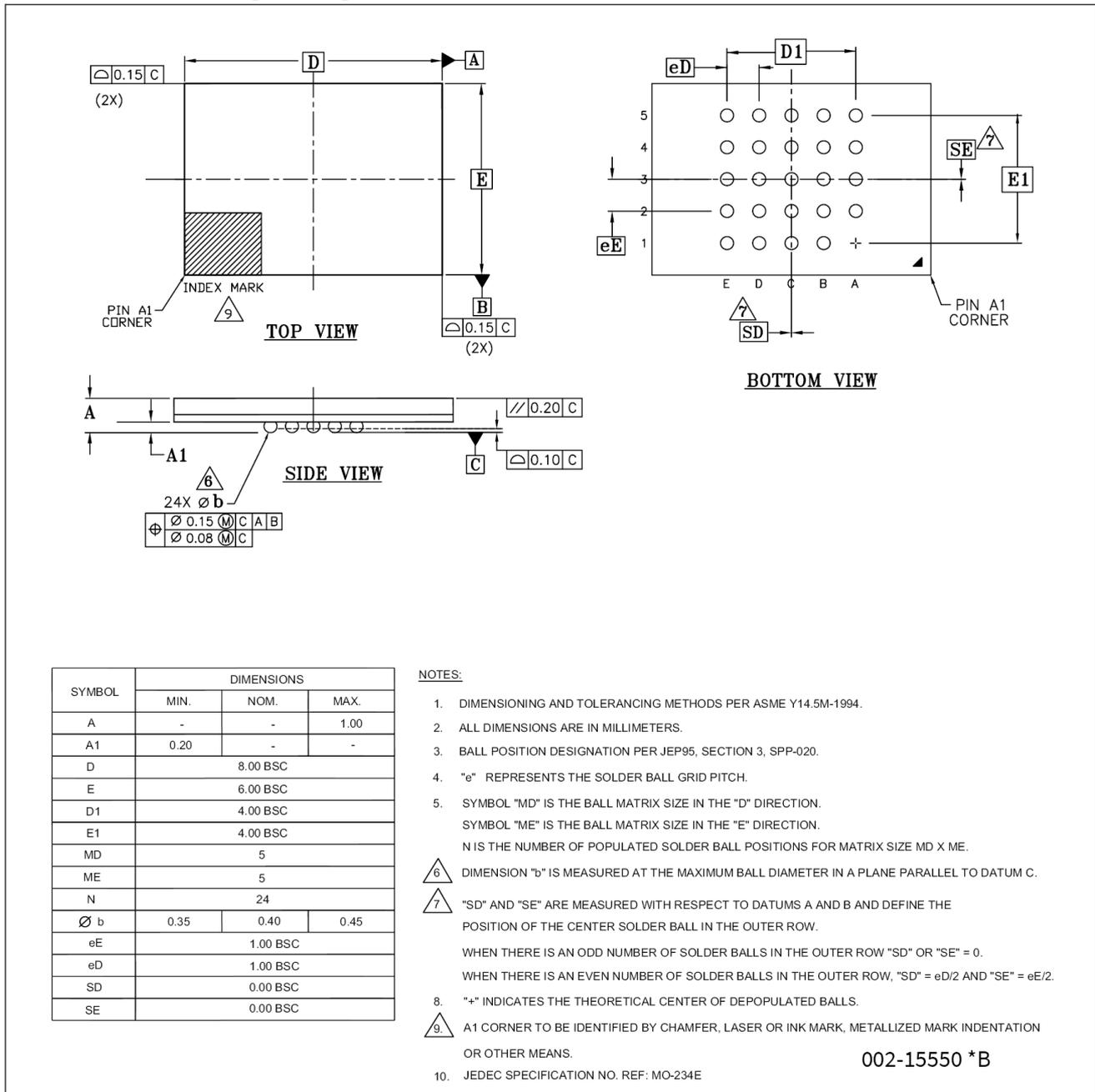


图 65 24 球 BGA (8 × 6 × 1 毫米) VAA024/ELA024/E2A024 封装外形 (PG-BGA-24)

Package diagrams

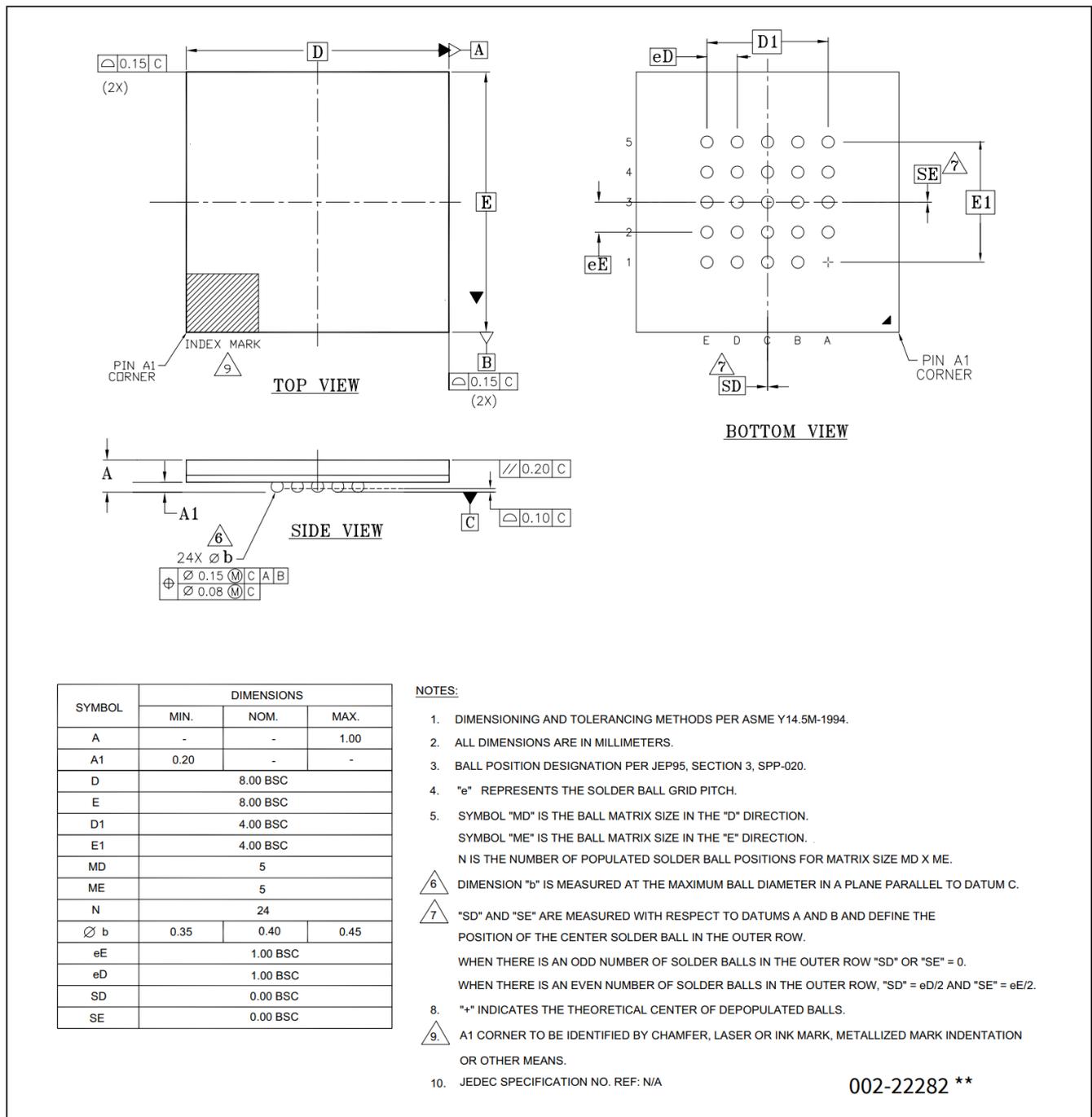
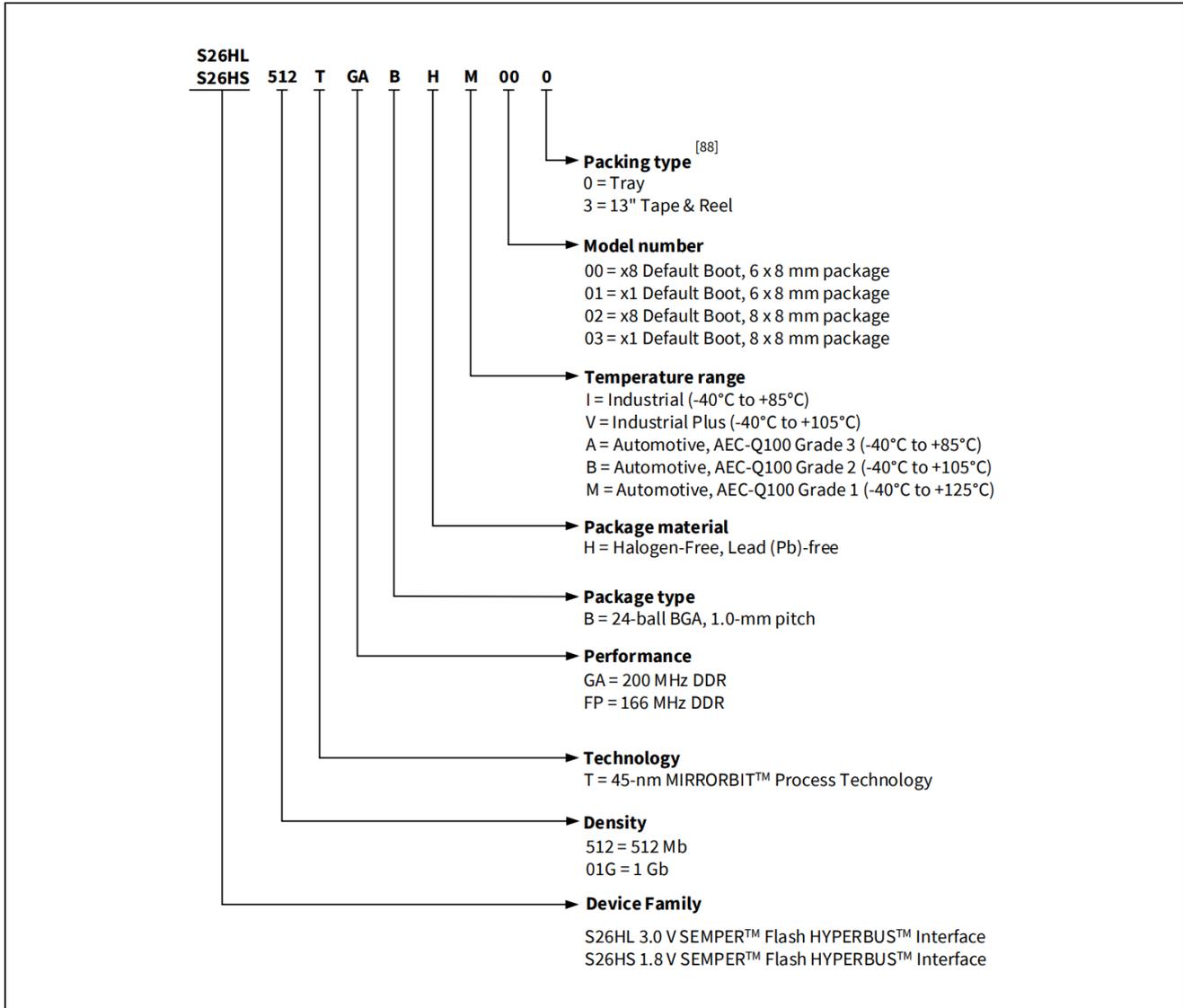


图 66 24 球 BGA (8 × 8 × 1 mm) VAC024 封装外形 (PG-BGA-24)

11 订购信息

订购部件编号由以下有效组合形成：



注释：

88. 请参阅 www.infineon.cn 上的包装和封装手册以了解更多信息。

11.1 有效组合 – 标准等级

表 139 列出了计划批量支持的此器件的配置。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 139 有效组合 - 标准

Base ordering part number	Speed option	Package and materials	Temperature range	Model number	Packing type	Ordering part number (x = packing type)	Package marking
S26HL512T	FP	BH	I, V	00	0, 3	S26HL512TFPBHI00x	26HL512TPI00
						S26HL512TFPBHV00x	26HL512TPV00
			I, V	01	0, 3	S26HL512TFPBHI01x	26HL512TPI01
						S26HL512TFPBHV01x	26HL512TPV01
S26HL01GT	FP	BH	I, V	02	0, 3	S26HL01GTFPBHI02x	26HL01GTPI02
						S26HL01GTFPBHV02x	26HL01GTPV02
			I, V	03	0, 3	S26HL01GTFPBHI03x	26HL01GTPI03
						S26HL01GTFPBHV03x	26HL01GTPV03
S26HS512T	GA	BH	I, V	00	0, 3	S26HS512TGABHI00x	26HS512TAI00
						S26HS512TGABHV00x	26HS512TAV00
			I, V	01	0, 3	S26HS512TGABHI01x	26HS512TAI01
						S26HS512TGABHV01x	26HS512TAV01
S26HS01GT	FP	BH	I, V	02	0, 3	S26HS01GTFPBHI02x	26HS01GTPI02
						S26HS01GTFPBHV02x	26HS01GTPV02
			I, V	03	0, 3	S26HS01GTFPBHI03x	26HS01GTPI03
						S26HS01GTFPBHV03x	26HS01GTPV03
S26HS01GT	GA	BH	I, V	02	0, 3	S26HS01GTGABHI02x	26HS01GTAI02
						S26HS01GTGABHV02x	26HS01GTAV02
			I, V	03	0, 3	S26HS01GTGABHI03x	26HS01GTAI03
						S26HS01GTGABHV03x	26HS01GTAV03

11.2 有效组合 – 汽车级/AEC-Q100

表 140 列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 140 有效组合 – 汽车级/AEC-Q100^[89]

Base ordering part number	Speed option	Package and materials	Temperature range	Model number	Packing type	Ordering part number (x = packing type)	Package marking
S26HL512T	FP	BH	B, M	00	0, 3	S26HL512TFPBHB00x	26HL512TPB00
						S26HL512TFPBHM00x	26HL512TPM00
			B, M	01	0, 3	S26HL512TFPBHB01x	26HL512TPB01
						S26HL512TFPBHM01x	26HL512TPM01
S26HS512T	GA	BH	B, M	00	0, 3	S26HS512TGABHB00x	26HS512TAB00
						S26HS512TGABHM00x	26HS512TAM00
			B, M	01	0, 3	S26HS512TGABHB01x	26HS512TAB01
						S26HS512TGABHM01x	26HS512TAM01
S26HL01GT	FP	BH	B, M	02	0, 3	S26HL01GTFPBHB02x	26HL01GTPB02
						S26HL01GTFPBHM02x	26HL01GTPM02
			B, M	03	0, 3	S26HL01GTFPBHB03x	26HL01GTPB03
						S26HL01GTFPBHM03x	26HL01GTPM03
S26HS01GT	FP	BH	B, M	02	0, 3	S26HS01GTFPBHB02x	26HS01GTPB02
						S26HS01GTFPBHM02x	26HS01GTPM02
			B, M	03	0, 3	S26HS01GTFPBHB03x	26HS01GTPB03
						S26HS01GTFPBHM03x	26HS01GTPM03
S26HS01GT	GA	BH	B, M	02	0, 3	S26HS01GTGABHB02x	26HS01GTAB02
						S26HS01GTGABHM02x ^[89]	26HS01GTAM02
			B, M	03	0, 3	S26HS01GTGABHB03x	26HS01GTAB03
						S26HS01GTGABHM03x ^[89]	26HS01GTAM03

注释:

89.125°C、200 MHz、S26HS01GT 设备的特性描述正在进行中。请联系您当地的销售办事处，以确认这些设备的可用性。

修订记录

修订记录

Document revision	Date	Description of changes
*Z	2022-12-08	Post to external web.
AA	2023-06-02	Updated Features Updated SafeBoot Updated Microcontroller initialization failure detection (x1 boot option) Updated Host polling behavior Updated Figure 32 Updated Microcontroller initialization failure detection (x8 boot option) Updated Host polling behavior Updated Figure 33 Updated Registers Updated HYPERBUS™ registers Updated Status Registers (x8) Updated Table 70 Updated Device identification Updated Manufacturer and Device ID Updated Table 136 Updated to new template. Completing Sunset Review.
AB	2024-03-25	Updated Data integrity . Updated Program/erase (PE) endurance – high endurance (256 KB sectors) . Updated Table 4, Table 5, Table 121, Table 129, Table 131, and Table 133 . Updated Package diagrams - spec 002-15550 - Rev. *A to Rev. *B.
AC	2024-09-12	Removed S26HL256T and S26HS256T devices from the datasheet. Updated Ordering information : Updated Table 140 , removed part numbers – S26HL512TFPBHA00x, S26HL512TFPBHA01x, S26HS512TGABHA00x, S26HS512TGABHA01x, S26HL01GTFPBHA02x, S26HL01GTFPBHA03x, S26HS01GTFPBHA02x, S26HS01GTFPBHA03x, S26HS01GTGABHA02x, and S26HS01GTGABHA03x.
AD	2025-07-14	Updated Table 130 . Updated min values for t_{SU} and t_{HD} parameter in Table 131 . Updated Figure 60 . Updated Ordering information .



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-02-12

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。