

英飞凌 512 Mb (64 MB) FS-S Flash 闪存存储器

SPI Multi-I/O, 1.8 V

特性

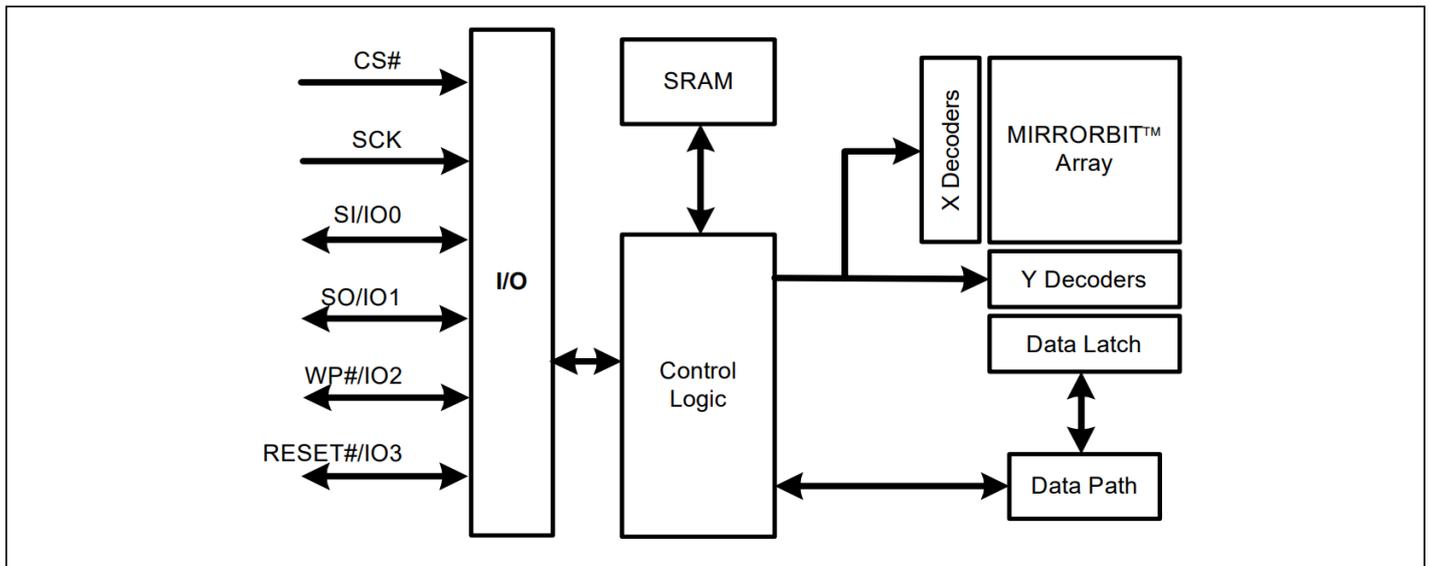
- 具有多线I/O的串行外设接口 (SPI)
 - SPI 时钟极性和相位模式 0 和 3
 - 具有双倍数据速率 (DDR) 选项
 - 具有扩展地址：24 或 32 位地址选项
 - 串行指令子集和封装与 S25FL-A、S25FL-K、S25FL-P 和 S25FL-S SPI 系列兼容
 - 多线I/O 指令子集和封装与 S25FL-P 和 S25FL-S SPI 系列兼容
- 读取
 - 指令：Normal, Fast, Dual I/O, Quad I/O, DDR Quad I/O
 - 模式：回卷突发、持续突发 (XIP)、QPI
 - 串行闪存可发现参数 (SFDP) 和通用闪存接口 (CFI)，用于配置信息
- 编程
 - 256 或 512 字节页编程缓冲区
 - 编程挂起和恢复
 - 自动错误检查和纠正 (ECC) —— 带有单独的一位错误纠正功能的内部硬件 ECC
- 擦除
 - 混合扇区选项
 - 8 个 4 KB 扇区和 1 个 224 KB 扇区的物理配置位于地址空间的顶部或底部，其他扇区均为 256 KB
 - 统一扇区选项
 - 统一的 256-KB 块
 - 擦除挂起和恢复
 - 擦除状态评估
- 周期寿命
 - 最低 100,000 次编程-擦除周期
- 数据保留
 - 最短数据保留时间为 20 年
- 加密特性
 - 1024 字节的一次性写入 (OTP) 空间
 - 功能块保护：
 - 状态寄存器位用于控制对连续扇区范围的编程或擦除保护。
 - 硬件和软件控制选项
 - 高级扇区保护 (ASP)
 - 由引导代码或密码控制的单独扇区保护
 - 读取访问的密码控制选项
- 技术
 - 采用 Eclipse 架构的 65 纳米 MIRRORBIT™ 技术
- 供电电压
 - 1.7 V 至 2.0 V

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

逻辑框图

- 温度范围/等级
 - 工业级 (-40°C ~ +85°C)
 - 扩展的工业级 (-40°C ~ +105°C)
 - 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
 - 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
 - 汽车级, AEC-Q100 1 级 (-40°C ~ +125°C)
- 封装 (全部无铅)
 - 16-pin SOIC 300 mil (SO3016)
 - WSON 6 × 8 mm (WNH008)
 - BGA-24 6 × 8 mm
 - 5 × 5 ball (FAB024) 封装
 - 已知良好芯片和已知测试芯片

逻辑框图



性能总结

性能总结

最大读取速率

Command	Clock rate (MHz)	MBps
Read	50	6.25
Fast Read	133	16.5
Dual Read	133	33
Quad Read	133	66
DDR Quad I/O Read	80	80

典型编程和擦除速率

Operation	KBps
Page programming (256-bytes page buffer)	711
Page programming (512-bytes page buffer)	1078
4-KB Physical sector erase (Hybrid sector option)	17
256-KB Sector erase (Uniform logical sector option)	275

典型的电流消耗, -40°C 到 +85°C

Operation	Current (mA)
Serial Read 50 MHz	10
Serial Read 133 MHz	20
Quad Read 133 MHz	60
Quad DDR Read 80 MHz	70
Program	60
Erase	60
Standby	0.07
Deep power down	0.006

目录

目录

特性.....	1
逻辑框图.....	2
性能总结.....	3
目录.....	4
1 概述.....	9
1.1 概述.....	9
1.2 迁移说明.....	6
1.2.1 特性比较.....	10
1.2.2 与前几代产品的已知差异.....	11
2 具有多路输入/输出的 SPI (SPI-MIO)	13
3 引脚分配和信号描述.....	14
3.1 SOIC 16引脚封装.....	14
3.2 包含8个连接点的封装.....	14
3.3 BGA 连接图.....	15
3.4 多线输入/输出 (MIO)	16
3.5 串行时钟 (SCK)	16
3.6 芯片选择 (CS#)	17
3.7 串行输入 (SI) / IO0.....	17
3.8 串行输出 (SO) / IO1.....	17
3.9 写保护 (WP#) / IO2	17
3.10 io3 / reset#	18
3.11 电源电压 (V _{CC})	18
3.12 电源和信号地 (V _{SS})	18
3.13 未连接 (NC)	18
3.14 预留以供将来使用 (RFU)	18
3.15 请勿使用 (DNU)	18
3.16 框图.....	19
4 信号协议.....	20
4.1 SPI 时钟模式.....	20
4.1.1 单倍数据速率 (SDR).....	20
4.1.2 双倍数据速率 (DDR)	20
4.2 命令协议.....	21
4.2.1 指令时序示例.....	22
4.3 接口状态.....	25
4.3.1 掉电	26
4.3.2 低电压时硬件数据保护.....	26
4.3.3 上电 (冷启动) 复位.....	26
4.3.4 硬件 (热) 复位.....	26
4.3.5 接口支持.....	26
4.3.6 指令周期 (传统 SPI 模式)	26
4.3.7 指令周期 (QPI 模式)	27
4.3.8 单输入周期 — 从主机到存储器的传输.....	27
4.3.9 单线延时 (虚拟) 周期.....	27
4.3.10 单输出周期 — 存储器到主机的传输	27
4.3.11 双输入循环 — 主机到存储器传输.....	27
4.3.12 双线延迟 (虚拟) 周期.....	27
4.3.13 双输出循环 — 存储器到主机传输	28
4.3.14 四输入周期 — 主机到存储器的传输.....	28
4.3.15 带延迟的四线 (虚拟) 周期	28
4.3.16 四输出周期 — 存储器到主机的传输.....	28
4.3.17 DDR 四路输入循环 — 从主机到存储器的传输	28

目录

4.3.18 DDR 延时周期.....	28
4.3.19 DDR 四输出周期 — 存储器到主机的传输.....	29
4.4 配置寄存器对接口的影响.....	29
4.5 数据保护.....	29
4.5.1 上电.....	29
4.5.2 低功率.....	29
4.5.3 时钟脉冲计数.....	29
4.5.4 深度掉电模式 (DPD).....	29
5 电气规格参数.....	30
5.1 绝对最大额定值.....	30
5.2 热阻抗.....	30
5.3 锁闭特性.....	30
5.4 工作范围.....	31
5.4.1 供电电压.....	31
5.4.2 温度范围.....	31
5.4.3 输入信号过冲.....	31
5.5 上电和断电.....	32
5.6 直流特性.....	34
5.6.1 有源电源和备用电源模式.....	36
5.6.2 深度掉电电功率模式 (DPD).....	36
6 时序规范.....	37
6.1 波形切换.....	37
6.2 交流电测试条件.....	37
6.2.1 电容特性.....	38
6.3 复位.....	39
6.3.1 上电 (冷) 复位 (POR).....	39
6.3.2 IO3 / 重置 # 输入启动硬件 (热) 复位.....	40
6.4 SDR 交流特征.....	42
6.4.1 时钟时序.....	43
6.4.2 输入 / 输出时序.....	43
6.5 DDR 交流特性.....	45
6.5.1 DDR 输入时序.....	45
6.5.2 DDR 输出时序.....	45
6.5.3 使用DLP的DDR 数据有效时序.....	46
7 地址空间映射.....	47
7.1 概述.....	47
7.1.1 扩展地址.....	47
7.1.2 多个地址空间.....	47
7.2 闪存存储器阵列.....	47
7.3 ID-CFI 地址空间.....	48
7.4 JEDEC JESD216 串行闪存可发现参数 (SFDP) 空间.....	49
7.4.1 OTP 地址空间.....	49
7.5 寄存器.....	51
7.5.1 地位注册 1.....	52
7.5.2 状态寄存器 2 易失性 (SR2V).....	54
7.5.3 配置寄存器 1.....	55
7.5.4 配置寄存器 2.....	57
7.5.5 配置寄存器 3.....	61
7.5.6 配置寄存器 4.....	63
7.5.7 ECC 状态寄存器 (ECCSR).....	64
7.5.8 ASP 寄存器 (ASPR).....	65
7.5.9 密码寄存器 (PASS).....	66
7.5.10 PPB 锁定寄存器 (PPBL).....	66

目录

7.5.11 PPB 访问寄存器 (PPBAR)	66
7.5.12 DYB 访问寄存器 (DYBAR)	67
7.5.13 SPI DDR 数据学习寄存器	67
8 数据保护	68
8.1 安全硅区 (OTP)	68
8.1.1 读取OTP存储空间.....	68
8.1.2 编程 OTP存储空间.....	68
8.1.3 英飞凌已写入随机的数字.....	68
8.1.4 锁定字节.....	68
8.1.5 写使能指令.....	69
8.2 功能块保护.....	69
8.2.1 冻结位.....	70
8.2.2 写入保护信号.....	70
8.2.3 高级扇区保护.....	70
8.2.4 ASP 存储器.....	72
8.2.5 持久保护位 (PPB)	73
8.2.6 动态保护位 (DYB)	73
8.2.7 PPB 锁定位 (PPBL[0])	73
8.2.8 扇区保护状态汇总.....	73
8.2.9 持久保护模式.....	74
8.2.10 密码保护模式.....	74
8.3 推荐的保护流程.....	75
9 命令	76
9.1 命令汇总.....	77
9.1.1 扩展寻址.....	77
9.1.2 按功能分类命令汇总.....	79
9.1.3 读取器件标识.....	81
9.1.4 寄存器读取或写入.....	81
9.1.5 读取闪存阵列.....	82
9.1.6 编程闪存阵列.....	82
9.1.7 擦除闪存阵列.....	82
9.1.8 瞬时可编程 (OTP) 功能块保护, 和高级扇区保护.....	82
9.1.9 复位.....	82
9.1.10 深度掉电模式 (DPD)	82
9.1.11 预留.....	83
9.2 器件识别命令.....	83
9.2.1 读取器件标识 (RDID 9Fh)	83
9.2.2 四线读取标识 (RDQID AFh).....	84
9.2.3 读取串行闪存设备可发现的参数 (RSFDP 5Ah)	85
9.3 寄存器访问指令.....	86
9.3.1 读取状态寄存器 1 (RDSR1 05h).....	86
9.3.2 读取状态寄存器 2 (RDSR2 07h).....	86
9.3.3 读取配置寄存器 (RDCR 35h)	87
9.3.4 写入寄存器 (WRR 01h)	87
9.3.5 写使能 (WREN 06h)	89
9.3.6 写禁止使能 (WRDI 04h)	90
9.3.7 清除状态寄存器 (CLSR 30h 或者 82h)	91
9.3.8 ECC 状态寄存器读取 (ECCRD 19h 或者 4EECRD 18h)	92
9.3.9 编程 NVDLR (PNVDLR 43h)	93
9.3.10 写入 VDLR (WVDLR 4Ah)	93
9.3.11 数据学习类型码读取 (DLPRD 41h)	94
9.3.12 进入 4 字节地址模式 (4BAM B7h)	94
9.3.13 读取任何寄存器 (RDAR 65h)	94

目录

9.3.14 写入任意寄存器 (WRAR 71h)	96
9.3.15 设置突发长度 (SBL C0h).....	97
9.4 读取闪存阵列指令.....	98
9.4.1 读取 (读取 03h 或 4READ 13h).....	99
9.4.2 快速读取(FAST_READ 0Bh 或 4FAST_READ 0Ch).....	100
9.4.3 双线 I/O 读取 (DIOR BBh 或 4DIOR BCh)	101
9.4.4 四线 I/O 读取 (QIOR EBh 或 4QIOR ECh)	102
9.4.5 DDR 四线输入/输出 读取 (EDh, EEh)	104
9.5 编程闪存存储器阵列指令.....	107
9.5.1 编程粒度.....	107
9.5.2 页编程.....	108
9.6 擦除闪存存储器指令.....	109
9.6.1 参数 4 KB-扇区 溶液 (P4E 20h 或者 4P4E 21h)	109
9.6.2 扇区擦除 (SE 8h 或者 4SE DCh)	110
9.6.3 批量擦除 (BE 60h 或者 C7h)	112
9.6.4 评估擦除状态 (EES D0h).....	113
9.6.5 擦除或者编程挂起 (EPS 85h, 75h, B0h).....	114
9.6.6 擦除或者编程恢复 (EPR 7Ah, 8Ah, 30h)	117
9.7 一次性编程指令.....	118
9.7.1 OTP 编程 (OTPP 42h)	118
9.7.2 OTP 读取 (OTPR 4Bh).....	118
9.8 高级扇区保护.....	119
9.8.1 ASP 读取 (ASPRD 2Bh).....	119
9.8.2 ASP 编程 (ASPP 2Fh).....	119
9.8.3 DYB 读取 (DYBRD FAh 或者 4DYBRD E0h).....	120
9.8.4 DYB 写入 (DYBWR FBh 或者 4DYBWR E1h).....	121
9.8.5 PPB 读取 (PPBRD FCh 或者 4PPBRD E2h).....	122
9.8.6 PPB 编程 (PPBP FDh 或者 4PPBP E3h)	122
9.8.7 PPB 擦除 (PPBE E4h)	123
9.8.8 PPB 锁定位读取 (PLBRD A7h).....	123
9.8.9 PPB 锁定位写入 (PLBWR A6h).....	124
9.8.10 密码读取 (PASSRD) E7h).....	124
9.8.11 密码程序 (PASSP E8h).....	125
9.8.12 密码解锁 (PASSU E9h).....	125
9.9 复位命令.....	126
9.9.1 软件复位使能 (RSTEN 66h)	127
9.9.2 软件复位 (RST 99h)	127
9.9.3 传统软件复位 (RESET F0h)	127
9.9.4 模式位复位 (MBR FFh).....	127
9.10 DPD命令.....	128
9.10.1 进入深度掉电模式 (DPD B9h)	128
9.10.2 深度掉电模式释放 (RES ABh).....	129
10 嵌入式算法性能表.....	130
11 数据完整性.....	131
11.1 擦除耐久性	131
11.2 数据保留.....	131
12 器件标识	132
12.1 闪存存储器可发现参数 (SFDP) 地址映射	132
12.2 SFDP 帧头表.....	133
12.3 器件 ID 和通用闪存接口 (ID-CFI) 地址映射.....	136
12.3.1 器件 ID	136
12.4 JEDEC SFDP 版本 B 参数表	142
13 初始交付状态.....	157

目录

14 封装图	158
14.1 关于FBGA封装的特殊处置说明.....	160
15 订购信息	161
15.1 订购部件编号.....	161
15.2 有效组合 - 标准.....	162
15.3 有效组合 - 汽车级 / AEC- Q100.....	162
修订记录	163

概述

1 概述

1.1 概述

英飞凌 S25FS512S 器件是一款非易失闪存存储器产品，采用：

- MIRRORBIT™技术 - 在每个存储器晶体管中存储两个数据位
- Eclipse 架构——显著提高编程和擦除性能
- 65nm 光刻技术

S25FS512S 通过串行外设接口（SPI）连接主控系统。支持传统SPI串行输入和输出（单线 I/O 或 SIO）以及可选的 2 线（双 I/O 或 DIO）和 4 线四 I/O（QIO）或四线外设接口（QPI）串行指令。这种多宽度接口称为 SPI Multi-I/O 或 MIO。另外，它还为 QIO 和 QPI 提供了双倍数据速率（DDR）命令支持，在时钟的双边沿上传送地址和读取数据。

FS-S Eclipse 架构具有页编程指示灯，允许在一次操作中编程多达 512 字节，从而比上一代SPI编程或擦除算法实现更快的有效编程和擦除。

直接从闪存执行代码通常称为就地执行（XIP）。通过使用支持更高时钟速率的 S25FS512S 器件，配合 Quad 或 DDR Quad 指令，读取指令速率可以达到或超过传统并行接口、异步、NOR flash，同时明显地减少信号引脚数。

S25FS512S 产品具有高容量，高灵活性且高传输速率特点，适用于各种移动或嵌入式应用。对于空间、信号连接和功率有限的系统来说，它们是绝佳的解决方案。它们是将代码映射到 RAM、直接执行代码（XIP）以及存储可重新编程数据的理想选择。

概述

1.2 迁移说明

1.2.1 特性比较

S25FS512S 的指令子集和封装与上一代 FL-S、FL-K 和 FL-P 系列兼容。然而，电源和接口电压标称值为 1.8V。

表 1 SPI 系列比较

Parameter	FS-S	FL-S	FL-K	FL-P
Technology Node	65-nm	65-nm	90-nm	90-nm
Architecture	MIRRORBIT™ Eclipse	MIRRORBIT™ Eclipse	Floating Gate	MIRRORBIT™
Density	128 Mb - 512 Mb	128 Mb - 1 Gb	4 Mb - 128 Mb	32 Mb - 256 Mb
Bus Width	x1, x2, x4	x1, x2, x4	x1, x2, x4	x1, x2, x4
Supply Voltage	1.7 V - 2.0 V	2.7 V - 3.6 V / 1.65 V - 3.6 V _{IO}	2.7 V - 3.6 V	2.7 V - 3.6 V
Normal Read Speed (SDR)	6 MB/s (50 MHz)	6 MB/s (50 MHz)	6 MB/s (50 MHz)	5 MB/s (40 MHz)
Fast Read Speed (SDR)	16.5 MB/s (133 MHz)	17 MB/s (133 MHz)	13 MB/s (104 MHz)	13 MB/s (104 MHz)
Dual Read Speed (SDR)	33 MB/s (133 MHz)	26 MB/s (104 MHz)	26 MB/s (104 MHz)	20 MB/s (80 MHz)
Quad Read Speed (SDR)	66 MB/s (133 MHz)	52 MB/s (104 MHz)	52 MB/s (104 MHz)	40 MB/s (80 MHz)
Quad Read Speed (DDR)	80 MB/s (80 MHz)	80 MB/s (80 MHz)	—	—
Program Buffer Size	256B / 512B	256B / 512B	256B	256B
Erase Sector Size	64 KB / 256 KB	64 KB / 256 KB	4 KB / 32 KB / 64 KB	64 KB / 256 KB
Parameter Sector Size	4 KB (option)	4 KB (option)	4 KB	4 KB
Sector Erase Rate (typ.)	500 KB/s	500 KB/s	136 KB/s (4 KB) 437 KB/s (64 KB)	130 KB/s
Page Programming Rate (typ.)	0.71 MB/s (256B) 1.08 MB/s (512B)	1.2 MB/s (256B) 1.5 MB/s (512B)	365 KB/s	170 KB/s
OTP	1024B	1024B	768B (3x256B)	506B
Advanced Sector Protection	Yes	Yes	No	No
Auto Boot Mode	No			
Erase Suspend/Resume	Yes		Yes	
Program Suspend/Resume			Yes	
Deep Power-Down Mode		No		Yes
Operating Temperature	-40°C to +85°C / +105°C	-40°C to +85°C / +105°C /+125°C	-40°C to +85°C	-40°C to +85°C / +105°C

注释:

- 256B 编程分页选项仅适用于 128 Mb 和 256 Mb 密度 FL-S 设备。
- FL-P 列表示 FL129P MIO SPI 器件（适用于 128 Mb 容量），FL128P 不支持 MIO、OTP 或 4 KB 扇区。
- 64 KB 扇区擦除选项仅适用于 128 Mb/256 Mb 容量 FL-P、FL-S 和 FS-S 设备。
- FL-K 系列器件可以以 32 KB 或 64 KB 为组擦除 4 KB 扇区。
- 仅 128 Mb/256 Mb 密度 FL-S 设备具有 4 KB 参数扇区选项。
- 512 Mb/1 Gb FL-S 设备仅支持 256 KB 扇区。
- FS512 器件不支持 64 KB 扇区。
- 欲了解详细信息，请参考单独的数据手册。

概述

1.2.2 与前几代产品的已知差异

1.2.2.1 错误报告

如果在受保护的扇区上尝试进行编程或擦除，FL-K 和 FL-P 存储器要么没有错误状态位，要么不设置它们。FS-S 和 FL-S 系列确实具有针对编程和擦除操作的错误报告状态位。当发生内部编程或擦除故障，或尝试对受保护的扇区进行编程或擦除时，可以置位这些。在这些情况下，程序或擦除操作未按照指令的要求完成。SR1V 中的 P_ERR 或 E_ERR 位以及 WIP 位将被置位为 1 并保持为 1。清除状态寄存器指令必须发送到清零，复位错误并将器件返回到待机状态。

1.2.2.2 安全硅区 (OTP)

FS-S 的一次性程序区域的大小和格式（地址映射）与 FL-K 和 FL-P 世代不同。OTPOTP 区域各部分的保护方法也不同。更多详情请见 [第 68 页](#)“安全存储区域 (OTP)”。

1.2.2.3 配置寄存器冻结位

配置寄存器 1 冻结位 CR1V[0]，锁定功能块保护位 (SR1NV[4:2] 和 SR1V[4:2])、TBPARAM_O 位 (CR1NV[2]) 和 TBPROT_O 位 (CR1NV[5]) 的状态，与前几代一样。在 FS-S 和 FL-S 系列中，冻结位还锁定配置寄存器 1 BPNV_O 位 (CR1NV[3]) 和安全硅区域 (OTP) 区域的状态。

1.2.2.4 扇区擦除命令

仅支持在 FS-S 器件地址空间的顶部或底部 4-KB 参数扇区上使用 4-KB 扇区擦除指令。

不支持 8 KB 区域（两个 4 KB 扇区）擦除指令。不支持 32 KB 区域（八个 4 KB 扇区）擦除指令。512 Mb 密度 FS-S 器件不支持 64 KB 描述符。

1.2.2.5 深度掉电模式

FS-S 家族器件支持深度掉电 (DPD) 函数。

1.2.2.6 WRR 单寄存器写入

在一些传统的 SPI 设备中，只有一个数据字节的写寄存器 (WRR) 指令会更新状态寄存器 1 和清除配置寄存器 1 中的一些位，包括四线模式位。这可能会导致意外退出四核模式。S25FS512S 提供单个字节仅更新状态寄存器 1。在这种情况下，配置寄存器 1 不会被修改。

1.2.2.7 不支持输入保持功能

在一些传统的 SPI 设备中，IO3 输入具有替换功能，作为 HOLD# 输入，用于暂停信息传输而不停止串行时钟。FS-S 家族不支持该功能。

1.2.2.8 不支持单独的复位输入

在一些传统的 SPI 设备中，具有超过八个连接的封装支持单独的硬件复位输入。FS-S 系列不支持单独的 RESET# 输入。FS-S 系列为 IO3 输入提供备用功能作为 RESET# 输入。当 CS 信号为高电平且 IO3/复位特性为启用时，IO3/RESET# 输入用于在输入变为低电平时启动硬件复位。

1.2.2.9 不支持其他旧指令

- 自动启动相关指令
- Bank地址相关指令
- 双线输出读取
- 四线输出读取
- 四线页写入 (QPP) - 在 QPI 模式下被页写入取代
- DDR快速读取
- DDR双线I/O读取

1.2.2.10 新特性

FS-S 系列为SPI类别存储器引入了新功能：

- 用于内核和 I/O 电压的单个 1.8 V 电源。
- 可配置初始读取延时（虚拟周期数）以获得更快的初始读取时间或更高的时钟速率读取指令
- QPI (QPI, 4-4-4) 读取模式，其中所有传输均为 4 位宽，包括指令
- JEDEC JESD216 标准、串行闪存存储器可发现参数 (SFDP)，提供器件特性和配置信息。
- 评估扇区状态指令以确定扇区上的最后一个操作是否成功完成。该指令可用于检测由于掉电或其他原因导致的不完整的擦除。该指令有助于flash文件系统软件在掉电后进行文件系统恢复。
- 高级扇区保护 (ASP) 永久保护。在 ASP 寄存器中添加了一个位，以提供对持久保护位 (PPB) 进行永久保护的选项。此外，当选择两种 ASP 保护模式之一时，所有寄存器中的所有 OTP 配置位都受到保护，不能进一步编程，从而所有 OTP 配置设置都是永久的。OTP 地址空间不受选择 ASP 保护模式的保护。冻结位 (CR1V[0]) 可用于保护 OTP 地址空间。

具有多路输入/输出的 SPI (SPI-MIO)

2 具有多路输入/输出的 SPI (SPI-MIO)

许多存储设备通过各自的并行控制线、地址线和数据信号线连接到其主控系统，需要大量的信号连接和更大的封装尺寸。由于大量信号交换，因此信号连接的数量越多，功耗也越高；较大的封装尺寸会增加成本。

S25FS512S 通过4至6个信号将所有控制、地址和数据信息串行传输给主机系统，因此可以减少信号连接的数量。这样可以降低存储器封装的成本和信号交换的功耗，减少主机信号连接的数量，主机可以节省连接以供其他功能使用。

S25FS512S 使用行业标准单独的一个SPI，并且还支持用于两位 (Dual) 和四位 (Quad) 宽串行传输的可选扩展指令。这种多宽度接口称为 SPI 多线 I/O 或 SPI-MIO。

3 引脚分配和信号描述

3.1 SOIC 16引脚封装

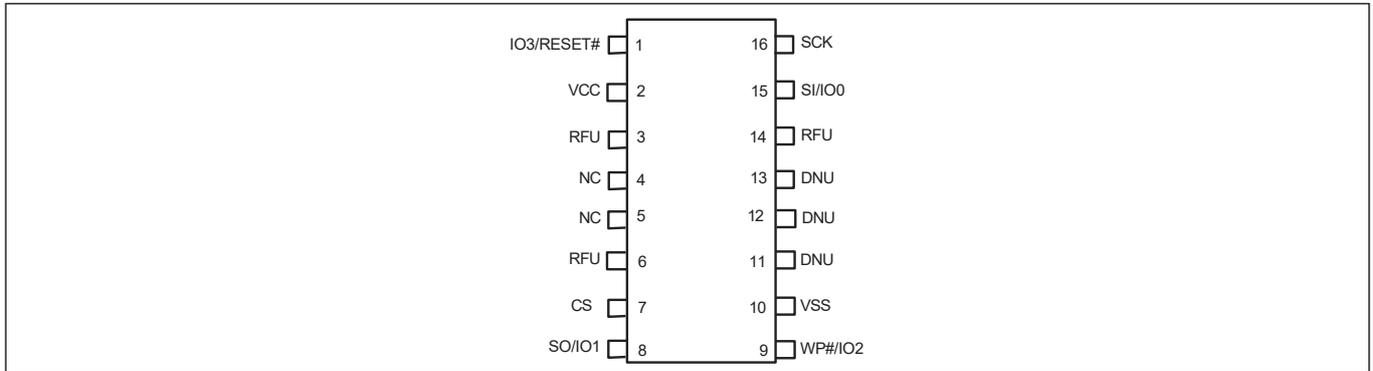
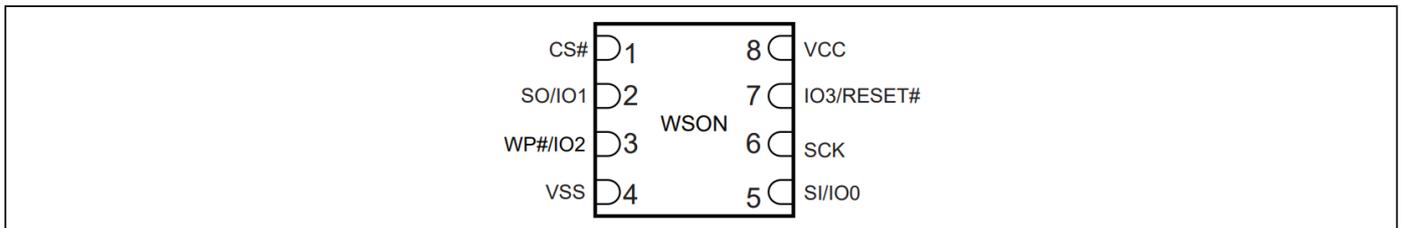


图 1 16 引脚 SOIC 封装，俯视图^[9]

3.2 包含 8 个连接点的封装



引脚分配和信号描述

图 2 8-connector封装 (WSO_N 6 x 8) , 顶视图^[9,10]

3.3 BGA连接图

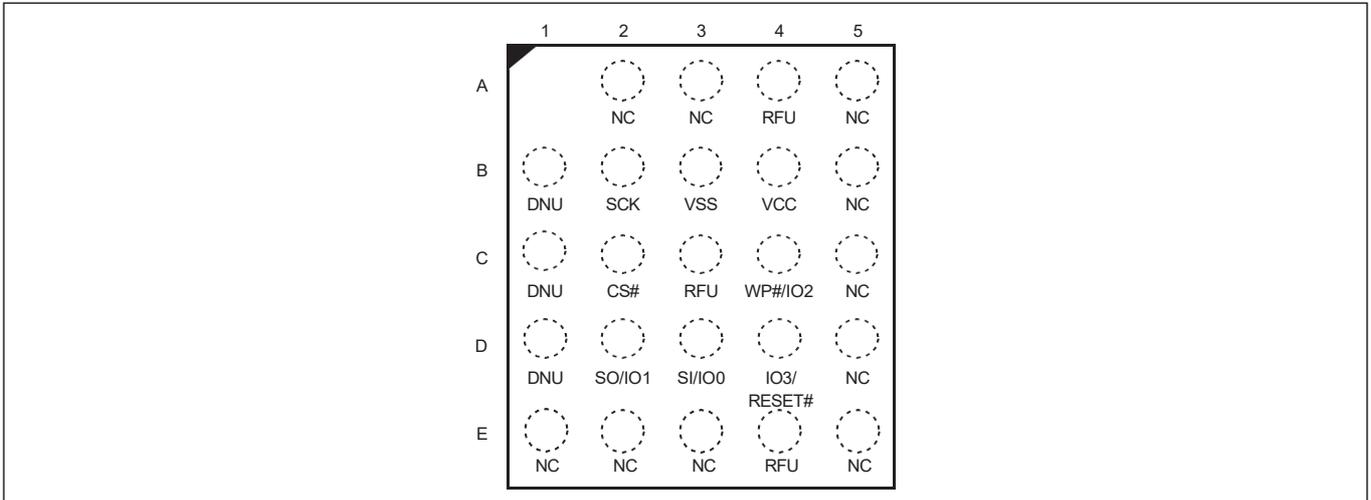


图 3 24-ball BGA, 5 x 5 球封装 (FAB024) , 顶部视图^[9, 11]

注释:

9. RESET# 输入具有内部上拉电阻, 如果未使用四线模式和硬件复位, 则可以在系统中保持未连接状态。
10. WSO_N封装的底部有一个裸露的中心焊垫。它不应该连接到PCB上的任何电压或信号线上。如果PCB布线确保 WSO_N 接地 (VSS) 引线 and 中央裸露的晶片焊盘之间的电压差为 0mV, 则可以将中央焊垫连接到接地 (VSS)。
11. 信号连接与 FAC024 BGA 处于相同的相对位置, 从而允许单个 PCB 封装使用任一封装。

引脚分配和信号描述

表 2 信号描述

Signal name	Type	Description
SCK	Input	Serial Clock
CS#	Input	Chip Select
SI / IO0	I/O	Serial Input for single bit data commands or IO0 for Dual or Quad commands.
SO / IO1	I/O	Serial Output for single bit data commands. IO1 for Dual or Quad commands.
WP# / IO2	I/O	Write Protect when not in Quad mode (CR1V[1] = 0 and SR1NV[7] = 1) (see Table 20). IO2 when in Quad mode (CR1V[1] = 1). The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or write protection. If write protection is enabled by SR1NV[7] = 1 and CR1V[1] = 0, the host system is required to drive WP# HIGH or LOW during a WRR or WRAR command.
IO3 / RESET#	I/O	IO3 in Quad-I/O mode, when Configuration Register 1 QUAD bit, CR1V[1] = 1, and CS# is LOW. RESET# when enabled by CR2V[5] = 1 and not in Quad-I/O mode, CR1V[1] = 0, or when enabled in quad mode, CR1V[1] = 1 and CS# is HIGH. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or RESET#.
V _{CC}	Supply	Power Supply
V _{SS}	Supply	Ground
NC	Unused	Not Connected. No device internal signal is connected to the package connector nor is there any future plan to use the connector for a signal. The connection may safely be used for routing space for a signal on a Printed Circuit Board (PCB). However, any signal connected to an NC must not have voltage levels higher than V _{CC} .
RFU	Reserved	Reserved for Future Use. No device internal signal is currently connected to the package connector but there is potential future use of the connector for a signal. It is recommended to not use RFU connectors for PCB routing channels so that the PCB may take advantage of future enhanced features in compatible footprint devices.
DNU	Reserved	Do Not Use. A device internal signal may be connected to the package connector. The connection may be used by Infineon for test or other purposes and is not intended for connection to any host system signal. Any DNU signal related function will be inactive when the signal is at V _{IL} . The signal has an internal pull-down resistor and may be left unconnected in the host system or may be tied to V _{SS} . Do not use these connections for PCB signal routing channels. Do not connect any host system signal to this connection.

3.4 多线输入/输出 (MIO)

传统 SPI 单比特命令（即单 IO 或 SIO）只能通过串行输入（SI）信号将主机的数据发送到存储器内。数据会通过串行输出（SO）信号从存储器内串行回送给主机。

双线或四线输入 / 输出（I/O）命令只能通过 SI/IO0 信号将指令发送给存储器。地址或数据以 IO0 和 IO1 上的位对或 IO0、IO1、IO2 和 IO3 上的四个位（半字节）组的形式从主控发送到存储器。数据同样可以按照双比特一组的方式通过 IO0 和 IO1 从存储器回送给主机，也可以按照四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 被回送。

QPI 模式允许以四比特（半字节）一组的方式将所有指令、地址和数据通过 IO0、IO1、IO2 和 IO3 从主机传送到存储器内。数据返回主控的方式类似 IO0、IO1、IO2、IO3 上的四位半字节。

3.5 串行时钟（SCK）

该输入信号为 SPI 接口提供了同步参考。可以在 SCK 信号的上升沿上锁存指令、地址或数据。在 SDR 指令中，数据输出在 SCK 的下降沿之后发生变化，在 DDR 指令中，数据输出在每个边沿之后发生变化。

3.6 片选 (CS#)

片选信号指示命令正在向器件传输信息或从器件传输信息，包括与存储器器件相关其他信号。

CS# 信号为高逻辑状态时，不会选择芯片，所有输入信号均被忽略，并且所有输出信号均为高阻抗。除非正在进行内部嵌入式操作，否则器件将处于待机功率模式。嵌入式操作由状态寄存器 1 Write-In-Progress 位 (SR1V[1]) 置位显示为“1”，直到操作完成。嵌入式操作的示例包括：编程、擦除或写入寄存器 (WRR) 等操作。

将 CS# 输入驱动为低逻辑状态可以启用器件，使器件进入工作模式。上电后，必须等到 CS# 的下降沿到来后才能执行其他命令。

3.7 串行输入 (SI) /IO0

该输入信号用于将数据串行传输到器件中。它接收指令、地址和要写入闪存的数据。各个数值在串行 SCK 时钟信号的上升沿上被锁存。

在执行双线和四线命令过程中，SI 变成 IO0（一个输入和输出），用于接收指令、地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意一个边沿上（若执行 DDR 命令）移出数据。

3.8 串行输出 (SO) / IO1

该输出信号用于将数据串行传输出器件。数据在串行 SCK 时钟信号的下降沿移出。

在执行双线和四线命令过程中，SO 变成 IO1（一个输入和输出），用于接收地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意边沿上（若执行 DDR 命令）移出数据。

3.9 写保护 (WP#) / IO2

使用 WRR 或 WRAR 指令时，WP# 为低电平 (VIL)，而状态寄存器 1 (SR1NV[7])，即的状态寄存器写入禁用位 (SRWD_NV) 位被置为“1”时，无法写入状态寄存器 1 或配置寄存器 1 相关寄存器。在这种情况下，WRR 指令被忽略，针对 SR1NV、SR1V、CR1NV 或 CR1V 的 WRAR 指令被忽略，并且没有错误显示。

这样可以防止传统的块保护设置发生更改。因此，在 WRR 或 WRAR 指令期间，WP# 为低电平，且 SRWD_NV 位被设置为“1”，被传统块保护的存储器区域中的全部数据字节也受硬件保护，以防止数据修改。

当 Quad 模式启用时 (CR1V[1] = 1)，WP# 功能不可用。在四线模式下，WP# 功能被作为输入和输出 IO2，用于接收地址和要编程的数据（数值在串行 SCK 时钟信号的上升沿时被锁存）并在 SCK 下降沿时（若执行 SDR 命令）移出数据或在任意一个边沿时（若执行 DDR 命令）移出数据。

WP# 具有内部上拉电阻；未连接时，WP# 处于 V_{IH} ，如果不用于四线模式或写保护模式，则可以在主控系统中保持未连接状态。

引脚分配和信号描述

3.10 IO3 / RESET#

IO3 在四线模式 ($CR1V[1] = 1$) 下用于输入和输出，用于接收地址和要编程的数据（数值在串行 SCK 时钟信号的上升沿时被锁存）并在 SCK 下降沿时（若执行 SDR 命令）移出数据或在任意一个边沿时（若执行 DDR 命令）移出数据。

IO3 / RESET# 信号也可用于启动复位硬件功能，通过写入配置寄存器 2 非易失位 5 ($CR2V[5] = 1$) 来使能初始化复位功能。如果器件并非处于四线模式 (114、144、444)，即 $CR1V[1] = 0$ ，或 CS# 为高电平，则只能将该输入作为 RESET# 使用。当使用四线 I/O 模式时， $CR1V[1] = 1$ ，且器件通 CS 被置为低电平时，则 IO3 / RESET# 只能作为 IO3 进行信息传输。当 CS# 为高电平时，IO3/RESET# 不用于信息传输，而是用作 RESET# 输入。在四线模式 CS 为高电平期间，调节复位操作，复位功能在四线模式期间仍然可用。

当系统进入复位状态时，必须将 CS# 信号驱动为高电平（作为复位过程的一部分），并 IO3/RESET# 信号驱动为低电平。当 CS# 变为高电平时，IO3 / RESET# 输入从 IO3 转变为 RESET# 输入。然后，当 CS 保持高电平且 IO3 / RESET# 信号保持低电平持续 t_{RP} 。如果不打算复位，则系统需要在数据传输到存储器结束时将驱动为高电平的同时，主动将 IO3 /Reset# CS 驱动为高电平。在将数据传输到主控系统之后，存储器将在 t_{CS} 期间将 IO3 驱动为高电平。这将确保 IO3 / RESET# 不会悬空或被内部或外部无源的上拉缓慢拉为高电平。因此，不会由于 IO3 / RESET# 在 t_{RP} 结束之前未被识别为高电平而触发意外复位。

当复位特性被禁用时 ($CR2V[5] = 0$)，IO3 / RESET# 输入复位功能被禁用。

IO3 / RESET# 信号有内部上拉电阻，如果不用于四线模式或复位功能，可以在主控系统中悬空。主控系统主动将信号驱动为高电平后，内部上拉将保持 IO3/复位高电平，然后停止驱动信号。

注意，如果多个 SPI-MIO 存储器中有任意一个工作于四线 I/O 模式，那么它们不能共享 IO3/RESET# 功能，因为来自一个选定存储器或向其发送的 IO3 可用作第二个未选定的存储器，且它们共享相同的 IO3/RESET# 信号。

3.11 电源电压 (V_{CC})

V_{CC} 是所有器件内部逻辑的电压源。它是用于所有器件内部功能（包括读取、编程和擦除）的单一电压。

3.12 电源和信号地 (V_{SS})

V_{SS} 器件内核、输入信号接收器和输出驱动器的公共电压开漏和接地参考。

3.13 未连接 (NC)

没有任何器件内部信号被连接到封装引脚，将来也不计划用于信号连接。该连接可安全地用于印刷电路板 (PCB) 上的信号的布线空间。

3.14 预留以供将来使用 (RFU)

当前没有任何器件内部信号被连接到封装引脚，预留供将来使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。

3.15 请勿使用 (DNU)

器件的内部信号可能被连接到封装引脚。该连接可能被 Infineon 用于测试或其他目的，并不用于连接到任何主控系统信号。DNU 引脚处于低电平 (V_{IL}) 时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到 V_{SS} 。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

3.16 框图

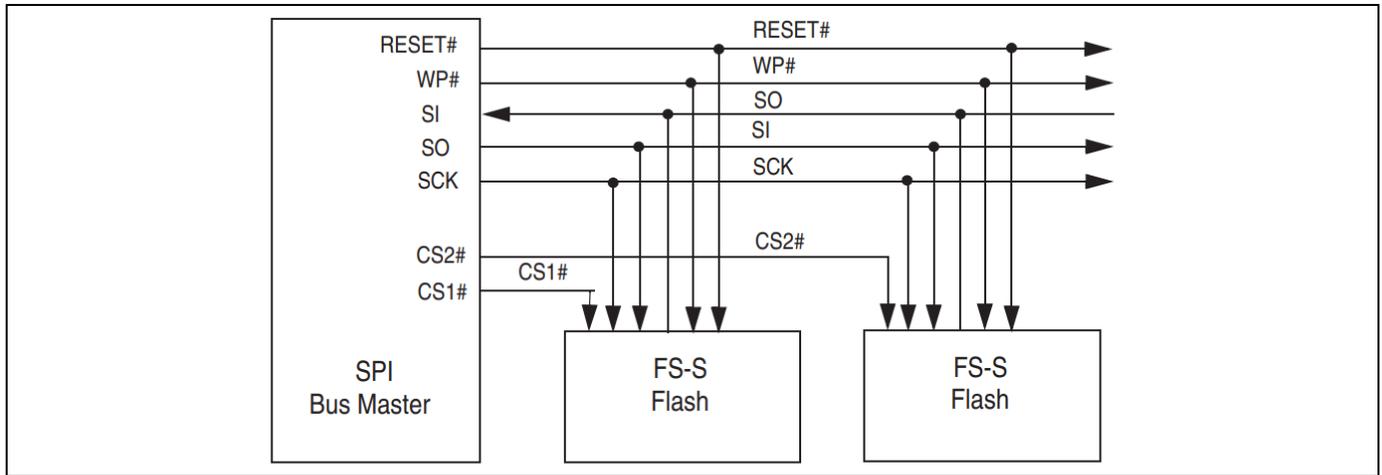


Figure 4 Bus master and memory devices on the SPI bus – single bit data path

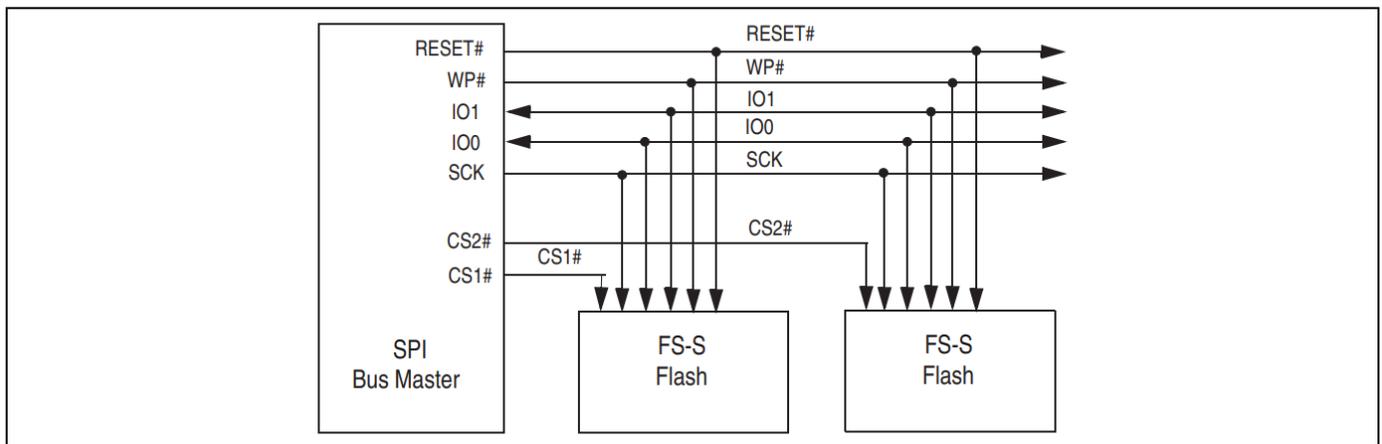


Figure 5 Bus master and memory devices on the SPI bus – dual bit data path

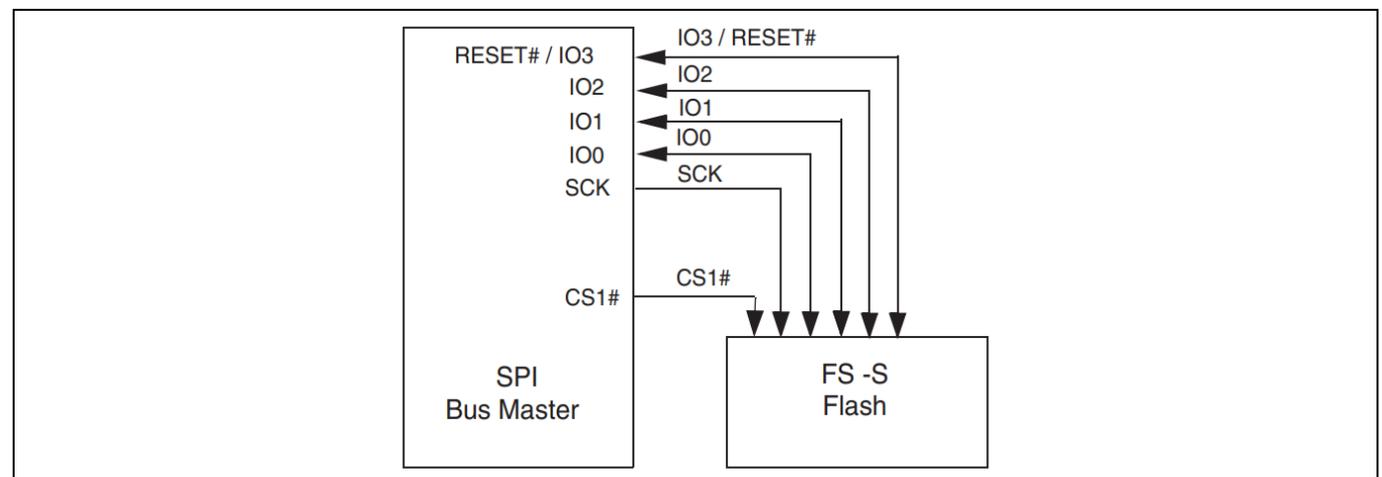


Figure 6 Bus master and memory devices on the SPI bus – quad bit data path

信号协议

4 信号协议

4.1 SPI 时钟模式

4.1.1 单倍数据速率 (SDR)

通过嵌入式微控制器（总线主设备）可以将S25FS512S驱动到以下任意一种时钟模式

- 模式 0, 时钟极性 (CPOL) = 0, 时钟相位 (CPHA) = 0
- 模式 3, CPOL = 1 且 CPHA = 1

在这两种模式中，器件的输入数据总是在 SCK 信号的上升沿上被锁存，输出数据总是在 SCK 时钟信号的下降沿上可用。

两种模式的区别在于总线主机处于待机模式且不传输任何数据时的时钟极性。

- 当 CPOL = 0、CPHA = 0 时，SCK 将保持逻辑低电平状态
- 当 CPOL = 1、CPHA = 1 时，SCK 将保持逻辑高电平状态

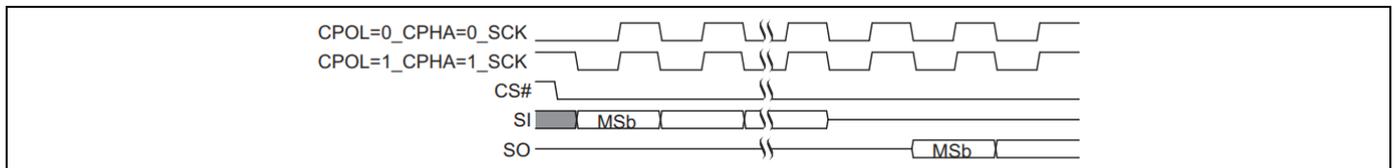


Figure 7 SPI SDR modes supported

本文档其余部分的时序图通常通过在 CS# 下降时将 SCK 显示为高电平和低电平来显示为模式 0 和模式 3。在某些情况下，时序图可能通过显示 SCK 在 CS# 下降沿时的低电平来显示唯一的模式 0。而唯一的模式 3 的时序图只是表示在 CS# 的下降沿上时钟信号为高电平，因此模式 3 不需要从 CS# 下降沿后到 SCK 上升沿前的建立和保持时间。

SCK 周期是从一个 SCK 的下降沿到下一个 SCK 的下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

4.1.2 双倍数据速率 (DDR)

DDR 指令也支持模式 0 和模式 3。与 SDR 指令相同，在 DDR 指令中，指令位也是在时钟的上升沿被锁存。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。第一个地址位被锁存于最后一个指令位结束后的下降沿之后的第一个 SCK 上升沿。第一个输出数据位则在最后访问延时（虚拟）周期结束后的下降沿上被发送。

与 SDR 命令相同，SCK 周期也是从一个 SCK 下降沿到下一个 SCK 下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

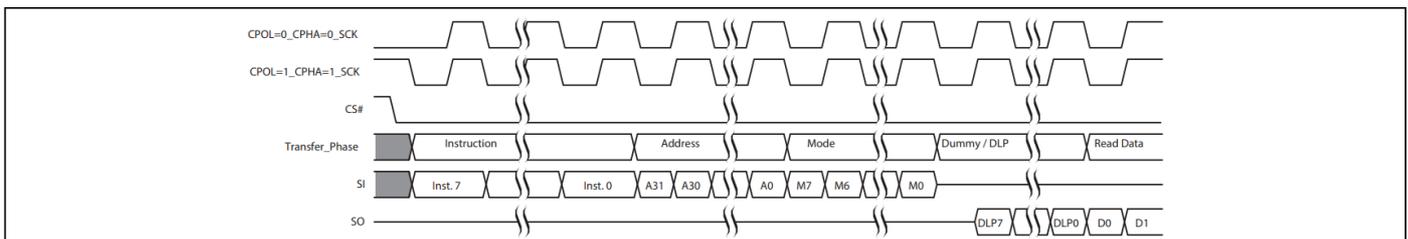


图 8 支持 SPI DDR 模式

4.2 命令协议

主控系统与S25FS512S存储器器件之间的所有通讯均以指令单元的形式存在。

所有指令都以一个 8 位指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到存储器的数据传输或从闪存的数据传输。所有指令、地址和数据信息在主控系统和存储器器件之间顺序传输。

通过一个使用 3 个数字的数字命令法来划分命令协议，以便能参考三个命令阶段的发送宽度

- 指令；
- 地址和指令修饰符（连续读取模式位）；
- Data

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据可以通过 SO 信号串行发送回主控。对于单比特宽指令，单比特宽地址和修饰符、单比特数据的结构，被称为 1-1-1 命令协议。

双线或四线输入 / 输出 (I/O) 命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 传输给存储器。数据返回到主控的方式类似于 IO0 和 IO1 上的位对，或者 IO0、IO1、IO2 和 IO3 上的四位（半字节）组。对于双线 I/O 和四线 I/O 命令，这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

S25FS512S 还支持 QPI 模式输入，所有信息都以 4 位宽度传输，包括指令、地址、修饰符和数据。这被称为 4-4-4 命令协议。

命令结构如下：

- 每个命令都在 CS# 的下降沿开始执行，并在 CS# 的上升沿结束。主机通过一个命令将片选 (CS#) 信号驱动为低电平，从而能够选择存储器。
- 串行时钟 (SCK) 标记主控和存储器之间每个位或一组位的传输。
- 每个命令都以一个八位（字节）指令开始。该指令选择要执行的信息传输类型或器件操作。指令传输发生在 SCK 上升沿。然而，一些读取指令被先前的读取命令修改，使得该指令是从先前的指令隐含的。这被称为连续读取模式。器件处于连续读取模式时，由于该指令和用于初始化连续读取模式的读取命令相同，所以各个指令位不会在开始执行命令时被传输。在该模式下，命令会从读取地址开始。因此，连续读取模式从一系列相同类型的读取命令中的每个读取命令中删除八个指令位。
- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。该指令决定所使用的地址空间。地址可以是 24 位或 32 位、字节边界、地址。地址传输发生在 SDR 指令中的 SCK 上升沿，或 DDR 指令中的每个 SCK 边沿。
- 在传统 SPI 模式下，指令之后的所有传输的宽度均由发送的指令决定。以下表示的可能是其中一种传输类型：仅通过串行输入 (SI) 或串行输出 (SO) 信号传输单比特；通过 IO0 和 IO1 信号每次（双线）传输将以双比特的形式进行发送；或通过 IO0-IO3 信号每次（四线）传输以 4 比特的形式执行。在双比特或四比特组中，最低有效位是通过 IO0 信号发送的。其他更高有效位则按照权值大小通过编号更高的 IO 信号发送。单比特或并行比特组则按照从最高有效位到最低有效位的顺序进行传输。
- 在 QPI 模式下，所有信息都按照 4 比特宽（四线传输）通过 IO0-IO3 信号进行发送
- 双线和四线 I/O 读指令在发送地址后将发送一个指令修饰符（称为连续读取模式位），以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。这些模式位用于初始化或结束连续读取模式。因此，下一条命令只会提供新地址和模式位，并不提供指令字节。当某个命令序列中重复了相同的命令类型时，会减少发送每一个命令所需要的时间。模式位传输发生在 SDR 指令中的 SCK 上升沿，或 DDR 指令中的每个 SCK 边沿。

信号协议

- 地址或模式位后面可以跟要存储在存储器器件中的写入数据，或者在读取数据返回到主控之前跟随着读取等待时间。
- 在SDR指令中，写入数据位的传输发生在 SCK 上升沿，或者在 DDR 指令中发生在每个 SCK 沿。
- SCK 会在读访问的延迟周期内继续进行切换。延时可能是零到几个 SCK 周期（也称为虚拟周期）。在读取延时周期结束时，第一个读取数据位在最后一个读取延时周期结束时的 SCK 下降沿时输出。第一个读取的数据位被作为在下一个 SCK 上升沿时传输到主控端。在SDR指令中，后续每次传输都发生在下一个 SCK 上升沿，而在在 DDR 指令中，发生在每个 SCK 边沿。
- 如果指令返回读取数据到主控，器件将继续发送数据传输，直到主控将 CS 信号拉高。在读取数据时序中的任何传输之后，CS# 信号都可以被驱动为高电平。这将终止指令。
- 在没有返回数据的指令结束时，主控将 CS 输入驱动为高电平。在独立指令或传输的最后一个写入数据字节的第八位之后，CS# 信号必须变为高电平。也就是说，当 CS# 信号驱动为低电平后的位数恰好是八位的倍数时，CS# 信号必须驱动为高电平。如果 CS# 信号没有在指令或写入数据的八位边界处准确变为高电平，则该命令将被拒绝并且不会执行。
- 所有指令、地址和模式位均以最高有效位 (MSb) 优先的方式移入器件。数据位首先移入和移出器件的 MSb。所有数据都以字节为单位传输，首先发送最低地址字节。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。
- 根据指令的不同，执行时间也会有所不同。可以使用从正在执行的指令中读取状态信息的指令来确定指令何时完成执行以及指令是否成功。

4.2.1 指令时序示例

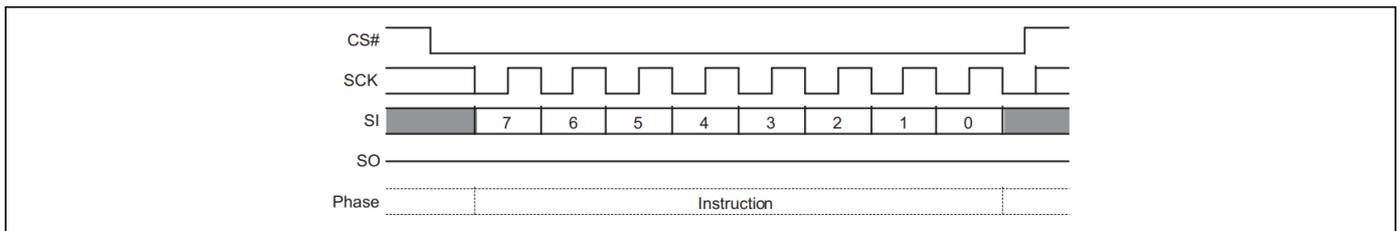


Figure 9 Standalone Instruction command

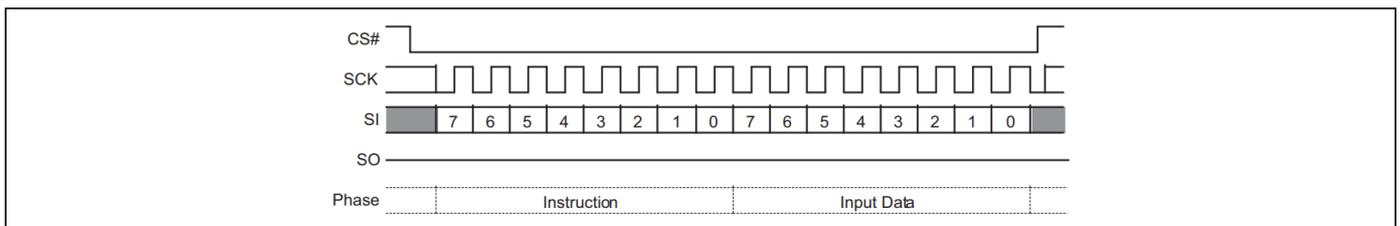


Figure 10 Single Bit Wide Input command

信号协议

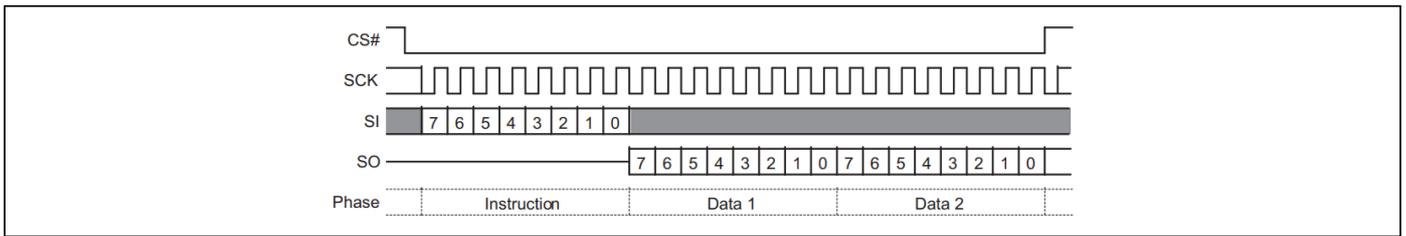


Figure 11 Single Bit Wide Output command

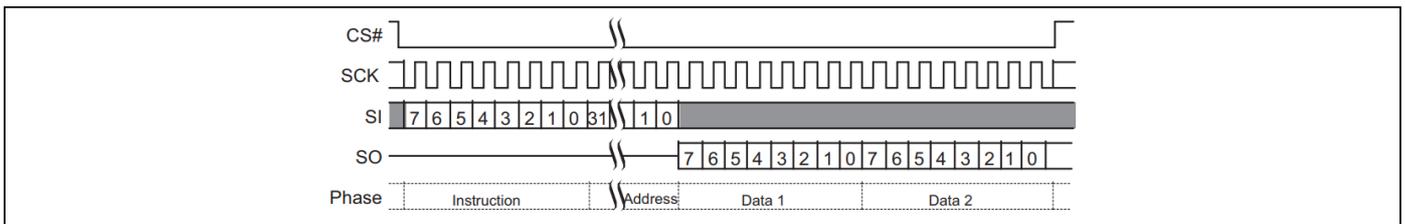


Figure 12 Single Bit Wide I/O command without latency

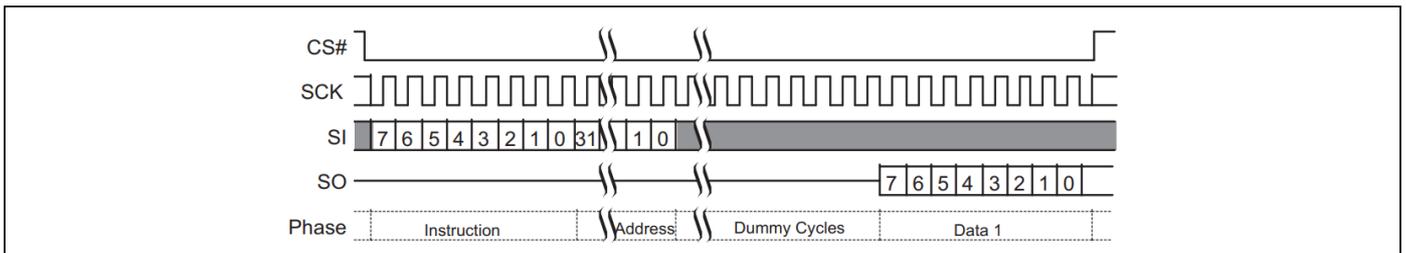


Figure 13 Single Bit Wide I/O command with latency

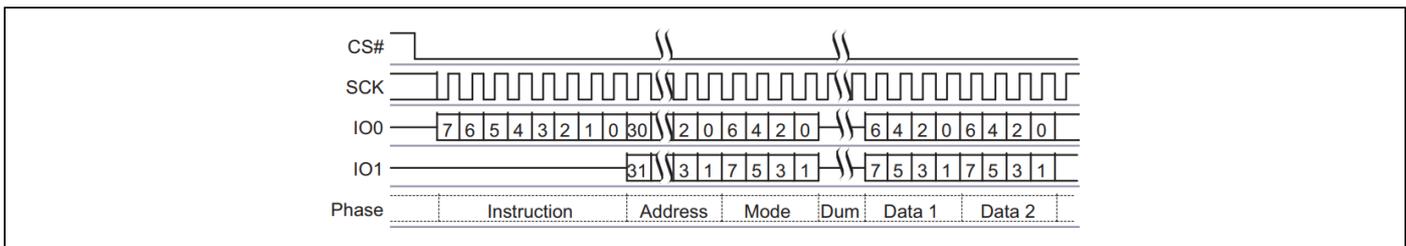


Figure 14 Dual I/O command

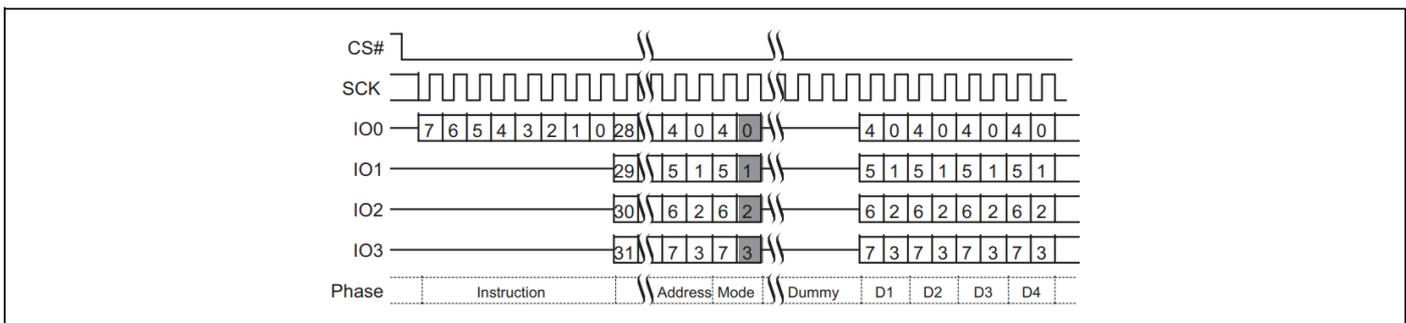


Figure 15 Quad I/O command

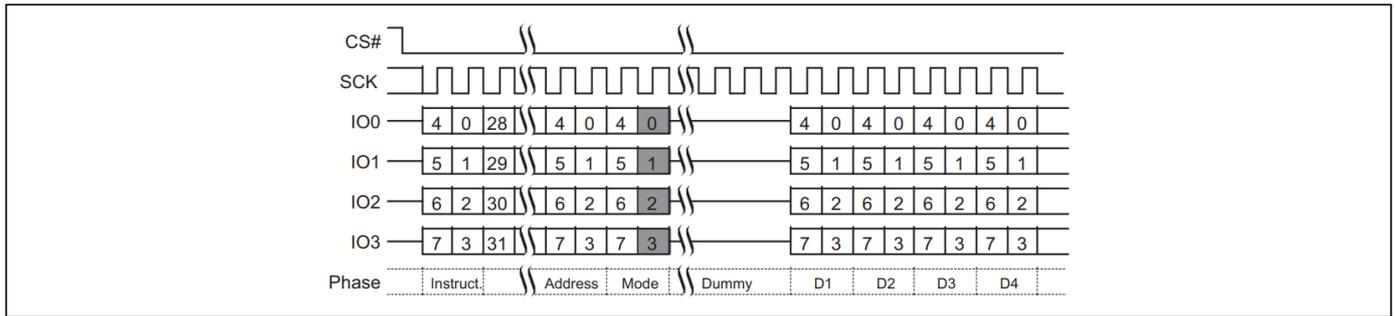


Figure 16 Quad I/O Read command in QPI mode

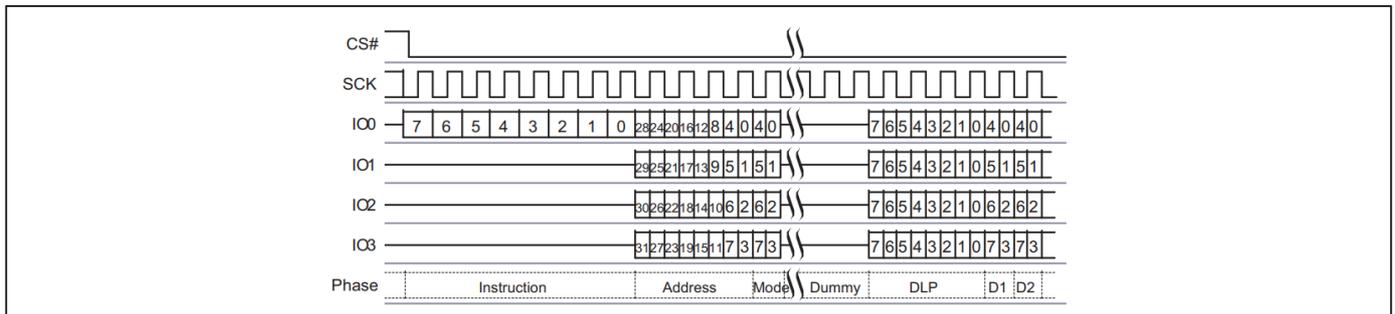


Figure 17 DDR Quad I/O Read

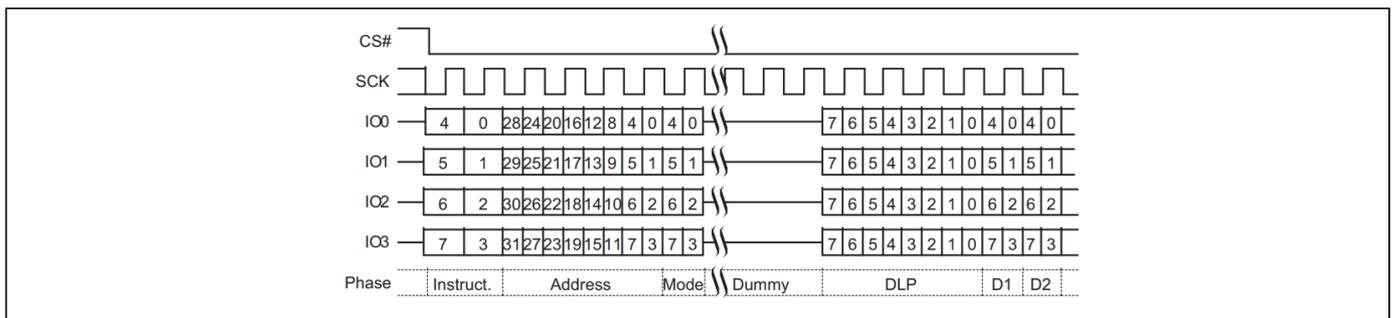


Figure 18 DDR Quad I/O Read in QPI mode

“命令”在76页中提供了特定于每个指令的附加序列图。

4.3 接口状态

本节介绍与 SPI 接口行为相关的输入和输出信号电平。

表 3 接口状态汇总

Interface state	V _{CC}	SCK	CS#	IO3 / RESET#	WP# / IO2	SO / IO1	SI / IO0
Power-off	<V _{CC} (low)	X	X	X	X	Z	X
Low power Hardware data protection	<V _{CC} (cut-off)	X	X	X	X	Z	X
Power-on (Cold) reset	≥V _{CC} (min)	X	HH	X	X	Z	X
Hardware (Warm) reset non-quad mode	≥V _{CC} (min)	X	X	HL	X	Z	X
Hardware (Warm) reset quad mode	≥V _{CC} (min)	X	HH	HL	X	Z	X
Interface standby	≥V _{CC} (min)	X	HH	X	X	Z	X
Instruction cycle (Legacy SPI)	≥V _{CC} (min)	HT	HL	HH	HV	Z	HV
Single input cycle Host to Memory transfer	≥V _{CC} (min)	HT	HL	HH	X	Z	HV
Single latency (Dummy) cycle	≥V _{CC} (min)	HT	HL	HH	X	Z	X
Single output cycle Memory to Host transfer	≥V _{CC} (min)	HT	HL	HH	X	MV	X
Dual input cycle Host to Memory transfer	≥V _{CC} (min)	HT	HL	HH	X	HV	HV
Dual latency (Dummy) cycle	≥V _{CC} (min)	HT	HL	HH	X	X	X
Dual output cycle Memory to Host transfer	≥V _{CC} (min)	HT	HL	HH	X	MV	MV
Quad input cycle Host to Memory transfer	≥V _{CC} (min)	HT	HL	HV	HV	HV	HV
Quad latency (Dummy) cycle	≥V _{CC} (min)	HT	HL	X	X	X	X
Quad output cycle Memory to Host transfer	≥V _{CC} (min)	HT	HL	MV	MV	MV	MV
DDR Quad input cycle Host to Memory transfer	≥V _{CC} (min)	HT	HL	HV	HV	HV	HV
DDR Latency (Dummy) cycle	≥V _{CC} (min)	HT	HL	MV or Z	MV or Z	MV or Z	MV or Z
DDR Quad output cycle Memory to Host transfer	≥V _{CC} (min)	HT	HL	MV	MV	MV	MV

图标说明：

Z = 无驱动 - 悬空信号

HL = 主控驱动 V_{IL}

HH = 主控驱动 V_{IH}

HV = HL 或 HH

X = HL 或 HH 或 Z

HT = HL 和 HH 之间切换

ML = 存储器驱动 V_{IL}

MH = 存储器驱动 V_{IH}

MV = ML 或 MH

信号协议

4.3.1 掉电

当内核供电电压等于或低于 $V_{CC(Low)}$ 电压时，器件被认为已断电。器件不会对外部信号做出反应，并且会被阻止执行任何编程和擦除操作。

4.3.2 低电压时硬件数据保护

当 V_{CC} 小于 $V_{CC(Cut-off)}$ 时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编程和擦除操作无法启动。

4.3.3 上电（冷启动）复位

当磁芯电源电压保持在或低于 $V_{CC(低)}$ 电压并持续 $\geq t_{PD}$ 时间，然后上升到 $\geq V_{CC(最小值)}$ 时，器件将开始其上电复位(POR)过程。POR持续到 t_{PU} 。在 t_{PU} 期间，器件不会对外部输入信号作出反应，也不驱动任何输出。在 t_{PU} 结束后，器件转换为接口状态并可以接受指令。有关POR的更多信息，请参阅“[上电（冷）”解读](#)”，分页 39。

4.3.4 硬件（热）复位

当器件不处于四线模式或处于四线模式且CS为高电平时，提供了一个配置选项，允许IO3用作硬件复位输入。当IO3/RESET#被驱动为低电平并持续 t_{RP} 时间时，器件启动硬件复位过程。该过程持续 t_{RPH} 时间。在 t_{RPH} 结束和RESET#(t_{RH})上升后的复位保持时间结束后，器件将转换为接口状态并可以接受指令。

4.3.5 Interface standby

当CS为高电平时，SPI接口处于待机状态。除RESET#之外的输入将被忽略。接口等待新指令的开始。当CS#变为低电平以开始新命令时，下一个接口状态是指令周期。

在接口待机状态下，如果没有嵌入式算法正在运行，存储器器件将消耗待机电流(I_{SB})。如果嵌入式算法正在运行，则将消耗相关电流，直到运算结束，此时整个器件恢复到待机电流消耗状态。

S25FS512S 器件支持深度掉电(DPD)模式。如果器件已通过DPD(B9h)指令置于DPD模式，则接口备用电流为(I_{DPD})。仅当器件未执行嵌入式算法(如状态寄存器1易失性写入进行中(WIP)位清零($SR1V[0]=0$)所示)时，才接受DPD指令。在DPD模式下，器件会忽略除从DPD释放(RES ABh)指令，该指令将在 t_{RES} 延迟后将器件返回到接口待机状态。

4.3.6 指令周期（传统 SPI 模式）

当主控驱动一条指令的MSb并且CS变为低电平时，在SCK的下一个上升沿，该器件将捕获开始新指令的指令的MSb。在SCK的每个后续上升沿，该器件捕获8位指令的下一个较低有效位。主控保持CS低电平，并根据指令需要驱动写保护(WP#)和IO3/RESET#信号。但是，WP#仅在WRR或WRAR命令的指令周期内相关，否则会被忽略。器件未处于四线模式($CR1V[1]=0$)或QPI模式($CR2V[6]=0$)且不需要硬件复位时，IO3/RESET#被驱动为高电平。

每条指令选择操作的地址空间，和使用的传输格式在命令其他部分。传输格式可以是单线I/O、双线I/O、四线I/O或DDR四线I/O。预期的下一个接口状态取决于收到的指令。

有些指令是单独的，不需要存储器地址或传输的数据。主控在SCK上升沿后返回CS高电平，作为该指令中指令的第8位。在这种情况下，下一个接口状态是接口待机。

信号协议

4.3.7 指令周期 (QPI 模式)

在 QPI 模式下, 当 CR2V[6] = 1 时, 指令每个周期传输 4 位。在此模式下, 指令周期与四输入周期相同 (参见“四输入”)。输入循环 — 主机到存储器转移”在 分页 28)。

4.3.8 单输入周期——从主机到存储器的传输

几条指令通过单个串行输入 (SI) 信号将信息从主控制器传送到存储器器件。主控保持 RESET# 为高电平, CS 为低电平, 并根据指令的需要驱动 SI。存储器不驱动串行输出 (SO) 信号。

预期的下一个接口状态取决于指令。一些指令使用额外的单输入周期继续向存储器发送地址或数据。其他可能转换为单线延时, 或直接转换为单线、双线或四线输出周期状态。

4.3.9 单线延时 (虚拟) 周期

读指令可能有零到几个延迟周期, 在此期间读数据在传输到主控之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时编码决定。在延时周期内, 主控保持 RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。主控可能会在这些周期内驱动 SI 信号, 或者主控可能会让 SI 处于浮动状态。在延迟周期内, 内存不使用 SI / I/O0 或其他 I/O 信号上驱动的任何数据。在延时周期内, 存储器不会驱动串行输出 (SO) 或 I/O 信号。

下一个接口状态取决于指令结构, 即延时周期数, 以及读取是单线、双线还是四线。

4.3.10 单输出周期——存储器到主机的传输

多个指令通过单个串行输出 (SO) 信号将信息传回主控。主控保持 RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。存储器忽略串行输入 (SI) 信号。存储器用数据驱动 SO。

下一个接口状态继续为单线输出周期, 直到主控将 CS 返回为高电平结束指令。

4.3.11 双输入循环 — 主机到存储器传输

双线读取 I/O 指令在每个周期传输两位地址或模式位到存储器。主控保持 RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。主控驱动器地址位于 SI / I/O0 和 SO / I/O1。

地址和模式位传送之后的下一个接口状态是双延时周期 (有延时要求); 如果不需要延时, 则为双线输出周期。

4.3.12 双线延时 (虚拟) 周期

读指令可能有零到几个延迟周期, 在此期间读数据在传输到主控之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时编码决定。在延时周期内, 主控保持 RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。主控可能会在这些周期内驱动 SI / I/O0 和 SO / I/O1 信号, 或者主控可能会让 SI / I/O0 和 SO / I/O1 处于悬空状态。在延时周期内, 存储器不使用 SI / I/O0 和 SO / I/O1 上驱动的任何数据。在最后一个延时周期结束时的下降沿时, 主控必须停止驱动 SI / I/O0 和 SO / I/O1。建议主控在所有延时周期内停止驱动它们, 以便在延时周期结束时存储器开始驱动之前, 主控驱动程序有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。存储器在延时周期内不会驱动 SI / I/O0 和 SO / I/O1 信号。

最后一个延时周期之后的下一个接口状态是双线输出周期。

信号协议

4.3.13 双输出循环——存储器到主机的传输

双线读取输出和线读取 I/O 在每个周期向主控返回两位数据。主控保持RESET#为高电平，CS为低电平。写保护（WP#）信号被忽略。存储器在双线输出周期内驱动 SI/IO0 和 SO/IO1 信号上的数据。

下一个接口状态继续为双线输出周期，直到主控将 CS 返回为高电平结束指令。

4.3.14 四输入周期 — 主机到存储器传输

四线 I/O 读取命令在每个周期向存储器传输四个地址或模式位。在 QPI 模式下，四路 I/O 读取和分页编程指令在每个周期（包括指令周期）向存储器传输四个数据位。主控保持CS低电平，驱动IO信号。

对于四线 I/O 读取，在传送地址位和模式位之后下一个接口状态，如果需要延时周期则为四线延时周期，如果不需要延时则为四线输出周期。对于 QPI 模式页编程命令，主控在传送要写入的数据后，返回 CS#为高电平，且接口返回待机状态。

4.3.15 带延时的四线（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主控之前从主队列读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时编码决定。在延时周期内，主控保持CS低电平。主控可能会在这些周期内驱动 IO 信号，或者主控可能会让 IO 处于浮动状态。在延时周期内，存储器不使用任何通过 IO 驱动的数据。主控必须在最后一个延时周期结束时的下降沿停止驱动 IO 信号。建议主控在所有延时周期内停止驱动它们，以便在延时周期结束时存储器开始驱动之前，主控驱动程序有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。在延时周期内，存储器不会驱动 IO 信号。

最后一个延时周期之后的下一个接口状态是四线输出周期。

4.3.16 四输出周期——存储器到主机的传输

四线 I/O 读取在每个周期向主控返回四位数据。主控维持CS#低位。存储器在四线输出周期内驱动 IO0-IO3 信号上的数据。

下一个接口状态继续为四线输出循环，直到主控将 CS 返回为高电平并结束指令。

4.3.17 DDR 四路输入周期 — 从主机至存储器的传输

DDR 四线 I/O 读取命令通过所有 IO 信号将地址和模式位发送到存储器。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主控维持CS#低位。

传送地址位和模式位之后的下一个接口状态是 DDR 延时周期。

4.3.18 DDR 延时周期

DDR 读指令可能有一到几个延迟周期，在此期间读数据在传输到主控之前从主队列中读取。延时周期数由配置寄存器 (CR2V[3:0]) 中的延时编码决定。在延时周期内，主控保持CS低电平。主控可能不会在这些周期内驱动 IO 信号。这样在存储器开始驱动之前，主控驱动器就有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。存储器有一个选项，可以在最后 4 个延时周期内使用数据学习类型码 (DLP) 驱动所有 IO 信号。当延时周期少于五个时，不应启用 DLP 选项，以便在存储器开始驱动 DLP 之前至少有一个高阻态周期用于 IO 信号的转变。延迟周期超过四个时，存储器直到最后四个延时周期才会驱动 IO 信号。

最后一个延时周期之后的下一个接口状态是 DDR 单线输出周期或四线输出周期，取决于指令。

4.3.19 DDR 四输出周期 – 存储器到主机的传输

DDR 四线I/O 读取命令将所有 IO 信号上的位返回至主控。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主控维持CS#低位。

下一个接口状态继续为 DDR 四线输出周期，直到主控将 CS 返回为高电平并结束指令。

4.4 配置寄存器对接口的影响

配置寄存器 2 易失性位 3 至 0 (CR2V[3:0]) 选择除读取和读取 SDFP (RSFDP) 之外的所有读取指令的可变延时。读取始终具有零延时周期。RSFDP 始终具有八个延时周期。可变延时也用于 OTPR 和 RDAR 指令。

配置寄存器位 1 (CR1V[1]) 选择是使能四线模式，以将 WP# 切换到 IO2 功能，将 RESET# 切换到 IO3 功能，从而允许四线 I/O 读取和 QPI 模式命令。DDR 四线I/O 读取命令必须选择四线模式。DDR 四线I/O 读取命令必须选择四线模式。

4.5 数据保护

硬件设计本身提供了一些基本的保护措施，可以防止存储的数据被意外更改。这些措施在 [第 68 页“数据保护”部分](#) 有详细描述。其他由软件管理的保护方法将在本文档的软件部分进行讨论。

4.5.1 上电

当内核供电电压等于或低于 $V_{CC(LOW)}$ 电压时，器件被认为已断电。器件不会对外部信号做出反应，并且会被阻止执行任何编程和擦除操作。

在上电复位 (POR) 期间，将继续阻止编程和擦除操作，因为直到退出POR到待机状态时才接受任何指令。

4.5.2 Low power

当 V_{CC} 小于 $V_{CC(Cut-off)}$ 时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编程和擦除操作无法启动。

4.5.3 时钟脉冲计数

器件在执行之前验证所有非易失的存储器和寄存器数据修改指令是否由时钟计数组成，该计数是八位传输 (字节边界) 的倍数。不以 8 位 (字节) 边界结尾的命令将被忽略，并且该命令不会设置任何错误状态。

4.5.4 深度掉电模式 (DPD)

在 DPD 模式下，器件仅响应 DPD 释放指令 (RES ABh)。在 DPD 模式期间，所有其他命令都会被忽略，从而保护内存免受写入和擦除操作的影响。

5 电气规格参数

5.1 绝对最大额定值

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +125°C
V_{CC}	-0.5 V to +2.5 V
Input voltage with respect to Ground (V_{SS}) ^[13]	-0.5 V to $V_{CC} + 0.5 V$
Output short circuit current ^[14]	100 mA

注释:

12. 请参阅“**输入信号过冲**”在分页 31 为信号转换期间允许的最大值。
13. 每一次只能有一个输出对地短接。短接时间不能超过一秒。
14. 超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。器件长时间处于绝对最大额定值条件下可能会影响器件可靠性。

5.2 热阻抗

表4 热阻

Parameter	Description	SO3016	WNH008	FAB024	Unit
Theta JA	Junction to Ambient	37.4	30	38.5	°C/W
Theta JB	Junction to Board	8	10.6	10.2	
Theta JC	Junction to Case	9	11.2	11.6	

5.3 锁闭特性

表5 闩锁参数

Description	Min	Max	Unit
Input voltage with respect to V_{SS} on all input only connections	-1.0	$V_{CC} + 1.0$	V
Input voltage with respect to V_{SS} on all I/O connections			
V_{CC} current	-100	+100	mA

注释:

15. 不包括电源 V_{CC} 。测试条件: $V_{CC} = 1.8 V$, 每次测试一个连接, 未测试的连接 V_{SS} 。

电气规格参数

5.4 工作范围

运行范围定义了一些限值，在这些限值之间可保证器件正常运行。

5.4.1 供电电压

V_{CC}	1.7 V to 2.0 V
----------	----------------

5.4.2 温度范围

Parameter	Symbol	Devices	Spec		Unit
			Min	Max	
Ambient temperature	T_A	Industrial (I)	-40	+85	°C
		Industrial Plus devices (V)		+105	
		Automotive, AEC-Q100 grade 3 (A)		+85	
		Automotive, AEC-Q100 grade 2 (B)		+105	
		Automotive, AEC-Q100 grade 1 (M)		+125	

注:

16. 工业 Plus 的操作和性能参数将由器件特性决定，并且可能与本规范中显示的标准工业温度范围设备有所不同。

5.4.3 输入信号过冲

在直流条件下，输入或 I/O 信号应保持等于或介于 V_{SS} 和 V_{CC} 之间。在电压转换期间，输入或 I/O 可能会过冲 $V_{SS}-1.0\text{ V}$ 或过冲至 $V_{CC}+1.0\text{ V}$ ，持续时间最长为 20 ns。

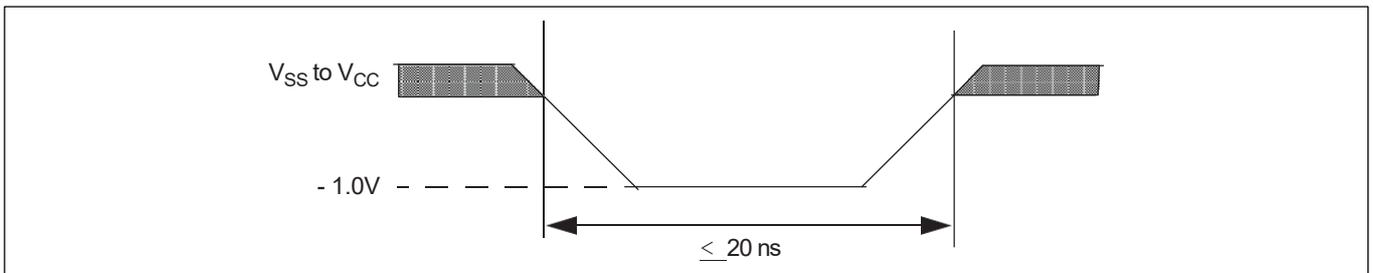


图19 最大负过冲波形

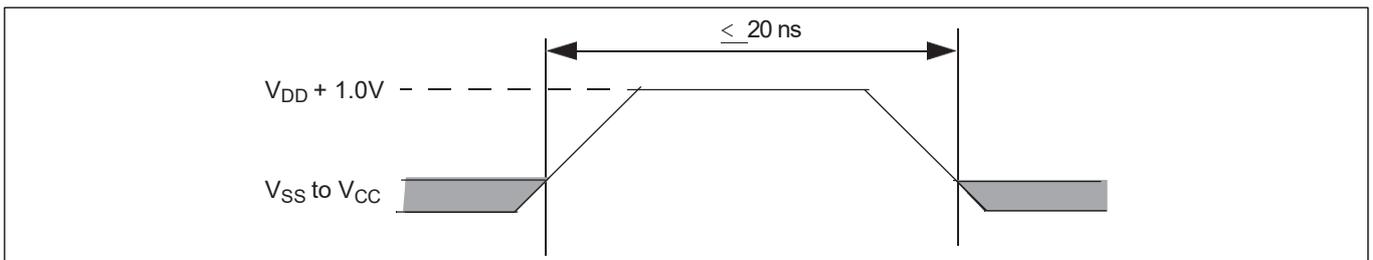


图20 最大正过冲波形

5.5 上电和断电

在上电或掉电时一定不要选择该器件（即 CS 必须遵循施加在 V_{CC} 上的电压），直到 V_{CC} 达到如下正确的值：

- 上电时为 V_{CC} （最小值），然后再延迟 t_{PU}
- V_{SS} 在掉电时

片选（CS）上的一个简单的上拉电阻通常可用于确保安全和完整的上电和掉电。

在 V_{CC} 上升到最低 V_{CC} 阈值之后，直到经过 t_{PU} 的有效延迟，器件不执行任何指令（见图 21）。但是，如果 V_{CC} 在 t_{PU} 期间返回到 $V_{CC}(\text{min})$ 以下，则无法保证器件的正确运行。在 t_{PU} 结束之前，不应向器件发送任何指令。

器件在 t_{PU} 期间电流为 I_{POR} 。上电 (t_{PU}) 后，器件处于待机模式，是正常 CMOS 待机电流 (I_{SB})，且 WEL 位复位。

在电源下降或电压降至 V_{CC} 截止) 以下期间，电压必须降至 V_{CC} 低) 以下并持续 t_{PD} 时间，器件才能正确初始化上电（见图 22）。如果在降压过程中 V_{CC} 高于 V_{CC} 截止电压)，则器件将保持初始化状态，并在 V_{CC} 高于 V_{CC} 最小电压) 时正常工作。如果上电复位 (POR) 在上电后未正确完成，则发出复位# 信号或接收到软件复位指令 (POR) 将重新启动 POR 过程。

必须采取正常的预防措施来对电源轨进行去耦，以稳定器件的 V_{CC} 电源。系统中的每个器件都应通过靠近封装电源连接的合适电容器对 V_{CC} 轨进行去耦（该电容器通常为 0.1 μF 量级）。

表 6 FS-S 上电/掉电的电压和时序

Symbol	Parameter	Min	Max	Unit
$V_{CC}(\text{min})$	V_{CC} (minimum operation voltage)	1.7	-	V
$V_{CC}(\text{cut-off})$	V_{CC} (cut-off where re-initialization is needed)	1.5	-	
$V_{CC}(\text{low})$	V_{CC} (low voltage for initialization to occur)	0.7	-	
t_{PU}	$V_{CC}(\text{min})$ to Read operation	-	300	μs
t_{PD}	$V_{CC}(\text{low})$ time	10.0	-	

电气规格参数

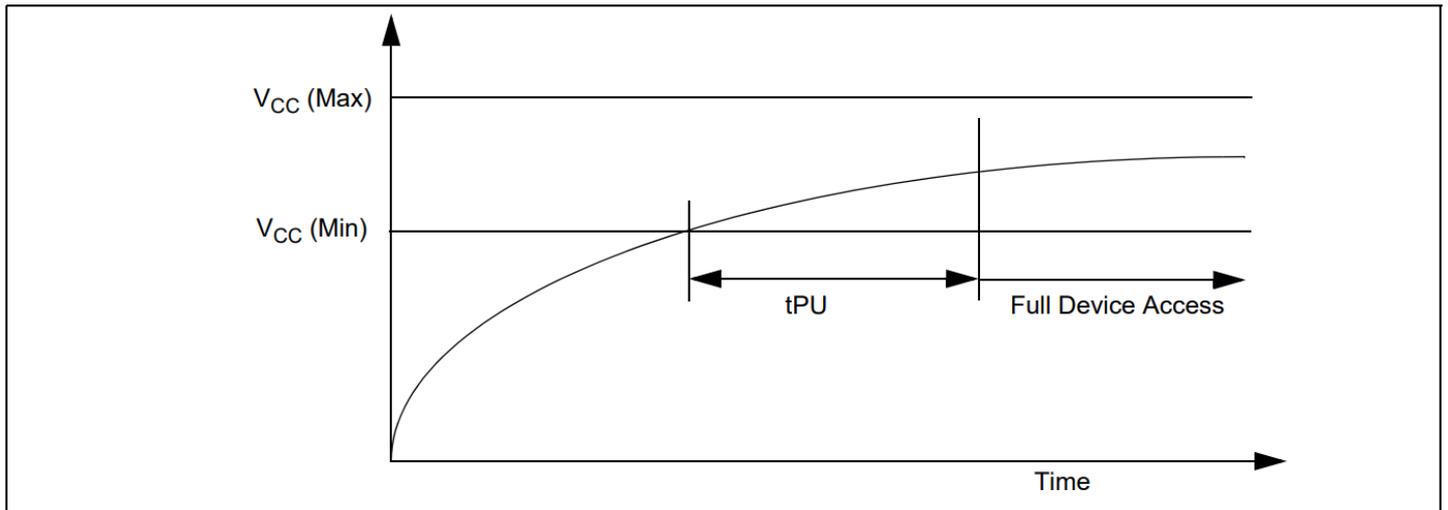


Figure 21 Power-up

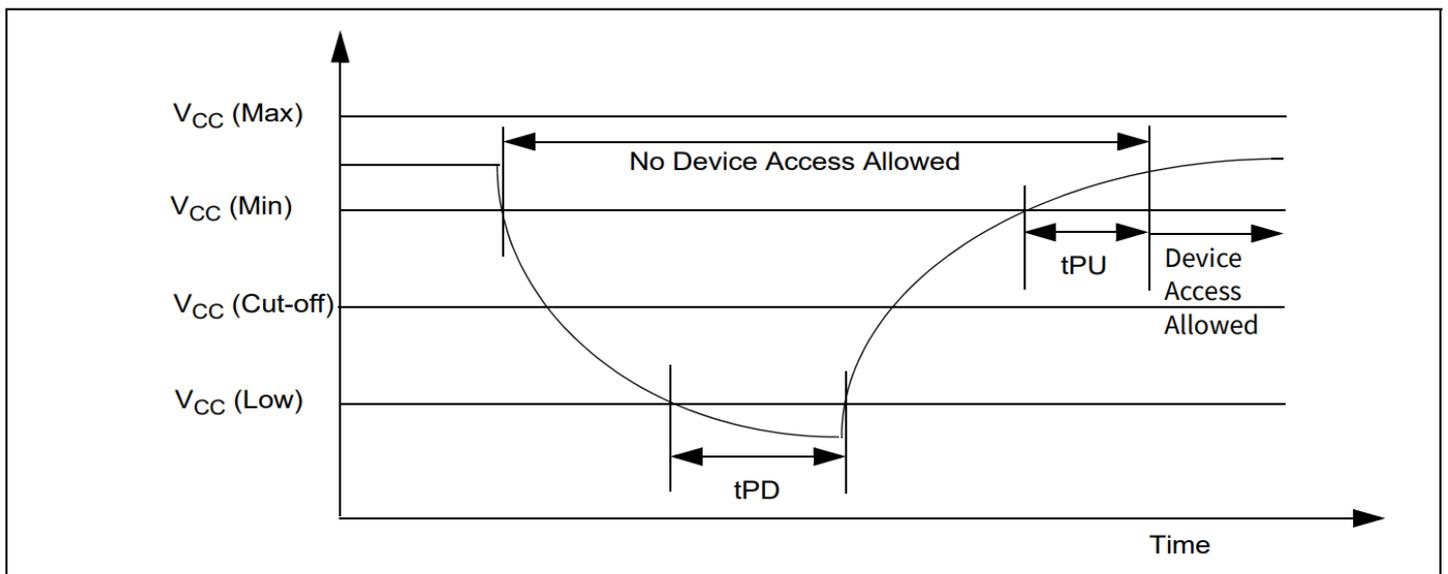


Figure 22 Power-down and voltage drop

电气规格参数

5.6 直流特性

表 7 直流特性 – 工作温度范围 -40°C 至 +85°C

Sym-bol	Parameter	Test conditions	Min	Typ ^[17]	Max	Unit
V _{IL}	Input low voltage	-	-0.5	-	0.3 x V _{CC}	V
V _{IH}	Input high voltage	-	0.7 x V _{CC}	-	V _{CC} + 0.4	
V _{OL}	Output low voltage	I _{OL} = 0.1 mA	-	-	0.2	
V _{OH}	Output high voltage	I _{OH} = -0.1 mA	V _{CC} - 0.2	-		
I _{LI}	Input leakage current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH}	-	-	±2	μA
I _{LO}	Output leakage current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH}	-	-	±2	
I _{CC1}	Active power supply current (READ) ^[18]	Serial SDR@54 MHz Serial SDR@133 MHz Quad SDR@133 MHz Quad DDR@80 MHz	-	10 25 60 70	18 30 65 90	mA
I _{CC2}	Active power supply current (Page Program)	CS# = V _{CC}	-	60	100	
I _{CC3}	Active power supply current (WRR or WRAR)	CS# = V _{CC}	-	60	100	
I _{CC4}	Active power supply current (SE)	CS# = V _{CC}	-	60	100	
I _{CC5}	Active power supply current (BE)	CS# = V _{CC}	-	60	100	
I _{SB}	Standby current	IO3 / RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} or V _{SS}	-	25	100	μA
I _{DPD}	Deep power-down current	IO3 / RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} or V _{SS}	-	8	50	
I _{POR}	Power-on reset current	IO3 / RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} or V _{SS}	-	-	80	mA

注释:

- 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V.
- 读取数据返回期间输出未连接。不包括输出开关电流。

表 8 直流特性 – 工作温度范围 -40°C 至 +105°C

Symbol	Parameter	Test Conditions	Min	Typ ^[19]	Max	Unit
V _{IL}	Input low voltage	-	-0.5	-	0.3 x V _{CC}	V
V _{IH}	Input high voltage	-	0.7 x V _{CC}	-	V _{CC} + 0.4	
V _{OL}	Output low voltage	I _{OL} = 0.1 mA	-	-	0.2	
V _{OH}	Output high voltage	I _{OH} = -0.1 mA	V _{CC} - 0.2	-		
I _{LI}	Input leakage current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH}	-	-	±4	μA
I _{LO}	Output leakage current		-	-	±4	

注释:

- 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V.
- 读取数据返回期间输出未连接。不包括输出开关电流。

电气规格参数

表 8 直流特性 – 工作温度范围 -40°C 至 +105°C (续)

Symbol	Parameter	Test Conditions	Min	Typ ^[19]	Max	Unit
I_{CC1}	Active power supply current (READ) ^[20]	Serial SDR@54 MHz Serial SDR@133 MHz Quad SDR@133 MHz Quad DDR@80 MHz	-	10 25 60 70	18 30 65 90	mA
I_{CC2}	Active power supply current (Page Program)	CS# = V _{CC}	-	60	100	
I_{CC3}	Active power supply current (WRR or WRAR)		-	60	100	
I_{CC4}	Active power supply current (SE)		-	60	100	
I_{CC5}	Active power supply current (BE)		-	60	100	
I_{SB}	Standby current	IO3 / RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} or V _{SS}	-	25	300	μA
I_{DPD}	Deep power-down current		-	8	150	
I_{POR}	Power-on reset current		-	-	80	mA

注释:

19. 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V.
 20. 读取数据返回期间输出未连接。不包括输出开关电流。

表 9 直流特性 – 工作温度范围 -40°C 至 +125°C

Symbol	Parameter	Test Conditions	Min	Typ ^[21]	Max	Unit
V_{IL}	Input LOW voltage	-	-0.5	-	0.3 x V _{CC}	V
V_{IH}	Input HIGH voltage	-	0.7 x V _{CC}	-	V _{CC} + 0.4	
V_{OL}	Output LOW voltage	I _{OL} = 0.1 mA	-	-	0.2	
V_{OH}	Output HIGH voltage	I _{OH} = -0.1 mA	V _{CC} - 0.2	-	-	
I_{LI}	Input leakage current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH}	-	-	±4	μA
I_{LO}	Output leakage current	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} or V _{SS} , CS# = V _{IH}	-	-	±4	
I_{CC1}	Active power supply current (READ) ^[22]	Serial SDR@54 MHz Serial SDR@133 MHz Quad SDR@133 MHz Quad DDR@80 MHz	-	10 25 60 70	18 40 65 90	mA
I_{CC2}	Active power supply current (Page Program)	CS# = V _{CC}	-	60	100	
I_{CC3}	Active power supply current (WRR or WRAR)		-	60	100	
I_{CC4}	Active power supply current (SE)		-	60	100	
I_{CC5}	Active power supply current (BE)		-	60	100	
I_{SB}	Standby current	IO3 / RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} or V _{SS}	-	25	300	μA
I_{DPD}	Deep power-down current		-	8	250	
I_{POR}	Power-on reset current		-	-	80	mA

注释:

21. 典型值为 T_{AI} = 25°C 和 V_{CC} = 1.8 V.
 22. 读取数据返回期间输出未连接。不包括输出开关电流。

5.6.1 有源电源和备用电源模式

当片选 (CS) 为低电平时，器件处于启用的状态并处于工作的功率模式。当 CS 为高电平时，器件被禁用，但可能仍处于工作功率模式，直到所有编程、擦除和写操作完成。然后器件进入待机功耗模式，功耗降至 I_{SB} 。

5.6.2 深度掉电电功率模式 (DPD)

S25FS512S设备支持DPD模式。如果器件已通过 DPD (B9h) 指令置于 DPD 模式，则接口待机功耗为 (I_{DPD})。仅当器件未执行嵌入式算法（如状态寄存器 1 易失性写入进行中 (WIP) 位清零 (SR1V[0] = 0) 所示）时，才接受 DPD 指令。在 DPD 模式下，器件会忽略除释放 DPD (RES ABh) 指令之外的所有指令，将在延时 t_{RES} 后将器件返回到接口待机状态。

表 10 有效的进入 DPD 模式和释放 DPD 模式时序

Current mode	CS#	SCK	Command	Next mode	Comments
Active	Low to High	N/A	N/A	Standby	-
Standby	High to Low	Toggling	B9h Enter DPD	DPD	DPD entered after CS# goes HIGH and after the t_{DPD} duration (see Table 14).
DPD	High to Low	Not Toggling	N/A	DPD	If SCK is toggling and Command is not ABh, device remains in DPD
		Toggling	Command not ABh		
DPD	High to Low	Toggling	ABh Release from DPD	Standby	Release from DPD after CS# goes HIGH and after the t_{RES} duration (see Table 14). After CS# goes HIGH to start the release from DPD, it is an invalid sequence to have a CS# transition when the SCK is not toggling.

6 时序规范

6.1 波形切换

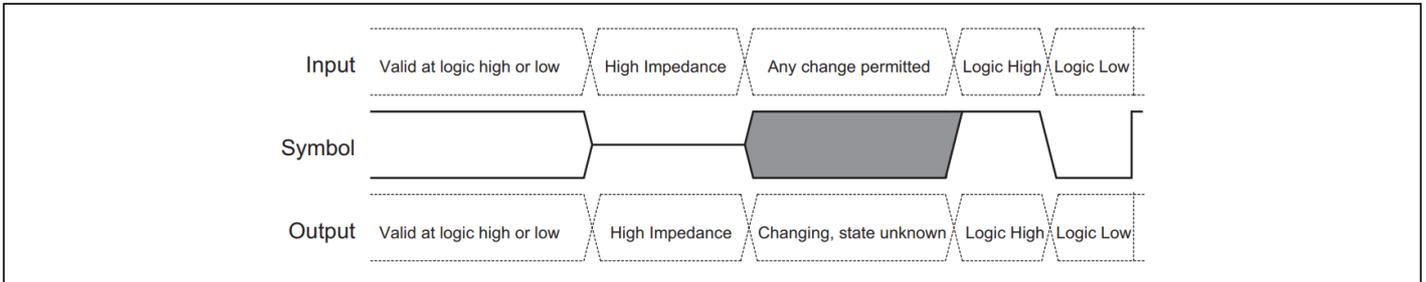


图23 波形因素含义

6.2 AC 测试条件

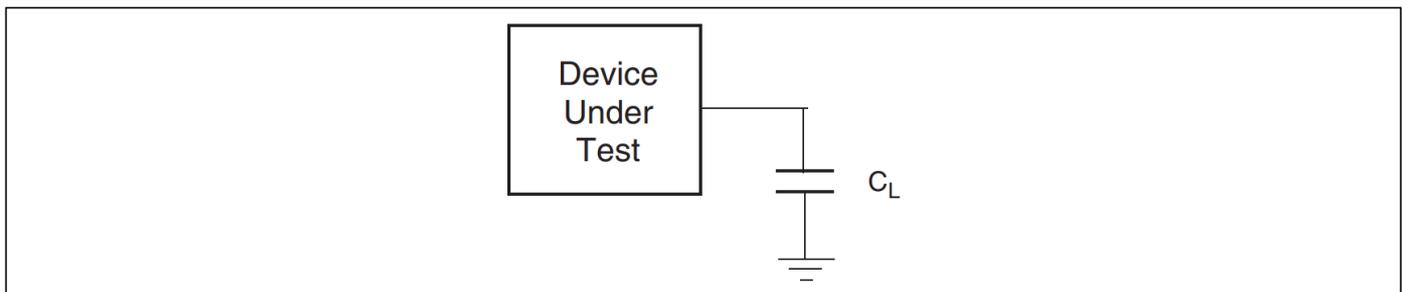


图 24 测试设置

表 11 AC测量条件

Symbol	Parameter	Min	Max	Unit
C_L	Load capacitance	–	30	pF
–	Input pulse voltage	$0.2 \times V_{CC}$	$0.8 V_{CC}$	V
	Input slew rate	0.23	1.25	V/ns
	Input rise and fall times	0.9	5	ns
	Input timing ref voltage	$0.5 V_{CC}$		V
	Output timing ref voltage	$0.5 V_{CC}$		

注释:

23. 输入斜率是在 V_{CC} 最大时从输入脉冲最小值到最大值测得的。例如： $(1.9 \text{ V} \times 0.8) - (1.9 \text{ V} \times 0.2) = 1.14 \text{ V}$ ； $1.14 \text{ V} / 1.25 \text{ V/ns} = 0.9 \text{ ns}$ 上升或下降时间。
24. AC特性表假设时钟和数据信号具有相同的斜率（斜率）。

时序规范

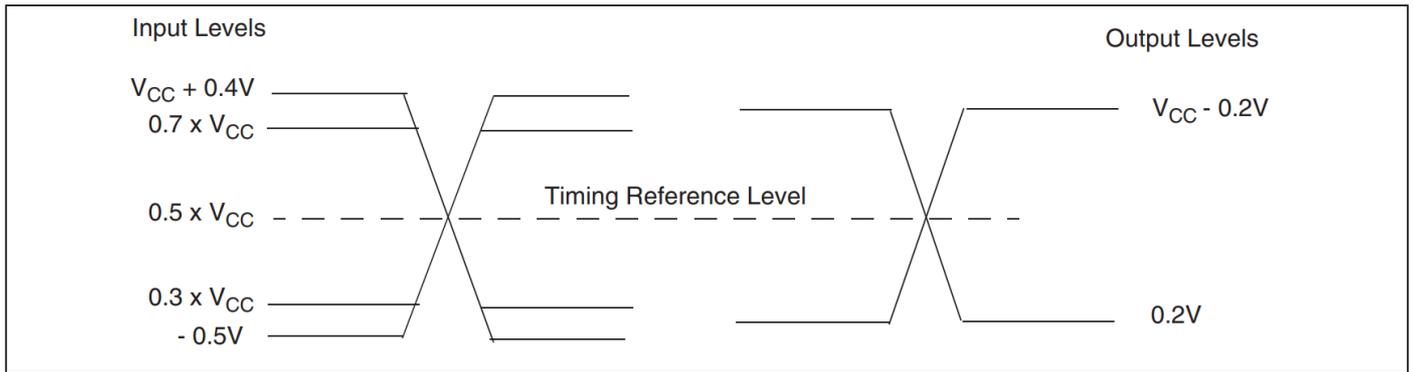


图 25 输入、输出和时序的参考标准

6.2.1 电容特性

表 12 FS512S 电容

	Parameter	Test conditions	Min	Max	Unit
C_{IN}	Input capacitance (Applies to SCK, CS#, IO3 / RESET#)	1 MHz	-	8	pF
C_{OUT}	Output capacitance (Applies to all I/O)				

注:

25. 参数值尚未经过 100% 测试。欲了解更多详细信息，请参阅 IBIS 模型。

6.3 复位

6.3.1 上电（冷）复位（POR）

器件执行上电复位 (POR) 过程，直到 V_{CC} 上升到最小 V_{CC} 阈值以上之后经过 t_{PU} 的时间延迟（参见图 21 和表 6）。在上电 (t_{PU}) 期间，不得选择器件（CS 与 VCC 一起变为高电平），即在 t_{PU} 结束之前不得向器件发送任何指令。

当 CS 处于高电平状态的时间超过 t_{CS} 时间或四线模式未启用时 ($CR1V[1] = 0$)，IO3 / RESET# 信号用作 RESET# 输入。

POR 期间会忽略 RESET#。如果 RESET# 在 POR 期间为低电平，并在 t_{PU} 结束后保持低电平，则 CS# 必须在 RESET# 返回高电平后保持高电平持续 t_{RH} 时间。RESET# 在返回低电平之前，必须返回高电平并持续超过 t_{RS} 才能启动硬件复位。

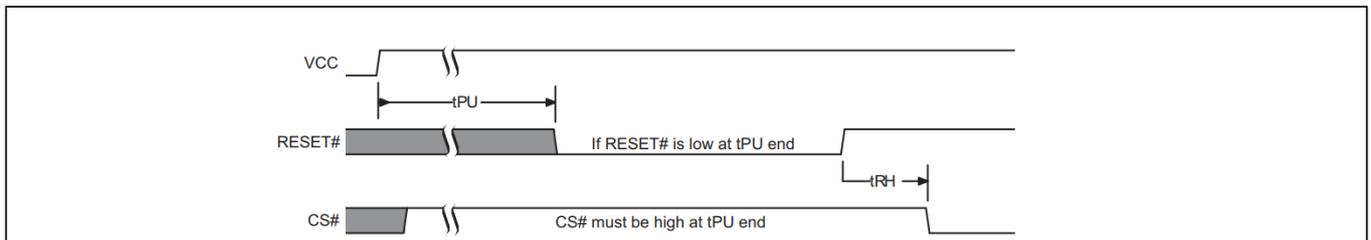


Figure 26 Reset LOW at the end of POR

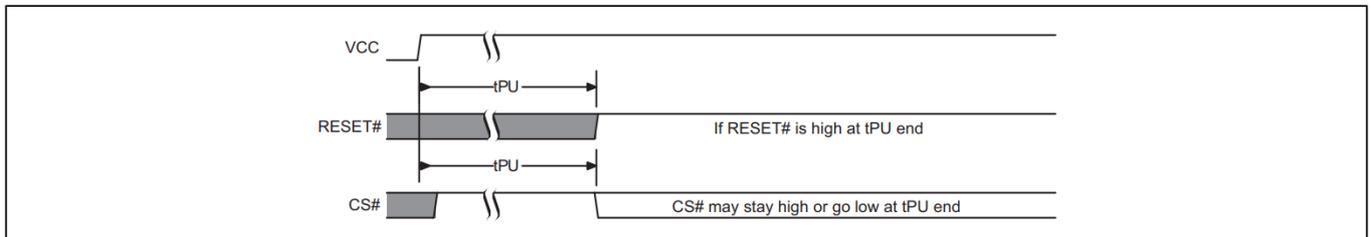


Figure 27 Reset HIGH at the end of POR

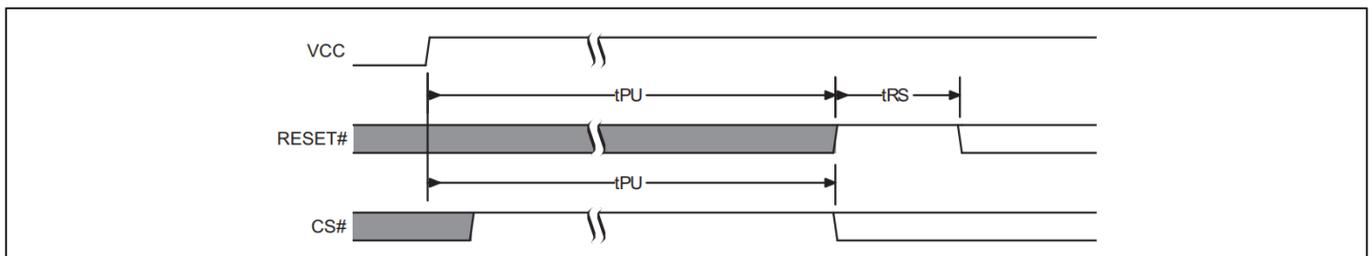


Figure 28 POR followed by hardware reset

时序规范

6.3.2 IO3 / RESET# 输入启动硬件（热）复位

当CS#处于高电平状态的时间超过 t_{CS} 时间或未启用四线模式的 $CR1V[1] = 0$ 时，IO3 / RESET# 信号用作 RESET# 输入。IO3 / RESET# 输入有内部上拉至 V_{CC} ，如果不使用四线模式，则可以悬空。CS变为高电平后延时 t_{CS} 时间后，为存储器或主控系统提供了在CS为低电平时，用作四线模式 I/O 信号之后将 IO3 驱动为高电平的时间。内部上拉至 V_{CC} 将保持 IO3 / RESET# 为高电平，直到主控系统开始驱动 IO3 / RESET#。当 CS 在 t_{CS} 器件保持高电平时，IO3 / RESET# 输入将被忽略，以避免意外的复位操作。如果将CS驱动为低电平以开始新的命令，则 IO3 / RESET# 将用作 IO3。

当器件未处于四路模式，或当CS#为高电平，且 IO3/RESET# 从 V_{IH} 转换到 V_{IL} 的POR 持续时间超过 t_{RP} 时，在 t_{CS} 之后，器件将以与上电复位相同的方式复位寄存器状态，但不会经历期间执行的完整复位过程。硬件复位过程需要 t_{RPH} 的时间才能完成。如果在上电复位期间POR (t_{PU}) 由于任何原因导致过程未正确完成，则 RESET# 变为低电平将启动完整的POR 过程，而不是硬件复位过程，并且需要 t_{PU} 的时间才能完成POR过程。

复位指令与 IO3 / RESET# 的状态无关。如果 IO3 / RESET# 为高电平或未连接，并且发出复位指令，器件将执行软件复位。

IO3 RESET# 的注意事项：

- IO3/RESET# 必须在 t_{PU} 或 t_{RPH} 之后的 t_{RS} 时间内保持高电平，然后再次变为低电平以启动硬件复位。
- 当 IO3 / RESET# 被驱动为低电平并持续至少 (t_{RP}) 时（在 t_{CS} 之后），器件将终止正在进行的任何操作，使所有输出处于高阻态，并在 t_{RH} 期间忽略所有读/写命令。器件将接口重置为待机状态。
- 如果Quad Mode 和IO3 / RESET# 特性启用的，主控系统不应在 t_{CS} 期间驱动IO3 为低电平，以避免IO3 上的驱动器争用。紧接着在四线模式下将发送数据传输到主控的命令，例如，四线I/O 读取时，存储器在 t_{CS} 期间将 IO3/复位驱动为高电平，以避免意外的复位操作。紧接着以四线模式将数据传输到存储器的命令，例如页编程命令，主控系统应在 t_{CS} 期间将 IO3 / RESET#驱动为高电平，以避免意外的复位操作。
- 如果 Quad模式未启用，并且如果 IO3/RESET# 置为低电平时 CS 为低电平，则 CS 必须在 t_{RPH} 期间返回高电平，然后才能在 t_{RH} 之后再次置为低电平。

表 13 硬件复位参数

Parameter	Description	Limit	Time	Unit
t_{RS}	Reset setup – Prior reset end and RESET# HIGH before RESET# LOW	Min	50	ns
t_{RPH}	Reset pulse hold – RESET# LOW to CS# LOW		35	μ s
t_{RP}	RESET# pulse width		200	ns
t_{RH}	Reset Hold – RESET# HIGH before CS# LOW		50	

注释：

26. 上电 (t_{PU}) 期间，IO3 / RESET# 低电平被忽略。如果在 t_{PU} 结束时 Reset#被使用，器件将保持复位状态， t_{RH} 将决定 CS# 何时可能变为低电平。
27. 如果启用四通模式，则在 t_{CS} 期间忽略 IO3 / RESET# LOW。
28. $t_{RP} + t_{RH}$ 的总和不能小于 t_{RPH} 。

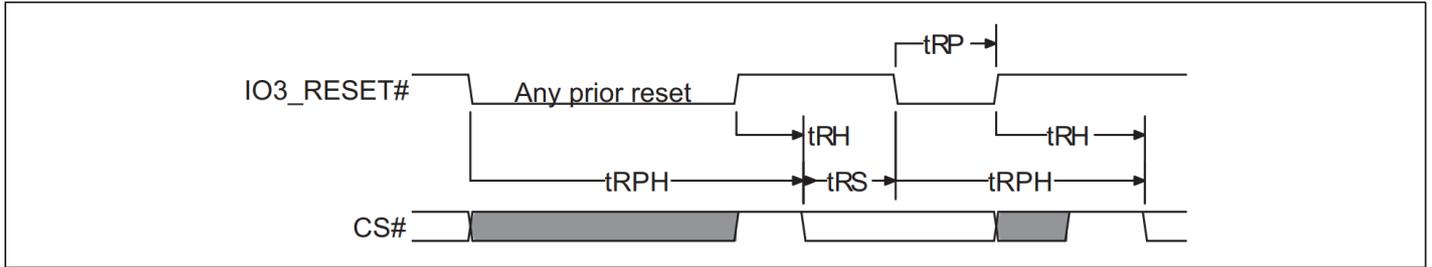


Figure 29 Hardware reset when Quad mode is not enabled and IO3 / reset# is enabled

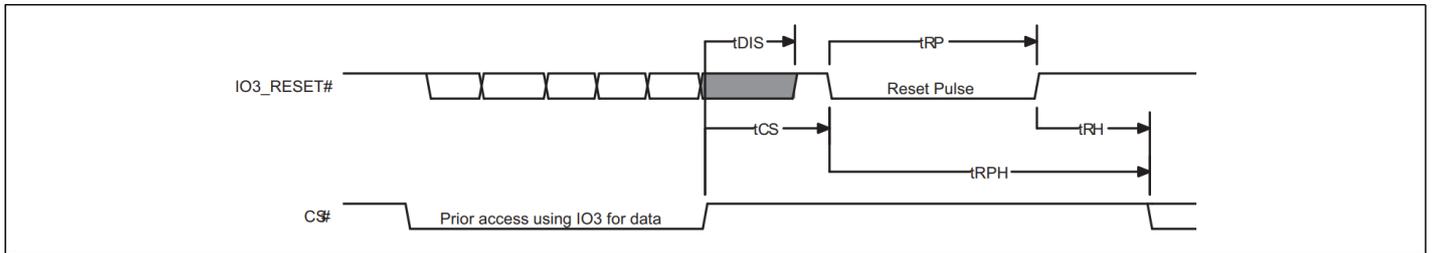


Figure 30 Hardware reset when Quad mode and IO3 / reset# are enabled

6.4 SDR AC 特性

表14 AC特性

Symbol	Parameter	Min	Typ	Max	Unit	
$F_{SCK, R}$	SCK clock frequency for READ and 4READ instructions	DC		50	MHz	
$F_{SCK, C}$	SCK clock frequency for the following dual and quad commands: QOR, 4QOR, DIOR, 4DIOR, QIOR, 4QIOR			133		
$F_{SCK, D}$	SCK clock frequency for the following DDR commands: QIOR, 4QIOR			80		
P_{SCK}	SCK clock period	$1/F_{SCK}$		∞	ns	
t_{WH}, t_{CH}	Clock HIGH time	50% P_{SCK} -5%		50% P_{SCK} +5%		
t_{WL}, t_{CL}	Clock LOW time					
t_{CRT}, t_{CLCH}	Clock rise time (Slew rate)	0.1			V/ns	
t_{CFT}, t_{CHCL}	Clock fall time (Slew rate)					
t_{CS}	CS# high time (Read Instructions) CS# high time (Read Instructions when reset feature and Quad mode are both enabled) CS# high time (Program / erase Instructions)	10 20 ^[33] 50	-	-	ns	
t_{CSS}	CS# active setup time (relative to SCK)	2				
t_{CSH}	CS# active hold time (relative to SCK)	3				
t_{SU}	Data in setup time	2				
t_{HD}	Data in hold time	3				
t_V	Clock LOW to output valid	-		8 ^[30] 6 ^[31]		
t_{HO}	Output hold time	1		-		
t_{DIS}	Output disable time ^[32] Output disable time (when reset feature and Quad mode are both enabled)	-		8 20 ^[33]		
t_{WPS}	WP# setup time ^[29]	20		-		
t_{WPH}	WP# hold time ^[29]	100		-		
t_{DPD}	CS# HIGH to Power-down mode	-		3		μ s
t_{RES}	CS# HIGH to Standby mode without electronic signature Read	-		30		μ s

注释:

29. 仅适用于当 SRWD 置位为‘1’时对 WRR 或 WRAR 指令的约束。
30. 完整 V_{CC} 范围和 $CL = 30$ pF。
31. 完整 V_{CC} 范围和 $CL = 15$ pF。
32. 输出 HI-Z 定义为数据不再驱动的点。
33. 当复位特性和四线模式启用时 ($CR2V[5] = 1$ 且 $CR1V[1] = 1$)， t_{CS} 和 t_{DIS} 需要额外的时间。

时序规范

6.4.1 时钟时序

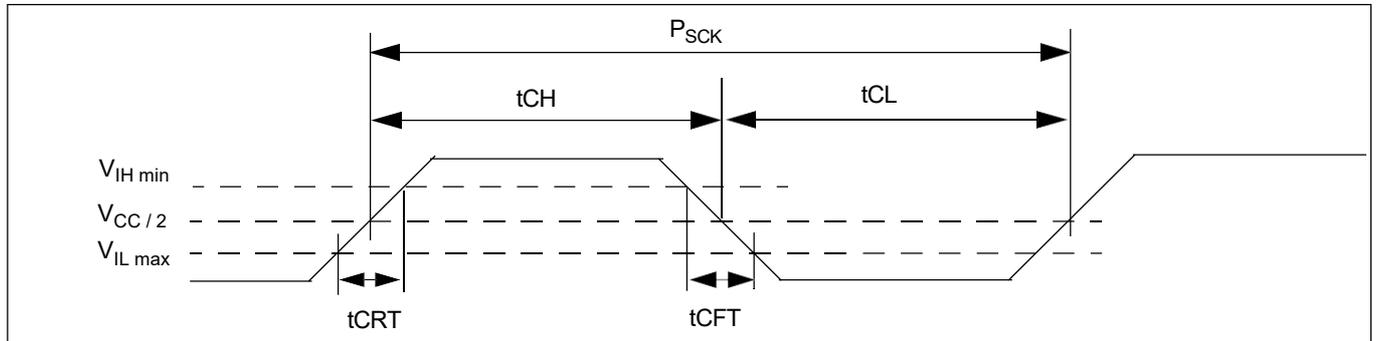


图 31 时钟时序

6.4.2 输入/输出时序

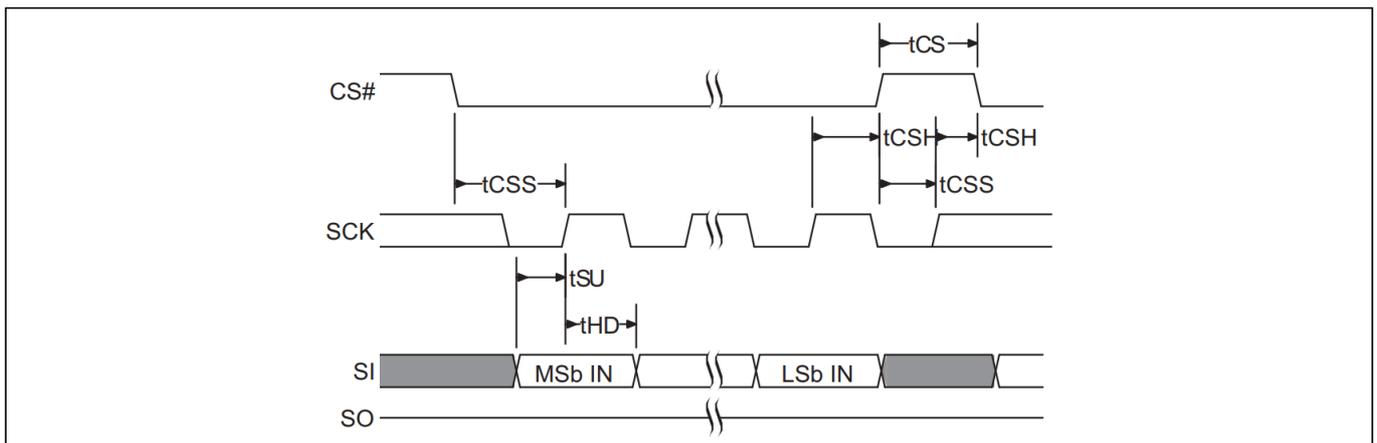


图 32 SPI单线的一个输入操作

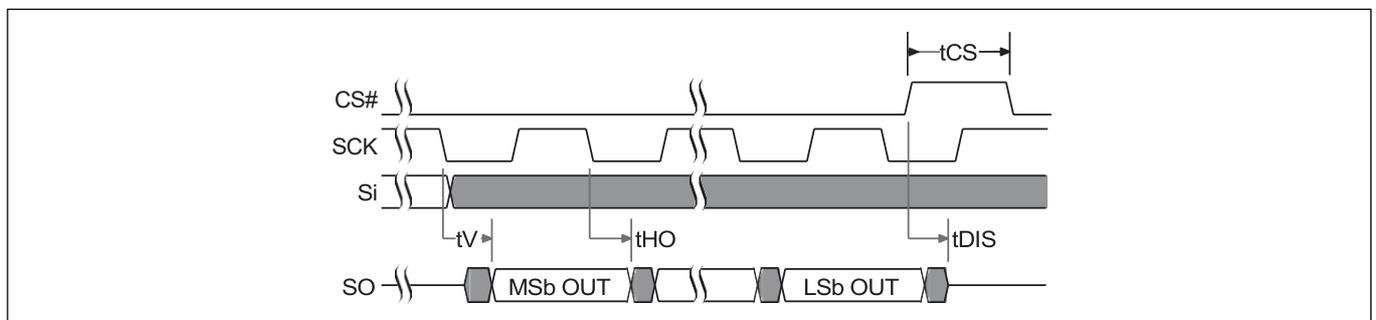


图 33 SPI单线输出时序

时序规范

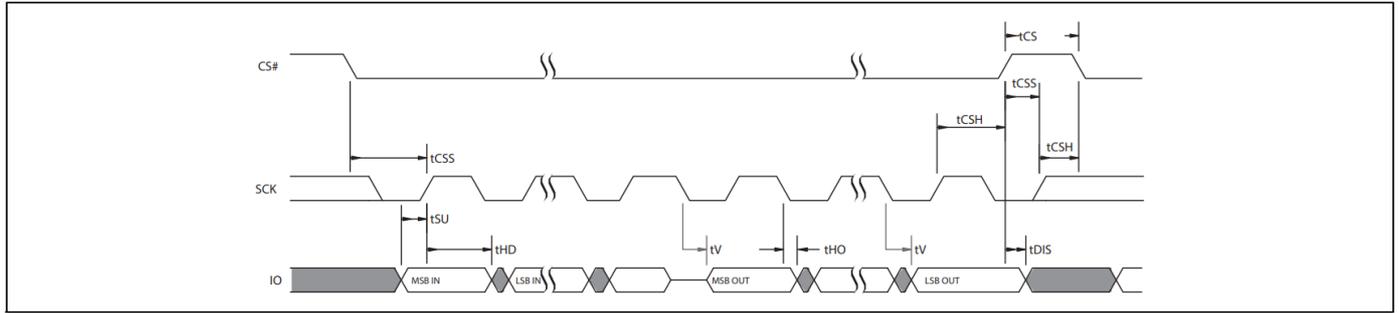


Figure 34 SPI SDR MIO timing

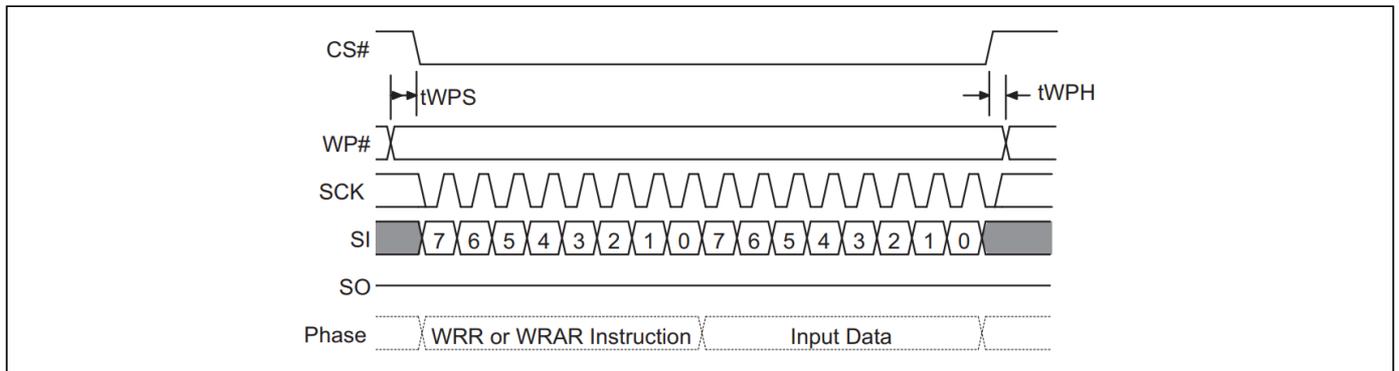


Figure 35 WP# input timing

时序规范

6.5 DDR AC 特性

表 15 DDR 80 MHz 交流特性工作

Symbol	Parameter	Min	Typ	Max	Unit	
$F_{SCK, R}$	SCK clock frequency for DDR READ instruction	DC		80	MHz	
$P_{SCK, R}$	SCK clock period for DDR READ instruction	12.5		∞		
t_{WH}, t_{CH}	Clock HIGH time	$50\% P_{SCK} - 5\%$		$50\% P_{SCK} + 5\%$		
t_{WL}, t_{CL}	Clock LOW time	$50\% P_{SCK} - 5\%$		$50\% P_{SCK} + 5\%$		
t_{CS}	CS# high time (Read instructions) CS# high time (Read instructions when reset feature is enabled)	10 20			ns	
t_{CSS}	CS# active setup time (relative to SCK)	2				
t_{CSH}	CS# active hold time (relative to SCK)	3				
t_{SU}	IO in setup time					
t_{HD}	IO in hold time	1.5				
t_V	Clock LOW to output valid			6.0 ^[34]		
t_{HO}	Output hold time	1				
t_{DIS}	Output disable time Output disable time (when reset feature is enabled)			8 20		
t_{IO_skew}	First IO to last IO data valid time	-		400		ps
t_{DPD}	CS# HIGH to Power-down mode			3		μ s
t_{RES}	CS# HIGH to Standby mode without electronic signature read			30		

注:

34. CL = 15 pF.

6.5.1 DDR 输入时序

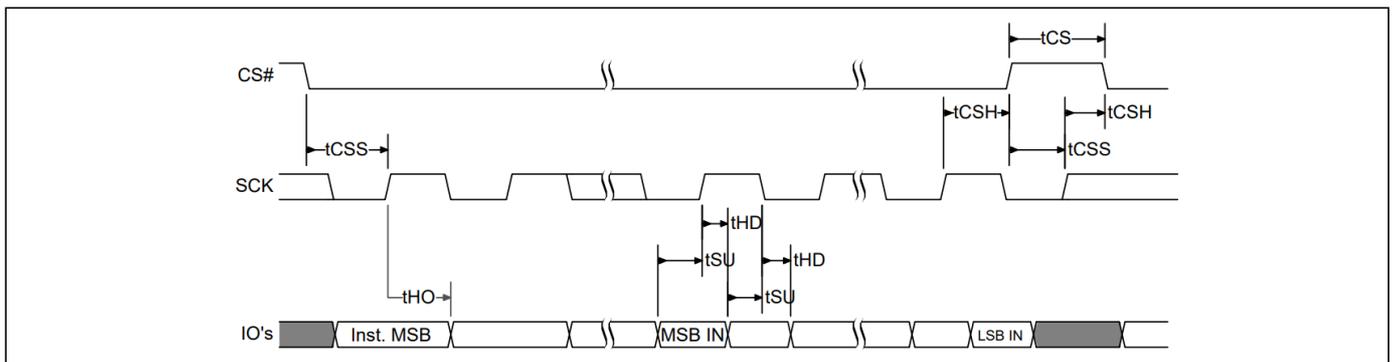


图36 SPI DDR输入时序

6.5.2 DDR 输出时序

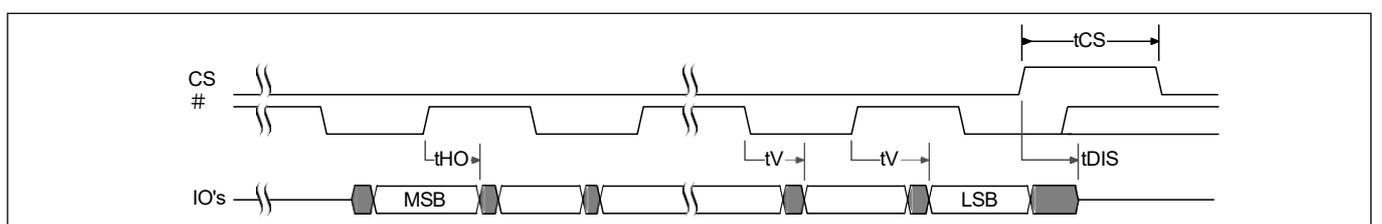


图37 SPI DDR输出时序

6.5.3 使用 DLP 的 DDR 数据有效时序

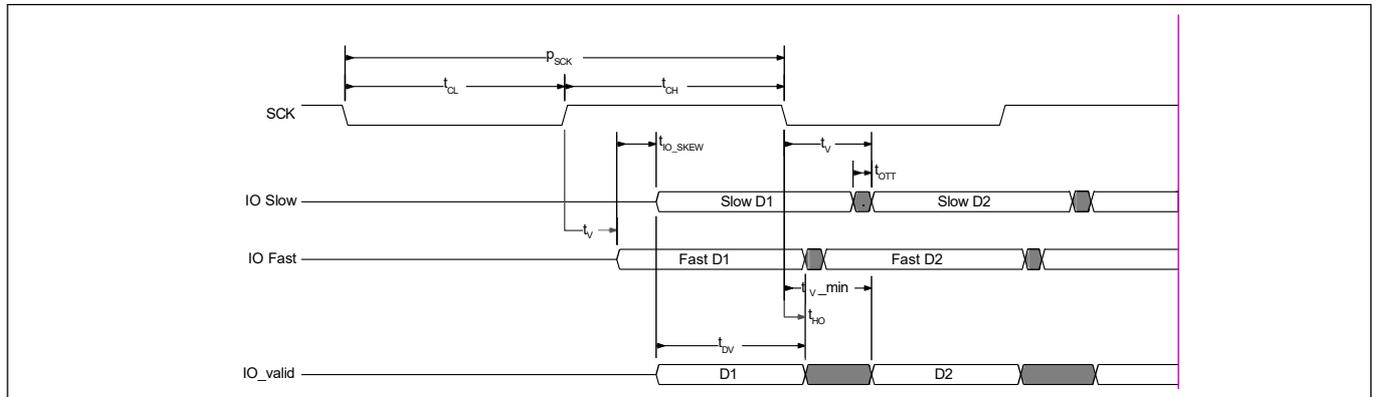


图38 SPI DDR数据有效窗口

最小数据有效窗口 (t_{DV}) 和 t_V 最小值可按下列公式计算：

$$t_{DV} = \text{Minimum half clock cycle time } (t_{CLH})^{[35]} - t_{OTT}^{[37]} - t_{IO_SKEW}^{[36]}$$

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT}$$

示例：

80 MHz 时钟频率 = 12.5 ns 时钟周期，DDR 操作和 45% 或更高的占空比 $t_{CLH} = 0.45 \times P_{SCK} =$

$$0.45 \times 12.5 \text{ ns} = 5.625 \text{ ns}$$

通路阻抗为 45Ω ，电容为 22 pf，相位基准为 $0.75V_{CC}$ ，从 0 到 1 的上升时间或从 1 到 0 的下降时间为 $1.4^{[40]} \times \text{阻容时间常数 } (\tau)^{[39]} = 1.4 \cdot 0.99 \text{ ns} = 1.39 \text{ ns}$

$$t_{OTT} = \text{上升时间或下降时间} = 1.39 \text{ ns。}$$

数据有效窗口

$$t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 5.625 \text{ ns} - 400 \text{ ps} - 1.39 \text{ ns} = 3.835 \text{ ns}$$

t_V Minimum

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0 \text{ ns} + 400 \text{ ps} + 1.39 \text{ ns} = 2.79 \text{ ns}$$

注释：

35. t_{CLH} 是 t_{CL} 或 t_{CH} 中较短的持续时间。
36. t_{IO_SKEW} 是所有 IO 信号的最小和最大 t_V (输出有效) 之间的最大差值 (Δ)。
37. t_{OTT} 是每个 IO 上从一个有效数据值到下一个有效数据值的最大输出转换时间。 t_{OTT} 取决于系统电平考虑因素，包括：
 - a. 存储器器件的输出阻抗 (驱动强度)。
 - b. IO 上的系统级寄生效应 (主要是总线容值)。
 - c. 主控存储器控制器输入 V_{IH} 和 V_{IL} 电平，在该电平下可以识别 0 到 1 和 1 到 0 的转换。
 - d. t_{OTT} 不是经过英飞凌测试的规格，它依赖于系统，必须由系统设计人员根据上述考虑来推导。
38. t_{DV} 是数据有效窗口。
39. $\tau = R$ (输出阻抗) $\times C$ (负载电容)。
40. 电压上升至 V_{CC} 的 75% 的 τ 时间乘数。

7 地址空间映射

7.1 概述

7.1.1 扩展地址

S25FS512S 支持 32 位（4 字节）地址，从而能够支持比上一代（传统）SPI 设备（仅支持 24 位（3 字节）地址）更高容量的设备。24 位字节分辨率地址只能访问 16 MB (128 Mb) 最大容量。32 位字节分辨率地址允许直接寻址最多 4 GB (32 Gb) 的地址空间。

为了向后兼容软件，旧指令继续支持 24 位地址。扩展 32 位地址有两种实现方式：

- 扩展地址模式 — 通过主控系统对易失性配置寄存器位操作，可将所有旧指令更改为 32 位地址。
- 4 字节地址指令 — 执行旧功能和新功能，始终需要 32 位地址。

扩展地址模式的默认条件，在上电或复位后，由非易失性配置位控制。默认的扩展地址模式可能是 24 位或 32 位地址的置位。这使得传统软件能够兼容器件的前 128 Mb 访问/访问，或者使器件能够直接以 32 位地址模式启动。

7.1.2 多个地址空间

许多指令操作都在主线上。地址空间上的一些指令操作与主存储器阵列分开。每个单独的地址空间都使用完整的 24 位或 32 位地址，但可能仅定义可用地址空间的一小部分。

7.2 闪存存储器阵列

主要的闪存存储器阵列被分为以物理扇区为擦除单位。

FS-S 系列物理扇区可配置为地址空间顶部或底部的八个 4 KB 参数扇区的混合组合，除这些些扇区之外其余扇区的所有扇区大小一致。由于八个 4 KB 参数扇区组总体上比一个统一的扇区小，因此该组 4 KB 物理扇区分别覆盖（替换）最高或最低地址统一扇区的顶部或底部 32 KB。

必须使用参数扇区擦除命令（20h 或 21h）来单独擦除 4 KB 扇区。扇区（统一功能块）擦除指令（D8h 或 DCh）必须用于擦除任何剩余的扇区，包括未被参数扇区覆盖的最高或最低地址扇区的部分。统一的功能块擦除指令对扇区参数没有影响。

配置寄存器 1 的非易失性位 2 (CR1NV[2]) 等于 '0' 时，参数扇区会覆盖最低地址统一扇区的底部。CR1NV[2] = 1 时，参数扇区会覆盖最高地址统一扇区的顶部。更多信息请参见第 51 页上的“寄存器”。

还有一个配置选项可以从地址映射中删除 4 KB 参数扇区组，以便所有扇区都是统一大小。配置寄存器 3 易失性位 3 (CR3V[3]) 等于 0 表示选择具有 4 KB 参数扇区的混合扇区架构。CR3V[3] = 1 选择没有参数扇区的统一扇区架构。统一的物理扇区是：

- FS512S 中为 256 KB

扇区拓扑 (SE) 指令用于 512 Mb 器件的物理 256 KB 扇区。

地址空间映射

表 16 S25FS512S 扇区地址映射，底部 4 KB 扇区

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Note
4	8	SA00	00000000h-00000FFFh	Sector Starting Address — Sector Ending Address
		:	:	
		SA07	00007000h-00007FFFh	
224	1	SA08	00008000h-0003FFFFh	
256	255	SA09	00040000h-0007FFFFh	
		:	:	
		SA263	03FC0000h-03FFFFFFh	

表 17 S25FS512S 扇区地址映射，前 4 KB 扇区

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Note
256	255	SA00	0000000h-003FFFFh	Sector Starting Address — Sector Ending Address
		:	:	
		SA254	03F80000h - 03FBFFFFh	
224	1	SA255	03FC0000h -03FF7FFFh	
4	8	SA256	03FF8000h-03FF8FFFh	
		:	:	
		SA263	03FFF000h-03FFFFFFh	

表 18 S25FS512S 扇区地址映射（统一扇区）

Sector size (KB)	Sector count	Sector range	Address range (Byte address)	Note
256	256	SA00	00000000h-0003FFFFh	Sector Starting Address — Sector Ending Address
		:	:	
		SA255	03FC0000h-03FFFFFFh	

注意 这些是使用几个扇区作为参考的压缩表格。有些地址范围未明确列出。所有 4 KB 扇区都有模型为 XXXX000h-XXXXFFFh。所有 256 KB 扇区的模型码为 XX00000h-XX3FFFFh、XX40000h-XX7FFFFh、XX80000h-XXCFFFFh 或 XXD0000h-XXFFFFFFh。

7.3 ID-CFI 地址空间

RDID 指令 (9Fh) 从单独的硬件地址空间读取器件标识 (ID) 和公共硬件接口 (CFI) 信息。参见“[器件 ID 和常见的附件接口 \(ID-CFI\) 地址映射](#)”在分页 136 用于定义 ID-CFI 地址空间内容的表。ID-CFI 地址空间由英飞凌编程，且对主机只读。

7.4 JEDEC JESD216串行闪存可发现参数(SFDP)空间

RSFDP 指令 (5Ah) 从单独的存储器地址空间读取器件标识、特点和配置信息的信息，符合串行存储器可发现参数的JEDEC JESD216 标准。ID-CFI 地址空间被合并为 SFDP 参数之一。参见“[串行附件可发现的参数 \(SFDP\) 地址映射](#)”在分页 132 用于定义 SFDP 地址空间内容的表。SFDP 地址空间由英飞凌编程，且对主机只读。

7.4.1 OTP 地址空间

每个 FS-S 系列存储器器件都有一个 1024 字节OTP地址空间，与主闪存阵列分开。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 16 个最低地址字节由英飞凌使用 128 位随机数进行编程。仅英飞凌能够在这些字节中编程零。在这些字节位置中编程的值将被忽略，并且不会影响英飞凌编程的值。尝试在这些字节位置中编程任何零都会失败，并且置位 P_ERR。
- 接下来的四个较高地址字节（OTP 锁定字节）用于为每个 OTP 区域提供一位，以永久保护每个区域免于编程。从英飞凌出厂时，这些字节已被擦除。OTP 区域编程后，可以通过在 OTP 锁定字节中编程相关保护位来锁定该区域以防止进一步编程。
- 最低地址区域的接下来的 12 个高字节是保留以备将来使用 (RFU)。这些 RFU 字节中的位可以由主控系统进行编程，但必须理解，未来的器件可能会使用这些位来保护更大的OTP空间。从英飞凌出厂时，这些字节已被擦除。

剩余区域在从英飞凌出厂时会被擦除，并可用于对额外的永久性数据进行编程。

参考[图 39](#) 查看OTP存储空间的图示。

OTP存储空间旨在提高系统安全性。OTP值（例如英飞凌编程的随机数）可用于闪存器件电池与系统 CPU/ASIC “配对”，以防止器件替换。

当配置配置寄存器 FREEZE (CR1V[0])为 1 时，可保护整个OTP存储空间，避免对其编程。这允许可信引导代码控制OTP区域的编程，然后设置 FREEZE 位以防止在正常开机系统操作的其余时间期间进一步进行OTP存储空间编程。

地址空间映射

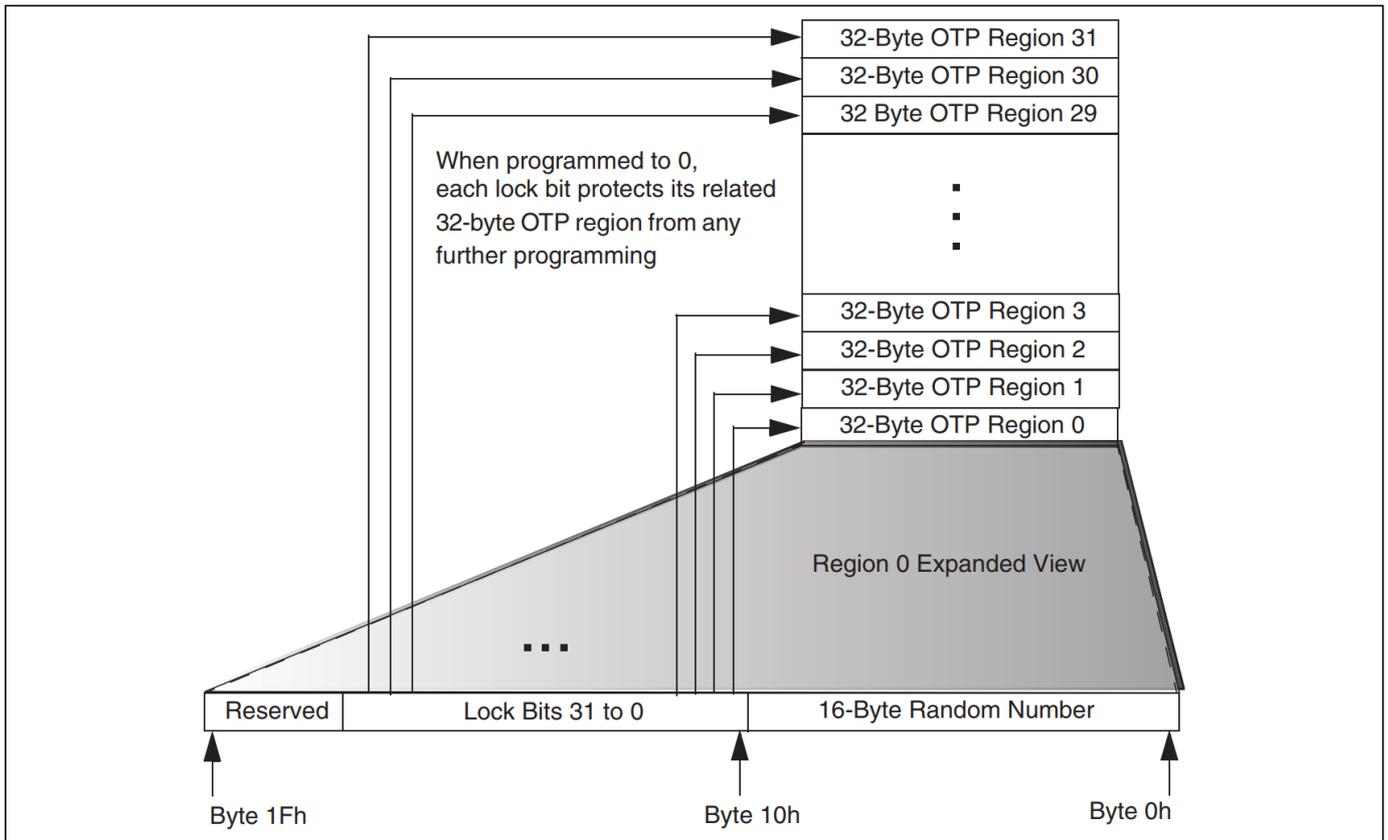


图 39 OTP 地址空间

表 19 OTP 地址映射

Region	Byte address range (Hex)	Contents	Initial delivery state (Hex)
Region 0	000	Least Significant Byte of Infineon Programmed Random Number	Infineon Programmed Random Number
	
	00F	Most Significant Byte of Infineon Programmed Random Number	
	010 to 013	Region Locking Bits Byte 10 [bit 0] locks region 0 from programming when = 0 ... Byte 13 [bit 7] locks region 31 from programming when = 0	All Bytes = FF
014 to 01F	Reserved for Future Use (RFU)		
Region 1	020 to 03F	Available for User Programming	
Region 2	040 to 05F		
...	...		
Region 31	3E0 to 3FF		

地址空间映射

7.5 寄存器

寄存器是一小组存储单元，用于配置 S25FS512S 存储器器件的运行方式或报告器件运行的状态。寄存器通过特定指令访问。每个寄存器使用的命令（和十六进制指令代码）都在每个寄存器描述中注明。

在传统 SPI 存储设备中，各个寄存器位可以是同一寄存器内的易失性、非易失性或（OTP）位的混合。在某些配置选项中，寄存器位的类型可能会发生变化，例如从非易失性到易失性。

S25FS512S 使用单独的非易失或易失性存储器单元组（区域）来实现不同的寄存器位类型。然而，为了与旧版软件兼容，旧版寄存器和指令仍会继续出现并像往常一样运行。当传统寄存器具有易失性位或者当读取传统寄存器的指令具有零读取延迟时，每个传统寄存器存在非易失性和易失性版本。当读取这样的寄存器时，将传送该寄存器的易失性版本。在上电复位（POR）、硬件复位或软件复位期间，寄存器的非易失版本被复制到易失性版本，以提供易失性寄存器的默认状态。当写入非易失性寄存器位时，寄存器的非易失性版本将被擦除并使用新的位值进行编程，而寄存器的易失性版本将使用非易失性版本的新内容进行更新。当对 OTP 位进行编程时，寄存器的非易失性版本也会被编程，并且寄存器的易失性版本中的相应位会进行更新。当写入易失性寄存器位时，只有寄存器的易失性版本才会更新相应的位。

每个寄存器描述中都注明了每个位的类型。每个位显示的默认状态指的是上电复位、硬件复位或软件复位（如果该位是易失性的）后的状态。如果位为非易失性或 OTP，则默认状态为器件从英飞凌出厂时的位值。非易失位具有与主闪存阵列相同的寿命（擦除和编程）周期。

表 20 寄存器描述

Register	Abbreviation	Type	Bit location	
Status Register 1	SR1NV[7:0]	Non-volatile	7:0	
Status Register 1	SR1V[7:0]	Volatile		
Status Register 2	SR2V[7:0]	Volatile		
Configuration Register 1	CR1NV[7:0]	Non-volatile		
Configuration Register 1	CR1V[7:0]	Volatile		
Configuration Register 2	CR2NV[7:0]	Non-volatile		
Configuration Register 2	CR2V[7:0]	Volatile		
Configuration Register 3	CR3NV[7:0]	Non-volatile		
Configuration Register 3	CR3V[7:0]	Volatile		
Configuration Register 4	CR4NV[7:0]	Non-volatile		
Configuration Register 4	CR4V[7:0]	Volatile		
ECC Status Register	ECCSR [7:0]	Volatile		
ASP Register	ASPR[15:1]	OTP		15:1
ASP Register	ASPR[0]	RFU		0
Password Register	PASS[63:0]	Non-volatile OTP	63:0	
PPB Lock Register	PPBL[7:1]	Volatile	7:1	
PPB Lock Register	PPBL[0]	Volatile Read Only	0	
PPB Access Register	PPBAR[7:0]	Non-volatile	7:0	
DYB Access Register	DYBAR[7:0]	Volatile		
SPI DDR Data Learning Registers	NVDLR[7:0]	Non-volatile		
SPI DDR Data Learning Registers	VDLR[7:0]	Volatile		

地址空间映射

7.5.1 Status Register 1

7.5.1.1 状态寄存器 1 非易失性 (SR1NV)

相关指令写入寄存器 (WRR 01h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 21 非易失性状态寄存器 1 (SR1NV)

Bits	Field name	Function	Type	Default state	Description
7	SRWD_NV	Status Register Write Disable Default	Non-volatile	0	1 = Locks state of SRWD, BP, and Configuration Register-1 bits when WP# is LOW by not executing WRR or WRAR commands that would affect SR1NV, SR1V, CR1NV, or CR1V. 0 = No protection, even when WP# is LOW.
6	P_ERR_D	Programming Error Default	Non-volatile Read only		Provides the default state for the Programming Error Status. Not user programmable.
5	E_ERR_D	Erase Error Default	Non-volatile Read only		Provides the default state for the Erase Error Status. Not user programmable.
4	BP_NV2	Block Protection Non-volatile	Non-volatile	000b	Protects the selected range of sectors (Block) from Program or Erase when the BP bits are configured as non-volatile (CR1NV[3] = 0). Programmed to 111b when BP bits are configured to volatile (CR1NV[3] = 1).- after which these bits are no longer user programmable.
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL Default	Non-volatile Read only	0	Provides the default state for the WEL Status. Not user programmable.
0	WIP_D	WIP Default			Provides the default state for the WIP Status. Not user programmable.

状态寄存器写入非易失 (SRWD_NV) SR1NV[7]: 当该位置位为“1”且 WP# 输入驱动为低电平时，将器件置于硬件保护模式。在此模式下，写入寄存器 (WRR) 和写入任何寄存器 (WRAR) 指令 (选择状态寄存器 1 或配置寄存器 1) 将被忽略且不接受执行，通过将寄存器设为只读，有效锁定状态寄存器 1 和配置寄存器 1 (SR1NV、SR1V、CR1NV 或 CR1V) 位的状态。如果 WP# 为高电平，则状态寄存器 1 和配置寄存器 1 可以通过 WRR 或 WRAR 指令更改。如果 SRWD_NV 为“0”，则 WP# 无效，并且状态寄存器 1 和配置寄存器 1 可以通过 WRR 或 WRAR 指令更改。WP# 对任何其他寄存器的写入没有影响。SRWD_NV 位具有与闪存阵列相同的不可丢失的寿命。SRWD (SR1V[7]) 位仅用作 SRWD_NV 位的副本，以提供 0 延时的读取。

编程错误 (P_ERR_D) SR1NV[6]: 为 SR1V[6] 中的编程错误状态提供状态。此位用户不可编程。

擦除错误 (E_ERR) SR1V[5]: 提供 SR1V[5] 中擦除错误状态的默认状态。此位用户不可编程。

功能块保护 (BP_NV2, BP_NV1, BP_NV0) SR1NV[4:2]: 这些位定义闪存存储器阵列区域受到软件保护，免受写入和擦除指令的影响。BP 位被选择为易失性或非易失性，取决于配置寄存器 CR1NV[3] 中 BP 非易失位 (BPNV_O) 的状态。当 CR1NV[3] = 0 时，BP 位 (SR1NV[4:2]) 的非易失版本用于控制功能块保护，WRR 指令写入 SR1NV[4:2] 并将 SR1V[4:2] 更新为相同值。当 CR1NV[3] = 1 时，BP 位 (SR1V[4:2]) 的易失性版本用于控制功能块保护和 WRR 指令写入 SR1V[4:2]，并且不影响 SR1NV[4:2]。当一个或多个 BP 位设置为“1”时，相关存储区域将受到保护，避免写入和擦除。仅当 BP 位清除为 0 时，才能执行 Bulk (BE) 指令。参阅第 69 页“功能块保护”了解 BP 位值如何选择受保护的闪存阵列区域的描述。非易失版本的 BP 位具有与闪存阵列相同的非易失寿命。

写使能锁存默认值 (WEL_D) SR1NV[1]: 为 SR1V[1] 中的 WEL 状态提供默认状态。此位由 Infineon 编程，用户不可编程。

写入进行中默认值 (WIP_D) SR1NV[0]: 为 SR1V[0] 中的 WIP 状态提供默认状态。此位由 Infineon 编程，用户不可编程。

地址空间映射

7.5.1.2 状态寄存器 1 易失性 (SR1V)

相关指令：读状态寄存器(RDSR1 05h)、写寄存器(WRR 01h)、写使能(WREN 06h)、写失效，不使能(WRDI 04h)、清零/复位状态寄存器(CLSR 30h或82h)、读任何寄存器(RDAR 65h)、写任何寄存器(WRAR 71h)。这是RDSR1指令显示的寄存器。

表 22 状态寄存器-1 易失性 (SR1V)

Bits	Field name	Function	Type	De- fault state	Description
7	SRWD	Status Register Write Disable	Volatile Read only	SR1NV	Volatile copy of SR1NV[7].
6	P_ERR	Programming Error Occurred			1 = Error occurred 0 = No Error
5	E_ERR	Erase Error Occurred			
4	BP2	Block Protection Volatile	Volatile	SR1NV	Protects selected range of sectors (Block) from Program or Erase when the BP bits are configured as volatile (CR1NV[3] = 1). Volatile copy of SR1NV[4:2] when BP bits are configured as non-volatile. User writable when BP bits are configured as volatile.
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile	SR1NV	1 = Device accepts Write Registers (WRR and WRAR), program, or erase commands. 0 = Device ignores Write Registers (WRR and WRAR), program, or erase commands. This bit is not affected by WRR or WRAR, only WREN and WRDI commands affect this bit.
0	WIP	Write in Progress	Volatile Read only		1= Device Busy, an embedded operation is in progress such as program or erase. 0 = Ready Device is in standby mode and can accept commands. This bit is not affected by WRR or WRAR, it only provides WIP status.

状态寄存器写入 (SRWD) SR1V[7]: SRWD 是 SR1NV[7] 的易失性副本。此位跟踪该位非易失性版本的任何更改。

编程错误(P_ERR) SR1V[6]: 编程故障位用作编程操作成功或失败的指示。当编程故障位置位为“1”时，表示上次编程操作出现错误。当用户尝试在受保护的主存储器扇区内编程或在锁定的OTP区域内编程时，该位置也将是置位。当编程故障位置位为“1”时，可以使用清零，复位状态寄存器(CLSR)指令将该位清零。这是一个只读位，不受 WRR 或 WRAR 指令的影响。

擦除错误 (E_ERR) SR1V[5]: 擦除错误位用作擦除操作成功或失败的指示。当擦除错误位设置为“1”时，表示上次擦除操作出现错误。当用户试图破坏单个受保护的主存储器扇区时，该位置也将被设置。如果在指令执行期间发现受保护的扇区，则批量擦除指令将不会置位 E_ERR。当错误位设置为“1”时，可以使用清除状态寄存器(CLSR)指令将该位清零。这是一个只读位，不受 WRR 或 WRAR 指令的影响。

功能块保护 (BP2, BP1, BP0) SR1V[4:2]: 这些位定义了主闪存分阵列区域受到软件保护，免受编程和擦除指令的影响。BP 位被选择为易失性或非易失性，取决于配置寄存器 CR1NV[3] 中 BP 非易失性位 (BPNV_O) 的状态。当 CR1NV[3] = 0 时，BP 位 (SR1NV[4:2]) 的非易失版本用于控制功能块保护，WRR 指令写入 SR1NV[4:2] 并将 SR1V[4:2] 更新为相同值。当 CR1NV[3] = 1 时，BP 位 (SR1V[4:2]) 的易失性版本用于控制功能块保护和 WRR 指令写入 SR1V[4:2]，并且不影响 SR1NV[4:2]。当一个或多个 BP 位设置为“1”时，相关存储器区域将受到保护，免受程序和威胁。批量擦除 (BE) 指令只能在 BP 位为空时执行。

地址空间映射

清零。参见“**功能块保护**”在分页 69 了解 BP 位值如何选择受保护的存储器阵列区域的描述。

写使能锁存器 (WEL) SR1V[1]: WEL 位必须置位为“1”，以便能编程、写或擦除进行操作，作为防止无意中更改存储器或寄存器值的一种手段。写使能(WREN)指令执行将写指令锁存器设置为“1”，以允许随后执行任何编程、擦除或写指令。写禁止 (WRDI) 指令可用于将写使能锁存器设置为“0”，以防止所有编程、擦除和写指令执行。在任何成功的编程、写入或擦除动作结束时，WEL 位将被清除为“0”。操作失败后，WEL 位可能会保持置位，并且应使用 CLSR 指令后的 WRDI 指令清除。在掉电/上电序列、硬件复位或软件复位后，写使能锁存器置位为“0”。WRR或者WRAR指令不影响该位。

Write In Progress (WIP) SR1V[0]: 指示器件是否正在执行编程、写入、擦除操作或任何其他操作，在此期间新的操作指令将被忽略。当位设置为“1”时，器件正忙于执行操作。当 WIP 为“1”时，仅接受读取状态 (RDSR1 或 RDSR2)、读取任何寄存器 (RDAR)、擦除挂起 (ERSP)、编程挂起 (PGSP)、清除状态寄存器 (CLSR) 和软件复位 (RESET) 指令。仅当闪存阵列擦除或编程操作正在进行时，ERSP 和 PGSP 才会被接受。当 WIP = 1 时，状态寄存器 E_ERR 和 P_ERR 位会更新。当 P_ERR 或 E_ERR 位置位为 1 时，WIP 位将保持置位为 1，表示器件仍忙且无法接收新的操作指令。必须接收清除状态寄存器 (CLSR) 指令才能将器件返回到待机模式。当 WIP 位清零时，无操作正在进行。这是只读位。

7.5.2 状态寄存器 2 易失性 (SR2V)

相关指令：读取状态寄存器 2 (RDSR2 07h)、读取任何寄存器(RDAR 65h)。状态寄存器 2 没有用户可编程的非易失性位，所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位的。

表 23 状态寄存器-2 易失性 (SR2V)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	-	0	Reserved for Future Use
6					
5					
4					
3					
2	ESTAT	Erase Status	Volatile Read only	0	1 = Sector Erase Status command result = Erase Completed 0 = Sector Erase Status command result = Erase Not Completed
1	ES	Erase Suspend			1 = In erase suspend mode 0 = Not in erase suspend mode
0	PS	Program Suspend			1 = In program suspend mode 0 = Not in program suspend mode

擦除状态 (ESTAT) SR2V[2]: 擦除状态位指示前一个擦除状态指令所选择的扇区是否完成了该扇区上的最后一个擦除指令。必须在读取 SR2V 之前立即发出命令擦除指令才能获得有效的命令状态。在编程或擦除挂起期间读取 SR2V 不会提供有效的擦除状态。系统软件可以使用擦除状态位来检测上次擦除操作失败的扇区。这可以用于检测由于在擦除操作过程中掉电而导致的擦除操作失败。

擦除挂起 (ES) SR2V[1]: 擦除挂起位用于确定器件何时处于擦除挂起模式。这是一个用户不能写入的状态位。当 Erase Suspend 位置位为“1”时，器件处于擦除挂起模式。当 Erase Suspend 位清零时，器件不处于挂起模式。请参阅

地址空间映射

“**擦除或者程序挂起 (EPS 85h, 75h, B0h)**”在分页 114 有关擦除挂起 / 唤醒指令的详细信息。

编程挂起 (PS) SR2V[0]: 编程挂起位用于确定器件何时处于编程挂起模式。这是一个用户不可写的状态位。当 Program Suspend 位设置为 '1' 时, 器件处于编程挂起模式。当编程挂起位清为“0”时, 器件不处于编程挂起模式。请参阅“**擦除或者编程挂起 (EPS 85h, 75h, B0h)**”在分页 114 了解详情。

7.5.3 配置寄存器 1

配置寄存器 1 控制某些接口和数据保护功能。可以使用具有 16 个输入周期的 WRR 指令或 WRAR 指令来更改寄存器位。

7.5.3.1 配置寄存器 1 非易失性 (CR1NV)

相关指令写入寄存器 (WRR 01h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 24 配置寄存器 1 非易失性 (CR1NV)

Bits	Fieldname	Function	Type	Default state	Description
7	RFU	Reserved for Future Use	Non-volatile	0	Reserved
6				0	
5	TBPROT_O	Configures Start of Block Protection	OTP	0	1 = BP starts at bottom (LOW address) 0 = BP starts at top (HGH address)
4	RFU	Reserved for Future Use	RFU		Reserved.
3	BPNV_O	Configures BP2-0 in Status Register	OTP		1 = Volatile 0 = Non-volatile
2	TBPARAM_O	Configures Parameter Sectors location			1 = 4-KB physical sectors at top (high address) 0 = 4-KB physical sectors at bottom (low address) RFU in uniform sector configuration
1	QUAD_NV	Quad Non-volatile	Non-volatile		Provides the default state for the QUAD bit
0	FREEZE_D	FREEZE Default	Non-volatile Read only		Provides the default state for the Freeze bit. Not user programmable

顶部或底部保护(TBPROT_O) CR1NV[5]: 该位定义寄存器状态中功能块保护位BP2、BP1和BP0的操作。如状态部分所述, BP2-0 位允许用户选择保护一部分阵列, 范围从 1/64、1/4、1/2 等直至整个阵列。当 TBPROT_O 设置为“0”时, 功能块保护被定义为从阵列的顶部 (最大地址) 开始。当 TBPROT_O 设置为“1”时, 功能块保护被定义为从阵列的底部 (零地址) 开始。从英飞凌出厂时, TBPROT_O 位是OTP, 置位为“0”。如果 TBPROT_O 被编程为 1, 则将位写入零不会改变该值或置位编程错误位 (SR1V[6] 中的 P_ERR)。

必须在器件制造期间对器件进行初始配置期间选择 TBPROT_O 的所需状态; 在闪存阵列上执行第一个编程或擦除操作之前。在存储器阵列中编程或擦除操作完成后, 不得对 TBPROT_O 进行编程。

CR1NV[4]: 保留以供将来使用。

功能块保护非易失性 (BPNV_O) CR1NV[3]: BPNV_O 位定义是选择状态寄存器中的 BP_NV 2-0 位还是 BP 2-0 位来控制功能块保护特点。BPNV_O 位是OTP, 在从英飞凌出厂时被清除为“0”, BP_NV 位被清除为“000”。当 BPNV_O 设置为“0”时, 状态寄存器中的 BP_NV 2-0 位被选择来控制功能块保护并由 WRR 写入。写入 BP_NV 位所需的时间为 t_w 。当 BPNV 设置为“1”时, 状态寄存器中的 BP2-0 位被选择来控制功能块保护, 并且 BP_NV 2-0 位将被编程为二进制“111”。这将导致 BP 2-0 位在POR、硬件复位或指令复位后被设置位二进制 111。当 BPNV 设置为“1”时, WRR 指令仅写入 BP 位的易失性 (SR1V[4:2])。非易失性 BP 位 (SR1NV[4:2]) 不再受 WRR 指令的影响。这使得BP位可以被无限次写入, 因为它们是易失性的, 而且写入易失性BP位所需的时间要快得多。

地址空间映射

t_{CS} 易失性 写入时间。如果 BPNV_O 编程为“1”，则用零写入位不会更改该值或设置程序故障位（SR1V[6] 中的 P_ERR）。

TBPARAM_O CR1NV[2] : TBPARAM_O 定义参数功能块的逻辑位置。参数功能块由8个4KB的参数扇区组成，它们取代了最高或最低地址扇区的32KB部分。当TBPARAM_O置位为“1”时，参数功能块位于闪存阵列地址空间的顶部。当TBPARAM_O置位为“0”时，参数功能块位于阵列的底部。TBPARAM_O是OTP，从Infineon 出厂时置位为“0”。如果 TBPARAM_O 编程为 1，则用 0 写入位不会更改该值或设置编程位（SR1V[6] 中的 P_ERR）。

必须在器件制造期间对器件进行初始配置期间选择 TBPARAM_O 的所需状态；在闪存阵列上执行第一个编程或擦除操作之前。在存储器阵列中编程或擦除操作完成后，不得对 TBPARAM_O 进行编程。

TBPROT_O 可独立于 TBPARAM_O 位被置位或清除。因此，用户可以选择从阵列底部存储参数信息并从阵列顶部开始保护引导代码，反之亦然。或者，用户可以选择从顶部或者底部开始存储和保护参数信息。

当闪存阵列配置为统一扇区时，TBPARAM_O 位被保留以备将来使用 (RFU)，并且不起作用，因为所有扇区都是统一大小。

四线数据宽度 (QUAD_NV) CR1NV[1]: 为 CR1V[1] 中的四线位提供默认状态。WRR 或 WRAR 指令会影响此位。通过编程 CR2NV[6] = 1 选择 QPI 模式时，也会编程 QUAD_NV = 1，从而将默认状态更改为四线数据宽度模式。通过 CR2V[6] = 1 选择 QPI 模式时，Quad_NV 位无法清除为 0。

防冻保护默认值 (FREEZE) CR1NV[0] : 为 CR1V[0] 中的 FREEZE 位提供默认状态。此位不可由用户编程。

7.5.3.2 配置寄存器 1 易失性 (CR1V)

相关指令：读取配置寄存器 (RDCR 35h)、写入寄存器 (WRR 01h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。这寄存器是通过RDCR指令显示的。

表 25 配置寄存器 1 易失性 (CR1V)

Bits	Fieldname	Function	Type	Default state	Description
7 6	RFU	Reserved for Future Use	Volatile	CR1NV	Reserved
5	TBPROT	Volatile copy of TBPROT_O	Volatile Read only		Not user writable. See CR1NV[5] TBPROT_O
4	RFU	Reserved for Future Use	RFU		Reserved
3	BPNV	Volatile copy of BPNV_O	Volatile Read only		Not user writable. See CR1NV[3] BPNV_O
2	TBPARAM	Volatile copy of TBPARAM_O			Not user writable. See CR1NV[2] TBPARAM_O
1	QUAD	Quad I/O Mode	Volatile		1 = Quad 0 = Dual or Serial The WRR command writes the Non-Volatile Quad bit (CR1NV[1]). See full description below.
0	FREEZE	Lock-Down Block Protection until next power cycle			Lock current state of Block Protection control bits, and OTP regions. 1 = Block Protection and OTP locked 0 = Block Protection and OTP unlocked

TBPROT、BPNV 和 TBPARAM CR1V[5,3,2]：这些位是 CR1NV 相关非易失性位的易失性副本。这些位跟踪这些位的相关非易失性版本的任何变化。

四位数据宽度 (QUAD) CR1V[1]：当此位设置为“1”时，器件的数据宽度切换到四位四倍模式。也就是说，当 CS 为低电平时，WP# 变为 IO2，IO3 / RESET# 变为有效 I/O 信号；当 CS 为高电平时，RESET# 输入变为有效 I/O 信号。WP# 输入的正常功能不被监控，内部设置为高电平（无效）。串行和双 I/O 读取指令仍然正常工作，但无需驱动 WP# 输入，

地址空间映射

当使用不同的数据路径宽度在指令之间切换时。同样，在这些指令期间（当 CS 为低电平时），不需要驱动 IO3 / RESET#。

使用四路 I/O 读取、DDR 四路 I/O 读取、QPI 模式 (CR2V[6] = 1) 和读取四路 ID 指令时，QUAD 位必须置位为 1。当 CR2V[6] = 1 选择 QPI 模式时，四位不能清零。WRR 指令写入四位的非易失版本 (CR1NV[1])，这也会导致易失版本 CR1V[1] 的更新。WRR 命令无法在不首先影响非易失性版本 CR1NV[1] 的情况下写入易失性版本 CR1V[1]。当需要写入易失性位 CR1V[1] 而不影响非易失性 CR1NV[1] 时，必须使用 WRAR 指令。

冻结保护 (FREEZE) CR1V[0]: 冻结位，当置位为“1”时，锁定功能块保护控制位和 OTP 区域的当前状态：

- 非易失性状态寄存器 1 (SR1NV[4:2]) 中的 BPNV_2-0 位
- 易失性状态寄存器 1 (SR1V[4:2]) 中的 BP 2-0 位
- 非易失性配置寄存器 (CR1NV[5, 3, 2]) 中的 TBPROT_O、TBPARAM_O 和 BPNV_O 位
- 易失性配置寄存器 (CR1V[5, 3, 2]) 中的 TBPROT、TBPARAM 和 BPNV 位受到间接保护，因为它们是跟随相关 CR1NV OTP 位，并且是只读的
- 整个 OTP 存储空间
- 当 FREEZE = 1 时，任何试图更改上面列出的位的行为都会被阻止：
- WRR 指令不影响列出的位并且不会置位任何错误状态。
- WRAR 指令不影响列出的位并且不会置位任何错误状态。
- 地址位于 OTP 区域内的 OTPPP 指令失败，P-ERR 状态为置位。

只要 FREEZE 位保持清除为逻辑 0，功能块保护控制位和 FREEZE 都是可写的，并且 OTP 地址空间是可编程的。

一旦将 FREEZE 位写入逻辑 1，就只能通过掉电到上电周期或硬件复位将其清除为逻辑 0。软件复位不会影响 FREEZE 位的状态。

CR1V[0] FREEZE 位是易失性的，上电后的 FREEZE 默认状态来自 CR1NV[0] 中的 FREEZE_D。FREEZE 位和 CR1V 中的其他值可以通过单个 WRR 或 WRAR 指令更新。

FREEZE 位不会阻止 WRR 或 WRAR 指令更改 SRWD_NV (SR1NV[7])、Quad_NV (CR1NV[1]) 或 QUAD (CR1V[1]) 位。

7.5.4 配置寄存器 2

配置寄存器 2 控制某些接口功能。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。寄存器的非易失版本提供了置位控制的 POR、硬件复位或软件复位状态的能力。这些配置位是 OTP，在系统配置期间只能将其默认状态更改为相反值一次。寄存器的易失性版本控制正常操作期间的特点行为。

地址空间映射

7.5.4.1 配置寄存器 2 非易失性 (CR2NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 26 配置寄存器 2 非易失性 (CR2NV)

Bits	Field name	Function	Type	Default state	Description
7	AL_NV	Address Length	OTP	0	1 = 4-byte address 0 = 3-byte address
6	QA_NV	QPI		0	1 = Enabled – QPI (4-4-4) protocol in use. 0 = Disabled – Legacy SPI protocols in use, instruction is always serial on SI.
5	IO3R_NV	IO3 Reset		0	1 = Enabled – IO3 is used as RESET# input when CS# is HIGH or Quad Mode is disabled CR1V[1] = 0. 0 = Disabled – IO3 has no alternate function, hardware reset is disabled.
4	RFU	Reserved		0	Reserved for Future Use
3	RL_NV	Read Latency		1	0 to 15 latency (dummy) cycles following read address or continuous mode bits. Note that bit 3 has a default value of 1 and may be programmed one time to 0 but cannot be returned to 1.
2				0	
1				0	
0			0		

非易失性的地址长度 CR2NV[7]：该位控制所有需要地址且不固定 3 字节或 4 字节 (32 位) 地址的指令的预期地址长度的POR、硬件复位或软件复位状态。大多数需要地址的指令都是传统上使用 3 字节 (24 位) 地址的传统SPI指令。对于大于 128 Mb 的器件容量，需要 4 字节地址来存取整个存储器阵列。地址长度配置位用于将大部分 3 字节地址指令更改为期望 4 字节地址。见表 45 对于指令地址长度。这种非易失的地址长度配置位使器件能够以 4 字节地址模式立即启动而不是传统模式3字节模式

QPI 非易失性 CR2NV[6]：该位控制所有指令的预期指令宽度的POR、硬件复位或软件复位状态。传统SPI指令始终在SI (IO0) 信号上发送一位宽指令 (串行 I/O)。S25FS512S 还支持QPI模式输入，主控系统和存储器之间的所有传输都是4位宽的IO0到IO3，包括所有指令。这种非易失性的 QPI 配置位使器件能够在 QQPIPI 模式而不是传统串行指令模式下立即启动 (引导)。当该位被编程为 QPI 模式时，QUAD_NV 位也被编程为四线模式 (CR1NV[1] = 1)。转至 QPI 模式的推荐程序是首先使用 WRAR 指令设置 CR2V[6] = 1，QPI 模式。

QPI 模式的易失性寄存器写入具有短暂且明确定义的时间 (t_{CS})，用于将器件接口切换到 QPI 模式。之后，可以立即按照 QPI 协议发送以下指令。WRAR 指令可用于将 CR2NV[6] 编程为 1，然后轮询 SR1V[0] 以了解编程操作何时完成。同样，要退出 QPI 模式，WRAR 指令用于清除 CR2V[6] = 0。CR2NV[6] 不能擦除为 0 因为它是 OTP。

IO3 复位非易失性 CR2NV[5]：该位控制 IO3 信号行为的POR、硬件复位或软件复位状态。由于传统SPI器件封装中可用的信号计数和连接有限，大多数传统SPI设备没有硬件复位输入信号。当 IO3 信号未用于在主控系统和存储器之间传输信息时，S25FS512S 提供了使用 IO3 信号作为硬件复位输入的选项。该非易失性 IO3 复位配置位使器件能够立即启动 (启动) 并使用 IO3 启用作为 RESET# 信号。

读延时非易失性 CR2NV[3:0]：该位控制所有可变延时读指令中读延迟 (虚拟周期) 延时的POR、硬件复位或软件复位状态。下面的读指令在地址或模式结束和读数据开始返回主控之间有一个可变的延时时间：

- Fast Read
- 双线 I/O 读取

地址空间映射

- 四线 I/O 读取
- DDR Quad I/O Read
- OTPR
- RDAR

此非易失性读取延时配置位设置正在使用的读取延时（虚拟周期）数，以便器件能够以适合主控系统的读取延时立即启动（引导）。

表 27 延时编码（周期）与频率

Latency code	Read command maximum frequency (MHz)			
	Fast Read (1-1-1) OTPR (1-1-1) RDAR (1-1-1) RDAR (4-4-4)	Dual I/O (1-2-2)	Quad I/O (1-4-4) Quad I/O (4-4-4)	DDR Quad I/O (1-4-4) DDR Quad I/O (4-4-4) [44]
	Mode cycles = 0	Mode cycles = 4	Mode cycles = 2	Mode cycles = 1
	0	50	80	40
1	66	92	53	22
2	80	104	66	34
3	92	116	80	45
4	104	129	92	57
5	116	133	104	68
6	129		116	80
7	133		129	
8			133	
9				
10				
11				
12				
13	133	133		80
14				
15				

注释：

41. 该系列器件不支持 SCK 频率 > 133 MHz SDR 或 80MHz DDR。
42. Dual I/O、Quad I/O、QPI、DDR Quad I/O 和 DDR QPI 指令协议包括地址后面的连续读取模式位。这些位的时钟周期不计入表中所示的延时周期的一部分。示例：传统的四线 I/O 指令在地址后面有 2 个连续读取模式周期。因此，没有额外读取延时的传统四线 I/O 指令仅支持表中所示的读取延时为 0 个周期的频率。通过增加可变读取延时，可以增加四线 I/O 指令的频率，以允许操作达到所支持的最大 133 MHz 频率。
43. 其他读指令有固定的延时，例如读取始终具有零读取延时。RSFDP 始终具有八个周期的延时。
44. DDR QPI 仅支持延迟周期 1 至 5 以及高达 68 MHz 的时钟频率。

地址空间映射

7.5.4.2 配置寄存器 2 易失性 (CR2V)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)、4BAM。

表 28 配置寄存器 2 易失性 (CR2V)

Bits	Field name	Function	Type	Default state	Description
7	AL	Address Length	Volatile	CR2NV	1 = 4-byte address 0 = 3-byte address
6	QA	QPI			1 = Enabled – QPI (4-4-4) protocol in use 0 = Disabled – Legacy SPI protocols in use, instruction is always serial on SI.
5	IO3R_S	IO3 Reset			1 = Enabled – IO3 is used as RESET# input when CS# is HIGH or Quad mode is disabled CR1V[1] = 0 0 = Disabled – IO3 has no alternate function, hardware reset is disabled
4	RFU	Reserved			Reserved for Future Use
3	RL	Read Latency			0 to 15 latency (dummy) cycles following read address or continuous mode bits.
2					
1					
0					

地址长度 CR2V[7]: 该位控制所有需要地址且不固定为 3 字节或 4 字节 (32 位) 地址的指令的预期地址长度。见表 45 对于指令地址长度。此易失性地址长度配置位使地址长度能够在正常操作期间更改。4 字节地址模式(4BAM)指令直接将该位设置为 4 字节地址模式。

QPI CR2V[6]: 该位控制所有指令的预期指令位宽。此易失性 QPI 配置位使器件能够在正常运行期间进入和退出 QPI 模式。当该位被置位为 QPI 模式时，四线也被置位为四位模式 (CR1V[1] = 1)。当该位被清除为传统 SPI 模式时，四位不受影响。

IO3 复位 CR2V[5]: 此位控制 IO3 / RESET# 信号行为。此易失性 IO3 复位配置位允许在正常运行期间将 IO3 用作 RESET# 输入。

读取延时 CR2V[3:0]: 此位控制可变延时读取指令中的读取延时 (虚拟周期) 延迟。这些易失性配置位使用户能够在正常运行期间调整读取延时，以根据需要优化不同指令或不同工作频率下的延时。

7.5.5 配置寄存器 3

配置 3 控制某些指令行为。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。非易失性寄存器提供控制的 POR、硬件复位或软件复位状态。这些配置位是 OTP 的，如果需要，可以在系统配置期间将其编程为相反状态一次。配置寄存器 3 的易失性版本允许在系统运行或测试期间更改配置。

7.5.5.1 配置寄存器 3 非易失性 (CR3NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 29 配置寄存器 3 非易失性 (CR3NV)

Bits	Field name	Function	Type	Default state	Description
7 6	RFU	Reserved	OTP	0	Reserved for Future Use
5	BC_NV	Blank Check			1 = Blank Check during erase enabled 0 = Blank Check disabled
4	02h_NV	Page Buffer Wrap			1 = Wrap at 512 bytes 0 = Wrap at 256 bytes
3	20h_NV	4 KB Erase			1 = 4 KB Erase disabled (Uniform Sector Architecture) 0 = 4 KB Erase enabled (Hybrid Sector Architecture)
2	30h_NV	Clear Status / Resume Select			1 = 30h is Erase or Program Resume command 0 = 30h is clear status command
1	RFU	Reserved			Reserved for Future Use
0	F0h_NV	Legacy Software Reset Enable			1 = F0h Software Reset is enabled 0 = F0h Software Reset is disabled (ignored)

空白检查非易失性 CR3NV[5]: 该位控制着空白检查的 POR、硬件复位或软件复位状态。

02h 非易失 CR3NV[4]: 该位控制页编程缓冲地址空间的 POR、硬件复位或软件复位状态。

20h 非易失 CR3NV[3]: 该位控制主闪存存储器阵列地址映射中 4 KB 参数扇区可用性的 POR、硬件复位或软件复位状态。

30h 非易失 CR3NV[2]: 此位控制使用的 30h 指令代码的 POR、硬件复位或软件复位状态。

F0h 非易失 CR3NV[0]: 该位控制英飞凌传统 FL-S 系列软件复位指令可用性的 POR、硬件复位或软件复位状态。

7.5.5.2 配置寄存器 3 易失性 (CR3V)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 30 配置寄存器 3 易失性 (CR3V)

Bits	Field name	Function	Type	Default state	Description	
7	RFU	Reserved			Reserved for Future Use	
6						
5	BC_V	Blank Check	Volatile		1 = Blank Check during erase enabled 0 = Blank Check disabled	
4	02h_V	Page Buffer Wrap			1 = Wrap at 512 bytes 0 = Wrap at 256 bytes	
3	20h_V	4 KB Erase	Volatile, Read Only	CR3NV	1 = 4 KB Erase disabled (Uniform Sector architecture) 0 = 4 KB Erase enabled (Hybrid Sector architecture)	
2	30h_V	Clear Status / Resume Select			1 = 30h is Erase or Program Resume command 0 = 30h is clear status command	
1	RFU	Reserved	Volatile			Reserved for Future Use
0	F0h_V	Legacy Software Reset Enable			1 = F0h Software Reset is enabled 0 = F0h Software Reset is disabled (ignored)	

空白检查易失性 CR3V[5]: 该位控制着擦除功能时的空白检查。当这个功能实现时，擦除指令首先评估擦除扇区的擦除状态。如果发现扇区未成功完成其最后一个扇区，则该扇区将被无条件擦除。如果最后一次擦除成功，则读取扇区以确定扇区是否仍被擦除（空白）。查找到任何编程的0后，立即开始执行擦除操作。如果扇区已经为空白（未找到编程的零位），则跳过扇区擦除操作的其余部分。当扇区被擦除时不需要进行扇区擦除操作时，这可以大大减少擦除时间。当启用时空白检查功能在参数扇区擦除、扇区擦除和批量擦除指令中。当空白检查被禁用时，擦除指令无条件地启动擦除操作。

02h 易失性 CR3V[4]: 该位控制页编程缓存区大小。传统的SPI设备通常使用 256 字节页的编程缓存区，并定义如果数据加载到工厂超过 255 字节的位置，则加载额外字节的地址将被回卷到缓存的零地址。S25FS512S 提供了512字节页的编程缓存区，可以提高编程性能。为了兼容旧版软件，此配置位提供了继续在 256 字节边界进行回卷行为的选项，或者通过使能来充分利用可用的 512 字节缓存区，不在 256 字节边界回卷加载地址。

20h 易失性 CR3V[3]: 该位控制存储器阵列地址中分布 4-KB 参数扇区的可用性。参数扇区可以处在器件的最高或最低 32-KB 地址范围，也可以从地址分布中移除它们，以便所有扇区大小统一。该位不得写入与 CR3NV[3] 的值不同的值。CR3V[3] 的值只能通过写入 CR3NV[3] 来改变。

30h 易失性 CR3V[2]: 该位控制 30h 指令代码的使用方式。该指令可用作清除状态指令或备用编程/擦除恢复指令。这使得软件与英飞凌传统SPI设备或备用供应商设备兼容。

F0h 易失性 CR3V[0]: 该位控制英飞凌传统 FL-S系列软件复位指令的可用性。S25FS512S 支持业界通用的66h + 99h指令序列进行软件复位。该配置位允许选择继续使用传统的 F0h 单指令进行软件复位。

地址空间映射

7.5.6 配置寄存器 4

配置寄存器 4 控制闪存阵列读取指令突发回卷行为。突发回卷配置不会影响从存储器阵列以外的区域读取指令，例如 寄存器或OTP阵列的读取指令。当在POR、硬件复位或软件复位期间将内容复制到寄存器的易失性版本时，寄存器的非易失性版本能够设置控件的启动(引导)状态。寄存器的易失性版本控制正常操作期间的特点行为。可以使用读取任何寄存器和写入任何寄存器指令来读取和更改寄存器位。寄存器的易失性版本也可以通过置位突发长度 (C0h) 指令写入。

7.5.6.1 配置寄存器 4 非易失性 (CR4NV)

相关指令：读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

表 31 配置寄存器 4 非易失性 (CR4NV)

Bits	Field name	Function	Type	Default state	Description
7	OI_O	Output Impedance	OTP	0	See Table 32
6					
5					
4	WE_O	Wrap Enable		1	0 = Wrap Enabled 1 = Wrap Disabled
3	RFU	Reserved		00	Reserved for Future Use
2	RFU	Reserved			
1	WL_O	Wrap Length			
0			00 = 8-byte wrap 01 = 16-byte wrap 10 = 32-byte wrap 11 = 64-byte wrap		

输出阻抗非易失性 CR4NV[7:5]： 这些位控制 IO 信号输出阻抗（驱动强度）的POR、硬件复位或软件复位状态。多种驱动强度可帮助将输出阻抗与系统印刷电路板环境相匹配，以最大限度地减少过冲和振铃。这些非易失的输出阻抗配置位使器件能够以适当的驱动强度立即启动 (boot)。

表 32 输出阻抗控制

CR4NV[7:5] impedance selection	Typical impedance to V _{SS} (Ω)	Typical impedance to V _{CC} (Ω)	Notes
000	47	45	Factory default
001	124	105	-
010	71	64	
011	47	45	
100	34	35	
101	26	28	
110	22	24	
111	18	21	

回卷使能非易失性 CR4NV[4]： 该位控制回卷使能的POR、硬件复位或软件复位状态。受 Wrap 使能影响的指令有：Quad I/O Read 和 DDR Quad I/O Read。此配置位使器件能够以回卷突发读取模式立即启动 (boot)，而不是传统的顺序读取模式。

回卷长度非易失性 CR4NV[1:0]： 这些位控制回卷读取长度和对齐的POR、硬件复位或软件复位状态。这些非易失性的配置位使器件能够以回卷突发读取模式而不是传统的顺序读取模式立即启动 (boot)。

地址空间映射

7.5.6.2 配置寄存器 4 易失性 (CR4V)

相关指令：读任何寄存器 (RDAR 65h)、写任何寄存器 (WRAR 71h)、置位突发长度 (SBL C0h)。

表 33 配置寄存器 4 易失性 (CR4V)

Bits	Field name	Function	Type	Default state	Description
7	OI	Output Impedance	Volatile	CR4NV	See Table 32
6					
5					
4	WE	Wrap Enable			0 = Wrap Enabled 1 = Wrap Disabled
3	RFU	Reserved			Reserved for Future Use
2					
1	WL	Wrap Length			00 = 8-byte wrap 01 = 16-byte wrap 10 = 32-byte wrap 11 = 64-byte wrap
0					

输出阻抗 CR2V[7:5]：这些位控制 IO 信号输出阻抗（驱动强度）。此易失性输出阻抗配置位允许用户在正常工作期间调整驱动强度。

回卷使能 CR4V[4]：该位控制突发回卷特点。这种易失性配置位使器件能够在正常操作期间进入和退出突发回卷读取模式。

回卷长度 CR4V[1:0]：这些位控制正常操作期间的回卷读取长度和对齐方式。这些易失性配置位使用户能够调整正常操作期间的突发回卷读取长度。

7.5.7 ECC 状态寄存器 (ECCSR)

相关指令：ECC读取 (ECCRD 18h 或 19h)。ECCSR 没有用户可编程的非易失性位，所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位的。

每个ECC单元的ECC状态由8位ECC状态寄存器(ECCSR)提供。ECC寄存器读取命令后跟ECC单元地址。状态寄存器的内容则显示对于所选择的ECC单元，在ECC单元数据是否有错误，或者ECC该ECC单元是否被禁用。

表 34 ECC 状态寄存器 (ECCSR)

Bits	Field name	Function	Type	Default state	Description
7 to 3	RFU	Reserved	Volatile, Read only	0	Reserved for Future Use
2	EECC	Error in ECC			1 = Single Bit Error found in the ECC unit error correction code 0 = No error
1	EECCD	Error in ECC unit data			1 = Single Bit Error corrected in ECC unit data 0 = No error
0	ECCDI	ECC Disabled			1 = ECC is disabled in the selected ECC unit 0 = ECC is enabled in the selected ECC unit

ECCSR[2] = 1 表示 ECC 中的错误已更正。ECCSR[1] = 1 表示ECC单元数据中的错误已更正。ECCSR[0] = 1 表示 ECC 被禁用。所有这些位的默认状态为“0”，表示没有故障并且可以启用ECC。

ECCSR[7:3]被保留。它们的值（高或低）不确定，每次状态读取的值不一定相同。软件读取状态时，这些位应忽略，而不用考虑。

7.5.8 ASP 寄存器 (ASPR)

相关指令：ASP 读取 (ASPRD 2Bh) 和 ASP 编程 (ASPP 2Fh)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

ASP 寄存器是一个 16 位 OTP 储存空间，用于永久配置高级扇区保护 (ASP) 功能的行为。ASPR 没有用户可编程的易失性位，所有定义的位都是 OTP。

ASPR 位的默认状态由英飞凌编程。

表 35 ASP 寄存器 (ASPR)

Bits	Field name	Function	Type	Default state	Description
15 to 9	RFU	Reserved	OTP	1	Reserved for Future Use
8					
7					
6					
5					
4					
3					
2	PWDMLB	Password Protection Mode Lock Bit			0 = Password Protection Mode permanently enabled 1 = Password Protection Mode not permanently enabled
1	PSTMLB				
0	RFU	Reserved	RFU		Reserved for Future Use

密码保护模式锁定位 (PWDMLB) ASPR[2]: 当编程为 0 时，表示永久选择密码保护模式。

永久保护模式锁定位 (PSTMLB) ASPR[1]: 当编程为 '0' 时，表示永久选择持久保护模式。

PWDMLB (ASPR[2]) 和 PSTMLB (ASPR[1]) 互斥，只能将其中一个编程为零。

仅当 ASPR[2:1] = 11b 时才可以对 ASPR 位进行编程。当 ASPR[2:1] 不为 11b 时尝试对 ASPR 位进行编程将导致编程错误，并且 P_ERR (SR1V[6]) 置位为“1”。通过编程 ASPR[2:1] = 10b 或 01b 选择 ASP 保护模式后，所有 ASPR 位的状态都将被锁定并永久保护，以防止进一步编程。尝试编程 ASPR[2:1] = 00b 将导致编程错误，P_ERR (SR1V[6]) 置位为‘1’。

类似地，ASP 寄存器描述中列出的 OTP 配置位（参见 72 页的“**ASP 寄存器**”），仅当 ASPR[2:1] = 11b 时才可进行编程。选择 ASP 保护模式之前，必须先选择 OTP 配置。选择 ASP 保护模式后，OTP 配置位将受到永久保护，无法进一步更改。在 ASPR[2:1] 不为 11b 时尝试对这些 OTP 配置位进行编程将导致编程错误，P_ERR (SR1V[6]) 置位为 1。

应在系统配置期间选择 ASP 保护模式，以确保恶意编程稍后不会选择不需要的保护模式。通过 ASP 模式选择锁定所有保护配置，可防止恶意编程随后更改保护方法。

地址空间映射

7.5.9 密码寄存器 (PASS)

相关指令：密码读取 (PASSRD E7h) 和密码编程 (PASSP E8h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。PASS 寄存器是一个 64 位 OTP 内存位置，用于永久定义高级扇区保护 (ASP) 特点的密码。PASS 没有用户可编程的易失性位，所有定义的位都是 OTP。PASS 的易失性副本用于满足读取延迟要求，但易失性寄存器不可由用户写入或进一步描述。

表 36 密码寄存器 (PASS)

Bits	Field name	Function	Type	Default state	Description
63 to 0	PWD	Hidden Password	OTP	FFFFFFFF-FFFFFFFFh	Non-volatile OTP storage of 64-bit password. The password is no longer readable after the password protection mode is selected by programming ASP register bit 2 to zero.

7.5.10 PPB 锁定寄存器 (PPBL)

相关指令：PPB 锁定读取 (PLBRD A7h, PLBWR A6h)，读取任何寄存器 (RDAR 65h)。

PPBL 没有单独的用户可编程非易失性位，所有定义的位都是易失性只读状态。RFU 位的默认状态是由硬件置位。PPBLOCK 位的默认状态由 ASPR[2:1] 中的 ASP 保护模式位定义。PPBL 寄存器没有非易失性版本。PPBLOCK 位用于保护 PPB 位。当 PPBL[0] = 0 时，PPB 位不可编程。

表 37 PPB 锁定寄存器 (PPBL)

Bits	Field name	Function	Type	Default state	Description
7 to 1	RFU	Reserved	Volatile	00h	Reserved for Future Use
0	PPBLOCK	Protect PPB Array	Volatile Read Only	ASPR[2:1] = 1xb = Persistent Protection Mode = 1 ASPR[2:1] = 01b = Password Protection Mode = 0	0 = PPB array protected 1 = PPB array may be programmed or erased

7.5.11 PPB 访问寄存器 (PPBAR)

相关指令：PPB 读取 (PPBRD FCh 或 4PPBRD E2h)、PPB 编程 (PPBP FDh 或 4PPBP E3h)、PPB 擦除 (PPBE E4h)。

PPBAR 没有用户可写的易失性位，所有 PPB 阵列位都是非易失性的。PPB 阵列的默认状态被英飞凌擦除为 FFh。PPBAR 寄存器没有易失性版本。

表 38 PPB 访问/访问寄存器 (PPBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	PPB	Read or Program per sector PPB	Non-volatile	FFh	00h = PPB for the sector addressed by the PPBRD or PPBP command is programmed to 0, protecting that sector from program or erase operations. FFh = PPB for the sector addressed by the PPBRD command is 1, not protecting that sector from program or erase operations.

地址空间映射

7.5.12 DYB 访问寄存器 (DYBAR)

相关指令：DYB读取 (DYBRD FAh 或 4DYBRD E0h) 和DYB写入 (DYBWR FBh 或 4DYBWR E1h)。

DYBAR 没有用户可编程的非易失性位，所有位都是 DYB 阵列中易失性位的表示。DYB阵列位的默认状态是硬件置位。DYBAR 寄存器没有非易失性版本。

表 39 DYB访问寄存器 (DYBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	DYB	Read or Write per sector DYB	Volatile	FF	00h = DYB for the sector addressed by the DYBRD or DYBWR command is cleared to 0, protecting that sector from program or erase operations. FFh = DYB for the sector addressed by the DYBRD or DYBWR command is set to '1', not protecting that sector from program or erase operations.

7.5.13 SPI DDR数据学习寄存器

相关指令：编程 NVDLR (PNVDLR 43h)、写入 VDLR (WVDLR 4Ah)、数据学习模型读取 (DLPRD 41h)、读取任何寄存器 (RDAR 65h)、写入任何寄存器 (WRAR 71h)。

数据学习唤醒类型码 (DLP) 驻留在 8 位非易失数据学习寄存器 (NVDLR) 和 8 位易失数据学习寄存器 (VDLR) 中。从英飞凌出厂时，NVDLR 值为 00h。一旦编程，NVDLR 就不能被重新编程或擦除；NVDLR 中的数据模型的副本也将写入 VDLR。VDLR 可以随时写入，但在电源周期上，数据模型码将恢复到 NVDLR 中的内容。在SPI DDR 模式中描述的学习过程中，DLP 将来自 VDLR。每个 IO 将在每个时钟边沿输出相同的 DLP 值。例如，如果 DLP 为 34h (或二进制 00110100)，则在第一个时钟边期间，所有 IO 将输出 0；随后，沿所有 I/O 的第二个时钟边将输出 0，第三个时钟边将输出 1，依此类推。

当 VDLR 值为 00h 时，DDR 指令中的虚拟阶段期间不会出现前导码数据模型码。

表 40 非易失性数据学习寄存器 (NVDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	NVDLP	Non-volatile Data Learning Pattern	OTP	00h	OTP value that may be transferred to the host during DDR read command latency (dummy) cycles to provide a training pattern to help the host more accurately center the data capture point in the received data bits.

表 41 易失性数据学习寄存器 (VDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	VDLP	Volatile Data Learning Pattern	Volatile	Takes the value of NVDLR during POR or Reset	Volatile copy of the NVDLP used to enable and deliver the Data Learning Pattern (DLP) to the outputs. The VDLP may be changed by the host during system operation.

8 数据保护

8.1 安全硅区 (OTP)

该器件有一个 1024 字节一次性编程 (OTP) 地址空间，与主闪存式存储器阵列分开。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

OTP 存储空间旨在提高系统安全性。OTP 值可以将闪存器件与系统 CPU/ASIC “配对”，以防止器件替换。请参阅“[OTP 地址空间](#)”在页 49，“[OTP 编程 \(OTPP 42h\)](#)”在页 118 上，以及“[OTP 读取 \(OTPR 4Bh\)](#)”在页 118 上。

8.1.1 读取 OTP 存储空间

OTP 读取命令使用与快速读取相同的协议。有效 1 kB OTP 地址范围之外的 OTP 读取操作将产生不确定的数据。

8.1.2 编程 OTP 存储空间

OTP 编程指令的协议与页编程相同。OTP 编程指令可以多次发出到任何给定的 OTP 地址，但该地址空间永远不能被擦除。

在对每个 16 字节区域进行第一次编程操作时，将自动对 ECC 进行编程。在 16 字节区域内多次编程会禁用 ECC。建议对每个 32 字节区域的每个 16 字节部分编程一次，以便 ECC 保持高性能，以提供最佳的数据错误。

OTP 编程的有效地址范围如 [图 39](#)。有效 OTP 编程地址范围之外的编程操作将被忽略，SR1V 置位中的 P_ERR 不会设置为“1”。当 OTP FREEZE = 1 时，有效地址范围内的编程操作将失败，并且 SR1V 置位中的 P_ERR 为“1”。OTP 地址空间不受选择 ASP 保护模式的保护。冻结位 (CR1V[0]) 可用于保护 OTP 地址空间。

8.1.3 Infineon programmed random number

英飞凌的标准做法是使用线性同余随机数方法，用 128 位随机数对 OTP 占用的低电平顺序 16 字节（位置 0x0 至 0xF）进行编程。该算法的种子值是一个随机数，与测试器插入的日期和时间连接起来。

8.1.4 锁定字节

每个锁定字节的 LSB 保护与该字节相关的最低地址区域，MSb 保护与该字节相关的最高地址区域。下一个更高的地址字节同样保护下一个更高的 8 个区域。最低地址锁定字节的 LSB 位保护最低地址区域的较高地址 16 字节。换句话说，位置 0x10 的 LSB 保护最低地址区域中的所有锁定字节和 RFU 字节免遭进一步编程。请参阅“[OTP 地址空间](#)”位于第 49 分页。

数据保护

8.1.5 写使能指令

写入使能 (WREN) 指令必须先于任何修改非易失数据的指令写入。WREN 指令设置写使能锁存器 (WEL) 位。在上电、硬件复位期间或器件完成以下指令后，WEL 位被清除为 0（禁用写入）：

- 复位
- 页编程 (PP 或 4PP)
- 参数 4 KB 擦除 (P4E 或 4P4E)
- 扇区擦除 (SE 或 4SE)
- 批量擦除 (BE)
- 写禁止使能 (WRDI)
- 写寄存器 (WRR)
- 写入任意寄存器 (WRAR)
- OTP 字节编程 (OTPP)
- 高级扇区保护寄存器编程 (ASPP)
- 持久保护位 (PPB)
- 持久保护位 (PPBE)
- 密码编程 (PASSP)
- 编程非易失性数据学习寄存器 (PNVDLR)

8.2 功能块保护

功能块保护位(状态寄存器位BP2、BP1、BP0)与配置寄存器TBPROT_O位相结合，可用于保护主存储器阵列的地址范围免受编程和擦除操作的影响。范围的大小由 BP 位的值决定，范围的上限或下限起点由配置寄存器 (CR1NV[5]) 的 TBPROT_O 位选择。

表 42 顶部阵列起始保护 (TBPROT_O = 0)

Status Register content			Protected fraction of memory array	Protected memory (KB)
BP2	BP1	BP0		FS512 S 512 Mb
0	0	0	None	0
		1	Upper 64th	1024
	1	0	Upper 32nd	2048
		1	Upper 16th	4096
1	0	0	Upper 8th	8192
		1	Upper 4th	16384
	1	0	Upper Half	32768
		1	All Sectors	65536

表 43 底部阵列起始保护 (TBPROT_O = 1)

Status Register content			Protected fraction of memory array	Protected memory (KB)
BP2	BP1	BP0		FS512 S 512 Mb
0	0	0	None	0
		1	Lower 64th	1024
	1	0	Lower 32nd	2048
		1	Lower 16th	4096
1	0	0	Lower 8th	8192
		1	Lower 4th	16384
	1	0	Lower Half	32768
		1	All Sectors	65536

当功能块保护启用时（即任何BP2-0置位为“1”），高级扇区保护（ASP）仍可用于保护不受功能块保护方案保护的扇区。如果在同一个扇区上同时使用 ASP 和功能块保护，则使用与该扇区相关的 ASP 和功能块保护的逻辑或。

8.2.1 冻结位

配置寄存器1 (CR1V[0]) 的位0 是FREEZE 位。冻结位，当置位为1时，锁定功能块保护控制位和OTP 区域的当前状态，直到下一个电源开关周期。其他详细信息请参见“配置寄存器 1 易失性 (CR1V)” 位于 56页。

8.2.2 写入保护信号

写保护 (WP#) 输入与状态寄存器写禁止使能 (SRWD) 位 (SR1NV[7]) 相结合，提供硬件输入信号控制保护。当 WP# 为低电平且 SRWD 置位为“1”时，状态寄存器 1 (SR1NV 和 SR1V) 和配置寄存器1 (CR1NV 和 CR1V) 受到保护，不被更改。这可以防止禁用或更改功能块保护位定义的保护。请参阅表22。

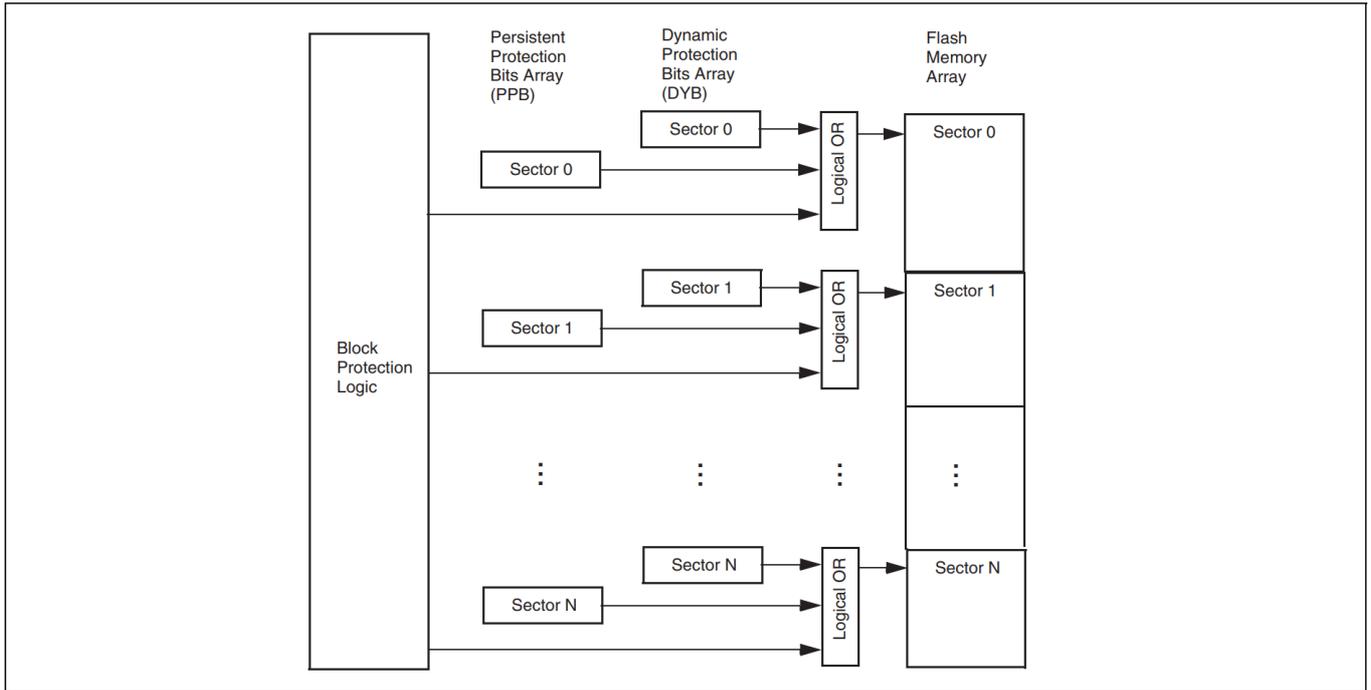
8.2.3 高级扇区保护

高级扇区保护 (ASP) 是用于在任何或所有扇区中单独禁止使能或使能编程或擦除操作的独立硬件和软件方法的名称。

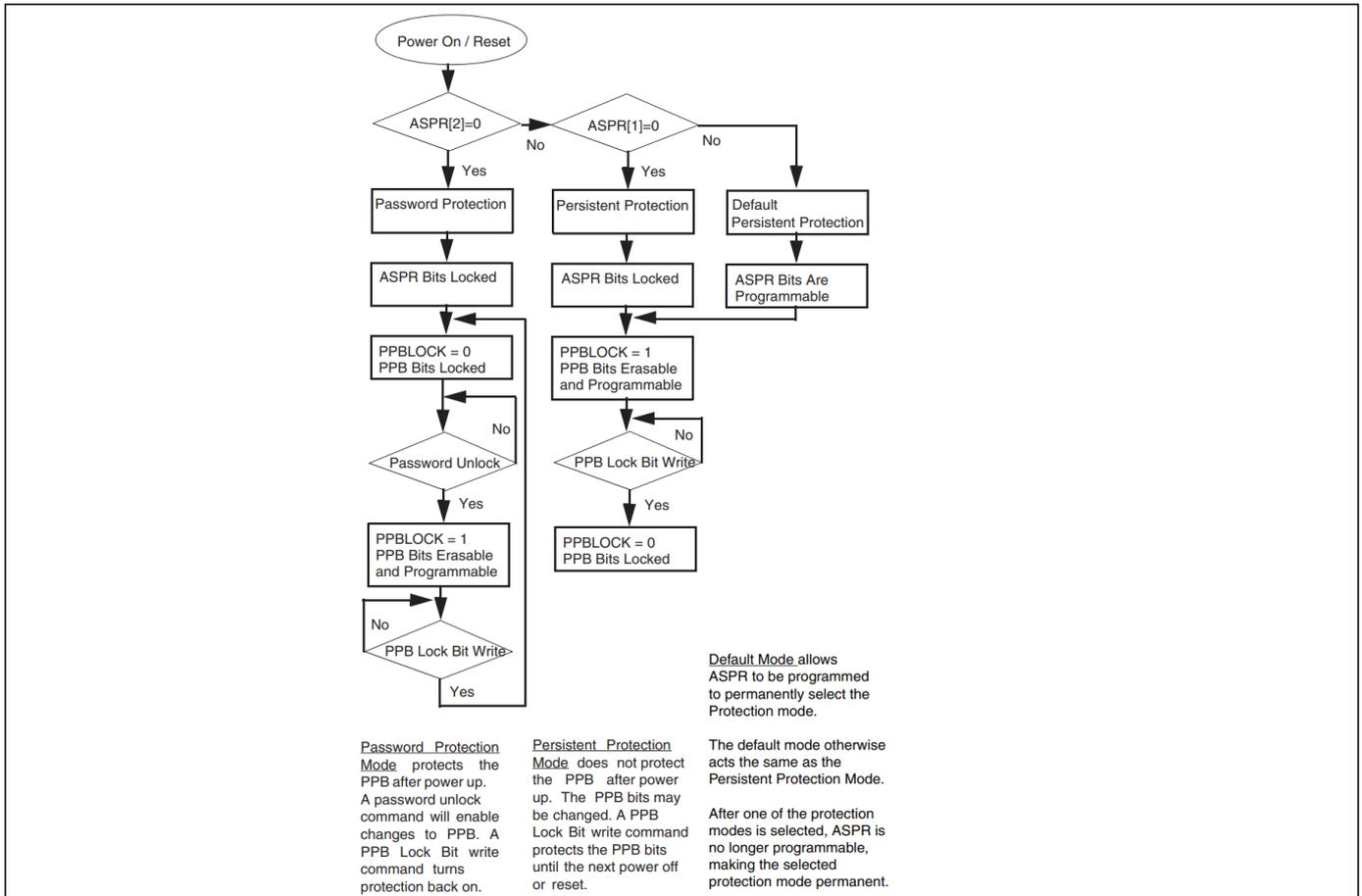
每个主闪存阵列扇区都有一个与其相关的非易失性持久保护位 (PPB) 和易失性动态保护位 (DYB)。当任一一位为“0”时，扇区受到保护，免受编程和擦除操作的影响。当易失性 PPB 锁定位为“0”时，PPB 位受到保护，免受编程和擦除。有两种方法可以管理 PPB 锁定位的状态：密码保护和持久保护。这些方法的概述如图 41所示。

每个扇区的功能块保护和ASP 保护设置进行逻辑“或”来定义每个扇区的保护，即如果任一机制正在保护扇区，则扇区不能被编程或擦除。参见“功能块保护” 在 分页 69 有关 BP2-0 位的完整详细信息。

数据保护



Sector protection control



扇区保护控制

高级扇区保护概述持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有任何指令可将PPB锁定位设为1，因此PPB锁定位一直为0，直到下一次关闭电源或硬件复位为止。

保护方法允许引导代码选择通过编程或破坏 PPB 来更改扇区保护，然后通过将 PPB 锁定位清除为 0 来保护 PPB 在正常系统操作的其余部分中免受进一步更改。这有时称为引导代码控制的扇区保护。

密码方法在POR或硬件复位期间将PPB锁定位清除为‘0’，以保护PPB。对于密码方法，可以永久地编程并隐藏一个64位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则PPB锁定位设为1，以取消PPB保护。可以使用指令将 PPB 锁定位清除为 0。此方法需要使用密码来控制 PPB 保护。

通过编程锁定寄存器中的OTP位，可以永久性选择要使用的PPB锁定位管理方法。

8.2.4 ASP 寄存器

ASP 寄存器用于永久配置高级扇区保护 (ASP) 功能的行为（见表 35）。

从工厂出厂时，所有器件在上电时均默认使用持久保护方法，所有扇区均不受保护。器件编程器或主机系统随后可以选择使用哪种扇区保护方法。对一次性可编程的保护模式锁定位进行编程，可将部件永久锁定在选定的模式下：

- ASPR[2:1] = 11 = 未选择 ASP 模式，默认为持久保护模式。
- ASPR[2:1] = 10 = 永久选择持久保护模式。
- ASPR[2:1] = 01 = 永久选择密码保护模式。
- ASPR[2:1] = ‘00’ 是非法条件，尝试将多个位编程为零会导致编程失败。

ASP寄存器编程规则：

- 如果选择密码模式，则必须在设置保护模式锁定位之前对密码进行编程。
- 一旦选择了保护模式，以下 OTP 配置寄存器位将受到永久保护，不能被编程，并且不允许对 OTP 寄存器位进行进一步更改：
 - CR1NV[5:2]
 - CR2NV
 - CR3NV
 - CR4NV
 - ASPR
 - PASS
 - NVDLR
- 选择 ASP 模式后，如果尝试更改上述任何寄存器，操作将失败并且 P_ERR (SR1V[6]) 将被置位为‘1’。

ASP 注册的编程时间与典型的分页编程时间相同。系统可以通过读取状态寄存器中的WIP位来确定ASP寄存器编程操作的状态。见表 21 有关 WIP 的信息。参见“扇区保护状态概括”在分页 73。

8.2.5 持久保护位 (PPB)

持久保护位 (PPB) 位于单独的非易失性闪存阵列中。为每个扇区分配一个PPB位。当一个PPB位为0时，相应的扇区受到保护，不能对它执行编程和擦除操作。PPB位可单独编程，但必须按组进行擦除。这与字相似，各个字可以在主阵列中单独编程，但整个扇区必须同时擦除。PPB 具有与主闪存阵列相同的编程和擦除寿命。擦除前的预编程和验证由EAC执行。

编程一个PPB位需要典型的字编程时间。擦除所有PPB需要典型的扇区擦除时间。在 PPB 位编程和 PPB 位擦除期间，可以通过读取状态寄存器来获取状态。读取 PPB 位需要器件的最终读取时间。

注释：

- 每个 PPB 单独编程为“0”，并且所有 PPB 并行擦除为“1”。
- 如果PPB锁定位为0，PPB编程或擦除指令不被执行，并且被超时。
- 可以使用 PPB 读取命令来验证给定扇区的 PPB 状态。

8.2.6 动态保护位 (DYB)

DYB是易失性位，可以单独更改该位。每个扇区只有一个唯一的DYB。DYB只控制那些已清除PPB的扇区的保护。通过发出DYB写入命令，DYB被清除为“0”或置位为“1”，从而分别将每个扇区置于受保护或不受保护的状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。由于 DYB 是易失性位，因此可以根据需要随时置位或清除。

8.2.7 PPB 锁定位 (PPBL[0])

PPB锁定位是一个易失性位，用于保护所有PPB位。当清除为 0 时，它锁定所有 PPB，当置位为“1”时，它允许更改 PPB。请参阅 分页 66 上的“[PPB 锁定注册 \(PPBL\)](#)”了解更多信息。

PPB锁定指令用于将该位清零。只有当所有PPB位均配置为所需的设置后，才将PPB锁定位清零。

在持久保护模式下，PPB锁定在POR或硬件复位期间被设为1。清零后，所有软件指令序列都不能设置PPB锁定，只有通过硬件复位或上电才能设置PPB锁定位。

在密码保护模式下，PPB锁定位在POR或硬件复位期间被清除为0。PPB锁定只能通过密码解锁指令序列设为1。

8.2.8 扇区保护状态汇总

每个扇区均可以处于下面一种保护状态：

- 解锁-扇区不受保护，保护状态可通过一个简单的指令进行更改。当器件从英飞凌出厂时，保护状态默认为不受保护。
- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。在开关电源或硬件复位后，保护状态不被保存。
- 持久锁定-扇区受保护，只有将PPB锁定位设置为1时才能更改保护状态。保护状态是非易失性的，在开关电源或硬件复位后仍被保存。更改保护状态需要编程或擦除PPB位。

表 44 扇区保护状态

Protection bit values			Sector state
PPB lock	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
		0	
	0	1	Protected – PPB and DYB are changeable
		0	
0	1	1	Unprotected – PPB not changeable, DYB is changeable
		0	
	0	1	Protected – PPB not changeable, DYB is changeable
		0	

8.2.9 持久保护模式

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。软件复位不会影响PPB锁定位。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有指令可设置PPB锁定位，因此PPB锁定位将一直为‘0’，直到下一次关闭电源或硬件复位为止。

8.2.10 密码保护模式

PPB密码保护模式使用64位密码来设置PPB锁定，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB锁定还清除为0以确保在上电时提供保护。通过输入整个密码并成功执行密码解锁指令后，PPB锁定将设为1，从而允许修改扇区PPB。

密码保护注意事项：

- 编程和验证密码后，必须设置密码模式锁定位，以防止读取或修改密码。
- 密码编程指令只能编程“0”。在将cell编程为“0”之后编程“1”会导致信元保留为“0”，而不会出现编程错误。
- 从英飞凌出厂时，密码64位全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。对密码区域的所有进一步编程和读取指令都被禁用，并且这些指令被忽略或返回未定义的数据。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。
- 保护模式锁定位不可擦除。
- 只有输入准确的密码，才能解锁。如果密码解锁指令提供的密码与隐藏的内部密码不匹配，则解锁操作将失败，其失败方式与受保护扇区上的编程操作相同。P_ERR 位置位为“1”，WIP 位保持置位，PPB 锁定位保持清除为“0”。

- 密码解锁命令的接受频率不能快于每 $100\ \mu\text{s} \pm 20\ \mu\text{s}$ 一次。这样，如果黑客试图通过实现所有64位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。读取状态指令 1 指令可用于读取 WIP 位，以确定器件何时完成密码解锁指令或准备好接受新密码指令。当提供有效密码时，密码解锁指令不会在将 WIP 位返回为零之前插入 $100\ \mu\text{s}$ 延迟。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定。
- 仅可从可读扇区读取 ECC 状态。在读保护模式下，地址被强制为引导扇区地址。ECC状态仅在该扇区内，而读保护模式是启用时的。

8.3 推荐的保护流程

在系统制造过程中，闪存器件配置应按以下方式定义：

- 根据需要对 CR1NV[5, 3:2]、CR2NV、CR3NV 和 CR4NV 中的 OTP 配置位进行编程。
- 根据需要对安全存储区域（OTP区域）进行编程。
- 通过 PPBP 命令按需对 PPB 位进行编程。如果 NVDLR 将用于 DDR 读取指令，则对其进行编程。
- 如果要使用密码保护，请对密码寄存器 (PASS) 进行编程。
- 根据需要对 ASP 寄存器进行编程，包括选择持久或密码 ASP 保护模式输入 ASPR[2:1]。明确选择保护模式非常重要，这样可以防止以后对 ASP 寄存器和 OTP 配置进行意外或恶意编程。这是为了确保仅使能预期的OTP保护和配置功能。

系统启动并引导代码执行时：

- 可信引导代码可以确定是否需要编程额外的SSR（OTP区域）信息。如果不需要更改SSR，则可以将 FREEZE 位 (CR1V[0]) 置位为“1”，以保护SSR在器件上电期间，正常系统操作其他时间内免受更改。
- 如果使用持久保护模式，可信引导代码可以确定是否需要通过 PPBP 或 PPBE 指令修改持久（PPB）扇区保护。如果不需要更改 PPB，则可以通过 PPBL 将 PPBLOCK 位清除为 0，以在上电保持开启的情况下保护 PPB 位在系统正常运行的剩余时间内免受更改。

可以根据需要通过 DYBAR 写入动态（DYB）扇区保护位。

命令

9 命令

主控系统与S25FS512S存储器器件之间的所有通讯均以指令单元的形式存在。

所有命令都以一条指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到存储器的数据传输或从闪存的数据传输。所有指令、地址和数据信息在主控系统和存储器器件之间顺序传输。

通过一个使用 3 个数字的数字命令法来划分命令协议，以便能参考三个命令阶段的发送宽度

- 指令
- 地址和指令修饰符（模式位）；
- Data

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据可以通过 SO 信号串行发送回主控。对于单比特宽指令，单比特宽地址和修饰符、单比特数据的结构，被称为 1-1-1 命令协议。

双线或四线输入 / 输出 (I/O) 命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 传输给存储器。数据返回到主控的方式类似于 IO0 和 IO1 上的位对，或者 IO0、IO1、IO2 和 IO3 上的四位（半字节）组。对于双线 I/O 和四线 I/O 命令，这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

S25FS512S 还支持 QPI 模式输入，所有信息都以 4 位宽度传输，包括指令、地址、修饰符和数据。这被称为 4-4-4 命令协议。

命令结构如下：

- 每个命令都以一个八位（字节）指令开始。然而，一些读取指令被先前的读取命令修改，使得该指令是从先前的指令隐含的。这被称为连续读取模式。器件处于连续读取模式时，由于该指令和用于初始化连续读取模式的读取命令相同，所以各个指令位不会在开始执行命令时被传输。在该模式下，命令会从读取地址开始。因此，连续读取模式从一系列相同类型的读取命令中的每个读取命令中移除八个指令位。
- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。地址可能是 24 位或 32 位（字节边界）的地址。
- 具有多个 IO 的串行外设接口为每次地址和数据信息的传输提供了并行地传输一位、两位或四位的选项。这使得信号连接数量（IO 总线宽度）和信息传输速度之间能够实现平衡。如果主控系统可以支持 2 位或 4 位宽的 IO 总线，则可以通过使用提供并行 2 位（双线）或并行 4 位（四线）传输的指令来提高存储器性能。
- 在传统的 SPI 模式下，传输指令后所有传输宽度都由已发送的指令确定。以下表示的可能是其中一种传输类型：仅通过串行输入（SI）或串行输出（SO）信号传输单比特；通过 IO0 和 IO1 信号每次（双线）传输将以双比特的形式进行发送；或通过 IO0-IO3 信号每次（四线）传输以 4 比特的形式执行。在双比特或四比特组中，最低有效位是通过 IO0 信号发送的。其他更高有效位则按照权值大小通过编号更高的 IO 信号发送。单比特或并行比特组则按照从最高有效位到最低有效位的顺序进行传输。
- 在 QPI 模式下，所有传输（包括指令）的宽度都以 IO0-IO3 信号上的 4 位宽（四线）传输。
- 双线 I/O 和四线 I/O 读取指令在地址后发送一个称为模式位的指令修饰符，表示下一个命令将与隐含指令（而非显式指令）属于同一类型，并不是明确的命令。下一个命令不提供指令字节，只有新地址和模式位。当某个相同命令重复了前序中的命令类型时，会减少发送一个命令所需要的时间。

命令

- 地址或模式位后面可以跟要存储在存储器器件中的写入数据，或者在读取数据返回到主控之前跟随着读取等待时间。
- 读取延时可能为零到几个 SCK 周期（也称为虚拟周期）。
- 所有指令、地址、模式和数据信息均以字节作最小单位传输。地址按最高有效字节首先移入器件中。所有数据都以首先发送最低地址字节的方式进行传输。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。当编程、擦除或写入操作正在进行时，建议在向器件发出大多数指令之前检查写入进度 (WIP) 位是否为 0，以确保可以接受新指令。
- 根据指令的不同，执行时间也会有所不同。可以使用从正在执行的指令中读取状态信息的指令来确定指令何时完成执行以及指令是否成功。
- 虽然在某些情况下，主控软件用于直接控制 SPI 接口信号，但主控系统和存储器器件的硬件接口通常处理信号关系和时序的细节。因此，本文中以软件接口为重点的部分不会详细介绍信号关系和时序。相反，本文的重点是每个指令中传输的位的逻辑顺序，而不是信号时序和关系。以下是一些需要记住的一般信号关系描述。有关指令的位电平格式和信号时序关系的更多信息，请参阅第 21 页的“命令协议”。
 - 主控始终控制片选 (CS)、串行时钟 (SCK) 和串行输入 (SI) - SI 用于单个的比特位传输。存储器驱动串行输出 (SO) 以进行单个的比特位读取传输。主控和存储器在双线和四线传输期间交替驱动 IO0-IO3 信号。
 - 所有指令都是从主控在 SCK 第一个上升沿之前驱动 CS 为低电平来选择存储器开始的。CS 在整个指令中保持低电平，当 CS 返回高电平时，指令结束。通常，CS# 保持低电平八位传输倍数来传输字节粒度信息。如果 CS 返回的高电平不在 8 位边界处，则某些指令将不被接受。

9.1 命令汇总

9.1.1 扩展寻址

为了适应 128 Mb 以上的寻址，有两种选择：

1. 始终需要 4 字节地址的指令，用于访问最多 32 Gb 的存储器。

Command name	Function	Instruction (hex)
4READ	Read	13
4FAST_READ	Read Fast	0C
4DIOR	Dual I/O Read	BC
4QIOR	Quad I/O Read	EC
4DDRQIOR	DDR Quad I/O Read	EE
4PP	Page Program	12
4P4E	Parameter 4-KB Erase	21
4SE	Erase 64 / 256 KB	DC
4ECCRD	ECC Status Read	18
4DYBRD	DYB Read	E0
4DYBWR	DYBWR	E1
4PPBRD	PPB Read	E2
4PPBP	PPB Program	E3

命令

2. 4 字节地址模式，用于向下兼容 3 字节地址指令。标准的 3 字节指令可与由地址长度配置位 (CR2V[7]) 控制的 4 字节地址模式结合使用。CR2V[7] 的默认值从 CR2NV[7] 加载（上电、硬件复位或软件复位后），以使能默认的 3 字节（24 位）或 4 字节（32 位）寻址。当地址长度 (CR2V[7]) 设置为“1”时，传统命令更改为地址为 4 字节（32 位）地址。以下指令可与 4 字节地址模式配置结合使用，将地址字段从 3 字节切换到 4 字节。

Command name	Function	Instruction (hex)
READ	Read	03
FAST_READ	Read Fast	0B
DIOR	Dual I/O Read	BB
QIOR	Quad I/O Read	EB
DDRQIOR	DDR Quad I/O Read)	ED
PP	Page Program	02
P4E	Parameter 4 KB Erase	20
SE	Erase 256 KB	D8
RDAR	Read Any Register	65
WRAR	Write Any Register	71
EES	Evaluate Erase Status	D0
OTPP	OTP Program	42
OTPR	OTP Read	4B
ECCRD	ECC Status Read	19
DYBRD	DYB Read	FA
DYBWR	DYBWR	FB
PPBRD	PPB Read	FC
PPBP	PPB Program	FD

命令

9.1.2 按功能分类命令汇总

表 45 S25FS512S 指令设置位 (按功能排序)

Function	Command name	Command description	Instruction value (hex)	Maximum frequency (MHz)	Address length (bytes)	QPI	
Read Device ID	RDID	Read ID (JEDEC Manufacturer ID and JEDEC CFI)	9F	133	0	Yes	
	RSFDP	Read JEDEC Serial Flash Discoverable Parameters	5A	50	3		
	RDQID	Read Quad ID	AF	133	0		
Register Access	RDSR1	Read Status Register 1	05	133	0	No	
	RDSR2	Read Status Register 2	07	133	0		
	RDCR	Read Configuration Register 1	35	133	0		
	RDAR	Read Any Register	65	133	3 or 4	No	
	WRR	Write Register (Status 1, Configuration 1)	01	133	0		
	WRDI	Write Disable	04	133	0		
	WREN	Write Enable	06	133	0		
	WRAR	Write Any Register	71	133	3 or 4		
	CLSR	Clear Status Register 1 — Erase / Program Fail Reset This command may be disabled and the instruction value instead used for a program / erase resume command - See “ Configuration Register 3 ” on page 61.	30	133	0		Yes
	CLSR	Clear Status Register 1 (Alternate instruction) — Erase / Program Fail Reset	82	133	0		No
	4BAM	Enter 4-byte Address Mode	B7	133	0		
	SBL	Set Burst Length	C0	133	0	No	
	EES	Evaluate Erase Status	D0	133	3 or 4	Yes	
	ECCRD	ECC Read	19	133	3 or 4		
	4ECCRD		18	133	4		
	DLPRD	Data Learning Pattern Read	41	133	0	No	
	PNVDLR	Program NV Data Learning Register	43	133	0		
	WVDLR	Write Volatile Data Learning Register	4A	133	0		
	READ	Read	03	50	3 or 4		No
4READ	13		50	4			
FAST_READ	Fast Read	0B	133	3 or 4	Yes		
4FAST_READ		0C	133	4			
DIOR	Dual I/O Read	BB	133	3 or 4			
4DIOR		BC	133	4			
QIOR	Quad I/O Read	EB	133	3 or 4			
4QIOR		EC	133	4			
DDRQIOR	DDR Quad I/O Read	ED	80	3 or 4			
4DDRQIOR		EE	80	4			

注:

45. 如果在器件处于 QPI 模式时发送不支持 QPI 模式的指令，则会出现未定义的行为。

命令

表 45 S25FS512S 指令设置位 (按功能排序) (续)

Function	Command name	Command description	Instruction value (hex)	Maximum frequency (MHz)	Address length (bytes)	QPI			
Program Flash Array	PP	Page Program	02	133	3 or 4	Yes			
	4PP		12		4				
Erase Flash Array	P4E	Parameter 4 KB-Sector Erase	20		3 or 4				
	4P4E		21		4				
	SE	Erase 256 KB	D8		3 or 4				
	4SE		DC		4				
	BE	Bulk Erase	60		0				
	BE	Bulk Erase (alternate instruction)	C7						
Erase /Program Suspend /Resume	EPS	Erase / Program Suspend	75						
	EPS	Erase / Program Suspend (alternate instruction)	85						
	EPS		B0						
	EPR	Erase / Program Resume	7A						
	EPR	Erase / Program Resume (alternate instruction)	8A						
	EPR	Erase / Program Resume (alternate instruction) This command may be disabled and the instruction value instead used for a clear status command — See “ Configuration Register 3 ” on page 61.	30						
One Time Program Array	OTPP	OTP Program	42		133		3 or 4	No	
	OTPR	OTP Read	4B						
Advanced Sector Protection	DYBRD	DYB Read	FA				133	4	Yes
	4DYBRD		E0						
	DYBWR	DYB Write	FB					3 or 4	
	4DYBWR		E1					4	
	PPBRD	PPB Read	FC	3 or 4					
	4PPBRD		E2	4					
	PPBP	PPB Program	FD	3 or 4					
	4PPBP		E3	4					
	PPBE	PPB Erase	E4	0					
	ASPRD	ASP Read	2B						
	ASPP	ASP Program	2F						
	PLBRD	PPB Lock Bit Read	A7						
	PLBWR	PPB Lock Bit Write	A6						
	PASSRD	Password Read	E7						
PASSP	Password Program	E8							
PASSU	Password Unlock	E9							

注:

45. 如果在器件处于 QPI 模式时发送不支持 QPI 模式的指令, 则会出现未定义的行为。

命令

表 45 S25FS512S 指令设置位（按功能排序） (续)

Function	Command name	Command description	Instruction value (hex)	Maximum frequency (MHz)	Address length (bytes)	QPI
Reset	RSTEN	Software Reset Enable	66	133	0	Yes
	RST	Software Reset	99			
	RESET	Legacy Software Reset	F0			No
	MBR	Mode Bit Reset	FF			
DPD	DPD	Enter Deep Power-Down Mode	B9			Yes
	RES	Release from Deep Power-Down Mode	AB			

注:

45. 如果在器件处于 QPI 模式时发送不支持 QPI 模式的指令，则会出现未定义的行为。

9.1.3 读取器件标识

有多个指令可以读取有关器件制造商、器件类型和器件功能的信息。不同供应商的 SPI 存储器使用不同的指令和格式来读取有关存储器的信息。S25FS512S 支持三种器件信息命令。

9.1.4 寄存器读或写

有多个寄存器用于报告嵌入式操作状态或控制器件配置选项。有读取或写入这些寄存器的指令。寄存器包含易失性位和非易失性位。寄存器中的非易失性位将被自动擦除并编程为单个（写入）操作。

9.1.4.1 监控运行状态

主控系统可以通过监视状态寄存器中的 WIP 位来确定写入、编程、唤醒、挂起或其他嵌入式操作何时完成。读取状态寄存器 1 指令或读取任意状态寄存器指令提供 WIP 位的状态。状态寄存器中的编程错误 (P_ERR) 和擦除错误 (E_ERR) 位指示最近的编程或擦除指令是否未成功完成。当 P_ERR 或 E_ERR 位置位为 1 时，WIP 位将保持置位为 1，指示器件仍处于忙状态并且无法接收最新操作指令。当 P_ERR 或 E_ERR 置位为 '1' 时，仅状态读取 (RDSR1 05h)、读取任意寄存器 (RDAR 65h)、状态清零，复位 (CLSR 30h 或 82h) 和软件复位 (RSTEN 66h、RST 99h 或复位 F0h) 是有效指令。必须先发送清除状态寄存器 (CLSR)，然后发送写禁止使能 (WRDI) 指令，才能将器件返回到待机状态。清除状态寄存器清除 WIP、P_ERR 和 E_ERR 位。WRDI 清除 WEL 位。或者，可以使用硬件复位或软件复位 (RST 或复位) 将器件返回到待机状态。

9.1.4.2 拓扑结构

有一些指令用于读取、写入和保护寄存器，这些指令控制接口路径宽度、接口地址、接口地址长度以及数据保护的某些方面。

命令

9.1.5 读取闪存阵列

数据可以从任意字节界限开始从存储器中读取。数据字节按顺序从逐渐升高的字节地址读取，直到主控通过驱动 CS# 输入高电平来结束数据传输。如果字节地址达到闪存阵列的最大地址，则读取将从阵列的地址零继续。

有几种不同的读取指令来指定不同的访问延时和数据路径位宽。双倍数据速率(DDR) 指令还定义了 SCK 两个边沿的地址和数据位关系：

- 地址读取命令在SI信号上的每个 SCK 上升沿提供一个位，读取数据在 SO 信号上的每个 SCK 下降沿返回一个单独的位。该指令在地址和返回数据之间具有0延时，但最大 SCK 速率限制为 50 MHz。
- 其他读指令在地址和返回数据之间有延时时间，但可以在更高的 SCK 频率下操作。延时取决于配置寄存器读取延时值。
- 快速读取命令在SI信号上的每个 SCK 上升沿提供一位，读取数据在 SO 信号上的每个 SCK 下降沿返回一位数据。
- 双线或四线 I/O 读取指令在 SCK 上升沿提供两位或四位地址，读取数据在 IO0-IO3 信号上每个 SCK 下降沿返回两位或四位数据。
- 四线双倍数据速率读取指令为每个 SCK 边沿提供四位地址，读取数据在 IO0-IO3 信号上的每个 SCK 边沿返回四位数据。

9.1.6 编程闪存阵列

数据编程需要两个指令写入使能 (WREN) 和页编程 (PP) 。

页编程指令接受 1 字节到 256 或 512 个连续字节的数据 (页) 在一次操作中进行编程。编程意味着位可以保留为 1，或者从 1 编程为 0。将位从 0 更改为 1 需要擦除操作。

(还没有Write 使能指令的内容，请补充)

9.1.7 擦除闪存阵列

参数扇区擦除、扇区擦除或Bulk擦除指令将扇区或整个存储器中的所有位设置为“1”。需要先将某位擦除为“1”，然后编程才能将其更改为“0”。尽管可以单独对位从‘1’编程为‘0’，但将位从‘0’擦除为‘1’必须在扇区或阵列宽 (Bulk) 级别上进行擦除。写使能 (WREN) 指令必须位于擦除指令之前。

9.1.8 瞬时瞬时 (OTP)、功能块保护和高级扇区保护

有一些指令可以读取和编程用于永久性数据 (例如序列号) 的单独OTP格式。有指令控制一个连续组 (功能块) 的连续扇区，使其免受编程和指针操作的影响。有指令控制哪个单独的连续扇区免受编程和编程操作的影响。

9.1.9 复位

器件通电后，有一些指令可以复位到默认条件。然而，软件复位指令不影响FREEZE 或PPB 锁定位的当前状态。在所有其他方面，软件复位与硬件复位相同。

有一个指令用于读取 (退出) 连续读取模式。

9.1.10 深度掉电模式 (DPD)

S25FS512S 器件支持深度掉电 (DPD) 模式。如果器件已通过 DPD (B9h) 指令置于 DPD 模式，则接口待机电流为 (I_{DPD})。仅当器件未执行嵌入式运算 (如状态寄存器 1 所示) 时，才接受 DPD 指令

命令

进度 (WIP) 位置被清零 (SR1V[0] = 0)。在 DPD 模式下，器件忽略除 DPD 释放 (RES ABh) 指令之外的所有指令，该指令将在 t_{RES} 延时后使器件返回到接口待机状态。

9.1.11 预留

某些指令保留供将来使用。在这一代 S25FS512S 中，其中一些指令可能未使用并且不会影响器件操作，有些指令可能会产生未定义的结果。

保留一些指令是为了确保允许使用传统或备用源器件指令而不产生任何影响。这允许旧版软件发出一些与当前 S25FS512S 器件无关的指令，同时保证这些指令不会导致某些意外操作。

某些指令保留用于本文档未涉及的 FS-S 特殊版本或未来版本。这使得新的主控存储控制器设计能够灵活地规划发出这些指令指令。如果在发布此文档修订版时已知，则定义指令格式。

9.2 器件识别命令

9.2.1 读取器件标识 (RDID 9Fh)

读取标识 (RDID) 指令提供对制造商标识、器件标识和通用挂钩接口 (CFI) 信息的读取访问。制造商标识由 JEDEC 分配。CFI 结构由 JEDEC 标准定义。器件标识和 CFI 值由 Infineon 指定。

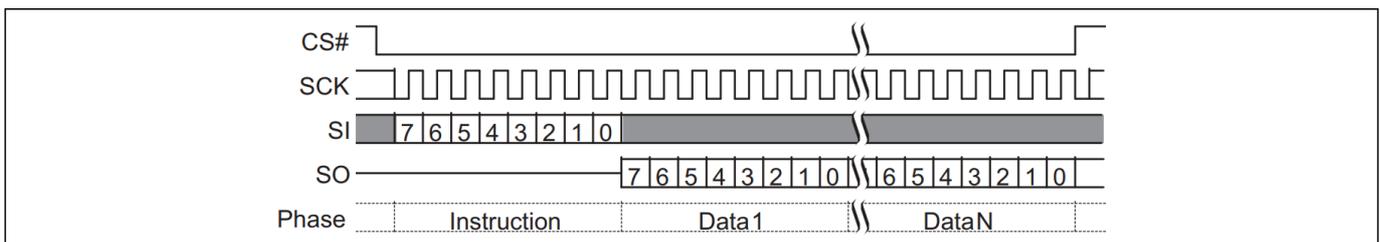
JEDEC 通用闪存接口 (CFI) 规范定义了一个器件信息结构，该结构允许供应商指定的软件闪存管理程序 (驱动) 用于整个系列的闪存存储器。软件支持可以与器件无关、与 JEDEC 制造商 ID 无关，并且可以向后兼容指定的闪存器件系列。系统供应商可以通过使用 CFI 值从正在使用的器件的 CFI 信息配置系列驱动来标准化闪存驱动程序，以实现长期软件兼容性。

在编程、擦除或写周期正在进行时发出的任何 RDID 指令都将被忽略，并且对正在进行的编程、擦除或写周期的执行没有影响。

RDID 指令在 SI 上移位。当 RDID 指令最后一位移入器件后，SO 上将依次移出 1 字节制造商标识、2 字节器件标识、扩展器件标识、CFI 信息。总的来说，该信息称为 ID-CFI。参见“[器件 ID 和通用闪存接口 \(ID-CFI\) 地址映射](#)”在页 136 有关 ID-CFI 内容的详细描述。

继续将输出移出定义的 ID-CFI 地址空间的末尾将提供未定义的数据。在数据输出期间的任何时候，通过将 CS 驱动至逻辑高电平状态来终止 RDID 指令序列。

RDID 指令的最大时钟频率为 133 MHz。



命令

图 40 读取标识 (RDID) 指令时序

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，返回数据在 IO0-IO3 上移出。

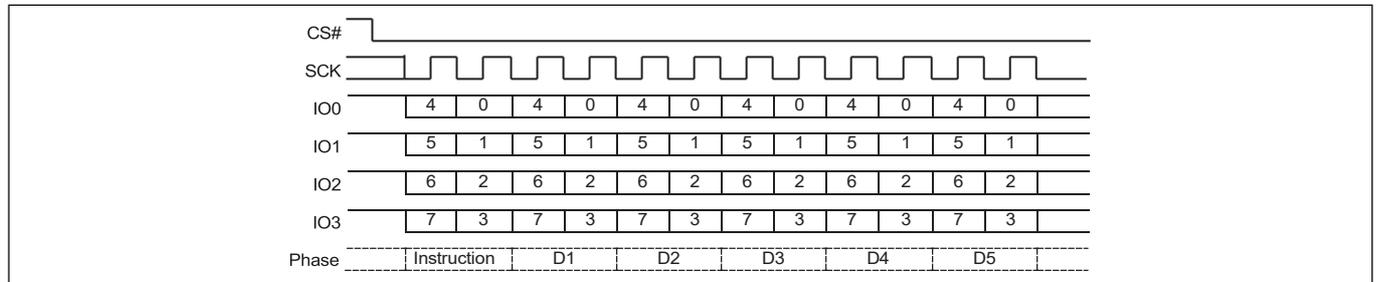


图 41 读取标识 (RDID) QPI 模式指令

9.2.2 四线读取标识 (RDQID AFh)

四线读取标识 (RDQID) 指令提供对制造商标识、器件接口标识和通用字符串 (CFI) 信息的读取访问。此指令是在 QPI 模式下读取 RDID 指令提供的相同信息的另一种方法。在所有其他方面，该指令的行为与 RDID 指令相同。

只有当器件处于 QPI 模式 (CR2V[6] = 1) 时，该指令才能被识别。指令被移至 IO0-IO3。当指令的最后一位移入器件后，1 字节制造商标识、2 字节器件标识、扩展器件标识和 CFI 信息将依次从 IO0-IO3 移出。总的来说，该信息称为 ID-CFI。参见“[器件 ID 和常见的闪存接口 \(ID-CFI\) 地址映射](#)”在分页 136 有关 ID-CFI 内容的详细描述。

继续将输出移出定义的 ID-CFI 地址空间的末尾将提供未定义的数据。在数据输出期间的任何时候，通过将 CS 驱动至逻辑高电平状态来终止指令时序。

该指令的最大时钟频率为 133 MHz。

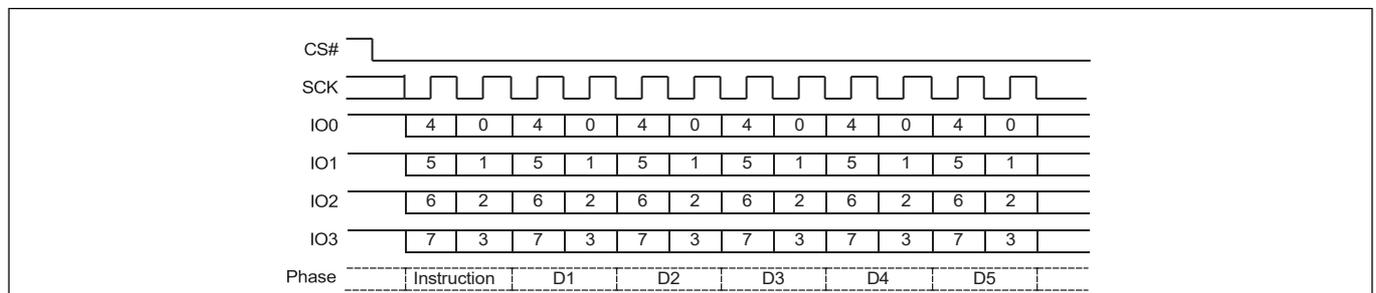


图 42 四线读取识别 (RDQID) 指令时序

命令

9.2.3 读取串行闪存设备可发现的参数(RSFDP 5Ah)

该命令通过在 SI 上移位指令代码“5Ah”来启动，后跟 24 位地址 000000h，然后是 8 个虚拟周期。然后，SFDP 字节在虚拟周期之后从 SCK 的下降沿开始在 SO 上移出。SFDP 字节总是先移出 MSb。如果将 24 位地址置位为任何其他值，则 SFDP 空间中选定的位置即为数据读取的起点。这使得能够对 SFDP 空间中的任何参数进行随机访问。RSFDP 指令最高支持 50 MHz。

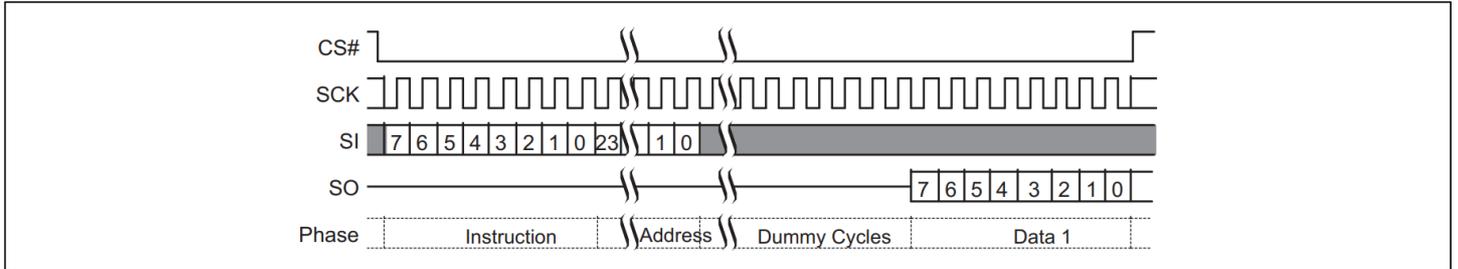


图 43 RSFDP 指令时序

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，返回数据在 IO0-IO3 上移出。

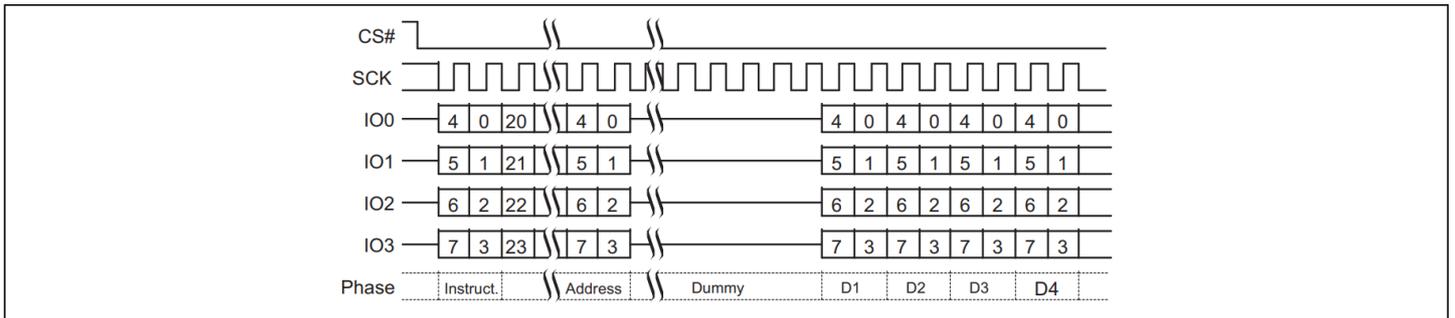


图 44 RSFDP QPI 模式指令时序

命令

9.3 寄存器访问指令

9.3.1 读取状态寄存器 1 (RDSR1 05h)

读取状态寄存器 1 (RDSR1) 指令允许从 SO 读取状态寄存器 1 的内容。状态寄存器 1 (SR1V) 内容的易失性版本可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。通过提供八个时钟周期的整数倍，可以连续读取状态寄存器 1。每读取八个周期就会更新一次状态。RDSR1 (05h) 指令的最大时钟频率为 133 MHz。

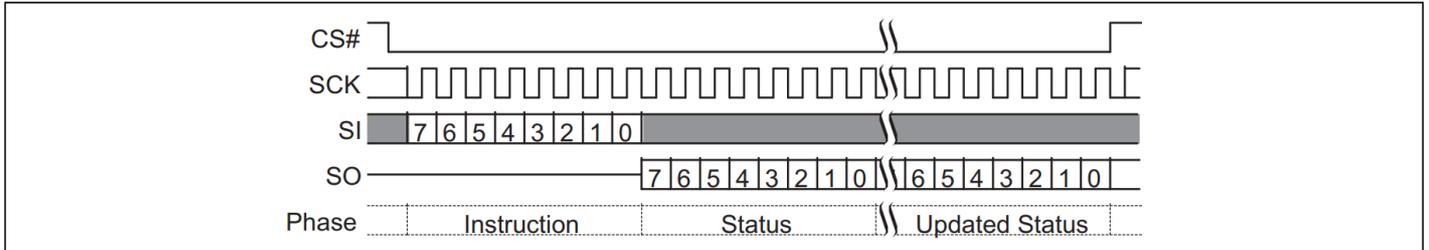


图 45 读取状态寄存器 1 (RDSR1) 指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，返回数据在 IO0-IO3 上移出，每个字节两个时钟周期。

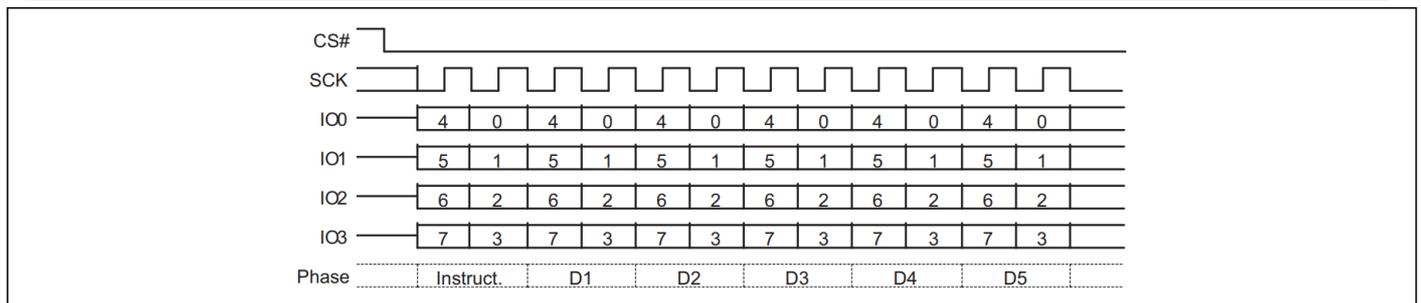


图 46 读取状态寄存器 1 (RDSR1) QPI 模式指令

9.3.2 读取状态寄存器 2 (RDSR2 07h)

读取状态寄存器 2 (RDSR2) 指令允许从 SO 读取状态寄存器 2 的内容。状态寄存器 2 的内容可随时读取，即使在编程、擦除或写入操作进行时也是如此。通过提供八个时钟周期的倍数，可以连续读取状态寄存器 2。每读取八个周期就会更新一次状态。RDSR2 指令的最大时钟频率为 133 MHz。

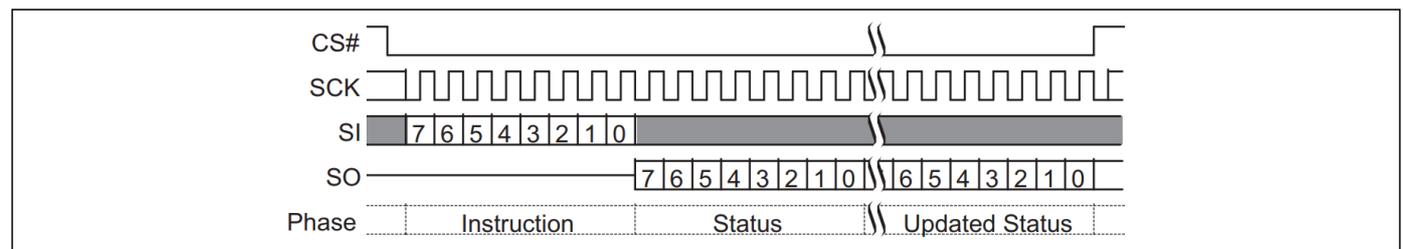


图 47 读取状态寄存器 2 (RDSR2) 指令

在 QPI 模式下，状态寄存器 2 可以通过读取任意寄存器指令读取，参见“[读取任意寄存器 \(RDAR 65h\)](#)”见第 94 页。

命令

9.3.3 读取配置寄存器 (RDCR 35h)

Read 配置寄存器 (RDCR) 指令允许从 SO 读取易失性配置寄存器 (CR1V) 内容。通过提供八个时钟周期的倍数，可以连续读取 CR1V。可以随时读取配置寄存器的内容，即使在编程、擦除或写入操作进行时也是如此。

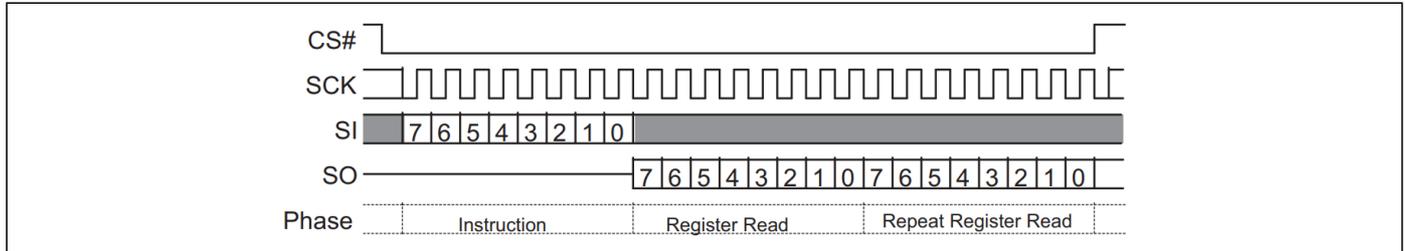


图 48 读取配置寄存器 (RDCR) 指令时序

在 QPI 模式下，可以通过读取任何寄存器指令读取配置寄存器 1，请参阅94页“[读取任何寄存器 \(RDAR 65h\)](#)”。

9.3.4 写入寄存器 (WRR 01h)

写寄存器 (WRR) 指令允许将新值写入状态寄存器 1 和配置寄存器 1。在器件接受写寄存器 (WRR) 指令之前，必须接收写使能 (WREN) 指令。成功解码写入使能 (WREN) 指令后，器件将在状态寄存器中置位写入使能锁存器 (WEL)，以允许任何写入操作。

通过在 SI 上移位指令和数据字节来输入写入寄存器 (WRR) 命令。状态寄存器的长度为一个数据字节。

WRR 操作首先写入寄存器，然后将新值编程为单个操作。如果 WRR 操作失败，写入寄存器 (WRR) 指令将设置 P_ERR 或 E_ERR 位。参见“[注册状态 1 易失性 \(SR1V\)](#)”在分页 53 上查看错误位的描述。为将来保留的任何状态或配置寄存器位必须写为“0”。

锁存第八位或第十六位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行写寄存器 (WRR) 指令。如果 CS# 在第八个周期后被驱动为高电平，则只写入状态寄存器 1；否则，在第十六个周期后，状态寄存器和配置寄存器都会被写入。

一旦 CS# 被驱动到逻辑高电平状态，自定时写入寄存器 (WRR) 操作就会启动。当写入寄存器 (WRR) 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时写寄存器 (WRR) 操作期间为“1”，完成时为“0”。当写寄存器 (WRR) 操作完成后，写能锁存器 (WEL) 被置位为‘0’。WRR 指令的最大时钟频率为 133 MHz。

QPI模式也支持该指令。在 QPI 模式下，指令和数据在 IO0-IO3 上移入，每个字节两个时钟周期。

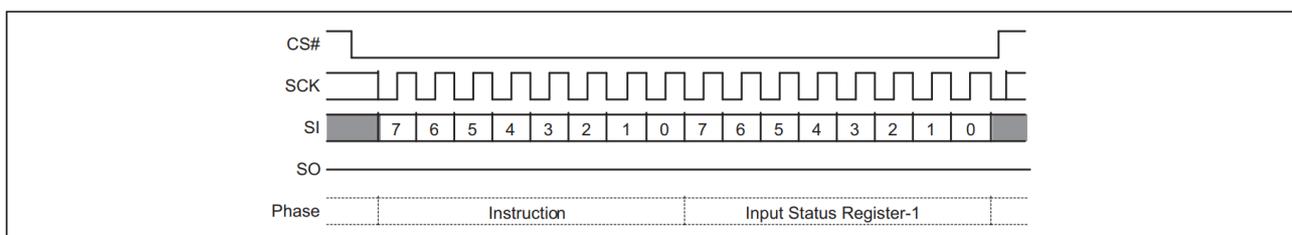


图 49 写寄存器 (WRR) 指令时序 - 8 个数据位

命令

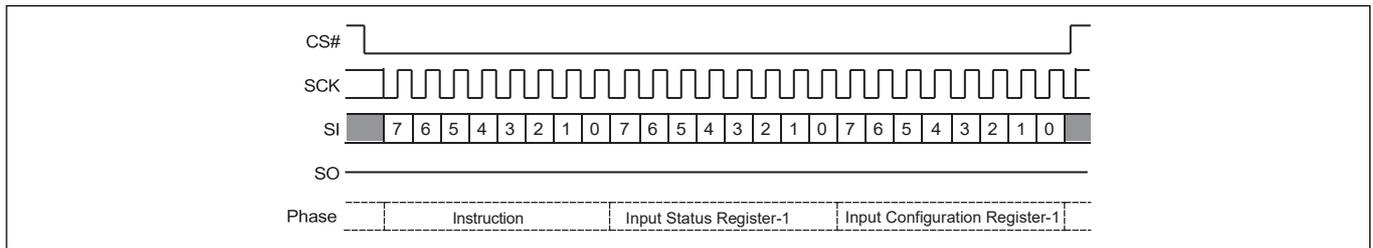


图 50 写寄存器 (WRR) 指令时序 - 16 个数据位

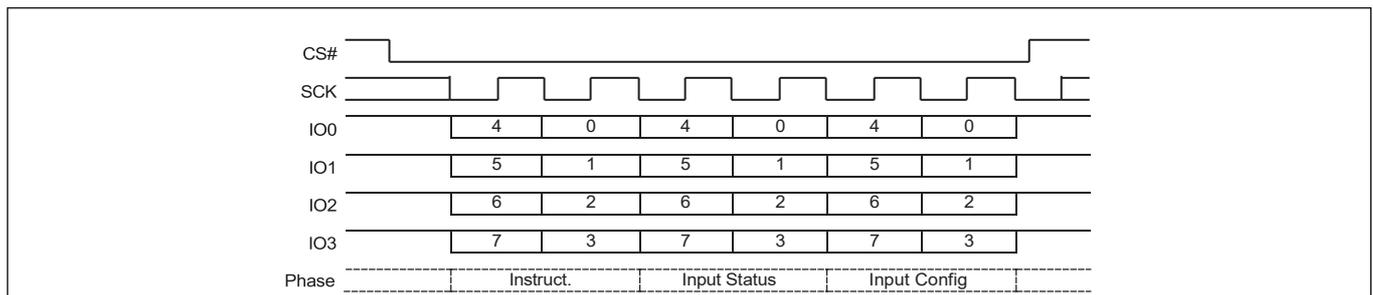


图 51 写寄存器 (WRR) 指令时序 - 16 数据位 QPI 模式

写入寄存器 (WRR) 指令读取四位 (CR1NV[1]) 的非易失性版本, 这也会导致易失性版本 CR1V[1] 的更新。WRR 命令无法在不首先影响非易失性版本 CR1NV[1] 的情况下写入易失性版本 CR1V[1]。当需要写入易失性位 CR1V[1] 而不影响非易失性 CR1NV[1] 时, 必须使用 WRAR 指令。

写入寄存器 (WRR) 指令允许用户更改非易失性状态寄存器 1 或易失性状态寄存器 1 中的功能块保护 (BP2、BP1 和 BP0) 位的值, 以定义将被视为只读的区域的大小。BPNV_O 位 (CR1NV[3]) 控制 WRR 是否写入状态寄存器 1 的非易失性或易失性。当 CR1NV[3] = 0 时, WRR 写入 SR1NV[4:2]。当 CR1NV[3] = 1 时, WRR 写入 SR1V[4:2]。

写入寄存器 (WRR) 指令还允许用户将状态寄存器写入禁止使能 (SRWD) 位设置为“1”或“0”。状态寄存器写失效, 不能使能 (SRWD) 位和写保护 (WP#) 信号允许 BP 位受到硬件保护。

当状态寄存器的写禁用 (SRWD) 位为“0” (其初始交付状态) 时, 只要写入使能锁存器 (WEL) 位先前已被写入使能 (WREN) 指令置位, 就可以写入状态寄存器, 无论写入保护 (WP#) 信号是否被驱动为逻辑高电平或逻辑低电平状态。

当状态寄存器的 Write 禁止使能 (SRWD) 位置位为 '1' 时, 需要考虑两种情况, 具体取决于 Write Protect (WP#) 的状态:

- 如果写保护 (WP#) 信号被驱动为逻辑高电平状态, 则可以写入状态和配置寄存器, 前提是已通过启动写使能 (WREN) 指令将写使能锁存器 (WEL) 位先前置位为“1”。
- 如果写保护 (WP#) 信号被驱动为逻辑低电平状态, 则即使之前已通过写使能 (WREN) 指令将写使能锁存器 (WEL) 位设置为“1”, 也无法写入状态和配置寄存器。尝试写入状态和配置寄存器的操作将被拒绝, 不接受执行, 并且不提供任何错误指示。因此, 受状态寄存器的功能块保护 (BP2、BP1、BP0) 位保护的闪存区域中的所有数据字节也受到 WP# 的硬件保护。

WP# 硬件保护可提供:

- 将写保护 (WP#) 信号驱动至逻辑低电平状态后, 通过设置状态寄存器写禁止使能 (SRWD) 位;

命令

- 或将状态寄存器禁止使能 (SRWD) 位设置为“1”后，将写保护 (WP#) 信号驱动至逻辑低电平状态。

释放硬件保护的唯一方法是将写保护 (WP#) 信号拉至逻辑高电平状态。如果 WP# 一直处于高电平，则 BP 位的硬件保护就永远不会被激活。

表 46 功能块保护模式

WP#	SRWD Bit	Mode	Write protection of registers	Memory content	
				Protected area	Unprotected area
1	1	Software Protected	Status and Configuration Registers are Writable (if WREN command has set the WEL bit). The values in the SRWD, BP2, BP1, and BP0 bits and those in the Configuration Register can be changed	Protected against Page Program, Sector Erase, and Bulk Erase	Ready to accept Page Program, and Sector Erase commands
1	0				
0	0				
0	1	Hardware Protected	Status and Configuration Registers are Hardware Write Protected. The values in the SRWD, BP2, BP1, and BP0 bits and those in the Configuration Register cannot be changed	Protected against Page Program, Sector Erase, and Bulk Erase	Ready to accept Page Program or Erase commands

注释:

46. 当器件首次从 Infineon 出厂给客户时，状态寄存器最初显示为 00h。
47. 使能四线模式 (CR1V[1] = 1) 时，硬件保护被禁用。WP# 变成 IO2；因此无法使用。

9.3.5 写使能 (WREN 06h)

写入使能 (WREN) 指令将状态寄存器 1 (SR1V[1]) 的写入使能锁存器 (WEL) 位设置为“1”。写入使能锁存器 (WEL) 位必须通过发出写入使能 (WREN) 指令置位为“1”以进行写入、编程和擦除指令。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令字节的第八位被锁存在 SI 上之后，如果 CS# 没有被驱动到逻辑高电平状态，那么写使能操作将不会被执行。

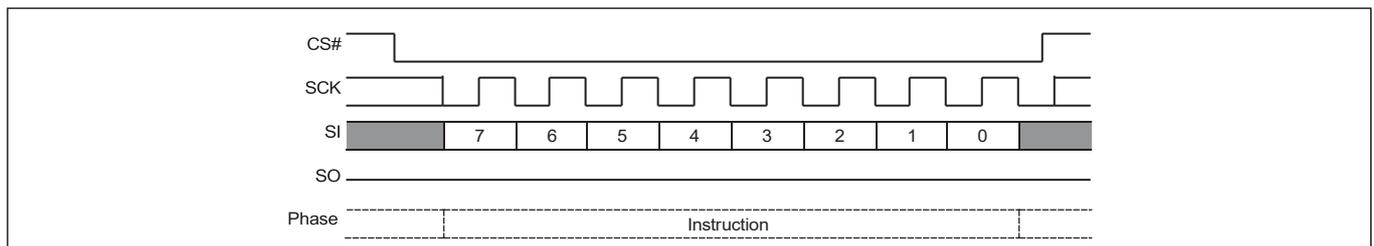


图 52 写使能 (WREN) 指令时序

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

命令

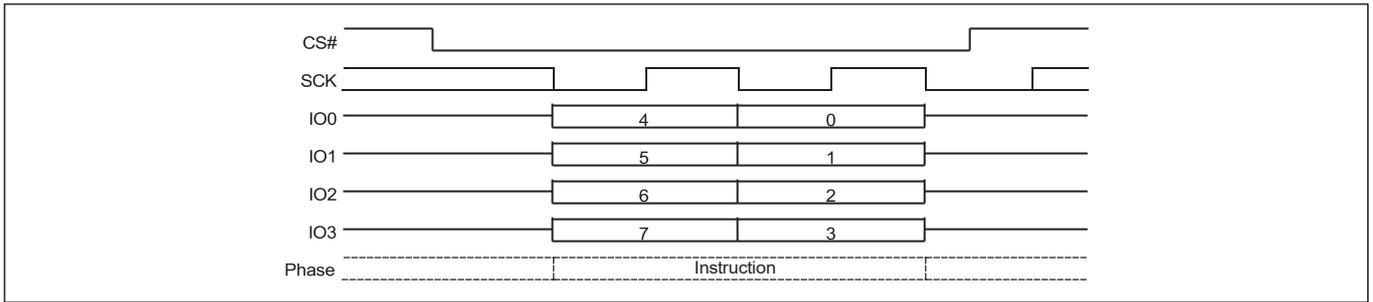


图 53 写使能 (WREN) 指令时序 QPI 模式

9.3.6 写禁止使能 (WRDI 04h)

写禁用 (WRDI) 指令将状态寄存器 1 (SR1V[1]) 的写使能锁存器 (WEL) 位清除为“0”。

写使能锁存器 (WEL) 位可以通过发出写 OTP，禁止使能 (WRDI) 指令来清除为“0”。用户可以使用 WRDI 指令来保护闪存区域，防止意外写入，从而可能损坏闪存内容。当 WIP 位 = 1 时，嵌入式操作期间 WRDI 指令将被忽略。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令的第八位字节被锁存到 SI 上之后，如果 CS 没有被驱动到逻辑高状态，则写禁止使能操作将不会被执行。

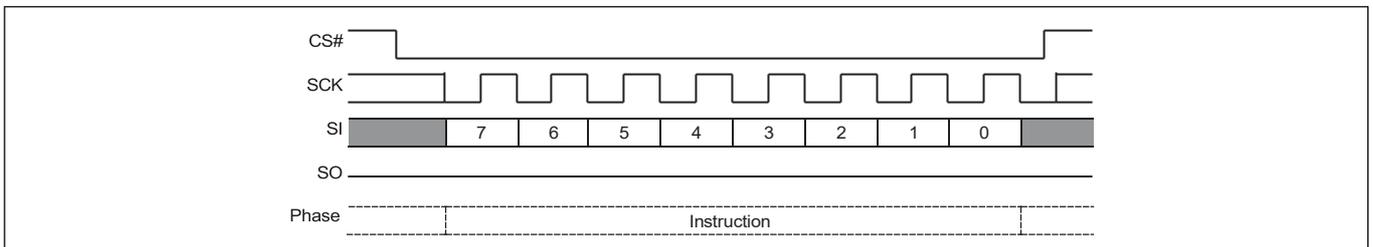


图 54 写禁止使能 (WRDI) 指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

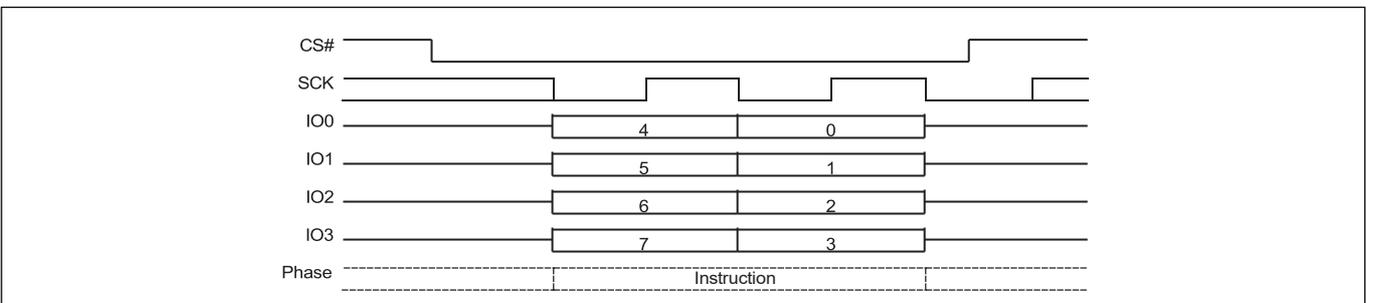


图 55 写禁止使能 (WRDI) 指令时序 QPI 模式

命令

9.3.7 清除状态寄存器 (CLSR 30h 或 82h)

清除状态寄存器指令会复位位 SR1V[5] (擦除失败标志) 和位 SR1V[6] (编程失败标志)。在执行清除状态寄存器指令之前，无需置位 WEL 位。即使器件保持忙且 WIP 置位为“1”，清除状态寄存器指令也会被接受，因为当任一故障位为置位时器件确实保持忙。该指令执行后，WEL 位不会改变。

传统的清除状态寄存器 (CLSR 30h) 指令可能会被禁用，并且 30h 指令值会被用于编程 / 擦除恢复指令 - 请参阅“[配置寄存器 3](#)”在 61 页。清除状态寄存器备用指令 (CLSR 82h) 始终可用于清除状态寄存器。

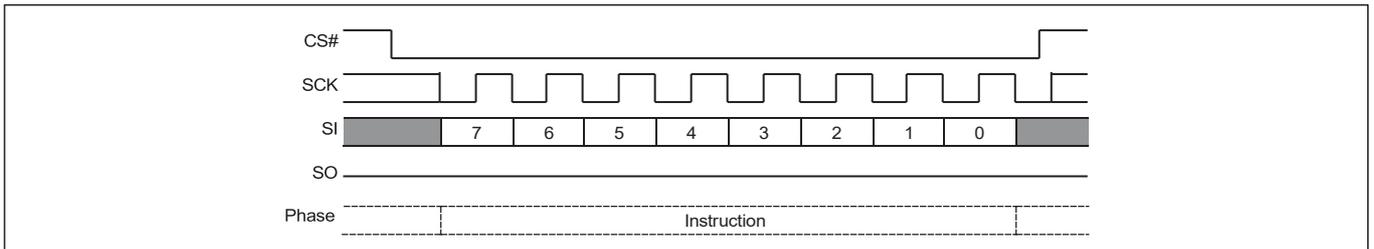


图 56 清除状态寄存器 (CLSR) 指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

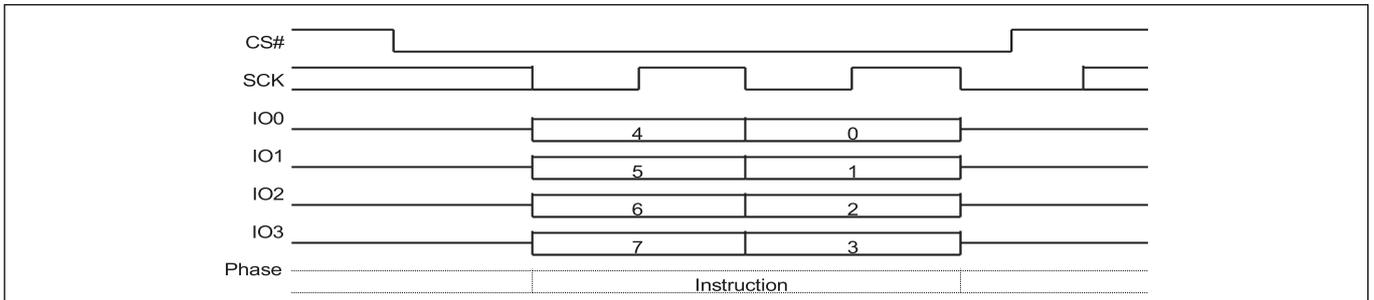


图 57 清除状态寄存器 (CLSR) 指令时序 QPI 模式

命令

9.3.8 ECC 状态寄存器读取 (ECCRD 19h 或 4EECRD 18h)

要读取ECC地址状态，指令后面跟着ECC单元地址，该地址的4个最低有效位 (LSB) 必须置位为0。接下来是通过 CR2V[3:0] 中的读取延时值选择的虚拟周期数。然后，ECC寄存器的8位内容来，选择的ECC单元地址，在 SO 上移出 16 次，ECC单元中每字节移出一。如果CS保持低电平，则通过SO发送下一个ECC单元状态16次，ECC单元中每字节一次。ECC读取命令的最大工作时钟频率为 133 MHz。

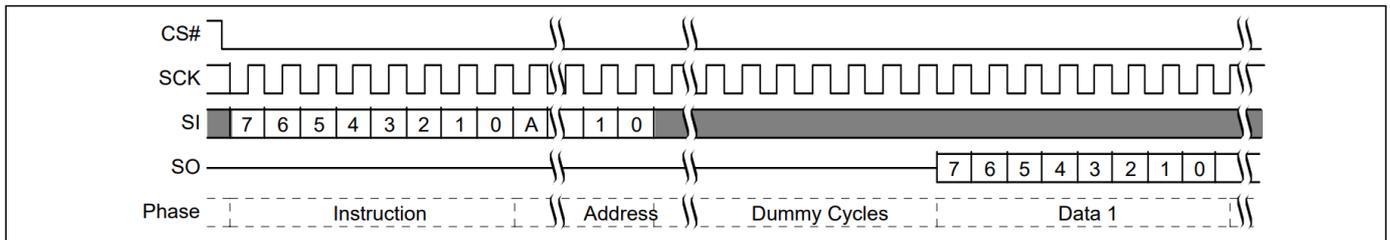


图 58 ECC 状态寄存器读取命令时序^[48, 49]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

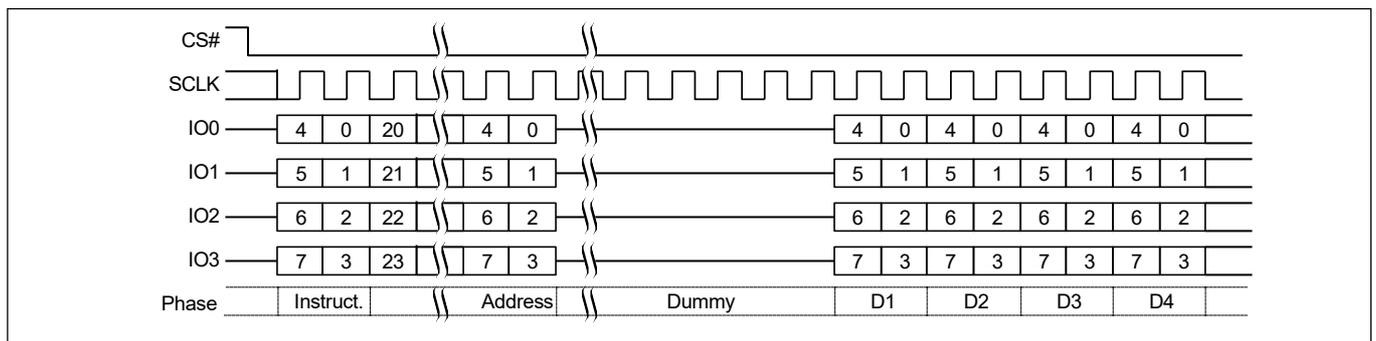


图 59 ECCRD (19h)，四线全模式，CR2[7] = 0，指令时序

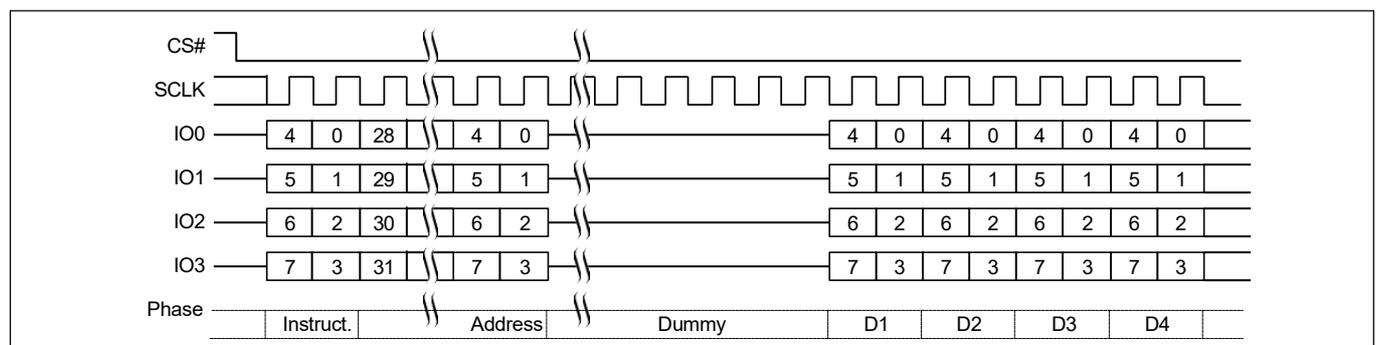


图 60 ECCRD (19h)，四线全模式，CR2[7] = 1，或 4EECRD (18h) 指令时序

Notes

- 48. A = 地址最高有效位 (MSB) = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 指令为 19h。
- 49. A = 地址的 MSb = 31, 指令为 18h。

命令

9.3.9 编程 NVDLR (PNVDLR 43h)

在器件接受编程NVDLR (PNVDLR) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 PNVDLR 操作。

PNVDLR 命令是通过将指令和数据字节移到 SI 上来输入的。

锁存第八 (8) 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不执行 PNVDLR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PNVDLR 操作就会启动。当 PNVDLR 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PNVDLR 周期内为“1”，完成时为 0。PNVDLR 操作可以在状态寄存器的 P_ERR 位中报告编程错误。当 PNVDLR 操作完成后，写使能锁存器 (WEL) 被置位为‘0’。PNVDLR 指令的最大时钟频率为 133 MHz。

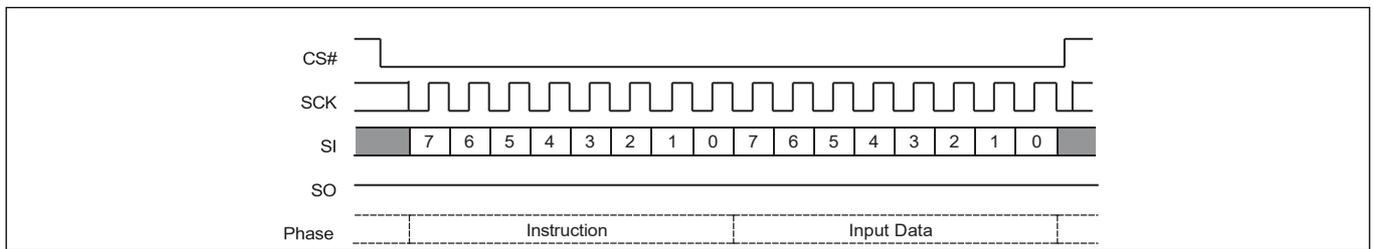


图 61 编程 NVDLR (PNVDLR) 指令时序

9.3.10 写入 VDLR (WVDLR 4Ah)

在器件接受 Write VDLR (WVDLR) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 WVDLR 操作。

通过在 SI 上移位指令和数据字节来输入 WVDLR 命令。

锁存第八 (8) 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 WVDLR 指令。一旦 CS# 被驱动到逻辑高电平状态，WVDLR 操作就会立即启动，不会有任何延时。PNVDLR 指令的最大时钟频率为 133 MHz。

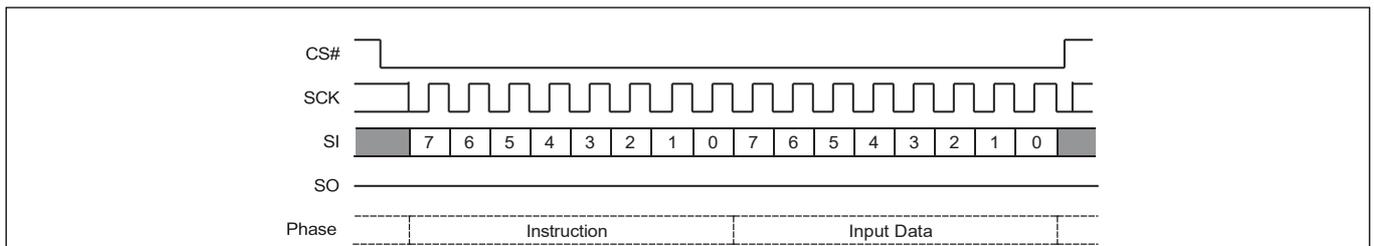


图 62 写入 VDLR (WVDLR) 指令时序

命令

9.3.11 数据学习类型码读取 (DLPRD 41h)

指令在 SI 上移位，然后 8 位 DLP 在 SO 上移出。通过提供八个时钟周期的倍数，可以连续读取 DLP。DLPRD 指令的最大工作时钟频率为 133 MHz。

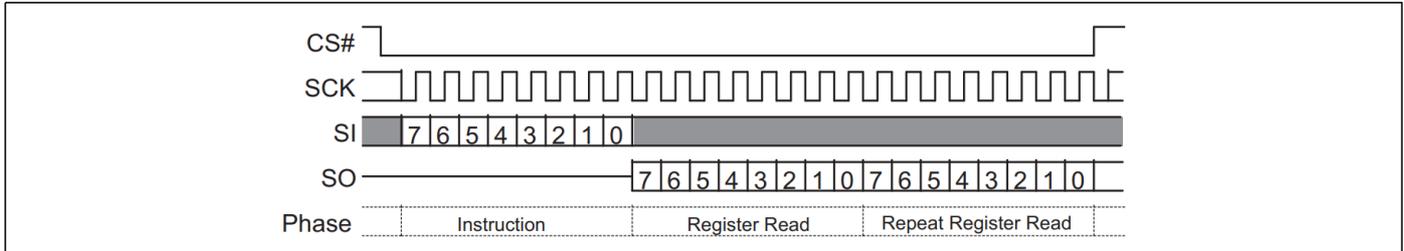


图 63 DLP 读取 (DLPRD) 指令时序

9.3.12 进入 4 字节地址模式 (4BAM B7h)

输入 4 字节地址模式 (4BAM) 指令将易失性地址长度位 (CR2V[7]) 设置为“1”，以将大部分 3 字节地址指令更改为需要 4 字节地址。读取 SFDP (RSFDP) 指令是唯一的
不受 3 字节指令表示地址长度位的影响。JEDEC JESD216 标准要求 RSFDP 始终只有 3 个字节的地址。
需要硬件或软件复位才能退出 4 字节地址模式。

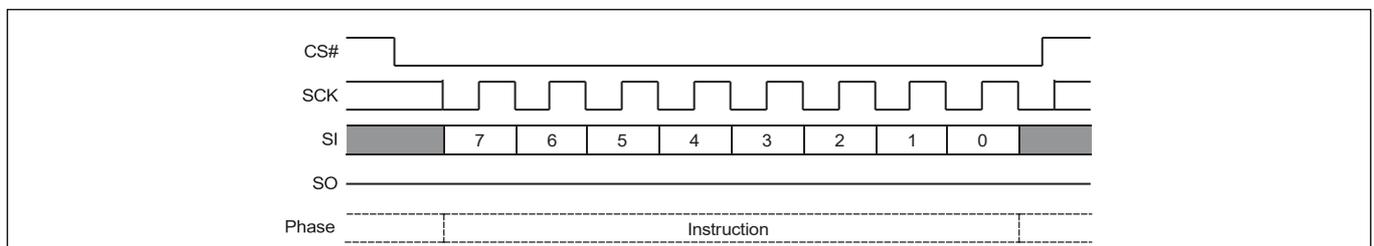


图 64 输入 4 字节地址模式 (4BAM B7h) 指令时序

9.3.13 读取任何寄存器 (RDAR 65h)

读取任何寄存器 (RDAR) 指令提供了一种读取所有器件寄存器的方法 - 非易失性和易失性。该指令后跟一个 3 或 4 字节地址 (取决于地址长度配置 CR2V[7])，后跟由 CR2V[3:0] 置位的多个延迟 (虚拟) 周期。然后返回所选寄存器的内容。如果继续读取，则返回相同地址的寄存器内容，直到指令终止 - 每个 RDAR 指令只读取一个寄存器。

读取未定义的位置会提供未定义的数据。

RDAR 指令可以在嵌入式操作期间使用来读取状态寄存器 1 (SR1V)。

RDAR 指令不用于读取作为更大窗口的寄存器：PPBAR 和 DYBAR。需要单独的指令来选择和读取所访问阵列中的位置。

如果通过将 ASPR[2] 编程为“0”来选择 ASP 密码保护模式，则 RDAR 指令将从 PASS 寄存器位置读取无效数据。

命令

表 47 寄存器地址映射

Byte address (Hex)	Register name	Description
00000000	SR1NV	Non-volatile Status and Configuration Registers
00000001	N/A	
00000002	CR1NV	
00000003	CR2NV	
00000004	CR3NV	
00000005	CR4NV	
...	N/A	N/A
00000010	NVDLR	Non-volatile Data Learning Register
...	N/A	N/A
00000020	PASS[7:0]	Non-volatile Password Register
00000021	PASS[15:8]	
00000022	PASS[23:16]	
00000023	PASS[31:24]	
00000024	PASS[39:32]	
00000025	PASS[47:40]	
00000026	PASS[55:48]	
00000027	PASS[63:56]	
...	N/A	N/A
00000030	ASPR[7:0]	Non-volatile
00000031	ASPR[15:8]	
...	N/A	
00800000	SR1V	Volatile Status and Configuration Registers
00800001	SR2V	
00800002	CR1V	
00800003	CR2V	
00800004	CR3V	
00800005	CR4V	
...	N/A	N/A
00800010	VDLR	Volatile Data Learning Register
...	N/A	N/A
00800040	PPBL	Volatile PPB Lock Register
...	N/A	N/A

命令

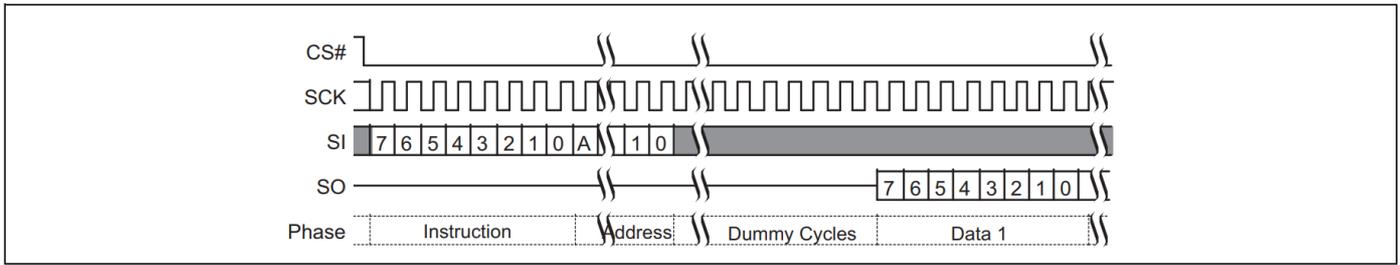


图 65 Read Any Register 读取命令时序^[50]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

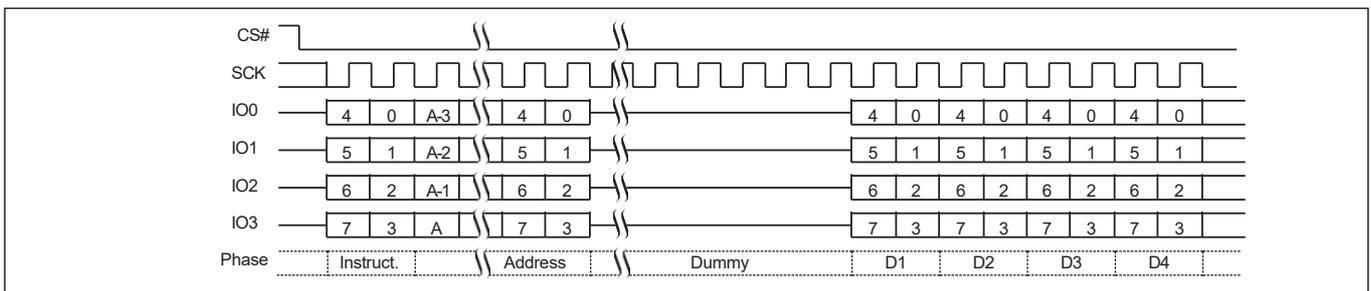


图 66 读取任意寄存器，QPI 模式，指令时序^[50]

9.3.14 写入任意寄存器 (WRAR 71h)

写入任意寄存器(WRAR) 指令提供了一种写入任何器件寄存器的方法 - 非易失性或易失性。指令后跟一个 3 或 4 字节地址（取决于地址长度配置 CR2V[7]），后跟要写入地址选定寄存器中的一个字节的数据。

在器件接受 WRAR 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL) 以允许任何写操作。

注：

50. A = 地址最高有效位 = 23（对于地址长度 CR2V[7] = 0），或 31（对于 CR2V[7] = 1）。

命令

工作可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR1V 中的 P_ERR 和 E_ERR 位来确定操作期间是否发生任何错误。

一些寄存器混合了多种位类型，并且有单独的规则来控制哪些位可以被修改。有些位是只读的，有些是 OTP 的。

只读位永远不会被修改，并且 WRAR 指令数据字节中的相关位将被忽略，而不会设置编程或擦除错误指示 (SR1V 中的 P_ERR 或 E_ERR)。因此，WRAR 数据字节中这些位的值并不重要。

OTP 位只能被编程为与其默认状态相反的电平。将 OTP 位写回到其默认状态的操作将被忽略，并且不会发生任何错误。

由 WRAR 数据改变的非易失性位需要更新非易失性寄存器写入时间 (t_w)。更新过程涉及到对非易失性寄存器位的编程操作。如果擦除或编程部分失败，SR1V 中的相关故障位和 WIP 将置位为“1”。

由 WRAR 数据改变的易失性位需要更新易失性寄存器写入时间 (t_{CS})。状态寄存器 1 可反复读取 (轮询) 监测器的写入进度 (WIP) 位 (SR1V[0]) 和错误位 (SR1V[6,5])，以确定寄存器写入何时完成或失败。如果写入失败，则清除状态指令用于清除错误状态，使器件能够返回待机状态。

然而，PPBL 寄存器不能通过 WRAR 指令写入。只有 PPB 锁定位写入 (PLBWR) 指令可以写入 PPBL 寄存器。指令时序和行为与 PP 或 4PP 指令相同，仅提供单个字节的数据。请参阅“[页编程 \(PP 02h 或 4PP 12h\)](#)”在 108 页。

寄存器的地址映射与“[Read 任何注册 \(RDAR 65h\)](#)”在 分页 94。

9.3.15 设置突发长度 (SBL C0h)

设置突发长度 (SBL) 指令用于配置突发回卷特点。在传统 SPI 或 QPI 模式下，突发回卷与四线 I/O 读取和 DDR 四线 I/O 读取结合使用，以访问固定长度和对齐的数据。某些应用程序可以从此特性中受益，从而提高整体系统代码执行性能。突发回卷特点允许使用缓存的应用首先用来自关键地址的指令或数据填充缓存行，然后用固定长度 (8/16/32/64 字节) 的数据填充缓存行的剩余部分，而无需发出多个读取指令。

设置位突发长度 (SBL) 指令写入 CR4V 寄存器位 4、1 和 0 来使能或禁止使能回卷读取特性，并且设置位为回卷边界。CR4V 寄存器的其他位不受 SBL 指令的影响。当启用回卷读取特性时，相关的读取指令从顺序读取直到指令结束变为在一组字节内顺序包装读取。

当 CR4V[4] = 1 时，不支持回卷模式，并且执行无限长度的顺序读取。

当 CR4V[4] = 0 时，启用回卷模式，从读取命令提供的字节地址开始读取固定长度且对齐的 8、16、32 或 64 字节组，并在组对齐边界处回卷。

字节组的长度为 8、16、32 或 64 字节边界。CR4V[1:0] 选择边界。请参阅“[配置寄存器-4 易失性 \(CR4V\)](#)”在 页 64。

读取命令的起始地址选择字节组，返回的第一个数据是寻址的字节。然后按顺序读取字节，直到到达组边界的末尾。如果继续读取

命令

地址会换行到组的开头，并继续按顺序读取。这个回卷的读取时序持续到指令通过 CS 返回高电平来结束。

表 48 突发回卷时序示例

CR4V[4,1:0] value (hex)	Wrap boundary (bytes)	Start address (hex)	Address sequence (hex)
1X	Sequential	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
00	8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02, ...
		XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01, ...
01	16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, ...
		XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, ...
02	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, ...
		XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, ...
03	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02 ...
		XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, ...

通过使用 WRAR 指令将 CR4NV 编程为所需值，可以更改上电复位、硬件复位或软件复位默认突发长度。

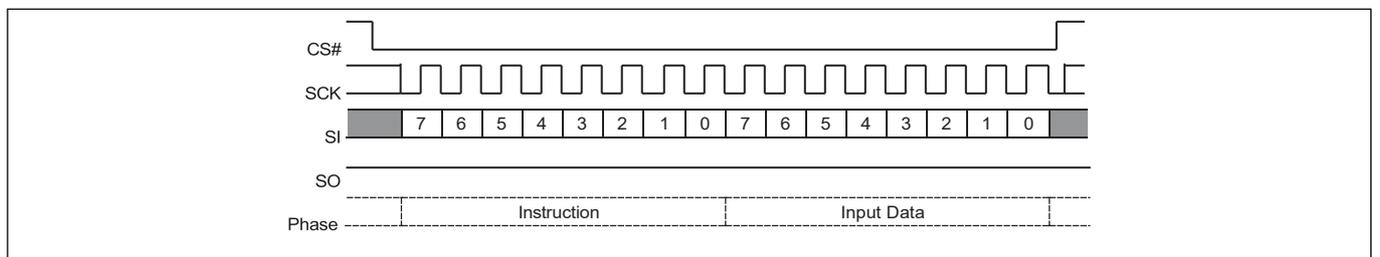


图 67 置位突发长度指令时序

9.4 读取闪存阵列指令

主闪存阵列的读取指令为上一代SPI兼容性或增强型性能SPI提供了许多选项：

- 某些指令在 SCK 的每个上升沿传输地址或数据。这些称为单数据率指令 (SDR)。
- 某些 SDR 指令在每个 SCK 上升沿传送 1 位数据，并在每个 SCK 上升沿返回 1 位数据。这些称为单线宽度指令。
- 某些 SDR 指令在每个 SCK 上升沿传输 2 或 4 位地址和数据。对于两位，它们被称为双线 I/O；对于四位，它们被称为四线 I/O 和 QPI。QPI 也在每个上升沿传输 4 位指令。
- 一些指令在 SCK 的上升沿和下降沿都传输地址和数据。这些称为双倍数据率 (DDR) 指令。

命令

- 每个 SCK 边沿有 4 位地址或数据的 DDR 指令。这些被称为四线 I/O DDR 和 QPI DDR，用于每边传输 4 位。

所有这些命令（QPI 读取除外）都以指令代码开始，该指令代码在每个 SCK 上升沿传输一位。QPI 读在每个 SCK 上升沿传输 4 位指令。该指令后跟在 SDR 或 DDR 上传输 3 或 4 字节地址。每个时钟沿传输地址或数据 2 或 4 位的指令称为多线 I/O (MIO) 指令。对于 S25FS512S 设备，传统的 SPI 3 字节地址无法直接寻址存储器阵列中的所有位置。提供单独的 4 字节地址读取指令用于访问整个地址空间。主控系统可以把这些使用传统的 3 字节地址指令配置为 4 字节地址。传统指令的 4 字节地址模式通过将配置寄存器 2 中的地址长度位设置为“0”来激活。

四线 I/O 和 QPI 指令提供了由在地址位之后发送的模式位控制的性能改进选项。模式位指示当前读取结束后的指令是否是另一个相同类型的读取，而在读取开始时没有指令。这些模式位提供了在进行一系列四线读访问时消除指令周期的选项。

某些指令需要地址或模式位后面的延时周期，以允许有时间访问闪存阵列 - 读取延时。延时或读取等待时间周期传统上被称为虚拟周期。存储器会忽略虚拟周期，因此主控在这些周期内提供的任何数据都是“不关心的”，并且主控也可能在虚拟周期内将 SI 信号保持在高阻态。当使用 MIO 指令时，主控必须在最后一个虚拟周期结束之前停止驱动 IO 信号（输出为高阻态）。当使用 DDR 指令时，主控不得在任何虚拟周期内驱动 I/O 信号。虚拟周期的数量随通过配置寄存器 2 (CR2V[3:0]) 延时编码位选择的 SCK 频率或性能选项而变化。虚拟周期是按 SCK 下降沿到下一个 SCK 下降沿进行计算的。SPI 输出传统上在每个 SCK 的下降沿被驱动为一个新值。零虚拟周期意味着返回数据由内存在主控停止驱动地址或模式位的同一 SCK 下降沿驱动。

DDR 指令可以选择性地具有由存储器驱动的 8 边数据学习唤醒类型码 (DLP)，在所有数据输出上，在数据开始之前的虚拟周期中。DLP 可以帮助主控存储控制器确定 SCK 到数据边缘的相位差，以便存储控制器可以捕获数据眼中心的数据。

当在较高的 SCK 频率 (>50 MHz) 下使用 SDR I/O 指令时，应选择提供 1 个或多个虚拟周期的 LC，以便在存储器开始驱动数据之前为主控提供额外的时间停止驱动，从而最大限度地减少 I/O 驱动器冲突。当使用启用了 DLP 的 DDR I/O 指令时，应选择提供 5 个或更多虚拟周期的 LC，以便在闪存开始驱动 4 个周期的 DLP 之前，允许主控有 1 个周期的额外时间停止驱动。

在数据返回期间的任何时候，当 CS# 返回高电平时，每个读取命令都结束。在数据返回之前的模式或虚拟周期内，CS 不得返回高电平，因为这可能会导致模式位被错误捕获；从而不确定器件是否保持连续读取模式。

9.4.1 读取（读取 03h 或 4READ 13h）

指令

- 03h (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 03h (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 13h 后跟一个 4 字节地址 (A31-A0)

然后将给定地址处的内存内容移出 SO。读取命令的最大工作时钟频率为 50 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，

命令

地址计数器将回滚并回滚至 000000h，从而允许读取序列无限期地继续。

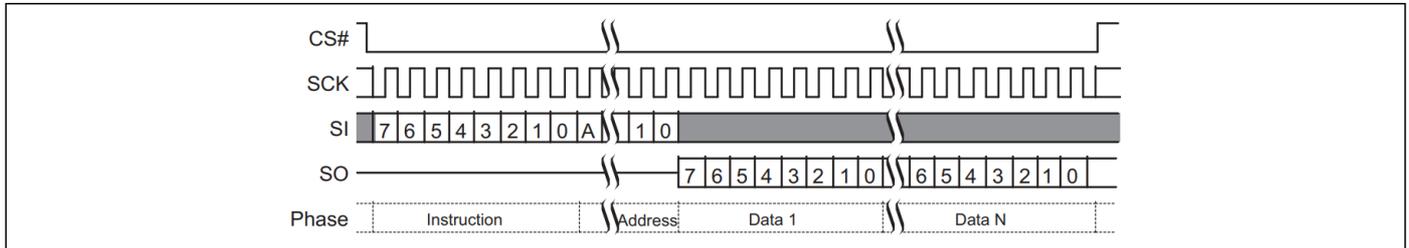


图 68 读取命令序列 (3 字节地址, 03h 或 13h)

9.4.2 快速读取 (FAST_READ 0Bh 或 4FAST_READ 0Ch)

指令

- 0Bh (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 0Bh (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 0Ch 后跟一个 4 字节地址 (A31-A0)

该地址后面是虚拟周期，具体取决于配置寄存器 CR2V[3:0] 中的延时编码值。虚拟周期为器件内部电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，SO 上的数据值为“无关”并且可能为高阻态。然后将给定地址处的内存内容移出 SO。

快速读取命令的最大工作时钟频率为 133 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回滚并回卷到 000000h，从而允许读取序列无限继续。

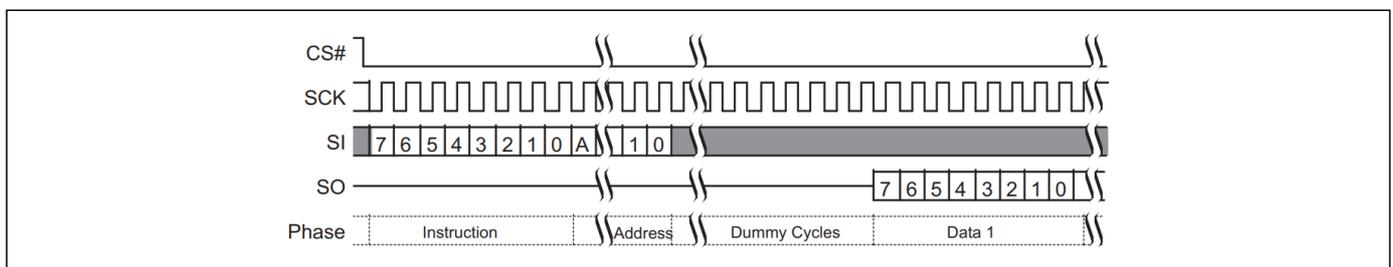


图 69 快速读取 (FAST_READ) 指令时序 (3-byte 地址, 0Bh [CR2V[7] = 0])^[52]

注释:

51. A = 地址最高有效位 = 23 (CR2V[7] = 0)，或 31 (CR2V[7] = 1 或指令 13h)。
52. A = 地址最高有效位 = 23 (CR2V[7] = 0)，或 31 (CR2V[7] = 1 或指令 0Ch)。

命令

9.4.3 双线 I/O 读取 (DIOR BBh 或 4DIOR BCh)

指令

- BBh (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- BBh (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- BCh 后跟一个 4 字节地址 (A31-A0)

双线 I/O 读取指令通过两个 I/O 信号 — IO0 (SI) 和 IO1 (SO) 来提高吞吐量。此指令接受地址的输入并在每个 SCK 上升沿返回两位读取数据。在某些应用中，减少的地址输入和数据输出时间可能允许代码就地执行 (XIP)，即直接从闪存器件执行。

双线 I/O 读取的最大工作时钟频率为 133 MHz。

双线 I/O 读取命令在地址后面有连续的读取模式位，因此，在第一个双线 I/O 读取命令发送 Axh 的模式位类型码后，一系列双线 I/O Read 指令可能会减少 8 位指令，表明后面的指令也将是双线 I/O 读取命令。系列中的第一个双线 I/O 读取命令以 8 位指令开始，然后是地址，然后是四个周期的模式位，然后是可选的延时周期。如果模式类型码为 Axh，则假定下一个指令是不提供指令位的额外的双线 I/O 读取命令。该指令以地址开头，后跟模式位，后跟可选延时。

在模式位移入 SI 和 SO 之后、数据开始移出 IO0 和 IO1 之前，可能会添加可变延时。此延时时间（虚拟周期）允许器件内部电路有足够的时间来访问初始地址处的数据。在虚拟周期期间，SI 和 SO 上的数据值是“无关”的并且可能为高阻态。虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

连续读取特性消除了读取访问序列中指令位的需要，并大大提高了代码执行 (XIP) 性能。模式位的高半字节 (位 7-4) 通过包含或排除第一个字节指令代码来控制下一个双 I/O 读取命令的长度。模式位的低半字节 (位 3-0) 为“无关” (“x”)，可能为高阻态。如果模式位等于 Axh，则器件保持双 I/O 连续读取模式，并且可以输入下一个地址 (在 CS 升高然后置位低电平之后)，而无需 BBh 或 BCh 指令，如图 71 所示；从而消除了 8 个指令序列周期。以下序列将从双 I/O 连续读取模式中释放器件；此后，器件可以接受标准 SPI 指令：

1. 在双线 I/O 连续读取命令时序期间，如果模式位是除 Axh 以外的任何值，则下次 CS 升高到高电平时，该器件将从双 I/O 连续读取模式中释放。
2. 发送模式复位指令。

注意，四个模式位周期是器件内部电路延时时间的一部分，用于在时钟输入 IO0 (SI) 和 IO1 (SO) 的最后一个地址周期之后访问初始地址。

重要的是，I/O 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动 (总线切换) 之前可用于关闭主控输出的时间减少。这是允许的，并且可能有助于防止 I/O 信号争用，主控系统可以在最后两个“无关”模式周期或任何虚拟周期内关闭 I/O 信号输出 (使其成为高阻态)。

在等待时间之后，给定地址的存储器内容通过 IO0 (SI) 和 IO1 (SO) 每次移出两位。在 SCK 信号的下降沿，以 SCK 频率移出两位。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回滚并回卷到 000000h，从而允许读取序列无限继续。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

命令

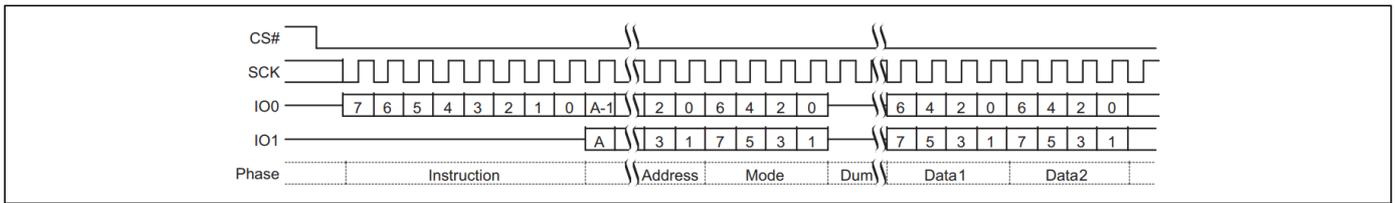


Figure 70 Dual I/O Read command sequence (BBh)^[53-55]

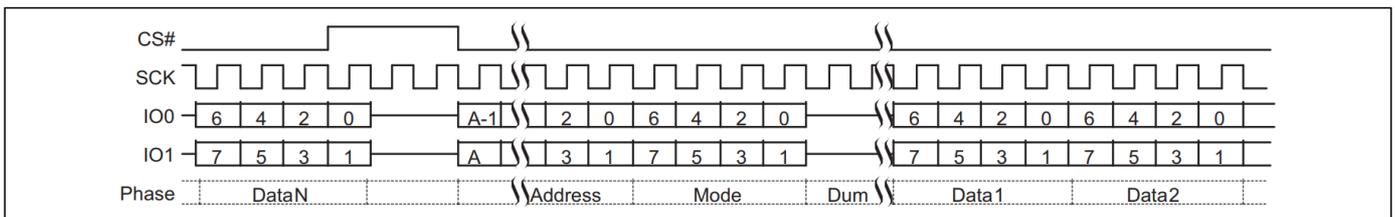


Figure 71 Dual I/O Continuous Read command sequence (BBh)^[56, 57]

9.4.4 四线 I/O 读取 (QIOR EBh 或 4QIOR ECh)

指令

- EBh (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- EBh (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- ECh 后跟一个 4 字节地址 (A31-A0)

四路 I/O 读取命令通过四个 I/O 信号 IO0-IO3 来提高吞吐量。它允许每个串行 SCK 时钟输入四位地址位。在某些应用中，减少的指令开销可能允许直接从 S25FS512S 器件执行代码 (XIP)。配置的 QUAD 位必须是配置 (CR1V[1]

= 1) 使 S25FS512S 器件的 Quad 功能得以实现。

四线 I/O 读取的最大工作时钟频率为 133 MHz。

对于四线 I/O 读取命令，在模式位 (如下所述) 之后，数据开始移出 IO0-IO3 之前需要有一个延时。该等待时间 (即虚拟周期) 允许器件的内部电路有足够的时间来访问初始地址处的数据。在延时周期内，IO0-IO3 上的数据值是“无关”的，并且可能处于高阻态。虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

在延时周期之后，给定地址处的存储器内容通过 IO0-IO3 每次移出四位。每个半字节 (4 位) 以 SCK 频率通过 SCK 信号的下降沿移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，

注释：

53. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 BBh。
54. A = 地址的 MSb = 31, 指令为 BBh。
55. 模式的最低有效 4 位是无关紧要的，主控可以选择驱动这些位。主控可能会在这些周期内关闭驱动器，以增加主控的模式位与从内存返回数据之间的总线切换时间。
56. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 BBh。
57. A = 地址的 MSb = 31, 指令为 BBh。

命令

地址计数器将回滚并回滚至 000000h，从而允许读取序列无限期地继续。

无需额外的四路 I/O 读取指令即可完成地址跳转。这是通过设置模式位（在地址序列之后，如图 72 所示）来控制的。这种增加的特性消除了对指令序列的需要，并大大提高了代码执行（XIP）。模式位的高半字节（位 7-4）通过包含或排除第一个字节指令代码来控制下一个四路 I/O 指令的长度。模式位的低半字节（位 3-0）为“无关”（“x”）。如果模式位等于 Axh，则器件保持为四路 I/O 高性能读取模式，并且可以输入下一个地址（在 CS 升为高电平然后置位低电平之后），而无需 EBh 或 ECh 指令，如图 74 所示。；因此，消除了指令序列的八个周期。

以下序列将从 Quad I/O High 性能读取模式中释放器件；之后，器件可以接受标准 SPI 指令：

1. 在 Quad I/O 读取命令序列期间，如果模式位是 Axh 以外的任何值，则下次 CS 升高时，器件将从 Quad I/O 高性能读取模式中释放。
2. 发送模式复位指令。

注意，两个模式位时钟周期和附加等待状态（即虚拟周期）允许器件的内部电路延时时间在时钟输入 IO0-IO3 的最后一个地址周期之后访问初始地址。

重要的是，IO0-IO3 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动（总线切换）之前可用于关闭主控输出的时间减少。这是允许的，并且可能有助于防止 IO0-IO3 信号争用，因为主控系统可以在最后一个“无关”模式周期或任何虚拟周期内关闭 IO0-IO3 信号输出（使其成为高阻态）。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

在 QPI 模式（CR2V[6] = 1）下，四线 I/O 指令在每个 SCK 上升沿发送 4 位。指令协议的其余部分与四线 I/O 指令相同。

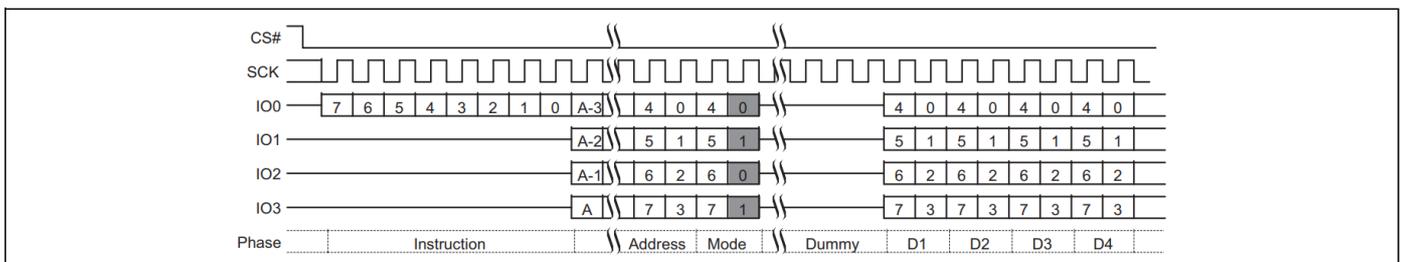


Figure 72 Quad I/O Read command sequence (EBh or ECh)^[58, 59]

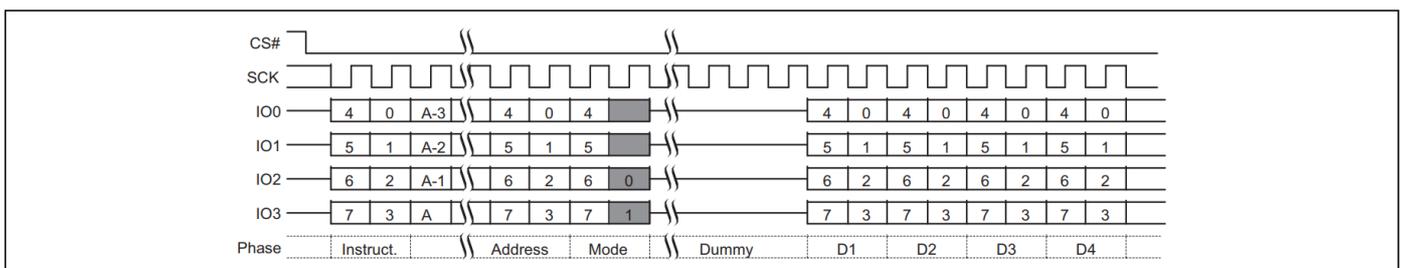


Figure 73 Quad I/O Read command sequence (EBh or ECh), QPI Mode^[58, 59]

注释：

58. A = 地址最高有效位 = 23 对于地址长度（CR2V[7] = 0，或 31 对于 CR2V[7] = 1，带指令 EBh。
59. A = 地址的 MSb = 31，指令为 ECh。

命令

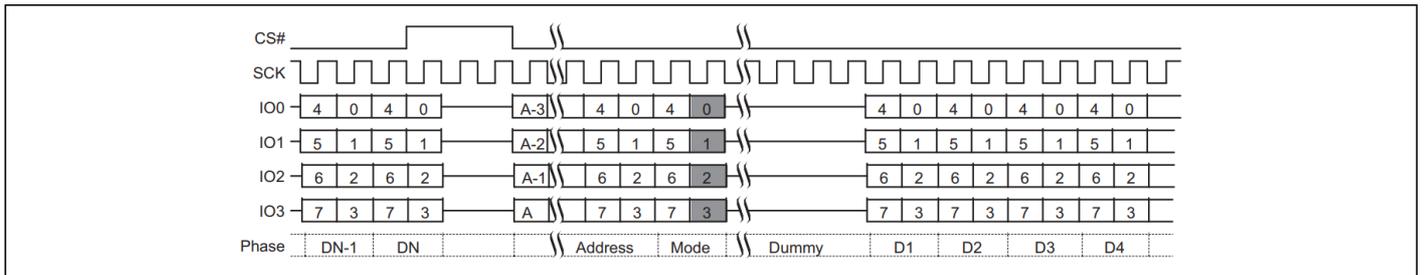


图 74 连续四路 I/O 读取命令序列 (EBh 或 ECh) [60, 61]

9.4.5 DDR 四线 I/O 读取 (EDh、EEh)

DDR 四线 I/O 读取命令通过四个 I/O 信号 IO0-IO3 提高吞吐量。它类似于四线 I/O 读取命令，但允许在时钟的每个边沿输入四位地址。在某些应用中，减少的指令开销可能允许直接从 S25FS512S 器件执行代码 (XIP)。配置的 QUAD 位必须为配置位 (CR1V[1] = 1) 才能启用 Quad 功能。

指令

- EDh (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- EDh (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- EEh 后跟一个 4 字节地址 (A31-A0)

地址后面是模式位。然后，给定地址的存储器内容以 DDR 方式移出，在每个时钟边沿通过 IO0-IO3 每次移出四位。

DDR 四线 I/O 读取命令的最大工作时钟频率为 80 MHz。

对于 DDR 四路 I/O 读取，在最后一个地址和模式位移入 IO0-IO3 信号之后，数据开始移出 IO0-IO3 之前需要一段延迟。该延时周期 (虚拟周期) 允许器件的内部电路有足够的时间来访问初始地址。在这些延时周期内，IO0-IO3 上的数据值是“不关心的”并且可能是高阻态。当数据学习模式 (DLP) 启用时，主控系统不得在虚拟周期期间驱动 IO 信号。主控必须将 IO 信号置于高阻态，以便存储器器件能够在虚拟周期内驱动 DLP。虚拟周期的数量由 SCK 的频率决定。延时在 CR2V[3:0] 中配置。

模式位允许一系列 Quad I/O DDR 指令在第一个指令发送互补模式位后移除 8 位指令，如图 75 所示。这一特点减少了对 8 位 SDR 指令序列的需要，并显著减少了开始读取时间 (提高了 XIP 性能)。模式位通过包含或不包含第一个字节指令代码来控制下一个 DDR Quad I/O 读取操作的长度。如果模式位的高半字节 (IO[7:4]) 和低半字节 (IO[3:0]) 互补 (即 5h 和 Ah)，器件将转换为 Continuous DDR Quad I/O 读取模式，并且可以进入下一个地址 (在 CS 升高然后断言为低电平时之后)，而无需使用 EDh 或 EEh 指令，如图 76 所示，从而从指令序列中减少了八个周期。以下序列将从连续 DDR Quad I/O 读取模式中释放器件；之后，器件可以接受标准 SPI 指令：

1. 在 DDR 四路 I/O 读取命令序列期间，如果模式位不互补，则下次 CS 升高然后置为低电平时，器件将从 DDR 四路 I/O 读取模式释放。
2. 发送模式复位指令。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，

注释：

60. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 EBh)。
61. A = 地址的 MSb = 31, 指令为 ECh。

命令

地址计数器将回滚并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。注意，存储设备可能会在第一个数据值之前使用前导码来驱动 IO。前导码是数据学习模式（DLP），主控控制器使用它来优化更高频率的数据捕获。前导码在数据输出前的四个时钟周期内驱动 IO 总线。主控必须确保持续器开始输出前导码之前停止驱动 IO 总线。

前导码旨在向主控控制器提供关于从主控驱动时钟边沿到相应数据值从存储器器件返回的往返时间的指示。主控控制器将在前导周期内偏移数据捕获点，以优化时序裕度，然后在剩余的读取操作期间使用相同的偏移时间来捕获数据。优化的捕获点将在每次读操作的前导周期内确定。该优化策略的目的是为了补偿存储器器件和主控控制器的 PVT（工艺、电压、温度）以及由 PCB 上的走线时间引起的任何系统电平延时。

尽管数据学习唤醒模式（DLP）是可编程的，下面的例子展示了 DLP 34h 的例子。DLP 34h（或 00110100）将在每个输出口（即所有 4 个 SIO）上驱动。选择此模式是为了涵盖“直流”和“交流”数据转换场景。两种直流转换场景包括数据低电平持续较长时间（两个半周期时钟），接着是高电平转换（001）和互补的低电平转换（110）。两种交流转换场景包括数据低电平持续较短时间（半个时钟周期），接着是高电平转换（101）和互补的低电平转换（010）。直流转换的起点通常比交流转换更靠近供电源轨，因为交流转换可能尚未完全稳定在稳态（直流）水平。在许多情况下，直流转换将限制数据有效期的开始，交流转换将限制数据有效期的结束。这些转换将允许主控控制器识别有效数据眼的开始和结束。一旦确定了数据眼，就可以选择最佳数据捕获点。参见“[SPI DDR 数据学习寄存器](#)”在分页 67 了解更多详情。

在 QPI 模式（CR2V[6]=1）下，DDR 四线 I/O 指令在每个 SCK 上升沿发送 4 位。指令协议的其余部分与 DDR 四线 I/O 指令相同。

命令

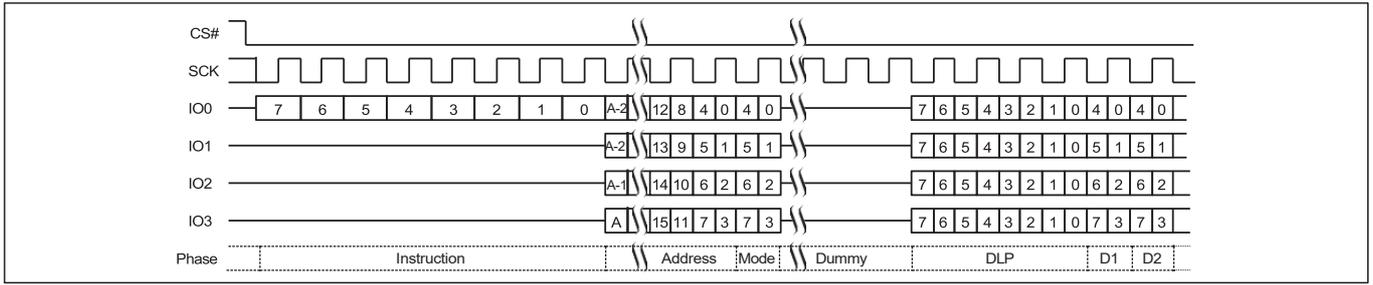


图 75 DDR Quad I/O Read 初始读取 (EDh 或 EEh) [62, 63]

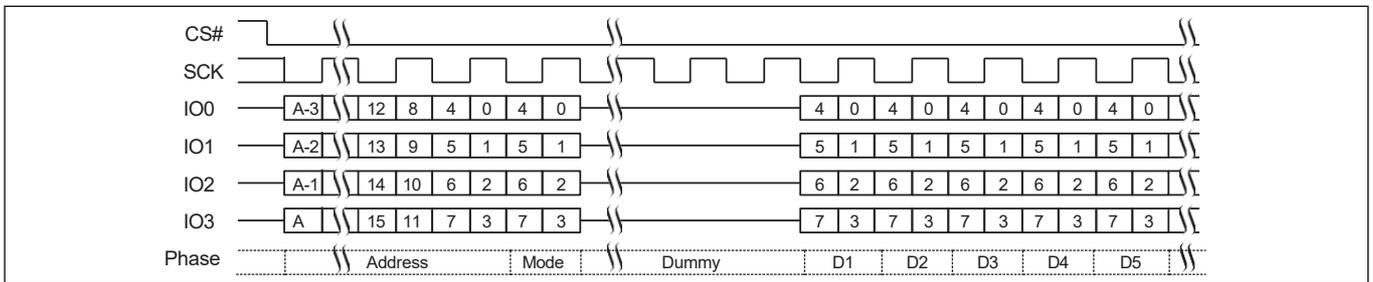


图 76 连续 DDR 四线 I/O 读取后续访问 (EDh 或 EEh) [62, 63]

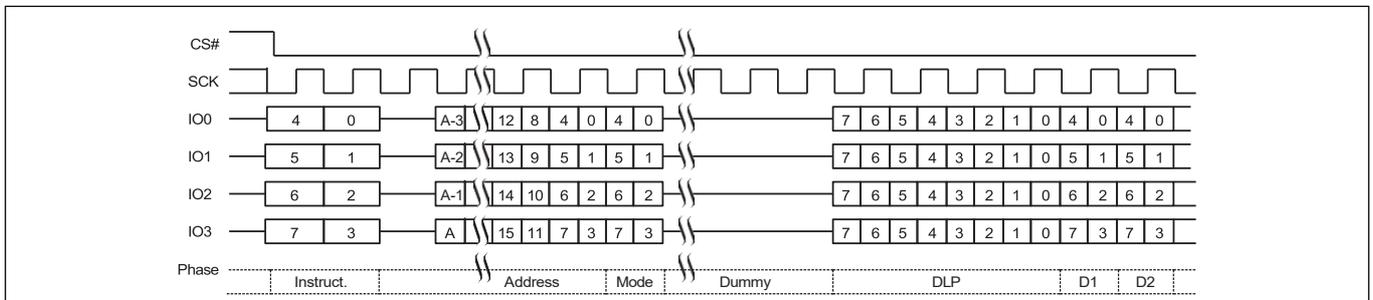


图 77 DDR Quad I/O Read 原生读取 (EDh 或 EEh) , QPI 模式 [62, 63]

注释:

- 62. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 EDh。)
- 63. A = 地址的 MSb = 31, 指令为 EEh。

9.5 编程闪存存储器阵列指令

9.5.1 编程粒度

9.5.1.1 自动纠错码 (ECC)

每个16字节对齐、16字节长度的编程功能块都有一个自动ECC值。数据功能块加上ECC形成ECC单元。与错误检测和纠正 (EDC) 逻辑相结合，ECC用于检测和纠正读取访问期间发现的任何单独的错误。当数据首次在ECC单元内编程时，ECC值是整个ECC单元的置位。如果同一ECC单元被编程多次，则ECC值将更改为失效，不能使用EDC功能。需要扇区擦除才能再次启用该编程功能块上的自动ECC。16字节编程功能块是自动ECC启用的最小编程粒度。

这些是对用户公开的自动操作。自动ECC的透明性提高了典型编程操作（即向每个ECC单元写入一次数据）的数据准确性，但是，仍然允许单字节编程和位走动（其中同一个ECC单元被编程多次），从而促进了与前几代FL家族产品的软件兼容性。当ECC单元禁用自动ECC时，不会对从ECC单元位置读取的数据进行EDC。

提供ECC状态寄存器用于确定ECC是否在ECC单元上启用以及是否已在ECC单元数据或ECC中检测到并纠正任何错误。ECC状态寄存器读取 (ECCRD) 指令用于读取任何ECC单元上的ECC状态。

EDC适用于行李式储藏室除寄存器以外的所有部分。为每组受保护的字节计算一个错误校正码 (ECC)，并将ECC存储在与该字节组相关的隐藏区域中。受保护的字节组和相关的ECC一起称为ECC单元。

- ECC是按每16字节对齐和长度计算的ECC单元
- 单比特的EDC支持每个ECC单元8个ECC位，加上1位ECC失效，禁止使能标志
- 扇区擦除将所有ECC禁止使能标志，使扇区中的标志恢复为默认状态（启用的）
- ECC被编程为标准编程指令操作的一部分
- 如果对同一个ECC单元进行多次编程操作，ECC会自动禁用。
- 允许单字节编程或位编程，但禁用第二个程序上的ECC到相同的16字节ECC单元。
- ECC禁止使能标志是在ECC禁用时编程的
- 要为已禁用的ECC单元重新启用ECC，必须擦除包含ECC单元置的扇区
- 为了确保EDC提供的最佳数据完整性，每个ECC单元只能编程一次，以便为该单元存储ECC并且不会禁用。
- ECC的计算、编程和禁用作为编程操作的一部分自动完成。如果需要，检测和校正将作为读取操作的一部分自动完成。主控系统只能看到来自读取操作的更正数据。
- ECC保护OTP区域 - 然而，同一个ECC单元上的第二个编程操作将会失效，不能使ECC永久地在该ECC单元上（OTP是一次性的，因此重新使能ECC使能/指示器位的擦除操作被禁止）。

命令

9.5.1.2 页编程

页编程是通过将要编程的数据加载到页缓冲区并发出编程指令将数据从缓冲区移至闪存阵列来完成的。这设置了可使用单个编程指令进行编程的数据量的上限。页编程允许在一次操作中对最多 1 页缓冲区大小 (256 或 512 字节) 进行编程。页大小由配置寄存器位 CR3V[4] 决定。分页在分页大小地址边界上对齐。可以从 1 位到分页大小来进行每个写入缓冲区的写入操作。建议写入 16 字节长度的倍数和对齐的程序块。这确保自动 ECC 不会被禁用。为了获得最佳性能, 编程应以 512 字节边界对齐的整页 512 字节进行, 并且每个页只编程一次。

9.5.1.3 单字节编程

通过允许在存储器阵列中的任何位置对单个字节进行编程, 单字节编程允许完全向后兼容传统标准 SPI 页编程 (PP) 指令。虽然支持单字节编程, 但这将禁用在该字节所在的 16 字节 ECC 单元上进行自动 ECC。

9.5.2 页编程 (PP 02h 或 4PP 12h)

页编程 (pp) 指令允许在存储器中对字节进行编程 (将位从 1 更改为 0)。在器件接受页编程 (pp) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写入使能 (WREN) 指令后, 器件将状态寄存器中的写入使能锁存器 (WEL) 设置为使任何写入操作有效。

指令

- 02h (CR2V[7] = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 02h (CR2V[7] = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 12h 后面跟着一个 4 字节地址 (A31-A0)

并且 SI 上至少有一个数据字节。根据 CR3V[4], 页大小可以是 256 或 512 字节。使用指令 02h 提供 3 字节地址或使用指令 12h 提供 4 字节地址后, SI 上最多可以提供一页。

如果发送到器件的数据多于起始地址和页对齐结束边界之间的空间, 则数据加载时序将从页中的最后一个字节绕回到同一页的零字节位置, 并开始重写页中先前加载的任何数据。最后一个页数据被编程在页中。这是由于该器件配备了长度仅为页大小的页编程缓存区。如果向器件发送的数据少于一页, 则这些数据字节将从页内提供的地址开始按顺序进行编程, 而不会对同一页的其他字节产生任何影响。

使用页编程 (PP) 指令在分页边界内加载整个分页, 与将少于一页加载到编程相比, 将节省总体编程时间。

编程过程由内部器件控制逻辑来管理。发出编程指令后, 可以使用读取状态指令 1 指令来检查编程操作状态。WIP 位 (SR1V[0]) 将指示编程操作何时完成。P_ERR 位 (SR1V[6]) 将指示编程操作中是否发生了阻止编程成功完成的错误。这包括尝试对保护区进行编程。

命令

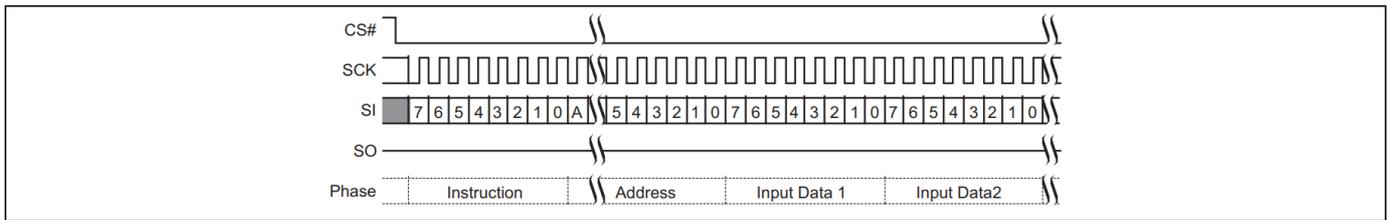


图 78 页编程 (pp 02h 或 4PP 12h) 指令时序^[64]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

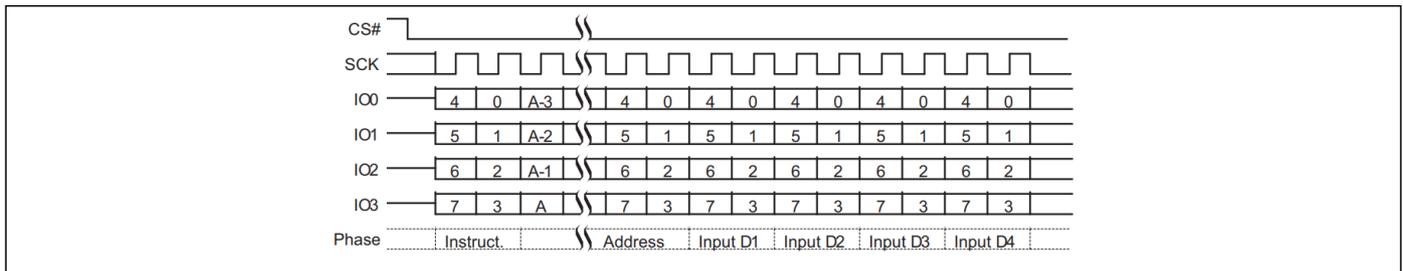


图 79 分页编程 (pp 02h 或 4PP 12h) QPI 模式指令序列^[64]

9.6 擦除闪存存储器指令

9.6.1 参数 4 KB 扇区擦除 (P4E 20h 或 4P4E 21h)

主闪存阵列地址分布可以配置为将 4-KB 参数扇区覆盖在最低地址统一扇区的最低地址部分（底部参数扇区）上或覆盖最高地址统一扇区的最高地址部分（顶部参数扇区）。主闪存阵列地址分布也可以配置为仅具有统一大小的扇区。参数扇区配置由配置位 CR3V[3] 控制。当器件仅配置为统一扇区 (CR3V[3] = 1) 时，P4E 和 4P4E 指令将被忽略。

参数 4 KB-扇区指令置位 4 KB 参数扇区的所有位为 1（所有字节均为 FFh）。在器件接受 P4E 或 4P4E 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令

- 20h [CR2V[7] = 0] 后跟一个 3 字节地址 (A23-A0)，或
- 20h [CR2V[7] = 1] 后跟一个 4 字节地址 (A31-A0)，或
- 21h 后面跟着一个 4 字节地址 (A31-A0)

地址的第 24 位或第 32 位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始，其中包括对闪存阵列选定扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平，则不会执行扇区擦除操作。

一旦 CS# 被驱动为高电平，内部擦除周期就会启动。随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。

注：

64. A = 地址最高有效位 = A23 for PP 02h, or A31 for 4PP 12h.

命令

完成WIP 位将指示“1”。当擦除周期正在进行时，返回‘0’；当擦除周期完成时，返回‘1’。

对已通过功能块保护位或 ASP 进行写保护的扇区应用 P4E 或 4P4E 指令将不会被执行，并将置位 E_ERR 状态。应用于大于 4 KB 扇区的 P4E 指令将不会被执行，也不会置位 E_ERR 状态。

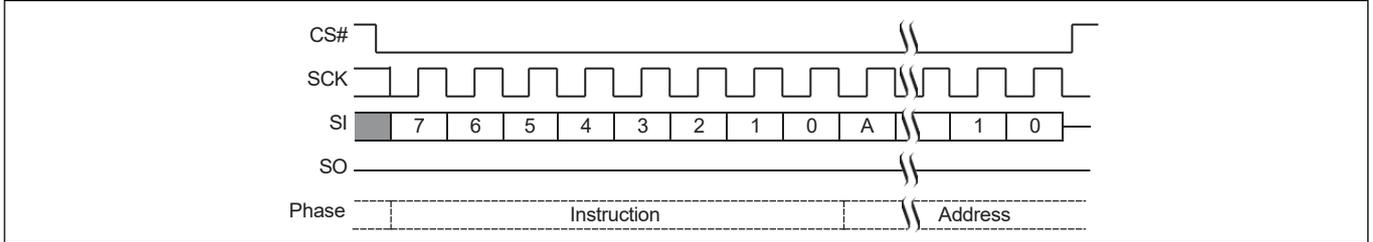


图 80 参数扇区擦除 (P4E 20h 或 4P4E 21h) 指令时序^[65]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

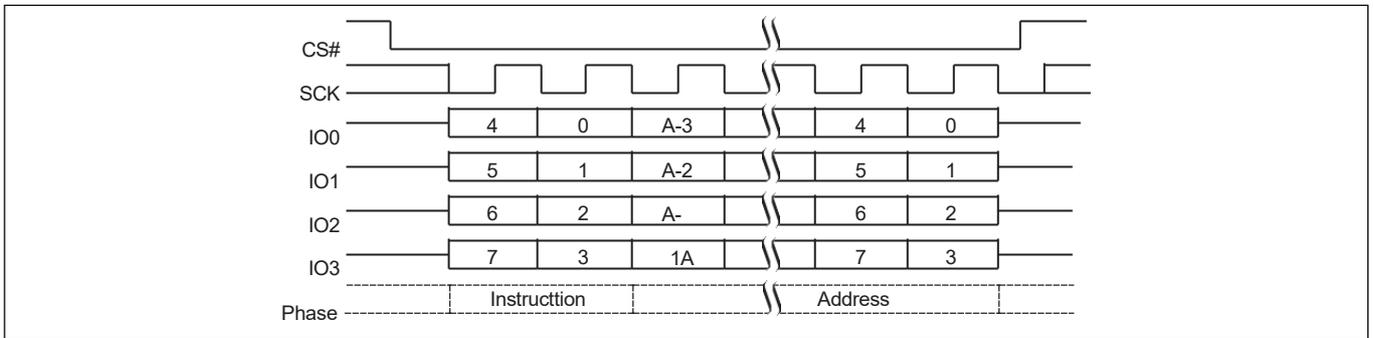


图 81 参数扇区拓扑 (P4E 20h 或 4P4E 21h) QPI 模式指令序列^[65]

9.6.2 扇区擦除 (SE D8h 或 4SE DCh)

扇区寻址 (SE) 指令将寻址扇区中的所有位设置为 1 (所有字节均为 FFh)。在器件接受扇区寄存器 (SE) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL)，以允许任何写操作。

指令

- D8h [CR2V[7] = 0] 后跟一个 3 字节地址 (A23-A0) ， 或
- D8h [CR2V[7] = 1] 后跟一个 4 字节地址 (A31-A0) ， 或
- DCh 后面跟着一个 4 字节地址 (A31-A0)

在地址的第 24 位或第 32 位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期，其中包括所选扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平，则不会执行扇区擦除操作。

一旦 CS# 被驱动到逻辑高电平状态，内部擦除周期就会启动。随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。

注：

65. A = 地址的最高有效位 = A23 (对于 P4E 20h, CR2V[7] = 0) ， 或 A31 (对于 P4E 20h, CR2V[7] = 1 或 4P4E 21h) 。

命令

完成当擦除周期正在进行时，WIP 位将显示“1”，当擦除周期已完成时，WIP 位将显示“0”。

应用于已通过功能块保护位或 ASP 写保护的扇区的扇区 (SE) 指令将不会被执行，并将置位 E_ERR 状态。

器件配置选项 (CR3V[3]) 确定是否使用 4-KB 参数扇区。CR3V[3] = 0, 4-KB 参数区扇覆盖器件地址空间的最高或最低地址 32 KB 的一部分。如果扇区指令应用于被 4 KB 扇区覆盖的 256 KB 范围，则被覆盖的 4 KB 扇区不受该扇区的影响。当 CR3V[3] = 1 时，器件地址空间中没有 4 KB 参数扇区，扇区指令始终在完全可见的 256 KB 扇区上运行。

ASP 为每个物理扇区（包括任何 4 KB 扇区）提供了一个 PPB 和一个 DYB 保护位。

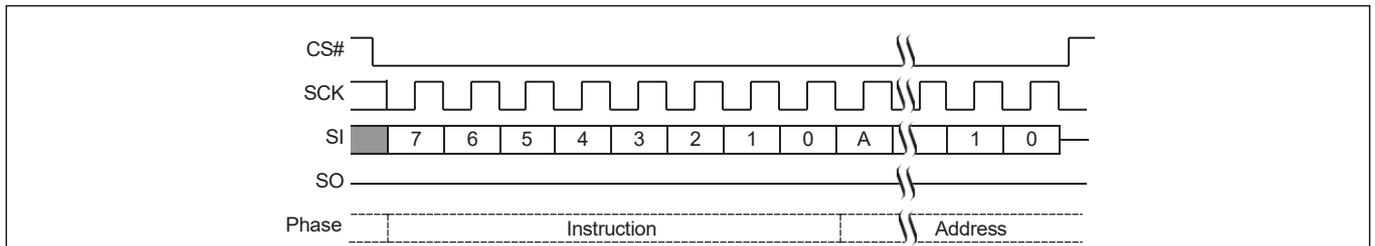


图 82 扇区拓扑 (SE D8h 或 4SE DCh) 指令序列^[66]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

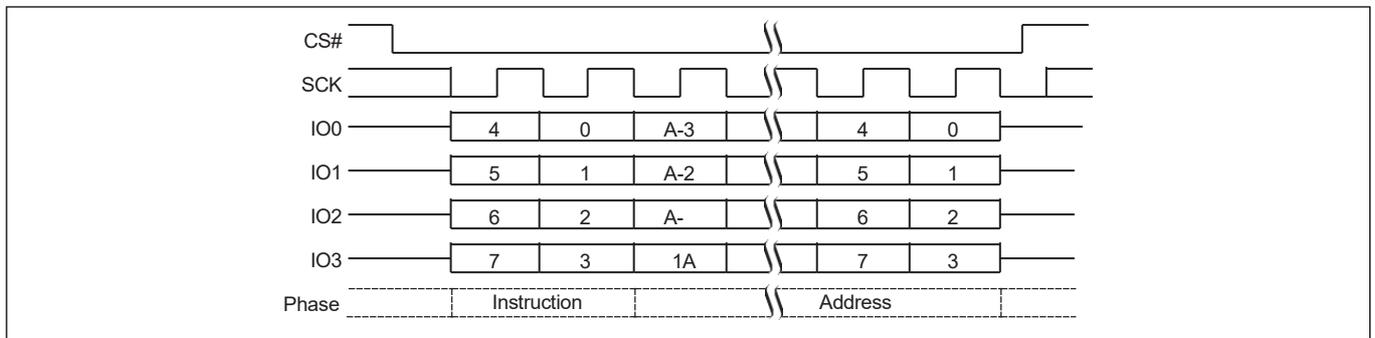


图 83 扇区带宽 (SE D8h 或 4SE DCh) QPI 模式指令序列^[66]

注：

66. A = 地址的最高有效位 = A23（对于 CR2V[7] = 0 的 SE D8h），或 A31（对于 CR2V[7] = 1 的 SE D8h 或 4P4E DCh）。

9.6.3 批量擦除 (BE 60h 或 C7h)

批量擦除 (BE) 指令将整个闪存阵列内的所有位设置为 1 (所有字节均为 FFh)。在器件接受 BE 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令字节的第八位被锁存在 SI 上之后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 涉及整个闪存阵列的预编程和擦除。如果在指令的最后一位之后 CS# 没有被驱动为高电平, 则不会执行 BE 操作。一旦 CS# 被驱动到逻辑高电平状态, 擦除周期就会启动。随着擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当擦除周期正在进行时, WIP 位将显示“1”, 当擦除周期已完成时, WIP 位将显示“0”。

仅当功能块保护 (BP2、BP1、BP0) 位设置为“0”时, BE 指令才能执行。如果 BP 位不为零, 则不执行 BE 指令, 并且不置位 E_ERR。BE 指令将跳过任何受 DYB 或 PPB 保护的扇区, 并且 E_ERR 状态将不会被置位。

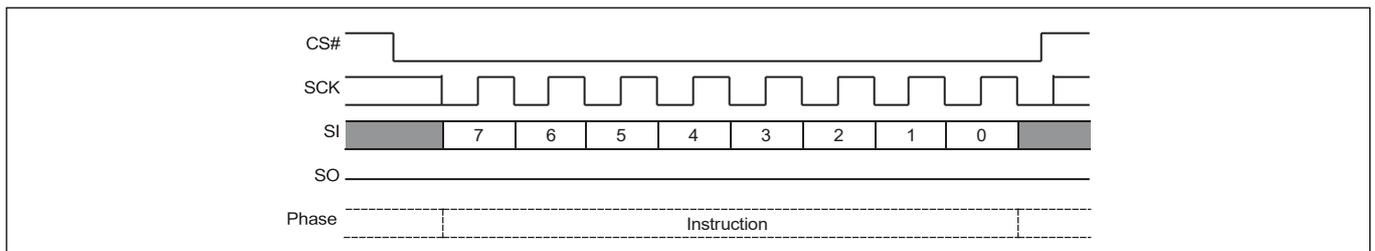


图 84 批量擦除指令时序

QPI 模式也支持该指令。在 QPI 模式下, 指令在 IO0-IO3 上移入, 每个字节两个时钟周期。

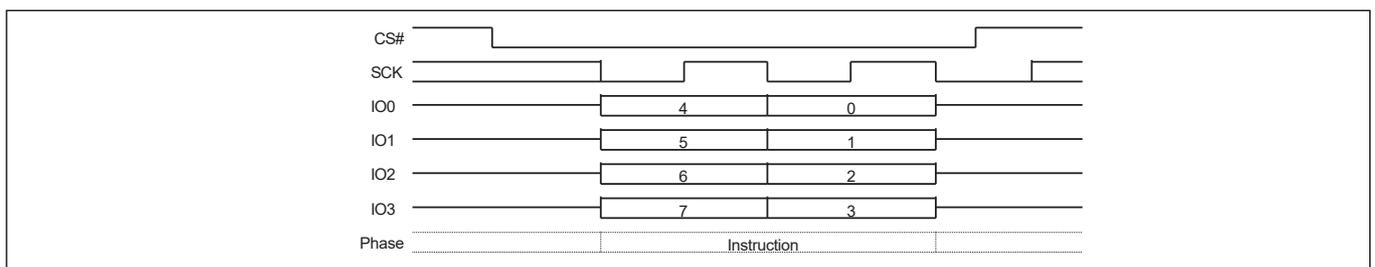


图 85 批量擦除令时序QPI 模式

命令

9.6.4 评估擦除状态 (EES)

评估擦除状态 (EES) 指令用于验证对已指定地址的扇区进行的擦除操作是否完全成功 (即如果所选扇区已成功擦除, 则状态位 (SR2V[2]) 置位为“1”。如果选定的扇区未被完全擦除, 则 SR2V[2] 为“0”。

使用EES指令可以检测擦除操作失败的原因, 原因可能是: 断电、复位或擦除操作过程失败。

EES 指令后面跟着 3 或 4 字节地址, 具体取决于地址长度配置 (CR2V[7])。EES 指令要求 tEES 完成并更新 SR2V 中的擦除状态。可以使用 RDSR1 (05h) 指令读取 WIP 位 (SR1V[0]), 以确定 EES 指令何时完成。然后可以使用 RDSR2 (07h) 或 RDAR (65h) 指令读取 SR2V[2]。如果发现某个扇区未被擦除 (SR2V[2] = 0), 则必须再次擦除该扇区, 以确保该扇区中数据的可靠存储。

在 EES 指令之前不需要写使能指令 (设置为 WEL 位)。但是, WEL 位由器件本身置位, 并在操作结束时清除, 如读取状态时在 SR1V[1] 中所示。

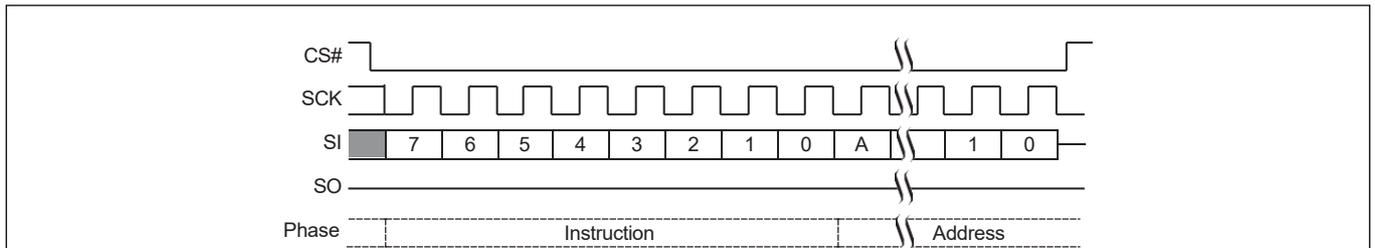


图 86 EES 指令时序^[66]

QPI模式也支持该指令。在 QPI 模式下, 指令在 IO0-IO3 上移入, 每个字节两个时钟周期。

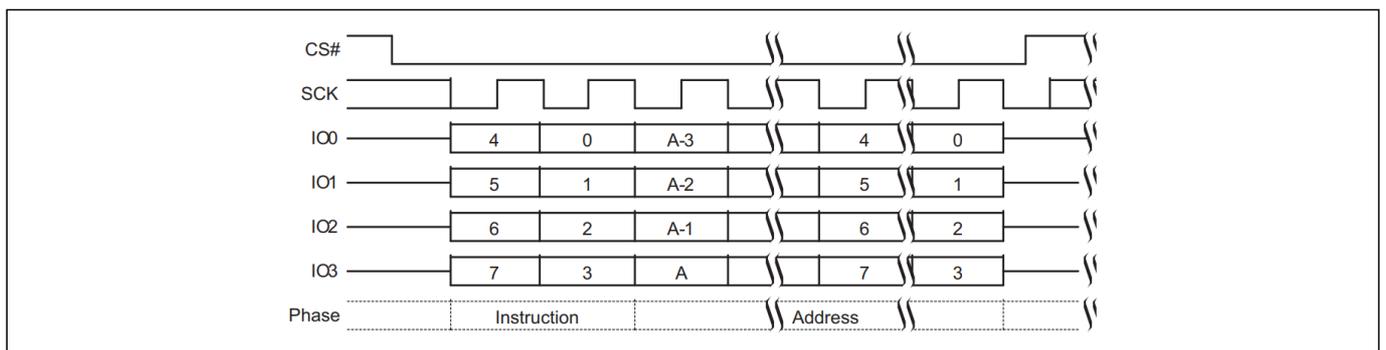


图 87 EES QPI 模式指令时序^[66]

注:

67. A = 最高有效位地址 = A23 (CR2V[7] = 0), 或 A31 (CR2V[7] = 1)。

9.6.5 擦除或编程挂起 (EPS 85h, 75h, B0h)

有三个用于编程或擦除挂起 (EPS) 的指令代码，以实现旧版和备用源软件的兼容性。

EPS指令允许系统中断编程或擦除操作，然后从任何其他非擦除挂起扇区或非编程挂起页面读取。编程或擦除挂起仅在编程或扇区擦除操作期间有效。批量擦除操作无法被挂起。

必须检查状态寄存器 1 (SR1V[0]) 中的写入进行中 (WIP) 位，才能知道编程或擦除操作何时停止。状态寄存器 2 (SR2[0]) 中的编程暂停状态位可用于确定在 WIP 变为 0 时编程操作是否已暂停或完成。状态寄存器 2 (SR2[1]) 中的擦除暂停状态位可用于确定在 WIP 变为 0 时擦除操作是否已暂停或完成。完成暂停操作所需的时间为 t_{SL} ，见表 51。

可以暂停擦除以允许编程操作或读取操作。在擦除挂起期间，可以读取 DYB 阵列来检查扇区保护，并写入以移除或恢复要编程的扇区的保护。

可以挂起编程操作以允许读取操作。

在已经暂停的擦除或编程操作下不允许进行新的擦除操作。在这种情况下，擦除指令将被忽略。

表 49 编程或擦除挂起期间允许的指令

Instruction name	Instruction code (hex)	Allowed during erase suspend	Allowed during program suspend	Comment
PP	02		-	Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
READ	03	X		All array reads allowed in suspend.
RDSR1	05			Needed to read WIP to determine end of suspend process.
RDAR	65		X	Alternate way to read WIP to determine end of suspend process.
WREN	06			Required for program command within erase suspend.
RDSR2	07			Needed to read suspend status to determine whether the operation is suspended or complete.

命令

表 49 编程或擦除挂起期间允许的指令 (续)

Instruction name	Instruction code (hex)	Allowed during erase suspend	Allowed during program suspend	Comment	
4PP	12	X	-	Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.	
4READ	13		X	All array reads allowed in suspend.	
CLSR	30		-	Clear status may be used if a program operation fails during erase suspend. Note the instruction is only valid if enabled for clear status by CR4NV[2=1].	
CLSR	82		-	Clear status may be used if a program operation fails during erase suspend.	
EPR	30		X	-	Required to resume from erase or program suspend. Note the command must be enabled for use as a resume command by CR3NV[2] = 1.
EPR	7A			-	Required to resume from erase or program suspend.
EPR	8A			-	Reset allowed anytime.
RSTEN	66			-	Reset allowed anytime.
RST	99			-	Reset allowed anytime.
FAST_READ	0B			-	All array reads allowed in suspend.
4FAST_READ	0C	-	All array reads allowed in suspend.		
EPR	7A	-	Required to resume from erase suspend.		
EPR	8A	-	Required to resume from erase suspend.		
DIOR	BB	X	-	All array reads allowed in suspend.	
4DIOR	BC		-	All array reads allowed in suspend.	
DYBRD	FA	-	-	It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.	
DYBWR	FB	-	-	It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.	
PPBRD	FC	-	-	Allowed for checking persistent protection before attempting a program command during erase suspend.	

命令

表 49 编程或擦除挂起期间允许的指令 (续)

Instruction name	Instruction code (hex)	Allowed during erase suspend	Allowed during program suspend	Comment	
4DYBRD	E0	X	-	It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.	
4DYBWR	E1				
4PPBRD	E2				Allowed for checking persistent protection before attempting a program command during erase suspend.
QIOR	EB		X	-	All array reads allowed in suspend.
4QIOR	EC				
DDRQIOR	ED				
4DDRQIOR	EE				
RESET	F0	Reset allowed anytime.			
MBR	FF			May need to reset a read operation during suspend.	

在擦除扇区或编程挂起页内的任何地址读取都会产生不确定的数据。

在擦除或编程挂起期间不允许使用 WRR、WRAR 或 PPB 指令，因此在擦除挂起期间不可能更改功能块保护或 PPB 位。如果有扇区在擦除暂停期间可能需要写入，则这些扇区应该仅受 DYB 位的保护，这些 DYB 位可以在擦除暂停期间关闭。

擦除挂起的编程操作完成后，EAC 返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态，就像在执行标准编程操作一样。

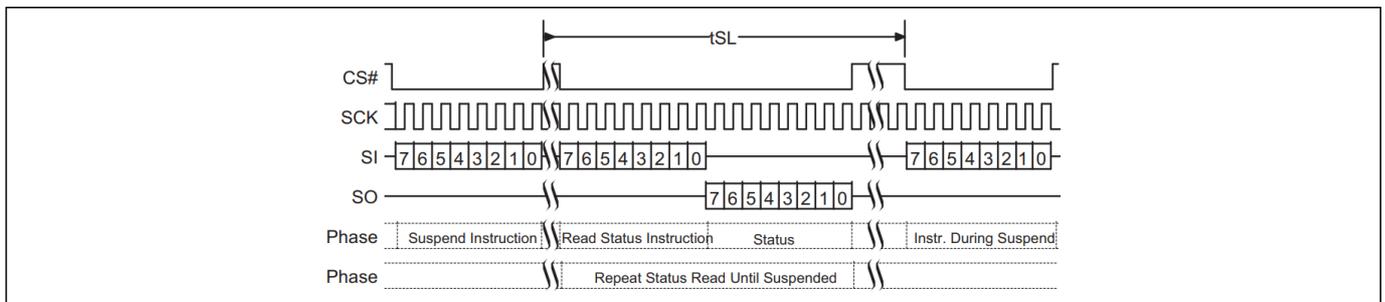


Figure 88 Program or Erase Suspend command sequence

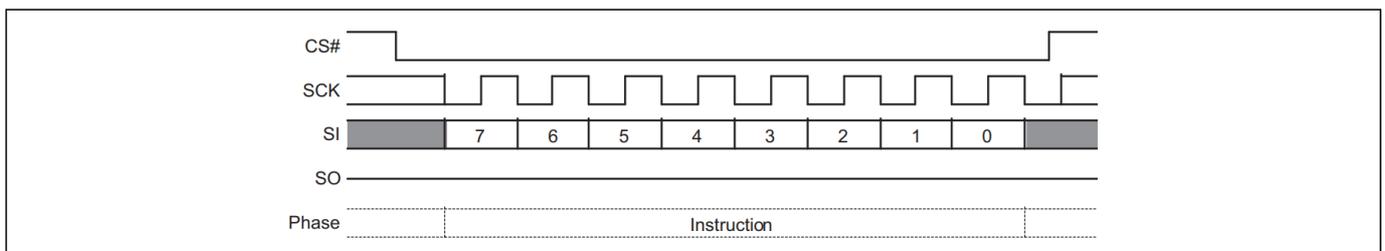


Figure 89 Erase or Program Suspend command sequence

命令

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

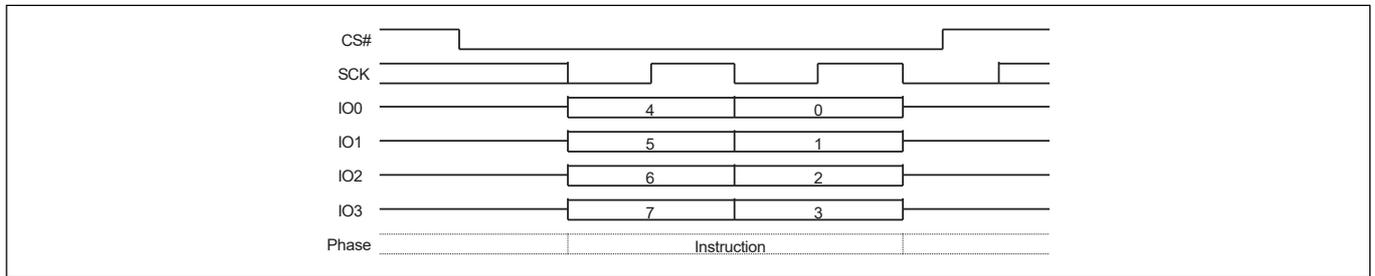


图 90 QPI 模式下的擦除挂起或编程挂起指令时序

9.6.6 擦除或编程恢复 (EPR 7Ah, 8Ah, 30h)

必须写入擦除或编程恢复指令来恢复挂起的操作。擦除或编程恢复 (EPR) 有三种指令代码，以实现传统和备用源软件兼容性。

在编程或擦除挂起期间，编程或读取操作完成后，将发送擦除或编程恢复指令以继续暂停的操作。

发出命令擦除或编程恢复指令后，状态寄存器 1 中的 WIP 位将置位为“1”，挂起编程操作将恢复。如果没有挂起编程操作，则挂起的擦除操作将恢复。如果没有挂起的编程或擦除操作，则忽略恢复指令。

编程或擦除操作可根据需要随时中断，例如，编程挂起指令可紧跟在编程恢复指令之后，但是为了使编程或擦除操作顺利完成，在恢复和下一个暂停指令之间必须有一段大于或等于 t_{RS} 的时间间隔。参见表 51。

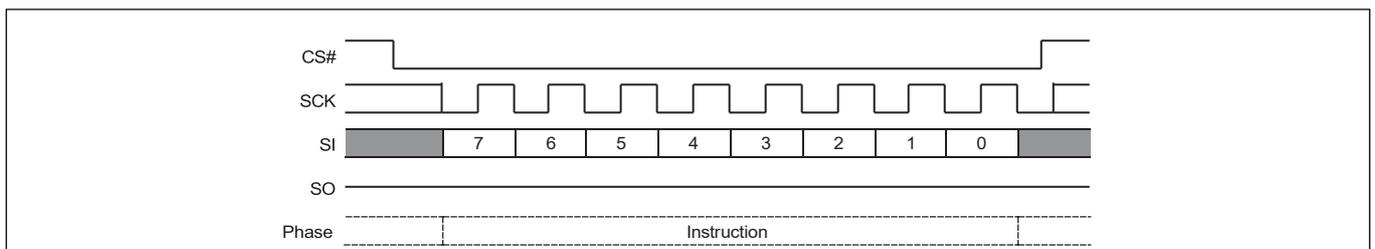


图 91 指令或编程恢复指令序列

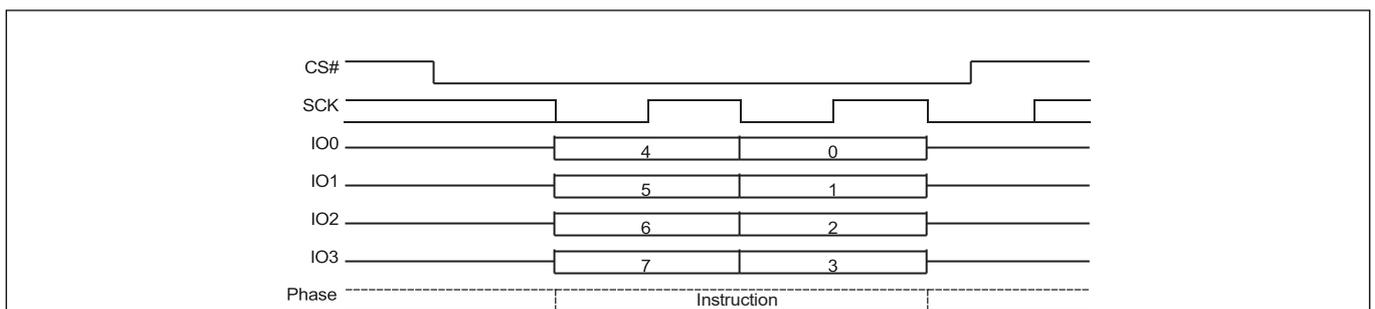


图 92 寄存器或 Program Resume 指令序列 QPI 模式

9.7 一次性编程指令

9.7.1 OTP 编程 (OTPP 42h)

OTP编程指令在一次性编程区域中对数据进行编程，该区域与主阵列数据位于不同的地址空间中。OTP区域为 1024 字节，因此对于该指令，从 A31 到 A10 的地址位必须为 0。请参阅“[OTP 地址空间](#)”在 49页有关OTP区域的详细信息。

在器件接受OTP编程指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL)，以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR1V 中的 P_ERR 位来确定操作期间是否发生任何错误。

为了以位粒度对OTP阵列进行编程，数据字节内的其余位可以设置为“1”。

OTP 存储空间中的每个区域都可以被编程一次或多次，前提是该区域未被锁定。尝试在锁定的区域中编程零将会失败，并且 SR1V 置位中的 P_ERR 位将变为“1”。

编程器即使在受保护的区域也不会引发错误并且不会置位P_ERR。后续的OTP编程仅可对未编程的位（即1个数据）进行。在一个ECC单元内编程一次以上，将会使单元上的ECC失效。

OTP编程指令的协议与页编程指令相同。参见“[页编程 \(PP 02h 或 4PP 12h\)](#)”在 108页 指令时序。

9.7.2 OTP 读取 (OTPR 4Bh)

OTP读取命令从OTP区域读取数据。OTP 区域大小为 1024 字节，因此，对于此命令，地址位 A31 到 A10 必须为零。请参阅“[OTP 地址空间](#)”在 分页 49 有关OTP区域的详细信息。OTP读取命令的协议与Fast读取命令类似，只是OTP地址达到最大值后不会回绕到起始地址；相反，超出最大OTP地址的数据将是未定义的。OTP读取命令的读延迟由CR2V[3:0]中的延迟值置位。参见“[快速读取 0Bh 或者 4快速读取 0Ch](#)”在 分页 100 为指令序列。

命令

9.8 高级扇区保护

9.8.1 ASP 读取 (ASPRD 2Bh)

ASP 读指令 2Bh 在 SCK 信号的上升沿被移入 SI。然后，16 位 ASP 寄存器内容以最低有效字节优先的方式移出到串行输出 SO。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 16 个时钟周期的倍数，可以连续读取 ASP 寄存器。ASP 读取 (ASPRD) 指令的最大工作时钟频率为 133 MHz。

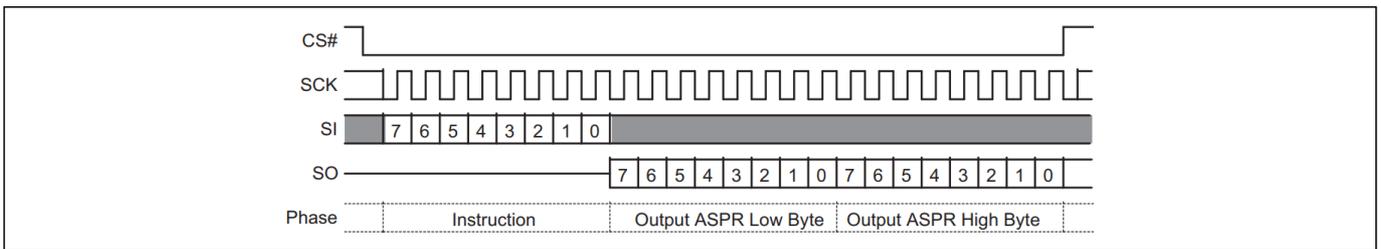


图 93 ASPRD 指令

9.8.2 ASP 编程 (ASPP 2Fh)

在器件接受 ASP 程序 (ASPP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS# 驱动至逻辑低电平状态来输入 ASPP 命令，然后在 SI 上输入指令和两个数据字节，低字节在前。ASP 寄存器的长度为两个数据字节。

ASPP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。

锁存第十六位数据后，必须将 CS# 输入驱动为逻辑高电平状态。如果不是，则不会执行 ASPP 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 ASPP 操作就会启动。当 ASPP 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 ASPP 操作期间为“1”，完成时为“0”。当 ASPP 操作完成后，Write 使能 Latch (WEL) 被置位为‘0’。

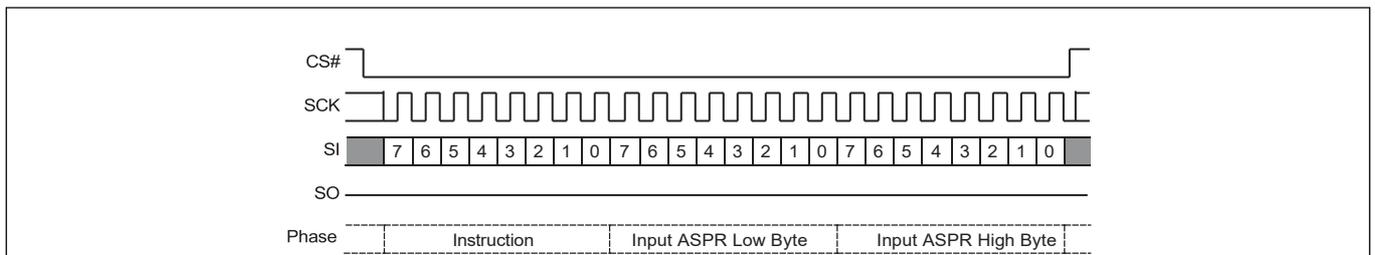


图 94 ASPP 命令

命令

9.8.3 DYB 读取 (DYBRD FAh 或 4DYBRD E0h)

该指令由SCK信号的上升沿锁存到SI中。该指令之后是 24 或 32 位地址，取决于地址长度配置 CR2V[7]，选择所需扇区内的位置零。注意，特定容量器件未使用的高阶地址位必须为零。然后，8 位DYB访问寄存器的内容通过串行输出 SO 移出。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供八个时钟周期的倍数，可以连续读取相同的DYB访问寄存器。DYB寄存器的地址没有递增，所以这不是读取整个DYB阵列的方法。必须使用单独的 DYB 读取命令读取每个位置。读取命令的最大工作时钟频率为 133 MHz。

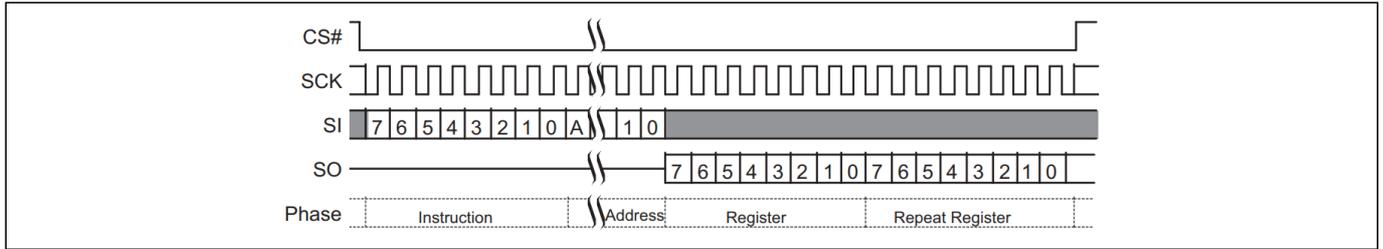


图 95 DYBRD 指令时序^[68, 69]

QPI模式也支持该指令。在 QPI 模式下，指令和地址通过 IO0-IO3 移入，返回数据通过 IO0-IO3 移出。

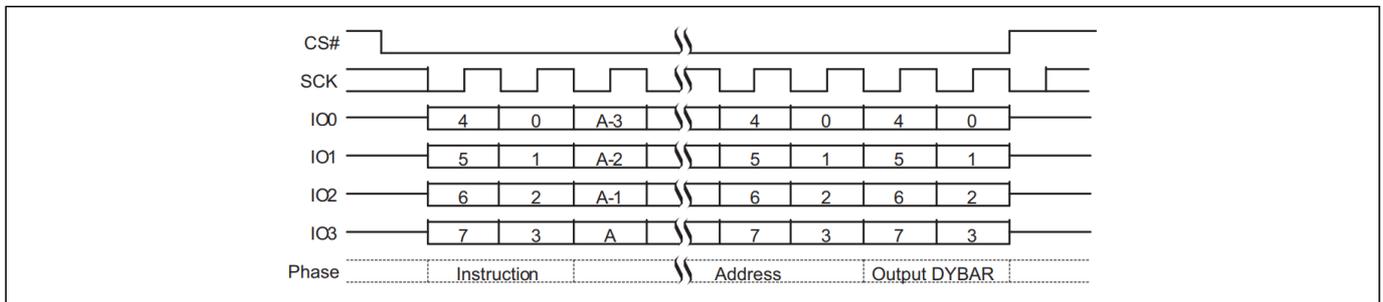


图 96 DYBRD QPI 模式指令时序^[68, 69]

注:

68. A = 地址最高有效位 = 23 对地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FAh).

69. A = 地址 = 31 的 MSb, 指令为 E0h.

9.8.4 DYB 写入 (DYBWR FBh 或 4DYBWR E1h)

在器件接受DYB写入 (DYBWR) 指令之前，必须发出写入使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态，然后是指令，然后是 24 位或 32 位地址，具体取决于地址长度配置 CR2V[7]，选择所需扇区内的位置 0（注意，特定容量器件未使用的高位地址位必须为零），然后是 SI 上的数据字节，即可输入 DYBWR 指令。DYB 访问寄存器的长度为一数据字节。数据值必须为 00h 才能保护选定扇区，数据值必须为 FFh 才能取消保护选定扇区。

DYBWR 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。锁存第八位数据后，必须将 CS# 驱动至逻辑高电平状态。一旦 CS# 被驱动为逻辑高电平状态，自定时 DYBWR 操作就会启动。当 DYBWR 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 DYBWR 操作期间为“1”，完成时为“0”。当DYBWR操作完成时，写能力锁存器 (WEL) 被置位为‘0’。

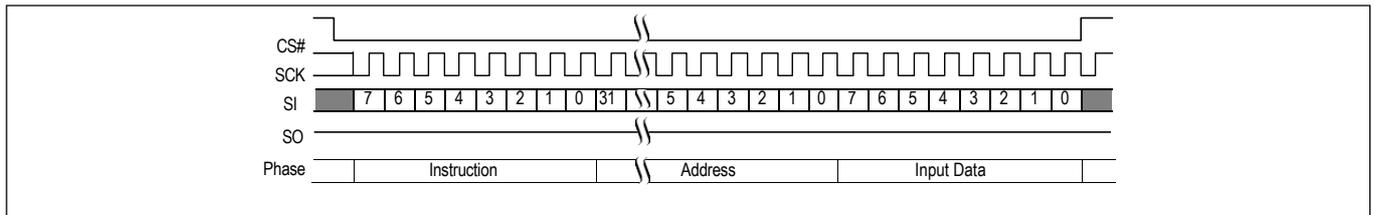


图 97 DYBWR 指令时序^[70, 71]

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，每个字节两个时钟周期。

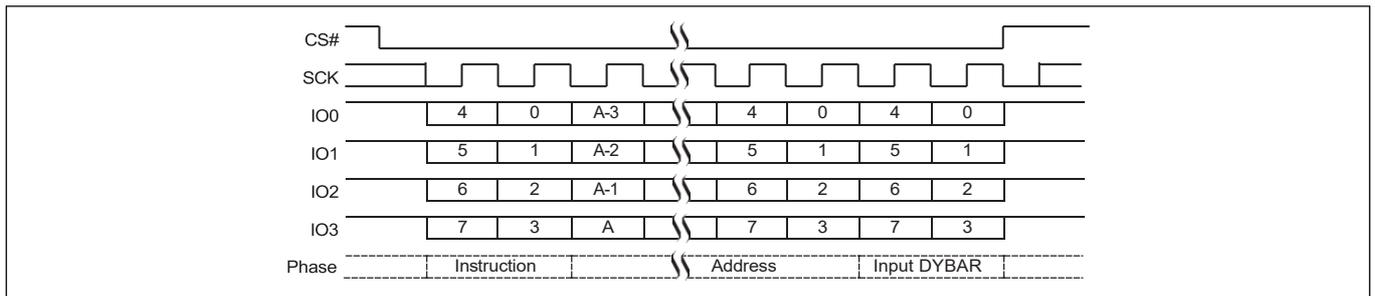


图 98 DYBWR QPI 模式指令序列^[70, 71]

注：

- 70. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FBh).
- 71. A = 地址 = 31 的 MSb, 指令为 E1h.

命令

9.8.5 PPB 读取 (PPBRD FCh 或 4PPBRD E2h)

指令 E2h 通过 SCK 信号的上升沿移位到 SI，然后是 24 位或 32 位地址，具体取决于地址长度配置 CR2V[7]，选择所需区域内的位置零（注意，特定容量器件未使用的高位地址位必须为零）。然后，8 位 PPB 访问寄存器内容在 SO 上移出。

通过提供八个时钟周期的倍数，可以连续读取相同的 PPB 访问寄存器。PPB 寄存器的地址没有递增，所以这不是读取整个 PPB 阵列的方法。必须使用单独的 PPB 读取命令来读取每个位置。PPB 读取命令的最大工作时钟频率为 133 MHz。

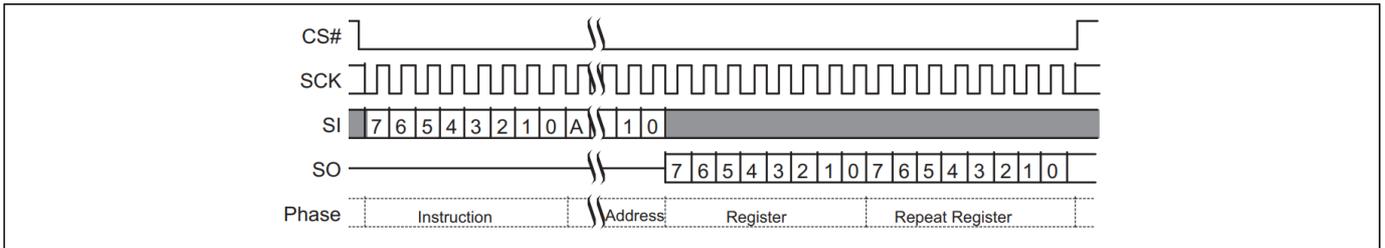


图 108 PPBRD 指令时序^[72, 73]

9.8.6 PPB 编程 (PPBP FDh 或 4PPBP E3h)

在器件接受 PPB 程序 (PPBP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态，然后是指令，然后是 24 位或 32 位地址，根据地址长度配置 CR2V[7]，选择所需扇区内的位置零（注意，特定容量器件未使用的高位地址位必须为零）来输入 PPBP 指令。

PPBP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。

在地址的最后一位被锁存后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PPBP 指令。一旦 CS# 被驱动至逻辑高电平状态，自定时 PPBP 操作就会启动。当 PPBP 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在 PPBP 操作期间为“1”，完成时为“0”。当 PPBP 操作完成后，Write 使能 Latch (WEL) 被置位为‘0’。

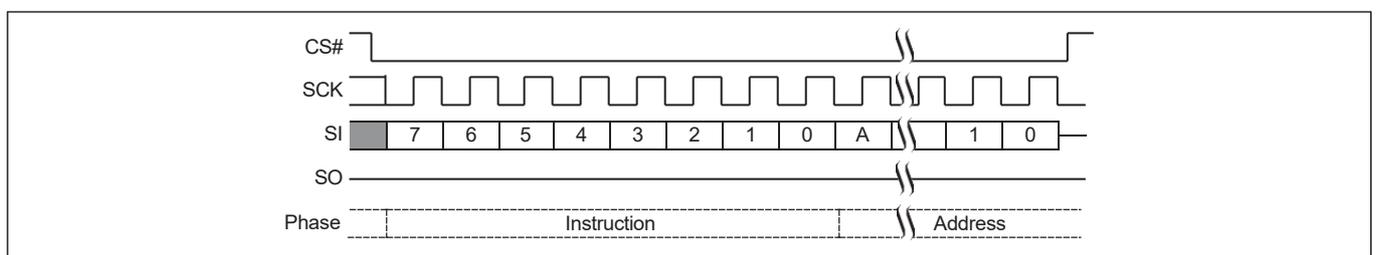


图 100 PPBP 指令时序^[74, 75]

注释:

- 72. A = 地址最高有效位 = 23 对于地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FCh。
- 73. A = 地址 = 31 的 MSb, 指令为 E2h。
- 74. A = 地址最高有效位 = 23 对地址长度 (CR2V[7] = 0, 或 31 对于 CR2V[7] = 1, 带指令 FDh。
- 75. A = 地址的 MSb = 31, 指令为 E3h。

命令

9.8.7 PPB 擦除 (PPBE E4h)

PPB 擦除(PPBE) 指令将所有 PPB 位设置为 1。在器件接受 PPB 寄存器指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会将状态寄存器中的写使能锁存器 (WEL) 设置为允许任何写操作。

指令 E4h 通过 SCK 信号的上升沿移位到 SI 中。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始，其中涉及整个 PPB 存储器阵列的预编程和擦除。如果在指令的第八位之后没有将 CS# 驱动为逻辑高电平状态，则不会执行 PPB 擦除操作。

随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时，WIP 位将显示“1”，当擦除周期已完成时，WIP 位将显示“0”。PPB 擦除期间不允许擦除挂起。

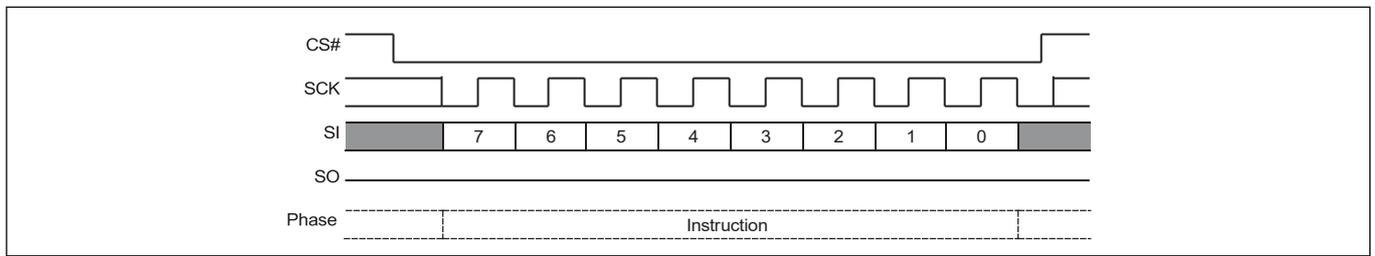


图 101 PPB 指令时序

9.8.8 PPB 锁定位读取 (PLBRD A7h)

PPB 锁定读取 (PLBRD) 指令允许将 PPB 锁定寄存器内容读取 SO 的位。通过提供八个时钟周期的倍数，可以连续读取 PPB 锁定寄存器。仅当器件处于待机状态且没有其他操作正在进行时，才可以读取 PPB 锁定的内容。建议在向器件发出新指令之前检查寄存器状态的写入进度 (WIP) 位。

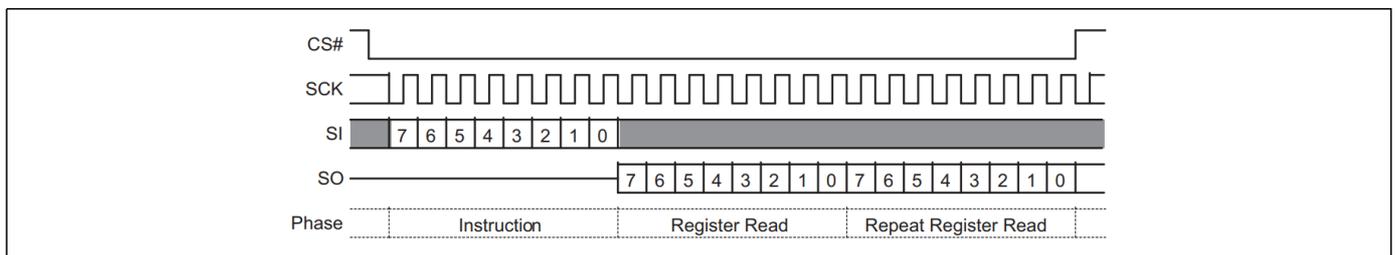


图 102 PPB 锁定寄存器读取命令时序

9.8.9 PPB 锁定位写入 (PLBWR A6h)

PPB 锁定位写入 (PLBWR) 指令将 PPB 锁定位清零。在器件接受 PLBWR 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL) 以允许任何写操作。

通过将 CS# 驱动至逻辑低电平状态来输入 PLBWR 命令，然后输入指令。

锁存指令的第八位后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PLBWR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PLBWR 操作就会启动。当 PLBWR 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PLBWR 操作期间为“1”，完成时为“0”。当 PLBWR 操作完成时，Write 使能 Latch (WEL) 被置位为‘0’。PLBWR 指令的最大时钟频率为 133 MHz。

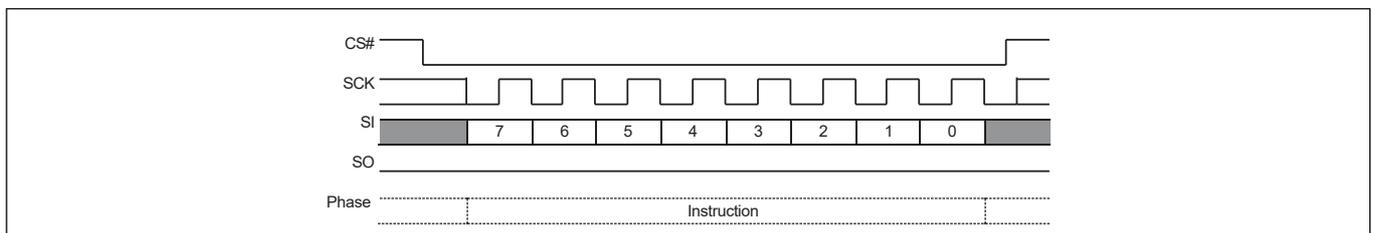


图 103 PPB 锁定位写入命令时序

9.8.10 密码读取 (PASSRD E7h)

仅当密码值被编程之后，并且在通过将 ASP 寄存器 (ASP[2]) 中的密码保护模式位编程为“0”来选择密码模式之前，才可以读取正确的密码值。选择密码保护模式后，密码不再可读，PASSRD 指令将输出未定义的数据。

PASSRD 指令被移入 SI。然后，64 位密码在串行输出 SO 上移出，首先是最低有效字节，然后是每个字节的最高有效位。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 64 个时钟周期的倍数，可以连续读取密码。PASSRD 指令的最大工作时钟频率为 133 MHz。

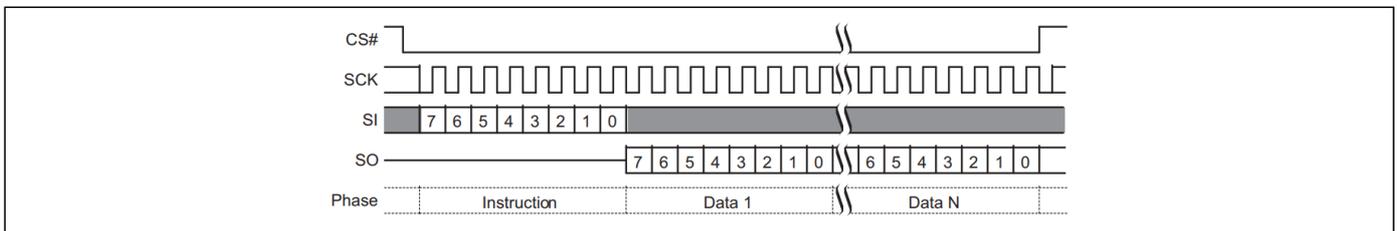


图 104 密码读取命令时序

命令

9.8.11 密码编程 (PASSP E8h)

在器件接受密码编程 (PASSP) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码。写使能 (WREN) 指令被解码后, 器件设置写使能锁存器 (WEL) 来使能 PASSP 操作。

仅可在选择密码模式之前通过将 ASP 寄存器 (ASP[2]) 中的密码保护模式位编程为“0”来对密码进行编程。选择密码保护模式后, PASSP 指令将被忽略。

通过将 CS 驱动至逻辑低电平状态, 然后输入 SI 上的指令和密码数据字节, 首先是最低有效字节, 然后是每个字节的最高有效位, 从而进入 PASSP 指令。密码长度为 64 位。

第六十四位数据被锁存后, 必须将 CS 驱动至逻辑高电平状态。否则, 不会执行 PASSP 指令。一旦 CS 被驱动至逻辑高电平状态, 就会启动自定时 PASSP 操作。在 PASSP 操作进行中, 可以读取状态寄存器以检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PASSP 周期内为“1”, 完成时为“0”。PASSP 指令可以在状态寄存器的 P_ERR 位中报告程序错误。PASSP 操作完成后, 写使能锁存器 (WEL) 置位为“0”。PASSP 指令的最大时钟频率为 133 MHz。

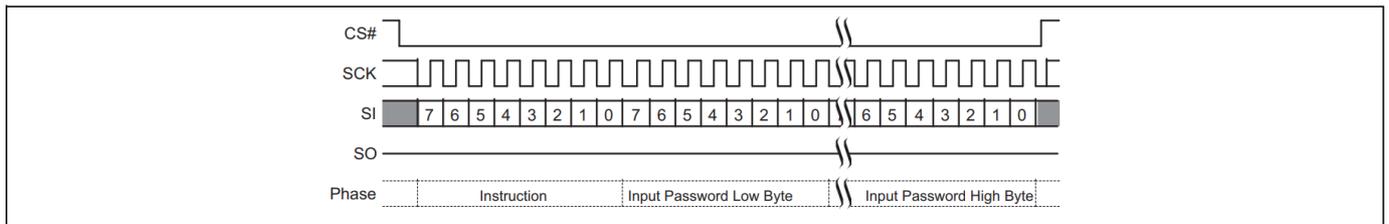


图 105 密码程序指令时序

9.8.12 密码解锁 (PASSU E9h)

通过将 CS# 驱动至逻辑低电平状态来输入 PASSU 命令, 然后在 SI 上输入指令和密码数据字节, 首先是最低有效字节, 然后是每个字节的最高有效位。密码长度为 64 位。

在第六十四个数据位被锁存后, CS 必须驱动至逻辑高电平状态。否则, 不会执行 PASSU 指令。一旦 CS 驱动至逻辑高电平状态, 自定时 PASSU 操作就会启动。在 PASSU 操作进行中, 可以读取状态寄存器来检查写入进度 (WIP) 位的值。在自定时 PASSU 周期内, 写入进度 (WIP) 位为“1”, 完成后为“0”。

如果 PASSU 指令提供的密码与密码寄存器中的隐藏密码不匹配, 则通过将 P_ERR_x 设置为 1 来报告错误。状态寄存器的 WIP 位也置位为“1”。需要使用 CLSR 指令清零, 复位状态寄存器, 使用复位指令软件复位器件, 或者驱动复位#输入低电平来启动硬件复位, 以便将 P_ERR 和 WIP 位返回为 '0'。这会将器件返回到待机状态, 为新指令做好准备, 例如重试 PASSU 指令。

如果密码匹配, 则 PPB 锁定位置设置为“1”。PASSU 指令的最大时钟频率为 133 MHz。

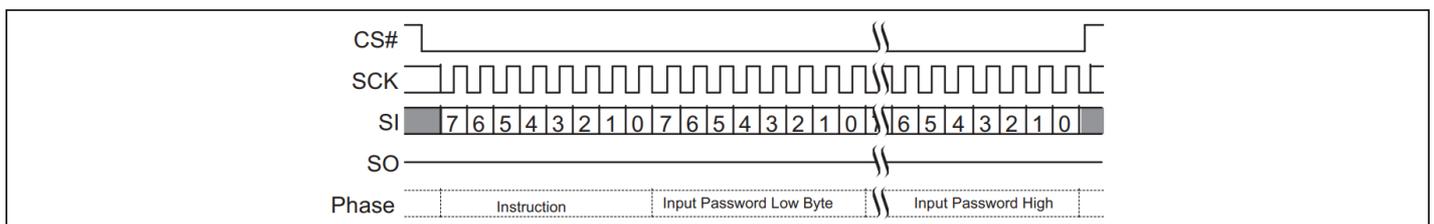


图 106 密码解锁指令时序

9.9 复位命令

软件控制的复位指令通过从非易失默认值重新加载易失性寄存器来将器件恢复到其初始上电状态。但是，配置寄存器 CR1V[0] 中的易失性 FREEZE 位和 PPB 锁定寄存器中的易失性 PPB 锁定位不会通过软件复位进行更改。软件复位不能用于规避其他安全配置位的 FREEZE 或 PPB 锁定位保护机制。

冻结位和 PPB 锁定位将在软件复位之前保持其最后值。要清除 FREEZE 位并将 PPB 锁定位设置为其保护模式选择的上电状态，必须执行完整的上电复位时序或硬件复位。

配置寄存器 (CR1NV) 中的非易失性位 TBPROT_O、TBPARAM 和 BPNV_O 在软件复位后保留其先前的状态。

仅当 FREEZE = 0 时，状态寄存器 (SR1V) 中的功能块保护位 BP2、BP1 和 BP0 才会被复位至其默认值。

复位指令 (RST 或复位) 在指令结束时 CS 变为高电平时执行，需要 t_{RPH} 时间来执行。

如果之前的上电复位 (POR) 未能完成，复位指令会触发完整的上电时序，需要 t_{PU} 完成。

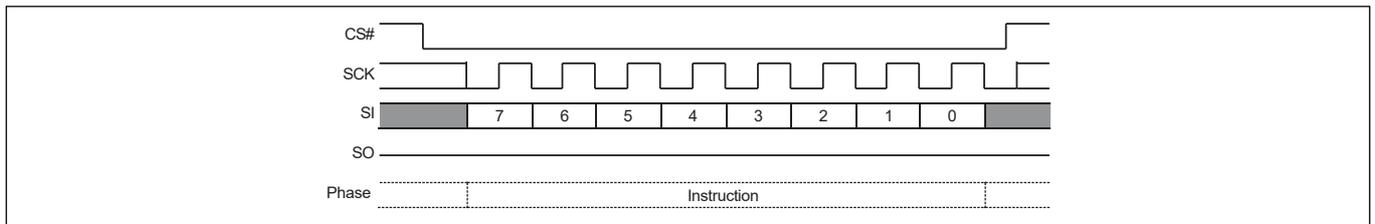


图 107 软件复位指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

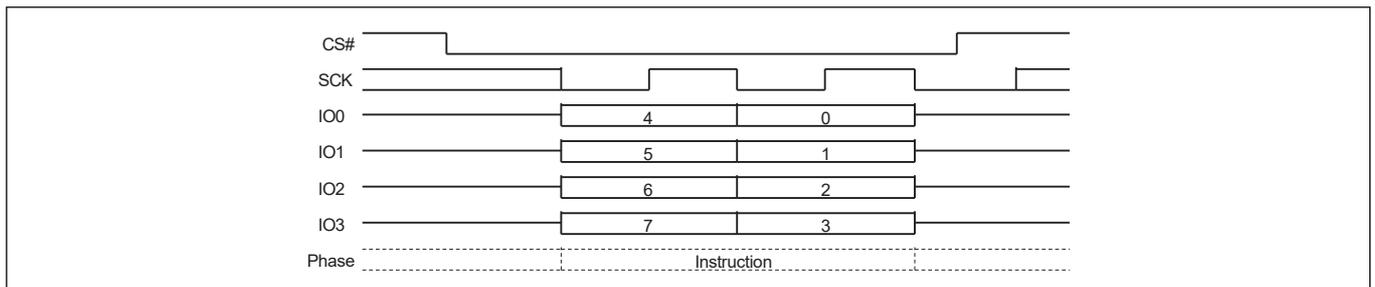


图 108 软件复位指令时序 QPI 模式

命令

9.9.1 软件复位使能 (RSTEN 66h)

复位使能 (RSTEN) 指令紧接在复位指令 (RST) 之前，以便软件复位是两个指令的时序。RSTEN 指令后面除 RST 以外的任何指令都将清除复位使能条件，并阻止后面的 RST 指令被识别。

9.9.2 软件复位 (RST 99h)

复位 (RST) 指令紧随 RSTEN 指令，启动软件复位过程。

9.9.3 传统软件复位 (复位 F0h)

传统软件复位 (复位) 是启动软件复位过程的单个指令。默认情况下，此指令是禁用的，但可以通过编程 CR3V[0] = 1 来启用它，以实现与英飞凌传统 FL-S 器件的软件兼容性。

9.9.4 模式位复位 (MBR FFh)

模式位复位 (MBR) 指令用于将器件从连续高性能读取模式返回到正常待机状态，等待任何新指令。由于某些器件封装缺少硬件复位输入，并且处于连续高性能读取模式的器件可能无法识别任何正常的 SPI 指令，因此该器件可能无法识别系统硬件复位或软件复位指令。当 RESET# 信号不可用时，建议在系统复位之后使用 MBR 指令，或者在发送软件复位之前，以确保器件从连续高性能读取模式中释放。

MBR 指令在 SI / IO0 上发送 8 个 SCK 周期的“1”。在这些周期内，IO1 至 IO3 是“不受关注的”。

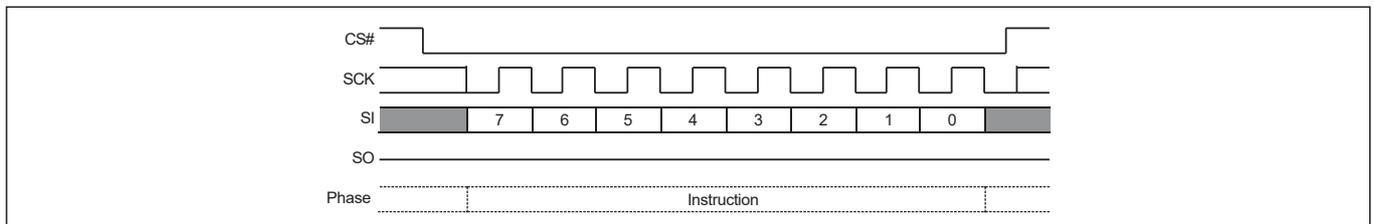


图 109 Mode 位复位指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

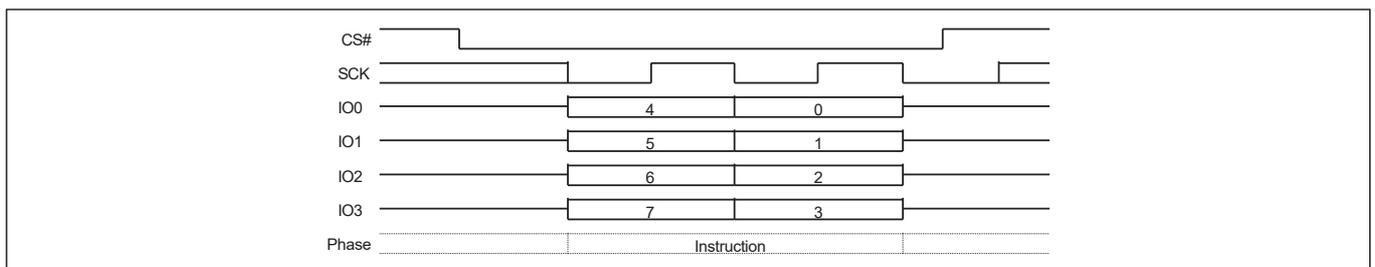


图 110 模式位复位指令时序 QPI 模式

命令

9.10 DPD 命令

9.10.1 进入深度电掉电模式 (DPD B9h)

尽管正常运行期间的待机电流相对较低，但可以使用“深度掉电”指令进一步降低待机电流。较低的功率消耗使得深度掉电 (DPD) 指令对于电池供电的应用特别有用（参阅 34 页“**DC特征**”中的 I_{DPD} ）。

仅当器件未执行嵌入式算法（如状态寄存器 1 易失性写入进行中 (WIP) 位清零 ($SR1V[0] = 0$) 所示）时，才接受 DPD 指令。

指令的触发方式是将 CS 引脚拉低，并将指令代码“B9h”移位，如图 111 所示。第八位锁存后，CS 引脚必须拉高。否则，深度电源下降指令将不会执行。CS 拉高后，电源下降状态将在 t_{DPD} 时间段内进入（参见“**时序规格**”在分页 37）。

当处于电源掉电状态时，仅会识别深度掉电释放恢复指令，该指令将器件恢复到正常工作状态。所有其他指令都将被忽略。这包括读取寄存器状态指令，该指令在正常操作期间始终可用。忽略除一个指令之外的所有指令也使得关闭状态对于写保护很有用。该器件始终在接口待机状态下上电，待机电流为 I_{CC1} 。

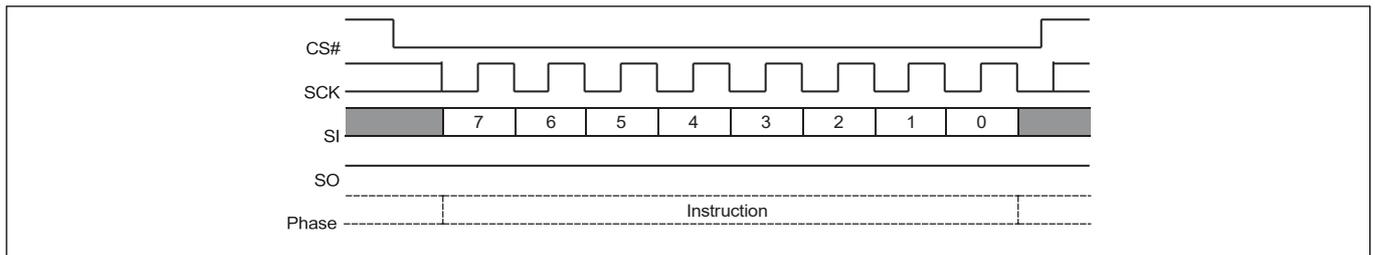


图 111 深度掉电指令时序

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

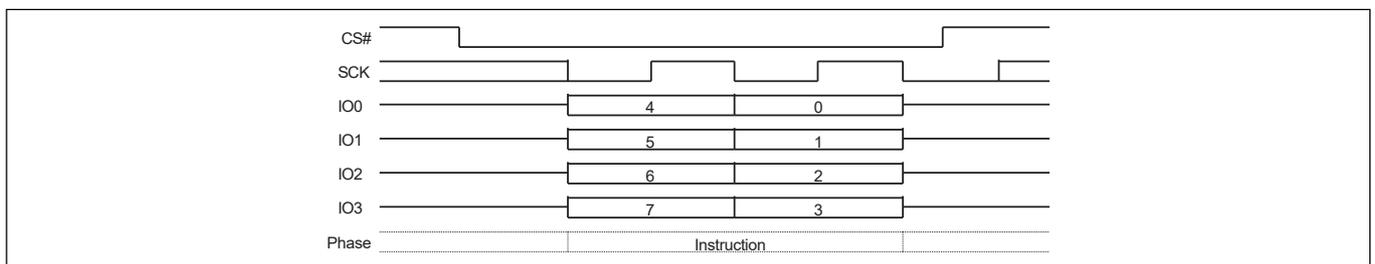


图 112 DPD 指令时序 QPI 模式

9.10.2 深度掉电模式释放 (RES ABh)

深度掉电释放命令用于将设备从深度掉电模式下释放。在一些传统的SPI设备中，RES 指令也可以用来获取器件的电子识别 (ID) 号。但是，RES 指令不支持器件 ID 功能。

要将器件从深度掉电状态释放，可通过将 CS 引脚驱动为低电平、移位指令代码“ABh”并将 CS 驱动为高电平来发出指令，如图113所示。从深度掉电状态中释放将需要 t_{RES} 的持续时间 (“时序说明” 在页 37) 器件才能恢复正常运行，并且其他指令才能被接受。在 t_{RES} 时间内，CS 引脚必须保持高电平。作为硬件复位过程的一部分，硬件复位还会将器件从 DPD 状态释放。

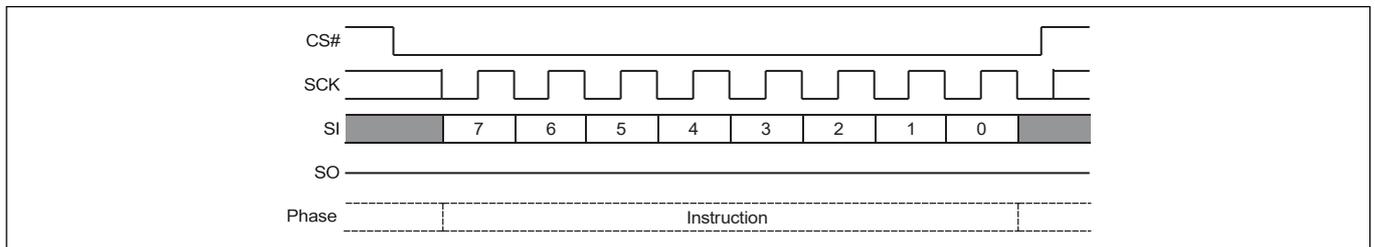


图 113 从深度掉电状态指令时序中释放

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入，每个字节两个时钟周期。

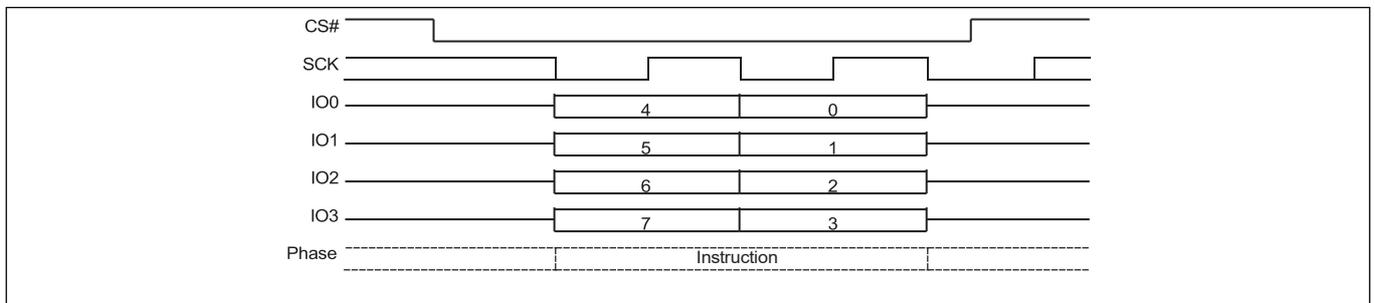


图 114 RES 指令时序 QPI 模式

10 嵌入式算法性能表

表 50 编程和擦除性能^[78, 79, 80]

Symbol	Parameter	Min	Typ ^[77]	Max	Unit
t_W	Non-volatile Register Write Time	-	240	750	ms
t_{PP}	Page Programming (512 bytes)		475	2000	μ s
	Page Programming (256 bytes)		360	2000	
t_{SE}	Sector Erase Time (256 KB physical sectors)		930	2900	ms
	Sector Erase Time (4 KB sectors)		240	725	
$t_{BE}^{[76]}$	Bulk Erase Time (S25FS512S)		220	720	sec
t_{EES}	Evaluate Erase Status Time (64-KB or 4-KB physical sectors)		20	25	μ s
	Evaluate Erase Status Time (256-KB physical or logical sectors)		80	100	

注释:

76. 并非100%经过了测试。

77. 典型的编程和擦除时间假设以下条件：25°C， $V_{CC} = 1.8 V$ ；随机数据模式。

78. 任何OTP编程指令的编程时间与 t_{pp} 。这包括 OTPP 42h、PNVDLR 43h、ASPP 2Fh 和 PASSP E8h。

79. PPBP E3h 指令的编程时间与 t_{pp} 相同。PPBE E4h 指令的擦除时间与 t_{SE} 相同。

80. 20 年的数据保存期限基于 1k 次或更少的擦除次数。

表 51 编程和擦除AC参数

Parameter	Typ	Max	Unit	Comments
Suspend latency (t_{SL})	-	50	μ s	The time from Suspend command until the WIP bit is '0'.
Resume to next Program Suspend (t_{RS})	100	-		Minimum is the time needed to issue the next Suspend command but \geq typical periods are needed for Program or Erase to progress to completion.

11 数据完整性

11.1 擦除耐久性

表 52 擦除寿命

Parameter	Minimum	Unit
Program/erase cycles per main flash array sectors	100k	P/E cycle
Program/erase cycles per PPB array or non-volatile register array ^[81]		

注:

81. 每一条写入非易失性寄存器的指令都会导致整个非易失性寄存器阵列进入一个编程/擦除周期。OTP 位和寄存器内置一个单独的阵列中，不进行编程/擦除周期。

11.2 数据保留

表 53 数据保存

Parameter	Test conditions	Minimum time	Unit
Data retention time	10k program/erase cycles	20	Years
	100k program/erase cycles	2	

联系英飞凌 销售人员或 FAE 代表，了解有关数据版权的更多信息。应用注释可从以下网址获取：

www.infineon.com/appnotes。

12 器件标识

12.1 闪存存储器可发现参数 (SFDP) 地址映射

SFDP 地址空间具有从地址零开始的帧头，用于标识 SFDP 数据结构并为每个参数提供指针。有一个参数是 JEDEC JESD216 标准规定的。Cypress 通过指向 ID-CFI 地址空间提供了附加参数，即 ID-CFI 地址空间是 SFDP 地址空间的一个子集。JEDEC 参数位于 ID-CFI 地址空间内，因此既是 CFI 参数，又是 SFDP 参数。这样，SFDP 和 ID-CFI 信息都可以通过 RSFDP 或 RDID 指令访问。

表格 54 SFDP 概述图

Byte address	Description
0000h	Location zero within JEDEC JESD216B SFDP space – start of SFDP header
...	Remainder of SFDP header followed by undefined space
1000h	Location zero within ID-CFI space – start of ID-CFI parameter tables
...	ID-CFI parameters
1090h	Start of SFDP parameter tables which are also grouped as one of the CFI parameter tables (the CFI parameter itself starts at 108Eh, the SFDP parameter table data is double word aligned starting at 1090h)
...	Remainder of SFDP parameter tables followed by either more CFI parameters or undefined space

12.2 SFDP帧头表

表 55 SFDP帧头

SFDP byte address	SFDP Dword name	Data	Description
00h		53h	This is the entry point for Read SFDP (5Ah) command i.e. location zero within SFDP space ASCII "S".
01h	SFDP Header 1st DWORD	46h	ASCII "F"
02h		44h	ASCII "D"
03h		50h	ASCII "P"
04h	SFDP Header 2nd DWORD	06h	SFDP Minor Revision (06h = JEDEC JESD216 Revision B). This revision is backward compatible with all prior minor revisions. Minor revisions are changes that define previously reserved fields, add fields to the end, or that clarify definitions of existing fields. Increments of the minor revision value indicate that previously reserved parameter fields may have been assigned a new definition or entire Dwords may have been added to the parameter table. However, the definition of previously existing fields is unchanged and therefore remain backward compatible with earlier SFDP parameter table revisions. Software can safely ignore increments of the minor revision number, as long as only those parameters the software was designed to support are used i.e. previously reserved fields and additional Dwords must be masked or ignored. Do not do a simple compare on the minor revision number, looking only for a match with the revision number that the software is designed to handle. There is no problem with using a higher number minor revision.
05h		01h	SFDP Major Revision This is the original major revision. This major revision is compatible with all SFDP reading and parsing software.
06h		05h	Number of Parameter Headers (zero based, 05h = 6 parameters)
07h		FFh	Unused
08h	Parameter Header 0 1st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
09h		00h	Parameter Minor Revision (00h = JESD216) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 0 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a higher numbered minor revision that contains additional parameters for that software revision.
0Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision).
0Bh		09h	Parameter Table Length (in double words = Dwords = 4 byte units) 09h = 9 Dwords
0Ch	Parameter Header 0 2nd DWORD	90h	Parameter Table Pointer Byte 0 (Dword = 4-byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h
0Dh		10h	Parameter Table Pointer Byte 1
0Eh		00h	Parameter Table Pointer Byte 2
0Fh		FFh	Parameter ID MSB (FFh = JEDEC defined legacy Parameter ID)

器件标识

表 55 SFDP 帧头 (续)

SFDP byte address	SFDP Dword name	Data	Description
10h	Parameter Header 1 1st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
11h		05h	Parameter Minor Revision (05h = JESD216 Revision A) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 5 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a later minor revision that contains additional parameters.
12h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
13h		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
14h	Parameter Header 1 2nd DWORD	90h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h address
15h		10h	Parameter Table Pointer Byte 1
16h		00h	Parameter Table Pointer Byte 2
17h		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
18h	Parameter Header 2 1st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
19h		06h	Parameter Minor Revision (06h = JESD216 Revision B)
1Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
1Bh		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
1Ch	Parameter Header 2 2nd DWORD	90h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1090h address
1Dh		10h	Parameter Table Pointer Byte 1
1Eh		00h	Parameter Table Pointer Byte 2
1Fh		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
20h	Parameter Header 3 1st DWORD	81h	Parameter ID LSB (81h = SFDP Sector Map Parameter)
21h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
22h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
23h		10h (512 Mb)	Parameter Table Length (in double words = Dwords = 4 byte units) OPN Dependent 16 = 10h (512 Mb)
24h	Parameter Header 3 2nd DWORD	D8h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 10D8h
25h		10h	Parameter Table Pointer Byte 1
26h		00h	Parameter Table Pointer Byte 2
27h		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
28h	Parameter Header 4 1st DWORD	84h	Parameter ID LSB (00h = SFDP 4 Byte Address Instructions Parameter)
29h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
2Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
2Bh		02h	Parameter Table Length (in double words = Dwords = 4 byte units) (2h = 2 Dwords)

器件标识

表 55 **SFDP 帧头 (续)**

SFDP byte address	SFDP Dword name	Data	Description
2Ch	Parameter Header 4 2nd DWORD	D0h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 10D0h
2Dh		10h	Parameter Table Pointer Byte 1
2Eh		00h	Parameter Table Pointer Byte 2
2Fh		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
30h	Parameter Header 5 1st DWORD	01h	Parameter ID LSB (Cypress Vendor Specific ID-CFI parameter) Legacy Manufacturer ID 01h = AMD / Cypress
31h			Parameter Minor Revision (01h = ID-CFI updated with SFDP Rev B table)
32h			Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
33h		47h (512 Mb)	Parameter Table Length (in double words = Dwords = 4 byte units) Parameter Table Length (in double words = Dwords = 4 byte units)
34h	Parameter Header 5 2nd DWORD	00h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) Entry point for ID-CFI parameter is byte offset = 1000h relative to SFDP location zero.
35h		10h	Parameter Table Pointer Byte 1
36h		00h	Parameter Table Pointer Byte 2
37h		01h	Parameter ID MSB (01h = JEDEC JEP106 Bank Number 1)

器件标识

12.3 器件ID和通用闪存接口 (ID-CFI) ASO映射

12.3.1 器件ID

表 56 制造商和器件ID

Byte address	Data	Description
00h	01h	Manufacturer ID for Cypress
01h	02h (512 Mb)	Device ID Most Significant Byte — Memory Interface Type
02h	20h (512 Mb)	Device ID Least Significant Byte — Density
03h	4Dh	ID-CFI Length - Number bytes following. Adding this value to the current location of 03h gives the address of the last valid location in the ID-CFI legacy address map. The legacy CFI address map ends with the Primary Vendor-Specific Extended Query. The original legacy length is maintained for backward software compatibility. However, the CFI Query Identification String also includes a pointer to the Alternate Vendor-Specific Extended Query that contains additional information related to the FS-S family.
04h	00h (Uniform 256-KB physical sectors)	Physical Sector Architecture The S25FS512S may be configured with or without 4-KB parameter sectors in addition to the uniform sectors.
05h	81h (S25FS512S)	Family ID
06h	xxh	ASCII characters for Model. Refer to “Ordering part number” on page 161 for the model number definitions.
07h		
08h		Reserved
09h		
0Ah		
0Bh		
0Ch		
0Dh		
0Eh		
0Fh		

表 57 CFI查询识别字符串

Byte address	Data	Description
10h 11h 12h	51h 52h 59h	Query Unique ASCII string “QRY”
13h 14h	02h 00h	Primary OEM Command Set FL-P backward compatible command set ID
15h 16h	40h 00h	Address for Primary Extended Table
17h 18h	53h 46h	Alternate OEM Command Set ASCII characters “FS” for SPI (F) interface, S Technology
19h 1Ah	51h 00h	Address for Alternate OEM Extended Table

器件标识

表 58 CFI系统接口字符串

Byte address	Data	Description
1Bh	17h	V _{CC} Min. (erase / program): 100 millivolts BCD)
1Ch	19h	V _{CC} Max. (erase / program): 100 millivolts BCD)
1Dh	00h	V _{PP} Min. voltage (00h = no V _{PP} present)
1Eh		V _{PP} Max. voltage (00h = no V _{PP} present)
1Fh	09h	Typical timeout per single byte program 2 ^N μs
20h		Typical timeout for Min. size Page program 2 ^N μs (00h = not supported)
21h	0Ah (256 KB)	Typical timeout per individual sector erase 2 ^N ms
22h	11h (512 Mb)	Typical timeout for full chip erase 2 ^N ms (00h = not supported)
23h	02h	Max. timeout for byte program 2 ^N times typical
24h		Max. timeout for page program 2 ^N times typical
25h	03h	Max. timeout per individual sector erase 2 ^N times typical
26h		Max. timeout for full chip erase 2 ^N times typical (00h = not supported)

表 59 器件底部boot几何定义的出厂状态

Byte address	Data	Description
27h	1Ah (512 Mb)	Device Size = 2 ^N bytes
28h	02h	Flash Device Interface Description:
29h	01h	0000h = x8 only
		0001h = x16 only
		0002h = x8/x16 capable
		0003h = x32 only
		0004h = Single I/O SPI, 3-byte address
0005h = Multi I/O SPI, 3-byte address		
0102h = Multi I/O SPI, 3- or 4-byte address		
2Ah	08h	Max. number of bytes in multi-byte write = 2 ^N
2Bh	00h	0000h = Not supported
		0008h = 256B page
		0009h = 512B page
2Ch	03h	Number of Erase Block Regions within device 1 = Uniform Device, >1 = Boot Device
2Dh	07h	Erase Block Region 1 Information (refer to JEDEC JEP137) 8 sectors = 8-1 = 0007h 4-KB sectors = 256 bytes x 0010h
2Eh	00h	
2Fh	10h	
30h	00h	Erase Block Region 2 Information (refer to JEDEC JEP137) 512 Mb: 1 sectors = 1-1 = 0000h
31h		
32h		
33h	80h	224-KB sector = 256 bytes x 0380h
34h	00h (128 Mb)	
	00h (256 Mb)	
	03h (512 Mb)	

器件标识

表 59 **底部boot初始交付状态的器件几何定义 (续)**

Byte address	Data	Description
35h	FEh	Erase Block Region 3 Information 512 Mb: 255 sectors = 255-1 = 00FEh 256-KB sectors = 0400h x 256 bytes
36h	00h (128 Mb)	
	01h (256 Mb)	
	00h (512 Mb)	
	01h (1 Gb)	
37h	00h	
38h	01h (128 Mb)	
	01h (256 Mb)	
	04h (512 Mb)	
	04h (1 Gb)	
39h thru 3Fh	FFh	RFU

器件标识

表 60 CFI主要厂商特定的扩展查询

Byte address	Data	Description
40h	50h	Query-unique ASCII string "PRI"
41h	52h	
42h	49h	
43h	31h	Major version number = 1, ASCII
44h	33h	Minor version number = 3, ASCII
45h	21h	Address Sensitive Unlock (Bits 1-0) 00b = Required, 01b = Not Required Process Technology (Bits 5-2) 0000b = 0.23 μm Floating Gate 0001b = 0.17 μm Floating Gate 0010b = 0.23 μm MirrorBit 0011b = 0.11 μm Floating Gate 0100b = 0.11 μm MirrorBit 0101b = 0.09 μm MirrorBit 1000b = 0.065 μm MirrorBit
46h	02h	Erase Suspend 0 = Not Supported, 1 = Read Only, 2 = Read and Program
47h	01h	Sector Protect 00 = Not Supported, X = Number of sectors in group
48h	00h	Temporary Sector Unprotect 00 = Not Supported, 01 = Supported
49h	08h	Sector Protect/Unprotect Scheme 04 = High Voltage Method 05 = Software Command Locking Method 08 = Advanced Sector Protection Method
4Ah	00h	Simultaneous Operation 00 = Not Supported, X = Number of Sectors
4Bh	01h	Burst Mode (Synchronous sequential read) support 00 = Not Supported, 01 = Supported
4Ch	03h	Page Mode Type, initial delivery configuration, user configurable for 512B page 00 = Not Supported, 01 = 4 Word Read Page, 02 = 8 Read Word Page, 03 = 256 Byte Program Page, 04 = 512 Byte Program Page
4Dh	00h	ACC (Acceleration) Supply Minimum 00 = Not Supported, 100 mV
4Eh		ACC (Acceleration) Supply Maximum 00 = Not Supported, 100 mV
4Fh	07h	WP# Protection 01 = Whole Chip 04 = Uniform Device with Bottom WP Protect 05 = Uniform Device with Top WP Protect 07 = Uniform Device with Top or Bottom Write Protect (user configurable)
50h	01h	Program Suspend 00 = Not Supported, 01 = Supported

注：

82. 用户可将 FS512S 设备配置为具有混合扇区架构（具有 8 个 4 KB 扇区，所有剩余扇区统一为 256 KB）或统一扇区架构（所有扇区统一为 256 KB）。FS-S 设备也可由用户配置为在闪存地址空间顶部具有 4 KB 参数扇区。上表的 CFI 几何信息仅与初始交付状态相关。所有器件最初均由 Cypress 发货，配备混合扇区架构，其中 4 KB 扇区位于映射地址映射的底部。然而，器件配置 TBPARM 位 CR1NV[2] 可以被编程为反转的扇区映射，将 4-KB 扇区映射放置在扇区地址映射的顶部。可以对 20h_NV 位 (CR3NV[3] 进行编程以从地址映射中移除 4 KB 扇区。闪存存储器器件驱动程序软件必须检查 TBPARM 和 20h_NV 位以确定扇区映射是否已反转或混合扇区被移除。

器件标识

替换供应商特定扩展查询提供了与 FS-S 系列提供的扩展指令置位相关的信息。替换查询参数使用一种格式，其中每个参数以标识符字节和参数长度字节开头。驱动程序软件可以检查每个参数ID，如果该参数不需要或软件无法识别，则可以使用长度值跳到下一个参数。

表 61 CFI 备用供应商特定扩展查询帧头

Byte address	Data	Description
51h	41h	Query-unique ASCII string "ALT"
52h	4Ch	
53h	54h	
54h	32h	Major version number = 2, ASCII
55h	30h	Minor version number = 0, ASCII

表 62 CFI 备用供应商特定扩展查询参数 0

Parameter relative byte address offset	Data	Description
00h	00h	Parameter ID (Ordering Part Number)
01h	10h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter).
02h	53h	ASCII "S" for manufacturer (Infineon)
03h	32h	ASCII "25" for Product Characters (Single Die SPI)
04h	35h	
05h	46h	ASCII "FS" for Interface Characters (SPI 1.8V)
06h	53h	
07h	35h (512 Mb)	ASCII characters for density
08h	31h (512 Mb)	
09h	32h (512 Mb)	
0Ah	53h	ASCII "S" for Technology (65-nm MIRRORBIT™)
0Bh	FFh	Reserved for Future Use
0Ch	FFh	
0Dh	FFh	
0Eh	FFh	
0Fh	FFh	
10h	xxh	
11h	xxh	Refer to "Ordering part number" on page 161 for the model number definitions.

器件标识

表 63 CFI 备用供应商特定扩展查询参数 80h 地址选项

Parameter relative byte address offset	Data	Description
00h	80h	Parameter ID (Ordering Part Number)
01h	01h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter)
02h	EBh	Bits 7:5 – Reserved = 111b Bit 4 – Address Length Bit in CR2V[7] – Yes= 0b Bit 3 – AutoBoot support – No = 1b Bit 2 – 4 byte address instructions supported – Yes= 0b Bit 1 – Bank address + 3 byte address instructions supported –No = 1b Bit 0 - 3 byte address instructions supported – No = 1b

表 64 CFI 备用供应商特定扩展查询参数 84h 挂起指令

Parameter relative byte address offset	Data	Description
00h	84h	Parameter ID (Suspend Commands)
01h	08h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter)
02h	75h	Program suspend instruction code
03h	32h	Program suspend latency maximum (μs)
04h	7Ah	Program resume instruction code
05h	64h	Program resume to next suspend typical (μs)
06h	75h	Erase suspend instruction code
07h	32h	Erase suspend latency maximum (μs)
08h	7Ah	Erase resume instruction code
09h	64h	Erase resume to next suspend typical (μs)

表 65 CFI 备用供应商特定扩展查询参数 88h 数据保护

Parameter relative byte address offset	Data	Description
00h	88h	Parameter ID (Data Protection)
01h	04h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter)
02h	0Ah	OTP size 2 ^N bytes, FFh = Not supported
03h	01h	OTP address map format, 01h = FL-S and FS-S format, FFh = not supported
04h	xxh	Block Protect Type, model dependent 00h = FL-P, FL-S, FS-S FFh = Not supported
05h	xxh	Advanced Sector Protection type, model dependent 01h = FL-S and FS-S ASP

器件标识

表 66 CFI 备用供应商特定扩展查询参数 8Ch 复位时序

Parameter relative byte address offset	Data	Description
00h	8Ch	Parameter ID (Reset Timing)
01h	06h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter).
02h	96h	POR maximum value
03h	01h	POR maximum exponent $2^N \mu\text{s}$
04h	23h	Hardware Reset maximum value, FFh = not supported (the initial delivery state has hardware reset disabled but it may be enabled by the user at a later time)
05h	00h	Hardware Reset maximum exponent $2^N \mu\text{s}$
06h	23h	Software Reset maximum value, FFh = Not supported
07h	00h	Software Reset maximum exponent $2^N \mu\text{s}$

表 67 CFI 备用供应商特定扩展查询参数 94h ECC

Parameter relative byte address offset	Data	Description
00h	94h	Parameter ID (ECC)
01h	01h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter).
02h	10h	ECC unit size byte, FFh = ECC disabled

表 68 CFI 备用供应商特定扩展查询参数 F0h RFU

Parameter relative byte address offset	Data	Description
00h	F0h	Parameter ID (RFU)
01h	09h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter).
02h	FFh	RFU
...	FFh	
0Ah	FFh	

该参数类型（参数ID F0h）可能出现多次，且每次的长度不同。此参数用于在ID-CFI图中预留空间，或者强制放置（填塞）将后面的参数对齐到所需的边界。

12.4 JEDEC SFDP Rev B 参数表

从 CFI 数据结构的角度来看，所有 SFDP 参数表都作为连续的字节序列组合成单个 CFI 参数。

从SFDP数据结构来看，有三个独立的参数表。其中两个表具有固定长度，一个表具有可变结构和长度，具体取决于器件容量订购部件编号 (OPN)。基本闪存参数表和 4 字节地址指令参数表具有固定长度，并在下面作为单个表呈现。该表是整体 CFI 参数的表69。

JEDEC扇区映射参数表的结构和长度取决于容量型号，并以表的置位形式呈现，每个器件容量一个。OPN 的适用表格是 CFI 总体参数的第 2 部分（如果与第 2 部分链接），并附加到第 1 部分。

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
00h	--	N/A	A5h	CFI Parameter ID (JEDEC SFDP)
01h	--	N/A	88h (512 Mb)	CFI Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value +1 = the first byte of the next parameter). OPN dependent: 18Dw + 16Dw = 34Dw * 4B = 136B = 88h B (512 Mb)
02h	00h	JEDEC Basic Flash Parameter Dword-1	E7h	Start of SFDP JEDEC parameter, located at 1090h in the overall SFDP address space. Bits 7:5 = unused = 111b Bit 4:3 = 06h is status register write instruction and status register is default nonvolatile= 00b Bit 2 = Program Buffer > 64 bytes = 1 Bits 1:0 = Uniform 4-KB erase unavailable = 11b
03h	01h		FFh	Bits 15:8 = Uniform 4-KB erase opcode = not supported = FFh
04h	02h		B2h (FSxxxSAG) BAh (FSxxxSDS)	Bit 23 = Unused = 1b Bit 22 = Supports Quad Out Read = No = 0b Bit 21 = Supports Quad I/O Read = Yes = 1b Bit 20 = Supports Dual I/O Read = Yes = 1b Bit 19 = Supports DDR 0= No, 1 = Yes; FS-SAG = 0b, FS-SDS = 1b Bit 18:17 = Number of Address Bytes, 3 or 4 = 01b Bit 16 = Supports Dual Out Read = No = 0b
05h	03h		FFh	Bits 31:24 = Unused = FFh
06h	04h		JEDEC Basic Flash Parameter Dword-2	FFh
07h	05h	FFh		
08h	06h	FFh		
09h	07h	1Fh (512 Mb)		
0Ah	08h	JEDEC Basic Flash Parameter Dword-3	48h	Bits 7:5 = number of Quad I/O (1-4-4) Mode cycles = 010b Bits 4:0 = number of Quad I/O Dummy cycles = 01000b (Initial Delivery State)
0Bh	09h		EBh	Quad I/O instruction code
0Ch	0Ah		FFh	Bits 23:21 = number of Quad Out (1-1-4) Mode cycles = 111b Bits 20:16 = number of Quad Out Dummy cycles = 11111b
0Dh	0Bh		FFh	Quad Out instruction code
0Eh	0Ch		JEDEC Basic Flash Parameter Dword-4	FFh
0Fh	0Dh	FFh		Dual Out instruction code
10h	0Eh	88h		Bits 23:21 = number of Dual I/O (1-2-2) Mode cycles = 100b Bits 20:16 = number of Dual I/O Dummy cycles = 01000b (Initial Delivery State)
11h	0Fh	BBh		Dual I/O instruction code

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
12h	10h	JEDEC Basic Flash Parameter Dword-5	FEh	Bits 7:5 RFU = 111b Bit 4 = QPI supported = Yes = 1b Bits 3:1 RFU = 111b Bit 0 = Dual All not supported = 0b
13h	11h		FFh	Bits 15:8 = RFU = FFh
14h	12h		FFh	Bits 23:16 = RFU = FFh
15h	13h		FFh	Bits 31:24 = RFU = FFh
16h	14h	JEDEC Basic Flash Parameter Dword-6	FFh	Bits 7:0 = RFU = FFh
17h	15h		FFh	Bits 15:8 = RFU = FFh
18h	16h		FFh	Bits 23:21 = number of Dual All Mode cycles = 111b Bits 20:16 = number of Dual All Dummy cycles = 11111b
19h	17h		FFh	Dual All instruction code
1Ah	18h	JEDEC Basic Flash Parameter Dword-7	FFh	Bits 7:0 = RFU = FFh
1Bh	19h		FFh	Bits 15:8 = RFU = FFh
1Ch	1Ah		48h	Bits 23:21 = number of QPI Mode cycles = 010b Bits 20:16 = number of QPI Dummy cycles = 01000b
1Dh	1Bh		EBh	QPI mode Quad I/O (4-4-4) instruction code
1Eh	1Ch	JEDEC Basic Flash Parameter Dword-8	0Ch	Erase type 1 size 2^N bytes = 4 KB = 0Ch for Hybrid (Initial Delivery State)
1Fh	1Dh		20h	Erase type 1 instruction
20h	1Eh		10h	Erase type 2 size 2^N bytes = 64 KB = 10h
21h	1Fh		D8h	Erase type 2 instruction
22h	20h	JEDEC Basic Flash Parameter Dword-9	12h	Erase type 3 size 2^N bytes = 256 KB = 12h
23h	21h		D8h	Erase type 3 instruction
24h	22h		00h	Erase type 4 size 2^N bytes = not supported = 00h
25h	23h		FFh	Erase type 4 instruction = not supported = FFh

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
26h	24h		82h	Bits 31:30 = Erase type 4 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 1S = 11b (RFU)
27h	25h		42h	
28h	26h		11h	Bits 29:25 = Erase type 4 Erase, Typical time count = 11111b (RFU)
29h	27h	JEDEC Basic Flash Parameter Dword-10	FFh	Bits 24:23 = Erase type 3 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 128mS = 10b Bits 22:18 = Erase type 3 Erase, Typical time count = 00100b (typ erase time = count +1 * units = 5*128mS = 640mS) Bits 17:16 = Erase type 2 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16mS = 01b Bits 15:11 = Erase type 2 Erase, Typical time count = 01000b (typ erase time = count +1 * units = 9*16mS = 144mS) Bits 10:9 = Erase type 1 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16mS = 01b Bits 8:4 = Erase type 1 Erase, Typical time count = 01000b (typ erase time = count +1 * units = 9*16mS = 144mS) Bits 3:0 = Multiplier from typical erase time to maximum erase time = 2*(N+1), N=2h = 6x multiplier Binary Fields: 11-11111-10-00100-01-01000-01-01000-0010 Nibble Format: 1111_1111_0001_0001_0100_0010_1000_0010 Hex Format: FF_11_42_82

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
2Ah	28h	JEDEC Basic Flash Parameter Dword-11	91h	Bit 31 Reserved = 1b
2Bh	29h		26h	Bits 30:29 = Chip Erase, Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 512 Mb = 64s = 11b
2Ch	2Ah		07h	Bits 28:24 = Chip Erase, Typical time count, (count+1)*units, 512 Mb = 00010b = 2+1*64uS = 192s
2Dh	2Bh		E2h (512 Mb)	Bits 23 = Byte Program Typical time, additional byte units (0b:1uS, 1b:8uS) = 1uS = 0b Bits 22:19 = Byte Program Typical time, additional byte count, (count+1)*units, count = 0000b, (typ Program time = count + 1 * units = 1*1uS = 1uS Bits 18 = Byte Program Typical time, first byte units (0b:1uS, 1b:8uS) = 8uS = 1b Bits 17:14 = Byte Program Typical time, first byte count, (count+1)*units, count = 1100b, (typ Program time = count + 1 * units = 13*8uS = 104uS Bits 13 = Page Program Typical time units (0b:8uS, 1b:64uS) = 64uS = 1b Bits 12:8 = Page Program Typical time count, (count+1)*units, count = 00110b, (typ Program time = count + 1 * units = 7*64uS = 448uS) Bits 7:4 = Page size 2 ^N , N=9h, = 512B page Bits 3:0 = Multiplier from typical time to maximum for Page or Byte program = 2*(N+1), N=1h = 4x multiplier
				128 Mb Binary Fields: 1-10-01000-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1100_1000_0000_0111_0010_0110_1001_0001 Hex Format: C8_07_26_91
				256 Mb Binary Fields: 1-10-10001-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1101_0001_0000_0111_0010_0110_1001_0001 Hex Format: D1_07_26_91
				512 Mb Binary Fields: 1-11-00010-0-0000-1-1100-1-00110-1001-0001 Nibble Format: 1110_0010_0000_0111_0010_0110_1001_0001 Hex Format: E2_07_26_91

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
2Eh	2Ch	JEDEC Basic Flash Parameter Dword-12	ECh	Bit 31 = Suspend and Resume supported = 0b Bits 30:29 = Suspend in-progress erase max latency units (00b: 128ns, 01b: 1us, 10b: 8us, 11b: 64us) = 8us = 10b Bits 28:24 = Suspend in-progress erase max latency count = 00100b, max erase suspend latency = count +1 * units = 5*8uS = 40uS Bits 23:20 = Erase resume to suspend interval count = 0001b, interval = count +1 * 64us = 2 * 64us = 128us Bits 19:18 = Suspend in-progress program max latency units (00b: 128ns, 01b: 1us, 10b: 8us, 11b: 64us) = 8us = 10b Bits 17:13 = Suspend in-progress program max latency count = 00100b, max erase suspend latency = count +1 * units = 5*8uS = 40uS Bits 12:9 = Program resume to suspend interval count = 0001b, interval = count +1 * 64us = 2 * 64us = 128us Bit 8 = RFU = 1b Bits 7:4 = Prohibited operations during erase suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx1xb: May not initiate a page program in the erase suspended sector size + x1xxb: May not initiate a read in the erase suspended sector size + 1xxxb: The erase and program restrictions in bits 5:4 are sufficient = 1110b Bits 3:0 = Prohibited Operations During Program Suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx0xb: May not initiate a new page program anywhere (program nesting not permitted) + x1xxb: May not initiate a read in the program suspended page size + 1xxxb: The erase and program restrictions in bits 1:0 are sufficient = 1100b Binary Fields: 0-10-00100-0001-10-00100-0001-1-1110-1100 Nibble Format: 0100_0100_0001_1000_1000_0011_1110_1100 Hex Format: 44_18_83_EC
2Fh	2Dh		83h	
30h	2Eh		18h	
31h	2Fh		44h	
32h	30h	JEDEC Basic Flash Parameter Dword-13	8Ah	Bits 31:24 = Erase Suspend Instruction = 75h Bits 23:16 = Erase Resume Instruction = 7Ah Bits 15:8 = Program Suspend Instruction = 85h Bits 7:0 = Program Resume Instruction = 8Ah
33h	31h		85h	
34h	32h		7Ah	
35h	33h		75h	

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
36h	34h	JEDEC Basic Flash Parameter Dword-14	F7h	Bit 31 = Deep Power Down Supported = supported = 0 Bits 30:23 = Enter Deep Power Down Instruction = B9h Bits 22:15 = Exit Deep Power Down Instruction = ABh Bits 14:13 = Exit Deep Power Down to next operation delay units = (00b: 128ns, 01b: 1us, 10b: 8us, 11b: 64us) = 1us = 01b Bits 12:8 = Exit Deep Power Down to next operation delay count = 11101b, Exit Deep Power Down to next operation delay = (count+1)*units = 29+1 *1us = 30us Bits 7:4 = RFU = Fh Bit 3:2 = Status Register Polling Device Busy = 01b: Legacy status polling supported = Use legacy polling by reading the Status Register with 05h instruction and checking WIP bit[0] (0=ready; 1=busy). = 01b Bits 1:0 = RFU = 11b Binary Fields: 0-10111001-10101011-01-11101-1111-01-11 Nibble Format: 0101_1100_1101_0101_1011_1101_1111_0111 Hex Format: 5C_D5_BD_F7
37h	35h		BDh	
38h	36h		D5h	
39h	37h		5Ch	

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
3Ah	38h	JEDEC Basic Flash Parameter Dword-15	8Ch	Bits 31:24 = RFU = FFh
3Bh	39h		F6h	Bit 23 = Hold and WP Disable = not supported = 0b
3Ch	3Ah		5Dh	Bits 22:20 = Quad Enable Requirements = 101b: QE is bit 1 of the Status Register 2. Status register 1 is read using Read Status instruction 05h. Status register 2 is read using instruction 35h. QE is set via Write Status instruction 01h with two data bytes where bit 1 of the second byte is one. It is cleared via Write Status with two data bytes where bit 1 of the second byte is zero.
3Dh	3Bh		FFh	Bits 19:16 0-4-4 Mode Entry Method = xxx1b: Mode Bits[7:0] = A5h Note: QE must be set prior to using this mode + x1xxb: Mode Bit[7:0]=Axh + 1xxxb: RFU = 1101b Bits 15:10 0-4-4 Mode Exit Method = xx_xxx1b: Mode Bits[7:0] = 00h will terminate this mode at the end of the current read operation + xx_1xxb: Input Fh (mode bit reset) on DQ0-DQ3 for 8 clocks. This will terminate the mode prior to the next read operation. + x1_xxxb: Mode Bit[7:0] != Axh + 1x_x1xx: RFU = 11_1101 Bit 9 = 0-4-4 mode supported = 1 Bits 8:4 = 4-4-4 mode enable sequences = x_1xxb: device uses a read-modify-write sequence of operations: read configuration using instruction 65h followed by address 800003h, set bit 6, write configuration using instruction 71h followed by address 800003h. This configuration is volatile. = 01000b Bits 3:0 = 4-4-4 mode disable sequences = x1xxb: device uses a read-modify-write sequence of operations: read configuration using instruction 65h followed by address 800003h, clear bit 6, write configuration using instruction 71h followed by address 800003h.. This configuration is volatile. + 1xxxb: issue the Soft Reset 66/99 sequence = 1100b Binary Fields: 11111111-0-101-1101-111101-1-01000-1100 Nibble Format: 1111_1111_0101_1101_1111_0110_1000-1100 Hex Format: FF_5D_F6_8C

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
3Eh	3Ch	JEDEC Basic Flash Parameter Dword-16	F0h	Bits 31:24 = Enter 4-Byte Addressing = xxxx_xxx1b: issue instruction B7h (preceding write enable not required) + xx1x_xxxx: Supports dedicated 4-Byte address instruction set. Consult vendor data sheet for the instruction set definition. + 1xxx_xxxx: Reserved = 10100001b Bits 23:14 = Exit 4-Byte Addressing = xx_xx1x_xxxx: Hardware reset + xx_x1xx_xxxx: Software reset (see bits 13:8 in this DWORD) + xx_1xxx_xxxx: Power cycle + x1_xxxx_xxxx: Reserved + 1x_xxxx_xxxx: Reserved = 11_1110_0000b Bits 13:8 = Soft Reset and Rescue Sequence Support = x1_xxxx: issue reset enable instruction 66h, then issue reset instruction 99h. The reset enable, reset sequence may be issued on 1, 2, or 4 wires depending on the device operating mode. + 1x_xxxx: exit 0-4-4 mode is required prior to other reset sequences above if the device may be operating in this mode. = 110000b Bit 7 = RFU = 1 Bits 6:0 = Volatile or Nonvolatile Register and Write Enable Instruction for Status Register 1 = + xx1_xxxx: Status Register 1 contains a mix of volatile and nonvolatile bits. The 06h instruction is used to enable writing of the register. + x1x_xxxx: Reserved + 1xx_xxxx: Reserved = 1110000b Binary Fields: 10100001-1111100000-110000-1-1110000 Nibble Format: 1010_0001_1111_1000_0011_0000_1111_0000 Hex Format: A1_F8_30_F0
3Fh	3Dh		30h	
40h	3Eh		F8h	
41h	3Fh		A1h	

器件标识

表 69 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 1 节, 基本闪存存储器参数和 4 字节地址指令参数 (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP Dword name	Data	Description
42h nonvolatile	40h		6Bh	Supported = 1, Not Supported = 0 Bits 31:20 = RFU = FFFh Bit 19 = Support for nonvolatile individual sector lock write command, Instruction=E3h = 1 Bit 18 = Support for nonvolatile individual sector lock read command, Instruction=E2h = 1 Bit 17 = Support for volatile individual sector lock Write command, Instruction=E1h = 1 Bit 16 = Support for volatile individual sector lock Read command, Instruction=E0h = 1 Bit 15 = Support for (1-4-4) DTR_Read Command, Instruction=EEh = 1 Bit 14 = Support for (1-2-2) DTR_Read Command, Instruction=BEh = 0 Bit 13 = Support for (1-1-1) DTR_Read Command, Instruction=0Eh = 0 Bit 12 = Support for Erase Command - Type 4 = 0 Bit 11 = Support for Erase Command - Type 3 = 1 Bit 10 = Support for Erase Command - Type 2 = 1 Bit 9 = Support for Erase Command - Type 1 = 1 Bit 8 = Support for (1-4-4) Page Program Command, Instruction=3Eh = 0 Bit 7 = Support for (1-1-4) Page Program Command, Instruction=34h = 0 Bit 6 = Support for (1-1-1) Page Program Command, Instruction=12h = 1 Bit 5 = Support for (1-4-4) FAST_READ Command, Instruction=ECh = 1 Bit 4 = Support for (1-1-4) FAST_READ Command, Instruction=6Ch = 0 Bit 3 = Support for (1-2-2) FAST_READ Command, Instruction=BCh = 1 Bit 2 = Support for (1-1-2) FAST_READ Command, Instruction=3Ch = 0 Bit 1 = Support for (1-1-1) FAST_READ Command, Instruction=0Ch = 1 Bit 0 = Support for (1-1-1) READ Command, Instruction=13h = 1
43h	41h		8Eh	
44h	42h		FFh	
45h	43h		JEDEC 4 Byte Address Instructions Parameter Dword-1	
46h	44h	JEDEC 4 Byte Address Instructions Parameter Dword-2	21h	Bits 31:24 = FFh = Instruction for Erase Type 4: RFU Bits 23:16 = DCh = Instruction for Erase Type 3 Bits 15:8 = DCh = Instruction for Erase Type 2 Bits 7:0 = 21h = Instruction for Erase Type 1
47h	45h		DCh	
48h	46h		DCh	
49h	47h		FFh	

扇区图参数表说明:

表 70 提供了一种方法来识别器件地址映射的配置方式, 并为每个支持的配置提供扇区映射。这是通过定义一系列指令来读取影响地址映射选择的相关配置寄存器位来完成的。当必须读取多个配置位时, 所有位都连接成一个索引值, 用于选择当前地址映射。

为了识别 FS512S 中的扇区映射配置, 按照以下最高有效位 (MSB) 到最低有效位 (LSB) 的顺序读取以下配置位, 以形成配置映射索引值:

- CR3NV[3] - 0 = 混合架构, 1 = 统一架构
- CR1NV[2] - 0 = 底部有 4 KB 参数扇区, 1 = 顶部有 4 KB 扇区

一些配置位的值可能会使其他配置位值不相关 (无关的), 因此并非所有索引值的可能组合都定义有效的地址映射。仅选定的配置位

器件标识

SFDP 扇区图参数表支持各种组合。使用此 SFDP 参数表确定扇区映射时，配置扇区地址映射时不得使用其他组合。支持以下索引值组合。

表 70 扇区映射参数

Device	CR3NV[3]	CR1NV[2]	Index Value	Description
FS512S	0	0	01h	4 KB sectors at bottom with remainder 256 KB sectors
	0	1	03h	4 KB sectors at top with remainder 256 KB sectors
	1	0	05h	Uniform 256 KB sectors

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 节, 扇区映射参数表, 512Mb

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP D word name	Data	Description
4Ah	48h	JEDEC Sector Map Parameter Dword-1 Config. Detect-1	FCh	Bits 31:24 = Read data mask = 0000_1000b: Select bit 3 of the data byte for 20h_NV value 0= Hybrid map with 4-KB parameter sectors 1= Uniform map Bits 23:22 = Configuration detection command address length = 11b: Variable length Bits 21:20 = RFU = 11b Bits 19:16 = Configuration detection command latency = 1111b: variable latency Bits 15:8 = Configuration detection instruction = 65h: Read any register Bits 7:2 = RFU = 111111b Bit 1 = Command Descriptor = 0 Bit 0 = not the end descriptor = 0
4Bh	49h		65h	
4Ch	4Ah		FFh	
4Dh	4Bh		08h	
4Eh	4Ch	JEDEC Sector Map Parameter Dword-2 Config. Detect-1	04h	Bits 31:0 = Sector map configuration detection command address = 00_00_00_04h: address of CR3NV
4Fh	4Dh		00h	
50h	4Eh		00h	
51h	4Fh		00h	
52h	50h	JEDEC Sector Map Parameter Dword-3 Config. Detect-2	FCh	Bits 31:24 = Read data mask = 0000_0100b: Select bit 2 of the data byte for TBPARM_O value 0= 4-KB parameter sectors at bottom 1= 4-KB parameter sectors at top Bits 23:22 = Configuration detection command address length = 11b: Variable length Bits 21:20 = RFU = 11b Bits 19:16 = Configuration detection command latency = 1111b: variable latency Bits 15:8 = Configuration detection instruction = 65h: Read any register Bits 7:2 = RFU = 111111b Bit 1 = Command Descriptor = 0 Bit 0 = not the end descriptor = 0
53h	51h		65h	
54h	52h		FFh	
55h	53h		04h	
56h	54h	JEDEC Sector Map Parameter Dword-4 Config. Detect-2	02h	Bits 31:0 = Sector map configuration detection command address = 00_00_00_02h: address of CR1NV
57h	55h		00h	
58h	56h		00h	
59h	57h		00h	

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 节, 扇区
映射参数表, 512Mb (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP D word name	Data	Description
5Ah	58h		FDh	Bits 31:24 = Read data mask = 0000_0010b: Select bit 1 of the data byte for D8h_NV value 0= 64-KB uniform sectors 1= 256-KB uniform sectors
5Bh	59h		65h	
5Ch	5Ah		FFh	
5Dh	5Bh	JEDEC Sector Map Parameter Dword-5 Config. Detect-3	02h	Bits 23:22 = Configuration detection command address length = 11b: Variable length Bits 21:20 = RFU = 11b Bits 19:16 = Configuration detection command latency = 1111b: variable latency Bits 15:8 = Configuration detection instruction = 65h: Read any register Bits 7:2 = RFU = 111111b Bit 1 = Command Descriptor = 0 Bit 0 = The end descriptor = 1
5Eh	5Ch	JEDEC Sector Map Parameter Dword-6 Config. Detect-3	04h	Bits 31:0 = Sector map configuration detection command address = 00_00_00_04h: address of CR3NV
5Fh	5Dh		00h	
60h	5Eh		00h	
61h	5Fh		00h	
62h	60h	JEDEC Sector Map Parameter Dword-7 Config-1 Header	FEh	Bits 31:24 = RFU = FFh Bits 23:16 = Region count (Dwords -1) = 02h: Three regions Bits 15:8 = Configuration ID = 01h: 4-KB sectors at bottom with remainder 256-KB sectors Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = not the end descriptor = 0
63h	61h		01h	
64h	62h		02h	
65h	63h		FFh	
66h	64h		F1h	Bits 31:8 = Region size = 00007Fh: Region size as count-1 of 256 Byte units = 8 x 4 KB sectors = 32 KB Count = 32 KB/256 = 128, value = count -1 = 128 -1 = 127 = 7Fh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 0b --- Erase Type 3 is 256-KB erase and is supported in the 4-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 4-KB sector region Bit 0 = Erase Type 1 support = 1b --- Erase Type 1 is 4-KB erase and is supported in the 4-KB sector region
67h	65h		7Fh	
68h	66h		00h	
69h	67h	JEDEC Sector Map Parameter Dword-8 Config-1 Region-0	00h	

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 节, 扇区
映射参数表, 512Mb (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP D word name	Data	Description
6Ah	68h	JEDEC Sector Map Parameter Dword-9 Config-1 Region-1	F4h	Bits 31:8 = Region size = 00037Fh: Region size as count-1 of 256 Byte units = 1 x 224 KB sectors = 224 KB Count = 224 KB/256 = 896, value = count -1 = 896 -1 = 895 = 37Fh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256-KB erase and is supported in the 32-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 32-KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4-KB erase and is not supported in the 32-KB sector region
6Bh	69h		7Fh	
6Ch	6Ah		03h	
6Dh	6Bh		00h	
6Eh	6Ch	JEDEC Sector Map Parameter Dword-10 Config-1 Region-2	F4h	Bits 31:8 = 512 Mb device Region size = 03FBFFh: Region size as count-1 of 256 Byte units = 255 x 256 KB sectors = 65280 KB Count = 65280 KB/256 = 261120, value = count -1 = 261120 -1 = 261119 = 3FBFFh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256-KB erase and is supported in the 64-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 64-KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4-KB erase and is not supported in the 64-KB sector region
6Fh	6Dh		FFh	
70h	6Eh		FBh	
71h	6Fh		03h (512 Mb)	
72h	70h	JEDEC Sector Map Parameter Dword-11 Config-3 Header	FEh	Bits 31:24 = RFU = FFh Bits 23:16 = Region count (Dwords -1) = 02h: Three regions Bits 15:8 = Configuration ID = 03h: 4 KB sectors at top with remainder 256 KB sectors Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = not the end descriptor = 0
73h	71h		03h	
74h	72h		02h	
75h	73h		FFh	

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 节, 扇区
映射参数表, 512Mb (续)

CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP D word name	Data	Description
76h	74h	JEDEC Sector Map Parameter Dword-12 Config-3 Region-0	F4h	Bits 31:8 = 512 Mb device Region size = 03FBFFh: Region size as count-1 of 256 Byte units = 255 x 256 KB sectors = 65280 KB Count = 65280 KB/256 = 261120, value = count -1 = 261120 -1 = 261119 = 3FBFFh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256-KB erase and is supported in the 64-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 64-KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4-KB erase and is not supported in the 64-KB sector region
77h	75h		FFh	
78h	76h		FBh	
79h	77h		03h (512 Mb)	
7Ah	78h	JEDEC Sector Map Parameter Dword-13 Config-3 Region-1	F4h	Bits 31:8 = Region size = 00037Fh: Region size as count-1 of 256 Byte units = 1 x 224 KB sectors = 224 KB Count = 224 KB/256 = 896, value = count -1 = 896 -1 = 895 = 37Fh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256-KB erase and is supported in the 224-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 224-KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4-KB erase and is not supported in the 224-KB sector region
7Bh	79h		7Fh	
7Ch	7Ah		03h	
7Dh	7Bh		00h	
7Eh	7C	JEDEC Sector Map Parameter Dword-14 Config-3 Region-2	F1h	Bits 31:8 = Region size = 00007Fh: Region size as count-1 of 256 Byte units = 8 x 4 KB sectors = 32 KB Count = 32 KB/256 = 128, value = count -1 = 128 -1 = 127 = 7Fh Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 0b --- Erase Type 3 is 256-KB erase and is not supported in the 4-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 4-KB sector region Bit 0 = Erase Type 1 support = 1b --- Erase Type 1 is 4-KB erase and is supported in the 4-KB sector region
7Fh	7D		7Fh	
80h	7E		00h	
81h	7F		00h	

表 71 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B, 第 2 节, 扇区
映射参数表, 512Mb (续)

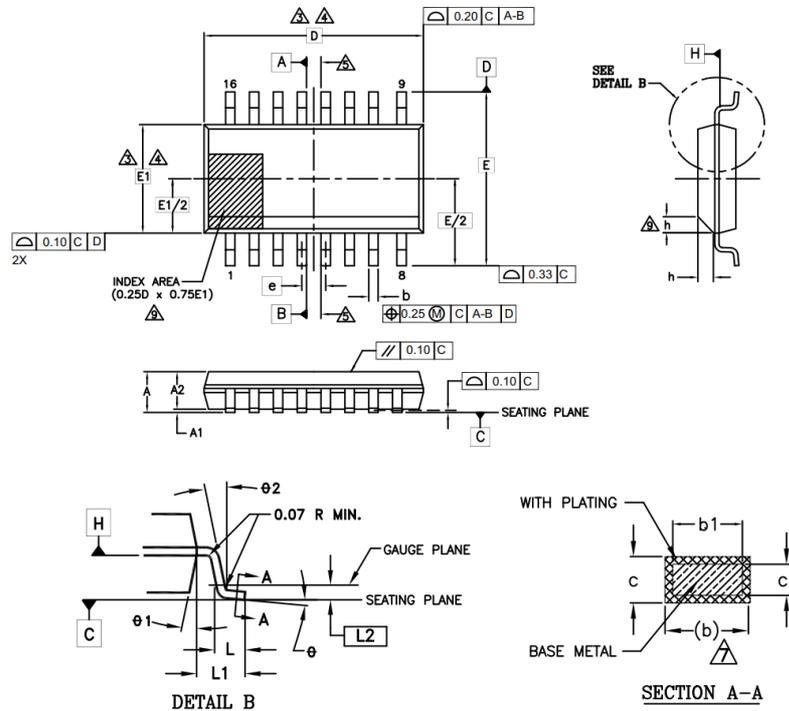
CFI parameter relative byte address offset	SFDP parameter relative byte address offset	SFDP D word name	Data	Description
82h	80h	JEDEC Sector Map Parameter Dword-15 Config-4 Header	FFh	Bits 31:24 = RFU = FFh
83h	81h		05h	Bits 23:16 = Region count (Dwords -1) = 00h: One region
84h	82h		00h	Bits 15:8 = Configuration ID = 05h: Uniform 256-KB sectors
85h	83h		FFh	Bits 7:2 = RFU = 111111b Bit 1 = Map Descriptor = 1 Bit 0 = The end descriptor = 1
86h	84h	JEDEC Sector Map Parameter Dword-16 Config-4 Region-0	F4h	Bits 31:8 = 512 Mb device Region size = 03FFFFh:
87h	85h		FFh	Region size as count-1 of 256 Byte units = 256 x 256 KB sectors = 65536 KB
88h	86h		FFh	Count = 65536 KB/256 = 262144, value = count -1 = 262144 -1 = 262143 = 3FFFFh
89h	87h		03h	Bits 7:4 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bit 3 = Erase Type 4 support = 0b --- Erase Type 4 is not defined Bit 2 = Erase Type 3 support = 1b --- Erase Type 3 is 256-KB erase and is supported in the 256-KB sector region Bit 1 = Erase Type 2 support = 0b --- Erase Type 2 is 64-KB erase and is not supported in the 256-KB sector region Bit 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4-KB erase and is not supported in the 256-KB sector region

13 初始交付状态

该器件由 Infineon 发货，非易失位设置如下：

- 整个存储器阵列被擦除：即所有位都置位为“1”（每个字节包含FFh）。
- OTP 地址空间的前 16 个字节被编程为随机数。所有其他字节均被擦除为 FFh。
- SFDP 地址空间包含 SFDP 地址空间描述中定义的值。
- ID-CFI 地址空间包含 ID-CFI 地址空间描述中定义的值。
- 状态寄存器 1 非易失性包含 00h（所有 SR1NV 位均清除为 0）。
- 配置寄存器 1 非易失性包含 00h。
- 配置寄存器 2 非易失性包含 08h。
- 配置寄存器 3 非易失性包含 00h。
- 配置寄存器 4 非易失性包含 10h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFh。
- 所有 PPB 位均为 1。
- ASP 寄存器位为 FFFFh。

14 封装图



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	2.35	-	2.65
A1	0.10	-	0.30
A2	2.05	-	2.55
b	0.31	-	0.51
b1	0.27	-	0.48
c	0.20	-	0.33
c1	0.20	-	0.30
D	10.30 BSC		
E	10.30 BSC		
E1	7.50 BSC		
e	1.27 BSC		
L	0.40	-	1.27
L1	1.40 REF		
L2	0.25 BSC		
N	16		
h	0.25	-	0.75
θ	0°	-	8°
$\theta 1$	5°	-	15°
$\theta 2$	0°	-	-

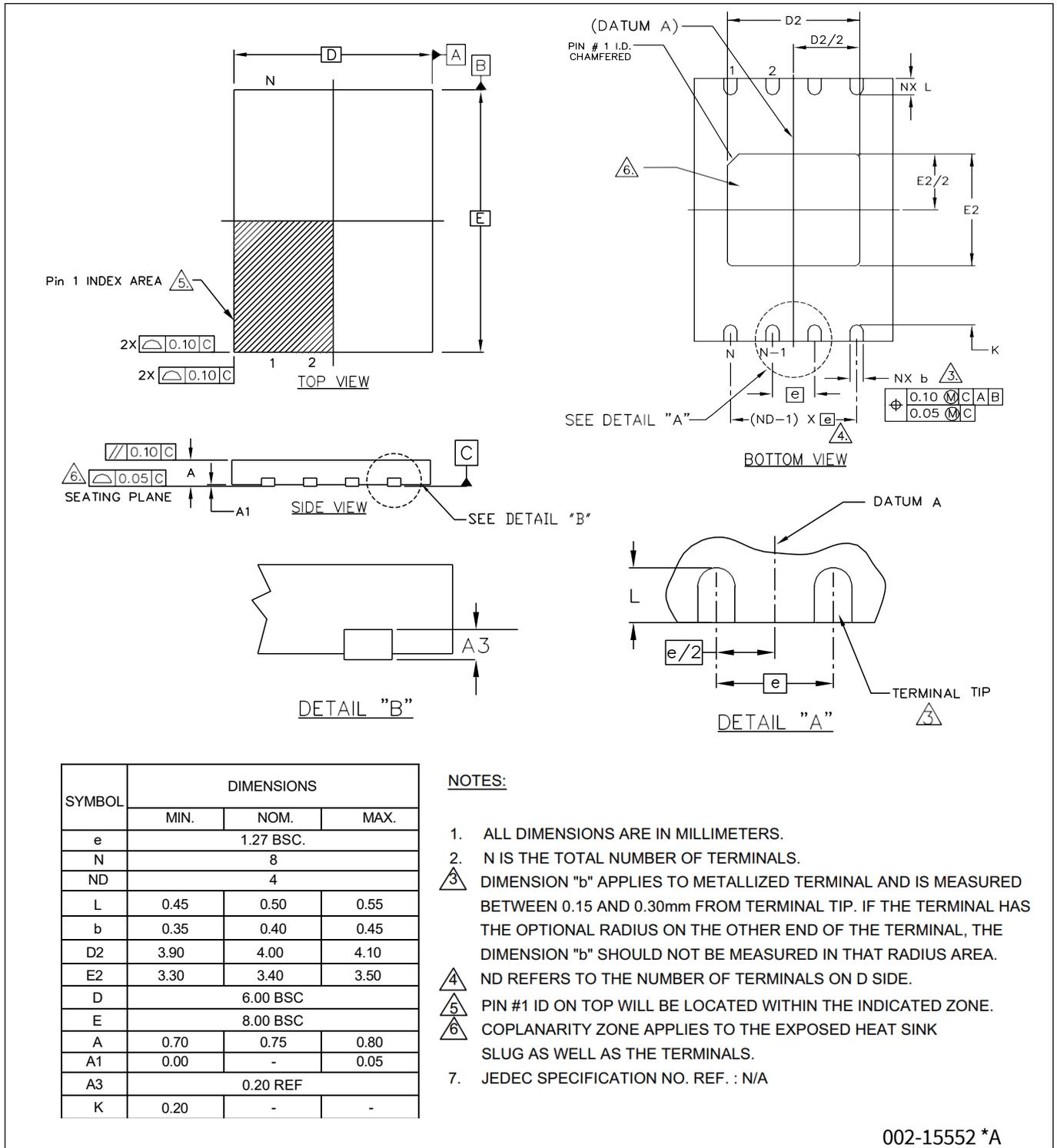
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- \triangle DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- \triangle THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- \triangle DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- \triangle THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- \triangle DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- \triangle THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

002-15547 *A

图 115 SOIC 16 引脚, 10.30 × 7.50 × 2.65 mm (S03016) (PG-DSO-16)

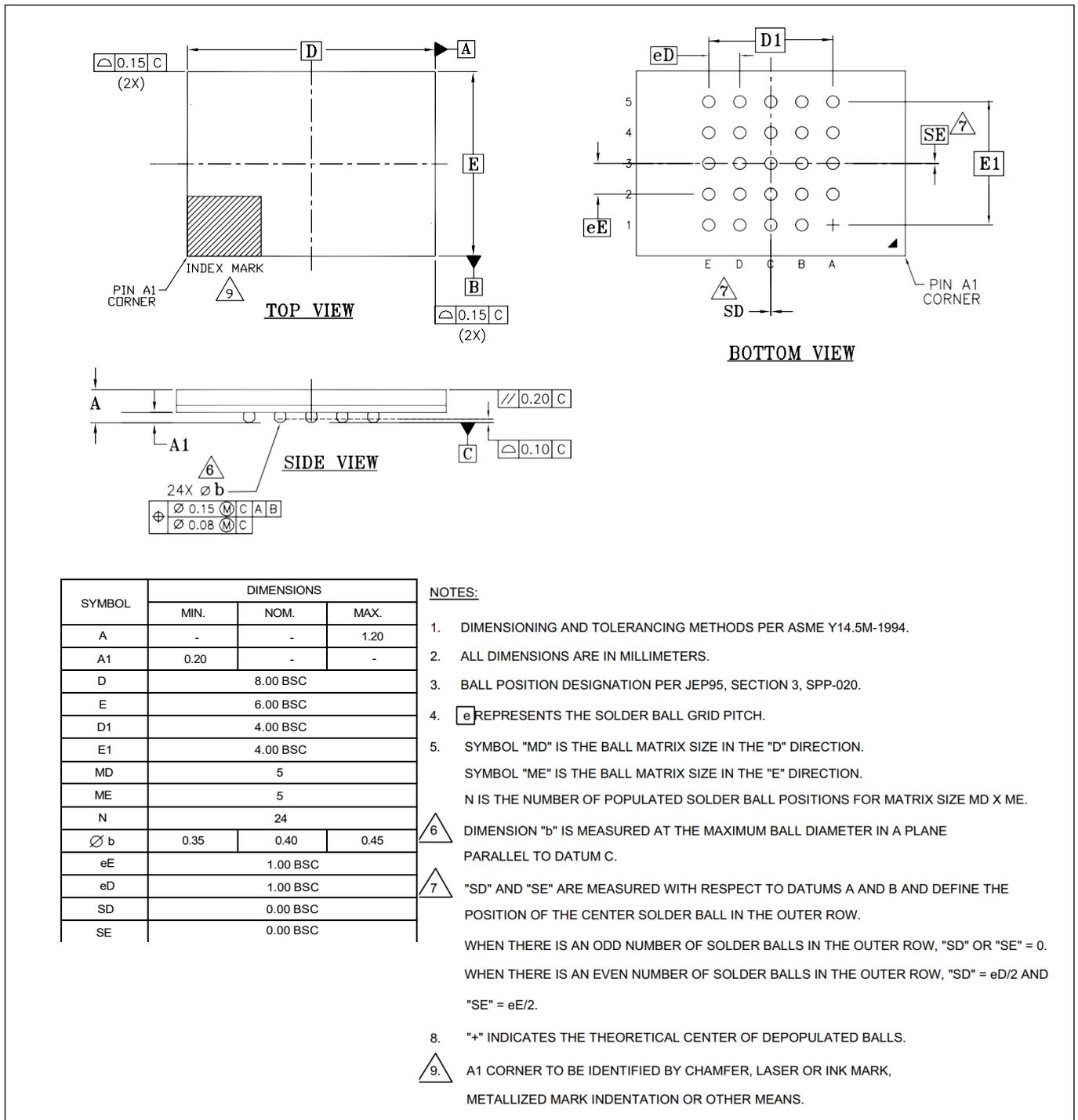
封装图



002-15552 *A

图 116 WSON 8 引脚 DFN 6.0 × 8.0 × 0.8 mm (WNH008) WNH008 4.0 × 3.4 mm E-Pad (SAWN)(PG-WSON-8)

封装图



002-15534 **

图 117 球栅阵列 24 球 FBGA 8.0 × 6.0 × 1.2 mm (FAB024) (PG-TFBGA-24)

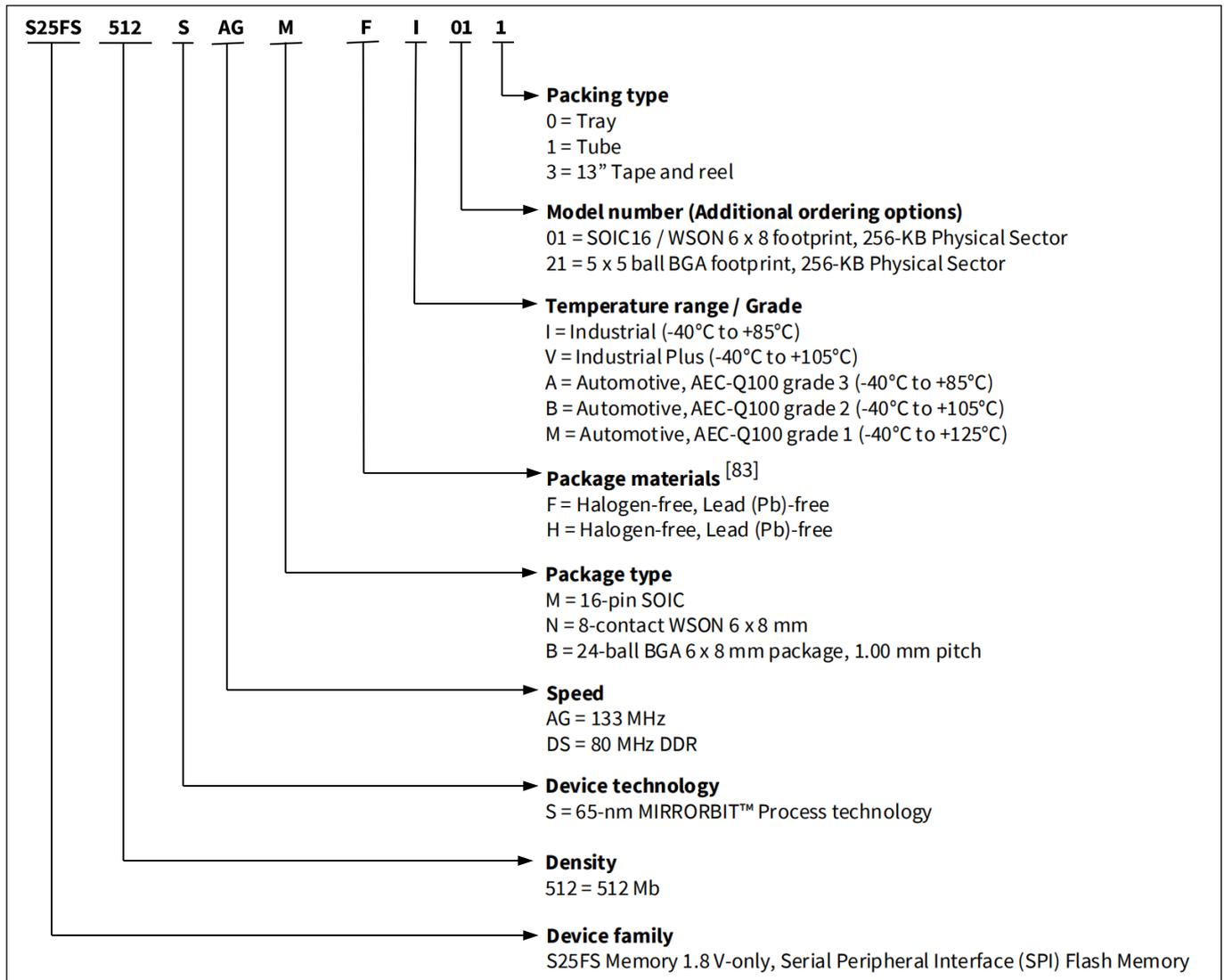
14.1 关于FBGA封装的特殊处置说明

如果使用超声波清洁方法，BGA 封装中的闪存存储器器件可能被损坏。如果封装体长时间暴露在 150°C 以上的温度下，封装和/或数据完整性可能会受到损害。

15 订购信息

15.1 订购部件编号

订购部件编号由以下有效组合形成：



注：

83. 无卤素的定义符合 IE 61249-2-21 规范。

15.2 有效组合 – 标准

有效组合列出了计划批量支持的该器件的配置。 如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 72 有效组合 - 标准

Base ordering part number	Speed option	Package and temperature	Model number	Packin g type	Package marking
S25FS512S	AG	MFI, MFV	01	0, 1, 3	FS512S + A +(Temp) + F + (Model Number)
		NFI, NFV			
		BHI, BHV	21	0, 3	FS512S + A +(Temp) + H + (Model Number)
	DS	MFI, MFV	01	0, 1, 3	FS512S + D +(Temp) + F + (Model Number)
		NFI, NFV			
		BHI, BHV	21	0, 3	FS512S + D +(Temp) + H + (Model Number)

15.3 有效组合 – 汽车级/AEC-Q100

表73列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 等级的产品并非完全按照 AEC-Q100 标准制造或记录。ISO/TS-16949 要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表73 有效组合 – 汽车级/AEC-Q100

Base ordering part number	Speed option	Package and temperature	Model number	Packin g type	Package marking
S25FS512S	AG	MFA, MFB, MFM	01	0, 1, 3	FS512S + A + (Temp) + F + (Model Number)
		NFA, NFB, NFM			
		BHA, BHB, BHM	21	0, 3	FS512S + A + (Temp) + H + (Model Number)
	DS	MFA, MFB, MFM	01	0, 1, 3	FS512S + D + (Temp) + F + (Model Number)
		NFA, NFB, NFM			
		BHA, BHB, BHM	21	0, 3	FS512S + D + (Temp) + H + (Model Number)

修订记录

修订记录

Document version	Date of release	Description of changes
*N	2021-05-02	Publish to Web.
*O	2023-10-03	Table 31: Updated the default state for “WRAP ENABLE” bit to 1. Updated the package title in Figure 117 . Table 53: Updated the test conditions 100k program cycles for 2 years.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-12-24

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。