

英飞凌 512 Mb (64 MB) FL-S 闪存存储器

SPI 多功能 I/O, 3.0 V

特性

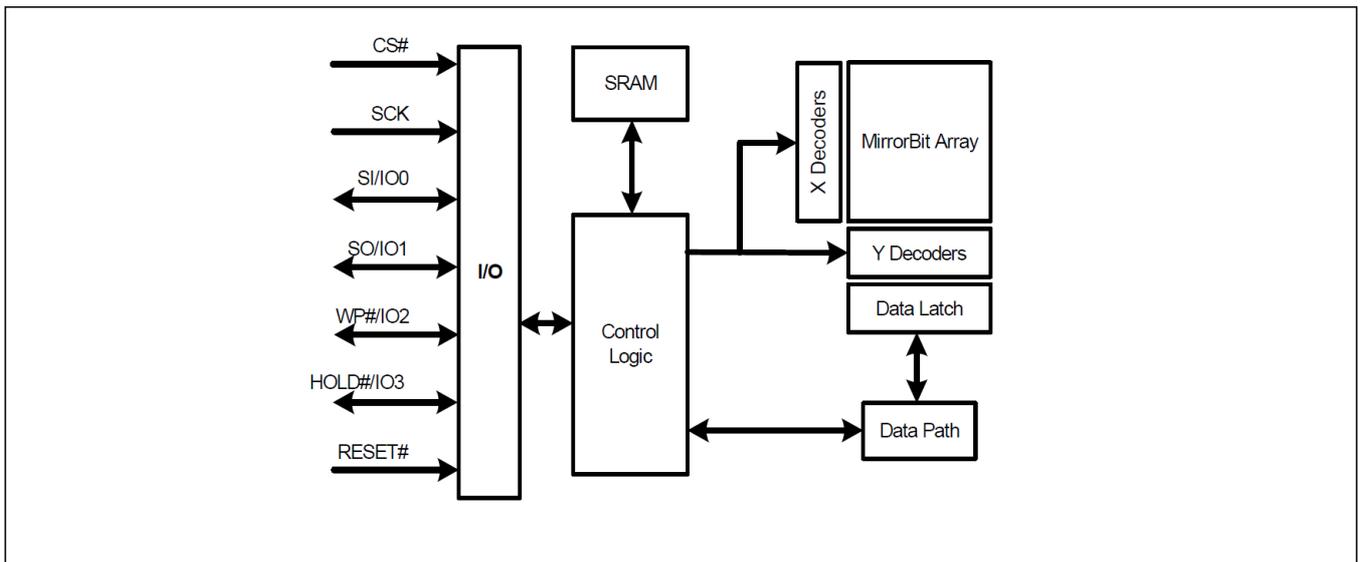
- CMOS 3.0 V 内核, 多功能 I/O
- 具有多个 I/O 的串行外设接口 (SPI)
- 密度
 - 512 Mb (64 MB)
- SPI
 - 支持时钟极性以及相位模式 0 和 3
 - DDR 选项
 - 扩展寻址: 32位地址
 - 串行命令子集和封装与 S25FL-A、S25FL-K、以及 S25FL-P SPI 系列兼容
 - 多功能 I/O 指令、配置和封装与 S25FL-P SPI 家族兼容
- 读取指令
 - 正常、快速、双通道、四通道、快速 DDR、双通道 DDR、四通道 DDR
 - 自动启动 - 上电或复位并在预选地址自动执行普通或四通道读取命令
 - 用于配置信息的通用闪存接口 (CFI) 数据。
- 编程 (1.5 MBps)
 - 512 字节编程缓冲器
 - 适用于慢时钟系统的四输入分页编程 (QPP)
 - 自动 ECC - 内部硬件自动实现 1 位纠错功能
- 擦除 (0.5 至 0.65 MBps)
 - 统一的 256-KB 扇区
- 耐久性周期
 - 100,000 次编程/擦除周期 (最小值)
- 数据保留
 - 最短数据保留时间为 20 年
- 安全功能
 - 1024 字节的 OTP 阵列
 - 功能块保护:
 - 状态寄存器位用于控制对连续扇区范围的编程或擦除保护。
 - 硬件和软件控制选项
 - 高级扇区保护 (ASP)
 - 由引导代码或密码控制的单独扇区保护
- 英飞凌 65 nm MIRRORBIT™ 技术与 Eclipse™ 架构
- 内核供电电压: 2.7 V 至 3.6 V
- I/O 供电电压: 1.65 V 至 3.6 V
 - SO16 和 FBGA 封装

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

Logic block diagram

- 温度范围
 - 工业级 (-40°C ~ +85°C)
 - 扩展的工业级 (-40°C ~ +105°C)
 - 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
 - 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
 - 汽车级, AEC-Q100 1 级 (-40°C ~ +125°C)
- 封装 (全部无铅)
 - 16引脚SOIC (300mil)
 - 24球BGA (6×8毫米)
 - 5 × 5 球 (FAB024) 和 4 × 6 球 (FAC024) 封装选项
 - 已知良好芯片和已知测试芯片

逻辑框图



性能总结

相同内核和 I/O 电压下的最大读取速率 ($V_{IO}=V_{CC}=2.7\text{ V}$ 至 3.6 V)

Command	Clock rate (MHz)	MBps
Read	50	6.25
Fast Read	133	16.6
Dual Read	104	26
Quad Read	104	52

较低 I/O 电压下的最大读取速率 ($V_{IO}=1.65\text{ V}$ 至 2.7 V , $V_{CC}=2.7\text{ V}$ 至 3.6 V)

Command	Clock rate (MHz)	MBps
Read	50	6.25
Fast Read	66	8.25
Dual Read	66	16.5
Quad Read	66	33

最大读取速率 DDR ($V_{IO}=V_{CC}=3\text{ V}$ 至 3.6 V)

Command	Clock rate (MHz)	MBps
Fast Read DDR	80	20
Dual Read DDR	80	40
Quad Read DDR	80	80

典型编程和擦除速率

Operation	KBps
Page Programming (512-byte page buffer - Uniform Sector Option)	1500
256-KB Logical Sector Erase (Uniform Sector Option)	500

电流消耗

Operation	mA
Serial Read 50 MHz	16 (max)
Serial Read 133 MHz	33 (max)
Quad Read 104 MHz	61 (max)
Program	100 (max)
Erase	100 (max)
Standby	0.07 (typ)

目录

特性.....	1
逻辑框图.....	2
性能总结.....	3
目录.....	4
1 概述.....	6
1.1 概述.....	6
1.2 迁移笔记.....	7
1.3 硬件接口.....	9
1.4 词汇表.....	10
2 信号说明.....	12
2.1 输入/输出简介.....	12
2.2 地址和数据配置.....	12
2.3 Reset #.....	13
2.4 串行时钟 (SCK).....	13
2.5 芯片选择 (CS #).....	13
2.6 串行输入 (SI) / I/O0.....	13
2.7 串行输出 (SO) / I/O1.....	14
2.8 写保护 (WP#) / I/O2.....	14
2.9 保持 (HOLD#) / I/O3.....	14
2.10 内核电压供给 (V_{CC}).....	15
2.11 多功能 I/O 电源供应 (V_{IO}).....	15
2.12 电源和信号地 (V_{SS}).....	15
2.13 不连接 (NC).....	15
2.14 预留的面向未来使用 (RFU).....	15
2.15 不使用 (DNU).....	15
2.16 框图.....	16
3 信号协议.....	17
3.1 SPI 时钟模式.....	17
3.2 命令协议.....	19
3.3 接口状态.....	24
3.4 配置寄存器影响在这接口.....	29
3.5 数据保护.....	30
4 电气规格参数.....	31
4.1 绝对最大额定值.....	31
4.2 热阻抗.....	31
4.3 工作范围.....	31
4.4 上电和下电.....	33
4.5 直流特性.....	35
5 时序规格.....	37
5.1 波形切换.....	37
5.2 交流测试条件.....	38
5.3 复位.....	39
5.4 SDR 交流特性.....	41
5.5 DDR 交流特性.....	45
6 物理接口.....	47
6.1 SOIC 16 引脚封装.....	47
6.2 FAB024 24-ball BGA 封装.....	49
6.3 FAC024 24-ball BGA 封装.....	51
软件接口.....	53
7 地址空间映射.....	54
7.1 概述.....	54

7.2 闪存存储器阵列.....	54
7.3 ID-CFI 地址空间.....	54
7.4 JEDEC JESD216串行闪存可发现参数(SFDP)空间	55
7.5 OTP 地址空间.....	55
7.6 寄存器.....	57
8 数据保护.....	70
8.1 安全区域 (OTP)	70
8.2 写使能命令.....	70
8.3 功能块保护.....	71
8.4 高级扇区保护.....	72
9 命令	76
9.1 命令集概要.....	77
9.2 器件识别命令.....	83
9.3 寄存器访问命令.....	86
9.4 读取存储器阵列命令.....	95
9.5 编程存储器阵列命令.....	111
9.6 擦除存储器阵列命令.....	114
9.7 一次性编程阵列命令.....	118
9.8 高级扇区保护命令.....	119
9.9 复位命令.....	124
9.10 嵌入式算法性能表.....	125
10 数据一致性.....	126
10.1 擦除耐久性.....	126
10.2 数据保留.....	126
11 软件接口参考	127
11.1 指令汇总.....	127
11.2 闪存存储器可发现参数 (SFDP) 地址映射.....	129
11.3 器件 ID 和 通用闪存接口 (ID-CFI) ASO 映射.....	133
11.4 器件 ID 和 通用闪存接口 (ID-CFI) ASO 映射 – 仅限汽车	154
11.5 寄存器.....	155
11.6 初始出厂状态.....	159
12 订购信息.....	160
12.1 有效组合 – 标准.....	161
12.2 有效组合 – 汽车级/AEC-Q100	162
修订记录.....	163

1 概述

1.1 概述

Infineon S25FL512S 器件是一款非易失闪存存储器产品，采用：

- MIRRORBIT™技术——在每个存储器晶体管中存储两个数据位
- Eclipse 架构——显著提高编程和擦除性能
- 65nm 光刻技术

该器件通过 SPI 连接到主控系统。该产品支持传统 SPI 的 1 比特串行输入和输出（即单线 I/O 或 SIO）、可选的 2 比特（即双线 I/O 或 DIO）以及 4 比特宽（四线 I/O 或 QIO）串行指令。这种多宽度接口称为 SPI Multi-I/O 或 MIO。另外，它还还为 SIO、DIO 和 QIO 提供了双倍数据速率（DDR）命令支持，在时钟的双边沿上传送地址和读取数据。

Eclipse 架构具有分页编程设备，允许在一次操作中编程多达 256 个字（512 字节），从而比上一代 SPI 程序或编程算法实现更快的有效编程和编程速度。

直接从闪存执行代码通常称为立刻执行或 XIP。FL-S 系列器件支持更高的时钟频率，配合 QIO 或 DDR-QIO 指令，因此指令读取的传输率能够等于或超过传统的并行接口、异步、NOR 闪存存储器，同时可明显降低信号连接的计数。

S25FL512S 产品为各种嵌入式应用提供了容量大、灵活性高且速度快等性能。它是代码运行、XIP 和数据存储的理想选择。

1.2 迁移说明

1.2.1 特性比较

S25FL512S 器件的指令集和封装与先前的 FL-K 和 FL-P 系列相兼容。

表 1 FL 系列比较

Parameter	FL-K	FL-P	FL-S
Technology Node	90 nm	90 nm	65 nm
Architecture	Floating Gate	MirrorBit	MirrorBit Eclipse
Release Date	In Production	In Production	In Production
Density	4 Mb–128 Mb	32 Mb–256 Mb	512 Mb
Bus Width	×1, ×2, ×4	×1, ×2, ×4	×1, ×2, ×4
Supply Voltage	2.7 V–3.6 V	2.7 V–3.6 V	2.7 V–3.6 V / 1.65 V–3.6 V _{I/O}
Normal Read Speed (SDR)	6 MBps (50 MHz)	5 MBps (40 MHz)	6 MBps (50 MHz)
Fast Read Speed (SDR)	13 MBps (104 MHz)	13 MBps (104 MHz)	17 MBps (133 MHz)
Dual Read Speed (SDR)	26 MBps (104 MHz)	20 MBps (80 MHz)	26 MBps (104 MHz)
Quad Read Speed (SDR)	52 MBps (104 MHz)	40 MBps (80 MHz)	52 MBps (104 MHz)
Fast Read Speed (DDR)	–	–	20 MBps (80 MHz)
Dual Read Speed (DDR)	–	–	40 MBps (80 MHz)
Quad Read Speed (DDR)	–	–	80 MBps (80 MHz)
Program Buffer Size	256B	256B	512B
Erase Sector Size	4 KB / 32 KB / 64 KB	64 KB / 256 KB	256 KB
Parameter Sector Size	4 KB	4 KB	–
Sector Erase Time (typ.)	30 ms (4 KB), 150 ms (64 kB)	500 ms (64 kB)	520 ms (256 kB)
Page Programming Time (typ.)	700 μs (256B)	1500 μs (256B)	340 μs (512B)
OTP	768B (3 × 256B)	506B	1024B
Advanced Sector Protection	No	No	Yes
Auto Boot Mode	No	No	Yes
Erase Suspend/Resume	Yes	No	Yes
Program Suspend/Resume	Yes	No	Yes
Operating Temperature	–40°C to +85°C	–40°C to +85°C / +105°C	–40°C to +85°C / +105°C

注释：

- 256B 编程分页选项仅适用于 128 Mb 和 256 Mb 密度 FL-S 设备。
- FL-P 列表表示 FL129P MIO SPI 器件（适用于 128Mb 密度）。
- 64 kB 扇区擦除选项仅适用于 128 Mb/256 Mb 密度 FL-P 和 FL-S 设备。
- FL-K 系列器件可以以 32 KB 或 64 KB 为组擦除 4 KB 扇区。
- 欲了解详细信息，请参考单独的数据手册。

1.2.2 与前几代产品的已知差异

1.2.2.1 错误报告

上一代 FL 存储器没有错误状态位，或者在受保护的扇区上尝试编程或擦除时不会设置这些位。FL-S 家族确实具有针对编程和擦除操作的错误报告状态位。当发生内部编程或擦除故障，或尝试对受保护的扇区进行编程或擦除时，可以置位这些。无论哪种情况，编程或者擦除操作都没有按照指令的要求完成。

1.2.2.2 安全硅区 (OTP)

一次性编程区域的大小和格式（地址映射）与前几代不同。一次性编程各部分的保护方法也不同。更多详细信息，请参阅“[安全硅区 \(OTP\)](#)”在第70页。

1.2.2.3 配置寄存器冻结位

配置寄存器冻结位 CR1[0]，与前几代一样锁定功能块保护位的状态。在 FL-S 系列中，它还锁定配置寄存器 TBPARAM 位 CR1[2]、TBPROT 位 CR1[5] 和安全硅区 (OTP) 区域的状态。

1.2.2.4 扇区被擦除的指令

不支持 8 KB 区域擦除（两个 4 KB 扇区）的指令。

512-Mb 密度 FL-S 器件不支持 4-KB 扇区擦除的指令。512 Mb 密度 FL-S 器件不支持 64 KB 扇区擦除的指令。

1.2.2.5 深度掉电模式

FL-S 家族设备不支持深度掉电 (DPD) 函数。

传统的 DPD (B9h) 指令代码改为使用旧的 SPI 存储控制器，该控制器可以发出以前的 DPD 指令来访问/访问新的组地址寄存器。组地址寄存器允许不支持超过 SPI 24 位地址的存储控制器，能够根据需要为指令提供更高阶地址位，以访问 512 Mb 密度 FL-S 器件的较大地址空间。欲了解更多信息，请参阅“[扩展地址](#)”位于分页 54。

1.2.2.6 新特性

FL-S 系列为 SPI 类别存储器引入了几个新功能：

- 用于访问/访问更高内存密度的扩展地址。
- 自动引导可以更简单地访问/访问，以引导代码启动。
- 增强的高性能读取命令使用模式位来消除重复相同类型的读取命令时 SIO 指令的开销。
- 初始读取延迟（虚拟周期数）的多个选项，以实现更快的初始读取时间或更高的时钟速率读取指令。
- SIO、DIO 和 QIO 的 DDR 读取指令。
- 自动 ECC，增强数据完整性。
- 高级扇区保护，用于单独控制每个扇区的保护。这与英飞凌其他几个并行接口 NOR 内存系列中的高级扇区保护特点非常相似。

1.3 硬件接口

1.3.1 支持多线输入 / 输出的串行外设接口 (SPI-MIO)

许多存储设备通过各自的并行控制线、地址线和数据信号线连接到其主控系统，需要大量的信号连接和更大的封装尺寸。由于大量信号交换，因此信号连接的数量越多，功耗也越高；较大的封装尺寸会增加成本。

S25FL512S 器件通过4至6个信号将所有控制、地址和数据信息串行传输给主机系统，因此可以减少信号连接的数量。这样可以降低存储器封装的成本和信号交换的功耗，减少主机信号连接的数量，主机可以节省连接以供其他功能使用。

S25FL512S 器件使用了业界标准的1比特 SPI，同时支持可选的扩展命令，用于进行2比特（双线）或4比特（四线）宽的串行传输。这种多宽度接口被称为 SPI Multi-I/O 或 SPI-MIO。

1.4 词汇表

表 2 词汇表

Item	Description
Command	All information transferred between the host system and memory during one period while CS# is LOW. This includes the instruction (sometimes called an operation code or opcode) and any required address, mode bits, latency cycles, or data.
DDP (Dual Die Package)	Two die stacked within the same package to increase the memory capacity of a single package. Often also referred to as a Multi-Chip Package (MCP).
DDR (Double Data Rate)	When input and output are latched on every edge of SCK.
ECC	ECC Unit = 16 byte aligned and length data groups in the main Flash array and OTP array, each of which has its own hidden ECC syndrome to enable error correction on each group.
Flash	The name for a type of Electrical Erase Programmable Read Only Memory (EEPROM) that erases large blocks of memory bits in parallel, making the erase operation much faster than early EEPROM.
High	A signal voltage level $\geq V_{IH}$ or a logic level representing a binary one (1).
Instruction	The 8 bit code indicating the function to be performed by a command (sometimes called an operation code or opcode). The instruction is always the first 8 bits transferred from host system to the memory in any command.
Low	A signal voltage level $\leq V_{IL}$ or a logic level representing a binary zero (0).
LSb (Least Significant Bit)	Generally the right most bit, with the lowest order of magnitude value, within a group of bits of a register or data value.
MSb (Most Significant Bit)	Generally the left most bit, with the highest order of magnitude value, within a group of bits of a register or data value.
LSB (Least Significant Byte)	The right most byte, within a group of bytes.
MSB (Most Significant Byte)	The left most bit, within a group of bytes.
Non-volatile	No power is needed to maintain data stored in the memory.
OPN (Ordering Part Number)	The alphanumeric string specifying the memory device type, density, package, factory non-volatile configuration, etc. used to select the desired device.
Page	512 bytes aligned and length group of data.
PCB	Printed Circuit Board.
Register Bit References	Are in the format: Register_name[bit_number] or Register_name[bit_range_MSB: bit_range_LSB].
SDR (Single Data Rate)	When input is latched on the rising edge and output on the falling edge of SCK.

表 2 **词汇表 (续)**

Item	Description
Sector	Erase unit size 256 KB.
Write	An operation that changes data within volatile or non-volatile registers bits or non-volatile flash memory. When changing non-volatile data, an erase and reprogramming of any unchanged non-volatile data is done, as part of the operation, such that the non-volatile data is modified by the write operation, in the same way that volatile data is modified – as a single operation. The non-volatile data appears to the host system to be updated by the single write command, without the need for separate commands for erase and reprogram of adjacent, but unaffected data.

Signal descriptions

2 信号说明

2.1 输入/输出简介

表3 信号列表

Signal name	Type	Description
RESET#	Input	Hardware reset: Low = device resets and returns to standby state, ready to receive a command. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used.
SCK	Input	Serial clock.
CS#	Input	Chip select.
SI / IO0	I/O	Serial input for single bit data commands or IO0 for Dual or Quad commands.
SO / IO1	I/O	Serial output for single bit data commands. IO1 for Dual or Quad commands.
WP# / IO2	I/O	Write protect when not in Quad mode. IO2 in Quad mode. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands.
HOLD# / IO3	I/O	Hold (pause) serial transfer in single bit or Dual data commands. IO3 in Quad-I/O mode. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands.
V _{CC}	Supply	Core power supply.
V _{IO}	Supply	Versatile I/O power supply.
V _{SS}	Supply	Ground.
NC	Unused	Not connected. No device internal signal is connected to the package connector nor is there any future plan to use the connector for a signal. The connection may safely be used for routing space for a signal on a Printed Circuit Board (PCB). However, any signal connected to an NC must not have voltage levels higher than V _{IO} .
RFU	Reserved	Reserved for future use. No device internal signal is currently connected to the package connector but there is potential future use of the connector for a signal. It is recommended to not use RFU connectors for PCB routing channels so that the PCB may take advantage of future enhanced features in compatible footprint devices.
DNU	Reserved	Do not use. A device internal signal may be connected to the package connector. The connection may be used by Infineon for test or other purposes and is not intended for connection to any host system signal. Any DNU signal related function will be inactive when the signal is at V _{IL} . The signal has an internal pull-down resistor and may be left unconnected in the host system or may be tied to V _{SS} . Do not use these connections for PCB signal routing channels. Do not connect any host system signal to this connection.

2.2 地址和数据配置

传统 SPI 单比特命令（即单 IO 或 SIO）只能通过串行输入（SI）信号将主机的数据发送到存储器内。数据会通过串行输出（SO）信号从存储器内串行回送给主机。

双输出或四输出指令仅通过 SI 信号将信息从主控发送到内存。数据可以按双比特一组的方式通过 IO0 和 IO1 从存储器回送到主机，也可以按四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 回送。

双或四输入/输出 (I/O) 指令将信息从主控以 IO0 和 IO1 上的位对或 IO0、IO1、IO2 和 IO3 上的四位（半字节）组形式发送到存储器。数据同样可以按照双比特一组的方式通过 IO0 和 IO1 从存储器回送给主机，也可以按照四比特（半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 被回送。

2.3 RESET#

RESET# 输入提供了一种硬件复位方法，该方法可使器件返回待机状态，准备好接收命令。如果将 RESET# 驱动为逻辑低 (V_{IL}) 的时间不小于 t_{RP} 时长，则器件

- 终止任何正在执行的操作，
- 使所有输出三态化，
- 重置配置寄存器中的易失性位，
- 重置状态寄存器中的易失性位，
- 将组地址寄存器重置为零，
- 用所有一加载程序缓冲区，
- 重新加载使器件进入待机模式所需的所有内部配置信息，
- 并将内部控制单元重置为待机状态。

给器件上电并经过 t_{PU} 时间后，RESET# 也会导致相同的初始化过程。可随时将 RESET# 置为低电平。为了确保数据的完整性，一旦器件准备好接收某个命令序列时，需要重新对由硬件复位中断的操作进行初始化。当 RESET# 首次置为低电平时，器件在 t_{PU} 期间消耗 I_{CC1} (50MHz 值)。如果 RESET# 继续保持在 V_{SS} ，器件将消耗 CMOS 待机电流 (I_{SB})。

RESET# 具有一个内部上拉电阻；如果不使用该引脚，则在主机系统中它可以保持为不连接状态。

RESET# 输入在所有封装中均不可用。器件的 RESET# 输入不可用时，它将被锁定为非活动状态。

2.4 串行时钟 (SCK)

该输入信号为 SPI 接口提供了同步参考。可以在 SCK 信号的上升沿上锁存指令、地址或数据。在 SDR 指令中，数据输出在 SCK 的下降沿之后发生变化，在 DDR 指令中，数据输出在每个边沿之后发生变化。

2.5 芯片选择 (CS#)

片选信号指示器件的指令何时正在处理并且其他信号与存储器器件相关。CS# 信号为高逻辑状态时，不会选择芯片，所有输入信号均被忽略，并且所有输出信号均为高阻抗。除非正在进行内部编程、擦除或写寄存器 (WRR) 嵌入式操作，否则器件将处于待机模式。将 CS# 输入驱动为低逻辑状态可以启用器件，使器件进入工作模式。上电后，必须等到 CS# 的下降沿到来后才能执行其他命令。

CS# 在没有 CLK 的情况下切换并且数据被视为无效。当不被寻址时，不应选择快闪式存储器 (CS 低电平，无 CLK 和数据)。这被视为违反规范，并最终可能导致器件在嵌入式操作 (编程/擦除/等) 后保持忙碌状态 ($SR1 = 0x03$)。

2.6 串行输入 (SI) / I/O0

该输入信号用于将数据串行传输到器件中。它接收指令、地址和要写入闪存的数据。各个数值在串行 SCK 时钟信号的上升沿上被锁存。

在执行双线和四线命令过程中，SI 变成 IO0 (一个输入和输出)，用于接收指令、地址和数据 (数值在串行 SCK 时钟信号的上升沿上被锁存)，并在 SCK 下降沿上 (若执行 SDR 命令) 或在任意一个边沿上 (若执行 DDR 命令) 移出数据。

2.7 串行输出 (SO) / I/O1

该输出信号用于将数据串行传输出器件。数据在串行 SCK 时钟信号的下降沿移出。

在执行双线和四线命令过程中，SO 变成 IO1（一个输入和输出），用于接收地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意边沿上（若执行 DDR 命令）移出数据。

2.8 写保护 (WP#) / I/O2

当 WP# 被驱动为低电平 (V_{IL}) 时，在 WRR 指令期间，当状态寄存器的状态寄存器写入失效，不使能 (SRWD) 位置位为“1”时，无法写入状态和配置寄存器。这可以防止对状态寄存器的功能块保护 (BP2, BP1, BP0) 和 TBPROT 位进行任何更改。因此，受功能块保护和 TBPROT 位保护的内存区域中的所有数据字节也受硬件

保护，当 WP# 在 WRR 指令期间为低电平，防止数据被修改。

当启用 Quad 模式时 ($CR[1] = 1$)，WP# 函数不可用。在四线模式下，WP# 功能被作为输入和输出 IO2，用于接收地址和要编程的数据（数值在串行 SCK 时钟信号的上升沿时被锁存）并在 SCK 下降沿时（若执行 SDR 命令）移出数据或在任意一个边沿时（若执行 DDR 命令）移出数据。

WP# 具有一个内部上拉电阻；未连接时，WP# 为高电平 (V_{IH})，如果四线模式未使用该引脚，则在主机系统中它可以被保持为不连接状态。

2.9 保持 (HOLD#) / I/O3

保持 (HOLD#) 信号用于暂停与器件的任何串行通信，而无需取消选择器件或停止串行时钟。

要进入保持条件，必须通过将 CS 输入驱动至逻辑低电平状态来选择器件。建议用户在整个保持条件期间保持 CS# 输入处于低电平状态。这是为了确保从进入保持条件的那一刻起，接口逻辑的状态保持不变。如果器件处于保持条件时 CS 输入被驱动至逻辑高电平状态，则器件的接口逻辑将被复位。要使用器件重新启动通讯，需要将 HOLD# 驱动为逻辑高电平状态，同时将 CS 信号驱动为逻辑低电平状态。这可以防止器件返回到保持条件。

保持条件在保持 (HOLD#) 信号的下降沿开始，前提是这与 SCK 处于逻辑低电平状态一致。如果下降沿与处于逻辑低电平状态的 SCK 信号不一致，则只要 SCK 信号达到逻辑低电平状态，保持条件就会启动。将 HOLD# 信号置于逻辑低电平状态不会终止当前正在进行的任何写入、编程或擦除操作。

在保持条件期间，SO 处于高阻态，SI 和 SCK 输入均为无需关注。

保持条件在保持 (HOLD#) 信号的上升沿结束，前提是这与 SCK 信号处于逻辑低电平状态相一致。如果上升沿与 SCK 信号处于逻辑低电平状态不一致，则只要 SCK 信号达到逻辑低电平状态，保持条件就会结束。

当 Quad 模式启用时 ($CR1[1] = 1$)，HOLD# 函数不可用。在四线模式下，Hold# 功能被作为输入和输出 I/O3，用于接收地址和要编程的数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意边沿上（若执行 DDR 命令）移出数据。

HOLD# 信号具有一个内部上拉电阻；如果不用于四线模式，则在主机系统中它可以保持为不连接状态。

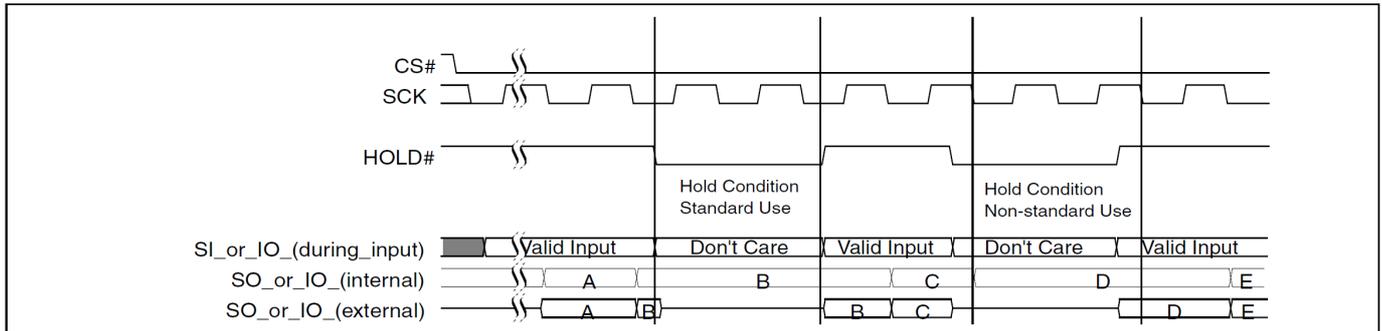


图1 保持模式操作

2.10 内核电压供给 (V_{CC})

V_{CC} 是所有器件内部逻辑的供电电压。这种单个电压用于器件的所有内部功能（包括读取、编程和擦除操作）单一电压。 V_{CC} 范围为2.7V-3.6V。

2.11 多功能 I/O 电源 (V_{IO})

多功能 I/O (V_{IO}) 电源是所有器件输入接收器和输出驱动器的电压源，并允许主控系统设置器件所有输入和输出驱动器（地址、控制和 I/O 信号）上可承受的电压水平。 V_{IO} 范围为 1.65 V 至 V_{CC} 。 V_{IO} 不能大于 V_{CC} 。例如，1.65 V 至 3.6 V 的 V_{IO} 允许 1.8 V、2.5 V 或 3 V 电平的 I/O，从而驱动和接收来自同一数据总线上其他 1.8 V、2.5 V 或 3 V 设备的信号。 V_{IO} 可以连接到 V_{CC} ，以便接口信号操作的电压与器件的内核电压相同。并非所有封装选项都提供 V_{IO} ，当不可用时， V_{IO} 电源将连接到封装内部的 V_{CC} 。

在电源电压上升期间， V_{IO} 供电电压必须保持小于或等于 V_{CC} 供电电压。

此电源并非适用于所有封装选项。为了向下兼容 SO16 封装， V_{IO} 电源与封装内的 V_{CC} 相连；因此，I/O 将以 V_{CC} 电平运行。

2.12 电源和信号地 (V_{SS})

V_{SS} 器件内核、输入信号接收器和输出驱动器的公共电压开漏和接地参考。

2.13 未连接 (NC)

器件内部信号未连接到封装连接器，未来也没有任何计划使用该连接器传输信号。该连接可安全地用作印刷电路板 (PCB) 上信号的布线空间。但是，任何连接到 NC 的信号的电平不得高于 V_{IO} 。

2.14 预留以供将来使用 (RFU)

当前没有任何器件内部信号被连接到封装引脚，预留供将来使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。

2.15 请勿使用 (DNU)

器件的内部信号可能被连接到封装引脚。该连接可能被 Infineon 用于测试或其他目的，并不用于连接到任何主控系统信号。DNU 引脚处于低电平 (V_{IL}) 时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到 V_{SS} 。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

2.16 框图

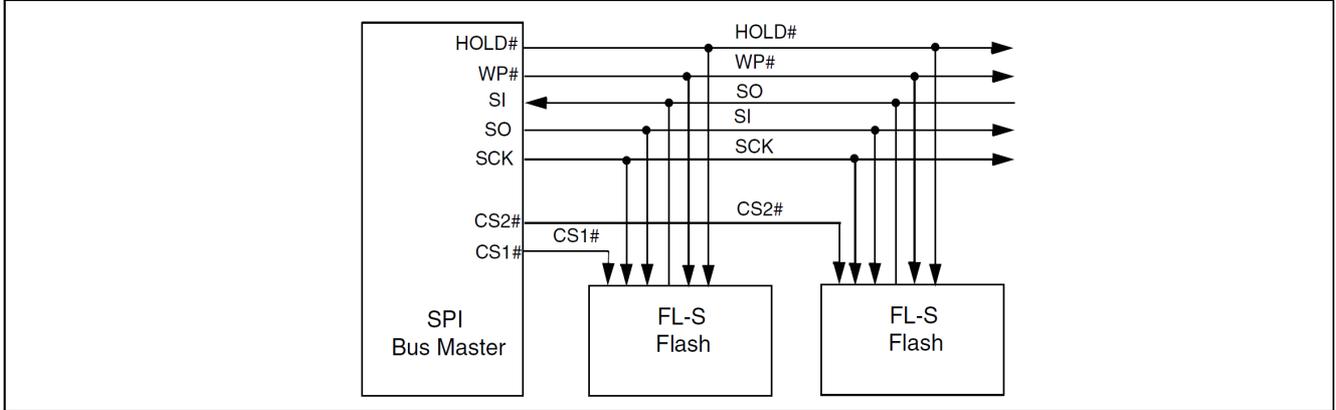


图2 SPI 总线上的总线主设备和存储器件之间的关系 – 单比特数据路径

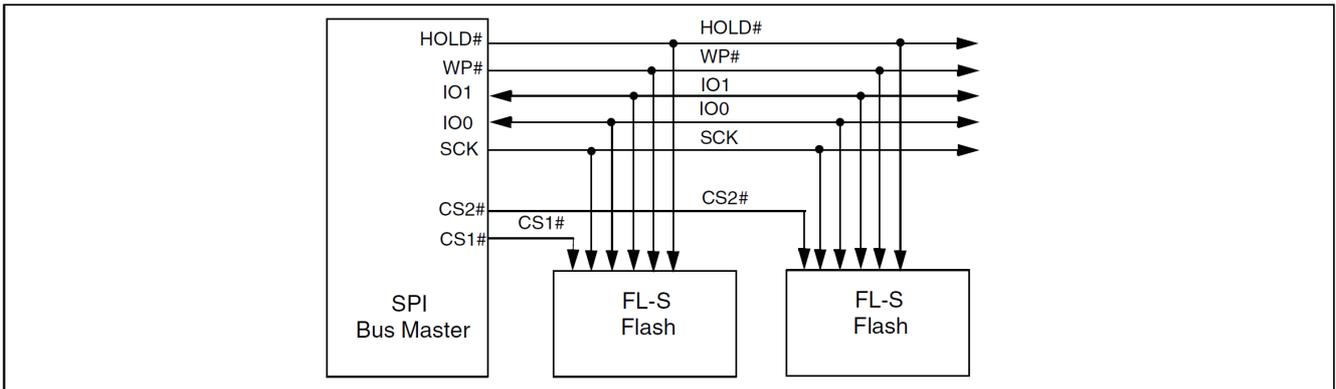


图3 SPI 总线上的总线主设备和存储器件之间的关系 – 双比特数据路径

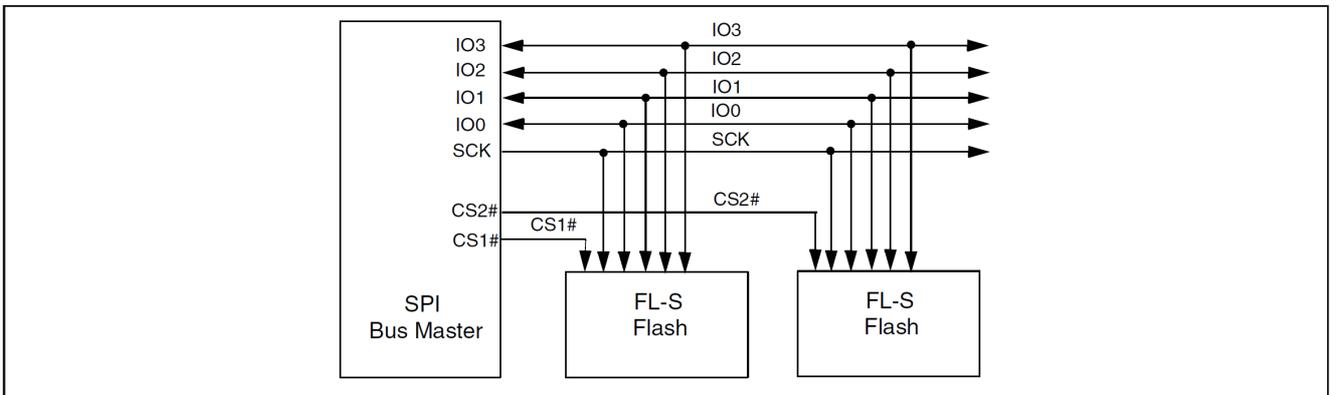


图4 SPI 总线上的总线主设备和存储器件之间的关系 – 四比特数据路径

3 信号协议

3.1 SPI 时钟模式

3.1.1 单倍数据速率 (SDR)

通过嵌入式微控制器（总线主设备）可以将S25FL512S系列驱动到以下任意一种时钟模式

- 模式 0，时钟极性 (CPOL) = 0，时钟相位 (CPHA) = 0
- 模式 3，CPOL = 1 且 CPHA = 1

在这两种模式中，器件的输入数据总是在 SCK 信号的上升沿上被锁存，输出数据总是在 SCK 时钟信号的下降沿上可用。

两种模式的区别在于总线主机处于待机模式且不传输任何数据时的时钟极性。

- 当 CPOL = 0、CPHA = 0 时，SCK 将保持逻辑低电平状态
- 当 CPOL = 1、CPHA = 1 时，SCK 将保持逻辑高电平状态

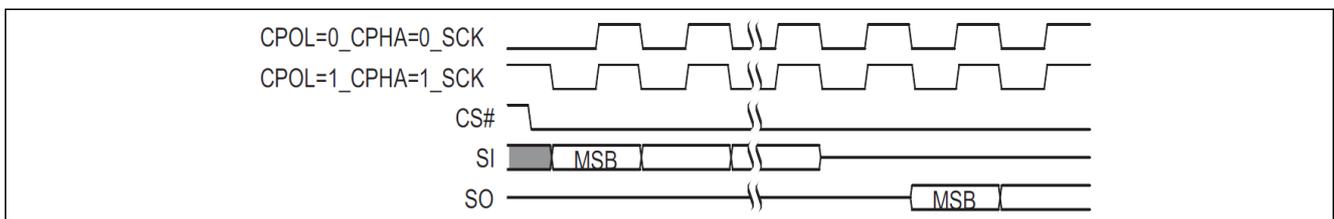


图 5 支持 SPI DDR 模式

本文档其余部分的时序图通常通过在 CS# 下降时将 SCK 显示为高电平和低电平来显示为模式 0 和模式 3。在某些情况下，时序图可能通过显示 SCK 在 CS# 下降沿时的低电平来显示唯一的模式 0。而模式 3 的时序图只是表示在 CS# 的下降沿上时钟信号为高电平，因此模式 3 不需要从 CS# 下降沿后到 SCK 上升沿前的建立和保持时间。

SCK 周期是从一个 SCK 的下降沿到下一个 SCK 的下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

3.1.2 双倍数据速率 (DDR)

DDR 指令也支持模式 0 和模式 3。与 SDR 指令相同，在 DDR 指令中，指令位也是在时钟的上升沿被锁存。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。第一个地址位被锁存于最后一个指令位结束后的下降沿之后的第一个 SCK 上升沿。第一个输出数据位则在最后访问延时（虚拟）周期结束后的下降沿上被发送。

与 SDR 命令相同，SCK 周期也是从一个 SCK 下降沿到下一个 SCK 下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

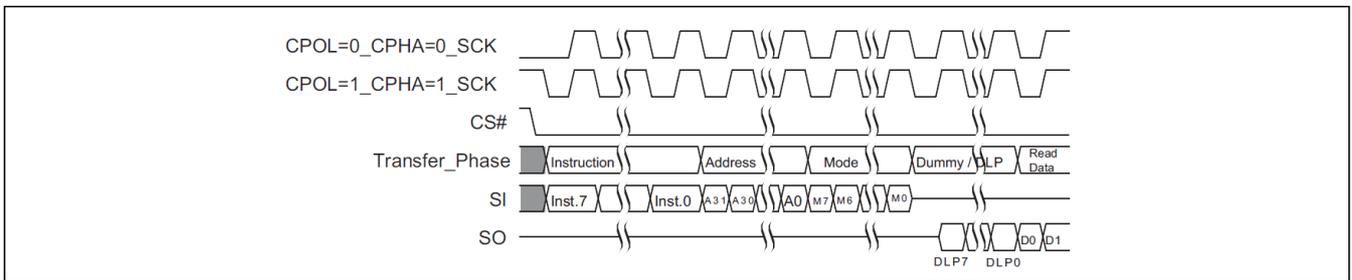


图 6 支持 SPI DDR 模式

3.2 命令协议

主控系统与 S25FL512S 存储器器件之间的所有通讯均以指令单元的形式存在。

所有命令都以一条指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到存储器的数据传输或从闪存的数据传输。主机系统和存储器之间的所有指令、地址和数据信息都是连续传输的。

所有指令都作为SI信号上单独的串行序列从主控传输到存储器。

单独的一个宽指令可以提供仅在SI信号上发送的地址或数据。数据会通过SO信号从存储器串行回送到主机内

双输出或四输出指令仅在SI信号上提供发送到内存的地址。数据可以按双比特一组的方式通过IO0和IO1从存储器回送到主机，也可以按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3回送

双线或四线输入/输出（I/O）命令会按双比特一组的方式通过IO0和IO1将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3从主机发送，然后传送虚拟周期。数据也可以按照同样的方式按双比特一组的方式通过IO0和IO1，或按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3回送给主机。

命令结构如下：

- 每个命令都在CS#的下降沿开始执行，并在CS#的上升沿结束。主机通过一个命令将片选（CS#）信号驱动为低电平，从而能够选择存储器。
- 串行时钟（SCK）标记主控和存储器之间每个位或一组位的传输。
- 每个命令都以一个8位（字节）指令开始。指令始终仅作为串行输入（SI）信号上的一个串行序列呈现，并且在每个SCK上升沿将一个比特传输到存储器器件。该指令用于选择信息传输类型或需要执行的器件操作。
- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。该指令决定所使用的地址空间。地址可能是24位或32位（字节边界）的地址。地址传输发生在SDR指令中的SCK上升沿，或DDR指令中的每个SCK边沿。
- 在传统的SPI模式下，传输指令后所有传输宽度都由已发送的指令确定。以下表示的可能是其中一种传输类型：仅通过串行输入（SI）或串行输出（SO）信号传输单比特；通过IO0和I/O1信号每次（双线）传输将以双比特的形式进行发送；或通过I/O0-I/O3信号每次（四线）传输以4比特的形式执行。在双比特或四比特组中，最低有效位是通过IO0信号发送的。其他更高有效位则按照权值大小通过编号更高的IO信号发送。单比特或并行比特组则按照从最高有效位到最低有效位的顺序进行传输。
- 双线和四线I/O读指令在发送地址后将发送一个指令修饰符（称为连续读取模式位），以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。下一个命令不提供指令字节，只有新地址和模式位。当某个命令序列中重复了相同的命令类型时，会减少发送每一个命令所需要的时间。模式位传输发生在SDR指令中的SCK上升沿，或DDR指令中的每个SCK边沿。
- 地址或模式位后面可以跟要存储在存储器器件中的写入数据，或者在读取数据返回到主控之前跟随着读取等待时间。
- 在SDR指令中，写入数据位的传输发生在SCK上升沿，或者在DDR指令中发生在每个SCK沿。
- SCK会在读访问的延迟周期内继续进行切换。延时可能是零到几个SCK周期（也称为虚拟周期）。在读取延迟周期结束时，第一个读取数据位在最后一个读取延迟周期结束时的SCK下降沿时输出。第一个读取的数据位被作为在下一个SCK上升沿时传输到主控端。在SDR指令中，后续每次传输都发生在下一个SCK上升沿，而在在DDR指令中，发生在每个SCK边沿。
- 如果指令返回读取数据到主控，器件将继续发送数据传输，直到主控将CS信号拉高。在读取数据时序中的任何传输之后，CS#信号都可以被驱动为高电平。这将终止指令。

- 在没有返回数据的指令结束时，主控将 CS 输入驱动为高电平。在独立指令或传输的最后一个写入数据字节的第八位之后，CS# 信号必须变为高电平。也就是说，当 CS# 信号被驱动为低电平后的时钟周期数恰好是八个周期的倍数时，CS# 信号必须被驱动为高电平。如果 CS# 信号没有在指令或写入数据的八个 SCK 周期边界处准确变为高电平，则该命令将被拒绝并且不会执行。
- 所有指令、地址和模式位均以最高有效位 (MSb) 优先的方式移入器件。数据位首先移入和移出器件的 MSb。所有数据都以字节为单位传输，首先发送最低地址字节。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。
- 根据指令的不同，执行时间也会有所不同。可以使用从正在执行的指令中读取状态信息的指令来确定指令何时完成执行以及指令是否成功。

3.2.1 指令时序示例

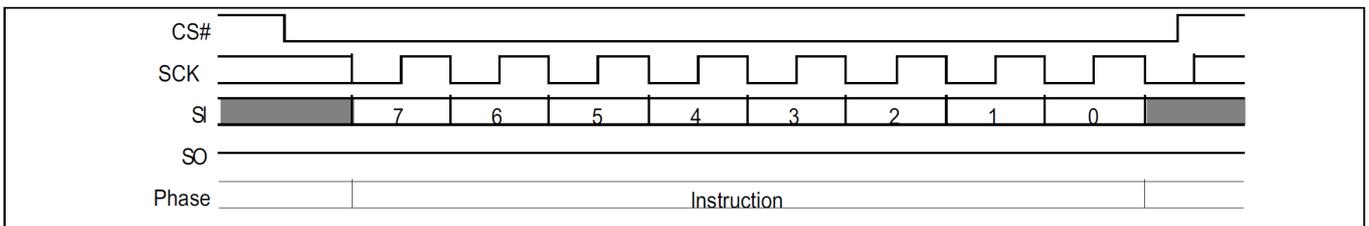


图7 独立指令命令

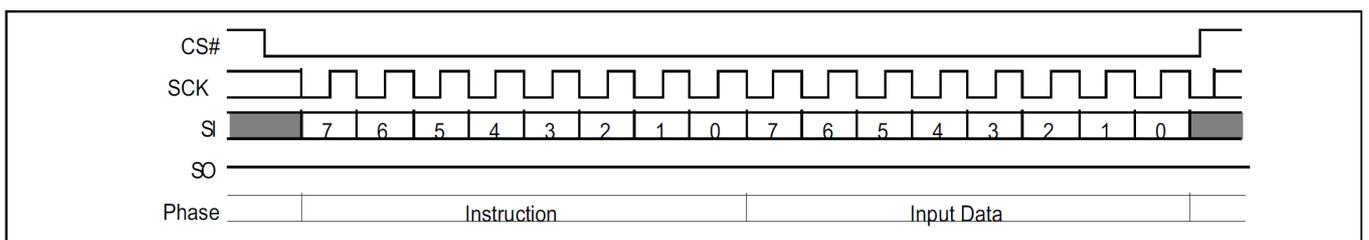


图8 单独的一个宽输入指令

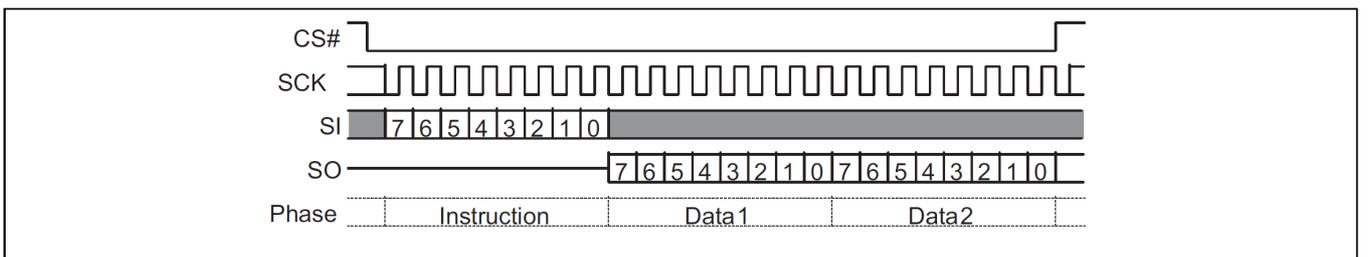


图9 单独的一个宽输出指令

Signal protocols

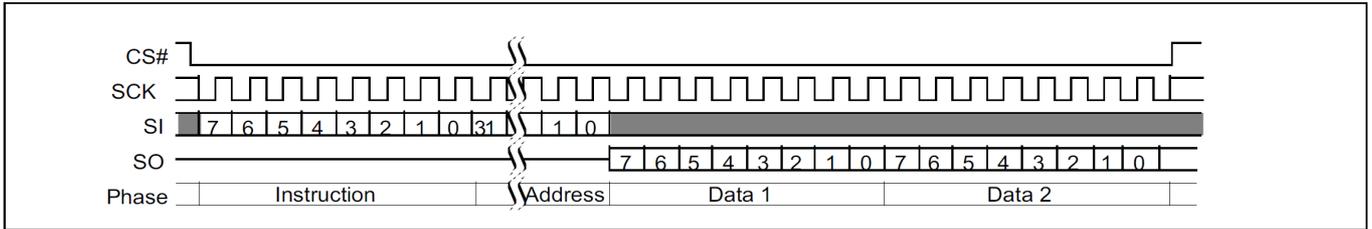


图 10 无延迟的单独宽 I/O 指令

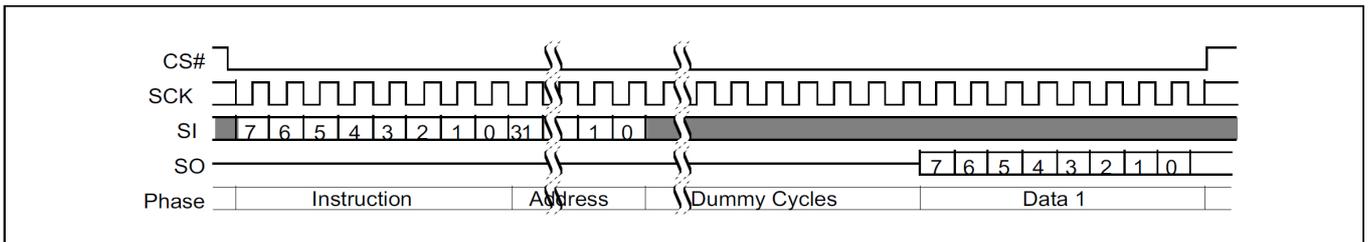


图 11 具有延迟的单线 I/O 指令

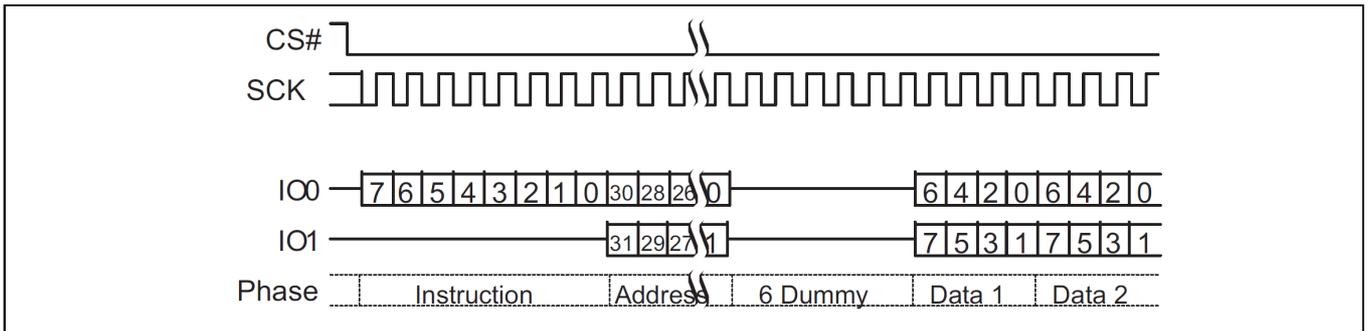


图 12 双输出指令

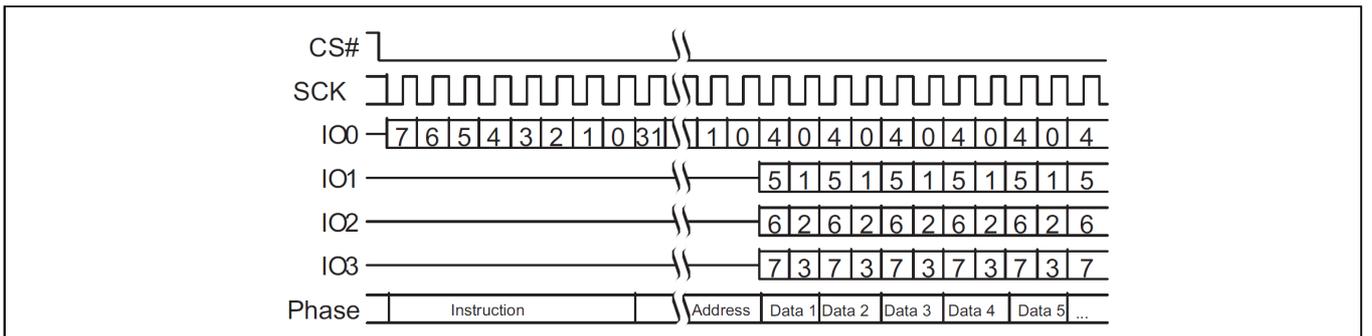


图 13 无延迟四路输出指令

Signal protocols

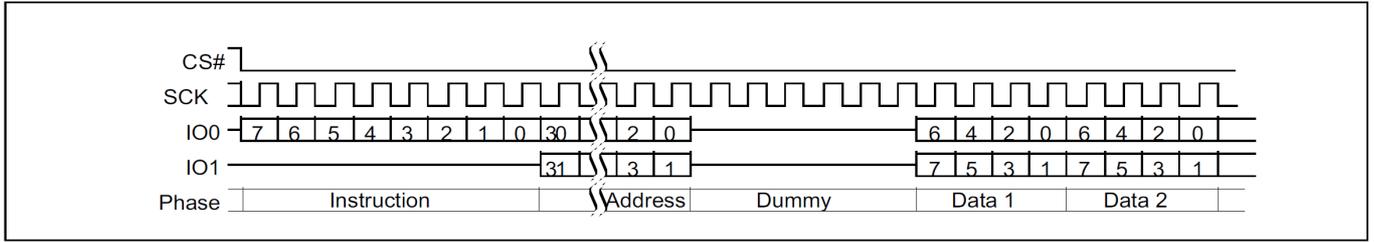


图 14 双 I/O 指令

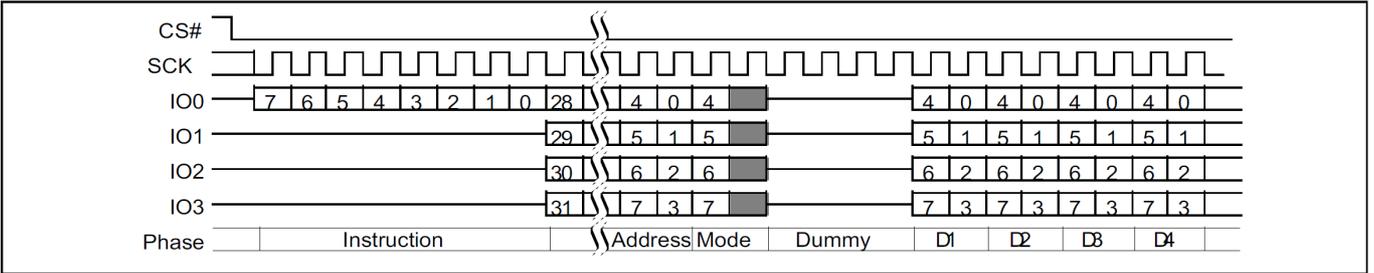


图 15 四路 I/O 指令

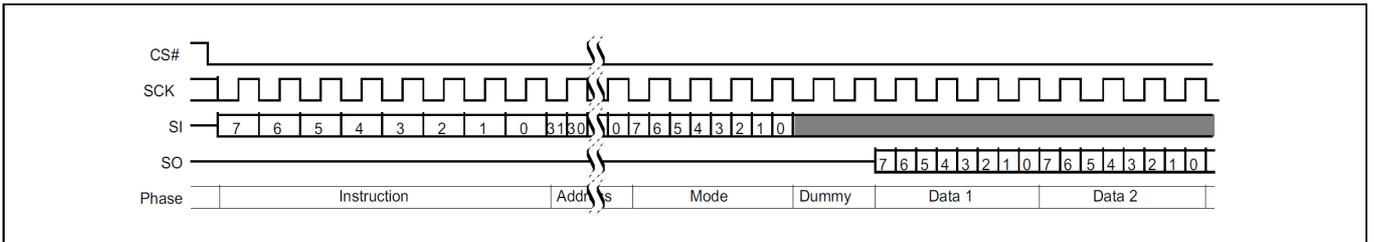


图 16 EHPLC = 00b 的 DDR 快速读取

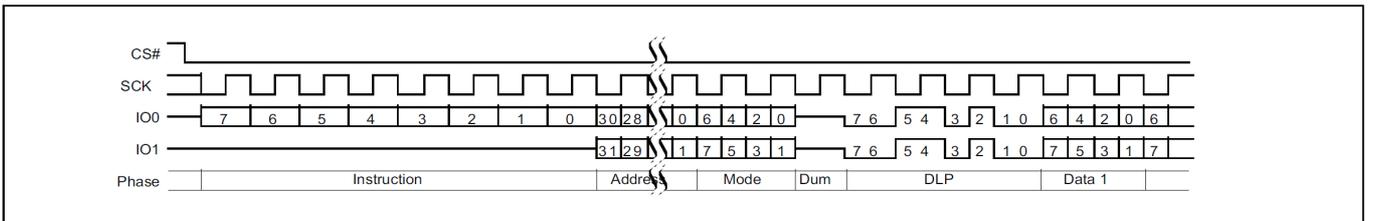


图 17 使用 EHPLC = 01b 和 DLP 的 DDR 双 I/O 读取

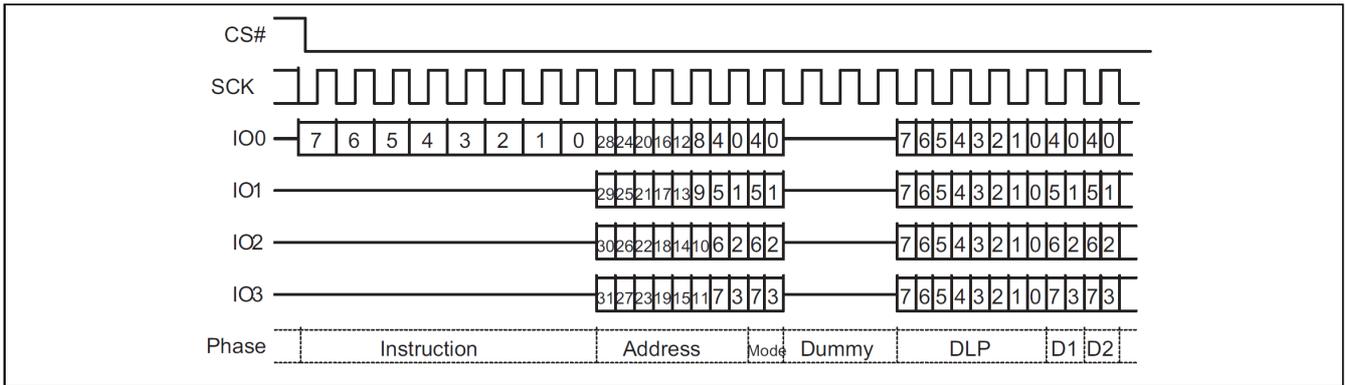


图 18 DDR 四路 I/O 读取

“命令”在 76 页中提供了特定于每个指令的附加序列图。

3.3 接口状态

本节介绍与 SPI 接口行为相关的输入和输出信号电平。

表 4 接口状态摘要

Interface state	V _{CC}	V _{IO}	RESET#	SCK	CS#	HOLD# / I/O3	WP# / I/O2	SO / I/O1	SI / I/O0
Power-Off	< V _{CC} (low)	≤ V _{CC}	X	X	X	X	X	Z	X
Low Power Hardware Data Protection	< V _{CC} (cut-off)	≤ V _{CC}	X	X	X	X	X	Z	X
Power-On (cold) Reset	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	X	X	X	X	X	Z	X
Hardware (warm) Reset	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HL	X	X	X	X	Z	X
Interface Standby	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	X	HH	X	X	Z	X
Instruction Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	HV	Z	HV
Hold Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HV or HT	HL	HL	X	X	X
Single Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	Z	HV
Single Latency (Dummy) Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	Z	X
Single Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	MV	X
Dual Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	HV	HV
Dual Latency (Dummy) Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	X	X
Dual Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HH	X	MV	MV
QPP Address Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	X	X	X	HV
Quad Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HV	HV	HV	HV
Quad Latency (Dummy) Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	X	X	X	X
Quad Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	MV	MV	MV	MV

表 4 接口状态摘要 (续)

Interface state	V _{CC}	V _{IO}	RESET#	SCK	CS#	HOLD# / I/O3	WP# / I/O2	SO / I/O1	SI / I/O0
DDR Single Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	X	X	X	HV
DDR Dual Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	X	X	HV	HV
DDR Quad Input Cycle Host to Memory Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	HV	HV	HV	HV
DDR Latency (Dummy) Cycle	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	MV or Z	MV or Z	MV or Z	MV or Z
DDR Single Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	Z	Z	MV	X
DDR Dual Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	Z	Z	MV	MV
DDR Quad Output Cycle Memory to Host Transfer	≥ V _{CC} (min)	≥ V _{IO} (min) ≤ V _{CC}	HH	HT	HL	MV	MV	MV	MV

图标:

Z = 无驱动器 - 悬空信号

HL = 主控驱动 V_{IL}

HH = 主控驱动 V_{IH}

HV = HL 或 HH X = HL 或 HH 或 Z

HT = HL 和 HH 之间切换

ML = 存储器驱动 V_{IL}

MH = 存储器驱动 V_{IH}

MV = ML 或 MH

3.3.1 掉电

当内核供电电压等于或低于V_{CC} (low) 电压时, 器件被认为已断电。器件不会对外部信号做出反应, 并且会被阻止执行任何编程和擦除操作。

3.3.2 低压硬件数据保护

当V_{CC}小于V_{CC} (cut-off) 时, 存储器器件将忽略指令, 以确保当内核供电电压超出工作范围时, 编程和擦除操作无法启动。

3.3.3 Power-on (cold) reset

当内核电压源保持在V_{CC}(low)或以下并持续≥ t_{PD}时间, 然后上升到≥ V_{CC}(Minimum) 时, 器件将开始上电复位 (POR) POR过程。POR 到 t_{PU} 结束。在 t_{PU} 期间, 器件对外部输入信号没有反应, 也不驱动任何输出。t_{PU} 结束后, 器件转换到接口待机状态并可以接受指令。有关POR的更多信息, 请参阅“[上电 \(冷\) 复位](#)”在第39页。

3.3.4 硬件（热）复位

某些器件封装选项提供 RESET# 输入。当 RESET# 被驱动为低电平并持续 t_{RP} 时间时，器件启动硬件复位过程。该过程持续 t_{RPH} 时间。在 t_{RPH} 结束和 RESET# (t_{RH}) 上升后的复位保持时间结束后，器件将转换至接口待机状态并可接受指令。有关硬件复位的更多信息，请参阅“[POR 硬件复位](#)”在分页 39。

3.3.5 接口待机

当 CS# 为高电平时，SPI 接口处于待机状态。除 RESET# 之外的输入将被忽略。接口等待新指令的开始。当 CS# 变为低电平以开始新命令时，下一个接口状态是指令周期。

在接口待机状态下，如果没有嵌入式算法正在运行，存储器件将消耗待机电流 (I_{SB})。如果嵌入式算法正在运行，则将消耗相关电流，直到运算结束，此时整个器件恢复到待机电流消耗状态。

3.3.6 指令周期

当主控驱动一条指令的 MSb 并且 CS 变为低电平时，在 SCK 的下一个上升沿，该器件将捕获开始新指令的 MSb。在 SCK 的每个后续上升沿，该器件捕获 8 位指令的下一个较低有效位。主控保持 RESET# 为高电平、CS 为低电平、HOLD# 为高电平，并根据指令需要驱动写保护 (WP#) 信号。但是，WP# 仅在 WRR 命令的指令周期内相关，否则会被忽略。

每条指令选择操作的地址空间，和使用的传输格式在命令其他部分。传输格式可以是单路、双路输出、四路输出、双路 I/O、四路 I/O、DDR 单路 I/O、DDR 双路 I/O 或 DDR 四路 I/O。预期的下一个接口状态取决于收到的指令。

有些指令是独立的，不需要与存储器进行地址或数据传输。主控在 SCK 上升沿之后将 CS 返回高电平，以执行该指令中的第八个位。在这种情况下，下一个接口状态是接口待机。

3.3.7 Hold

当四线模式未启用时 ($CR[1] = 0$)，HOLD# / I/O3 信号用作 HOLD# 输入。主控保持 RESET# 高电平，HOLD# 低电平，SCK 可能处于有效电平或继续波动，CS 为低电平。当 HOLD# 为低电平时，指令暂停，就像 SCK 保持为低电平一样。保持状态下，SI / I/O0 和 SO / I/O1 作为输入时忽略输入电平，作为输出时为高阻态。这些信号是输入还是输出取决于指令以及 HOLD# 为低电平时指令序列中的点。

当 HOLD# 返回高电平时，下一个状态与 HOLD# 被置为低电平之前接口所处的状态相同。

当启用四线模式时，HOLD# / I/O3 信号用作 I/O3。

在 DDR 指令期间，HOLD# 和 WP# 输入将被忽略。

3.3.8 单输入周期 - 主控到内存传输

几条指令通过单个串行输入 (SI) 信号将信息从主控制器件传送到存储器器件。双输出和四输出指令仅使用 SI 将地址发送到内存，但使用 I/O 信号返回读取数据。主控保持 RESET# 高电平、CS 低电平、HOLD# 高电平，并根据指令需要驱动 SI。存储器不驱动串行输出 (SO) 信号。

预期的下一个接口状态取决于指令。一些指令使用额外的单输入周期继续向存储器发送地址或数据。其他可能转换为单延迟，或直接转换为单输出、双输出或四输出。

3.3.9 单线延时（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主控之前从主队列读取。延迟周期数由配置寄存器 (CR[7:6]) 中的延迟代码决定。在延迟周期内，主控保持RESET#为高电平，CS为低电平，HOLD#为高电平。写保护 (WP#) 信号被忽略。主控可能会在这些周期内驱动SI信号，或者主控可能会让SI处于浮动状态。在延迟周期内，内存不使用SI/I/O0或其他I/O信号上驱动的任何数据。在双读或四读指令中，主控必须在最后一个延迟周期结束时的下降沿停止驱动I/O信号。建议主控在延迟周期内停止驱动I/O信号，以便在延迟周期结束时内存开始驱动之前，主控驱动器有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。在延时周期内，存储器不会驱动串行输出(SO)或I/O信号。

下一个接口状态取决于指令结构，即延迟周期数，以及读取是单宽度、双宽度还是四宽度。

3.3.10 单输出周期-内存到主控的传输

多个指令通过单个串行输出(SO)信号将信息传回主控。主控保持RESET#高电平，CS低电平，HOLD#高电平。写保护(WP#)信号被忽略。存储器忽略串行输入(SI)信号。存储器用数据驱动SO。

下一个接口状态继续为单线输出周期，直到主控将CS返回为高电平结束指令。

3.3.11 双输入循环 - 主控到内存传输

双线读取I/O指令在每个周期传输两位地址或模式位到存储器。主控保持RESET#高电平，CS低电平，HOLD#高电平。写保护(WP#)信号被忽略。主控驱动地址在SI/I/O0和SO/I/O1上。

地址和模式位传送之后的下一个接口状态是双延时周期（有延时要求）；如果不需要延时，则为双线输出周期。

3.3.12 双线延时（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主控之前从主队列读取。延迟周期数由配置寄存器 (CR[7:6]) 中的延迟代码决定。在延迟周期内，主控保持RESET#为高电平，CS为低电平，HOLD#为高电平。写保护 (WP#) 信号被忽略。主控可能会在这些周期内驱动SI/I/O0和SO/I/O1信号，或者主控可能会使SI/I/O0和SO/I/O1处于浮动状态。在延迟周期内，内存不使用SI/I/O0和SO/I/O1上驱动的任何数据。主控必须在最后一个延迟周期结束时的下降沿停止驱动SI/I/O0和SO/I/O1。建议主控在所有延时周期内停止驱动它们，以便在延时周期结束时存储器开始驱动之前，主控驱动程序有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。在延迟周期内，内存不会驱动SI/I/O0和SO/I/O1信号。

最后一个延时周期之后的下一个接口状态是双线输出周期。

3.3.13 双输出循环-内存到主控的传输

双线读取输出和线读取I/O在每个周期向主控返回两位数据。主控保持RESET#高电平，CS低电平，HOLD#高电平。写保护(WP#)信号被忽略。内存驱动双输出周期期间的SI/I/O0和SO/I/O1信号数据。

下一个接口状态继续为双线输出周期，直到主控将CS返回为高电平结束指令。

3.3.14 QPP 或 QOR 地址输入周期

Quad 分页编程和 Quad 输出读取指令仅在 I/O0 上将地址发送到存储器。其他 I/O 信号被忽略，因为器件必须处于这些指令的四线模式，因此保持和写保护功能没有来源。主控保持RESET#高电平，CS低电平，驱动I/O0。

对于 QPP，地址传送后的下一个接口状态是四输入周期。

对于 QOR，如果需要延时周期，则地址后的下一个接口状态为四线延时周期；如果不需要延时，则为四线输出周期。

3.3.15 四输入周期 - 主控到内存传输

四线 I/O 读取命令在每个周期向存储器传输四个地址或模式位。四分页程序指令在每个周期向内存传输四个数据位。主控保持RESET#为高电平，CS为低电平，驱动I/O信号。

对于四线 I/O读取，在传送地址位和模式位之后下一个接口状态，如果需要延时周期则为四线延时周期，如果不需要延时则为四线输出周期。对于四分页编程，主控在传送要编程的数据后返回 CS 高电平，并且接口返回待机状态。

3.3.16 带延时的四线（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主控之前从主队列读取。延迟周期数由配置寄存器 (CR[7:6]) 中的延迟代码决定。在延时周期内，主控保持RESET#为高电平，CS为低电平。主控可能会在这些周期内驱动 I/O 信号，或者主控可能会让 I/O 处于浮动状态。在延迟周期内，内存不使用任何通过 I/O 驱动的数据。主控必须在最后一个延迟周期结束时的下降沿停止驱动 I/O 信号。建议主控在所有延时周期内停止驱动它们，以便在延时周期结束时存储器开始驱动之前，主控驱动程序有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。在延迟周期内，内存不会驱动 I/O 信号。最后一个延时周期之后的下一个接口状态是四线输出周期。

3.3.17 四路输出周期 - 内存到主控的传输

四路输出读取和四路 I/O 读取在每个周期向主控返回四位数据。主控保持RESET#为高电平，CS为低电平。存储器在四路输出周期内驱动 I/O0-I/O3 信号上的数据。

下一个接口状态继续为四线输出循环，直到主控将 CS 返回为高电平并结束指令。

3.3.18 DDR单输入周期 - 主控到内存传输

DDR 快速读取命令仅在 I/O0 信号上向内存发送地址和模式位。在每个周期中，在 SCK 的上升沿传输一位，在下降沿传输一位。主控保持RESET#为高电平，CS为低电平。其它 I/O 信号将被内存忽略。

传送地址位和模式位之后的下一个接口状态是 DDR 延时周期。

3.3.19 DDR双输入周期-主控到内存传输

DDR 双 I/O 读取命令仅在 I/O0 和 I/O1 信号上向内存发送地址和模式位。在每个周期中，在 SCK 的上升沿传输两位，在下降沿传输两位。主控保持RESET#为高电平，CS为低电平。内存忽略 I/O2 和 I/O3 信号。

传送地址位和模式位之后的下一个接口状态是 DDR 延时周期。

3.3.20 DDR 四路输入周期 - 主控到内存传输

DDR 四路 I/O 读取命令通过所有 I/O 信号向内存发送地址和模式位。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主控保持RESET#为高电平，CS为低电平。

传送地址位和模式位之后的下一个接口状态是 DDR 延时周期。

3.3.21 DDR 延时周期

DDR 读指令可能有一到几个延迟周期，在此期间读数据在传输到主控之前从主队列中读取。延迟周期数由配置寄存器 (CR[7:6]) 中的延迟代码决定。在延迟周期内，主控保持RESET#高电平和CS低电平。主控可能不会在这些周期内驱动 I/O 信号。这样在存储器开始驱动之前，主控驱动器就有足够的时间关闭。这样可以防止信号方向改变时主控与存储器之间的驱动器冲突。内存可以选择在最后 4 个延迟周期内使用数据学习唤醒类型码 (DLP) 驱动所有 I/O 信号。当延迟周期少于五个时，不应启用 DLP 选项，以便在内存开始驱动 DLP 之前，至少有一个高阻态周期用于 I/O 信号的转变。当延迟周期超过 4 个时，内存直到最后四个延迟周期才会驱动 I/O 信号。

最后一个延迟周期之后的下一个接口状态是 DDR 单输出周期、双输出周期或四输出周期，具体取决于指令。

3.3.22 DDR 单输出周期-内存到主控的传输

DDR 快速读取命令仅在 SO / I/O1 信号上将位返回至主控。在每个周期中，在 SCK 的上升沿传输一位，在下降沿传输一位。主控保持RESET#为高电平，CS为低电平。其它 I/O 信号不由内存驱动。

下一个接口状态继续为 DDR 单输出周期，直到主控将 CS 返回为高电平结束指令。

3.3.23 DDR 双输出周期-内存到主控的传输

DDR Dual I/O 读取命令仅在 I/O0 和 I/O1 信号上将位返回到主控。在每个周期中，在 SCK 的上升沿传输两位，在下降沿传输两位。主控保持RESET#为高电平，CS为低电平。I/O2 和 I/O3 信号不由存储器驱动。

下一个接口状态继续为 DDR 双输出周期，直到主控将 CS 返回为高电平结束指令。

3.3.24 DDR 四路输出周期 - 内存到主控的传输

DDR Quad I/O 读取命令将所有 I/O 信号上的位返回至主控。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主控保持RESET#为高电平，CS为低电平。

下一个接口状态继续为 DDR 四线输出周期，直到主控将 CS 返回为高电平并结束指令。

3.4 配置寄存器对接口的影响

配置寄存器的位 7 和 6 (CR1[7:6]) 选择所有读指令的延迟代码。延迟代码为每种类型的指令选择模式位和延迟周期的数量。

配置寄存器位 1 (CR1[1]) 选择是否启用四线模式以忽略 HOLD# 和 WP# 并允许四线分页编程、四线输出读取和四线 I/O 读取指令。还必须选择四路模式以允许读取 DDR 四路 I/O 指令。

3.5 数据保护

一些基本的保护措施可防止存储数据被意外更改，这些措施完全由硬件设计控制。下文将对此进行介绍。其他软件管理的保护方法将在本文档的软件部分（“[软件接口](#)”在第 53 页）中讨论。

3.5.1 上电

当内核供电电压等于或低于 V_{CC} (low) 电压时，器件被认为已断电。器件不会对外部信号做出反应，并且会被阻止执行任何编程和擦除操作。

在POR期间，编程和擦除操作继续被阻止，因为直到退出POR并进入待机状态时才接受任何指令。

3.5.2 低功耗

当 V_{CC} 小于 V_{CC} (cut-off) 时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编程和擦除操作无法启动。

3.5.3 时钟脉冲计数

器件在执行之前验证所有编程、擦除和写寄存器 (WRR) 指令是由时钟脉冲计数组成，该计数是八的倍数。不具有 8 个时钟脉冲计数倍数的指令将被忽略，并且不会为该指令置位任何错误状态。

4 电气规格参数

4.1 绝对最大额定值

表 5 绝对最大额定值

Storage Temperature Plastic Packages	-65°C to +150°C
Ambient Temperature with Power Applied	-65°C to +125°C
V_{CC}	-0.5 V to +4.0 V
V_{IO} ^[6]	-0.5 V to +4.0 V
Input Voltage with Respect to Ground (V_{SS}) ^[7]	-0.5 V to +(V _{IO} + 0.5 V)
Output Short Circuit Current ^[8]	100 mA

4.2 热阻抗

表 6 热阻抗

Parameter	Description	Test condition	SL3016	FAB024	FAC024	Unit
Theta JA	Thermal resistance (junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance in accordance with EIA/JESD51. with Still Air (0 m/s).	29.6	33.6	33.6	°C/W
Theta JB	Thermal resistance (Junction to board)		7.9	17.6	17.6	°C/W
Theta JC	Thermal resistance (Junction to case)		8.8	11	8.3	°C/W

4.3 工作范围

运行范围定义了一些限值，在这些限值之间可保证器件正常运行。

4.3.1 供电电压

一些封装选项提供对称于 V_{IO} 的独立输入和输出电源的访问。不提供独立 V_{IO} 连接的封装，内部将器件的 V_{IO} 连接到 V_{CC} 。对于这些封装，对 V_{IO} 的指的是 V_{CC} 。

V_{CC}	2.7 V to 3.6 V
V_{IO}	1.65 V to $V_{CC} + 200$ mV

注释：

- V_{IO} 必须始终小于或等于 $V_{CC} + 200$ mV。
- 请参阅“[输入信号过冲](#)”在分页 32 为信号转换期间允许的最大值。
- 每一次只能有一个输出对地短接。短接时间不能超过一秒。
- 如果使用大于表 5 中所列出的数值，可能造成永久性损害。这只是压力额定值；并不暗示器件在这些值或者在此数据手册操作部分所示值之上的任何其他情形下能正常运行。如果让器件长时间在绝对最大额定值情况下运行，会影响器件的可靠性。

4.3.2 温度范围

表7 温度范围

Parameter	Symbol	Device	Spec		Unit
			Min	Max	
Ambient Temperature	T_A	Industrial (I)	-40	+85	°C
		Industrial Plus (V)	-40	+105	
		Automotive, AEC-Q100 Grade 3 (A)	-40	+85	
		Automotive, AEC-Q100 Grade 2 (B)	-40	+105	
		Automotive, AEC-Q100 Grade 1 (M)	-40	+125	

4.3.3 输入信号过冲

在直流条件下，输入或 I/O 信号应保持等于或介于 V_{SS} 和 V_{IO} 之间。在电压转换期间，输入或 I/O 可能会过冲 $V_{SS}-2.0V$ 或过冲至 $V_{IO}+2.0V$ ，持续时间最长为 20 ns。

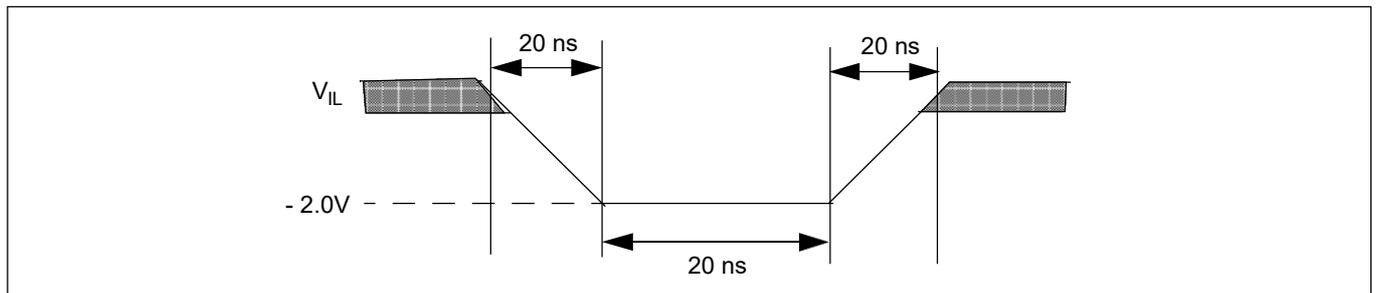


图19 最大负过冲波形

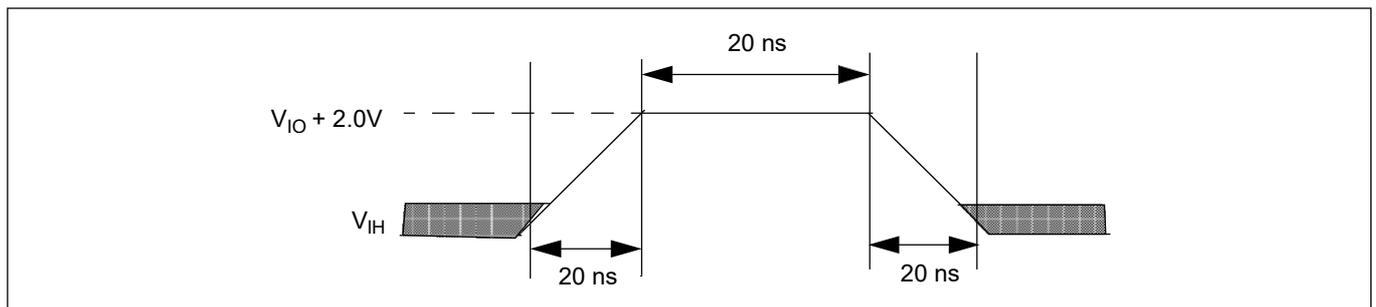


图20 最大正过冲波形

注释：

10. 工业 Plus 的操作和性能参数将由器件特性决定，并且可能与本规范中显示的标准工业温度范围设备有所不同。

4.4 上电和断电

在上电或掉电时一定不要选择该器件（即 CS 必须遵循施加在 V_{CC} 上的电压），直到 V_{CC} 达到如下正确的值：

- 上电时为 V_{CC} （最小值），然后再延迟 t_{PU}
- V_{SS} 在掉电时

片选 (CS) 上的一个简单的上拉电阻（通常为 100 k Ω 量级）通常可用于确保安全、正确的上电和掉电。

在 V_{CC} 上升至 V_{CC} 最小阈值以上后，器件会忽略所有指令，直至 t_{PU} 时间延迟结束。参见图 21。但是，如果 V_{CC} 在 t_{PU} 期间回落至 $V_{CC(min)}$ 以下，则无法保证器件正常工作。在 t_{PU} 结束之前，不应向器件发送任何命令。

上电 (t_{PU}) 后，器件处于待机模式（非深度掉电模式），消耗 CMOS 待机电流 (I_{SB})，并且 WEL 位被复位。

下电或电压降至 $V_{CC(cut-off)}$ 以下时，电压必须降至 $V_{CC(low)}$ 以下并持续 t_{PD} 时间，器件才能在正确上电。参见图 22。如果在电压下降期间 V_{CC} 保持在 $V_{CC(cut-off)}$ 以上，则器件将保持初始化状态，并在 V_{CC} 再次高于 $V_{CC(min)}$ 时正常工作。如果上电流程未正确完成，则 RESET# 信号将重新启动 POR 过程。

必须采取正常的预防措施来对电源轨进行去耦，以稳定器件的 V_{CC} 电源。系统中的每个器件都应通过靠近封装电源连接的合适电容器对 V_{CC} 轨进行去耦（该电容器通常为 0.1 μF 量级）。

表 8 上电/下电电压和时序

Symbol	Parameter	Min	Max	Unit
$V_{CC(min)}$	V_{CC} (minimum operation voltage)	2.7	-	V
$V_{CC(cut-off)}$	V_{CC} (Cut Off where re-initialization is needed)	2.4	-	V
$V_{CC(low)}$	V_{CC} (low voltage for initialization to occur) V_{CC} (Low voltage for initialization to occur at embedded)	1.6 2.3	-	V
t_{PU}	$V_{CC(min)}$ to Read operation	-	300	μs
t_{PD}	$V_{CC(low)}$ time	10.0	-	μs

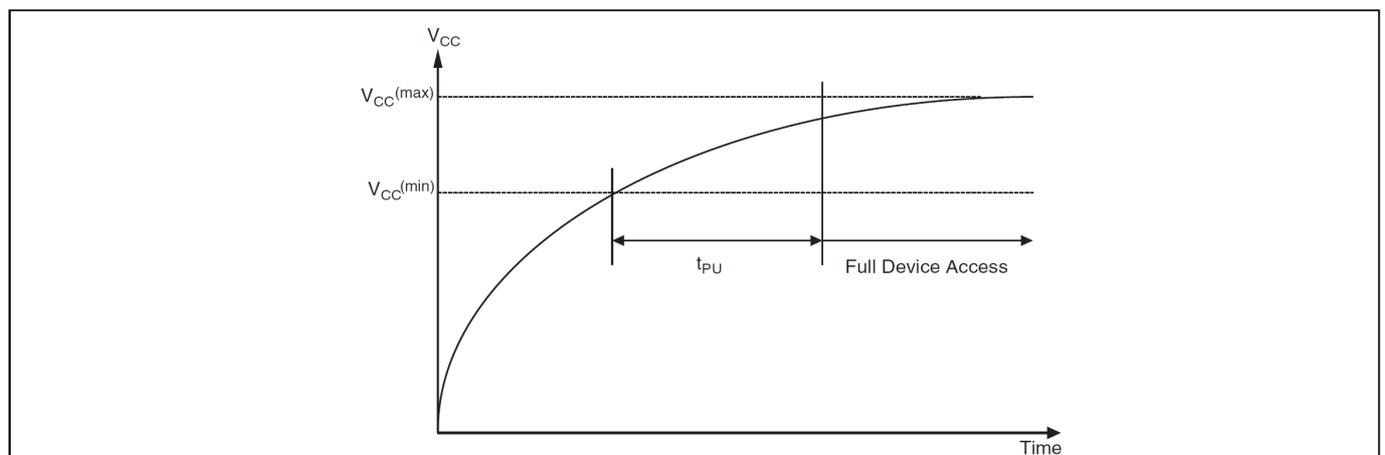


图 21 上电

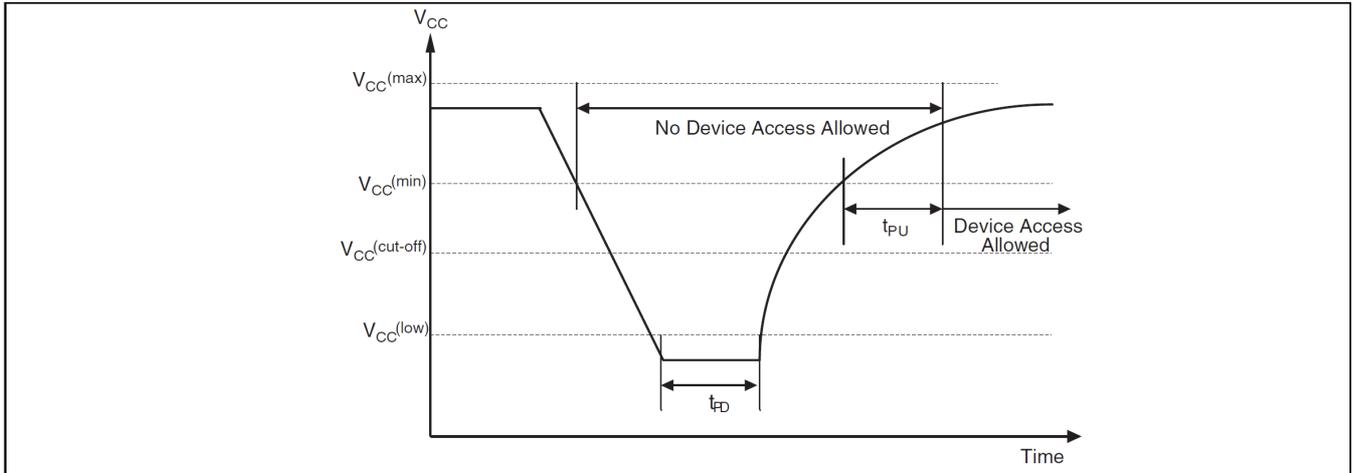


图 22 断电或电压下降

4.5 直流特性

适用于操作范围内。

表 9 直流特性

Symbol	Parameter	Test conditions	Min	Typ ^[11]	Max	Unit
V_{IL}	Input Low Voltage		-0.5	-	$0.2 \times V_{IO}$	V
V_{IH}	Input High Voltage		$0.7 \times V_{IO}$	-	$V_{IO} + 0.4$	V
V_{OL}	Output Low Voltage	$I_{OL} = 1.6 \text{ mA}$, $V_{CC} = V_{CC \text{ min}}$		-	$0.15 \times V_{IO}$	V
V_{OH}	Output High Voltage	$I_{OH} = -0.1 \text{ mA}$	$0.85 \times V_{IO}$	-		V
I_{LI}	Input Leakage Current	$V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ or V_{IL}	-	-	± 2	μA
I_{LO}	Output Leakage Current	$V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ or V_{IL}	-	-	± 2	μA
I_{CC1}	Active Power Supply Current (READ)	Serial SDR @ 50 MHz Serial SDR @ 133 MHz Quad SDR @ 80 MHz Quad SDR @ 104 MHz Quad DDR @ 66 MHz Quad DDR @ 80 MHz Outputs unconnected during read data return ^[12]	-	-	16 33/35 ^[13] 50 61 75 90	mA
I_{CC2}	Active Power Supply Current (Page Program)	$CS\# = V_{IO}$	-	-	100	mA
I_{CC3}	Active Power Supply Current (WRR)	$CS\# = V_{IO}$	-	-	100	mA
I_{CC4}	Active Power Supply Current (SE)	$CS\# = V_{IO}$	-	-	100	mA
I_{CC5}	Active Power Supply Current (BE)	$CS\# = V_{IO}$	-	-	100	mA
I_{SB} (Industrial)	Standby Current	RESET#, $CS\# = V_{IO}$; SI, SCK = V_{IO} or V_{SS} , Industrial Temp	-	70	100	μA
I_{SB} (Industrial Plus)	Standby Current	RESET#, $CS\# = V_{IO}$; SI, SCK = V_{IO} or V_{SS} , Industrial Plus Temp	-	70	300	μA

注释:

11. 典型值为 $T_{AI} = 25^\circ\text{C}$ 和 $V_{CC} = V_{IO} = 3 \text{ V}$ 。
12. 不包括输出开关电流。
13. 工业温度范围/工业加温度范围。

4.5.1 有源电源和备用电源模式

当片选 (CS) 为低电平时，器件处于启用的状态并处于工作的功率模式。当 CS 为高电平时，器件被禁用，但可能仍处于工作功率模式，直到所有编程、擦除和写操作完成。然后器件进入待机功耗模式，功耗降至 I_{SB} 。

5 时序规范

5.1 波形切换

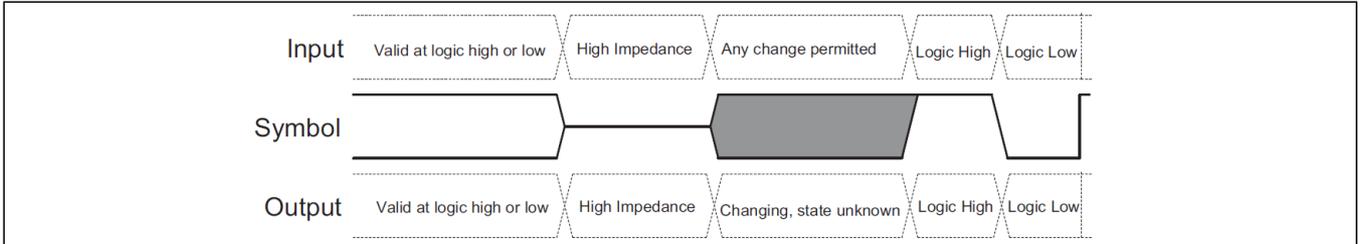


图 23 波形因素含义

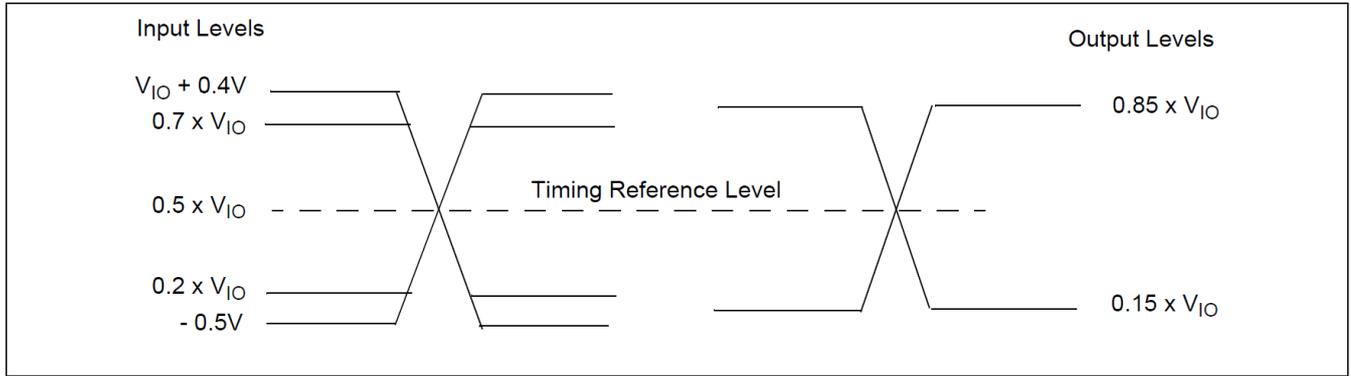


图 24 输入、输出和时序的参考标准

5.2 AC 测试条件

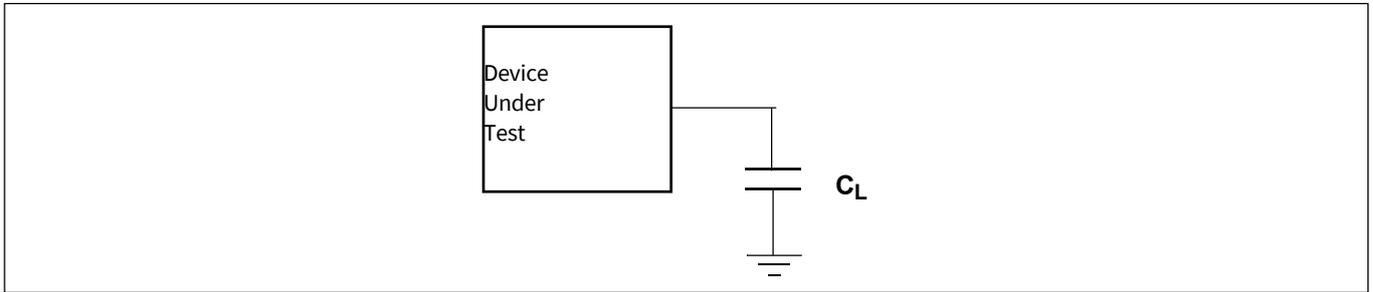


图 25 测试设置

表10 交流测量条件

Symbol	Parameter	Min	Max	Unit
C_L	Load Capacitance	30 15 ^[17]		pF
	Input Rise and Fall Times	-	2.4	ns
	Input Pulse Voltage	0.2 x V_{IO} to 0.8 V_{IO}		V
	Input Timing Ref Voltage	0.5 V_{IO}		V
	Output Timing Ref Voltage	0.5 V_{IO}		V

5.2.1 电容特性

表 11 电容值

	Parameter	Test conditions	Min	Max	Unit
C_{IN}	Input Capacitance (applies to SCK, CS#, RESET#)	1 MHz, $T_A = 25^\circ\text{C}$	-	8	pF
C_{OUT}	Output Capacitance (applies to All I/O)	1 MHz, $T_A = 25^\circ\text{C}$	-	8	pF

注释:

14. 输出高阻被定义为数据不再被驱动的点。
15. 输入斜率: 1.5 V/ns。
16. AC特性表假设时钟和数据信号具有相同的斜率 (斜率)。
17. DDR 操作。
18. 有关电容值的更多信息, 请参阅 IBIS 模型。

5.3 复位

5.3.1 上电(冷)复位

该器件执行POR过程，直到 V_{CC} 上升到 V_{CC} 最小阈值以上后，经过 t_{PU} 时间延迟。参见图 21、表 8、和表 12。在上电(t_{PU})期间不得选择器件（CS 随着 V_{IO} 变为高电平），即在 t_{PU} 结束之前不得向器件发送任何指令。在POR期间忽略 RESET#。如果 RESET# 在 POR期间为低电平并且在 t_{PU} 仍保持低电平，则在 RESET# 返回高电平后，CS 必须保持高电平直到 t_{RH} 。RESET# 必须返回高电平大于 t_{RS} 才能返回低电平以启动硬件复位。

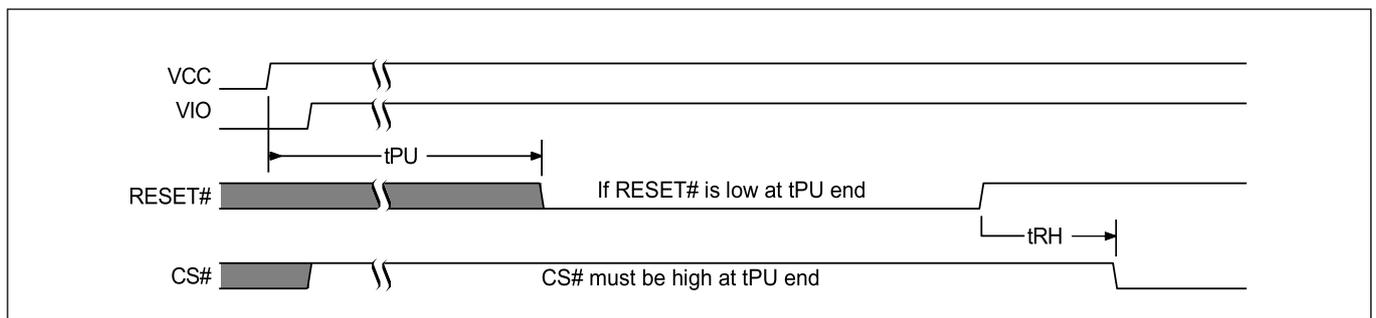


图 26 POR 结束时复位为低电平

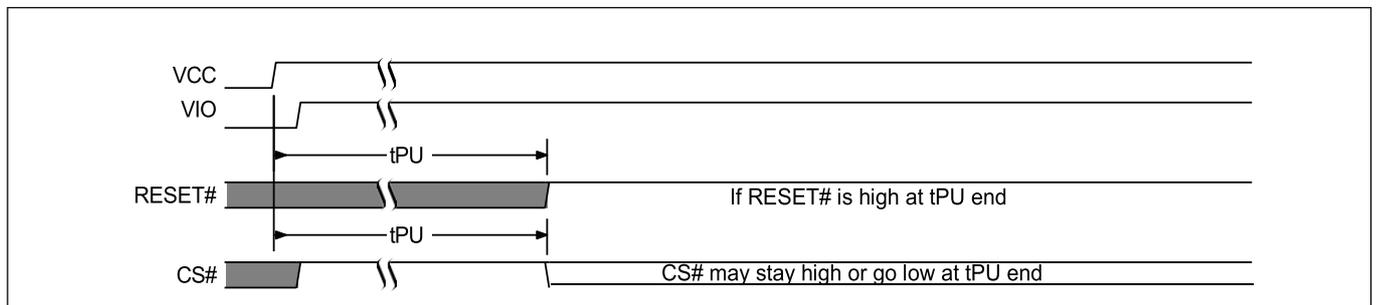


图 27 POR 结束时复位为高电平

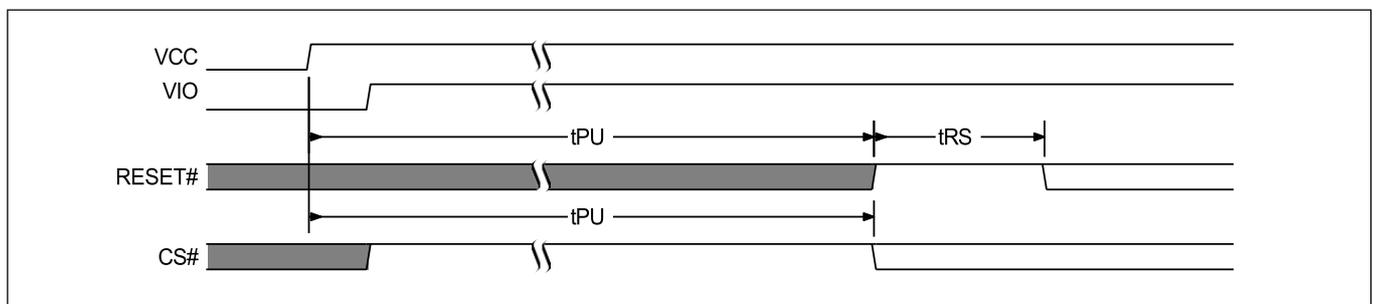


图 28 POR 后进行硬件复位

5.3.2 硬件（热）复位

当 RESET# 输入从 V_{IH} 转换为 V_{IL} 时，器件将以与上电复位相同的方式复位寄存器状态，但不会经历 POR 期间执行的完整复位过程。硬件复位过程需要 t_{RPH} 时间才能完成。如果 POR 过程在上电期间 (t_{PU}) 由于任何原因未能正确完成，则 RESET# 变为低电平将启动完整的 POR 过程，而不是硬件复位过程，并且需要 t_{PU} 时间才能完成 POR 过程。

RESET# 输入提供了一种将闪存器件重置为待机状态的硬件方法。

- RESET# 必须在 t_{PU} 或 t_{RPH} 之后的 t_{RS} 时间内保持高电平，然后再次变为低电平以启动硬件复位。
- 当 RESET# 被驱动为低电平并持续至少最短时间 (t_{RP}) 时，器件将终止正在进行的任何操作，使所有输出处于三态，并在 t_{RPH} 期间忽略所有读/写指令，并将接口重置为待机状态。
- 如果在 RESET# 被设置时 CS# 为低电平，则 CS# 必须在 t_{RPH} 期间返回高电平，然后才能在 t_{RH} 之后再次被设置为低电平。
- 硬件复位仅在 16 引线 SOIC 和 BGA 封装中提供。

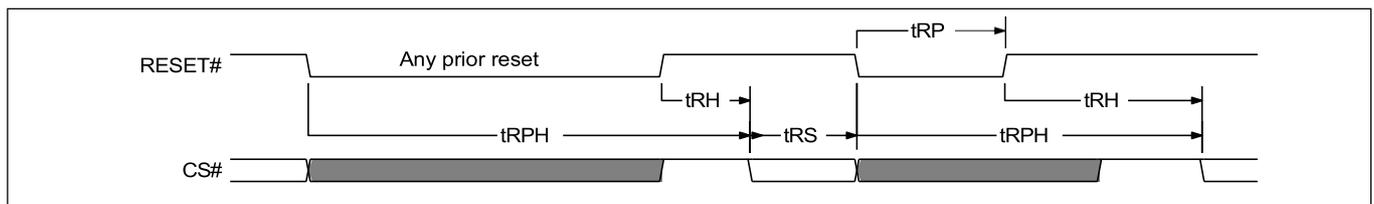


图 29 硬件复位

表 12 硬件复位参数

Parameter	Description	Limit	Time	Unit
t_{RS}	Reset Setup - Prior Reset end and RESET# high before RESET# LOW	Min	50	ns
t_{RPH}	Reset Pulse Hold - RESET# low to CS# LOW	Min	35	μ s
t_{RP}	RESET# Pulse Width	Min	200	ns
t_{RH}	Reset Hold - RESET# HIGH before CS# LOW	Min	50	ns

注释：

19. RESET# 低电平是可选的，在上电 (t_{PU}) 期间被忽略。如果在 t_{PU} 结束时 Reset# 被置位，器件将保持在复位状态， t_{RH} 将决定 CS 何时可能变为低电平。
20. t_{RP} 和 t_{RH} 的总和不能小于 t_{RPH} 。

5.4 SDR AC 特性

表 13 交流特性 (单晶片封装, $V_{IO} = V_{CC} 2.7 V$ 至 $3.6 V$)

Symbol	Parameter	Min	Typ	Max	Unit
$F_{SCK, R}$	SCK Clock Frequency for READ and 4READ instructions	DC	-	50	MHz
$F_{SCK, C}$	SCK Clock Frequency for single commands as shown in Table 41 ^[24]	DC	-	133	MHz
$F_{SCK, C}$	SCK Clock Frequency for the following dual and quad commands: DOR, 4DOR, QOR, 4QOR, DIOR, 4DIOR, QIOR, 4QIOR	DC	-	104	MHz
$F_{SCK, QPP}$	SCK Clock Frequency for the QPP, 4QPP commands	DC	-	80	MHz
P_{SCK}	SCK Clock Period	$1/F_{SCK}$	-	∞	
t_{WH}, t_{CH}	Clock High Time ^[25]	45% P_{SCK}	-	-	ns
t_{WL}, t_{CL}	Clock Low Time ^[25]	45% P_{SCK}	-	-	ns
t_{CRT}, t_{CLCH}	Clock Rise Time (slew rate)	0.1	-	-	V/ns
t_{CFT}, t_{CHCL}	Clock Fall Time (slew rate)	0.1	-	-	V/ns
t_{CS}	CS# High Time (Read Instructions) CS# High Time (Program/Erase)	10 50	-	-	ns
t_{CSS}	CS# Active Setup Time (relative to SCK)	3	-	-	ns
t_{CSH}	CS# Active Hold Time (relative to SCK)	3	-	-	ns
t_{SU}	Data in Setup Time	1.5	-	3000 ^[26]	ns
t_{HD}	Data in Hold Time	2	-	-	ns
t_V	Clock Low to Output Valid	-	-	8.0 ^[22] 7.65 ^[23] 6.5 ^[24]	ns
t_{HO}	Output Hold Time	2	-	-	ns
t_{DIS}	Output Disable Time	0	-	8	ns
t_{WPS}	WP# Setup Time	20 ^[21]	-	-	ns
t_{WPH}	WP# Hold Time	100 ^[21]	-	-	ns
t_{HLCH}	HOLD# Active Setup Time (relative to SCK)	3	-	-	ns
t_{CHHH}	HOLD# Active Hold Time (relative to SCK)	3	-	-	ns
t_{HHCH}	HOLD# Non Active Setup Time (relative to SCK)	3	-	-	ns
t_{CHHL}	HOLD# Non Active Hold Time (relative to SCK)	3	-	-	ns
t_{HZ}	HOLD# enable to Output Invalid	-	-	8	ns
t_{LZ}	HOLD# disable to Output Valid	-	-	8	ns

注释:

21. 仅适用于当 SRWD 置位为‘1’时对 WRR 指令的约束。
22. 完整的 V_{CC} 范围 (2.7 - 3.6 V) 和 $CL = 30 pF$ 。
23. 稳压 V_{CC} 范围 (3.0 - 3.6 V) 和 $CL = 30 pF$ 。
24. 稳压 V_{CC} 范围 (3.0 - 3.6 V) 和 $CL = 15 pF$ 。
25. 对于 $\leq 50 MHz$ 的频率, 支持 $\pm 10\%$ 占空比。
26. 最大值仅适用于编程/擦除/休眠/唤醒指令期间。

Timing specifications

表 14 交流特性 (单晶片封装, $V_{IO}1.65\text{ V至}2.7\text{ V}$, $V_{CC}2.7\text{ V至}3.6\text{ V}$)

Symbol	Parameter	Min	Typ	Max	Unit
$F_{SCK,R}$	SCK Clock Frequency for READ, 4READ instructions	DC	-	50	MHz
$F_{SCK,C}$	SCK Clock Frequency for all others ^[29]	DC	-	66	MHz
P_{SCK}	SCK Clock Period	$1/F_{SCK}$	-	∞	
t_{WH}, t_{CH}	Clock High Time ^[30]	$45\% P_{SCK}$	-	-	ns
t_{WL}, t_{CL}	Clock Low Time ^[30]	$45\% P_{SCK}$	-	-	ns
t_{CRT}, t_{CLCH}	Clock Rise Time (slew rate)	0.1	-	-	V/ns
t_{CFT}, t_{CHCL}	Clock Fall Time (slew rate)	0.1	-	-	V/ns
t_{CS}	CS# High Time (Read Instructions) CS# High Time (Program/Erase)	10 50	-	-	ns
t_{CSS}	CS# Active Setup Time (relative to SCK)	10	-	-	ns
t_{CSH}	CS# Active Hold Time (relative to SCK)	3	-	-	ns
t_{SU}	Data in Setup Time	5	-	3000 ^[31]	ns
t_{HD}	Data in Hold Time	4	-	-	ns
t_V	Clock Low to Output Valid	-	-	14.5 ^[28] 12.0 ^[29]	ns
t_{HO}	Output Hold Time	2	-	-	ns
t_{DIS}	Output Disable Time	0	-	14	ns
t_{WPS}	WP# Setup Time	20 ^[27]	-	-	ns
t_{WPH}	WP# Hold Time	100 ^[27]	-	-	ns
t_{HLCH}	HOLD# Active Setup Time (relative to SCK)	5	-	-	ns
t_{CHHH}	HOLD# Active Hold Time (relative to SCK)	5	-	-	ns
t_{HHCH}	HOLD# Non Active Setup Time (relative to SCK)	5	-	-	ns
t_{CHHL}	HOLD# Non Active Hold Time (relative to SCK)	5	-	-	ns
t_{HZ}	HOLD# enable to Output Invalid	-	-	14	ns
t_{LZ}	HOLD# disable to Output Valid	-	-	14	ns

5.4.1 时钟时序

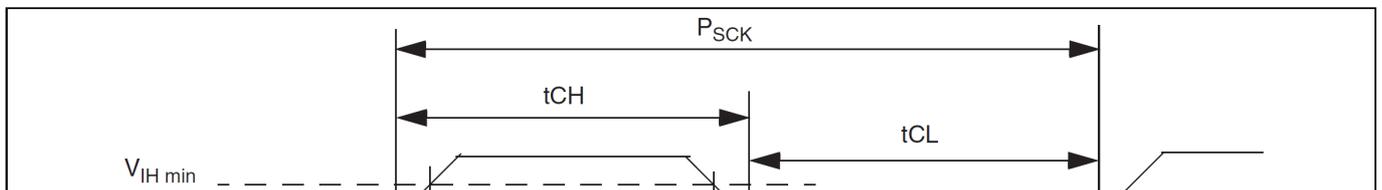


图 30 时钟时序

注释:

- 27. 仅适用于当 SRWD 置位为‘1’时对 WRR 指令的约束。
- 28. $CL = 30\text{ pF}$ 。
- 29. $CL = 15\text{ pF}$ 。
- 30. 对于 $\leq 50\text{ MHz}$ 的频率, 支持 $\pm 10\%$ 占空比。
- 31. 最大值仅适用于编程/擦除/休眠/唤醒指令期间。

5.4.2 输入/输出时序

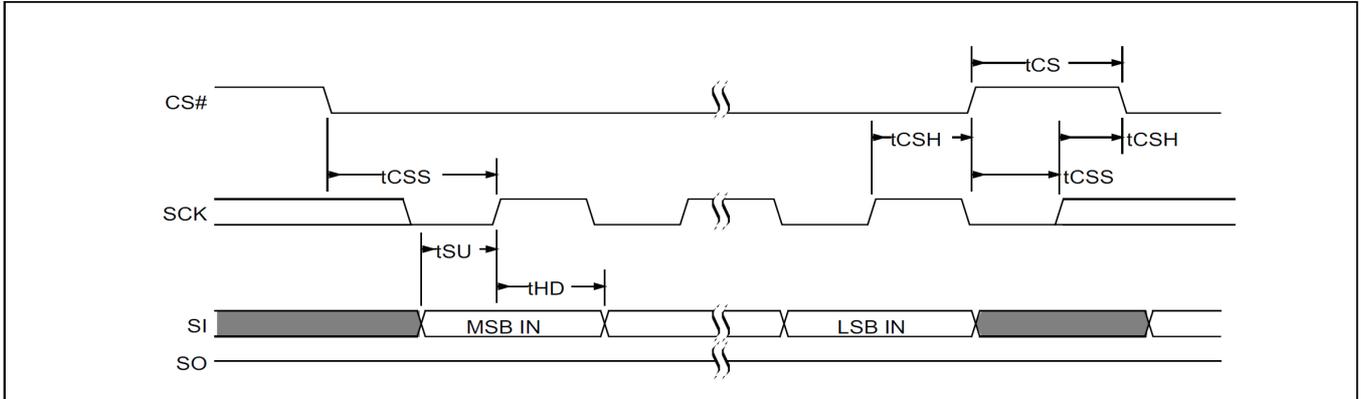


图 31 SPI单线的一个输入操作

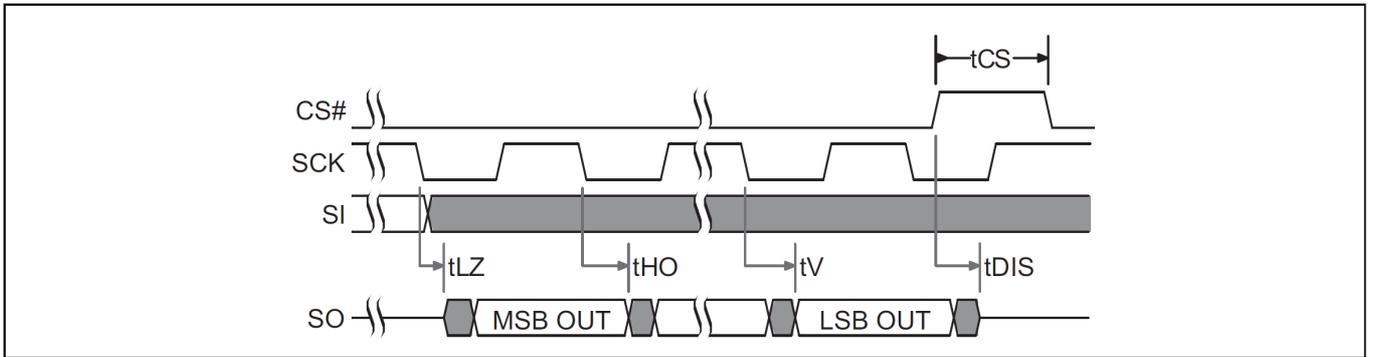


图 32 SPI单线的一个输出操作

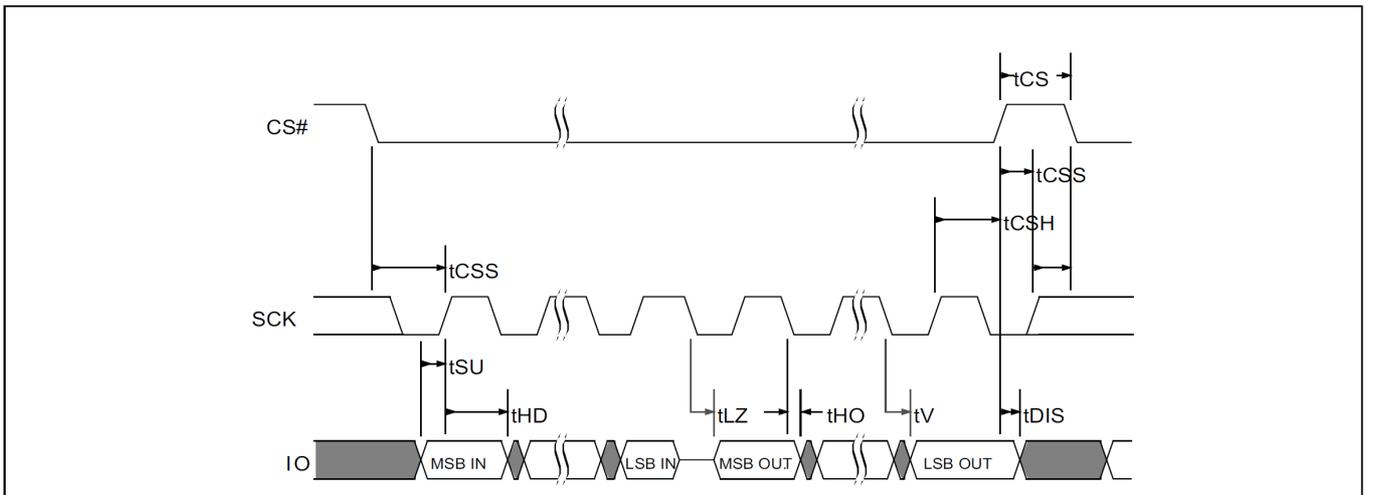


图 33 SPI SDR MIO 时序

Timing specifications

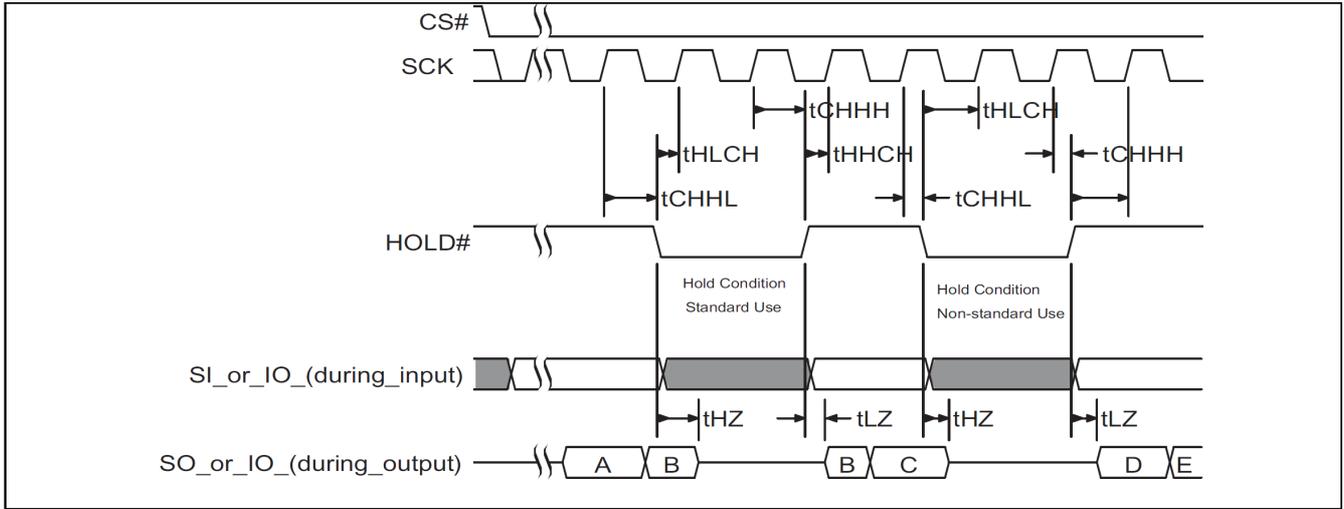


图 34 保持时序

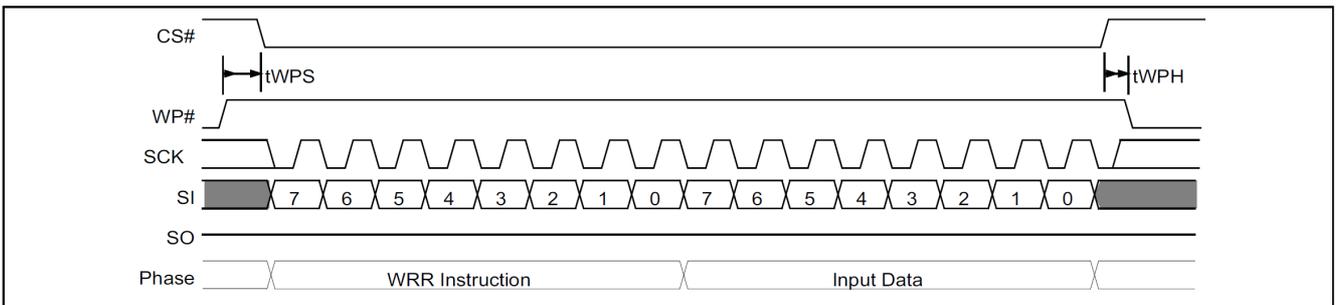


图 35 WP#输入时序

5.5 DDR AC 特性

表 15 DDR 操作的交流特性

Symbol	Parameter	66 MHz			80 MHz			Unit
		Min	Typ	Max	Min	Typ	Max	
$F_{SCK, R}$	SCK Clock Frequency for DDR READ instruction	DC	-	66	DC	-	80	MHz
$P_{SCK, R}$	SCK Clock Period for DDR READ instruction	15	-	∞	12.5	-	∞	ns
t_{WH}, t_{CH}	Clock High Time	45% P_{SCK}	-	-	45% P_{SCK}	-	-	ns
t_{WL}, t_{CL}	Clock Low Time	45% P_{SCK}	-	-	45% P_{SCK}	-	-	ns
t_{CS}	CS# High Time (Read Instructions)	10	-	-	10	-	-	ns
t_{CSS}	CS# Active Setup Time (relative to SCK)	3	-	-	3	-	-	ns
t_{CSH}	CS# Active Hold Time (relative to SCK)	3	-	-	3	-	-	ns
t_{SU}	I/O in Setup Time	2	-	3000 ^[33]	1.5	-	3000 ^[33]	ns
t_{HD}	I/O in Hold Time	2	-	-	1.5	-	-	ns
t_V	Clock Low to Output Valid	-	-	6.5 ^[32]	-	-	6.5 ^[32]	ns
t_{HO}	Output Hold Time	1.5	-	-	1.5	-	-	ns
t_{DIS}	Output Disable Time	-	-	8	-	-	8	ns
t_{LZ}	Clock to Output Low Impedance	0	-	8	0	-	8	ns
$t_{IO_SKE_W}$	First Output to last Output data valid time	-	-	600	-	-	600	ps

5.5.1 DDR 输入时序

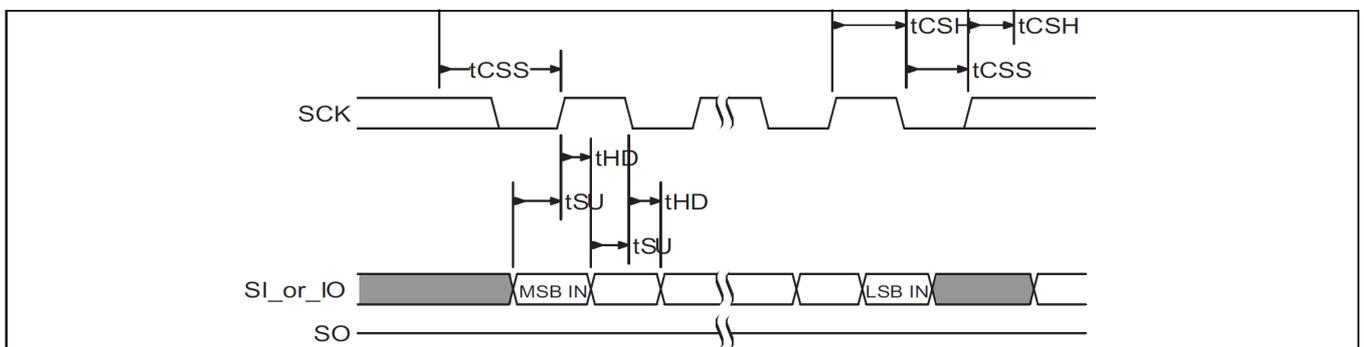


图 36 SPI DDR 输入时序

注释:

- 32. 调节 V_{CC} 范围 (3.0 V 至 3.6 V) 且 $CL = 15$ pF。
- 33. 最大值仅适用于编程/擦除/休眠/唤醒指令期间。

5.5.2 DDR 输出时序

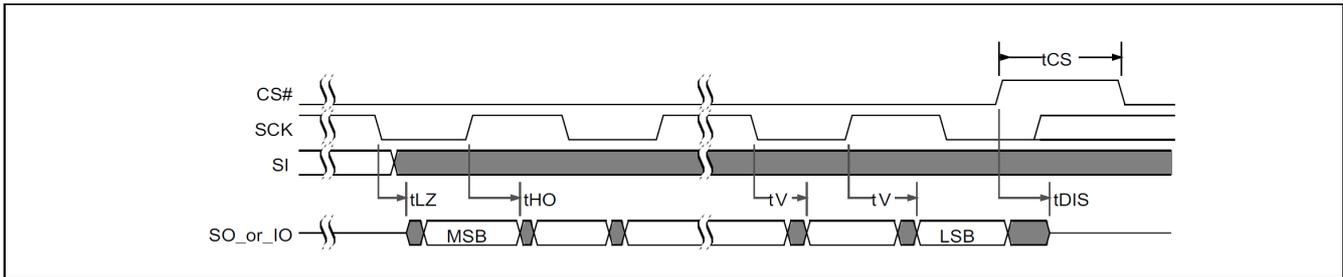


图 37 SPI DDR输出时序

5.5.3 使用 DLP 的 DDR 数据有效时序

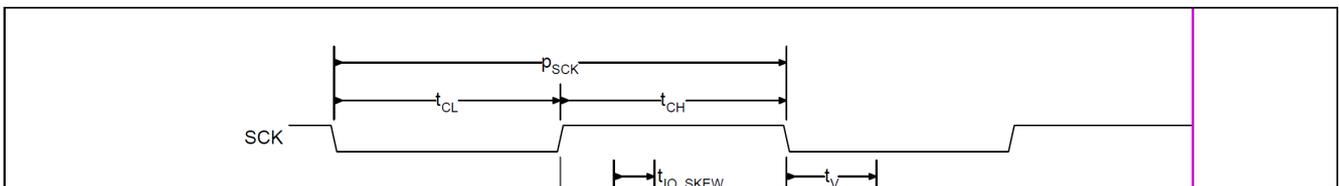


图 38 SPI DDR数据有效窗口

最小数据有效窗口 (t_{DV}) 和 t_V 最小值可按下式计算:

$$t_{DV} = \text{最小半时钟周期时间 } (t_{CLH})^{[34]} - t_{OTT}^{[36]} - t_{IO_SKEW}^{[35]}$$

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT}$$

示例:

80 MHz 时钟频率 = 12.5 ns 时钟周期, DDR 操作和 45% 或更高的占空比

$$t_{CLH} = 0.45 \times P_{SCK} = 0.45 \times 12.5 \text{ ns} = 5.625 \text{ ns}$$

总线阻抗为 45 ohm, 电容值为 22 pF, 湿度基准为 $0.75V_{CC}$ 时, 从 0 到 1 的上升时间或从 1 到 0 的下降时间为 $1.4^{[39]} \times \text{阻容时间 } (\tau)^{[38]} = 1.4 \times 0.99 \text{ ns} = 1.39 \text{ ns}$

$$t_{OTT} = \text{上升时间或下降时间} = 1.39 \text{ ns}$$

数据有效窗口

$$t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 5.625 \text{ ns} - 600 \text{ ps} - 1.39 \text{ ns} = 3.635 \text{ ns}$$

t_V Minimum

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0 \text{ ns} + 600 \text{ ps} + 1.39 \text{ ns} = 2.99 \text{ ns}$$

注释:

34. t_{CLH} 是 t_{CL} 或 t_{CH} 中较短的持续时间。

35. t_{IO_SKEW} 是所有 IO 信号的最小 t_V (输出有效) 与最大 t_V (输出有效) 之间的最大差异 (增量)。

36. t_{OTT} 是每个 IO 上从一个有效数据值到下一个有效数据值的最大输出转换时间。 t_{OTT} 取决于系统电平考虑因素, 包括:

- 存储器器件的输出阻抗 (驱动强度)。
- IO 上的系统级寄生效应 (主要是总线容值)。
- 主控存储控制器输入 V_{IH} 和 V_{IL} 电平, 在该电平下可以识别 0 到 1 和 1 到 0 的转换。
- t_{OTT} 不是经过英飞凌测试的规格, 它依赖于系统, 必须由系统设计人员根据上述考虑来推导。

37. t_{DV} 是数据有效窗口。

38. $\tau = R$ (输出阻抗) $\times C$ (负载电容值)。

39. 电压上升至 V_{CC} 的 75% 的 τ 时间乘数。

Physical interface

6 物理接口

表 16 特定型号的连接

VIO / RFU	Versatile I/O or RFU — Some device models bond this connector to the device I/O power supply, other models bond the device I/O supply to Vcc within the package leaving this package connector unconnected.
RESET# / RFU	RESET# or RFU — Some device models bond this connector to the device RESET# signal, other models bond the RESET# signal to Vcc within the package leaving this package connector unconnected.

6.1 SOIC 16引脚封装

6.1.1 SOIC 16连接图

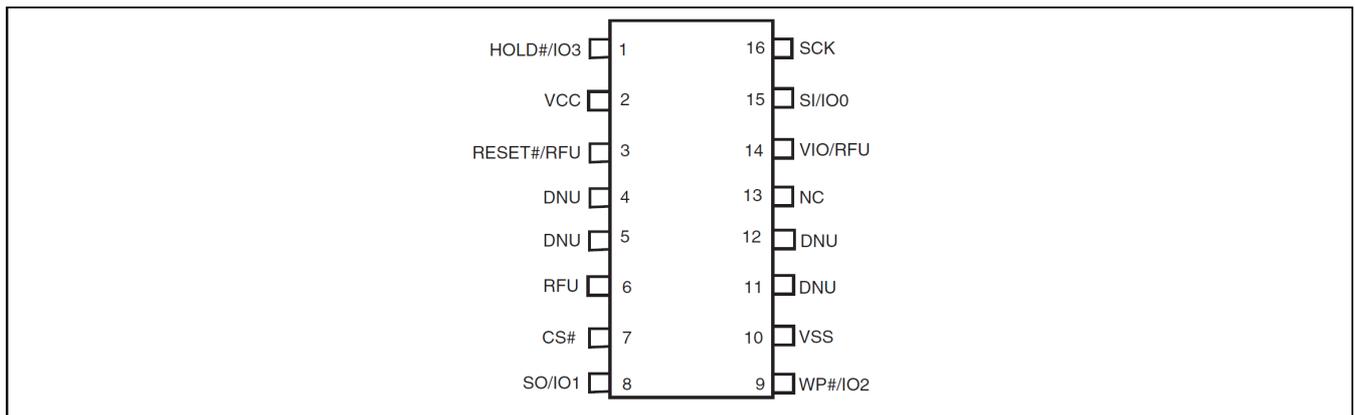
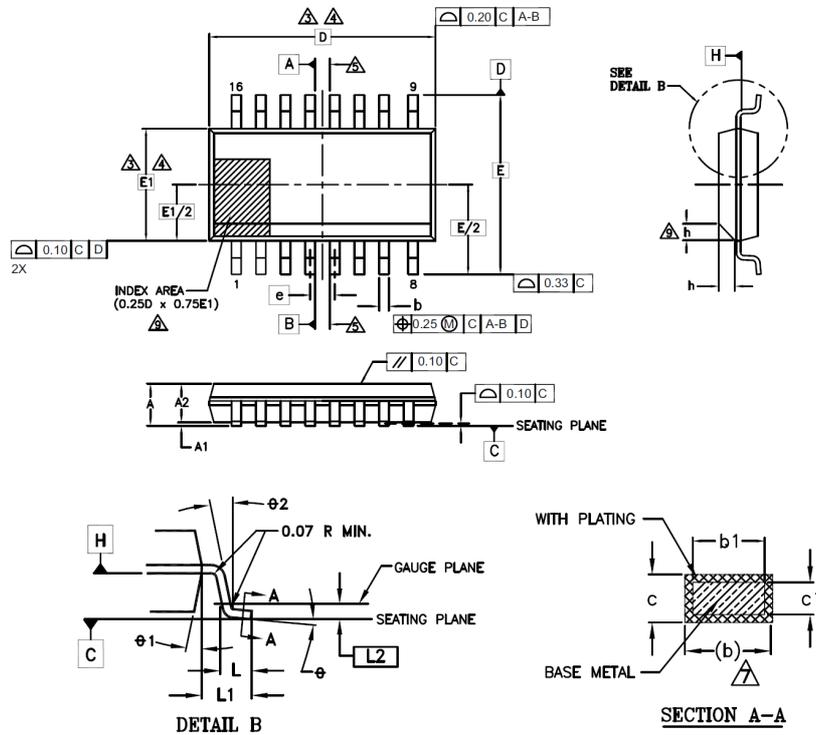


图 39 16 引脚 SOIC 封装，顶视图

注释：

40. 参考表 3 用于信号描述。

6.1.2 SOIC 16实物图



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	2.35	-	2.65
A1	0.10	-	0.30
A2	2.05	-	2.55
b	0.31	-	0.51
b1	0.27	-	0.48
c	0.20	-	0.33
c1	0.20	-	0.30
D	10.30 BSC		
E	10.30 BSC		
E1	7.50 BSC		
e	1.27 BSC		
L	0.40	-	1.27
L1	1.40 REF		
L2	0.25 BSC		
N	16		
h	0.25	-	0.75
ϕ	0°	-	8°
ϕ1	5°	-	15°
ϕ2	0°	-	-

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

002-15547 Rev. *A

图 40 16 引脚 SOIC (10.30 × 7.50 × 2.65 mm) SO3016/SL3016/SS3016 封装外形 (PG-DSO-16), 002-15547

Physical interface

6.2 FAB024 24球BGA封装

6.2.1 连接图

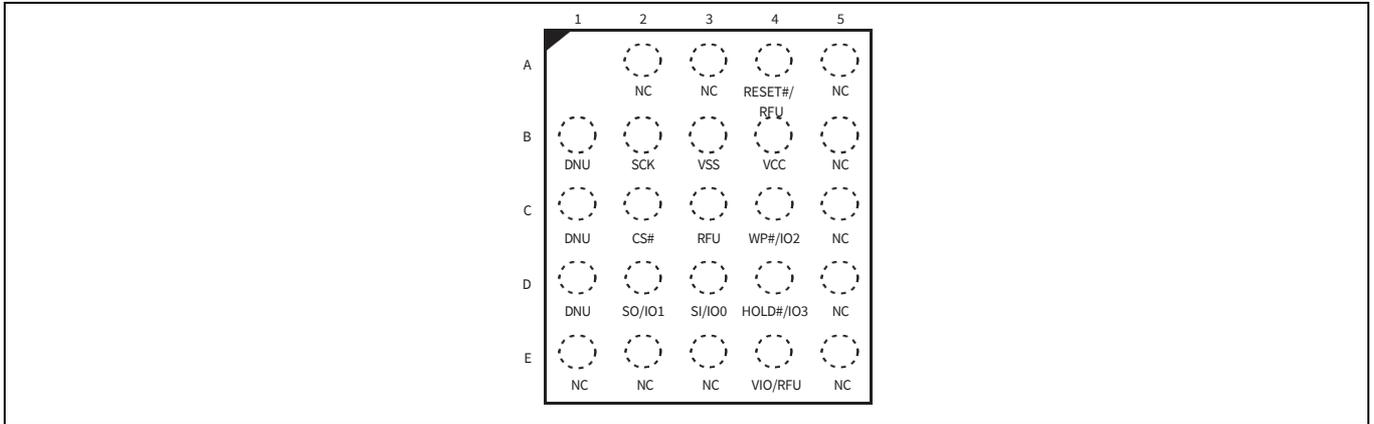
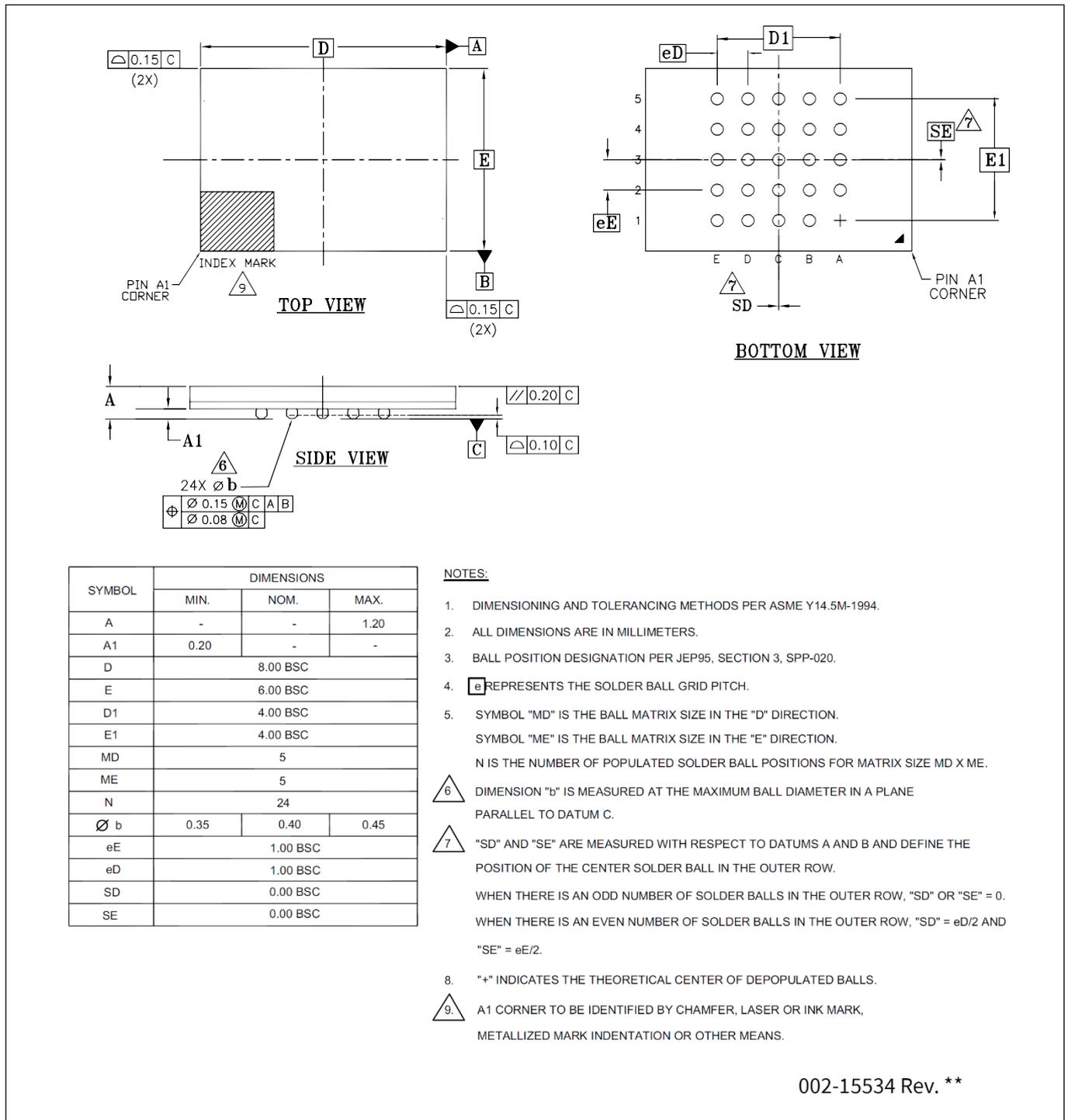


图 41 24-BGA, 5x5 球型焊盘封装 (FAB024), 顶视图^[41]

注释:

41. 信号连接与 FAC024 BGA 处于相同的相对位置, 从而允许单个 PCB 封装使用任一封装。

6.2.2 FAB024实物图



002-15534 Rev. **

图 42 24 球 FBGA (8.0 × 6.0 × 1.2 毫米) FAB024 封装外形 (PG-TFBGA-24) , 002-15534

Physical interface

6.3 FAC024 24球BGA封装

6.3.1 连接图

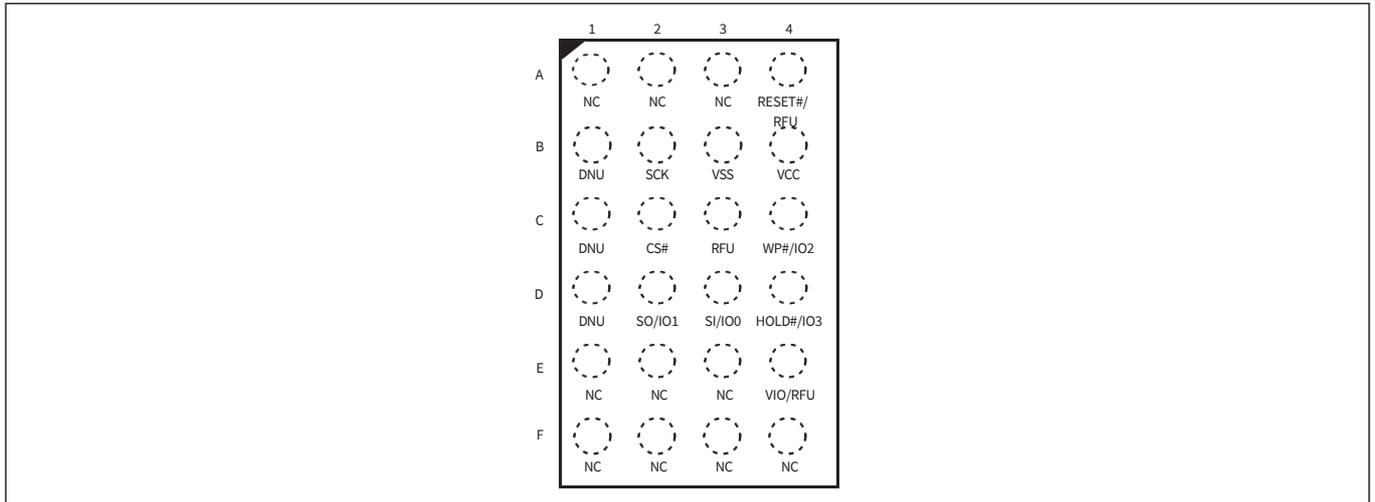


图 43 24-Ball BGA, 4x6 ball 封装 (FAC024), 顶视图^[42]

注释:

42.信号连接与 FAC024 BGA 处于相同的相对位置, 从而允许单个 PCB 封装使用任一封装。

6.3.2 FAC024实物图

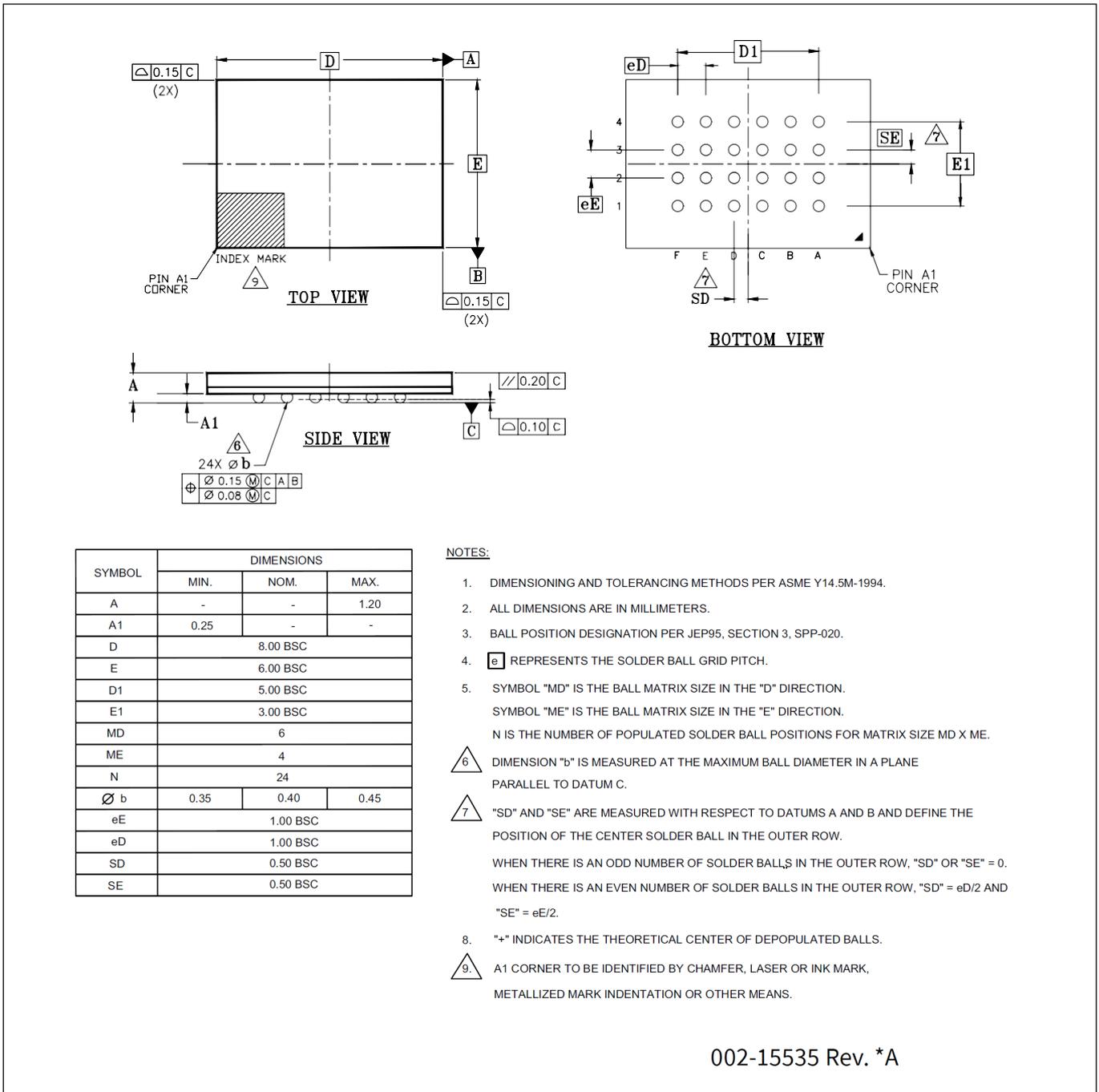


图 44 24 球 FBGA (8.0 × 6.0 × 1.2 毫米) FAC024 封装外形 (PG-TFBGA-24) , 002-15535

6.3.3 关于FBGA封装的特殊处置说明

如果使用超声波清洁方法，BGA 封装中的闪存存储器器件可能被损坏。如果封装体长时间暴露在 150°C 以上的温度下，封装和/或数据完整性可能会受到损害。

软件接口

软件接口

本节讨论与 S25FL512S 存储器器件交互的主控系统软件最相关的特性和行为。

7 地址空间映射

7.1 概述

7.1.1 扩展地址

S25FL512S 器件支持 32 位地址，从而能够实现比上一代（传统）SPI 设备（仅支持 24 位地址）更高密度的设备。24 位字节分辨率地址只能访问/访问 16 MB (128 Mb) 的最大密度。32 位字节分辨率地址允许直接寻址高达 4 GB (32 Gbits) 的地址空间。

为了向后兼容软件，旧指令继续支持 24 位地址。扩展 32 位地址可通过三种方式启用：

- 组地址寄存器——一个可加载软件（指令）的内部寄存器，当使用传统的 24 位地址时，提供地址的高位。
- 扩展地址模式——组地址寄存器位，可更改所有传统指令以期望主控系统提供 32 位地址。
- 新指令——执行传统功能和新功能，需要 32 位地址。

上电和复位后的默认条件是组地址寄存器加载零和 24 位地址的扩展地址模式置位。这使得传统软件能够兼容器件的前 128 Mb 访问/访问。

7.1.2 多个地址空间

许多指令操作都在主线上。地址空间上的一些指令操作与主存储器阵列分开。每个单独的地址空间使用完整的 32 位地址，但可能仅定义可用地址空间的一小部分。

7.2 闪存存储器阵列

主要的闪存存储器阵列被分为以物理扇区为擦除单位。这些扇区被组织为统一的 256 KB 扇区。

表 17 S25FL512S 扇区和内存地址映射，统一 256-KB 扇区

Sector size (KB)	Sector count	Sector range	Address range (8-bit)	Notes
256	256	SA00	0000000h–0003FFFFh	Sector Starting Address
		:	:	—
		SA255	03FC000h–03FFFFFFh	Sector Ending Address

注释：这是一个压缩表，使用扇区作为基准。有些地址范围未明确列出。所有 256 kB 扇区的唤醒类型码为 XXXX0000h–XXXXFFFFh。

7.3 ID-CFI 地址空间

RDIDJ 指令 (9Fh) 从单独的硬件地址空间读取器件标识 (ID) 和公共硬件接口 (CFI) 信息的信息。参见“[器件ID和常见的闪存存储器接口 \(ID-CFI\) 地址分布](#)”在分页133 用于定义 ID-CFI 地址空间内容的表。ID-CFI 地址空间由英飞凌写入，对于主控系统是只读的。

7.4 JEDEC JESD216 串行闪存可发现参数 (SFDP) 空间

RSFDP 指令 (5Ah) 从单独的存储器地址空间读取器件标识、特点和配置信息的信息，符合串行闪存存储器可发现参数的 JEDEC JESD216B 标准。ID-CFI 地址空间被纳入为 SFDP 参数之一。

请参阅“[闪存存储器可发现参数 \(SFDP\) 地址映射](#)”在分页 129 上了解定义 SFDP 地址空间内容的表。SFDP 地址空间由英飞凌编程，对于主控系统是只读的

7.5 OTP 地址空间

每个 S25FL512S 存储器器件都有一个 1024 字节一次性编程 (OTP) 地址空间，与主闪存存储器阵列分开。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 16 个最低地址字节由英飞凌使用 128 位随机数进行编程。只有英飞凌能够对这些字节进行编程。
- 接下来的 4 个较高地址字节 (OTP 锁定字节) 用于为每个 OTP 区域提供一位，以永久保护每个区域免于编程。从英飞凌出厂时，这些字节已被擦除。OTP 区域编程后，可以通过在 OTP 锁定字节中编程相关保护位来锁定该区域以防止进一步编程。
- 最低地址区域的接下来的 12 个高字节是保留以备将来使用 (RFU)。这些 RFU 字节中的位可以由主控系统进行编程，但必须理解，未来的器件可能会使用这些位来保护更大的 OTP 空间。从英飞凌出厂时，这些字节已被擦除。

剩余区域在从英飞凌出厂时会被擦除，并可用于对额外的永久性数据进行编程。

参考图 45 查看 OTP 存储空间的图示。

OTP 存储空间旨在提高系统安全性。OTP 值 (例如英飞凌编程的随机数) 可用于闪存器件电池与系统 CPU/ASIC “配对”，以防止器件替换。

配置注册 FREEZE 位 (CR1[0]) 在配置位为 1 时保护整个 OTP 存储空间免遭编程。这允许可信引导代码控制 OTP 区域的编程，然后设置 FREEZE 位以防止在正常开机系统操作的其余时间期间进一步进行 OTP 存储空间编程。

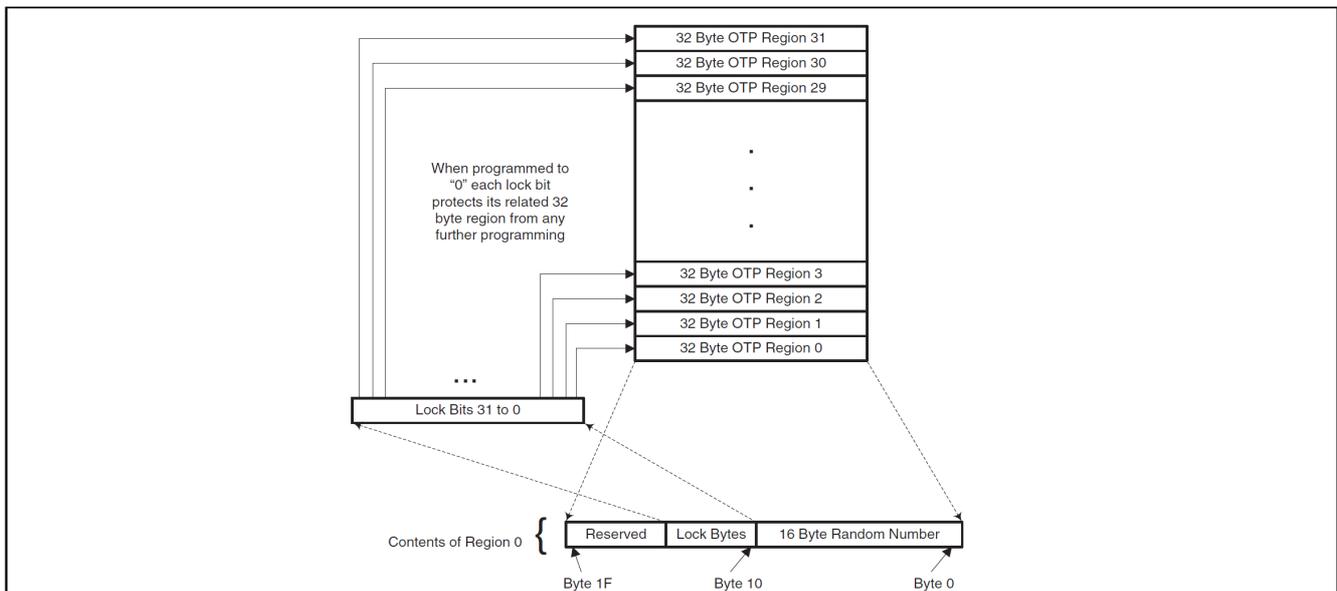


图 45 OTP 地址空间

表 18 **OTP 地址映射**

Region	Byte address range (Hex)	Contents	Initial delivery state (Hex)
Region 0	000	Least Significant Byte (LSB) of Spansion Programmed Random Number	Spansion Programmed Random Number
	
	00F	Most Significant Byte (MSB) of Spansion Programmed Random Number	
	010 to 013	Region Locking Bits Byte 10 [bit 0] locks region 0 from programming when = 0 ... Byte 13 [bit 7] locks region 31 from programming when = 0	All bytes = FF
	014 to 01F	Reserved for Future Use (RFU)	All bytes = FF
Region 1	020 to 03F	Available for User Programming	All bytes = FF
Region 2	040 to 05F	Available for User Programming	All bytes = FF
...	...	Available for User Programming	All bytes = FF
Region 31	3E0 to 3FF	Available for User Programming	All bytes = FF

7.6 寄存器

寄存器是一小组存储单元，用于配置 S25FL512-S 存储器器件的运行方式或报告器件运行的状态。寄存器通过特定指令访问。每个寄存器使用的命令（和十六进制指令代码）都记录在每个寄存器的描述中。各个寄存器位可能是易失性的、非易失性的或一次性可编程（OTP）。每个寄存器描述中都注明了每个位的类型。每个位显示的默认状态指的是上电复位、硬件复位或软件复位（如果该位是易失性的）后的状态。如果位为非易失性或OTP，则默认状态为器件从英飞凌出厂时的位值。非易失位具有与主闪存阵列相同的寿命（擦除和编程）周期。

表 19 寄存器描述

Register	Abbreviation	Type	Bit location
Status Register 1	SR1[7:0]	Volatile	7:0
Configuration Register 1	CR1[7:0]	Volatile	7:0
Status Register 2	SR2[7:0]	RFU	7:0
AutoBoot Register	ABRD[31:0]	Non-volatile	31:0
Bank Address Register	BRAC[7:0]	Volatile	7:0
ECC Status Register	ECCSR[7:0]	Volatile	7:0
ASP Register	ASPR[15:1]	OTP	15:1
ASP Register	ASPR[0]	RFU	0
Password Register	PASS[63:0]	Non-volatile OTP	63:0
PPB Lock Register	PPBL[7:1]	Volatile	7:1
PPB Lock Register	PPBL[0]	Volatile Read Only	0
PPB Access Register	PPBAR[7:0]	Non-volatile	7:0
DYB Access Register	DYBAR[7:0]	Volatile	7:0
SPI DDR Data Learning Registers	NVDLR[7:0]	Non-volatile	7:0
SPI DDR Data Learning Registers	VDLR[7:0]	Volatile	7:0

7.6.1 状态寄存器 1 (SR1)

相关指令：读状态寄存器(RDSR1 05h)、写寄存器(WRR 01h)、写使能(WREN 06h)、写禁用(WRDI 04h)、清零、复位状态寄存器(CLSR 30h)。

表 20 状态寄存器-1 (SR1)

Bits	Field name	Function	Type	Default state	Description
7	SRWD	Status Register Write Disable	Non-volatile	0	1 = Locks state of SRWD, BP, and configuration register bits when WP# is low by ignoring WRR command 0 = No protection, even when WP# is low
6	P_ERR	Programming Error Occurred	Volatile, Read only	0	1 = Error occurred. 0 = No Error
5	E_ERR	Erase Error Occurred	Volatile, Read only	0	1 = Error occurred 0 = No Error
4	BP2	Block Protection	Volatile if CR1[3] = 1, Non-volatile if CR1[3] = 0	1 if CR1[3] = 1, 0 when shipped from Infineon	Protects selected range of sectors (Block) from Program or Erase
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile	0	1 = Device accepts Write Registers (WRR), program or erase commands 0 = Device ignores Write Registers (WRR), program or erase commands This bit is not affected by WRR, only WREN and WRDI commands affect this bit
0	WIP	Write in Progress	Volatile, Read only	0	1 = Device Busy, a Write Registers (WRR), program, erase or other operation is in progress 0 = Ready Device is in standby mode and can accept commands

状态寄存器包含状态位和控制位：

状态寄存器写禁用 (SRWD) SR1[7]：当该位置位为“1”且 WP# 输入驱动为低电平时，将器件置于硬件保护模式。在此模式下，状态寄存器的 SRWD、BP2、BP1 和 BP0 位变为只读位，并且不再接受写入寄存器 (WRR) 指令执行。如果 WP# 为高电平，则 SRWD 位和 BP 位可以通过 WRR 指令更改。如果 SRWD 为“0”，则 WP# 无效，并且 SRWD 位和 BP 位可以通过 WRR 指令更改。SRWD 位具有与主闪存阵列相同的非易丢失的耐用性。

编程错误(P_ERR) SR1[6]：编程故障位用作程序操作成功或失败的指示。当程序故障位设置为“1”时，表示上次编程操作出现错误。当用户尝试在受保护的主存储器扇区或锁定的 OTP 区域内编程时，该位置也将是置位。当程序故障位置位为“1”时，可以使用清零，复位状态寄存器 (CLSR) 指令将该位复位为 0。这是一个只读位，不受 WRR 指令的影响。

擦写错误 (E_ERR) SR1[5]：擦写故障位用作擦写操作成功或失败的指示。当擦写故障位设置为“1”时，表示上次擦写操作出现错误。当用户试图破坏单个受保护的主存储器扇区时，该位置也将被设置。如果在指令执行期间发现受保护的扇区，则批量擦除指令将不会置位 E_ERR。当故障故障位置位为“1”时，该位可以通过清零，复位状态寄存器 (CLSR) 指令复位为“0”。这是一个只读位，不受 WRR 指令的影响。

功能块保护 (BP2, BP1, BP0) SR1[4:2]： 这些位定义了主闪存储器分区受到软件保护，免受编程和擦除指令的影响。BP 位是易失或非易失，具体取决于配置寄存器中 BP 非易失位 (BPNV) 的状态。当一个或多个 BP 位设置为“1”时，相关存储区域将受到保护，免受编程和擦除。仅当 BP 位清除为 0 时，才能执行批量擦除 (BE) 指令。参见“[功能块保护](#)”在分页 71 了解 BP 位值如何选择受保护的内存阵列区域的描述。BP 具有与主闪式存储器阵列相同的非易失性的耐久性。

写使能锁存器 (WEL) SR1[1]： WEL 位必须置位为“1”，以便能编程、写或擦除进行操作，作为防止无意中更改存储器或寄存器值的一种手段。写使能 (WREN) 指令执行将写指令锁存器设置为“1”，以允许随后执行任何编程、擦除或写指令。写禁止 (WRDI) 指令可用于将写使能锁存器设置为“0”，以防止所有编程、擦除和写指令执行。在任何成功的编程、写入或擦除动作结束时，WEL 位将被清除为“0”。操作失败后，WEL 位可能会保持置位，并且应使用 CLSR 指令后的 WRDI 指令清除。在掉电/上电序列、硬件复位或软件复位后，写使能锁存器置位为“0”。WRR 指令不影响该位。

写进行 (WIP) SR1[0]： 指示器件是否正在执行编程、写入、擦除操作或任何其他操作。当位设置为“1”时，器件正忙于执行操作。当 WIP 为 '1' 时，只能提交以下命令：读状态 (RDSR1 或 RDSR2)、串口挂起 (ERSP)、程序挂起 (PGSP)、清零，复位状态寄存器 (CLSR) 和软件复位 (RESET)。仅当存储器擦除或程序操作正在进行时，ERSP 和 PGSP 才会被接受。当 WIP = 1 时，状态寄存器 E_ERR 和 P_ERR 位会更新。当 P_ERR 或 E_ERR 位置位为 '1' 时，WIP 位将保持置位为 '1'，表明器件仍处于忙状态，无法接收新的操作指令。必须接收清零，复位状态寄存器 (CLSR) 指令才能将器件返回到待机模式。当 WIP 位清除为“0”时，无操作正在进行。这是只读位。

7.6.2 配置寄存器 1 (CR1)

相关指令：读取配置寄存器 (RDCR 35h)、写入寄存器 (WRR 01h)。配置寄存器位可以使用具有十六个输入周期的 WRR 指令进行更改。

配置寄存器控制某些接口和数据保护功能。

表 21 配置寄存器 (CR1)

Bits	Field name	Function	Type	Default state	Description
7	LC1	Latency Code	Non-volatile	0	Selects number of initial read latency cycles See Latency Code Tables
6	LC0			0	
5	TBPROT	Configures Start of Block Protection	OTP	0	1 = BP starts at bottom (Low address) 0 = BP starts at top (High address)
4	DNU	DNU	DNU	0	Do not Use
3	BPNV	Configures BP2-0 in Status Register	OTP	0	1 = Volatile 0 = Non-volatile
2	RFU	RFU	RFU	0	Reserved for Future Use
1	QUAD	Puts the device into Quad I/O operation	Non-volatile	0	1 = Quad 0 = Dual or Serial
0	FREEZE	Lock current state of BP2-0 bits in Status Register, TBPROT in Configuration Register, and OTP regions	Volatile	0	1 = Block Protection and OTP locked 0 = Block Protection and OTP un-locked

延迟代码 (LC) CR1[7:6]: 延迟代码选择所有读取指令的地址结束和读取数据输出开始之间的模式和虚拟周期数。

一些读取指令在地址后发送模式位，以指示下一个指令将与隐含的指令属于同一类型，而不是显式指令。下一个命令不提供指令字节，只有新地址和模式位。当某个相同命令重复了前序中的命令类型时，会减少发送一个命令所需要的时间。

虚拟周期提供了额外的延迟，需要在数据返回主控系统之前完成主闪存阵列的初始读取/访问。随着 SCK 频率的增加，一些读指令需要额外的延迟周期。

以下延迟代码表提供了由英飞凌配置的不同延迟设置。高性能与增强高性能设置是通过订购零件编号来选择的。

表格中以破折号显示模式或延迟（虚拟）周期时，表示所示频率不支持该读取命令。读取仅支持最高 50 MHz，但每个延迟代码中分配了相同的延迟值，并且当器件以 ≤ 50 MHz 和任何延迟代码设置工作时，可以使用该指令。同样，仅支持最高 133 MHz 的快速读取命令，但相同的 10b 延迟代码可用于最高 133 MHz 的快速读取以及最高 104 MHz 的其他双路和四路读取指令。在支持特定指令的较低频率下工作时，无需将延迟代码从较高频率更改为较低频率。较高频率的延迟代码值可用于较低频率的访问。

高性能设置提供与备用源 SPI 存储器相同或更快的延迟选项。这些设置仅为四路 I/O 读取命令提供模式位。增强高性能设置同样提供与其他备用源 SPI 存储器相同或更快的延迟选项，并为双 I/O 读取、DDR 快速读取和 DDR 双 I/O 读取指令添加模式位。

Address space maps

如果有 5 个或更多虚拟周期，则读取 DDR 数据学习模式 (DLP) 位可以放置在读取数据开始前的虚拟周期内。请参阅“[读取闪存阵列指令](#)”在分页 95 有关 DLP 的更多信息。

表 22 SDR 高性能的延迟代码

Freq. (MHz)	LC	Read		Fast Read		Read Dual Out		Read Quad Out		Dual I/O Read		Quad I/O Read	
		(03h, 13h)		(0Bh, 0Ch)		(3Bh, 3Ch)		(6Bh, 6Ch)		(BBh, BCh)		(EBh, ECh)	
		Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my
≤50	11	0	0	0	0	0	0	0	0	0	4	2	1
≤80	00	-	-	0	8	0	8	0	8	0	4	2	4
≤90	01	-	-	0	8	0	8	0	8	0	5	2	4
≤104	10	-	-	0	8	0	8	0	8	0	6	2	5
≤133	10	-	-	0	8	-	-	-	-	-	-	-	-

表 23 DDR 高性能的延迟代码

Freq. (MHz)	LC	DDR Fast Read		DDR Dual I/O Read		Read DDR Quad I/O	
		(0Dh, 0Eh)		(BDh, BEh)		(EDh, EEh)	
		Mode	Dum- my	Mode	Dum- my	Mode	Dum- my
≤50	11	0	4	0	4	1	3
≤66	00	0	5	0	6	1	6
≤66	01	0	6	0	7	1	7
≤66	10	0	7	0	8	1	8

表 24 SDR 增强高性能的延迟代码

Freq. (MHz)	LC	Read		Fast Read		Read Dual Out		Read Quad Out		Dual I/O Read		Quad I/O Read	
		(03h, 13h)		(0Bh, 0Ch)		(3Bh, 3Ch)		(6Bh, 6Ch)		(BBh, BCh)		(EBh, ECh)	
		Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my	Mode	Dum- my
≤50	11	0	0	0	0	0	0	0	0	4	0	2	1
≤80	00	-	-	0	8	0	8	0	8	4	0	2	4
≤90	01	-	-	0	8	0	8	0	8	4	1	2	4
≤104	10	-	-	0	8	0	8	0	8	4	2	2	5
≤133	10	-	-	0	8	-	-	-	-	-	-	-	-

表 25 DDR 增强高性能的延迟代码

Freq. (MHz)	LC	DDR Fast Read		DDR Dual I/O Read		Read DDR Quad I/O	
		(0Dh, 0Eh)		(BDh, BEh)		(EDh, EEh)	
		Mode	Dummy	Mode	Dummy	Mode	Dummy
≤50	11	4	1	2	2	1	3
≤66	00	4	2	2	4	1	6
≤66	01	4	4	2	5	1	7
≤66	10	4	5	2	6	1	8
≤80	00	4	2	2	4	1	6
≤80	01	4	4	2	5	1	7
≤80	10	4	5	2	6	1	8

顶部或底部保护 (TBPROT) CR1[5]: 该位定义了状态寄存器中功能块保护位 BP2、BP1 和 BP0 的操作。如状态部分所述，BP2-0 位允许用户有选择地保护阵列的一部分，范围从 1/64、1/4、1/2 等，直至整个阵列。当 TBPROT 置位为“0”时，功能块保护被定义为从阵列的顶部（最大地址）开始。当 TBPROT 置位为“1”时，功能块保护被定义为从阵列的底部（零地址）开始。从英飞凌发货时，TBPROT 位为 OTP，置位为“0”。如果 TBPROT 被编程为‘1’，则尝试将其改回 0 将会失败，并置位程序故障位 (SR1[6] 中的 P_ERR)。

必须在系统制造期间对器件进行初始配置期间选择 TBPROT 的所需状态；在主闪式存储器阵列上执行第一个程序或擦除操作之前。在主闪式存储器阵列中编程或擦除后，不得对 TBPROT 进行编程。

CR1[4]: 保留以供将来使用

功能块保护非易失 (BPNV) CR1[3]: BPNV 位定义状态寄存器中的 BP2-0 位是否为易失性或非易失。BPNV 位是 OTP，从 Infineon 出厂时清除为 a0，BP 位清除为 000。当 BPNV 设置为“0”时，状态登记中的 BP2-0 位非易失。当 BPNV 设置为“1”时，状态寄存器中的 BP2-0 位为易失性，并且在 POR、硬件复位或指令复位后将被复位为二进制 111。如果 BPNV 被编程为“1”，则尝试将其更改回“0”将会失败，并会导致程序故障位 (SR1[6] 中的 P_ERR)。

CR1[2]: 保留以备将来使用。

四路数据宽度 (QUAD) CR1[1]: 置位为 '1' 时，该位将器件的数据宽度切换为 4 位 - 四路模式。也就是说，WP# 变为 I/O2，HOLD# 变为 I/O3。WP# 和 HOLD# 输入的正常功能不受监控，并在内部置位为高（无效）。串行、双输出和双 I/O 读取指令仍可正常运行，但在使用不同数据通路/数据路径宽度的指令之间切换时，无需驱动这些指令的 WP# 和 Hold# 输入。使用读取四路输出、四路 I/O 读取、读取 DDR 四路 I/O 和四路编程指令时，必须将 QUAD 位置位为 1。QUAD 位为非易失。

冻结保护 (FREEZE) CR1[0]：冻结位，当置位为“1”时，锁定状态寄存器中的 BP2-0 位、配置寄存器中的 TBPROT 和 TBPARM 位以及 OTP 地址空间的当前状态。这会阻止写入、编程或擦除这些区域。只要 FREEZE 位保持为逻辑 0，配置寄存器的其他位（包括 FREEZE）都是可写的，并且 OTP 地址空间是可编程的。一旦 FREEZE 位被写入逻辑 1，它只能通过断电到上电周期或硬件复位清除为逻辑 0。软件复位不会影响 FREEZE 位的状态。FREEZE 位具有易失性，上电后 FREEZE 默认状态为“0”。FREEZE 位可以通过单个 WRR 指令更新 CR1 中的其他值来配置。

注释：

43. 当使用启用了数据学习唤醒类型码 (DLP) 的 DDR I/O 指令时，应选择提供 5 个或更多虚拟周期的延迟代码，以便在内存开始驱动 4 个周期的 DLP 之前，允许主控有 1 个周期的额外时间停止驱动。如果使用 DDR 的数据学习唤醒类型码 (DLP)，建议 DDR 快速读取使用 LC 10，DDR 双 I/O 读取使用 LC 01，DDR 四 I/O 读取使用 LC 00。

7.6.3 状态寄存器 2 (SR2)

相关指令：读取状态寄存器2 (RDSR2 07h)。

表 26 状态寄存器-2 (SR2)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	-	0	Reserved for Future Use
6	RFU	Reserved	-	0	Reserved for Future Use
5	RFU	Reserved	-	0	Reserved for Future Use
4	RFU	Reserved	-	0	Reserved for Future Use
3	RFU	Reserved	-	0	Reserved for Future Use
2	RFU	Reserved	-	0	Reserved for Future Use
1	ES	Erase Suspend	Volatile, Read only	0	1 = In erase suspend mode 0 = Not in erase suspend mode
0	PS	Program Suspend	Volatile, Read only	0	1 = In program suspend mode 0 = Not in program suspend mode

擦除挂起 (ES) SR2[1]：擦除挂起位用于确定器件何时处于擦除挂起模式。这是一个不可写的状态位。当Erase Suspend 位置位为“1”时，器件处于擦除挂起模式。当Erase Suspend 位清零时，器件不处于挂起模式。有关擦除挂起/唤醒指令的详细信息，请参阅擦除挂起/唤醒指令 (75h) (7Ah)。

编程挂起 (PS) SR2[0]：编程挂起位用于确定器件何时处于编程挂起模式。这是一个不可写的状态位。当Program Suspend 位设置为'1' 时，器件处于编程挂起模式。当编程挂起位清为“0”时，器件不处于编程挂起模式。请参阅“[编程挂起 \(PGSP 85h\)](#) 和 [唤醒 \(PGRS 8Ah\)](#) ” 在 分页 113 了解详情。

7.6.4 自动启动寄存器

相关指令：自动读取 (ABRD 14h) 和自动写入 (ABWR 15h) 。

自动启动寄存器提供了一种自动读取引导代码的方法，作为电源复位、硬件复位或软件复位过程的一部分。

表 27 自动启动寄存器

Bits	Field name	Function	Type	Default state	Description
31 to 9	ABSA	AutoBoot Start Address	Non-volatile	000000h	512 byte boundary address for the start of boot code access
8 to 1	ABSD	AutoBoot Start Delay	Non-volatile	00h	Number of initial delay cycles between CS# going LOW and the first bit of boot code being transferred
0	ABE	AutoBoot Enable	Non-volatile	0	1 = AutoBoot is enabled 0 = AutoBoot is not enabled

7.6.5 组地址寄存器

相关指令：组寄存器访问/访问 (BRAC B9h)、组寄存器写入 (WRR 01h)、组寄存器读取 (BRRD 16h) 和组寄存器写入 (BRWR 17h)。

组地址寄存器为仅提供低位 24 位地址的旧指令提供主闪式阵列的字节边界地址的附加高位。当 EXTADD = 0 时，组地址用作所有 3 字节地址指令的地址高位 (A23 上方)。当 EXTADD = 1 时，不使用组地址，而是需要传统的 3 字节地址指令来提供所有四个字节的地址。

表 28 组地址寄存器(BAR)

Bits	Field name	Function	Type	Default state	Description
7	EXTADD	Extended Address Enable	Volatile	0b	1 = 4-byte (32-bits) addressing required from command. 0 = 3-byte (24-bits) addressing from command + Bank Address
6 to 2	RFU	Reserved	Volatile	00000b	Reserved for Future Use
1	BA25	Bank Address	Volatile	0	A25 for 512 Mb device
0	BA24	Bank Address	Volatile	0	A24 for 512 Mb device

扩展地址 (EXTADD) BAR[7]: EXTADD 控制传统SPI指令的地址字段大小。默认情况下 (上电复位、硬件复位和软件复位)，3 个字节 (24 位) 的地址被清除为“0”。当置位为“1”时，旧指令将需要 4 个字节 (32 位) 作为地址字段。这是一个易失性位。

7.6.6 ECC状态寄存器 (ECCSR)

相关指令：ECC读取 (ECCRD 18h)。ECCSR 没有用户可编程的非易失位。所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位。参见“**自动 ECC**”位于分页111。

每个ECC单元的ECC状态由8位ECC状态寄存器(ECCSR)提供。ECC寄存器读取命令后跟ECC单元地址。状态寄存器的内容则表明对于所选择的ECC单位，该ECC单位八位纠错码、16字节数据的ECC单位是否有错误，或者该ECC单位的ECC是否被禁用。

表 29 ECC状态寄存器 (ECCSR)

Bits	Field name	Function	Type	Default state	Description
7 to 3	RFU	Reserved		0	Reserved for Future Use
2	EECC	Error in ECC	Volatile, Read only	0	1 = Single Bit Error found in the ECC unit eight bit error correction code 0 = No error.
1	EECCD	Error in ECC unit data	Volatile, Read only	0	1 = Single Bit Error corrected in ECC unit data. 0 = No error.
0	ECCDI	ECC Disabled	Volatile, Read only	0	1 = ECC is disabled in the selected ECC unit. 0 = ECC is enabled in the selected ECC unit.

ECCSR[2] = 1 表示 ECC 中的错误已更正。ECCSR[1] = 1 表示ECC单元数据中的错误已更正。ECCSR[0] = 1 表示 ECC 被禁用。所有这些位的默认状态为“0”，表示没有故障并且可以启用ECC。

ECCSR[7:3]被保留。它们的值（高或低）不确定，每次状态读取的值不一定相同。软件读取状态时，这些位应忽略，而不用考虑。

Address space maps

7.6.7 ASP寄存器 (ASPR)

相关指令：ASP 读取 (ASPRD 2Bh) 和 ASP 编程 (ASPP 2Fh)。

ASP 寄存器是一个 16 位 OTP 内存位置，用于永久配置高级扇区保护 (ASP) 功能的行为。

表 30 ASP寄存器 (ASPR)

Bits	Field name	Function	Type	Default state	Description
15 to 9	RFU	Reserved	OTP	1	Reserved for Future Use
8	RFU	Reserved	OTP	Note ^[44]	Reserved for Future Use
7	RFU	Reserved	OTP		Reserved for Future Use
6	RFU	Reserved	OTP		1
5	RFU	Reserved	OTP	Note ^[44]	Reserved for Future Use
4	RFU	Reserved	OTP		Reserved for Future Use
3	RFU	Reserved	OTP		Reserved for Future Use
2	PWDMLB	Password Protection Mode Lock Bit	OTP	1	0 = Password Protection Mode permanently enabled. 1 = Password Protection Mode not permanently enabled.
1	PSTMLB	Persistent Protection Mode Lock Bit	OTP	1	0 = Persistent Protection Mode permanently enabled. 1 = Persistent Protection Mode not permanently enabled.
0	RFU	Reserved	OTP	1	Reserved for Future Use

保留以供将来使用 (RFU) ASPR[15:3, 0]。

密码保护模式锁定位 (PWDMLB) ASPR[2]：当编程为 0 时，表示永久选择密码保护模式。

持久保护模式锁定位 (PSTMLB) ASPR[1]：编程为 0 时，表示永久选择持久保护模式。PWDMLB 和 PSTMLB 互斥，只能将其中一个编程为零。

7.6.8 密码寄存器 (PASS)

相关指令：密码读取 (PASSRD E7h) 和密码编程 (PASSP E8h)。

表 31 密码寄存器 (PASS)

Bits	Field name	Function	Type	Default state	Description
63 to 0	PWD	Hidden Password	OTP	FFFFFFFF-FFFFFFFFh	Non-volatile OTP storage of 64-bit password. The password is no longer readable after the password protection mode is selected by programming ASP register bit 2 to zero.

注释：

44. 故障值/默认值取决于订购部件号，请参见“初始交付状态”在分页 159。

7.6.9 PPB 锁定寄存器 (PPBL)

相关指令：PPB 锁读取 (PLBRD A7h, PLBWR A6h)

表 32 PPB 锁定注册 (PPBL)

Bits	Field name	Function	Type	Default state	Description
7 to 1	RFU	Reserved	Volatile	00h	Reserved for Future Use
0	PPBLOCK	Protect PPB Array	Volatile	Persistent Protection Mode = 1 Password Protection Mode = 0	0 = PPB array protected until next power cycle or hardware reset 1 = PPB array may be programmed or erased.

7.6.10 PPB 访问寄存器 (PPBAR)

相关指令：PPB 读取 (PPBRD E2h)

表 33 PPB 访问寄存器 (PPBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	PPB	Read or Program per sector PPB	Non-volatile	FFh	00h = PPB for the sector addressed by the PPBRD or PPBP command is programmed to '0', protecting that sector from program or erase operations. FFh = PPB for the sector addressed by the PPBRD or PPBP command is erased to '1', not protecting that sector from program or erase operations.

7.6.11 DYB访问寄存器 (DYBAR)

相关指令：DYB读取 (DYBRD E0h) 和DYB编程 (DYBP E1h)。

表 34 DYB 访问寄存器 (DYBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	DYB	Read or Write per sector DYB	Volatile	FFh	00h = DYB for the sector addressed by the DYBRD or DYBP command is cleared to '0', protecting that sector from program or erase operations. FFh = DYB for the sector addressed by the DYBRD or DYBP command is set to '1', not protecting that sector from program or erase operations.

7.6.12 SPI DDR数据学习寄存器

相关指令：编程 NVDLR (PNVDLR 43h)、写入 VDLR (WVDLR 4Ah)、读取数据学习唤醒类型码(DLPRD 41h)。

数据学习唤醒类型码 (DLP) 驻留在 8 位非易失数据学习寄存器 (NVDLR) 和 8 位易失数据学习寄存器 (VDLR) 中。从英飞凌出厂时，NVDLR 值为 00h。一旦编程，NVDLR 就不能被重新编程或擦除；NVDLR 中的数据模型的副本也将写入 VDLR。VDLR 可以随时写入，但在复位或上电周期时，数据唤醒类型码将恢复到 NVDLR 中的内容。在 SPI DDR 模式中描述的学习过程中，DLP 将来自 VDLR。每个 I/O 将在每个时钟边沿输出相同的 DLP 值。例如，如果 DLP 为 34h（或二进制 00110100），则在第一个时钟边期间，所有 I/O 将输出 0；随后，沿所有 I/O 的第二个时钟边将输出 0，第三个时钟边将输出 1，依此类推。

当 VDLR 值为 00h 时，DDR 指令中的虚拟阶段期间不会出现前导码数据模型码。

表 35 非易失性数据学习寄存器 (NVDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	NVDLP	Non-volatile Data Learning Pattern	OTP	00h	OTP value that may be transferred to the host during DDR read command latency (dummy) cycles to provide a training pattern to help the host more accurately center the data capture point in the received data bits.

表 36 易失性数据学习寄存器 (VDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	VDLP	Volatile Data Learning Pattern	Volatile	Takes the value of NVDLR during POR or Reset	Volatile copy of the NVDLP used to enable and deliver the Data Learning Pattern (DLP) to the outputs. The VDLP may be changed by the host during system operation.

8 数据保护

8.1 安全硅区 (OTP)

该器件有一个 1024 字节一次性编程 (OTP) 地址空间，与主闪存存储器阵列分开。OTP 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

OTP 存储空间旨在提高系统安全性。OTP 值可以将存储器与系统 CPU/ASIC “配对”，以防止器件替换。请参阅“[OTP 地址空间](#)”在分页 55，“[OTP 编程指令](#)”位于分页 118，以及“[OTP 读取指令 \(OTPR 4Bh\)](#)”位于分页 118。

8.1.1 读取 OTP 存储空间

OTP 读取命令使用与快速读取相同的协议。有效 1 kB OTP 地址范围之外的 OTP 读取操作将产生不确定的数据。

8.1.2 编程 OTP 存储空间

OTP 编程指令的协议与页编程相同。OTP 编程指令可以多次发出到任何给定的 OTP 地址，但该地址空间永远不能被擦除。

在对每个 16 字节区域进行第一次编程操作时，将自动对 ECC 进行编程。在 16 字节区域内进行多次编程会禁用 ECC。建议对每个 32 字节区域的每个 16 字节部分编程一次，以便 ECC 保持启用以提供最佳的数据完整性。

[图 45](#) 显示了 OTP 编程的有效地址范围。超出有效地址范围的 OTP 编程操作将被忽略，且 SR1 中的 WEL 将保持高电平（置位为“1”）。FREEZE = 1 时，编程操作将失败，SR1 中的 P_ERR 将置位为“1”。

8.1.3 英飞凌编程随机数

英飞凌的标准做法是使用线性同余随机数方法，用 128 位随机数对 OTP 占用的低电平顺序 16 字节（位置 0x0 至 0xF）进行编程。该算法的种子值是一个随机数，与测试器插入的日期和时间连接起来。

8.1.4 锁定字节

每个锁定字节的 LSB 保护与该字节相关的最低地址区域，MSb 保护与该字节相关的最高地址区域。下一个更高的地址字节同样保护下一个更高的 8 个区域。最低地址锁定字节的 LSB 位保护最低地址区域的较高地址 16 字节。换句话说，位置 0x10 的 LSB 保护最低地址区域中的所有锁定字节和 RFU 字节免遭进一步编程。请参阅“[OTP 地址空间](#)”位于第 55 分页。

8.2 编写使能指令

写入使能 (WREN) 指令必须先于任何修改非易失数据的指令写入。WREN 指令设置写使能锁存器 (WEL) 位。在上电、硬件复位期间或器件完成以下指令后，WEL 位被清除为“0”（禁用写入）：

- 复位
- 分页程序 (pp)
- 扇区擦除 (SE)
- 批量擦除 (BE)
- 写禁止使能 (WRDI)
- 写寄存器 (WRR)
- 四输入分页编程 (QPP)
- OTP 字节编程 (OTPP)

8.3 功能块保护

功能块保护位(状态寄存器位BP2、BP1、BP0)与配置寄存器TBPROT位相结合可用于保护主闪存存储器阵列的地址范围免受编程和擦除操作的影响。范围的大小由BP位的值决定，范围的上限或下限起点由配置寄存器的TBPROT位选择。

表 37 上阵列启动保护 (TBPROT = 0)

Status Register Content			Protected Fraction of Memory Array	Protected Memory (KB) FL512S 512 Mb
BP2	BP1	BP0		
0	0	0	None	0
0	0	1	Upper 64th	1024
0	1	0	Upper 32nd	2048
0	1	1	Upper 16th	4096
1	0	0	Upper 8th	8192
1	0	1	Upper 4th	16384
1	1	0	Upper Half	32768
1	1	1	All Sectors	65536

表 38 下部阵列启动保护 (TBPROT = 1)

Status Register Content			Protected Fraction of Memory Array	Protected Memory (KB) FL512S 512 Mb
BP2	BP1	BP0		
0	0	0	None	0
0	0	1	Lower 64th	1024
0	1	0	Lower 32nd	2048
0	1	1	Lower 16th	4096
1	0	0	Lower 8th	8192
1	0	1	Lower 4th	16384
1	1	0	Lower Half	32768
1	1	1	All Sectors	65536

当功能块保护启用时（即任何BP2-0置位为“1”），高级扇区保护（ASP）仍可用于保护不受功能块保护方案保护的扇区。如果在同一个扇区上同时使用ASP和功能块保护，则使用与该扇区相关的ASP和功能块保护的逻辑或。建议：ASP和功能块保护不要同时使用。使用其中一个，但不要同时使用两者。

8.3.1 冻结位

配置位配置的0是FREEZE位。FREEZE位将状态寄存器1中的BP2-0位和配置寄存器中的TBPROT位锁定为FREEZE位设置为“1”时的值。一旦FREEZE位被写入逻辑1，就不能将其清除为逻辑0，直到执行上电复位为止。只要FREEZE位清除为逻辑0，状态寄存器BP位和配置寄存器的TBPROT位就可写入。当置位为“1”时，FREEZE位还可以保护整个OTP存储空间免遭编程。当FREEZE = 1时，任何使用WRR指令更改BP位的尝试都将被忽略，并且不会置位任何错误状态。

8.3.2 写入保护信号

写保护 (WP#) 输入与状态寄存器写禁止 (SRWD) 位相结合, 提供硬件输入信号控制的保护。当 WP# 为低电平且 SRWD 置位为“1”时, 状态和配置寄存器将受到保护, 不会被更改。这可以防止禁用或更改功能块保护位定义的保护。

8.4 高级扇区保护

高级扇区保护 (ASP) 是独立硬件和软件方法, 用在任何或所有扇区中单独使用禁止或使能编程或擦除操作的名称。总的方法可以参考图 46。

每个扇区的功能块保护和 ASP 保护设置进行逻辑“或”来定义每个扇区的保护, 即如果任一机制正在保护扇区, 则扇区不能被编程或擦除。参见“[功能块保护](#)”在分页 71 有关 BP2-0 位的完整详细信息。

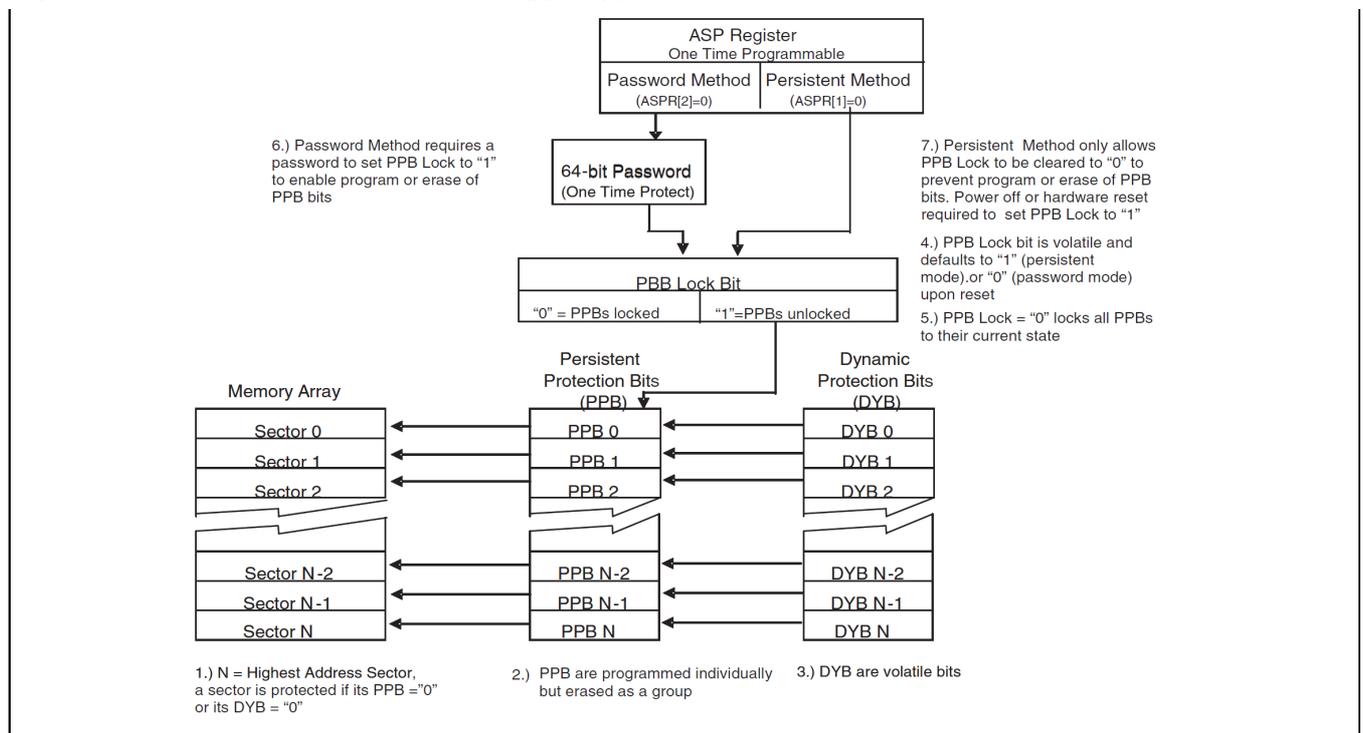


图 46 高级扇区保护概述

每个主闪存阵列扇区都有与其有关的一个非易失性 (PPB) 和一个易失性 (DYB) 保护位。如果某位是‘0’, 则全部扇区受到保护, 从而不能对其执行编程和擦除操作。

PPB锁定位为‘0’时, 不能执行编程和擦除操作。PPB锁定位的状态可通过两种方法进行管理: 持久保护和密码保护。

持久保护方法在POR或硬件复位期间将PPB锁定设为1, 因此进行器件复位后PPB位为不保护状态。可以通过一个指令来将PPB锁定位清除为0, 以保护PPB。持久保护方法没有任何指令可将PPB锁定位设为1, 因此PPB锁定位一直为0, 直到下一次关闭电源或硬件复位为止。持久保护方法允许引导代码通过编程或擦除PPB来更改扇区保护, 然后通过清除PPB锁定位在正常系统操作的剩余时间内保护PPB, 不使其更改。这有时称为引导代码控制的扇区保护。

密码方法在POR或硬件复位期间将PPB锁定位清除为‘0’，以保护PPB。对于密码方法，可以永久地编程并隐藏一个64位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则PPB锁定位设为1，以取消PPB保护。PPB锁定位可以通过一个指令来清除为0。此方法需要使用密码来控制PPB保护。

通过编程锁定寄存器中的OTP位，可以永久性选择要使用的PPB锁定位管理方法。

8.4.1 ASP 寄存器

ASP寄存器用于永久配置高级扇区保护(ASP)功能的行为。参见表30。

从工厂出厂时，所有器件在上电时均默认使用持久保护方法，所有扇区均不受保护。器件编程器或主机系统随后可以选择使用哪种扇区保护方法。对一次性可编程的保护模式锁定位进行编程，可将部件永久锁定在选定的模式下：

- ASPR[2:1] = 11 = 未选择ASP模式，默认为持久保护模式。
- ASPR[2:1] = 10 = 永久选择持久保护模式。
- ASPR[2:1] = 01 = 永久选择密码保护模式。
- ASPR[2:1] = 00 = 非法条件，尝试将两个位都编程为零会导致编程失败。ASP寄存器编程规则：
- 如果选择密码模式，则必须在设置保护模式锁定位之前对密码进行编程。
- 一旦选择了保护模式，保护模式锁定位将受到永久保护，不能被编程，并且不允许对ASP寄存器进行进一步的更改。

ASP寄存器的编程时间与典型的分页编程时间相同。系统可以通过读取状态寄存器中的WIP位来确定ASP寄存器编程操作的状态。请参阅“[状态寄存器 1 \(SR1\)](#)”在分页58有关WIP的信息。

选择扇区保护方式后，每个扇区可以在以下状态下操作：

- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。
- 永久锁定-如果扇区的PPB位为“0”，则该扇区受到保护，无法更改。
- 解锁-扇区不受保护，保护状态可通过一个简单的指令进行更改。

8.4.2 持久保护位 (PPB)

持久保护位(PPB)位于单独的非易失性闪存阵列中。为每个扇区分配一个PPB位。当一个PPB位为0时，相应的扇区受到保护，不能对它执行编程和擦除操作。PPB位可单独编程，但必须按组进行擦除。这与字相似，各个字可以在主阵列中单独编程，但整个扇区必须同时擦除。PPB具有与主闪存阵列相同的编程和擦除寿命。擦除前的预编程和验证由EAC执行。

编程一个PPB位需要典型的字编程时间。擦除所有PPB需要典型的扇区擦除时间。在PPB位编程和PPB位擦除期间，可以通过读取状态寄存器来获取状态。读取PPB位需要器件的最终读取时间。

注释：

每个PPB单独编程为“0”，并且所有PPB并行擦除为“1”。

如果PPB锁定位为0，PPB编程或擦除指令不被执行，并且被超时。

可以使用PPB读取命令来验证给定扇区的PPB状态。

8.4.3 动态保护位 (DYB)

DYB是易失性位，可以单独更改该位。每个扇区只有一个唯一的DYB。DYB只控制那些已清除PPB的扇区的保护。通过发出DYB写入命令，DYB被清除为“0”或置位为“1”，从而分别将每个扇区置于受保护或不受保护的状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。由于DYB是易失性位，因此可以根据需要随时置位或清除。

8.4.4 PPB 锁定位 (PPBL[0])

PPB锁定是一个易失性位，用于保护所有PPB位。清除为0时，它锁定所有PPB；设成1时，允许更改PPB。

PPB锁定指令用于将该位清零。只有当所有PPB位均配置为所需的设置后，才将PPB锁定位清零。

在持久保护模式下，PPB锁定在POR或硬件复位期间被设为1。清除后，所有软件指令序列都不能设置PPB锁定，只有通过硬件复位或上电才能设置PPB锁定位。

在密码保护模式下，PPB锁定位在POR或硬件复位期间被清除为0。PPB锁定只能通过密码解锁指令序列设为1。

8.4.5 扇区保护状态汇总

每个扇区均可以处于下面一种保护状态：

- 解锁-扇区不受保护，保护状态可通过一个简单的指令进行更改。在关开电源或硬件复位后，保护状态默认为不保护。
- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。在关开电源或硬件复位后，保护状态不被保存。
- 持久锁定-扇区受保护，只有将PPB锁定位设置为1时才能更改保护状态。保护状态是非易失性的，在关开电源或硬件复位后仍被保存。更改保护状态需要编程或擦除PPB位。

表 39 扇区保护状态

Protection Bit Values			Sector State
PPB Lock	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
1	1	0	Protected – PPB and DYB are changeable
1	0	1	Protected – PPB and DYB are changeable
1	0	0	Protected – PPB and DYB are changeable
0	1	1	Unprotected – PPB not changeable, DYB is changeable
0	1	0	Protected – PPB not changeable, DYB is changeable
0	0	1	Protected – PPB not changeable, DYB is changeable
0	0	0	Protected – PPB not changeable, DYB is changeable

8.4.6 持久保护模式

持久保护方法在POR或硬件复位期间将PPB锁定设为1，因此进行器件复位后PPB位为不保护状态。软件复位不会影响PPB锁定位。可以通过一个指令来将PPB锁定位清除为0，以保护PPB。持久保护方法没有指令可设置PPB锁定位，因此PPB锁定位将一直为‘0’，直到下一次关闭电源或硬件复位为止。

8.4.7 密码保护模式

PPB密码保护模式使用64位密码来设置PPB锁定，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB锁定还清除为0以确保在上电时提供保护。通过输入整个密码并成功执行密码解锁指令后，PPB锁定位将被清除，从而允许修改扇区PPB。

密码保护注意事项：

- 编程和验证密码后，必须设置密码模式锁定位，以防止读取或修改密码。
- 密码编程指令只能编程“0”。在一个cell编程为‘0’之后，编程‘1’会导致cell保留为‘0’，而不会出现编程错误置位。在将cell编程为“0”之后编程“1”会导致信元保留为“0”，而不会出现编程错误。
- 从英飞凌出厂时，密码64位全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。对密码区域的所有进一步编程和读取命令均被禁用（数据读取为1）并且且忽略。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。
- 保护模式锁定位不可擦除。
- 只有输入准确的密码，才能解锁。如果密码解锁指令提供的密码与隐藏的内部密码不匹配，则解锁操作将失败，其失败方式与受保护扇区上的编程操作相同。P_ERR 位设置为一，WIP 位保持设置。由于缺少有效密码，PPB 锁定位仍然受到保护，因此无法改变其状态。
- 密码解锁命令的接受频率不能快于每 $100 \mu\text{s} \pm 20 \mu\text{s}$ 一次。这样，如果黑客试图通过实现所有64位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。读取状态指令 1 指令可用于读取 WIP 位，以确定器件何时完成密码解锁指令或准备好接受新密码指令。当提供有效密码时，密码解锁指令不会插入 $100 \mu\text{s}$ 延迟，然后就将 WIP × 位返回为“0”。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定。
- 仅可从可读扇区读取 ECC 状态。在读保护模式下，地址被强制为引导扇区地址。ECC状态显示在该扇区中，而读保护模式为有源的。

9 命令

主控系统与S25FL512S存储器器件之间的所有通讯均以指令单元的形式存在。

所有命令都以一条指令开始，该指令选择要执行的信息传输类型或器件操作。命令还可能具有地址、指令修饰符、延时时间、到存储器的数据传输或从闪存的数据传输。主机系统和存储器之间的所有指令、地址和数据信息都是连续传输的。

所有指令都作为SI信号上单独的串行序列从主控传输到存储器。

单独的一个宽指令可以提供仅在SI信号上发送的地址或数据。数据会通过SO信号从存储器串行回送到主机内。

双输出或四输出指令仅在SI信号上提供发送到内存的地址。数据可以按双比特一组的方式通过IO0和IO1从存储器回送到主机，也可以按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3回送。

双线或四线输入/输出（I/O）命令会按双比特一组的方式通过IO0和IO1将主机的数据传输给存储器，或按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3从主机发送，然后传送虚拟周期。数据也可以按照同样的方式按双比特一组的方式通过IO0和IO1，或按四比特（半字节）一组的方式通过IO0、IO1、IO2和IO3回送给主机。

命令结构如下：

- 每个命令都以一个八位（字节）指令开始。
- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。地址可能是24位或32位（字节边界）的地址。
- 具有多个I/O的串行外设接口为每次传输地址和数据信息提供了选项，可以并行传输一位、两位或四位。这使得信号连接数量（I/O总线宽度）和信息传输速度之间能够实现权衡。如果主控系统可以支持2位或4位宽的I/O总线，则可以通过使用提供并行2位（双）或并行4位（四）传输的指令来提高内存性能。
- 在传统的SPI模式下，传输指令后所有传输宽度都由已发送的指令确定。
- 所有单个位或并行位组均按照从最高有效位到最低有效位的顺序进行传输。
- 双线和四线I/O读指令在发送地址后将发送一个指令修饰符（称为连续读取模式位），以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。下一个命令不提供指令字节，只有新地址和模式位。当某个相同命令重复了前序中的命令类型时，会减少发送一个命令所需要的时间。
- 地址或模式位后面可以跟要存储在存储器器件中的写入数据，或者在读取数据返回到主控之前跟随着读取等待时间。
- 读取延时可能为零到几个SCK周期（也称为虚拟周期）。
- 所有指令、地址、模式和数据信息均以字节作最小单位传输。地址首先移入高字节/最高有效位（数据字最左位）的器件。所有数据都以首先发送最低地址字节的方式进行传输。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增。
- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入的操作将继续执行，不会受到任何影响。嵌入操作期间只能接受非常有限的指令配置位。这些在单独的指令描述中进行了讨论。当编程、擦除或写入操作正在进行时，建议在向器件发出大多数指令之前检查写入进度（WIP）位是否为“0”，以确保可以接受新指令。
- 根据指令的不同，执行时间也会有所不同。可以使用从正在执行的指令中读取状态信息的指令来确定指令何时完成执行以及指令是否成功。

Commands

- 虽然在某些情况下，主控软件用于直接控制SPI 接口信号，但主控系统和存储器器件的硬件接口通常处理信号关系和时序的细节。因此，本文中以软件接口为重点的部分不会详细介绍信号关系和时序。相反，本文的重点是每个指令中传输的位的逻辑顺序，而不是信号时序和关系。以下是一些需要记住的一般信号关系描述。有关指令的位电平格式和信号时序关系的更多信息，请参阅“[命令协议](#)”位于第 19 页。
 - 主控始终控制片选 (CS)、串行时钟 (SCK) 和串行输入 (SI) - SI 用于单个的比特位传输。存储器驱动串行输出 (SO) 以进行单个的比特位读取传输。在双路和四路传输期间，主控和内存交替驱动 I/O0-I/O3 信号。
 - 所有指令都是从主控在 SCK 第一个上升沿之前驱动 CS 为低电平来选择存储器开始的。CS 在整个指令中保持低电平，当 CS 返回高电平时，指令结束。通常，CS# 保持低电平八位传输倍数来传输字节粒度信息。如果 CS 返回的高电平不在 8 位边界处，则某些指令将不被接受。

9.1 命令汇总

9.1.1 扩展寻址

为了适应 128 Mb 以上的寻址，有三种选择：

1. 新指令提供 4 字节地址，用于访问/访问高达 32 Gb 的内存。

Instruction name	Description	Code (Hex)
4FAST_READ	Read Fast (4-byte Address)	0C
4READ	Read (4-byte Address)	13
4DOR	Read Dual Out (4-byte Address)	3C
4QOR	Read Quad Out (4-byte Address)	6C
4DIOR	Dual I/O Read (4-byte Address)	BC
4QIOR	Quad I/O Read (4-byte Address)	EC
4DDRFR	Read DDR Fast (4-byte Address)	0E
4DDRDIOR	DDR Dual I/O Read (4-byte Address)	BE
4DDRQIOR	DDR Quad I/O Read (4-byte Address)	EE
4PP	Page Program (4-byte Address)	12
4QPP	Quad Page Program (4-byte Address)	34
4SE	Erase 256 kB (4-byte Address)	DC

2. 为了向后兼容 3 字节地址指令，标准指令可以与组地址寄存器 (BAR[7]) 中的 EXTADD 位结合使用。默认情况下，BAR[7] 被清除为 0（在上电和硬件复位之后），以启用 3 字节（24 位）寻址。当置位为 1 时，旧指令更改为地址字段需要 4 个字节（32 位）。以下指令可与 EXTADD 位结合使用，将地址字段从 3 字节切换到 4 字节。

Commands

Instruction name	Description	Code (Hex)
READ	Read (3-byte Address)	03
FAST_READ	Read Fast (3-byte Address)	0B
DOR	Read Dual Out (3-byte Address)	3B
QOR	Read Quad Out (3-byte Address)	6B
DIOR	Dual I/O Read (3-byte Address)	BB
QIOR	Quad I/O Read (3-byte Address)	EB
DDRF	Read DDR Fast (3-byte Address)	0D
DDRDIOR	DDR Dual I/O Read (3-byte Address)	BD
DDRQIOR	DDR Quad I/O Read (3-byte Address)	ED
PP	Page Program (3-byte Address)	02
QPP	Quad Page Program (3-byte Address)	32
SE	Erase 256 kB (3-byte Address)	D8

3. 为了向后兼容 3 字节寻址，标准指令可以与组地址寄存器结合使用：

- a. 组地址寄存器用于在 128-Mb (16-MB) 内存组之间切换，标准 3 字节地址在由组地址寄存器选择的组中选择一个地址。
 - i. 主控系统将组地址寄存器写入超出前 128 Mb 内存的访问/访问。
 - ii. 这适用于读取、读取和编程指令。
- b. 组寄存器提供地址的高位（第 4 个）字节，用于对大于 16 MB 的可用内存进行寻址。
- c. 组寄存器位是易失性的。
 - i. 开机时，默认为 Bank0（最低地址 16 MB）。
- d. 对于读取，该器件将连续地传输数据，直到阵列结束。
 - i. 不存在组与组之间的延迟。
 - ii. 组地址寄存器未更新。
 - iii. 组地址寄存器值仅用于访问/访问的初始地址。

表 40 组地址映射

Bank Address Register Bits		Bank	Memory Array Address Range (Hex)	
Bit 1	Bit 0			
0	0	0	00000000	00FFFFFF
0	1	1	01000000	01FFFFFF
1	0	2	02000000	02FFFFFF
1	1	3	03000000	03FFFFFF

Commands

表 41 S25FL512S 指令设置位 (按功能排序)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)
Read Device Identification	READ_ID (REMS)	Read Electronic Manufacturer Signature	90	133
	RDID	Read ID (JEDEC Manufacturer ID and JEDEC CFI)	9F	133
	RES	Read Electronic Signature	AB	50
	RSFDP	Read Serial Flash Discoverable Parameters	5A	133
Register Access	RDSR1	Read Status Register-1	05	133
	RDSR2	Read Status Register-2	07	133
	RDCR	Read Configuration Register-1	35	133
	WRR	Write Register (Status-1, Configuration-1)	01	133
	WRDI	Write Disable	04	133
	WREN	Write Enable	06	133
	CLSR	Clear Status Register-1 - Erase/Prog. Fail Reset	30	133
	ECCRD	ECC Read (4-byte address)	18	133
	ABRD	AutoBoot Register Read	14	133 (QUAD = 0) 104 (QUAD = 1)
Register Access	ABWR	AutoBoot Register Write	15	133
	BRRD	Bank Register Read	16	133
	BRWR	Bank Register Write	17	133
	BRAC	Bank Register Access (Legacy Command formerly used for Deep Power Down)	B9	133
	DLPRD	Data Learning Pattern Read	41	133
	PNVDLR	Program NV Data Learning Register	43	133
	WVDLR	Write Volatile Data Learning Register	4A	133

Commands

表 41 S25FL512S 指令设置位 (按功能排序) (续)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)
Read Flash Array	READ	Read (3- or 4-byte address)	03	50
	4READ	Read (4-byte address)	13	50
	FAST_READ	Fast Read (3- or 4-byte address)	0B	133
	4FAST_READ	Fast Read (4-byte address)	0C	133
	DDRF	DDR Fast Read (3- or 4-byte address)	0D	80
	4DDRF	DDR Fast Read (4-byte address)	0E	80
	DOR	Read Dual Out (3- or 4-byte address)	3B	104
	4DOR	Read Dual Out (4-byte address)	3C	104
	QOR	Read Quad Out (3- or 4-byte address)	6B	104
	4QOR	Read Quad Out (4-byte address)	6C	104
	DIOR	Dual I/O Read (3- or 4-byte address)	BB	104
	4DIOR	Dual I/O Read (4-byte address)	BC	104
	DDRDIOR	DDR Dual I/O Read (3- or 4-byte address)	BD	80
	4DDRDIOR	DDR Dual I/O Read (4-byte address)	BE	80
	QIOR	Quad I/O Read (3- or 4-byte address)	EB	104
	4QIOR	Quad I/O Read (4-byte address)	EC	104
Program Flash Array	PP	Page Program (3- or 4-byte address)	02	133
	4PP	Page Program (4-byte address)	12	133
	QPP	Quad Page Program (3- or 4-byte address)	32	80
	QPP	Quad Page Program - Alternate instruction (3- or 4-byte address)	38	80
	4QPP	Quad Page Program (4-byte address)	34	80
	PGSP	Program Suspend	85	133
	PGRS	Program Resume	8A	133
Erase Flash Array	BE	Bulk Erase	60	133
	BE	Bulk Erase (alternate command)	C7	133
	SE	Erase 256 kB (3- or 4-byte address)	D8	133
	4SE	Erase 256 kB (4-byte address)	DC	133
	ERSP	Erase Suspend	75	133
	ERRS	Erase Resume	7A	133
One Time Program Array	OTPP	OTP Program	42	133
	OTPR	OTP Read	4B	133

表 41 S25FL512S 指令设置位 (按功能排序) (续)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)
Advanced Sector Protection	DYBRD	DYB Read	E0	133
	DYBWR	DYB Write	E1	133
	PPBRD	PPB Read	E2	133
	PPBP	PPB Program	E3	133
	PPBE	PPB Erase	E4	133
	ASPRD	ASP Read	2B	133
	ASPP	ASP Program	2F	133
	PLBRD	PPB Lock Bit Read	A7	133
	PLBWR	PPB Lock Bit Write	A6	133
	PASSRD	Password Read	E7	133
	PASSP	Password Program	E8	133
Reset	PASSU	Password Unlock	E9	133
	RESET	Software Reset	F0	133
Reserved for Future Use	MBR	Mode Bit Reset	FF	133
	MPM	Reserved for Multi-I/O-High Perf Mode (MPM)	A3	133
RFU	Reserved-18	Reserved	18	
RFU	Reserved-E5	Reserved	E5	
RFU	Reserved-E6	Reserved	E6	

9.1.2 读取器件标识

有多个指令可以读取有关器件制造商、器件类型和器件功能的信息。不同供应商的SPI存储器使用不同的指令和格式来读取有关存储器的信息。S25FL512S 器件支持三种最常见的器件信息指令。

9.1.3 寄存器读或写

有多个寄存器用于报告嵌入式操作状态或控制器件配置选项。有读取或写入这些寄存器的指令。寄存器包含易失性位和非易失性位。寄存器中的非易失性位将被自动擦除并编程为单个（写入）操作。

9.1.3.1 监控运行状态

主控系统可以通过监视状态寄存器中的WIP位来确定写入、编程、唤醒、挂起或其他嵌入式操作何时完成。读取状态寄存器 1 指令提供 WIP 位的状态。状态寄存器中的编程错误 (P_ERR) 和擦除错误 (E_ERR) 位指示最近的编程或擦除指令是否未成功完成。当 P_ERR 或 E_ERR 位置位为 1 时, WIP 位将保持置位为 1, 表明器件仍处于忙状态。在此条件下, 仅应发出 CLSR、WRDI、RDSR1、RDSR2 和软件复位指令。必须先发送清除状态寄存器 (CLSR), 然后发送写禁止使能 (WRDI) 指令, 才能将器件返回到待机状态。CLSR 清除 WIP、P_ERR 和 E_ERR 位。WRDI 清除 WEL 位。或者, 可以使用硬件复位或软件复位 (复位) 将器件返回到待机状态。

9.1.3.2 拓扑结构

有一些指令用于读取、写入和保护寄存器，这些指令控制接口路径宽度、接口地址、接口地址长度以及数据保护的某些方面。

9.1.4 读取闪存阵列

数据可以从任意字节界限开始从存储器中读取。数据字节按顺序从逐渐升高的字节地址读取，直到主控通过驱动 CS# 输入高电平来结束数据传输。如果字节地址达到闪存阵列的最大地址，则读取将从阵列的地址零继续。

有几种不同的读取指令来指定不同的访问延时和数据路径位宽。双倍数据速率(DDR) 指令还定义了 SCK 两个边沿的地址和数据位关系：

- 地址读取命令在 SI 信号上的每个 SCK 上升沿提供一个位，读取数据在 SO 信号上的每个 SCK 下降沿返回一个单独的位。该指令在地址和返回数据之间具有 0 延时，但最大 SCK 速率限制为 50 MHz。
- 其他读指令在地址和返回数据之间有延时时间，但可以在更高的 SCK 频率下操作。延迟取决于配置寄存器延迟代码。
- 地址快速读取命令在 SI 信号上的每个 SCK 上升沿提供一个位，读取数据在 SO 信号上的每个 SCK 下降沿返回一个单独的位，并且可以操作高达 133 MHz。
- 双输出或四输出读取指令在 SI / I/O0 信号的每个 SCK 上升沿提供分别一位读取数据，返回两位，或在 I/O0-I/O3 信号的每个 SCK 下降沿提供四位数据。
- 双路或四路 I/O 读取指令在 I/O0-I/O3 信号上每个 SCK 上升沿提供两位或四位读取数据，每个 SCK 下降沿返回两位或四位数据。
- 快速（单）、双或四倍数据速率读取指令在每个 SCK 边沿提供一位、两位或四位数据，读取数据在 I/O0-I/O3 信号上的每个 SCK 边沿返回一位、两位或四位数据。双倍数据率 (DDR) 操作仅支持 3 至 3.6V 的内核和 I/O 电压。

9.1.5 编程闪存阵列

编程数据需要两个指令写入使能 (WREN) 和分页程序 (pp 或 QPP) 。分页编程指令接受 1 字节到 512 个连续字节的数据 (分页) 在一次操作中进行编程。编程意味着位可以保留为“1”，或者从“1”编程为“0”。将位从“0”更改为“1”需要擦除操作。

9.1.6 擦除闪存阵列

扇区擦除 (SE) 和批量擦除 (BE) 指令将扇区或整个存储器阵列中的所有位设置为“1”。需要先将某位擦除为“1”，然后编程才能将其更改为“0”。虽然可以对位进行从‘1’到‘0’的单独编程，但从‘0’到‘1’的擦除位必须在扇区擦除 (SE) 或批量擦除 (BE) 来完成。

9.1.7 OTP、功能块保护和高级扇区保护

有一些指令可以读取和编程一个单独的一次性编程 (OTP) 格式，用于永久性数据，例如序列号。有一些指令可以控制一个连续的扇形区组 (功能块)，这些扇形区受到编程和擦除操作的保护。有指令可以控制某些单独的扇区，针对编程和擦除操作的保护。

9.1.8 复位

有一个指令可以在器件通电后恢复到默认状态。有一个指令用于复位 (退出) 增强型性能读取模式。

9.1.9 预留

某些指令保留供将来使用。在这一代 S25FL512S 中，其中一些指令可能未使用并且不会影响器件操作，有些指令可能会产生未定义的结果。

保留一些指令是为了确保允许使用传统或备用源器件指令而不受影响。这允许旧版软件发出一些与当前 S25FL512S 器件无关的指令，同时保证这些指令不会导致某些意外操作。

一些指令被保留用于本文档未涉及的 FL-S 特殊版本或未来版本。这使得新的主控存储控制器设计能够灵活地规划发出这些指令指令。如果在发布此文档修订版时已知，则定义指令格式。

9.2 器件识别命令

9.2.1 读取标识 - REMS (Read_ID 或 REMS 90h)

READ_ID 指令标识器件制造商 ID 和器件 ID。该指令也称为读取电子制造商和器件签名 (REMS)。READ_ID (REMS) 仅支持向后兼容，不应用于新的软件设计。新的软件设计应该使用 RDID 指令。

该命令通过在 SI 上移位指令代码“90h”后跟 24 位地址 00000h 来启动。随后，制造商 ID 和器件 ID 在地址之后的 SCK 下降沿开始在 SO 上移出。制造商 ID 和器件 ID 总是先移出 MSb。如果 24 位地址设置为 000001h，则首先读取器件 ID，然后读取制造商 ID。制造商 ID 和器件 ID 输出数据在地址 000000H 和 000001H 之间切换，直到由 CS 输入上的低电平到高电平转换终止。READ_ID 指令的最大时钟频率为 133 MHz。

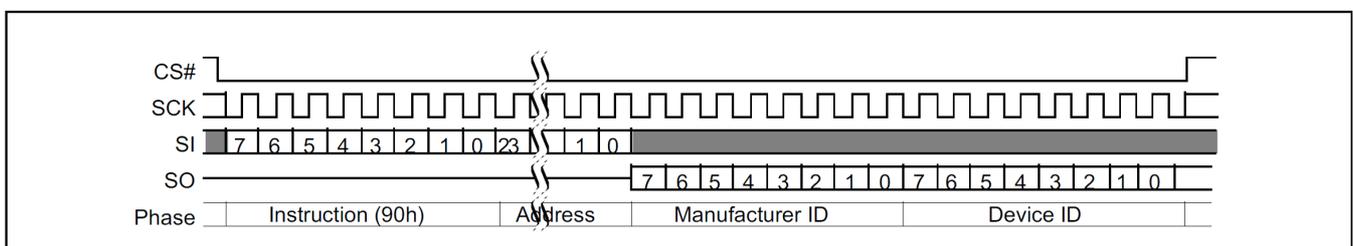


图 47 READ_ID (90h) 指令序列

表 42 Read_ID 值

Device	Manufacturer ID (hex)	Device ID (hex)
S25FL512S	01	19

9.2.2 读取标识 (RDID 9Fh)

读取标识 (RDID) 指令提供对制造商标识、器件标识和通用挂钩接口 (CFI) 信息的读取访问。制造商标识由 JEDEC 分配。CFI 结构由 JEDEC 标准定义。器件标识和 CFI 值由 Infineon 指定。

JEDEC 通用闪存接口 (CFI) 规范定义了一个器件信息结构，该结构允许供应商指定的软件闪存管理程序 (驱动) 用于整个系列的闪存存储器。软件支持可以与器件无关、与 JEDEC 制造商 ID 无关，并且可以向后兼容指定的闪存器件系列。系统供应商可以通过使用 CFI 值从正在使用的器件的 CFI 信息配置系列驱动来标准化闪存驱动程序，以实现长期软件兼容性。

在编程、擦除或写周期正在进行时发出的任何 RDID 指令都将被忽略，并且对正在进行的编程、擦除或写周期的执行没有影响。

RDID 指令在 SI 上移位。当 RDID 指令最后一位移入器件后，SO 上将依次移出 1 字节制造商标识、2 字节器件标识、扩展器件标识、CFI 信息。总的来说，该信息称为 ID-CFI。参见“ID-CFI 地址空间”在分页 54 有关 ID-CFI 内容的详细描述。

继续将输出移出定义的 ID-CFI 地址空间的末尾将提供未定义的数据。在数据输出期间，随时将 CS 驱动至 Logic 高状态即可终止 RDID 指令序列。

RDID 指令的最大时钟频率为 133 MHz。

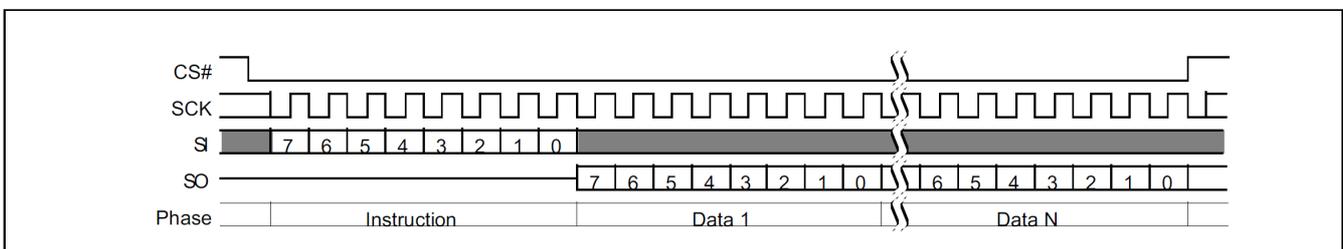


图 48 读取标识 (RDID 9Fh) 指令序列

9.2.3 读取电子签名 (RES) (ABh)

RES 指令用于从 SO 读取单个字节电子签名。RES 仅支持向后兼容，不应用于新的软件设计。新的软件设计应该使用 RDID 指令。

RES 指令移入，随后将三个虚拟字节移至 SI。当三个虚拟字节的最后一个字节移入器件后，电子签名的一个字节将从 SO 中移出。每个位由 SCK 的下降沿移出。RES 指令的最大时钟频率为 50 MHz。

通过应用八个时钟周期的倍数，可以重复读取电子签名。

在数据输出期间的任何时候，通过将 CS 驱动至逻辑高状态来终止 RES 指令序列。

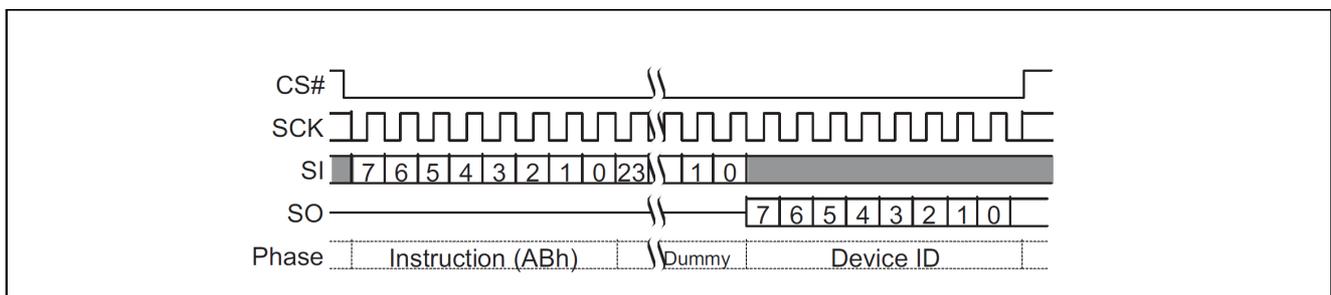


图49 读取电子签名 (RES ABh) 指令序列

表 43 RES 值

Device	Device ID (hex)
S25FL512S	19

9.2.4 读取串行闪存设备可发现的参数(RSFDP 5Ah)

该命令通过在 SI 上移位指令代码“5Ah”来启动，后跟 24 位地址 000000h，然后是八个虚拟周期。然后，在八个虚拟周期之后，从 SCK 的下降沿开始，SFDP 字节在 SO 上移出。SFDP 字节总是先移出 MSb。

如果将 24 位地址置位为任何其他值，则 SFDP 空间中选定的位置即为数据读取的起点。这使得能够对 SFDP 空间中的任何参数进行随机访问。RSFDP 指令的最大时钟频率为 133 MHz。

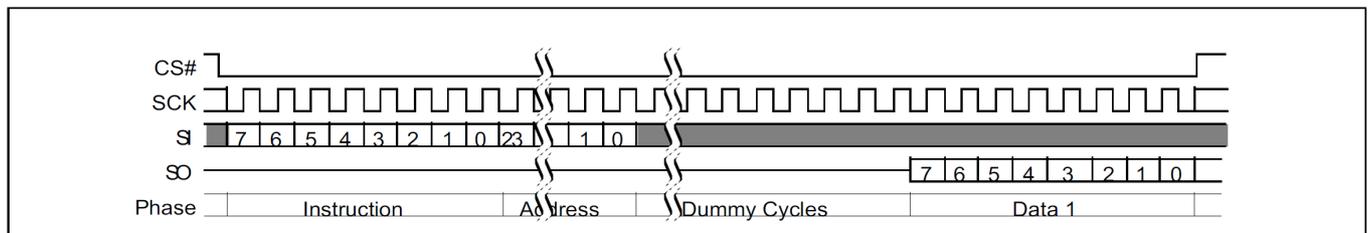


图 50 RSFDP 指令序列

9.3 寄存器访问指令

9.3.1 读取状态寄存器-1 (RDSR1 05h)

读取状态寄存器 1 (RDSR1) 指令允许从 SO 读取状态寄存器 1 的内容。状态寄存器 1 的内容可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。通过提供八个时钟周期的倍数，可以连续读取状态寄存器 1。每读取八个周期就会更新一次状态。RDSR1 (05h) 指令的最大时钟频率为 133 MHz。

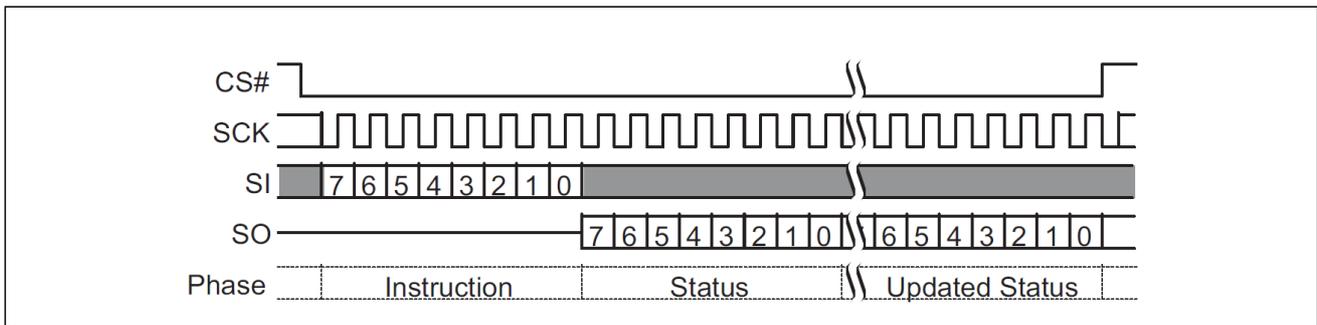


图 51 读取状态寄存器 1 (RDSR1 05h) 指令序列

9.3.2 读取状态寄存器-2 (RDSR2 07h)

读取状态寄存器 (RDSR2) 指令允许从 SO 读取状态寄存器-2 内容。状态寄存器 2 的内容可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。通过提供八个时钟周期的倍数，可以连续读取状态寄存器 2。每读取八个周期就会更新一次状态。RDSR2 指令的最大时钟频率为 133 MHz。

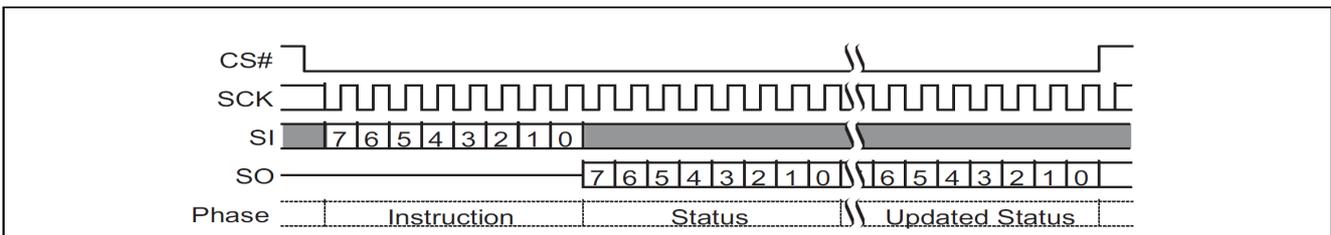


图 52 读取状态寄存器 2 (RDSR2 07h) 指令序列

9.3.3 读取配置寄存器 (RDCR 35h)

读取配置寄存器 (RDCR) 指令允许从 SO 读取配置寄存器内容。通过提供八个时钟周期的倍数，可以连续读取配置寄存器。可以随时读取配置寄存器的内容，即使在编程、擦除或写入操作进行时也是如此。

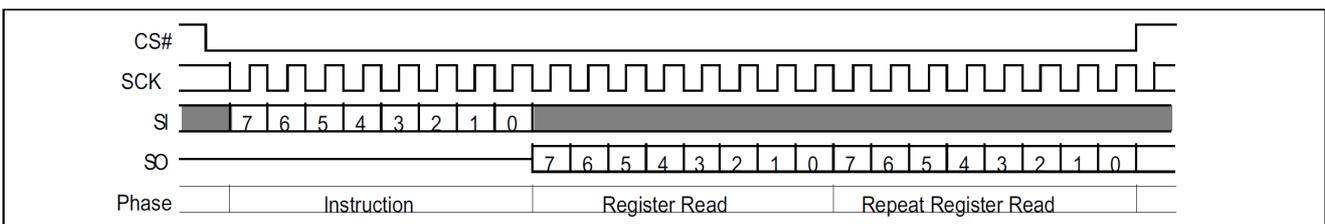


图 53 读取配置寄存器 (RDCR 35h) 指令序列

9.3.4 组寄存器读取 (BRRD 16h)

读取组寄存器 (BRRD) 指令允许从 SO 读取组地址寄存器内容。指令首先从 SI 移入，然后 8 位组寄存器从 SO 移出。通过提供八个时钟周期的倍数，可以连续读取组寄存器。BRRD 指令的最大工作时钟频率为 133 MHz。

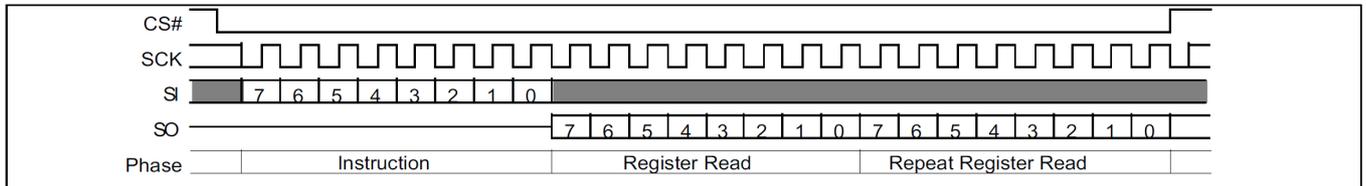


图 54 读取组寄存器 (BRRD 16h) 指令

9.3.5 组寄存器写入 (BRWR 17h)

组寄存器写入 (BRWR) 指令用于将 A23 以上的地址位写入地址组寄存器 (BAR)。该指令也用于写入同样位于 BAR[7] 中的扩展地址控制位 (EXTADD)。当使用 3 字节地址指令而不启用扩展寻址 (BAR[7] EXTADD = 0) 时，BAR 提供超过 128 Mb (16 MB) 的设备所需的高位地址。因为该指令是寻址方法的一部分，并且不会改变闪存中的数据，所以该指令不需要在它之前使用 WREN 指令。

输入 BRWR 指令，然后输入 SI 上的数据字节。组寄存器的长度为一数据字节。

BRWR 指令对状态和配置寄存器的 P_ERR、E_ERR 或 WIP 位没有影响。任何为将来保留的组地址位应始终写为 0。

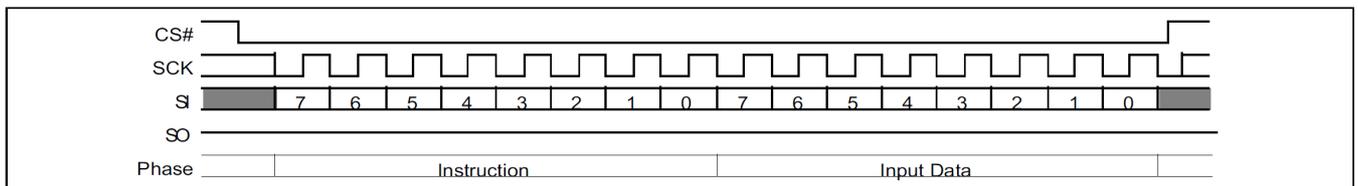


图 55 组寄存器写入 (BRWR 17h) 指令

9.3.6 组寄存器访问 (BRAC B9h)

组寄存器读取和写入指令提供对组地址寄存器 (BAR) 的完整访问，但它们都是传统SPI内存设备中不存在的指令。主控系统SPI存储控制器接口可能无法轻松支持此类新指令。寄存器访问/访问 (BRAC) 指令组使用与传统SPI存储器中可用的深度掉电 (DPD) 指令相同的指令代码和格式。FL-S 家族不支持 DPD 特性，但将此传统指令代码分配给 BRAC 指令，以便能够对能够发送传统 DPD (B9h) 指令的传统系统的组地址寄存器进行写访问。

当发送 BRAC 指令时，FL-S 家族器件会将紧随其后的写入寄存器 (WRR) 指令解释为写入 BAR 的低地址位。BRAC 和 WRR 指令之间不使用 WREN 指令。仅使用 WRR 指令代码后面的第一个数据字节的低两位来加载 BAR[1:0]。该字节的高位和可选 WRR 指令第二个数据字节的内容将被忽略。执行 WRR 指令后，对 BAR 的访问将关闭，器件接口将返回到备用状态。组合的 BRAC 与 WRR 指令序列对 ExtAdd × (BAR[7]) 的值没有影响。

除 WRR 之外的其他指令可以紧跟在 BRAC 之后并正常执行。然而，除了 WRR 之外的任何指令，或者在 BRAC 指令之后 CS 变为低电平并返回高电平的任何其他序列，都将关闭对 BAR 的访问，并返回到 WRR 指令的正常解释，即写入状态寄存器 1 和配置寄存器。

仅当设备处于待机、编程挂起或擦除暂停状态时，才允许使用 BRAC + WRR 序列。当器件执行嵌入式算法或程序 (P_ERR) 或软件 (E_ERR) 状态位置位为“1”时，该指令序列是非法的。

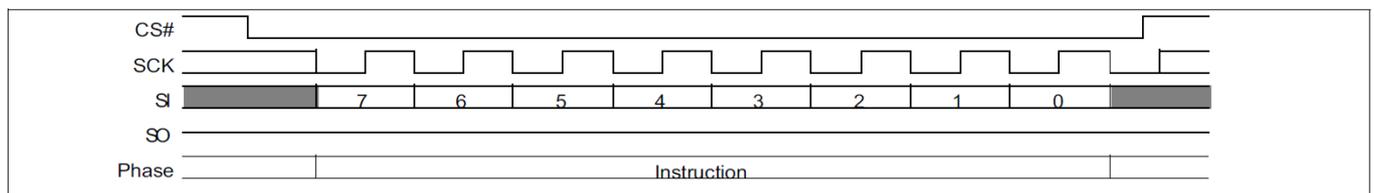


图 56 BRAC (B9h) 指令序列

9.3.7 写入寄存器 (WRR 01h)

Write Registers (WRR) 指令允许将新值写入状态寄存器1和配置寄存器。在器件接受写寄存器 (WRR) 指令之前，必须接收写使能 (WREN) 指令。成功解码写入使能 (WREN) 指令后，器件将在状态寄存器中置位写入使能锁存器 (WEL)，以允许任何写入操作。

通过在 SI 上移位指令和数据字节来输入写入寄存器 (WRR) 命令。状态寄存器的长度为一个数据字节。

如果 WRR 操作失败，写寄存器 (WRR) 指令将置位 P_ERR 或 E_ERR 位。任何为将来保留的状态或配置寄存器位都必须写入“0”。

锁存第八位或第十六位数据后，必须将 CS# 驱动至逻辑高状态。如果不是，则不会执行写寄存器 (WRR) 指令。如果 CS# 在第八个周期后被驱动为高电平，则仅写入状态寄存器-1；否则，在第十六个周期后，状态寄存器和配置寄存器都会被写入。当配置寄存器 QUAD 位 CR[1] 为“1”时，只能使用具有 16 个数据位的 WRR 指令格式。

一旦 CS# 被驱动到逻辑高电平状态，自定时写入寄存器 (WRR) 操作就会启动。当写入寄存器 (WRR) 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时写寄存器 (WRR) 操作期间为“1”，完成时为“0”。当写寄存器 (WRR) 操作完成时，写能力锁存器 (WEL) 被置位为‘0’。

WRR 指令必须在持续供电下执行。WRR 指令的最大时钟频率为 133 MHz。

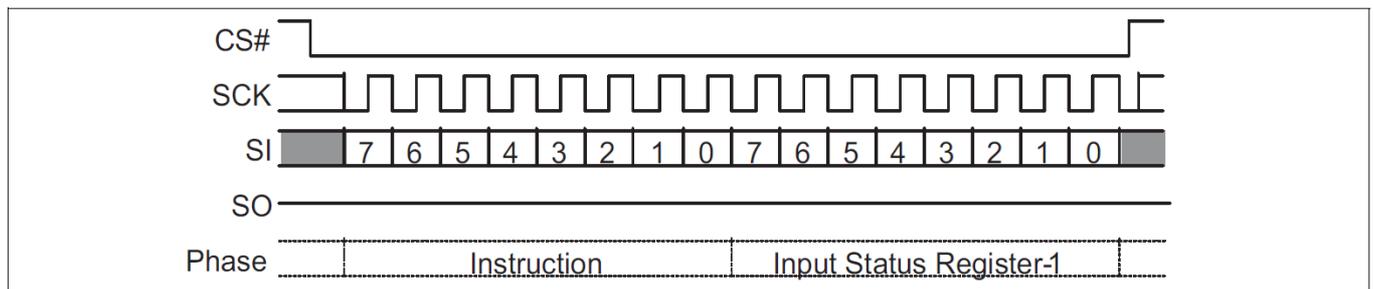


图 57 写寄存器 (WRR 01h) 指令序列 - 8 个数据位

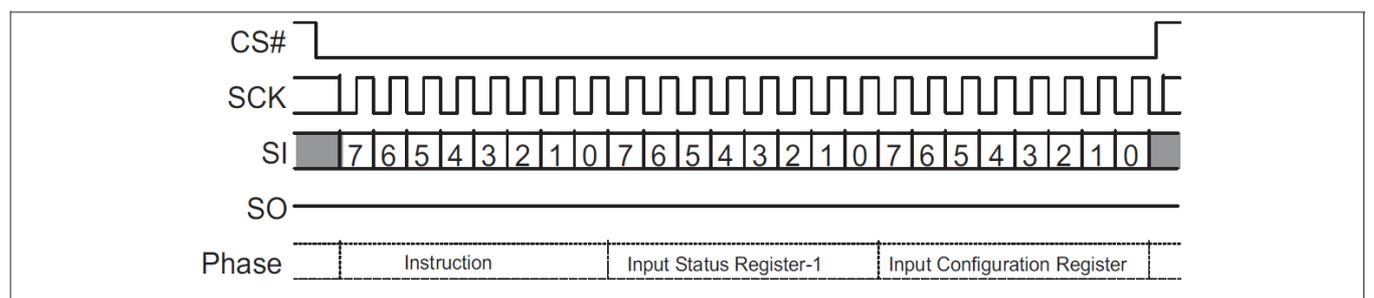


图 58 写寄存器 (WRR 01h) 指令序列 - 16 个数据位

写寄存器 (WRR) 指令允许用户更改功能块保护 (BP2、BP1 和 BP0) 位的值，以定义要视为只读的区域的大小。写入寄存器 (WRR) 指令还允许用户将状态寄存器写入禁止使能 (SRWD) 位设置为“1”或“0”。状态寄存器写失效，不能使能 (SRWD) 位和写保护 (WP#) 信号允许 BP 位受到硬件保护。

Commands

当状态寄存器的写禁用(SRWD) 位为“0”（其初始交付状态）时，只要写入使能锁存器 (WEL) 位先前已被写入使能 (WREN) 指令置位，就可以写入状态寄存器，无论写入保护 (WP#) 信号是否被驱动为逻辑高电平或逻辑低电平状态。

当状态寄存器的写禁止使能(SRWD) 位设置为“1”时，需要考虑两种情况，具体取决于写保护 (WP#) 的状态：

- 如果写保护 (WP#) 信号被驱动为逻辑高状态，则可以写入状态和配置寄存器，前提是写能力锁存器 (WEL) 位先前已通过启动写能力 (WREN) 指令设置为“1”。
- 如果写保护 (WP#) 信号被驱动为逻辑低电平状态，则即使写使能锁存器 (WEL) 位先前已通过写使能 (WREN) 指令设置为“1”，也不可能写入状态和配置寄存器。写入状态和配置寄存器的尝试将被拒绝，并且不被接受执行。因此，受状态寄存器的功能块保护 (BP2、BP1、BP0) 位保护的闪存区域中的所有数据字节也受到WP#的硬件保护。

WP# 硬件保护可提供：

- 将写保护 (WP#) 信号驱动至逻辑低电平状态后，通过设置状态寄存器写禁止使能 (SRWD) 位；
- 或者在将状态寄存器写禁用 (SRWD) 位设置为“1”后，将写保护 (WP#) 信号驱动至逻辑低电平状态。

释放硬件保护的唯一方法是将写保护 (WP#) 信号拉至逻辑高电平状态。如果 WP# 一直处于高电平，则 BP 位的硬件保护就永远不会被激活。

表 44 功能块保护模式

WP#	SRWD Bit	Mode	Write protection of registers	Memory content	
				Protected area	Unprotected area
1	1	Software Protected	Status and Configuration Registers are Writable (if WREN command has set the WEL bit). The values in the SRWD, BP2, BP1, and BP0 bits and those in the Configuration Register can be changed	Protected against Page Program, Quad Input Program, Sector Erase, and Bulk Erase	Ready to accept Page Program, Quad Input Program and Sector Erase commands
1	0				
0	0				
0	1	Hardware Protected	Status and Configuration Registers are Hardware Write Protected. The values in the SRWD, BP2, BP1, and BP0 bits and those in the Configuration Register cannot be changed	Protected against Page Program, Sector Erase, and Bulk Erase	Ready to accept Page Program or Erase commands

如果 WRR 指令紧跟在 BRAC 指令后面，则 WRR 指令具有加载组地址寄存器的替换功能。请参阅“[组寄存器访问 \(BRAC B9h\)](#)” 位于分页 88。

注释：

- 45.当器件首次从 Infineon 出厂给客户时，状态寄存器最初显示 00h。
- 46.当启用四线模式时（配置寄存器中的 QUAD 位 = 1），硬件保护被禁用。WP#变为 I/O2；因此无法使用。

Commands

9.3.8 写入使能 (WREN 06h)

写入使能 (WREN) 指令将状态寄存器 1 (SR1[1]) 的写入使能锁存器 (WEL) 位设置为“1”。写入使能锁存器 (WEL) 位必须通过发出写入使能 (WREN) 指令置位为“1”以进行写入、编程和写入指令。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令字节的第八位被锁存在 SI 上之后，如果 CS# 没有被驱动到逻辑高电平状态，那么写使能操作将不会被执行。

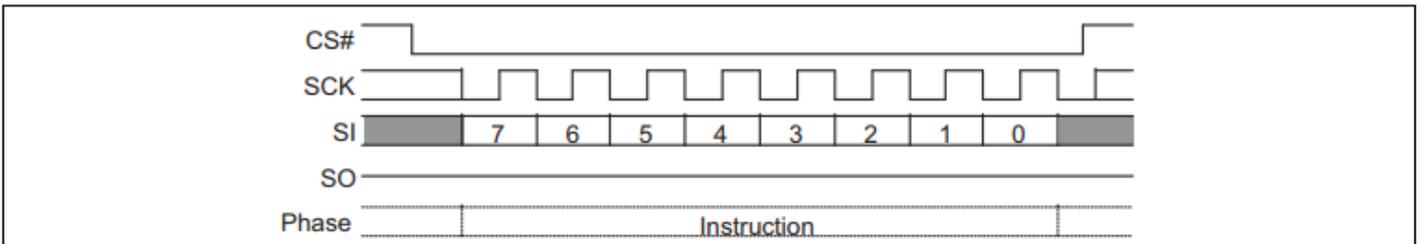


图 59 写入使能 (WREN 06h) 指令序列

9.3.9 写禁用 (WRDI 04h)

写禁用 (WRDI) 指令将状态寄存器 1 (SR1[1]) 的写使能锁存器 (WEL) 位设置为“0”。

写使能锁存器 (WEL) 位可以通过发出写禁用 (WRDI) 指令来置位为 '0'，指令为失效，不使能分页编程 (pp)、扇区擦除 (SE)、批量擦除 (BE)、写寄存器 (WRR)、OTP 编程 (OTPP) 和其他指令，这些指令要求 WEL 置位为 '1' 才能执行。用户可以使用 WRDI 指令来保护闪存区域，防止意外写入，从而可能损坏闪存内容。当 WIP 位 = 1 时，嵌入式操作期间 WRDI 指令将被忽略。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。在指令的第八位字节被锁存到 SI 上之后，如果 CS 没有被驱动到逻辑高状态，则写禁止使能操作将不会被执行。

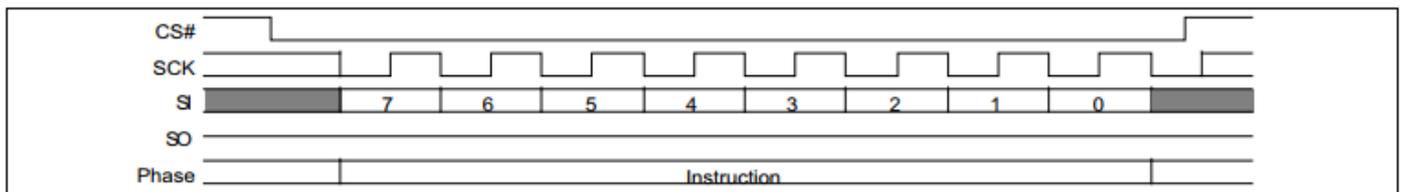


图 60 写禁用 (WRDI 04h) 指令序列

9.3.10 清零，复位状态寄存器 (CLSR 30h):

清零，复位状态指令复位 SR1[5] (擦除失败标志) 和位 SR1[6] (编程失败标志)。在执行清零，复位 SR 指令之前，无需置位 WEL 位。即使器件保持忙且 WIP 置位为“1”，清零，复位 SR 指令也会被接受，因为当任一故障位为置位时器件确实保持忙。该指令执行后，WEL 位不会改变。

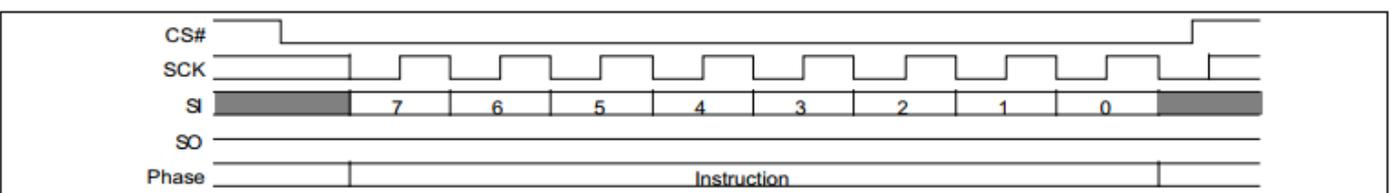


图 61 清零，复位状态寄存器 (CLSR 30h) 指令序列

Commands

9.3.11 ECC 状态寄存器读取 (ECCRD 18h)

要读取 ECC 状态，指令后跟 ECC 单位（32 字节）地址，地址的五个最低有效位 (LSb) 必须置位为零。接下来是由 CR2V[3:0] 中的读取延迟值选择的虚拟周期数。然后，对于所选的 8 位 ECC 单元寄存器的内容在 SO 上移出 16 次，每次移出一字节 ECC 单元。如果 ECC CS 保持低电平，则通过 ECC SO/I/O1 发送下一个 ECC 单元状态 16 次，每次移出一字节 ECC 单元，这将持续到 CS 变为高电平。ECC 读取命令的最大工作时钟频率为 133 MHz。有关 ECC 单位的详细信息，请参阅“[自动 ECC](#)”位于页 111。

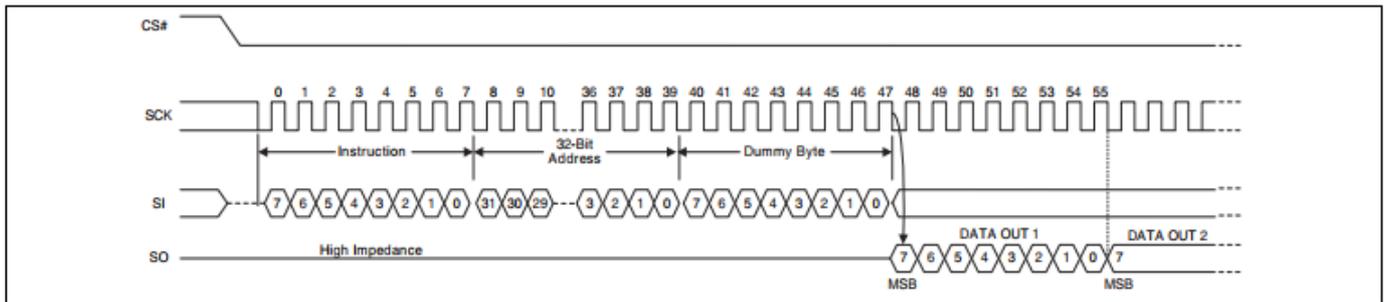


图 62 ECC 状态读取命令序列

9.3.12 自动启动

SPI 设备通常需要 32 个或更多周期的指令和地址转换才能启动读取命令。并且，为了从 SPI 器件读取引导代码，主控存储控制器或处理器必须从硬连线状态机或某些主控处理器内部 ROM 代码提供读取命令。并行 NOR 设备只需要一个初始地址（在单个周期内并行提供）和初始访问时间即可开始读取引导代码。自动启动特点允许主控存储控制器在复位结束后立即从 S25FL512S 器件获取引导代码，而无需发送读取命令。这节省了 32 个或更多的周期，并简化了启动读取引导代码所需的逻辑。

- 作为电源复位、硬件复位或指令复位过程的一部分，自动启动特点自动从预先指定的地址开始读取访问/访问。当复位过程完成时，器件就准备好从起始地址传送代码。主控存储控制器只需将 CS 信号从高电平驱动到低电平，并开始切换 SCK 信号。S25FL512S 器件将在代码流出之前将代码输出延迟预先指定的时钟周期数。
 - 自动启动寄存器的自动启动启动延迟 (ABSD) 字段指定主控需要的初始延迟。
 - 在此期间主控不能发送指令。
 - 如果 ABSD = 0，则最大 SCK 频率为 50 MHz。
 - 如果 ABSD > 0，如果 QUAD 位 CR1[1] 为 0，则最大 SCK 频率为 133 MHz；如果 QUAD 位设置为“1”，则最大 SCK 频率为 104 MHz。
- 引导代码的起始地址由编程到自动引导寄存器的自动引导起始地址 (ABSA) 字段中的值选择，该字段指定 512 字节边界对齐位置；默认地址是 00000000h。
 - 数据将持续移出，直到 CS# 返回高电平。
- 在传输第一个数据字节后的任何时刻，当 CS 返回高电平时，SPI 器件将复位为标准 SPI 模式；能够接受正常的指令操作。
 - 必须传输至少一个字节。
 - 直到发生下一个上电或复位，自动启动模式才会再次启动。
- 自动启动使能位 (ABE) 是用于使自动启动使能的设置。

Commands

自动启动寄存器位是非易失性的，并提供：

- 起始地址（512 字节边界），由自动启动起始地址 (ABSA) 置位。对于高达 32 Gbit 的设备，ABSA 字段的大小为 23 位。
- 初始延迟周期数，由自动启动延时 (ABSD) 8 位计数值设置。
- 自动启动功能。

如果配置寄存器 QUAD 位 CR1[1] 设置为“1”，则将以与 Read Quad Out 指令相同的方式每周期提供 4 位引导代码。如果 QUAD 位为“0”，则代码以与读取命令相同的方式串行传送。

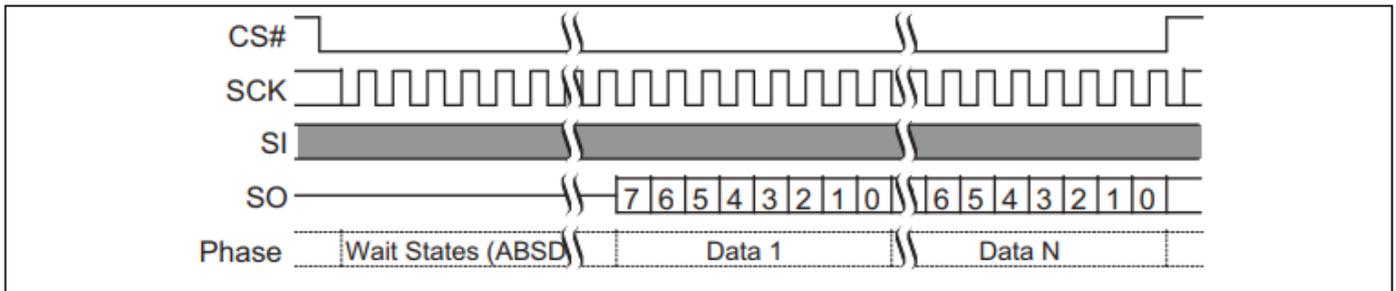


图 63 自动启动序列 (CR1[1] = 0)

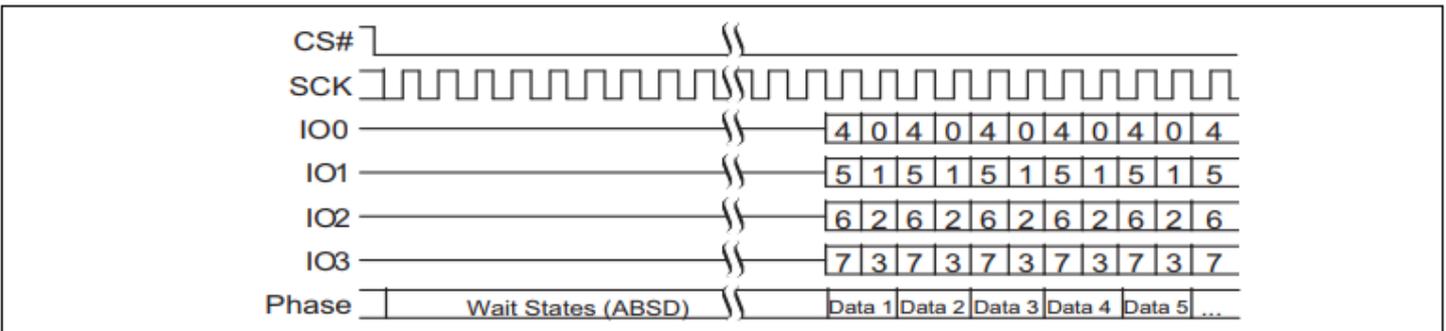


图 64 自动启动序列 (CR1[1] = 1)

9.3.13 自动启动寄存器读取 (ABRD 14h)

自动启动寄存器读取命令被移入 SI。然后将 32 位自动启动寄存器移出 SO，先移出低字节/最低有效位，再移出每个字节的最高有效位。通过提供 32 个时钟周期的倍数，可以连续读取自动启动寄存器。如果 QUAD 位 CR1[1] 被清除为“0”，则 ABRD 指令的最大工作时钟频率为 133 MHz。如果 QUAD 位 CR1[1] 设置为“1”，则 ABRD 指令的最大工作时钟频率为 104 MHz。

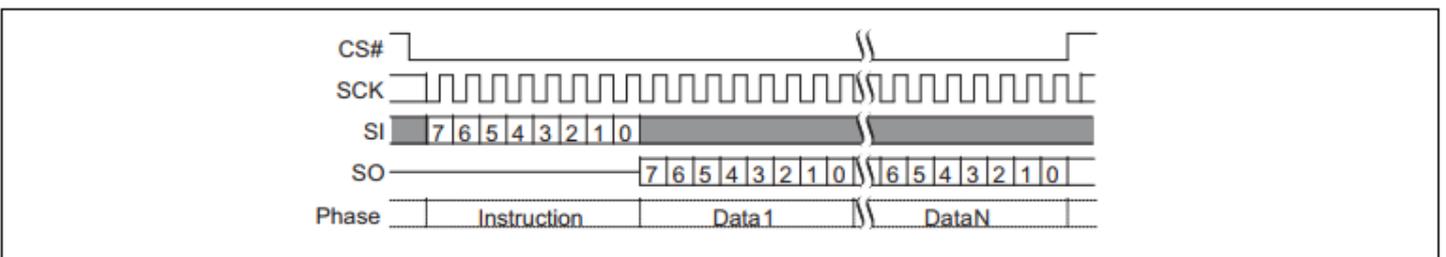


图 65 自动启动寄存器读取 (ABRD 14h) 指令

Commands

9.3.14 自动启动寄存器写入 (ABWR 15h)

在接受 ABWR 指令之前，必须由器件发出写使能 (WREN) 指令并对其进行解码，这会将状态寄存器中的写使能锁存器 (WEL) 设置为使能任何写操作。

ABWR 指令通过将 SI 上的指令和数据字节移位来输入，低字节/最低有效位在前，每个字节的最高有效位在前。ABWR 数据长度为 32 位。

ABWR 指令的状态在状态寄存器 1 中报告为擦除和编程操作。根据寄存器更新的擦除或编程过程是否失败，可能会出现 E_ERR 或 P_ERR。

锁存第 32 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 ABWR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 ABWR 操作就会启动。当 ABWR 操作正在进行时，可以读取状态寄存器 1 来检查写入进度 (WIP) 位的值。在自定时 ABWR 操作期间写入进度 (WIP) 位为‘1’，为‘0’当它完成时。当 ABWR 周期完成时，写能力锁存器 (WEL) 被置位为‘0’。ABWR 指令的最大时钟频率为 133 MHz。

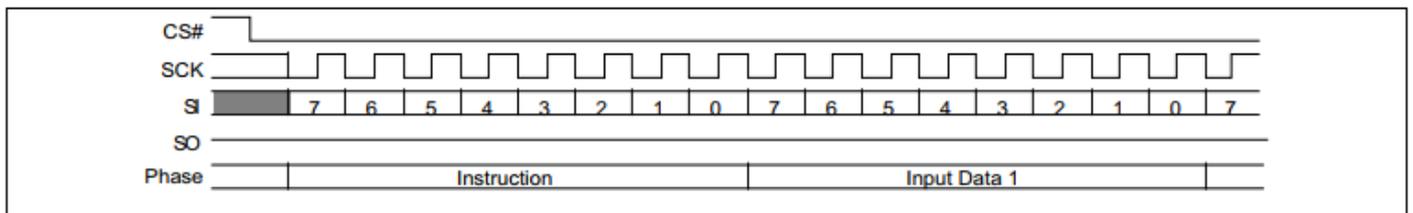


图 66 自动启动寄存器写入 (ABWR) 指令

9.3.15 编程 NVDLR (PNVDLR 43h)

在器件接受编程 NVDLR (PNVDLR) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 来使能 PNVDLR 操作。

PNVDLR 命令是通过将指令和数据字节移到 SI 上来输入的。

锁存第八 (8) 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不执行 PNVDLR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PNVDLR 操作就会启动。当 PNVDLR 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。在自定时 PNVDLR 周期内写入进度 (WIP) 位为 1，为‘0’当它完成时。PNVDLR 操作可以在状态寄存器的 P_ERR 位中报告编程错误。当 PNVDLR 操作完成时，写能力锁存器 (WEL) 被置位为‘0’。PNVDLR 指令的最大时钟频率为 133 MHz。

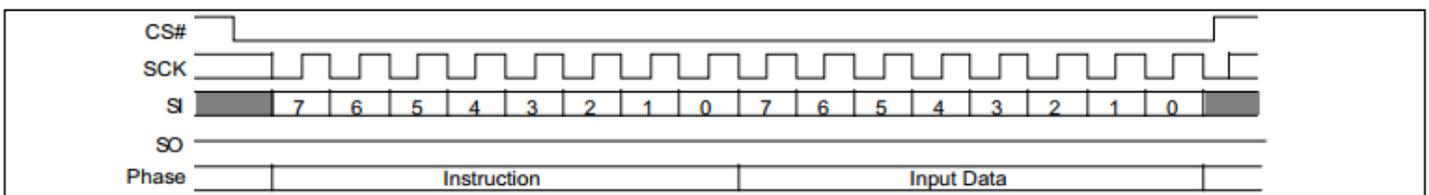


图 67 编程 NVDLR (PNVDLR 43h) 指令序列

Commands

9.3.16 写入 VDLR (WVDLR 4Ah)

在器件接受 Write VDLR (WVDLR) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 WVDLR 操作。

通过在 SI 上移位指令和数据字节来输入 WVDLR 命令。

锁存第八 (8) 位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 WVDLR 指令。一旦 CS# 被驱动到逻辑高电平状态，WVDLR 操作就会立即启动，不会有任何延时。PNVDLR 指令的最大时钟频率为 133 MHz。

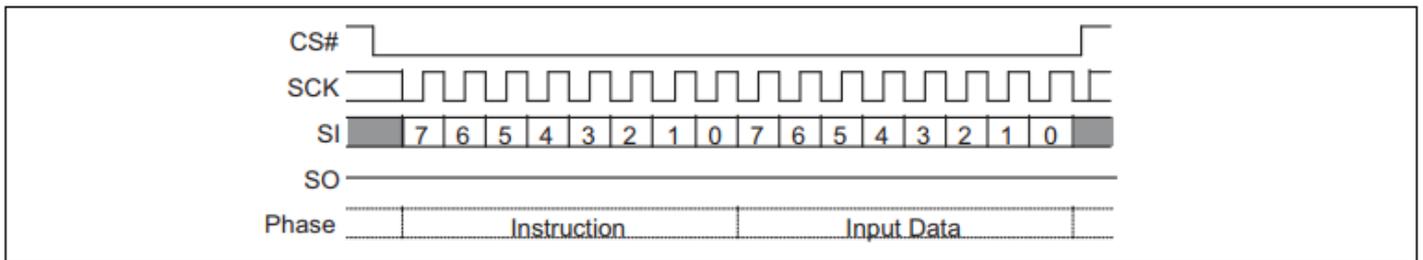


图 68 写入 VDLR (WVDLR 4Ah) 指令序列

9.3.17 数据学习唤醒类型码读取 (DLPRD 41h)

指令在 SI 上移位，然后 8 位 DLP 在 SO 上移出。通过提供八个时钟周期的倍数，可以连续读取 DLP。DLPRD 指令的最大工作时钟频率为 133 MHz。

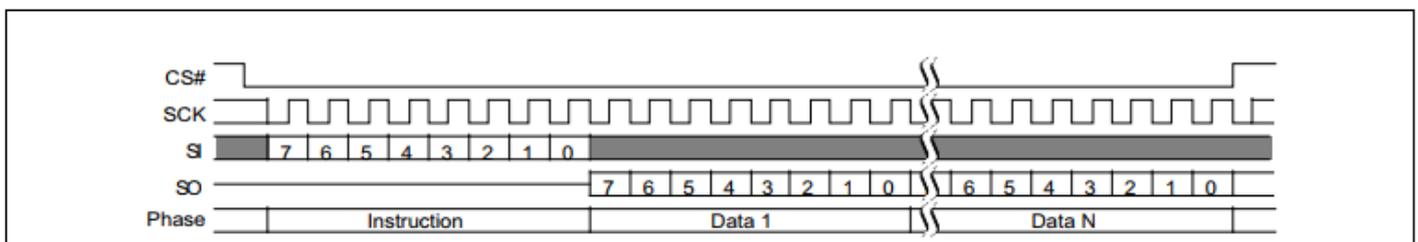


图 69 DLP 读取 (DLPRD 41h) 指令序列

9.4 读取闪存阵列指令

主闪存阵列的读取指令为上一代SPI兼容性或增强型性能SPI提供了许多选项：

- 某些指令在 SCK 的每个上升沿传输地址或数据。这些称为单数据率指令 (SDR)。
- 某些 SDR 命令在 SCK 的每个上升沿传输一个地址，并在 SCK 的每个上升沿返回 1、2 或 4 位数据。对于 1 位数据，这些称为读取或快速读取；对于 2 位数据，这些称为双输出读取；对于 4 位数据，这些称为四路输出。
- 某些 SDR 指令在每个 SCK 上升沿传输 2 或 4 位地址和数据。这些被称为 2 位双 I/O 和 4 位四 I/O。
- 一些指令在 SCK 的上升沿和下降沿都传输地址和数据。这些称为双倍数据率 (DDR) 指令。
- 每个 SCK 边沿有 1、2 或 4 位地址或数据的 DDR 指令。这些被称为用于 1 位的快速 DDR、用于 2 位的双 I/O DDR 和用于每边传输 4 位的四 I/O DDR。

Commands

所有这些命令都以一个指令代码开始，该指令代码在每个 SCK 上升沿传输一位。该指令后跟在 SDR 或 DDR 上传输的 3 字节或 4 字节地址。每个时钟沿传输地址或数据 2 或 4 位的指令称为多线 I/O (MIO) 指令。对于 256 Mb 或更高密度的 FL-S 设备，传统的 SPI 3 字节地址无法直接寻址存储器阵列中的所有位置。这些器件有一个组地址寄存器，与 3 字节地址指令一起使用，以提供主控系统地址之外的高位地址位。默认组地址为零。提供指令来加载和读取组地址寄存器。这些设备还可以配置为使用传统的 3 字节地址指令从主控系统获取 4 字节地址。传统指令的 4 字节地址模式通过将组地址寄存器中的外部地址 (EXTADD) 位设置为“1”来激活。

Quad I/O 指令提供了一个由模式位控制的性能改进选项，模式位在地址位之后发送。模式位指示当前读取结束后的指令是否是另一个相同类型的读取，而在读取开始时没有指令。这些模式位提供了在执行一系列四路 I/O 读取访问时消除指令周期的选项。

器件排序选项除了四路 I/O 指令外，还通过向 DDR 快速读取、双路 I/O 和双路 I/O DDR 指令添加类似的模式位方案，提供了增强的高性能选项。

某些指令需要地址或模式位后面的延迟周期，以便有时间访问闪存阵列。延迟周期传统上被称为虚拟周期。存储器会忽略虚拟周期，因此主控在这些周期内提供的任何数据都是“不关心的”，并且主控也可能在虚拟周期内将 SI 信号保持在高阻态。当使用 MIO 指令时，主控必须在最后一个虚拟周期结束之前停止驱动 I/O 信号（输出为高阻态）。当使用 DDR 指令时，主控不得在任何虚拟周期内驱动 I/O 信号。虚拟周期的数量需要通过配置寄存器 1 (CR1) 延迟代码 (LC) 选择的 SCK 频率或性能选项而变化。虚拟周期是按 SCK 下降沿到下一个 SCK 下降沿进行计算的。SPI 输出传统上在每个 SCK 的下降沿被驱动为一个新值。零虚拟周期意味着返回数据由内存在主控停止驱动地址或模式位的同一 SCK 下降沿驱动。

DDR 指令可以选择性地具有由存储器驱动的 8 边数据学习唤醒类型码 (DLP)，在所有数据输出上，在数据开始之前的虚拟周期中。DLP 可以帮助主控存储控制器确定 SCK 到数据边缘的相位差，以便存储控制器可以捕获数据眼中心的数据。

当在较高的 SCK 频率 (> 50 MHz) 下使用 SDR I/O 指令时，应选择提供 1 个或多个虚拟周期的 LC，以便在闪存开始驱动数据之前为主控提供额外的时间停止驱动，以最大限度地减少 I/O 驱动器冲突。当使用启用了 DLP 的 DDR I/O 指令时，应选择提供 5 个或更多虚拟周期的 LC，以便在闪存开始驱动 4 个周期的 DLP 之前，允许主控有 1 个周期的额外时间停止驱动。

在数据返回期间的任何时候，当 CS# 返回高电平时，每个读取命令都结束。在数据返回之前的模式或虚拟周期内，CS 不得返回高电平，因为这可能会导致模式位被错误捕获；从而无法确定器件是否保持增强的高性能读取模式。

9.4.1 读取 (读取 03h 或 4READ 13h)

指令

- 03h (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 03h (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 13h 后跟一个 4 字节地址 (A31-A0)

然后将给定地址处的内存内容移出 SO。读取命令的最大工作时钟频率为 50 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，

Commands

地址计数器将回滚并回滚至 000000h，从而允许读取序列无限期地继续。

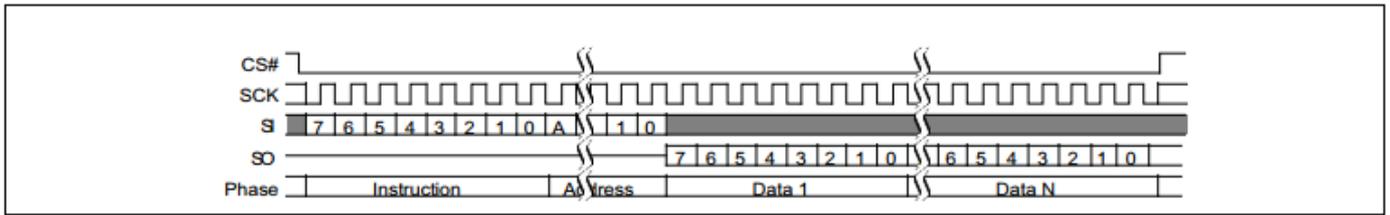


图 70 读取命令序列 (READ 03h或13h)

9.4.2 快速读取 (FAST_READ 0Bh 或 4FAST_READ 0Ch)

指令

- 0Bh (ExtAdd=0) 后跟一个 3 字节地址 (A23-A0) 或
- 0Bh (ExtAdd=1) 后跟一个 4 字节地址 (A31-A0) 或
- 0Ch 后跟一个 4 字节地址 (A31-A0)

该地址后面跟着零或八个虚拟周期，具体取决于配置寄存器中的延迟代码配置。虚拟周期为器件内部电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，SO 上的数据值为“无关”并且可能为高阻态。然后将给定地址处的闪存内容移出 SO。

快速读取命令的最大工作时钟频率为 133 MHz。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回滚并回卷到 000000h，从而允许读取序列无限继续。

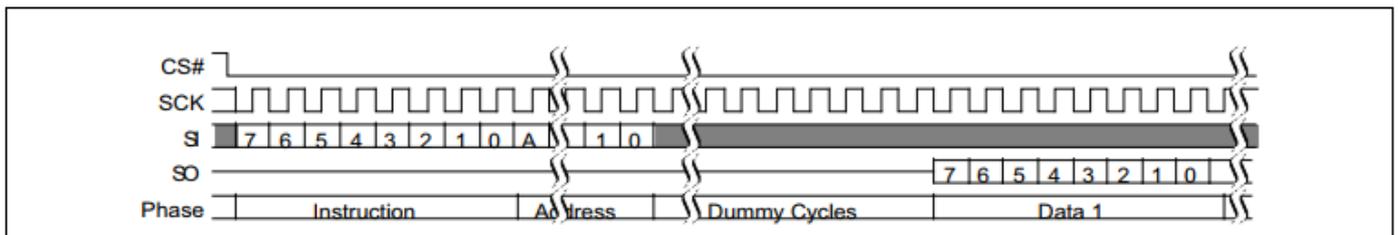


图 71 具有读取延迟的快速读取 (FAST_READ 0Bh 或 0Ch) 指令序列

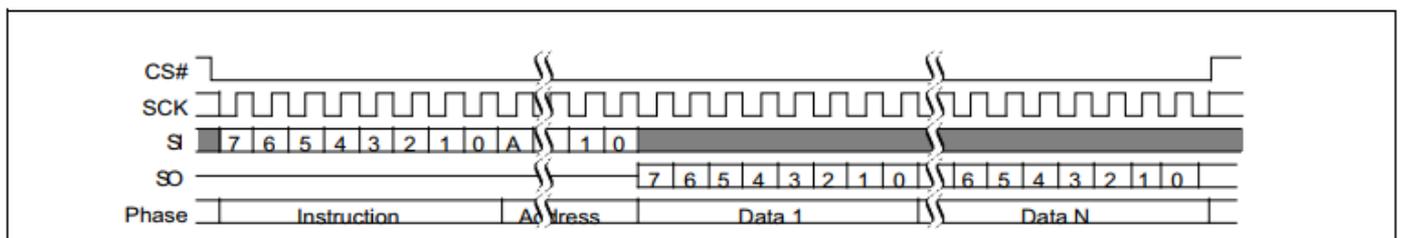


图 72 无读取延迟的快速读取命令 (FAST_READ 0Bh 或 0Ch) 序列

Commands

9.4.3 双输出读取 (DOR 3Bh 或 4DOR 3Ch)

指令

- 3Bh (ExtAdd = 0) 后跟 3 字节地址 (A23-A0) 或
- 3Bh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 3Ch 后跟一个 4 字节地址 (A31-A0)

然后, 通过 I/O0 (SI) 和 I/O1 (SO) 将给定地址处的内存内容一次移出两位。在 SCK 信号的下降沿, 以 SCK 频率移出两个位。

双输出读取命令的最大工作时钟频率为 104 MHz。对于双输出读取指令, 在最后一个地址位移入 SI 之后, 在数据开始从 I/O0 和 I/O1 移出之前, 需要零个或八个虚拟周期。此延迟时间 (即虚拟周期) 使器件的内部电路有足够的时间从初始地址读取数据。在虚拟周期期间, SI 上的数据值是“无关”的, 并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定 (参见表 24)。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后, 地址会按顺序自动增加到下一个更高的地址。因此, 只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时, 地址计数器将回绕并回滚至 000000h, 从而允许读取序列无限期地继续。

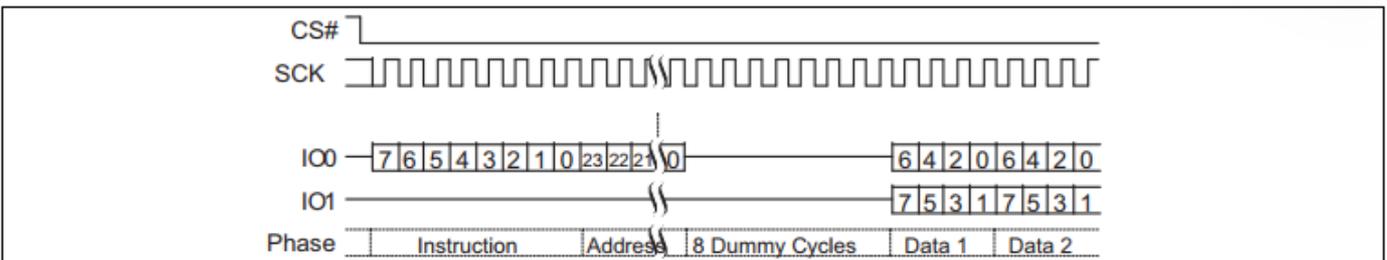


图 73 双输出读取命令序列 (3 字节地址, 3Bh [ExtAdd = 0], LC = 10b)

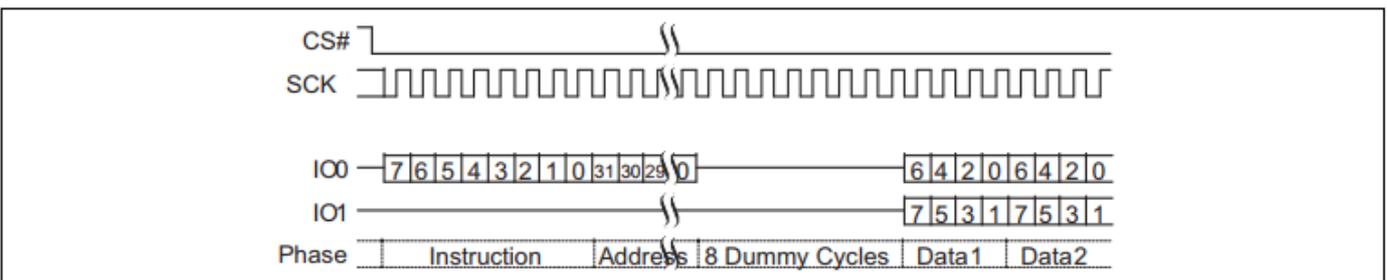


图 74 双输出读取命令序列 (4 字节地址, 3Ch 或 3Bh [ExtAdd = 1], LC = 10b)

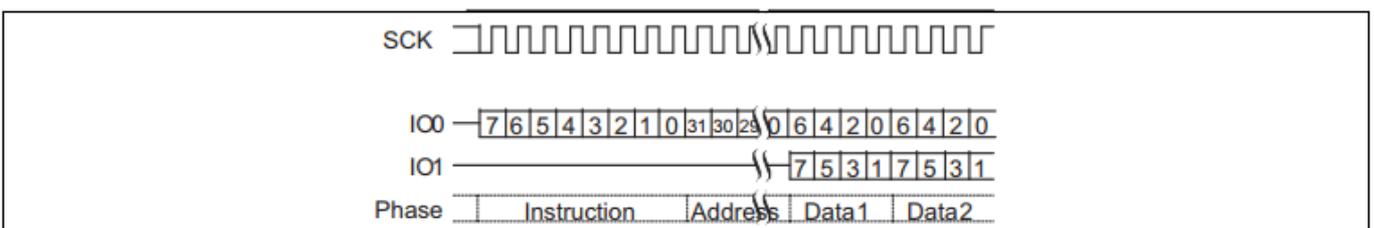


图 75 双输出读取命令序列 (4 字节地址, 3Ch 或 3Bh [ExtAdd = 1], LC = 11b)

9.4.4 四路输出读取 (QOR 6Bh 或 4QOR 6Ch)

指令

- 6Bh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 6Bh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 6Ch 后跟一个 4 字节地址 (A31-A0)

然后, 通过 I/O0-I/O3 将给定地址处的闪存内容每次移出四位。每个半字节 (4 位) 以 SCK 频率通过 SCK 信号的下降沿移出。

四路输出读取命令的最大工作时钟频率为 104 MHz。对于四路输出读取模式, 在最后一个地址位移入 SI 后, 在数据开始从 I/O0-I/O3 移出之前, 可能需要虚拟周期。该等待时间 (即虚拟周期) 允许器件的内部电路有足够的时间来设置初始地址。在虚拟周期期间, I/O0-I/O3 上的数据值是“无关”并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定 (参见表 24)。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后, 地址会按顺序自动增加到下一个更高的地址。因此, 只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时, 地址计数器将回绕并回滚至 000000h, 从而允许读取序列无限期地继续。

配置寄存器 QUAD 位必须为配置位 (CR Bit1 = 1) 才能启用四模式功能。

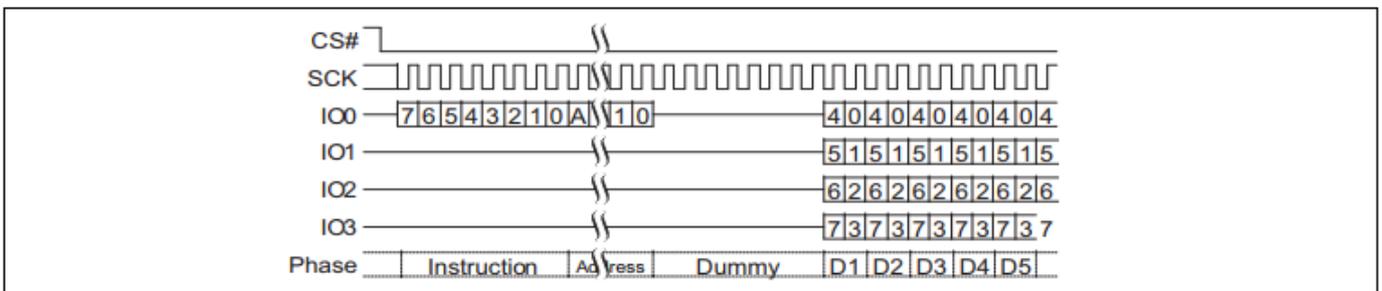


图 76 具有读取延迟的四输出读取 (QOR 6Bh 或 4QOR 6Ch) 指令序列

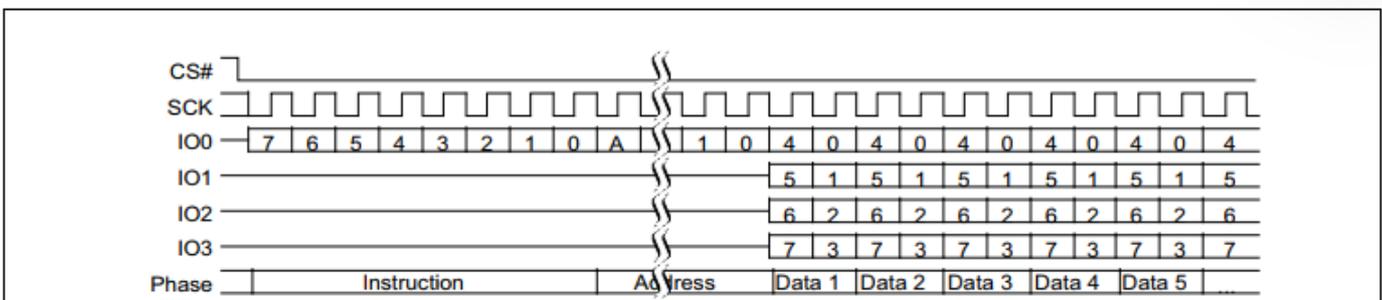


图 77 无读取延迟的四输出读取 (QOR 6Bh 或 4QOR 6Ch) 指令序列

Commands

9.4.5 双 I/O 读取 (DIOR BBh 或 4DIOR BCh)

指令

- BBh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- BBh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- BCh 后跟一个 4 字节地址 (A31-A0)

双 I/O 读取指令通过两个 I/O 信号 – I/O0 (SI) 和 I/O1 (SO) 来提高吞吐量。它类似于双输出读取命令，但每个 SCK 上升沿输入两位地址。在某些应用中，减少的地址输入时间可能允许代码就地执行 (XIP)，即直接从内存器件执行。

双 I/O 读取的最大工作时钟频率为 104 MHz。

对于双 I/O 读取命令，在最后的地址位移入 SI 和 SO 之后，在数据开始移出 I/O0 和 I/O1 之前，需要一段延迟。有不同的订购部件编号可选择用于此指令的延迟代码表，即高性能 LC (HPLC) 表或增强型高性能 LC (EHPLC) 表。HPLC 表不提供模式位的周期，因此每个双 I/O 读取命令都以 8 位指令开始，然后是地址，然后是延迟期。

此延迟时间 (虚拟周期) 允许器件内部电路有足够的时间来访问初始地址处的数据。在虚拟周期期间，SI 和 SO 上的数据值“无关”并且可能为高阻态。虚拟周期的数量由 SCK 的频率决定 (表 24)。虚拟周期的数量由配置寄存器 (CR1) 中的 LC 位设置。

EHPLC 表确实提供了模式位的周期，因此在第一个 Dual I/O 读取指令发送 Axh 的模式位唤醒命令类型码后，一系列 Dual I/O 读取指令可能会消除 8 位指令，该指令指示后续指令也将是 Dual I/O 读取命令。系列中的第一个双 I/O 读取命令以 8 位指令开始，接着是地址，接着是四个周期的模式位，然后是延迟期。如果模式类型码为 Axh，则假定下一个指令是不提供指令位的额外的双线 I/O 读取命令。该指令以地址开头，然后是模式位，然后是延迟。

增强型高性能特点消除了对指令序列的需要，并极大地提高了代码执行 (XIP)。模式位的高半字节 (位 7-4) 通过包含或排除第一个字节指令代码来控制下一个 Dual I/O 读取命令的长度。模式位的低半字节 (位 3-0) 是“不关心” (“x”) 并且可能是高阻态。如果模式位等于 Axh，则器件保持双 I/O 增强型高性能读取模式，并且无需使用 BBh 或 BCh 指令即可进入下一个地址 (在 CS 拉高然后断言低电平时)，如图 81 所示；因此，消除了指令序列的八个周期。以下序列将从双 I/O 增强型高性能读取模式中释放器件；之后，器件可以接受标准 SPI 指令：

1. 在双 I/O 增强型高性能指令序列期间，如果模式位是除 Axh 以外的任何值，则下次 CS 升高到高电平时，该器件将从双 I/O 读取增强型高性能读取模式中释放。

在任何操作期间，如果 CS 从高电平切换到低电平并持续八个周期 (或更短)，并且数据输入 (I/O0 和 I/O1) 未针对有效指令序列置位，则该器件将从双 I/O 增强型高性能读取模式中释放。注意，四个模式位周期是器件内部电路延迟时间的一部分，用于在时钟输入 I/O0 (SI) 和 I/O1 (SO) 的最后一个地址周期之后访问/访问初始地址。

重要的是，I/O 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动 (总线切换) 之前可用于关闭主控输出的时间减少。这是允许的，并且可能有助于防止 I/O 信号争用，主控系统可以在最后两个“无关”模式周期或任何虚拟周期内关闭 I/O 信号输出 (使其成为高阻态)。

在等待时间之后，给定地址处的内存内容通过 I/O0 (SI) 和 I/O1 (SO) 每次移出两位。在 SCK 信号的下降沿，以 SCK 频率移出两位。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 00000h 即可读出整个存储器。当达到最高地址时，

Commands

地址计数器将回滚并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

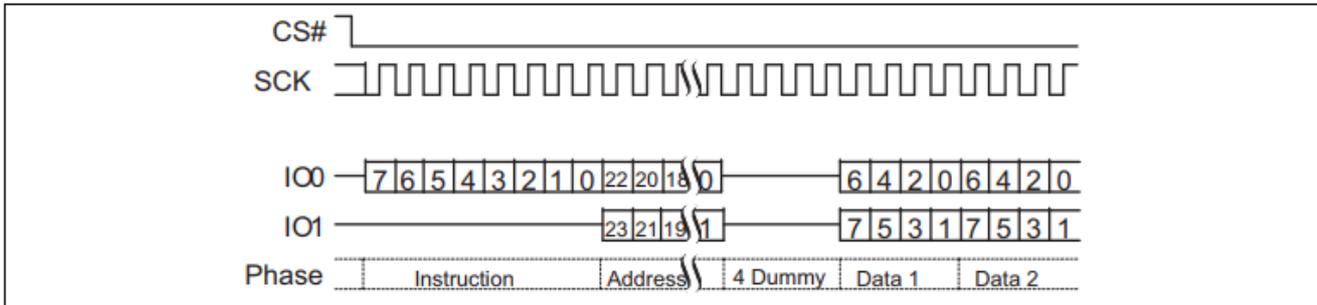


图 78 双 I/O 读取命令序列 (3 字节地址, BBh [ExtAdd = 0], HPLC = 00b)

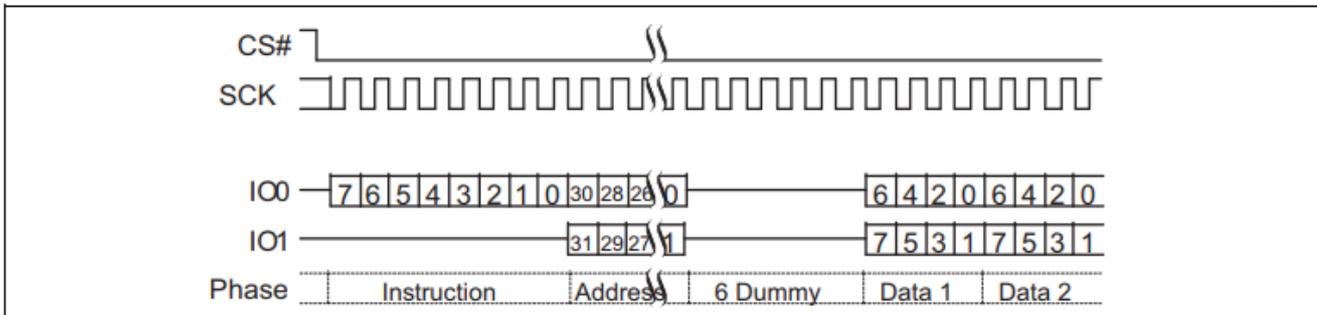


图 79 双 I/O 读取命令序列 (4 字节地址, BBh [ExtAdd = 1], HPLC = 10b)

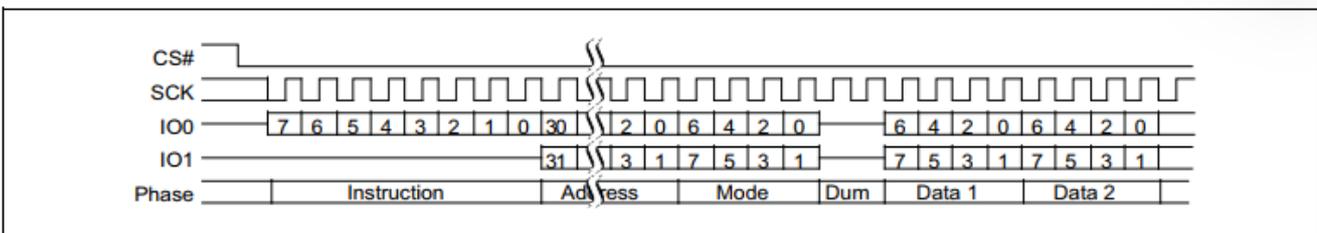


图 80 双 I/O 读取命令序列 (4 字节地址, BCh 或 BBh [ExtAdd = 1], EHPLC = 10b)

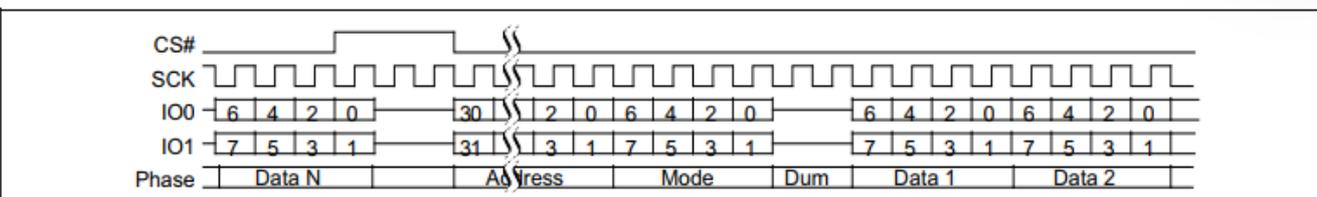


图 81 连续双 I/O 读取命令序列 (4 字节地址, BCh 或 BBh [ExtAdd = 1], EHPLC = 10b)

9.4.6 四线 I/O 读取 (QIOR EBh 或 4QIOR ECh)

指令

- EBh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- EBh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- ECh 后跟一个 4 字节地址 (A31-A0)

四路 I/O 读取命令通过四个 I/O 信号 (I/O0-I/O3) 提高吞吐量。它类似于四路输出读取命令，但允许每个串行 SCK 时钟输入四位地址位。在某些应用中，减少的指令开销可能允许直接从 S25FL512S 器件执行代码 (XIP)。配置寄存器的 QUAD 位必须为配置位 (CR Bit1 = 1)，才能启用 S25FL512S 器件的四路功能。

四路 I/O 读取的最大工作时钟频率为 104 MHz。

对于四路 I/O 读取命令，在模式位 (如下所述) 之后，数据开始从 I/O0-I/O3 移出之前，需要一段延迟时间。此延迟时间 (即虚拟周期) 使器件的内部电路有足够的时间在初始地址访问数据。在延迟周期内，I/O0-I/O3 上的数据值处于“无关”状态，可能处于高阻态。虚拟周期的数量由 SCK 的频率和延迟代码表 (参见表 24)。不同的订购部件编号可选择用于此指令的延迟代码表，即高性能 LC (HPLC) 表或增强型高性能 LC (EHPLC) 表。虚拟周期数由配置寄存器 (CR1) 中的 LC 位设置。但是，两个延迟代码表对四路 I/O 读取命令使用相同的延迟值。

在延迟期之后，给定地址处的内存内容通过 I/O0-I/O3 每次移出四位。每个半字节 (4 位) 以 SCK 频率通过 SCK 信号的下降沿移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

无需额外的四线 I/O 读指令即可完成地址跳转。这是通过设置模式位来控制的 (在地址序列之后，如图 84 或图 85 所示)。这种增加的特性消除了对指令序列的需要，并大大提高了代码执行速度 (XIP)。模式位的高半字节 (位 7-4) 通过包含或排除第一个字节指令代码来控制下一个四路 I/O 指令的长度。模式位的低半字节 (位 3-0) 为“无关” (“x”)。如果模式位等于 Axh，则器件保持在四路 I/O 高性能读取模式，并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后)，而无需 EBh 或 ECh 指令，如图 83 或图 85 所示；因此，消除了指令序列的八个周期。以下序列将从 Quad I/O High 性能读取模式中释放器件；之后，器件可以接受标准 SPI 指令：

1. 在 Quad I/O 读取命令序列期间，如果模式位是 Axh 以外的任何值，则下次 CS 升高时，器件将从 Quad I/O 高性能读取模式中释放。

在任何操作期间，如果 CS 将高电平切换为低电平再切换为高电平持续 8 个周期 (或更少)，并且数据输入 (I/O0-I/O3) 未置位为有效指令序列，则器件将从 Quad I/O 高性能读取模式中释放。注意，两个模式位时钟周期和附加等待状态 (即虚拟周期) 允许器件的内部电路延迟时间在时钟输入 I/O0-I/O3 的最后一个地址周期之后访问/访问初始地址。

重要的是，I/O0-I/O3 信号应在第一个数据输出时钟的下降沿或之前置位至高阻。在更高的时钟速度下，在存储器器件开始驱动 (总线切换) 之前可用于关闭主控输出的时间减少。允许主控系统在最后一个“无关”模式周期或任何虚拟周期内关闭 I/O0-I/O3 信号输出 (使其成为高阻态)，这可能有助于防止 I/O0-I/O3 信号争用。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

Commands

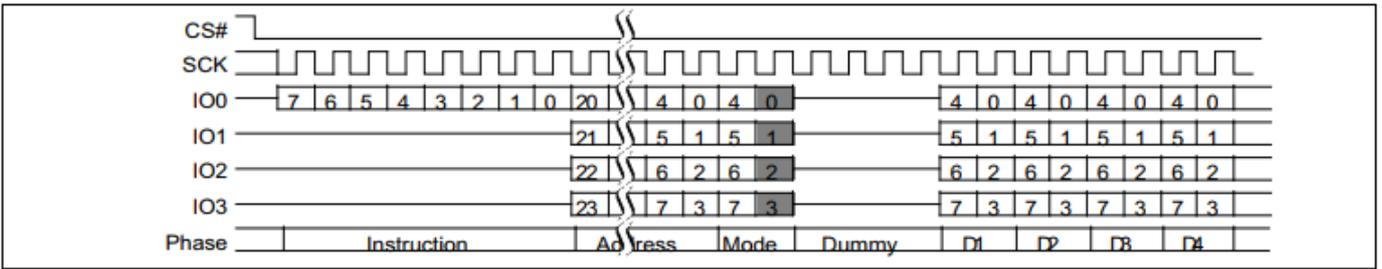


图 82 四路 I/O 读取命令序列 (3 字节地址, EBh [ExtAdd = 0], LC = 00b)

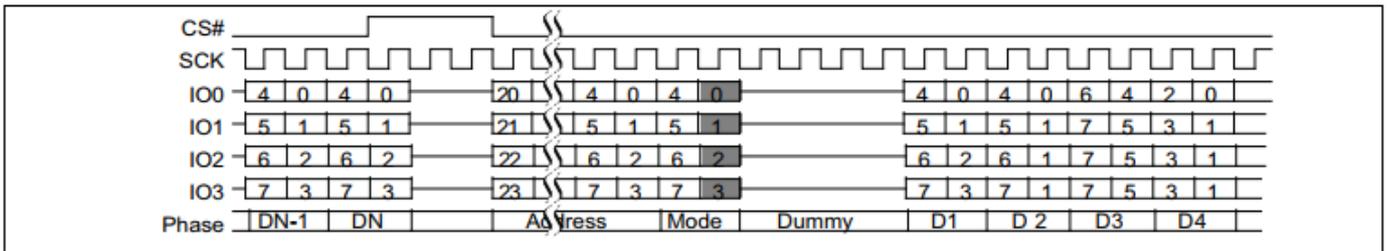


图 83 连续四路 I/O 读取命令序列 (3 字节地址), LC = 00b

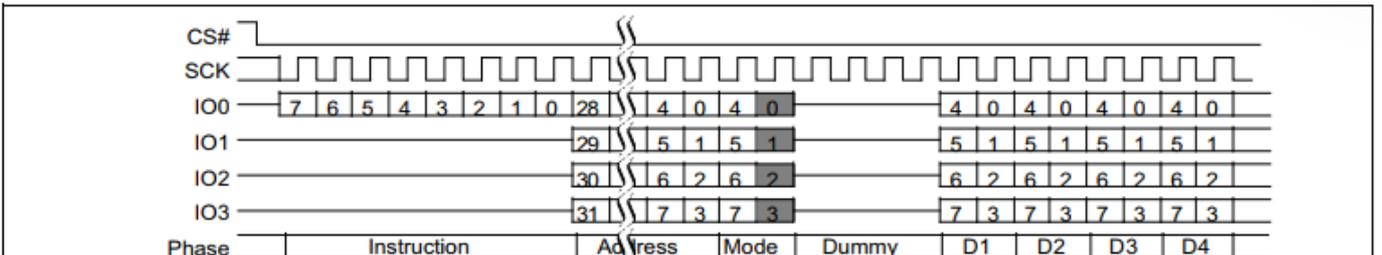


图 84 四路 I/O 读取命令序列 (4 字节地址, ECh 或 EBh [ExtAdd = 1], LC = 00b)

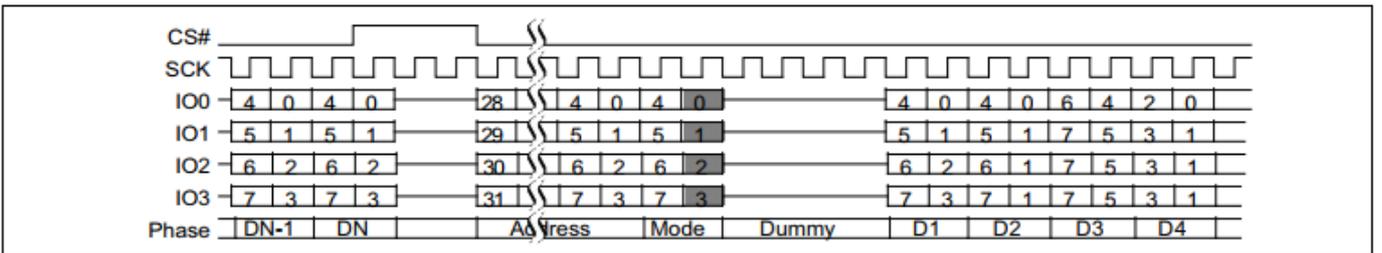


图 85 连续四路 I/O 读取命令序列 (4 字节地址), LC = 00b

9.4.7 DDR 快速读取 (DDRF 0Dh、4DDRF 0Eh)

指令

- 0Dh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 0Dh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 0Eh 后面跟着一个 4 字节地址 (A31-A0)

DDR 快速读取命令通过在 SCK 的下降沿和上升沿传输地址和数据来提高吞吐量。它类似于快速读取命令，但允许在时钟的每个边缘传输地址和数据。

DDR 快速读取命令的最大工作时钟频率为 80 MHz。

对于 DDR 快速读取命令，在最后的地址位移入 SI 之后，在数据开始移出 SO 之前，需要一段延迟。有不同的订购部件编号可选择用于此指令的延迟代码表，即高性能 LC (HPLC) 表或增强型高性能 LC (EHPLC) 表。HPLC 表不提供模式位的周期，因此每个 DDR 快速读取命令都以 8 位指令开始，然后是地址，然后是延迟期。

此延迟时间（虚拟周期）允许器件内部电路有足够的时间来访问/访问初始地址处的数据。在虚拟周期期间，SI 上的数据值是“无关”并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定（见表 24）。虚拟周期的数量由配置寄存器 (CR1) 中的 LC 位设置。

然后，给定地址处的内存内容以 DDR 方式在每个时钟边沿通过 SO 一次移出一位。每个位都通过 SCK 信号的上升沿和下降沿以 SCK 频率移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

EHPLC 表确实提供了模式位的周期，因此在第一个 DDR 快速读取命令发送互补的第一和第二半字节的模式位唤醒类型码后，一系列 DDR 快速读取指令可以消除 8 位指令，例如 A5h、5Ah、0Fh 等，表示后面的指令也将是 DDR Fast 读取命令。系列中的第一个 DDR 快速读取命令以 8 位指令开始，然后是地址，接下来是四个模式位周期，然后是延迟期。如果模式唤醒类型码是互补的，则假定下一个指令是不提供指令位的附加 DDR 快速读取命令。该指令以地址开头，然后是模式位，然后是延迟。

使用 EHPLC 表时，无需额外的 DDR 快速读取指令即可进行地址跳转。这通过设置模式位（位于地址序列之后，如图 89 和图 88 所示来控制。增加的特性消除了对八位 SDR 指令序列的需要，从而减少了初始读取时间（提高了 XIP 性能）。模式位通过包含或排除第一个字节指令代码来控制下一个 DDR 快速读取操作的长度。如果模式位的高半字节 (I/O[7:4]) 和低半字节 (I/O[3:0]) 互补（即 5h 和 Ah），则可以输入下一个地址（在 CS 升高到高电平然后断言为低电平之后），而无需 0Dh 或 0Eh 指令，如图 89 所示，从而从指令序列中消除了 8 个周期。以下序列将从这种连续的 DDR 快速读取模式中释放该器件；此后，该器件可以接受标准 SPI 指令：

1. 在 DDR 快速读取命令序列期间，如果模式位不互补，则下一次 CS 升高为高电平时，器件将从连续 DDR 快速读取模式中释放。
2. 在任何操作期间，如果 CS 将高电平切换为低电平再切换为高电平持续 8 个周期（或更少），并且数据输入 (SI) 未置位为有效指令序列，则器件将从 DDR 快速读取模式释放。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。HOLD 功能在快速的 DDR 指令的任何部分都无效。

Commands

虽然数据学习唤醒类型码 (DLP) 是可编程的, 但下面的例子展示了 34h 的 DLP 的例子。DLP 34h (或 00110100) 将在每个有源输出上驱动 (即所有四个 I/O 均位于 x4 器件上, 两个 I/O 均位于 x2 器件上, 单个 SO 输出位于 x1 器件上)。选择此唤醒类型码是为了涵盖直流和交流数据转换场景。两个直流转换场景包括数据低电平持续较长时间 (两个半时钟), 然后是高电平转换 (001) 和互补的低电平转换 (110)。两种交流转换场景包括数据低电平短时间 (半个时钟), 然后高电平转换

(101) 和互补的低电平转换 (010)。直流转换的起始点通常比交流转换更靠近供电轨, 交流转换可能尚未完全稳定到其稳定状态 (直流)。在许多情况下, 直流转换将限制数据有效期的开始, 而交流转换将限制数据有效期的结束。这些转换将允许主控器识别有效数据眼的开始和结束。一旦确定了数据眼的特性, 就可以选择最佳数据采集点。请参阅“SPI DDR 数据学习寄存器”在分页 69 了解更多详情。

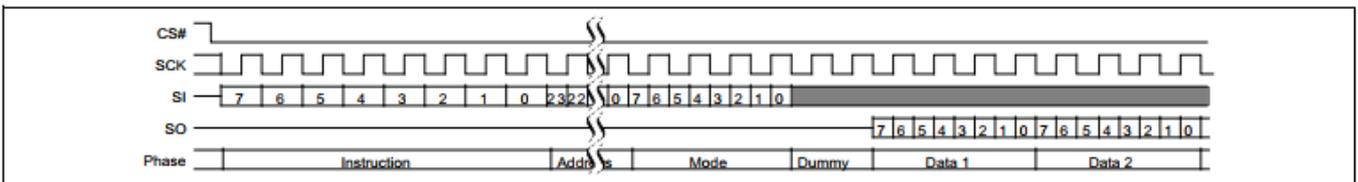


图 86 DDR 快速读取初始读取 (3-byte 地址, 0Dh [ExtAdd = 0, EHPLC = 11b])

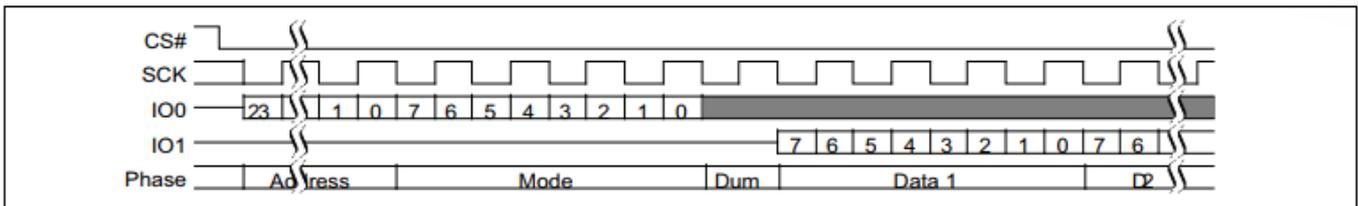


图 87 连续 DDR 快速读取后续访问 (3 字节地址 [ExtAdd = 0, EHPLC = 11b])

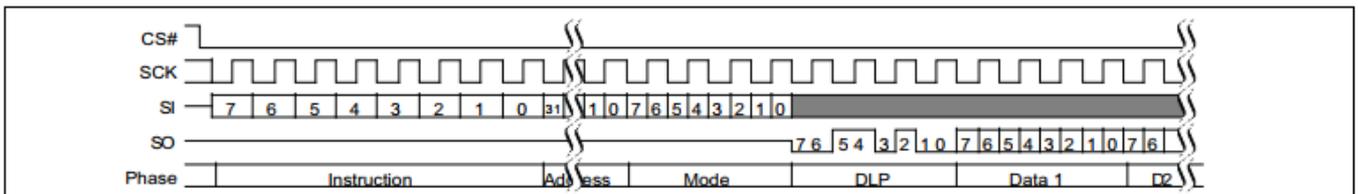


图 88 DDR 快速读取初始读取 (4-byte 地址, 0Eh 或 0Dh [ExtAdd = 1], EHPLC = 01b)^[47]

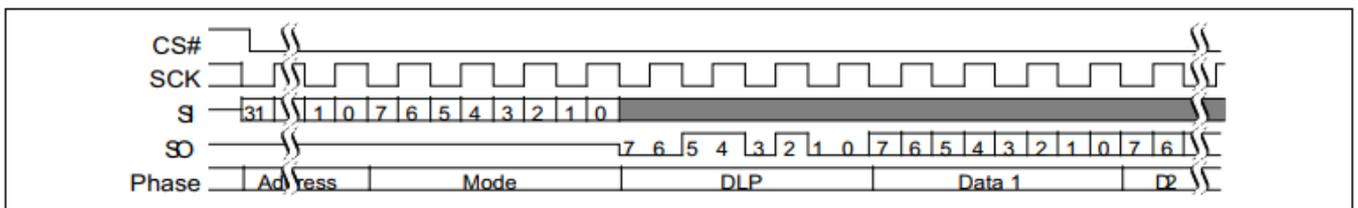


图 89 连续 DDR 快速读取后续访问 (4 字节地址 [ExtAdd = 1], EHPLC = 01b)^[47]

注释:

47. 示例 DLP 为 34h (或 00110100)。

Commands

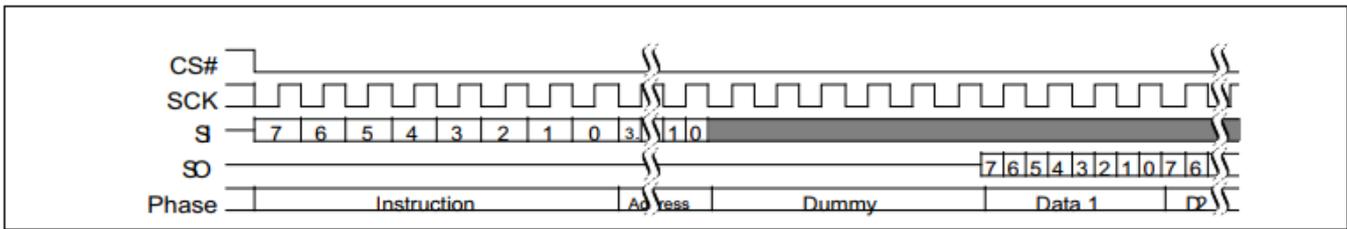


图 90 DDR 快速读取后续访问 (4 字节地址, HPLC = 01b)

9.4.8 DDR 双 I/O 读取 (BDh、BEh)

指令

- BDh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- BDh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- BEh 后面跟着一个 4 字节地址 (A31-A0)

然后, 给定地址的内存内容以 DDR 方式在每个时钟边沿通过 I/O0 (SI) 和 I/O1 (SO) 每次移出两位。通过 SCK 信号的上升沿和下降沿, 以 SCK 频率移出两个位。

DDR 双 I/O 读取命令通过两个 I/O 信号 (I/O0 (SI) 和 I/O1 (SO)) 提高吞吐量。它类似于双 I/O 读取命令, 但在时钟的每个边沿传输两个地址、模式或数据位。在某些应用中, 减少的指令开销可能允许直接从 S25FL512S 器件执行代码 (XIP)。

DDR Dual I/O 读取命令的最大工作时钟频率为 80 MHz。

对于 DDR 双路 I/O 读指令, 在最后一个地址位移入 I/O0 和 I/O1 之后, 数据开始从 I/O0 和 I/O1 移出之前, 需要一定的延迟。不同的订购部件编号可选择用于此指令的延迟代码表, 即高性能 LC (HPLC) 表或增强型高性能 LC (EHPLC) 表。延迟 (虚拟) 时钟的数量由 SCK 的频率决定 (参见表 23 或表 25)。虚拟周期的数量由配置寄存器 (CR1) 中的 LC 位设置。

HPLC 表不提供模式位的周期, 因此每个双 I/O 命令都以 8 位指令开始, 然后是地址, 然后是延迟期。该延迟周期允许器件的内部电路有足够的时间来访问/访问初始地址。在这些延迟周期内, SI (I/O0) 和 SO (I/O1) 上的数据值是“无关”的, 并且可能处于高阻态。当数据学习唤醒类型码 (DLP) 启用时, 主控系统不得在虚拟周期期间驱动 I/O 信号。主控必须将 I/O 信号置于高阻态, 以便存储器器件能够在虚拟周期内驱动 DLP。

EHPLC 表确实提供了模式位的周期, 因此一系列 Dual I/O DDR 指令可以在第一个指令发送互补模式位唤醒类型码后消除 8 位指令, 如图 91 和图 93 所示。增加的特性消除了对八位 SDR 指令序列的需求, 并显著减少了初始读取时间 (提高了 XIP 性能)。模式位通过包含或排除第一个字节指令代码来控制下一个 DDR 双 I/O 读取操作的长度。如果模式位的高半字节 (I/O[7:4]) 和低半字节 (I/O[3:0]) 互补 (即 5h 和 Ah), 则器件将转换为连续 DDR 双 I/O 读取模式, 并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后), 而无需 BDh 或 BEh 指令, 如图 92 所示, 因此, 从指令序列中消除了八个周期。以下序列将从持续 DDR Dual I/O 读取模式中释放器件; 之后, 器件可以接受标准 SPI 指令:

1. 在 DDR 双 I/O 读取命令序列期间, 如果模式位不互补, 则下次 CS 升高为高电平然后置为低电平时, 器件将从 DDR 双 I/O 读取模式中释放。
2. 在任何操作期间, 如果 CS 从高电平切换到低电平再切换到高电平持续八个周期 (或更短), 并且数据输入 (I/O0 和 I/O1) 未针对有效指令序列置位, 则该器件将从 DDR 双 I/O 读取模式中释放。

9.4.9 DDR 四路 I/O 读取 (EDh、EEh)

读取 DDR 四路 I/O 指令通过四个 I/O 信号 - I/O0-I/O3 来提高吞吐量。它类似于四线 I/O 读取命令，但允许在时钟的每个边沿输入四位地址。在某些应用中，减少的指令开销可能允许直接从 S25FL512S 器件执行代码 (XIP)。配置寄存器的 QUAD 位必须为配置位 (CR Bit1 = 1) 才能启用 Quad 功能。

指令

- EDh (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- EDh (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- EEh 后跟一个 4 字节地址 (A31-A0)

地址后面是模式位。然后，给定地址的内存内容以 DDR 方式移出，在每个时钟边沿通过 I/O0-I/O3 每次移出四位。

读取 DDR Quad I/O 指令的最大工作时钟频率为 80 MHz。

对于读取 DDR 四路 I/O，在最后的地址和模式位移入 I/O0-I/O3 信号之后，在数据开始移出 I/O0-I/O3 之前，需要一段延迟。该延时周期 (虚拟周期) 允许器件的内部电路有足够的时间来访问初始地址。在这些延迟周期内，I/O0-I/O3 上的数据值是“无关”的，并且可能处于高阻态。当数据学习唤醒类型码 (DLP) 启用时，主控系统不得在虚拟周期期间驱动 I/O 信号。主控必须将 I/O 信号置于高阻态，以便存储器器件能够在虚拟周期内驱动 DLP。

有不同的订购部件编号可选择用于此指令的延迟代码表，即高性能 LC (HPLC) 表或增强型高性能 LC (EHPLC) 表。虚拟周期数由 SCK 的频率决定 (参见表 23)。虚拟周期的数量由配置寄存器 (CR1) 中的 LC 位设置。

两个延迟表都提供模式位的周期，因此一系列 Quad I/O DDR 指令可以在第一个指令发送互补模式位唤醒类型码后消除 8 位指令，如图 94 和图 96 所示。此特性消除了对八位 SDR 指令序列的需求，并显著减少了初始读取时间 (提高了 XIP 性能)。模式位通过包含或排除第一个字节指令代码来控制下一个读取 DDR 四路 I/O 操作的长度。如果模式位的高半字节 (I/O[7:4]) 和低半字节 (I/O[3:0]) 互补 (即 5h 和 Ah)，则器件将转换为连续读取 DDR 四路 I/O 模式，并且可以输入下一个地址 (在 CS 升高然后断言为低电平之后)，而无需 EDh 或 EEh 指令，如图 95 和图 97 所示从而从指令序列中消除了 8 个周期。以下序列将使器件从连续读取 DDR 四路 I/O 模式中释放；此后，器件可以接受标准 SPI 指令：

1. 在读取 DDR 四路 I/O 指令序列期间，如果模式位不互补，则下次 CS 升高到高电平然后断言为低电平时，该器件将从读取 DDR 四路 I/O 模式中释放。
2. 在任何操作期间，如果 CS 从高电平切换到低电平再切换到高电平持续八个周期 (或更短)，并且数据输入 (I/O0、I/O1、I/O2 和 I/O3) 未针对有效指令序列置位，则该器件将从读取 DDR 四路 I/O 模式中释放。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间，不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。保持函数在 Quad I/O DDR 指令期间无效。

注意，存储设备在第一个数据值之前使用前导码来驱动 I/O。前导码是一个唤醒类型码，主控控制器使用它来优化更高频率下的数据捕获。在数据输出之前，前导码会立即驱动 I/O 总线四个时钟周期。主控必须确保在内存开始输出前导码之前停止驱动 I/O 总线。

Commands

前导码旨在向主控控制器提供关于从主控驱动时钟边沿到相应数据值从存储器器件返回的往返时间的指示。主控控制器将在前导周期内偏移数据捕获点，以优化时序裕度，然后在剩余的读取操作期间使用相同的偏移时间来捕获数据。优化的捕获点将在每次读操作的前导周期内确定。该优化策略的目的是为了补偿存储器器件和主控控制器的 PVT（工艺、电压、温度）以及由 PCB 上的走线时间引起的任何系统电平延时。虽然数据学习唤醒类型码（DLP）是可编程的，但下面的例子展示了 34h 的 DLP 的例子。DLP 34h（或 00110100）将在每个有源输出上驱动（即所有四个 SIO 均位于 x4 器件上，两个 SIO 均位于 x2 器件上，单个 SO 输出位于 x1 器件上。选择此唤醒类型码是为了涵盖直流和交流数据转换场景。两个直流转换场景包括数据低电平持续较长时间（两个半时钟），然后是高电平转换（001）和互补的低电平转换（110）。两种交流转换场景包括数据低电平短时间（半个时钟），然后高电平转换（101）和互补的低电平转换（010）。直流转换的起始点通常比交流转换更靠近供电轨，交流转换可能尚未完全稳定到其稳定状态（直流）。在许多情况下，直流转换将限制数据有效期的开始，而交流转换将限制数据有效期的结束。这些转换将允许主控器识别有效数据眼的开始和结束。一旦确定了数据眼的特性，就可以选择最佳数据采集点。请参阅“SPI DDR 数据学习寄存器”在分页 69 了解更多详情。

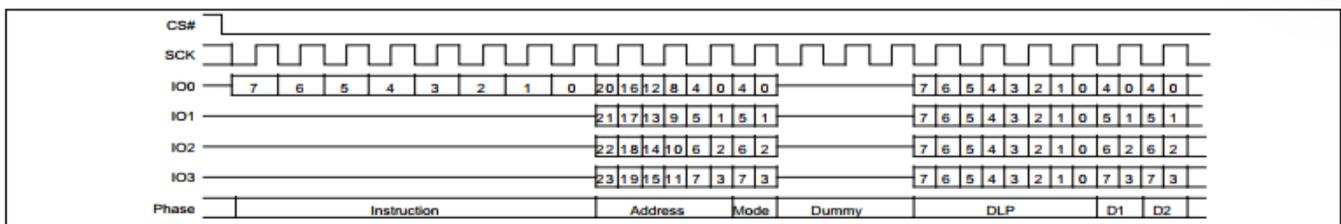


图 94 DDR 四路 I/O 读取初始读取 (3-byte 地址, EDh [ExtAdd = 0], HPLC = 11b)

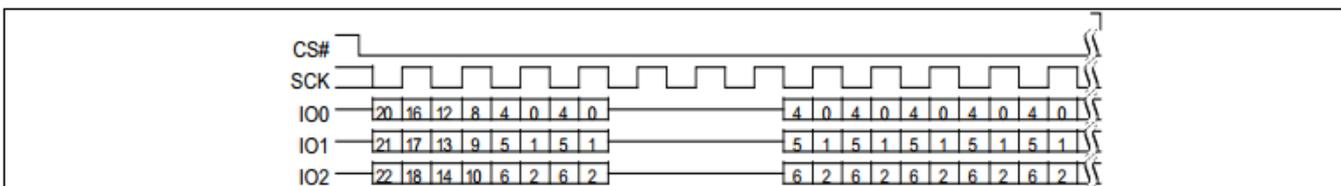


图 95 连续 DDR 四路 I/O 读取后续访问 (3 字节地址, HPLC = 11b)

Commands

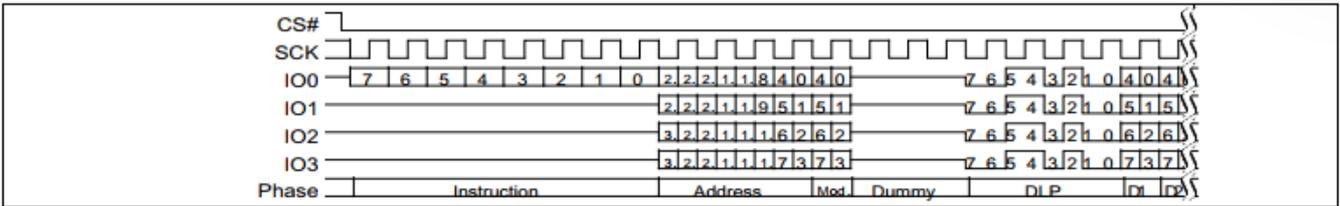


图 96 DDR 四路 I/O 读取初始读取 (4-byte 地址, EEh 或 EDh [ExtAdd = 1], EHPLC = 01b)^[48]

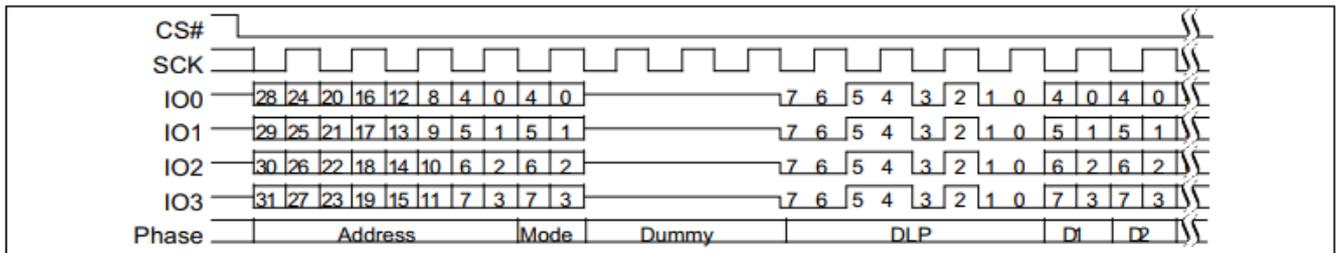


图 97 连续 DDR 四路 I/O 读取后续访问 (4 字节地址, EHPLC = 01b)^[48]

注释:

48. 示例 DLP 为 34h (或 00110100)。

9.5 编程存储器阵列指令

9.5.1 编程粒度

9.5.1.1 自动ECC

每个16字节对齐、16字节长度的编程功能块都有一个自动纠错码（ECC）值。数据功能块加上ECC形成ECC单元。与错误检测和纠正（EDC）逻辑相结合，ECC用于检测和纠正读取访问期间发现的任何单独的错误。当数据首次在ECC单元内编程时，ECC值是整个ECC单元的置位。如果同一ECC单元被编程多次，则ECC值将更改为失效，不能使用EDC功能。需要扇区擦除才能再次启用该编程功能块上的自动ECC。16字节编程功能块是自动ECC启用的最小编程粒度。

这些是对用户公开的自动操作。自动ECC的公开性不仅提高了典型编程操作（即向每个ECC单元写入一次数据）的数据准确性，而且通过允许单字节编程和位编程（即对同一个ECC单元进行多次编程），促进了与前几代FL系列产品的软件兼容性。当ECC单元禁用自动ECC时，不会对从ECC单元位置读取的数据进行EDC。

提供ECC状态寄存器用于确定ECC是否在ECC单元上启用，以及是否在ECC单元数据或ECC中检测到并纠正任何错误（参见“[ECC状态寄存器（ECCSR）](#)”在分页66。）ECC状态寄存器读取（ECCRD）指令用于读取任何ECC单元上的ECC状态。

错误检测和纠正（EDC）应用于除寄存器之外的闪存地址空间的所有部分。为每组受保护的字节计算一个错误校正码（ECC），并将ECC存储在与该字节组相关的隐藏区域中。受保护的字节组和相关的ECC一起称为ECC单元。

ECC是按每16字节对齐且长度ECC单位/装置计算的。

- 单独的一个EDC支持每个ECC单元8个ECC位，加上1位用于ECC失效，禁止使能标志。
- 扇区将扇区中的所有ECC位和ECC失效，不能使能标志重置为默认状态（启用的）。
- ECC被编程为标准编程指令操作的一部分。
- 如果对同一个ECC单元进行多次编程操作，ECC会自动禁用。
- 允许单字节编程或位编程，但禁用第二个程序上的ECC到相同的16字节ECC单元。
- ECC失效，禁止使能标志是在ECC禁用时编程的。
- 要为已禁用的ECC单元重新启用ECC，必须擦除包含该ECC单元的扇区。
- 为了确保EDC提供的最佳数据完整性，每个ECC单元只能编程一次，以便为该单元存储ECC并且不会禁用。
- ECC的计算、编程和禁用作为编程操作的一部分自动完成。如果需要，检测和校正将作为读取操作的一部分自动完成。主控系统只能看到来自读取操作的更正数据。
- ECC保护OTP区域 - 然而，同一个ECC单元上的第二个编程操作将会失效，不能使ECC永久地在该ECC单元上（OTP是一次性的，因此重新使能ECC使能/指示器位的擦除操作被禁止）。

9.5.1.2 页编程

页编程是通过将要编程的数据加载到页缓冲区并发出编程指令将数据从缓冲区移至闪存阵列来完成的。这设置了可使用单个编程指令进行编程的数据量的上限。分页编程允许最大分页大小

（512字节）可在一次操作中完成编程。分页在分页大小地址边界上对齐。在每个写入缓冲区编程操作中，可以编程1位到512字节。建议写入16字节长度的倍数并对齐的编程块。为了获得最佳性能，

编程应以 512 字节边界对齐的整页 512 字节进行，并且每个分页仅编程一次。

9.5.1.3 单字节编程

单字节编程允许在存储器阵列中的任何位置对单个字节进行编程，从而完全向后兼容标准 SPI 分页编程 (pp) 指令。虽然支持单字节编程，但这将禁用在该字节所在的 16 字节 ECC 单元上进行自动 ECC。

9.5.2 分页编程 (pp 02h 或 4PP 12h)

分页编程 (pp) 指令允许对内存中的字节进行编程 (将位从“1”更改为“0”)。在器件接受页编程 (pp) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写入使能 (WREN) 指令后，器件将状态寄存器中的写入使能锁存器 (WEL) 设置为使任何写入操作有效。

指令

- 02h (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 02h (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 12h 后面跟着一个 4 字节地址 (A31-A0)

并且 SI 上至少有一个数据字节。使用指令 02h 提供 3 字节地址或使用指令 12h 提供 4 字节地址后，最多可在 SI 上提供一页。如果 9 个最低有效地址位 (A8-A0) 不全为零，则超出当前分页末尾的所有传输数据将从同一分页的起始地址开始编程 (从 9 个最低有效位 (A8-A0) 都为零的地址开始)，即地址在分页对齐的地址边界内回绕。这是因为只需要用户输入一个分页地址即可覆盖整个分页边界。

如果向器件发送的数据少于一页，则这些数据字节将从页内提供的地址开始按顺序进行编程，而不会对同一页的其他字节产生任何影响。

为了优化时序，使用分页编程 (pp) 指令在分页边界内加载整个分页大小的程序指示灯与将小于分页大小的程序加载到程序指示灯相比将节省总体编程时间。

编程过程由内部器件控制逻辑来管理。发出编程指令后，可以使用读取状态寄存器-1 指令检查编程操作状态。WIP 位 (SR1[0]) 将指示编程操作何时完成。P_ERR 位 (SR1[6]) 将指示编程操作中是否发生了编程是否完成的错误。

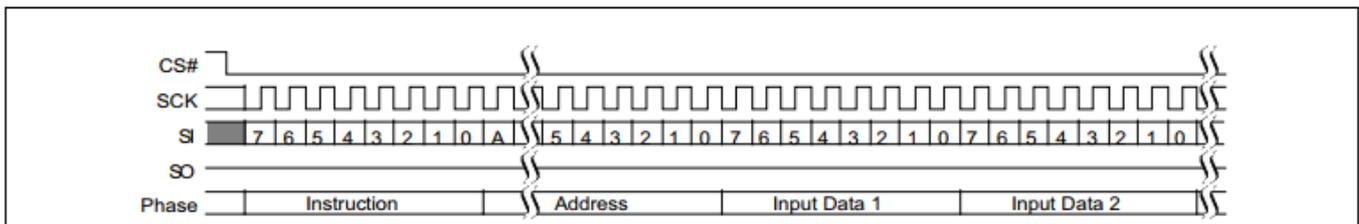


图 98 分页编程 (pp 02h 或 4PP 12h) 指令序列

9.5.3 四分页编程 (QPP 32h 或 38h, 或 4QPP 34h)

四线输入页编程 (QPP) 指令允许对存储器中的字节进行编程 (将位从 1 更改为 0)。四输入分页编程 (QPP) 指令允许使用四个信号将高达分页大小 (512 字节) 的数据加载到分页指示灯: I/O0-I/O3。QPP 可以通过每个时钟周期加载 4 位数据来提高 PROM 编程器和时钟速度较慢 (< 12 MHz) 的应用程序的性能。时钟速度更快的系统并没有从 QPP 指令中获益太多，因为固有的分页编程时间变得大于记录数据所需的时间。

Commands

QPP 指令的最大频率为 80 MHz。

要使用四线页编程，配置寄存器中的 Quad 使能位必须为设置位 (QUAD = 1)。在器件接受 QPP 指令（状态寄存器 1，WEL = 1）之前，必须执行写使能指令。

指令

- 32h (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 32h (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 38h (ExtAdd = 0) 后跟一个 3 字节地址 (A23-A0) 或
- 38h (ExtAdd = 1) 后跟一个 4 字节地址 (A31-A0) 或
- 34h 后面跟着一个 4 字节地址 (A31-A0)

以及至少一个数据字节，进入 I/O 信号。必须在先前擦除的 (FFh) 内存位置对数据进行编程。

建议编程时将分页对齐在分页大小地址边界上。在每个写入缓冲区编程操作中，可以编程 1 位到 512 字节。建议写入 16 字节长度的倍数并对齐的编程块。这确保自动 ECC 不会被禁用”。

QPP 的其余功能与页编程相同。QPP 指令时序如下图所示。

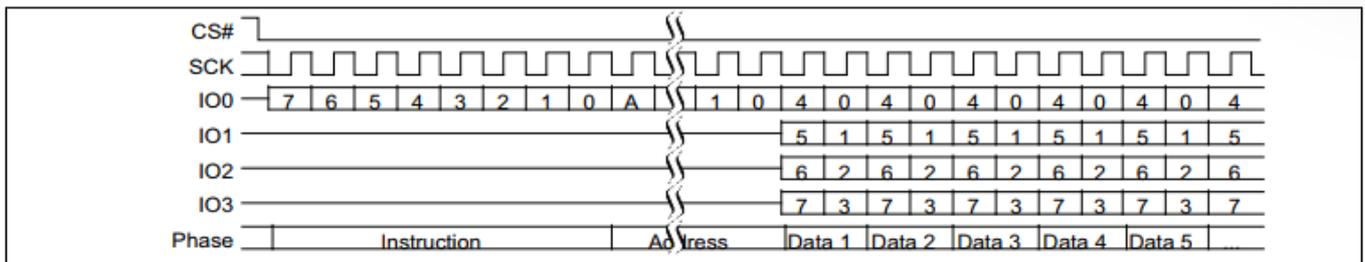


图 99 Quad 512 字节分页编程指令序列

9.5.4 编程挂起 (PGSP 85h) 和唤醒 (PGRS 8Ah)

编程挂起指令允许系统中断编程操作，然后从任何其他非挂起扇区或非挂起编程页面读取。编程挂起仅在编程操作期间有效。

发出编程挂起指令后允许的指令：

- 读取状态寄存器 1 (RDSR1 05h)
- 读取状态寄存器 2 (RDSR2 07h)

必须检查状态寄存器 1 (SR1[0]) 中的写入进行中 (WIP) 位，才能了解编程操作何时停止。状态寄存器 2 (SR2[0]) 中的编程挂起状态位可用于确定在 WIP 变为“0”时编程操作是已暂停还是已完成。暂停操作完成所需的时间为 t_{PSL} ，参见表 47。

参见表 45 为编程挂起时允许的指令。

必须写入编程唤醒指令 8Ah 才能在编程挂起后唤醒编程操作。如果编程操作在暂停操作期间完成，则不需要唤醒指令，并且发出该指令也不会产生任何效果。除非编程操作被暂停，否则编程唤醒指令将被忽略。

发出编程唤醒指令后，状态寄存器 1 中的 WIP 位将置位为‘1’，并且编程操作将唤醒。编程操作可以根据需要随时中断，例如，编程挂起指令可以紧跟在编程唤醒指令之后，但为了使编程操作要完成，

唤醒和下一个挂起指令之间必须间隔大于或等于 t_{PRS} 时间间隔。参见表 47。

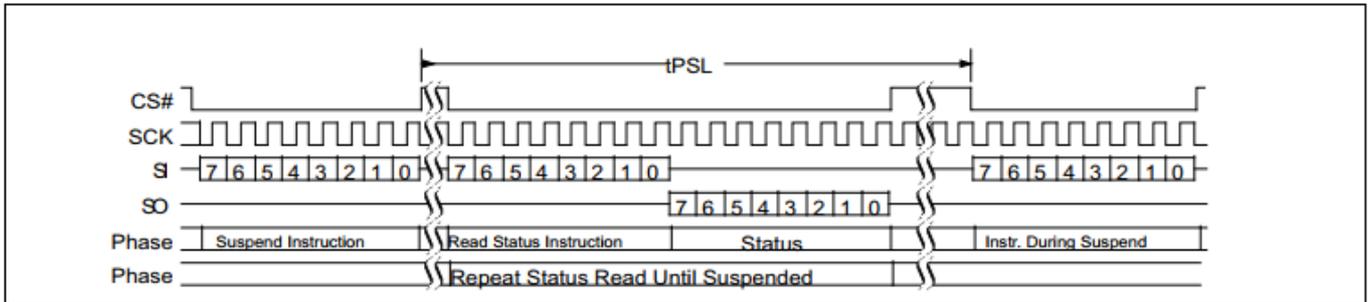


图 100 编程挂起 (PGSP 85h) 指令序列

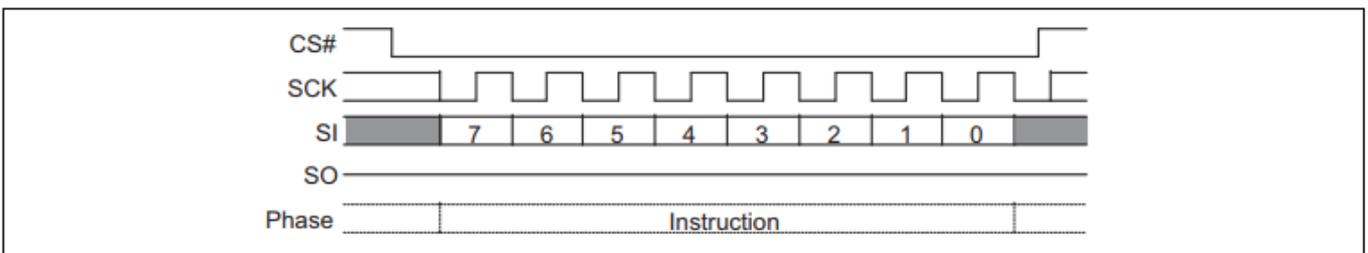


图 101 10.55 编程唤醒 (PGRS 8Ah) 指令序列

9.6 擦除闪存阵列指令

9.6.1 扇区擦除 (SE D8h 或 4SE DCh)

扇区寻址 (SE) 指令将寻址扇区中的所有位设置为 1 (所有字节均为 FFh)。在器件接受扇区寄存器 (SE) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL), 以允许任何写操作。

指令

- D8h [ExtAdd = 0] 后跟一个 3 字节地址 (A23-A0), 或者
- D8h [ExtAdd = 1] 后跟一个 4 字节地址 (A31-A0), 或者
- DCh 后面跟着一个 4 字节地址 (A31-A0)

在地址的第 24 位或第 32 位被锁存在 SI 上之后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 其中包括所选扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平, 则不会执行扇区擦除操作。

一旦 CS# 被驱动到逻辑高电平状态, 内部擦除周期就会启动。随着内部擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时, WIP 位将显示“1”, 当擦除周期已完成时, WIP 位将显示“0”。

应用于已通过功能块保护位或 ASP 写保护的扇区的扇区 (SE) 指令将不会被执行, 并将置位 E_ERR 状态。ASP 对每个扇区都有一个 PPB 和一个 DYB 保护位。

Commands

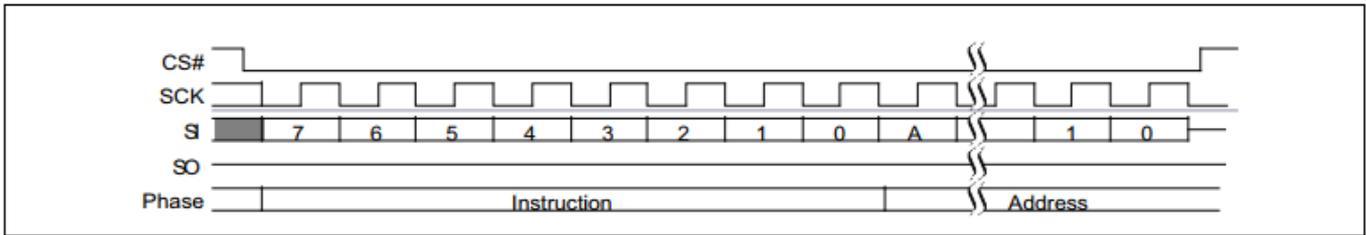


图 102 扇区擦除 (SE D8h 或 4SE DCh) 指令序列

9.6.2 批量擦除 (BE 60h 或 C7h)

批量擦除 (BE) 指令将整个存储阵列所有位设置为“1” (所有字节均为 FFh)。在器件接受 BE 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期，涉及整个闪存阵列的预编程和擦除。如果在指令的最后一位之后 CS# 没有被驱动为高电平，则不会执行 BE 操作。一旦 CS# 被驱动到逻辑高电平状态，擦除周期就会启动。随着擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当擦除周期正在进行时，WIP 位将显示“1”，当擦除周期已完成时，WIP 位将显示“0”。

仅当功能块保护 (BP2、BP1、BP0) 位设置为 0 时，BE 指令才能执行。如果 BP 位不为零，则不执行 BE 指令，并且不置位 E_ERR。BE 指令将跳过任何受 DYB 或 PPB 保护的扇区，并且 E_ERR 状态将不会被置位。

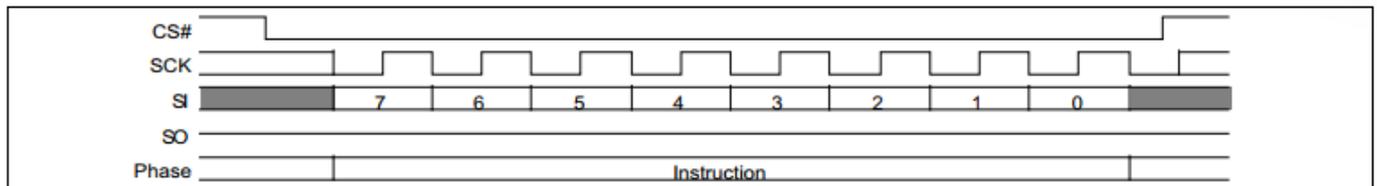


图 103 批量擦除指令序列

9.6.3 擦除挂起和恢复指令 (ERSP 75h 或 ERRS 7Ah)

擦除挂起指令允许系统中断扇区擦除操作，然后从主闪存阵列读取数据或向其编程数据。擦除挂起命令仅在扇区擦除操作期间有效。如果在芯片擦除操作期间写入擦除挂起指令，该指令将被忽略。如果在扇区擦除操作期间写入擦除挂起指令，器件需要最多 t_{ESL} (擦除挂起等待时间) 时间来挂起擦除操作并更新状态位。参见表格 48。

发出指令擦除挂起后允许的指令：

- 读取状态寄存器 1 (RDSR1 05h)
- 读取状态寄存器 2 (RDSR2 07h)

Commands

必须检查状态寄存器 1 (SR1[0]) 中的写入进行中 (WIP) 位, 以了解擦除操作何时停止。状态寄存器 2 (SR2[1]) 中的暂停位可用于确定在 WIP 变为 '0' 时, 操作是否已暂停或已完成。

如果擦除操作在挂起操作期间完成, 则不需要恢复指令, 并且发出该指令也不会产生任何效果。除非挂起操作, 否则恢复指令将被忽略。

参见表 45 为擦除挂起时允许的指令。

擦除操作暂停后, 扇区进入擦除暂停模式。系统可以从该器件读取数据或向该器件写入数据。读取擦除暂停扇区内的任何地址都会产生不确定的数据。

在任何会改变数据的指令之前都需要一个 WREN 指令, 即使是在中断挂起期间。

在擦除挂起期间不允许使用 WRR 和 PPB 指令, 因此在擦除挂起期间不可能更改功能块保护或 PPB 位。如果有些扇区在擦除挂起期间可能需要编程, 则这些扇区应该仅受到可在擦除挂起期间关闭的 DYB 位的保护。

但是, 允许在 BRAC 指令之后立即执行 WRR; 在这种特殊情况下, WRR 被解释为对组地址寄存器的写入, 而不是对 SR1 或 CR1 的写入。

如果一个编程指令被发送到一个位置在一个擦除暂停扇区内, 编程操作将失败并返回 P_ERR 位。

擦除挂起的编程操作完成后, EAC 返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态, 就像在执行标准编程操作一样。

如果擦除被暂停, 则必须写入擦除恢复指令 7Ah 以恢复擦除操作。除非一个擦除命令是挂起, 否则擦除恢复指令将被忽略。

发送指令擦除恢复后, 状态寄存器中的 WIP 位将设置为“1”, 并且擦除指令操作将继续。进一步的恢复指令将被忽略。

擦除操作可以根据需要随时中断, 例如, 一个擦除挂起指令可以紧跟在一个擦除恢复指令之后, 但为了使擦除操作能够完成, 恢复指令和下一个挂起指令之间必须有大于或等于 t_{ERS} 的时间间隔。参见表 48。

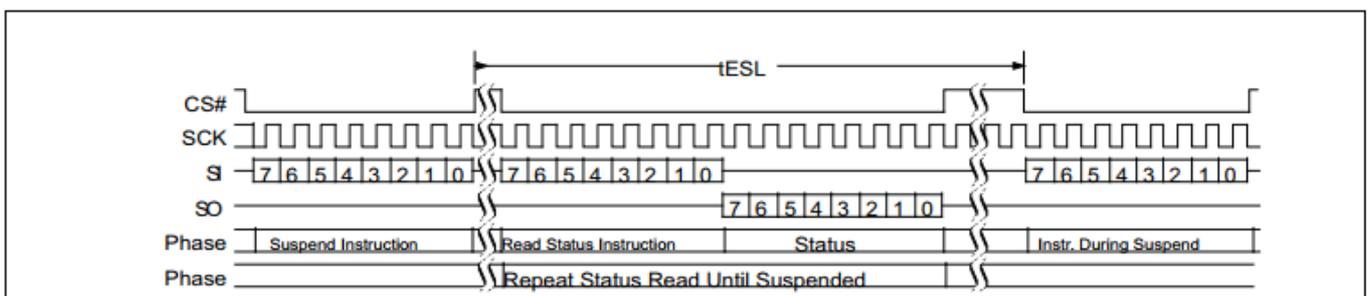


图 104 擦除暂停 (ERSP 75h) 指令序列

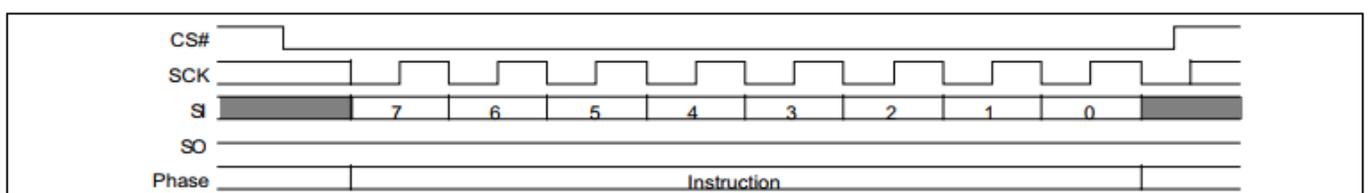


图 105 擦除恢复 (ERRS 7Ah) 指令序列

Commands

表 45 编程或擦除暂停期间允许的指令

Instruction name	Instruction code (Hex)	Allowed during erase suspend	Allowed during program suspend	Comment
BRAC	B9	X	X	Bank address register may need to be changed during a suspend to reach a sector for read or program.
BRRD	16	X	X	Bank address register may need to be changed during a suspend to reach a sector for read or program.
BRWR	17	X	X	Bank address register may need to be changed during a suspend to reach a sector for read or program.
CLSR	30	X	-	Clear status may be used if a program operation fails during erase suspend.
DYBRD	E0	X	-	It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
DYWBR	E1	X	-	It may be necessary to remove and restore dynamic protection during erase suspend to allow programming during erase suspend.
ERRS	7A	X	-	Required to resume from erase suspend.
DDRF	0D	X	X	All array reads allowed in suspend.
4DDRF	0E	X	X	All array reads allowed in suspend.
FAST_READ	0B	X	X	All array reads allowed in suspend.
4FAST_READ	0C	X	X	All array reads allowed in suspend.
MBR	FF	X	X	May need to reset a read operation during suspend.
PGRS	8A	X	X	Needed to resume a program operation. A program resume may also be used during nested program suspend within an erase suspend.
PGSP	85	X	-	Program suspend allowed during erase suspend.
PP	02	X	-	Required for array program during erase suspend.
4PP	12	X	-	Required for array program during erase suspend.
PPBRD	E2	X	-	Allowed for checking persistent protection before attempting a program command during erase suspend.
QPP	32, 38	X	-	Required for array program during erase suspend.
4QPP	34	X	-	Required for array program during erase suspend.
4READ	13	X	X	All array reads allowed in suspend.
RDCR	35	X	X	-
DIOR	BB	X	X	All array reads allowed in suspend.
4DIOR	BC	X	X	All array reads allowed in suspend.
DOR	3B	X	X	All array reads allowed in suspend.
4DOR	3C	X	X	All array reads allowed in suspend.
DDRDIOR	BD	X	X	All array reads allowed in suspend.
4DDRDIOR	BE	X	X	All array reads allowed in suspend.
DDRQIOR	ED	X	X	All array reads allowed in suspend.
DDRQIOR4	EE	X	X	All array reads allowed in suspend.

Commands

表 45 编程或擦除暂停期间允许的指令 (续)

Instruction name	Instruction code (Hex)	Allowed during erase suspend	Allowed during program suspend	Comment
QIOR	EB	X	X	All array reads allowed in suspend.
4QIOR	EC	X	X	All array reads allowed in suspend.
QOR	6B	X	X	All array reads allowed in suspend.
4QOR	6C	X	X	All array reads allowed in suspend.
RDSR1	05	X	X	Needed to read WIP to determine end of suspend process.
RDSR2	07	X	X	Needed to read suspend status to determine whether the operation is suspended or complete.
READ	03	X	X	All array reads allowed in suspend.
RESET	F0	X	X	Reset allowed anytime.
WREN	06	X	-	Required for program command within erase suspend.
WRR	01	X	X	Bank register may need to be changed during a suspend to reach a sector needed for read or program. WRR is allowed when following BRAC.

9.7 一次性编程指令

9.7.1 OTP 编程 (OTPP 42h)

OTP编程指令在一次性编程区域中对数据进行编程，该区域与主数组数据位于不同的地址空间中。OTP区域为1024字节，因此对于该指令，从A23到A10的地址位必须为零。有关OTP区域的详细信息，请参阅“[OTP 地址空间](#)”位于分页55。OTP编程指令的协议与分页编程指令相同。在器件接受OTP编程指令之前，器件必须发出写使能(WREN)指令并对其进行解码，这会设置寄存器状态中的写使能锁存器(WEL)，以允许任何写操作。

为了以位粒度对OTP阵列进行编程，数据字节内的其余位可以设置为“1”。

OTP存储空间中的每个区域都可以被编程一次或多次，前提是该区域未被锁定。尝试在锁定的区域中编程零将失败，并且P_ERR位在SR1中置位为“1”。即使在受保护的区域中编程1也不会导致错误，也不会置位P_ERR。后续的OTP编程只能对未编程的位（即1个数据）进行。

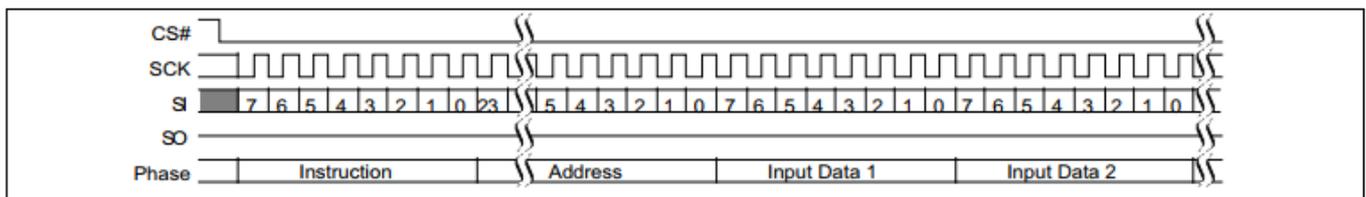


图 106 分页编程 (OTPP 42h) 指令序列

9.7.2 OTP 读取 (OTPR 4Bh)

OTP读取命令从OTP区域读取数据。OTP区域大小为1024字节，因此，该命令中从A23到A10 OTP地址位必须为零。参考“[OTP 地址空间](#)”在分页55有关OTP区域的详细信息。OTP读取命令的协议与快速读取命令类似，不同之处在于，在OTP地址达到最大值后，它不会返回到起始地址；相反，会超出最大

Commands

OTP数据地址将未定义。此外，OTP 读取命令不受延迟代码的影响。OTP 读取命令始终具有一个虚拟字节的延迟，如下所示。

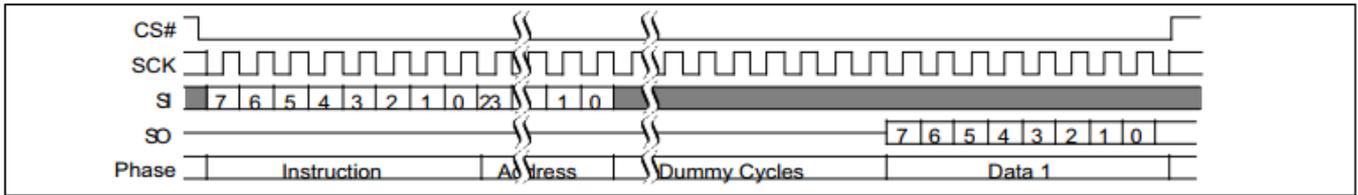


图 107 读取OTP (OTPR 4Bh) 指令序列

9.8 高级扇区保护

9.8.1 ASP 读取 (ASPRD 2Bh)

ASP 读指令 2Bh 在 SCK 信号的上升沿被移入 SI。然后 16 位 ASP 寄存器内容首先移出串行输出 SO，低字节/最低有效位。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 16 个时钟周期的倍数，可以连续读取 ASP 寄存器。ASP 读取 (ASPRD) 指令的最大工作时钟频率为 133 MHz。

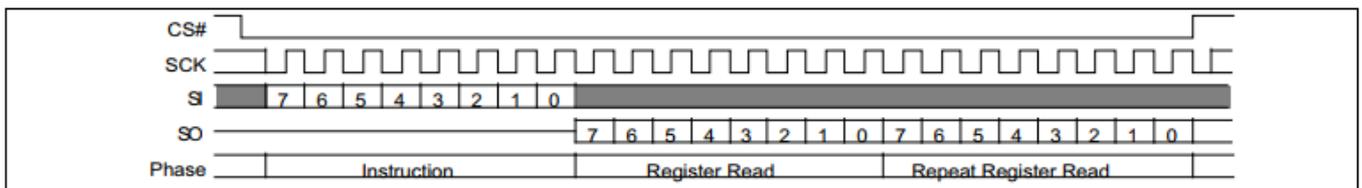


图 108 ASPRD指令

9.8.2 ASP 编程(ASPP 2Fh)

在器件接受 ASP 程序 (ASPP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动至逻辑低电平状态，然后输入SI上的指令和两个数据字节（低字节/最低有效位），即可进入 ASPP 指令。ASP 寄存器的长度为两个数据字节。

ASPP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。

锁存第十六位数据后，必须将 CS# 输入驱动为逻辑高电平状态。如果不是，则不会执行 ASPP 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 ASPP 操作就会启动。当 ASPP 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 ASPP 操作期间为“1”，完成时为“0”。当 ASPP 操作完成时，写能锁存器 (WEL) 被置位为‘0’。

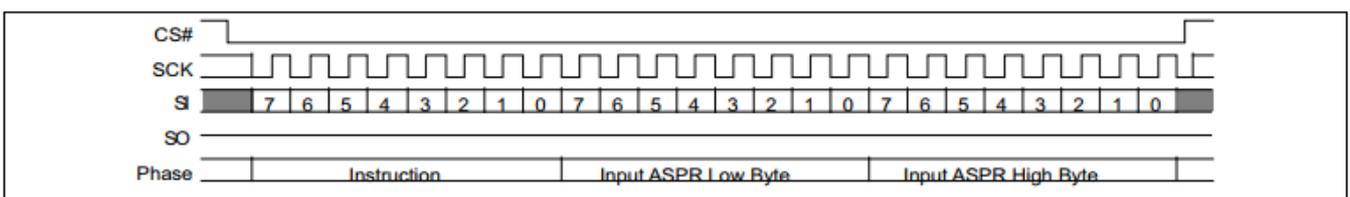


图 109 ASPP (2Fh) 指令

9.8.3 DYB 读取 (DYBRD E0h)

指令E0h在SCK信号的上升沿被锁存到SI中。接下来是 32 位地址，在所需扇区内选择位置零（注意，特定密度器件未使用的高阶地址位必须为零）。然后，8 位DYB访问寄存器的内容通过串行输出 SO 移出。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供八个时钟周期的倍数，可以连续读取相同的DYB访问寄存器。DYB寄存器的地址没有递增，所以这不是读取整个DYB阵列的方法。必须使用单独的 DYB 读取命令读取每个位置。读取命令的最大工作时钟频率为 133 MHz。

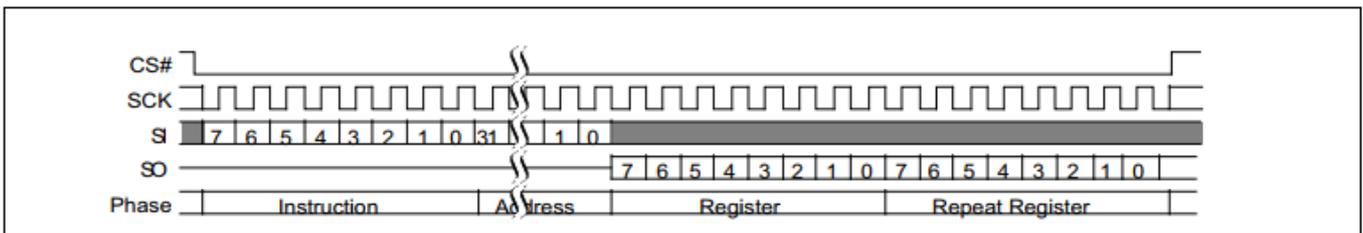


图 110 DYBRD 指令序列

9.8.4 DYB 写入 (DYBWR E1h)

在器件接受DYB写入 (DYBWR) 指令之前，必须发出写入使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态来输入 DYBWR 指令，然后是指令，32 位地址选择所需扇区内的位置零（注意，特定密度器件未使用的高阶地址位必须为零），然后是SI上的数据字节。DYB访问寄存器的长度为一数据字节。

DYBWR 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。锁存第八位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 DYBWR 指令。一旦 CS# 被驱动为逻辑高电平状态，自定时 DYBWR 操作就会启动。当 DYBWR 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 DYBWR 操作期间为“1”，完成时为“0”。当DYBWR操作完成时，写能力锁存器 (WEL) 被置位为‘0’。

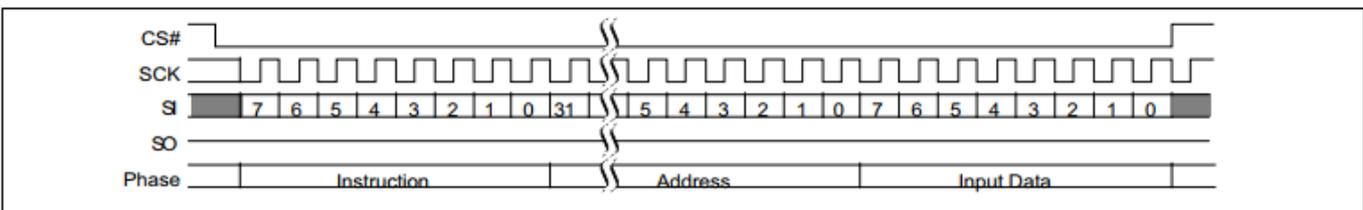


图 111 DYBWR (E1h) 指令序列

9.8.5 PPB 读取 (PPBRD E2h)

指令 E2h 在 SCK 信号的上升沿移入SI，随后是 32 位地址选择所需扇区内的位置零（注意，特定密度器件未使用的高阶地址位必须为零），然后 8 位 PPB 访问寄存器内容在 SO 上移出。

通过提供八个时钟周期的倍数，可以连续读取相同的 PPB 访问寄存器。PPB 寄存器的地址没有递增，所以这不是读取整个 PPB 阵列的方法。每个地点必须使用单独的 PPB 读取命令来读取。

PPB 读取命令的最大工作时钟频率为 133 MHz。

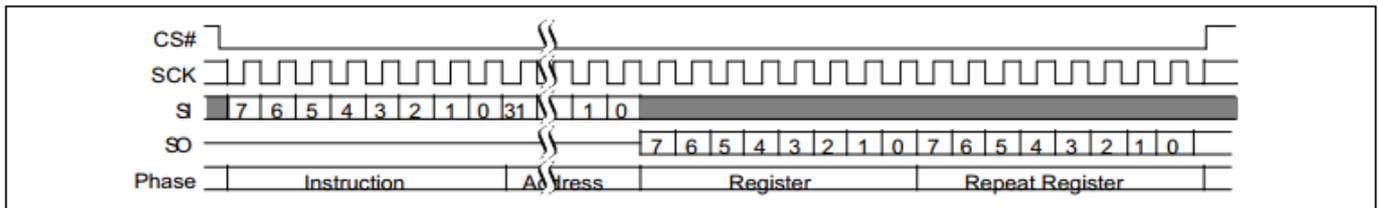


图 112 PPBRD (E2h) 指令序列

9.8.6 PPB 编程 (PPBP E3h)

在器件接受 PPB 程序 (PPBP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动到逻辑低电平状态，然后是指令，然后是在所需扇区内选择位置零的 32 位地址来输入 PPBP 指令（注意，特定密度器件未使用的高阶地址位必须为零）。

PPBP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P_ERR 和 WIP 位。

在地址的最后一位被锁存后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PPBP 指令。一旦 CS# 被驱动至逻辑高电平状态，自定时 PPBP 操作就会启动。当 PPBP 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在 PPBP 操作期间为“1”，完成时为“0”。当 PPBP 操作完成时，写能力锁存器 (WEL) 被置位为‘0’。

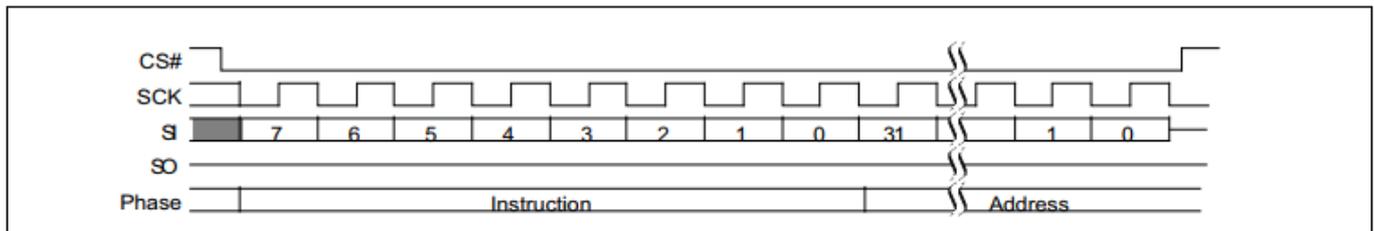


图 113 PPBP (E3h) 指令序列

9.8.7 PPB 擦除 (PPBE E4h)

PPB (PPBE) 指令将所有 PPB 位设置为“1”。在器件接受 PPB 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL)，以允许任何写操作。

指令 E4h 通过 SCK 信号的上升沿移位到 SI 中。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始，其中涉及整个 PPB 存储器阵列的预编程和擦除。如果在指令的第八位之后没有将 CS# 驱动为逻辑高电平状态，则不会执行 PPB 擦除操作。

随着内部擦除周期的进行，用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时，WIP 位将显示“1”，当擦除周期已完成时，WIP 位将显示“0”。PPB 擦除期间不允许擦除挂起。

Commands

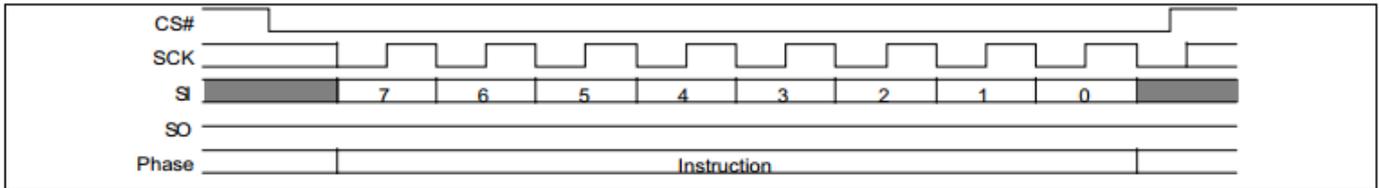


图 114 PPB 擦除 (PPBE E4h) 指令序列

9.8.8 PPB 锁定位读取 (PLBRD A7h)

PPB 锁定位读取 (PLBRD) 指令允许将 PPB 锁定位寄存器内容读取 SO 的位。通过提供八个时钟周期的倍数，可以连续读取 PPB 锁定位寄存器。仅当器件处于待机状态且没有其他操作正在进行时，才可以读取 PPB 锁定位的内容。建议在向器件发出新指令之前检查寄存器状态的写入进度 (WIP) 位。

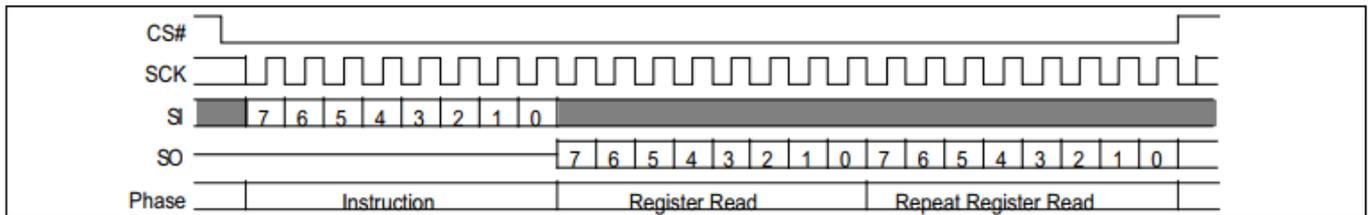


图 115 PPB 锁定位寄存器读取命令序列

9.8.9 PPB 锁定位写入 (PLBWR A6h)

PPB 锁定位写入 (PLBWR) 指令将 PPB 锁定位清零。在器件接受 PLBWR 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置寄存器状态中的写使能锁存器 (WEL) 以允许任何写操作。

通过将 CS# 驱动至逻辑低电平状态来输入 PLBWR 命令，然后输入指令。

锁存指令的第八位后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行 PLBWR 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PLBWR 操作就会启动。当 PLBWR 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PLBWR 操作期间为“1”，完成时为“0”。当 PLBWR 操作完成时，写能力锁存器 (WEL) 被置位为“0”。PLBWR 指令的最大时钟频率为 133 MHz。

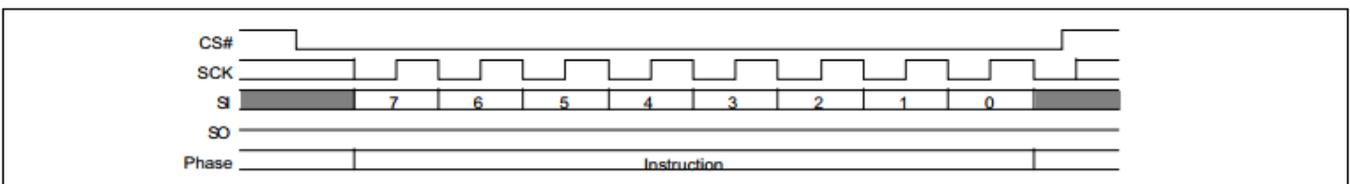


图 116 PPB 锁定位写入 (PLBWR A6h) 指令序列

9.8.10 密码读取 (PASSRD E7h)

仅当密码值被编程之后，并且在通过将 ASP 寄存器 (ASP[2]) 中的密码保护模式位编程为“0”来选择密码模式之前，才可以读取正确的密码值。选择密码保护模式后，PASSRD 指令将被忽略。

PASSRD 指令被移入 SI。然后将 64 位密码移出到串行输出 SO 上，先移出低字节/最低有效位，再移出每字节的最高有效位。每个位在 SCK 的下降沿以 SCK 频率移出信号。通过提供 64 个时钟周期的倍数，

Commands

可以连续读取密码。PASSRD 指令的最大工作时钟频率为 133 MHz。

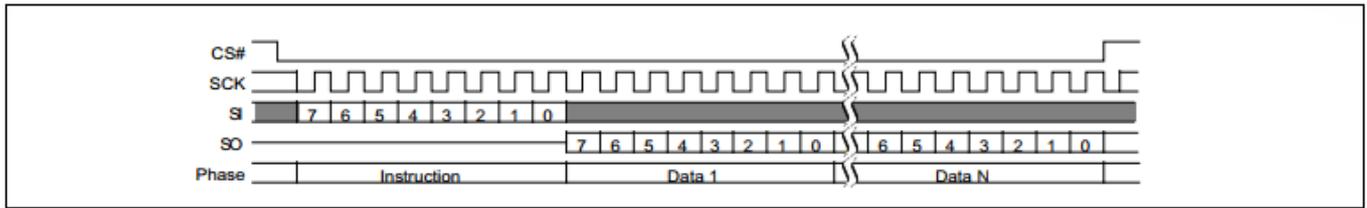


图 117 密码读取 (PASSRD E7h) 指令序列

9.8.11 密码编程 (PASSP E8h)

在器件接受密码编程 (PASSP) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。写使能 (WREN) 指令被解码后，器件设置写使能锁存器 (WEL) 来使能 PASSP 操作。

仅可在选择密码模式之前通过将 ASP 寄存器 (ASP[2]) 中的密码保护模式位编程为“0”来对密码进行编程。选择密码保护模式后，PASSP 指令将被忽略。

通过将 CS 驱动为逻辑低电平状态，然后输入 SI 上的指令和密码数据字节，进入 PASSP 指令，先是低字节/最低有效位，然后是每个字节的最高有效位。密码长度为六十四 (64) 位。

在第 64 个 (64th) 个数据位被锁存后，CS 必须驱动至逻辑高电平状态。否则，PASSP 指令不会执行。一旦 CS 驱动至逻辑高电平状态，自定时 PASSP 操作就会启动。在 PASSP 操作进行中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。在自定时 PASSP 周期内，写入进度 (WIP) 位为“1”，完成后为“0”。PASSP 指令可以在状态寄存器的 P_ERR 位中报告编程错误。

当 PASSP 操作完成后，写能锁存器 (WEL) 被置位为‘0’。PASSP 指令的最大时钟频率为 133 MHz。

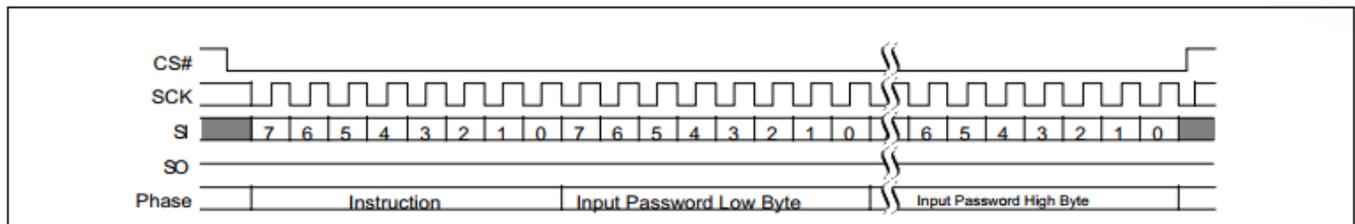


图 118 密码程序 (PASSP E8h) 指令序列

9.8.12 密码解锁 (PASSU E9h)

通过将 CS 驱动为逻辑低电平状态，然后输入 SI 上的指令和密码数据字节，进入 PASSU 指令，先是低字节/最低有效位，然后是每个字节的最高有效位。密码长度为六十四 (64) 位。

在第六十四个 (64th) 个数据位被锁存后，CS 必须驱动至逻辑高电平状态。否则，不会执行 PASSU 指令。一旦 CS 驱动至逻辑高电平状态，自定时 PASSU 操作就会启动。在 PASSU 操作进行中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。在自定时 PASSU 周期内，写入进度 (WIP) 位为“1”，完成后为“0”。

如果 PASSU 指令提供的密码与密码寄存器中的隐藏密码不匹配，则通过将 P_ERR 位设置为“1”来报告错误。状态寄存器的 WIP 位也置位为“1”。需要使用 CLSR 指令清零，复位状态寄存器，复位指令用于软件复位

Commands

器件，或将 RESET# 输入驱动为低电平以启动复位硬件，以便将 P_ERR 和 WIP 位返回为“0”。这会将器件返回到待机状态，为新指令做好准备，例如重试 PASSU 指令。

如果密码匹配，则 PPB 锁定位置设置为“1”。PASSU 指令的最大时钟频率为 133 MHz。

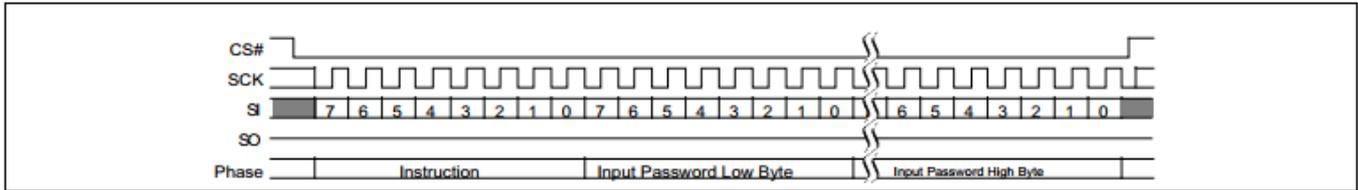


图119 密码解锁 (PASSU E9h) 指令序列

9.9 复位命令

9.9.1 软件复位指令 (复位 F0h)

软件复位指令 (复位) 将器件恢复到其初始上电状态，但配置寄存器 CR1[1] 中的易失性 FREEZE 位和 PPB 锁定寄存器中的易失性 PPB 锁定位除外。冻结位和 PPB 锁定位将在软件复位之前保持其最后值。要清零，复位 FREEZE 位并将 PPB 锁定位设置为其保护模式选择的上电状态，必须执行完整的上电复位序列或硬件复位。非易失配置寄存器、TBPROT、TBPARAM 和 BPNV 中的非易失位在软件复位后保留其先前状态。仅当通过配置寄存器 (CR1[3]) 中的 BPNV 位将功能块保护位 BP2、BP1 和 BP0 配置为易失性且 FREEZE 清零时，状态寄存器中的功能块保护位 BP2、BP1 和 BP0 才会被复位。软件复位不能用于规避其他安全配置位的 FREEZE 或 PPB 锁定位保护机制。复位指令在 CS 处于高电平状态时执行，并且需要 t_{RPH} 时间才能执行。

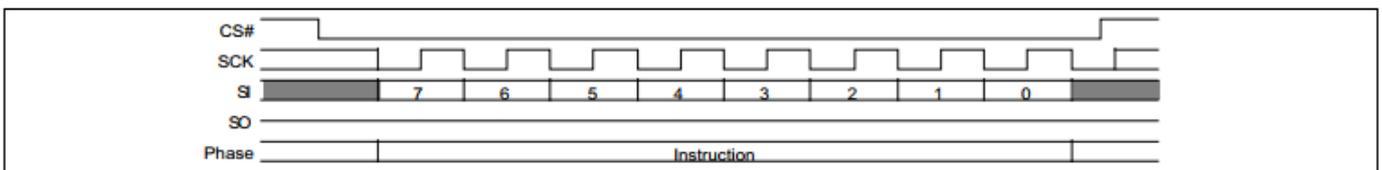


图 120 软件复位 (复位 F0h) 指令序列

9.9.2 模式位复位 (MBR FFh)

模式位复位 (MBR) 指令可用于将器件从连续高性能读取模式返回到正常待机状态，等待任何新指令。由于某些器件封装缺少硬件复位输入，并且处于连续高性能读取模式的器件可能无法识别任何正常的 SPI 指令，因此该器件可能无法识别系统硬件复位或软件复位指令。当 RESET# 信号不可用时，建议在系统复位之后使用 MBR 指令，或者在发送软件复位之前，以确保器件从连续高性能读取模式中释放。

MBR 指令在 SI 或 I/O0 上发送 8 个 SCK 周期的“1”。在这些周期内，I/O1 至 I/O3 是“无关”的。

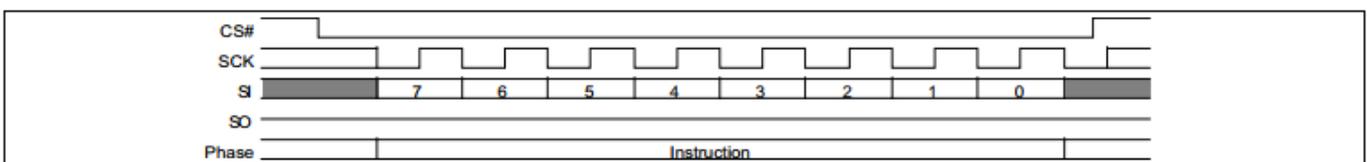


图 121 模式位 (MBR FFh) 复位指令序列

9.10 嵌入式算法性能表

表 46 编程和擦除性能

Symbol	Parameter	Min	Typ ^[49]	Max ^[50]	Unit
t_W	WRR Write Time	-	560	2000	ms
t_{PP}	Page Programming (512 bytes)	-	340	750/1300 ^[51]	μ s
t_{SE}	Sector Erase Time (256-kB logical sectors = 4 x 64 kB physical sectors)	-	520	2600	ms
t_{BE}	Bulk Erase Time (S25FL512S)	-	103	460	sec

表 47 程序挂起交流参数

Parameter	Min	Typ	Max	Unit	Comments
Program Suspend Latency (t_{PSL})	-	-	40	μ s	The time from Program Suspend command until the WIP bit is '0'.
Program Resume to next Program Suspend (t_{PRS})	0.06	100	-	μ s	Minimum is the time needed to issue the next Program Suspend command but \geq typical periods are needed for Program to progress to completion

表 48 擦除挂起交流参数

Parameter	Min	Typ	Max	Unit	Comments
Erase Suspend Latency (t_{ESL})	-	-	45	μ s	The time from Erase Suspend command until the WIP bit is '0'.
Erase Resume to next Erase Suspend (t_{ERS})	0.06	100	-	μ s	Minimum is the time needed to issue the next Erase Suspend command but \geq typical periods are needed for the Erase to progress to completion

注释:

- 49.编程和擦除的典型时间假设使用以下条件：温度 = 25°C， $V_{CC} = 3.0$ V，10,000次循环，使用交错式数据图案。
- 50.在最坏情况下为 90°C；最多 100,000 次循环。
- 51.工业温度范围/工业加温范围。

10 数据完整性

10.1 擦除耐久性

表 49 擦除次数

Parameter	Minimum	Unit
Program/Erase cycles per main Flash array sectors	100K	PE cycle
Program/Erase cycles per PPB array or non-volatile register array ^[52]	100K	PE cycle

10.2 数据保留

表 50 数据保留

Parameter	Test conditions	Minimum time	Unit
Data Retention Time	1K Program/Erase Cycles	20	Years
	10K Program/Erase Cycles	20	Years
	100K Program/Erase Cycles	2	Years

有关数据完整性的更多信息，请联系英飞凌销售或 FAE 代表。

注释:

52. 每一条写入非易失性寄存器的指令都会导致整个非易失性寄存器阵列进入一个编程/擦除周期。OTP 位和寄存器内置一个单独的阵列中，不进行编程/擦除周期。

Software interface reference

11 软件接口参考

11.1 命令汇总

表 51 S25FL512S 指令集 (按指令排序)

Instruction (Hex)	Command name	Command description	Maximum frequency (MHz)
01	WRR	Write Register (Status-1, Configuration-1)	133
02	PP	Page Program (3- or 4-byte address)	133
03	READ	Read (3- or 4-byte address)	50
04	WRDI	Write Disable	133
05	RDSR1	Read Status Register-1	133
06	WREN	Write Enable	133
07	RDSR2	Read Status Register-2	133
0B	FAST_READ	Fast Read (3- or 4-byte address)	133
0C	4FAST_READ	Fast Read (4-byte address)	133
0D	DDRF	DDR Fast Read (3- or 4-byte address)	80
0E	4DDRF	DDR Fast Read (4-byte address)	80
12	4PP	Page Program (4-byte address)	133
13	4READ	Read (4-byte address)	50
14	ABRD	AutoBoot Register Read	133
15	ABWR	AutoBoot Register Write	133
16	BRRD	Bank Register Read	133
17	BRWR	Bank Register Write	133
18	ECCRD	ECC Read	133
2B	ASPRD	ASP Read	133
2F	ASPP	ASP Program	133
30	CLSR	Clear Status Register - Erase/Program Fail Reset	133
32	QPP	Quad Page Program (3- or 4-byte address)	80
34	4QPP	Quad Page Program (4-byte address)	80
35	RDCR	Read Configuration Register-1	133
38	QPP	Quad Page Program (3- or 4-byte address)	80
3B	DOR	Read Dual Out (3- or 4-byte address)	104

Software interface reference

表 51 S25FL512S 指令集 (按指令排序) (续)

Instruction (Hex)	Command name	Command description	Maximum frequency (MHz)
3C	4DOR	Read Dual Out (4-byte address)	104
41	DLPRD	Data Learning Pattern Read	133
42	OTPP	OTP Program	133
43	PNVDLR	Program NV Data Learning Register	133
4A	WVDLR	Write Volatile Data Learning Register	133
4B	OTPR	OTP Read	133
5A	RSFDP	Read Serial Flash Discoverable Parameters	133
60	BE	Bulk Erase	133
6B	QOR	Read Quad Out (3- or 4-byte address)	104
6C	4QOR	Read Quad Out (4-byte address)	104
75	ERSP	Erase Suspend	133
7A	ERRS	Erase Resume	133
85	PGSP	Program Suspend	133
8A	PGRS	Program Resume	133
90	READ_ID (REMS)	Read Electronic Manufacturer Signature	133
9F	RDID	Read ID (JEDEC Manufacturer ID and JEDEC CFI)	133
A3	MPM	Reserved for Multi-I/O-High Perf Mode (MPM)	133
A6	PLBWR	PPB Lock Bit Write	133
A7	PLBRD	PPB Lock Bit Read	133
AB	RES	Read Electronic Signature	50
B9	BRAC	Bank Register Access (Legacy Command formerly used for Deep Power Down)	133
BB	DIOR	Dual I/O Read (3- or 4-byte address)	104
BC	4DIOR	Dual I/O Read (4-byte address)	104
BD	DDRDIOR	DDR Dual I/O Read (3- or 4-byte address)	80
BE	4DDRDIOR	DDR Dual I/O Read (4-byte address)	80
C7	BE	Bulk Erase (alternate command)	133

Software interface reference

表 51 S25FL512S 指令集 (按指令排序) (续)

Instruction (Hex)	Command name	Command description	Maximum frequency (MHz)
D8	SE	Erase 256 kB (3- or 4-byte address)	133
DC	4SE	Erase 256 kB (4-byte address)	133
E0	DYBRD	DYB Read	133
E1	DYBWR	DYB Write	133
E2	PPBRD	PPB Read	133
E3	PPBP	PPB Program	133
E4	PPBE	PPB Erase	133
E5	Reserved-E5	Reserved	-
E6	Reserved-E6	Reserved	-
E7	PASSRD	Password Read	133
E8	PASSP	Password Program	133
E9	PASSU	Password Unlock	133
EB	QIOR	Quad I/O Read (3- or 4-byte address)	104
EC	4QIOR	Quad I/O Read (4-byte address)	104
ED	DDRQIOR	DDR Quad I/O Read (3- or 4-byte address)	80
EE	4DDRQIOR	DDR Quad I/O Read (4-byte address)	80
F0	RESET	Software Reset	133
FF	MBR	Mode Bit Reset	133

11.2 闪存存储器可发现参数 (SFDP) 地址映射

SFDP 地址空间具有从地址零开始的帧头，用于标识 SFDP 数据结构并为每个参数提供指针。JEDEC JESD216B 标准规定了一项基本的闪存设备参数。基本闪存表设备有扇区映射和 4 字节地址指令的两个可选参数表。英飞凌通过指向 ID-CFI 地址空间提供了附加参数，即 ID-CFI 地址空间是 SFDP 地址空间的子集。SFDP 数据结构的参数表部分位于 ID-CFI 地址空间内，因此既是 CFI 参数，又是 SFDP 参数。这样，SFDP 和 ID-CFI 信息都可以通过 RSFDP 或 RDID 指令访问。

表 52 SFDP 概述图

Byte address	Description
0000h	Location zero within JEDEC JESD216B SFDP space – start of SFDP header
...	Remainder of SFDP header followed by undefined space
1000h	Location zero within ID-CFI space – start of ID-CFI parameter tables
...	ID-CFI parameters
1120h	Start of SFDP parameter which is also one of the CFI parameter tables
...	Remainder of SFDP parameter tables followed by either more CFI parameters or undefined space

11.2.1 字段定义

表 53 SFDP报文头/帧头

Relative byte address	SFDP Dword address	Data	Description
00h	SFDP Header 1st DWORD	53h	This is the entry point for Read SFDP (5Ah) command i.e. location zero within SFDP space ASCII “S”
01h		46h	ASCII “F”
02h		44h	ASCII “D”
03h		50h	ASCII “P”
04h	SFDP Header 2nd DWORD	06h	SFDP Minor Revision (06h = JEDEC JESD216 Revision B) This revision is backward compatible with all prior minor revisions. Minor revisions are changes that define previously reserved fields, add fields to the end, or that clarify definitions of existing fields. Increments of the minor revision value indicate that previously reserved parameter fields may have been assigned a new definition or entire Dwords may have been added to the parameter table. However, the definition of previously existing fields is unchanged and therefore remain backward compatible with earlier SFDP parameter table revisions. Software can safely ignore increments of the minor revision number, as long as only those parameters the software was designed to support are used i.e. previously reserved fields and additional Dwords must be masked or ignored . Do not do a simple compare on the minor revision number, looking only for a match with the revision number that the software is designed to handle. There is no problem with using a higher number minor revision.
05h		01h	SFDP Major Revision This is the original major revision. This major revision is compatible with all SFDP reading and parsing software.
06h		05h	Number of Parameter Headers (zero based, 05h = 6 parameters)
07h		FFh	Unused
08h	Parameter Header 0 1st DWORD	00h	Parameter ID LSb (00h = JEDEC SFDP Basic SPI Flash Parameter)
09h		00h	Parameter Minor Revision (00h = JESD216) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 0 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a higher numbered minor revision that contains additional parameters for that software revision.
0Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
0Bh		09h	Parameter Table Length (in double words = Dwords = 4 byte units) 09h = 9 Dwords
0Ch	Parameter Header 0 2nd DWORD	20h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1120h
0Dh		11h	Parameter Table Pointer Byte 1
0Eh		00h	Parameter Table Pointer Byte 2
0Fh		FFh	Parameter ID MSb (FFh = JEDEC defined legacy Parameter ID)

表 53 SFDP 报文头/帧头 (续)

Relative byte address	SFDP Dword address	Data	Description
10h	Parameter Header 1 1st DWORD	00h	Parameter ID LSb (00h = JEDEC SFDP Basic SPI Flash Parameter)
11h		05h	Parameter Minor Revision (05h = JESD216 Revision A) - This older revision parameter header is provided for any legacy SFDP reading and parsing software that requires seeing a minor revision 5 parameter header. SFDP software designed to handle later minor revisions should continue reading parameter headers looking for a later minor revision that contains additional parameters.
12h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
13h		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
14h	Parameter Header 1 2nd DWORD	20h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1120h address
15h		11h	Parameter Table Pointer Byte 1
16h		00h	Parameter Table Pointer Byte 2
17h		FFh	Parameter ID MSb (FFh = JEDEC defined Parameter)
18h	Parameter Header 2 1st DWORD	00h	Parameter ID LSb (00h = JEDEC SFDP Basic SPI Flash Parameter)
19h		06h	Parameter Minor Revision (06h = JESD216 Revision B)
1Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
1Bh		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
1Ch	Parameter Header 2 2nd DWORD	20h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 1120h address
1Dh		11h	Parameter Table Pointer Byte 1
1Eh		00h	Parameter Table Pointer Byte 2
1Fh		FFh	Parameter ID MSb (FFh = JEDEC defined Parameter)
20h	Parameter Header 3 1st DWORD	81h	Parameter ID LSb (81h = SFDP Sector Map Parameter)
21h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
22h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
23h		02h	Parameter Table Length (in double words = Dwords = 4 byte units) 02h = 2 Dwords
24h	Parameter Header 3 2nd DWORD	60h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 1160h
25h		11h	Parameter Table Pointer Byte 1
26h		00h	Parameter Table Pointer Byte 2
27h		FFh	Parameter ID MSb (FFh = JEDEC defined Parameter)

表 53 SFDP 报文头/帧头 (续)

Relative byte address	SFDP Dword address	Data	Description
28h	Parameter Header 4 1st DWORD	84h	Parameter ID LSb (00h = SFDP 4 Byte Address Instructions Parameter)
29h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)
2Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
2Bh		02h	Parameter Table Length (in double words = Dwords = 4 byte units) (2h = 2 Dwords)
2Ch	Parameter Header 4 2nd DWORD	68h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 1168h
2Dh		11h	Parameter Table Pointer Byte 1
2Eh		00h	Parameter Table Pointer Byte 2
2Fh		FFh	Parameter ID MSb (FFh = JEDEC defined Parameter)
30h	Parameter Header 5 1st DWORD	01h	Parameter ID LSb (Spansion Vendor Specific ID-CFI parameter) Legacy Manufacturer ID 01h = AMD / Spansion
31h		01h	Parameter Minor Revision (01h = ID-CFI updated with SFDP Rev B table)
32h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
33h		5Ch	Parameter Table Length (in double words = Dwords = 4 byte units) CFI starts at 1000h, the final SFDP parameter (CFI ID = A5) starts at 111Eh (SFDP starting point of 1120h -2hB of CFI parameter header), for a length of 11EhB excluding the CFI A5 parameter. The final CFI A5 parameter adds an additional 52hB for a total of 11Eh + 82h = 170hB. 170hB/4 = 5Ch Dwords.
34h	Parameter Header 5 2nd DWORD	00h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) Entry point for ID-CFI parameter is byte offset = 1000h relative to SFDP location zero.
35h		10h	Parameter Table Pointer Byte 1
36h		00h	Parameter Table Pointer Byte 2
37h		01h	Parameter ID MSb (01h = JEDEC JEP106 Bank Number 1)

11.3 器件ID和通用闪存接口 (ID-CFI) ASO映射

11.3.1 字段定义

表 54 制造商和器件ID

Byte address	Data	Description
00h	01h	Manufacturer ID for Spansion
01h	02h (512 Mb)	Device ID MSB - Memory Interface Type
02h	20h (512 Mb)	Device ID LSB - Density
03h	xxh	ID-CFI Length - number bytes following. Adding this value to the current location of 03h gives the address of the last valid location in the ID-CFI address map. A value of 00h indicates the entire 512-byte ID-CFI space must be read because the actual length of the ID-CFI information is longer than can be indicated by this legacy single byte field. The value is OPN dependent.
04h	00h (Uniform 256-kB sectors)	Sector Architecture
05h	80h (FL-S Family)	Family ID
06h	xxh	ASCII characters for Model Refer to “Ordering information” on page 160 for the model number definitions.
07h	xxh	
08h	xxh	Reserved
09h	xxh	Reserved
0Ah	xxh	Reserved
0Bh	xxh	Reserved
0Ch	xxh	Reserved
0Dh	xxh	Reserved
0Eh	xxh	Reserved
0Fh	xxh	Reserved

表 55 CFI查询识别字符串

Byte address	Data	Description
10h 11h 12h	51h 52h 59h	Query Unique ASCII string “QRY”
13h 14h	02h 00h	Primary OEM Command Set FL-P backward compatible command set ID
15h 16h	40h 00h	Address for Primary Extended Table
17h 18h	53h 46h	Alternate OEM Command Set ASCII characters “FS” for SPI (F) interface, S Technology
19h 1Ah	51h 00h	Address for Alternate OEM Extended Table

表 56 CFI系统接口字符串

Byte address	Data	Description
1Bh	27h	V _{CC} Min. (erase/program): 100 millivolts
1Ch	36h	V _{CC} Max. (erase/program): 100 millivolts
1Dh	00h	V _{PP} Min. voltage (00h = no V _{PP} present)
1Eh	00h	V _{PP} Max. voltage (00h = no V _{PP} present)
1Fh	06h	Typical timeout per single byte program 2 ^N μs
20h	09h (512B page)	Typical timeout for Min. size Page program 2 ^N μs (00h = not supported)
21h	09h (256 kB)	Typical timeout per individual sector erase 2 ^N ms
22h	11h (512 Mb)	Typical timeout for full chip erase 2 ^N ms (00h = not supported)
23h	02h	Max. timeout for byte program 2 ^N times typical
24h	02h	Max. timeout for page program 2 ^N times typical
25h	03h	Max. timeout per individual sector erase 2 ^N times typical
26h	03h	Max. timeout for full chip erase 2 ^N times typical (00h = not supported)

表 57 512-Mb 器件的器件几何定义

Byte address	Data	Description
27h	1Ah (512 Mb)	Device Size = 2 ^N bytes;
28h	02h	Flash Device Interface
29h	01h	Description; 0000h = x8 only 0001h = x16 only 0002h = x8/x16 capable 0003h = x32 only 0004h = Single I/O SPI, 3-byte address 0005h = Multi I/O SPI, 3-byte address 0102h = Multi I/O SPI, 3- or 4-byte address
2Ah	09h	Max. number of bytes in multi-byte write = 2 ^N (0000 = not supported 0009h = 512B page)
2Bh	00h	
2Ch	01h	Number of Erase Block Regions within device 1 = Uniform Device, 2 = Boot Device
2Dh	FFh	Erase Block Region 1 Information (refer to JEDEC JEP137) 32 sectors = 32-1 = 001Fh 4-kB sectors = 256 bytes x 0010h
2Eh	00h	
2Fh	00h	
30h	04h	
31h thru 3Fh	FFh	RFU

表 58 CFI主要厂商特定的扩展查询

Byte address	Data	Description
40h	50h	Query-unique ASCII string "PRI"
41h	52h	
42h	49h	
43h	31h	Major version number = 1, ASCII
44h	33h	Minor version number = 3, ASCII
45h	21h	Address Sensitive Unlock (Bits 1–0) 00b = Required 01b = Not Required Process Technology (Bits 5–2) 0000b = 0.23 μ m Floating Gate 0001b = 0.17 μ m Floating Gate 0010b = 0.23 μ m MIRRORBIT™ 0011b = 0.11 μ m Floating Gate 0100b = 0.11 μ m MIRRORBIT™ 0101b = 0.09 μ m MIRRORBIT™ 1000b = 0.065 μ m MIRRORBIT™
46h	02h	Erase Suspend 0 = Not supported 1 = Read Only 2 = Read and Program
47h	01h	Sector Protect 00 = Not supported X = Number of sectors in group
48h	00h	Temporary Sector Unprotect 00 = Not supported 01 = Supported
49h	08h	Sector Protect/Unprotect Scheme 04 = High Voltage Method 05 = Software Command Locking Method 08 = Advanced Sector Protection Method 09 = Secure
4Ah	00h	Simultaneous Operation 00 = Not supported X = Number of Sectors
4Bh	01h	Burst Mode (Synchronous sequential read) support 00 = Not supported 01 = Supported
4Ch	xxh	Page Mode Type, model dependent 00 = Not Supported 01 = 4 Word Read Page 02 = 8 Read Word Page 03 = 256-Byte Program Page 04 = 512-Byte Program Page
4Dh	00h	ACC (Acceleration) Supply Minimum 00 = Not supported, 100 mV
4Eh	00h	ACC (Acceleration) Supply Maximum 00 = Not supported, 100 mV

Software interface reference

表 58 CFI主要厂商特定的扩展查询 (续)

Byte address	Data	Description
4Fh	07h	WP# Protection 01 = Whole Chip 04 = Uniform Device with Bottom WP Protect 05 = Uniform Device with Top WP Protect 07 = Uniform Device with Top or Bottom Write Protect (user select)
50h	01h	Program Suspend 00 = Not supported 01 = Supported

备用供应商特定扩展查询提供与 FL-S 家族提供的扩展指令置位相关的信息。替换查询参数使用一种格式，其中每个参数以标识符字节和参数长度字节开头。驱动程序软件可以检查每个参数ID，如果该参数不需要或软件无法识别，则可以使用长度值跳到下一个参数。

表 59 CFI 备用供应商特定扩展查询 报文头/帧头

Byte address	Data	Description
51h	41h	Query-unique ASCII string "ALT"
52h	4Ch	
53h	54h	
54h	32h	Major version number = 2, ASCII
55h	30h	Minor version number = 0, ASCII

表 60 CFI 备用供应商特定扩展查询参数 0

Parameter relative byte address offset	Data	Description
00h	00h	Parameter ID (Ordering Part Number)
01h	10h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	53h	ASCII "S" for manufacturer (Spansion)
03h	32h	ASCII "25" for Product Characters (Single Die SPI)
04h	35h	
05h	46h	ASCII "FL" for Interface Characters (SPI 3 Volt)
06h	4Ch	
07h	35h (512 Mb)	ASCII characters for density
08h	31h (512 Mb)	
09h	32h (512 Mb)	
0Ah	53h	ASCII "S" for Technology (65 nm MIRRORBIT™)
0Bh	xxh	Reserved for Future Use (RFU)
0Ch	xxh	
0Dh	xxh	
0Eh	xxh	
0Fh	xxh	
10h	xxh	
11h	xxh	

表 61 CFI 备用供应商特定扩展查询参数 80h 地址选项

Parameter relative byte address offset	Data	Description
00h	80h	Parameter ID (Ordering Part Number)
01h	01h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	F0h	Bits 7:4 - Reserved = 1111b Bit 3 - AutoBoot support - Yes = 0b, No = 1b Bit 2 - 4-byte address instructions supported - Yes = 0b, No = 1b Bit 1 - Bank address + 3-byte address instructions supported - Yes = 0b, No = 1b Bit 0 - 3-byte address instructions supported - Yes = 0b, No = 1b

表 62 CFI 备用供应商特定扩展查询参数 84h 暂停指令

Parameter relative byte address offset	Data	Description
00h	84h	Parameter ID (Suspend Commands)
01h	08h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	85h	Program suspend instruction code
03h	28h	Program suspend latency maximum (μ s)
04h	8Ah	Program resume instruction code
05h	64h	Program resume to next suspend typical (μ s)
06h	75h	Erase suspend instruction code
07h	28h	Erase suspend latency maximum (μ s)
08h	7Ah	Erase resume instruction code
09h	64h	Erase resume to next suspend typical (μ s)

表 63 CFI 备用供应商特定扩展查询参数 88h 数据保护

Parameter relative byte address offset	Data	Description
00h	88h	Parameter ID (Data Protection)
01h	04h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	0Ah	OTP size 2^N bytes, FFh = Not supported
03h	01h	OTP address map format, 01h = FL-S format, FFh = Not supported
04h	xxh	Block Protect Type, model dependent 00h = FL-P, FL-S, FFh = Not supported
05h	xxh	Advanced Sector Protection type, model dependent 01h = FL-S ASP

表 64 CFI 备用供应商特定扩展查询参数 8Ch 复位时序

Parameter relative byte address offset	Data	Description
00h	8Ch	Parameter ID (Reset Timing)
01h	06h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	96h	POR maximum value
03h	01h	POR maximum exponent $2^N \mu\text{s}$
04h	23h	Hardware Reset maximum value, FFh = Not supported
05h	00h	Hardware Reset maximum exponent $2^N \mu\text{s}$
06h	23h	Software Reset maximum value, FFh = Not supported
07h	00h	Software Reset maximum exponent $2^N \mu\text{s}$

表 65 CFI 备用供应商特定扩展查询参数 90h - HPLC(SDR)

Parameter relative byte address offset	Data	Description
00h	90h	Parameter ID (Latency Code Table)
01h	56h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	06h	Number of rows
03h	0Eh	Row length in bytes
04h	46h	Start of header (row 1), ASCII "F" for frequency column header
05h	43h	ASCII "C" for Code column header
06h	03h	Read 3-byte address instruction
07h	13h	Read 4-byte address instruction
08h	0Bh	Read Fast 3-byte address instruction
09h	0Ch	Read Fast 4-byte address instruction
0Ah	3Bh	Read Dual Out 3-byte address instruction
0Bh	3Ch	Read Dual Out 4-byte address instruction
0Ch	6Bh	Read Quad Out 3-byte address instruction
0Dh	6Ch	Read Quad Out 4-byte address instruction
0Eh	BBh	Dual I/O Read 3-byte address instruction
0Fh	BCh	Dual I/O Read 4-byte address instruction
10h	EBh	Quad I/O Read 3-byte address instruction
11h	ECh	Quad I/O Read 4-byte address instruction
12h	32h	Start of row 2, SCK frequency limit for this row (50 MHz)
13h	03h	Latency Code for this row (11b)
14h	00h	Read mode cycles
15h	00h	Read latency cycles
16h	00h	Read Fast mode cycles

表 65 CFI 备用供应商特定扩展查询参数 90h - HPLC(SDR) (续)

Parameter relative byte address offset	Data	Description
17h	00h	Read Fast latency cycles
18h	00h	Read Dual Out mode cycles
19h	00h	Read Dual Out latency cycles
1Ah	00h	Read Quad Out mode cycles
1Bh	00h	Read Quad Out latency cycles
1Ch	00h	Dual I/O Read mode cycles
1Dh	04h	Dual I/O Read latency cycles
1Eh	02h	Quad I/O Read mode cycles
1Fh	01h	Quad I/O Read latency cycles
20h	50h	Start of row 3, SCK frequency limit for this row (80 MHz)
21h	00h	Latency Code for this row (00b)
22h	FFh	Read mode cycles (FFh = command not supported at this frequency)
23h	FFh	Read latency cycles
24h	00h	Read Fast mode cycles
25h	08h	Read Fast latency cycles
26h	00h	Read Dual Out mode cycles
27h	08h	Read Dual Out latency cycles
28h	00h	Read Quad Out mode cycles
29h	08h	Read Quad Out latency cycles
2Ah	00h	Dual I/O Read mode cycles
2Bh	04h	Dual I/O Read latency cycles
2Ch	02h	Quad I/O Read mode cycles
2Dh	04h	Quad I/O Read latency cycles
2Eh	5Ah	Start of row 4, SCK frequency limit for this row (90 MHz)
2Fh	01h	Latency Code for this row (01b)
30h	FFh	Read mode cycles (FFh = command not supported at this frequency)
31h	FFh	Read latency cycles
32h	00h	Read Fast mode cycles
33h	08h	Read Fast latency cycles
34h	00h	Read Dual Out mode cycles
35h	08h	Read Dual Out latency cycles
36h	00h	Read Quad Out mode cycles
37h	08h	Read Quad Out latency cycles
38h	00h	Dual I/O Read mode cycles
39h	05h	Dual I/O Read latency cycles
3Ah	02h	Quad I/O Read mode cycles
3Bh	04h	Quad I/O Read latency cycles
3Ch	68h	Start of row 5, SCK frequency limit for this row (104 MHz)
3Dh	02h	Latency Code for this row (10b)

表 65 CFI 备用供应商特定扩展查询参数 90h - HPLC(SDR) (续)

Parameter relative byte address offset	Data	Description
3Eh	FFh	Read mode cycles (FFh = command not supported at this frequency)
3Fh	FFh	Read latency cycles
40h	00h	Read Fast mode cycles
41h	08h	Read Fast latency cycles
42h	00h	Read Dual Out mode cycles
43h	08h	Read Dual Out latency cycles
44h	00h	Read Quad Out mode cycles
45h	08h	Read Quad Out latency cycles
46h	00h	Dual I/O Read mode cycles
47h	06h	Dual I/O Read latency cycles
48h	02h	Quad I/O Read mode cycles
49h	05h	Quad I/O Read latency cycles
4Ah	85h	Start of row 6, SCK frequency limit for this row (133 MHz)
4Bh	02h	Latency Code for this row (10b)
4Ch	FFh	Read mode cycles (FFh = command not supported at this frequency)
4Dh	FFh	Read latency cycles
4Eh	00h	Read Fast mode cycles
4Fh	08h	Read Fast latency cycles
50h	FFh	Read Dual Out mode cycles
51h	FFh	Read Dual Out latency cycles
52h	FFh	Read Quad Out mode cycles
53h	FFh	Read Quad Out latency cycles
54h	FFh	Dual I/O Read mode cycles
55h	FFh	Dual I/O Read latency cycles
56h	FFh	Quad I/O Read mode cycles
57h	FFh	Quad I/O Read latency cycles

表 66 CFI 备用供应商特定扩展查询参数 9Ah - HPLC DDR

Parameter relative byte address offset	Data	Description
00h	9Ah	Parameter ID (Latency Code Table)
01h	2Ah	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	05h	Number of rows
03h	08h	Row length in bytes
04h	46h	Start of header (row 1), ASCII "F" for frequency column header
05h	43h	ASCII "C" for Code column header
06h	0Dh	Read Fast DDR 3-byte address instruction
07h	0Eh	Read Fast DDR 4-byte address instruction

表 66 CFI 备用供应商特定扩展查询参数 9Ah - HPLC DDR (续)

Parameter relative byte address offset	Data	Description
08h	BDh	DDR Dual I/O Read 3-byte address instruction
09h	BEh	DDR Dual I/O Read 4-byte address instruction
0Ah	EDh	Read DDR Quad I/O 3-byte address instruction
0Bh	EEh	Read DDR Quad I/O 4-byte address instruction
0Ch	32h	Start of row 2, SCK frequency limit for this row (50 MHz)
0Dh	03h	Latency Code for this row (11b)
0Eh	00h	Read Fast DDR mode cycles
0Fh	04h	Read Fast DDR latency cycles
10h	00h	DDR Dual I/O Read mode cycles
11h	04h	DDR Dual I/O Read latency cycles
12h	01h	Read DDR Quad I/O mode cycles
13h	03h	Read DDR Quad I/O latency cycles
14h	42h	Start of row 3, SCK frequency limit for this row (66 MHz)
15h	00h	Latency Code for this row (00b)
16h	00h	Read Fast DDR mode cycles
17h	05h	Read Fast DDR latency cycles
18h	00h	DDR Dual I/O Read mode cycles
19h	06h	DDR Dual I/O Read latency cycles
1Ah	01h	Read DDR Quad I/O mode cycles
1Bh	06h	Read DDR Quad I/O latency cycles
1Ch	42h	Start of row 4, SCK frequency limit for this row (66 MHz)
1Dh	01h	Latency Code for this row (01b)
1Eh	00h	Read Fast DDR mode cycles
1Fh	06h	Read Fast DDR latency cycles
20h	00h	DDR Dual I/O Read mode cycles
21h	07h	DDR Dual I/O Read latency cycles
22h	01h	Read DDR Quad I/O mode cycles
23h	07h	Read DDR Quad I/O latency cycles
24h	42h	Start of row 5, SCK frequency limit for this row (66 MHz)
25h	02h	Latency Code for this row (10b)
26h	00h	Read Fast DDR mode cycles
27h	07h	Read Fast DDR latency cycles
28h	00h	DDR Dual I/O Read mode cycles
29h	08h	DDR Dual I/O Read latency cycles
2Ah	01h	Read DDR Quad I/O mode cycles
2Bh	08h	Read DDR Quad I/O latency cycles

表 67 CFI 备用供应商特定扩展查询参数 90h - EHPLC (SDR)

Parameter relative byte address offset	Data	Description
00h	90h	Parameter ID (Latency Code Table)
01h	56h	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	06h	Number of rows
03h	0Eh	Row length in bytes
04h	46h	Start of header (row 1), ASCII “F” for frequency column header
05h	43h	ASCII “C” for Code column header
06h	03h	Read 3-byte address instruction
07h	13h	Read 4-byte address instruction
08h	0Bh	Read Fast 3-byte address instruction
09h	0Ch	Read Fast 4-byte address instruction
0Ah	3Bh	Read Dual Out 3-byte address instruction
0Bh	3Ch	Read Dual Out 4-byte address instruction
0Ch	6Bh	Read Quad Out 3-byte address instruction
0Dh	6Ch	Read Quad Out 4-byte address instruction
0Eh	BBh	Dual I/O Read 3-byte address instruction
0Fh	BCh	Dual I/O Read 4-byte address instruction
10h	EBh	Quad I/O Read 3-byte address instruction
11h	ECh	Quad I/O Read 4-byte address instruction
12h	32h	Start of row 2, SCK frequency limit for this row (50 MHz)
13h	03h	Latency Code for this row (11b)
14h	00h	Read mode cycles
15h	00h	Read latency cycles
16h	00h	Read Fast mode cycles
17h	00h	Read Fast latency cycles
18h	00h	Read Dual Out mode cycles
19h	00h	Read Dual Out latency cycles
1Ah	00h	Read Quad Out mode cycles
1Bh	00h	Read Quad Out latency cycles
1Ch	04h	Dual I/O Read mode cycles
1Dh	00h	Dual I/O Read latency cycles
1Eh	02h	Quad I/O Read mode cycles
1Fh	01h	Quad I/O Read latency cycles
20h	50h	Start of row 3, SCK frequency limit for this row (80 MHz)
21h	00h	Latency Code for this row (00b)
22h	FFh	Read mode cycles (FFh = command not supported at this frequency)
23h	FFh	Read latency cycles
24h	00h	Read Fast mode cycles

表 67 CFI 备用供应商特定扩展查询参数 90h - EHPLC (SDR) (续)

Parameter relative byte address offset	Data	Description
25h	08h	Read Fast latency cycles
26h	00h	Read Dual Out mode cycles
27h	08h	Read Dual Out latency cycles
28h	00h	Read Quad Out mode cycles
29h	08h	Read Quad Out latency cycles
2Ah	04h	Dual I/O Read mode cycles
2Bh	00h	Dual I/O Read latency cycles
2Ch	02h	Quad I/O Read mode cycles
2Dh	04h	Quad I/O Read latency cycles
2Eh	5Ah	Start of row 4, SCK frequency limit for this row (90 MHz)
2Fh	01h	Latency Code for this row (01b)
30h	FFh	Read mode cycles (FFh = command not supported at this frequency)
31h	FFh	Read latency cycles
32h	00h	Read Fast mode cycles
33h	08h	Read Fast latency cycles
34h	00h	Read Dual Out mode cycles
35h	08h	Read Dual Out latency cycles
36h	00h	Read Quad Out mode cycles
37h	08h	Read Quad Out latency cycles
38h	04h	Dual I/O Read mode cycles
39h	01h	Dual I/O Read latency cycles
3Ah	02h	Quad I/O Read mode cycles
3Bh	04h	Quad I/O Read latency cycles
3Ch	68h	Start of row 5, SCK frequency limit for this row (104 MHz)
3Dh	02h	Latency Code for this row (10b)
3Eh	FFh	Read mode cycles (FFh = command not supported at this frequency)
3Fh	FFh	Read latency cycles
40h	00h	Read Fast mode cycles
41h	08h	Read Fast latency cycles
42h	00h	Read Dual Out mode cycles
43h	08h	Read Dual Out latency cycles
44h	00h	Read Quad Out mode cycles
45h	08h	Read Quad Out latency cycles
46h	04h	Dual I/O Read mode cycles
47h	02h	Dual I/O Read latency cycles
48h	02h	Quad I/O Read mode cycles
49h	05h	Quad I/O Read latency cycles
4Ah	85h	Start of row 6, SCK frequency limit for this row (133 MHz)
4Bh	02h	Latency Code for this row (10b)

表 67 CFI 备用供应商特定扩展查询参数 90h - EHPLC (SDR) (续)

Parameter relative byte address offset	Data	Description
4Ch	FFh	Read mode cycles (FFh = command not supported at this frequency)
4Dh	FFh	Read latency cycles
4Eh	00h	Read Fast mode cycles
4Fh	08h	Read Fast latency cycles
50h	FFh	Read Dual Out mode cycles
51h	FFh	Read Dual Out latency cycles
52h	FFh	Read Quad Out mode cycles
53h	FFh	Read Quad Out latency cycles
54h	FFh	Dual I/O Read mode cycles
55h	FFh	Dual I/O Read latency cycles
56h	FFh	Quad I/O Read mode cycles
57h	FFh	Quad I/O Read latency cycles

表 68 CFI 备用供应商特定扩展查询参数 9Ah - EHPLC DDR

Parameter relative byte address offset	Data	Description
00h	9Ah	Parameter ID (Latency Code Table)
01h	2Ah	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	05h	Number of rows
03h	08h	Row length in bytes
04h	46h	Start of header (row 1), ASCII “F” for frequency column header
05h	43h	ASCII “C” for Code column header
06h	0Dh	Read Fast DDR 3-byte address instruction
07h	0Eh	Read Fast DDR 4-byte address instruction
08h	BDh	DDR Dual I/O Read 3-byte address instruction
09h	BEh	DDR Dual I/O Read 4-byte address instruction
0Ah	EDh	Read DDR Quad I/O 3-byte address instruction
0Bh	EEh	Read DDR Quad I/O 4-byte address instruction
0Ch	32h	Start of row 2, SCK frequency limit for this row (50 MHz)
0Dh	03h	Latency Code for this row (11b)
0Eh	04h	Read Fast DDR mode cycles
0Fh	01h	Read Fast DDR latency cycles
10h	02h	DDR Dual I/O Read mode cycles
11h	02h	DDR Dual I/O Read latency cycles
12h	01h	Read DDR Quad I/O mode cycles
13h	03h	Read DDR Quad I/O latency cycles
14h	42h	Start of row 3, SCK frequency limit for this row (66 MHz)
15h	00h	Latency Code for this row (00b)

表 68 CFI 备用供应商特定扩展查询参数 9Ah - EHPLC DDR (续)

Parameter relative byte address offset	Data	Description
16h	04h	Read Fast DDR mode cycles
17h	02h	Read Fast DDR latency cycles
18h	02h	DDR Dual I/O Read mode cycles
19h	04h	DDR Dual I/O Read latency cycles
1Ah	01h	Read DDR Quad I/O mode cycles
1Bh	06h	Read DDR Quad I/O latency cycles
1Ch	42h	Start of row 4, SCK frequency limit for this row (66 MHz)
1Dh	01h	Latency Code for this row (01b)
1Eh	04h	Read Fast DDR mode cycles
1Fh	04h	Read Fast DDR latency cycles
20h	02h	DDR Dual I/O Read mode cycles
21h	05h	DDR Dual I/O Read latency cycles
22h	01h	Read DDR Quad I/O mode cycles
23h	07h	Read DDR Quad I/O latency cycles
24h	42h	Start of row 5, SCK frequency limit for this row (66 MHz)
25h	02h	Latency Code for this row (10b)
26h	04h	Read Fast DDR mode cycles
27h	05h	Read Fast DDR latency cycles
28h	02h	DDR Dual I/O Read mode cycles
29h	06h	DDR Dual I/O Read latency cycles
2Ah	01h	Read DDR Quad I/O mode cycles
2Bh	08h	Read DDR Quad I/O latency cycles

表 69 CFI 备用供应商特定扩展查询参数 F0h RFU

Parameter relative byte address offset	Data	Description
00h	F0h	Parameter ID (RFU)
01h	0Fh	Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	FFh	RFU
...	FFh	RFU
10h	FFh	RFU

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
00h	—	N/A	A5h	CFI Parameter ID (JEDEC SFDP)
01h	—	N/A	50h	CFI Parameter Length (The number of following bytes in this parameter. Adding this value to the current location value + 1 = the first byte of the next parameter)
02h	00h	JEDEC Basic Flash Parameter Dword-1	E7h	Start of SFDP JEDEC parameter, located at 1120h in the overall SFDP address space. Bits 7:5 = unused = 111b Bit 4:3 = 06h is status register write instruction & status register is default non-volatile= 00b Bit 2 = Program Buffer > 64Bytes = 1 Bits 1:0 = Uniform 4KB erase unavailable = 11b
03h	01h		FFh	Bits 15:8 = Uniform 4KB erase opcode = Not supported = FFh
04h	02h		F3h (FLxxxSAG) F7h (FLxxxSDP)	Bit 23 = Unused = 1b Bit 22 = Supports Quad Out Read = Yes = 1b Bit 21 = Supports Quad I/O Read = Yes = 1b Bit 20 = Supports Dual I/O Read = Yes = 1b Bit 19 = Supports DDR 0 = No, 1 = Yes Bit 18:17 = Number of Address Bytes, 3 or 4 = 01b Bit 16 = Supports Dual Out Read = Yes = 1b
05h	03h		FFh	Bits 31:24 = Unused = FFh
06h	04h		JEDEC Basic Flash Parameter Dword-2	FFh
07h	05h	FFh		
08h	06h	FFh		
09h	07h	1Fh		
0Ah	08h	JEDEC Basic Flash Parameter Dword-3	44h	Bits 7:5 = number of Quad I/O Mode cycles = 010b Bits 4:0 = number of Quad I/O Dummy cycles = 00100b for default latency code 00b
0Bh	09h		EBh	Quad I/O instruction code
0Ch	0Ah		08h	Bits 23:21 = number of Quad Out Mode cycles = 000b Bits 20:16 = number of Quad Out Dummy cycles = 01000b
0Dh	0Bh		6Bh	Quad Out instruction code
0Eh	0Ch		JEDEC Basic Flash Parameter Dword-4	08h
0Fh	0Dh	3Bh		Dual Out instruction code
10h	0Eh	04h (HPLC) 80h (EHPLC)		Bits 23:21 = number of Dual I/O Mode cycles = 100b for EHPLC or 000b for HPLC Bits 20:16 = number of Dual I/O Dummy cycles = 00000b for EHPLC or 00100b for HPLC Default Latency code = 00b
11h	0Fh	BBh		Dual I/O instruction code

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
12h	10h	JEDEC Basic Flash Parameter Dword-5	EEh	Bits 7:5 RFU = 111b Bit 4 = Quad All supported = No = 0b Bits 3:1 RFU = 111b Bit 0 = Dual All not supported = 0b
13h	11h		FFh	Bits 15:8 = RFU = FFh
14h	12h		FFh	Bits 23:16 = RFU = FFh
15h	13h		FFh	Bits 31:24 = RFU = FFh
16h	14h	JEDEC Basic Flash Parameter Dword-6	FFh	Bits 7:0 = RFU = FFh
17h	15h		FFh	Bits 15:8 = RFU = FFh
18h	16h		FFh	Bits 23:21 = number of Dual All Mode cycles = 111b Bits 20:16 = number of Dual All Dummy cycles = 11111b
19h	17h		FFh	Dual All instruction code
1Ah	18h	JEDEC Basic Flash Parameter Dword-7	FFh	Bits 7:0 = RFU = FFh
1Bh	19h		FFh	
1Ch	1Ah		FFh	Bits 15:8 = RFU = FFh
1Dh	1Bh		EBh	Bits 23:21 = number of Quad All Mode cycles = 111b Bits 20:16 = number of Quad All Dummy cycles = 11111b
1Eh	1Ch	JEDEC Basic Flash Parameter Dword-8	00h	Quad All mode Quad I/O (4-4-4) instruction code
1Fh	1Dh		FFh	Erase type 1 instruction = not supported = FFh
20h	1Eh		00h	Erase type 2 size 2^N Bytes = not supported = 00h
21h	1Fh		FFh	Erase type 2 instruction = not supported = FFh
22h	20h	JEDEC Basic Flash Parameter Dword-9	12h	Erase type 3 size 2^N Bytes = 256KB = 12h
23h	21h		D8h	Erase type 3 instruction
24h	22h		00h	Erase type 4 size 2^N Bytes = not supported = 00h
25h	23h		FFh	Erase type 4 instruction = not supported = FFh

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
26h	24h	JEDEC	F2h	Bits 31:30 = Erase type 4 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = RFU = 11b Bits 29:25 = Erase type 4 Erase, Typical time count = RFU = 11111b (typ erase time = count + 1 * units = RFU) Bits 24:23 = Erase type 3 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 128 ms = 10b Bits 22:18 = Erase type 3 Erase, Typical time count = 00011b (typ erase time = count + 1 * units = 4 * 128 ms = 512 ms) Bits 17:16 = Erase type 2 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = RFU = 11b Bits 15:11 = Erase type 2 Erase, Typical time count = RFU = 11111b (typ erase time = count + 1 * units = RFU) Bits 10:9 = Erase type 1 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = RFU = 11b Bits 8:4 = Erase type 1 Erase, Typical time count = RFU = 11111b (typ erase time = count + 1 * units = RFU) Bits 3:0 = Multiplier from typical erase time to maximum erase time = 2 * (N + 1), N = 2h = 6x multiplier Binary Fields: 11-11111-10-00011-11-11111-11-11111-0010 Nibble Format: 1111_1111_0000_1111_1111_1111_1111_0010 Hex Format: FF_0F_FF_F2
27h	25h	Basic Flash Parameter Dword-10	FFh	
28h	26h		0Fh	
29h	27h		FFh	

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
2Ah	28h	JEDEC	91h	Bit 31 Reserved = 1b
2Bh	29h	Basic Flash Parameter Dword-11	25h	Bits 30:29 = Chip Erase, Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 4s = 10b
2Ch	2Ah		07h	
2Dh	2Bh		D9h	Bits 28:24 = Chip Erase, Typical time count, (count + 1)*units, count = 11001b, (typ Program time = count + 1 * units = 26 * .4 μs = 104s Bits 23 = Byte Program Typical time, additional byte units (0b:1 μs, 1b:8 μs) = 1 μs = 0b Bits 22:19 = Byte Program Typical time, additional byte count, (count + 1) * units, count = 0000b, (typ Program time = count + 1 * units = 1 * 1 μs = 1 μs Bits 18 = Byte Program Typical time, first byte units (0b:1 μs, 1b:8 μs) = 8 μs = 1b Bits 17:14 = Byte Program Typical time, first byte count, (count + 1) *units, count = 1100b, (typ Program time = count + 1 * units = 13 * 8 μs = 104 μs Bits 13 = Page Program Typical time units (0b:8 μs, 1b:64 μs) = 64 μs = 1b Bits 12:8 = Page Program Typical time count, (count + 1) * units, count = 00101b, (typ Program time = count + 1 * units = 6 * 64 μs = 384 μs) Bits 7:4 = Page size 2 ^N , N = 9h, = 512B page Bits 3:0 = Multiplier from typical time to maximum for Page or Byte program = 2 ^{*(N + 1)} , N = 1h = 4x multiplier Binary Fields: 1-10-11001-0-0000-1-1100-1-00101-1001-0001 Nibble Format: 1101_1001_0000_0111_0010_0101_1001_0001 Hex Format: D9_07_25_91

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
2Eh	2Ch	JEDEC Basic Flash Parameter Dword-12	ECh	Bit 31 = Suspend and Resume supported = 0b Bits 30:29 = Suspend in-progress erase max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b Bits 28:24 = Suspend in-progress erase max latency count = 00101b, max erase suspend latency = count + 1 * units = 6 * 8 μs = 48 μs Bits 23:20 = Erase resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs Bits 19:18 = Suspend in-progress program max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b Bits 17:13 = Suspend in-progress program max latency count = 00100b, max erase suspend latency = count + 1 * units = 5 * 8 μs = 40 μs Bits 12:9 = Program resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs Bit 8 = RFU = 1b Bits 7:4 = Prohibited operations during erase suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx1xb: May not initiate a page program in the erase suspended sector size + x1xb: May not initiate a read in the erase suspended sector size + 1xxb: The erase and program restrictions in bits 5:4 are sufficient = 1110b Bits 3:0 = Prohibited Operations During Program Suspend = xxx0b: May not initiate a new erase anywhere (erase nesting not permitted) + xx0xb: May not initiate a new page program anywhere (program nesting not permitted) + x1xb: May not initiate a read in the program suspended page size + 1xxb: The erase and program restrictions in bits 1:0 are sufficient = 1100b Binary Fields: 0-10-00101-0001-10-00100-0001-1-1110-1100 Nibble Format: 0100_0101_0001_1000_1000_0011_1110_1100 Hex Format: 45_18_83_EC
2Fh	2Dh		83h	
30h	2Eh		18h	
31h	2Fh		45h	
32h	30h	JEDEC Basic Flash Parameter Dword-13	8Ah	Bits 31:24 = Erase Suspend Instruction = 75h Bits 23:16 = Erase Resume Instruction = 7Ah Bits 15:8 = Program Suspend Instruction = 85h Bits 7:0 = Program Resume Instruction = 8Ah
33h	31h		85h	
34h	32h		7Ah	
35h	33h		75h	

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
36h	34h	JEDEC Basic Flash Parameter Dword-14	F7h	Bit 31 = Deep Power Down Supported = Not supported = 1 Bits 30:23 = Enter Deep Power Down Instruction = not supported = FFh Bits 22:15 = Exit Deep Power Down Instruction = not supported = FFh Bits 14:13 = Exit Deep Power Down to next operation delay units = (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 64 μs = 11b Bits 12:8 = Exit Deep Power Down to next operation delay count = 11111b, Exit Deep Power Down to next operation delay = (count + 1) * units = not supported Bits 7:4 = RFU = Fh Bit 3:2 = Status Register Polling Device Busy = 01b: Legacy status polling supported = Use legacy polling by reading the Status Register with 05h instruction and checking WIP bit[0] (0 = ready; 1 = busy). Bits 1:0 = RFU = 11b Binary Fields: 1-11111111-11111111-11-11111-1111-01-11 Nibble Format: 1111_1111_1111_1111_1111_1111_1111_0111 Hex Format: FF_FF_FF_F7
37h	35h		FFh	
38h	36h		FFh	
39h	37h		FFh	
3Ah	38h	JEDEC Basic Flash Parameter Dword-15	00h	Bits 31:24 = RFU = FFh Bit 23 = Hold and WP Disable = Not supported = 0b Bits 22:20 = Quad Enable Requirements = 101b: QE is bit 1 of the status register 2. Status register 1 is read using Read Status instruction 05h. Status register 2 is read using instruction 35h. QE is set via Write Status instruction 01h with two data bytes where bit 1 of the second byte is '1'. It is cleared via Write Status with two data bytes where bit 1 of the second byte is '0'. Bits 19:16 0-4-4 Mode Entry Method = xxx1b: Mode Bits[7:0] = A5h Note QE must be set prior to using this mode + x1xxb: Mode Bits[7:0] = Axh + 1xxb: RFU = 1101b Bits 15:10 0-4-4 Mode Exit Method = xx_1xxb: Mode Bits[7:0] = 00h will terminate this mode at the end of the current read operation + xx_1xxb: Input Fh (mode bit reset) on DQ0–DQ3 for 8 clocks. This will terminate the mode prior to the next read operation. + x1_1xxb: Mode Bit[7:0] != Axh + 1x_1xx: RFU
3Bh	39h		F6h	
3Ch	3Ah		5Dh	
3Dh	3Bh		FFh	

Software interface reference

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
3Eh	3Ch	JEDEC Basic Flash Parameter Dword-16	F0h	<p>Bits 31:24 = Enter 4-Byte Addressing = xxxx_1xxxb: 8-bit volatile bank register used to define A[30:A24] bits. MSb (bit[7]) is used to enable/disable 4-byte address mode. When MSb is set to '1', 4-byte address mode is active and A[30:24] bits are don't care. Read with instruction 16h. Write instruction is 17h with 1 byte of data. When MSb is cleared to '0', select the active 128 Mb segment by setting the appropriate A[30:24] bits and use 3-Byte addressing. + xx1x_xxxb: Supports dedicated 4-Byte address instruction set. Consult vendor data sheet for the instruction set definition or look for 4 Byte Address Parameter Table. + 1xxx_xxxb: Reserved = 10101000b</p> <p>Bits 23:14 = Exit 4-Byte Addressing = xx_xxxx_1xxxb: 8-bit volatile bank register used to define A[30:A24] bits. MSb (bit[7]) is used to enable/disable 4-byte address mode. When MSb is cleared to '0', 3-byte address mode is active and A30:A24 are used to select the active 128 Mb memory segment. Read with instruction 16h. Write instruction is 17h, data length is 1 byte. + xx_xx1x_xxxb: Hardware reset + xx_x1xx_xxxb: Software reset (see bits 13:8 in this DWORD) + xx_1xxx_xxxb: Power cycle + x1_xxxx_xxxb: Reserved + 1x_xxxx_xxxb: Reserved = 1111101000b</p> <p>Bits 13:8 = Soft Reset and Rescue Sequence Support = x0_1xxxb: issue instruction F0h + 1x_xxxb: exit 0-4-4 mode is required prior to other reset sequences above if the device may be operating in this mode. = 101000b Bit 7 = RFU = 1 Bits 6:0 = Volatile or Non-volatile Register and Write Enable Instruction for Status Register 1 = xx1_xxxb: Status Register 1 contains a mix of volatile and non-volatile bits. The 06h instruction is used to enable writing of the register. + x1x_xxxb: Reserved + 1xx_xxxb: Reserved = 1110000b Binary Fields: 10101000-1111101000-101000-1-1110000 Nibble Format: 1010_1000_1111_1010_0010_1000_1111_0000 Hex Format: A8_FA_28_F0</p>
3Fh	3Dh		28h	
40h	3Eh		FAh	
41h	3Fh		A8h	
42h	40h	JEDEC Sector Map Parameter Dword-1 Config-0 Header	FFh	<p>Bits 31:24 = RFU = FFh</p> <p>Bits 23:16 = Region count (Dwords - 1) = 00h: One region</p> <p>Bits 15:8 = Configuration ID = 00h: Uniform 256KB sectors</p> <p>Bits 7:2 = RFU = 111111b</p> <p>Bit 1 = Map Descriptor = 1</p> <p>Bit 0 = The end descriptor = 1</p>
43h	41h		00h	
44h	42h		00h	
45h	43h		FFh	

Software interface reference

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
46h	44h	JEDEC Sector Map Parameter Dword-2 Config-0 Region-0	F4h	Bits 31:8 = Region size = 00FFFFh: Region size as count - 1 of 256 Byte units = 64MB/256 = 256K Count = 262144, value = count - 1 = 262144 - 1 = 262143 = 3FFFFh Bits 4:7 = RFU = Fh Erase Type not supported = 0/ supported = 1 Bits 3 = Erase Type 4 support = 0b ---Erase Type 4 is not defined Bits 2 = Erase Type 3 support = 1b ---Erase Type 3 is 256KB erase and is supported in the 256KB sector region Bits 1 = Erase Type 2 support = 0b ---Erase Type 2 is 64KB erase and is not supported in the 256KB sector region Bits 0 = Erase Type 1 support = 0b --- Erase Type 1 is 4KB erase and is not supported in the 256KB sector region Format: 0000_0011_1111_1111_1111_1111_0100 Hex Format: 03_FF_FF_F4
47h	45h		FFh	
48h	46h		FFh	
49h	47h		03h	
4Ah	48h	JEDEC 4 Byte Address Instructions Parameter Dword-1	FFh	Supported = 1, Not Supported = 0 Bits 31:20 = RFU = FFFh Bit 19 = Support for non-volatile individual sector lock write command, Instruction = E3h = 1 Bit 18 = Support for non-volatile individual sector lock read command, Instruction = E2h = 1 Bit 17 = Support for volatile individual sector lock Write command, Instruction = E1h = 1 Bit 16 = Support for volatile individual sector lock Read command, Instruction = E0h = 1 Bit 15 = Support for (1-4-4) DTR_Read Command, Instruction = EEh = 1 Bit 14 = Support for (1-2-2) DTR_Read Command, Instruction = BEh = 1 Bit 13 = Support for (1-1-1) DTR_Read Command, Instruction=0Eh = 1 Bit 12 = Support for Erase Command - Type 4 = 0 Bit 11 = Support for Erase Command - Type 3 = 1 Bit 10 = Support for Erase Command - Type 2 = 0 Bit 9 = Support for Erase Command - Type 1 = 0 Bit 8 = Support for (1-4-4) Page Program Command, Instruction = 3Eh = 0 Bit 7 = Support for (1-1-4) Page Program Command, Instruction = 34h = 1 Bit 6 = Support for (1-1-1) Page Program Command, Instruction = 12h = 1 Bit 5 = Support for (1-4-4) FAST_READ Command, Instruction = Ech = 1 Bit 4 = Support for (1-1-4) FAST_READ Command, Instruction = 6Ch = 1 Bit 3 = Support for (1-2-2) FAST_READ Command, Instruction = BCh = 1 Bit 2 = Support for (1-1-2) FAST_READ Command, Instruction=3Ch = 1 Bit 1 = Support for (1-1-1) FAST_READ Command, Instruction = 0Ch = 1 Bit 0 = Support for (1-1-1) READ Command, Instruction = 13h = 1
4Bh	49h		E8h	
4Ch	4Ah		FFh	
4Dh	4Bh		FFh	

表 70 CFI 备用供应商特定扩展查询参数 A5h, JEDEC SFDP Rev B (续)

CFI Parameter relative byte address offset	SFDP Parameter relative byte address offset	SFDP Dword name	Data	Description
4Eh	4Ch	JEDEC 4 Byte Address Instruction's Parameter Dword-2	FFh	Bits 31:24 = FFh = Instruction for Erase Type 4: RFU Bits 23:16 = DCh = Instruction for Erase Type 3 Bits 15:8 = FFh = Instruction for Erase Type 2: RFU Bits 7:0 = FFh = Instruction for Erase Type 1: RFU
4Fh	4Dh		FFh	
50h	4Eh		DCh	
51h	4Fh		FFh	

该参数类型 (参数ID F0h) 可能出现多次, 且每次的长度不同。此参数用于在ID-CFI图中预留空间, 或者强制放置 (填塞) 将后面的参数对齐到所需的边界。

11.4 器件 ID 和通用配件接口 (ID-CFI) ASO 映射 – 仅限汽车

CFI 主要供应商特定扩展查询已扩展, 包括用于器件可追溯性的电子标识信息。

表 71 器件ID和通用闪存接口 (ID-CFI) ASO映射

Address	Data field	# of bytes	Data format	Example of actual data	Hex read out of example data
(SA) + 0180h	Size of Electronic Marking	1	Hex	20	14h
(SA) + 0181h	Revision of Electronic Marking	1	Hex	1	01h
(SA) + 0182h	Fab Lot #	8	ASCII	LD87270	4Ch, 44h, 38h, 37h, 32h, 37h, 30h, FFh
(SA) + 018Ah	Wafer #	1	Hex	23	17h
(SA) + 018Bh	Die X Coordinate	1	Hex	10	0Ah
(SA) + 018Ch	Die Y Coordinate	1	Hex	15	0Fh
(SA) + 018Dh	Class Lot #	7	ASCII	BR33150	42h, 52h, 33h, 33h, 31h, 35h, 30h
(SA) + 0194h	Reserved for Future	12	N/A	N/A	FFh, FFh

晶圆批号 + 晶圆编号 + 模具 X 坐标 + 模具 Y 坐标为每个器件提供了唯一的 ID。

11.5 寄存器

本节复制寄存器映射，作为快速参考。请参阅“寄存器”在分页 57 以获得寄存器内容的完整描述。

表 72 状态寄存器-1 (SR1)

Bits	Field name	Function	Type	Default state	Description
7	SRWD	Status Register Write Disable	Non-volatile	0	1 = Locks state of SRWD, BP, and configuration register bits when WP# is low by ignoring WRR command 0 = No protection, even when WP# is low
6	P_ERR	Programming Error Occurred	Volatile, Read only	0	1 = Error occurred 0 = No Error
5	E_ERR	Erase Error Occurred	Volatile, Read only	0	1 = Error occurred 0 = No Error
4	BP2	Block Protection	Volatile if CR1[3] = 1, Non-volatile if CR1[3] = 0	1 if CR1[3] = 1, 0 when shipped from Infineon	Protects selected range of sectors (Block) from Program or Erase
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile	0	1 = Device accepts Write Registers (WRR), program or erase commands 0 = Device ignores Write Registers (WRR), program or erase commands This bit is not affected by WRR, only WREN and WRDI commands affect this bit.
0	WIP	Write in Progress	Volatile, Read only	0	1 = Device Busy, a Write Registers (WRR), program, erase or other operation is in progress 0 = Ready Device is in standby mode and can accept commands

表 73 配置寄存器 (CR1)

Bits	Field name	Function	Type	Default state	Description
7	LC1	Latency Code	Non-volatile	0	Selects number of initial read latency cycles See Latency Code Tables
6	LC0			0	
5	TBPROT	Configures Start of Block Protection	OTP	0	1 = BP starts at bottom (Low address) 0 = BP starts at top (High address)
4	RFU	RFU	RFU	0	Reserved for Future Use
3	BPNV	Configures BP2-0 in Status Register	OTP	0	1 = Volatile 0 = Non-volatile
2	RFU	RFU	RFU	0	Reserved for Future Use
1	QUAD	Puts the device into Quad I/O operation	Non-volatile	0	1 = Quad 0 = Dual or Serial
0	FREEZE	Lock current state of BP2-0 bits in Status Register, TBPROT in Configuration Register, and OTP regions	Volatile	0	1 = Block Protection and OTP locked 0 = Block Protection and OTP un-locked

表 74 状态寄存器-2 (SR2)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	-	0	Reserved for Future Use
6	RFU	Reserved	-	0	Reserved for Future Use
5	RFU	Reserved	-	0	Reserved for Future Use
4	RFU	Reserved	-	0	Reserved for Future Use
3	RFU	Reserved	-	0	Reserved for Future Use
2	RFU	Reserved	-	0	Reserved for Future Use
1	ES	Erase Suspend	Volatile, Read only	0	1 = In erase suspend mode. 0 = Not in erase suspend mode.
0	PS	Program Suspend	Volatile, Read only	0	1 = In program suspend mode. 0 = Not in program suspend mode.

表 75 组地址寄存器(BAR)

Bits	Field name	Function	Type	Default state	Description
7	EXTADD	Extended Address Enable	Volatile	0b	1 = 4-byte (32-bits) addressing required from command. 0 = 3-byte (24-bits) addressing from command + Bank Address
6 to 2	RFU	Reserved	Volatile	00000b	Reserved for Future Use
1	BA25	Bank Address	Volatile	0	A25 for 512 Mb device
0	RFU	Bank Address	Volatile	0	RFU for lower density device

表 76 ASP寄存器 (ASPR)

Bits	Field name	Function	Type	Default state	Description
15 to 9	RFU	Reserved	OTP	1	Reserved for Future Use
8	RFU	Reserved	OTP	Note ^[53]	Reserved for Future Use
7	RFU	Reserved	OTP		Reserved for Future Use
6	RFU	Reserved	OTP	1	Reserved for Future Use
5	RFU	Reserved	OTP	Note ^[53]	Reserved for Future Use
4	RFU	Reserved	OTP		Reserved for Future Use
3	RFU	Reserved	OTP		Reserved for Future Use
2	PWDMLB	Password Protection Mode Lock Bit	OTP	1	0 = Password Protection Mode permanently enabled. 1 = Password Protection Mode not permanently enabled.
1	PSTMLB	Persistent Protection Mode Lock Bit	OTP	1	0 = Persistent Protection Mode permanently enabled. 1 = Persistent Protection Mode not permanently enabled.
0	RFU	Reserved	OTP	1	Reserved for Future Use

表 77 密码寄存器 (PASS)

Bits	Field name	Function	Type	Default state	Description
63 to 0	PWD	Hidden Password	OTP	FFFFFFFF-FFFFFFFFh	Non-volatile OTP storage of 64-bit password. The password is no longer readable after the password protection mode is selected by programming ASP register bit 2 to zero.

注释:

53.故障值/默认值取决于订购部件号，请参见“初始值订购状态”在分页 159。

表 78 PPB 锁定注册 (PPBL)

Bits	Field name	Function	Type	Default state	Description
7 to 1	RFU	Reserved	Volatile	00h	Reserved for Future Use
0	PPBLOCK	Protect PPB Array	Volatile	Persistent Protection Mode = 1 Password Protection Mode = 0	0 = PPB array protected until next power cycle or hardware reset 1 = PPB array may be programmed or erased

表 79 PPB 访问寄存器 (PPBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	PPB	Read or Program per sector PPB	Non-volatile	FFh	00h = PPB for the sector addressed by the PPBRD or PPBP command is programmed to '0', protecting that sector from program or erase operations. FFh = PPB for the sector addressed by the PPBRD or PPBP command is erased to '1', not protecting that sector from program or erase operations.

表 80 DYB 访问寄存器 (DYBAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	DYB	Read or Write per sector DYB	Volatile	FFh	00h = DYB for the sector addressed by the DYBRD or DYBP command is cleared to '0', protecting that sector from program or erase operations. FFh = DYB for the sector addressed by the DYBRD or DYBP command is set to '1', not protecting that sector from program or erase operations.

表 81 非易失性数据学习寄存器 (NVDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	NVDLP	Non-volatile Data Learning Pattern	OTP	00h	OTP value that may be transferred to the host during DDR read command latency (dummy) cycles to provide a training pattern to help the host more accurately center the data capture point in the received data bits.

表 82 易失性数据学习寄存器 (NVDLR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	VDLP	Volatile Data Learning Pattern	Volatile	Takes the value of NVDLR during POR or Reset	Volatile copy of the NVDLP used to enable and deliver the Data Learning Pattern (DLP) to the outputs. The VDLP may be changed by the host during system operation.

11.6 初始交付状态

该器件由 Infineon 发货，非易失位设置如下：

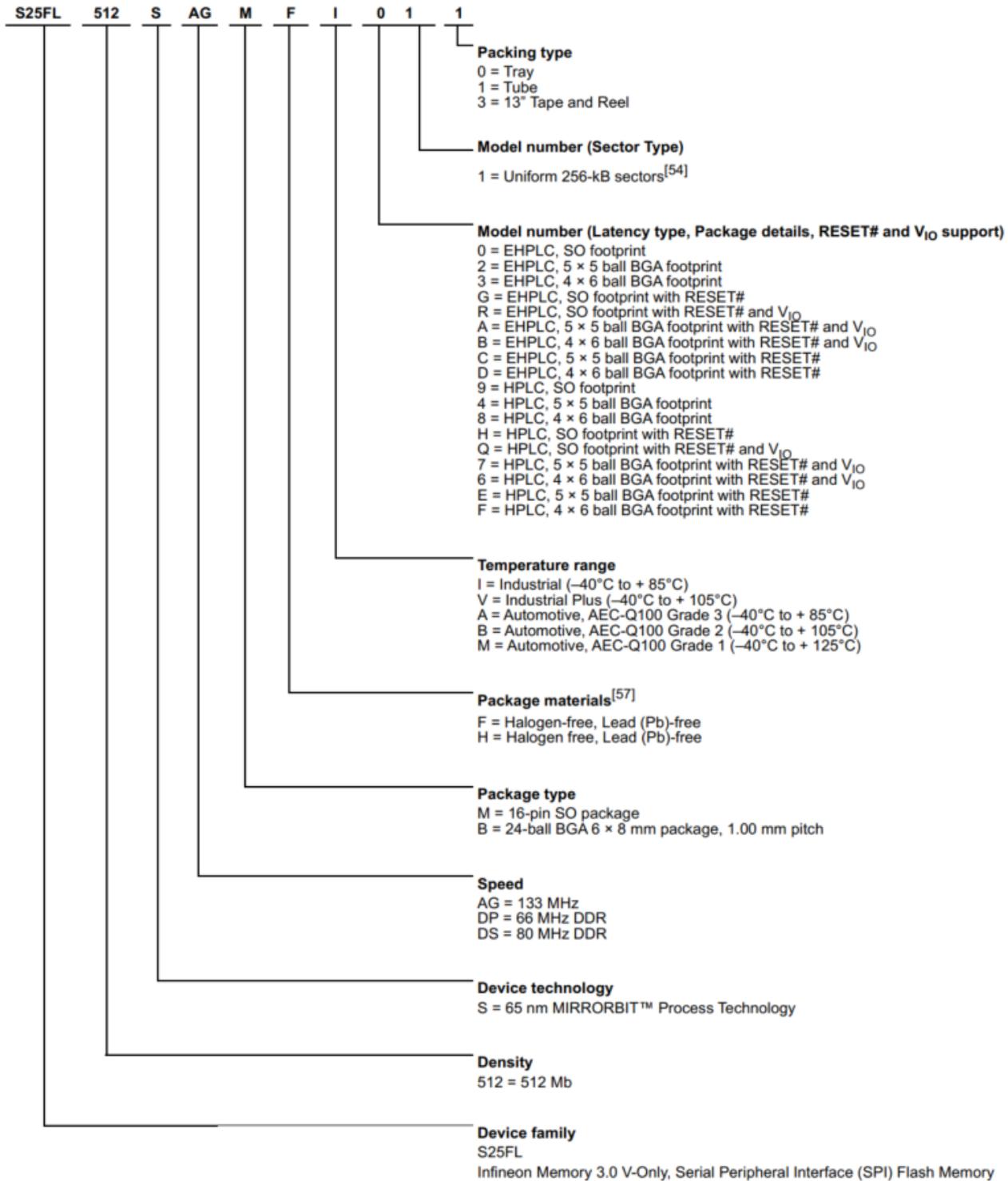
- 整个存储器阵列被擦除：即所有位都置位为“1”（每个字节包含FFh）。
- OTP 地址空间的前 16 个字节被编程为随机数。所有其他字节均被擦除为 FFh。
- SFDP 地址空间包含 SFDP 地址空间描述中定义的值。
- ID-CFI 地址空间包含 ID-CFI 地址空间描述中定义的值。
- 状态寄存器 1 包含 00h（所有 SR1 位均清除为 0）。
- 配置寄存器 1 包含 00h。
- 自动启动寄存器包含 00h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFh
- 所有 PPB 位均为“1”。
- ASP 寄存器的内容取决于所选的排序选项：

表 83 ASP寄存器内容

Ordering part number model	ASPR default value
01, 21, 31, R1, A1, B1, C1, D1, 91, Q1, 71, 61, 81	FE7Fh
K1, L1, S1, T1, Y1, Z1, M1, N1, U1, V1, W1, X1	FE4Fh

12 订购信息

订购部件编号由以下有效组合形成：



注释：

- Uniform 256-kB 扇区 = 所有扇区都是统一的 256-kB，带有 512B 编程流程图。
- EHPLC = 增强型高性能延迟代码表。
- HPLC = 高性能延迟代码表。
- 无卤素的定义符合 IEC 61249-2-21 规范。

12.1 有效组合 – 标准

有效组合列出了计划批量支持的此器件的配置。请咨询本地销售代表，确认是否有特定的与有效相关的产品，并查询新发布的产品组合。

表 84 有效组合 - 标准

有效组合 – 标准					
Base Ordering part number	Speed option	Package and temperature	Model number	Packing type	Package marking ^[58]
S25FL512S	AG	MFI, MFV	01, G1, R1	0, 1, 3	FL512S + A + (Temp) + F + (Model Number)
		BHI, BHV	21, 31, A1, B1, C1, D1	0, 3	FL512S + A + (Temp) + H + (Model Number)
	DP	MFI, MFV	01, G1	0, 1, 3	FL512S + D + (Temp) + F + (Model Number)
		BHI, BHV	21, 31, C1, D1	0, 3	FL512S + D + (Temp) + H + (Model Number)
	DS	MFI, MFV	01, G1, R1	0, 1, 3	FL512S + S + (Temp) + F + (Model Number)
		BHI, BHV	21, 31, A1, B1, C1, D1	0, 3	FL512S + S + (Temp) + H + (Model Number)

注释:

58. 例如，S25FL512SAGMFI000 封装标识为 FL512SAIF00。

12.2 有效组合 – 汽车级/AEC-Q100

下表列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。请咨询本地销售代表，确认是否有特定的与运算相关的产品，并查询新发布的产品组合。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 85 有效组合 – 汽车级/AEC-Q100

有效组合 – 汽车级/AEC-Q100					
Base ordering part number	Speed option	Package and temperature	Model number	Packing type	Package marking
S25FL512S	AG	MFA, MFB, MFM	01, G1, R1	0, 1, 3	FL512S + A + (Temp) + F + (Model Number)
		BHA, BHB, BHM	21, 31, A1, B1, C1, D1	0, 3	FL512S + A + (Temp) + H + (Model Number)
	DP	BHB	21, C1	0, 3	FL512S + D + (Temp) + H + (Model Number)
	DS	MFA, MFB, MFM	01, G1, R1	0, 1, 3	FL512S + S + (Temp) + F + (Model Number)
		BHA, BHB, BHM	21, 31, A1, B1, C1, D1	0, 3	FL512S + S + (Temp) + H + (Model Number)
	DP	MFA, MFB	G1	0	FL512S + D + (Temp) + F + (Model Number)

修订记录

Document version	Date of release	Description of changes
**	2011-12-20	Initial release.
*A	2012-03-02	General: Changed data sheet designation from Advance Information to Preliminary Performance Summary: Current Consumption table: corrected Serial Read 50 MHz and Serial Read 133 MHz values DC Characteristics: DC Characteristics table: corrected ICC1 values SDR AC Characteristics: AC Characteristics (Single Die Package, VIO = VCC 2.7V to 3.6V) table: corrected TCSH and TSU Max values AC Characteristics (Single Die Package, VIO 1.65V to 2.7V, VCC 2.7V to 3.6V) table: corrected TCSH and TSU Max values Embedded Algorithm Performance Tables: Program and Erase Performance table: corrected TW Typ and Max values Device ID and Common Flash Interface (ID-CFI) Address Map: Updated table: CFI Alternate Vendor-Specific Extended Query Parameter 0
*B	2012-05-02	Global: Added 105°C updates Ordering Information: Updated Valid Combinations table Embedded Algorithm Performance Tables: Updated table: Program and Erase Performance
*C	2012-06-13	SDR AC Characteristics: Updated tHO value from 0 Min to 2 ns Min
*D	2013-04-12	Global: Data Sheet designation updated from Preliminary to Full Production
*E	2013-12-20	Global 80 MHz DDR Read operation added Performance Summary: Updated Maximum Read Rates DDR (VIO = VCC = 3V to 3.6V) table Current Consumption table: added Quad DDR Read 80 MHz Migration Notes FL Generations Comparison table: updated DDR values for FL-S SDR AC Characteristics: Updated Clock Timing figure DDR AC Characteristics: Updated AC Characteristics — DDR Operation table DDR Output Timing: Updated SPI DDR Data Valid Window figure and Notes Ordering Information: Added 80 MHz to Speed option Valid Combinations table: added DS to Speed Option
*F	2014-01-08	DDR AC Characteristics: Removed AC Characteristics 80 MHz Operation table.
*G	2014-12-18	SDR AC Characteristics: AC Characteristics (Single Die Package, VIO = VCC 2.7V to 3.6V) table: removed tV (Min) value. AC Characteristics (Single Die Package, VIO 1.65V to 2.7V, VCC 2.7V to 3.6V) table: removed tV (Min) value. Bank Address Register: Bank Address Register (BAR) table: corrected Bit 0. Serial Flash Discoverable Parameters (SFDP) Address Map: Updated section SFDP Overview Map table: updated Field Definitions: updated SFDP Header table. Device ID and Common Flash Interface (ID-CFI) Address Map: Field Definitions: added CFI Alternate Vendor-Specific Extended Query Parameter A5h, JEDEC SFDP Rev B table.

Revision history

Document version	Date of release	Description of changes
*H	2015-01-21	<p>Capacitance Characteristics: Capacitance table: added $T_A = 25^\circ\text{C}$ under Test Conditions.</p> <p>SDR AC Characteristics: AC Characteristics (Single Die Package, $V_{IO} = V_{CC}$ 2.7V to 3.6V) table: changed t_{SU} (Min).</p> <p>Configuration Register 1 (CR1): Latency Codes for DDR Enhanced High Performance table: added 80 MHz</p> <p>Command Set Summary: S25FL512S Command Set (sorted by function) table: updated Maximum Frequency (MHz) of DDR Command Descriptions to 80 MHz.</p> <p>Read Memory Array Commands: Changed 66 MHz to 80 MHz throughout section.</p> <p>Software Interface Reference: S25FL512S Instruction Set (sorted by instruction) table: updated Maximum Frequency (MHz) of DDR Command Descriptions to 80 MHz.</p>
*I	2015-08-24	<p>Replaced “Automotive Temperature Range” with “Industrial Plus Temperature Range” in all instances across the document.</p> <p>Updated Section 2:</p> <p>Updated Section 2.11:</p> <p>Updated description.</p> <p>Updated to Cypress template.</p>

Revision history

Document version	Date of release	Description of changes
*J	2016-09-20	<p>Added ECC related information in all instances across the document. Added “Extended”, “Automotive, AEC-Q100 Grade 3”, “Automotive, AECQ100 Grade 2”, “Automotive, AEC-Q100 Grade 1” temperature range related information in all instances across the document. Added Logic block diagram. Updated Section 4 Added Section 4.2. Updated Section 4.4 Updated Table 7 Changed minimum value of V_{CC} (low) parameter from 1.0 V to 1.6 V. Changed minimum value of t_{PD} parameter from 1.0 μs to 10.0 μs. Updated Section 5 Updated Section 5.4 Updated Table 13 Updated Table 14 Updated Section 5.5 Updated Table 15 Changed minimum value of t_{HO} parameter corresponding to 66 MHz from 0 ns to 1.5 ns. Removed minimum value of t_V parameter. Updated Section 7 Updated Section 7.6 Added Section 7.6.6 Added Table 19. Updated Section 9: Updated Section 9.1: Updated Section 9.1.1: Updated Table 41: Updated Section 9.3: Updated Section 9.3.7: Updated description. Added Section 9.3.11. Updated Program flash array commands: Updated Program granularity: Added Automatic ECC. Added Data integrity. Updated Ordering information: No change in part numbers. Added Valid combinations – Automotive Grade / AEC-Q100. Updated to new template.</p>
*K	2017-03-17	<p>Updated t_{SU} in Table 13. Updated Infineon logo and Sales page.</p>
*L	2017-05-22	<p>Remove Extended Temperature Range MPN option Ordering information. Updated Package Drawings SOIC 16-lead package, FAB024 24-ball BGA package, FAC024 24-ball BGA package. Updated Quad page program (QPP 32h or 38h, or 4QPP 34h). Added “DP” speed option in Valid combinations – Automotive Grade / AEC-Q100.</p>

Revision history

Document version	Date of release	Description of changes
*M	2017-11-10	Updated Table 6 . Corrected JEDEC Sector Map Parameter Dword-2 in Table 70 . Updated Ordering information definition of letters in OPN indicating package material. Updated DDR data valid timing using DLP , Example. Updated Package Drawings on Physical interface . Change the description of CR1[4] from “RFU” to “DNU” in Table 21 . Completing Sunset Review.
*N	2017-12-15	Added Model C1 to DP speed option of Valid Combination in Valid combinations – Automotive Grade / AEC-Q100 . Updated Sales page.
*O	2018-03-21	Table 14 and Table 15 : Removed the Max value of t_{CSH} and updated the Max value of t_{SU} as “3000”.
*P	2018-06-22	Updated Section 5.5.3 . Updated Package Materials in Section 12 .
*Q	2019-01-23	Updated FL-S device density in Section 1.2.2.5 . Updated Thermal resistance . Completing Sunset Review.
*R	2019-04-30	Added Device ID and common flash interface (ID-CFI) ASO map – Automotive only . Updated Glossary .
*S	2022-04-11	Updated Chip select (CS#) Updated Thermal resistance Updated Valid combinations – Automotive Grade / AEC-Q100 Migrated to Infineon template.
*T	2023-08-30	Updated Performance summary : Replaced “Clock rate (MHz)” with “mA” in column heading in “Current consumption” table. Updated to new template.
*U	2025-04-03	Updated Figure 44 in FAC024 physical diagram . Updated description for “Write In Progress (WIP) SR1[0]” in Status register 1 (SR1) . Updated description for Monitoring operation status . Updated description for ECC status register read (ECCRD 18h) . Completing Sunset Review.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-01-26

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。