

# 128 Mb (16 MB) / 256 Mb (32 MB) FL-L 闪存存储器

## SPI 多 I/O, 3.0 V

### 概述

FL-L 器件系列是非易失性闪存存储器产品，它们采用了以下两种技术：

- 浮栅技术
- 65nm 光刻技术

FL-L 系列产品通过串行外设接口(SPI)连接主机系统。该产品支持传统 SPI 的一比特串行输入和输出（即单线 I/O 或 SIO）、可选的两比特（即双线 I/O 或 DIO）、四比特宽（四线 I/O 或 QIO）以及四线外设接口（QPI）命令。另外，它还为 QIO 和 QPI 提供了双倍数据速率（DDR）命令支持，在时钟的双边沿上传送地址和读取数据。

该产品具有页编程缓冲区，允许在一次操作中最多编程 256 个字节，并提供单独的 4 KB 大小的扇区、32 KB 半块、64 KB 块或整个芯片擦除功能。

FL-L 系列器件支持更高的时钟频率和四线命令，因此指令读取的传输率能够等于或超过传统的并行接口、异步、NOR 闪存存储器，同时可明显降低信号连接的计数。

FL-L 产品系列为各种移动或嵌入式应用提供了容量大、灵活性高且速度快等性能。该产品系列为空间、信号连接、功耗有限的系统提供了一个理想的存储解决方案。这些存储器的灵活性和性能比普通串行闪存器件好很多。它们是用于将代码传送到 RAM，直接执行代码（XIP）和存储可重新编程的数据的理想选择。

### 特性

- 具有多个 I/O 的串行外设接口（SPI）
  - 支持时钟极性以及相位模式 0 和 3
  - 具有双倍数据速率（DDR）选项
  - 具有四线外设接口（QPI）选项
  - 具有扩展地址：24 或 32 位地址选项
  - 串行命令子集和封装与 S25FL-A、S25FL1-K、S25FL-P、S25FL-S 以及 S25FS-S SPI 系列兼容
  - 多 I/O 指令子集和封装与 S25FL-P、S25FL-S 和 S25FS-S SPI 系列兼容
- 读取
  - 指令：正常、快速、双线 I/O、四线 I/O、DDR 四线 I/O
  - 模式：回卷突发、持续突发 (XIP)、QPI
  - 串行闪存可发现参数（SFDP）用于配置信息
- 编程结构
  - 256 字节的页编程缓冲区
  - 256 Mb (32 MB)/128 Mb (16 MB)、3.0 V FL-L 闪存存储器
  - 编程挂起和恢复
- 擦除结构
  - 4 KB 扇区擦除
  - 32 KB 半块擦除
  - 64 KB 扇区擦除
  - 芯片擦除
  - 擦除挂起和恢复
- 100,000 次编程/擦除周期（最小值）

*本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。*

### 特性

- 最短数据保留时间为 20 年
- 加密特性
  - 具有状态和配置寄存器保护
  - 主闪存阵列外部有四个各 256 字节的安全区域
  - 旧版功能块保护：功能块范围
  - 单个功能块及区域保护
    - 单个功能块锁定：易失性单个扇区/功能块
    - 指针区域：非易失扇区/功能块范围
    - 电源锁定、密码或安全区域 2 和 3 以及指针区域的永久保护
- 技术
  - 65 nm 浮栅技术
- 带 CMOS I/O 的单电源电压
  - 2.7 V 至 3.6 V
- 温度范围/等级
  - 工业级 (-40°C ~ +85°C)
  - 扩展的工业级 (-40°C ~ +105°C)
  - 汽车级, AEC-Q100 3 级 (-40°C ~ +85°C)
  - 汽车级, AEC-Q100 2 级 (-40°C ~ +105°C)
  - 汽车级, AEC-Q100 1 级 (-40°C ~ +125°C)
- 封装 (全部无铅)
  - 8 SOIC 208 mil (SOC008) – 仅 S25FL128L 提供
  - WSON 5 × 6 mm (WND008) – 仅 S25FL128L 提供
  - WSON 6 × 8 mm (WNG008) – S25FL256L 和 S25FL128L 提供
  - 16-pin SOIC 300 mil (SO3016)
  - BGA-24 6 × 8 mm
    - 5 × 5 ball (FAB024) 封装
    - 4 × 6 ball (FAC024) 封装

## 性能总结

## 性能总结

表1 最大读取速度 SDR

Command	Clock rate (MHz)	MBps
Read	50	6.25
Fast Read	133	16.5
Dual Read		33
Quad Read		66

表2 最大读取速度 DDR

Command	Clock rate (MHz)	MBps
DDR Quad Read	66	66

表3 典型编程和擦除速率

Operation	KBps
Page programming	854
4 KB sector erase	80
32 KB half block erase	168
64 KB block erase	237

表4 典型的电流消耗, -40°C 到 +85°C

Operation	Typical current	Unit
Fast Read 5 MHz	10	mA
Fast Read 10 MHz	10	
Fast Read 20 MHz	10	
Fast Read 50 MHz	15	
Fast Read 108 MHz	25	
Fast Read 133 MHz	30	
Quad I/O / QPI Read 108 MHz	25	
Quad I/O / QPI Read 133 MHz	30	
Quad I/O / QPI DDR Read 33 MHz	15	
Quad I/O / QPI DDR Read 66 MHz	30	
Program	40	
Erase	40	μA
Standby SPI	20	
Standby QPI	60	
Deep power down	2	

## 目录

## 目录

概述 .....	1
特性 .....	1
性能总结 .....	3
目录 .....	4
<b>1 产品概述 .....</b>	<b>11</b>
1.1 迁移说明 .....	11
1.1.1 特性比较 .....	11
<b>2 引脚布局 .....</b>	<b>13</b>
2.1 SOIC-16 引脚 .....	13
2.2 包含 8 个连接点的封装 .....	14
2.3 BGA ball 封装 .....	15
2.4 FBGA 封装的特殊处理指令说明 .....	16
<b>3 信号说明 .....</b>	<b>17</b>
3.1 支持多输入 / 输出的串行外设接口 (SPI-MIO) .....	17
3.2 输入/输出简介 .....	17
3.3 多路输入 / 输出 (MIO) .....	18
3.4 串行时钟 (SCK) .....	18
3.5 芯片选择 (CS#) .....	18
3.6 串行输入 (SI) / IO0 .....	19
3.7 串行输出 (SO) / IO1 .....	19
3.8 写保护 (WP#) / IO2 .....	19
3.9 IO3 / RESET # .....	19
3.10 RESET # .....	20
3.11 电源电压 (V <sub>CC</sub> ) .....	20
3.12 电源和信号地 (V <sub>SS</sub> ) .....	20
3.13 未连接 (NC) .....	20
3.14 预留以供将来使用 (RFU) .....	20
3.15 请勿使用 (DNU) .....	21
<b>4 框图 .....</b>	<b>22</b>
4.1 系统框图 .....	22
<b>5 信号协议 .....</b>	<b>25</b>
5.1 SPI 时钟模式 .....	25
5.1.1 单倍数据速率 (SDR) .....	25
5.1.2 双倍数据速率 (DDR) .....	25
5.2 命令协议 .....	26
5.2.1 命令顺序示例 .....	28
5.3 接口状态 .....	30

## 目录

5.3.1	断电 .....	32
5.3.2	低功耗时硬件数据保护 .....	32
5.3.3	硬件 (热) 复位 .....	32
5.3.4	接口待机 .....	32
5.3.5	指令周期 (传统SPI模式) .....	32
5.3.6	指令周期 (QPI模式) .....	32
5.3.7	单线输入周期——从主机到存储器的传输 .....	33
5.3.8	单线延迟 (虚拟) 周期状态 .....	33
5.3.9	单线输出周期——存储器到主机的传输 .....	33
5.3.10	双线输入循环——主机到存储器传输 .....	33
5.3.11	双线线延时 (虚拟) 周期 .....	33
5.3.12	双线输出循环——存储器到主机的传输 .....	34
5.3.13	QPP或QOP地址输入周期 .....	34
5.3.14	四线输入周期——主机到存储器传输 .....	34
5.3.15	四线延时 (虚拟) 周期 .....	34
5.3.16	四线输出周期——存储器到主机的传输 .....	34
5.3.17	DDR四线输入周期——从主机到存储器的传输 .....	35
5.3.18	DDR延迟周期 .....	35
5.3.19	DDR四线输出周期——存储器到主机的传输 .....	35
5.4	数据保护 .....	35
5.4.1	上电 .....	35
5.4.2	低功耗 .....	35
5.4.3	时钟脉冲数量 .....	36
5.4.4	深度掉电 (DPD) .....	36
<b>6</b>	<b>地址空间映射 .....</b>	<b>37</b>
6.1	概述 .....	37
6.1.1	扩展地址 .....	37
6.1.2	多个地址空间 .....	37
6.2	闪存存储器阵列 .....	37
6.3	ID 地址空间 .....	38
6.3.1	器件唯一ID .....	38
6.4	JEDEC JESD216 串行闪存可发现参数 (SFDP) 空间 .....	38
6.5	安全区域地址空间 .....	39
6.6	寄存器 .....	39
6.6.1	状态寄存器1 .....	40
6.6.1.1	非易失性状态寄存器 1 (SR1NV) S25FL256L .....	40
6.6.1.2	易失性状态寄存器 1 (SR1V) S25FL256L .....	40
6.6.1.3	状态寄存器 1 非易失性 (SR1NV) S25FL128L .....	42
6.6.1.4	状态寄存器 1 易失性 (SR1V) S25FL128L .....	43
6.6.2	状态寄存器 2 易失性 (SR2V) .....	44
6.6.3	配置寄存器 1 .....	45
6.6.3.1	配置寄存器 1 非易失性 (CR1NV) .....	45

## 目录

6.6.3.2	配置寄存器 1 易失性 (CR1V) .....	46
6.6.4	配置寄存器 2.....	48
6.6.4.1	配置寄存器 2 非易失性 (CR2NV) .....	48
6.6.4.2	配置寄存器 2 易失性 (CR2V) .....	49
6.6.5	配置寄存器 3.....	51
6.6.5.1	配置寄存器 3 非易失性 (CR3NV) .....	51
6.6.5.2	配置寄存器 3 易失性 (CR3V) .....	54
6.6.6	单独和区域保护 (IRP) .....	55
6.6.7	密码注册 (PASS) .....	57
6.6.8	保护寄存器 (PR) .....	58
6.6.9	单独功能块锁定访问/访问寄存器 (IBLAR) .....	58
6.6.10	指针区域保护寄存器 (PRPR) .....	59
6.6.11	DDR 数据学习寄存器.....	59
<b>7</b>	<b>数据保护 .....</b>	<b>61</b>
7.1	安全区域 .....	61
7.1.1	读取安全区域存储器区域.....	61
7.1.2	安全区域编程 .....	61
7.1.3	擦除安全区域 .....	61
7.1.4	安全区域锁定位 (LB3、LB2、LB1、LB0) .....	61
7.2	深度掉电 .....	62
7.3	写使能命令.....	62
7.4	写入保护信号 .....	62
7.5	状态寄存器保护 (SRP1, SRP0).....	62
7.6	阵列保护 .....	64
7.6.1	传统功能块保护 .....	64
7.6.2	单独功能块锁定 (IBL) 保护 .....	69
7.6.3	指针区域保护 (PRP) .....	70
7.7	单独区域保护 .....	72
7.7.1	IRP 寄存器.....	74
7.7.1.1	IBL 锁启动位 .....	74
7.7.2	保护寄存器 (PR) .....	74
7.7.2.1	NVLOCK 位 (PR [0]) .....	74
7.7.2.2	安全区域读取密码锁定位 (SECRRP, PR [6]) .....	75
7.7.3	密码保护模式 .....	75
7.7.4	安全区域读取密码保护.....	76
7.7.5	推荐的 IRP 保护流程 .....	76
<b>8</b>	<b>命令 .....</b>	<b>77</b>
8.1	命令汇总 .....	77
8.1.1	扩展寻址.....	77
8.1.2	按功能划分的命令汇总.....	79

## 目录

8.1.3	读取器件标识.....	81
8.1.4	寄存器读取或写入.....	81
8.1.4.1	监控运行状态.....	82
8.1.4.2	拓扑结构.....	82
8.1.5	读取闪存阵列.....	82
8.1.6	编程闪存阵列.....	83
8.1.7	擦除闪存阵列.....	83
8.1.8	安全区域、传统功能块保护以及个人和区域保护.....	83
8.1.9	复位.....	83
8.1.10	预留.....	83
8.2	识别命令.....	84
8.2.1	读取标识 (RDID 9Fh).....	84
8.2.2	读取四线标识 (RDQID AFh).....	84
8.2.3	读取串行闪存设备可发现的参数 (RSFDP 5Ah).....	85
8.2.4	读取唯一ID (RUID 4Bh).....	86
8.3	寄存器访问命令.....	87
8.3.1	读取状态寄存器 1 (RDSR1 05h).....	87
8.3.2	读取状态寄存器 2 (RDSR2 07h).....	88
8.3.3	读取配置寄存器 (RDCR1 35h) (RDCR2 15h) (RDCR3 33h).....	88
8.3.4	写入寄存器 (WRR 01h).....	89
8.3.5	写入使能 (WREN 06h).....	91
8.3.6	写禁用 (WRDI 04h).....	91
8.3.7	易失性寄存器的写入使能 (WRENV 50h).....	92
8.3.8	清除状态寄存器 (CLSR 30h).....	93
8.3.9	编程 DLRNV (PDLRNV 43h).....	93
8.3.10	写入 DLRV (WDLRV 4Ah).....	94
8.3.11	数据学习模式读取 (DLPRD 41h).....	95
8.3.12	进入 4 字节地址模式 (4BEN B7h).....	95
8.3.13	退出 4 字节地址模式 (4BEX E9h).....	96
8.3.14	读取任意寄存器 (RDAR 65h).....	97
8.3.15	写入任意寄存器 (WRAR 71h).....	98
8.3.16	配置突发长度 (SBL 77h).....	99
8.3.17	进入 QPI 模式 (QPIEN 38h).....	101
8.3.18	退出 QPI 模式 (QPIEX F5h).....	101
8.4	读取存储器阵列命令.....	102
8.4.1	读取 (读取 03h 或 4READ 13h).....	103
8.4.2	快速读取 (FAST_READ 0Bh 或 4FAST_READ 0Ch).....	103
8.4.3	双线输出读取 (DOR 3Bh 或 4DOR 3Ch).....	104
8.4.4	四线输出读取 (QOR 6Bh 或 4QOR 6Ch).....	105
8.4.5	双线 I/O 读取 (DIOR BBh 或 4DIOR BCh).....	105
8.4.6	四线 I/O 读取 (QIOR EBh 或 4QIOR ECh).....	107
8.4.7	DDR 四线 I/O 读取 (EDh、EEh).....	109

## 目录

8.5	编程闪存阵列命令 .....	111
8.5.1	编程粒度 .....	111
8.5.1.1	页面编程 .....	111
8.5.1.2	单字节编程 .....	112
8.5.2	分页编程 (pp 02h 或 4PP 12H) .....	112
8.5.3	四线分页编程 (QPP 32h 或 4QPP 34h) .....	113
8.6	擦除闪存阵列命令 .....	114
8.6.1	扇区擦除 (SE 20h 或 4SE 21h) .....	114
8.6.2	半块擦除 (HBE 52h 或 4HBE 53h) .....	115
8.6.3	块擦除 (BE D8h 或 4BE DCh) .....	116
8.6.4	芯片擦除 (CE 60h 或 C7h) .....	117
8.6.5	编程或擦除暂停 (PES 75h) .....	118
8.6.6	擦除或编程恢复 (EPR 7Ah) .....	121
8.7	安全区域命令 .....	117
8.7.1	安全区域擦除 (SECRE 44h) .....	122
8.7.2	安全区域编程 (SECRP 42h) .....	123
8.7.3	安全区域读取 (SECRR 48h) .....	123
8.8	单独功能块锁定命令 .....	124
8.8.1	IBL 读取 (IBLRD 3Dh 或 4IBLRD E0h) .....	124
8.8.2	IBL 锁定 (IBL 36h 或 4IBL E1h) .....	125
8.8.3	IBL 解锁 (IBUL 39h 或 4IBUL E2h) .....	126
8.8.4	全局 IBL 锁定 (GBL 7Eh) .....	127
8.8.5	区域 IBL 解锁 (GBUL 98h) .....	127
8.9	指针地区命令 .....	128
8.9.1	置位指针区域保护 (SPRP FBh 或 4SPRP E3h) 指针地区命令 .....	128
8.10	单独区域保护 (IRP) 命令 .....	129
8.10.1	IRP 寄存器读取 (IRPRD 2Bh) .....	129
8.10.2	IRP 编程 (IRPP 2Fh) .....	130
8.10.3	保护寄存器读取 (PRRD A7h) .....	131
8.10.4	保护寄存器锁定 (PRL A6h) .....	131
8.10.5	密码读取 (PASSRD E7h) .....	132
8.10.6	密码编程 (PASSP E8h) .....	133
8.10.7	密码解锁 (PASSU EAh) .....	134
8.11	复位命令 .....	134
8.11.1	软件复位使能 (RSTEN 66h) .....	135
8.11.2	软件复位 (RST 99h) .....	135
8.11.3	模式位复位 (MBR FFh) .....	135
8.12	深度掉电命令 .....	136
8.12.1	深度掉电 (DPD B9h) .....	136
8.12.2	深度掉电释放/设备 ID (RES ABh) .....	136
<b>9</b>	<b>数据完整性 .....</b>	<b>139</b>
9.1	擦除耐久性 .....	139

## 目录

9.2	数据保留 .....	139
<b>10</b>	<b>软件接口参考 .....</b>	<b>140</b>
10.1	JEDEC JESD216B 串行闪存可发现参数 .....	140
10.1.1	SFDP 地址映射 .....	140
10.1.2	SFDP 报文头/帧头字段定义 .....	141
10.1.3	JEDEC SFDP 基本 SPI 闪存参数 .....	142
10.1.4	JEDEC SFDP 4 字节地址指令表 .....	149
10.2	器件 ID 地址映射 .....	150
10.2.1	字段定义 .....	150
10.3	初始交付状态 .....	150
<b>11</b>	<b>电气规格参数 .....</b>	<b>151</b>
11.1	绝对最大额定值 .....	151
11.2	闩锁特性 .....	151
11.3	热阻抗 .....	151
11.4	工作范围 .....	152
11.4.1	供电电压 .....	152
11.4.2	温度范围 .....	152
11.4.3	输入信号过冲 .....	152
11.5	上电和断电 .....	153
11.6	直流特性 .....	155
11.6.1	有源电源和备用电源模式 .....	159
11.6.2	深度掉电功率模式 (DPD) .....	159
<b>12</b>	<b>时序规范 .....</b>	<b>160</b>
12.1	波形切换 .....	160
12.2	交流测试条件 .....	160
12.2.1	电容特性 .....	161
12.3	复位 .....	161
12.3.1	上电 (冷) 复位 (POR) .....	161
12.3.2	RESET# 和 IO3 / RESET# 输入启动硬件 (热) 复位 .....	162
12.4	SDR 交流特性 .....	164
12.4.1	时钟时序 .....	165
12.4.2	输入/输出时序 .....	166
12.5	DCR 交流特性 .....	167
12.5.1	DDR 输入时序 .....	168
12.5.2	DDR 输出时序 .....	168
12.5.3	使用 DLP 的 DDR 数据有效时序 .....	169
12.6	嵌入式算法性能表 .....	170
<b>13</b>	<b>订购信息 .....</b>	<b>171</b>
13.1	订购部件编号 .....	171
13.2	有效组合——标准 .....	171
13.3	有效组合——汽车级 / AEC-Q100 .....	172



目录

14	封装图.....	174
	修订记录.....	180
	声明.....	184

## 1 产品概述

## 1 产品概述

## 1.1 迁移说明

## 1.1.1 特性比较

FL-L 系列的命令集和封装与先前的 FL-S、FL1-K 和 FL-P 系列相兼容。

表 5 英飞凌 SPI 系列比较

Parameter	FL-L	FL-S	FL1-K	FL-P
Technology node	65-nm	65-nm	90-nm	90-nm
Architecture	Floating gate	MIRRORBIT™ Eclipse	Floating Gate	MIRRORBIT™
Release date	In production	In production	In production	In production
Density	256 Mb	128 Mb–1 Gb	4 Mb–64 Mb	32 Mb–256 Mb
Bus width	×1, ×2, ×4	×1, ×2, ×4	×1, ×2, ×4	×1, ×2, ×4
Supply voltage	2.7 V–3.6 V	2.7 V–3.6 V / 1.65 V–3.6 V V <sub>IO</sub>	2.7 V–3.6 V	2.7 V–3.6 V
Normal Read speed	6 MBps (50 MHz)	6 MBps (50 MHz)	6 MBps (50 MHz)	5 MBps (40 MHz)
Fast Read speed	16.5 MBps (133 MHz)	17 MBps (133 MHz)	13 MBps (108 MHz)	13 MBps (104 MHz)
Dual Read speed	33 MBps (133 MHz)	26 MBps (104 MHz)	26 MBps (108 MHz)	20 MBps (80 MHz)
Quad Read speed	66 MBps (133 MHz)	52 MBps (104 MHz)	52 MBps (108 MHz)	40 MBps (80 MHz)
Quad Read speed (DDR)	66 MBps (66 MHz)	80 MBps (80 MHz)	–	–
Program buffer size	256B	256B / 512B	256B	256B
Erase sector/block size	4 KB / 32 KB / 64 KB	64 KB / 256 KB	4 KB / 64 KB	64 KB / 256 KB
Parameter sector size	–	4 KB (option)	–	4 KB
Sector / block erase rate (typ.)	80 KBps (4 KB) 168 KBps (32 KB) 237 KBps (64 KB)	500 KBps	136 KBps (4 KB) 437 KBps (64 KB)	130 KBps
Page programming rate (typ.)	854 KBps (256B)	1.2 MBps (256B) 1.5 MBps (512B)	365 KBps	170 KBps
Security Region / OTP	1024B	1024B	768B (3 × 256B)	506B
Individual and Region protection or advanced sector protection	Yes	Yes	No	No
Erase suspend/resume			Yes	
Program suspend/resume				

(表格续下页……)

表 5 英飞凌 SPI 系列比较 (续)

Parameter	FL-L	FL-S	FL1-K	FL-P
Operating temperature	-40°C to +85°C -40°C to +105°C -40°C to +125°C	-40°C to +85°C -40°C to +105°C	-40°C to +85°C	-40°C to +85°C -40°C to +105°C

**注:** 欲了解详细信息, 请参考单独的数据手册。

## 2 引脚布局

### 2.1 SOIC 16-引脚

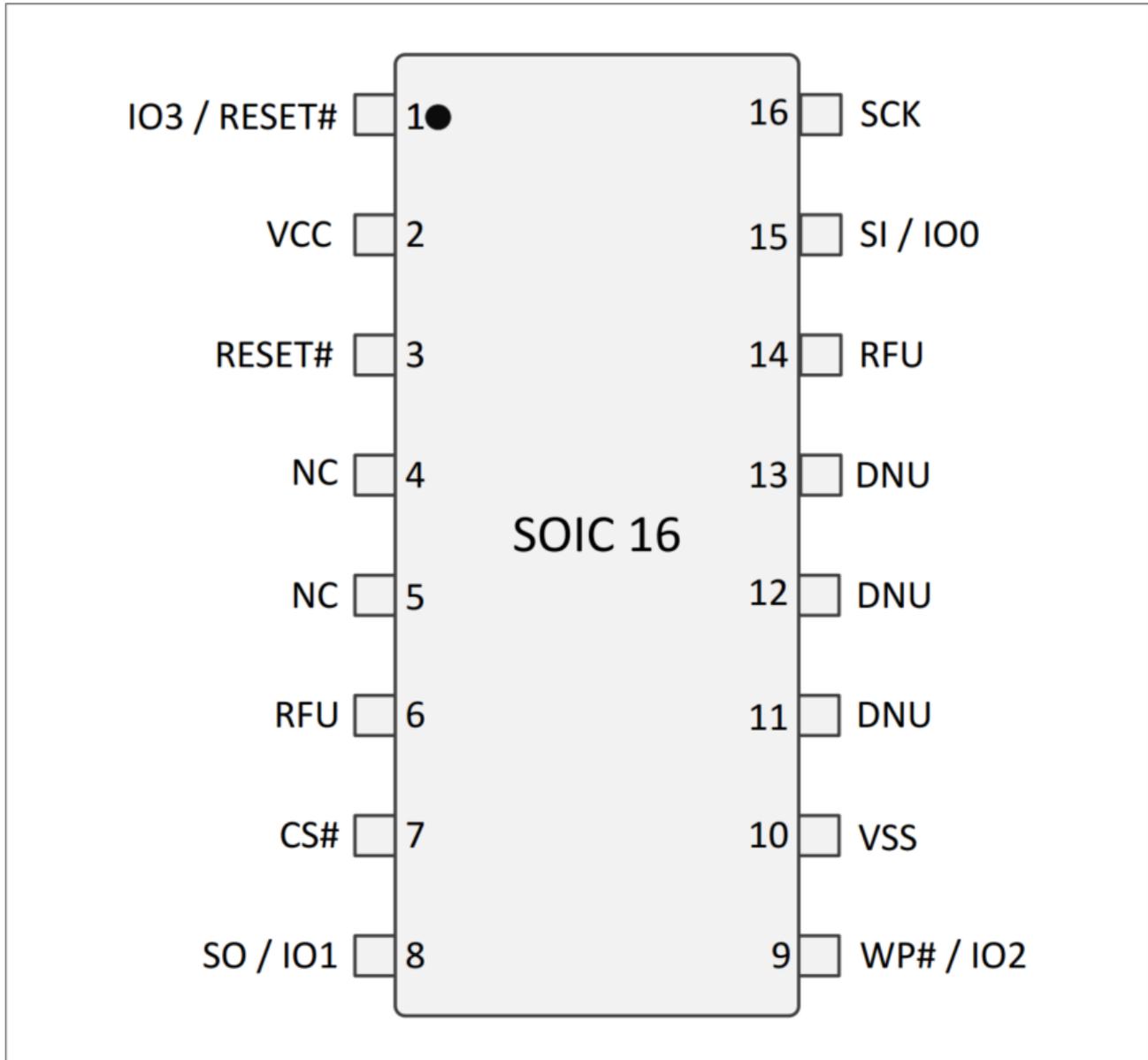


表1 16 引脚 SOIC 封装 (SO3016) , 顶视图

**注:** RESET# 和 IO3 / RESET# 输入具有内部上拉电阻, 如果未使用四通道模式、模式和硬件复位, 则在系统中, 这些输入会保持为未连接状态。

## 2 引脚布局

## 2.2 包含 8 个连接点的封装

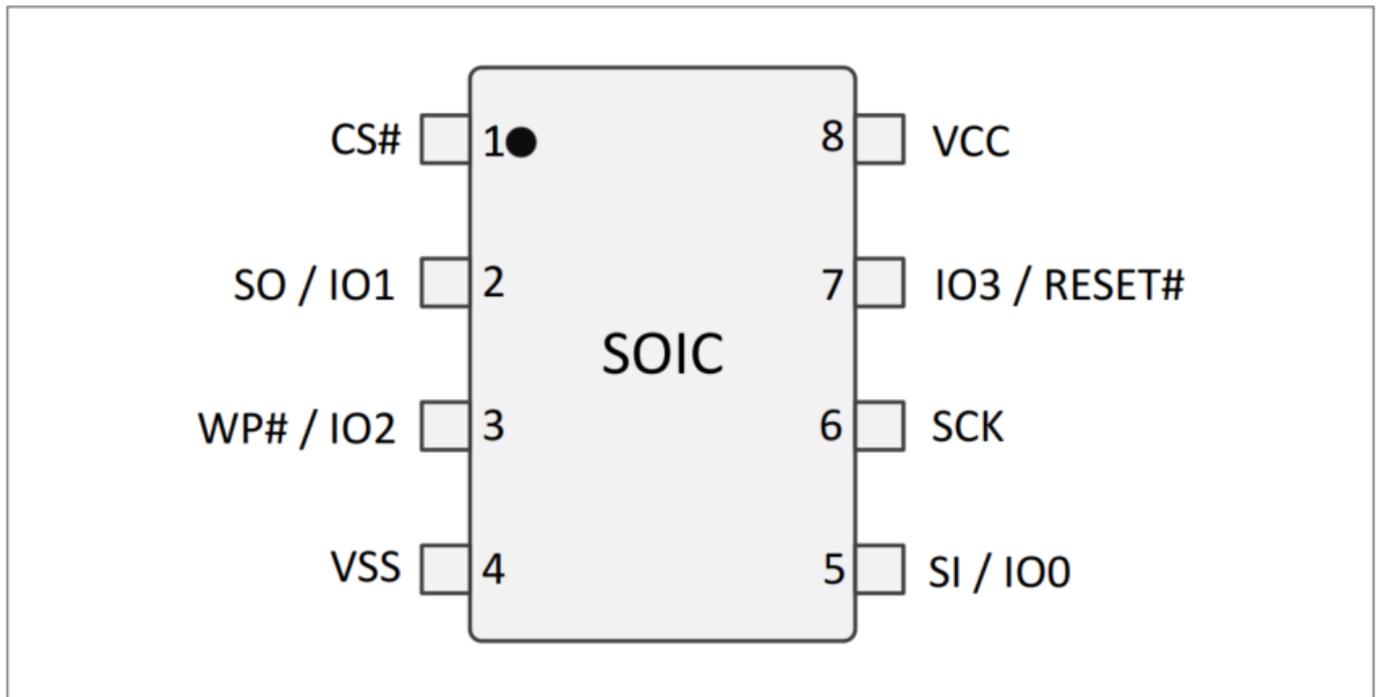


图2 8 引脚塑料小外型封装 (SOIC8)

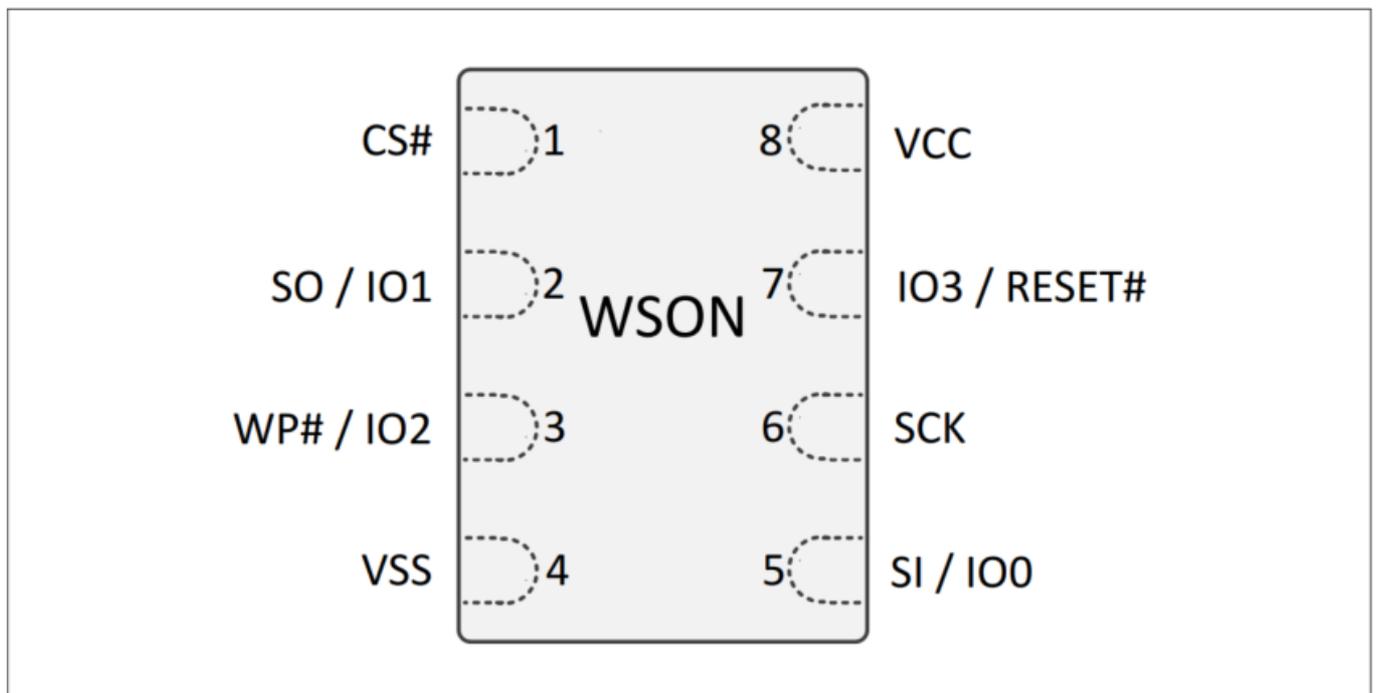


图3 包含 8 个连接点的封装 (WSON 6 x 8) (WSON 5 x 6), 顶视图

**注:** RESET# 输入具有内部上拉电阻, 在四通道模式下可以保持未连接状态, 并且硬件复位未使用。

### 2.3 BGA ball 封装

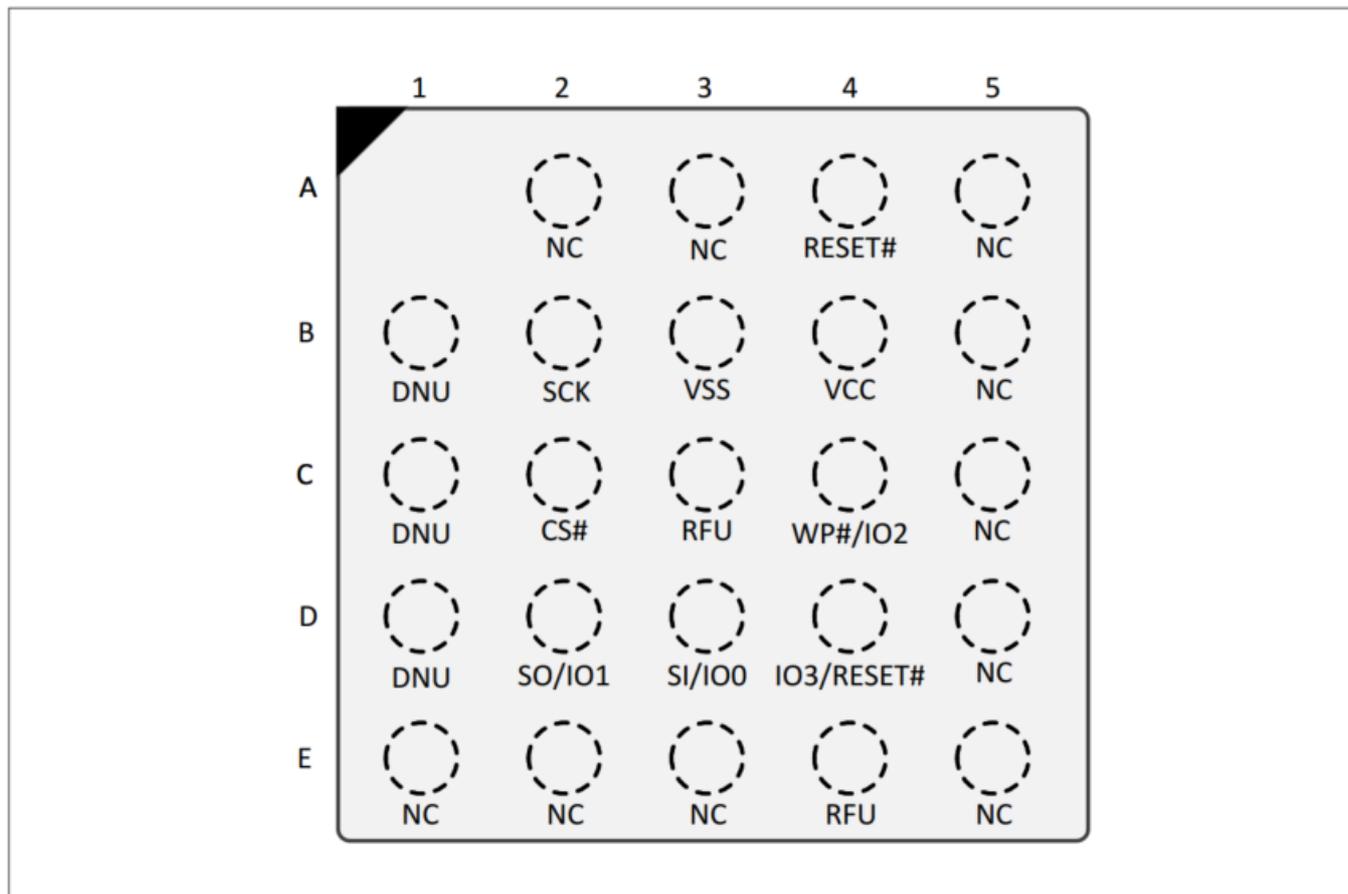


图 4 24-ball BGA, 5x5 ball 封装 (FAB024), 顶视图

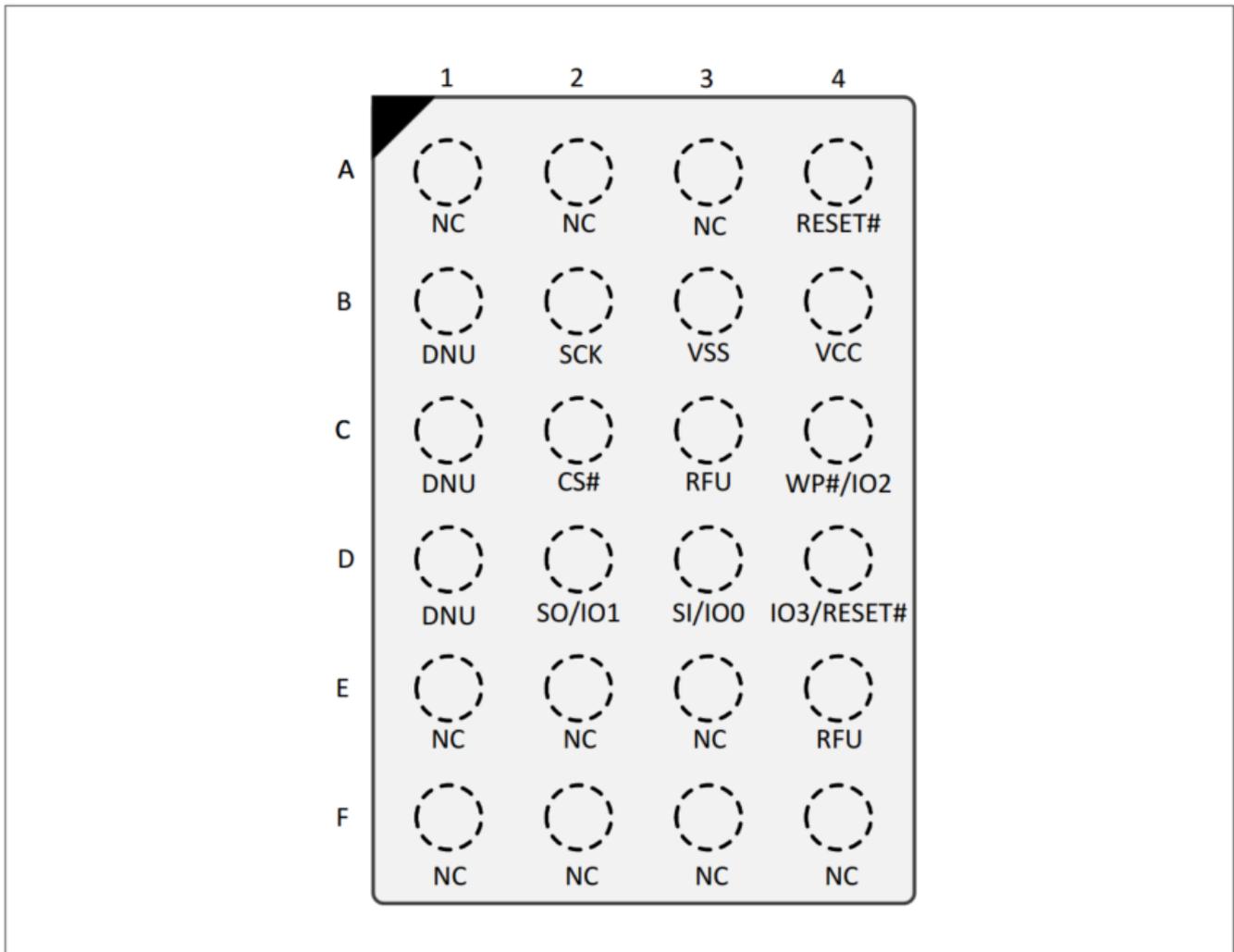


图 5 24-ball BGA, 4x6 ball 封装 (FAC024), 顶视图

#### 注:

1. 信号连接的相对位置与 FAC024 BGA 相同, 因此单 PCB 封装可以使用两个封装中的任何一个。
2. RESET# 输入上连接着一个内部上拉电阻。如果未使用四线模式和硬件复位模式, 则在系统中, 该输入会保持为未连接状态。
3. RESET# 输入上连接着一个内部上拉电阻。如果未使用四线模式和硬件复位模式, 则在系统中, 该输入会保持为未连接状态。

## 2.4 FBGA 封装的特殊处理指令说明

如果使用超声波清洁方法, BGA 封装中的闪存存储器器件可能被损坏。如果将封装长期放置在温度高于 150°C 的地方, 封装和 / 或数据的完整性可能受到损坏。

### 3 信号说明

#### 3.1 支持多输入 / 输出的串行外设接口 (SPI-MIO)

具有独立的并行控制、地址和数据信号的多个存储器件与其主机系统连接时，需要大量的信号连接和更大的封装。由于大量信号交换，因此信号连接的数量越多，功耗也越高；较大的封装尺寸会增加成本。

FL-L 系列通过 6 个信号将所有控制、地址和数据信息串行传输给主机系统，因此可以减少信号连接的数量。这样可以降低存储器封装的成本和信号交换的功耗，减少主机信号连接的数量，主机可以节省连接以供其他功能使用。

FL-L 系列使用了业界标准的单比特 SPI，同时支持可选的扩展命令，用于进行两比特（双线）或四比特（四线）宽的串行传输。这种多宽度接口被称为 SPI Multi-I/O 或 SPI-MIO。

#### 3.2 输入/输出简介

表6 信号列表

Signal name	Type	Description
RESET#	Input	<b>Hardware Reset.</b> Low = device resets and returns to standby state, ready to receive a command. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used.
SCK		<b>Serial Clock</b>
CS#		<b>Chip Select</b>
SI / IO0	I/O	<b>Serial Input</b> for single bit data commands or IO0 for Dual or Quad commands.
SO / IO1		<b>Serial Output</b> for single bit data commands. IO1 for Dual or Quad commands.
WP# / IO2		<b>Write Protect</b> when not in Quad mode (CR1V[1] = 0 and SR1NV[7] = 1). <b>IO2</b> when in Quad mode (CR1V[1] = 1). The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or write protection. If write protection is enabled by SR1NV[7] = 1 and CR1V[1] = 0, the host system is required to WP# high or low during a WRR or WRAR command.
		<b>IO3</b> in Quad-I/O mode, when Configuration Register 1 QUAD bit, CR1V[1] = 1, or in QPI mode, when Configuration Register 2 QPI bit, CR2V[3] = 1 and CS# is low. <b>RESET#</b> when enabled by CR2V[7] = 1 and not in Quad-I/O mode, CR1V[1] = 0, or when enabled in Quad mode, CR1V[1] = 1 and CS# is high. The signal has an internal pull-up resistor and may be left unconnected in the host system if not used for Quad commands or RESET#.
V <sub>CC</sub>		Supply
V <sub>SS</sub>	<b>Ground.</b>	

(表格续下页.....)

表6 信号列表 (续)

Signal name	Type	Description
NC	Unused	<b>Not Connected.</b> No device internal signal is connected to the package connector nor is there any future plan to use the connector for a signal. The connection may safely be used for routing space for a signal on a Printed Circuit Board (PCB). However, any signal connected to an NC must not have voltage levels higher than $V_{CC}$ .
RFU	Reserved	<b>Reserved for Future Use.</b> No device internal signal is currently connected to the package connector but there is potential future use of the connector for a signal. It is recommended to not use RFU connectors for PCB routing channels so that the PCB may take advantage of future enhanced features in compatible footprint devices.
DNU		<b>Do Not Use.</b> A device internal signal may be connected to the package connector. The connection may be used by Infineon for test or other purposes and is not intended for connection to any host system signal. Any DNU signal related function will be inactive when the signal is at $V_{IL}$ . The signal has an internal pull-down resistor and may be left unconnected in the host system or may be tied to $V_{SS}$ . Do not use these connections for PCB signal routing channels. Do not connect any host system signal to this connection.

**注:** 使用内部上拉或下拉电阻的输入驱动引起的电流低于  $2\mu A$ 。只有在上电过程中, 该电流才最大 (在  $4\mu s$  内为  $150\mu A$ )。如果采用普通的工艺技术、 $V_{CC} = 3.3V$  和温度  $= -40^{\circ}C$ , 则上拉或下拉电阻的阻值为  $4.5M\Omega$  温度  $= 90^{\circ}C$  时, 该值为  $\sim 6.6M\Omega$ 。

### 3.3 多路输入/输出 (MIO)

传统 SPI 单比特命令 (即单 IO 或 SIO) 只能通过串行输入 (SI) 信号将主机的数据发送到存储器内。数据会通过串行输出 (SO) 信号从存储器内串行回送给主机。

双线或四线输入 / 输出 (I/O) 命令只能通过 SI/IO0 信号将命令发送给存储器。地址或数据可按双比特一组的方式通过 IO0 和 IO1 从主机发送到存储器内, 也可以按照四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 发送。数据同样可以按照双比特一组的方式通过 IO0 和 IO1 从存储器回送给主机, 也可以按照四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 被回送。

QPI 模式允许以四比特 (半字节) 一组的方式将所有指令、地址和数据通过 IO0、IO1、IO2 和 IO3 从主机传送到存储器内。数据同样可以按四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 回送到主机内。

### 3.4 串行时钟 (SCK)

该输入信号为 SPI 接口提供了同步参考。可以在 SCK 信号的上升沿上锁存指令、地址或数据。在 SDR 命令中, 数据输出会在 SCK 的下降沿后发生变化。

### 3.5 芯片选择 (CS#)

芯片选择信号指出某条命令正在向器件或从器件传输信息, 并指示存储器件的相关信号。

CS# 信号为高逻辑状态时, 不会选择芯片, 所有输入信号均被忽略, 并且所有输出信号均为高阻抗。除非正在进行内部嵌入式操作, 否则器件将处于待机功率模式。嵌入式操作是从状态寄存器 1 的正在写入位 (SR1V[0]) 被设置为 1 到完成该操作为止。嵌入式操作的示例包括: 编程、擦除或写入寄

寄存器 (WRR) 等操作。

将 CS# 输入驱动为低逻辑状态可以启用器件，使器件进入工作模式。上电后，必须等到 CS# 的下降沿到来后才能执行其他命令。

### 3.6 串行输入 (SI)/IO0

该输入信号用于将数据串行传输到器件中。它接收指令、地址和要写入闪存的数据。各个数值在串行 SCK 时钟信号的上升沿上被锁存。在执行双线和四线命令过程中，SI 变成 IO0（一个输入和输出），用于接收指令、地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意一个边沿上（若执行 DDR 命令）移出数据。

### 3.7 串行输出 (SO)/IO1

该输出信号用于串行传输器件中的数据。在串行 SCK 时钟信号的下降沿上移出数据。在执行双线和四线命令过程中，SO 变成 IO1（一个输入和输出），用于接收地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意边沿上（若执行 DDR 命令）移出数据。

### 3.8 写保护 (WP#) / IO2

当 WP# 驱动为低电平 (VIL) 时，当状态寄存器 1 (SR1NV[7]) 或 (SR1V[7]) 的状态寄存器保护位 0 (SRP0\_NV) 或 (SRP0) 位置位为 '1' 时，无法写入状态寄存器、配置寄存器或 DLR 寄存器。在这种情况下，会忽略选择 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的指令，并且不会报告任何出错。

这样可以防止对保护区域进行任何更改。因此，如果执行某个命令来修改状态寄存器、配置寄存器或 DLR 寄存器时，WP# 为低电平，并且 SRP0\_NV 为 1，那么受传统块保护的存储器区域中的全部数据字节也受硬件保护，这样便不能修改这些字节。同样可以防止对安全区域锁定位 (LB3-LB0) 进行编程。

当四线模式使能 (CR1V[1] = 1) 或 QPI 模式使能 (CR2V[3] = 1)。WP# 功能会被禁用。当使能四线或 QPI 模式 (CR2V[3] = 1) 时，WP# 将被 IO2 输入 / 输出替换，用于接收地址和数据（数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上（若执行 SDR 命令）或在任意边沿上（若执行 DDR 命令）移出数据。

WP# 具有一个内部上拉电阻；未连接时，WP# 为高电平 (VIH)，如果四线模式、QPI 模式或保护功能未使用该引脚，则在主机系统中它可以被保持为不连接状态。

### 3.9 IO3 / RESET#

IO3 在四线模式 (CR1V[1] = 1) 或启用 QPI 模式 (CR2V[3] = 1) 时用于输入和输出，用于接收地址和要编程的数据（值在 SCK 信号的上升沿锁存）以及移出数据（在 SDR 指令中在 SCK 的下降沿，在 DDR 指令中在 SCK 的每个沿）。

通过写入配置寄存器 2 的非易失性位 7 (CR2NV[7] = 1) 来启用 IO3/RESET# 功能时，IO3/RESET# 也可用于初始化硬件复位功能。如果器件并非处于四线模式 (114、144、444)，即 CR1V[1] = 0，或 CS# 为高电平，则只能将该输入作为 RESET# 使用。如果使能了四线模式 (CR1V[1] = 1) 或 QPI 模式 (CR2V[3] = 1)，或通过将 CS# 设置为低电平来选择器件，则只能将 IO3/RESET# 作为 IO3 传送信息。CS# 为高电平时，IO3/RESET# 不能传送信息，只能将它作为复位输入使用。在四线模式下 (114、144、444)，如果在 CS# 为高电平时，则复位功能在该模式 (114、144、444) 下仍可用。

## 3 信号说明

当系统进入复位状态时，必须将 CS# 信号驱动为高电平（作为复位过程的一部分），并将 IO3/RESET# 信号驱动为低电平。CS# 变为高电平时，IO3/RESET# 输入从 IO3 切换为复位输入。然后，当 CS 保持高电平且 IO3 / RESET# 信号保持低电平保持位( $t_{RP}$ )时，会检测到复位条件。如果不需要进行复位操作，则系统必须在向存储器发送数据的操作结束时将 IO3/RESET# 和 CS# 驱动为高电平。将数据发送给主机系统后，存储器会驱动 IO3 为高电平，使之在  $t_{CS}$  的时间内保持高电平。这样可确保 IO3/RESET# 不进入悬空状态，也不会被内部或外部被动上拉电阻慢慢地上拉到高电平因此， $t_{RP}$  时间结束前 IO3/RESET# 不会被视为高电平，从而也不会触发意外的复位事件。当  $(CR2V[7] = 0)$  时，IO3 / RESET# 输入复位功能被禁用。

IO3/RESET# 输入具有一个内部上拉电阻；如果四线模式或复位功能未使用该输入，则在主机系统中它可以保持为不连接状态。如果主机系统将 IO3/RESET# 信号驱动为高电平，然后停止驱动该信号，则通过使用内部上拉电阻将它保持为高电平。

请注意，如果多个 SPI-MIO 存储器中有任意一个工作于四线 I/O 模式，那么它们不能共享 IO3/RESET# 输入，因为来自一个选定存储器或向其发送的 IO3 可用作第二个非选定存储器（其共享了同一个 IO3/RESET# 信号）的复位信号。

### 3.10 RESET#

RESET# 输入提供了一种硬件复位方法，该方法可使器件返回待机状态，准备好接收命令。如果将 RESET# 驱动为逻辑低（VIL）的时间不小于  $t_{RP}$  时长，则器件将启动硬件复位过程。

给器件上电并经过  $t_{PU}$  时间后，RESET# 也会导致相同的初始化过程。可随时将 RESET# 置为低电平。为了确保数据的完整性，一旦器件准备好接收某个命令序列时，需要重新对由硬件复位中断的操作进行初始化。

RESET# 具有一个内部上拉电阻；如果不使用该引脚，则在主机系统中它可以保持为不连接状态。如果主机系统将复位信号驱动为高电平，然后停止驱动该信号，则通过使用内部上拉电阻将该信号保持为高电平。RESET# 输入在所有封装中均不可用。器件的 RESET# 输入不可用时，它将被锁定为非活动状态。

### 3.11 电源电压 ( $V_{CC}$ )

$V_{CC}$  是所有器件内部逻辑的供电电压。这种单个电压用于器件的所有内部功能（包括读取、编程和擦除操作）单一电压。

### 3.12 电源和信号地 ( $V_{SS}$ )

$V_{SS}$  器件内核、输入信号接收器和输出驱动器的公共电压开漏和接地参考。

### 3.13 未连接 (NC)

没有任何器件内部信号被连接到封装引脚，将来也不计划用于信号连接。该连接可能安全地用作印刷电路板（PCB）上的信号路由空间。

### 3.14 预留以供将来使用 (RFU)

当前没有任何器件内部信号被连接到封装引脚，预留供将来使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。

### **3.15 请勿使用 (DNU)**

器件的内部信号可能被连接到封装引脚。该连接可能被 Infineon 用于测试或其他目的，并不用于连接到任何主机系统信号。DNU 引脚处于低电平 (VIL) 时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到 VSS。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

4 框图

4 框图

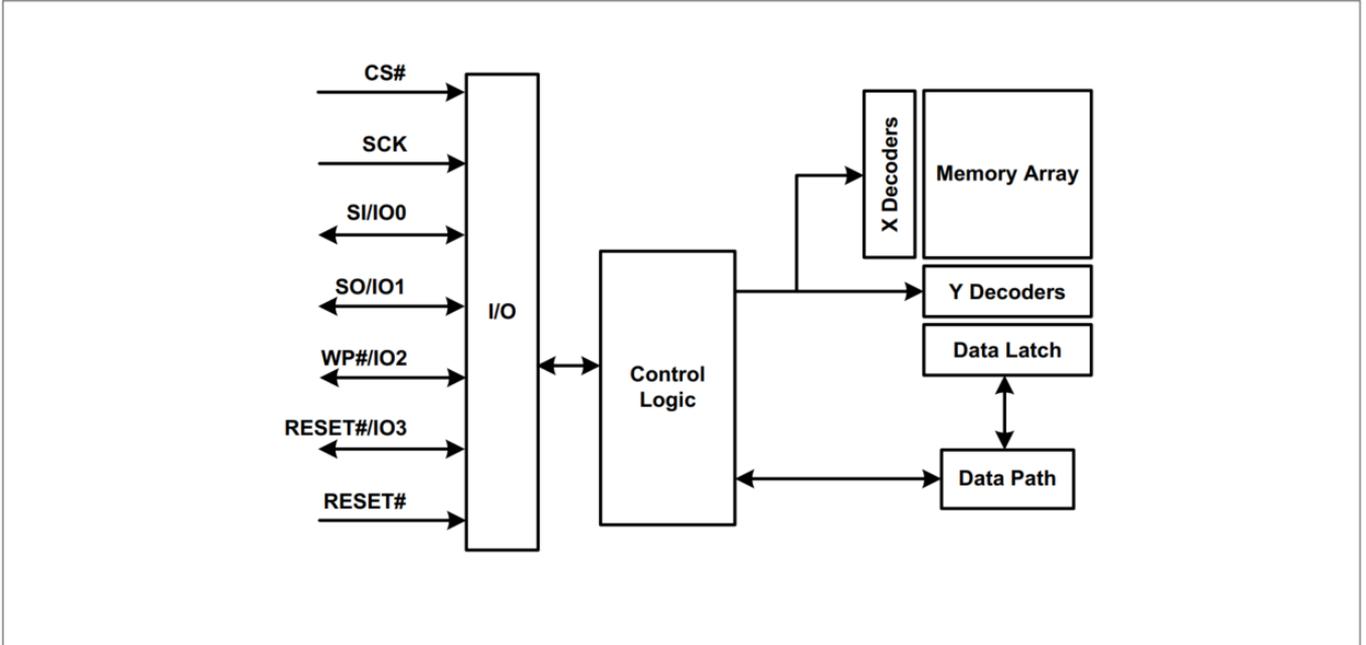


图6 逻辑框图

4.1 系统框图

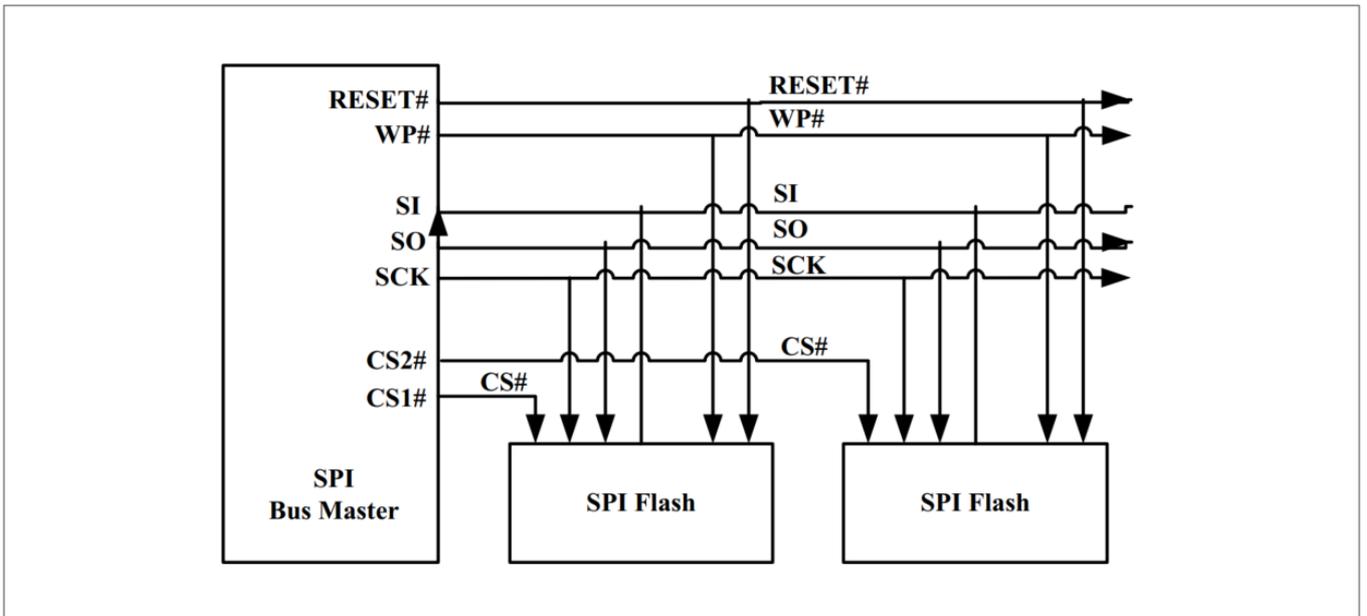


图7 SPI 总线上的总线主设备和存储器件之间的关系 – 单比特数据路径

4 框图

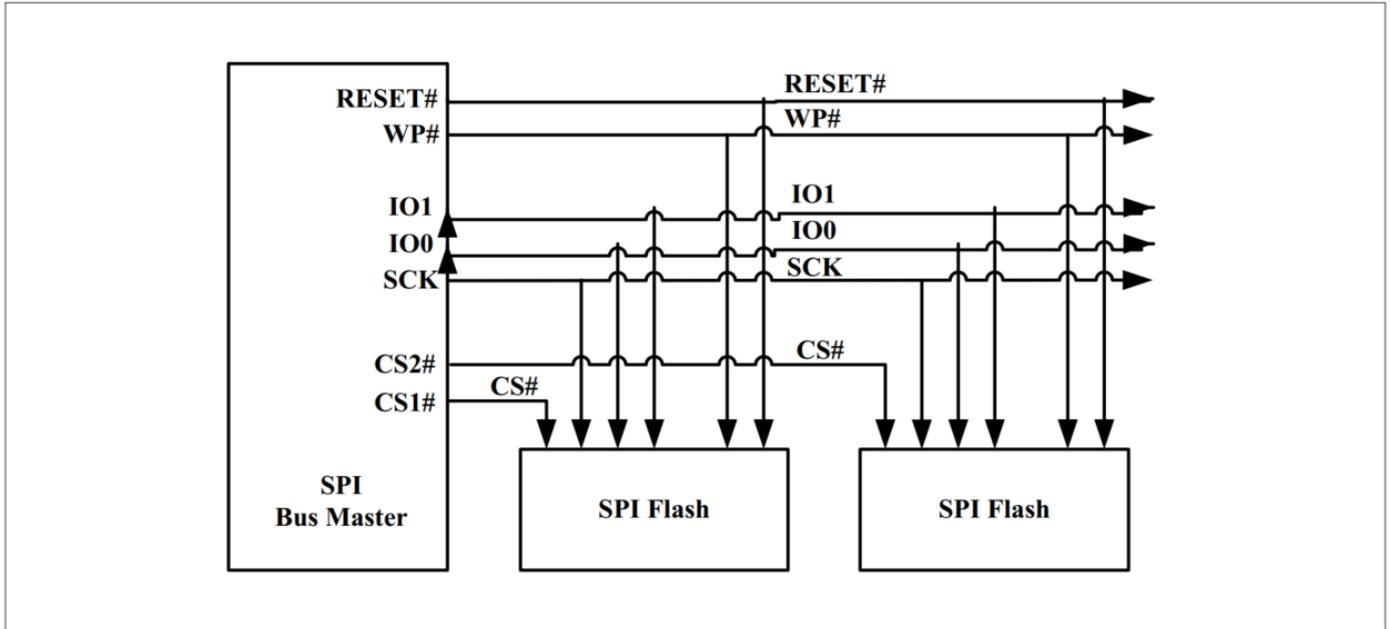


图8 SPI 总线上的总线主设备和存储器件之间的关系 – 双比特数据路径

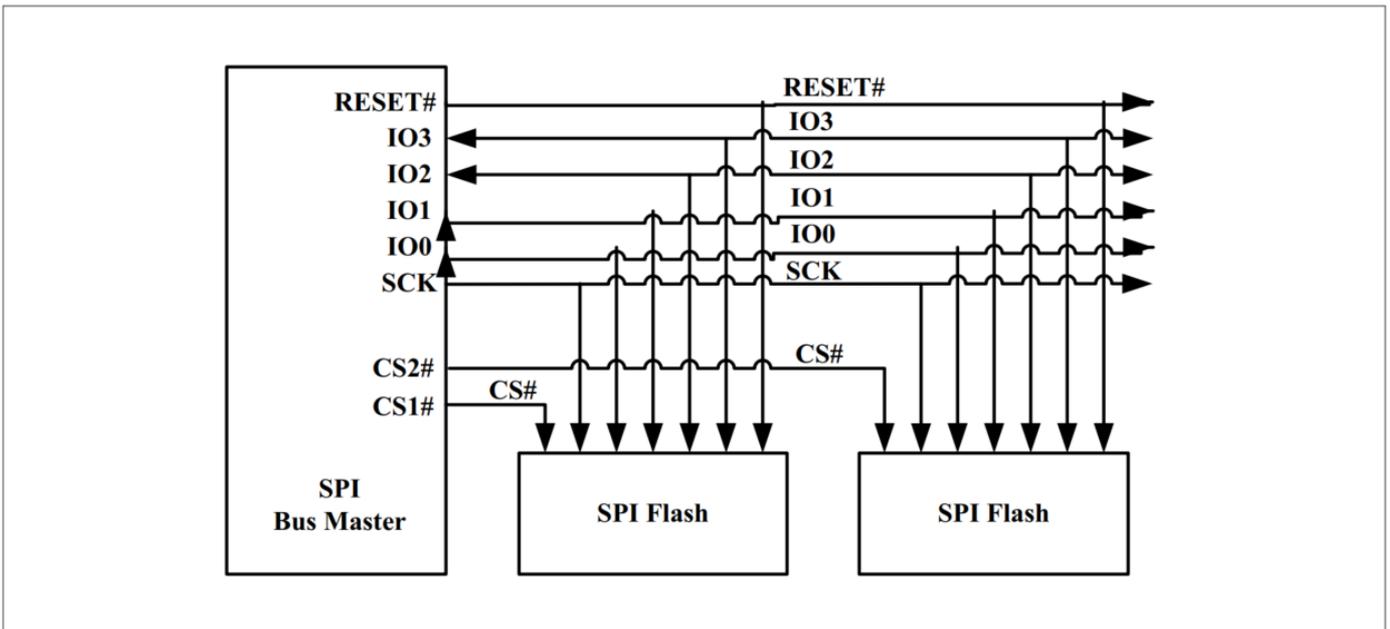


图9 SPI 总线上的总线主设备和存储器件之间的关系 – 四比特数据路径 - 单独 RESET#

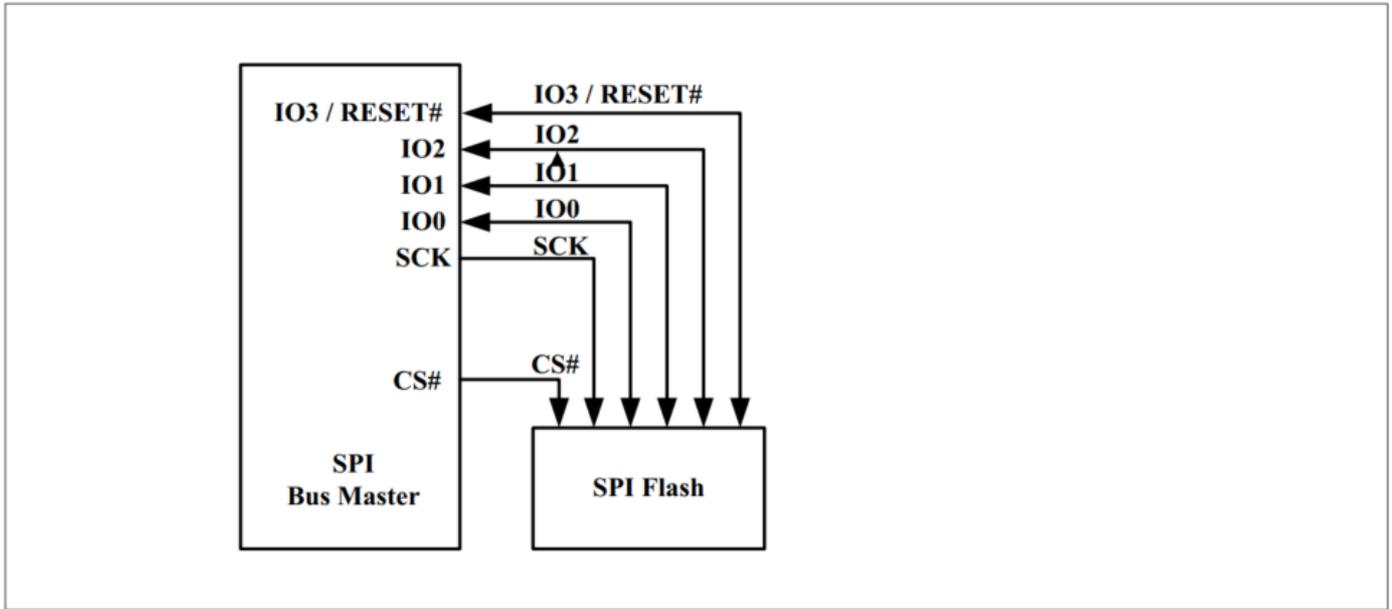


图 10 SPI 总线上的总线主设备和存储器件之间的关系 – 四比特数据路径 - IO3/RESET#

## 5 信号协议

### 5.1 SPI 时钟模式

#### 5.1.1 单倍数据速率 (SDR)

通过嵌入式微控制器（总线主设备）可以将 FL-L 系列驱动到以下任意一种时钟模式

- **模式 0**: 时钟极性 (CPOL) = 0、时钟相位 (CPHA) = 0
- **模式 3**: CPOL = 1、CPHA = 1

在这两种模式中，器件的输入数据总是在 SCK 信号的上升沿上被锁存，输出数据总是在 SCK 时钟信号的下降沿上可用。

两种模式的区别在于总线主机处于待机模式且不传输任何数据时的时钟极性。

- 当 CPOL = 0、CPHA = 0 时，SCK 将处于逻辑低状态
- 当 CPOL = 1、CPHA = 1 时，SCK 将处于逻辑高状态

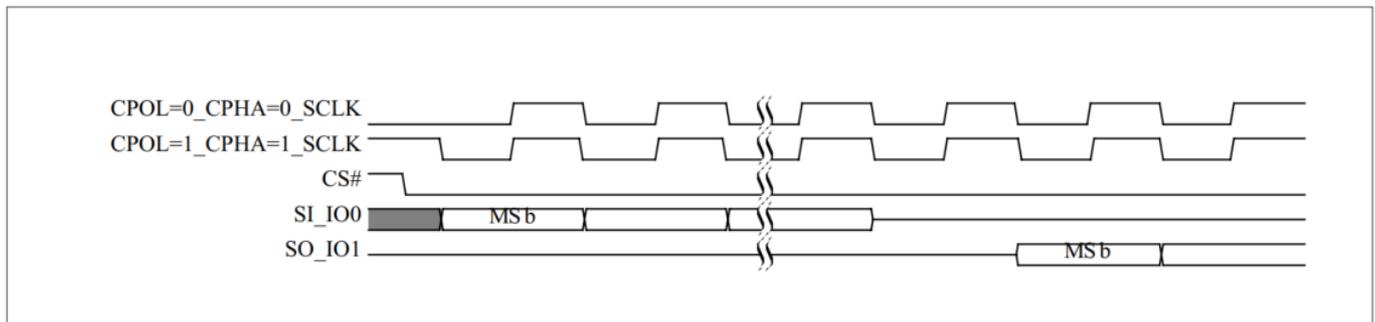


图 11 支持的 SPI SDR 模式

本文档其余部分的时序图通常通过在 CS# 下降时将 SCK 显示为高电平和低电平来显示为模式 0 和模式 3。在某些情况下，时序图可能通过显示 SCK 在 CS# 下降沿时的低电平来显示唯一的模式 0。而唯一的模式 3 的时序图只是表示在 CS# 的下降沿上时钟信号为高电平，因此模式 3 不需要从 CS# 下降沿后到 SCK 上升沿前的建立和保持时间。

SCK 周期是从一个 SCK 的下降沿到下一个 SCK 的下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

#### 5.1.2 双倍数据速率 (DDR)

DDR 指令也支持模式 0 和模式 3。与 SDR 指令相同，在 DDR 指令中，指令位也是在时钟的上升沿被锁存。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。第一个地址位被锁存于最后一个指令位结束后的下降沿之后的第一个 SCK 上升沿。第一个输出数据位则在最后访问延迟（虚拟）周期结束后的下降沿上被发送。

与 SDR 命令相同，SCK 周期也是从一个 SCK 下降沿到下一个 SCK 下降沿进行测量（计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

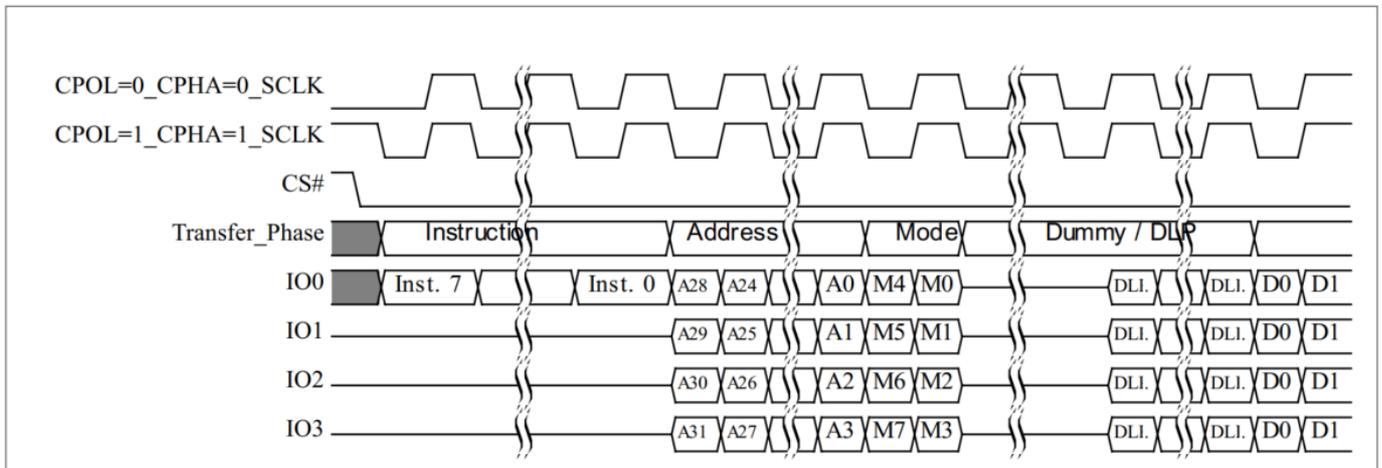


图 12 支持 SPI DDR 模式

## 5.2 命令协议

主机系统和 FL-L 存储器系列之间都是以单位 (unit) 形式 (称为命令) 进行通信的。请参考命令一节, 了解所有命令的定义和详情。

所有命令都以一个 8 位指令开始, 该指令用于选择信息传输类型或器件需要执行的操作。命令可能也具有一个地址、指令修饰符、延迟周期、传送到存储器, 或者是从存储器传送的数据。主机系统和存储器之间的所有指令、地址和数据信息都是连续传输的。

通过一个使用 3 个数字的数字命令法来划分命令协议, 以便能参考三个命令阶段的发送宽度

- 指令;
- 地址和指令修饰符 (连续读取模式位);
- 数据。

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据会通过 SO 信号从存储器串行回送到主机内对于单比特宽指令, 单比特宽地址和修饰符、单比特数据的结构, 被称为 1-1-1 命令协议。

双线输出或四线输出命令从主机端通过 SI (IO0) 将地址和虚拟周期依次进行发送。数据可以按双比特一组的方式通过 IO0 和 IO1 从存储器回送到主机, 也可以按四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 回送。对于双线输出和四线输出命令, 这种结构分别被称为 1-1-2 和 1-1-4 命令协议。

双线或四线输入/输出 (I/O) 命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器, 或按四比特 (半字节) 一组的方式通过 IO0、IO1、IO2 和 IO3 从主机发送, 然后传送虚拟周期。数据返回到主控的方式类似于 IO0 和 IO1 上的位对, 或者 IO0、IO1、IO2 和 IO3 上的四位 (半字节) 组。对于双线 I/O 和四线 I/O 命令, 这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

FL-L 系列也支持 QPI 模式, 在该模式下所有信息 (包括指令、地址、修饰符和数据) 都以 4 比特的宽度传输。这被称为 4-4-4 命令协议。

指令结构如下:

- 每个命令都在 CS# 的下降沿开始执行, 并在 CS# 的上升沿结束。主机通过一个命令将芯片选择 (CS#) 信号驱动为低电平, 从而能够选择器件。
- 串行时钟 (SCK) 标记了主机和存储器之间所传输的单个位或一组位。
- 每个命令都以一个八位 (字节) 指令开始。该指令用于选择信息传输类型或需要执行的器件操作。该指令在 SCK 的上升沿上进行传送。但某些读命令被前一个读命令修改, 因此该指令要从更早的命令中显示。这种形式被称为连续读取模式。器件处于连续读取模式时, 由于该指令和用于初始化连

续读取模式的读取命令相同，所以各个指令位不会在开始执行命令时被传输。在该模式下，命令会从读取地址开始。因此，连续读取模式从一系列相同类型的读取命令中的每个读取命令中删除八个指令位。

- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。该指令用于确定所使用的地址空间。地址可能是24位或32位（字节边界）的地址。地址会在SCK的上升沿（若执行SDR命令）或在SCK双边沿上（若执行DDR命令）得到传送。
- 在传统的SPI模式下，传输指令后所有传输宽度都由已发送的指令确定。以下表示的可能是其中一种传输类型：仅通过串行输入（SI）或串行输出（SO）信号传输单比特；通过IO0和IO1信号每次（双线）传输将以双比特的形式进行发送；或通过IO0-IO3信号每次（四线）传输以4比特的形式执行。在双比特或四比特组中，最低有效位是通过IO0信号发送的。其他更高有效位则按照权值大小通过编号更高的IO信号发送。单比特或并行比特组则按照从最高有效位到最低有效位的顺序进行传输。
- 在QPI模式下，所有信息都按照4比特宽（四线传输）通过IO0-IO3信号进行发送。
- 双线和四线I/O读指令在发送地址后将发送一个指令修饰符（称为连续读取模式位），以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。这些模式位用于初始化或结束连续读取模式。因此，下一条命令只会提供新地址和模式位，并不提供指令字节。当某个命令序列中重复了相同的命令类型时，会减少发送每一个命令所需要的时间。模式位会在SCK的上升沿（若执行SDR命令）或在SCK双边沿上（若执行DDR命令）进行传送。
- 地址或模式位后面可能跟有要存储在存储器器件中的写入数据，或者后面可能是读取数据返回到主机之前的取等待时间。
- 在SDR指令中，写入数据位的传输发生在SCK上升沿，或者在DDR指令中发生在每个SCK沿。
- SCK会在读访问的延迟周期内继续进行切换。该延迟（又称为虚拟周期）可能为零到几个SCK周期。在读取延迟周期结束时，第一个读取数据位由最后一个读取延迟周期结束时的SCK下降沿上的输出。第一个读取的数据位被视为在下一个SCK上升沿传输到主机。地址会在SCK的上升沿（若执行SDR命令）或在SCK双边沿上（若执行DDR命令）得到传送。
- 如果命令将读取的数据返回给主机，则设备将继续发送数据传输，直到主机将CS#信号置于高电平。在读取数据序列中的任何传输之后，CS#信号都可以被驱动为高电平。这将终止指令。
- 在没有返回数据的指令结束时，主机将CS输入驱动为高电平。在独立指令或传输的最后一个写入数据字节的第八位之后，CS#信号必须变为高电平。也就是说，当CS#信号驱动为低电平后的位数是八位的整数倍时，CS#信号必须驱动为高电平。如果CS#信号没有在指令或写入数据的八位边界处准确变为高电平，则命令将被拒绝并且不会执行。
- 在所有传输中，指令和地址的比特位都是从最高有效位（MSb）开始向器件输入。数据位都被移入到器件，或从器件移出，并且要先传输MSB。所有数据都以字节为单位传输，并且最先发送最低地址字节。后续数据字节按从最低到最高字节地址的顺序发送，即字节地址递增进行发送。

5 信号协议

- 在编程、擦除或写入周期（嵌入式操作）期间读取闪存阵列的所有尝试都将被忽略。嵌入式的操作将继续执行，不会受到任何影响。嵌入操作期间只接受少数的命令集。 这些信息在单独的指令描述中进行了介绍。
- 根据指令不同，执行时间也不同。可以使用从正在执行的命令中读取状态信息的命令来确定命令何时完成执行以及命令是否成功。

5.2.1 命令顺序示例

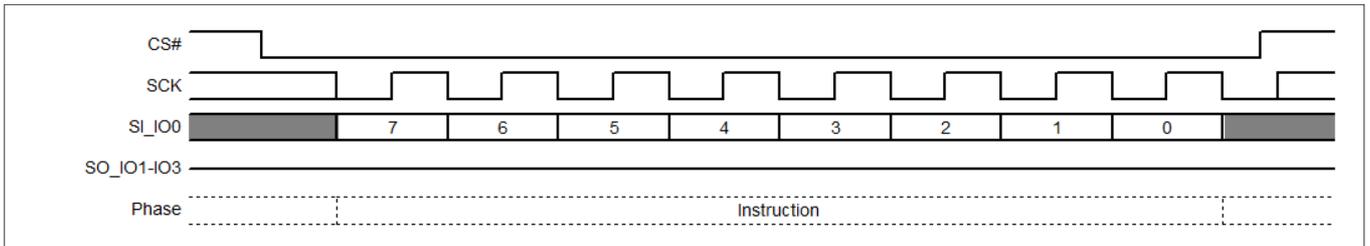


图 13 独立指令的命令

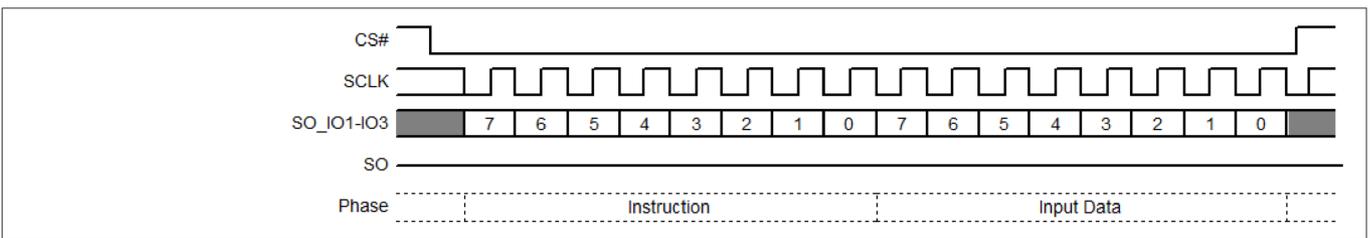


图 14 单线输入命令

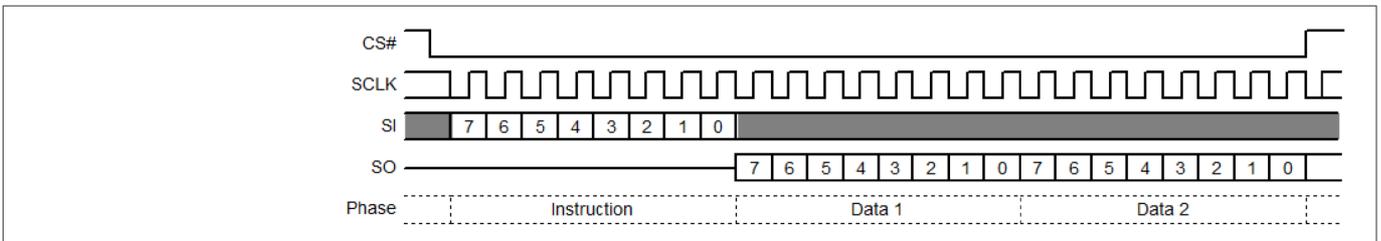


图 15 单线输出命令（无延迟）

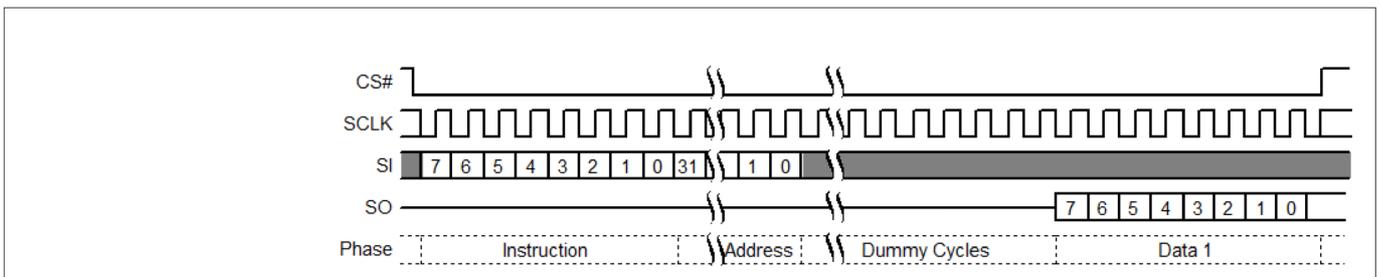


图16 单线 I/O 命令（有延迟）

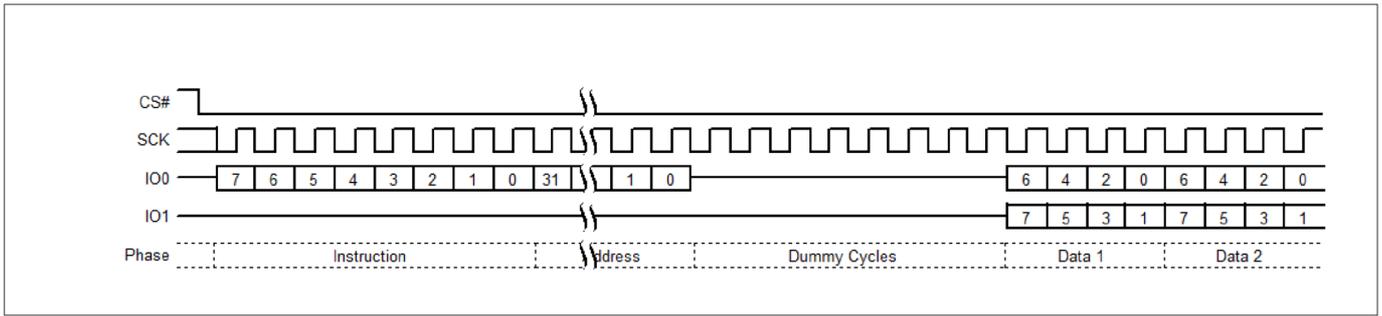


图 17 双线输出读命令

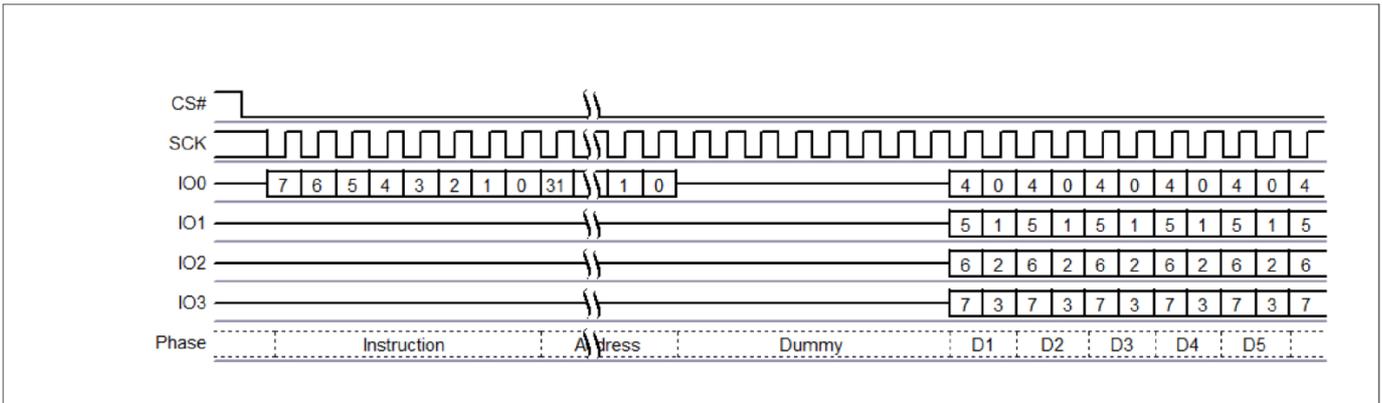


图 18 四线输出读命令

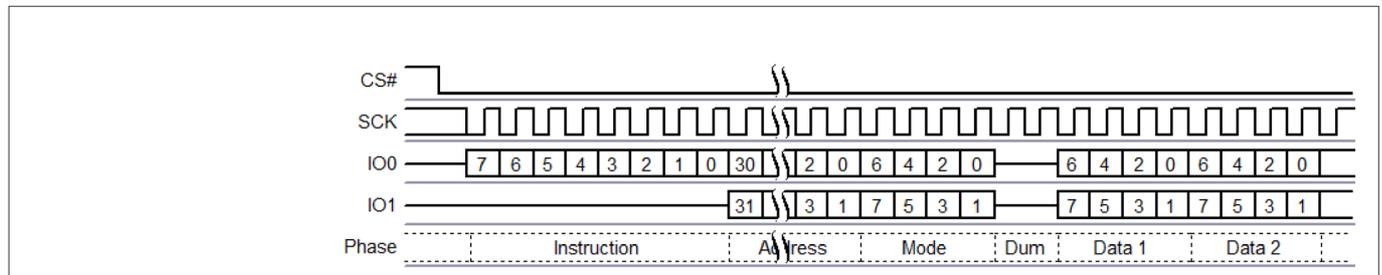


图 19 双线 I/O 指令

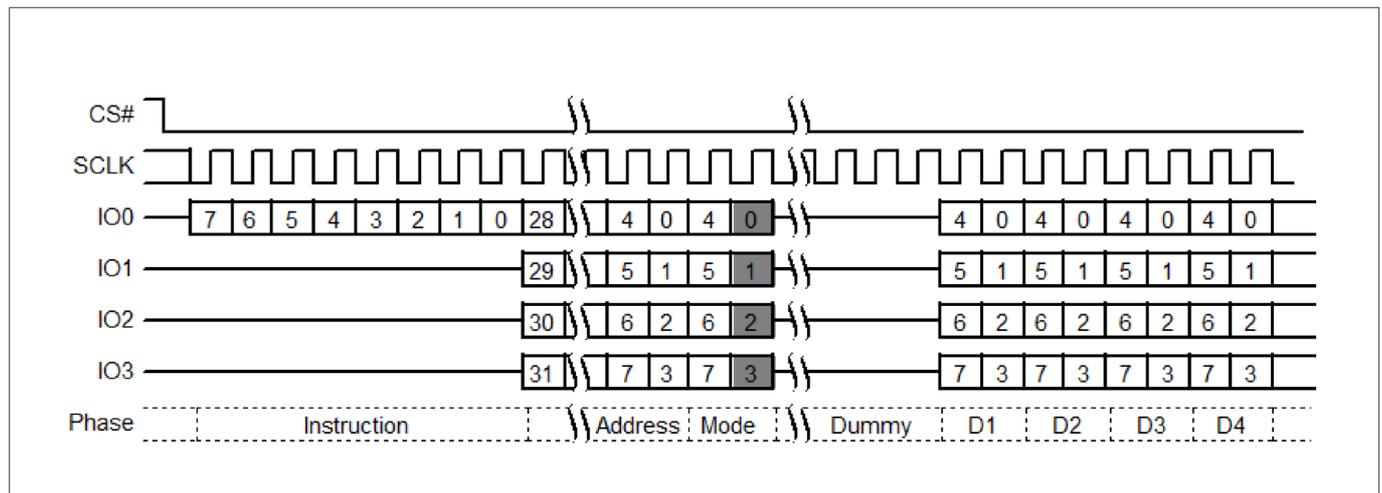


图 20 四线 I/O 指令

**注:** 灰色位是可选的, 在该周期中主机无需发送这些位。

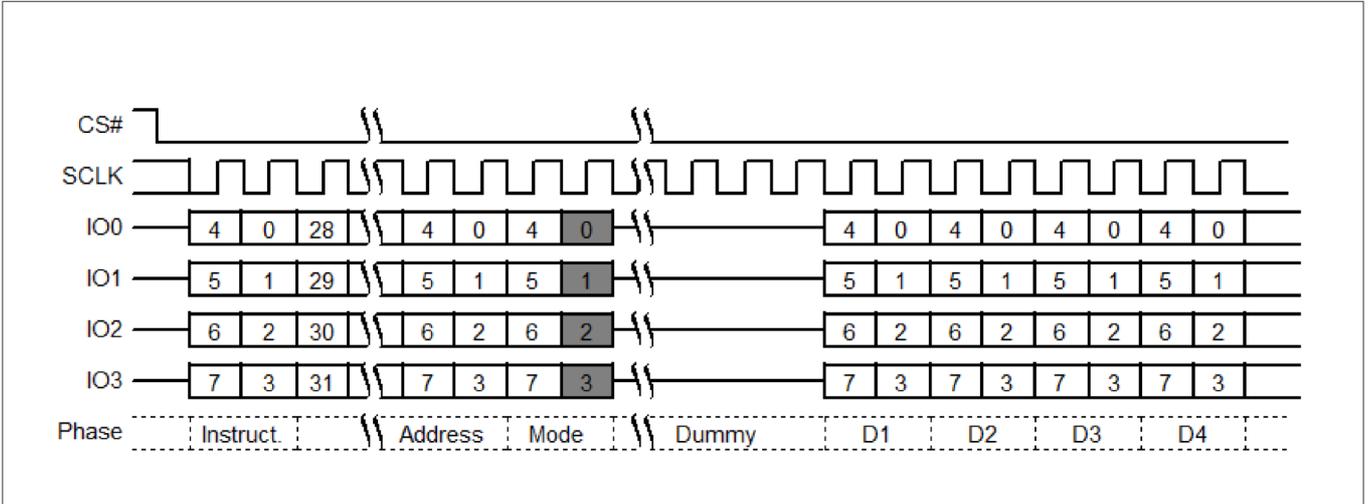


图 21 QPI 模式下的四线 I/O 读取命令

**注:** 灰色位是可选的, 在该周期中主机无需发送这些位。

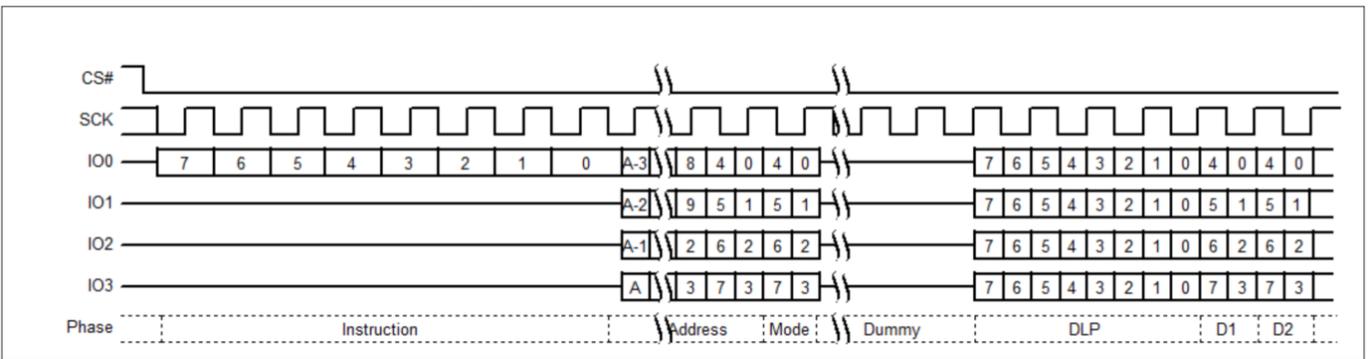


图 22 DDR 四线 I/O 读取命令

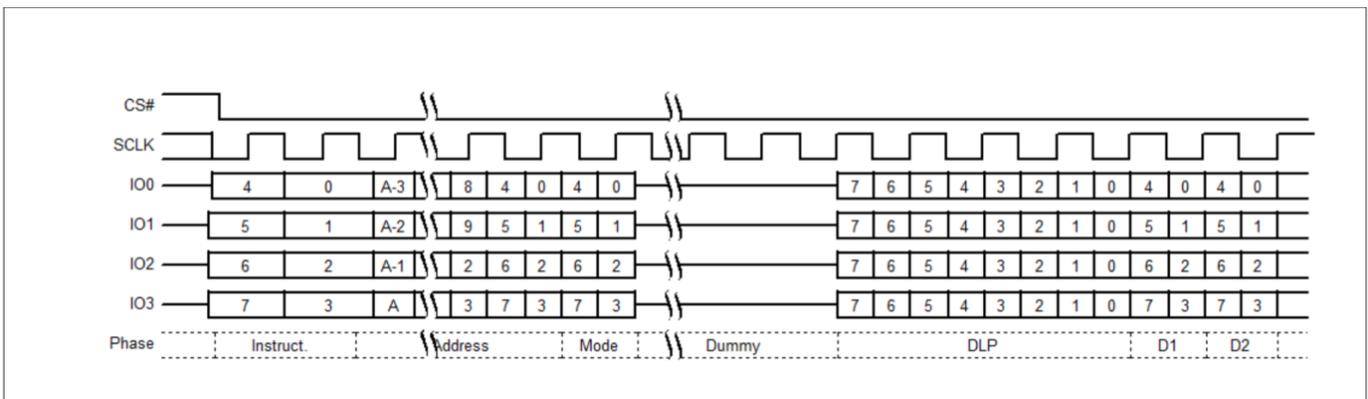


图 23 在QPI 模式下的 DDR 四线 I/O 读命令

每个命令的具体附加序列图在“命令”中。

### 5.3 接口状态

本节将说明与 SPI 接口状态相应的输入和输出信号电平。

表 7 接口状态汇总

Interface state	V <sub>CC</sub>	SCK	CS#	RESET#	IO3 / RESET#	WP# / IO2	SO / IO1	SI / IO0
Power-off	<V <sub>CC</sub> (low)							
Low power hardware data protection	<V <sub>CC</sub> (cut-off)		X	X	X			
Power-On (Cold) Reset			HH					
Hardware (warm) reset non-quad mode		X	X		HL	X		X
Hardware (warm) reset quad mode			HH	HL	HL		Z	
Interface standby								
Instruction cycle (legacy SPI)						HV		
Single input cycle Host to Memory transfer								HV
Single latency (dummy) cycle								
Single output cycle Memory to Host transfer					HH		MV	X
Dual input cycle Host to Memory transfer						X	HV	HV
Dual latency (dummy) cycle							X	X
Dual output cycle Memory to Host transfer		HT	HL	HH			MV	MV
Quad input cycle Host to Memory transfer					HV	HV	HV	HV
Quad latency (dummy) cycle					X	X	X	X
Quad output cycle Memory to Host transfer					MV	MV	MV	MV
DDR quad input cycle Host to Memory transfer					HV	HV	HV	HV
DDR latency (dummy) cycle					X	X	X	X
DDR quad output cycle Memory to Host transfer					MV	MV	MV	MV

**注意:**

Z = 无驱动器 - 悬空信号

HL = 主机驱动 V<sub>IL</sub>HH = 主机驱动 V<sub>IH</sub>

HV = HL 或 HH

X = HL 或 HH 或 Z

HT = HL 和 HH 之间切换

ML = 存储器驱动 V<sub>IL</sub>

MH = 存储器驱动  $V_{IH}$   
 MV = ML 或 MH

### 5.3.1 断电

当核心电源电压等于或低于  $V_{CC(Low)}$  电压时，器件被视为已关机。器件不会对外部信号做出反应，也无法执行任何编程或擦除操作。

### 5.3.2 低功耗时硬件数据保护

当  $V_{CC}$  小于  $V_{CC(Cut-off)}$  时，存储器器件将忽略指令，以确保内核供电电压超出工作范围时，编程和擦除操作无法操作。当内核电压保持在或低于  $V_{CC(Low)}$  电压并持续  $\geq t_{PD}$  时间，然后升至  $\geq V_{CC(Minimum)}$  时，器件将开始其上电复位 (POR) 过程。POR 持续到  $t_{PU}$ 。在  $t_{PU}$  期间，器件不会对外部输入信号做出响应，也不驱动任何输出。 $t_{PU}$  结束后，器件转换为接口待机状态并可以接受指令。有关 POR 的更多信息，请参阅“[上电 \(冷\) 复位](#)”。

### 5.3.3 硬件 (热) 复位

提供了一个配置选项，当器件不处于任何 Quad 或 QPI 模式，或者处于任何 Quad 模式或 QPI 模式且 CS 为高电平时，允许将 IO3 / RESET# 用作硬件复位输入。在某些封装的 Quad 或 QPI 模式下，提供了单独的复位输入 (RESET#)。当 IO3 / RESET# 或 RESET# 被驱动为低电平时  $t_{RP}$  器件启动硬件复位过程的时间。该过程持续  $t_{RPH}$  时间。在  $t_{RPH}$  结束和 RESET# ( $t_{RH}$ ) 上升后的复位保持时间结束后，器件将转换至接口待机状态并可接受指令。有关硬件复位的更多信息，请参阅“[复位](#)”。

### 5.3.4 接口待机

当 CS# 为高电平时，SPI 接口处于待机状态。除 RESET# 之外的输入将被忽略。接口等待新指令的开始。当 CS# 变为低电平以开始新命令时，下一个接口状态是指令周期。

在接口待机状态下，如果没有嵌入式算法正在进行，存储器器件将消耗待机电流 (ISB)。如果嵌入式算法正在进行，则将消耗相关电流，直到算法结束，此时整个器件恢复到待机电流消耗状态。

### 5.3.5 指令周期 (传统 SPI 模式)

当主机驱动一条指令的 MSb 且 CS 变为低电平时，在 SCK 的下一个上升沿，该器件将捕获开始新指令的指令的 MSb。在每个后续的 SCK 上升沿，该器件捕获 8 位指令的下一个较低有效位。主机保持 CS 低电平，并根据指令需要驱动写保护 (WP#) 和 IO3 / RESET# 信号。但是，WP# 仅在 WRR 或 WRAR 指令或任何其他影响状态寄存器、配置寄存器和 DLR 寄存器的指令周期内才相关，否则将被忽略。当器件不是处于四线模式 ( $CR1V[1] = 0$ ) 或 QPI 模式 ( $CR2V[3] = 0$ ) 且不需要硬件复位时，IO3 / RESET# 被驱动为高电平。

每条指令选择操作的地址空间和命令其余部分使用的传输格式。传输格式可能是单通道、双通道、四通道、双通道 I/O、四通道 I/O 或 DDR 四通道 I/O。预期的下一个接口状态取决于收到的指令。

有些指令是独立的，不需要与存储器之间传输地址或数据。在这样的命令中，主机在 SCK 上升沿之后返回 CS# 高电平作为指令的第八位。在这种情况下，下一个接口状态是接口待机。

### 5.3.6 指令周期 (QPI 模式)

在 QPI 模式下, 当 CR2V[3] = 1 时, 指令每周期传输 4 位。在此模式下, 指令周期与四输入周期相同 (请参阅“[QPP 或 QOR 地址输入周期](#)”)。

### 5.3.7 单线输入周期——从主机到存储器的传输

将几条指令通过单个串行输入 (SI) 信号将信息从主器件传送到存储器器件。主机保持 RESET# 为高电平, CS 为低电平, 并根据指令的需要驱动 SI。存储器不驱动串行输出 (SO) 信号。

预期的下一个接口状态取决于指令。一些指令使用额外的单输入周期继续向存储器发送地址或数据。其他可能转换为单延迟, 或直接转换为单线、双线或四线输出周期状态。

### 5.3.8 单线延迟 (虚拟) 周期状态

读指令可能有零到几个延迟周期, 在此期间读数据在传输到主机之前从主队列读取。延迟周期数由配置寄存器 (CR3V[3:0]) 中的延迟代码决定。在延迟周期内, 主机保持 RESET# 和 IO3 / RESET# 高电平, CS 低电平, SCK 切换。写保护 (WP#) 信号被忽略。主机可能会在这些周期内驱动 SI 信号, 或者主机可能会让 SI 处于悬空状态。在延迟周期内, 存储器不使用 SO 或其他 I/O 信号上驱动的任何数据。在延迟周期内, 存储器不会驱动串行输出 (SO) 或 I/O 信号。

下一个接口状态取决于该命令, 即延迟周期数, 以及读取是单线宽度、双线宽度还是四线宽度。

### 5.3.9 单线输出周期——存储器到主机的传输

多个指令通过单个串行输出 (SO) 信号将信息传回主机。主机保持 RESET# 和 IO3 / RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。存储器忽略串行输入 (SI) 信号。存储器用数据驱动 SO。

下一个接口状态继续是串行输出周期, 直到主机将 CS 返回到高电平结束指令。

### 5.3.10 双线输入循环——主机到存储器传输

读取双 I/O 指令在每个周期将两个地址或模式位传输到存储器。主机保持 RESET# 和 IO3 / RESET# 为高电平, CS 为低电平。写保护 (WP#) 信号被忽略。主机驱动地址为 SI / IO0 和 SO / IO1。

如果需要延迟周期, 则地址和模式位传送之后的下一个接口状态是双延迟周期; 如果不需要延迟, 则为双输出周期。

### 5.3.11 双线延时 (虚拟) 周期

读指令可能有零到几个延迟周期, 在此期间读数据在传输到主机之前从主队列读取。延迟周期数由配置寄存器 (CR3V[3:0]) 中的延迟代码决定。在延迟周期内, 主机保持 RESET# 和 IO3 / RESET# 为高电平, CS 为低电平, SCK 持续切换。写保护 (WP#) 信号被忽略。主机可能会在这些周期内驱动 SI / IO0 和 SO / IO1 信号, 或者主机可能会让 SI / IO0 和 SO / IO1 处于悬空状态。在延迟周期内, 存储器不

## 5 信号协议

使用 SI/IO0 和 SO/IO1 上驱动的任何数据。主机必须在最后一个延迟周期结束时的 SCK 下降沿停止驱动 SI/IO0 和 SO/IO1。建议主机在所有延迟周期内停止驱动它们，以便在延迟周期结束时存储器开始驱动之前有足够的时间让主机驱动编程关闭。这样可以防止信号方向改变时主机与存储器之间的驱动器冲突。存储器在延迟周期内不会驱动 SI/IO0 和 SO/IO1 信号。

最后一个延迟周期之后的下一个接口状态是双输出周期。

### 5.3.12 双线输出循环——存储器到主机的传输

读双输出和读双 I/O 在每个周期向主机返回两位数据。主机保持 RESET# 和 IO3/RESET# 为高电平，CS 为低电平。写保护 (WP#) 信号被忽略。存储器在 SCK 下降沿的双输出周期内将数据驱动到 SI/IO0 和 SO/IO1 信号上。

下一个接口状态继续为双输出循环，直到主机将 CS 返回为高电平结束指令。

### 5.3.13 QPP 或 QOR 地址输入周期

Quad 分页编程和 Quad 输出读取指令仅在 IO0 上将地址发送到存储器。其余 IO 信号被忽略。主机保持 RESET# 和 IO3/RESET# 为高电平，CS 为低电平，驱动 IO0。

对于 QPP，地址传送之后的下一个接口状态是四输入周期。对于 QOR，如果需要延迟周期，则地址后的下一个接口状态是四延迟周期；如果不需要延迟，则地址后的下一个接口状态是四输出周期。

### 5.3.14 四线输入周期——主机到存储器传输

四线 I/O 读取命令在每个周期将四个地址或模式位传输到存储器。在 QPI 模式下，四线 I/O 读取和分页编程指令在每个周期（包括指令周期）向存储器传输四个数据位。主机保持 CS 低电平，驱动 IO 信号。

对于四线 I/O 读取，如果需要延迟周期，则地址和模式位传送之后的下一个接口状态是四线延迟周期，如果不需要延迟，则为四线输出周期。对于 QPI 模式分页编程，主机在传送要编程的数据后返回 CS 高电平，并且接口返回待机状态。

### 5.3.15 四线延时（虚拟）周期

读指令可能有零到几个延迟周期，在此期间读数据在传输到主机之前从主队列读取。延迟周期数由配置寄存器 (CR3V[3:0]) 中的延迟代码决定。在延迟周期内，主机保持 CS 低电平并继续切换 SCK。主机可能会在这些周期内驱动 IO 信号，或者主机可能会让 IO 处于悬空状态。在延迟周期内，存储器不使用任何通过 IO 驱动的数据。主机必须在最后一个延迟周期结束时的下降沿停止驱动 IO 信号。建议主机在所有延迟周期内停止驱动它们，以便在延迟周期结束时存储器开始驱动之前有足够的时间让主机驱动编程关闭。这样可以防止信号方向改变时主机与存储器之间的驱动器冲突。存储器在延迟周期内不会驱动 IO 信号。

最后一个延迟周期之后的下一个接口状态是四输出周期。

### 5.3.16 四线输出周期——存储器到主机的传输

Quad-O 和 Quad I/O 读取在每个周期向主机返回四位数据。主机保持 CS# 为低电平。存储器在四线输出周期内通过 IO0-IO3 信号驱动数据。

下一个接口状态继续为四线输出循环，直到主机将 CS 返回为高电平并结束指令。

### 5.3.17 DDR 四线输入周期 — 从主机至存储器的传输

DDR 四线 I/O 读取命令通过所有 IO 信号将地址和模式位发送到存储器。在每个周期中，SCK 的上升沿传输 4 位，下降沿传输 4 位。主机保持 CS# 为低电平。

传送地址和模式位之后的下一个接口状态是 DDR 延迟周期。

### 5.3.18 DDR 延迟周期

DDR 读指令可能有一到几个延迟周期，在此期间读数据在传输到主机之前从主阵列读取。延迟周期数由配置寄存器 (CR3V[3:0]) 中的延迟代码决定。在延迟周期内，主机保持 CS 低电平。主机不会在这些周期内驱动 IO 信号。这样在存储器开始驱动之前，主机驱动器就有足够的时间停止传输操作。这样可以防止信号方向改变时主机与存储器之间的驱动器冲突。存储器有一个选项，可以在最后 4 个延迟周期内使用数据学习模式 (DLP) 驱动所有 IO 信号。当延迟周期少于 5 个时，不应启用 DLP 选项，以便在存储器开始驱动 DLP 之前至少有一个高阻态周期用于 IO 信号的转变。当延迟周期超过 4 个时，存储器直到最后四个延迟周期才会驱动 IO 信号。

最后一个延迟周期之后的下一个接口状态是 DDR 四输出周期，具体取决于指令。

### 5.3.19 DDR 四线输出周期 — 存储器到主机的传输

DDR Quad I/O 读取命令将所有 IO 信号上的数据位返回至主机。在每个周期中，SCK 的上升沿传输 4 比特，下降沿传输 4 比特。主机保持 CS 低位。

下一个接口状态继续为 DDR 四线输出周期，直到主机将 CS 返回为高电平并结束指令。

## 5.4 数据保护

硬件设计提供了一些基本的保护措施，以防止对存储数据进行意外更改，这些措施完全由硬件设计控制。这些措施在“[数据保护](#)”一节中进行了描述。其他软件管理的保护方法在“[数据保护](#)”中说明。

### 5.4.1 上电

上电时不得选择该器件（即 CS# 必须遵循施加在  $V_{CC}$  上的电压），直到  $V_{CC}$  达到正确的值，如下所示：

- 上电时为  $V_{CC}$  (最小值)，并且在  $t_{PU}$  更长延迟期间持续保持该值

在  $V_{CC}$  上升到最低  $V_{CC}$  阈值之后，直到经过  $t_{PU}$  的有效延迟，用户才可以输入任何指令（见 [图 131](#)）。但是，如果  $V$  在  $t_{PU}$  期间返回到  $V_{CC}$  (最小值) 以下，则无法保证器件的正确工作。在  $t_{PU}$  结束之前，不应向器件发送任何指令。

### 5.4.2 低功耗

当  $V_{CC}$  小于  $V_{CC}(\text{Cut-off})$  时，存储器器件将忽略指令，以确保当内核供电电压超出工作范围时，编写和擦除操作无法启动。

### 5.4.3 时钟脉冲数量

器件在执行之前验证所有非易失的存储器和寄存器数据修改指令是否由时钟计数组成，该计数是八位传输（字节边界）的倍数。不以 8 位 (字节) 边界结尾的指令将被忽略，并且该指令不会设置任何错误状态。

### 5.4.4 深度掉电 (DPD)

在 DPD 模式下，器件仅响应 DPD 恢复指令 (RES ABh)。在 DPD 模式期间，所有其他指令都会被忽略，从而保护存储器免受编程和擦除操作的影响。如果是能 IO3 / RESET# (CR2V[7] = 1) 或 RESET# 是有效的，则 IO3 / RESET# 或 RESET# 变为低电平将启动硬件复位并使器件退出 DPD 模式。

## 6 地址空间映射

### 6.1 概述

#### 6.1.1 扩展地址

FL-L 系列支持 32 位（4 字节）地址，从而能够实现比上一代（传统）SPI 设备（仅支持 24 位（3 字节）地址）更高密度的设备。24 位字节分辨率地址只能访问 16 MB (128 Mb) 最大密度。32 位字节分辨率地址允许直接寻址最多 4 GB (32 Gb) 的地址空间。

为了实现向后软件兼容性，旧指令继续支持 24 位地址。扩展 32 位地址有两种实现方式：

- 扩展地址模式：一种易丢失的配置寄存器位，可将所有旧指令更改为期望由主机系统提供的 32 位地址。
- 4 字节地址指令：执行旧功能和新功能，总是需要 32 位地址。

上电或复位后，扩展地址模式的默认条件由非易失性配置位控制。默认扩展地址模式可能是 24 位或 32 位地址。这使得传统软件能够兼容器件的前 128 Mb 访问/访问，或者使器件能够直接以 32 位地址模式启动。

#### 6.1.2 多个地址空间

许多命令在主闪存存储器阵列上运行。某些命令在独立于主闪存阵列的地址空间内运行。每个单独的地址空间都使用完整的 24 位或 32 位地址，但可能仅定义可用地址空间的一小部分。

### 6.2 闪存存储器阵列

主闪存阵列被分为称为物理块 (64 KB)、半块 (32 KB) 和扇区 (4 KB) 的统一大小的擦除单位。

表 8 S25FL256L 扇区地址映射

Block size (KB)	Block count	Block range	Half block size (KB)	Half block count	Half block range	Sector size (KB)	Sector count	Sector range	Address range (byte address)	Notes	
64	1	BA00	32	1	HBA00	4	1	SA00	0000000h–0000FFFh	Sector Starting Address	
						:	:	:	:		—
			32	2	HBA01	4	16	SA15	000F000h–000FFFFh		
:	:	:	:	:	:	:	:	:	:		
64	512	BA511	32	1023	HBA1022	4	8176	SA8175	1FF0000h–1FF0FFFh		
						:	:	:	:		

(表格续下页……)

表 8 S25FL256L 扇区地址映射 (续)

Block size (KB)	Block count	Block range	Half block size (KB)	Half block count	Half block range	Sector size (KB)	Sector count	Sector range	Address range (byte address)	Notes
			32	1024	HBA1023	4	8192	SA8191	1FFF000h-1FFFFFFh	Sector Ending Address

表 9 S25FL128L 扇区地址映射

Block size (KB)	Block count	Block range	Half block size (KB)	Half block count	Half block range	Sector size (KB)	Sector count	Sector range	Address range (byte address)	Notes
64	1	BA00	32	1	HBA00	4	1	SA00	000000h-000FFFh	Sector Starting Address
						:	:	:	:	—
			32	2	HBA01	4	16	SA15	00F000h-00FFFFh	
:	:	:	:	:	:	:	:	:	:	
64	256	BA255	32	511	HBA510	4	4080	SA4079	FF0000h-FF0FFFh	
						:	:	:	:	
			32	512	HBA511	4	4096	SA4095	FFF000h-FFFFFFh	Sector Ending Address

### 6.3 ID 地址空间

RDID 指令 (9Fh) 从器件标识 (ID) 的单独地址空间读取信息。有关定义 ID 地址空间内容的表，请参见“[器件 ID 地址映射](#)”。ID 地址空间由英飞凌编程，对主机系统只读。

#### 6.3.1 器件唯一 ID

64 位唯一编号位于唯一器件 ID 地址空间的 8 个字节中，请参阅[表 54](#)。该唯一 ID 可以作为每个器件的唯一软件可读序列号。

### 6.4 JEDEC JESD216 串行闪存可发现参数(SFDP)空间

RSFDP 指令 (5Ah) 从单独的存储器地址空间读取器件标识、特点和配置信息的信息，符合串行闪存可发现参数的 JEDEC JESD216 标准。ID 地址空间被合并为 SFDP 参数之一。请参阅“[JEDEC JESD6B 串行闪存可发现参数](#)”用于定义 SFDP 地址空间内容的表。SFDP 地址空间由英飞凌编程，对于主机系统是只读的。

## 6.5 安全区域地址空间

每个 FL-L 系列存储器器件都有一个独立于主闪存存储的 1024 字节的安全区域地址空间。安全区域分为 4 个可单独锁定的 256 字节区域。安全区域承载的目的是为了保留一些可以暂时保护或者永久锁定的信息，以无法对其进行的编程或擦除操作。

从英飞凌发货时，区域数据字节被擦除为 FFh。当不受保护或锁定时，这些区域可以像任何其他闪存地址空间一样被编程和擦除。每个区域都可以单独擦除。安全区域锁定位 (CR1NV[5:2]) 位于配置寄存器 1 中。安全区域锁定位是一次性可编程 (OTP)，并且在被编程 (置位为 1) 后，锁定位永久保护相关区域免受进一步的擦除或编程。

区域 2 和区域 3 还通过保护寄存器 (PR) NVLock 位来暂时防止编程或擦除的影响。NVLock 位是易失性位的，或者由 IRP 逻辑和指令清除。参见“[保护寄存器 \(PR\)](#)”。

RP 寄存器 (IRP[6]) 中的安全区域密码保护位可以保护区域 2 和 3 免受编程和擦除操作的影响，直到提供密码为止。IRP 寄存器 (IRP[6]) 中的安全区域读取保护位允许区域 3 受到保护，不得进行读取操作，除非提供密码。

尝试读取受读取保护的区域将返回无效且未定义的数据。请参阅“[单独区域保护寄存器 \(IRP\)](#)”。

尝试擦除或编程锁定或保护的区域将失败，SR2V[6:5] 中的 P\_ERR 或 E\_ERR 位将置位为‘1’ (见“[状态寄存器 2 易失性 \(SR2V\)](#)”) 了解详细说明)。

表 10 安全区域地址映射

Region	Byte address range (Hex)	Initial delivery state (Hex)
Region 0	000 to 0FF	All bytes = FF
Region 1	100 to 1FF	
Region 2	200 to 2FF	
Region 3	300 to 3FF	

## 6.6 寄存器

寄存器是一小组存储单元，用于配置 FL-L 系列存储器器件的运行方式或报告器件运行的状态。寄存器通过特定指令访问。每个寄存器使用的命令 (和十六进制指令代码) 都在每个寄存器描述中注明。

在传统的 SPI 存储设备中，独立寄存器位可以是同一寄存器内的易失性、非易失性或一次性可编程 (OTP) 位的混合。在某些配置选项中，寄存器位的类型可能会发生变化，例如从非易失性变为易失性。

FL-L 系列使用单独的非易失或易失性存储器信元组 (区域) 来实现不同的寄存器位类型。但是，为了与旧版软件兼容，旧版寄存器和指令仍会继续出现并正常运行。当传统寄存器具有易失性位或者当读取遗留寄存器的指令具有零读取延迟时，每个遗留寄存器存在非易失和易失性版本。当读取此类寄存器时，将提供该寄存器的易失性版本。在上电复位 (POR)、硬件复位或软件复位期间，寄存器的非易失性版本被复制到易失性版本，以提供易失性寄存器的默认状态。当写入非易失性寄存器位时，寄存器的非易失性版本将被擦除并使用新的位值进行编程，而寄存器的易失性版本将使用非易失性版本的新内容进行更新。当对 OTP 位进行编程时，将对寄存器的非易失性版本进行编程，并在寄存器的易失性版本中更新相应的位。当写入易失性寄存器位时，只有寄存器的易失性版本才会更新相应的位。

## 6 地址空间映射

每个寄存器描述中都注明了每个位的类型。每个位显示的默认状态指的是上电复位、硬件复位或软件复位（如果该位是易失性的）后的状态。如果位为非易失或OTP，则默认状态为器件从英飞凌出厂时的位值。写入非易失性寄存器时必须特别注意，电源要稳定且不受中断，这将保证将正确的数据写入寄存器。

## 6.6.1 状态寄存器1

### 6.6.1.1 非易失性状态寄存器 1 (SR1NV) S25FL256L

相关指令：非易失写使能(WREN 06h)、写禁用(WRDI 04h)、写寄存器(WRR 01h)、读任意寄存器(RDAR 65h)、写任意寄存器(WRAR 71h)。

表 11 非易失性状态寄存器 1 (SR1NV)

Bits	Field name	Function	Type	Default state	Description
7	SRP0_NV	Status Register Protect 0 Default	Non-volatile	0	Provides the default state for SRP0.
6	TBPROT_NV	TBPROT Default	Non-volatile	0	Provides the default state for TBPROT
5	BP_NV3	Legacy Block Protection Default	Non-volatile	0000b	Provides the default state for BP bits.
4	BP_NV2				
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL Default	Non-volatile Read Only	0	Provides the default state for the WEL Status. Not user programmable.
0	WIP_D	WIP Default	Non-volatile Read Only	0	Provides the default state for the WIP Status. Not user programmable.

**状态寄存器保护非易失 (SRP0\_NV) SR1NV[7]**：为 SRP0（请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”）。

**顶部或底部保护 (TBPROT\_NV) SR1NV[6]**：提供 TBPROT 的默认状态。

**传统功能块保护 (BP\_NV3、BP\_NV2、BP\_NV1、BP\_NV0) SR1NV[5:2]**：为 BP\_3 至 BP\_0 位提供默认状态。

**写使能锁存默认值 (WEL\_D) SR1NV[1]**：为 SR1V[1] 中的 WEL 状态提供默认状态。此位由 Infineon 编程，用户不可编程。

**写入进行中默认值 (WIP\_D) SR1NV[0]**：为 SR1V[0] 中的 WIP 状态提供默认状态。此位由 Infineon 编程，用户不可编程。

### 6.6.1.2 易失性状态寄存器 1 (SR1V) S25FL256L

相关指令：读取状态寄存器 1 (RDSR1 05h)、写入易失性使能 (WRENV 50h)、写入寄存器 (WRR 01h)、清除状态寄存器 (CLSR 30h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。通过使用 RDSR1 指令来显示的寄存器。

表 12 S25FL256L 易失性状态寄存器 1 (SR1V)

Bits	Field name	Function	Type	Default state	Description
7	SRP0	Status Register Protect 0	Volatile	SR1NV	1 = Locks state of SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV when WP# is low, by not executing any command that would affect SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV
6	TBPROT	Top or Bottom Relative Protection	Volatile		1 = BP starts at bottom (Low address) 0 = BP starts at top (High address)
5	BP3	Legacy Block Protection Volatile	Volatile		Protects the selected range of sectors (Blocks) from Program or Erase.
4	BP2				
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile Read Only		0 = Not write enabled, no embedded operation can start, 1 = Write Enable, embedded operation can start This bit is not affected by WRR or WRAR, only
0	WIP	Write in Progress	Volatile Read Only	1 = Device Busy, an embedded operation is in progress such as program or erase 0 = Ready Device is in standby mode and can accept commands This bit is not affected by WRR or WRAR, it only provides WIP status.	

**状态寄存器 Protect 0 (SRP0) SR1V[7]:** 当该位置位为 '1' 且 WP# 输入为低电平时，器件处于硬件保护模式。在此模式下，任何改变状态寄存器或配置寄存器的指令都将被忽略并且不被接受执行，因此有效地锁定状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 位的状态。如果 WP# 为高电平，状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 位可能会被改变。如果 SRP0 为 '0'，WP# 不起作用，状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 可能会更改。WP# 对任何其他寄存器的写入均无影响。SRP0 跟踪对此位 (SRP0\_NV) 的非易失版本的任何更改。当启用 QPI 或 QIO 模式时 (CR2V[3] 或 CR1V[1] = 1)，内部 WP# 信号电平为 = 1，因此在任一模式下 WP# 外部输入都用作 IO2。这有效地关闭了硬件保护。寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 已解锁并且可以写入 (请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”)。

**TBPROT SR1V[6]:** 该位定义了状态寄存器中传统功能块保护位 BP3、BP2、BP1 和 BP0 的参考点。如状态部分所述，BP3-0 位允许用户选择保护一部分阵列，范围从 1/64、1/4、1/2 等直至整个阵列。当 TBPROT 设置为“0”时，传统功能块保护被定义为从阵列的顶部（最大地址）开始。当 TBPROT 设置为“1”时，传统功能块保护被定义为从阵列的底部（零地址）开始。TBPROT 跟踪该位 (TBPROT\_NV) 的非易失版本的任何更改。

**传统功能块保护 (BP3, BP2, BP1, BP0) SR1V[5:2]:** 这些位定义了要保护的主闪存阵列区域，以防止编程和擦除指令。请参阅“[传统功能块保护](#)”了解 BP 位值如何选择受保护的存储器阵列区域的描述。

**写使能锁存器 (WEL) SR1V[1]:** WEL 位必须设置为“1”，以便能够编程、写或执行操作，作为防止无意中更改存储器或寄存器值的一种手段。写指令 (WREN) 指令执行将写指令锁存器设置为“1”，以允许随后执行任何编程、擦除或写指令。写禁用 (WRDI) 指令可用于将写使能锁存器设置为“0”，以防止所有编程、寄存器和写指令执行。在任何成功的编程、写入或灶操作结束时，WEL 位被清除为“0”。操作失败后，WEL 位可能会保持置位，并应使用 CLSR 指令清除。在掉电/上电序列、硬件复位或软件复位之后，写使能锁存器被设置为 WEL\_D。WRR 或 WRAR 指令不影响该位。

**写进行 (WIP) SR1V[0]:** 指示器件是否正在执行编程、写入、写入操作或任何其他操作，在此期间新的操作指令将被忽略。当位设置为“1”时，器件正忙于执行操作。当 WIP 为 '1' 时，仅接受读状态寄存器 (RDSR1、RDSR2)、读任意寄存器 (RDAR)、寄存器 / 编程挂起 (EPS)、清零，复位状态寄存器 (CLSR)、读配置寄存器 (RDCR1、RDCR2、RDCR3) 和软件复位 (RSTEN 66h 后接 RST 99h) 指令。仅当存储器格式化或编程操作正在进行时，EPS 指令才会被接受。当 WIP = 1 时，状态寄存器 E\_ERR 和 P\_ERR 位会更新。当 P\_ERR 或 E\_ERR 位置位为 '1' 时，WIP 位将保持置位为 1，指示器件仍忙且无法接收新操作指令。只有接收清零，复位状态寄存器 (CLSR) 指令才能将器件返回到待机模式。当 WIP 位清零时，表示无操作正在进行中。这是只读位。

### 6.6.1.3 状态寄存器 1 非易失性 (SR1NV) S25FL128L

相关指令：非易失写使能(WREN 06h)、写禁用(WRDI 04h)、写寄存器(WRR 01h)、读任意寄存器(RDAR 65h)、写任意寄存器(WRAR 71h)。

表 13 S25FL128L 状态寄存器 1 非易失性(SR1NV)

Bits	Field name	Function	Type	Default state	Description
7	SRP0_NV	Status Register Protect 0 Default	Non-volatile	0	Provides the default state for SRP0.
6	TBPROT_NV	TBPROT Default	Non-volatile	0	Provides the default state for TBPROT
5	BP_NV3	Legacy Block Protection Default	Non-volatile	0000b	Provides the default state for BP bits.
4	BP_NV2				
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL Default	Non-volatile Read Only	0	Provides the default state for the WEL Status. Not user programmable.
0	WIP_D	WIP Default	Non-volatile Read Only	0	Provides the default state for the WIP Status. Not user programmable.

**状态寄存器保护位(SRP0\_NV) SR1NV[7]:** 为 SRP0 提供默认状态。（请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”）。

扇区/功能块保护 (SEC\_NV) SR1NV[6]: 提供 SEC 的默认状态。

顶部或底部保护 (TBPROT\_NV) SR1NV[6]: 提供 TBPROT 的默认状态。

传统功能块保护 (BP\_NV3、BP\_NV2、BP\_NV1、BP\_NV0) SR1NV[5:2]: 为 BP\_3 至 BP\_0 位提供默认状态。

写使能锁存默认值 (WEL\_D) SR1NV[1]: 为 SR1V[1] 中的 WEL 状态提供默认状态。此位由 Infineon 编程, 用户不可编程。

写入进行中默认值 (WIP\_D) SR1NV[0]: 为 SR1V[0] 中的 WIP 状态提供默认状态。此位由 Infineon 编程, 用户不可编程。

#### 6.6.1.4 状态寄存器 1 易失性 (SR1V) S25FL128L

相关指令: 读取状态寄存器 1 (RDSR1 05h)、写入易失性使能 (WRENV 50h)、写入寄存器 (WRR 01h)、清除状态寄存器 (CLSR 30h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。这是 RDSR1 指令显示的寄存器。

表 14 S25FL128L 状态寄存器 1 易失性 (SR1V)

Bits	Field name	Function	Type	Default state	Description
7	SRP0	Status Register Protect 0	Volatile	SR1NV	1 = Locks state of SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV when WP# is low, by not executing any commands that would affect SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV 0 = No register protection, even when WP# is low.
6	SEC	Sector / Block Protect	Volatile		0 = BP2–BP0 protect 64 KB blocks 1 = BP2–BP0 protect 4 KB sectors
5	TBPROT	Top or Bottom Relative Protection	Volatile		1 = BP starts at bottom (Low address) 0 = BP starts at top (High address)
4	BP2	Legacy Block Protection Volatile	Volatile		Protects the selected range of sectors (Blocks) from Program or Erase.
3	BP1				
2	BP0				
1	WEL	Write Enable Latch	Volatile Read Only		0 = Not write enabled, no embedded operation can start 1 = Write Enable, embedded operation can start This bit is not affected by WRR or WRAR, only WREN WRENV, WRDI and CLSR commands affect this bit.
0	WIP	Write in Progress	Volatile Read Only		1 = Device Busy, an embedded operation is in progress such as program or erase 0 = Ready Device is in standby mode and can accept commands This bit is not affected by WRR or WRAR, it only provides WIP status.

**状态寄存器 Protect 0 (SRP0) SR1V[7]:**当该位置位为 '1' 且 WP# 输入驱动为低电平时, 器件进入硬件保护模式。在此模式下, 任何改变状态寄存器或配置寄存器的指令都将被忽略且不被接受执行, 从而有效地锁定状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 位的状态, 使这些寄存器变为只读。如果 WP# 为高电平, 则状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 可能会改变, 配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 可能会改变。WP# 对任何其他寄存器的写入没有影响。SRP0 跟踪该位 (SRP0\_NV) 的非易失版本的任何更改。当启用 QPI 或 QIO 模式时 (CR2V[3] 或 CR1V[1] = 1), 内部 WP# 信号电平为 '1', 因此在任一模式下 WP# 外部输入都用作 IO2。这可以有效地关闭硬件保护。寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 已解锁, 可以写入 (请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”)。

**扇区/功能块保护 (SEC) SR1V[6]:** 该位控制功能块保护位 (BP2、BP1、BP0) 是否保护 4 KB 扇区 (SEC = 1) 或 64 KB 块 (SEC = 0)。请参阅“[传统功能块保护](#)”描述如何通过 SEC 位值选择受保护的存储器阵列区域。

**TBPROT SR1V[5]:** 该位定义了状态寄存器中传统功能块保护位 BP2、BP1 和 BP0 的基准点。如状态部分所述, BP2-0 位允许用户选择保护一部分阵列, 范围从 1/64、1/4、1/2 等直至整个阵列。当 TBPROT 置位为 '0' 时, 传统功能块保护被定义为从阵列的顶部 (最大地址) 开始。当 TBPROT 置位为 '1' 时, Legacy 功能块保护被定义为从阵列的底部 (零地址) 开始。TBPROT 跟踪该位 (TBPROT\_NV) 的非易失版本的任何更改。

**传统功能块保护 (BP2, BP1, BP0) SR1V[4:2]:** 这些位定义了要保护的主闪存阵列区域, 以免受编程和硬盘指令的影响。请参阅“[传统功能块保护](#)”了解 BP 位值如何选择受保护的存储器阵列区域的描述。

**写使能锁存器 (WEL) SR1V[1]:** WEL 位必须置位为“1”, 才能使能编程、写或擦除操作, 作为防止无意中更改存储器或寄存器值的一种手段。写指令 (WREN) 指令执行将写指令锁存器设置为“1”, 以允许任何编程、擦除或写指令随后执行。写禁用 (WRDI) 指令可用于将写使能锁存器设置为“0”, 以防止所有编程、寄存器和写指令执行。在任何成功的编程、写入或擦除操作结束时, WEL 位将被清除为“0”。操作失败后, WEL 位可能保持置位, 应使用 CLSR 指令清除。在掉电/上电序列、硬件复位或软件复位后, 写使能锁存器被设置为 WEL\_D。WRR 或 WRAR 指令不影响该位。

**写进行 (WIP) SR1V[0]:** 指示器件是否正在执行编程、写入、写入操作或任何其他操作, 在此期间新的操作指令将被忽略。当位设置为 '1' 时, 器件正忙于执行操作。当 WIP 为 '1' 时, 仅接受读取状态 (RDSR1 或 RDSR2)、读取任意寄存器 (RDAR)、寄存器 / 编程挂起 (EPS)、清零, 复位状态寄存器 (CLSR) 和软件复位 (RSTEN 66h 后接 RST 99h) 指令。仅当存储器格式化或编程操作正在进行时, EPS 指令才会被接受。当 WIP = 1 时, 状态寄存器 E\_ERR 和 P\_ERR 位会更新。当 P\_ERR 或 E\_ERR 位置位为 '1' 时, WIP 位将保持置位为 '1', 表明器件仍处于忙状态, 无法接收新的操作指令。必须接收清零, 复位状态寄存器 (CLSR) 指令才能将器件返回到待机模式。当 WIP 位清除为“0”时, 无操作正在进行。这是只读位。

## 6.6.2 状态寄存器 2 易失性 (SR2V)

相关指令: 读取状态寄存器 2 (RDSR2 07h)、读取任意寄存器 (RDAR 65h)。状态寄存器 2 没有用户可编程的非易失性位, 所有定义的位都是易失性只读状态。这些位的默认状态是由硬件置位的。

表 15 状态寄存器 2 易失性 (SR2V)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved		0	Reserved for Future Use
6	E_ERR	Erase Error Occurred	Volatile Read Only		1 = Error occurred 0 = No Error
5	P_ERR	Programming Error Occurred			
4	RFU	Reserved	Volatile Read Only		Reserved for Future Use
3					
2					
1	ES	Erase Suspend	Volatile Read Only		1 = In Erase Suspend mode. 0 = Not in Erase Suspend mode.
0	PS	Program Suspend			1 = In Program Suspend mode. 0 = Not in Program Suspend mode.

**擦写错误(E\_ERR) SR2V[6]:** 擦写故障位用作擦写操作成功或失败的指示。当擦写故障位置位为“1”时, 表明上次擦写操作出现错误。当用户尝试操作单个受保护的主存储器扇区或安装锁定的安全区域时, 该位置也将被设置。如果在指令执行期间发现受保护的扇区, 则芯片擦除指令将置位 E\_ERR。当故障位置位为“1”时, 可以使用清零, 复位状态寄存器(CLSR)指令将该位清零。这是一个只读位, 不受 WRR 或 WRAR 指令的影响。

**编程错误(P\_ERR) SR2V[5]:** 编程故障位用作编程操作成功或失败的指示。当编程故障位置位为“1”时, 表示上次编程操作出现错误。当用户尝试在受保护的主存储器扇区内编程或在锁定的安全区域内编程时, 该位置也将是置位。当编程故障位置位为“1”时, 可以使用清零, 复位状态寄存器(CLSR)指令将该位清零。这是一个只读位, 不受 WRR 或 WRAR 指令的影响。

**擦除挂起 (ES) SR2V[1]:** 擦除挂起位用于确定器件何时处于擦除挂起模式。这是一个用户不能写入的状态位。当 Erase Suspend 位置位为“1”时, 器件处于擦除挂起模式。当 Erase Suspend 位清零时, 器件不处于挂起模式。请参阅“[编程或者擦除挂起 \(PES\) 75h](#)”有关擦除挂起唤醒指令的详细信息。

**编程挂起 (PS) SR2V[0]:** 编程挂起位用于确定器件何时处于编程挂起模式。这是一个用户不能写入的状态位。当编程挂起位设置为“1”时, 器件处于编程挂起模式。当编程挂起位清为“0”时, 器件不处于编程挂起模式。请参阅“[编程或者擦除 \(PES\) 75h](#)”了解详情。

### 6.6.3 配置寄存器 1

配置寄存器 1 控制某些接口和数据保护功能。可以使用具有 16 个输入周期的 WRR 指令或 WRAR 指令来更改寄存器位。

#### 6.6.3.1 配置寄存器 1 非易失性 (CR1NV)

相关指令: 非易失写入使能 (WREN 06h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

表 16 配置寄存器 1 非易失性 (CR1NV)

Bits	Field name	Function	Type	Default state	Description
7	SUS_D	Suspend Status Default	Non-volatile Read Only	0	Provides the default state for the Suspend Status. Not user programmable.
6	CMP_NV	Complement Protection Default	Non-volatile		Provides the default state for CMP.
5	LB3	Security Region Lock Bits	OTP		OTP lock Bits 3:0 for Security Regions 3:0 0 = Security Region not locked 1 = Security Region permanently locked
4	LB2				
3	LB1				
2	LB0				
1	QUAD_NV	Quad Default	Non-volatile		Provides the default state for QUAD.
0	SRP1_D	Status Register Protect 1 Default	OTP	When IRP[2:0] = 111 SRP1_D bit is programmable. Lock current state of SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV 1 = Registers permanently locked 0 = Registers not protected by SRP1 after POR	

**暂停擦除/编程状态 (SUS\_D) CR1NV[7]:**为 CR1V[7] 中的 SUS 位提供默认状态。此位不可由用户编程。

**补充保护位 (CMP\_NV) CR1NV[6]:**为 CR1V[6] 中的 CMP 位提供默认状态。

**安全区域锁定位 (LB3, LB2, LB1, LB0) CR1NV[5:2]:**提供安全区域的OTP写保护控制。当 LB 位置位为 1 时，相应的安全区域将无法再被编程或擦除。

**四线数据宽度非易失 (QUAD\_NV) CR1NV[1]:**为 CR1V[1] 中的四线数据宽度提供默认状态。WRR 或 WRAR 指令会影响此位。编程 CR1NV[1] = 1 将默认操作允许四数据宽度上电或复位时的指令。

**状态寄存器 Protect 1 Default (SRP1\_D) CR1NV[0]:**为 CR1V[0] 中的 SRP1 位提供默认状态。当 IRP[2:0] = 111 时，SRP1\_D OTP位可由用户编程。当 SRP1\_D = 1 时，寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 永久锁定。（请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”）。

### 6.6.3.2 配置寄存器 1 易失性 (CR1V)

相关指令：读取配置寄存器 1 (RDCR1 35h)、写入易失性使能 (WRENV 50h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。这是RDCR1指令显示的寄存器。

表 17 配置寄存器 1 易失性 (CR1V)

Bits	Field name	Function	Type	Default state	Description
7	SUS	Suspend Status	Volatile Read Only	CR1NV	1 = Erase / Program suspended 0 = Erase / Program not suspended
6	CMP	Complement Protection	Volatile		0 = Normal Protection Map 1 = Inverted Protection Map
5	LB3	Volatile copy of Security Region Lock Bits	Volatile Read Only		Not user writable
4	LB2				See CR1NV[5:2]
3	LB1				OTP lock Bits 3:0 for Security Regions 3:0
2	LB0				0 = Security Region not locked 1 = Security Region permanently locked
1	QUAD	Quad I/O mode	Volatile		1 = Quad 0 = Dual or Serial
0	SRP1	Status register Protect 1		Lock current state of SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV 1 = Registers locked 0 = Registers un-locked	

**挂起状态 (SUS) CR1V[7]:** 挂起状态位用于确定器件何时处于擦除挂起模式或编程挂起模式。这是一个用户不能写入的状态位。当挂起状态位为'1'时，器件处于挂起模式。当挂起状态位清为'0'时，器件不处于挂起模式。请参阅“[编程或者擦除暂停 \(PES\) 75h](#)”有关编程和擦除挂起唤醒指令的详细信息。

**补充保护 (CMP) CR1V[6]:** CMP 与 TBPROT、BP3、BP2、BP1 和 BP0 位一起使用，为阵列保护图提供更大的灵活性，可保护从 1/2 到全部的阵列。

**LB[3:0] CR1V[5:2]:** 这些位是 CR1NV 相关 OTP 位的易失性复制。这些位会跟踪这些位的相关 OTP 版本的任何更改。

**四线数据宽度 (QUAD) CR1V[1]:** 当置位为 1 时，该位将器件的数据宽度切换为 4 位 - 四线模式。也就是说，当 CS 为低电平时，WP# 变为 IO2，IO3 / RESET# 变为有效的 I/O 信号，或者当 CS 为高电平时，变为 RESET# 输入。WP# 输入不受监控，并且在内部设置为高电平（无效）。串行和双线读取的指令仍然可以正常运行，但是，当使用不同的数据路径宽度在指令之间切换时，无需驱动这些指令的 WP# 输入。同样，在这些指令期间不需要驱动 IO3/RESET#（当 CS 为低电平时）。使用四线输出读取、四线 I/O 读取、DDR 四线 I/O 读取时，QUAD 位必须置位为 1。易失性寄存器写入

QIO 模式具有明确定义的时间 ( $t_{QEN}$ )，用于将器件接口切换为 QIO 模式，以及 ( $t_{QEX}$ )，用于将器件切换回 SPI 模式。然后可以在 QIO 协议中发送以下指令。当通过 QPIEN 和 QPIEX 指令或通过将 CR2V[3] 位设置为 1 进入或退出 QPI 模式时，无论 QUAD 位是否置位，都将使用四线数据宽度模式。

**状态寄存器 (SRP1) CR1V[0]:** 当设置为 1 时，SRP1 位通过防止对 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 寄存器的任何写入来保护这些寄存器的当前状态。

请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”。

只要 SRP1 位保持清除为逻辑 0，SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 寄存器就不受 SRP1 保护。然而，这些寄存器可能受到 SRP0 (SR1V[7]) 和 WP# 输入的保护。

## 6 地址空间映射

一旦 SRP1 位被写入逻辑 1，它只能通过断电到通电循环或硬件复位来清除为逻辑 0。软件复位不会影响 SRP1 位的状态。

CR1V[0] SRP1 位是易失性的，上电后 SRP1 的默认状态来自 CR1NV[0] 中的 SRP1\_D。SRP1 位可以通过单个 WRR 或 WRAR 指令更新 CR1V 中的其他值。

## 6.6.4 配置寄存器 2

配置寄存器 2 控制某些接口功能。可以使用读取任意寄存器和写入任意寄存器指令来读取和更改寄存器位。寄存器的非易失版本提供了置位控制的 POR、硬件复位或软件复位状态的能力。寄存器的易失性版本控制正常操作期间的特点行为。

### 6.6.4.1 配置寄存器 2 非易失性 (CR2NV)

相关指令：非易失写入使能 (WREN 06h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

表 18 配置寄存器 2 非易失性 (CR2NV)

Bits	Field name	Function	Type	Default state	Description
7	IO3R_NV	IO3_Reset	Non-volatile	0	1 = Enabled -- IO3_RESET is used as IO3 / RESET# input when CS# is high or Quad Mode is disabled CR1V[1] = 0 or QPI is disabled (CR3V[3] = 0). 0 = Disabled -- IO3 has no alternate function, hardware reset is disabled. Provides the default state for the IO3 / RESET# function enable.
6 5	OI_NV	Output Impedance		1	Provides the default output impedance state. See <a href="#">Table 19</a> .
4	RFU	Reserved		0	Reserved for Future Use
3	QPI_NV	QPI			1 = Enabled -- QPI (4-4-4) protocol in use 0 = Disabled -- Legacy SPI protocols in use, instruction is always serial on SI Provides the default state for QPI mode.
2	WPS_NV	Write Protect Selection			Provides the default state for WPS 0 = Legacy Protection 1 = Individual Block Lock
1	ADP_NV	Address Length at Power-up			Provides the default state for Address Length 1 = 4 byte address 0 = 3 byte address
0	RFU	Reserved			Reserved for Future Use

**IO3\_Reset 非易失性 CR2NV[7]:** 该位控制 IO3 信号行为的 POR、硬件复位或软件复位状态。由于传统 SPI 器件封装中可用的信号计数和连接有限，大多数传统 SPI 设备没有硬件复位输入信号。当 IO3 信号未用于

## 6 地址空间映射

在主机系统和存储器之间传输信息时，FL-L 系列提供了使用 IO3 信号作为硬件复位输入的选项。这个非易失的 IO3\_Reset 配置位使器件能够立即启动（启动），并且 IO3 启用可用作 RESET# 信号。

**输出阻抗非易失 CR2NV[6:5]：** 这些位控制 IO 信号输出阻抗（驱动强度）的POR、硬件复位或软件复位状态。多种驱动强度可帮助将输出阻抗与系统印刷电路板环境相匹配，以最大限度地减少过冲和振铃。这些不易丢失的输出阻抗配置位使器件能够以适当的驱动强度立即启动（启动）。

表 19 输出阻抗控制

CR2NV[6:5] impedance selection	Typical impedance to V <sub>SS</sub> (Ω)	Typical impedance to V <sub>CC</sub> (Ω)	Notes
00	18	21	-
01	26	28	
10	47	45	
11	71	64	Factory default

**QPI 不易失 CR2NV[3]：** 该位控制所有指令的预期指令宽度的POR、硬件复位或软件复位状态。传统 SPI 指令始终在 SI (IO0) 信号上发送一位宽指令（串行 I/O）。FL-L 系列还支持 QPI 模式输入，主机系统和存储器之间的所有传输都是 4 位宽的 IO0 到 IO3，包括所有指令。这种不易丢失的 QPI 配置位使器件能够在 QPI 模式而不是传统串行指令模式下立即启动（引导）。切换到 QPI 模式的推荐编程是首先使用 QPIEN (38h) 指令，WRR 或 WRAR 指令也可以设置位 CR2V[3] = 1，QPI 模式。QPI 模式的易失性寄存器写入时间短且定义明确时间 (t<sub>QEN</sub>) 将器件接口切换到 QPI 模式，时间 (t<sub>QEX</sub>) 将器件切换回 SPI 模式。然后可以立即在 QPI 协议中发送以下指令。WRAR 指令可用于编程 CR2NV[3] = 1，然后轮询 SR1V[0] 以了解编程操作何时完成。同样，要退出 QPI 模式，请使用 QPIEX (F5h) 指令。WRR 或 WRAR 指令也可用于清零，复位 CR2V[3] = 0。

**写保护非易失 CR2NV[2]：** 该位控制写保护方法的POR、硬件复位或软件复位状态。这种不易丢失的配置位使器件能够立即启动（启动），并具有单独功能块锁定保护，而不是传统功能块保护。

**上电时的地址长度不易丢失 CR2NV[1]：** 该位控制所有需要地址且不固定为 3 字节或 4 字节地址的指令的预期地址长度的POR、硬件复位或软件复位状态。大多数需要地址的指令都是传统上使用的 3 字节 (24 位) 地址。对于大于 128 Mb 的器件容量，需要 4 字节 (32 位) 地址来存取整个存储器阵列。地址长度配置位用于将所有 3 字节地址指令更改为期望 4 字节地址。见表 43 对于指令地址长度。这种非易失的地址长度配置位使器件能够以 4 字节地址模式而不是传统模式立即启动（引导）3 字节地址模式。

### 6.6.4.2 配置寄存器 2 易失性 (CR2V)

相关指令：读配置配置 2 (RDCR2 15h)、读任意寄存器 (RDAR 65h)、写易失性使能 (WRENV 50h)、写寄存器 (WRR 01h)、写任意寄存器 (WRAR 71h)、进入 4 字节地址模式 (4BEN B7h)、退出 4 字节地址模式 (4BEX E9h)、进入 QPI (38h)、退出 QPI (F5h)。这是 RDCR2 指令显示的寄存器。

表 20 配置寄存器 2 易失性 (CR2V)

Bits	Field name	Function	Type	Default state	Description
7	IO3R	IO3_Reset	Volatile	CR2NV	1 = Enabled -- IO3 is used as RESET# input when CS# is high or Quad Mode is disabled CR1V[1] = 0 or QPI is disabled (CR3V[3] = 0). 0 = Disabled -- IO3 has no alternate function, hardware reset through IO3 / RESET# input is disabled.
6	OI	Output Impedance			See Table 18.
5					
4	RFU	Reserved			Reserved for Future Use
3	QPI	QPI			1 = Enabled -- QPI (4-4-4) protocol in use 0 = Disabled -- Legacy SPI protocols in use, instruction is always serial on SI
2	WPS	Write Protect Selection	0 = Legacy Block Protection 1 = Individual Block Lock		
1	ADP	Address Length at Power-up	VolatileRead Only	Read Status Only Bit 1 = 4 byte address 0 = 3 byte address	
0	ADS	Address Length Status	Volatile	CR2NV[1]	Current Address Mode 1 = 4 byte address 0 = 3 byte address

**IO3/RESET# CR2V[7]:** 此位控制 IO3 / RESET# 信号行为。当 CS# 为高电平或四线模式被禁用 (CR1V[1] = 0) 或 QPI 被禁用 (CR3V[3] = 0) 时, 此易失性 IO3 复位配置位允许在正常运行期间将 IO3 用作 RESET# 输入。

**输出阻抗 CR2V[6:5]:** 这些位控制 IO 信号输出阻抗 (驱动强度)。此易失性输出阻抗配置位使用户能够在正常运行期间调整驱动强度。

**QPI CR2V[3]:** 该位控制所有指令的预期指令宽度。这种易失性的 QPI 配置位使器件能够在正常工作期间进入和退出 QPI 模式。当该位设置为 QPI 模式时, 与 QIO 模式 (CR1V[1]) 的设置无关。当该位被清除为传统 SPI 模式时, QUAD 位不受影响。QPI CR2V[3] 位也可以通过 QPIEN (38h) 指令设置为“1”, 通过 QPIEX (F5h) 指令设置为“0”。

表 21 QPI 和 QIO 模式控制位

QPI CR2V[3]	QUAD CR1V[1]	Description
0	0	SIO mode: Single and Dual Read, WP#/IO2 input is in use as WP# pin and IO3 / RESET# input is in use as RESET# pin
0	1	QIO mode: Single, Dual, and Quad Read, WP#/IO2 input is in use as IO2 and IO3 / RESET# input is in use as IO3 or RESET# pin

(表格续下页.....)

表 21 QPI 和 QIO 模式控制位 (续)

QPI CR2V[3]	QUAD CR1V[1]	Description
1	X	QPI mode: Quad Read, WP#/IO2 input is in use as IO2 and IO3 / RESET# input is in use as IO3 or RESET# pin

**写保护位 CR2V[2]:**该位选择使用哪种阵列保护方法; 见“[传统功能模块保护](#)”或“[单独功能块锁定 \(IBL\) 保护](#)”。这些易失性配置位使用户能够在正常操作期间更改保护方法。

**上电时的地址长度 (ADP) CR2V[1]:** 该位是只读的, 显示所有需要地址且不固定 3 字节或 4 字节地址的指令在上电复位、硬件复位或软件复位后的地址长度。

**地址长度状态 (ADS) CR2V[0]:** 该位控制所有需要地址且不固定 3 字节或 4 字节地址的指令的预期地址长度。见[表 43](#)对于指令地址长度。此易失性地址长度配置位使地址长度能够在正常操作期间更改。四字地址模式(4BEN)指令直接将该位设置为 4 字节地址模式, 而(4BEX)指令退出则将该位设置回 3 字节地址模式。当地址长度非易失 CR2NV[1] 位更新时, 该位也会更新。

### 6.6.5 配置寄存器 3

配置寄存器 3 控制主闪存盘读取指令突发回卷行为和读取延迟。突发回卷配置不会影响从除主闪存式存储器以外的区域读取指令, 例如 读取寄存器或安全区域的指令。当在 POR、硬件复位或软件复位期间将内容复制到寄存器的易失性版本时, 寄存器的非易失性版本能够设置控件的启动 (引导) 状态。寄存器的易失性版本控制正常操作期间的特点行为。

可以使用读取配置 3 (RDCR3 33h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h) 来读取和更改寄存器位。寄存器的易失性版本也可以通过置位 Burst Length (77h) 指令写入。

#### 6.6.5.1 配置寄存器 3 非易失性 (CR3NV)

相关指令: 非易失写入使能 (WREN 06h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

表 22 配置寄存器 3 非易失性 (CR3NV)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	Non-volatile	0	Reserved for Future Use
6	WL_NV	Wrap Length Default		1	00 = 8-byte wrap 01 = 16-byte wrap 10 = 32-byte wrap 11 = 64-byte wrap
5				1	
4	WE_NV	Wrap Enable Default		1	0 = Wrap Enabled 1 = Wrap Disabled

(表格续下页.....)

表 22 配置寄存器 3 非易失性 (CR3NV) (续)

Bits	Field name	Function	Type	Default state	Description
3	RL_NV	Read Latency Default		1	0 to 15 latency (dummy) cycles following read address or continuous mode bits.
2				0	
1				0	
0				0	

**回卷长度非易失性 CR3NV[6:5]:** 这些位控制回卷读取长度和对齐的 POR、硬件复位或软件复位状态。

**回卷使能非易失性 CR3NV[4]:** 该位控制换行使能的POR、硬件复位或软件复位状态。受回卷使能影响的指令有: Quad I/O Read、QPI Read、DDR Quad I/O Read 和 DDR QPI Read。此配置位使器件能够以突发读取模式立即启动 (启动), 而不是传统的顺序读取模式。

**读延迟非易失 CR3NV[3:0]:** 这些位控制所有可变延迟读指令中读延迟 (虚拟周期) 延迟的POR、硬件复位或软件复位状态。下面的读指令在地址或模式结束和读数据开始返回主机之间有一个可变的延迟时间:

- 以下指令的每个时钟频率的延迟时间为: 所有时钟频率的一个虚拟周期。默认延迟代码'0'是一个虚拟周期。
  - 数据学习模式 读取 DLPRD (1-1-1) 或 (4-4-4)
  - IRP 读取 IRPRD (1-1-1) 或 (4-4-4)
  - 保护寄存器读取 PRRD (1-1-1) 或 (4-4-4)
  - 密码读取 PASSRD (1-1-1) 或 (4-4-4)
- 以下指令的每时钟频率的延迟如 表 23 和 表 22 所示. 默认延迟代码'0'是 8 个虚拟周期。
  - 快速读取 FAST\_READ (1-1-1)
  - 四线 O 读取 QOR、4QOR (1-1-4)
  - 双线 O 读取 DOR、4DOR (1-1-2)
  - 双线 I/O 读取 DIOR、4DIOR (1-2-2)
  - 四线 I/O 读取 QIOR、4QIOR (1-4-4) 或 (4-4-4)
  - DDR 四线 I/O 读取 DDRQIOR、4DDRQIOR(1-4-4)
  - 安全区域读取 SECRR (1-1-1) 或 (4-4-4)
  - 读取任意寄存器 RDAR (1-1-1) 或 (4-4-4)
  - 读取串口/快闪式存储器可发现参数 RSFDP (1-1-1) 或 (4-4-4)

非易失读取延迟配置位设置正在使用的读取延迟 (虚拟周期) 数, 以便器件能够以适合主机系统的读取延迟立即启动 (引导)。

表 23 延迟代码 (周期) 与频率

Latency code	Read command maximum frequency (MHz)						
	Fast read (1-1-1)	Dual-O read (1-1-2)	Dual I/O read (1-2-2)	QuadO read (1-1-4)	Quad I/O read (1-4-4)	Quad I/O read QPI (4-4-4)	DDR quad I/O (1-4-4) QPI (4-4-4)
0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 4	Mode cycles = 0	Mode cycles = 2	Mode cycles = 2	Mode cycles = 1
	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8
1	50	50	75	35	35	35	20
2	65	65	85	45	45	45	25
3	75	75	95	55	55	55	35
4	85	85	108	65	65	65	45
5	95	95	108	75	75	75	55
6	108	105	108	85	85	85	60
7	108	108	133	95	95	95	66
8	108	108	133	108	108	108	66
9	133	133	133	115	115	115	66
10	133	133	133	115	115	115	66
11	133	133	133	120	120	120	66
12	133	133	133	120	120	120	66
13	133	133	133	133	133	133	66
14	133	133	133	133	133	133	66
15	133	133	133	133	133	133	66

表 24 延迟代码 (周期) 与频率

Latency code 0	Read command maximum frequency (MHz)					
	Read Any Register (1-1-1)	Read Any Register QPI (4-4-4)	Security Region Read (1-1-1)	Security Region Read QPI (4-4-4)	Read SFDP RSFDP (1-1-1)	Read SFDP RSFDP QPI (4-4-4)
	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0
	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8
1	50	15	50	15	50	15
2	65	25	65	25	65	25
3	75	35	75	35	75	35
4	85	45	85	45	85	45

(表格续下页.....)

表 24 延迟代码（周期）与频率（续）

Latency code 0	Read command maximum frequency (MHz)					
	Read Any Register (1-1-1)	Read Any Register QPI (4-4-4)	Security Region Read (1-1-1)	Security Region Read QPI (4-4-4)	Read SFDP RSFDP (1-1-1)	Read SFDP RSFDP QPI (4-4-4)
	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0	Mode cycles = 0
	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8	Dummy cycles = 8
5	95	55	95	55	95	55
6	108	65	108	65	108	65
7	108	75	108	75	108	75
8	108	85	108	85	108	85
9	133	95	133	95	133	95
10	133	108	133	108	133	108
11	133	115	133	115	133	115
12	133	115	133	115	133	115
13	133	120	133	120	133	120
14	133	120	133	120	133	120
15	133	133	133	133	133	133

**注:**

1. 该系列器件不支持 SCK 频率 > 133 MHz SDR 或 66 MHz DDR。
2. 双 I/O、四 I/O、QPI、DDR 四 I/O 和 DDR QPI 指令协议包括地址后面的连续读取模式位。这些位的时钟周期不计入表中所示的延迟周期的一部分。示例：传统的 Quad I/O 指令在地址后面有 2 个连续读取模式周期。因此，没有额外读取延迟的传统四线 I/O 指令仅支持表中所示的频率，以实现 0 个周期的读取延迟。通过增加变量读取延迟，可以增加四线 I/O 指令的频率，以允许操作达到最大支持 133 MHz 频率，并且 QPI 最大支持 133 MHz。
3. 其他指令有固定的延迟，例如 读取始终具有零读取延迟，读取唯一 ID 具有 32 个虚拟周期，从 Deep 电源下降 释放具有 24 个虚拟周期。

**6.6.5.2 配置寄存器 3 易失性 (CR3V)**

相关指令：读取配置 3 (RDCR3 33h)、写入易失性使能 (WRENV 50h)、写入寄存器 (WRR 01h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)、置位突发长度 (SBL 77h)。这是 RDCR3 指令显示的寄存器。

表 25 配置寄存器 3 易失性 (CR3V)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	Volatile	CR3NV	Reserved for Future Use
6	WL	Wrap Length			00 = 8-byte wrap
5					01 = 16 byte wrap
					10 = 32 byte wrap
					11 = 64 byte wrap
4	WE	Wrap Enable			0 = Wrap Enabled
			1 = Wrap Disabled		
3	RL	Read Latency	0 to 15 latency (dummy) cycles following read address or continuous mode bits.		
2					
1					
0					

**回卷长度 CR3V[6:5]:** 这些位控制正常操作期间的回卷读取长度和对齐。这些易失性配置位使用户能够在正常操作期间调整突发回卷读取长度。

**回卷使能 CR3V[4]:** 该位控制突发环绕特点。这种易失性配置位使器件能够在正常操作期间进入和退出突发读取模式。

当 CR3V[4] = 1 时，不支持回卷模式，并且执行无限长度的顺序读取。

当 CR3V[4] = 0 时，启用回卷模式，从读取命令提供的字节地址开始读取固定长度且对齐的 8、16、32 或 64 字节组，并在组对齐边界处回卷。

**读取延迟 CR3V[3:0]:** 这些位设置可变延迟读取指令中的读取延迟（虚拟周期）延迟。这些易失性配置位使用户能够在正常运行期间调整读取延迟，以根据需要优化不同指令或不同操作频率下的延迟。

## 6.6.6 单独和区域保护 (IRP)

相关指令：IRP 读取 (IRPRD 2Bh) 和 IRP 编程 (IRPP 2Fh)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

IRP 寄存器是一个 16 位 OTP 存储器位置，用于永久配置单独和区域保护 (IRP) 功能的行为。IRP 没有用户可编程的易失性位，所有定义的位都是 OTP。

IRP 位的默认状态由英飞凌编程。

表 26 IRP 寄存器 (IRP)

Bits	Field name	Function	Type	Default state	Description
15 to 7	RFU	Reserved	OTP	All bits are 1	Reserved for Future Use

(表格续下页……)

表 26 IRP 寄存器 (IRP) (续)

Bits	Field name	Function	Type	Default state	Description
6	SECRRP	Security Region 3 Read Password Mode Enable Bit		1	0 = Security Region 3 Read password mode selected 1 = Security Region 3 Read Password not selected IRP[6] is programmable if IRP[2:0] = 111
5	RFU	Reserved			Reserved for Future Use
4	IBLLBB	IBL Lock Boot Bit			0 = All individual IBL bits are set to '1' at power-up in the unprotected state 1 = All individual IBL bits are set to '0' at power-up in the protected state IRP[4] is programmable if IRP[2:0] = 111
3	RFU	Reserved			Reserved for Future Use
2	PWDMLB	Password Protection Mode Lock Bit			0 = Password Protection Mode permanently enabled. 1 = Password Protection Mode not permanently enabled. IRP[2] is programmable if IRP[2:0] = 111
1	PSMLB	Power Supply Lock-down protection Mode Lock Bit			0 = Power Supply Lock-down protection Mode permanently enabled. 1 = Power Supply Lock-down protection Mode not permanently enabled. IRP[1] is programmable if this is enabled by IRP[2:0] = 111
0	PERMLB	Permanent Protection Lock			0 = Permanent Protection Mode permanently enabled. 1 = Permanent Protection Mode not permanently enabled. IRP[0] is programmable if IRP[2:0] = 111

**安全区域读密码模式使能 (SECRRP) IRP[6]:** 当编程为“0”时, SECRRP 在同时或稍后编程 PWDMLB 位 IRP[2] 时启用安全区域 3 读密码模式。SECRRP 位只能在 IRP[2:0] = 111 时编程, 否则编程将失败, P\_ERR 位为“1”。参见“[安全区域读取密码保护](#)”。

**IBL 锁定启动位 (IBLLBB) IRP[4]:** 默认状态为“1”, 在上电、硬件复位或软件复位后, 所有单独的 IBL 位在受保护状态下均置位为“0”。为了对全局 IBL Unlock 或扇区 / 功能块 IBL Unlock 指令进行编程或快捷键, 必须在编程或快捷键指令之前给出。当编程为“0”时, 所有单独的 IBL 位在上电、硬件复位或软件复位后均处于未保护状态。IBLLBB 位只能在 IRP[2:0] = 111 时编程, 否则编程将失败, P\_ERR 设置位为“1”。参见“[单独功能块锁定 \(IBL\) 保护](#)”。

**密码保护模式锁定位 (PWDMLB) IRP[2]:** 当编程为 '0' 时, 将永久选择密码保护模式来保护安全区域 2 和 3 以及指针区域。只有当 IRP[2:0] = 111 时, 才能对 PWDMLB 锁定位进行编程, 否则编程将失败, P\_ERR 置位为 '1'。请参阅“[密码保护模式](#)”。

## 6 地址空间映射

通过编程 IRP[2] = 0 选择密码保护模式后，所有 IRP 位的状态都将被锁定并永久受到保护，以防止进一步编程。尝试对任何 IRP 位进行编程都将导致编程错误，并且 P\_ERR 置位为‘1’。

在设置密码模式 (IRP[2] = 0) 之前，必须对密码进行编程和验证。

**电源锁定保护模式锁定位 (PSLMLB) IRP[1]:** 编程为“0”时，永久选择电源锁定保护模式。PSLMLB 位只能在 IRP[2:0] = 111 时编程，否则编程将失败，P\_ERR 置位为“1”。

通过编程 IRP[1] = 0 选择电源锁定保护模式后，所有 IRP 位的状态均被锁定，并永久防止进一步编程。尝试对任何 IRP 位进行编程都将导致编程错误，P\_ERR 置位为“1”。请参阅“[IRP 寄存器](#)”。

**永久保护锁定位 (PERMLB) IRP[0]:** 当编程为 0 时，永久保护锁定位永久保护区域和安全区域 2 和 3。此位提供了一种简单的方法来永久保护区域和安全区域 2 和 3，而无需使用密码或 PRL 指令。请参阅“[IRP 寄存器](#)”。

PWMLB (IRP[2])、PSLMLB (IRP[1]) 和 PERMLB (IRP[0]) 是互斥的，只有一个可以被编程为零。仅当 IRP[2:0] = 111 时才可对 IRP 位进行编程。当 IRP[2:0] 不等于‘111’时尝试编程 IRP 位将导致编程错误 (P\_ERR 置位为‘1’)。应在系统配置期间选择 ASP 保护模式，以确保不会有非期望的恶意编程的保护模式。通过 IRP 模式选择锁定所有保护配置，可防止恶意编程随后更改保护方法。

### 6.6.7 密码注册 (PASS)

相关指令：密码读取 (PASSRD E7h) 和密码编程 (PASSP E8h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。PASS 寄存器是一个 64 位 OTP 存储器位置，用于永久定义个人和区域保护 (IRP) 特性的密码。PASS 没有用户可编程的易失性位，所有定义的位都是 OTP。PASS 的易失性副本用于满足读取延迟要求，但易失性寄存器不是用户可写的或进一步描述的。在 IRP[2] 被编程为“0”后，无法读取或编程密码 (见表 26)。

表 27 密码寄存器 (PASS)

Bits	Field name	Function	Type	Default state	Description
63 to 0	PWD	Hidden Password	OTP	FFFFFFFF- FFFFFFFFh	Non-volatile OTP storage of 64-bit password. The password is no longer readable after the password protection mode is selected by programming IRP register bit 2 to zero.

### 6.6.8 保护寄存器 (PR)

相关指令：保护寄存器读取 (PRRD A7h)，保护寄存器锁定 (PRL A6h)，读取任意寄存器 (RDAR 65h)。PR 没有单独的用户可编程非易失性位，所有定义的位都是易失性只读状态。RFU 位的默认状态是由硬件置位。PR 寄存器没有非易失性版本。

NVLOCK 位用于保护安全区域 2 和 3 以及指针区域保护。当 NVLOCK[0] = 0 时，安全区域 2 和 3 以及指针区域保护不能更改。

表 28 保护状态寄存器 (PR)

Bits	Field name	Function	Type	Default state	Description
7	RFU	Reserved	Volatile Read Only	00h	Reserved for Future Use
6	SECRRP	Security Regions Read Password		IRP[6]	0 = Security Region 3 password protected from read when NVLOCK = 0 1 = Security Region 3 not password protected from read
5	RFU	Reserved		0	Reserved for Future Use
4					
3					
2					
1					
0	NVLOCK	Protect Non-volatile configuration		IRP[2] and IRP[0]	0 = Security Regions 2 and 3 and Pointer Region write protected 1 = Security Regions 2 and 3 and Pointer Region may be written <sup>1)</sup> .

1) 指令保护寄存器锁定 (PRL) 设置 NVLOCK = 1。

### 6.6.9 单独功能块锁定访问/访问寄存器 (IBLAR)

相关指令：IBL 读取 (IBLRD 3Dh 或 4IBLRD E0h)、IBL 锁定 (IBL 36h 或 4IBL E1h)、IBL 解锁 (IBLUL 39h 或 4IBUL E2h)、全局 IBL 锁定 (GBL 7Eh)、全局 IBL 解锁 (GBUL 98h)。

IBLAR 没有用户可编程的非易失性位，所有位都是 IBL 阵列中易失性位的表示。IBL 阵列位的默认状态是硬件置位。IBLAR 寄存器没有非易失性版本。

表 29 IBL 访问/访问寄存器 (IBLAR)

Bits	Field name	Function	Type	Default state	Description
7 to 0	IBL	Read or write IBL for individual sectors / blocks	Volatile	IRP[4] = 1 then 00h else FFh	00h = IBL for the sector / block addressed is set to '0' by the IBL, 4IBL and GBL commands protecting that sector from program or erase operations. FFh = IBL for the sector / block addressed is cleared to '1' by the IBUL, 4IBUL and GBUL commands not protecting that sector from program or erase operations.

#### 注：

1. 参见图 25。
2. IBL 位可以通过 IBLRD 和 4IBLRD 指令读取。

### 6.6.10 指针区域保护寄存器 (PRPR)

相关指令：置位指针区域 (SPRP FBh 或 4SPRP E3h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

PRPR 包含用户可编程的非易失位。PRPR 位的默认状态是硬件置位。PRPR 寄存器没有易失性版本。参见“[指针区域保护 \(PRP\)](#)”了解更多信息。

表 30 PRP 寄存器 (PRPR)

Bits	Field name	Function	Type	Default state	Description
A31 to A25	RFU	Reserved	Non-volatile	11111111b	Reserved for Future Use
A24	PRPAD	PRP Address		1	Pointer Address A24 in S25FL256L RFU in S25FL128L
A23 to A16				FFh	Pointer Address A23 to A16
A15 to A12				Fh	Pointer Address A15 to A12
A11				PRPALL	PRP Protect All
A10	PRPEN	PRP Enable		1	0 = Enable Pointer Region Protection 1 = Disable Pointer Region Protection
A9	PRPTB	PRP Top/ Bottom		1	0 = Pointer Region Protection starts from the top (high address) 1 = Pointer Region Protection starts from the bottom (low address)
A8	RFU	Reserved		1	Reserved for Future Use
A7 to A0				FFh	

### 6.6.11 DDR 数据学习寄存器

相关指令：编程 DLRNV (PDLRNV 43h)、写入 DLRV (WDLRV 4Ah)、数据学习模式读取 (DLPRD 41h)、读取任意寄存器 (RDAR 65h)、写入任意寄存器 (WRAR 71h)。

数据学习模式 (DLP) 设置在 8 位非易失数据学习寄存器 (DLRNV) 以及 8 位易失数据学习寄存器 (DLRV) 中。从英飞凌发货时，DLRNV 值为 00h。一旦编程，DLRNV 就无法重新编程或擦除；DLRNV 中的数据唤醒类型码的副本也将写入 DLRV。DLRV 可以随时写入，但在硬件和软件复位或上电周期时，数据唤醒类型码将恢复到 DLRNV 中的内容。在 SPI DDR 模式中描述的学习过程中，DLP 将来自 DLRV。每个 IO 将在每个时钟边沿输出相同的 DLP 值。例如，如果 DLP 为 34h (或二进制 00110100)，则在第一个时钟边沿间，所有 IO 将输出 0；随后，沿所有 I/O 的第二个时钟边沿将输出 0，第三个时钟边沿将输出 1，依此类推。

当 DLRV 值为 00h 时，在 DDR 指令中的虚拟阶段期间不会出现前导码数据唤醒类型码。

表 31 非易失性数据学习寄存器 (DLRNV)

Bits	Field name	Function	Type	Default state	Description
7 to 0	NVDLP	Non-Volatile Data Learning Pattern	OTP	00h	OTP value that may be transferred to the host during DDR read command latency (dummy) cycles to provide a training pattern to help the host more accurately center the data capture point in the received data bits.

表 32 易失性数据学习寄存器 (DLRV)

Bits	Field name	Function	Type	Default state	Description
7 to 0	VDLP	Volatile Data Learning Pattern	Volatile	Takes the value of DLRNV during POR or Reset	Volatile copy of the NVDLP used to enable and deliver the Data Learning Pattern (DLP) to the outputs. The VDLP may be changed by the host during system operation.

## 7 数据保护

### 7.1 安全区域

该器件具有 1024 字节的地址空间，与主闪存式存储器阵列分开。该区域分为 4 个可单独锁定、长度为 256 字节的区域（请参阅分页 31 上的“[安全区域地址空间](#)”）。

安全区域存储空间旨在提高系统安全性。数据值可以将闪存组件与系统 CPU/ASIC “配对”，以防止器件替换。安全区域地址空间受安全区域锁定位或保护寄存器 NVLOCK 位 (PR[0]) 保护（参见“[安全区域锁定位 \(LB3、LB2、LB1、LB0\)](#)”）。

#### 7.1.1 读取安全区域存储器区域

安全区域读取命令 (SECRR) 使用与快速读取相同的协议。有效 1024 字节安全区域地址范围之外的读取操作将产生不确定的数据（请参阅“[安全区域读取 \(SECRR 48h\)](#)”）。

当 NVLOCK = 0 时，通过设置 PWDMLB 位 IRP[2] = 0 和 SECRRP 位 IRP[6] = 0，可以对安全区域 3 进行密码保护以防止读取。

#### 7.1.2 安全区域编程

安全区域编程指令 (SECRP) 的协议与分页编程相同（请参阅“[安全区域编程 \(SECRP 42h\)](#)”）。

安全区域编程的有效地址范围如 [表 10](#) 所示。安全区域有效安全区域地址范围之外的编程操作将被忽略，SR2V[5] 置位中的 P\_ERR 不设置为“1”。通过设置 PWDMLB 位 IRP[2] = 0，可以对安全区域 2 和 3 进行密码保护，以防止编程。

#### 7.1.3 擦除安全区域

安全区域擦除指令 (SECRE) 的协议与扇区擦除相同（参见“[安全区域擦除 \(SECRE 44h\)](#)”）。

有效地址范围如安全区域 [表 6](#) 所示。有效安全区域地址范围之外的安全区域操作将被忽略，SR2V 置位中的 E\_ERR 不设置为“1”。

通过设置 PWDMLB 位 IRP[2] = 0，可以对安全区域 2 和 3 进行密码保护以防止被擦除。

#### 7.1.4 安全区域锁定位 (LB3、LB2、LB1、LB0)

安全区域锁定位 (LB3、LB2、LB1、LB0) 是配置寄存器 1 (CR1NV[5:2]) 中非易失的一次性编程 (OTP) 位，为安全区域提供写保护控制和状态。安全区域 0 至 3 的默认状态为解锁。可以使用写状态寄存器或写任意寄存器指令将 LB[3:0] 单独置位为 1。LB[3:0] 是一次性编程 (OTP)，一旦置位为 1，对应的 256 字节安全区域将永久变为只读。

### 7.2 深度掉电

深度掉电 (DPD) 指令提供了另一种数据保护方法，因为在 DPD 状态期间所有指令都被忽略，除了深度掉电释放 (RES ABh) 指令和硬件复位之外。因此，可以防止在 DPD 状态期间进行任何编程或擦除。

## 7.3 写使能命令

### 7.3.1 写使能 (WREN)

写入使能 (WREN) 指令必须先于任何修改非易失数据的指令写入。WREN 指令设置写使能锁存器 (WEL) 位。在上电、硬件和软件复位期间，或者器件完成以下指令后，WEL 位被清除为‘0’（禁止写入）：

- RESET (复位)
- 分页编程 (pp 或 4PP)
- 四分页编程 (QPP 或 4QPP)
- 扇区擦除 (SE 或 4SE)
- 半功能块 (HBE 或 4HBE)
- 功能块擦除 (BE 或 4BE)
- 芯片擦除 (CE)
- 写禁止 (WRDI)
- 写寄存器 (WRR)
- 写入任意寄存器 (WRAR)
- 安全区域擦除 (SECRE)
- 安全区域字节编程 (SECRP)
- 单独和区域保护寄存器编程 (IRPP)
- 密码编程 (PASSP)
- 清除状态寄存器 (CLSR)
- 置位指针 区域保护 (SPRP 或 4SPRP)
- 编程非易失性数据学习寄存器 (PDLRNV)
- 写入易失性数据学习寄存器 (WDLRV)
- 易失性寄存器的写使能 (WRENV)

写入使能易失性 (WRENV) 指令必须在修改易失性寄存器数据的写入寄存器 (WRR) 指令之前写入。

## 7.4 写入保护信号

当不在四线模式 (CR1V[1] = 0) 或 QPI 模式 (CR2V[3] = 0) 下时，写保护 (WP#) 输入与寄存器状态保护 0 (SRP0) 位 (SR1NV[7]) 结合提供硬件输入信号控制的保护。当 WP# 为低电平且 SRP0 置位为 '1' 时；状态寄存器 1 (SR1NV 和 SR1V)、配置寄存器 (CR1NV、CR1V、CR2NV、CR2V、CR2NV 和 CR3NV) 和 DDR 数据学习寄存器 (DLRNV 和 DLRV) 受到保护，不被更改。这可以防止禁用或更改由旧功能块保护位或安全区域锁定位定义的保护。参见“[状态寄存器1](#)”。

## 7.5 状态寄存器保护 (SRP1、SRP0)

状态寄存器保护位 (SRP1 和 SRP0) 是配置和状态寄存器 (CR1V[0] 和 SR1V[7]) 中的易失性位。SRP 位控制 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的写保护方法：软件保护、硬件保护或电源锁定。

表 33 状态寄存器保护位 (高安全性)

SRP1_DC R1NV[0]	SRP1CR 1V[0]	SRP0SR 1V[7]	WP#	Status Register	Description
0	0	0	X	Software Protection	WP# pin has no control. SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV can be written. [Factory Default]
0	0	1	0	Hardware Protected	When WP# pin is low SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV are locked and can not be written <sup>1)</sup> , <sup>2)</sup> .
0	0	1	1	Hardware Unprotected	When WP# pin is high SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV are unlocked and can be written <sup>1)</sup> .
0	1	X	X	Power Supply Lock-Down	SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV are protected and can not be written to again until the next power-down, power-up cycle <sup>3)</sup> .
1	1	X	X	One Time Program	SRP1_D CR1NV[0]= 1 SR1NV, SR1V, CR1NV, CR1V, CR2NV, CR2V, CR3NV, DLRNV and DLRV are permanently protected and can not be written <sup>4)</sup> .

1) 在电源关闭、上电周期、软件或硬件复位后, SRP0 从 SRP0\_NV (SR1NV[7]) 默认状态重新加载。要启用硬件保护模式, 可以通过在上电时将 WP# 引脚将 SRP0\_NV 位设置为“1”。

2) 当 SRP1 = 1 时, 电源重启、加电周期或硬件复位会将 SRP1 更改为 0, 因为 SRP1 是从 SRP1\_D 重新加载。

3) SRP1\_D 仅当 IRP[2:0] = 111 时才可写入。当 SRP1\_D CR1NV[0] = 1 时; 电源下降、上电周期或硬件复位, 将重新加载 SRP1, 从 SRP1\_D = 1 易失性位 SRP1 不可写, 从而提供 OTP 保护。当 SRP1\_D 被编程为 1 时, 建议将 SRP0\_NV 也编程为 1, 以指示正在使用 OTP 保护。

4) 当 QPI 或 QIO 模式为启用 (CR2V[3] 或 CR1V[1] = 1) 时, 内部 WP# 信号电平等于“1”, 因为当任一模式为有效时, WP# 外部输入用作 IO2。当 SRP1-SRP0 = 01b 时, 这会有效关闭硬件保护。寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 已解锁并可以写入。

#### 注:

1. WIP、WEL 和 SUS (SR1[1:0] 和 CR1[7]) 是易失性只读状态位, 不受写状态寄存器指令的影响。
2. 如表所示, 当 SR1NV、CR1NV、CR2NV 和 CR3NV 的非易失性版本受到 SRP 位和 WP# 保护时, 它们不可写入。当写使能 (06h) 指令先于 Write Status Registers (01h) 指令或 Write Any Register (71h) 指令时, 会选择这些状态寄存器位的非易失版本进行写入。
3. 当寄存器 SR1V、CR1V 和 CR2V 的易失性版本受到 SRP 位和 WP# 保护时, 它们不可写入 (如表所示)。当易失性状态寄存器 (50h) 指令的写入使能 (50h) 指令先于写入状态寄存器 (01h) 指令或写入使能 (06h) 指令先于写入任意寄存器 (71h) 指令时, 选择这些状态寄存器位的易失性版本进行写入。
4. 易失性 CR3V 位不受 SRP 位保护, 可以随时通过写状态寄存器 (01h) 指令之前的易失性 (50h) 写使能指令进行写入。WRAR (71h) 和 SBL (77h) 指令是向 CR3V 寄存器中写入位的方法。
5. 在系统上电和引导代码执行期间: 可通过可靠的引导代码可以确定是否需要更改 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 值。如果不需要进行任何更改, 则可以将 SRP1 位 (CR1V[0]) 置位为 1, 以保护 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 寄存器在系统开启的情况下在的正常系统操作期间免受更改。

## 7.6 阵列保护

存储器阵列保护分为三种类型：传统功能块（LBP）、单独功能块锁定（IBL）和指针区域（PRP）。用户使用写保护选择（WPS）位来启用两种保护机制之一：传统功能块（LBP）保护（WPS CR2V[2] = 0）或单独功能块锁定（IBL）保护（WPS CR2V[2] = 1）（请参阅“[配置寄存器 2 易失性（CR2V）](#)”）。一次只能启用一种保护机制。传统功能块保护是默认保护，与 IBL 保护方案互斥。指针区域保护是通过置位指针区域保护指令或 WRAR 指令通过 A10 = 0 的值来启用的（参见“[指针区域命令](#)”）。当指示器区域保护启用时，它与传统功能块保护或单独功能块锁定保护进行逻辑或运算。

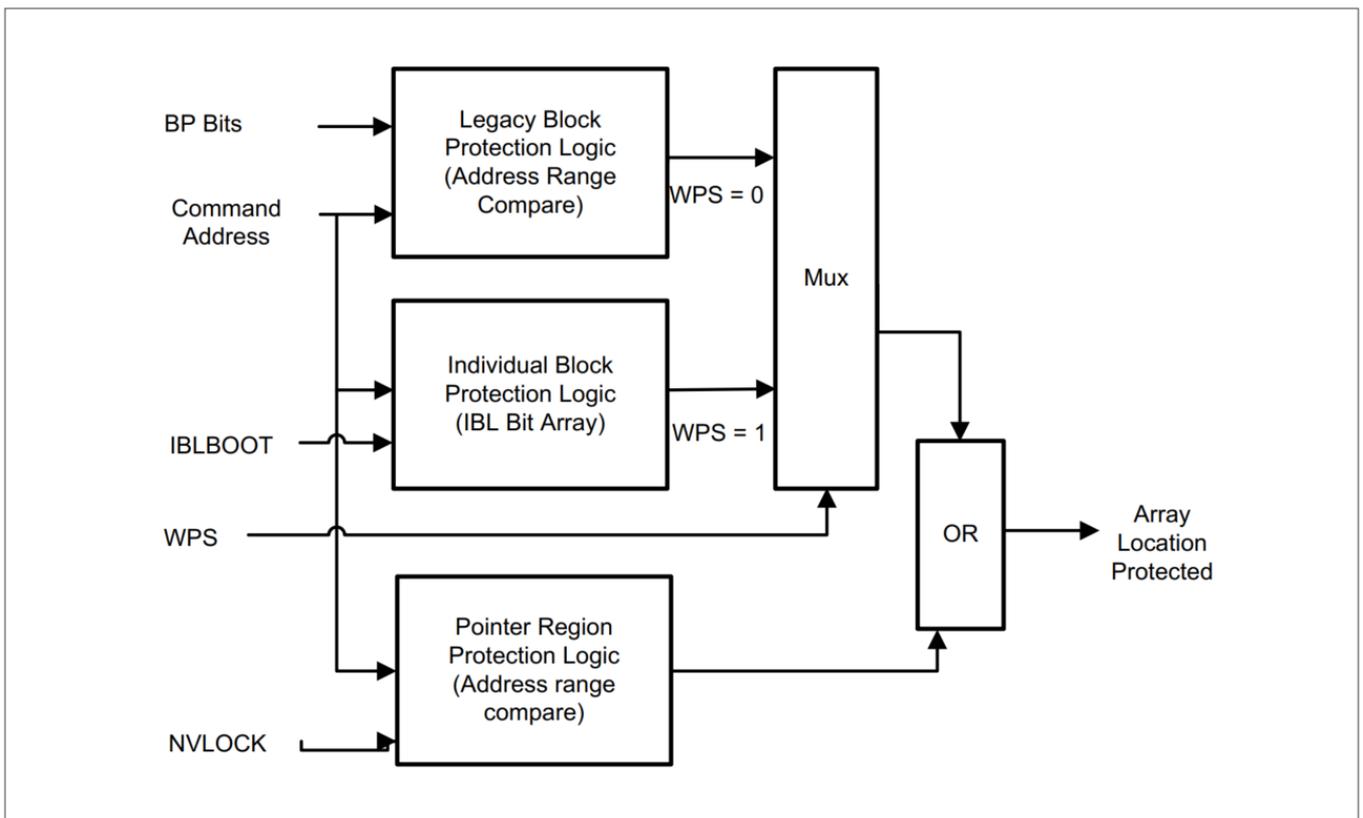


图 24 WPS 选择 LBP 或 IBL 和 PRP 阵列保护

### 7.6.1 传统功能块保护

传统功能保护位 (S25FL256L) 状态寄存器位 BP3, BP2, BP1, BP0 -- SR1V[5:2]) (S25FL128L,) 状态寄存器位 BP2, BP1, BP0 -- SR1V[4:2]) 与配置寄存器 TBPROT (SR1V[6] S25FL256L) (SR1V[5]) 结合使用 S25FL128L) 位、CMP(CR1V[6]位和SEC(SR1V[5]S25FL128L)可用于保护主闪存存储器的地址范围免受编程和擦除操作的影响。范围的大小由 BP 位的值决定，范围的上限或下限起点由配置寄存器 (SR1V[6] S25FL256L) (SR1V[5] S25FL128L,) 的 TBPROT 位选择。当 CMP 位 (CR1V[6]) 置位为 ‘1’ 时，保护得到补充。

如果指示器区域保护被启用，则该区域保护与传统功能块保护区进行逻辑“或”运算。

表 34 S25FL128L 功能块保护 (CMP = 0)

Status Register					128L (128 Mb) block protection (CMP = 0)			
SEC	TBPROT	BP2	BP1	BP0	Protected block(s)	Protected addresses	Protected density	Protected portion
X	X	0	0	0	None	None	None	None
0	0	0	0	1	252 thru 255	FC0000h–FFFFFFh	256 kB	Upper 1/64
0	0	0	1	0	248 thru 255	F80000h–FFFFFFh	512 kB	Upper 1/32
0	0	0	1	1	240 thru 255	F00000h–FFFFFFh	1 MB	Upper 1/16
0	0	1	0	0	224 thru 255	E00000h–FFFFFFh	2 MB	Upper 1/8
0	0	1	0	1	192 thru 255	C00000h–FFFFFFh	4 MB	Upper 1/4
0	0	1	1	0	128 thru 255	800000h–FFFFFFh	8 MB	Upper 1/2
0	1	0	0	1	0 thru 3	000000h–03FFFFh	256 kB	Lower 1/64
0	1	0	1	0	0 thru 7	000000h–07FFFFh	512 kB	Lower 1/32
0	1	0	1	1	0 thru 15	000000h–0FFFFFh	1 MB	Lower 1/16
0	1	1	0	0	0 thru 31	000000h–1FFFFFh	2 MB	Lower 1/8
0	1	1	0	1	0 thru 63	000000h–3FFFFFh	4 MB	Lower 1/4
0	1	1	1	0	0 thru 127	000000h–7FFFFFh	8 MB	Lower 1/2
X	X	1	1	1	0 thru 255	000000h–FFFFFFh	16 MB	ALL
1	0	0	0	1	255	FFF000h–FFFFFFh	4 kB	Upper 1/4096
1	0	0	1	0	255	FFE000h–FFFFFFh	8 kB	Upper 1/2048
1	0	0	1	1	255	FFC000h–FFFFFFh	16 kB	Upper 1/1024
1	0	1	0	X	255	FF8000h–FFFFFFh	32 kB	Upper 1/512
1	0	1	1	0				
1	1	0	0	1	0	000000h–00FFFFh	4 kB	Lower 1/4096
1	1	0	1	0	0	000000h–001FFFh	8 kB	Lower 1/2048
1	1	0	1	1	0	000000h–003FFFh	16 kB	Lower 1/1024
1	1	1	0	X	0	000000h–007FFFh	32 kB	Lower 1/512
1	1	1	1	0				

注: X = 无需关注。

表 35 S25FL128L (128 Mb) 功能块保护 (CMP = 1)

Status Register					128L legacy block protection (CMP = 1)			
SEC	TBPOR T	BP 2	BP 1	BP 0	Protected block(s)	Protected addresses	Protected density	Protected portion
X	X	0	0	0	0 thru 255	000000h–FFFFFFh	16 MB	ALL
0	0	0	0	1	0 thru 251	000000h–FBFFFFh	16,128 kB	Lower 63/64

(表格续下页……)

表 35 S25FL128L (128 Mb) 功能块保护 (CMP = 1) (续)

Status Register					128L legacy block protection (CMP = 1)			
SEC	TBPOR T	BP 2	BP 1	BP 0	Protected block(s)	Protected addresses	Protected density	Protected portion
0	0	0	1	0	0 thru 247	000000h-F7FFFFh	15,872 kB	Lower 31/32
0	0	0	1	1	0 thru 239	000000h-EFFFFFFh	15 MB	Lower 15/16
0	0	1	0	0	0 thru 223	000000h-DFFFFFFh	14 MB	Lower 7/8
0	0	1	0	1	0 thru 191	000000h-BFFFFFFh	12 MB	Lower 3/4
0	0	1	1	0	0 thru 127	000000h-7FFFFFFh	8 MB	Lower 1/2
0	1	0	0	1	4 thru 255	040000h-FFFFFFh	16,128 kB	Upper 63/64
0	1	0	1	0	8 thru 255	080000h-FFFFFFh	15,872 kB	Upper 31/32
0	1	0	1	1	16 thru 255	100000h-FFFFFFh	15 MB	Upper 15/16
0	1	1	0	0	32 thru 255	200000h-FFFFFFh	14 MB	Upper 7/8
0	1	1	0	1	64 thru 255	400000h-FFFFFFh	12 MB	Upper 3/4
0	1	1	1	0	128 thru 255	800000h-FFFFFFh	8 MB	Upper 1/2
X	X	1	1	1	None	None	None	None
1	0	0	0	1	0 thru 255	000000h-FFEFFFh	16,380 kB	Lower 4095/4096
1	0	0	1	0	0 thru 255	000000h-FFDFFFh	16,376 kB	Lower 2047/2048
1	0	0	1	1	0 thru 255	000000h-FFBFFFh	16,368 kB	Lower 1023/1024
1	0	1	0	X	0 thru 255	000000h-FF7FFFh	16,352	Lower 511/512
1	0	1	1	0				
1	1	0	0	1	0 thru 255	001000h-FFFFFFh	16,380 kB	Upper 4095/4096
1	1	0	1	0	0 thru 255	002000h-FFFFFFh	16,376 kB	Upper 2047/2048
1	1	0	1	1	0 thru 255	004000h-FFFFFFh	16,368 kB	Upper 1023/1024
1	1	1	0	X	0 thru 255	008000h-FFFFFFh	16,352 kB	Upper 511/512
1	1	1	1	0				

注: X = 无需关注。

表 36 S25FL256L (256Mb) 上部阵列补充传统功能块保护 (TBPROT = 0, CMP = 1)

Status Register content				S25FL256L legacy block protection (TBPROT = 0, CMP = 1)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	0	0	0	512	0-511	32768	All
0	0	0	1	511	0-510	32704	Lower 511/512
0	0	1	0	510	0-509	32640	Lower 255/256

(表格续下页.....)

表 36 S25FL256L (256Mb) 上部阵列补充传统功能块保护 (TBPROT = 0, CMP = 1) (续)

Status Register content				S25FL256L legacy block protection (TBPROT = 0, CMP = 1)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	0	1	1	508	0-507	32512	Lower 127/128
0	1	0	0	504	0-503	32256	Lower 63/64
0	1	0	1	496	0-495	31744	Lower 31/32
0	1	1	0	480	0-479	30720	Lower 15/16
0	1	1	1	448	0-447	28672	Lower 7/8
1	0	0	0	384	0-383	24576	Lower 3/4
1	0	0	1	256	0-255	16384	Lower 1/2
1	0	1	0	0	None	0	None
1	0	1	1	0	None	0	None
1	1	0	0	0	None	0	None
1	1	0	1	0	None	0	None
1	1	1	0	0	None	0	None
1	1	1	1	0	None	0	None

表 37 S25FL256L (256Mb) 下部阵列补充传统功能块保护 (TBPROT = 1, CMP = 1)

Status Register content				S25FL256L legacy block protection (TBPROT = 1, CMP = 1)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	0	0	0	512	0-511	32768	All
0	0	0	1	511	1-511	32704	Upper 511/512
0	0	1	0	510	2-511	32640	Upper 255/256
0	0	1	1	508	4-511	32512	Upper 127/128
0	1	0	0	504	8-511	32256	Upper 63/64
0	1	0	1	496	16-511	31744	Upper 31/32
0	1	1	0	480	32-511	30720	Upper 15/16
0	1	1	1	448	64-511	28672	Upper 7/8
1	0	0	0	384	128-511	24576	Upper 3/4
1	0	0	1	256	256-511	16384	Upper 1/2
1	0	1	0	0	None	0	None
1	0	1	1	0	None	0	None
1	1	0	0	0	None	0	None

(表格续下页·····)

表 37 S25FL256L (256Mb) 下部阵列补充传统功能块保护 (TBPROT = 1, CMP = 1) (续)

Status Register content				S25FL256L legacy block protection (TBPROT = 1, CMP = 1)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
1	1	0	1	0	None	0	None
1	1	1	0	0	None	0	None
1	1	1	1	0	None	0	None

表 38 S25FL256L (256Mb) 上部阵列传统功能块保护 (TBPROT = 0, CMP = 0)

Status Register content				S25FL256L legacy block protection (TBPROT = 0, CMP = 0)			
BP3	BP2	BP1	BP0	Number Protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	0	0	0	0	None	0	None
0	0	0	1	1	511	64	Upper 1/512
0	0	1	0	2	510–511	128	Upper 1/256
0	0	1	1	4	508–511	256	Upper 1/128
0	1	0	0	8	504–511	512	Upper 1/64
0	1	0	1	16	496–511	1024	Upper 1/32
0	1	1	0	32	480–511	2048	Upper 1/16
0	1	1	1	64	448–511	4096	Upper 1/8
1	0	0	0	128	384–511	8192	Upper 1/4
1	0	0	1	256	256–511	16384	Upper 1/2
1	0	1	0	512	0–511	32768	ALL
1	0	1	1	512	0–511	32768	ALL
1	1	0	0	512	0–511	32768	ALL
1	1	0	1	512	0–511	32768	ALL
1	1	1	0	512	0–511	32768	ALL
1	1	1	1	512	0–511	32768	ALL

表 39 S25FL256L (256Mb) 下部阵列传统功能块保护 (TBPROT = 1, CMP = 0)

Status Register content				S25FL256L legacy block protection (TBPROT = 0, CMP = 0)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	0	0	0	0	None	0	None
0	0	0	1	1	0	64	Lower 1/512
0	0	1	0	2	0–1	128	Lower 1/256
0	0	1	1	4	0–3	256	Lower 1/128

(表格续下页……)

表 39 S25FL256L (256Mb) 下部阵列传统功能块保护 (TBPROT = 1, CMP = 0) (续)

Status Register content				S25FL256L legacy block protection (TBPROT = 0, CMP = 0)			
BP3	BP2	BP1	BP0	Number protected blocks	Protected blocks	Protected density (KB)	Protected portion
0	1	0	0	8	0-7	512	Lower 1/64
0	1	0	1	16	0-15	1024	Lower 1/32
0	1	1	0	32	0-31	2048	Lower 1/16
0	1	1	1	64	0-63	4096	Lower 1/8
1	0	0	0	128	0-127	8192	Lower 1/4
1	0	0	1	256	0-255	16384	Lower 1/2
1	0	1	0	512	0-511	32768	ALL
1	0	1	1	512	0-511	32768	ALL
1	1	0	0	512	0-511	32768	ALL
1	1	0	1	512	0-511	32768	ALL
1	1	1	0	512	0-511	32768	ALL
1	1	1	1	512	0-511	32768	ALL

## 7.6.2 单独功能块锁定 (IBL) 保护

单独功能块锁定位 (IBL) 具有易失性，每个扇区/功能块有一个位，并且每个位都可以单独修改。通过发出 IBL 或 GBL 指令，IBL 位被设置为“0”，保护每个相关的扇区/功能块。通过发出 IBUL 或 GUL 指令，IBL 位被清除为“1”，从而不保护每个相关的扇区或功能块。通过发出 IBLRD 指令可以读取每个 IBL 位的状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。由于 IBL 是易失性位，因此可以根据需要随时置位或清除。

每个主要的 64KB 功能块以及底部和顶部块中的 4KB 扇区都有一个与其关联的易失性单独功能块锁定位 (IBL)。当扇区/功能块 IBL 位为“0”时，相关扇区/功能块受到保护，免受编程和擦除操作。

如果指针区域保护被启用，那么这个受保护的区域将与 IBL 位进行逻辑或运算。

上电、硬件复位或软件复位到默认状态 [IBLLBB = 1] (参见表 26) 后，所有单独的 IBL 位在受保护状态下均置位为“0”。为了对全局 IBL Unlock 或扇区 / 功能块 IBL Unlock 指令进行编程或快捷键，必须在编程或擦除指令之前给出。当 [IBLLBB = 0] 时，在上电、硬件复位或软件复位后的未保护状态下，所有单独的 IBL 位均置位为“1”。

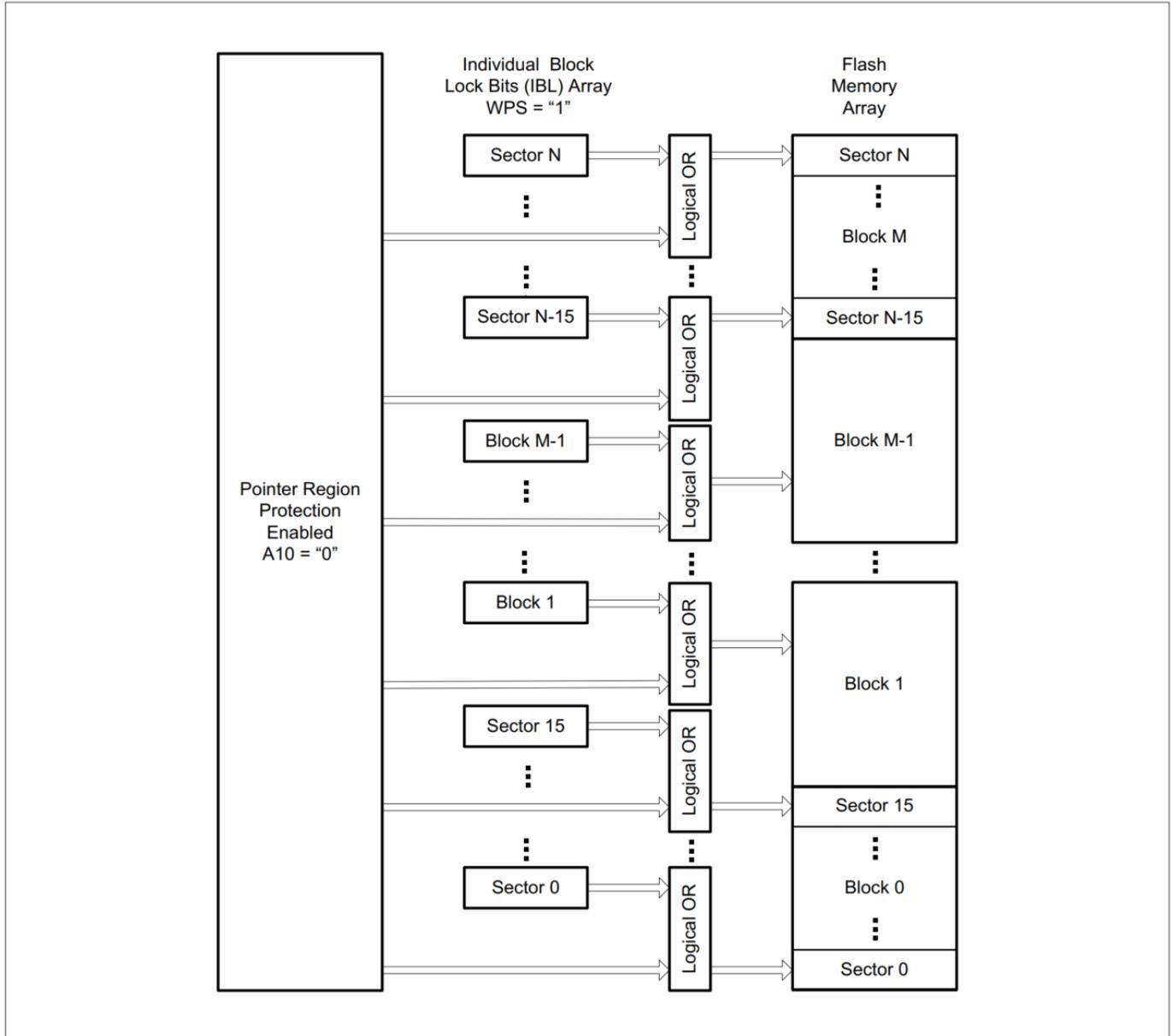


图25 单独功能块锁定/指针区域保护控制

注:

1. “M” 是顶部的64KB 128KB功能块。
2. ‘N’ 是顶部4KB 8KB扇区。

### 7.6.3 指针区域保护 (PRP)

指针区域保护由一个非易失地址指针定义，它选择任意 4KB 扇区作为存储器中受保护区域和未受保护区域之间的边界。这提供了具有单独扇区粒度的保护方案，该保护方案在整个电源周期和复位操作中保持有效。PRP 设置还可以受到保护，直到下一个上电周期才可以被修改，直到提供密码，或者可以永久锁定。PRP 可以与传统功能块保护或单独功能块锁定保护方法结合使用。当启用时，PRP 保护与 WPS 位（CR2V[2]）选择的保护方法进行逻辑或运算。

设置指针区域保护 (SPRP FBh 或 4SPRP E3h) 指令 (参见“[指针区域命令](#)”) 或写入任意寄存器 (WRAR 71h) 指令来写入 PRPR 寄存器 (参见“[指针区域保护寄存器 \(PRPR\)](#)”) 用于使能或禁用 PRP, 并设置指针值。

S25FL256L 器件必须具有 4 字节寻址启用的 (CR2V[0] = 1) 才能设置指针区域保护寄存器 PRPR (请参见“[写入任意寄存器 \(WRAR 71h\)](#)”) 这样就保证了 A24 和 A25 的置位正确。

在给出设置功能块/指针保护指令或写入任意寄存器 (WRAR 71h) 指令以写入 PRPR 寄存器后, A10 的值启用或禁用显示器保护机制。如果 A10 = 1, 则禁用指针保护区。这是默认状态, 其余的指针值不重要。如果 A10 = 0, 则指针保护区是启用的。A10 的值写在 PRPR 中的非易失指针位中。RFU 位的指针地址值并不重要, 但这些位位置将作为 1 读回。参见“[指针](#)”有关 PRPR 的更多信息, 请参阅“[指针区域保护寄存器 \(PRPR\)](#)”。

如果指针保护机制是启用的, 则指针值决定存储器中受保护区域和未受保护区域之间的功能块边界。指针边界是通过写入 PRPR 中的非易失指针值的三个 (A23–A12) 或四个 (A31–A12) 地址字节来设置的。未受保护的区域将包括指针值选择的 4KB 扇区。

A9 的值用于确定未受保护的区域是从存储器阵列的顶部 (最高地址) 还是底部 (最低地址) 开始到指针的位置。如果在发出 SPRP 或 4SPRP 指令后跟地址时 A9 = 0, 则包含该地址的 4-kB 扇区以及从下到上的所有扇区 (从零到更高的地址) 将不受保护。如果在发出 SPRP 或 4SPRP- 指令后跟地址时 A9 = 1, 则包含该地址的 4-kB 扇区以及从上到下 (最大到下地址) 的所有扇区将不受保护。A9 的值位于 PRPR 中的非易失性指针值中。

A11 位可用于保护所有扇区。如果 A11 = 1, 则所有扇区都受到保护。如果 A11 = 0, 则不受保护的范由 Amax–A12 决定。A11 的值位于 PRPR 中的非易失性指针值中。

在挂起操作期间, SPRP 或 4SPRP 指令将被忽略, 因为在挂起期间不能擦除和重新编程指针值。

如果 NVLOCK PR[0] = 0, 则忽略 SPRP 或 4SPRP 指令。

读取任意寄存器指令 65h 指令 (参见“[读取任意寄存器 \(RDAR 65h\)](#)”) 读取 PRP 相关寄存器的内容。这允许读取指针的内容以进行测试和验证。

**表 40 PRP 表**

A11	A10	A9	Protect address range	Unprotect address range	Comment
x	1	x	None	All	A10 = 1 is PRP disabled (this is the default state and the rest of pointer value is don't care).
0	0	0	1FFFFFF to (A[31:12] + 1)	A[31:12] to 0000000	The 4-KB sector which includes that address and all the sectors from the bottom up (zero to higher address) will be unprotected.
0	0	1	(A[31:12] - 1) to 0000000	1FFFFFF to A[31:12]	The 4-KB sector which includes that address and all the sectors from the Top down (max to lower address) will be unprotected.
1	0	x	1FFFFFF to 0000000	Not Applicable	A10 = 0 and A11 = 1 means protect all sectors and Amax–A12 are don't care.

如果指针保护方案处于活动状态 (A10 = 0), 并且指针保护应用擦除命令的地址空间的任何部分, 则擦除命令失败。例如, 如果指针保护正在保护受块擦除命令影响的 4KB 数组, 则该擦除命令会失败。

如果 PRP 启用 (A10 = 0), 则芯片擦除指令将被忽略, 并且这将设置 E\_ERR 状态位。

如果指针区域保护被启用，则该保护与传统功能块保护区（如果 WPS CR2V[2] = 0）或单独功能块锁定保护（如果 WPS CR2V[2] = 1）进行逻辑“或”运算（参见图 24）。

## 7.7 单独区域保护

单独和区域保护 (IRP) 是一组独立硬件和软件方法的名称，用于禁用或启用安全区域 2 和 3 以及指针区域保护寄存器上的编程或擦除操作。

每种方法都设置 NVLOCK 位 (PR[0]) 的状态。当 NVLOCK = 1 时，可以对安全区域 2 和 3 以及指针区域保护寄存器 (PRPR) 进行编程和擦除。当 NVLOCK = 0 时，安全区域 2 和 3 以及 PRPR 不能被编程或擦除。注意，安全区域 2 和 3 也分别受 LB2 或 LB3 = 1 (CR1NV[4:5]) 保护。

电源锁定保护是默认方法。该方法在POR或硬件复位期间将 NVLOCK 位设置为“1”，以便 NVLOCK 相关区域和寄存器不受器件复位的保护。PRL (A6h) 指令将 NVLOCK 位清除为“0”，以保护 NVLOCK 相关区域和寄存器。持久保护方法没有任何指令可将 PPB 锁定位设为 1，因此 PPB 锁定位一直为 0，直到下一次关闭电源或硬件复位为止。电源锁定方法允许引导代码选择更改安全区域 2 和 3 或 PRPR 中的值，通过编程或擦除来实现非易失性区域，然后通过将 NVLOCK 位清除为“0”，保护这些非易失性区域在正常系统操作时间内免遭进一步更改。这有时称为引导代码控制的扇区保护。密码方法在 POR 或硬件复位期间将保护寄存器 NVLOCK 位清除为 0，并设置 SECRP 位 = IRP[6]，以保护 NVLOCK 相关区域和寄存器。SECRP 位决定安全区域 3 是否可读。对于密码方法，可以永久地编程并隐藏一个 64 位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则将 NVLOCK 位置位为‘1’，以取消保护 NVLOCK 相关区域和寄存器。PRL (A6h) 指令可用于清零，将 NVLOCK 位复位为 '0' 以再次开启保护。

永久方法永久设置 SECRP 位 = 1 并将 NVLOCK 清除为 0。这将永久保护安全区域 2 和 3 以及 PRPR。

通过编程锁定寄存器中的 OTP 位，可以永久性选择要使用的 PPB 锁定管理方法。

所有方法的概述如图 26 所示。

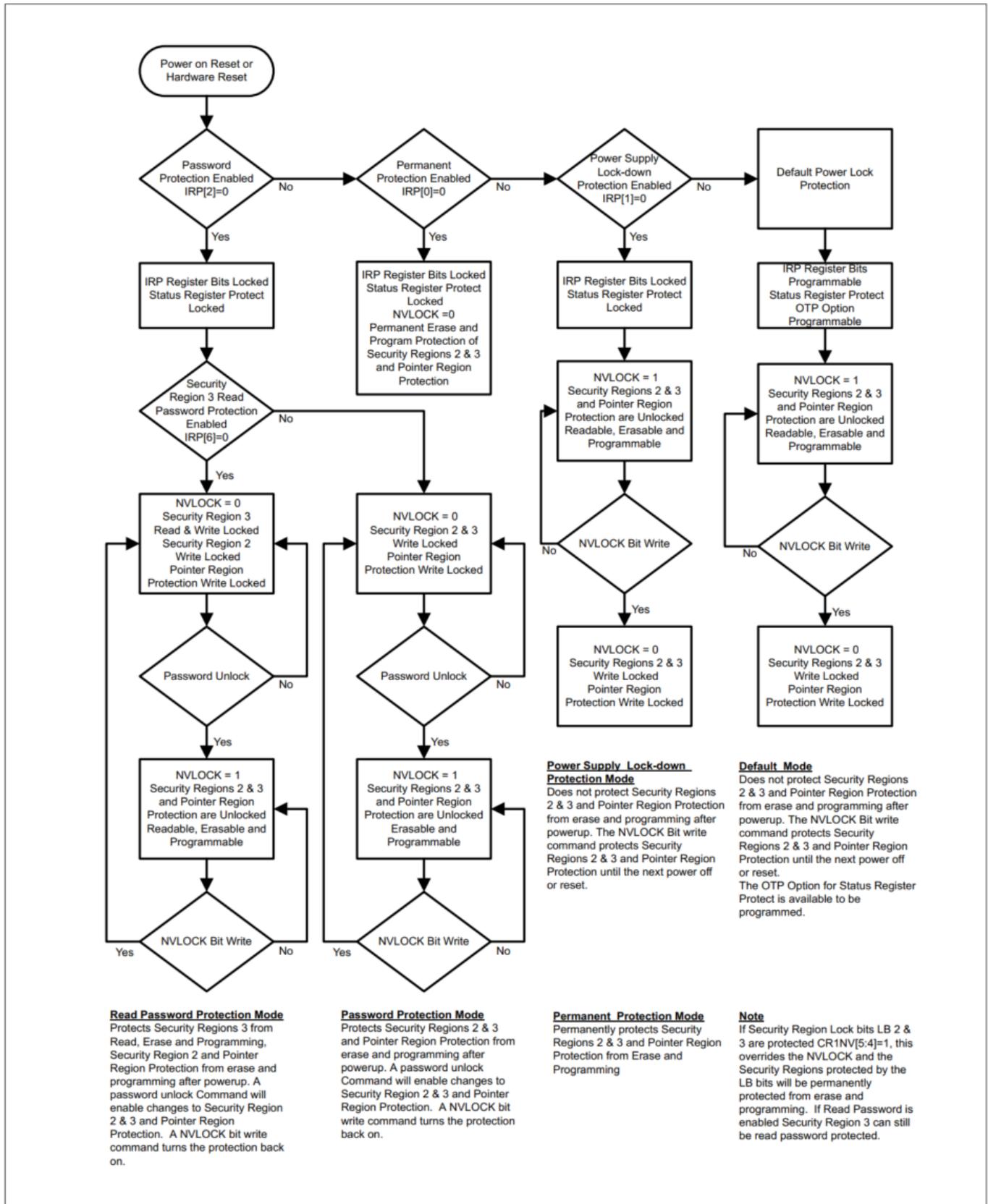


图 26 永久、密码和电源锁定保护概述

### 7.7.1 IRP 寄存器

IRP 寄存器用于永久配置单独和区域保护 (IRP) 功能的行为 (参见表26)。

所有设备出厂时默认为电源锁定保护模式，所有区域均不受保护。

然后器件或主机系统必须通过对编程各对应的位、永久、电源锁定或密码保护模式之一进行编程来选择使用哪种保护方法。

对其中一个位进行编程可将部件永久锁定在所选模式：

出厂默认 IRP 寄存器

- IRP[6] = 1 = 未启用读取密码保护模式。
- IRP[4] = 1 = IBL 位在保护状态下上电。
- IRP[2] = 1 = 密码保护模式未启用。
- IRP[1] = 1 = 电源锁定保护模式未启用，但为默认模式。
- IRP[0] = 1 = 永久保护模式未启用。

IRP寄存器编程规则：

- 如果选择读取密码模式，则必须在设置密码保护模式锁定位 IRP[2] 之前或同时对 SECRRP 位进行编程。
- 若选择在非保护模式下 IBL 位上电，则必须在设置保护模式锁定位 IRP[2:0] 之一之前或同时对 IBLLBB 位进行编程。
- 如果选择密码模式，则必须在设置密码保护模式锁定位 IRP[2] 之前对密码进行编程。
- 保护模式是互斥的，只能选择一种。一旦选择了其中一种保护模式 IPRP[2:0]，IRP 寄存器位就会受到永久保护，不能被编程，并且不允许对 OTP 寄存器位进行任何进一步的更改。选择保护模式后，如果尝试改变上述任意寄存器位，操作将失败并且 P\_ERR (SR2V[5]) 将被置位为 1。

IRP 寄存器的编程时间与典型的编程时间相同。系统可以通过读取状态寄存器中的 WIP 位来确定 IRP 寄存器编程操作的状态。请参阅“[状态寄存器 1](#)”有关 WIP 的信息。请参阅“[密码保护模式](#)”。

#### 7.7.1.1 IBL 锁启动位

默认 IBL 锁定位 IRP[4] = 1，所有 IBL 位在上电或复位（硬件复位或软件复位后）时都处于“受保护状态”。如果 IBL 锁定位 IRP[4] = 0（编程），则 IBL 上电或复位至“未保护状态”。

### 7.7.2 保护寄存器 (PR)

#### 7.7.2.1 NVLOCK 位 (PR[0])

NVLOCK 位是一个易失性位，用于保护：

- 指针区域保护寄存器
- 安全区域 2 和 3

当置位为 '0' 时，NVLOCK 锁定相关区域。当置位为 '1' 时，允许更改相关区域。有关详细信息，请参阅“[保护寄存器 \(PR\)](#)”。

PPB 锁定指令用于将该位清零。仅当所有相关区域都配置为所需设置后，才应将 NVLOCK 位清除为“0”。

在电源锁定保护模式下，NVLOCK 在POR或硬件复位期间置位为“1”。软件复位指令不影响 NVLOCK 位。清除后，所有软件指令序列都不能设置PPB锁定，只有通过硬件复位或上电才能设置PPB锁定位。

在密码保护模式下，PPB锁定在POR或硬件复位期间被清除为0。NVLOCK 位只能通过密码解锁指令设置为“1”。

永久方法将 NVLOCK 永久清除为 0。这将永久保护安全区域 2 和 3 以及 PRPR。

### 7.7.2.2 安全区域读取密码锁定位 (SECRRP, PR[6])

SECRRP 位是用于读取保护安全区域 3 的易失性位。当 SECRRP [6] = 0 时，安全区域 3 不可读取，请参阅“[保护寄存器 \(PR\)](#)”。

在密码保护模式下，在POR或软件或硬件复位期间，SECRRP 位的置位等于 IRP[6]。NVLOCK 位只能通过密码解锁指令设置为“1”。软件复位不影响 NVLOCK 位。

永久方法永久设置 SECRRP 位 = 1。这使得安全区域 3 永久处于可读状态。

### 7.7.3 密码保护模式

PPB密码保护模式使用64位密码来设置PPB锁定，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB锁定还清除为0以确保在上电时提供保护。

通过输入整个密码并成功执行密码解锁指令后，PPB锁定将设为1，从而允许修改扇区PPB。

密码保护注意事项：

- 编程和验证密码后，必须设置密码模式锁定位，以防止读取或修改密码。
- 密码编程指令只能编程“0”。在将单元编程为‘0’之后编程一个‘1’会导致单元保留为‘0’，而不会出现编程错误置位。
- 从英飞凌出厂时，密码64位全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦编程了密码模式锁定位，即可防止在数据总线上读取64位密码和进一步编程密码。对密码区域的所有进一步编程和读取指令都被禁用，并且这些指令被忽略或返回未定义的数据。编程了密码保护模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。
- 保护模式锁定位不可擦除。
- 只有输入准确的密码，才能解锁。如果密码解锁指令提供的密码与隐藏的内部密码不匹配，则解锁操作将失败，其失败方式与受保护扇区上的编程操作相同。P\_ERR 位设置为 1，WIP 位保持设置，NVLOCK 位保持清除为 0。
- 密码解锁命令的接收不能快于每  $100 \mu\text{s} \pm 20 \mu\text{s}$ 。这样，如果黑客试图通过实现所有64位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。读取状态指令 1 指令可用于读取 WIP 位，以确定器件何时完成密码解锁指令或准备好接受新密码指令。当提供有效密码时，

密码解锁指令将 WIP 位 返回为零,不需要 100  $\mu$ s 延迟。

- 如果选择密码模式后密码丢失,则无法置位 NVLOCK 位=1。

### 7.7.4 安全区域读取密码保护

安全区域读取密码保护可以保护安全区域 3 防止读取、编程和擦除。

- 安全区域读取密码保护是密码保护模式 (如上所述) 的可选补充。当用户对 SECRRP 位 IRP[6] 进行编程时,将启用安全区域读取密码保护 = 0'。必须在设置密码保护模式锁定位 IRP[2] 之前或同时对 SECRRP 位 IRP[6] 进行编程。

安全区域读取密码保护在密码被编程之前是无效的,IRP[2] 被编程为 0。

当 SECRRP (PR[6]) 位置为 0 时,安全区域 3 不可读。如果读取这些区域,则结果数据无效且未定义。

### 7.7.5 推荐的 IRP 保护流程

在系统制造过程中,存储器件配置应按以下方式定义:

1. 根据需要对安全区域进行编程。
2. 置位指针区域保护根据需要进行注册。
3. 如果要使用密码保护,请对密码寄存器 (PASS) 进行编程。
4. 根据需要对 IRP 寄存器进行编程,包括选择永久、电源锁定或密码 IRP 保护模式输入 IRP[2:0]。明确选择保护模式非常重要,这样可以防止以后对 IRP 寄存器进行意外或恶意编程。这是为了确保仅启用预期的保护功能。  
在对 IRP 寄存器器进行编程之前或编程时:
  - a. IBLLBB 位 (IRP [4]) 可为所有 IBL 位在不受保护的条件下供电。
  - b. SECRRP 位 (IRP [6]) 可编程为选择安全区域读取密码保护,以使用密码控制对安全区域 3 的读取/访问。

系统上电启动代码执行过程中:如果使用电源关闭保护模式,可靠启动代码可以判断是否需要修改 NVLOCK 相关区域或寄存器。如果不需要进行任何更改,则可以通过 PRL 指令将 NVLOCK 位清除为 0,以保护 NVLOCK 相关区域或寄存器在功率保持开启的情况下在剩余的正常系统操作期间免受更改。

## 8 命令

主机系统与FL-L系列存储器件之间的所有通讯均以称为“指令”的单元的形式存在。参见“[命令协议](#)”有关指令协议的详细信息。

虽然在某些情况下，主机软件用于直接控制SPI接口信号，但主机系统和存储器件的硬件接口通常处理信号关系和时序的细节。因此，本文的软件接口重点部分不详细介绍信号关系和时序。相反，重点是每个指令中传输的位的逻辑顺序，而不是信号时序和关系。以下是一些需要记住的一般信号关系描述。有关指令的位电平格式和信号时序关系的更多信息，请参阅“[命令协议](#)”。

- 主机始终控制片选 (CS)、串行时钟 (SCK) 和串行输入 (SI) - SI用于单独的一个比特传输。存储器驱动串行输出 (SO) 以进行单独的读取传输。主机和存储器在双路和四线传输期间交替驱动 IO0–IO3 信号。
- 所有指令都是从主机在 SCK 第一个上升沿之前驱动 CS 为低电平来选择存储器开始的。CS 在整个指令中保持低电平，当 CS 返回高电平时，指令结束。一般来说，CS#保持低电平以八位传输倍数来传输字节粒度信息。如果 CS 返回的高电平不在 8 位边界处，则不会接受任何指令。

### 8.1 命令汇总

#### 8.1.1 扩展寻址

为了适应 128 Mb 以上的寻址，有两种选择：

1. 始终需要 4 字节地址的指令，用于访问/访问最多 32 Gb 的存储器：

**表 41 扩展地址 4 字节地址指令**

Command name	Function	Instruction (Hex)
4READ	Read	13
4FAST_READ	Read Fast	0C
4DOR	Dual Output Read	3C
4QOR	Quad Output Read	6C
4DIOR	Dual I/O Read	BC
4QIOR	Quad I/O Read	EC
4DDRQIOR	DDR Quad I/O Read	EE
4PP	Page Program	12
4QPP	Quad Page Program	34
4SE	Sector Erase	21
4HBE	Half Block Erase	53
4BE	Block Erase	DC
4IBLRD	IBL Read	E0
4IBL	IBL Lock	E1
4IBUL	IBL Unlock	E2

(表格续下页……)

表 41 扩展地址 4 字节地址指令 (续)

Command name	Function	Instruction (Hex)
4SPRP	Set Pointer Region Protection	E3

- 2.4 字节地址模式，用于向后兼容 3 字节地址指令。标准 3 字节指令可以与由地址长度配置位 (CR2V[0]) 控制的 4 字节地址模式结合使用。CR2V[0] 的默认值/默认值从 CR2NV[1] (上电、硬件复位或软件复位) 加载，以实现默认的 3 字节 (24 位) 或 4 字节 (32 位) 寻址。当地址长度 (CR2V[0]) 设置为 1 时，旧指令更改为地址字段需要 4 字节 (32 位)。以下指令可与 4 字节地址模式配置结合使用，以从 3 字节地址字段切换到 4 字节地址字段。

表 42 扩展地址 4 字节地址模式与 3 字节地址指令

Command name	Function	Instruction (Hex)
RSFDP	Read SFDP	5A
READ	Read	03
FAST_READ	Read Fast	0B
DOR	Dual Output Read	3B
QOR	Quad Output Read	6B
DIOR	Dual I/O Read	BB
QIOR	Quad I/O Read	EB
DDRQIOR	DDR Quad I/O Read)	ED
PP	Page Program	02
QPP	Quad Page Program	32
SE	Sector Erase	20
HBE	Half Block Erase	52
BE	Block Erase	D8
RDAR	Read Any Register	65
WRAR	Write Any Register	71
SECRE	Security Region Erase	44
SECRP	Security Region Program	42
SECRR	Security Region Read	48
IBLRD	IBL Read	3D
IBL	IBL Lock	36
IBUL	IBL Unlock	39
SPRP	Set Pointer Region Protection	FB

## 8.1.2 按功能划分的命令汇总

表 43 FL-L 系列指令集 (按功能排序)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
Read Device ID	RDID	Read ID (JEDEC Manufacturer ID)	9F	108	0	Yes
	RSFDP	Read JEDEC Serial Flash Discoverable Parameters	5A	133	3 or 4	
	RDQID	Read Quad ID	AF	108	0	
	RUID	Read Unique ID	4B	133		
Register Access	RDSR1	Read Status Register 1	05	108		No
	RDSR2	Read Status Register 2	07			
	RDCR1	Read Configuration Register 1	35			
	RDCR2	Read Configuration Register 2	15			
	RDCR3	Read Configuration Register 3	33			
	RDAR	Read Any Register	65	133	3 or 4	Yes
	WRR	Write Register (Status-1 and Configuration-1,2,3)	01		0	
	WRDI	Write Disable	04			
	WREN	Write Enable for Non-volatile data change	06			
	WRENV	Write Enable for Volatile Status and Configuration Registers	50			
	WRAR	Write Any Register	71		3 or 4	
	CLSR	Clear Status Register	30		0	
	4BEN	Enter 4 Byte Address Mode	B7			
	4BEX	Exit 4 Byte Address Mode	E9			
	SBL	Set Burst Length	77			
	QPIEN	Enter QPI	38			
	QPIEX	Exit QPI	F5			
	DLPRD	Data Learning Pattern Read	41			
	PDLRNV	Program NV Data Learning Register	43			
	WDLRV	Write Volatile Data Learning Register	4A			
Read Flash Array	READ	Read	03	50		3 or 4
	4READ	Read	13	50	4	
	FAST_READ	Fast Read	0B	133	3 or 4	
	4FAST_READ		0C		4	

(表格续下页.....)

表 43 FL-L 系列指令集 (按功能排序) (续)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
	DOR	Dual Output Read	3B		3 or 4	
	4DOR		3C		4	
	QOR	Quad Output Read	6B		3 or 4	
	4QOR		6C		4	
	DIOR	Dual I/O Read	BB		3 or 4	
	4DIOR		BC		4	
Read Flash Array	QIOR	Quad I/O Read (CR1V[1] = 1) or CR2V[3] = 1	EB	133	3 or 4	Yes
	4QIOR		EC		4	
	DDRQIOR	DDR Quad I/O Read (CR1V[1] = 1 or CR2V[3] = 1)	ED	66	3 or 4	
	4DDRQIOR	DDR Quad I/O Read (CR1V[1] = 1 or CR2V[3] = 1)	EE		4	
Program Flash Array	PP	Page Program	02	133	3 or 4	
	4PP		12		4	
	QPP	Quad Page Program	32		3 or 4	
	4QPP		34		4	
Erase Flash Array	SE	Sector Erase	20		3 or 4	Yes
	4SE		21		4	
	HBE	Half Block Erase	52		3 or 4	
	4HBE		53		4	
	BE	Block Erase	D8		3 or 4	
	4BE		DC		4	
	CE	Chip Erase	60		0	
	CE	Chip Erase (alternate instruction)	C7			
Erase / Program Suspend / Resume	EPS	Erase / Program Suspend	75			
	EPR	Erase / Program Resume	7A			
Security Region Array	SECRE	Security Region Erase	44		3 or 4	
	SECRP	Security Region Program	42			
	SECRR	Security Region Read	48			
Array Protection	IBLRD	IBL Read	3D			
	4IBLRD	IBL Read	E0			4
	IBL	IBL Lock	36			3 or 4

(表格续下页.....)

表 43 FL-L 系列指令集 (按功能排序) (续)

Function	Command name	Command description	Instruction value (Hex)	Maximum frequency (MHz)	Address length (Bytes)	QPI
	4IBL		E1	133	4	
	IBUL	IBL Unlock	39		3 or 4	
	4IBUL		E2		4	
	GBL	Global IBL Lock0	7E		0	
	GBUL	Global IBL Unlock	98			
	SPRP	Set Pointer Region Protection	FB		3 or 4 <sup>1)</sup>	
	4SPRP	Set Pointer Region Protection	E3		4	
Individual and Region Protection	IRPRD	IRP Register Read	2B		0	
	IRPP	IRP Register Program	2F			
	PRRD	Protection Register Read	A7			
	PRL	Protection Register Lock (NVLOCK Bit Write)	A6			
Reset	RSTEN	Software Reset Enable	66	133	0	
	RST	Software Reset	99			
	MBR	Mode Bit Reset	FF			
Deep Power Down	DPD	Deep Power Down	B9			
	RES	Release from Deep Power Down / Device ID	AB			
RFU	Reserved-18	Reserved	18	-	-	
	Reserved-41		41			
	Reserved-43		43			
	Reserved-4A		4A			
	Reserved-ED		ED			
	Reserved-EE		EE			

1) 对于 S25FL256L 器件, SPRP 指令必须处于 4 字节地址模式且 CR2V[0] = 1。

### 8.1.3 读取器件标识

有多个指令可以读取有关器件制造商、器件类型和器件功能的信息。不同供应商的 SPI 存储器使用不同的指令和格式来读取有关存储器的信息。FL-L 系列支持三个器件信息指令。

### 8.1.4 寄存器读取或写入

有多个寄存器用于嵌入式操作状态或控制器件配置选项。有用于读取或写入这些寄存器的指令。

## 8 命令

寄存器包含易失性位和非易失性位。寄存器中的非易失性位将被自动擦除并作为单一（写入）操作进行编程。

### 8.1.4.1 监控运行状态

主机系统可以通过监视状态寄存器中的WIP位来确定写入、编程、擦除、暂停或其他嵌入式操作何时完成。读取状态寄存器 1 指令或读取任意状态寄存器指令提供 WIP 位的状态。从状态寄存器 2 或读取任意寄存器指令提供状态寄存器中的编程错误 (P\_ERR) 和擦写错误 (E\_ERR) 位的状态，指示最近的编程或擦写指令是否未成功完成。当 P\_ERR 或 E\_ERR 位置位为 1 时，WIP 位将保持置位为 1，指示器件仍处于忙状态并且无法接收最新操作指令。当 P\_ERR 或 E\_ERR 置位为 1 时，仅状态读取 (RDSR1 05h、RDSR2 07h)、读取任意寄存器 (RDAR 65h)、读取配置 RDCR1 和 RDCR3、状态清零，复位 (CLSR 30h) 和软件复位 (RSTEN 66h 后跟 RST 99h) 是有效指令。必须发送清零，复位状态寄存器 (CLSR) 指令才能将器件返回到待机状态。或者，硬件复位或软件复位 (RSTEN 66h 后接 RST 99h) 可用于将器件返回到待机状态。

### 8.1.4.2 拓扑结构

有一些指令用于读取、写入和保护寄存器，这些指令控制接口宽度、接口地址、接口地址长度以及数据保护的某些方面。

注：

1. 如果在器件处于 QPI 模式时发送不支持 QPI 模式的指令，则会出现未定义的行为。
2. 对于 S25FL256L 器件，SPRP 指令必须处于 4 字节地址模式且 CR2V[0] = 1。

### 8.1.5 读取闪存阵列

数据可以从任意字节界限开始从存储器中读取。数据字节按顺序从逐渐升高的字节地址读取，直到主机通过驱动 CS# 输入高电平来结束数据传输。如果字节地址达到存储器阵列的最大地址，则将从阵列的零地址处继续读取。

突发换行读取可以通过配置突发长度 (SBL 77h) 指令以及请求的换行读取长度和对齐来启用，请参阅“[配置突发长度 \(SBL 77h\)](#)”。突发回卷读取仅适用于四线 I/O 和 QPI 模式。

有几种不同的读取指令来指定不同的访问/访问延迟和数据传输/数据路径宽度。(DDR) 指令还定双倍数据速率定义了两个 SCK 边沿的地址和数据位关系：

- 地址读取命令在 SI /IO0 信号上的每个 SCK 上升沿提供一个比特，读取数据在 SO /IO1 信号上的每个 SCK 下降沿返回一个单独的比特。该指令在地址和返回数据之间具有零延迟，但最大 SCK 速率限制为 50 MHz。
- 其他读指令在地址和返回数据之间有一个延迟时间，但可以在更高的 SCK 频率下操作。延迟取决于配置寄存器读取延迟值。
- 地址快速读取命令在 SI /IO0 信号上的每个 SCK 上升沿提供一个位，读取数据在 SO /IO1 信号上的每个 SCK 下降沿返回一个单独的位。
- 双倍输出或四倍输出读取指令在 SCK 上升沿提供 SI /IO0 引脚的地址，读取数据返回两位，或在 IO0-IO3 信号上每个 SCK 下降沿返回四位数据。

## 8 命令

- 双路或四线 I/O 读取指令在 SCK 上升沿提供两位或四位地址，读取数据在 IO0–IO3 信号上的每个 SCK 下降沿返回两位或四位数据。如果模式位值为 Axh，则连续读取的特点是启用的。
- 四倍双倍数据速率读取指令为每个 SCK 边沿提供四位地址，读取数据在 IO0–IO3 信号上的每个 SCK 边沿返回四位数据。如果模式位值为 Axh，则连续读取的特点是启用的。

### 8.1.6 编程闪存阵列

编程数据需要两个指令写入使能 (WREN) 和分页编程 (pp、4PP、QPP、4QPP)。分页编程指令接受 1 字节到 256 个连续字节的数据 (分页) 在一次操作中进行编程。编程意味着位可以保留为 1，或者从 1 编程为 0。将位从 0 更改为 1 需要擦除操作。

### 8.1.7 擦除闪存阵列

扇区擦除、半功能块擦除、功能块擦除或芯片擦除命令，将扇区或整个存储器中的所有位编程为 1。在编程将位更改为 0 之前，需要先将位擦除为 1。虽然可以单独将位从 1 编程为 0，但是将位从 0 擦除为 1 必须使用扇区、半块、块或整个阵列 (芯片) 擦除。写使能 (WREN) 指令必须位于擦除指令之前。

### 8.1.8 安全区域、传统功能块保护以及个人和区域保护

有指令读取和编程单独的一次性保护 (OTP) 阵列，以永久保护数据 (例如序列号)。有指令控制一个连续组 (功能块) 的连续扇区，使其免受编程和指针操作的影响。有指令控制哪个单独的连续扇区免受编程和指针操作的影响。有一种模式可以限制对安全区域 3 的读取访问/访问，直到提供密码。

### 8.1.9 复位

器件上电后，有一些指令可将其恢复到默认状态。然而，软件复位指令不影响 SRP1 或 NVLOCK 位的当前状态。在所有其他方面，软件复位与硬件复位相同。

有一个指令用于读取 (退出) 连续读取模式。

### 8.1.10 预留

某些指令保留供将来使用。在这一代 FL-L 系列中，其中一些指令可能未被使用且不会影响器件操作，有些则可能产生未定义的结果。

保留一些指令是为了确保允许使用传统或备用源器件指令而不产生任何影响。这使得传统软件可以发出一些与当前一代 FL-L 系列无关的指令，但保证这些指令不会导致一些意外的操作。

一些指令被保留用于本文档未涉及的 FL-L 特殊版本或未来版本。这使得新的主机存储控制器设计能够灵活地规划发出这些指令指令。如果已知指令格式，则在发布此文档修订版时定义该格式。

## 8.2 识别命令

### 8.2.1 读取标识 (RDID 9Fh)

读取标识 (RDID) 指令提供读取访问/访问制造商标识、器件标识。制造商标识由 JEDEC 分配。器件标识值由 Infineon 指定。

在编程、擦除或写循环正在进行时发出的任何 RDID 指令都将被忽略，并且对正在进行的编程、擦除或写循环的执行没有影响。

RDID 指令在 SI / IO0 上移位。当 RDID 指令的最后一位移入器件后，一个字节的制造商标识、两个字节的器件标识将依次移出到 SO / IO1 上，整个信息被称为 ID。有关 ID 内容的详细描述，请参“[器件 ID 地址映射](#)”。如果继续将输出移位到定义的 ID 地址空间的末尾，则会提供未定义的数据。在数据输出期间，随时将 CS 驱动至 Logic 高状态即可终止 RDID 指令序列。RDID 指令最高支持 108 MHz。

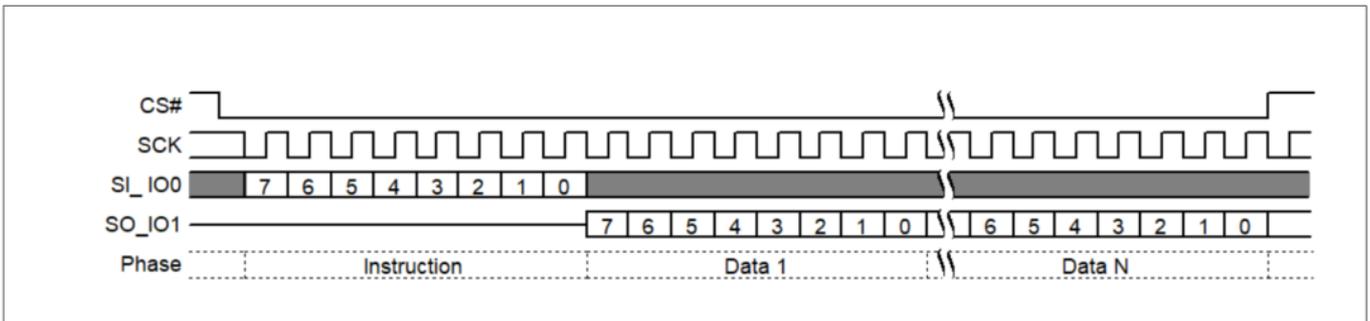


图 27 读取标识 (RDID) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，返回数据在 IO0–IO3 上移出。

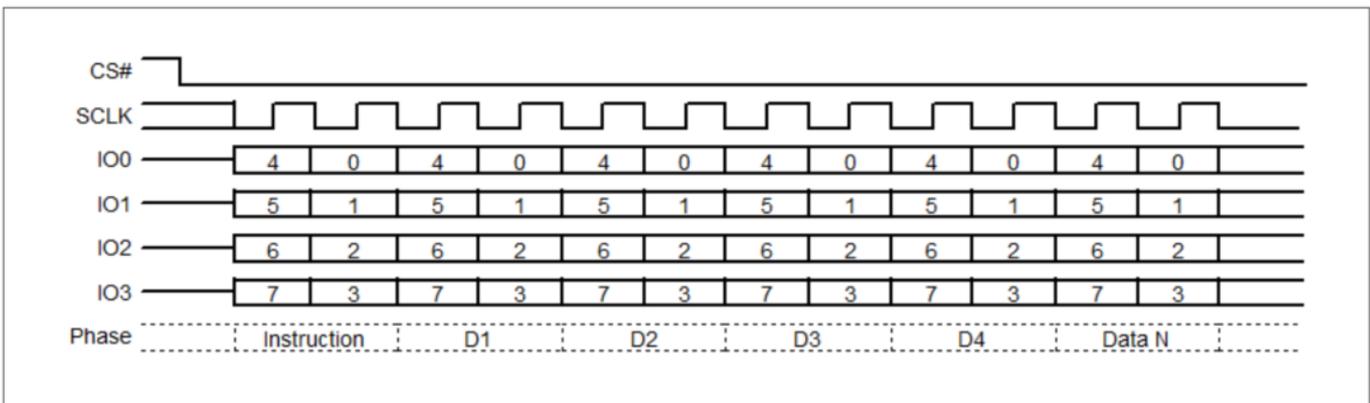


图 28 读取标识 (RDID) QPI 模式指令

### 8.2.2 读取四线标识 (RDQID AFh)

读取四线标识 (RDQID) 指令提供读取访问/访问制造商标识、器件标识。此指令是在 QPI 模式下读取 RDID 指令提供的相同信息的另一种方法。在所有其他方面，该指令的行为与 RDID 指令相同。

仅当器件处于 QPI 模式 (CR2V[3] = 1) 或四线模式 (CR1V[1] = 1) 时，才能识别指令。对于 QPI 模式，指令在

IO0-IO3 上移入；对于四线模式，指令在 IO0 上移入。当指令的最后一位移入器件后，一个字节的制造商标识、两个字节的器件将在 IO0-IO3 上依次移出。总的来说，这些信息称为 ID。请参阅“[器件 ID 地址映射](#)”分页147为ID内容的详细描述。

如果继续将输出移位到定义的 ID 地址空间的末尾，则会提供未定义的数据。在数据输出期间，随时将 CS 驱动至 Logic 高状态即可终止指令序列。

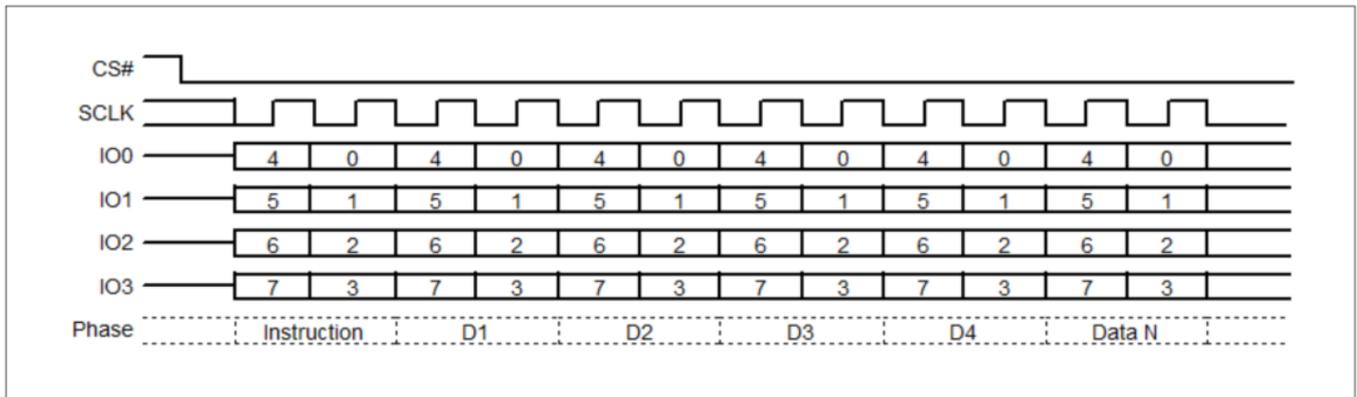


图 29 读取四线识别 (RDQID) 指令序列 QPI 模式

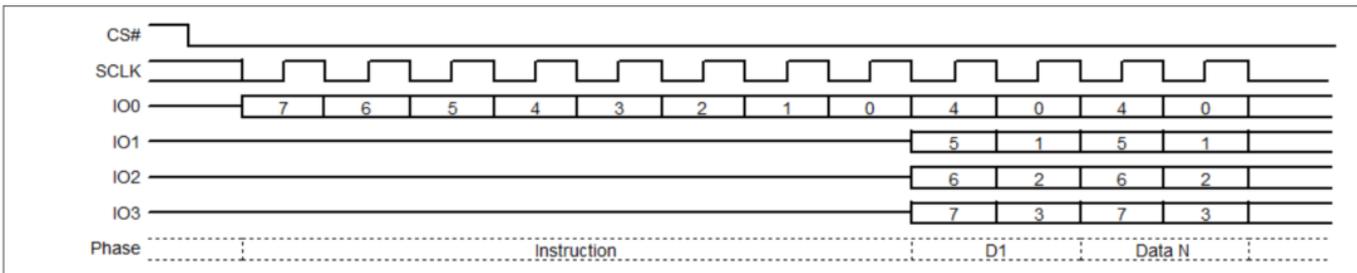


图 30 读取四线识别 (RDQID) 指令序列四线模式

### 8.2.3 读取串行闪存设备可发现的参数(RSFDP 5Ah)

该指令是通过在 SI 上移位指令代码“5Ah”来启动的，后跟一个 24 位 (3 字节) 地址或 32 位 (4 字节) 地址 (取决于 CR2V[0] 的当前地址长度配置)，然后是 CR3V[3:0] 中的可变读延迟配置的读延迟 (虚拟周期) 置位数。

然后，SFDP 字节从虚拟周期之后的 SCK 下降沿开始在 SO/IO1 上移出。SFDP 字节总是以 MSb 优先的方式移出。如果 24 位 (3 字节) 地址或 32 位 (4 字节) 地址设置为任何非零值，则 SFDP 空间中选定的位置是读取数据的起点。这使得能够对 SFDP 空间中的任何参数进行随机访问。在 SPI 模式下，RSFDP 指令最高支持 133 MHz。

可变读取延迟应设置为 8 个周期以符合 JEDEC JESD216 SFDP 标准。当器件从 Infineon 发货时，CR3NV 中的默认变量读取延迟设置为 8 个虚拟周期。然而，由于 RSFDP 指令使用与其他可变地址长度和延迟读取指令相同的执行方式，因此用户可以根据需要自由修改指令的地址长度和延迟。

通过读取 SFDP 指令支持连续 (顺序) 读取。

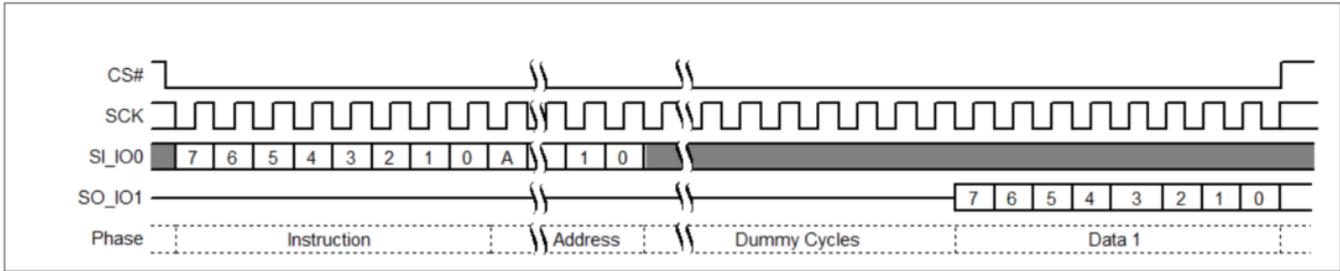


图 31 RSFD 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，返回数据在 IO0–IO3 上移出。

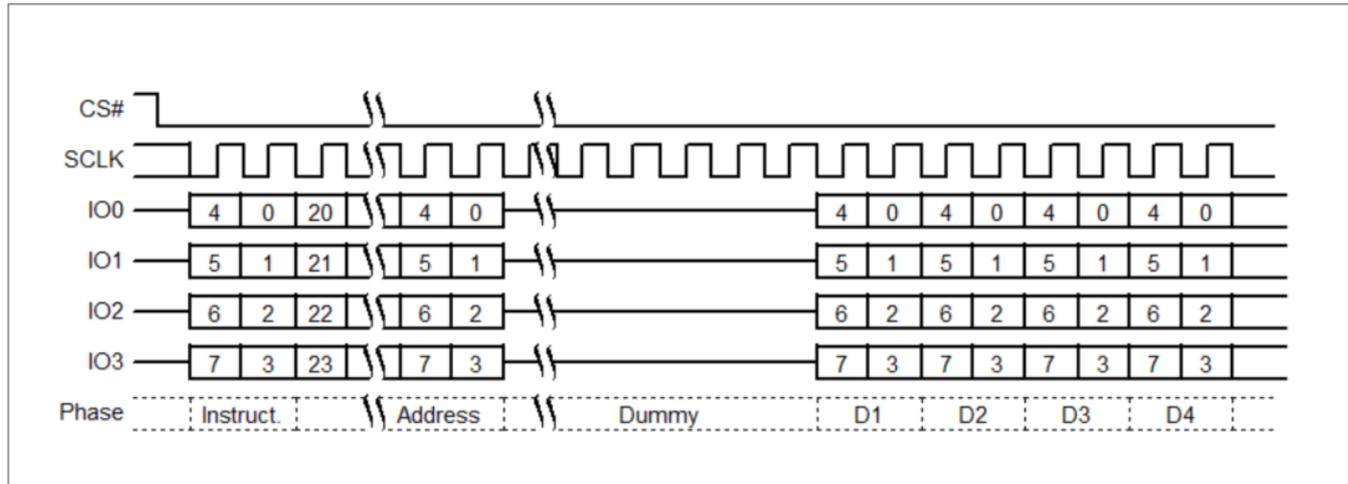


图 32 RSFD QPI 模式指令序列

**注：**  $A = \text{地址的MSb} = 23$  ( $CR2V[0] = 0$ )，或  $31$  ( $CR2V[0] = 1$  或指令  $13h$ )。

### 8.2.4 读取唯一ID (RUID 4Bh)

读标识 (RUID) 指令提供读访问/访问工厂置位只读 64 位数字，该数字对于每个器件都是唯一的。

RUID 指令在 SI 上移位，后跟 4 个虚字节或 16 个虚字节 QPI (32 个时钟周期)。该延迟周期 (即虚拟字节) 允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内，IO0–IO3 上的数据值是“不关心的”，并且可能是高阻态。然后，8 个字节的唯一 ID 将在 SO/IO1 上按顺序移出。

如果继续将输出移到定义的唯一 ID 地址空间的末尾之外，将会提供未定义的数据。在数据输出期间，随时将 CS 驱动至逻辑高状态即可终止 RUID 指令序列。

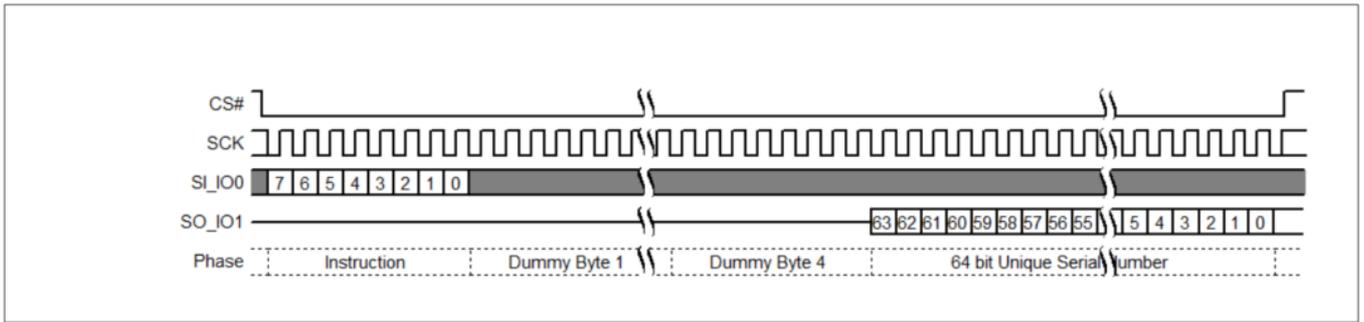


图 33 读取唯一 ID (RUID) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，返回数据在 IO0–IO3 上移出。

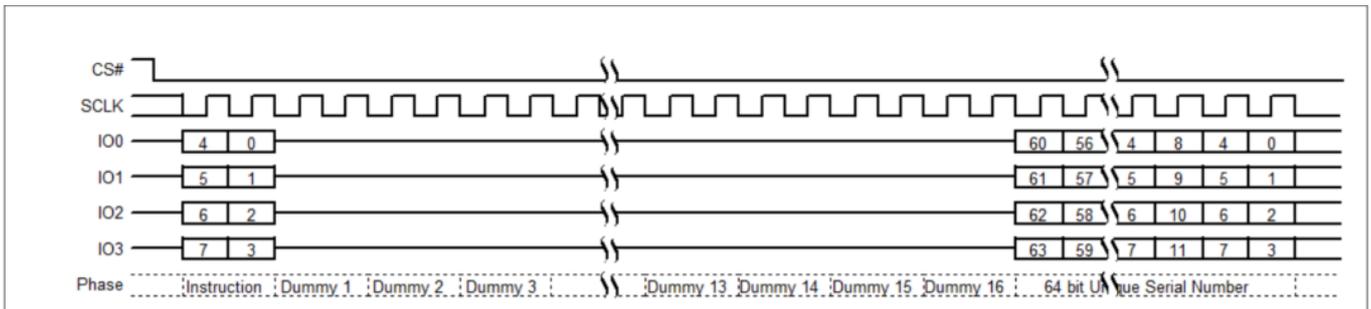


图 34 读取唯一 ID (RUID) QPI 模式指令

## 8.3 寄存器访问命令

### 8.3.1 读取状态寄存器 1 (RDSR1 05h)

读取状态寄存器 1 (RDSR1) 指令允许从 SO/IO1 读取状态寄存器 1 的内容。

状态寄存器 1 (SR1V) 内容的易失性版本可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。通过提供八个时钟周期的倍数，可以连续读取状态寄存器 1。每读取八个周期就会更新一次状态。

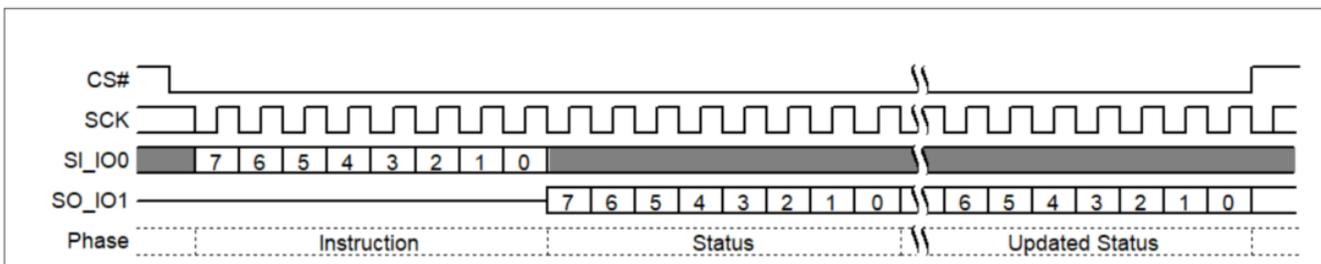


图 35 读取状态寄存器 1 (RDSR1) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，返回数据在 IO0–IO3 上移出。在 QPI 模式下，读取状态寄存器可支持高达 108 MHz 的时钟频率。要在 108 MHz 以上读取状态寄存器 1，请使用读取任意寄存器指令，请参阅“[读取任意寄存器 \(RDAR 65h\)](#)”。

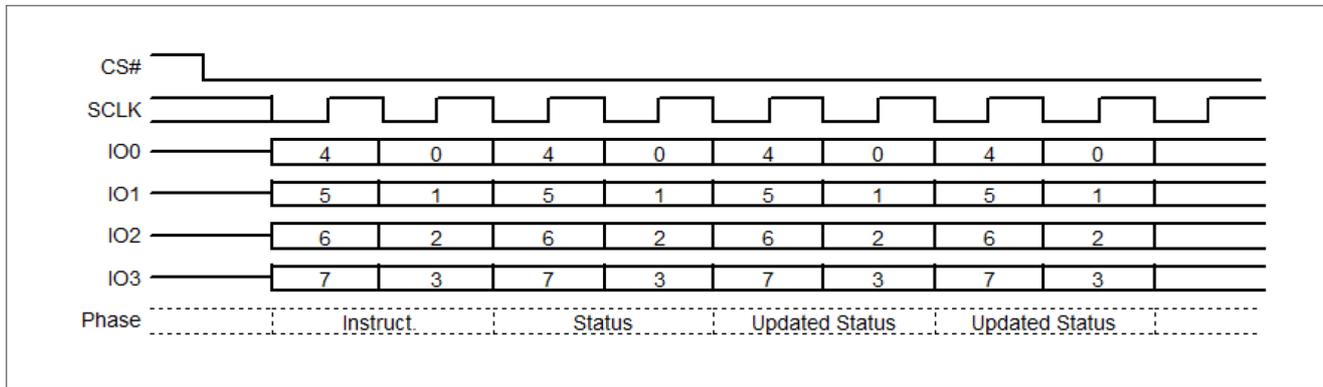


图 36 读取状态寄存器 1 (RDSR1) QPI 模式指令

### 8.3.2 读取状态寄存器 2 (RDSR2 07h)

读取状态寄存器 2 (RDSR2) 指令允许从 SO/IO1 读取状态寄存器 2 的内容。

易失性状态寄存器 2 SR2V 的内容可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。通过提供八个时钟周期的倍数，可以连续读取状态寄存器 2。每读取八个周期就会更新一次状态。

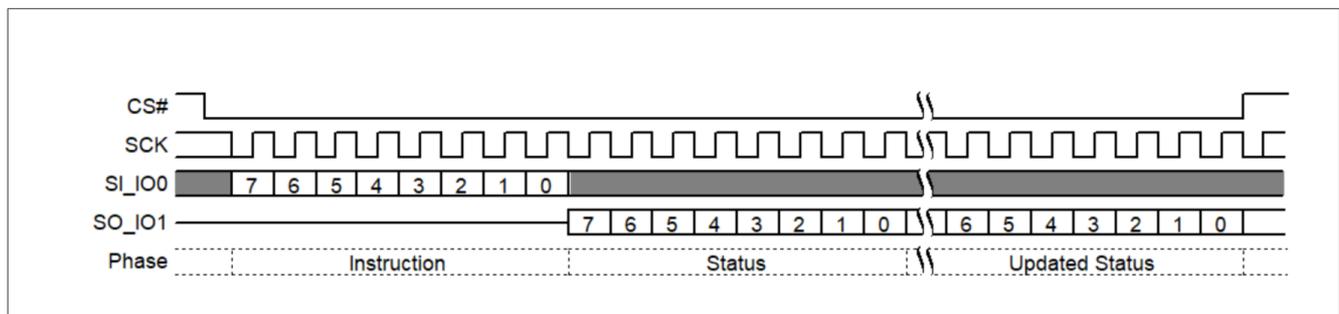


图 37 读取状态寄存器寄存器 2 (RDSR2) 指令

在 QPI 模式下，状态寄存器 2 可以通过读取任意寄存器指令读取，参见“[读取任意寄存器 \(RDAR 65h\)](#)”。

### 8.3.3 读取配置寄存器 (RDCR1 35h) (RDCR2 15h) (RDCR3 33h)

读取配置寄存器 (RDCR1、RDCR2、RDCR3) 指令允许从 SO/IO1 读取易失性配置寄存器 (CR1V、CR2V、CR3V) 内容。

通过提供八个时钟周期的倍数，可以连续读取 CR1V、CR2V 和 CR3V。配置寄存器内容可随时读取，即使在编程、擦除或写入操作正在进行时也是如此。要以更高的频率读取配置寄存器 1、2 和 3，请使用读取任意寄存器指令，请参阅“[读取任意寄存器 \(RDAR 65h\)](#)”。

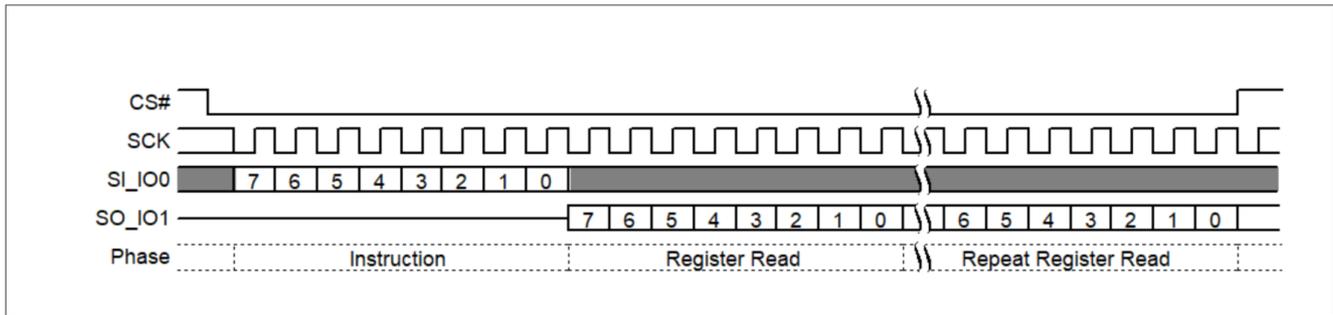


图 38 读取配置寄存器 (RDCR1) (RDCR2) (RDCR3) 指令序列

在 QPI 模式下，可以通过读取任意寄存器指令读取配置寄存器 1、2 和 3，请参阅“[读取任意寄存器 \(RDAR 65h\)](#)”。

### 8.3.4 写入寄存器 (WRR 01h)

写入寄存器 (WRR) 指令允许将新值写入状态寄存器 1、配置寄存器 1、配置寄存器 2 和配置寄存器 3。在器件接受写入寄存器 (WRR) 指令之前，必须接收写入使能 (WREN) 或易失性寄存器写入使能 (WRENV) 指令。成功解码写入使能 (WREN) 指令后，器件将置位状态寄存器中的写入使能锁存器 (WEL)，以实现使能非易失写操作，并将以下 WRR 指令中的值定向到非易失 SR1NV、CR1NV、CR2NV 和 CR3NV 寄存器。成功解码易失性寄存器的写入使能 (WRENV) 指令后，器件将以下 WRR 指令中的值定向到易失性 SR1V、CR1V、CR2V 和 CRV3 寄存器。

通过在 SI/I/O0 上移位指令和数据字节来输入写寄存器 (WRR) 命令。状态寄存器的长度为一个数据字节。

由前面的 WREN 指令定向到非易失寄存器的 WRR 操作，首先擦除非易失性寄存器，然后新值编程为单个操作进行编程，然后将新的非易失值复制到寄存器的易失性版本。由前面的 WRENV 指令定向到易失性寄存器的 WRR 操作会更新易失性寄存器，而不影响相关的非易失性寄存器值。如果 WRR 操作失败，写入寄存器 (WRR) 指令将设置 P\_ERR 或 E\_ERR 位。请参阅“[状态寄存器 2 易失性 \(SR2V\)](#)”获取错误位的描述。器件会一直处于忙状态，直到使用清零、复位状态寄存器 (CLSR) 来清零、复位错误和 WIP 以返回待机状态。为将来保留的任何状态或配置地址必须写为“0”。

锁存第八、第十六、第二十四或第三十二位数据后，必须将 CS# 驱动至逻辑高电平状态。如果不是，则不会执行写寄存器 (WRR) 指令。如果在以下情况下 CS# 被驱动为高电平：

- 第8个周期则仅写入状态寄存器 1
- 第16个周期，状态 1 和配置 1 寄存器均被写入；
- 第24个周期状态1和配置1和2寄存器被写入；
- 第32个周期状态 1 和配置 1、2 和 3 寄存器被写入。

一旦 CS# 被驱动到逻辑高电平状态，就会启动自定时写寄存器 (WRR) 操作。当写寄存器 (WRR) 操作正在进行时，仍可读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时写寄存器 (WRR) 操作期间为“1”，完成时为“0”。当写寄存器 (WRR) 操作完成时，写使能锁 (WEL) 被置位为‘0’。

WRR 指令受到硬件和软件复位的保护，硬件复位和软件复位指令将被忽略，并且对 WRR 指令的执行没有影响。

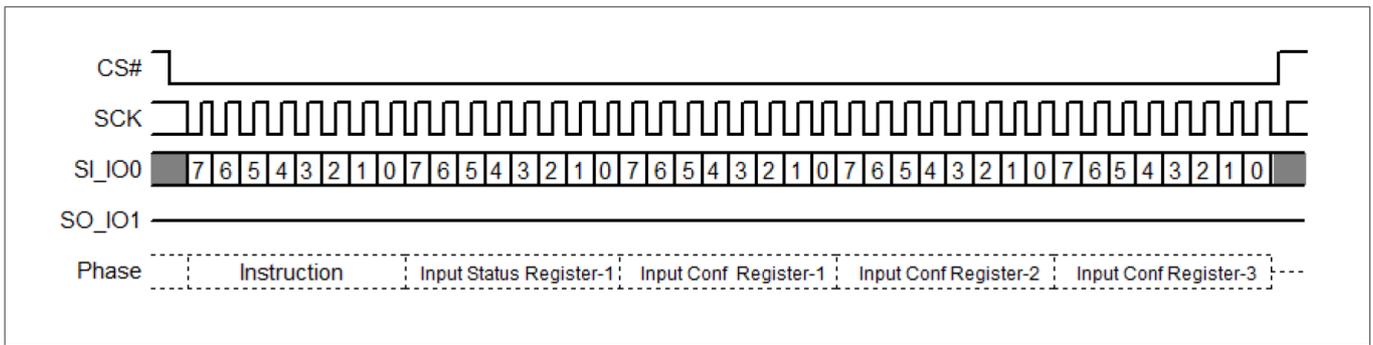


图 39 写入寄存器 (WRR) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-IO3 移入。

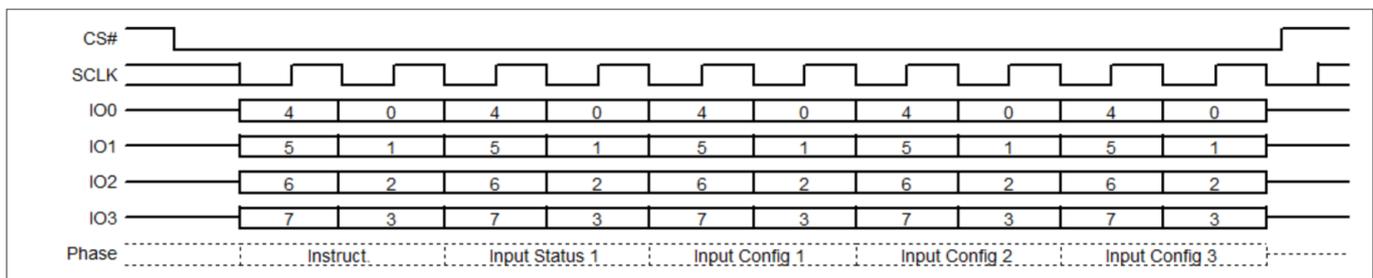


图 40 写入寄存器 (WRR) 指令序列 QPI 模式

写入寄存器 (WRR) 指令允许用户更改非易失性状态寄存器 1 或易失性状态寄存器 1 中的传统功能块保护位的值，以定义将被视为只读的区域的大小。

写任意寄存器 (WRR) 指令还允许用户将状态寄存器 Protect 0 (SRP0) 位设置为“1”或“0”。状态寄存器保护 0 (SRP0) 位和写保护 (WP#) 信号允许 BP 位受到硬件保护。

当状态寄存器保护 0 (SRP0 SR1V[7]) 位为“0”时，只要先前已发送 WREN 或 WRENV 指令，就可以写入状态寄存器，无论写保护 (WP#) 信号是否驱动为逻辑高电平或逻辑低电平状态。

当状态寄存器 Protect 0 (SRP0) 位设置为“1”时，需要考虑两种情况，具体取决于写保护 (WP#) 的状态：

- 如果写保护 (WP#) 信号被驱动为逻辑高电平状态，则可以写入状态和配置寄存器，前提是 WREN 或 WRENV 指令在 WRR 指令之前已发送。
- 如果写保护 (WP#) 信号被驱动为逻辑低电平状态，即使在 WRR 指令之前已经发送了 WREN 或 WRENV 指令，也不可能写入状态和配置寄存器。尝试写入状态和配置寄存器的操作将被拒绝，不接受执行，并且不提供任何错误指示。因此，受状态寄存器的旧功能块保护位保护的存储器区域中的所有数据字节也受到 WP# 的硬件保护。

WP#硬件保护可以提供：

- 将写保护 (WP#) 信号驱动至逻辑低电平状态后，通过设置状态寄存器 Protect 0 (SRP0) 位；
- 或者将状态寄存器 Protect 0 (SRP0) 位设置为“1”后，将写保护 (WP#) 信号驱动至逻辑低电平状态。

释放硬件保护的唯一方法是将写保护 (WP#) 信号拉至逻辑高状态。如果 WP# 一直处于高位，则 BP 位的硬件保护就永远不会被激活。

当四线模式启用 (CR1V[1] = 1) 或 QPI 模式启用 (CR2V[3] = 1) 时, 硬件保护被禁用, 因为 WP# 变为 IO2; 因此, 无法使用。

请参阅“[状态寄存器保护 \(SRP1, SRP0\)](#)”, 请参阅显示状态和配置保护的SRP和 WP# 控制的表格。

### 8.3.5 写入使能 (WREN 06h)

写入使能 (WREN) 指令将状态寄存器 1 (SR1V[1]) 的写入使能锁存器 (WEL) 位设置为“1”。写入使能锁存器 (WEL) 位必须通过发出写入使能 (WREN) 指令置位为“1”以进行写入、编程和擦除指令。

指令字节的第八位被锁存到 SI/IO0 上后, 必须将 CS# 驱动至逻辑高电平状态。在指令字节的第八位被锁存到 SI/IO0 后, 如果 CS# 没有被驱动到逻辑高电平状态, 则不会执行写入使能操作。

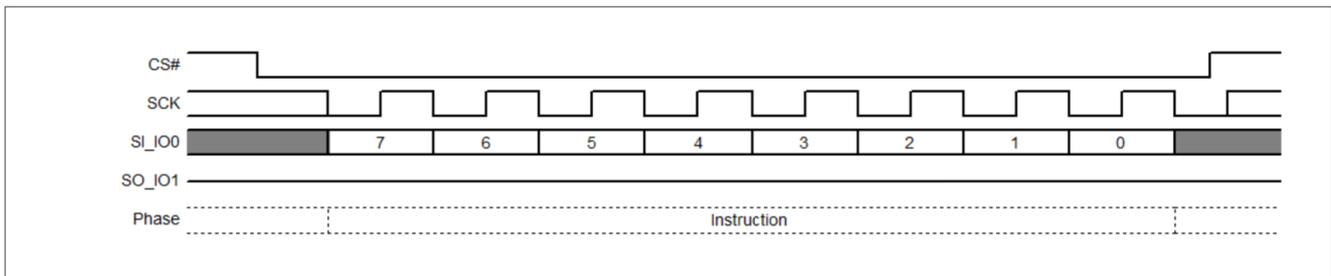


图 41 写入使能 (WREN) 指令序列

QPI模式也支持该指令。在 QPI 模式下, 指令在 IO0–IO3 上移入。

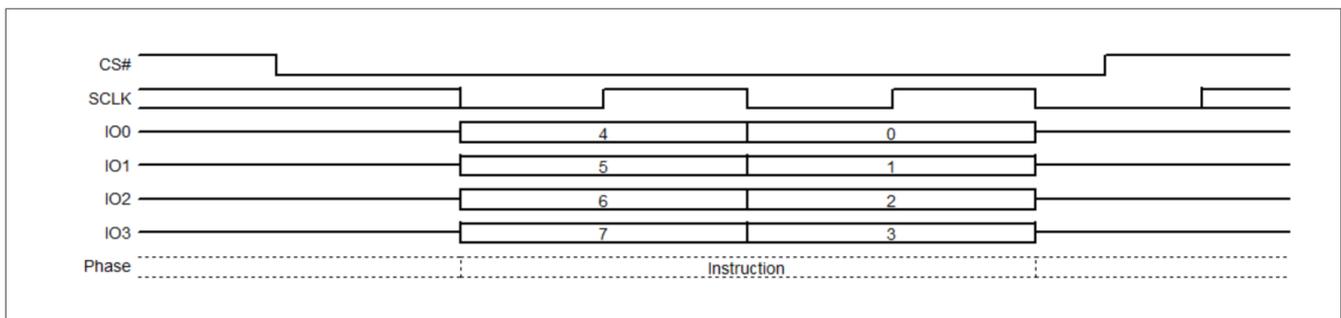


图 42 写入使能 (WREN) 指令序列 QPI 模式

### 8.3.6 写禁用 (WRDI 04h)

写禁用 (WRDI) 指令将状态寄存器 1 (SR1V[1]) 的写使能锁存器 (WEL) 位清除为“0”。

写使能锁存器 (WEL) 位可以通过发出写禁用 (WRDI) 指令来清除为“0”。(SECRE)、安全区域编程 (SECRP) 和其他指令, 要求 WEL 设置为“1”才能执行。用户可以使用 WRDI 指令来保护存储器区域, 防止意外写入, 从而可能损坏存储器内容。当 WIP 位 = 1 时, 嵌入操作期间会忽略 WRDI 指令。

指令字节的第八位被锁存到 SI/IO0 上后, 必须将 CS# 驱动至逻辑高电平状态。在 SI/IO0 上锁存指令字节的第八位后, 如果 CS 没有被驱动为逻辑高状态, 则写禁用操作将不会被执行。

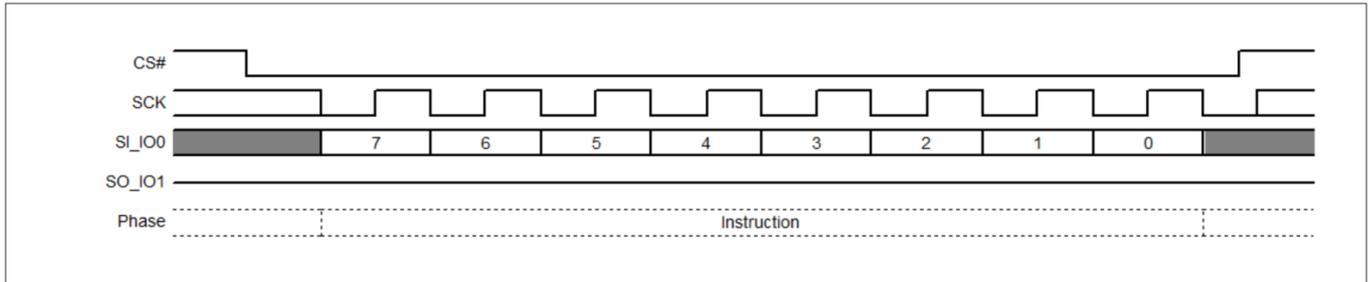


图 43 写禁用 (WRDI) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入。

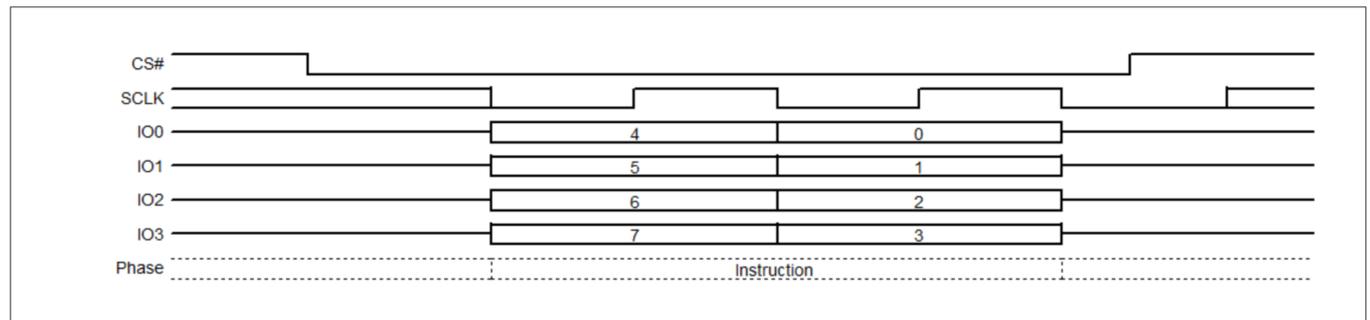


图 44 写禁用 (WRDI) 指令序列 QPI 模式

### 8.3.7 易失性寄存器的写入使能 (WRENV 50h)

“寄存器”中描述的易失性寄存器 SR1V、CR1V、CR2V 和 CR3V 在分页32, 可以通过发送 WRENV 指令后跟 WRR 指令来写入。这提供了更大的灵活性，可以快速更改系统配置和存储器保护方案，而无需等待典型的非易失位写入周期或影响状态或配置非易失寄存器位的耐用性。WRENV 指令不会设置位写使能 Latch (WEL) 位，WRENV 仅用于指示后面的 WRR 指令更改易失性状态和配置寄存器位值。

指令字节的第八位被锁存到 SI/IO0 上后，必须将 CS# 驱动至逻辑高电平状态。在指令字节的第八位被锁存到 SI/IO0 后，如果 CS# 没有被驱动到逻辑高电平状态，则不会执行写入使能操作。

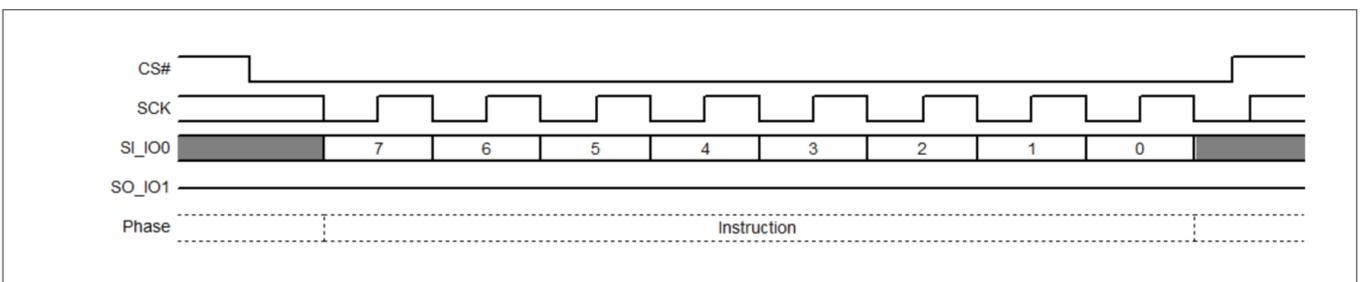


图 45 易失性寄存器的写使能 (WRENV) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入。

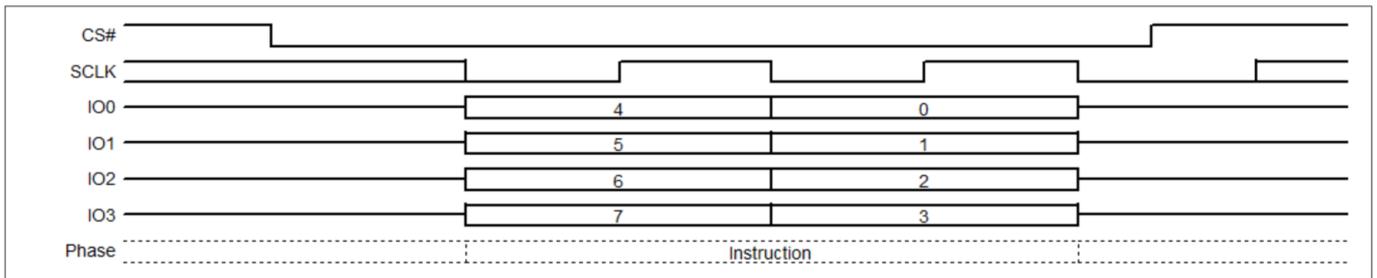


图 46 易失性寄存器的写使能 (WRENV) 指令序列 QPI 模式

### 8.3.8 清除状态寄存器 (CLSR 30h)

清零，复位状态寄存器指令将 WIP (SR1V[0])、WEL (SR1V[1])、P\_ERR (SR2V[5]) 和 E\_ERR (SR2V[6]) 位清除为“0”。在执行清零，复位状态寄存器指令之前，无需置位 WEL 位。即使器件保持忙且 WIP 置位为 1，清零，复位状态寄存器指令也会被接受，因为当任一故障位为置位时器件确实保持忙。

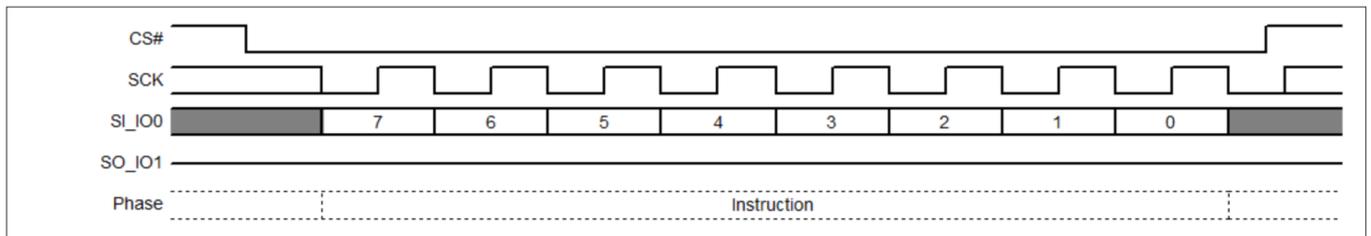


图 47 清零，复位状态寄存器 (CLSR) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 I00-I03 上移入。

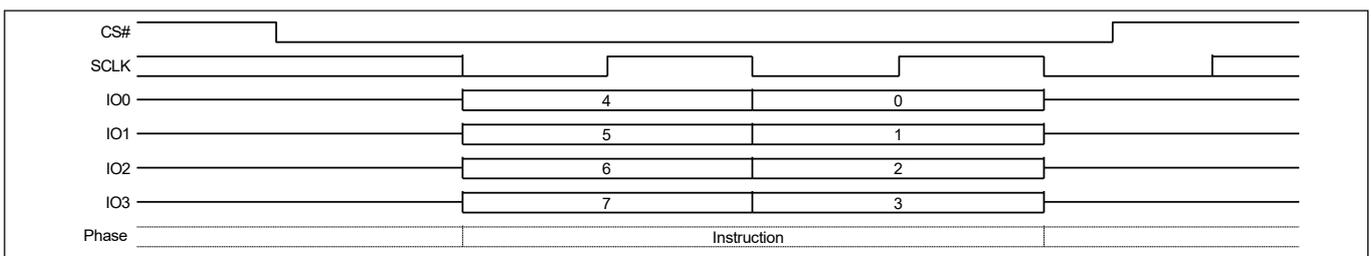


图 48 清零，复位状态寄存器 (CLSR) QPI 模式

### 8.3.9 编程 DLRNV (PDLRNV 43h)

在器件接受编程 DLRNV (PDLRNV) 指令之前，器件必须发出 Write 使能 (WREN) 指令并对其进行解码。成功写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 PDLRNV 操作。

PDLRNV 命令通过在 SI/I00 上移位指令和数据字节来输入。

锁存第八 (8th) 位数据后，必须将 CS# 驱动至逻辑高状态。如果不是，则不会执行 PDLRNV 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PDLRNV 操作就会启动。当 PDLRNV 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。在自定时 PDLRNV 周期内，写入进度 (WIP) 位为“1”，完成时为 0。PDLRNV 操作可以报告状态寄存器的 P\_ERR 位中的编程错误。当 PDLRNV 操作完成后，写使能 Latch (WEL) 被置位为“0”。PDLRNV 指令的最大时钟频率为 133 MHz。

8 命令

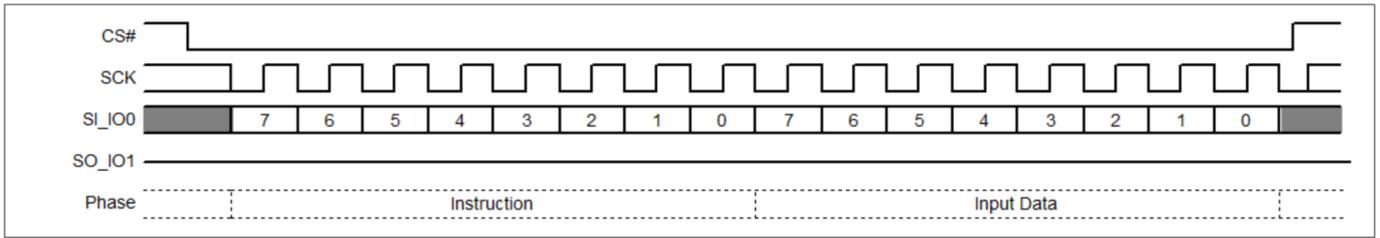


图 49 编程 DLRNV (PDLRV) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-IO3 移入。

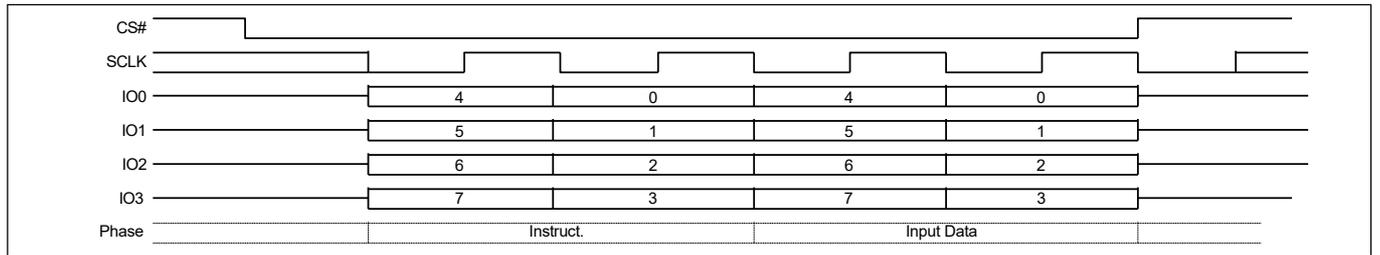


图 50 编程 DLRNV (PDLRV) 指令序列 - QPI 模式

### 8.3.10 写入 DLRV (WDLRV 4Ah)

在器件接受 Write DLRV (WDLRV) 指令之前，器件必须发出 Write 使能 (WREN) 指令并对其进行解码。成功解码写使能 (WREN) 指令后，器件将置位写使能锁存器 (WEL) 以使能 WDLRV 操作。

通过在 SI/IO0 上移位指令和数据字节来输入 WDLRV 命令。

锁存第八 (8th) 位数据后，必须将 CS# 驱动至逻辑高状态。如果不是，则不会执行 WDLRV 指令。一旦 CS# 被驱动到逻辑高电平状态，WDLRV 操作就会立即启动，不会有任何延迟。WDLRV 指令的最大时钟频率为 133 MHz。

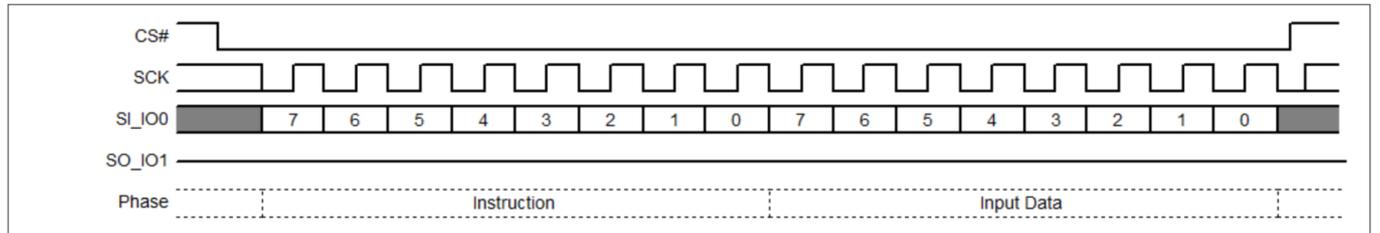


图 51 写入 DLRV (WDLRV) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-IO3 移入。

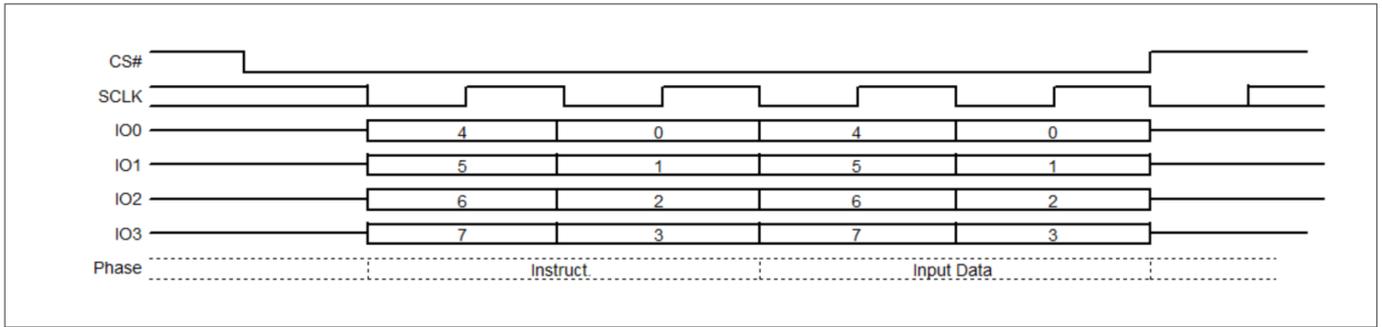


图 52 写入 DLRV (WDLRV) 指令序列 - QPI 模式

### 8.3.11 数据学习模式读取 (DLPRD 41h)

指令 41h 通过 SCK 信号的上升沿移入 SI/IO0，然后跟随一个虚拟周期。该延迟周期允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内，IO0–IO3 上的数据值是“无需关注的”，并且可能是高阻态。然后，8 位 DLP 在 SO/IO1 上移出。通过提供 8 个时钟周期的倍数，可以连续读取 DLP。DLPRD 指令的最大工作时钟频率为 133 MHz。

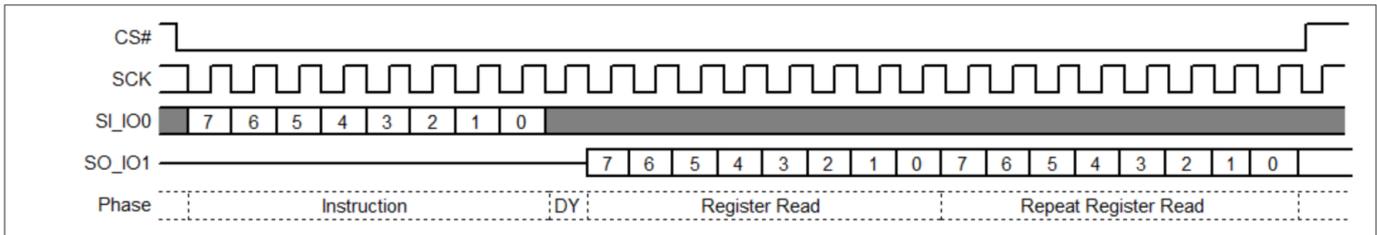


图 53 DLP 读取 (DLPRD) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令被移入并在 IO0–IO3 上返回数据。

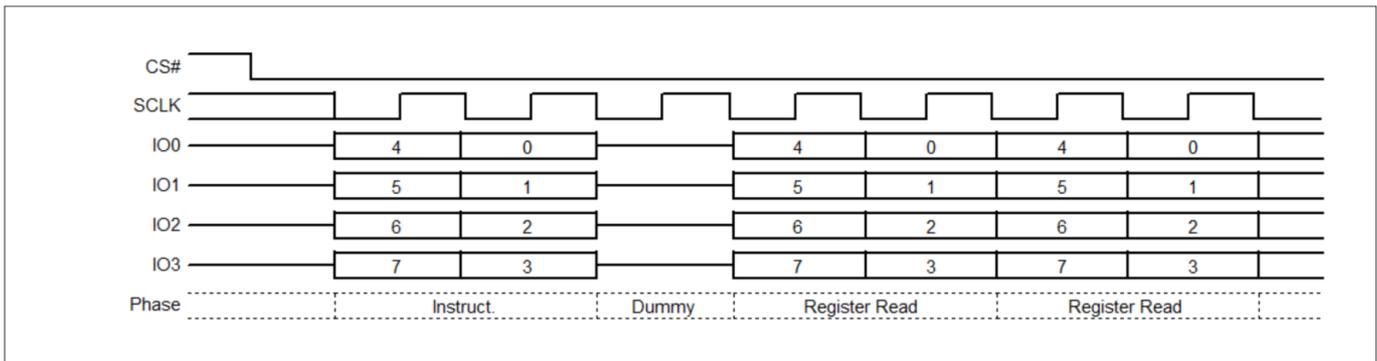


图 54 DLP 读取 (DLPRD) 指令序列 - QPI 模式

### 8.3.12 进入 4 字节地址模式 (4BEN B7h)

输入 4 字节地址模式 (4BEN) 指令将易失性地址长度状态 (ADS) 位 (CR2V[0]) 设置为 1，以将所有 3 字节地址指令更改为需要 4 字节地址。该指令不会仅影响 4 字节指令，该指令仍将继续要求 4 字节地址。

要返回到 3 字节地址模式，4BEX 指令会清除易失性地址长度位 CR2V[0] = 0)。WRAR 指令也可以清零，复位易失性地址长度位 CR2V[0] = 0)。另外，如果非易失地址长度位 CR2NV[1] = 0，则可以使用硬件或软件复位返回到 3 字节地址模式。

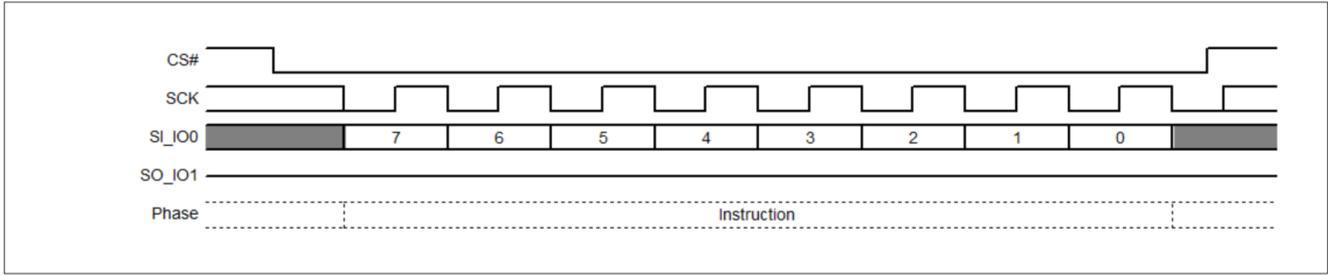


图 55 输入 4 字节地址模式 (4BEN B7h) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。

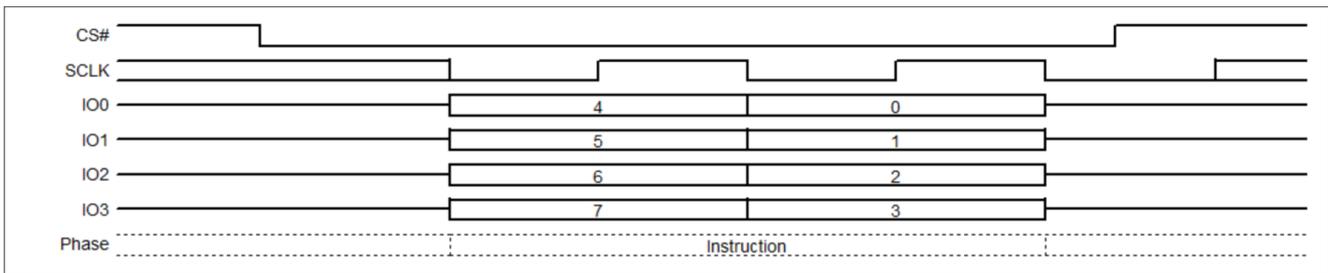


图 56 进入4字节地址QPI模式

### 8.3.13 退出 4 字节地址模式 (4BEX E9h)

退出 4 字节地址模式 (4BEX) 指令将易失性地址长度状态 (ADS) 位 (CR2V[0]) 设置为 0，以将大多数 4 字节地址指令更改为需要 3 字节地址。该指令不会仅影响 4 字节指令，该指令仍将继续要求 4 字节地址。

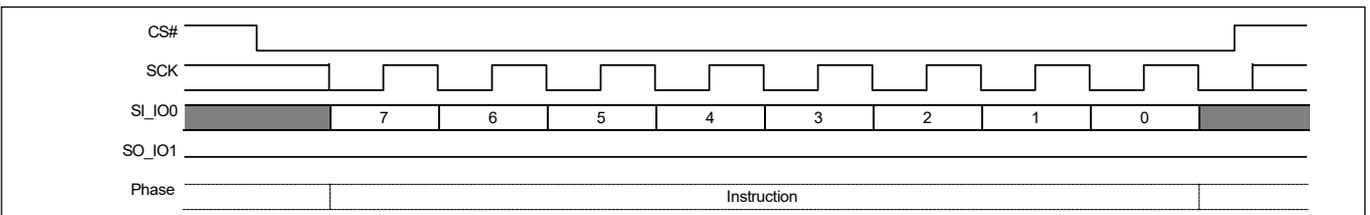


图 57 退出 4 字节地址模式 (4BEX E9h) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。

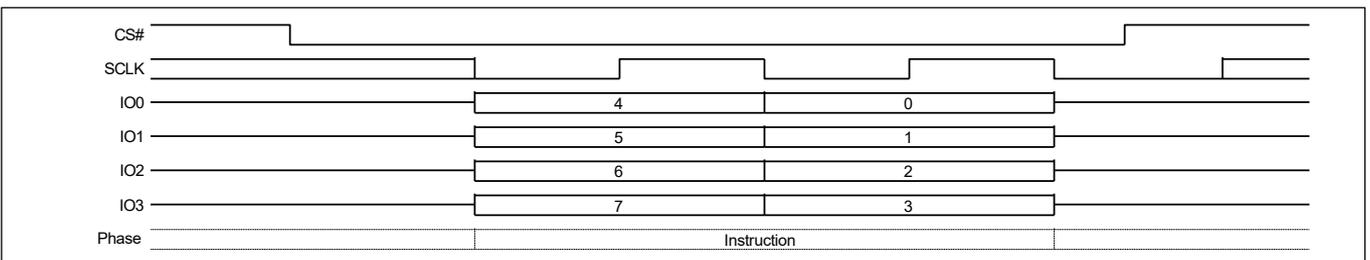


图 58 退出 4 字节地址 QPI 模式

### 8.3.14 读取任意寄存器 (RDAR 65h)

读取任意寄存器 (RDAR) 指令提供了一种读取器件寄存器的方法。该指令后面跟着一个 3 或 4 字节地址（取决于地址长度配置 CR2V[0]），后面跟着 CR3V[3:0] 的多个延迟（虚拟）周期置位。然后返回所选寄存器的内容。如果继续读取/访问，则返回相同地址的寄存器内容，直到指令终止 - 每个读取任意寄存器指令只读取一个寄存器。

读取未定义的位置会提供未定义的数据。

RDAR 指令可以在嵌入式操作期间使用来读取状态寄存器 1 (SR1V)。

RDAR 指令不用于读取作为更大阵列：例如 IBLAR 寄存器。需要单独的指令来选择和读取所访问阵列中的位置。

如果通过将 IRP[2] 编程为 0 来选择 IRP 密码保护模式，则 RDAR 指令将从 PASS 寄存器位置读取无效数据。

**表 44 寄存器地址映射**

Byte address (Hex)	Register name	Description
000000	SR1NV	Non-volatile Status and Configuration Registers Reading of Non-volatile Status and Configuration Registers actually reads the volatile registers
000001	N/A	
000002	CR1NV	
000003	CR2NV	
000004	CR3NV	
000005	NVDLP	
...	N/A	N/A
000020	PASS[7:0]	Non-volatile Password Register
000021	PASS[15:8]	
000022	PASS[23:16]	
000023	PASS[31:24]	
000024	PASS[39:32]	
000025	PASS[47:40]	
000026	PASS[55:48]	
000027	PASS[63:56]	
...	N/A	N/A
000030	IRP[7:0]	Non-volatile
000031	IRP[15:8]	IRP Register
...	N/A	
000039	PRPR[A15:A8]	Pointer Region Protection Register A15:A8
00003A	PRPR[A23:A16]	Pointer Region Protection Register A23:A16
00003B	PRPR[A31:A24]	Pointer Region Protection Register A31:A24
...	N/A	N/A
800000	SR1V	Volatile Status and Configuration Registers

(表格续下页.....)

表 44 寄存器地址映射 (续)

Byte address (Hex)	Register name	Description
800001	SR2V	
800002	CR1V	
800003	CR2V	
800004	CR3V	
800005	VDLP	
...	N/A	N/A
800040	PR	Volatile Protection Register
...	N/A	N/A

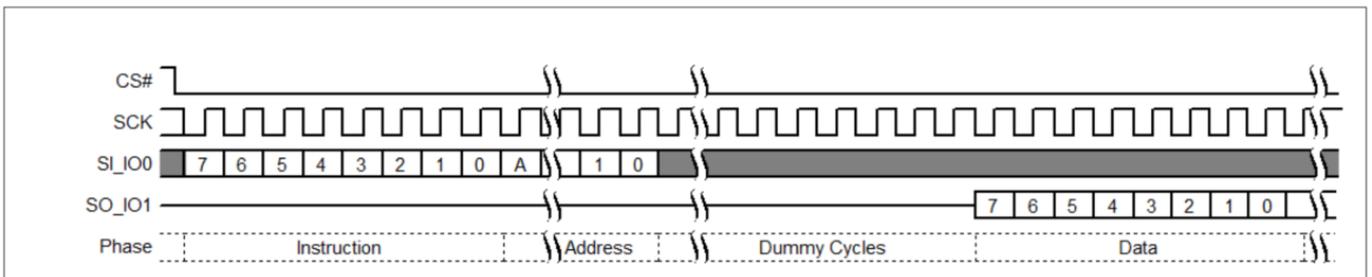


图 59 读取任意寄存器命令序列

QPI模式也支持该指令。在 QPI 模式下，指令和地址被移入并在 IO0–IO3 上返回数据。

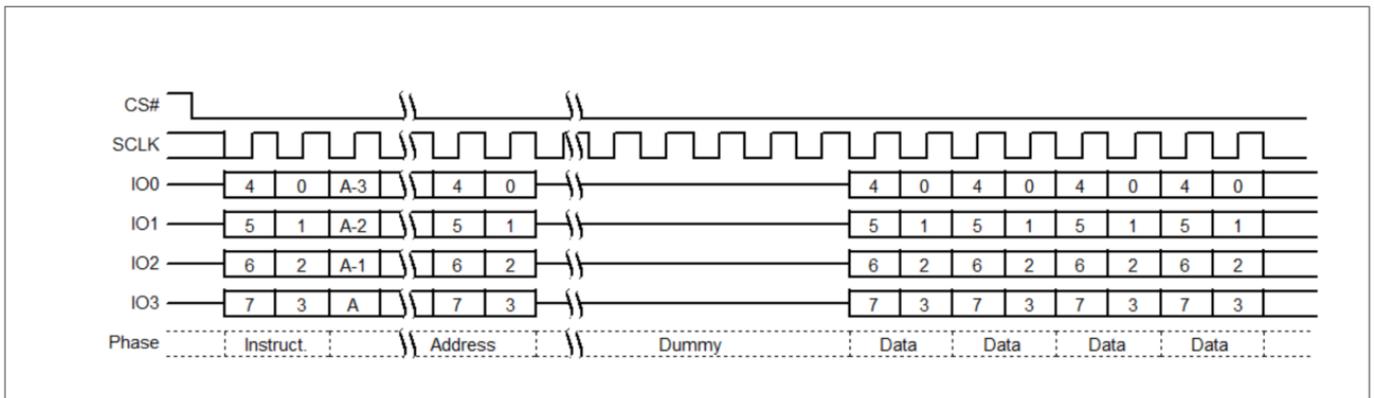


图 60 读取任意寄存器，QPI 模式，指令序列

注： A = 地址的 MSb = 23 (对于地址长度 CR2V[0] = 0) ， 或 31 (对于 CR2V[0] = 1) 。

### 8.3.15 写入任意寄存器 (WRAR 71h)

写任意寄存器 (WRAR) 指令提供了一种写入任何器件寄存器的方法 - 非易失或易失性。该指令后面跟着一个 3 或 4 字节地址 (取决于地址长度配置 CR2V[0])，然后是要写入所选地址寄存器的 1 字节数据。

S25FL256L 器件必须具有 4 字节寻址启用的 (CR2V[0] = 1) 才能设置指针区域保护寄存器 PRPR (请参阅“[指针区域保护寄存器 \(PRPR\)](#)”)。

在器件接受写任意寄存器指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR2V 中的 P\_ERR 和 E\_ERR 位来确定操作期间是否发生任何错误。

一些寄存器混合了多种位类型，并且有单独的规则来控制哪些位可以被修改。有些位是只读的，有些是 OTP 的。

只读位永远不会被修改，并且 WRAR 指令数据字节中的相关位将被忽略，而无需设置编程或擦除操作错误指示 (SR2V 中的 P\_ERR 或 E\_ERR)。因此，WRAR 数据字节中这些位的值并不重要。

OTP 位只能被编程为与其默认状态相反的位。将 OTP 位写回到其默认状态的操作将被忽略，并且不会发生任何错误。

由 WRAR 数据改变的非易失位需要更新非易失寄存器写入时间 ( $t_w$ )。更新过程涉及到对非易失寄存器位的编程操作。如果更新的擦除部分或编程部分失败，SR2V 中的相关故障位和 SR1V 中的 WIP 将置位为 1。

由 WRAR 数据改变的易失性位需要更新易失性寄存器写入时间 ( $t_{CS}$ )。状态寄存器 1 可以被重复读取 (轮询) 到监测器的正在写入 (WIP) 位 (SR1V[0])，以确定寄存器写入何时完成，并且状态寄存器 2 用于错误位 (SR2V[6,5]) 以确定

是否写入失败。如果写失败，清零，复位状态指令用于清零，复位错误状态并使器件返回待机状态。当 WRAR 操作完成时，写使能 (WEL) 被置位为 '0'。

然而，PR 寄存器不能通过 WRAR 指令写入。PR 寄存器内容被视为只读位。只有 NVLOCK 位写 (PRL) 指令可以写入 PR 寄存器。

用于写入 SR1NV、CR1NV、CR2NV 和 CR3NV 的 WRAR 指令受到硬件和软件复位的保护，所有其他寄存器的 WRAR 指令均受到硬件或软件复位的保护。

WRAR 指令序列和行为与 pp 或 4PP 指令相同，仅提供单个字节的数据。请参阅“[分页编程 \(第 02h 或 4PP 12H\)](#)”。

寄存器的地址映射与 [表 44](#) 所示相同。

### 8.3.16 配置突发长度 (SBL 77h)

设置位 突发长度 (SBL) 指令用于配置回卷突发特点。回卷突发与四线 I/O 读取和 DDR 四线 I/O 读取结合使用，在 QIO 或 QPI 模式下，访问固定长度和对齐的数据。某些应用编程可以从此特性中受益，从而提高整体系统代码执行性能。突发回卷功能允许使用缓存的应用程序首先从关键地址开始用指令或数据填充缓存行，然后在固定长度 (8/16/32/64 字节) 的数据内填充缓存行的其余部分，而无需发出多个读取命令。

置位突发长度指令通过驱动 CS 引脚低电平，然后移位指令代码“77h”，随后是 24 个虚拟位和 8 个“回卷长度位 (WL[7]-WL[0])”来启动。指令序列如图所示 [图 61](#) 和 [图 62](#)。换行长度位 WL[7] 和下面的半字节 WL[3:0] 不被使用。有关 WL[6]-WL[4] 的编码，请参见配置寄存器 3 (CR3V[6:4]) “[配置寄存器 3](#)”。

一旦 WL[6:4] 通过配置突发长度指令进行配置，所有以下“Quad I/O Read”指令将使用 WL[6:4] 设置来访问 8/16/32/64 字节数据部分。注意，配置配置 1 Quad 位 CR1V[1] 或配置配置 2 QPI 位 CR2V[3] 必须配置为 1，才能使用 Quad I/O 读取和配置突发长度指令。要退出“Wrap around”函数并返回到正常读取操作，应向置位 WL4 = 1 发出另一个带有 Wrap 指令的置位突发。上电后，硬件或软件复位 WL[6:4] 的值为 CR2NV[6:5] 中的默认值。使用 WRR 或 WRAR 指令将默认环绕长度设置在 CR2NV[6:2] 中。

设置突发长度 (SBL) 命令仅写入 CR3V[6:4] 位来启用或禁用回卷读取功能并设置回卷边界。SBL 指令不能用于设置 CR3V[3:0] 中的读取延迟。必须使用 WRAR 指令来设置 CR3V 或 CR3NV 中的读取延迟。

参见表 45 CR3V[6:5] 值为回卷边界和起始地址。当启用回卷读取特性时，相关读取指令从顺序读取直到指令结束变为按顺序读取一组字节内的回卷数据。

当换行模式未启用时（表 22 和表 25），执行无限长度的顺序读取。

当换行模式为启用时（表 22 和表 25）从读取命令提供的字节地址开始读取固定长度并对齐的 8、16、32 或 64 字节组，并在组对齐边界处回卷。

字节组的长度按 8、16、32 或 64 字节边界对齐。CR3V [6:5] 选择边界。参见表 45。

读取命令的起始地址选择字节组，返回的第一个数据是寻址的字节。然后按顺序读取字节，直到到达组边界的末尾。如果读取继续，地址将绕回到组的开头并继续按顺序读取。该回卷的读取序列持续到指令因 CS 返回高电平而结束。

**表 45 突发回卷序列示例**

CR3V value (Hex)	Wrap boundary (Bytes)	Start address (Hex)	Address sequence (Hex)
1X	Sequential	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
00	8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02, ...
00	8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01, ...
01	16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, ...
01	16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, ...
02	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, ...
02	32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, ...
03	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, ...
03	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D,, ...

通过使用 WRAR 指令将 CR3NV 编程为所需值，可以更改上电复位、硬件复位或软件复位默认突发长度。

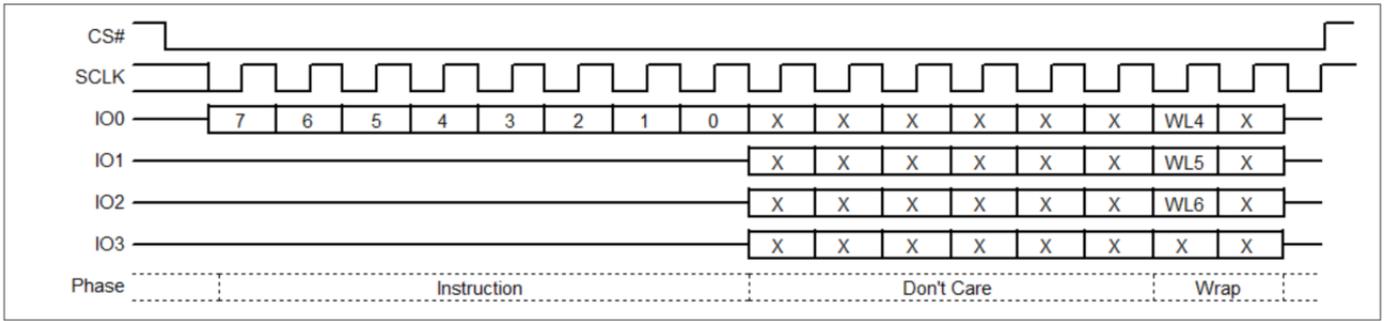


图 61 设置位突发长度指令序列四 I/O 模式

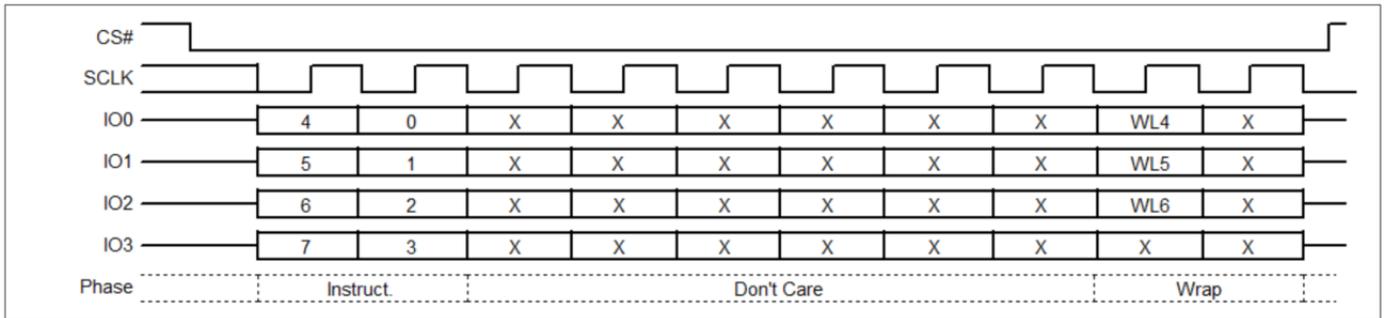


图 62 设置位突发长度指令序列 QPI 模式

### 8.3.17 进入 QPI 模式 (QPIEN 38h)

进入 QPI 模式 (QPIEN) 指令通过设置易失性 QPI 位 (CR2V[3] = 1) 来启用 QPI 模式。请参阅表 20。进入 QPI 模式所需的时间为  $t_{QEN}$ ，请参阅表 67，在  $t_{QEN}$  转换到 QPI 模式的时间内不允许执行任何其他指令。要返回 SPI 模式，需要 QPIEX 指令或写入寄存器 (CR2V[3] = 0)。如果非易失 QPI (CR2NV[3] = 0)，则复位、硬件或软件复位上电也将使器件返回 SPI 模式。见表 18。

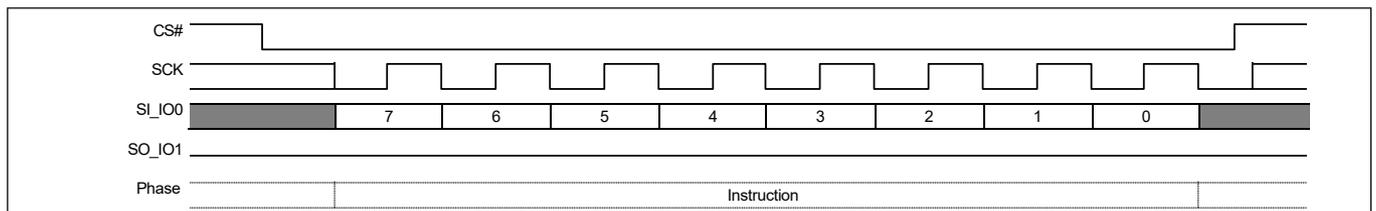


图 63 进入 QPI 模式 (QPIEN 38h) 指令序列

### 8.3.18 退出 QPI 模式 (QPIEX F5h)

退出 QPI 模式 (QPIEX) 指令通过设置易失性 QPI 位 (CR2V[3] = 0) 并返回模式来禁用 QPISPI 模式。请参阅表 16。退出 QPI 模式所需的时间为  $t_{QEX}$ ，请参阅表 64，在  $t_{QEX}$  转换时间内不允许执行任何其他指令以退出 QPI 模式。

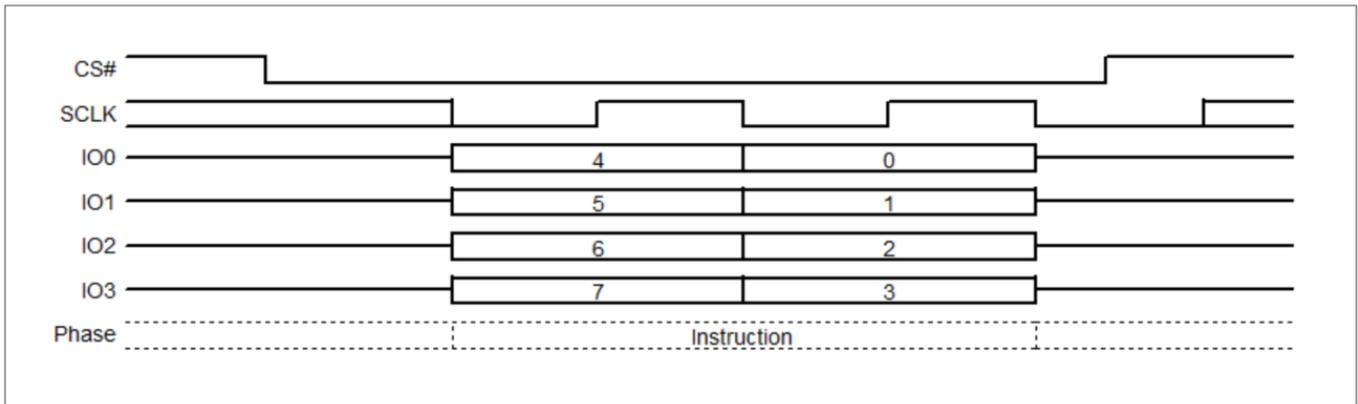


图 64 退出 QPI (QPIEX F5h) 指令序列

## 8.4 读取存储器阵列命令

闪存阵列的读取命令为上一代 SPI 兼容性或增强性能 SPI 提供了许多选项：

- 某些指令在 SCK 的每个上升沿传输地址或数据。这些称为单数据率指令 (SDR)。
- 某些 SDR 指令在每个 SCK 下降沿传输一位数据，并在每个 SCK 上升沿返回 1 位数据。这些称为单宽度指令。
- 某些 SDR 指令在每个 SCK 上升沿传输 2 位或 4 位地址和数据。这些被称为 2 位双 I/O、4 位四 I/O 和 QPI。QPI 还在每个上升沿传输 4 位指令。
- 有些指令在 SCK 的上升沿和下降沿都传输地址和数据。这些称为双倍数据率 (DDR) 指令。
- 每个 SCK 边沿有 4 位地址或数据的 DDR 指令。这些被称为四线 I/O DDR 和 QPI DDR，用于每边传输 4 位。

所有这些命令 (QPI 读取除外) 都以指令代码开始，该指令代码在每个 SCK 上升沿传输一位。QPI 读在每个 SCK 上升沿传输 4 位指令。该指令后跟

在 SDR 或 DDR 上传输 3 或 4 字节地址。每个时钟边沿传输 2 位或 4 位地址或数据的指令称为多 I/O (MIO) 指令。对于 256 Mb 或更高密度的 FL-L 系列器件，传统的 SPI 3 字节地址无法直接寻址存储器阵列中的所有位置。提供单独的 4 字节地址读取指令用于访问/访问整个地址空间。这些设备可以配置为使用传统的 3 字节地址指令从主机制系统获取 4 字节地址。传统指令的 4 字节地址模式通过将配置寄存器 2 中的地址长度位设置为“1”来激活。在 S25FL128L 中，4 字节地址指令中 A23 上方的高位地址位或使用 4 字节地址模式的指令不相关，并且被忽略，因为波纹/快闪式存储器阵列的大小仅为 128 Mb。

双 I/O、四 I/O 和 QPI 指令提供了性能改进选项，该选项由在地址位之后发送的模式位控制。模式位指示当前读取结束后的指令是否是另一个相同类型的读取，而在读取开始时没有指令。这些模式位提供了在进行一系列双或四读取访问时消除指令周期的选项。

某些指令需要地址或模式位后面的延迟周期，以允许有时间访问/访问存储器阵列 - 读取延迟。延迟或读取等待时间周期传统上被称为虚拟周期。存储器会忽略虚拟周期，因此主机在这些周期内提供的任何数据都是“不关心的”，并且主机也可能在虚拟周期内将 SI 信号保持在高阻态。当使用 MIO 指令时，主机必须在最后一个虚拟周期结束之前停止驱动 IO 信号（输出为高阻态）。当使用 DDR 指令时，主机不得在任何虚拟周期内驱动 I/O 信号。虚拟周期的数量随通过配置寄存器 2 (CR3V[3:0]) 延迟代码选择的 SCK 频率或性能选项而变化。虚拟周期是从 SCK 下降沿到下一个 SCK 下降沿进行测量的。

SPI 输出传统上在每个 SCK 的下降沿被驱动为一个新值。零虚拟周期意味着返回数据由存储器在主机停止驱动地址或模式位的同一 SCK 下降沿驱动。

DDR 指令可以选择性地在所有数据输出上在数据开始之前的虚拟周期中具有由存储器驱动的 8 个边缘数据学习模式 (DLP)。DLP 可以帮助主机存储控制器确定 SCK 到数据边缘的相位差，以便存储控制器可以捕获数据眼中心的数据。

当在较高的 SCK 频率 (>50 MHz) 下使用 SDR I/O 指令时，应选择提供 1 个或多个虚拟周期的 LC，以便在存储器开始驱动数据之前为主机提供额外的时间停止驱动，从而最大限度地减少 I/O 驱动器冲突。当使用启用了 DLP 的 DDR I/O 指令时，应选择提供 5 个或更多虚拟周期的 LC，以便在存储器开始驱动 4 周期 DLP 之前，允许主机有 1 个周期的额外时间停止驱动。

当数据返回期间的任何时候 CS# 返回高电平时，每个读取命令都结束。在数据返回之前的模式或虚拟周期内，CS 不得返回高电平，因为这可能会导致模式位被错误捕获；从而不确定器件是否保持连续读取模式。

### 8.4.1 读取 (读取 03h 或 4READ 13h)

指令

- 03h (CR2V[0]=0) 后跟 3 字节地址 (A23-A0) 或
- 03h (CR2V[0]=1) 后跟 4 字节地址 (A31-A0) 或
- 13h 后面跟着 4 字节地址 (A31-A0)

然后，位于给定地址的存储器内容将通过 SO/IO1 移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

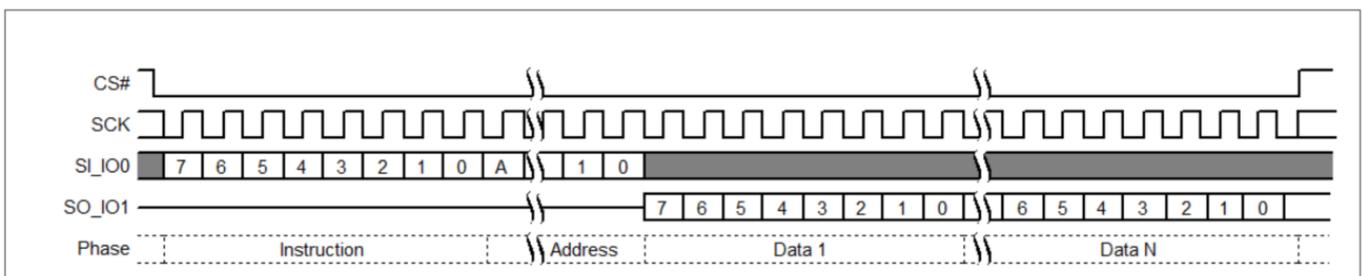


图 65 读取命令序列

**注：** A = 地址的 MSb = 23 (CR2V[0]=0)，或 31 (CR2V[0]=1 或指令 13h)。

### 8.4.2 快速读取 (FAST\_READ 0Bh 或 4FAST\_READ 0Ch)

指令

- 0Bh (CR2V[0]=0) 后跟 3 字节地址 (A23-A0) 或
- 0Bh (CR2V[0]=1) 后跟 4 字节地址 (A31-A0) 或
- 0Ch 后面跟着 4 字节地址 (A31-A0)

该地址后面是虚拟周期，具体取决于配置寄存器 CR3V[3:0] 中的延迟代码置位。虚拟周期为器件内部

电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，SO/IO1 上的数据值是“无关”的并且可能为高阻态。然后，位于给定地址的存储器内容将通过 SO/IO1 移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

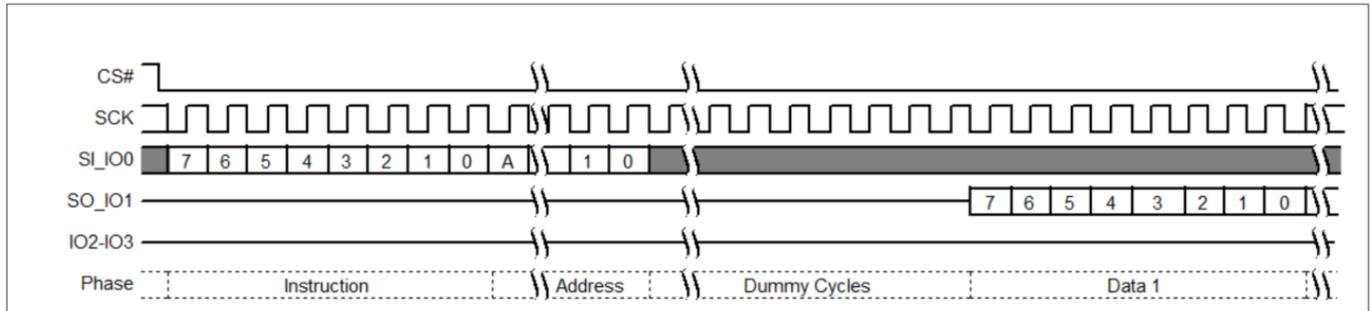


图 66 快速读取 (FAST\_READ) 指令序列

注： A = 地址的 MSb = 23 (CR2V[0] = 0)，或 31 (CR2V[0] = 1 或指令 0Ch)。

### 8.4.3 双线输出读取 (DOR 3Bh 或 4DOR 3Ch)

指令

- 3Bh (CR2V[0] = 0) 后跟 3 字节地址 (A23-A0) 或
- 3Bh (CR2V[0] = 1) 后跟 4 字节地址 (A31-A0) 或
- 3Ch 后面跟着 4 字节地址 (A31-A0)

该地址后面是虚拟周期，具体取决于配置寄存器 CR3V[3:0] 中的延迟代码置位。虚拟周期为器件内部电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，IO0 (SI) 和 IO1 (SO) 上的数据值“不受关注”并且可能为高阻态。

然后，通过 IO0 (SI) 和 IO1 (SO)，将给定地址处的存储器内容每次移出两位。在 SCK 信号的下降沿，以 SCK 频率移出两个位。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

对于双输出读指令，在最后一个地址位移入 IO0 (SI) 之后，在数据开始移出 IO0 和 IO1 之前，需要一些虚拟周期。

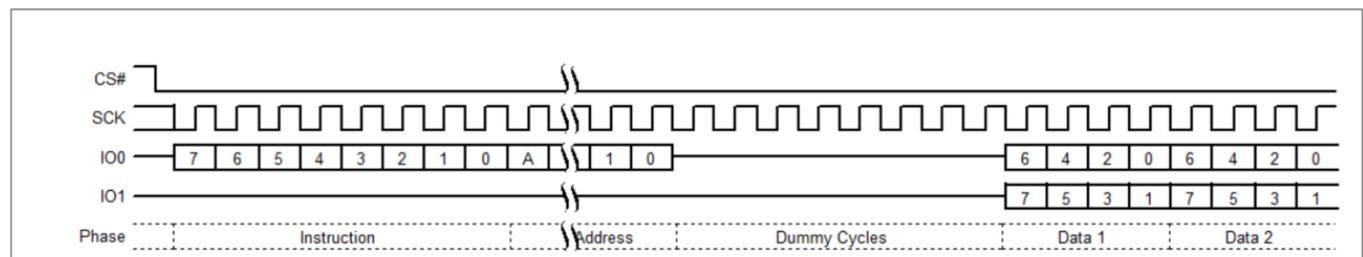


图 67 双输出读取命令序列

## 8 命令

注： A = 地址的MSb = 23 (CR2V[0] = 0) ， 或31 (CR2V[0] = 1) 或指令3Ch。

## 8.4.4 四线输出读取 (QOR 6Bh 或 4QOR 6Ch)

## 指令

- 6Bh (CR2V[0] = 0) 后跟 3 字节地址 (A23-A0) 或
- 6Bh (CR2V[0] = 1) 后跟 4 字节地址 (A31-A0) 或
- 6Ch 后面跟着 4 字节地址 (A31-A0)

该地址后面是虚拟周期，具体取决于配置寄存器 CR3V[3:0] 中的延迟代码置位。虚拟周期为器件内部电路提供了额外的时间来访问初始地址位置。在虚拟周期期间，IO0-IO3 上的数据值是“无关”的并且可能为高阻态。

然后，通过 IO0-IO3 将给定地址的存储器内容每次移出四位。每个半字节（4 位）以 SCK 频率通过 SCK 信号的下降沿移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

对于四线输出读取指令，在最后一个地址位移入 IO0 之后，在数据开始移出 IO0-IO3 之前，需要一些虚拟周期。

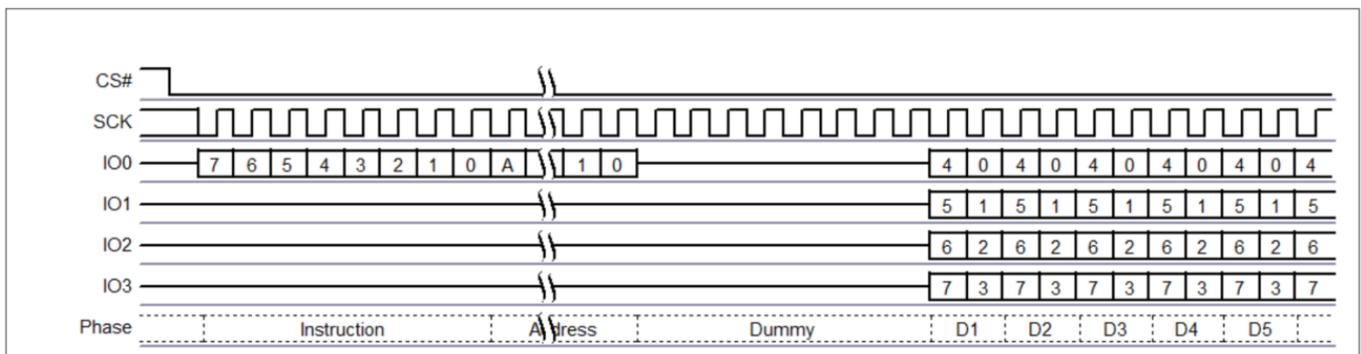


图 68 四线输出读取命令序列

注： A = 地址的MSb = 23 (CR2V[0] = 0) ， 或31 (CR2V[0] = 1) 或指令6Ch。

## 8.4.5 双线 I/O 读取 (DIOR BBh 或 4DIOR BCh)

## 指令

- BBh (CR2V[0] = 0) 后跟 3 字节地址 (A23-A0) 或
- BBh (CR2V[0] = 1) 后跟 4 字节地址 (A31-A0) 或
- BCh 后面跟着 4 字节地址 (A31-A0)

双 I/O 读取指令通过两个 I/O 信号 — IO0 (SI) 和 IO1 (SO) 来提高吞吐量。此指令接受地址的输入并在每个 SCK 上升沿返回两位读取数据。在某些应用中，减少的地址输入和数据输出时间可能允许代码就地执行 (XIP)，即直接从存储器器件执行。

双 I/O 读取命令在地址后面有连续的读取模式位，因此，在第一个双 I/O 读取命令发送 Axh 的模式位唤醒

类型码后，一系列双 I/O Read 指令可能会消除 8 位指令，表明后面的指令也将是双 I/O 读取命令。系列中的第一个双 I/O 读取命令以 8 位指令开始，然后是地址，然后是四个周期的模式位，然后是可选的延迟期。如果模式唤醒类型码为 Axh，则假定下一个指令是不提供指令位的附加双 I/O 读取命令。该指令以地址开头，后跟模式位，后跟可选延迟。

在模式位移入 SI 和 SO 之后、数据开始移出 IO0 和 IO1 之前，可能会添加可变延迟。此延迟时间（虚拟周期）允许器件内部电路有足够的时间来访问/访问初始地址处的数据。在虚拟周期期间，SI 和 SO 上的数据值是“无关”的并且可能为高阻态。虚拟周期的数量由 SCK 的频率决定。延迟周期在 CR3V[3:0] 中配置。

连续读取特性消除了读取访问序列中指令位的需要，并大大提高了代码执行（XIP）性能。模式位的高半字节（位 7-4）通过包含或排除第一个字节指令代码来控制下一个双 I/O 读取命令的长度。模式位的低半字节（位 3-0）为“无关”（“x”），可能为高阻态。如果模式位等于 Axh，则器件保持双 I/O 连续读取模式，并且可以输入下一个地址（在 CS 升高然后置位低电平之后），而无需 BBh 或 BCh 指令，如图 70 所示；从而消除了 8 个指令序列周期。以下序列将从双 I/O 连续读取模式中释放器件；此后，器件可以接受标准 SPI 指令：

1. 在双 I/O 连续读取命令序列期间，如果模式位是除 Axh 之外的任何值，则下次 CS 升高时，该器件将从双 I/O 连续读取模式中释放。
2. 发送 Mode 复位指令。

注意，四个模式位周期是器件内部电路延迟时间的一部分，用于在时钟输入 IO0 (SI) 和 IO1 (SO) 的最后一个地址周期之后访问/访问初始地址。

重要的是，I/O 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动（总线转向）之前可用于关闭主机输出的时间减少。这是允许的，并且可能有助于防止 I/O 信号争用，主机系统可以在最后两个“无关”模式周期或任何虚拟周期内关闭 I/O 信号输出（使其成为高阻态）。

在等待时间之后，给定地址的存储器内容通过 IO0 (SI) 和 IO1 (SO) 每次移出两位。在 SCK 信号的下降沿，以 SCK 频率移出两位。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

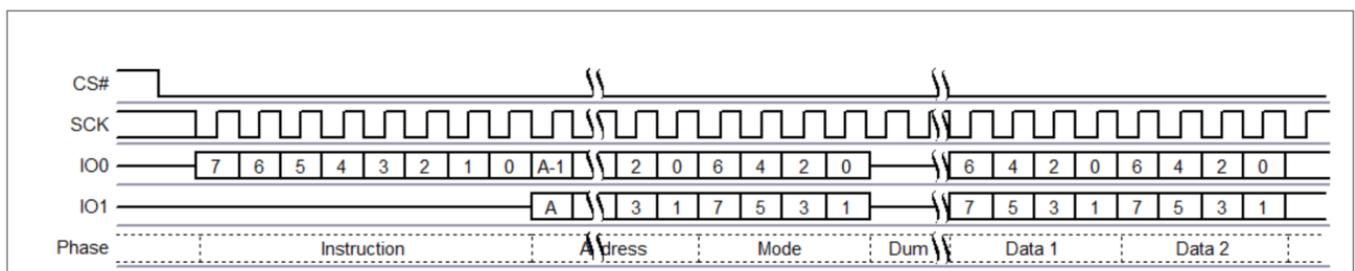


图 69 双 I/O 读取命令序列

8 命令

注:

1. A = 地址的 MSb = 23 (对于 CR2V[0]=0), 或 31 (对于 CR2V[0]=1) 或指令 BCh。
2. 模式的最低有效 4 位是无关紧要的, 主机可以选择驱动这些位。主机可能会在这些周期内关闭驱动器, 以增加主机的模式位与从存储器返回数据之间的总线周转时间。

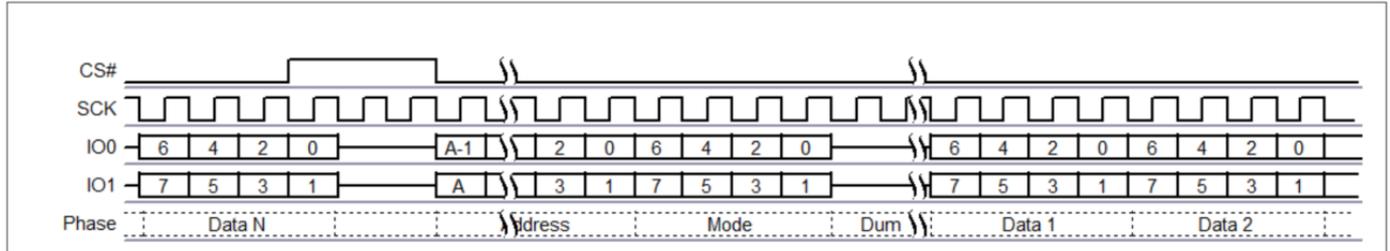


图 70 双 I/O 连续读取命令序列

注: A = 地址的 MSb = 23 (对于 CR2V[0]=0), 或 31 (对于 CR2V[0]=1) 或指令 BCh。

### 8.4.6 四线 I/O 读取 (QIOR EBh 或 4QIOR ECh)

该指令,

- EBh (CR2V[0]=0) 后跟 3 字节地址 (A23-A0) 或
- EBh (CR2V[0]=1) 后跟 4 字节地址 (A31-A0) 或
- ECh 后面跟着 4 字节地址 (A31-A0)

四线 I/O 读取命令通过四个 I/O 信号 IO0-IO3 来提高吞吐量。它允许每个串行 SCK 时钟输入四位地址位。在某些应用中, 减少的指令开销可能允许直接从 FL-L 系列设备执行代码 (XIP)。配置寄存器 1 的 QUAD 位必须为配置位 (CR1V[1]=1), 或者配置寄存器 2 的 QPI 位必须为配置位 (CR2V[1]=1), 以启用 FL-L 系列设备的 Quad 功能。

对于四线 I/O 读取命令, 在模式位 (如下所述) 之后, 数据开始移出 IO0-IO3 之前需要有一个延迟。该等待时间 (即虚拟周期) 允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内, IO0-IO3 上的数据值是“无需关注的”, 并且可能是高阻态。虚拟周期的数量由 SCK 的频率决定。延迟周期在 CR3V[3:0] 中配置。

在延迟期之后, 给定地址处的存储器内容通过 IO0-IO3 每次移出四位。每个半字节 (4 位) 以 SCK 频率通过 SCK 信号的下降沿移出。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后, 地址会按顺序自动增加到下一个更高的地址。因此, 只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时, 地址计数器将回绕并回滚至 000000h, 从而允许读取序列无限期地继续。

无需额外的四线 I/O 读取指令即可完成地址跳转。这是通过设置模式位 (在地址序列之后, 如图 71 所示) 来控制的。这种增加的特性消除了对指令序列的需要, 并大大提高了代码执行 (XIP)。模式位的高半字节 (位 7-4) 通过包含或排除第一个字节指令代码来控制下一个四线 I/O 指令的长度。模式位的低半字节 (位 3-0) 为“无关” (“x”)。如果模式位等于 Axh, 则器件保持为四线 I/O 高性能读取模式, 并且可以输入下一个地址 (在 CS 升为高电平然后置位低电平之后), 而无需 EBh 或 ECh 指令, 如图 73 所示。; 因

此，消除了指令序列的八个周期。以下序列将从 Quad I/O High 性能读取模式中释放器件；之后，器件可以接受标准SPI 指令：

1. 在 Quad I/O 读取命令序列期间，如果模式位是 Axh 以外的任何值，则下次 CS 升高时，器件将从 Quad I/O 高性能读取模式中释放。
2. 发送Mode复位指令。

注意，两个模式位时钟周期和附加等待状态（即虚拟周期）允许器件的内部电路延迟时间在时钟输入 IO0-IO3 的最后一个地址周期之后访问/访问初始地址。

重要的是，IO0-IO3 信号应在第一个数据输出时钟的下降沿或之前置位为高阻。在更高的时钟速度下，在存储器器件开始驱动（总线转向）之前可用于关闭主机输出的时间减少。这是允许的，并且可能有助于防止 IO0-IO3 信号争用，因为主机系统可以在最后一个“无关”模式周期或任何虚拟周期内关闭 IO0-IO3 信号输出（使其成为高阻态）。

在模式或虚拟位期间不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。

在 QPI 模式 (CR2V[3] = 1) 下，四线 I/O 指令在每个 SCK 上升沿发送 4 位。指令协议的其余部分与四线 I/O 指令相同。

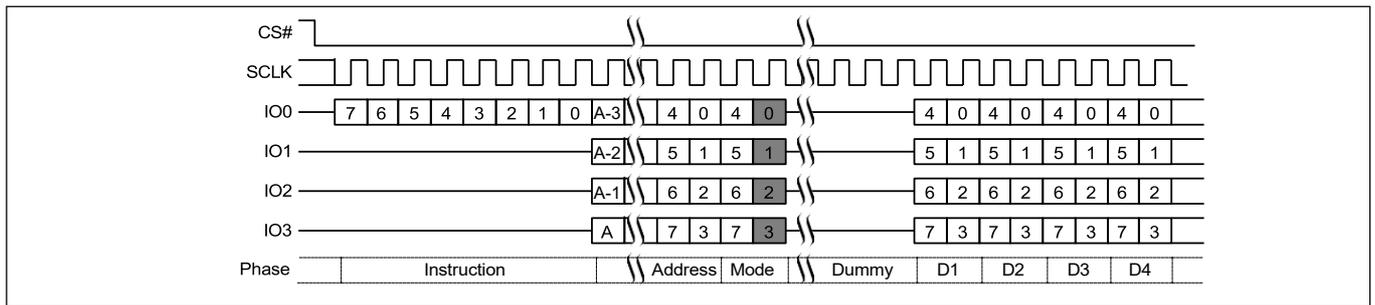


图 71 Quad I/O Read 初始读取指令序列

注： A = 地址的MSb = 23 (CR2V[0] = 0) , 或31 (CR2V[0] = 1) 或指令ECh。

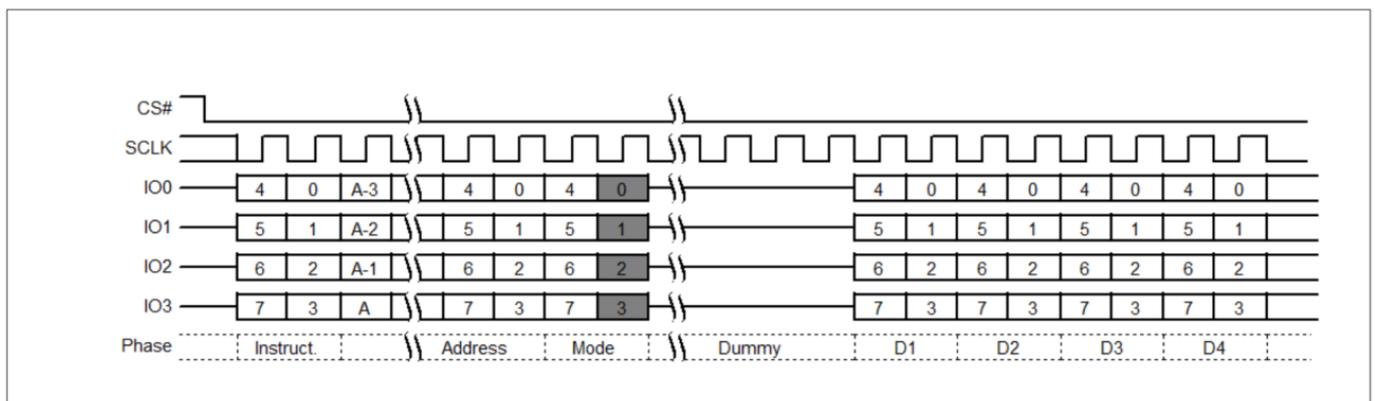


图 72 Quad I/O Read 初始读取指令序列 QPI 模式

注： A = 地址的MSb = 23 (CR2V[0] = 0) , 或31 (CR2V[0] = 1) 或指令ECh。

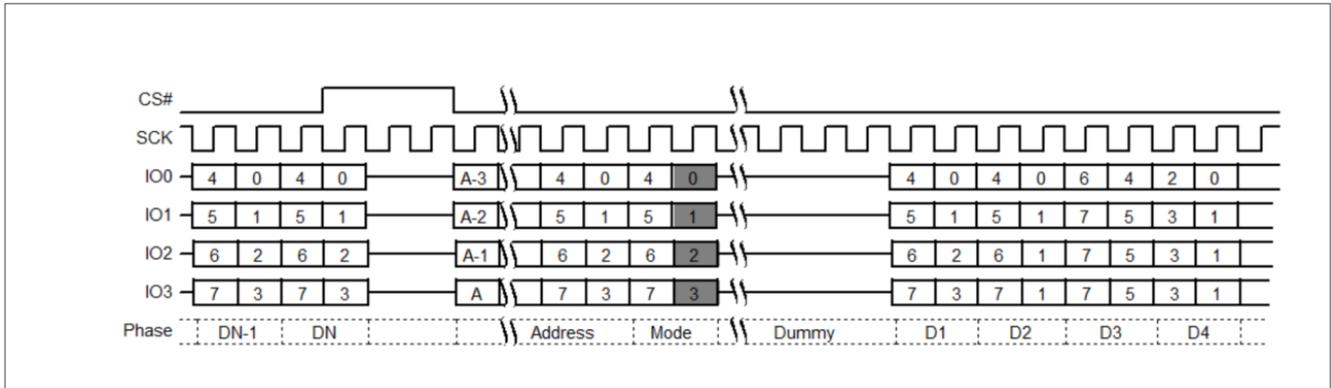


图 73 连续四线 I/O 读取命令序列

注:

1.  $A = \text{地址的MSb} = 23$  ( $\text{CR2V}[0] = 0$ ) , 或  $31$  ( $\text{CR2V}[0] = 1$ ) 或指令  $\text{ECh}$ 。
2. QPI 模式下使用相同序列。

### 8.4.7 DDR 四线 I/O 读取 (EDh、EEh)

DDR 四线 I/O 读取命令通过四个 I/O 信号 IO0-IO3 来提高吞吐量。它类似于四线 I/O 读取命令，但允许在时钟的每个边沿输入四位地址。在某些应用中，减少的指令开销可能允许直接从 FL-L 系列设备执行代码 (XIP)。配置寄存器 1 的 QUAD 位必须为配置位 ( $\text{CR1V}[1] = 1$ )，或者配置寄存器 2 的 QPI 位必须为配置位 ( $\text{CR2V}[1] = 1$ )，以启用 FL-L 系列设备的 Quad 功能。

指令

- EDh ( $\text{CR2V}[0] = 0$ ) 后跟 3 字节地址 (A23-A0) 或
- EDh ( $\text{CR2V}[0] = 1$ ) 后跟一个 4 字节地址 (A31-A0) 或
- EEh 后面跟着 4 字节地址 (A31-A0)

地址后面是模式位。然后，以 DDR 方式将给定地址的存储器内容移出，通过 IO0-IO3，每个时钟边沿每次移出四位。

DDR Quad I/O 读取命令的最大工作时钟频率为 66 MHz。

对于 DDR 四线 I/O 读取，在最后一个地址和模式位移入 IO0-IO3 信号之后，数据开始移出 IO0-IO3 之前需要一段延迟。该延迟周期 (虚拟周期) 允许器件的内部电路有足够的时间来访问/访问初始地址。在这些延迟周期内，IO0-IO3 上的数据值是“不关心的”并且可能是高阻态。当数据学习模式 (DLP) 启用时，主机系统不得在虚拟周期期间驱动 IO 信号。主机必须将 IO 信号置于高阻态，以便存储器器件能够在虚拟周期内驱动 DLP。

虚拟周期的数量由 SCK 的频率决定。延迟周期在  $\text{CR3V}[3:0]$  中配置。

模式位允许一系列 Quad I/O DDR 指令在第一个指令发送互补模式位唤醒类型码后消除 8 位指令。这一特点消除了对八位 SDR 指令序列的需要，并显著减少了核心读取时间 (提高了 XIP 性能)。模式位通过包含或排除第一个字节指令代码来控制下一个 DDR 四线 I/O 读取操作的长度。如果 Mode 位的高半字节 (IO[7:4]) 和低半字节 (IO[3:0]) 互补 (即 5h 和 Ah) 器件转换到连续 DDR 四线 I/O 读取模式并且可以输入下一个地址 (在 CS 升至高电平然后断言低电平之后)，而不需要 EDh 或 EEh 指令，从而从指令序列中消除了 8 个周期。以下序列将从 Continuous DDR Quad I/O 读取模式中释放器件；之后，器件可以接受标准 SPI 指令：

1. 在 DDR 四线 I/O 读取命令序列期间，如果模式位不互补，则下次 CS 升高然后置为低电平时，器件将从 DDR 四线 I/O 读取模式释放。
2. 发送 Mode 复位指令。

该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按顺序自动增加到下一个更高的地址。因此，只需一个读取指令和地址 000000h 即可读出整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取序列无限期地继续。

在模式或虚拟位期间不应将 CS# 驱动为高电平，因为这可能会使模式位不确定。注意，存储设备可能会在第一个数据值之前使用前导码来驱动 IO。前导码是数据学习模式（DLP），主机控制器使用它来优化更高频率的数据捕获。前导码在数据输出前的四个时钟周期内驱动 IO 总线。主机必须确保在存储器开始输出前导码之前停止驱动 IO 总线。

前导码旨在向主机控制器提供关于从主机驱动时钟边沿到相应数据值从存储器器件返回的往返时间的指示。主机控制器将在前导周期内偏移数据捕获点，以优化时序裕度，然后在剩余的读取操作期间使用相同的偏移时间来捕获数据。优化的捕获点将在每次读操作的前导周期内确定。该优化策略的目的是为了补偿存储器器件和主机控制器的 PVT（工艺、电压、温度）以及由 PCB 上的数据传输引起的任何系统电平延迟。虽然数据学习模式（DLP）是可编程的，但下面的例子展示了 34h 的 DLP 的例子。DLP 34h（或 00110100）将在每个有源输出上驱动（即所有四个 IO）。选择此唤醒类型码是为了涵盖“直流”和“交流”数据转换场景。两个直流转换场景包括数据低电平持续较长时间（两个半时钟）后接着出现高电平转换（001）以及互补的低电平转换（110）。两种交流转换情况包括数据低电平持续较短时间（半个时钟）后接着变为高电平（101）以及互补的低电平变为高电平（010）。直流转换通常发生在一个更靠近供电轨的起点，而交流转换可能还未完全稳定在稳定状态（直流）水平。在许多情况下，直流转换将限制数据有效期的开始，而交流转换将限制数据有效期的结束。这些转换将允许主机器识别有效数据眼的开始和结束。一旦确定了数据眼的特征，就可以选择最佳数据捕获点。在 QPI 模式（CR2V[3]=1）下，DDR 四线 I/O 指令在 SCK 上升沿发送 4 位。指令协议的其余部分与 DDR Quad I/O 指令相同。

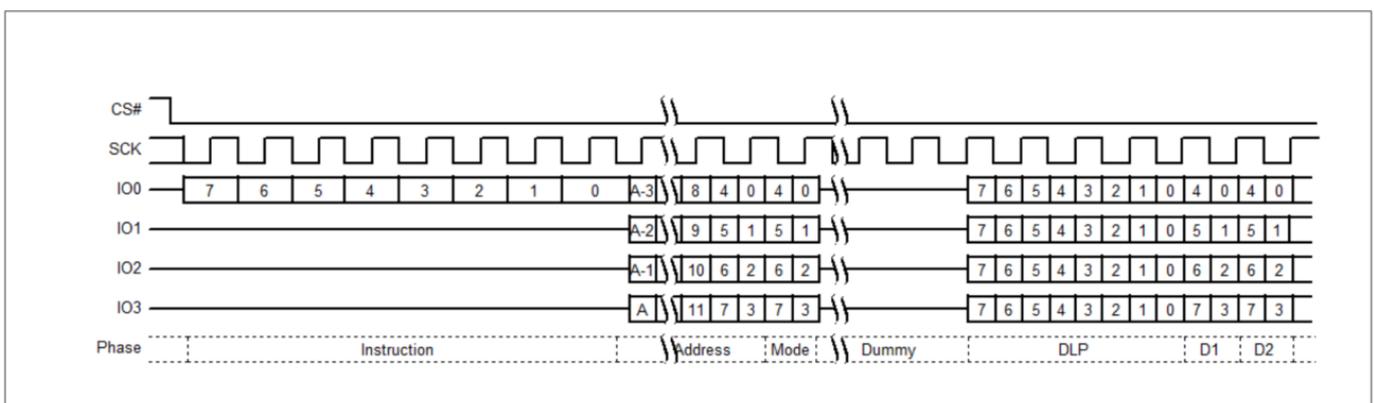


图 74 DDR Quad I/O Read 初始读取

注：

1. A = 地址的 MSb = 23 (CR2V[0]=0)，或 31 (CR2V[0]=1) 或指令 EEh。
2. QPI 模式下使用相同序列。

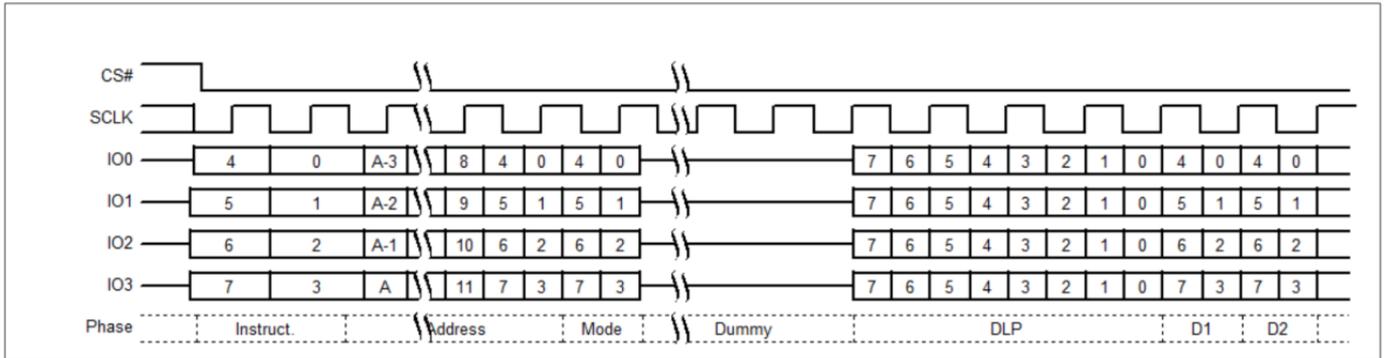


图 75 DDR Quad I/O Read 初始化读取 QPI 模式

注:

1. A = 地址的MSb = 23 (CR2V[0]=0) , 或31 (CR2V[0]=1) 或指令EEh。
2. QPI 模式下使用相同序列。

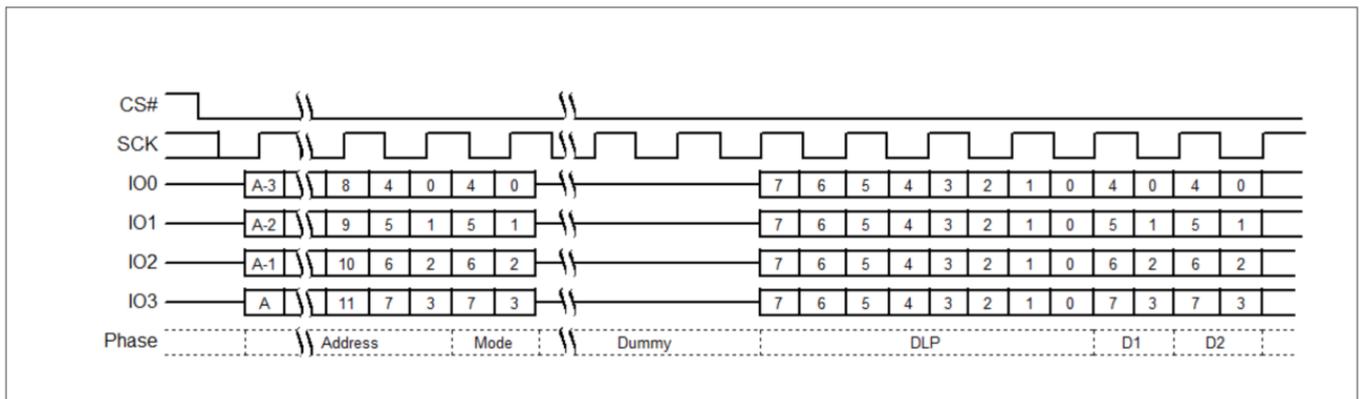


图 76 连续 DDR Quad I/O 读取后续访问/访问

注:

1. A = 地址的MSb = 23 (CR2V[0]=0) , 或31 (CR2V[0]=1) 或指令EEh。
2. QPI 模式中使用相同的序列。
3. 示例DLP 为34h (或00110100)。

## 8.5 编程闪存存储器阵列命令

### 8.5.1 编程粒度

#### 8.5.1.1 页面编程

页面编程是通过将要编程的数据加载到页面缓冲区并发出编程命令以将数据从缓冲区移动到存储器阵列来完成的。这设置了可使用单个编程指令进行编程的数据量的上限。分页编程允许在一次操作中对最多 256 个字节的分页大小进行编程。分页在分页大小地址边界上对齐。在每个分页写入操作中，可以对从一个位到一个分页大小进行写入。为了获得最佳性能，编程应以 256 字节边界对齐的整页 256 字节进行，并且每个分页只编程一次。

### 8.5.1.2 单字节编程

单字节编程允许在存储器阵列中的任何位置对单个字节进行编程，从而完全向后兼容传统标准SPI分页编程 (pp) 指令。

## 8.5.2 分页编程 (pp 02h 或 4PP 12H)

分页编程 (pp) 指令允许在存储器中对字节进行编程 (将位从 1 更改为 0)。在器件接受分页编程 (pp) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。成功解码写入使能 (WREN) 指令后，器件将状态寄存器中的写入使能锁存器 (WEL) 设置为使任何写入操作有效。

指令

- 02h (CR2V[0] = 0) 后跟 3 字节地址 (A23-A0) 或
- 02h (CR2V[0] = 1) 后跟 4 字节地址 (A31-A0) 或
- 12h 后面跟着 4 字节地址 (A31-A0)

SI / IO0 上至少有 1 个数据字节。在提供了指令 02h 的 3 字节地址或指令 12h 的 4 字节地址后，SI / IO0 上最多可以提供一个分页。与写入和字节指令一样，在最后一个字节的第八位被锁存后，CS 引脚必须被驱动为高电平。如果不这样做，分页编程指令将不会被执行。CS 被驱动为高电平后，自定时分页编程指令将开始持续  $t_{pp}$  的持续时间。

使用分页编程 (pp) 指令在分页边界内加载整个分页，与将少于一个分页加载到编程中相比，将节省总体编程时间。

编程过程由内部器件控制逻辑来管理。发出编程指令后，可以使用读取状态指令 1 指令来检查编程操作状态。WIP 位 (SR1V[0]) 将指示编程操作何时完成。P\_ERR 位 (SR2V[5]) 将指示编程操作中是否发生错误，从而阻止编程成功完成。这包括尝试对保护区进行编程。

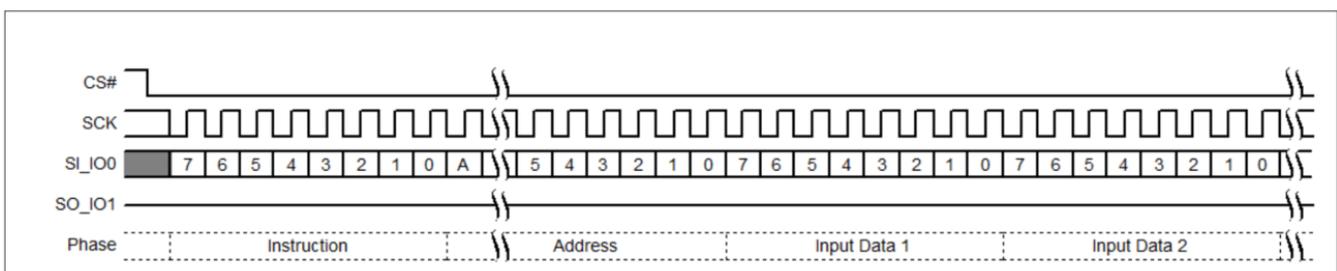


图 77 分页编程 (pp 02h 或 4PP 12h) 指令序列

注: A = 地址的 MSb = A23 (对于 pp 02h 且 CR2V[0] = 0) 或 A31 (对于 pp 02h 且 CR2V[0] = 1) 或对于 4PP 12h。

QPI 模式也支持该指令。在 QPI 模式下，指令、地址和数据通过 IO0-I/O3 移入。

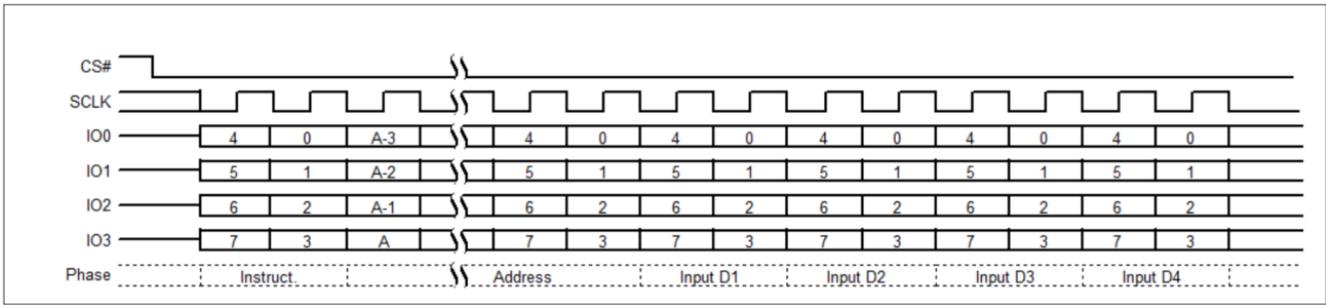


图 78 分页编程 (pp 02h 或 4PP 12h) QPI 模式指令序列

注: A = 地址的MSb = A23 (对于pp 02h 且 CR2V[0] = 0) 或 A31 (对于pp 02h 且 CR2V[0] = 1) 或对于4PP 12h。

### 8.5.3 四线分页编程 (QPP 32h 或 4QPP 34h)

四线输入分页编程 (QPP) 指令允许对存储器中的字节进行编程 (将位从 1 更改为 0)。四线输入分页编程 (QPP) 指令允许使用四个信号 IO0-I03 将最多一个分页数据加载到分页指示灯中。QPP 可以通过每个时钟周期加载 4 位数据来提高 PROM 编程器和时钟速度较慢 (< 12 MHz) 的应用编程的性能。时钟速度更快的系统不会从 QPP 指令中获得太多好处, 因为固有的分页编程时间大于输入数据所需的时间。QPP 指令的最大频率为 133 MHz。

要使用 Quad 分页编程, 配置寄存器中的 Quad 使能位必须为设置位 (QUAD = 1)。在器件接受 QPP 指令 (状态寄存器 1, WEL = 1) 之前, 必须执行 Write 使能指令。

指令

- 32h (CR2V[0] = 0) 后跟 3 字节地址 (A23-A0) 或
- 32h (CR2V[0] = 1) 后跟 4 字节地址 (A31-A0) 或
- 34h后面跟着4字节地址 (A31-A0)

以及至少一个数据字节, 进入IO信号。必须将数据编程到先前擦除的 (FFh) 存储器位置。

QPP的其余功能与分页编程相同。QPP指令序列如下图所示。

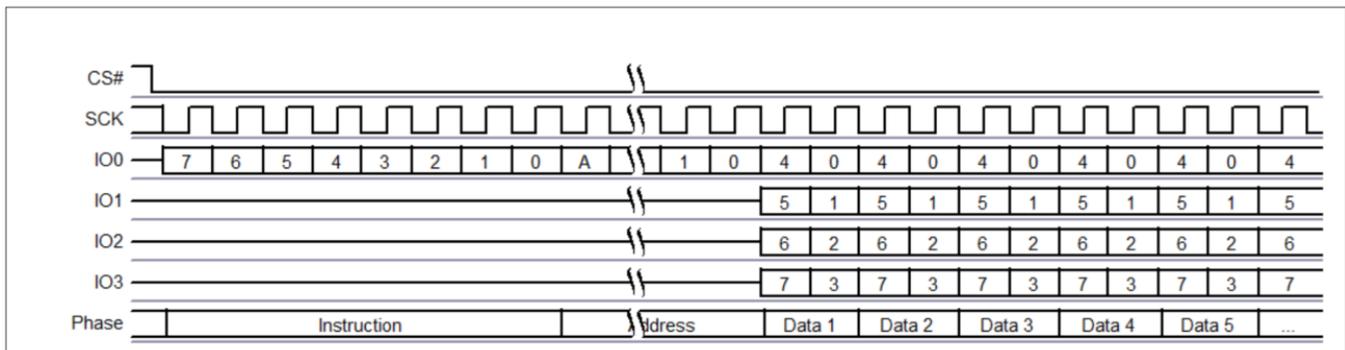


图 79 四分贝编程指令序列

注: A = 地址的MSb = A23 (对于QPP 32h 且 CR2V[0] = 0) 或 A31 (对于QPP 32h 且 CR2V[0] = 1) 或对于4QPP 34h。

## 8.6 擦除闪存存储器命令

### 8.6.1 扇区擦除 (SE 20h 或 4SE 21h)

扇区寻址 (SE) 指令将寻址扇区中的所有位设置为 1 (所有字节均为 FFh)。在器件接受扇区寄存器 (SE) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL), 以允许任何写操作。

指令

- 20h [CR2V[0] = 0] 后跟 3 字节地址 (A23-A0), 或
- 20h [CR2V[0] = 1] 后跟一个 4 字节地址 (A31-A0), 或者
- 21h 后面跟着 4 字节地址 (A31-A0)

地址的第 24 位或第 32 位被锁存到 SI/I00 上后, 必须将 CS# 驱动至逻辑高电平状态。这将启动内部擦除周期的开始, 其中包括对闪存阵列选定扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平, 则不会执行扇区擦除操作。

一旦 CS# 被驱动为高电平, 内部擦除周期就会启动。随着内部擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。WIP 位将指示“1”。当擦除周期正在进行时, 返回“0”; 当擦除周期完成时, 返回“1”。

应用于已通过传统功能块保护、单独功能块锁定或指针区域保护写保护的扇区的 SE 或 4SE 指令将不会被执行, 并将置位 E\_ERR 状态。

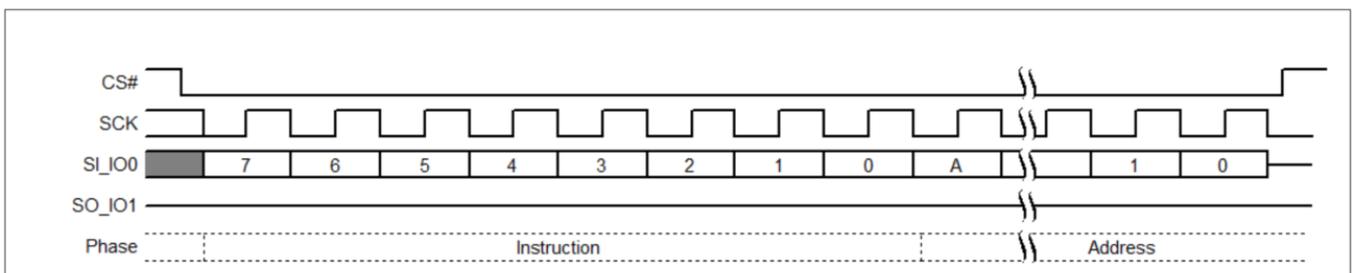


图 80 扇区擦除 (SE 20h 或 4SE 21h) 命令序列

QPI 模式也支持该指令。在 QPI 模式下, 指令和地址在 IO0-IO3 上移入。

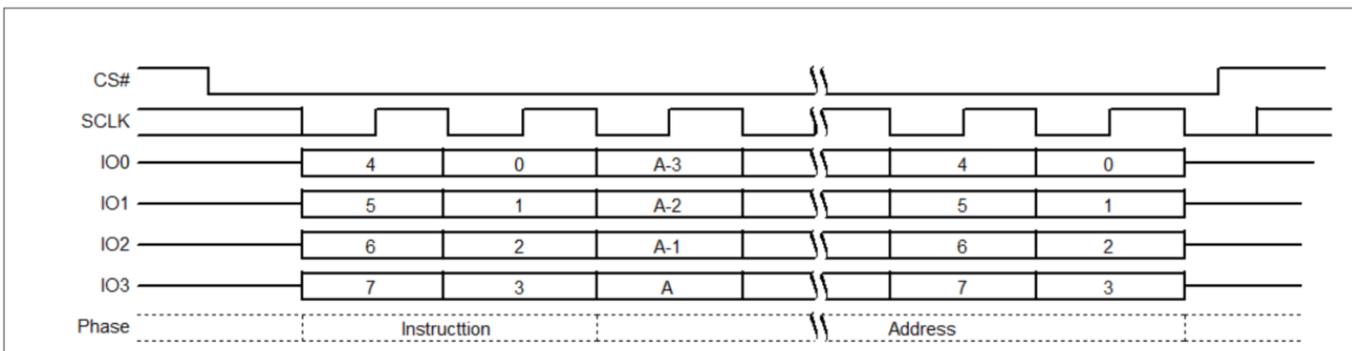


图 81 扇区擦除 (SE 20h 或 4SE 21h) 命令序列

**注:** A = 地址的 MSb = A23 (对于 SE 20h 且 CR2V[0] = 0) 或 A31 (对于 SE 20h 且 CR2V[0] = 1 或对于 4SE 21h)。

## 8.6.2 半块擦除 (HBE 52h 或 4HBE 53h)

半块擦除指令 (HBE) 指令将寻址的半功能块中的所有位设置为 1 (所有字节均为 FFh)。在器件接受半功能块寄存器 (HBE) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令

- 52h [CR2V[0] = 0] 后跟一个 3 字节地址 (A23-A0), 或者
- 52h [CR2V[0] = 1] 后跟一个 4 字节地址 (A31-A0), 或者
- 53h后面跟着4字节地址 (A31-A0)

在地址的第 24 位或第 32 位被锁存到 SI/I00 上之后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 其中包括所选块的每个扇区的预编程和擦除。如果地址的最后一位之后 CS# 没有被驱动为高电平, 则不会执行半块擦除操作。

一旦 CS# 被驱动到逻辑高电平状态, 内部擦除周期就会启动。随着内部擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时, WIP 位将指示“1”, 当擦除周期已完成时, WIP 位将指示“0”。

对已通过传统块保护、单独块锁定或指针区域保护进行写保护的块应用半块擦除 (HBE) 命令将不会被执行, 并且会设置 E\_ERR 状态。

如果应用了半块擦除命令, 并且半块擦除区域中的任何区域、扇区或块受到保护, 则不会在 32 KB 范围内执行擦除, 并将设置 E\_ERR 状态。

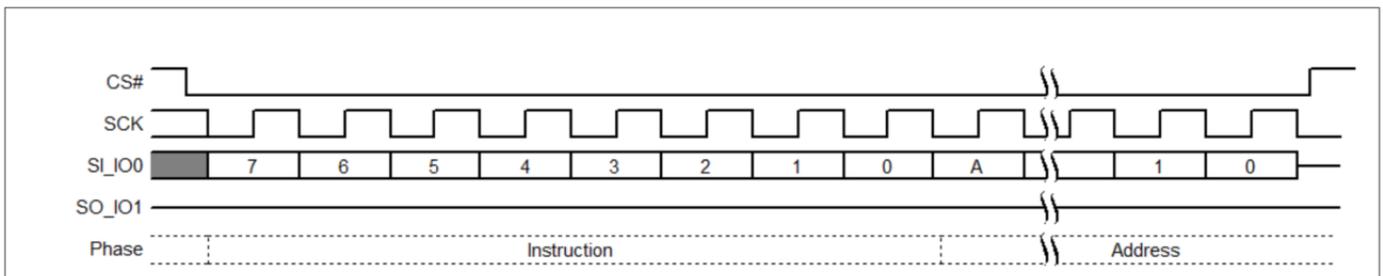


图 82 半块擦除 (HBE 52h or 4HBE 53h) 命令序列

QPI模式也支持该指令。在 QPI 模式下, 指令和地址在 IO0-IO3 上移入。

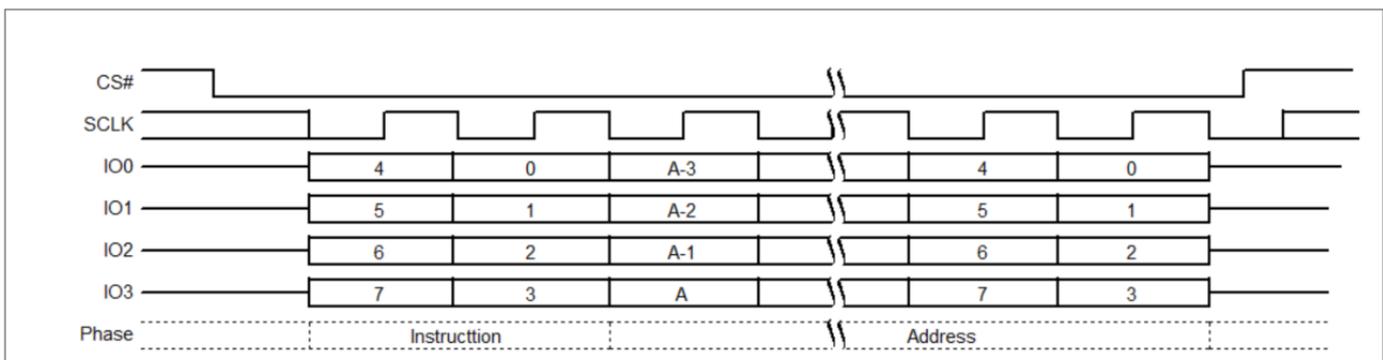


图 83 半块擦除 (HBE 52h or 4HBE 53h) QPI 模式指令序列

注:

1.  $A = \text{地址的MSb} = A23$  (对于 HBE 52h 且  $CR2V[0] = 0$ ) 或  $A31$  (对于 HBE 52h 且  $CR2V[0] = 1$  或 4HBE 53h)。
2. 当  $A[15]=0$  时, 功能块的扇区0-7被擦除,  $A[15]=1$  时, 功能块的扇区8-15被擦除。

### 8.6.3 块擦除 (BE D8h 或 4BE DCh)

块擦除 (BE) 指令将寻址功能块中的所有位设置为 1 (所有字节均为 FFh)。在器件接受功能块寄存器 (BE) 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令

- D8h [ $CR2V[0] = 0$ ] 后跟 3 字节地址 (A23-A0), 或
- D8h [ $CR2V[0] = 1$ ] 后跟一个 4 字节地址 (A31-A0), 或者
- DCh 后面跟着 4 字节地址 (A31-A0)

在地址的第 24 位或第 32 位被锁存到 SI/I00 上之后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 其中包括所选块的每个扇区的预编程和擦除。如果在地址的最后一位之后 CS 没有被驱动为高电平, 则功能块操作将不会被执行。

一旦 CS# 被驱动到逻辑高电平状态, 内部擦除周期就会启动。随着内部擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来检查操作是否已完成。当擦除周期正在进行时, WIP 位将指示“1”, 当擦除周期已完成时, WIP 位将指示“0”。

应用于已通过传统块保护、单独功能块锁定或指针区域保护进行写保护的功能块的功能块 (BE) 指令将不会被执行, 并将置位 E\_ERR 状态。

如果应用了功能块指令, 并且任何区域或扇区受到保护, 则该指令将不会在 64 KB 范围内执行, 并将置位 E\_ERR 状态。

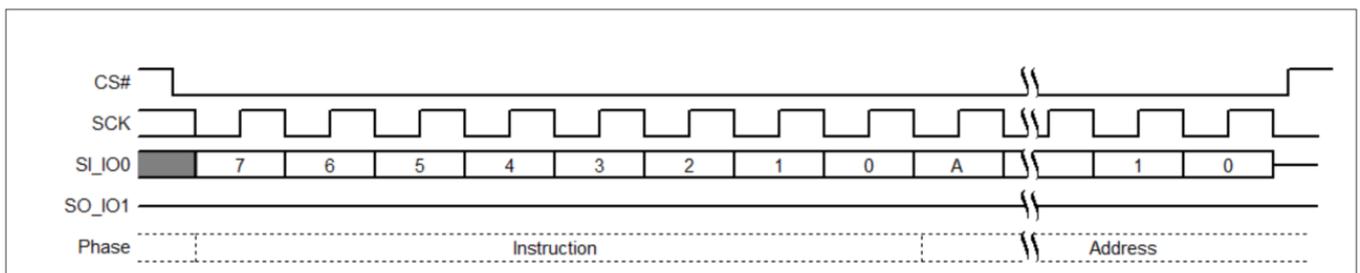


图 84 功能块 (BE D8h 或 4BE DCh) 指令序列

QPI 模式也支持该指令。在 QPI 模式下, 指令和地址在 IO0-IO3 上移入。

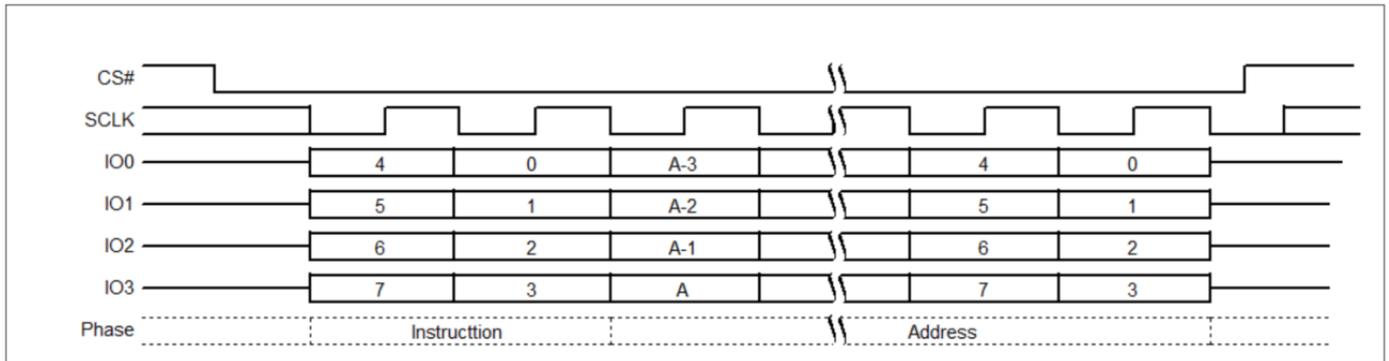


图 85 块擦除 (BE D8h 或 4BE DCh) QPI 模式指令序列

### 8.6.4 芯片擦除 (CE 60h 或 C7h)

芯片擦除 (CE) 指令将整个存储器内部的所有位设置为 1 (所有字节均为 FFh)。在器件接受 CE 指令之前, 器件必须发出写使能 (WREN) 指令并对其进行解码, 这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

指令字节的第八位被锁存到 SI/IO0 上后, 必须将 CS# 驱动至逻辑高电平状态。这将启动擦除周期, 其中涉及整个闪存阵列的预编程和擦除。如果指令的最后一位之后 CS# 没有被驱动为高电平, 则 CE 操作将不会被执行。

一旦 CS# 被驱动到逻辑高状态, 擦除周期就会启动。随着擦除周期的进行, 用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当擦除周期正在进行时, WIP 位将指示“1”, 当擦除周期已完成时, WIP 位将指示“0”。

当传统功能块保护、单独功能块锁定或指针区域保护置位以保护任何扇区或功能块时, 芯片擦除指令将不会被执行, 并且这将置位 E\_ERR 状态位。

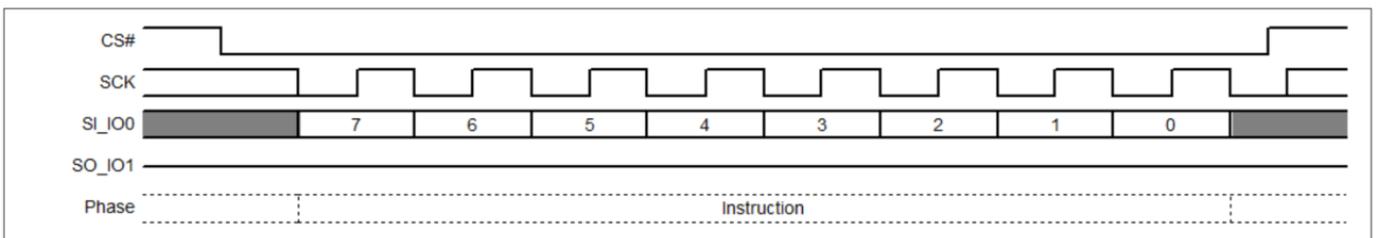


图 86 芯片擦除指令序列

QPI 模式也支持该指令。在 QPI 模式下, 指令在 IO0-IO3 上移入。

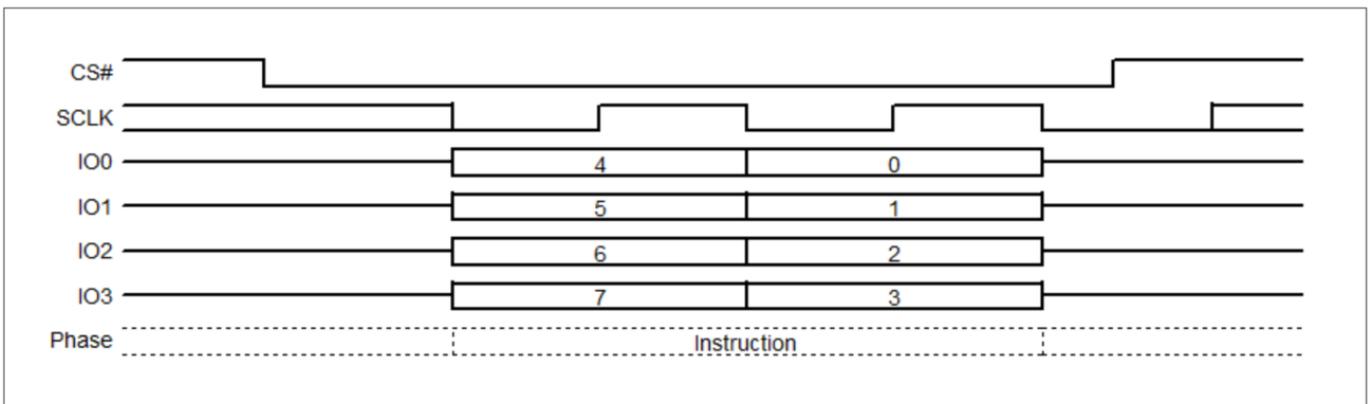


图 87 芯片擦除指令序列 QPI 模式

### 8.6.5 编程或擦除暂停 (PES 75h)

PES 指令允许系统中断编程或暂停操作，然后从任何其他非暂停扇区或非编程暂停页面读取。编程或擦除暂停仅在编程或扇区窗帘、半功能块或功能块擦除操作期间有效。芯片擦除操作不能暂停。

必须检查状态寄存器 1 (SR1V[0]) 中的写入进行中 (WIP) 位，才能知道编程或擦除操作何时停止。状态寄存器 2 (SR2[0]) 中的编程暂停状态位可用于确定在 WIP 变为 0 时编程操作是否已暂停或完成。状态寄存器 2 (SR2[1]) 中的擦除暂停状态位可用于确定在 WIP 变为 0 时擦除操作是否已暂停或完成。完成暂停操作所需的时间为  $t_{SL}$ ，见表 67。

可以暂停擦除以允许编程操作或读取操作。在擦除暂停期间，可以读取 IBL 阵列来检查扇区保护，并写入以删除或恢复要编程的扇区的保护。当操作恢复时，将不再检查保护位，因此所做的任何更改都不会影响正在进行的操作。

可以暂停编程操作以允许读取操作。

在已经暂停的擦除或编程操作中不允许进行新的暂停操作。在这种情况下暂停指令将被忽略。

表 46 编程或暂停期间允许的指令

Instruction name	Instruction code (Hex)	Allowed during Erase Suspend	Allowed during Program Suspend	Comment
READ	03	X	X	All array reads allowed in suspend
RDSR1	05			Needed to read WIP to determine end of suspend process
RDAR	65			Alternate way to read WIP to determine end of suspend process
RDSR2	07			Needed to read suspend status to determine whether the operation is suspended or complete.
RDCR1	35			Needed to read Configuration Register 1
RDCR2	15			Needed to read Configuration Register 2
RDCR3	33			Needed to read Configuration Register 3
RUID	4B			Needed to read Unique Id
RDID	9F			Needed to read Device Id
RDQID	AF			Needed to read Quad Device Id
RSFDP	5A			Needed to read SFDP
SBL	77			Needed to set Burst Length
WREN	06			Required for program command within erase suspend
WRDI	04			

(表格续下页……)

表 46 编程或暂停期间允许的指令 (续)

Instruction name	Instruction code (Hex)	Allowed during Erase Suspend	Allowed during Program Suspend	Comment
PP	02			Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
4PP	12			Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
QPP	32			Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
4QPP	34			Required for array program during erase suspend. Only allowed if there is no other program suspended program operation (SR2V[0] = 0). A program command will be ignored while there is a suspended program. If a program command is sent for a location within an erase suspended sector the program operation will fail with the P_ERR bit set.
4READ	13	X	X	All array reads allowed in suspend
CLSR	30			Clear status may be used if a program operation fails during erase suspend.
EPR	7A			Required to resume from erase or program suspend.
RSTEN	66			Reset allowed anytime
RST	99			
FAST_READ	0B			All array reads allowed in suspend
4FAST_READ	0C			
DOR	3B			
4DOR	3C			
DIOR	BB			
4DIOR	BC			

(表格续下页·····)

表 46 编程或暂停期间允许的指令 (续)

Instruction name	Instruction code (Hex)	Allowed during Erase Suspend	Allowed during Program Suspend	Comment
IBLRD	3D			It may be necessary to remove and restore Individual Block Lock during erase suspend to allow programming during erase suspend.
4IBLRD	E0			
IBL	36			
4IBL	E1			
IBUL	39			
4IBUL	E2			
QOR	6B			Read Quad Output (3 or 4 Byte Address) <sup>1)</sup>
4QOR	6C			Read Quad Output (4 Byte Address) <sup>1)</sup>
QIOR	EB			All array reads allowed in suspend <sup>1)</sup>
4QIOR	EC			
DDRQIOR	ED			
DDR4QIOR	ED			
MBR	FF			May need to reset a read operation during suspend
SECRP	42			All Security Regions program allowed in erase suspend
SECRR	48			All Security Regions reads allowed in suspend

1) 对于所有 Quad 指令, Quad 使能 CR1V[1] 位 (参见图 13) 需要在初始编程或写入之前置位为“1”, 因为在挂起状态内不允许使用 WRR/WRAR 指令。

表 46 中未包含的所有指令系统编程或擦除暂停期间不允许使用。在软件挂起或编程挂起期间不允许使用 WRR、WRAR 或 SPRP 指令, 因此在软件挂起期间无法更改传统功能块保护位或指针区域保护。

读取擦除暂停扇区或编程暂停页面内的任何地址都会产生不确定的数据。

擦除挂起的编程操作完成后, 设备返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态, 就像在执行标准编程操作一样。

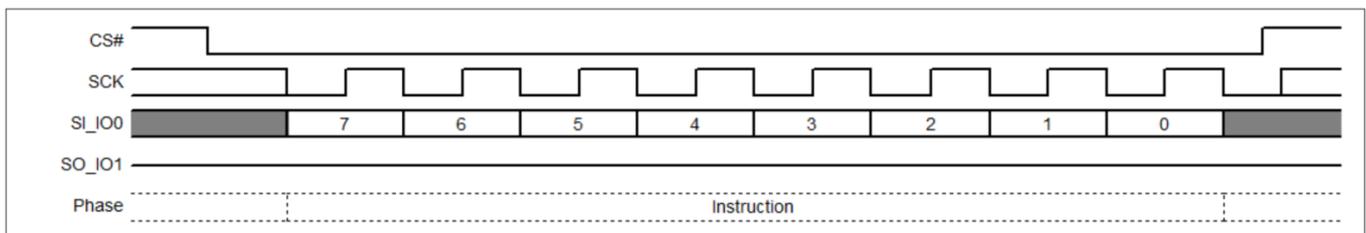


图 88 编程或寄存器挂起指令序列

QPI 模式也支持该指令。在 QPI 模式下, 指令在 IO0–IO3 上移入。

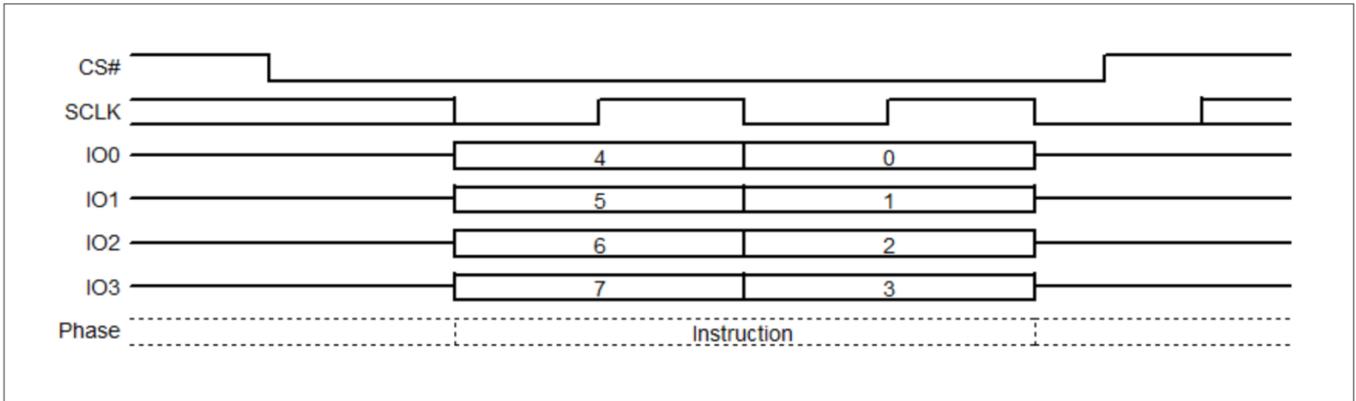


图 89 编程或寄存器挂起指令序列 QPI 模式

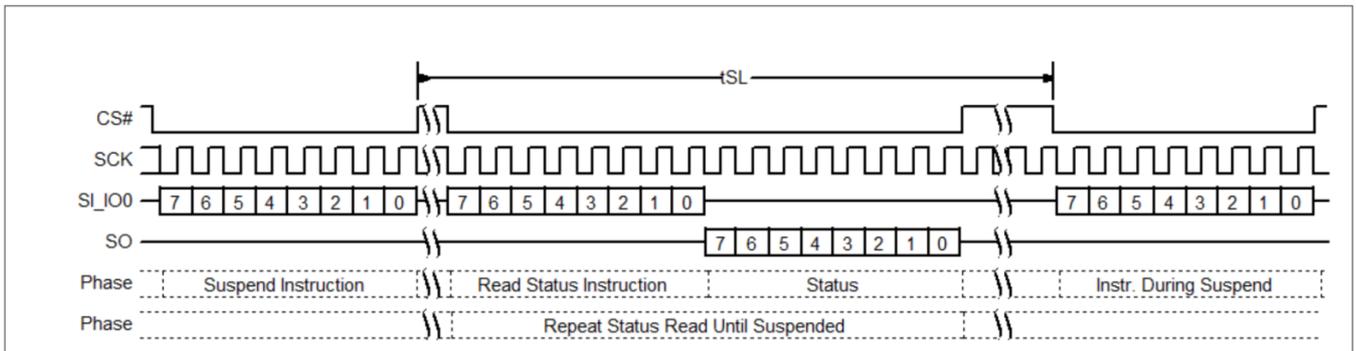


图 90 编程或寄存器挂起指令并继续执行指令 指令序列

### 8.6.6 擦除或编程恢复 (EPR 7Ah)

在编程或擦除暂停期间，编程或读取操作完成后，将发送擦除或编程恢复指令以继续暂停的操作。

发出擦除或编程恢复命令后，状态寄存器 1 中的 WIP 位将设置为 1，并且如果暂停了，则暂停的操作将恢复。如果没有暂停的编程或者操作，则恢复指令将被忽略。

编程或擦除操作可根据需要随时中断，例如，编程暂停指令可紧跟在编程恢复指令之后，但是为了使编程或擦除操作顺利完成，在恢复和下一个暂停指令之间必须有一段大于或等于  $t_{RNS}$  的时间间隔。参见表 70。状态寄存器 2 (SR2[0]) 中的编程暂停状态位可用于确定在 WIP 变为 0 时编程操作是否已暂停或完成。状态寄存器 2 (SR2[1]) 中的擦除暂停状态位可用于确定在 WIP 变为 0 时擦除操作是否已暂停或完成。请参阅“[状态寄存器 2 易失性 \(SR2V\)](#)”。

必须写入擦除或编程恢复命令才能恢复暂停的操作。

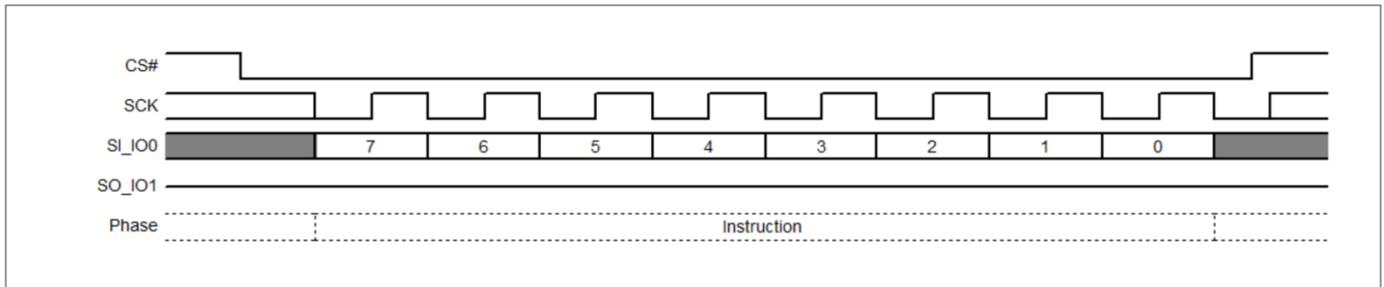


图 91 指令或编程恢复指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。

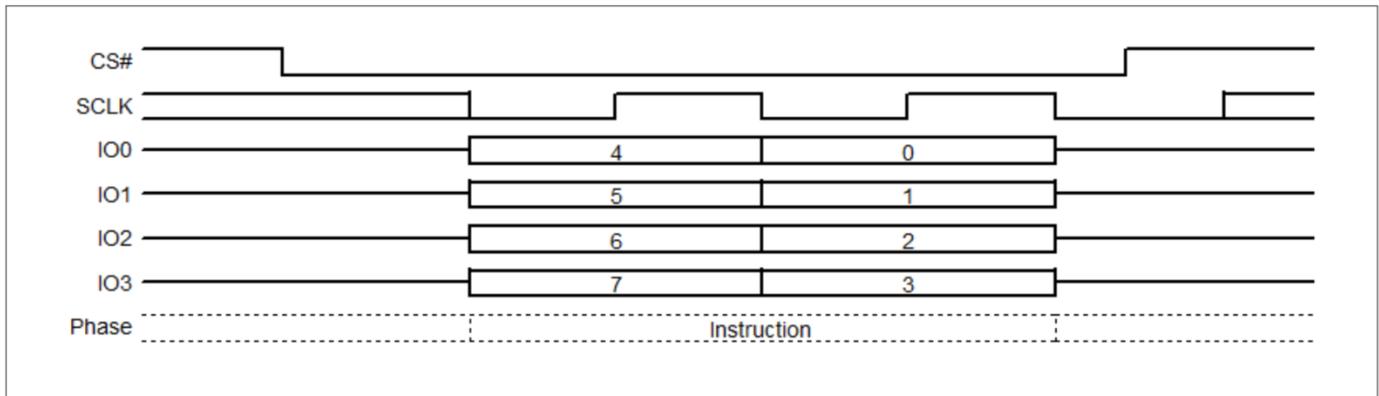


图 92 寄存器或编程恢复指令序列 QPI 模式

## 8.7 安全区域命令

安全区域指令通过地址 A15 到 A8 选择要使用的区域，如下所示。

- 安全区域 0: A23–16 = 00h; A15–8 = 00h; A7–0 = 字节地址
- 安全区域 1: A23–16 = 00h; A15–8 = 01h; A7–0 = 字节地址
- 安全区域 2: A23–16 = 00h; A15–8 = 02h; A7–0 = 字节地址
- 安全区域 3: A23–16 = 00h; A15–8 = 03h; A7–0 = 字节地址

### 8.7.1 安全区域擦除 (SECRE 44h)

安全区域指令安全区域中的数据，与主数据位于不同的地址空间。安全区域为 1024 字节，因此，对于该指令，S25FL128L (A23 至 A10) 和 S25FL256L (A24 至 A10) 的地址位必须为零。每个区域都可以单独擦除。安全区域的详细介绍请参见“[安全区域地址空间](#)”。

在器件接受安全区域指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL)，以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR2V 中的 E\_ERR 位来确定操作期间是否发生任何错误。

配置寄存器 1 中的安全区域锁定位 (CR1NV[2-5]) 可用于保护安全区域以免被擦除。一旦某个锁定位置位为 1，相应的安全区域将被永久锁定，尝试锁定已锁定的区域将会失败，SR2V[6] 置位中的 E\_ERR 位为“1”。当保护寄存器 NVLOCK 位 = 0 时，安全区域 2 和 3 受到保护，不能被编程或擦除。尝试在锁定的区域中擦除将失败，SR2V[6] 中的 E\_ERR 位将置位为“1”。请参阅“[NVLOCK 位 \(PR\[0\]\)](#)”。

密码保护模式锁定位 (IRP[2]) 允许区域 2 和 3 免受擦除操作的影响，直到提供正确的密码才能擦除这些安全区域。尝试在密码锁定的区域中擦除将失败，SR2V[6] 中的 E\_ERR 位将置位为“1”。请参阅“[安全区域读取密码保护](#)”。

安全区域擦除指令的协议与扇区擦除指令相同。参见“[扇区擦除 \(SE 20h 或 4SE 21h\)](#)”用于指令序列。支持 QPI 模式。

### 8.7.2 安全区域编程 (SECRP 42h)

安全区域编程指令对安全区域中的数据进行编程，该区域与主阵列数据位于不同的地址空间中。安全区域为 1024 字节，因此，对于此指令，S25FL128L (A23 至 A10) 和 S25FL256L (A24 至 A10) 的地址位必须为零。请参阅“[安全区域地址空间](#)”了解安全区域的详细信息。

在器件接受安全区域编程指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL)，以允许任何写操作。可以检查 SR1V 中的 WIP 位来确定操作何时完成。可以检查 SR2V 中的 P\_ERR 位来确定操作期间是否发生任何错误。为了以位粒度对安全区域阵列进行编程，数据字节内的其余位可以设置为“1”。安全区域存储空间中的每个区域都可以被编程一次或多次，前提是该区域未被锁定。但是，为了获得最佳的数据完整性，建议将一个或多个 16 字节长度且对齐的字节组一起编程，并且在每个区域内的擦除操作之间仅编程一次。

配置寄存器 1 中的安全区域锁定位 (CR1NV[2-5]) 可用于保护编程的安全区域。一旦某个锁定位置位为 1，对应的安全区域将被永久锁定。尝试在锁定 (受保护) 的区域中编程 0 或 1 将失败，并且 SR2V[5] 置位中的 P\_ERR 位为“1”。在未受保护的区域中编程不会导致错误，也不会置位 P\_ERR。（详细说明见“[配置寄存器 1](#)”）。

当保护寄存器 NVLOCK 位 = 0 时，安全区域 2 和 3 受到保护，不得进行编程或擦除。尝试在锁定的区域中编程将失败，SR2V[5] 中的 P\_ERR 位将置位为“1”。请参阅“[NVLOCK 位 \(PR\[0\]\)](#)”。

密码保护模式锁定位 (IRP[2]) 允许保护区域 2 和 3 免受编程操作，直到提供正确的密码才能对这些安全区域 2 和 3 进行编程。尝试在密码锁定的区域中编程将失败，SR2V[5] 中的 P\_ERR 位将置位为“1”。请参阅“[密码保护模式](#)”。

安全区域编程指令的协议与分页编程指令相同。参见“[分页编程](#)”用于指令序列。支持 QPI 模式。

### 8.7.3 安全区域读取 (SECRR 48h)

安全区域读取 (SECRR) 指令提供了一种从安全区域读取数据的方法。安全区域为 1024 字节，因此，对于此指令，S25FL128L (A23 至 A10) 和 S25FL256L (A24 至 A10) 的地址位必须为零。请参阅“[安全区域地址空间](#)”了解安全区域的详细信息。

该指令后面跟着一个 3 或 4 字节地址（取决于 CR2V[0] 的地址长度配置，后面跟着 CR3V[3:0] 的多个延迟（虚拟）周期置位。然后返回选定的寄存器数据。安全区域地址达到最大值后，安全区域读取命令的协议将不会回到起始地址；相反，超出最大地址的数据将不确定。安全区域读取命令读延迟由 CR3V [3:0] 中的延迟值置位。

安全区域读取密码模式使能位 (IRP[6]) 允许保护区域 3 免受读取操作，直到提供正确的密码才能读取

此安全区域。尝试读取密码锁定的区域 3 将返回无效和未定义的数据。请参阅“[安全区域读取密码保护](#)”。

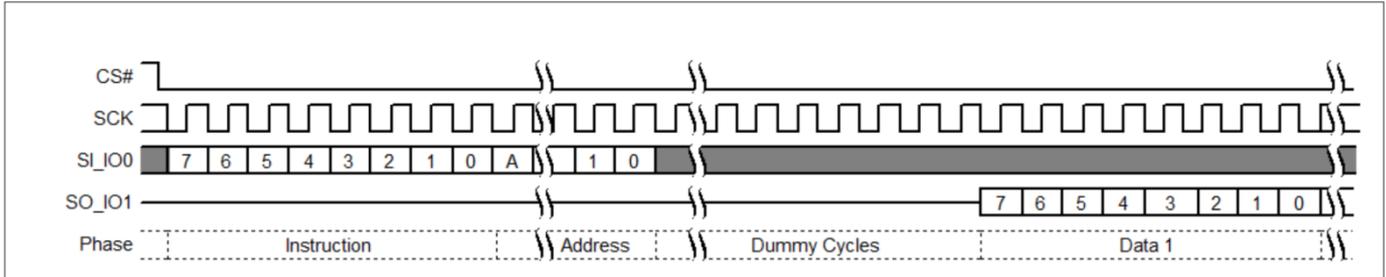


图 93 安全区域读取命令序列

注： A = 地址的 MSb = 23 (对于地址长度 CR2V[0] = 0)，或 31 (对于 CR2V[0] = 1)。

QPI 模式也支持该指令。在 QPI 模式下，指令和地址被移入并在 IO0–IO3 上返回数据。

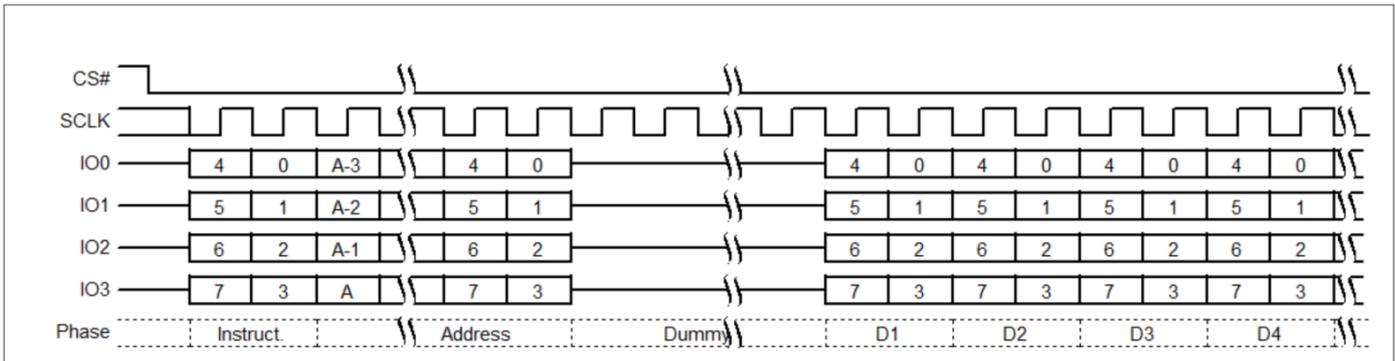


图 94 安全区域读取命令序列 QPI 模式

注： A = 地址的 MSb = 23 (当 CR2V[0] = 0 时) 或 31 (当 CR2V[0] = 1 时)。

## 8.8 单独功能块锁定命令

为了使用单独功能块锁定，必须通过配置寄存器 2 CR2V[2] = 1 中的 WPS 位选择 IBL 保护方案。如果未选择 IBL 保护方案 CR2V[2] = 0，则忽略 IBL 指令。

单独功能块锁定位 (IBL) 具有易失性，每个扇区/功能块有一个位，并且每个位都可以单独修改。通过发出 IBL 或 GBL 指令，IBL 位被设置为“0”，保护每个相关的扇区/功能块。通过发出 IBUL 或 GUL 指令，IBL 位被清除为“1”，从而不保护每个相关的扇区或功能块。通过发出 IBLRD 指令，可以读取每个 IBL 位保护的状态。

### 8.8.1 IBL 读取 (IBLRD 3Dh 或 4IBLRD E0h)

IBLRD/4IBLRD 指令允许读取每个 IBL 位保护的状态。

该指令由 SCK 信号的上升沿锁存到 SI 中。该指令之后是 24 或 32 位地址，取决于地址长度配置 CR2V[0]，选择所需扇区内的位置零。

然后，8 位 IBL 访问寄存器的内容通过串行输出 SO/IO1 移出。每个位都通过 SCK 信号的下降沿以 SCK

频率移出。通过提供八个时钟周期的倍数，可以连续读取相同的 IBL 访问寄存器。IBL 寄存器的地址没有递增，所以这不是读取整个 IBL 阵列的方法。必须使用单独的 IBL 读取命令读取每个位置。

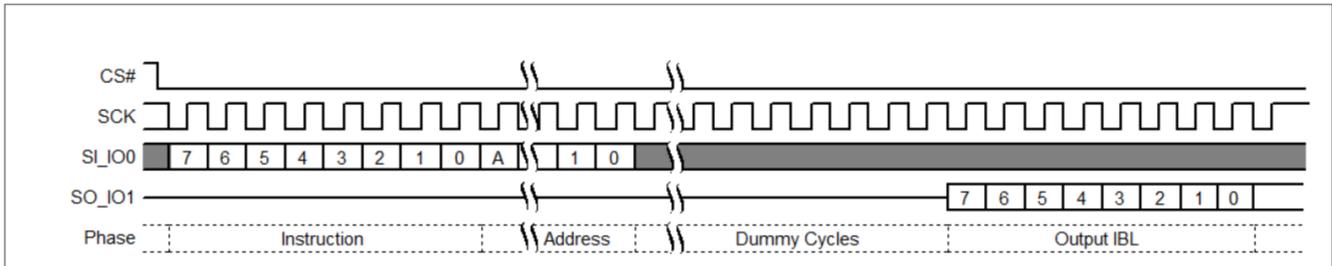


图 95 IBLRD 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令和地址被移入并在 IO0–IO3 上返回数据。

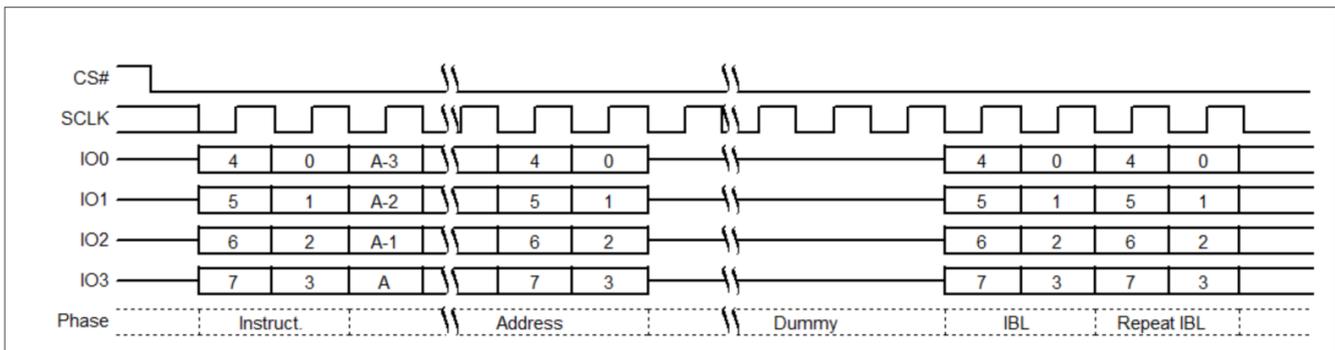


图 96 IBLRD 指令序列 QPI

注：

1.  $A = \text{地址的MSb} = 23$ ，对于地址长度 ( $CR2V[0] = 0$ ，或  $31$ ，对于  $CR2V[0] = 1$ ，指令为  $3Dh$ 。
2.  $A = \text{地址} = 31$  的 MSb，指令为  $E0h$ 。

## 8.8.2 IBL 锁定 (IBL 36h 或 4IBL E1h)

IBL/4IBL 指令将选定的 IBL 位设置为“0”，以保护每个相关的扇区/功能块。

IBL 指令通过将 CS 驱动至逻辑低电平状态进入，然后是指令，然后是 24 位或 32 位地址，具体取决于地址长度配置  $CR2V[0]$ 。IBL 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 WIP 位。

锁存 24 位或 32 位地址（取决于地址长度配置  $CR2V[0]$ ）后，必须将 CS# 驱动至逻辑高电平状态。一旦 CS# 被驱动到逻辑高电平状态，自定时 IBL 操作就会启动。当 IBL 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。自定时 IBL 操作期间，写入进度 (WIP) 位为“1”，完成时为“0”。

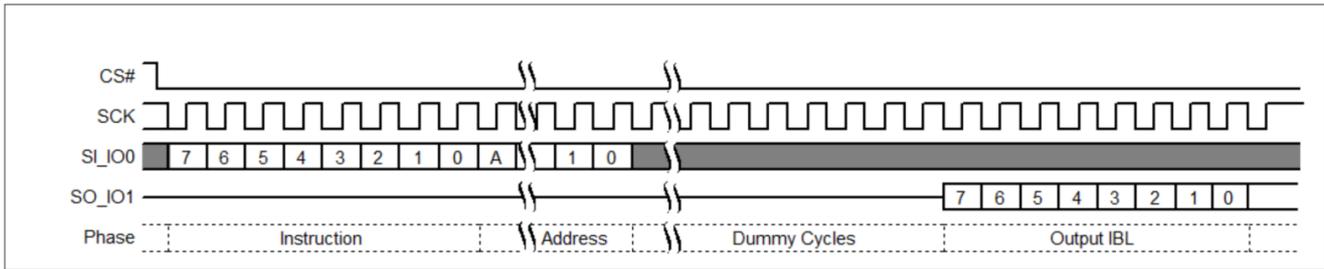


图 97 IBL 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令和地址在 IO0-I03 上移入。

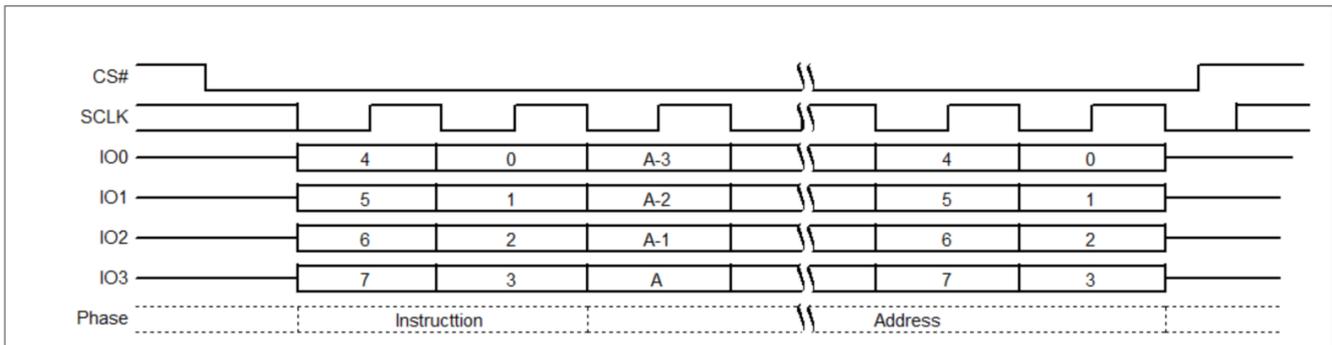


图 98 IBL 指令序列 QPI 模式

注：

1.  $A = \text{地址的MSb} = 23$ ，对于地址长度 ( $CR2V[0] = 0$ ，或  $31$ ，对于  $CR2V[0] = 1$ ，指令为  $36h$ 。
2.  $A = \text{地址} = 31$  的MSb，指令为  $E1h$ 。

### 8.8.3 IBL 解锁 (IBUL 39h 或 4IBUL E2h)

IBUL/4IBUL 命令将选定的 IBL 位清除为“1”，从而取消对每个相关扇区/功能块的保护。

通过将 CS 驱动至逻辑低电平状态，然后是指令，然后是 24 位或 32 位地址，具体取决于地址长度配置  $CR2V[0]$ ，即可输入 IBUL 指令。IBUL 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 WIP 位。

锁存 24 位或 32 位地址（取决于地址长度配置  $CR2V[0]$ ）后，必须将 CS# 驱动至逻辑高电平状态。一旦 CS# 被驱动到逻辑高电平状态，自定时 IBL 操作就会启动。当 IBUL 操作正在进行时，可以读取状态寄存器来检查写入进度 (WIP) 位的值。自定时 IBUL 操作期间，WIP 位为‘1’，完成时为‘0’。

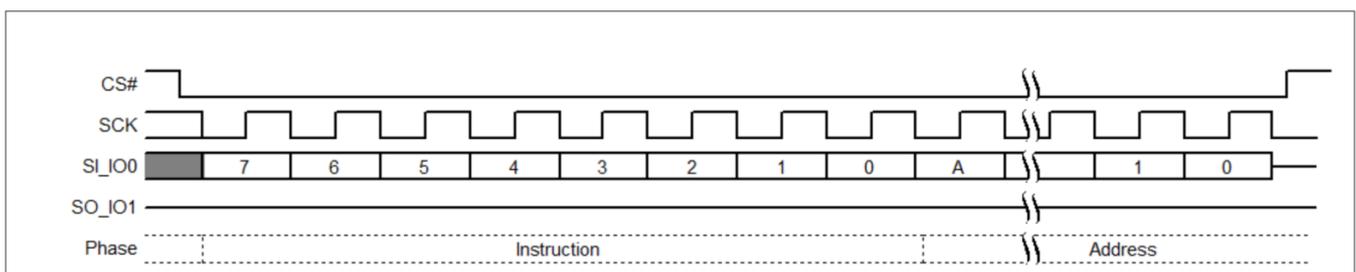


图 99 IBUL 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令和地址在 IO0-I03 上移入。

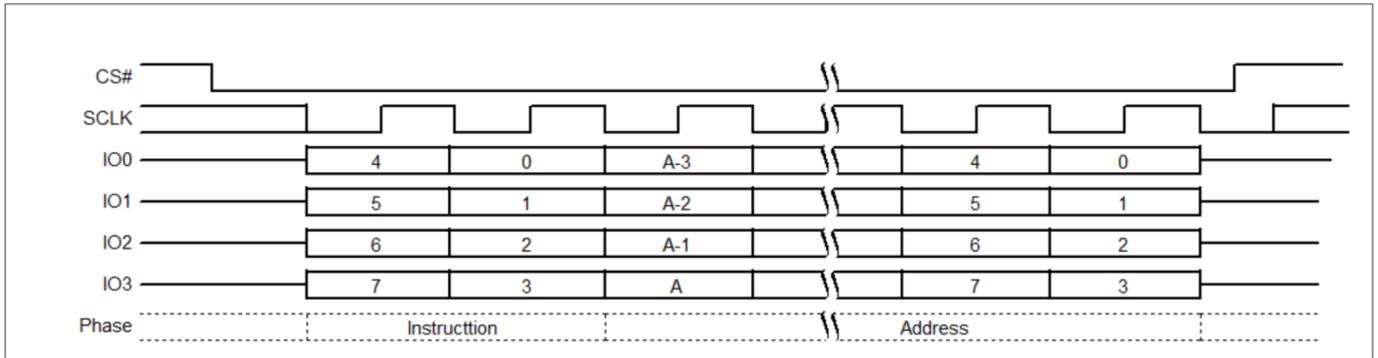


图 100 IBUL 指令序列 QPI 模式

注:

1.  $A = \text{地址的MSb} = 23$ , 对于地址长度 ( $\text{CR2V}[0] = 0$ , 或  $31$ , 对于  $\text{CR2V}[0] = 1$ , 指令为  $39\text{h}$ 。
2.  $A = \text{地址} = 31$  的 MSb, 指令为  $E2\text{h}$ 。

### 8.8.4 全局 IBL 锁定 (GBL 7Eh)

GBL 指令将所有 IBL 位设置为“0”，以保护所有扇区/块。

指令字节的第8位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动 GBL。如果指令的最后一位之后 CS# 没有被驱动为高电平，则不会执行 GBL 操作。

一旦 CS# 被驱动到逻辑高电平状态，GBL 就会启动。在 GBL 进行过程中，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当 GBL 正在进行时，WIP 位将显示“1”，当 GBL 已完成时，WIP 位将显示“0”。

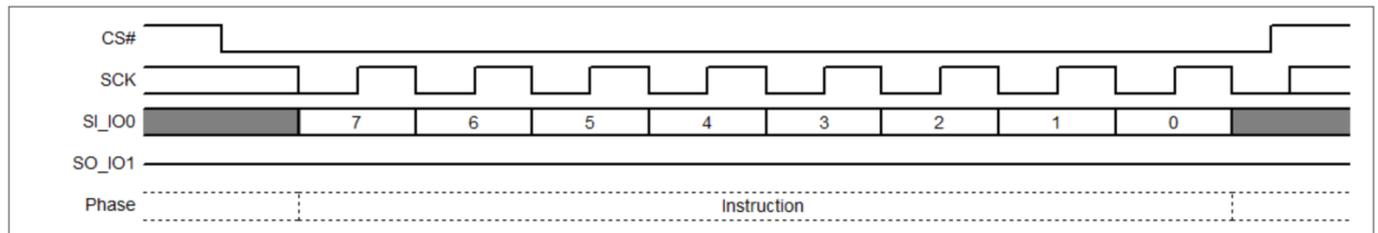


图 101 全局 IBL Lock (GBL) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-IO3 上移入。

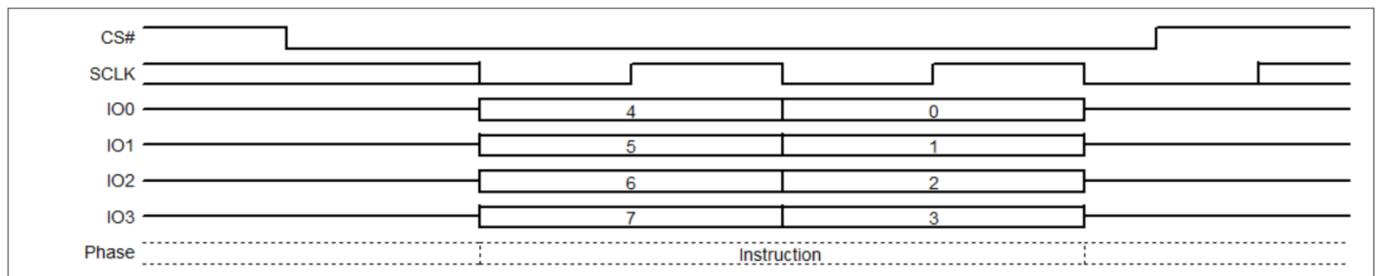


图 102 全局 IBL Lock (GBL) 指令序列 QPI 模式

### 8.8.5 区域 IBL 解锁 (GBUL 98h)

GBUL 指令将所有 IBL 位清除为“1”，从而取消对所有扇区/块的保护。

指令字节的第八位被锁存在 SI 上之后，必须将 CS# 驱动至逻辑高电平状态。这将启动 GBUL，如果在指令的最后一位之后 CS# 没有被驱动为高电平，则不会执行 GBUL 操作。

一旦 CS# 被驱动到逻辑高电平状态，GBL 就会启动。在 GBL 进行过程中，用户可以读取写入进度 (WIP) 位的值来确定操作何时完成。当 GBUL 正在进行时，WIP 位将显示“1”，当 GBUL 已完成时，WIP 位将显示“0”。

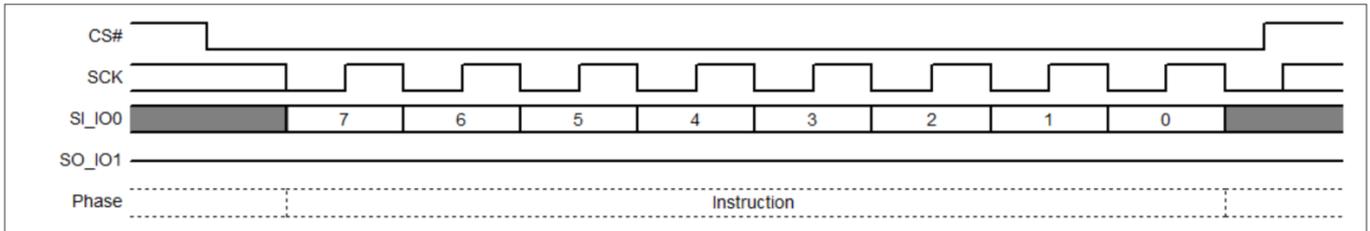


图 103 全局 IBL Unlock (GBUL) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。

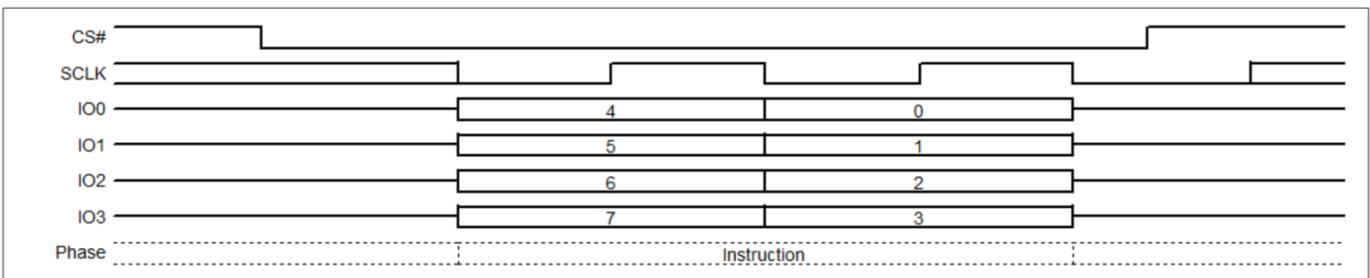


图 104 全局 IBL Unlock (GBUL) 指令序列 QPI 模式

## 8.9 指针区域命令

### 8.9.1 置位指针区域保护 (SPRP FBh 或 4SPRP E3h)

在挂起操作期间，SPRP 或 4SPRP 指令将被忽略，因为在挂起期间不能擦除和重新编程指针值。

如果默认电源锁定保护 NVLOCK PR[0] = 0 或电源锁定保护启用的 IRP[1] = 0 或密码保护启用的 IRP[2] = 0 且 NVLOCK PR[0] = 0，则忽略 SPRP 或 4SPRP 指令。

S25FL256L 器件必须具有 4 字节寻址启用的 (CR2V[0] = 1) 才能设置指针区域保护寄存器 PRPR (请参见“[指针区域保护寄存器 \(PRPR\)](#)”) 这可确保 A24 和 A25 正确放置。S25FL128L 器件可以具有 4 字节寻址启用 (CR2V[0] = 1) 或 3 字节寻址启用 (CR2V[0] = 0)。

在器件接受 SPRP 或 4SPRP 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

SPRP 或 4SPRP 指令通过将 CS 驱动至逻辑低电平状态进入，然后是指令，然后是 24 位或 32 位地址，具体取决于地址长度配置 CR2V[0]，请参见“[指针区域保护 \(PRP\)](#)”了解有关地址值的详细信息，以选择保护选项。

在地址的最后一位被锁存后，必须将 CS# 驱动至逻辑高状态。如果不是，则不执行 SPRP 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 SPRP 操作就会启动。在 SPRP 操作进行过程中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 SPRP 操作期间为“1”，完成时为

“0”。当 SPRP 操作完成时，Write 使能 Latch (WEL) 被置位为 ‘0’。如果置位指针区域保护操作失败，SPRP 或 4SPRP 指令将置位 P\_ERR 或 E\_ERR 位。

有关地址指针定义存储器中受保护区域和非受保护区域之间扇区边界的详细信息，请参阅“[指针区域保护 \(PRP\)](#)”。

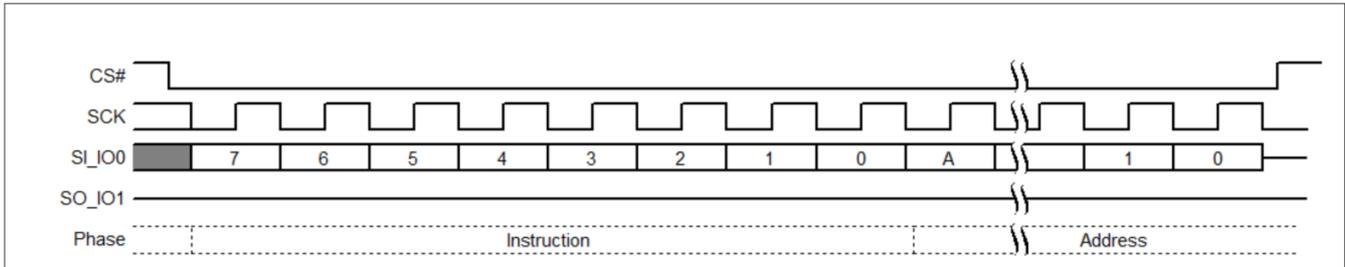


图 105 SPRP 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令和地址在 IO0–IO3 上移入。

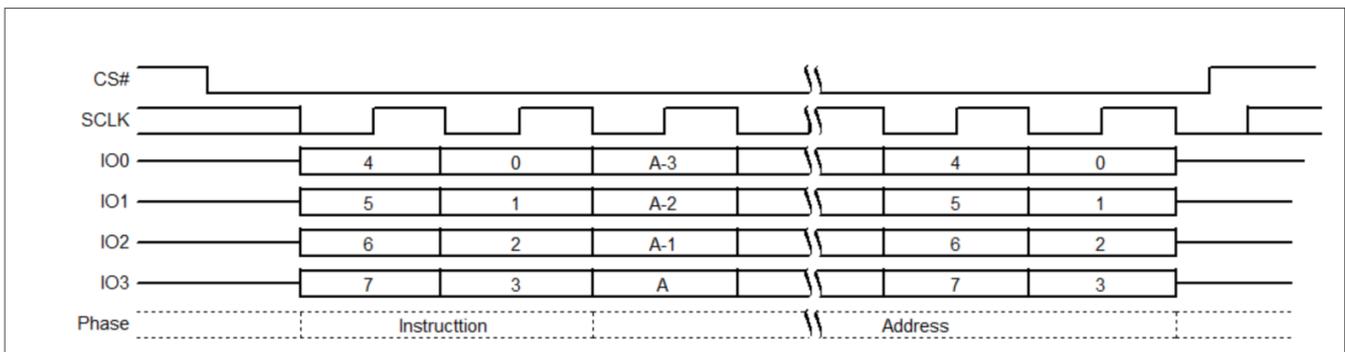


图 106 SPRP 指令序列 QPI 模式

注：

1.  $A = \text{地址的 MSb} = 23$ ，对于地址长度 ( $CR2V[0] = 0$ )，或  $31$ ，对于  $CR2V[0] = 1$ ，带指令为  $FDh$ 。
2.  $A = \text{地址的 MSb} = 31$ ，指令为  $E3h$ 。

## 8.10 单独区域保护 (IRP) 命令

### 8.10.1 IRP 寄存器读取 (IRPRD 2Bh)

IRP 寄存器读取指令 2Bh 通过 SCK 信号的上升沿移入 SI/IO0，然后跟随一个虚拟周期。该延迟周期允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内，IO0–IO3 上的数据值是“不关心的”，并且可能是高阻态。

然后 16 位 IRP 寄存器内容首先移出串行输出 SO/IO1，低字节/最低有效位。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 16 个时钟周期的倍数，可以连续读取 IRP 寄存器。

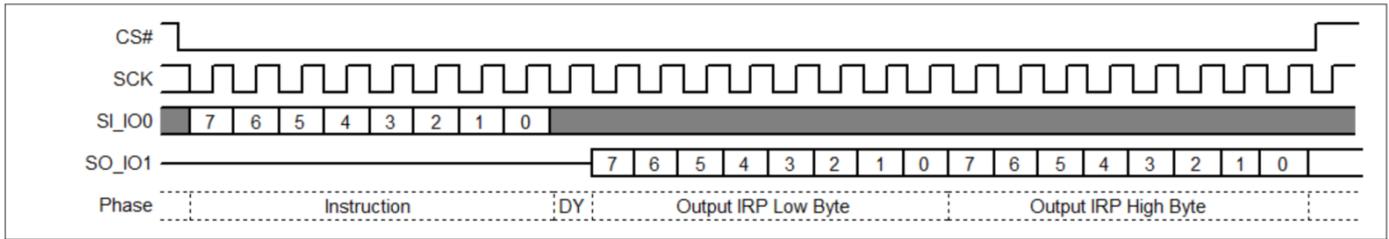


图 107 IRPRD 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令被移入并在 IO0-I03 上返回数据。

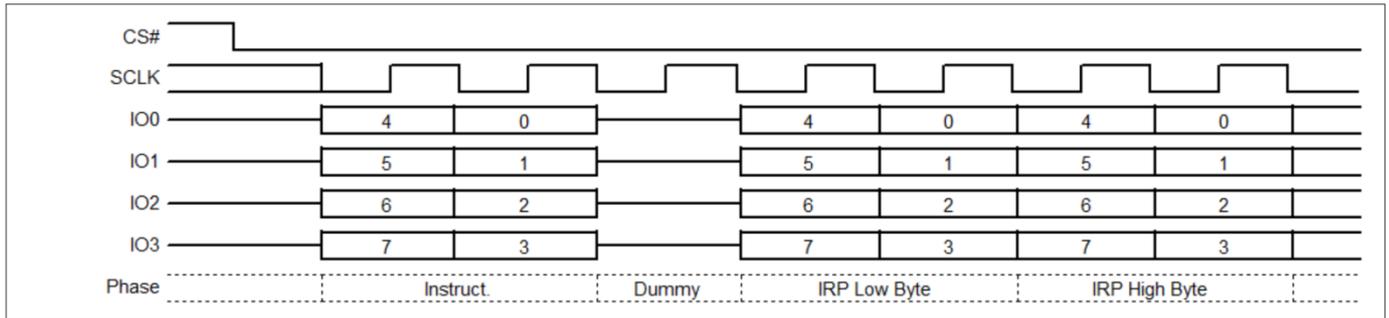


图 108 IRPRD 指令序列 - QPI 模式

### 8.10.2 IRP 编程 (IRPP 2Fh)

在器件接受 IRP 编程 (IRPP) 指令之前，必须发出写使能 (WREN) 指令。写使能 (WREN) 指令被解码后，器件会将写使能锁存器 (WEL) 置位在状态寄存器中，以允许任何写操作。

通过将 CS 驱动至逻辑低电平状态，然后输入SI上的指令和两个数据字节（低字节/最低有效位），即可进入 IRPP 指令。IRP 寄存器的长度为两个数据字节。

IRPP 指令以与任何其他编程操作相同的方式影响状态和配置寄存器的 P\_ERR 和 WIP 位。

在锁存第16位数据后，必须将 CS# 输入驱动至逻辑高电平状态。如果不是，则不会执行 IRPP 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 IRPP 操作就会启动。在 IRPP 操作进行过程中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 IRPP 操作期间为“1”，完成时为“0”。当 IRPP 操作完成时，Write 使能 Latch (WEL) 被置位为 '0'。

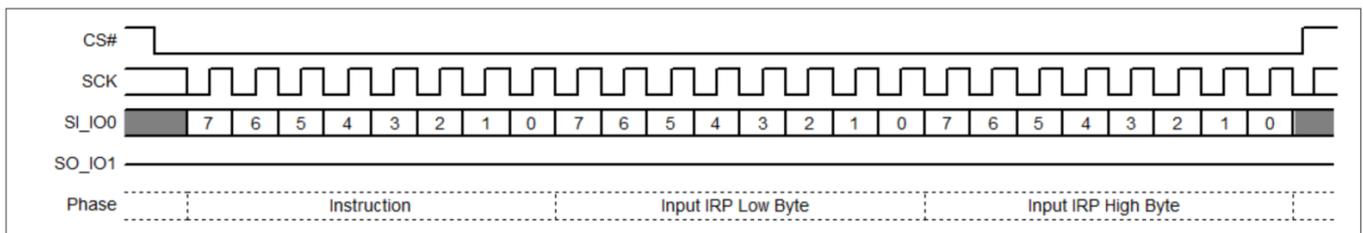


图 109 IRP 编程 (IRPP) 指令

QPI模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-I03 移入。

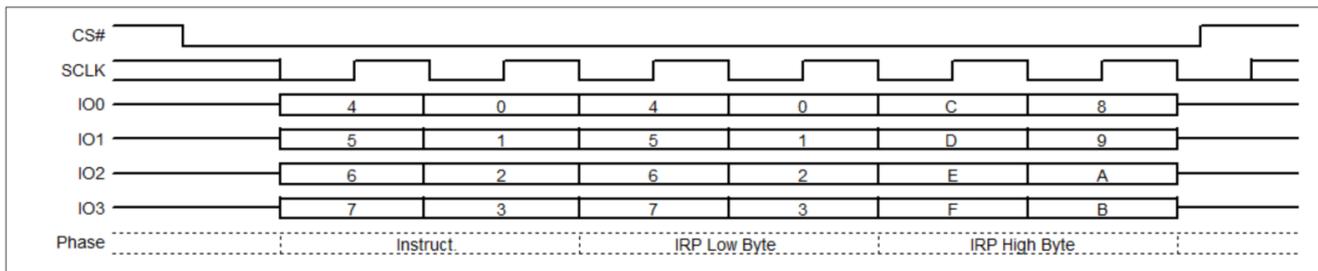


图 110 IRP 编程 (IRPP) 指令 QPI

### 8.10.3 保护寄存器读取 (PRRD A7h)

保护寄存器读取 (PRRD) 指令允许读取 SO/IO1 的保护寄存器内容。读取指令 A7h 在 SCK 信号的上升沿后跟一个空周期移位到 SI。该延迟周期允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内，IO0-IO3 上的数据值是“不关心的”，并且可能是高阻态。

然后，8 位保护寄存器的内容通过串行输出 SO/IO1 移出。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 8 个时钟周期的倍数，可以连续读取保护寄存器。

仅当器件处于待机状态且没有其他操作正在进行时，才可以读取保护寄存器的内容。

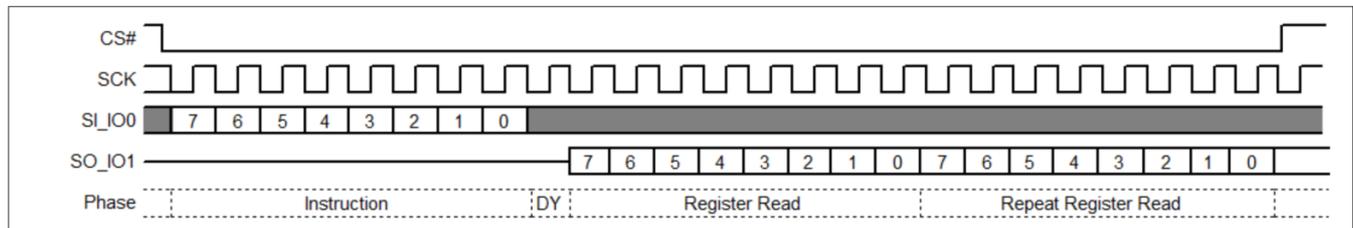


图 111 保护寄存器读取 (PRRD) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令被移入并在 IO0-IO3 上返回数据。

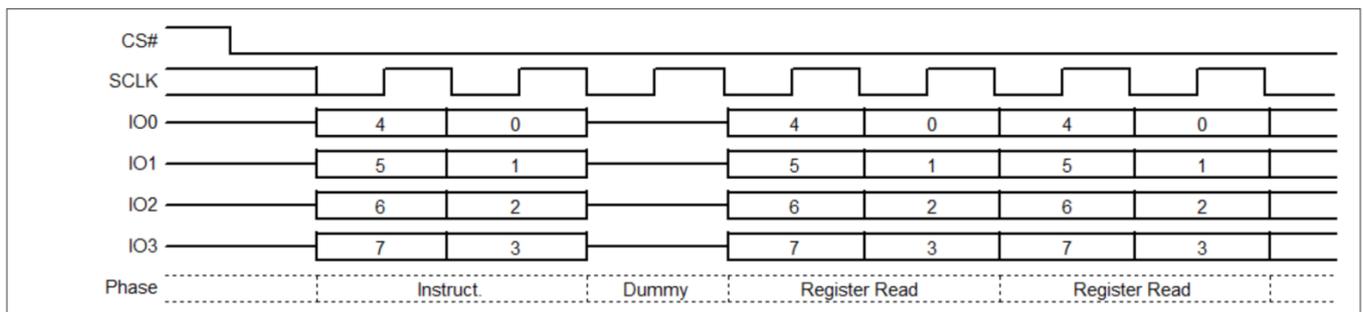


图 112 保护寄存器读取 (PRRD) 指令序列 - QPI 模式

### 8.10.4 保护寄存器锁定 (PRL A6h)

保护寄存器锁定 (PRL) 指令将 NVLOCK 位 (PR[0]) 清零并将 IRP[6] 值加载到 SECRP (PR[6])。请参阅“[保护寄存器 \(PR\)](#)”。在器件接受 PRL 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码，这会设置状态寄存器中的写使能锁存器 (WEL) 以允许任何写操作。

通过将 CS 驱动至逻辑低电平状态，然后输入指令，即可输入 PRL 指令。

在锁存指令的第八位之后，必须将 CS# 驱动至逻辑高状态。如果不是，则不会执行 PRL 指令。一旦 CS# 被驱动到逻辑高电平状态，自定时 PRL 操作就会启动。当 PRL 操作正在进行时，仍然可以读取状态寄存器来检查写入进度 (WIP) 位的值。自定时 PRL 操作期间，写入进度 (WIP) 位为“1”，完成时为“0”。当 PRL 操作完成后，写能门锁 (WEL) 被置位为‘0’。

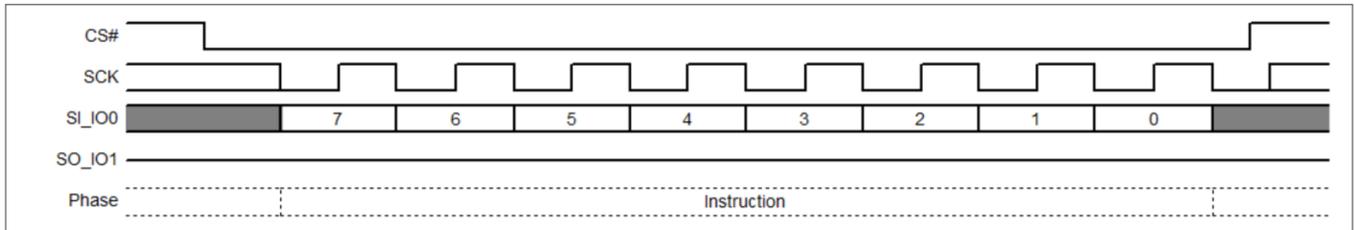


图 113 保护寄存器锁定 (PRL) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令在 IO0-I03 上移入。

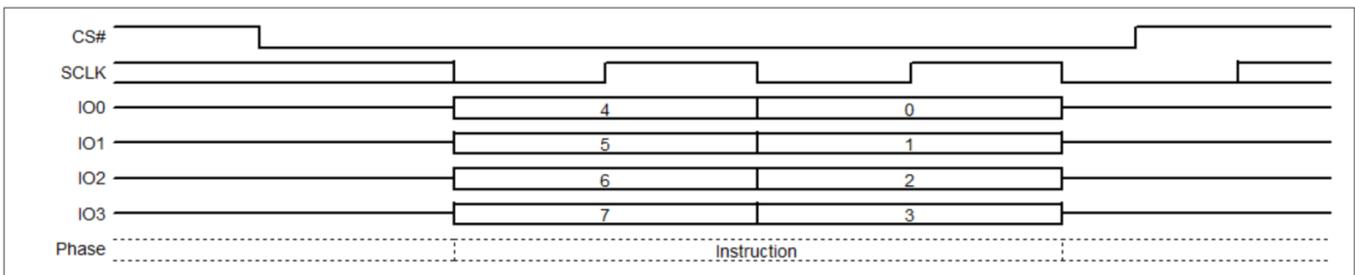


图 114 保护寄存器锁定 (PRL) 指令序列 - QPI 模式

### 8.10.5 密码读取 (PASSRD E7h)

仅可在编程之后且通过将 IRP 寄存器 (IRP[2]) 中的密码保护模式位编程为 0 来选择密码模式之前，才可读取正确的密码值。选择密码保护模式后，密码不再可读，PASSRD 指令将输出未定义的数据。

PASSRD 指令移入 SI，随后是一个虚拟周期。该延迟周期允许器件的内部电路有足够的时间来访问/访问初始地址处的数据。在延迟周期内，上的数据值是“不关心的”并且可能是高阻态。

然后将 64 位密码移出串行输出，低字节/最低有效位在前，每个字节的 Msb 在前。每个位都通过 SCK 信号的下降沿以 SCK 频率移出。通过提供 64 个时钟周期的倍数，可以连续读取密码。

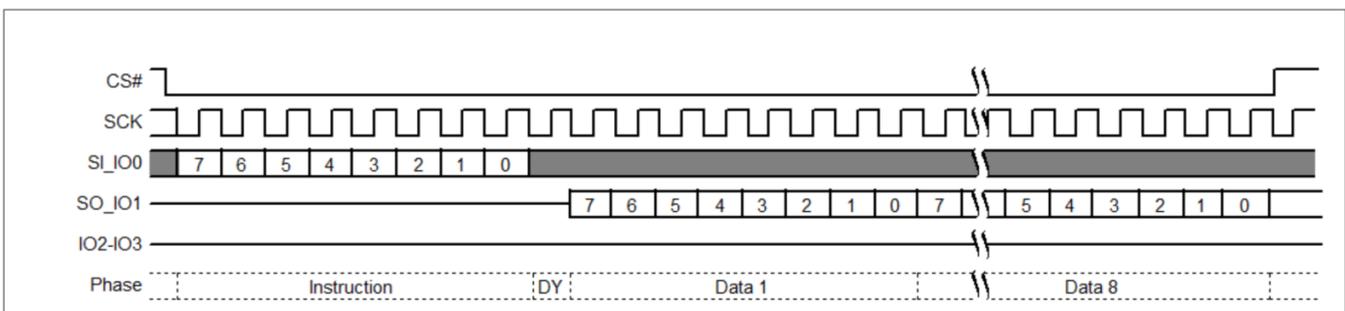


图 115 密码读取 (PASSRD) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令被移入并在 IO0-I03 上返回数据。

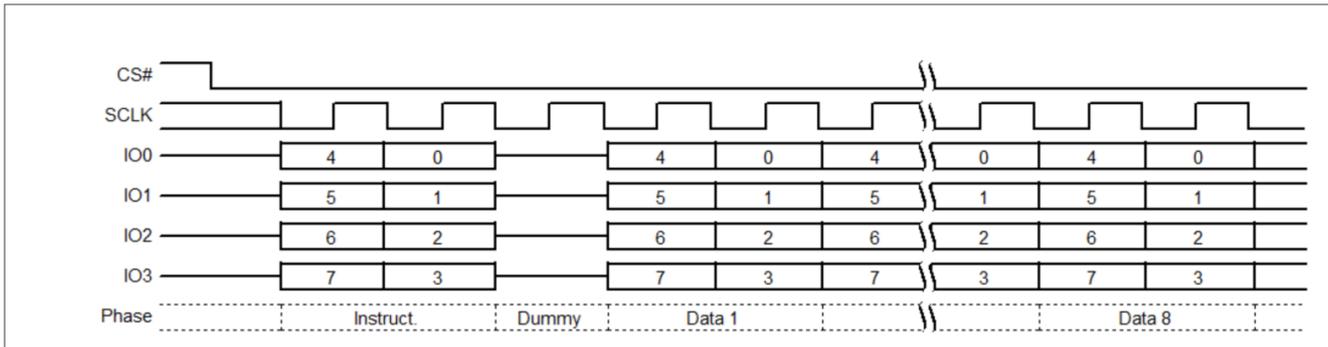


图 116 密码读取 (PASSRD) 指令序列 - QPI 模式

### 8.10.6 密码编程 (PASSP E8h)

在器件接受密码编程 (PASSP) 指令之前，器件必须发出写使能 (WREN) 指令并对其进行解码。写使能 (WREN) 指令被解码后，器件设置写使能锁存器 (WEL) 来使能 PASSP 操作。

仅可在选择密码模式之前通过将 IRP 寄存器 (IRP[2]) 中的密码保护模式位编程为 0 来对密码进行编程。选择密码保护模式后，PASSP 指令将被忽略。

通过将 CS 驱动为逻辑低电平状态，然后输入 SI / IO0 上的指令和密码数据字节，低字节/最低有效位在前，每个字节的 MSb 在前，即可进入 PASSP 指令。密码的长度为 64 (64) 位。在第 64 (64) 位数据被锁存后，CS 必须被驱动至逻辑高状态。如果不是，则不执行 PASSP 指令。一旦 CS 被驱动至逻辑高电平状态，自定时 PASSP 操作已启动。在 PASSP 操作进行过程中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PASSP 周期内为“1”，完成时为“0”。PASSP 指令可以在状态寄存器的 P\_ERR 位报告编程错误。当 PASSP 操作完成后，Write 使能 Latch (WEL) 被置位为‘0’。

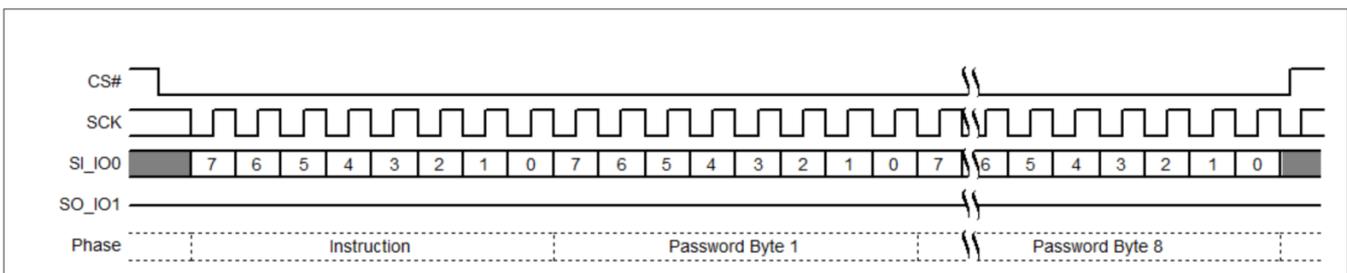


图 117 密码编程 (PASSP) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-IO3 移入。

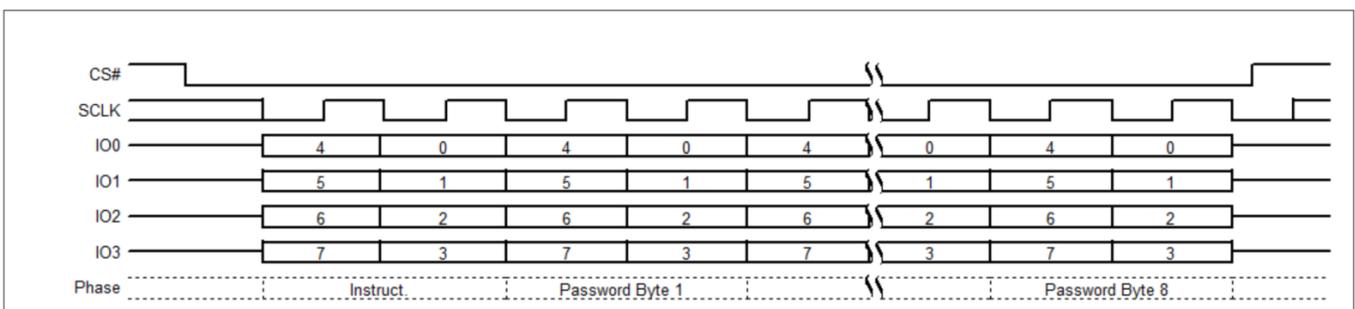


图 118 密码编程 (PASSP) 指令序列 QPI 模式

### 8.10.7 密码解锁 (PASSU EAh)

通过将 CS 驱动为逻辑低电平状态，然后输入 SI 上的指令和密码数据字节，低字节/最低有效位在前，每个字节的 MSb 在前，即可进入 PASSU 指令。密码的长度为 64 (64) 位。在第 64 位数据被锁存后，CS 必须被驱动至逻辑高状态。如果没有，则 PASSU 指令未执行。一旦 CS# 被驱动到逻辑高电平状态，自定时 PASSU 操作就会启动。在 PASSU 操作进行过程中，可以读取状态寄存器来检查写入进度 (WIP) 位的值。写入进度 (WIP) 位在自定时 PASSU 周期内为“1”，完成时为“0”。

如果 PASSU 指令提供的密码与密码寄存器中的隐藏密码不匹配，则通过将 P\_ERR $\times$  设置为“1”来报告错误。状态寄存器的 WIP 位也保持为“1”。需要使用 CLSR 指令清零，复位状态寄存器，软件复位指令 (RSTEN 66h 后接 RST 99h) 来复位器件，或者驱动 RESET# 和 IO3 / RESET# 输入来发起硬件复位，以便将 P\_ERR 和 WIP 位返回为 '0'。这会将器件返回到待机状态，为新指令做好准备，例如重试 PASSU 指令。

如果密码匹配，则将 NVLOCK 位置位为“1”。

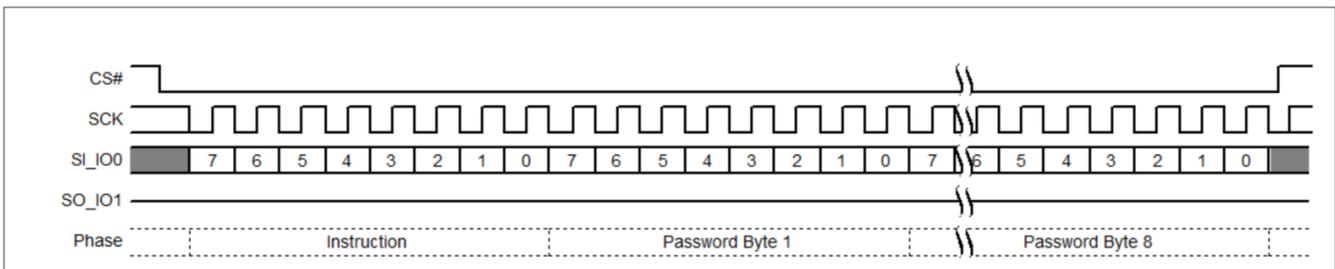


图 119 密码解锁 (PASSU) 指令序列

QPI 模式也支持该指令。在 QPI 模式下，指令和数据通过 IO0-IO3 移入。

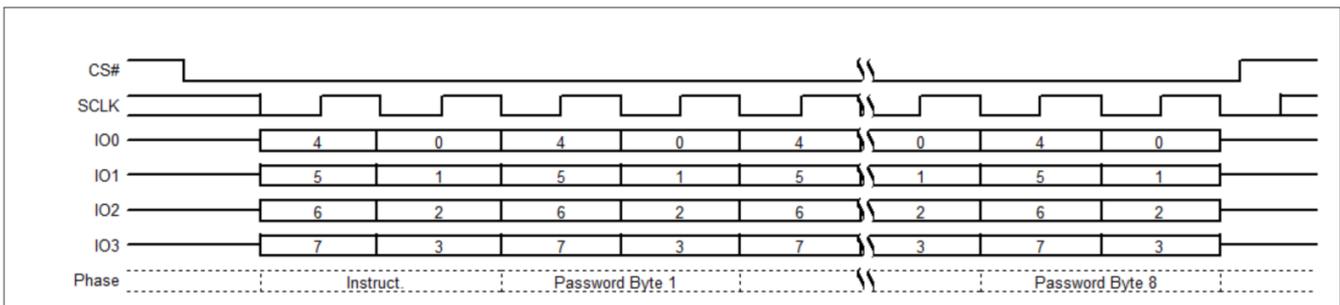


图 120 密码解锁 (PASSU) 指令序列 QPI 模式

### 8.11 复位命令

软件控制的复位指令通过从非易失默认值重新加载易失性寄存器来将器件恢复到其初始上电状态。如果在擦除、编程或写寄存器操作期间启动软件复位，但该寄存器中的数据不稳定，则需要重新启动被中断的操作。

但是，配置寄存器 CR1V[0] 中的易失性 SRP1 位和保护寄存器中的易失性 NVLOCK 位不会通过软件复位而改变。软件复位不能用于规避其他安全配置位的 SRP1 或 NVLOCK 位保护机制。

SRP1 位和 NVLOCK 位将保持在软件复位之前的最后值。要清零，复位 SRP1 位和 NVLOCK 位设置为其保护模式选择的上电状态，必须执行完整的上电复位序列或硬件复位。

当 CS# 在指令末尾变为高电平时，会执行软件复位命令（RSTEN 66h，后跟 RST 99h），并且需要  $t_{RPH}$  时间来执行。

如果之前的上电复位 (POR) 未能完成，复位指令会触发完整的上电序列，需要  $t_{PU}$  完成。

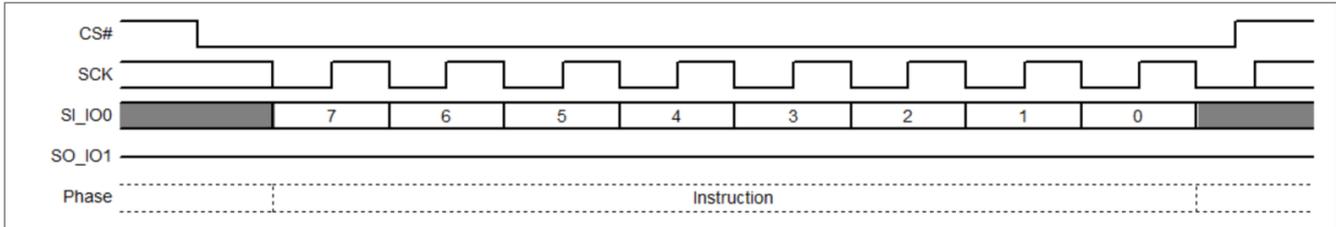


图 121 软件复位 / 模式位指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0-I/O3 上移入。

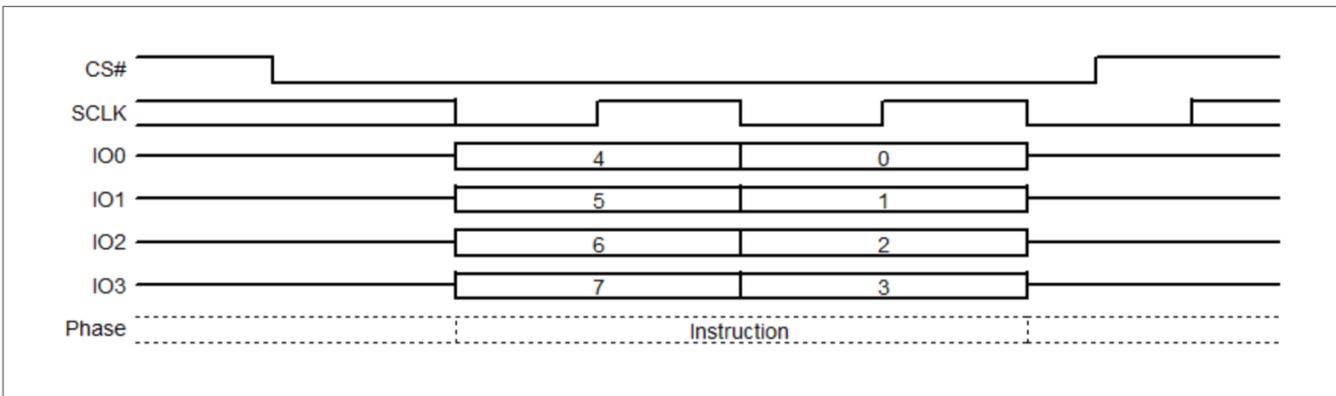


图 122 软件复位 / 模式位指令序列 - QPI 模式

### 8.11.1 软件复位使能 (RSTEN 66h)

复位使能 (RSTEN) 指令紧接在软件复位指令 (RST 99h) 之前，以便软件复位是两个指令的序列。RSTEN 指令后面除 RST 以外的任何指令都将清零，复位复位使能条件，并阻止后面的 RST 指令被识别。

### 8.11.2 软件复位 (RST 99h)

复位 (RST) 指令紧随 RSTEN 指令，启动软件复位过程。RSTEN 指令后面除 RST 以外的任何指令都将清零，复位复位使能条件，并阻止后面的 RST 指令被识别。

### 8.11.3 模式位复位 (MBR FFh)

模式位复位 (MBR) 指令用于将器件从连续高性能读取模式返回到正常待机状态，等待任何新指令。由于硬件复位输入可能被禁用，并且处于连续高性能读取模式的器件可能无法识别任何正常的 SPI 指令，因此该器件可能无法识别系统硬件复位或软件复位指令。当 RESET# 信号不可用时，建议在系统复位之后使用 MBR 指令，或者在发送软件复位之前，以确保器件从连续高性能读取模式中释放。

MBR 指令在 SI / IO0 上发送 8 个 SCK 周期的“1”。在这些周期内，IO1-I/O3 是“不关心的”。

## 8.12 深度掉电命令

### 8.12.1 深度掉电 (DPD B9h)

虽然正常工作期间的待机电流相对较低，但使用深度掉电命令可以进一步降低待机电流。较低的功耗使得深度掉电 (DPD) 命令对于电池供电应用尤其有用（参见“[直流特性](#)”中的  $I_{CC1}$  和  $I_{CC2}$ ）。该指令通过将 CS# 引脚驱动为低电平并移位指令代码“B9h”来启动。

第8位锁存后，必须将 CS# 引脚驱动为高电平。否则，深度掉电命令将不会执行。CS# 驱动为高电平后，将在  $t_{DP}$  时间内进入掉电状态（[表67](#)）。在掉电状态下，只有“解除深度掉电/设备 ID”命令（用于将设备恢复到正常工作状态）才能被识别。所有其他命令都将被忽略。

这包括读取寄存器状态指令，该指令在正常操作期间始终可用。忽略除一个指令之外的所有指令也使关闭状态成为确保最大写保护的有用条件。

在深度电源恢复模式下，器件仅接受硬件复位，这将启动复位电源，将器件恢复到正常运行状态。器件在正常工作中总是通过  $I_{CC1}$  的待机电流上电。

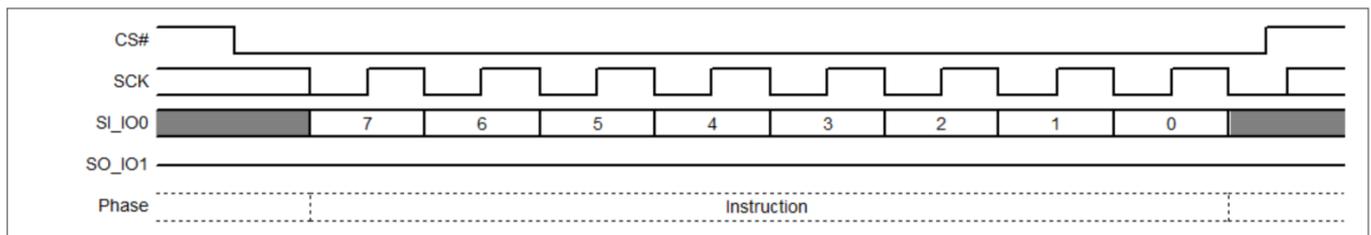


图 123 深度掉电 (DPD) 指令序列

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。

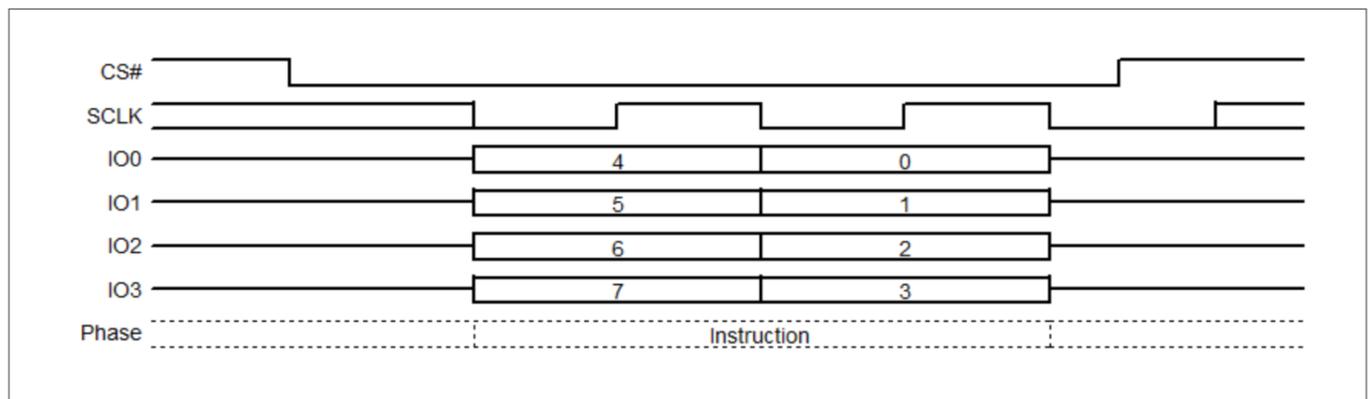


图 124 深度掉电 (DPD) 指令序列 - QPI 模式

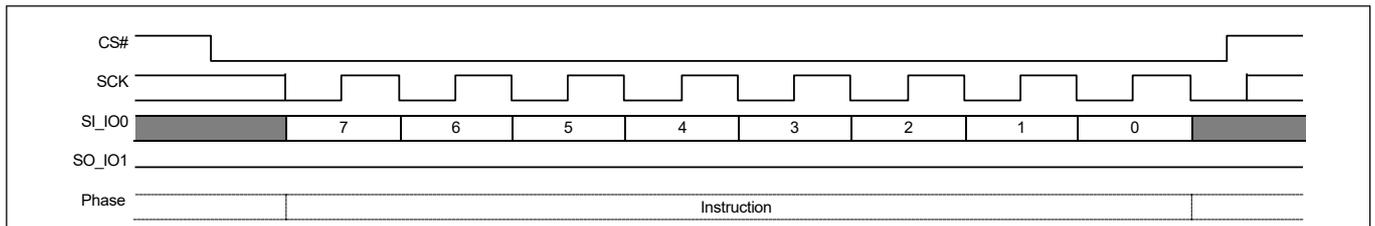
### 8.12.2 深度掉电释放/设备 ID (RES ABh)

深度掉电释放/设备 ID 命令是一个多用途命令。它可用于使器件从电源跌落状态中恢复，或获取器件的电子识别 (ID) 号。

要使器件从深度电源恢复状态释放，可通过将 CS 引脚驱动为低电平、移位指令代码“ABh”并将 CS 驱动为高电平来发出指令。从深度电源下降释放需要持续  $t_{RES}$  的时间（[表 67](#)）之后，器件才能恢复正常运行并接受其他指令。在  $t_{RES}$  时间内，CS 引脚必须保持高电平。

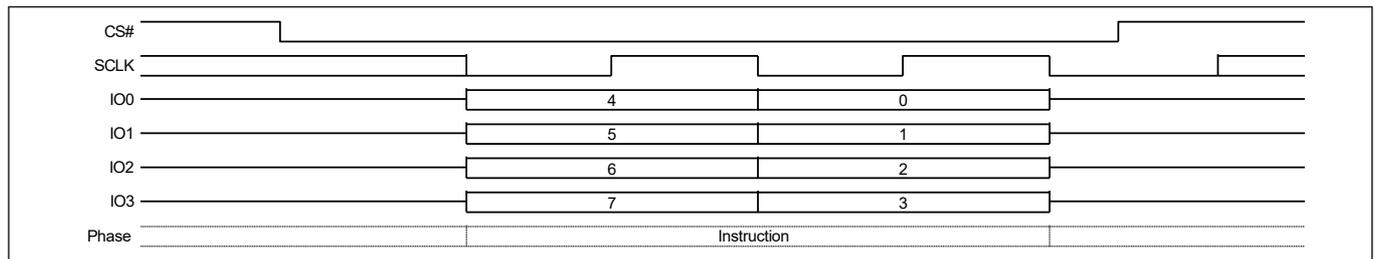
当仅用于在非电源下降状态下获取器件 ID 时，通过驱动 CS 引脚低电平并移位指令代码“ABh”和 3 个虚拟字节来启动指令。器件 ID 位随后在 CLK 的下降沿上以 Msb 优先的方式移出。S25FL-L 系列的器件 ID 值列于和 [表53](#) 继续将输出移出定义的 ID 地址空间的末尾将提供未定义的数据。通过将 CS 驱动为高电平来完成该指令。

用于解除器件电源下降状态，并获取器件ID的指令与前面相同，如[图 127](#) 和[图 126](#)，但 CS 驱动为高电平后，必须保持高电平  $t_{RES}$ 。在此时间之后，器件将恢复正常运行，并接受其他指令。如果在擦除、编程或写入周期正在进行时（当 BUSY 等于 1 时），发出“从深度电源下降 / 器件 ID 释放”指令，则该指令将被忽略，并且不会对电流周期产生任何影响。

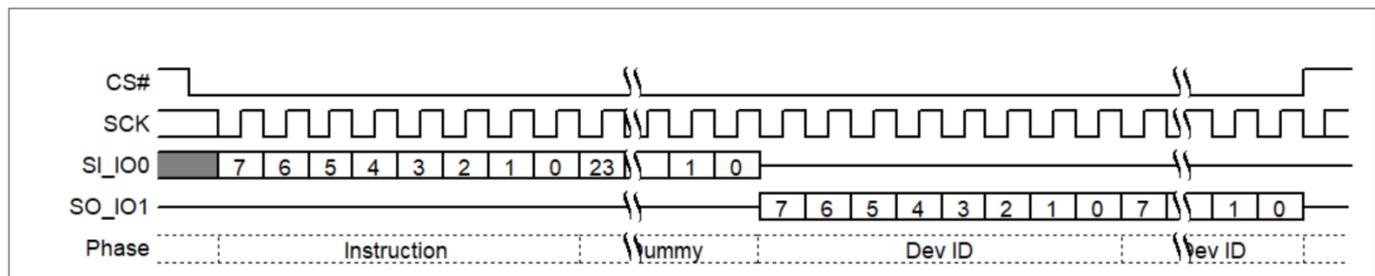


**图 125 深度掉电释放 (RES) 指令序列**

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入。



**图 126 深度掉电释放 (RES) 指令序列 - QPI 模式**



**图 127 读取识别 (RES) 指令序列**

QPI模式也支持该指令。在 QPI 模式下，指令在 IO0–IO3 上移入，返回数据在 IO0–IO3 上移出。

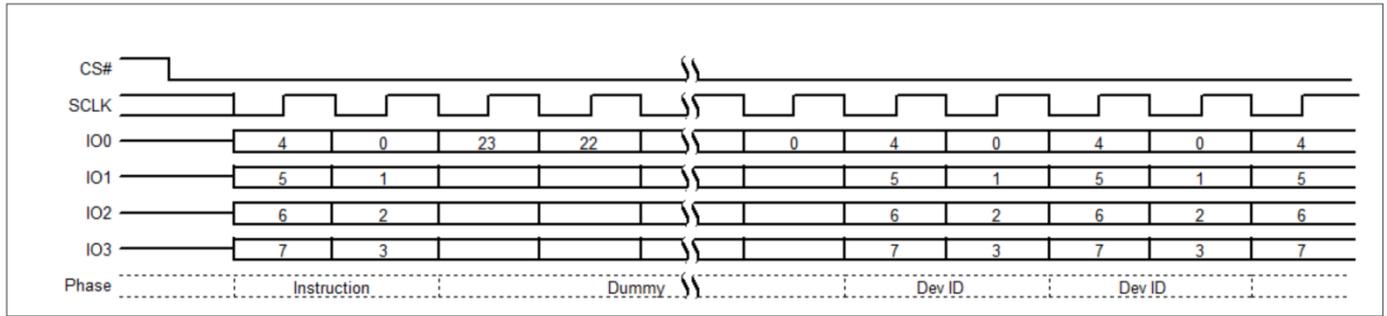


图 128 读取识别 (RES) QPI模式指令

## 9 数据完整性

### 9.1 擦除耐久性

表 47 擦除次数

Parameter	Min	Unit
Program/Erase cycles per main Flash array sectors	100K	P/E cycle
Program/Erase cycles per Security Registers or non-volatile register array <sup>1)</sup>	1K	

1) 每一条写入非易失性寄存器的指令都会导致整个非易失性寄存器阵列进入一个编程/擦除周期。

### 9.2 数据保留

表 48 数据保留

Parameter	Test conditions	Minimum time	Unit
Data retention time	10K program/erase cycles	20	Years
	100K program/erase cycles	2	

有关数据完整性的更多信息，请联系英飞凌销售或 FAE 代表。

## 10 软件接口参考

### 10.1 JEDEC JESD216B 串行闪存可发现参数

本文档定义了以下英飞凌串行闪存设备中使用的串行闪存可发现参数 (SFDP) 修订版 B 数据结构:

- S25FL-L 系列

这些数据结构值是对上述设备中当前存在的早期修订版 SFDP 数据结构的更新。

读取 SFDP (RSFDP) 指令 (5Ah) 从单独的存储器地址空间读取器件标识、特性和配置信息的信息，符合串行存储器可发现参数的 JEDEC JESD216B 标准。

SFDP 数据结构由报文/帧头表组成，该表标识了支持的 JESD216 报文/帧头格式的修订版本，并为每个提供的 SFDP 参数表提供了修订号和指针。参数表位于 SFDP 报文头/帧头之后。但是，参数表可以放置在 SFDP 地址空间内的任意物理位置和顺序。这些表不一定是连续的，也不一定与其报文头/帧头表条目的顺序相同。

SFDP 报文头/帧头指向以下参数表:

- 基本闪存
  - 这是原始的 SFDP 表。它修改了一些字段，并在表末尾添加了新的附加字段。
- 4 字节地址指令
  - 这是原始的 SFDP 表。它修改了一些字段，并在表末尾添加了新的附加字段。

SFDP 地址空间中各表的物理顺序为：SFDP 报文头/帧头、基本负载/快闪式存储器区扇图、4 字节指令。SFDP 地址空间由英飞凌编程，对于主机系统是只读的。

#### 10.1.1 SFDP 地址映射

SFDP 地址空间具有从地址零开始的报文头/帧头，用于标识 SFDP 数据结构并为每个参数提供指针。JEDEC JESD216B 标准规定了一项基本闪存参数。4 字节地址指令的可选参数表遵循基本闪存表。

**表 49 SFDP 概述图**

Byte address	Description
0000h	Location zero within JEDEC JESD216B SFDP space - start of SFDP header
...	Remainder of SFDP header followed by undefined space
0300h	Start of SFDP parameter
...	Remainder of SFDP JEDEC parameter followed by undefined space

### 10.1.2 SFDP 报文头/帧头字段定义

表 50 SFDP 报文头/帧头

SFDP Byte address	SFDP Dword name	Data	Description
00h	SFDP Header 1st DWORD	53h	This is the entry point for Read SFDP (5Ah) command i.e. location zero within SFDP space ASCII "S"
01h		46h	ASCII "F"
02h		44h	ASCII "D"
03h		50h	ASCII "P"
04h	SFDP Header 2nd DWORD	06h	SFDP Minor Revision (06h = JEDEC JESD216 Revision B) This revision is backward compatible with all prior minor revisions. SFDP reading and parsing software will work with higher minor revision numbers than the software was designed to handle. Software designed for a higher revisions must know how to handle earlier revisions. Example: SFDP reading and parsing software for minor revision 0 will still work with minor revision 6. SFDP reading and parsing software for minor revision 6 must be designed to also read minor revision 0 or 5. Do not do a simple compare on the minor revision number, looking only for a match with the revision number that the software is designed to handle. There is no problem with using a higher number minor revision.
05h		01h	SFDP Major Revision This is the original major revision. This major revision is compatible with all SFDP reading and parsing software.
06h		01h	Number of Parameter Headers (zero based, 01h = 2 parameters)
07h		FFh	Unused
08h	Parameter Header 01st DWORD	00h	Parameter ID LSB (00h = JEDEC SFDP Basic SPI Flash Parameter)
09h		06h	Parameter Minor Revision (06h = JESD216 Revision B)
0Ah		01h	Parameter Major Revision (01h = The original major revision - all SFDP software is compatible with this major revision.
0Bh		10h	Parameter Table Length (in double words = Dwords = 4 byte units) 10h = 16 Dwords
0Ch	Parameter Header 02nd DWORD	00h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC Basic SPI Flash parameter byte offset = 0300h address
0Dh		03h	Parameter Table Pointer Byte 1
0Eh		00h	Parameter Table Pointer Byte 2
0Fh		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)
10h	Parameter Header 11st DWORD	84h	Parameter ID LSB (84h = SFDP 4 Byte Address Instructions Parameter)
11h		00h	Parameter Minor Revision (00h = Initial version as defined in JESD216 Revision B)

(表格续下页.....)

表 50 SFDP报文头/帧头 (续)

SFDP Byte address	SFDP Dword name	Data	Description
12h		01h	Parameter Major Revision (01h = The original major revision - all SFDP software that recognizes this parameter's ID is compatible with this major revision.
13h		02h	Parameter Table Length (in double words = Dwords = 4 byte units) (2h = 2 Dwords)
14h	Parameter Header	40h	Parameter Table Pointer Byte 0 (Dword = 4 byte aligned) JEDEC parameter byte offset = 0340h
15h	12nd DWORD	03h	Parameter Table Pointer Byte 1
16h		00h	Parameter Table Pointer Byte 2
17h		FFh	Parameter ID MSB (FFh = JEDEC defined Parameter)

### 10.1.3 JEDEC SFDP 基本 SPI 闪存参数

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B

SFDP parameter relative byte address	SFDP Dword name	Data	Description
00h	JEDEC Basic Flash Parameter Dword-1	E5h	Start of SFDP JEDEC parameter Bits 7:5 = unused = 111b Bit 4:3 = 05h is volatile status register write instruction and status register is default non-volatile = 00b Bit 2 = Program Buffer > 64 Bytes = 1 Bits 1:0 = Uniform 4KB erase is supported through out the device = 01b
01h		20h	Bits 15:8 = Uniform 4KB erase instruction = 20h
02h		FBh	Bit 23 = Unused = 1b Bit 22 = Supports QOR (1-1-4) Read, Yes = 1b Bit 21 = Supports QIO (1-4-4) Read, Yes = 1b Bit 20 = Supports DIO (1-2-2) Read, Yes = 1b Bit 19 = Supports DDR, Yes = 1b Bit 18:17 = Number of Address Bytes, 3 or 4 = 01b Bit 16 = Supports Fast Read SIO and DIO Yes = 1b
03h		FFh	Bits 31:24 = Unused = FFh
04h	JEDEC Basic Flash Parameter Dword-2	FFh	Density in bits, zero based, 128Mb = 07FFFFFFh 256Mb = 0FFFFFFFh 512Mb = 1FFFFFFFh
05h		FFh	
06h		FFh	

(表格续下页.....)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
07h		07h 128Mb0Fh 256Mb1Fh 512Mb	
08h	JEDEC Basic Flash Parameter Dword-3	48h	Bits 7:5 = number of QIO Mode cycles = 010b Bits 4:0 = number of Fast Read QIO Dummy cycles = 01000b for default latency code
09h		EBh	Fast Read QIO instruction code
0Ah		08h	Bits 23:21 = number of Quad Out Mode cycles = 000b Bits 20:16 = number of Quad Out Dummy cycles = 01000b for default latency code
0Bh		6Bh	Quad Out instruction code
0Ch	JEDEC Basic Flash Parameter Dword-4	08h	Bits 7:5 = number of Dual Out Mode cycles = 000b Bits 4:0 = number of Dual Out Dummy cycles = 01000b for default latency code
0Dh		3Bh	Dual Out instruction code
0Eh		88h	Bits 23:21 = number of Dual I/O Mode cycles = 100b Bits 20:16 = number of Dual I/O Dummy cycles = 01000b for default latency code
0Fh		BBh	Dual I/O instruction code
10h	JEDEC Basic Flash Parameter Dword-5	FEh	Bits 7:5 RFU = 111b Bit 4 = QPI supported = 1b Bits 3:1 RFU = 111b Bit 0 = Dual All not supported = 0b
11h		FFh	Bits 15:8 = RFU = FFh
12h		FFh	Bits 23:16 = RFU = FFh
13h		FFh	Bits 31:24 = RFU = FFh
14h	JEDEC Basic Flash Parameter Dword-6	FFh	Bits 7:0 = RFU = FFh
15h		FFh	Bits 15:8 = RFU = FFh
16h		FFh	Bits 23:21 = number of Dual All Mode cycles = 111b Bits 20:16 = number of Dual All Dummy cycles = 11111b
17h		FFh	Dual All instruction code
18h	JEDEC Basic Flash Parameter Dword-7	FFh	Bits 7:0 = RFU = FFh
19h		FFh	Bits 15:8 = RFU = FFh

(表格续下页.....)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
1Ah		48h	Bits 23:21 = number of QPI Mode cycles = 010b Bits 20:16 = number of QPI Dummy cycles = 01000b for default latency code
1Bh		EBh	QPI Fast Read instruction code (Same as QIO when QPI is enabled)
1Ch	JEDEC Basic Flash Parameter Dword-8	0Ch	Sector type 1 size 2 <sup>N</sup> Bytes = 4KB = 0Ch (for Uniform 4KB)
1Dh		20h	Sector type 1 instruction
1Eh		0Fh	Sector type 2 size 2 <sup>N</sup> Bytes = 32KB = 0Fh (for Uniform 32KB)
1Fh		52h	Sector type 2 instruction
20h	JEDEC Basic Flash Parameter Dword-9	10h	Sector type 3 size 2 <sup>N</sup> Bytes = 64KB = 10h (for Uniform 64KB)
21h		D8h	Sector type 3 instruction
22h		00h	Sector type 4 size 2 <sup>N</sup> Bytes = not supported = 00h
23h		FFh	Sector type 4 instruction = not supported = FFh
24h	JEDEC Basic Flash Parameter Dword-10	21h	Bits 31:30 = Sector Type 4 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = RFU = 11b
25h		5Ah	Bits 29:25 = Sector Type 4 Erase, Typical time count = RFU = 1_1111b (typ erase time = count + 1 * units = RFU = 11111)
26h		C1h	Bits 24:23 = Sector Type 3 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16ms = 01b Bits 22:18 = Sector Type 3 Erase, Typical time count = 1_0000b (typ erase time = count + 1 * units = 17 * 16 ms = 272 ms)
27h		FEh	Bits 17:16 = Sector Type 2 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16 ms = 01b Bits 15:11 = Sector Type 2 Erase, Typical time count = 0_1011b (typ erase time = count + 1 * units = 12 * 16 ms = 192 ms) Bits 10:9 = Sector Type 1 Erase, Typical time units (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) = 16 ms = 01b Bits 8:4 = Sector Type 1 Erase, Typical time count = 0_0010b (typ erase time = count + 1 * units = 3 * 16 ms = 48 ms) Bits 3:0 = Count = (Max Erase time / (2 * Typical Erase time)) - 1 = 0001b Multiplier from typical erase time to maximum erase time = 4x multiplier Max Erase time = 2 * (Count + 1) * Typ Erase time Binary Fields: 11-11111-01-10000-01-01011-01-00010-0001 Nibble Format: 1111_1110_1100_0001_0101_1010_0010_0001 Hex Format: FE_C1_5A_21

(表格续下页.....)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
28h	JEDEC Basic Flash Parameter Dword-11	81h	Bits 23 = Byte Program Typical time, additional byte units (0b:1 $\mu$ s, 1b:8 $\mu$ s) = 1 $\mu$ s = 0b
29h		E4h	Bits 22:19 = Byte Program Typical time, additional byte count, (count + 1) * units, count = 0101b, (typ Program time = count + 1 * units = 6 * 1 $\mu$ s = 6 $\mu$ s)
2Ah		29h	Bits 18 = Byte Program Typical time, first byte units (0b:1 $\mu$ s, 1b:8 $\mu$ s) = 1 $\mu$ s = 0b Bits 17:14 = Byte Program Typical time, first byte count, (count + 1) * units, count = 0111b, (typ Program time = count + 1 * units = 8 * 1 $\mu$ s = 8 $\mu$ s) Bits 13 = Page Program Typical time units (0b:8 $\mu$ s, 1b:64 $\mu$ s) = 64 $\mu$ s = 1b Bits 12:8 = Page Program Typical time count, (count + 1) * units, count = 00100b, (typ Program time = count + 1 * units = 5 * 64 $\mu$ s = 320 $\mu$ s) Bits 7:4 = N = 1000b, Page size = 2 <sup>N</sup> = 256B page Bits 3:0 = Count = 0001b = (Max Page Program time / (2 * Typ Page Program time)) - 1 Multiplier from typical Page Program time to maximum Page Program time = 4x multiplier Max Page Program time = 2 * (Count + 1) * Typ Page Program time Binary Fields: 0-0101-0-0111-1-00100-1000-0001 Nibble Format: 0010_1001_1110_0100_1000_0001 Hex Format: 29_74_81
2Bh	JEDEC Basic Flash Parameter Dword-11	D1h 128Mb E2h 256Mb	1128Mb = 1101_0001b = D1h Bit 31 Reserved = 1b Bits 30:29 = Chip Erase, Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 4s = 10b Bits 28:24 = Chip Erase, Typical time count, (count+1)*units, count = 10001b, (typ Program time = count + 1 * units = 18 * 4s = 72 s) 256Mb = 1110_0010b = E2h Bit 31 Reserved = 1b Bits 30:29 = Chip Erase, Typical time units (00b: 16 ms, 01b: 256 ms, 10b: 4 s, 11b: 64 s) = 64s = 11b Bits 28:24 = Chip Erase, Typical time count, (count + 1) * units, count = 00010b, (typ Program time = count + 1 * units = 3 * 64 s = 192 s)
2Ch	JEDEC Basic Flash	CCh	Bit 31 = Suspend and Resume supported = 0b
2Dh		83h	Bits 30:29 = Suspend in-progress erase max latency units

(表格续下页·····)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
2Eh	Parameter Dword-12	18h	(00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b
2Fh		44h	<p>Bits 28:24 = Suspend in-progress erase max latency count = 00100b, max erase suspend latency = count + 1 * units = 5 * 8 μs = 40 μs</p> <p>Bits 23:20 = Erase resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs</p> <p>Bits 19:18 = Suspend in-progress program max latency units (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 8 μs = 10b</p> <p>Bits 17:13 = Suspend in-progress program max latency count = 00100b, max erase suspend latency = count + 1 * units = 5 * 8 μs = 40 μs</p> <p>Bits 12:9 = Program resume to suspend interval count = 0001b, interval = count + 1 * 64 μs = 2 * 64 μs = 128 μs</p> <p>Bit 8 = RFU = 1b</p> <p>Bits 7:4 = Prohibited operations during erase suspend= xxx0b: May not initiate a new erase anywhere (erase nesting not permitted)+ xx0xb: May not initiate a page program anywhere+ x1xxb: May not initiate a read in the erase suspended sector size+ 1xxxb: The erase and program restrictions in bits 5:4 are sufficient= 1100b</p> <p>Bits 3:0 = Prohibited Operations During Program Suspend= xxx0b: May not initiate a new erase anywhere (erase nesting not permitted)+ xx0xb: May not initiate a new page program anywhere (program nesting not permitted)+ x1xxb: May not initiate a read in the program suspended page size+ 1xxxb: The erase and program restrictions in bits 1:0 are sufficient= 1100b</p> <p>Binary Fields: 0-10-00100-0001-10-00100-0001-1-1100-1100</p> <p>Nibble Format: 0100_0100_0001_1000_1000_0011_1100_1100</p> <p>Hex Format: 44_18_83_CC</p>
30h	JEDEC Basic Flash Parameter Dword-13	7Ah	Bits 31:24 = Erase Suspend Instruction = 75h
31h		75h	Bits 23:16 = Erase Resume Instruction = 7Ah
32h		7Ah	Bits 15:8 = Program Suspend Instruction = 75h
33h		75h	Bits 7:0 = Program Resume Instruction = 7Ah
34h	JEDEC Basic Flash Parameter Dword-14	F7h	Bit 31 = Deep Power Down Supported = supported = 0
35h		A2h	Bits 30:23 = Enter Deep Power Down Instruction = B9h = 1011_1001b
36h		D5h	<p>Bits 22:15 = Exit Deep Power Down Instruction = ABh = 1010_1011b</p> <p>Bits 14:13 = Exit Deep Power Down to next operation delay units = (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) = 1 μs = 01b</p>

(表格续下页.....)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
37h		5Ch	<p>Bits 12:8 = Exit Deep Power Down to next operation delay count = 00010b, Exit Deep Power Down to next operation delay = (count + 1) * units = 3 * 1 <math>\mu</math>s = 3 <math>\mu</math>s</p> <p>Bits 7:4 = RFU = Fh</p> <p>Bit 3:2 = Status Register Polling Device Busy = 01b: Legacy status polling supported = Use legacy polling by reading the Status Register with 05h instruction and checking WIP bit[0] (0=ready; 1=busy).</p> <p>Bits 1:0 = RFU = 11b</p> <p>Binary Fields: 0-10111001-10101011-01-00010-1111-01-11</p> <p>Nibble Format: 0101_1100_1101_0101_1010_0010_1111_0111</p> <p>Hex Format: 5C_D5_A2_F7</p>
38h	JEDEC Basic Flash Parameter Dword-15	22h	Bits 31:24 = RFU = FFh
39h		F6h	Bit 23 = Hold and WP Disable = not supported = 0b
3Ah		5Dh	<p>Bits 22:20 = Quad Enable Requirements = 101b: QE is bit 1 of the status register 2. Status register 1 is read using Read Status instruction 05h. Status register 2 is read using instruction 35h. QE is set via Write Status instruction 01h with two data bytes where bit 1 of the second byte is one. It is cleared via Write Status with two data bytes where bit 1 of the second byte is zero.</p> <p>Bits 19:16 0-4-4 Mode Entry Method = xxx1b: Mode Bits[7:0] = A5h Note: QE must be set prior to using this mode + x1xxb: Mode Bits[7:0] = Axh + 1xxb: RFU = 1101b</p> <p>Bits 15:10 0-4-4 Mode Exit Method= xx_xxx1b: Mode Bits[7:0] = 00h will terminate this mode at the end of the current read operation + xx_1xxb: Input Fh (mode bit reset) on DQ0-DQ3 for 8 clocks. This will terminate the mode prior to the next read operation. + 11_x1xx: RFU = 111101</p> <p>Bit 9 = 0-4-4 mode supported = 1</p> <p>Bits 8:4 = 4-4-4 mode enable sequences = 0_0010b: issue instruction 38h</p> <p>Bits 3:0 = 4-4-4 mode disable sequences = 0010b: 4-4-4 issues F5h instruction</p> <p>Binary Fields: 11111111-0-101-1101-111101-1-00010-0010</p>

(表格续下页.....)

表 51 基本 SPI 闪存参数, JEDEC SFDP Rev B (续)

SFDP parameter relative byte address	SFDP Dword name	Data	Description
3Bh		FFh	Nibble Format: 1111_1111_0101_1101_1111_0110_0010_0010 Hex Format: FF_5D_F6_22
3Ch	JEDEC Basic Flash Parameter Dword-16	E8h	<p>Bits 31:24 = Enter 4-Byte Addressing= xxxx_xxx1b:issue instruction B7 (preceding write enable not required = xxxx_1xxxb: 8-bit volatile bank register used to define A[30:24] bits. MSb (bit[7]) is used to enable/disable 4-byte address mode. When MSb is set to '1', 4-byte address mode is active and A[30:24] bits are don't care. Read with instruction 16h. Write instruction is 17h with 1 byte of data. When MSb is cleared to '0', select the active 128 Mb segment by setting the appropriate A[30:24] bits and use 3-Byte addressing.+ xx1x_xxxxb: Supports dedicated 4-Byte address instruction set. Consult vendor data sheet for the instruction set definition or look for 4 Byte Address Parameter Table.+ 1xxx_xxxxb: Reserved= 10100001b</p> <p>Bits 23:14 = Exit 4-Byte Addressing= xx_xxxx_xxx1b:issue instruction E9h to exit 4-Byte address mode (Write enable instruction 06h is not required)= xx_xxxx_1xxxb: 8-bit volatile bank register used to define A[30:24] bits. MSb (bit[7]) is used to enable/disable 4-byte address mode. When MSb is cleared to '0', 3-byte address mode is active and A30:A24 are used to select the active 128 Mb memory segment. Read with instruction 16h. Write instruction is 17h, data length is 1 byte.+ xx_xx1x_xxxxb: Hardware reset+ xx_x1xx_xxxxb: Software reset (see bits 13:8 in this DWORD)+ xx_1xxx_xxxxb: Power cycle+ x1_xxxx_xxxxb: Reserved+ 1x_xxxx_xxxxb: Reserved= 1111100001b</p> <p>Bits 13:8 = Soft Reset and Rescue Sequence Support= x1_xxxxb: issue reset enable instruction 66h, then issue reset instruction 99h. The reset enable, reset sequence may be issued on 1,2, or 4 wires depending on the device operating mode = 010000b</p> <p>Bit 7 = RFU = 1</p> <p>Bits 6:0 = Volatile or Non-Volatile Register and Write Enable Instruction for Status Register 1= xxx_1xxxb: Non-Volatile/ Volatile status register 1 powers-up to last written value in the non-volatile status register, use instruction 06h to enable write to non-volatile status register. Volatile status register may be activated after power-up to override the non-volatile status register, use instruction 50h to enable write and activate the volatile status register.+ x1x_xxxxb: Reserved+ 1xx_xxxxb: Reserved= 1101000b</p> <p>Binary Fields: 10100001-1111100001-010000-1-1101000</p> <p>Nibble Format: 1010_0001_1111_1000_0101_0000_1110_1000</p> <p>Hex Format: A1_F8_60_E8</p>
3Dh		50h	
3Eh		F8h	
3Fh		A1h	

### 10.1.4 JEDEC SFDP 4字节地址指令表

表 52 4 字节地址指令，JEDEC SFDP Rev B

SFDP parameter relative byte address	SFDP Dword name	Data	Description
40h	JEDEC 4 Byte Address Instructions Parameter Dword-1h	FBh	Supported = 1, Not Supported = 0
41h		8Eh	Bits 31:20 = RFU = FFFh
42h		F3h	Bit 19 = Support for non-volatile individual sector lock write command, Instruction = E3h = 0
43h		FFh	Bit 18 = Support for non-volatile individual sector lock read command, Instruction = E2h = 0 Bit 17 = Support for volatile individual sector lock Write command, Instruction = E1h = 1 Bit 16 = Support for volatile individual sector lock Read command, Instruction = E0h = 1 Bit 15 = Support for (1-4-4) DTR_Read Command, Instruction = EEh = 1 Bit 14 = Support for (1-2-2) DTR_Read Command, Instruction = BEh = 0 Bit 13 = Support for (1-1-1) DTR_Read Command, Instruction = 0Eh = 0 Bit 12 = Support for Erase Command – Type 4 = 0 Bit 11 = Support for Erase Command – Type 3 = 1 Bit 10 = Support for Erase Command – Type 2 = 1 Bit 9 = Support for Erase Command – Type 1 = 1 Bit 8 = Support for (1-4-4) Page Program Command, Instruction = 3Eh = 0 Bit 7 = Support for (1-1-4) Page Program Command, Instruction = 34h = 1 Bit 6 = Support for (1-1-1) Page Program Command, Instruction = 12h = 1 Bit 5 = Support for (1-4-4) FAST_READ Command, Instruction = ECh = 1 Bit 4 = Support for (1-1-4) FAST_READ Command, Instruction = 6Ch = 1 Bit 3 = Support for (1-2-2) FAST_READ Command, Instruction = BCh = 1 Bit 2 = Support for (1-1-2) FAST_READ Command, Instruction = 3Ch = 0 Bit 1 = Support for (1-1-1) FAST_READ Command, Instruction = 0Ch = 1 Bit 0 = Support for (1-1-1) READ Command, Instruction = 13h = 1 Nibble Format: 1111_1111_1111_0011_1000_1110_1111_1011 Hex Format: FF_F3_8E_FB
44h	JEDEC 4 Byte Address Instructions Parameter Dword-2h	21h	Bits 31:24 = FFh = Instruction for Erase Type 4: RFU
45h		52h	Bits 23:16 = DCh = Instruction for Erase Type 3 Block
46h		DCh	Bits 15:8 = 52h = Instruction for Erase Type 2 Half Block
47h		FFh	Bits 7:0 = 21h = Instruction for Erase Type 1 Sector

## 10.2 器件ID地址映射

### 10.2.1 字段定义

表 53 制造商器件类型

Byte address	Data	Description
00h	01h	Manufacturer ID for Infineon
01h	60h	Device ID MSB - Memory Interface Type
02h	18h (128Mb) 19h (256Mb)	Device ID LSB - Density and Features
03h	Undefined	Reserved for Future Use

表 54 唯一器件 ID

Byte address	Data	Description
00h to 07	8 Byte Unique Device ID	64-bit unique ID number, see section <a href="#">Device Unique ID</a> .

## 10.3 初始交付状态

该器件由 Infineon 发货，非易失位设置如下：

- 整个存储器阵列被擦除：即所有位都置位为1（每个字节包含FFh）。
- 安全区域地址空间的所有字节均被擦除为 FFh。
- SFDP 地址空间包含 SFDP 地址空间描述中定义的值。
- ID 地址空间包含 ID 地址空间描述中定义的值。
- 状态寄存器 1 非易失性包含 00h（所有 SR1NV 位均清除为 0）。
- 配置寄存器 1 非易失性包含 00h。
- 配置寄存器 2 非易失性包含 60h。
- 配置寄存器 3 非易失性包含 78h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFh。
- 对于标准部分，IRP 寄存器位为 FFFDh；对于高安全性部分，IRP 寄存器位为 FFFFh。
- PRPR 寄存器位为 FFFFFFFh。

## 11 电气规格参数

### 11.1 绝对最大额定值

表 55 绝对最大额定值

Description	Min
Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +125°C
$V_{CC}$	-0.5 V to +4.0 V
Input voltage with respect to Ground ( $V_{SS}$ ) <sup>1)</sup>	-0.5 V to $V_{CC} + 0.5$ V
Output short circuit current <sup>2)</sup>	100 mA

- 1) 请参阅“**输入信号过冲**”为信号转换期间允许的最大值。  
 2) 每一次只能有一个输出对地短接。短接时间不能超过一秒。

**注：** 超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。器件长时间处于绝对最大额定值条件下可能会影响器件可靠性。

### 11.2 闩锁特性

表 56 闩锁规范

Description	Min	Max	Unit
Input voltage with respect to $V_{SS}$ on all input only connections	-1.0	$V_{CC} + 1.0$	V
Input voltage with respect to $V_{SS}$ on all I/O connections			
$V_{CC}$ current	-100	+100	mA

**注：** 不包括电源  $V_{CC}$ 。测试条件： $V_{CC} = 3.0$  V，每次测试一个连接，未测试的连接位于  $V_{SS}$ 。

### 11.3 热阻抗

表 57 热阻抗

Parameter	Description	Test conditions	Device	SO301 6	SOC00 8	WND00 8	FAB02 4	FAC02 4	WNG00 8	Unit
Theta JA	Thermal resistance (Junction to ambient)	Test conditions follow standard test methods and procedures	128 Mb	42	63	32	39	39	-	°C/W
			256 Mb	35.8	-	-	34.5	34.5	28	
Theta JB	Thermal resistance		128 Mb	23	37	7.5	23.9	23.9	-	

(表格续下页……)

表 57 热阻抗 (续)

Parameter	Description	Test conditions	Device	SO3016	SOC008	WND008	FAB024	FAC024	WNG008	Unit
Theta JC	(Junction to board)	for measuring thermal impedance in accordance with EIA/JESD51, with still air (0 m/s).	256 Mb	16.6	–	–	18.3	18.3	11.7	
	Thermal resistance (Junction to case)		128 Mb	12	30.4	23.9	14	14	–	
			256 Mb	10.2	–	–	10.3	10.3	13.1	

## 11.4 工作范围

运行范围定义了一些限值，在这些限值之间可保证器件正常运行。

### 11.4.1 供电电压

表 58 供电电压

$V_{CC}$
----------

2.7 V to 3.6 V
----------------

### 11.4.2 温度范围

表 59 温度范围

Parameter	Symbol	Devices	Spec		Unit
			Min	Max	
Ambient temperature	$T_A$	Industrial (I)	–40	+85	°C
		Industrial Plus (V)		+105	
		Extended (N)		+125	
		Automotive, AEC-Q100 grade 3 (A)		+85	
		Automotive, AEC-Q100 grade 2 (B)		+105	
		Automotive, AEC-Q100 grade 1 (M)		+125	

### 11.4.3 输入信号过冲

在直流条件下，输入或 I/O 信号应保持等于或介于  $V_{SS}$  和  $V_{CC}$  之间。在电压转换期间，输入或 I/O 可能会超过  $V_{SS}$  至  $-1.0\text{ V}$  或超过  $V_{CC} + 1.0\text{ V}$ ，持续时间最长为 20 ns。

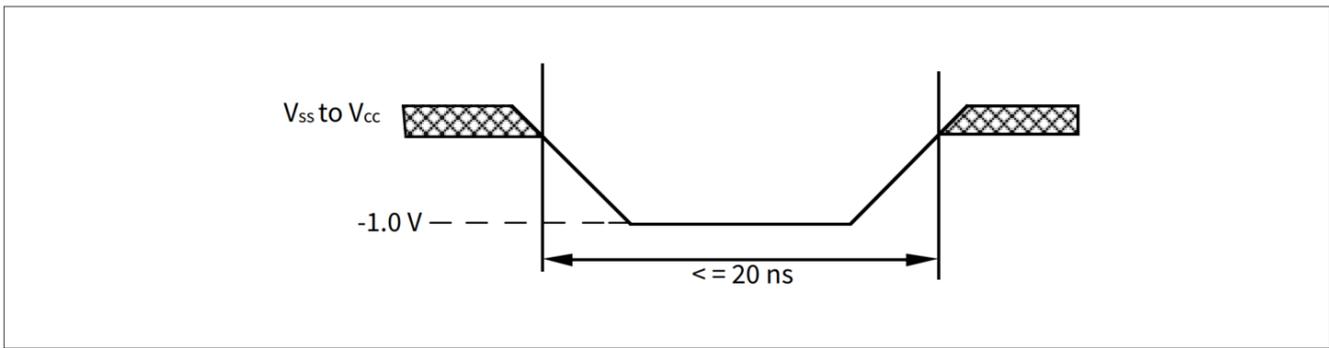


图129 最大负过冲波形

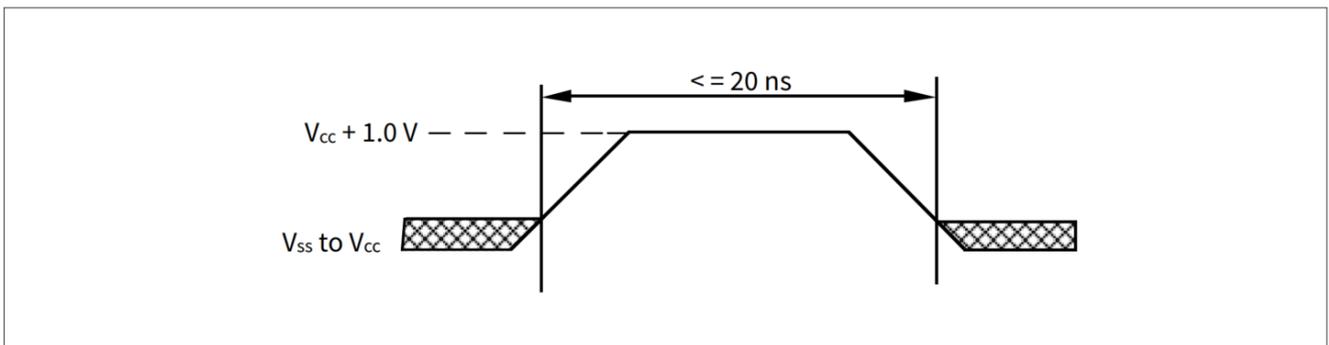


图 130 最大 PBS 过冲波形

## 11.5 上电和断电

在上电或电源下降时一定不要选择该器件（即 CS 必须遵循施加在  $V_{CC}$  上的电压），直到  $V_{CC}$  达到如下正确的值：

- 上电时为  $V_{CC}$  (Min)，然后再延迟  $t_{PU}$
- $V_{SS}$  为电源下降

在  $V_{CC}$  上升到最低  $V_{CC}$  阈值之后，直到经过  $t_{PU}$  的有效延迟，用户才可以输入任何指令（见图 131）。但是，如果  $V_{CC}$  在  $t_{PU}$  期间返回到  $V_{CC}$  (min) 以下，则无法保证器件的正确运行。在  $t_{PU}$  结束之前，不应向器件发送任何指令。器件在  $t_{PU}$  期间消耗  $I_{POR}$ 。上电 ( $t_{PU}$ ) 后，器件处于待机模式，消耗 CMOS 待机电流 ( $I_{SB}$ )，并且 WEL 位复位。

在电源恢复期间或如果供电电压降至  $V_{CC}$  (cut-off) 以下，供电电压必须在  $t_{CC}$  时间内保持在  $V_{PD}$  (low) 以下，以便部件在上电时正确初始化（参见图 132）。如果在压降期间  $V_{CC}$  保持高于  $V_{CC}$  (cut-off)，则该部件将保持初始化状态，并在  $V_{CC}$  再次高于  $V_{CC}$  (min) 时正常工作。如果上电后上电复位 (POR) 未正确完成，则置位 RESET# 信号或接收软件复位指令 (RSTEN 66h 后跟 RST 99h) 将重新启动 POR 过程。如果在嵌入式编程或擦除操作期间  $V_{CC}$  降至  $V_{CC}$  (Cut-off) 以下，则嵌入式操作可能会中止，并且该存储区域中的数据可能不正确。

必须采取正常的预防措施来对电源进行去耦，以稳定器件的  $V_{CC}$  电源。系统中的每个器件都应通过靠近封装电源连接的合适电容器对  $V_{CC}$  轨进行去耦（该电容器通常为 0.1  $\mu\text{F}$  量级）。

表 60 上电/断电电压和时序

Symbol	Parameter	Min	Max	Unit
$V_{CC}(\text{min})$	$V_{CC}$ (minimum operation voltage)	2.7	-	V
$V_{CC}(\text{cut-off})$	$V_{CC}$ (Cut Off where re-initialization is needed)	2.4	-	
$V_{CC}(\text{low})$	$V_{CC}$ (low voltage for initialization to occur)	1.0	-	
$t_{PU}$	$V_{CC}(\text{min})$ to Read operation	-	300	$\mu\text{s}$
$t_{PD}$	$V_{CC}(\text{low})$ time	10.0	-	

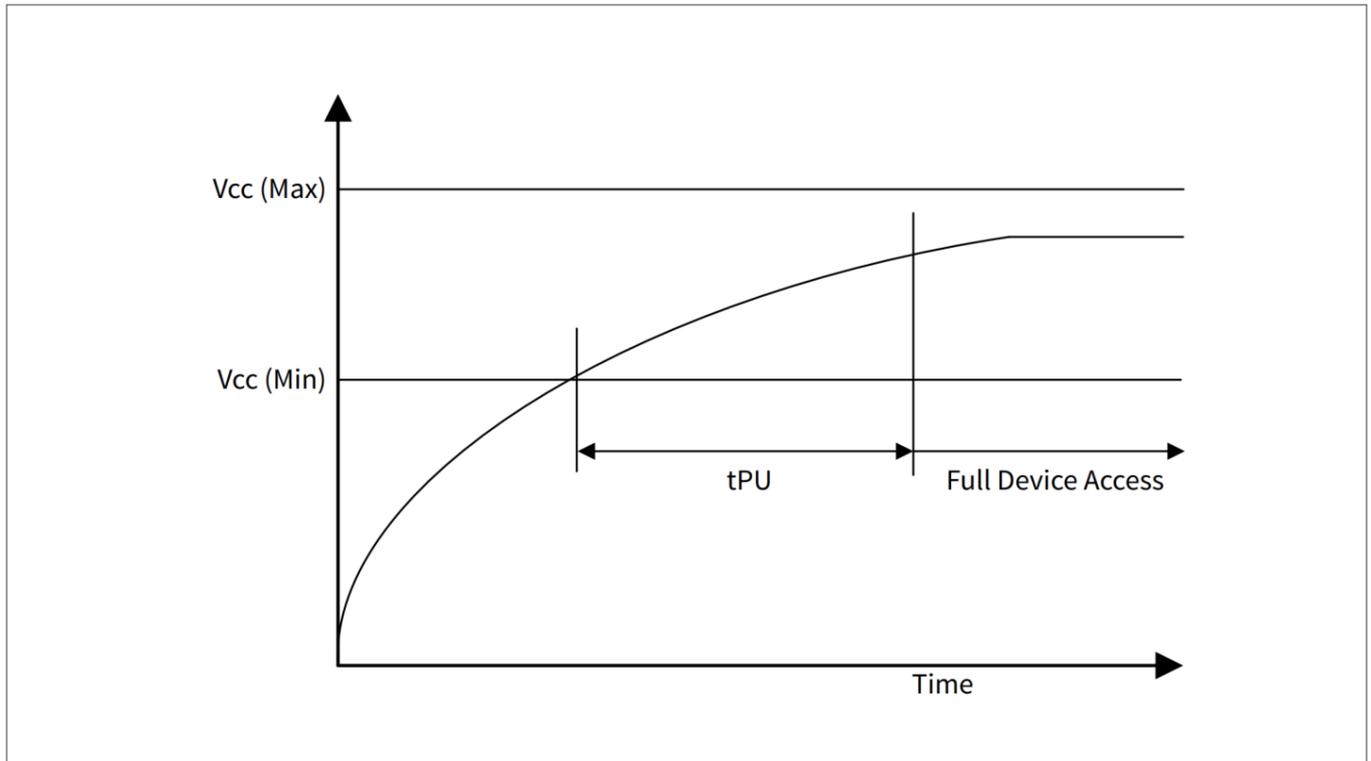


图131 上电

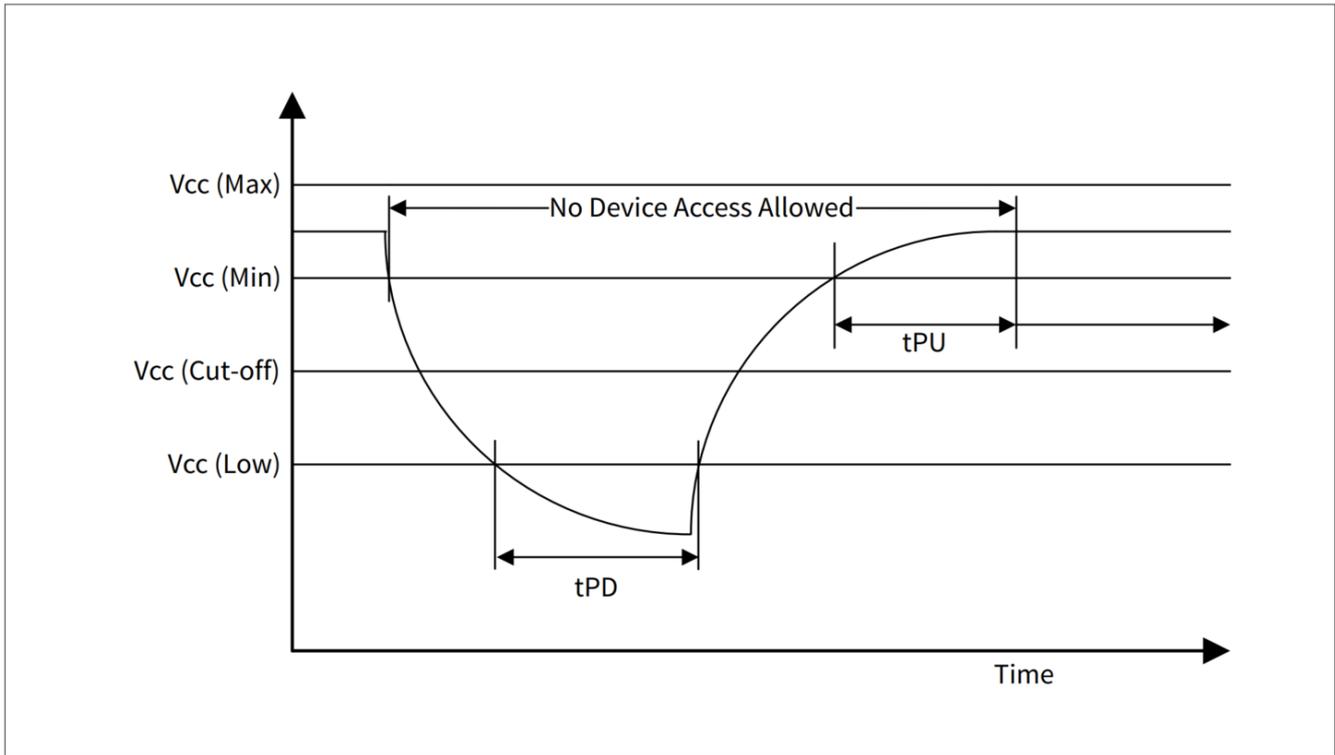


图132 断电或电压下降

### 11.6 直流特性

表 61 直流特性 – 工作温度范围 -40°C 至 +85°C

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
V <sub>IL</sub>	Input low voltage	-	-0.5	-	0.3 × V <sub>CC</sub>	V
V <sub>IH</sub>	Input high voltage	-	0.7 × V <sub>CC</sub>	-	V <sub>CC</sub> + 0.4	
V <sub>OL</sub>	Output low voltage	I <sub>OL</sub> = 0.1 mA, V <sub>CC</sub> = V <sub>CC</sub> min	-	-	0.2	
V <sub>OH</sub>	Output high voltage	I <sub>OH</sub> = -0.1 mA	V <sub>CC</sub> - 0.2	-	-	
I <sub>LI</sub>	Input leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±2	μA
I <sub>LO</sub>	Output leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±2	

(表格续下页……)

表 61 直流特性 – 工作温度范围 -40°C 至 +85°C (续)

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
I <sub>CC1</sub>	Active power supply current (READ) <sup>2)</sup>	Serial SDR @ 5 MHz		10	15	mA
		Serial SDR @ 10 MHz		10	15	
		Serial SDR @ 20 MHz		10	15	
		Serial SDR @ 50 MHz		15	20	
		Serial SDR @ 108 MHz		20	25	
		Serial SDR @ 133 MHz		22	30	
		QIO/QPI SDR @ 108 MHz		25	30	
		QIO/QPI SDR @ 133 MHz		30	35	
		QIO/QPI DDR @ 30 MHz		15	20	
		QIO/QPI DDR @ 66 MHz		22	25	
I <sub>CC2</sub>	Active power supply current (Page Program)	CS# = V <sub>CC</sub>		40	50	
I <sub>CC3</sub>	Active power supply current (WRR or WRAR)			24	30	
I <sub>CC4</sub>	Active power supply current (SE)			20	25	
I <sub>CC5</sub>	Active power supply current (HBE, BE)			25	35	
I <sub>SB</sub>	Standby current		RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : SPI, Dual I/O and Quad I/O Modes		20	35
		RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : QPI Mode		40	60	
I <sub>DPD</sub>	Deep power down current	RESET#, CS# = V <sub>CC</sub> ; V <sub>IN</sub> = GND or V <sub>CC</sub>		2	20	
I <sub>POR</sub>	Power on reset current	RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub>		15	30	mA

1) 典型值为 T<sub>AI</sub> = 25°C 和 V<sub>CC</sub> = 3.0 V。

2) 读取数据返回期间输出未连接。不包括输出开关电流。

表 62 直流特性 – 工作温度范围 -40°C 至 +105°C

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
V <sub>IL</sub>	Input low voltage	-	-0.5	-	0.3 × V <sub>CC</sub>	V
V <sub>IH</sub>	Input high voltage	-	0.7 × V <sub>CC</sub>	-	V <sub>CC</sub> + 0.4	
V <sub>OL</sub>	Output low voltage	I <sub>OL</sub> = 0.1 mA, V <sub>CC</sub> = V <sub>CC</sub> min	-	-	0.2	

(表格续下页.....)

表 62 直流特性 – 工作温度范围 -40°C 至 +105°C (续)

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
V <sub>OH</sub>	Output high voltage	I <sub>OH</sub> = -0.1 mA	V <sub>CC</sub> - 0.2		-	
I <sub>LI</sub>	Input leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-		±4	μA
I <sub>LO</sub>	Output leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>			±4	
I <sub>CC1</sub>	Active power supply current (READ) <sup>2)</sup>	Serial SDR @ 5 MHz Serial SDR @ 10MHz Serial SDR @ 20 MHz Serial SDR @ 50 MHz Serial SDR @ 108MHz Serial SDR @133MHz QIO/QPI SDR @ 108MHz QIO/QPI SDR @ 133 MHz QIO/QPI DDR @ 30MHz QIO/QPI DDR @ 66 MHz		10 10 10 15 20 22 25 30 15 22	15 15 15 20 30 30 35 35 20 25	mA
I <sub>h</sub>	Active power supply current(Page Program)	CS# = V <sub>CC</sub>		40	50	
I <sub>CC3</sub>	Active power supply current(WRR or WRAR)			24	35	
I <sub>CC4</sub>	Active power supply current (SE)			20	30	
I <sub>CC5</sub>	Active power supply current (HBE, BE)			25	35	
I <sub>SB</sub>	Standby current	RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : SPI, Dual I/O and Quad I/O Modes  RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : QPI Mode		20  40	45  80	μA
I <sub>DPD</sub>	Deep power down current	RESET#, CS# = V <sub>CC</sub> ; V <sub>IN</sub> = GND or V <sub>CC</sub>		2	30	
I <sub>POR</sub>	Power on reset current	RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub>		15	30	mA

1) 典型值为 T<sub>AI</sub> = 25°C 和 V<sub>CC</sub> = 3.0 V。

2) 读取数据返回期间输出未连接。不包括输出开关电流。

表 63 直流特性 – 工作温度范围 -40°C 至 +125°C

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
V <sub>IL</sub>	Input low voltage	-	-0.5	-	0.3 × V <sub>CC</sub>	V
V <sub>IH</sub>	Input high voltage	-	0.7 × V <sub>CC</sub>	-	V <sub>CC</sub> + 0.4	
V <sub>OL</sub>	Output low voltage	I <sub>OL</sub> = 0.1 mA, V <sub>CC</sub> = V <sub>CC</sub> min	-	-	0.2	
V <sub>OH</sub>	Output high voltage	I <sub>OH</sub> = -0.1 mA	V <sub>CC</sub> - 0.2	-	-	
I <sub>LI</sub>	Input leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±4	μA
I <sub>LO</sub>	Output leakage current	V <sub>CC</sub> = V <sub>CC</sub> Max, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>SS</sub> , CS# = V <sub>IH</sub>	-	-	±4	
I <sub>CC1</sub>	Active power supply current (READ) <sup>2)</sup>	Serial SDR @ 5 MHz Serial SDR @ 10MHz Serial SDR @ 20 MHz Serial SDR @ 50 MHz Serial SDR @ 108Mhz Serial SDR @ 133MHz QIO/QPI SDR @ 108MHz QIO/QPI SDR @ 133 MHz QIO/QPI DDR @ 30MHz QIO/QPI DDR @ 66 MHz	-	10 10 10 15 20 22 25 30 15 22	15 15 15 20 30 30 35 35 20 25	mA
I <sub>CC2</sub>	Active power supply current (Page Program)	CS# = V <sub>CC</sub>	-	40	50	
I <sub>CC3</sub>	Active power supply current (WRR or WRAR)	CS# = V <sub>CC</sub>	-	24	35	
I <sub>CC4</sub>	Active power supply current (SE)	CS# = V <sub>CC</sub>	-	20	30	
I <sub>CC5</sub>	Active power supply current (HBE, BE)	CS# = V <sub>CC</sub>	-	25	35	
I <sub>SB</sub>	Standby current	RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : SPI, Dual I/O and Quad I/O Modes	-	20	70	μA
		RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub> : QPI Mode	-	40	80	

(表格续下页·····)

表 63 直流特性 – 工作温度范围 -40°C 至 +125°C (续)

Symbol	Parameter	Test conditions	Min	Typ <sup>1)</sup>	Max	Unit
I <sub>DPD</sub>	Deep power down current	RESET#, CS# = V <sub>CC</sub> ; V <sub>IN</sub> = GND or V <sub>CC</sub>		2	50	
I <sub>POR</sub>	Power on reset current	RESET#, CS# = V <sub>CC</sub> ; SI, SCK = V <sub>CC</sub> or V <sub>SS</sub>		15	35	mA

- 1) 典型值为 T<sub>AI</sub> = 25°C 和 V<sub>CC</sub> = 1.8 V。
- 2) 读取数据返回期间输出未连接。不包括输出开关电流。

### 11.6.1 有源电源和备用电源模式

当片选 (CS) 为低电平时，器件处于启用的状态并处于有源的功率模式。当 CS 为高电平时，器件被禁用，但可能仍处于有源功率模式，直到所有编程、寄存器和写操作完成。然后器件进入待机功耗模式，功耗降至 I<sub>SB</sub>。

### 11.6.2 深度掉电功率模式 (DPD)

通过输入指令指令代码“B9h”即可启用深度掉电模式，功耗降至 I<sub>DPD</sub>。在 DPD 模式下，器件仅响应从 DPD 指令恢复 (RES ABh) 或硬件复位 (RESET# 和 IO3 / RESET#)。在 DPD 模式期间，所有其他指令都将被忽略。

## 12 时序规范

### 12.1 波形切换

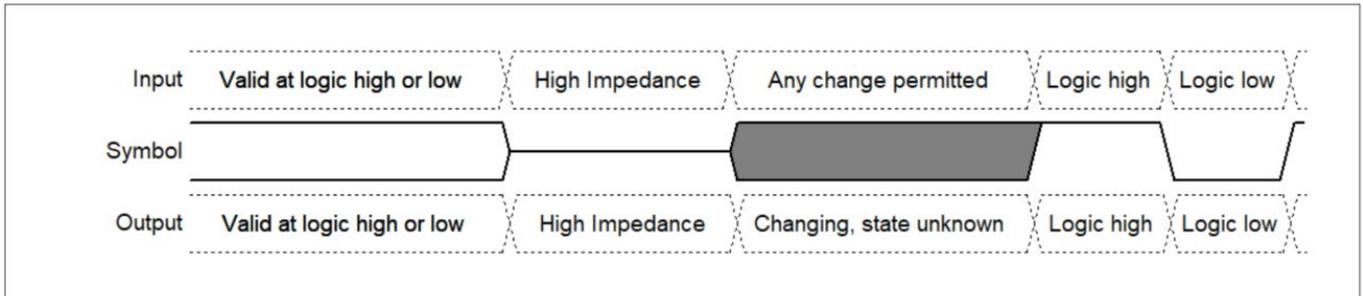


图133 波形元素含义

### 12.2 交流测试条件

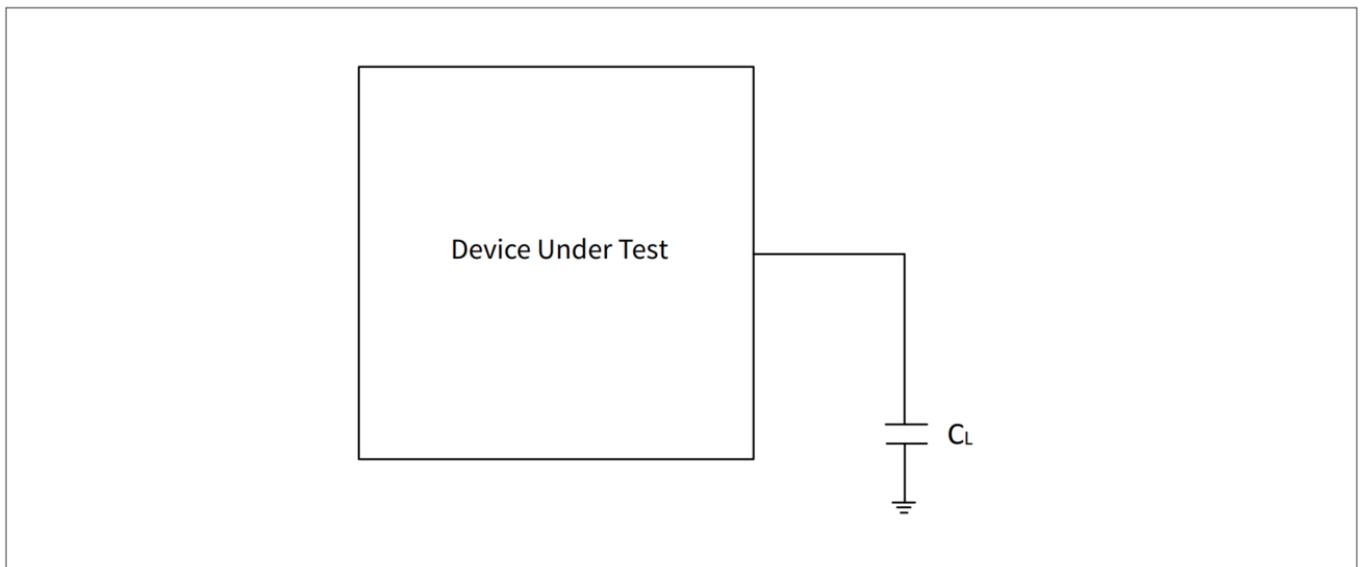


图 134 测试设置

表 64 交流测量条件

Symbol	Parameter	Min	Max	Unit
$C_L$	Load capacitance	–	15 / 30 <sup>1)</sup>	pF
–	Input pulse voltage	$0.2 \times V_{CC}$	$0.8 \times V_{CC}$	V
–	Input timing ref voltage	$0.5 \times V_{CC}$		
–	Output timing ref voltage			

1) 负载电容取决于工作频率或工作模式。

注： AC 特性表假设时钟和数据信号具有相同的斜率（斜率）。请参阅“[SDR交流特性](#)”工作频率下的转换速率。

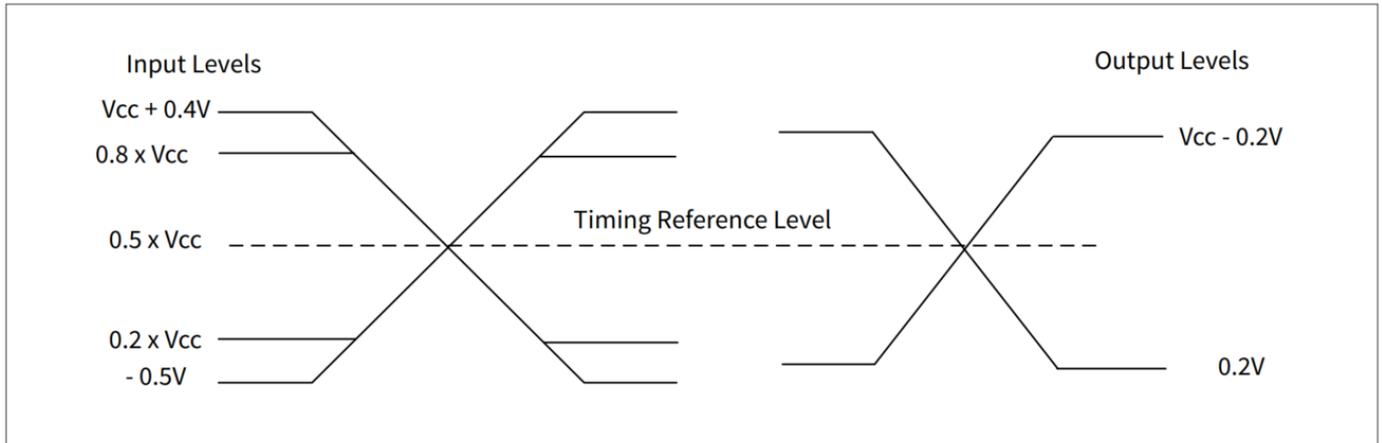


图 135 输入、输出和基准基准电平

## 12.2.1 电容特性

表 65 电容

Symbol	Parameter	Test conditions	Min	Max	Unit
$C_{IN}$	Input capacitance (applies to SCK, CS#, RESET#, IO3 / RESET#)	1 MHz	-	8	pF
$C_{OUT}$	Output capacitance (applies to All I/O)				

## 12.3 复位

如果在擦除、编程或写寄存器操作期间启动硬件复位，但该寄存器中的数据不稳定，则需要重新启动被中断的操作。如果在软件复位操作期间启动硬件复位，则硬件复位可能会被忽略。

### 12.3.1 上电（冷）复位

该器件执行POR过程，直到 $V_{CC}$ 上升到最低 $V_{CC}$ 阈值之后经过 $t_{PU}$ 时间延迟。参见图131和表60。上电期间( $t_{PU}$ )不得选择该器件(CS随着 $V_{CC}$ 升高)，即在 $t_{PU}$ 结束之前不得向该器件发送指令。

RESET#和IO3 / RESET#复位函数在POR期间被忽略。如果RESET#或IO3 / RESET#在POR期间为低电平，并在 $t_{PU}$ 后保持低电平，则CS必须保持高电平，直到RESET#和IO3 / RESET#返回高电平后的 $t_{RH}$ 。RESET#和IO3 / RESET#必须返回高电平并持续超过 $t_{RS}$ ，然后才能返回低电平以启动硬件复位。

当CS处于高电平状态的时间超过 $t_{CS}$ 时间，或者四线或QPI模式未启用时(CR1V[1] = 0或CR2V[3] = 0)，IO3 / RESET#输入用作RESET#信号。

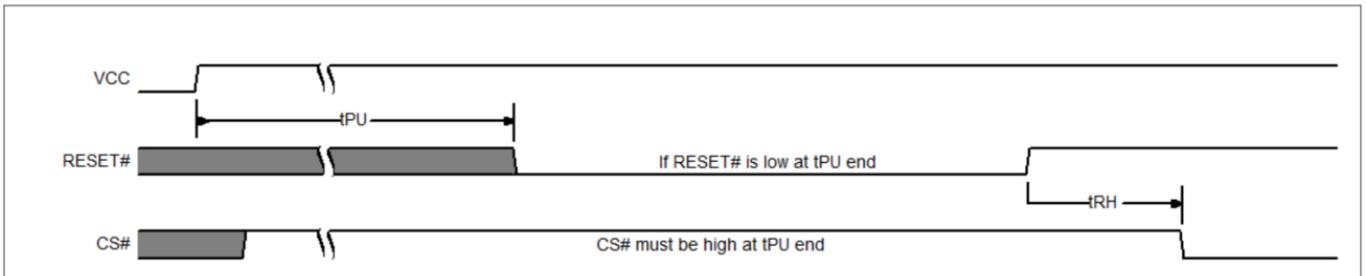


图 136 POR结束时复位低电平

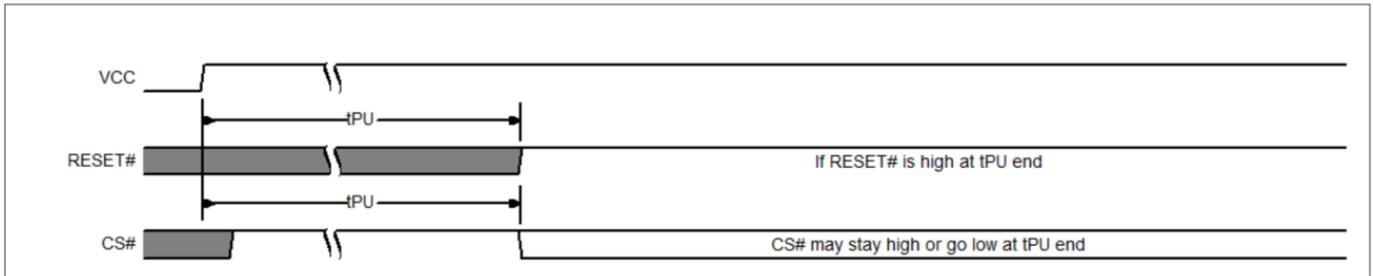


图 137 POR结束时复位高

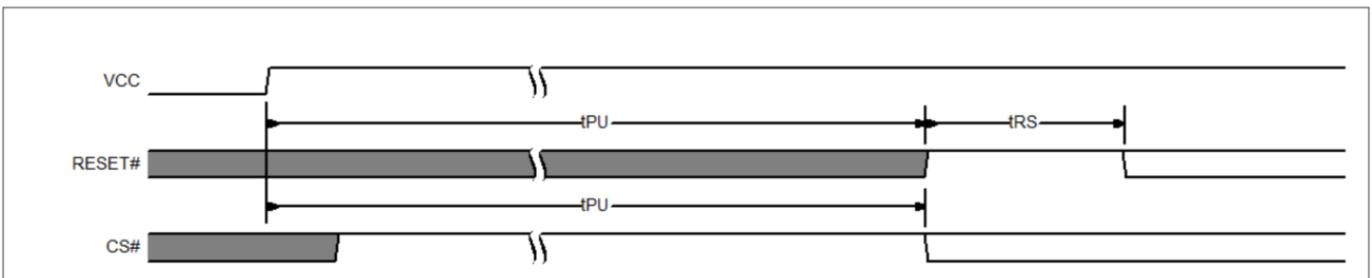


图 138 POR后进行硬件复位

### 12.3.2 RESET# 和 IO3 / RESET# 输入启动硬件（热）复位

RESET# 和 IO3 / RESET# 输入可以作为 RESET# 信号。两个输入均可在一定条件下启动复位操作。

当从  $V_{IH}$  转换到  $V_{IL}$  并持续  $> t_{RP}$  时，RESET# 输入会启动复位操作，器件将以与 POR 相同的方式复位寄存器状态，但不会经历 POR 期间执行的完整复位过程。硬件复位过程需要  $t_{RPH}$  的时间才能完成。RESET# 输入仅适用于 SOIC 16 引脚和 BGA 球封装。

当 CS 处于高电平状态的时间超过  $t_{CS}$  时间，或未启用四线或 QPI 模式（ $CR1V[1] = 0$  或  $CR2V[3] = 0$ ）时，IO3 / RESET# 输入将在以下情况下启动复位操作。IO3 / RESET# 输入具有至  $V_{CC}$  内部上拉，如果不使用四线或 QPI 模式，则可以悬空。CS 变为高电平后的  $t_{CS}$  为存储器或主机系统提供了在 CS 为低电平时将 IO3 用作四线或 QPI 模式 I/O 信号之后将其驱动为高电平的时间。然后，至  $V_{CC}$  内部上拉将保持 IO3 / RESET# 为高电平，直到主机系统开始驱动 IO3 / RESET#。如果 CS 在  $t_{CS}$  保持高电平，则将忽略 IO3 / RESET# 输入，以避免意外的复位操作。如果 CS 被驱动为低电平以启动新指令，则 IO3 / RESET# 将用作 IO3。

当器件未处于四线或 QPI 模式时，或当 CS# 为高电平时，IO3/RESET# 从  $V_{IH}$  转换为  $V_{IL}$   $> t_{RP}$ ，在  $t_{CS}$  之后，器件将以与上电复位相同的方式复位寄存器状态，但不会经历 POR 期间执行的完整复位过程。

硬件复位过程需要  $t_{RPH}$  的时间才能完成。如果 POR 过程在上电 ( $t_{PU}$ ) 期间因任何原因未能正确完成, 则 RESET# 变为低电平将启动完整的 POR 过程, 而不是硬件复位过程, 并且需要  $t_{PU}$  来完成 POR 过程。

软件复位指令 (RSTEN 66h 后跟 RST 99h) 与复位# 和 IO3 / 复位# 的状态无关。如果 RESET# 与 IO3/RESET# 为高电平或者未连接, 并且发出软件复位指令, 则器件将执行软件复位。

补充说明:

- 如果 RESET# 和 IO3 / RESET# 输入选项均可用, 则系统中仅使用一个复位选项。IO3 / RESET# 输入复位操作可以通过设置 CR2NV[7] = 0 失效, 不使能 (见表 18) 将 IO3\_RESET 设置为仅作为 IO3 操作。如果未将 RESET# 输入连接或绑定到  $V_{IH}$ , 则 RESET# 输入可能失效, 无法使用。RESET# 和 IO3 / RESET# 必须在  $t_{PU}$  或  $t_{RPH}$  之后的  $t_{RS}$  内保持高电平, 然后再次变为低电平以启动硬件复位。
- 当 IO3 / RESET# 被驱动为低电平至少一段最短时间 ( $t_{RP}$ ) 后, 在  $t_{CS}$  后, 器件终止任何正在进行的操作, 使所有输出处于高阻状态, 并在  $t_{RPH}$  持续时间内忽略所有读/写指令。器件将接口重置为待机状态。
- 如果 Quad 或 QPI 模式以及 IO3 / RESET# 特点是启用的, 则主机系统不应在  $t_{CS}$  期间驱动 IO3 低电平, 以避免 IO3 上的驱动器争用。紧接着在四线或 QPI 模式下将数据传输到主机的指令 (例如四线 I/O 读取) 后, 存储器会在  $t_{CS}$  期间将 IO3 / RESET# 驱动为高电平, 以避免意外的复位操作。紧接着以四线模式将数据传输到存储器的指令 (例如分页编程) 后, 主机系统应在  $t_{CS}$  期间将 IO3 / RESET# 驱动为高电平, 以避免意外的复位操作。
- 如果 Quad 或 QPI 模式未启用, 并且如果 IO3/RESET# 置为低电平时 CS 为低电平, 则 CS 必须在  $t_{RPH}$  期间返回高电平, 然后才能在  $t_{RH}$  之后再次置为低电平。

表 66 硬件复位参数

Parameter	Description	Limit	Time	Unit
$t_{RS}$	Reset setup - Prior reset end and RESET# HIGH before RESET# LOW	Min	50	ns
$t_{RPH}$	Reset pulse hold - RESET# LOW to CS# LOW		100	$\mu$ s
$t_{RP}$	RESET# pulse width		200	ns
$t_{RH}$	Reset hold - RESET# HIGH before CS# LOW		150	

注:

1. 上电 ( $t_{PU}$ ) 期间, RESET# 和 IO3 / RESET# 低电平被忽略。如果在  $t_{PU}$  结束时 Reset# 有效, 器件将保持复位状态,  $t_{RH}$  将决定 CS 何时可能变为低电平。
2. 如果 Quad 或 QPI 模式启用, 则在  $t_{CS}$  期间忽略 IO3 / RESET# 低电平。
3.  $t_{RP} + t_{RH}$  的总和不能小于  $t_{RPH}$ 。

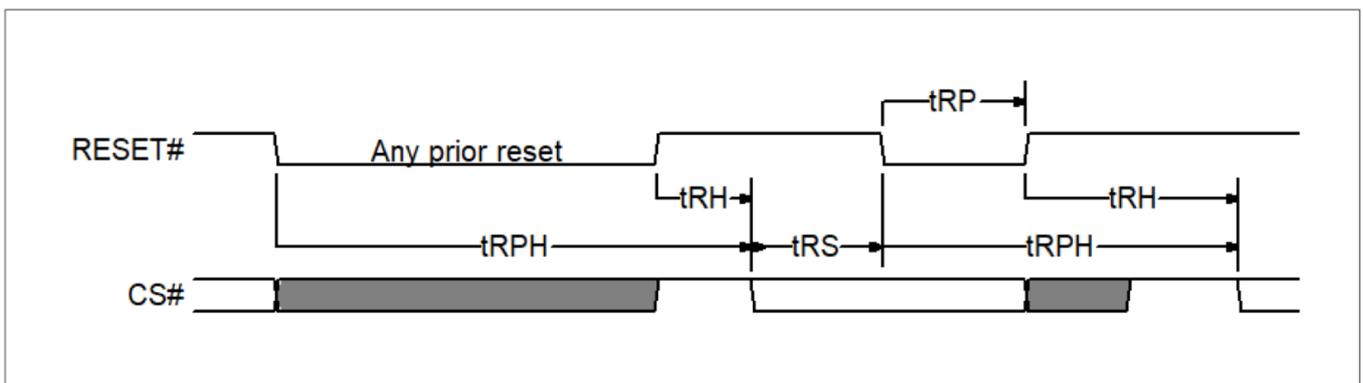


图 139 使用 RESET# 输入进行硬件复位

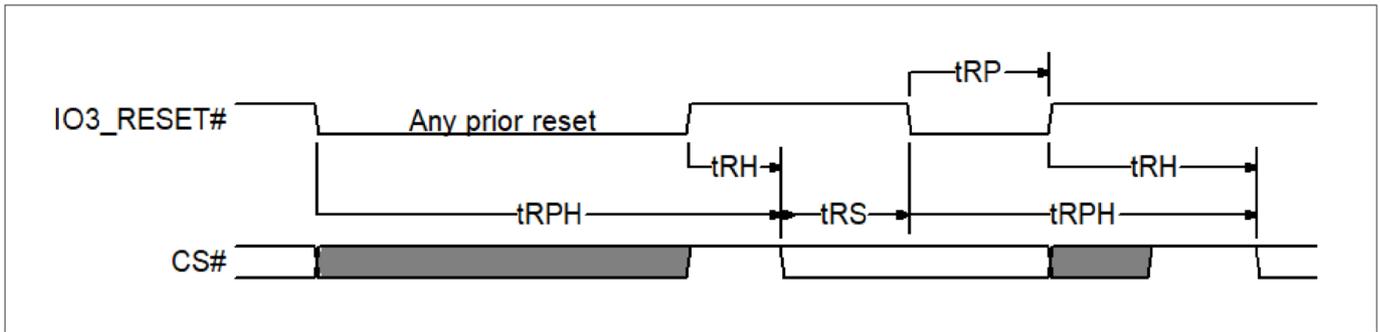


图 140 当四线或 QPI 模式未启用且 IO3 / RESET# 启用时的硬件复位

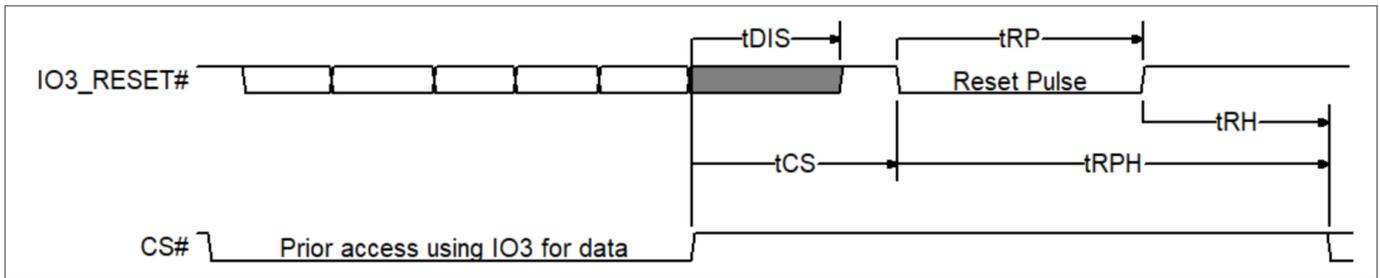


图 141 当四线或 QPI 模式和 IO3 / RESET# 启用时的硬件复位

## 12.4 SDR 交流特性

表 67 SDR 交流特性

Symbol	Parameter	Min	Max	Unit
$F_{SCK, R}$	SCK clock frequency for READ and 4READ instructions	DC	50	MHz
$F_{SCK, C}$	SCK clock frequency for the following dual and quad commands: QOR, 4QOR, DIOR, 4DIOR, QIOR, 4QIOR		133	
$P_{SCK}$	SCK clock period	$1 / F_{SCK}$	–	–
$t_{WH}, t_{CH}$	Clock high time	$50\% P_{SCK} \pm 5\%$		ns
$t_{WL}, t_{CL}$	Clock low time			
$t_{CRT}, t_{CLCH}$	Clock rise time (slew rate) <sup>1)</sup>	0.1		V/ns
$t_{CFT}, t_{CHCL}$	Clock fall time (slew rate) <sup>1)</sup>	0.1		
$t_{CS}$	CS# high time (any read Instructions)	20		ns
	CS# high time (all other non-read instructions)	50		
$t_{CSS}$	CS# active setup time (relative to SCK)	3		
$t_{CSH}$	CS# active hold time (relative to SCK)	5		
$t_{SU}$	Data in setup time	3		
$t_{HD}$	Data in hold time	2		
$t_V$	Clock low to output valid	–	8 <sup>2)</sup> 6 <sup>3)</sup>	
$t_{HO}$	Output hold time	1	–	

(表格续下页……)

表 67 SDR 交流特性 (续)

Symbol	Parameter	Min	Max	Unit
$t_{DIS}$	Output disable time <sup>4)</sup> Output disable time (when reset feature and quad mode are both enabled)	-	8 20 <sup>5)</sup>	
$t_{WPS}$	WP# setup time <sup>6)</sup>	20	-	
$t_{WPH}$	WP# hold time <sup>6)</sup>	100	-	
$t_{DP}$	CS# high to deep power down mode	-	3	$\mu\text{s}$
$t_{RES}$	CS# high to Release from deep power down mode	-	5	
$t_{QEN}$	QIO or QPI enter mode, time needed to issue next command	-	1.5	
$t_{QEXN}$	QIO or QPI exit mode, time needed to issue next command	-	1	

- 1)  $t_{CRT}$ 、 $t_{CLCH}$  时钟上升和下降斜率对于快速时钟 (108 MHz) 最小为 1.5 V/ns, 对于慢速时钟 (50 MHz) 最小为 1.0 V/ns。
- 2) 完整  $V_{CC}$  范围和  $CL = 30 \text{ pF}$ 。
- 3) 完整  $V_{CC}$  范围和  $CL = 15 \text{ pF}$ 。
- 4) 输出 HI-Z 定义为数据不再驱动的点。
- 5)  $t_{DIS}$  当复位特性和四模式启用时 ( $CR2V[7] = 1$  且  $CR1V[1] = 1$ )，DIS 需要额外的时间。
- 6) 仅适用于当 SRP0 置位为 1 时对 WRR 或 WRAR 指令的约束。

### 12.4.1 时钟时序

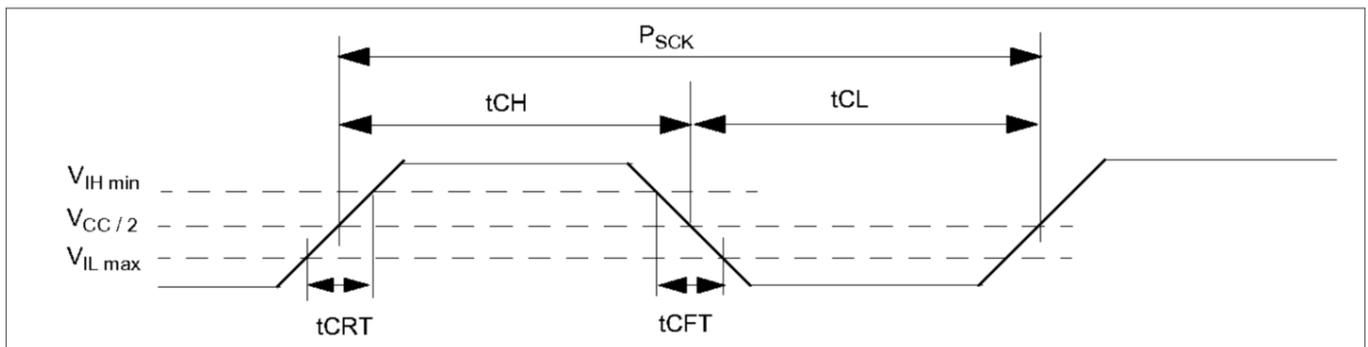


图 142 时钟时序

### 12.4.2 输入/输出时序

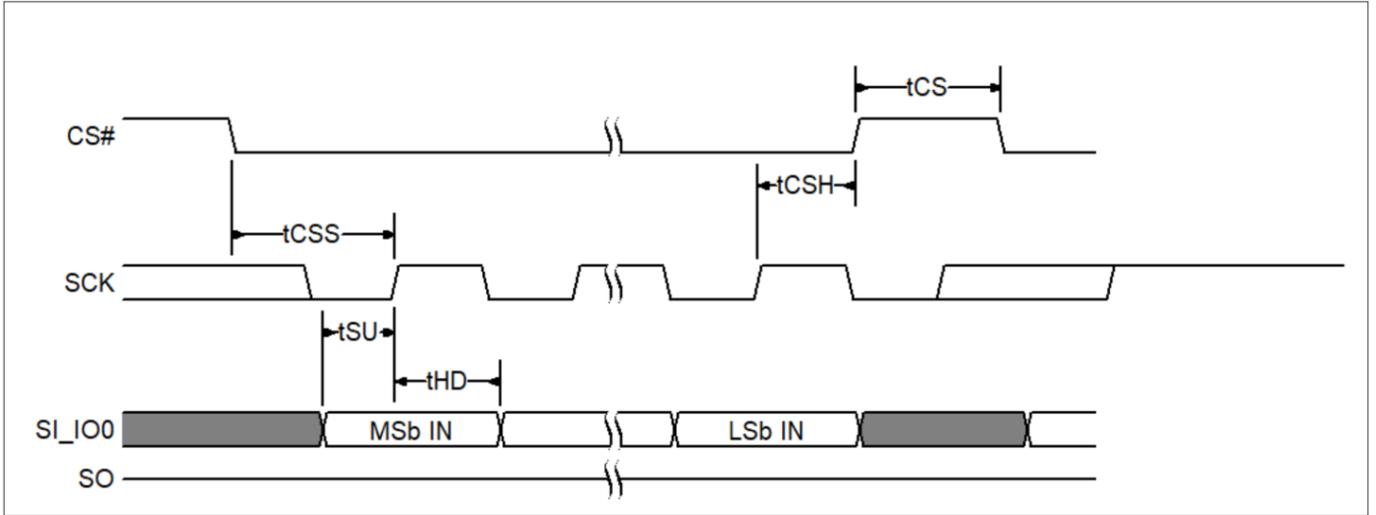


图 143 SPI单比特输入时序



图 144 SPI单比特输出时序

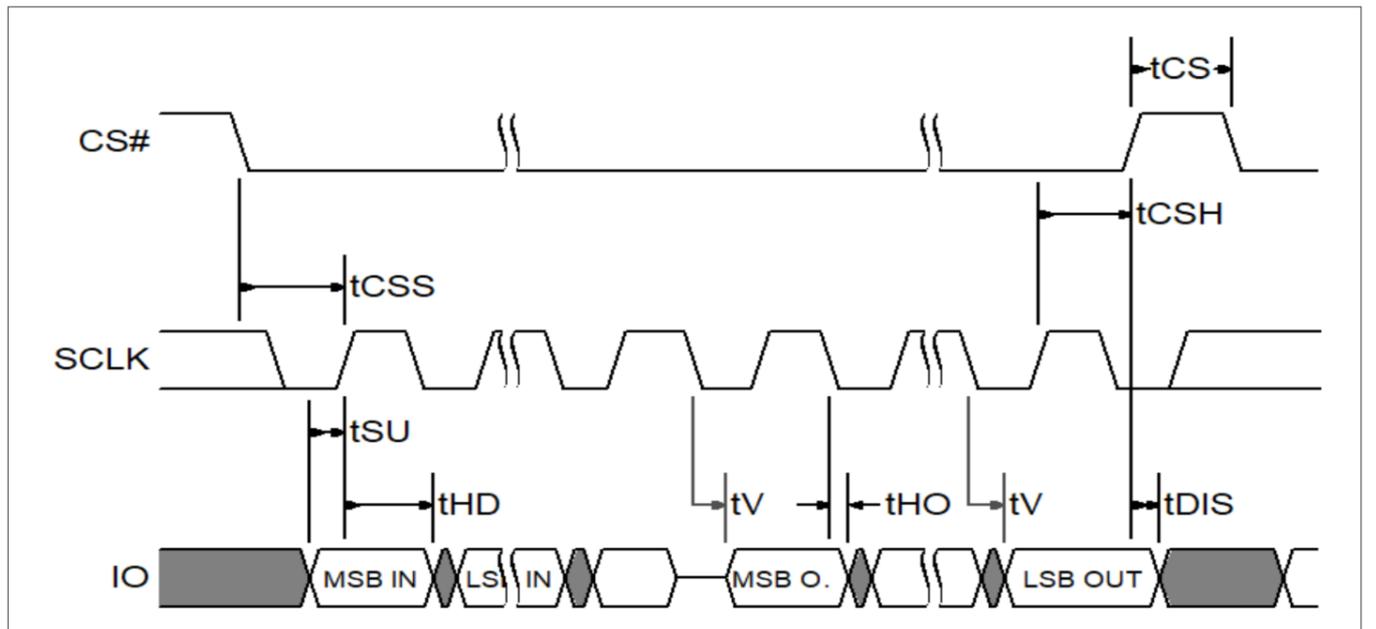


图145 SDR MIO时序

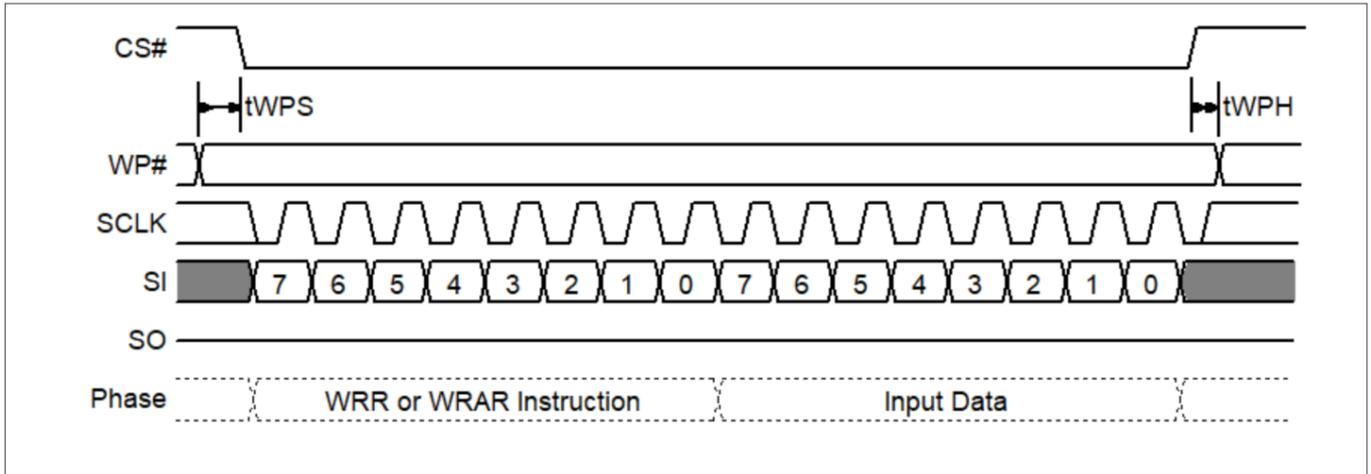


图146 WP#输入时序

## 12.5 DCR交流特性

表 68 DDR 交流特性 66 MHz 操作

Symbol	Parameter	Min	Max	Unit
$F_{SCK,R}$	SCK clock frequency for DDR READ instruction	DC	66	MHz
$P_{SCK,R}$	SCK clock Period for DDR READ instruction	$1/F_{SCK}$	-	ns
$t_{crt}$	Clock rise time (slew rate)	1.5		V/ns
$t_{cft}$	Clock fall time (slew rate)			
$t_{WH}, t_{CH}$	Clock high time	50% $P_{SCK}$ - 5%		ns
$t_{WL}, t_{CL}$	Clock low time			
$t_{CS}$	CS# high time (read instructions) CS# high time (Read instructions when Reset feature is enabled)	20 50		
$t_{CSS}$	CS# Active Setup Time (relative to SCK)	3		
$t_{SU}$	IO in Setup Time	3		
$t_{HD}$	IO in hold Time	2		
$t_V$	Clock Low to Output Valid	-	8 <sup>1)</sup> 6 <sup>2)</sup>	
$t_{HO}$	Output Hold Time	1	-	
$t_{DIS}$	Output Disable Time Output Disable Time (when Reset feature is enabled)	-	8 20	
$t_{O\_skew}$	First IO to last IO data valid time	-	600 <sup>3)</sup>	ps

1) 完整  $V_{CC}$  范围和  $CL = 30$  pF。2) 完整  $V_{CC}$  范围和  $CL = 15$  pF。

3) 未经测试。

### 12.5.1 DDR 输入时序

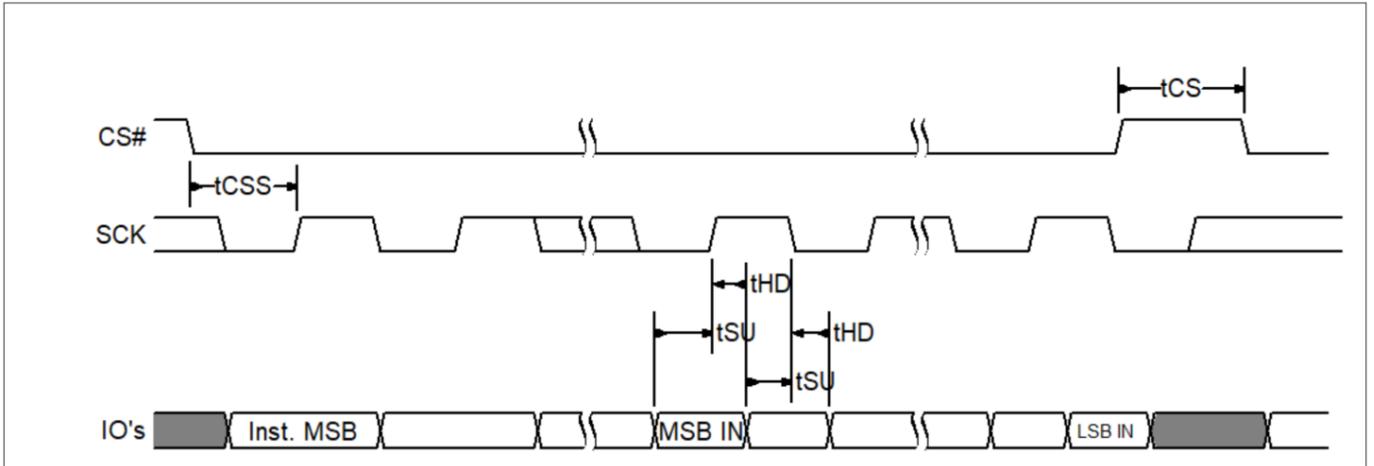


图147 SPI DDR输入时序

### 12.5.2 DDR 输出时序

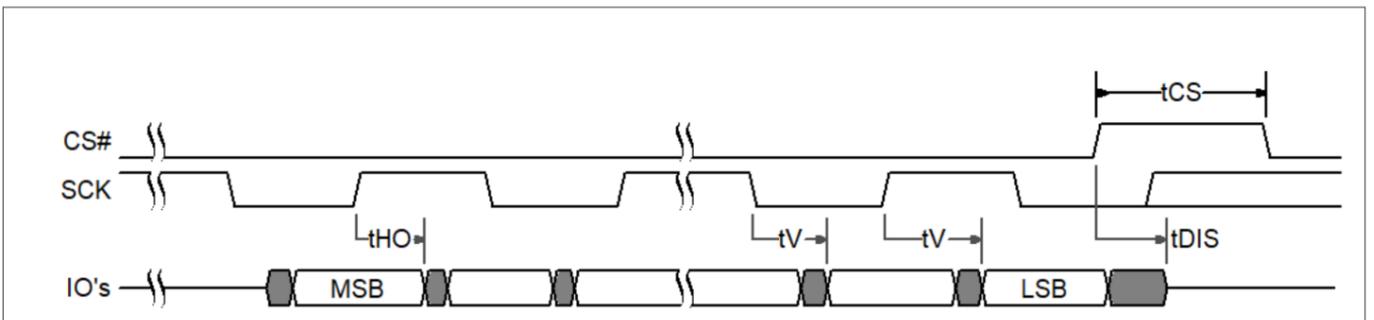


图148 SPI DDR输出时序

### 12.5.3 使用 DLP 的 DDR 数据有效时序

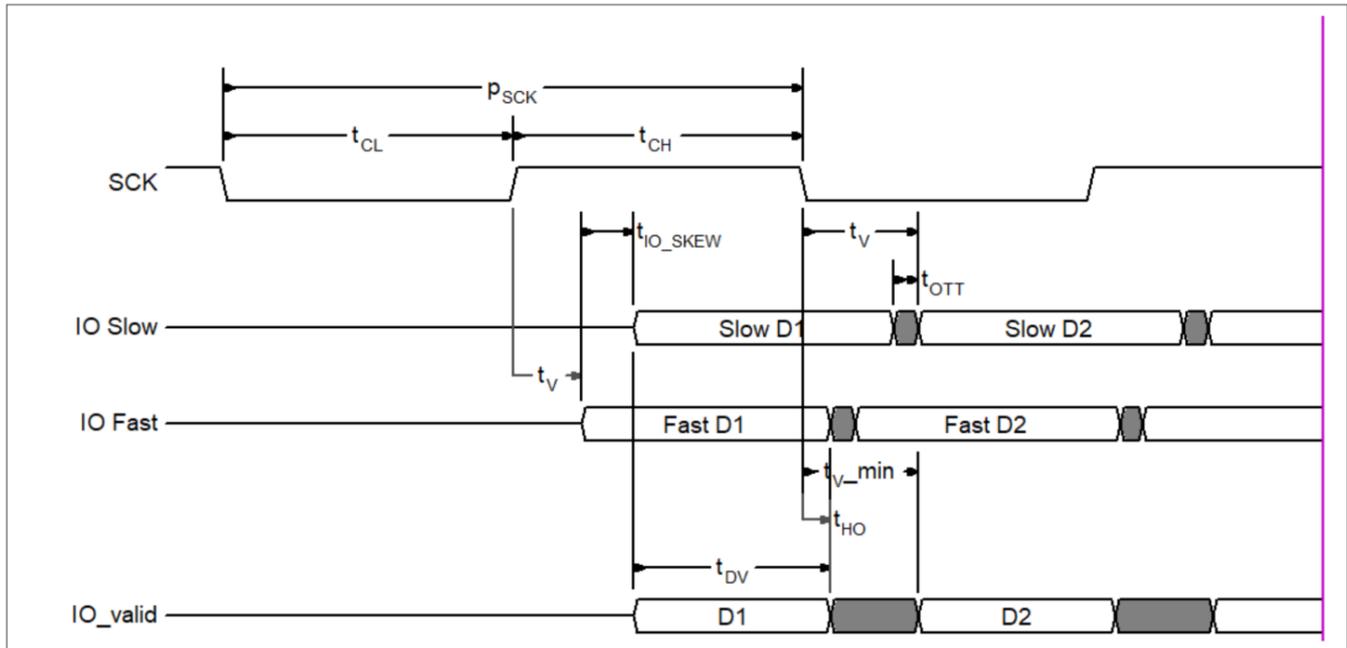


图 149 SPI DDR数据有效窗口

最小数据有效窗口 ( $t_{DV}$ ) 和  $t_V$  Minimum 可按式计算:

$$t_{DV} = \text{最小半时钟周期时间 } (t_{CHL}^{1}) - (t_{CHL}^{2}) - (t_{IO\_SKEW}^{3})$$

$$= t_{V\_min} + t_{HO} + t_{IO\_SKEW} + t_{OTT}$$

示例:

- 66 MHz 时钟频率 = 15 ns 时钟周期, DDR 操作和占空比为 45% 或更高  
-  $t_{CLH} = 0.45 \times PSCK = 0.45 \times 15 \text{ ns} = 6.75 \text{ ns}$
- $t_{OTT}$  计算<sup>4)</sup> 假设总线阻抗为 45 ohm, 电容为 37 pf, 时序参考为  $0.75 V_{CC}$ , 则从 0 到 1 的上升时间或从 1 到 0 的下降时间为  $1.4^{5)} \times RC$  时间常数 (Tau)<sup>6)</sup> =  $1.4 \times 1.67 \text{ ns} = 2.34 \text{ ns}$   
-  $t_{OTT} = \text{上升时间或下降时间} = 2.34 \text{ ns}$ 。
- 数据有效窗口  
-  $t_{DV} = t_{CLH} - t_{IO\_SKEW} - t_{OTT} = 6.75 \text{ ns} - 600 \text{ ps} - 2.34 \text{ ns} = 3.81 \text{ ns}$
- $t_V$  Minimum  
-  $t_{V\_min} = t_{HO} + t_{IO\_SKEW} + t_{OTT} = 1.0 \text{ ns} + 600 \text{ ps} + 2.34 \text{ ns} = 3.94 \text{ ns}$

1.  $t_{CLH}$  是  $t_{CL}$  或  $t_{CH}$  中较短的持续时间。
2.  $t_{IO\_SKEW}$  是所有 IO 信号的最小和最大  $t_V$  (输出有效) 之间的最大差异 (增量)。
3.  $t_{OTT}$  是每个 IO 上从一个有效数据值到下一个有效数据值的最大输出转换时间。
4.  $t_{OTT}$  取决于系统动力考虑因素, 包括:
  1. 存储器器件的输出阻抗 (驱动强度)。
  2. IO 上的系统级电容 (主要是总线电容)。
  3. 主机存储控制器输入  $V_{IH}$  和  $V_{IL}$  电平, 在该电平下可以识别 0 到 1 和 1 到 0 的转换。
  4.  $t_{OTT}$  不是经过英飞凌测试的规格, 它依赖于系统, 必须由系统设计人员根据上述考虑来推导。
5. 电压上升至  $V_{CC}$  的 75% 的时间 Tau 乘数。
6.  $\text{Tau} = R$  (输出阻抗)  $\times C$  (负载电容)。
7.  $t_{DV}$  是数据有效窗口。

## 12.6 嵌入式算法性能表

表 69 双四线编程和擦除性能

Symbol	Parameter	Min	Typ []	Max	Unit
$t_W$	Non-volatile register write time	–	145	750	ms
$t_{PP}$	Page programming (256 bytes)		300	1,200	$\mu$ s
$t_{BP1}$	Byte programming (first byte) <sup>1)</sup>		50	60	
$t_{BP2}$	Additional byte programming (after first byte) <sup>1)</sup>		6	20	
$t_{SE}$	Sector erase time (4KB physical sectors)		50	250	ms
$t_{HBE}$	Half block erase time (32KB physical sectors)		190	363	
$t_{BE}$	Block erase time (64KB physical sectors)		270	725	
$t_{CE}$	Chip erase time (S25FL128L)		70	180	sec
$t_{CE}$	Chip erase time (S25FL256L)		140	360	

1) 编程和擦除的典型时间假设使用以下条件: 温度 = 25°C,  $V_{CC} = 3.0V$ , 10,000 次循环, 使用交错式数据图案。

### 注:

- 任何 OTP 编程指令的编程时间与  $t_{pp}$ 。这包括 IRPP 2Fh、PASSP E8h 和 PDLRNV 43h。
- 对于一个分页内第一个字节之后的多个字节,  $t_{BPN} = t_{BP1} + t_{BP2} * N$  (典型值) 和  $t_{BPN} = t_{BP1} = t_{BP2} * N$  (最大值), 其中 N = 编程的字节数。

表 70 编程或擦除挂起交流参数

Parameter	Typical	Max	Unit	Comments
Suspend latency ( $t_{SL}$ )	–	40	$\mu$ s	The time from Suspend command until the WIP bit is 0.
Resume to next suspend ( $t_{RNS}$ )	100	–		Is the time needed to issue the next Suspend command.

## 13 订购信息

### 13.1 订购部件编号

订购部件编号由以下有效组合形成：

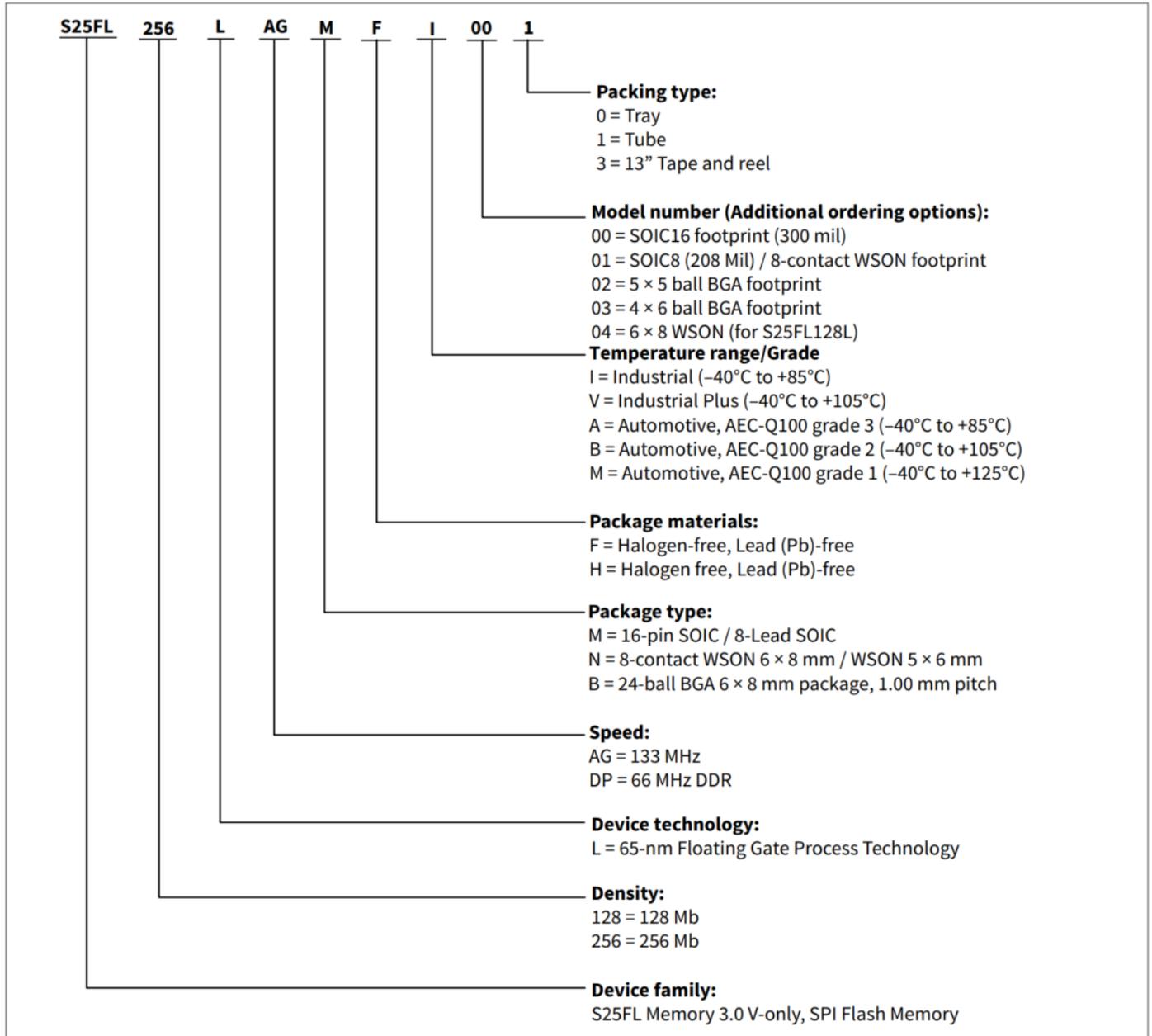


图 150 订购部件编号

注：

1. WSON 6 × 8 mm 适用于 S25FL256L。WSON 5 × 6 mm 仅适用于 S25FL128L。
2. 无卤素的定义符合 IEC 61249-2-21 规范。

### 13.2 有效组合 —— 标准

有效组合列出了计划批量支持的此器件的配置。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

表 71 有效组合 -- 标准

Product	Speed option	Package and temperature	Model number	Packing type	Package marking
S25FL128L	AG	MFI, MFV	00	0, 1, 3	(Base) + A + (temp) + F + (model number)
	AG	MFI, MFV	01	0, 1, 3	(Base) + A + (temp) + F + (model number)
	AG	NFI, NFV	01	0, 1, 3	(Base) + A + (temp) + F + (model number)
	AG	BHI, BHV	02, 03	0, 3	(Base) + A + (temp) + H + (model number)
	AG	NFI, NFV	04	0, 3	(Base) + A + (temp) + F + (model number)
	DP	MFI, MFV	00	0, 1, 3	(Base) + D + (temp) + F + (model number)
	DP	MFI, MFV	01	0, 1, 3	(Base) + D + (temp) + F + (model number)
	DP	NFI, NFV	01	0, 1, 3	(Base) + D + (temp) + F + (model number)
	DP	BHI, BHV	02, 03	0, 3	(Base) + D + (temp) + H + (model number)
	DP	NFI, NFV	04	0, 3	(Base) + D + (temp) + F + (model number)
S25FL256L	AG	MFI, MFV	00	0, 1, 3	(Base) + A + (temp) + F + (model number)
	AG	NFI, NFV	01	0, 1, 3	(Base) + A + (temp) + F + (model number)
	AG	BHI, BHV	02, 03	0, 3	(Base) + A + (temp) + H + (model number)
	DP	MFI, MFV	00	0, 1, 3	(Base) + D + (temp) + F + (model number)
	DP	NFI, NFV	01	0, 1, 3	(Base) + D + (temp) + F + (model number)
	DP	BHI, BHV	02, 03	0, 3	(Base) + D + (temp) + H + (model number)

### 13.3 有效组合 —— 汽车级/AEC-Q100

表72 列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序 (PPAP) 支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 72 有效组合 —— 汽车级/AEC-Q100

Product	Speed option	Package and temperature	Model number	Packing type	Package marking
S25FL128L	AG	MFA, MFB, MFM	00	0, 1, 3	(Base) + A + (temp) + F + (model number)
		MFA, MFB, MFM	01		
		NFA, NFB, NFM			
	BHA, BHB, BHM	02, 03	0, 3	(Base) + A + (temp) + H + (model number)	
	NFA, NFB, NFM	04	0, 3	(Base) + A + (temp) + F + (model number)	

(表格续下页.....)

表72 有效组合 —— 汽车级/AEC-Q100 (续)

Product	Speed option	Package and temperature	Model number	Packing type	Package marking
	DP	MFA, MFB, MFM	00	0, 1, 3	(Base) + D + (temp) + F + (model number)
		MFA, MFB, MFM	01		
		NFA, NFB, NFM			
		BHA, BHB, BHM	02, 03	0, 3	(Base) + D + (temp) + H + (model number)
		NFA, NFB, NFM	04	0, 3	(Base) + D + (temp) + F + (model number)
S25FL256L	AG	MFA, MFB, MFM	00	0, 1, 3	(Base) + A + (temp) + F + (model number)
		NFA, NFB, NFM	01		
		BHA, BHB, BHM	02, 03	0, 3	(Base) + A + (temp) + H + (model number)
	DP	MFA, MFB, MFM	00	0, 1, 3	(Base) + D + (temp) + F + (model number)
		NFA, NFB, NFM	01		
		BHA, BHB, BHM	02, 03	0, 3	(Base) + D + (temp) + H + (model number)

14 封装图

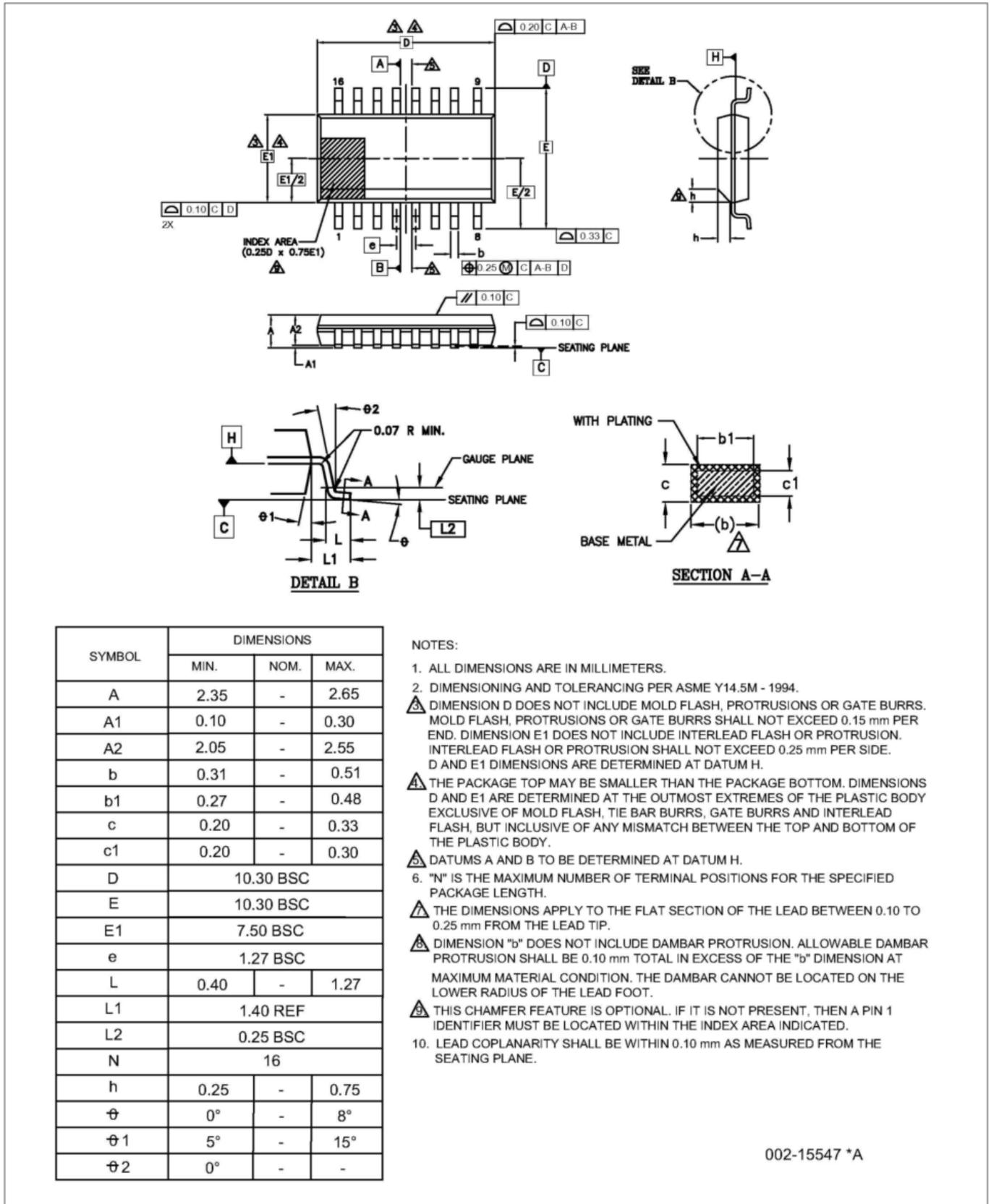


图 151 16 引脚 SOIC (10.30 × 7.50 × 2.65 mm) 封装外形 (PG-DSO-16) , 002-15547

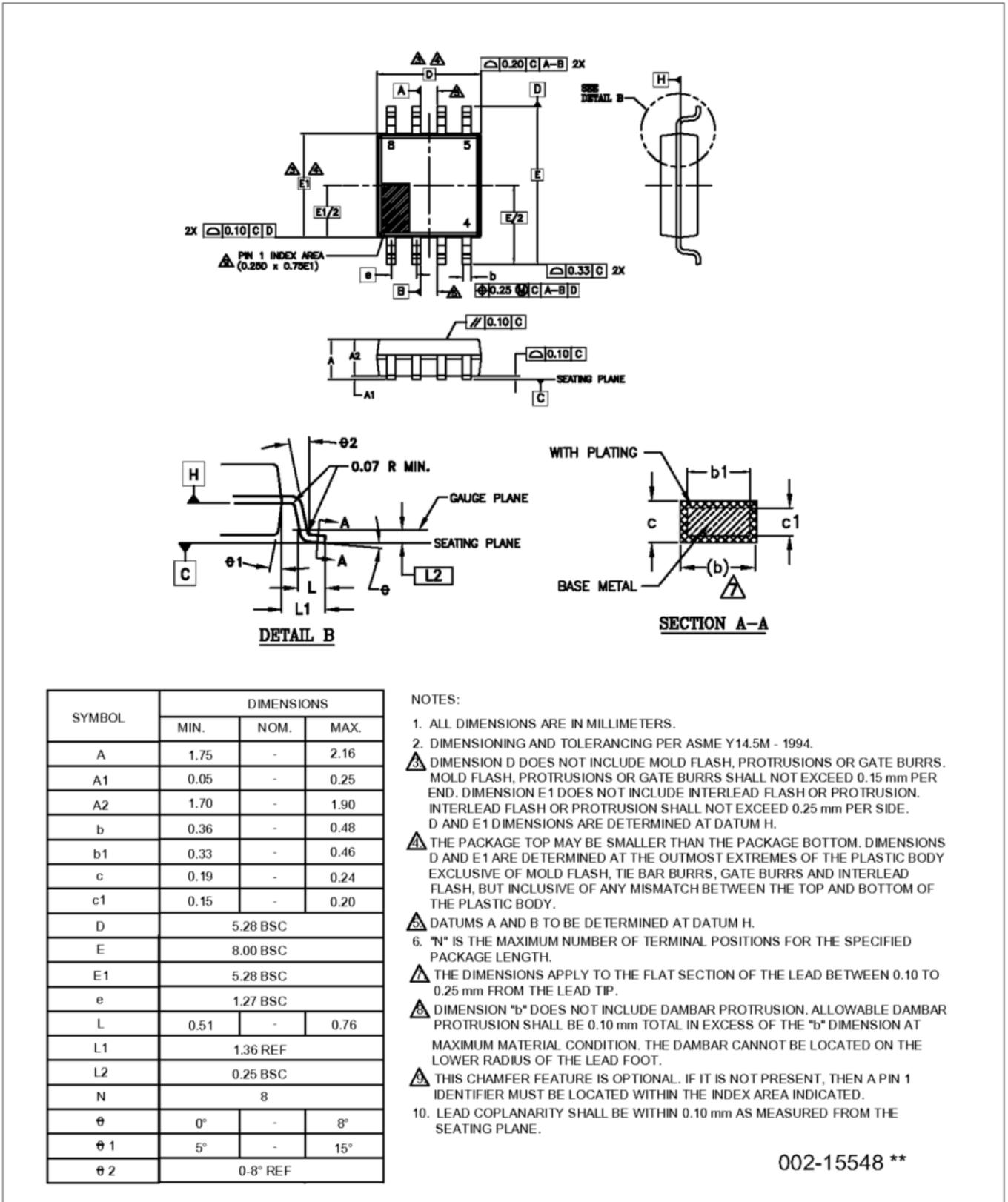


图 152 8 引脚 SOIC (5.28 × 5.28 × 2.16 mm) 封装外形 (PG-DSO-8), 002-15548

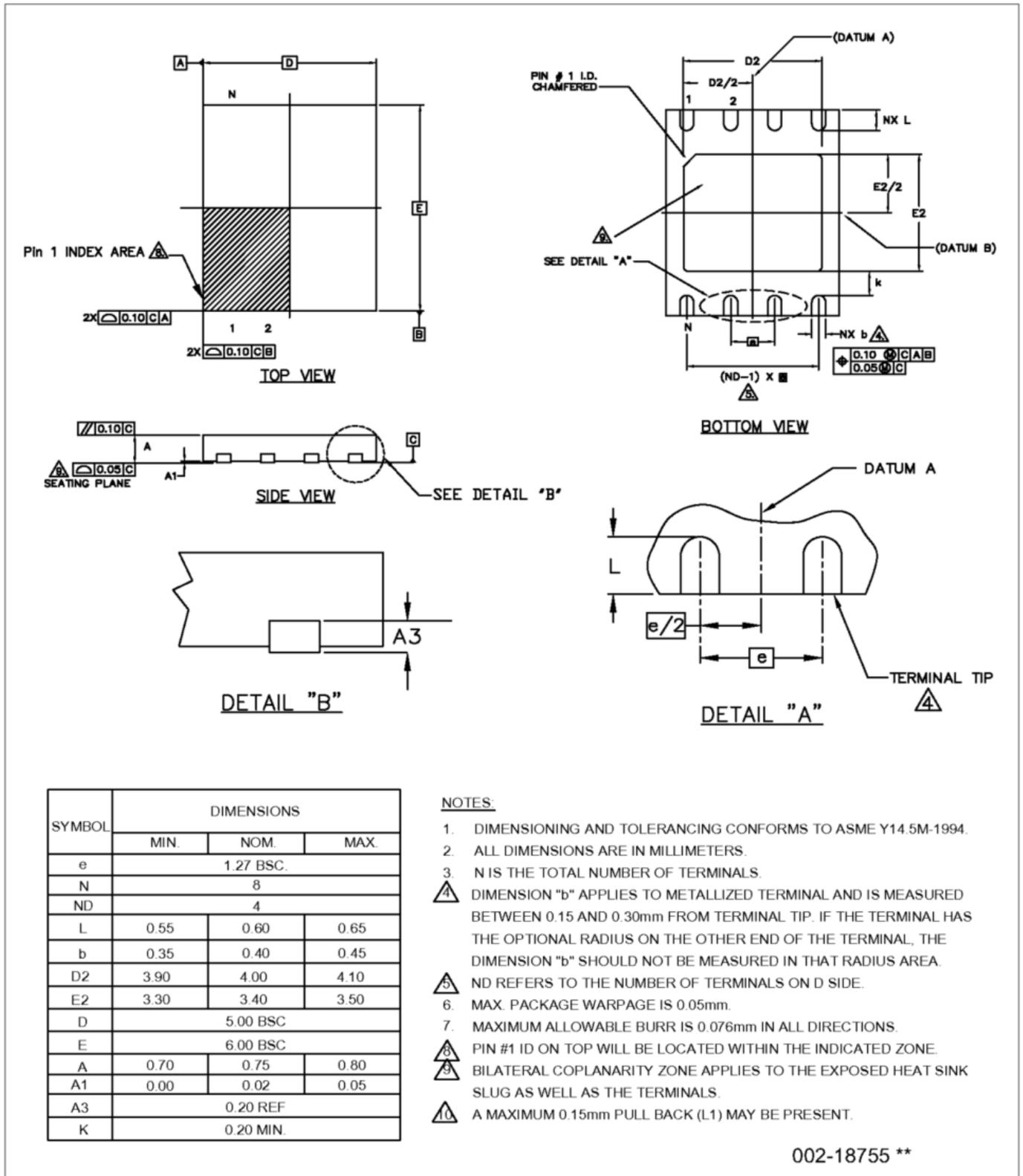


图 153 8 引脚 DFN ((5 × 6 × 0.8 mm) 4.0 × 3.4 mm E-Pad (Sawn) ) 封装外形 (PG-WSON-8) , 002-18755

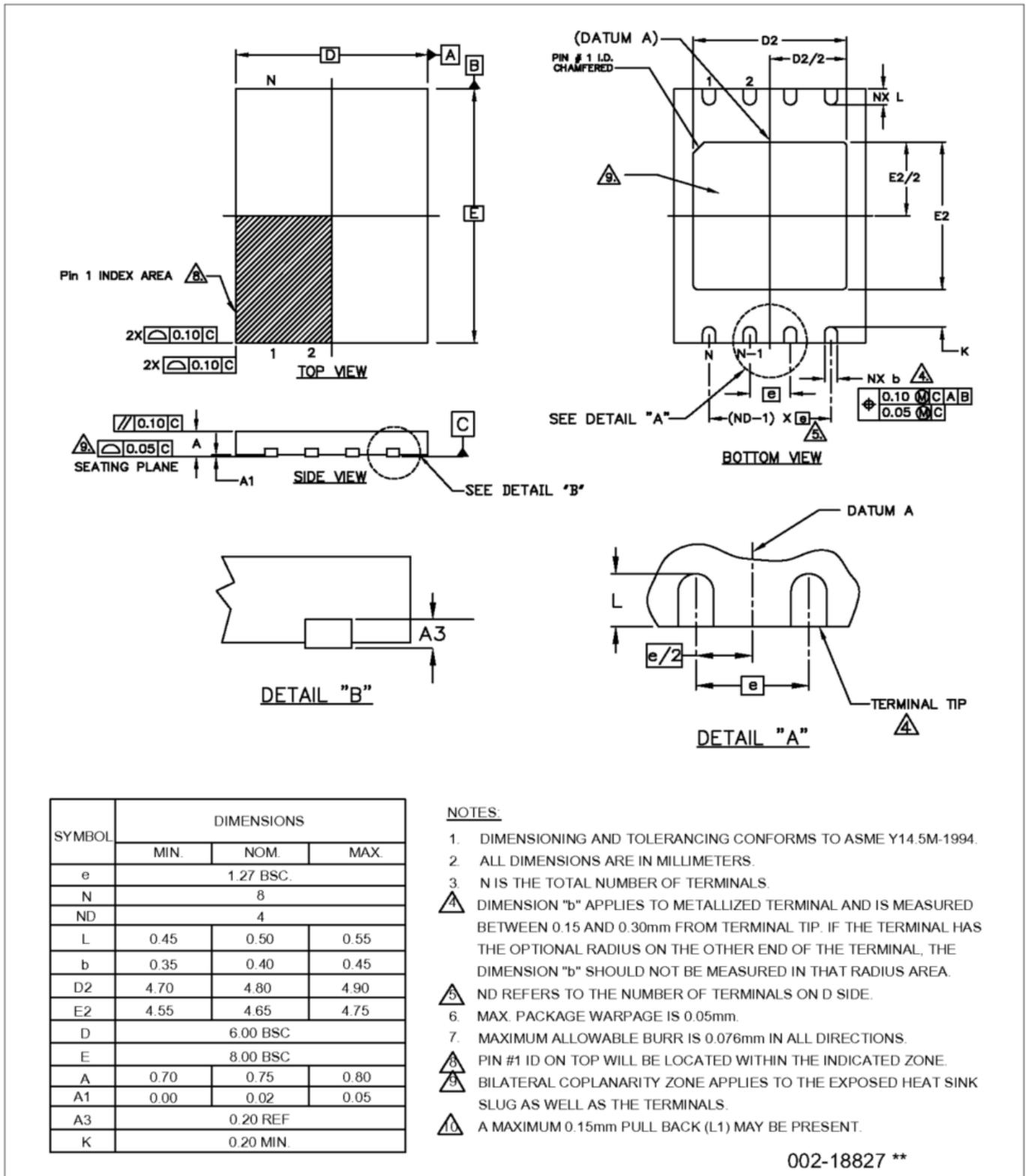


图 154 8 引脚 DFN ((6 × 8 × 0.8 mm) 4.80 × 4.65 mm E-Pad (Sawn) ) 封装外形 (PG-WSON-8) , 002-18827

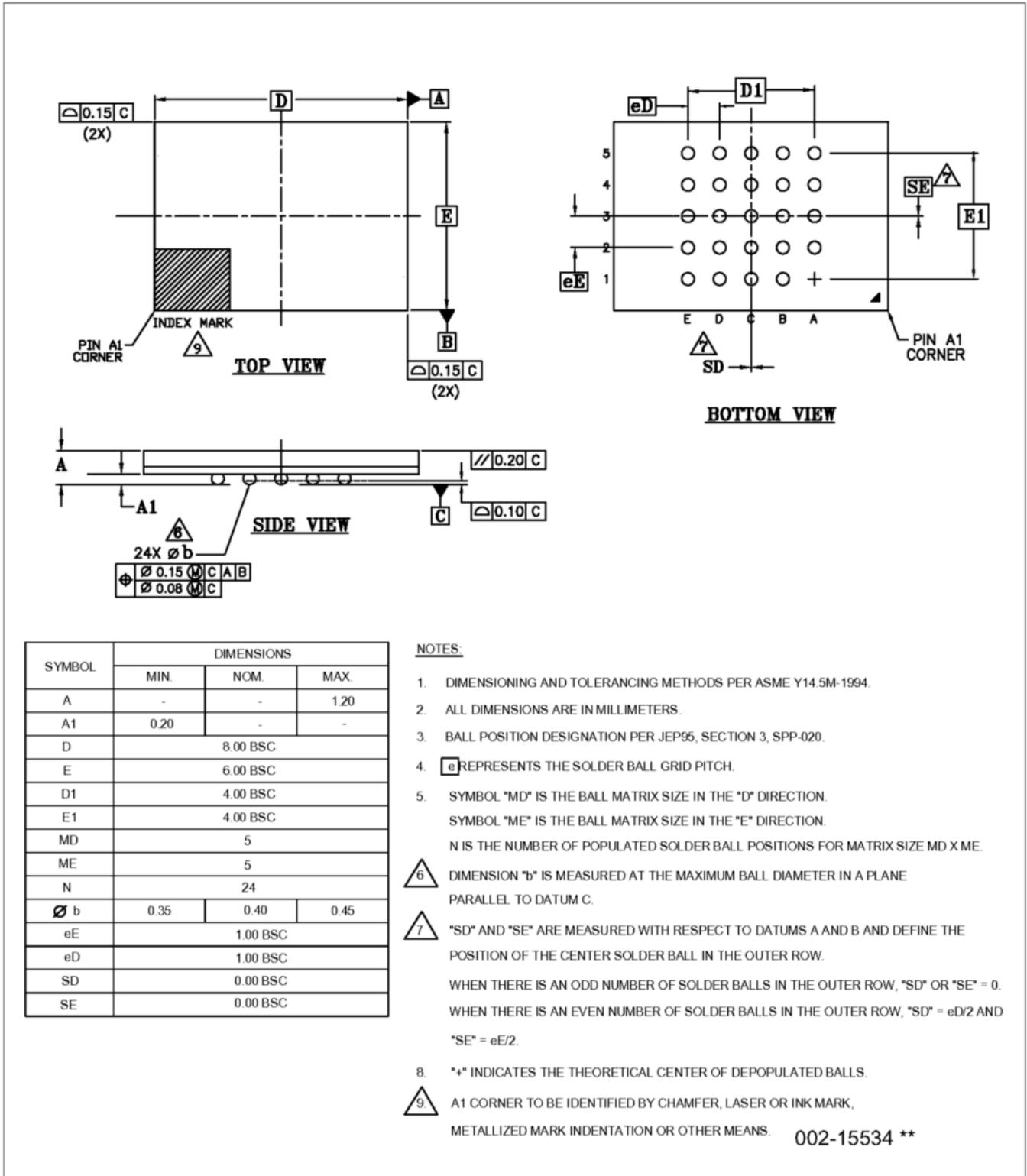


图 155 24 球 FBGA (8 × 6 × 1.2 毫米) 封装外形 (PG-TFBGA-24) , 002-15534

14 封装图

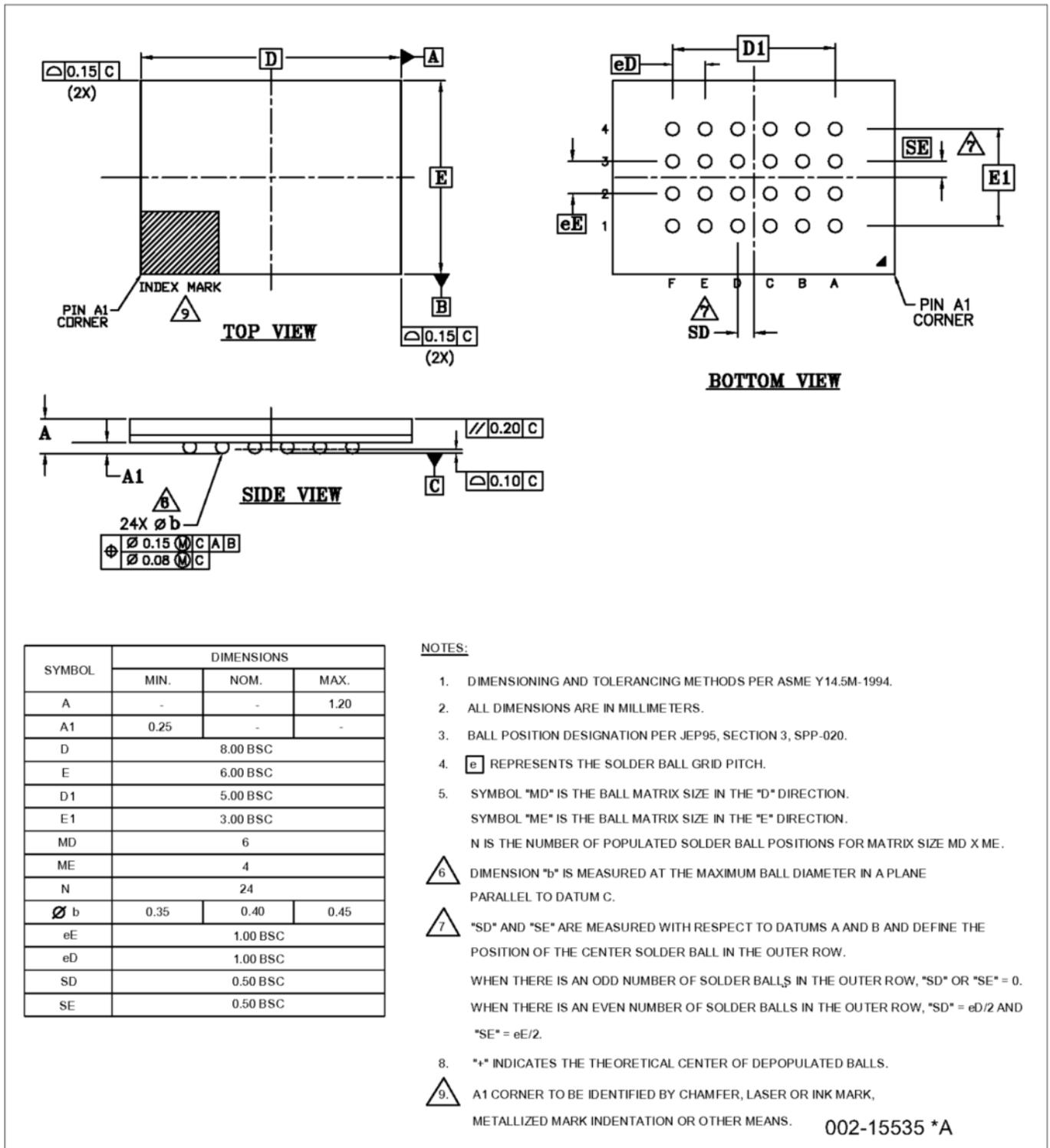


图 156 24 球 FBGA (8 × 6 × 1.2 毫米) 封装外形 (PG-TFBGA-24) , 002-15535

## 修订记录

Document revision	Date	Description of changes
*C	2016-09-26	<p>Changed status from Advance to Final.</p> <p>Updated <a href="#">Features</a>:</p> <p>Added Automotive Grade related information.</p> <p>Updated <a href="#">Data integrity</a>:</p> <p>Updated <a href="#">Data retention</a>Data retention:</p> <p>Updated <a href="#">Table 48</a>.</p> <p>Updated <a href="#">Electrical specifications</a>:</p> <p>Updated <a href="#">Thermal resistance</a>:</p> <p>Updated <a href="#">Table 57</a>.</p> <p>Updated <a href="#">Operating ranges</a>:</p> <p>Updated <a href="#">Temperature ranges</a>:</p> <p>Added Automotive Grade related information.</p> <p>Updated <a href="#">Ordering information</a>:</p> <p>Updated <a href="#">Ordering part number</a>:</p> <p>Updated details corresponding to “01” under “Model Number (Additional Ordering Options)”.</p> <p>Added Automotive Grade related information.</p> <p>Removed “Valid Combinations”.</p> <p>Added <a href="#">Valid combinations — Standard</a>.</p> <p>Added <a href="#">Valid combinations — Automotive grade / AEC-Q100</a>.</p> <p>Updated <a href="#">Package diagrams</a>:</p> <p>Updated SOIC 16-Lead, 300-mil Body Width (SO3016):</p> <p>Replaced existing spec with 002-15547 **.</p> <p>Updated SOIC 8-Lead, 208 mil Body Width (SOC008):</p> <p>Replaced existing spec with 002-15548 **.</p> <p>Added “WSON 8-Contact 6 x 8 mm Leadless (WNG008)”.</p> <p>Removed “WSON 8-Contact 6 x 8 mm Leadless (WNH008)”:</p> <p>Updated Ball Grid Array 24-ball 6 x 8 mm (FAB024):</p> <p>Replaced existing spec with 002-15534 **.</p> <p>Updated Ball Grid Array 24-ball 6 x 8 mm (FAC024):</p> <p>Replaced existing spec with 002-15535 **.</p>
*D	2017-01-11	<p>Updated Other Resources:</p> <p>Updated Link to Cypress Flash Roadmap:</p> <p>Updated hyperlinks.</p> <p>Updated Link to Software:</p> <p>Updated hyperlinks.</p> <p>Updated Link to Application Notes:</p> <p>Updated hyperlinks.</p> <p>Updated to new template.</p> <p>Completing Sunset Review.</p>

## 修订记录

Document revision	Date	Description of changes
*E	2017-05-15	<p>Replaced “V<sub>DD</sub>” with “V<sub>CC</sub>” in all instances across the document.</p> <p>Updated <a href="#">Data protection</a>:</p> <p>Updated <a href="#">Array protection</a>:</p> <p>Updated <a href="#">Legacy block protection</a>:</p> <p>Added <a href="#">Table 39</a>.</p> <p>Updated <a href="#">Software interface reference</a>:</p> <p>Updated <a href="#">JEDEC JESD216B serial flash discoverable parameters</a>:</p> <p>Updated <a href="#">JEDEC SFDP basic SPI flash parameter</a>:</p> <p>Updated <a href="#">Table 51</a>.</p> <p>Updated <a href="#">Timing specifications</a>:</p> <p>Updated <a href="#">Embedded algorithm performance tables</a>:</p> <p>Updated <a href="#">Table 69</a>.</p> <p>Updated <a href="#">Ordering information</a>:</p> <p>Updated <a href="#">Ordering part number</a>:</p> <p>Replaced “Lead (Pb)-free” with “F = Halogen-free, Lead (Pb)-free” in “F” option under “Package Materials”.</p> <p>Updated <a href="#">Valid combinations — Standard</a>:</p> <p>Updated <a href="#">Table 71</a>.</p> <p>Updated <a href="#">Valid combinations — Automotive grade / AEC-Q100</a>:</p> <p>Updated <a href="#">Table 72</a>.</p> <p>Updated <a href="#">Package diagrams</a>:</p> <p>Updated SOIC 16-Lead, 300-mil Body Width (SO3016): spec 002-15547 – Changed revision from ** to *A.</p> <p>Updated WSON 8-Contact 5 x 6 mm Leadless (WND008): Replaced existing spec with 002-18755 **.</p> <p>Updated WSON 8-Contact 6 x 8 mm Leadless (WNG008): Replaced existing spec with 002-18827 **.</p> <p>Updated to new template.</p>
*F	2017-08-07	<p>Updated <a href="#">Features</a>:</p> <p>Updated description.</p> <p>Updated <a href="#">Electrical specifications</a>:</p> <p>Updated <a href="#">Latchup characteristics</a>:</p> <p>Updated <a href="#">Table 56</a>.</p> <p>Updated <a href="#">Ordering information</a>:</p> <p>Updated <a href="#">Ordering part number</a>:</p> <p>Removed “(not in production)” under “Density”.</p> <p>Updated <a href="#">Valid combinations — Standard</a>:</p> <p>Updated <a href="#">Table 71</a>.</p> <p>Updated <a href="#">Valid combinations — Automotive grade / AEC-Q100</a>:</p> <p>Updated <a href="#">Table 72</a>.</p> <p>Completing Sunset Review.</p>

## 修订记录

Document revision	Date	Description of changes
*G	2018-04-03	<p>Updated <a href="#">Signal protocols</a>:</p> <p>Updated <a href="#">Command protocol</a>:</p> <p>Updated <a href="#">Command sequence examples</a>:</p> <p>Updated <a href="#">Figure 22</a>.</p> <p>Updated <a href="#">Figure 23</a>.</p> <p>Updated <a href="#">Commands</a>:</p> <p>Updated <a href="#">Read Memory Array commands</a>:</p> <p>Updated <a href="#">DDR Quad I/O Read (EDh, EEh)</a>:</p> <p>Updated <a href="#">Figure 74</a>.</p> <p>Updated <a href="#">Figure 75</a>.</p> <p>Updated <a href="#">Figure 76</a>.</p> <p>Updated <a href="#">Software interface reference</a>:</p> <p>Updated <a href="#">Device ID address map</a>:</p> <p>Updated <a href="#">Field definitions</a>:</p> <p>Updated <a href="#">Table 54</a>.</p> <p>Updated <a href="#">Electrical specifications</a>:</p> <p>Updated <a href="#">DC characteristics</a>:</p> <p>Updated <a href="#">Table 61</a>.</p> <p>Updated <a href="#">Table 62</a>.</p> <p>Updated <a href="#">Table 63</a>.</p> <p>Updated <a href="#">Timing specifications</a>:</p> <p>Updated <a href="#">DDR AC characteristics</a>:</p> <p>Removed “DDR Minimum Data Valid Window”.</p> <p>Added <a href="#">DDR data valid timing using DLP</a>.</p> <p>Updated to new template.</p>
*H	2018-07-11	<p>Updated <a href="#">Address space maps</a>:</p> <p>Updated <a href="#">Registers</a>:</p> <p>Updated description.</p> <p>Updated <a href="#">Timing specifications</a>:</p> <p>Updated <a href="#">DDR AC characteristics</a>:</p> <p>Updated <a href="#">DDR data valid timing using DLP</a>:</p> <p>Updated description.</p> <p>Updated <a href="#">Ordering information</a>:</p> <p>Updated <a href="#">Ordering part number</a>:</p> <p>Changed Low-halogen to Halogen free under “Package Materials”.</p> <p>Added Note 97 and referred the same note in “Package Materials”.</p> <p>Updated Other Resources:</p> <p>Updated Glossary:</p> <p>Updated Definition of MSb and LSb.</p> <p>Completing Sunset Review.</p>

## 修订记录

Document revision	Date	Description of changes
*I	2022-08-05	Updated <a href="#">Electrical specifications</a> : Updated <a href="#">Thermal resistance</a> : Updated <a href="#">Table 57</a> . Updated <a href="#">DC characteristics</a> : Updated <a href="#">Table 62</a> . Updated <a href="#">Package diagrams</a> : spec 002-15535 – Changed revision from ** to *A. Removed “Other resources”. Migrated to Infineon template. Completing Sunset Review.
*J	2022-11-03	Updated <a href="#">Electrical specifications</a> : Updated <a href="#">Thermal resistance</a> : Updated <a href="#">Table 57</a> .
*K	2023-04-10	Updated <a href="#">Address space maps</a> : Updated <a href="#">Registers</a> : Updated <a href="#">Configuration Register 3</a> : Updated <a href="#">Configuration Register 3 Non-Volatile (CR3NV)</a> : Updated <a href="#">Table 22</a> <a href="#">Table 19</a> . Updated <a href="#">Table 23</a> . Updated to new template.
*L	2024-01-11	Updated <a href="#">Table 71</a> . Updated <a href="#">Table 72</a> .
*M	2024-09-23	Template update, no content change
*N	2025-09-17	Updated <a href="#">Figure 151</a>



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2026-02-12

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。