16Mb EXCELON™ LP 強誘電体 RAM (F-RAM)

シリアル (SPI)、2048K × 8、40MHz、産業用

特長

- 2048K × 8 論理構成として設計された 16Mb 強誘電体 RAM (F-RAM)
  - 1000 兆 (10^{15}) 回の読み出し / 書き込みの事実上無制限の書換回数
  - 151 年間のデータ保持 (**24 ページの「データ保持期間およびアクセス可能回数」** を参照してください)
  - インフィニオンのインスタント不揮発性書き込み技術
  - 高信頼性強誘電体プロセス
- 高速シリアル ペリフェラル インターフェース (SPI)
  - 最高周波数は 40MHz
  - SPI モード 0 (0、0) およびモード 3 (1、1) に対応
- 洗練された書き込み保護スキーム
  - 書き込み保護 ($\overline{\text{WP}}$) ピンを使用したハードウェアによる保護
  - 書き込みディセーブル (WRDI) 命令を使用したソフトウェアによる保護
  - アレイの 1/4、1/2 または全体を対象としたソフトウェア ブロック保護
- デバイス ID およびシリアル番号
  - メーカー ID および製品 ID
  - 固有デバイス ID
  - シリアル番号
- 専用 256 バイト特殊セクタ F-RAM
  - 専用特殊セクタの書き込みと読み出し
  - 保存コンテンツは最大 3 回の標準はんだリフロー サイクルに耐え得る
- 低消費電力
  - 40MHz で 2.7mA (Typ) のアクティブ電流
  - 14µA (Typ) のスタンバイ電流
  - 1.10µA (Typ) のディープ パワーダウン モード電流
  - 0.1µA (Typ) のハイバネート モード電流
- 低電圧動作
  - : V_{DD} = 1.71V ～ 1.89V
  - CY15B116QN: V_{DD} = 1.8V ～ 3.6V
- 産業用動作温度範囲 : -40°C ～ +85°C
- パッケージ
  - 24 ボール ファイン ピッチ ボール グリッド アレイ (24 ボール FBGA)
- RoHS 準拠

機能説明

EXCELON™ LP CY15X116QN は高度な強誘電体プロセスを採用した低消費電力の 16Mb 不揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は不揮発性であり、RAM 同様に読み書きを実行します。またシリアル フラッシュや EEPROM、その他の不揮発性メモリによる複雑さ、オーバーヘッド、システム レベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

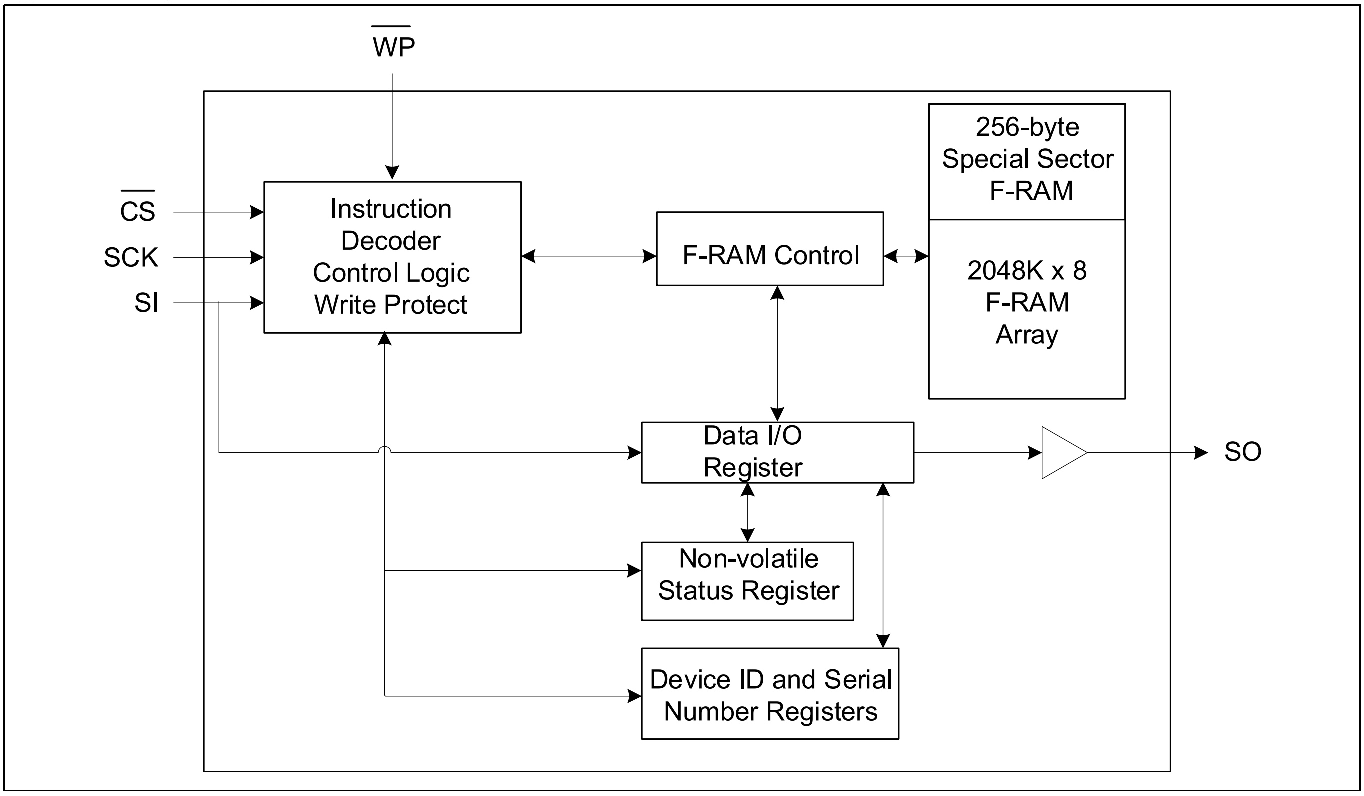
シリアル フラッシュや EEPROM と異なり、CY15X116QN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリ アレイに書き込まれます。次のバス サイクルはデータ ポーリングなしに開始できます。また、本製品は他の不揮発性メモリと比べて多くの書き換え回数を提供しています。CY15X116QN は 10^{15} 回の読み出し / 書き込みサイクル、すなわち EEPROM に比べ 10 億倍の書き込みサイクルに対応できます。

これらの能力により、CY15X116QN は頻繁な高速書き込みを必要とする不揮発性メモリの用途に理想的です。これらの用途例は、書き込み回数を重視するデータ収集から、シリアル フラッシュや EEPROM を使った場合にその長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15X116QN はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X116QN は、F-RAM 技術の高速書き込み機能を強化する高速 SPI バスを使用します。本デバイスは、読み出し専用のデバイス ID と固有 ID 機能を組み込み、ホストがメーカー、メモリ容量、製品レビジョンおよび固有 ID を確定できます。また、特定の基板またはシステムを識別できる書き込み可能な 8 バイト シリアル番号レジスタを備えています。

すべての関連資料の一覧については、ここをクリックしてください。

論理ブロック図



目次

1 ピン配置

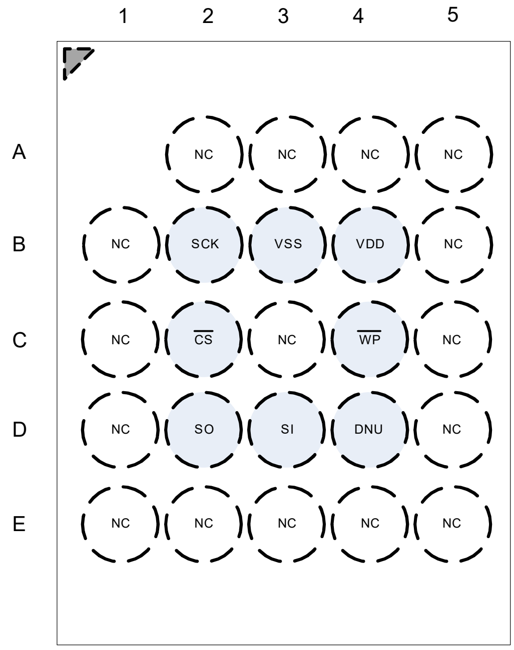


図 1 24 ボール FBGA ピン配置

2 ピン機能

ピン名	入出力	説明
$\overline{CS}$	入力	**チップ セレクト** : このアクティブ LOW 入力で、デバイスを起動させる。HIGH の場合、デバイスは低消費電力のスタンバイ モードに移行し、他の入力を無視し、出力はトライステートになる。LOW の場合、デバイスは SCK 信号を内部でアクティブにする。$\overline{CS}$ の立ち下りエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	**シリアル クロック** : I/O の動作はシリアル クロックに同期される。入力はシリアル クロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動される。クロック周波数は 0 ～ 40MHz の範囲であり、同期特性のためいつでも割り込まれる可能性がある
SI[1]	入力	**シリアル入力** : このピンからデバイスにすべてのデータを入力。ピンは SCK の立ち上りエッジでサンプリングされ、そのとき以外では無視。電源 (I_{DD}) 仕様を満たすために、常に有効な論理レベルに駆動する必要がある
SO[1]	出力	**シリアル出力** : データ出力ピンであり、読み出し中に駆動され、そのとき以外ではトライステートのままになる。データ遷移はシリアル クロック SCK の立ち下りエッジで駆動される
$\overline{WP}$	入力	**書き込み保護** : アクティブ LOW ピンであり、ステータス レジスタの WPEN ビットが「1」にセットされているとき、ステータス レジスタへの書き込み動作を防ぐ。その他の書き込み保護機能がステータス レジスタによって制御されるため、このことは重要。書き込み保護の詳細は、**表 2** と **表 5** を参照してください。このピンを使用しない場合、V_{DD} に接続する必要がある
DNU	使用禁止	**使用禁止** : このピンは開放 (基板上で未接続) のままにするか、または V_{DD} に接続
V_{SS}	電源	デバイス グランド : システム グランドに接続
V_{DD}	電源	デバイスへの電源入力

注 :
1. SI を SO と接続し、1 本のデータ インターフェースとして利用できます。

3 機能概要

CY15X116QN はシリアル F-RAM メモリです。メモリ アレイは 2,097,152 × 8 ビットに論理構成され、業界標準のシリアル ペリフェラル インターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作はシリアル フラッシュやシリアル EEPROM と類似しています。CY15X116QN と同一のピン配置であるシリアル フラッシュや EEPROM 間の重要な違いは、F-RAM の優れた書き込み性能、書換回数、および低消費電力です。

3.1 メモリ アーキテクチャ

CY15X116QN のアクセスには、それぞれが 8 データ ビットの 2,048Kヶ所の位置をアドレス指定します。8 データ ビットは順次シフトイン / シフトアウトされます。アドレスは、チップ セレクト (バス上で複数デバイスを可能にする) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 4 ビットは「ドント ケア」値です。20 ビットのアドレスで、一義的に各バイト アドレスを指定します。

CY15X116QN のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作に要するアクセス時間は、シリアル プロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアル フラッシュや EEPROM とは異なり、書き込み動作がバス速度で行われるため、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバス トランザクションがデバイスにシフトされるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています。

3.2 SPI バス

CY15X116QN は SPI スレーブ デバイスであり、最大 40MHz の速度で動作します。この高速シリアル バスにより、SPI マスターとの間で高性能なシリアル通信が可能です。多くの一般的なマイクロコントローラーは、直接インターフェースを可能にするハードウェア SPI ポートを持っています。この機能を持たないマイクロコントローラーでは、通常のポート ピンを使用して SPI ポートをエミュレートすることは簡単です。
CY15X116QN は SPI モード 0 と 3 で動作します。

3.2.1 SPI 概要

SPI は、チップ セレクト ($\overline{\text{CS}}$)、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアル クロック (SCK) ピンから成る 4 ピン インターフェースです。

SPI は、メモリ アクセスにクロックとデータ ピンを使用し、データバス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、$\overline{\text{CS}}$ ピンを使用してアクティブにされます。

チップ セレクト、クロック、データの相互関係は SPI モードによります。本デバイスは、SPI モード 0 と 3 に対応しています。両方のモードで、$\overline{\text{CS}}$ がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードで制御されます。オペコードは、バス マスターからスレーブ デバイスへのコマンドを指定します。$\overline{\text{CS}}$ がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。動作が完了した後、新しいオペコードが発行される前に、$\overline{\text{CS}}$ を非アクティブにする必要があります。

3.3 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターのみを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは $\overline{\text{CS}}$ ピンを使用してスレーブ デバイスのいずれかを選択します。あらゆる動作を開始するためには、マスターがスレーブの $\overline{\text{CS}}$ ピンを LOW にプルしてスレーブ デバイスをアクティブにする必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

3.3.2 SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブはそれ自体として SPI バス上で通信を開始することはなく、単にマスターからの命令に従って動作します。

CY15X116QN は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

3.3.3 チップ セレクト ($\overline{CS}$)

スレーブ デバイスを選択するためには、マスターは該当する $\overline{CS}$ ピンを立ち下げる必要があります。$\overline{CS}$ ピンが LOW になっているときのみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注 : 新しい命令は CS の立ち下りエッジで開始する必要があります。したがって、アクティブなチップ セレクト サイクルごとに 1 つのオペコードのみが発行できます。

3.3.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、$\overline{CS}$ が LOW になった後、通信はこのクロックと同期されます。

CY15X116QN はデータ通信のために SPI モード 0 と 3 に対応しています。両方のモードでは、入力は SCK の立ち上りエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI / SO)

SPI データ バスは、シリアル データ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) とも呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X116QN は、**図 2** に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えています。専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートを使用できます。コントローラーのハードウェア リソースを減らすために、2 本のデータ ピン (SI、SO) を 1 本にまとめて接続し、$\overline{WP}$ ピンを HIGH に固定接続できます。**図 3** に、ピンを 3 本のみ使用したこのコンフィギュレーションを示します。

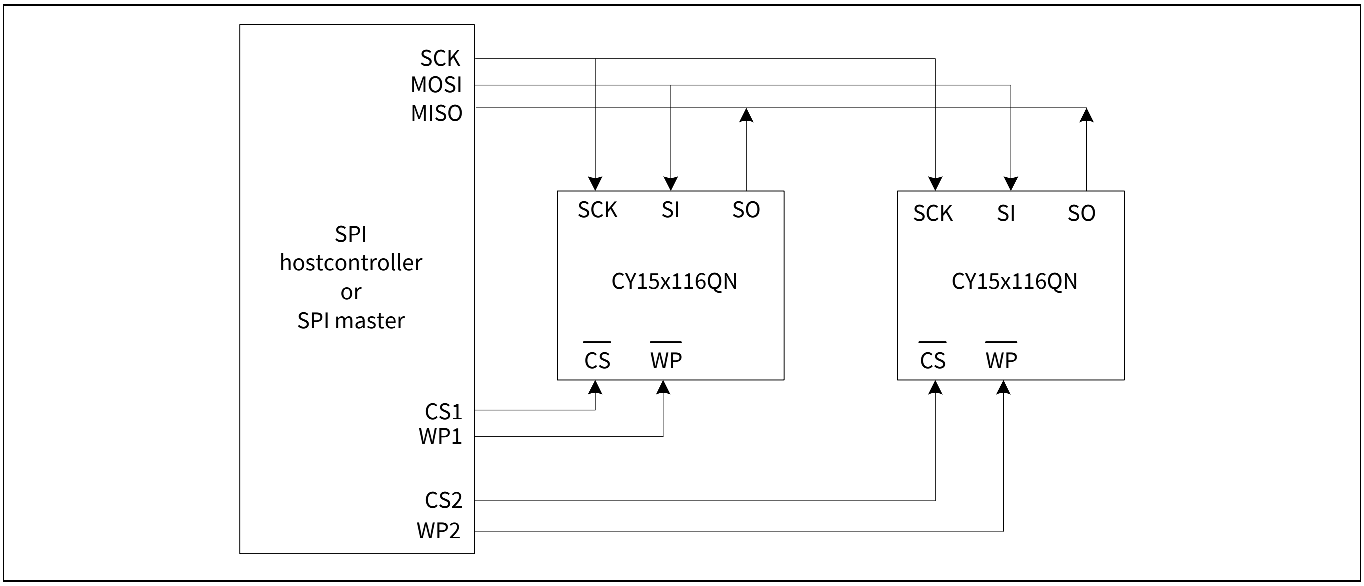


図 2　　　SPI ポートを使用するシステム コンフィギュレーション

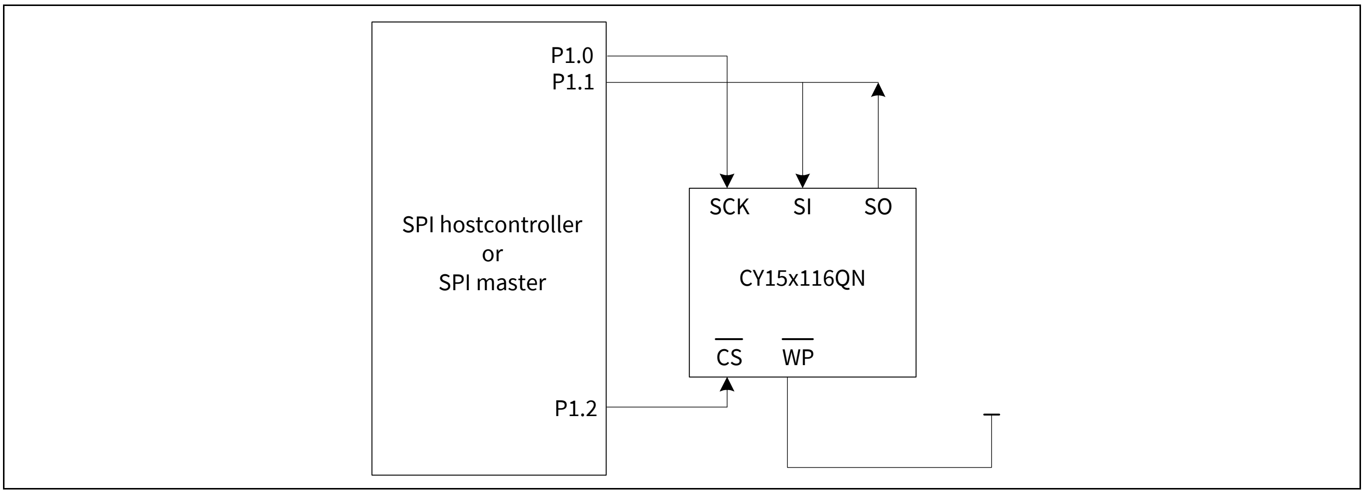


図 3　　　SPI ポートを使用しないシステム コンフィギュレーション

3.3.6 最上位ビット (MSb)

SPI プロトコルでは、最初に送信されるビットが MSb でなければなりません。この方式はアドレスとデータの両方の転送に適用されます。

16Mb シリアル F-RAM は、あらゆる読み書き動作のために 3 バイトのアドレスを必要とします。アドレスが 20 ビットであるため、入力された最初の 4 ビットはデバイスによって無視されます。これらの 4 ビットは「ドント ケア」ですが、より高容量メモリへの円滑な移行を可能にするために、「0」に設定することをインフィニオン® は推奨します。

3.3.7 シリアル オペコード

CS が LOW の状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15X116QN はメモリ アクセスに標準オペコードを使用します。

3.3.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の CS の立ち下りエッジまで SI ピン上にある追加のシリアル データを無視し、SO ピンはトライステートのままとなります。

3.3.9 ステータス レジスタ

CY15X116QN には、8 ビットのステータス レジスタがあります。ステータス レジスタ内のビットはデバイスを設定するために使用されます。これらのビットは**表 3** で説明されています。

3.3.10 SPI モード

CY15X116QN は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作するマイクロコントローラーによって駆動できます。

- SPI モード 0 (CPOL = 0、CPHA = 0)
- SPI モード 3 (CPOL = 1、CPHA = 1)

両方のモードでは、入力データは $\overline{CS}$ がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロック トグル後の最初の立ち上りエッジでラッチされます。出力データは SCK の立ち下りエッジで得られます。2 つの SPI モードは**図 4** と**図 5** に示します。バス マスターがデータを転送していないときのクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK が 1 のまま

$\overline{CS}$ ピンを LOW にすることによりデバイスが選択されたとき、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

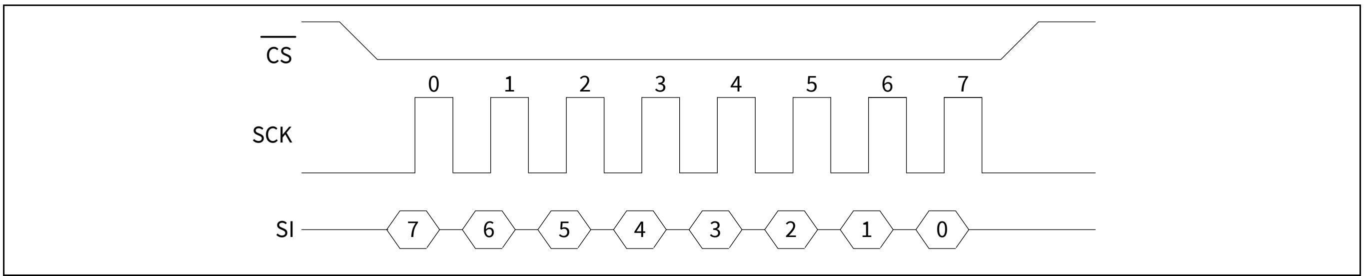


図 4 SPI モード 0

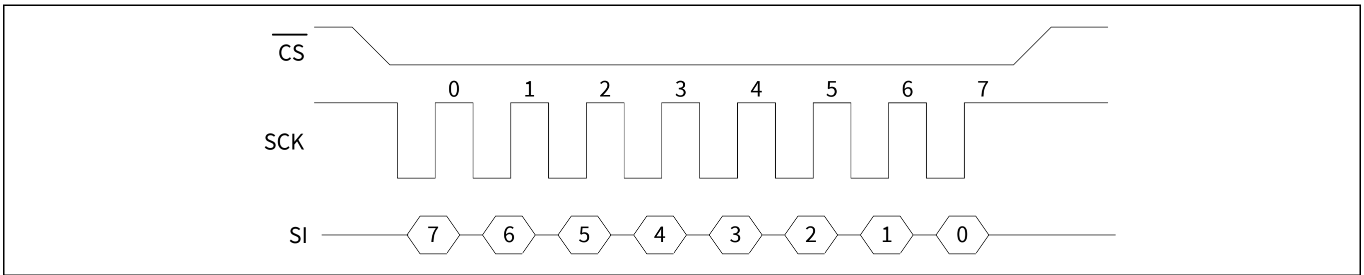


図 5 SPI モード 3

3.4 電源投入から最初のアクセスまでの時間

電源投入後の t_{PU} の間、CY15X116QN へはアクセスできません。ユーザーは、t_{PU} (V_{DD}(min) から $\overline{CS}$ が初めて LOW になるときまでの最短期間) のタイミング パラメーターに従わなければなりません。詳細は**パワー サイクル タイミング**を参照してください。

4 機能説明

4.1 コマンドの構成

バス マスターが CY15X116QN に発行できるオペコードと呼ばれる 15 個のコマンドがあります (表 1 を参照してください)。オペコードはメモリが実行する機能を制御します。

表 1 オペコード コマンド

名称	説明	オペコード		最大周波数 (MHz)
		16 進	2 進	
書き込みイネーブル制御				
WREN	書き込みイネーブル ラッチ セット	06h	0000 0110b	40
WRDI	書き込みイネーブル ラッチ リセット	04h	0000 0100b	40
レジスタ アクセス				
RDSR	ステータス レジスタ読み出し	05h	0000 0101b	40
WRSR	ステータス レジスタ書き込み	01h	0000 0001b	40
メモリ書き込み				
WRITE	メモリ データ書き込み	02h	0000 0010b	40
メモリ読み出し				
READ	メモリ データ読み出し	03h	0000 0011b	35
FSTRD	メモリ データ高速読み出し	0Bh	0000 1011b	40
特殊セクタ メモリ アクセス				
SSWR	特殊セクタ書き込み	42h	0100 0010b	40
SSRD	特殊セクタ読み出し	4Bh	0100 1011b	35
ID およびシリアル番号				
RDID	デバイス ID 読み出し	9Fh	1001 1111b	40
RUID	固有 ID 読み出し	4Ch	0100 1100b	40
WRSN	シリアル番号書き込み	C2h	1100 0010b	40
RDSN	シリアル番号読み出し	C3h	11000 011b	40
低消費電力モード コマンド				
DPD	ディープ パワーダウン モード開始	BAh	1011 1010b	40
HBN	ハイバネート モード開始	B9h	1011 1001b	40
予約済み				
予約済み	予約済み	未使用オペコードは将来使用のために予約済み		–

4.1.1 書き込みイネーブル制御コマンド

4.1.1.1 書き込みイネーブル ラッチ セット (WREN、06h)

CY15X116QN は、書き込みが無効の状態で電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、書き込み動作用に次のオペコードを発行できます。書き込み動作には、ステータス レジスタ書き込み (WRSR)、メモリ書き込み (WRITE)、特殊セクタ書き込み (SSWR)、シリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブル ラッチがセットされます。ステータス レジスタ内のフラグ ビット (WEL と呼ばれる) はラッチの状態を示します。WEL = 「1」は、書き込みが許可されることを示します。ステータス レジスタの WEL ビットに書き込んでもその状態は変わりません。WREN オペコードのみがこのビットをセットできます。WEL ビットは、WRDI、WRSR、WRITE、SSWR または WRSN 動作の後に続く $\overline{CS}$ の立ち上りエッジで自動的にクリアされます。これにより、別の WREN コマンドなしでステータス レジスタまたは F-RAM アレイにそれ以上書き込むことができなくなります。図 6 に、WREN コマンドのバス コンフィギュレーションを示します。

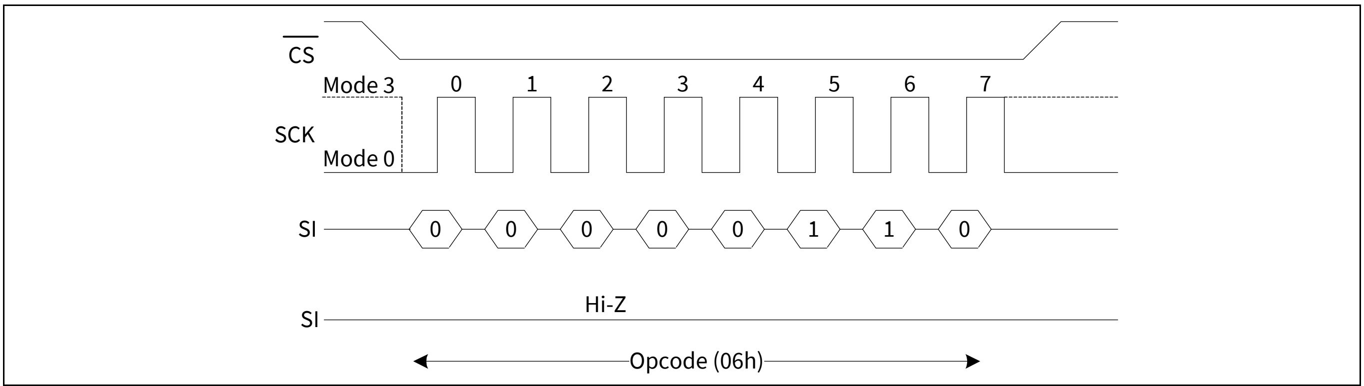


図 6　WREN バス コンフィギュレーション

4.1.1.2 書き込みイネーブル ラッチ リセット (WRDI、04h)

WRDI コマンドは、書き込みイネーブル ラッチをクリアすることによりすべての書き込み動作を無効にします。ステータス レジスタの WEL ビットを読み出して WEL = 「0」を確認することで、書き込みが無効になっていることを確認します。図 7 に、WRDI コマンドのバス コンフィギュレーションを示します。

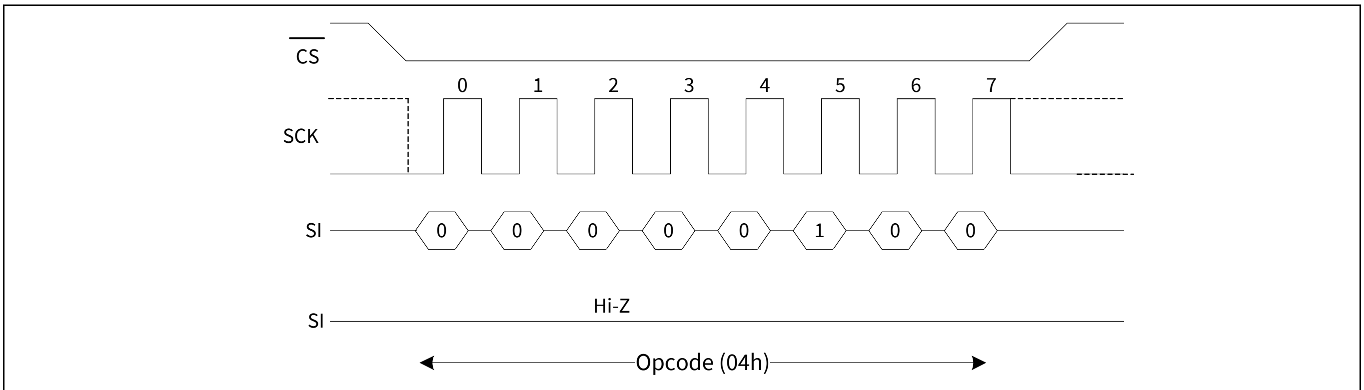


図 7　WRDI バス コンフィギュレーション

4.1.2 レジスタ アクセス コマンド

4.1.2.1 ステータス レジスタおよび書き込み保護

CY15X116QN の書き込み保護機能は多層的であり、ステータス レジスタによって有効にされます。ステータス レジスタは以下のように構成されています。工場出荷時の初期値は、WEL、BP0、BP1、ビット 4 ～ 5、WPEN は「0」、ビット 6 は「1」です。

表 2 ステータス レジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3 ステータス レジスタのビット定義

ビット	定義	説明
ビット 0	ドント ケア	書き込み不可であり、読み出すと常に「0」を返す
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示す。電源投入時の初期値は「0」(無効) WEL = 「1」--> 書き込みが有効 WEL = 「0」--> 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット 0	ブロック保護に使用。詳細は**表 4** を参照してください
ビット 3 (BP1)	ブロック保護ビット 1	ブロック保護に使用。詳細は**表 4** を参照してください
ビット 4 ～ 5	ドント ケア	書き込み不可であり、読み出すと常に「0」を返す
ビット 6	ドント ケア	書き込み不可であり、読み出すと常に「1」を返す
ビット 7 (WPEN)	書き込み保護イネーブル ビット	書き込み保護ピン ($\overline{\text{WP}}$) の機能を有効にするために使用。詳細は**表 5** を参照してください

ビット 0 と 4 ～ 5 は「0」に、ビット 6 は「1」に固定されており、修正できません。F-RAM はリアルタイムで書き込み、ビジー状態がないため、ビット 0 (シリアル フラッシュや EEPROM では「Ready or Write in progress」(待機または書き込み中) の状態を示すビット) は不要であり、「0」として読み出されることに注意してください。ただし、デバイスが **19 ページの「ディープ パワーダウン モード (DPD、BAh)」**または **20 ページの「ハイバネート モード (HBN、B9h)」**から復帰する場合は例外です。BP1 と BP0 はソフトウェア書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブル ラッチの状態を示します。ステータス レジスタの WEL ビットに直接書き込んでもその状態は変わりません。このビットは内部で WREN および WRDI コマンドでそれぞれセットおよびクリアされます。

BP1 および BP0 はメモリ ブロックの書き込み保護ビットです。**表 4** に示すように書き込み保護されるメモリ領域を指定します。

表 4 ブロック メモリの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無
0	1	0x180000h ～ 0x1FFFFFh (上位 1/4)
1	0	0x100000h ～ 0x1FFFFFh (上位 1/2)
1	1	0x000000h ～ 0x1FFFFFh (全体)

BP1 と BP0 ビットおよび書き込みイネーブル ラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータス レジスタの書き込み保護イネーブル ビット (WPEN) は、ハードウェア書き込み保護 ($\overline{\text{WP}}$) ピンの効果を制御します。$\overline{\text{WP}}$ ピンのタイミング図は、**図 23** を参照してください。WPEN ビットが「0」にセットされると、$\overline{\text{WP}}$ ピンの状態は無視されます。WPEN ビットが「1」にセットされたとき、$\overline{\text{WP}}$ ピンが LOW になるとステータス レジスタへの書き込みは防止されます。したがって、ステータス レジスタは WPEN = 「1」かつ $\overline{\text{WP}}$ = 「0」のときにのみ書き込み保護されます。**表 5** は、書き込み保護条件をまとめたものです。

表 5　書き込み保護

WEL	WPEN	$\overline{\text{WP}}$	保護ブロック	非保護ブロック	ステータス レジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

4.1.3 レジスタ アクセス コマンド

4.1.3.1 ステータス レジスタ読み出し (RDSR、05h)

RDSR コマンドでは、バス マスターはステータス レジスタの内容を確認できます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態情報を得ます。RDSR オペコードに続いて、CY15X116QN はステータス レジスタの内容を持つ 1 バイトを返します。

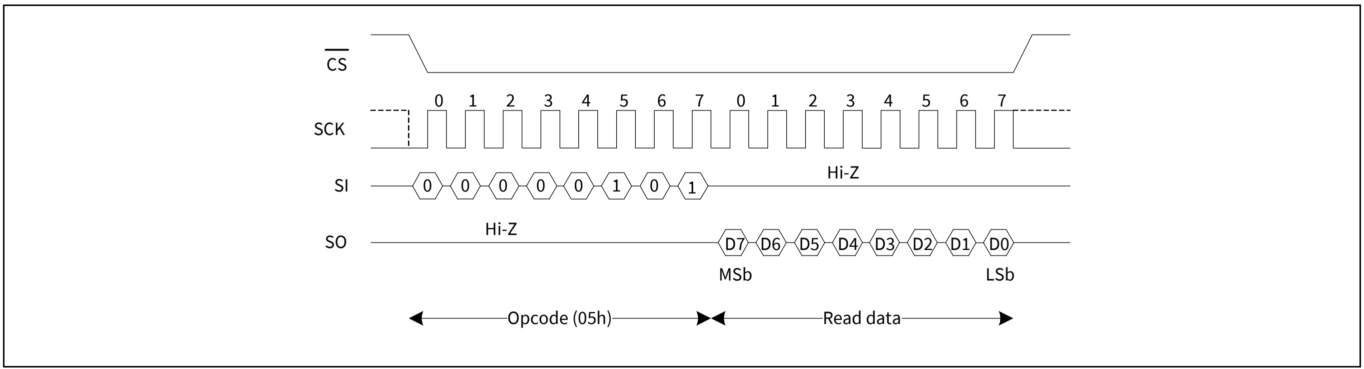


図 8　RDSR バス コンフィギュレーション

4.1.3.2 ステータス レジスタ書き込み (WRSR、01h)

WRSR コマンドでは、SPI バス マスターはステータス レジスタに書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更できます。WRSR コマンドを発行する前には、$\overline{\text{WP}}$ ピンが HIGH または非アクティブである必要があります。CY15X116QN では、$\overline{\text{WP}}$ がメモリ アレイではなくステータス レジスタのみへの書き込みを防止することに注意してください。WRSR コマンドを送信する前に、WREN コマンドを送信して書き込みを有効にする必要があります。WRSR コマンドの実行は書き込み動作であるため、書き込みイネーブル ラッチがクリアされます。

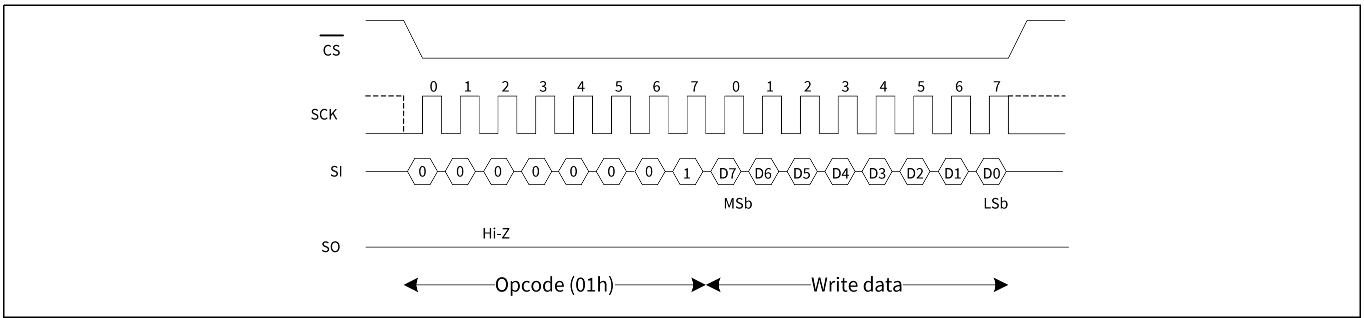


図 9　WRSR バス コンフィギュレーション (WREN が非表示)

4.1.4 メモリ動作

高いクロック周波数で動作可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアル フラッシュや EEPROM と異なり、CY15X116QN はバス速度でシーケンシャル書き込みを実行できます。ページ レジスタは不要であり、シーケンシャル書き込みは何回でも実行できます。

4.1.5 メモリ書き込みコマンド

4.1.5.1 書き込み (WRITE、02h)

メモリへのすべての書き込みは、$\overline{CS}$ がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードの後には、メモリへ書き込む最初のデータ バイトを指定する 21 ビット アドレス (A20 ～ A0) を含む 3 バイト アドレスが続きます。3 バイト アドレスの上位 4 ビットは無視されます。後続のバイトは順次に書き込まれるデータ バイトです。バス マスターがクロックを送り、$\overline{CS}$ を LOW に維持している限り、アドレスは内部でインクリメントされます。1FFFFFh の最終アドレスに達すると、内部アドレス カウンターは 00000h に戻ります。書き込まれるすべてのデータ バイトは、8 クロック サイクルの間 MSb ファースト、LSb ラスト方式で SI 上で送信されます。$\overline{CS}$ の立ち上りエッジで書き込み動作が終了します。CY15X116QN の書き込み動作を図 10 に示します。

- バースト書き込みが保護されたブロック アドレスに到達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータ バイトのすべてがデバイスに無視されます。EEPROM はページ バッファを使用して書き込みスループットを上げます。ページ バッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データ バイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページ バッファを持っていません。そのため、ページ バッファの遅延なしにバイトをいくつも書き込めます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

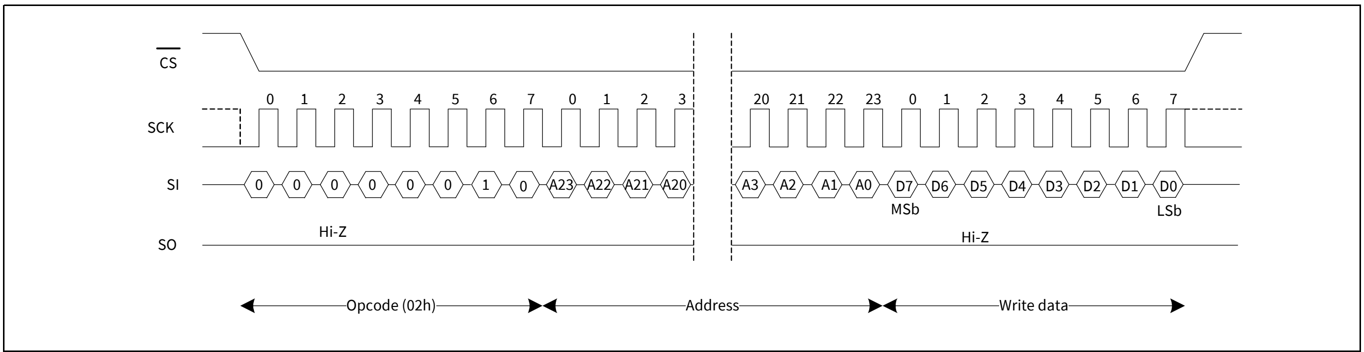


図 10 メモリ書き込み動作 (WREN が非表示)

4.1.6 メモリ読み出しコマンド

4.1.6.1 読み出し (READ、03h)

$\overline{CS}$ の立ち下りエッジの後、バス マスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の最初のバイトを指定する 21 ビット アドレス (A20 ～ A0) を含む 3 バイト アドレスが続きます。アドレスの上位 4 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルの間読み出しデータを出力します。SI 入力は読み出しデータ バイトの出力中には無視されます。後続のバイトは順次に読み出されるデータ バイトです。バス マスターがクロックを送り、$\overline{CS}$ が LOW である限り、アドレスは内部でインクリメントされます。1FFFFFh の最終アドレスに達すると、内部アドレス カウンターは 00000h に戻ります。SO 上のすべての読み出しデータ バイトは、8 クロック サイクルの間 MSb ファースト、LSb ラスト方式で駆動されます。$\overline{CS}$ の立ち上りエッジで読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QN の読み出し動作を**図 11** に示します。

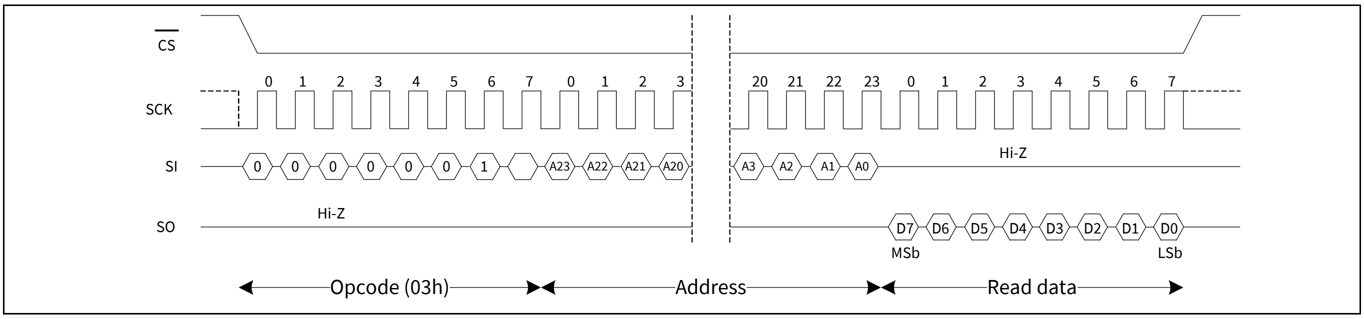


図 11 メモリ読み出し動作

4.1.6.2 高速読み出し (FAST_READ、0Bh)

CY15X116QN は、シリアル フラッシュ デバイスとのオペコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の最初のバイトを指定する 21 ビット アドレス (A20 ～ A0) を含む 3 バイト アドレス、およびダミー バイトが続きます。ダミー バイトは 8 クロック サイクルの読み出し遅延を入れます。ダミー バイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミー バイトを受信した後、CY15X116QN は SO ライン上で MSb ファースト方式でデータ バイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレス カウンターは自動的にインクリメントされ、最終アドレス 1FFFFFh に達するとカウンターは 00000h に戻ります。デバイスが SO ライン上でデータを出力しているとき、SI ライン上の遷移は無視されます。$\overline{CS}$ の立ち上りエッジで高速読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QN の高速読み出し動作を**図 12** に示します。

注 :

ダミー バイトは Axh (8’b1010xxxx) 以外のいかなる 8 ビット値も可能です。Axh の下位 4 ビットはドント ケア ビットです。したがって、Axh は本質的に 16 個の異なる 8 ビット値を表し、ダミー バイトとして送信すべきではありません。ほとんどの場合、00h がダミー バイトとして使用されます。

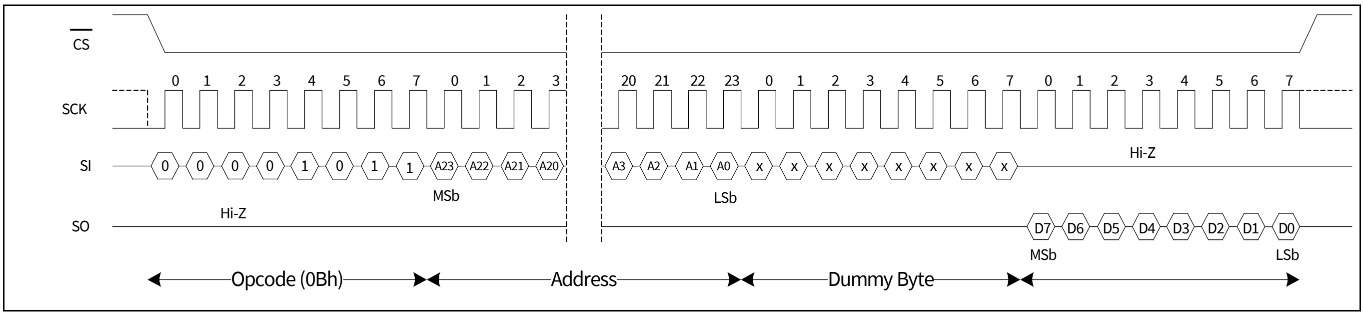


図 12 高速読み出し動作

4.1.7 特殊セクタ メモリ アクセス コマンド

4.1.7.1 特殊セクタ書き込み (SSWR、42h)

256 バイトの特殊セクタへのすべての書き込みは、CS がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードの後には、特殊セクタ メモリへ書き込む最初のデータ バイトを指定する 8 ビット セクタ アドレス (A7 〜 A0) を含む 3 バイト アドレスが続きます。
3 バイト アドレスの上位 16 ビットは無視されます。後続のバイトは順次に書き込まれるデータ バイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。内部アドレス カウンターが自動的に XXXFFh にインクリメントすると、CS は進行中の SSWR 動作を終了するために HIGH にトグルする必要があります。書き込まれるすべてのデータ バイトは、8 クロック サイクルの間 MSb ファースト、LSb ラスト方式で SI 上で送信されます。CS の立ち上りエッジで書き込み動作が終了します。CY15X116QN の特殊セクタ書き込み動作を図 13 に示します。

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ F-RAM メモリは、最大 3 回の標準はんだリフローサイクルにわたってデータの完全性を維持することを保証しています。

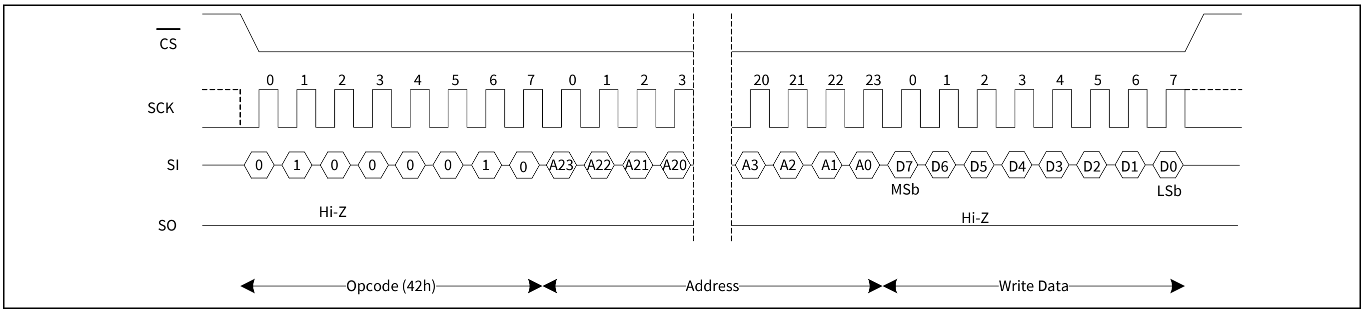


図 13 特殊セクタ書き込み動作 (WREN が非表示)

4.1.7.2 特殊セクタ読み出し (SSRD、4Bh)

CS の立ち下りエッジの後、バス マスターは SSRD オペコードを発行できます。SSRD コマンドの後には、特殊セクタ読み出し動作の最初のバイトを指定する 8 ビット アドレス (A7 〜 A0) を含む 3 バイト アドレスが続きます。アドレスの上位 16 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルの間読み出しデータを出力します。SI 入力は読み出しデータ バイトの出力中には無視されます。後続のバイトは順次に読み出されるデータ バイトです。バス マスターがクロックを送り、CS が LOW である限り、アドレスは内部でインクリメントされます。内部アドレス カウンターが自動的に XXXFFh にインクリメントすると、CS は進行中の SSRD 動作を終了するために HIGH にトグルする必要があります。SO 上のすべての読み出しデータ バイトは、8 クロック サイクルの間 MSb ファースト、LSb ラスト方式で駆動されます。CS の立ち上りエッジで特殊セクタ読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QN の特殊セクタ読み出し動作をに図 14 示します。

注 : 特殊セクタ F-RAM メモリは、最大 3 回の標準はんだリフロー サイクルにわたってデータの完全性を維持することを保証しています。

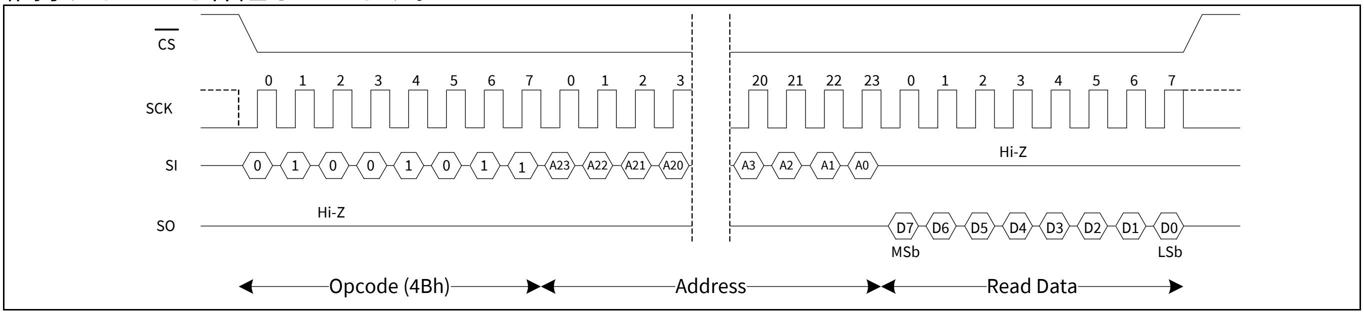


図 14 特殊セクタ読み出し動作

4.1.8 ID およびシリアル番号コマンド

4.1.8.1 デバイス ID 読み出し (RDID、9Fh)

CY15X116QN デバイスは、メーカー、製品 ID、およびダイ レビジョンについて問い合わせを行えます。RDID オペコード 9Fh では、両方とも読み出し専用バイトであるメーカー ID と製品 ID を読めます。JEDEC から割り当てられたメーカー ID は、バンク 7 の中に Ramtron 識別子を配置しています。そのため、連続コード 7Fh の 6 バイトとそれに続く C2h の 1 バイトがあります。製品 ID の 2 バイトはファミリコードと容量コード、サブ コード、製品レビジョン コードを含みます。**表 6** に、9 バイト デバイス ID フィールドの説明を示します。各製品の 9 バイト デバイス ID は **31 ページの「注文情報」**を参照してください。CY15X116QN のデバイス ID 読み出し動作を**図 15** に示します。

注 : 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 8) は最後にシフトアウトされます。

表 6 9 バイト デバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリ [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブ タイプ [7:5]	レビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

各製品の 9 バイト デバイス ID は **31 ページの「注文情報」**を参照してください。

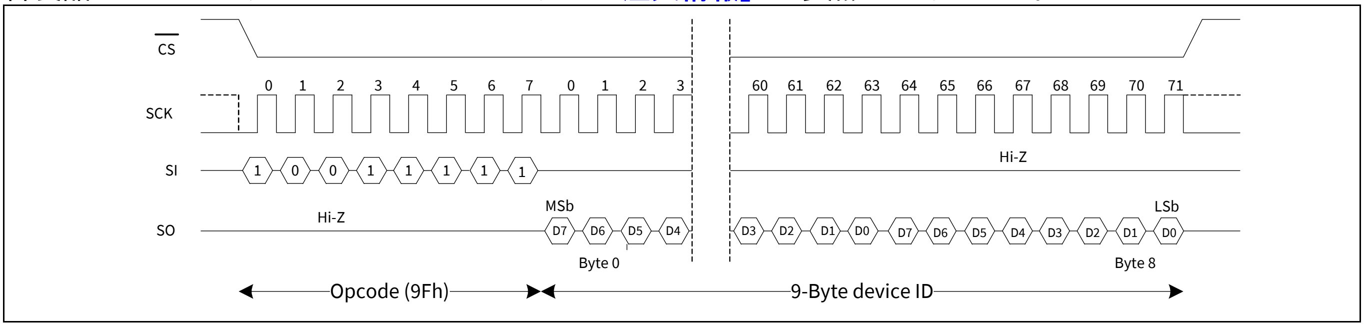


図 15 デバイス ID 読み出し

4.1.8.2 固有 ID 読み出し (RUID、4Ch)

CY15X102QN デバイスは、工場出荷時にプログラミングされたデバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch を使用すると、8 バイトの読み出し専用固有 ID を読み出せます。CY15X102QN の固有 ID 読み出し動作を**図 16** に示します。

注 :

- 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、最大 3 回の標準はんだリフロー サイクルにわたってデータの完全性を維持することを保証しています。

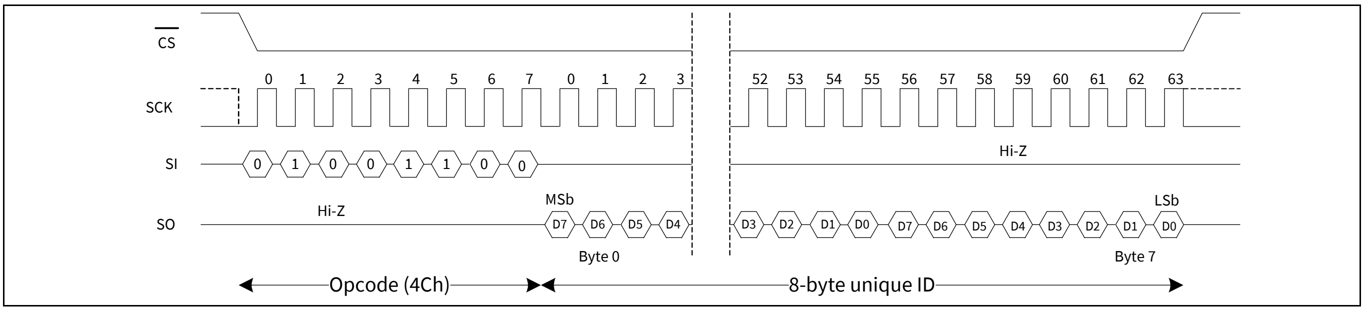


図 16 固有 ID 読み出し

4.1.8.3 シリアル番号書き込み (WRSN、C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのワンタイム プログラマブル メモリ空間です。通常、シリアル番号は 2 バイトのカスタマ ID とその後に続く 5 バイトの一義的なシリアル番号および 1 バイトの CRC チェックで構成されています。ただし、エンド アプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、$\overline{\text{CS}}$ がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の全 8 バイトを書き込むためにバースト モードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために $\overline{\text{CS}}$ を HIGH に駆動する必要があります。CY15X116QN のシリアル番号書き込み動作を**図 17** に示します。

注 : CRC チェックサムはデバイスによって計算されません。システム ファームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイト シリアル番号をシリアル番号レジスタにプログラミングする必要があります。8 バイト シリアル番号の工場出荷時の初期値は「0000000000000000h」です。

表 7　　8 バイト シリアル番号

16 ビット カスタマ ID		40 ビット固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

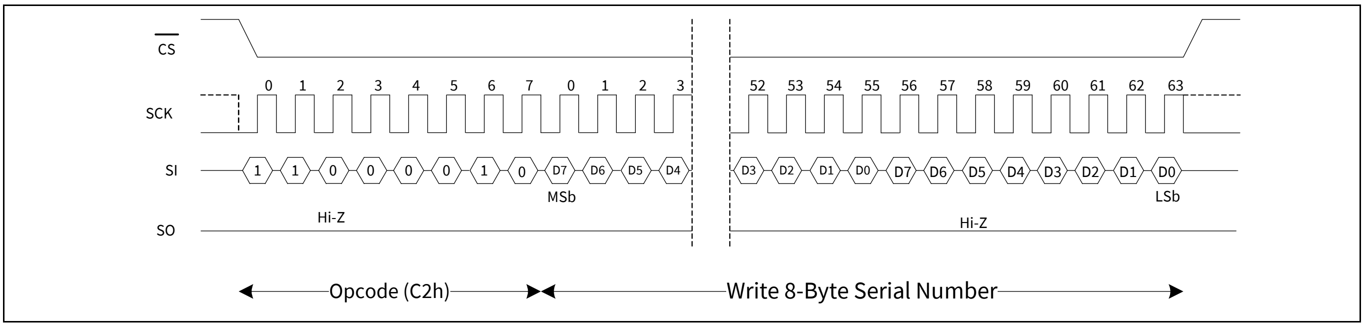


図 17　　シリアル番号書き込み動作 (WREN が非表示)

4.1.8.4 シリアル番号読み出し (RDSN、C3h)

CY15X116QN デバイスは、デバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号の空間を組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、一度に全 8 バイトを読み出すためにバースト モードで実行できます。シリアル番号の最後のバイトが読み出されると、デバイスはシリアル番号の最初のバイトに戻ります。$\overline{\text{CS}}$ が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。CY15X116QN のシリアル番号読み出し動作を**図 18** に示します。

注 : 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。

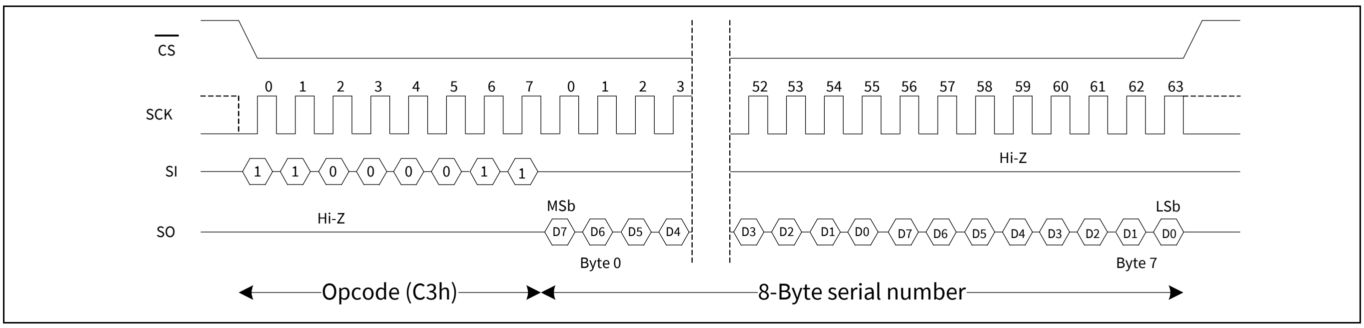


図 18　　シリアル番号読み出し動作

4.1.9 低消費電力モード コマンド

4.1.9.1 ディープ パワーダウン モード (DPD、BAh)

CY15X116QN デバイスには省電力のディープ パワーダウン モードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、$\overline{CS}$ の立ち上りエッジが適用されてから t_{ENTDPD} の時間後にディープ パワーダウン モードに入ります。ディープ パワーダウン モードでは、SCK と SI ピンが無視され、SO が Hi-Z になりますが、デバイスは $\overline{CS}$ ピンの監視を継続します。

t_{CSDPD} の $\overline{CS}$ パルス幅は、t_{EXTDPD} 時間後に DPD モードを終了します。$\overline{CS}$ パルス幅は、ダミー コマンド サイクルを送信するか、または SCK と I/O がドント ケアになっている間に $\overline{CS}$ のみをトグルすることによって生成できます。ディープ パワーダウン モードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始と終了のタイミングは、それぞれ図 19 と図 20 を参照してください。

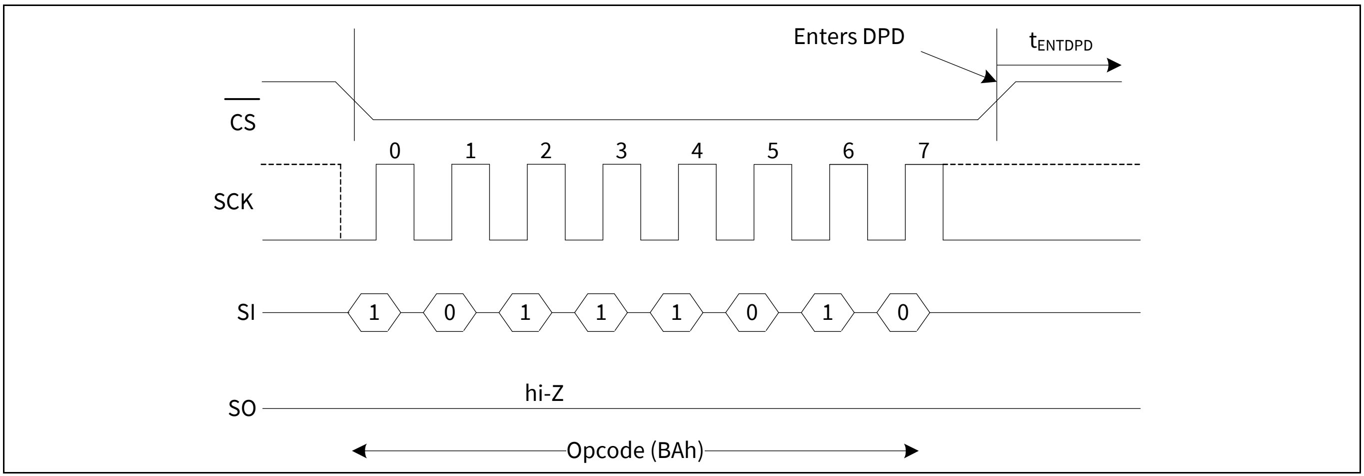


図 19 DPD 開始タイミング

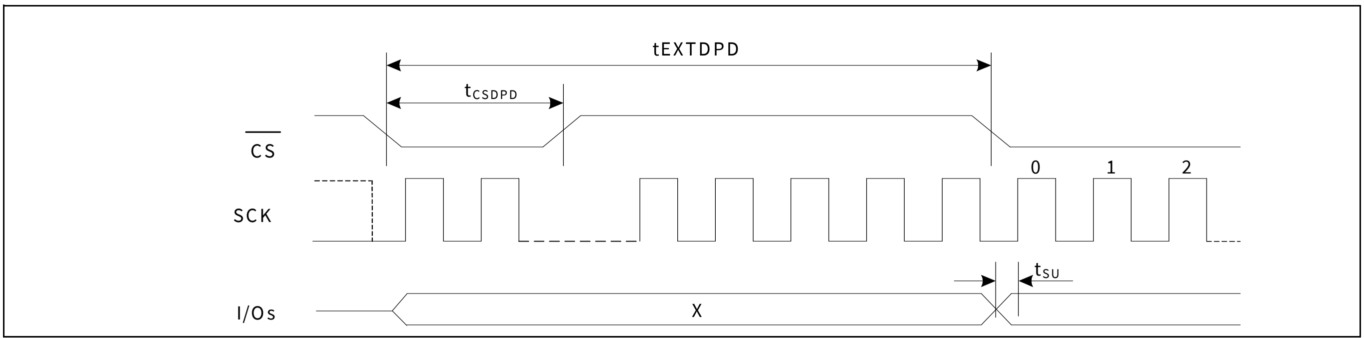


図 20 DPD 終了タイミング

4.1.9.2 ハイバネート モード (HBN、B9h)

CY15X116QN デバイスには最低消費電力のハイバネート モードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、$\overline{CS}$ の立ち上りエッジが適用されてから t_{ENTHIB} の時間後にハイバネート モードに入ります。ハイバネート モードでは、SCK と SI ピンが無視され、SO ピンが Hi-Z になりますが、デバイスは $\overline{CS}$ ピンの監視を継続します。$\overline{CS}$ の次の立ち下りエッジで、デバイスは t_{EXTHIB} 時間内で通常の動作に復帰します。ハイバネート モードからの復帰中は、SO ピンは Hi-Z 状態のままです。デバイスは、復帰期間内でオペコードに応答するとは限りません。ハイバネート モードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することがあります。

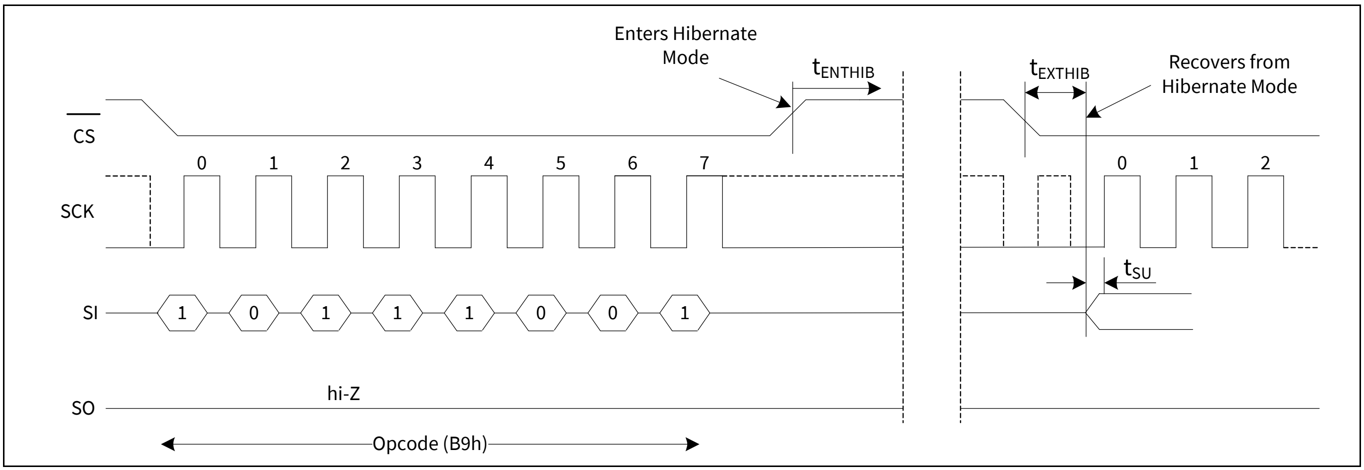


図 21 ハイバネート モード動作

4.1.9.3 アクセス可能回数

CY15X116QN デバイスには 10^{15} 回以上、読み書きを問わずアクセスできます。

F-RAM メモリは読み出しと復元メカニズムを伴い動作します。そのため、メモリ アレイへのアクセス (読み出し / 書き込み) に対して、アクセス サイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 256K の行から成るアレイを基にしています。読み出し / 書き込みは行単位で行われます。1 行内のデータのアクセス バイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。表 8 に、オペコード、開始アドレス、順次 64 バイト データの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これは、ループによって各バイトがアクセス 1 回を費やしたことになります。

F-RAM の読み出しと書き込み可能回数は、40MHz のクロック速度でも事実上無制限です。

表 8 64 バイト ループの繰り返しでアクセス可能回数に達する時間

SCK 周波数 (MHz)	アクセス可能回数 (サイクル / 秒)	アクセス可能回数 (サイクル / 年)	10^{15} 限界に達するまでの年数
40	73,040	2.30×10^{12}	432
20	36,520	1.16×10^{12}	864
10	18,380	5.79×10^{11}	1727
5	9,190	2.90×10^{11}	3454

5 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保管温度	-65°C 〜 +125°C
最大累積保存時間 周囲温度 125°C 周囲温度 85°C	 1000 時間 10 年
最大接合部温度	125°C
V_{SS} を基準にした V_{DD} 電源電圧 : CY15V116QN CY15B116QN	 -0.5V 〜 +2.4V -0.5V 〜 +4.1V
入力電圧	$V_{IN} \leq V_{DD} + 0.5V$
High-Z 状態の出力に印加される DC 電圧	-0.5V 〜 V_{DD} + 0.5V
グランド電位を基準にした任意のピンの過渡電圧 (< 20ns)	-2.0V 〜 V_{DD} + 2.0V
パッケージ許容電力損失 (T_A = 25°C)	1.0W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (一度に 1 出力、1 秒間)	15mA
静電気の放電電圧人体モデル (JEDEC 規格 JESD22-A114-B)	 2kV
デバイス帯電モデル (JEDEC 規格 JESD22-C101-A)	500V
ラッチアップ電流	> 140mA

6 動作範囲

表 9 動作範囲

デバイス	範囲	周囲温度	V_{DD}
CY15V116QN	産業用	-40°C ～ +85°C	1.71V ～ 1.89V
CY15B116QN			1.8V ～ 3.6V

7 DC 電気的特性

動作範囲内

表 10 DC 電気的特性

パラメーター	説明	テスト条件		Min	Typ [2、3]	Max	単位
V_{DD}	電源	CY15V116QN		1.71	1.80	1.89	V
		CY15B116QN		1.80	3.30	3.60	
I_{DD}	V_{DD} 供給電流	V_{DD} = 1.71V 〜 1.89V。SCK は V_{DD} - 0.2V と V_{SS} の間でトグル。他の入力は V_{SS} または V_{DD} - 0.2V。SO = 開放	f_{SCK} = 1MHz	–	0.60	1.10	mA
			f_{SCK} = 40MHz	–	2.70	3.60	
		V_{DD} = 1.8V 〜 3.6V。SCK は V_{DD} - 0.2V と V_{SS} の間でトグル。他の入力は V_{SS} または V_{DD} - 0.2V。SO = 開放	f_{SCK} = 1MHz	–	0.70	1.30	
			f_{SCK} = 40MHz	–	3.10	4.30	
I_{SB}	V_{DD} スタンバイ電流	V_{DD} = 1.71V 〜 1.89V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	14	252.5	µA
		V_{DD} = 1.8V 〜 3.6V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	14	253.5	
I_{DPD}	ディープ パワーダウン電流	V_{DD} = 1.71V 〜 1.89V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	1.10	27.70	µA
		V_{DD} = 1.8V 〜 3.6V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	1.30	29	
I_{HBN}	ハイバネート モード電流	V_{DD} = 1.71V 〜 1.89V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	0.10	0.90	µA
		V_{DD} = 1.8V 〜 3.6V。$\overline{CS}$ = V_{DD}。他の入力は V_{SS} または V_{DD}		–	0.10	1.60	
I_{LI}	$\overline{WP}$ ピンを除く I/O ピンの入力リーク電流	V_{SS} < V_{IN} < V_{DD}		-1	–	1	µA
	$\overline{WP}$ ピンの入力リーク電流			-100	–	1	
I_{LO}	出力リーク電流	V_{SS} < V_{OUT} < V_{DD}		-1	–	1	µA
V_{IH}	入力 HIGH 電圧	–		0.7 × V_{DD}	–	V_{DD} + 0.3	V
V_{IL}	入力 LOW 電圧	–		-0.3	–	0.3 × V_{DD}	
V_{OH1}	出力 HIGH 電圧	I_{OH} = -1mA、V_{DD} = 2.7V		2.4	–	–	
V_{OH2}	出力 HIGH 電圧	I_{OH} = -100µA		V_{DD} - 0.2	–	–	
V_{OL1}	出力 LOW 電圧	I_{OL} = 2mA、V_{DD} = 2.7V		–	–	0.4	
V_{OL2}	出力 LOW 電圧	I_{OL} = 150µA		–	–	0.2	

注 :
2. Typ 値は 25°C、V_{DD} = V_{DD}(typ) で測定されます。
3. このパラメーターは特性評価で保証され、量産ではテストされません。

8 データ保持期間およびアクセス可能回数

表 11 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T_{DR}	データ保持期間	$T_A = 85°C$	10	–	年
		$T_A = 70°C$	141	–	
		$T_A = 60°C$	151	–	
		$T_A = 50°C$	160	–	
NV_C	アクセス可能回数	動作温度範囲内	10^{15}	–	回

9 静電容量

すべてのパッケージ

表 12 静電容量

パラメーター [4]	説明	テスト条件	Max	単位
C_O	出力ピン静電容量 (SO)	T_A = 25°C、f = 1MHz、V_{DD} = V_{DD}(typ)	8	pF
C_I	入力ピン静電容量		6	

注 :
4. このパラメーターは特性評価で保証され、量産ではテストされません。

10 熱抵抗

表 13 静電容量

パラメーター [5]	説明	テスト条件	24 ボール FBGA パッケージ	単位
Q_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA / JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	46.4	°C/W
Q_{JC}	熱抵抗 (接合部からケース)		22.8	

注 :
5. このパラメーターは特性評価で保証され、量産ではテストされません。

11 AC テスト条件

入力パルス レベル	V_{DD} の 10% と 90%
入力立ち上り / 立ち下り時間	3ns
入出力タイミング参照レベル	0.5 × V_{DD}
出力負荷容量	30pF

12 AC スイッチング特性

動作範囲内

パラメーター[6]		説明	35MHz		40MHz		単位
パラメーター	代替 パラメーター		Min	Max	Min	Max	
f_{SCK}	–	SCK クロック周波数	0	35	0	40	MHz
t_{CH}	–	クロック HIGH 時間	13	–	11	–	ns
t_{CL}	–	クロック LOW 時間	13	–	11	–	
t_{CLZ}[7]	–	クロック LOW から出力 Low-Z までの時間	0	–	0	–	
t_{CSS}	t_{CSU}	チップ セレクト セットアップ時間	5	–	5	–	
t_{CSH}	t_{CSH}	チップ セレクト ホールド時間 – SPI モード 0	5	–	5	–	
t_{CSH1}	–	チップ セレクト ホールド時間 – SPI モード 3	10	–	10	–	
t_{HZCS}[8、9]	t_{OD}	出力無効時間	–	12	–	12	
t_{CO}	t_{ODV}	出力データ有効時間	–	9	–	9	
t_{OH}	–	出力ホールド時間	1	–	1	–	
t_{CS}	t_D	選択解除時間	40	–	40	–	
t_{SD}	t_{SU}	データ セットアップ時間	5	–	5	–	
t_{HD}	t_H	データ ホールド時間	5	–	5	–	
t_{WPS}	t_{WHSL}	$\overline{WP}$ セットアップ時間 ($\overline{CS}$ に対する)	20	–	20	–	
t_{WPH}	t_{SHWL}	$\overline{WP}$ ホールド時間 ($\overline{CS}$ に対する)	20	–	20	–	

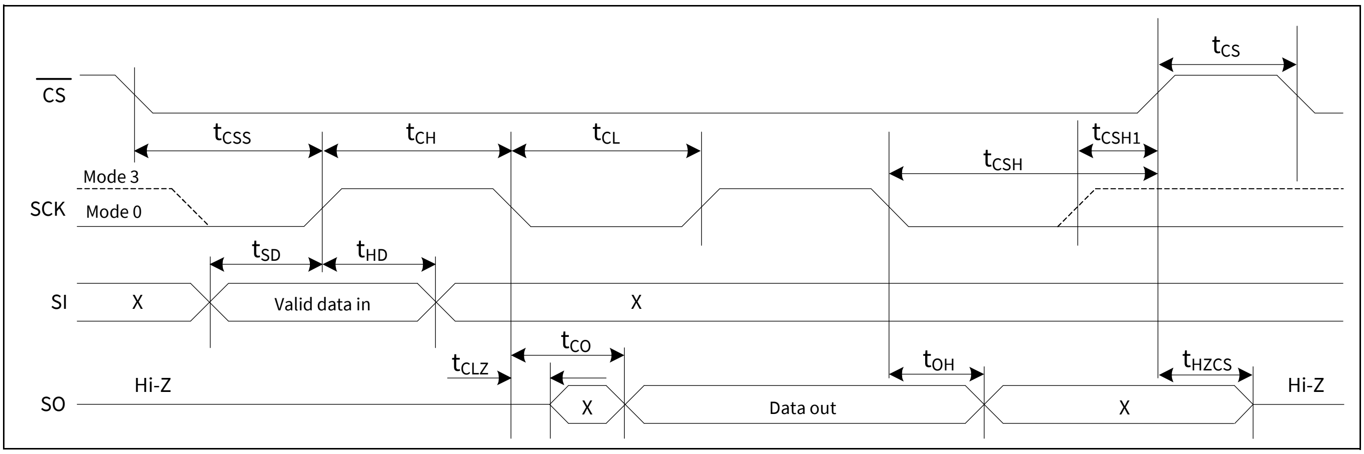


図 22 同期データ タイミング (モード 0 およびモード 3)

注 :

6. 27 ページの「AC テスト条件」に示すように、テスト条件は、3ns 以下の信号遷移時間、0.5 × V_{DD} のタイミング参照レベル、V_{DD} の 10% ～ 90% の入力パルス レベル、指定の I_{OL} / I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
7. 設計で保証されています。
8. t_{HZCS} は 5pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
9. このパラメーターは特性評価で保証され、量産ではテストされません。

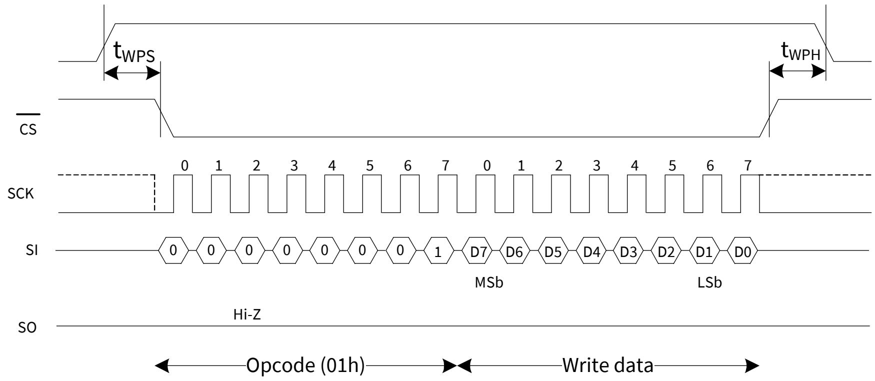


図 23　　ステータス レジスタ書き込み (WRSR) 動作中の書き込み保護タイミング

13 パワー サイクル タイミング

動作範囲内

パラメーター [10]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{PU}		電源投入時 ($V_{DD(min)}$) から最初のアクセス ($\overline{CS}$ LOW) までの時間	450	–	µs
t_{VR}[11]		V_{DD} 電源投入時ランプ レート	30	–	µs/V
t_{VF}[11、12]		V_{DD} 電源切断時ランプ レート	20	–	
t_{ENTDPD}[13]	t_{PD}	$\overline{CS}$ HIGH からディープ パワーダウン モード開始までの時間 ($\overline{CS}$ HIGH からハイバネート モード開始までの時間)	–	3	µs
t_{CSDPD}		ディープ パワーダウン モードから復帰するための $\overline{CS}$ パルス幅	0.015	4 × 1/f_{SCK}	
t_{EXTDPD}	t_{RPD}	ディープ パワーダウン モードからの回復時間 ($\overline{CS}$ LOW からアクセス準備完了までの時間)	–	13	
t_{ENTHIB}[14]		ハイバネート モードへの移行時間 ($\overline{CS}$ HIGH からハイバネート モード開始までの時間)	–	3	
t_{EXTHIB}[14]	t_{REC}	ハイバネート モードからの回復時間 ($\overline{CS}$ LOW からアクセス準備完了までの時間)	–	450	
V_{DD}(low)[12]		初期化が必要となる低 V_{DD}	0.6	–	V
t_{PD}[12]		V_{DD}(low) = 0.6V 時の V_{DD}(low) 時間	130	–	µs
		V_{DD}(low) = V_{SS} 時の V_{DD}(low) 時間	70	–	

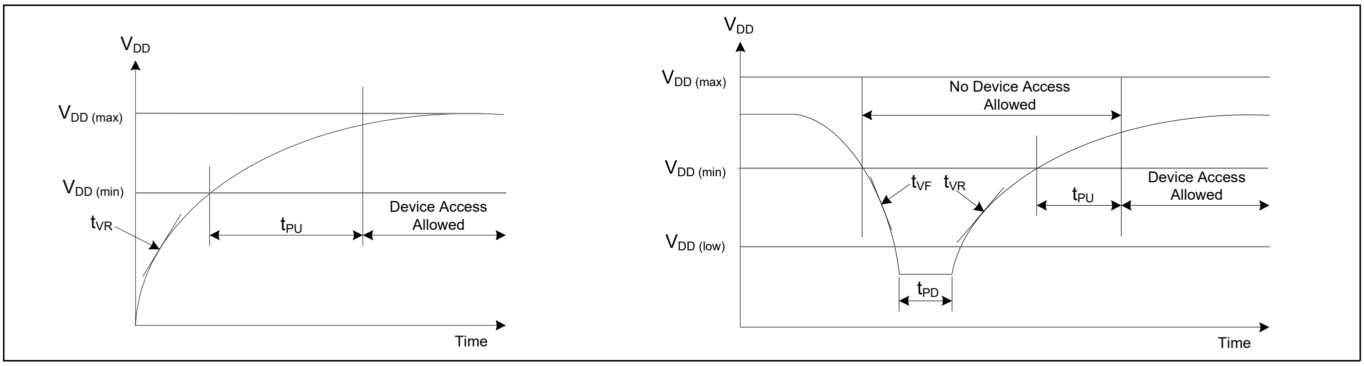


図 24 パワー サイクル タイミング

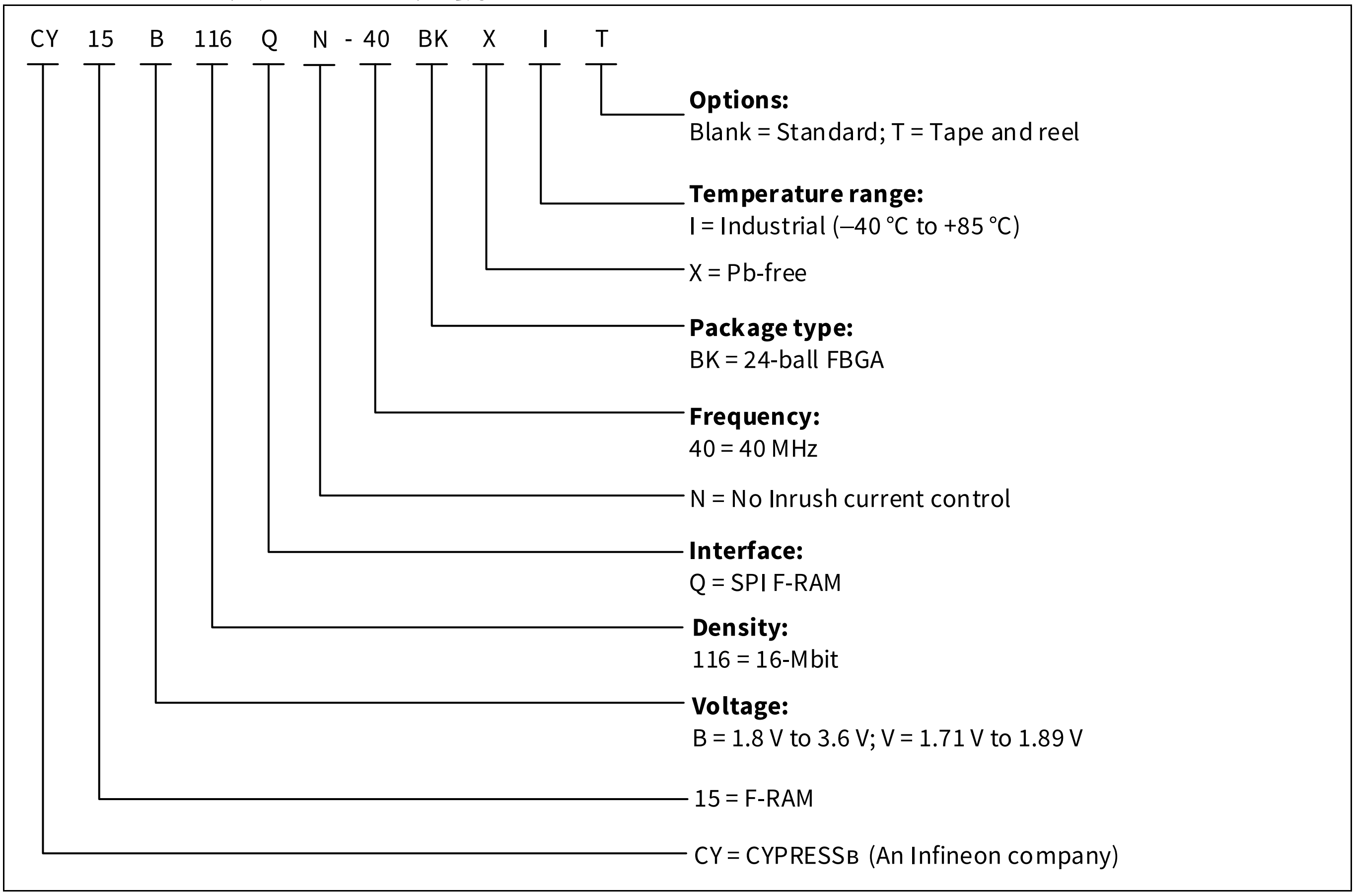
注 :
10. 27 ページの「AC テスト条件」に示すように、テスト条件は、3ns 以下の信号遷移時間、0.5 × V_{DD} のタイミング参照レベル、V_{DD} の 10% ～ 90% の入力パルス レベル、指定の I_{OL} / I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
11. V_{DD} 波形上の任意の点で測定した傾きです。
12. このパラメーターは特性評価で保証され、量産ではテストされません。
13. 設計で保証されています。ディープ パワーダウン モード タイミングは図 19 を参照してください。
14. 設計で保証されています。ハイバネート モード タイミングは図 21 を参照してください。

14 注文情報

注文コード	デバイス ID	パッケージ図	パッケージ タイプ	動作範囲
CY15B116QN-40BKXI	7F7F7F7F7F7FC23003	001-97209	24 ボール FBGA	産業用
CY15V116QN-40BKXI	7F7F7F7F7F7FC23007			

これらすべての製品は鉛フリーです。在庫状況については、最寄りの販売代理店にお問い合わせください。

14.1 注文コードの定義



15 パッケージ図

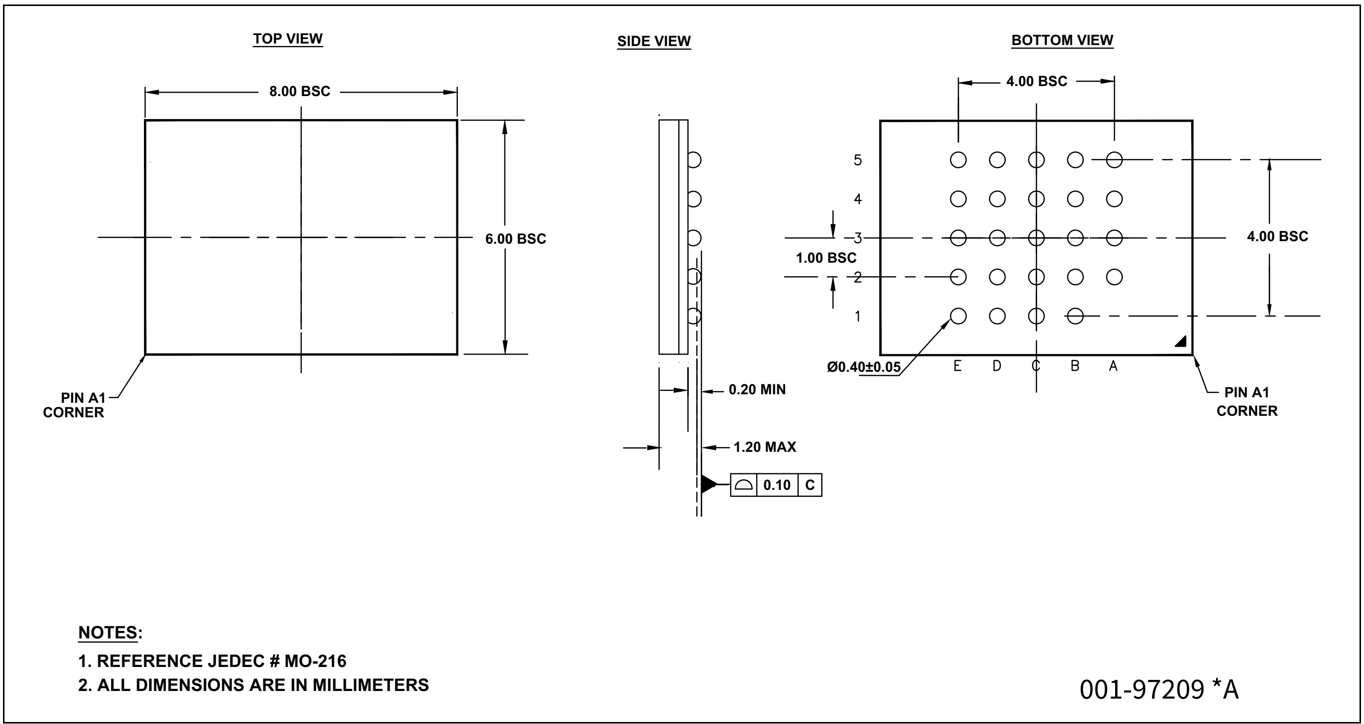


図 25 **24L FBGA 8 × 6 × 1.2mm BK24A パッケージ外形図、001-97209**

16 略語

表 14 本書で使用する略語

略語	説明
CPHA	Clock phase (クロック位相)
CPOL	Clock polarity (クロック極性)
EEPROM	Electrically erasable programmable read-only memory (電気的消去書き込み可能読み出し専用メモリ)
EIA	Electronic industries alliance (米国電子工業会)
F-RAM	Ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	Input/output (入出力)
JEDEC	Joint electron devices engineering council (半導体技術協会)
JESD	JEDEC standards (JEDEC 規格)
LSb	Least significant bit (最下位ビット)
MSb	Most significant bit (最上位ビット)
RoHS	Restriction of hazardous substances (特定有害物質使用制限指令)
SPI	Serial peripheral interface (シリアル ペリフェラル インターフェース)

17 本書の表記法

17.1 測定単位

表 15 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mb	メガビット
MHz	メガヘルツ
µA	マイクロアンペア
µF	マイクロファラド
µs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

版	発行日	変更内容
**	2022-11-18	これは英語版 002-30282 Rev. *E を翻訳した日本語版 002-36630 Rev. ** です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-11-18

Published by

Infineon Technologies AG

81726 Munich, Germany

Do you have a question about this document?

Go to www.infineon.com/support

Document reference

002-36630 Rev. **