

2 Mb (128 K × 16) F-RAM 存储器

性能

- 2 Mbit 的铁电性随机存取存储器 (F-RAM) 被逻辑组织为 128 K × 16
 - 使用 $\overline{UB}$ 和 $\overline{LB}$ 可配置为 256 K × 8 结构
 - 高耐久性: 100 万亿 (10^{14}) 写 / 读次数
 - 数据保留时间为 151 年 (请参考数据保留时间与耐久性表)
 - NoDelay™ 写操作
 - 页模式操作的周期时间为 30 ns
 - 高可靠性的高级铁电工艺
- 与 SRAM 兼容
 - 工业标准 128 K × 16 的 SRAM 引脚分布
 - 访问时间为 60 ns, 周期时间为 90 ns
- 高级功能
 - 软件可编程的模块写保护性能
- 优越于电池供电的 SRAM 模块
 - 无需电池
 - 提高系统的可靠性
 - 真正的表面安装解决方案, 无需重复步骤
 - 卓越的防潮、防震和振动性能
- 低功耗
 - 运行模式下的电流为 7 mA (典型值)
 - 待机模式下的电流为 120 μ A (典型值)

- 低电压操作: $V_{DD} = 2.0\text{ V}$ 到 3.6 V
- 工业级温度范围: $-40\text{ }^{\circ}\text{C}$ 到 $+85\text{ }^{\circ}\text{C}$
- 44 引脚薄小型集成电路封装 (TSOP) II 型
- 符合有害物质限制 (RoHS)

功能概述

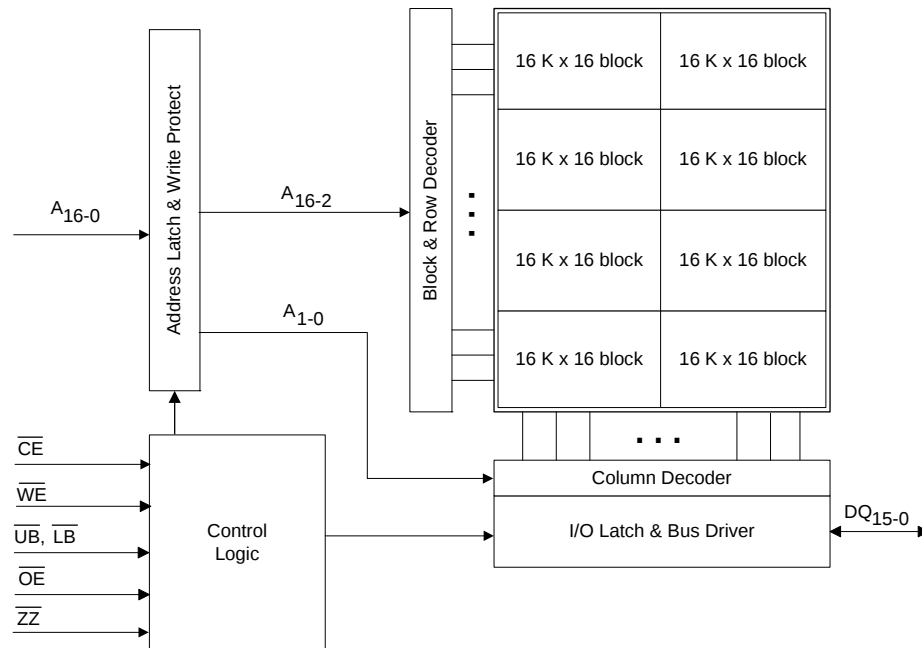
FM28V202A 是一个 128 K × 16 的非易失性存储器, 它读取和写入操作类似于标准 SRAM。铁电随机存取存储器 (F-RAM) 是非易失性存储器, 这意味着断电后数据不会丢失。它提供了 151 年以上的数据保留期限, 同时克服了电池供电 SRAM (BBSRAM) 的可靠性不高、功能缺点和系统设置复杂性。快写入时序和高写入耐久性使 F-RAM 比其他类型的存储器具有更大的优越性。

FM28V202A 操作类似于其他 RAM 器件的操作, 因此它可以替换系统中的标准 SRAM。读取周期可以由 $\overline{CE}$ 触发, 或仅通过更改寻址触发。写入周期可以由 $\overline{CE}$ 或 $\overline{WE}$ 触发。因为 F-RAM 存储器的独特铁电存储器过程, 所以造就了它的非易失性。由于具有这些特性, 因此 FM28V202A 适用于需要频繁或快速写入的非易失性存储器应用。

该器件采用 400 密耳、44 引脚 TSOP-II 表面贴装封装。在 $-40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ 的工业级温度范围内, 该器件的特性可以得到保证。

要获取相关文档的完整列表, 请单击[此处](#)。

逻辑框图



目录

引脚分配	3	SRAM 读周期	11
引脚定义	3	SRAM 写周期	12
器件操作	4	电源周期和睡眠模式的时序	16
存储器操作	4	功能真值表	17
读操作	4	字节选择真值表	17
写操作	4	订购信息	18
页模式操作	4	订购代码定义	18
预充电操作	4	封装图	19
睡眠模式	4	缩略语	20
软件写保护	5	文档规范	20
软件写保护时序	7	测量单位	20
SRAM 的替换	8	文档修订记录页	21
耐久性	8	销售、解决方案和法律信息	22
最大额定值	9	全球销售和 design 支持	22
工作范围	9	产品	22
直流电气特性	9	PSoC [®] 解决方案	22
数据保留时间与耐久性	10	赛普拉斯开发者社区	22
电容	10	技术支持	22
热阻	10		
交流测试条件	10		
交流开关特性	11		

引脚分配

图 1. 44 pin TSOP II 的引脚分配



引脚定义

引脚名称	I/O 类型	说明
A ₀ –A ₁₆	输入	地址输入: 在 F-RAM 阵列中, 17 个地址线选择 128k 字中的一个。最低两个地址线 A ₁ –A ₀ 可以用于页模式读取和写入操作。
DQ ₀ –DQ ₁₅	输入 / 输出	数据 I/O 线: 用于访问 F-RAM 阵列的 16 位双向数据总线。
$\overline{WE}$	输入	写入使能: 当 $\overline{WE}$ 被激活时, 会开始写入周期。上升沿会使 FM28V202A 将 DQ 总线上的数据写入到 F-RAM 阵列中。 $\overline{WE}$ 的下降沿为页模式写周期锁存了一个新的列地址。
$\overline{CE}$	输入	芯片使能: 该器件被选中, 并在 $\overline{CE}$ 的下降沿上开始进行新的存储器访问。整个地址被内部锁存在这一点上。后续变更为 A ₁ –A ₀ 地址输入, 这样可以进行页模式操作。
$\overline{OE}$	输入	输出使能: 当 $\overline{OE}$ 为低电平, 且有效读数据是可用时, 则 FM28V202A 会驱动数据总线。通过将 $\overline{OE}$ 置为高电平取消激活它, 可以使 DQ 引脚进入三态。
$\overline{UB}$	输入	高位字节选择: 在读 / 写操作中, 使能 DQ ₁₅ –DQ ₈ 引脚。如果 $\overline{UB}$ 为高电平, 则这些引脚为高阻态。如果用户不执行字节写入, 并且未将器件配置为 256K × 8, 则 $\overline{UB}$ 和 $\overline{LB}$ 引脚可以接地。
$\overline{LB}$	输入	低位字节选择: 在读 / 写操作中, 使能 DQ ₇ –DQ ₀ 引脚。如果 $\overline{LB}$ 为高电平, 则这些引脚会为高阻态。如果用户不执行字节写入, 并且未将器件配置为 256K × 8, 则 $\overline{UB}$ 和 $\overline{LB}$ 引脚可以接地。
$\overline{ZZ}$	输入	睡眠: 当 $\overline{ZZ}$ 为低电平时, 器件会进入低功耗睡眠模式, 以获取最低的供电电流。 $\overline{ZZ}$ 必须是高电平, 以执行正常的读 / 写操作。如果不使用该引脚, 必须将其连接到 V _{DD} 。
V _{SS}	接地	器件的接地。必须连接至系统接地端。
V _{DD}	电源	器件的电源输入。
NC	无连接	无连接。该引脚未与芯片 (die) 连接。

器件操作

FM28V202A 是一个以字为宽度的 F-RAM 存储器。该存储器逻辑组织为 131,072×16。通过使用一个工业级标准的并行接口可以访问该存储器。被写入到器件的所有数据是无迟缓非易失性的。该器件提供页模式操作，其操作可对一个页面（还称为行）内的地址进行高速访问。访问不同的页面需要将 $\overline{CE}$ 转换为低电平或更改高位地址 ($A_{16}-A_2$)。欲了解读写模式的完整说明，请参考第 17 页上的功能真值表。

存储器操作

通过一个并行接口，用户可以访问 131,072 个存储器地址。每个地址具有 16 个数据位。F-RAM 阵列被组织为 8 个模块，每个模块有 4096 个行。每行有四个列，这样能够在页模式操作中对其快速访问。在 $\overline{CE}$ 的下降沿上锁存初始地址时，可以访问后续列的位置而不需切换 $\overline{CE}$ 。当 $\overline{CE}$ 被解除激活为高电平时，将开始预充电操作。访问结束后会立即执行写操作。对于每个写操作，必须切换 $\overline{WE}$ 引脚。写数据随即被存储在非易失性存储器阵列中。这是 F-RAM 的独特特性，即所谓“无延迟” (NoDelay) 写入。

读操作

在 $\overline{CE}$ 的下降沿上进行读操作。地址在 $\overline{CE}$ 的下降沿上被锁存，且如果 $\overline{WE}$ 为高电平，它会启动存储器读周期。满足访问时间后，便可以在总线上读取数据。当地址被锁存并完成访问时，即使 $\overline{CE}$ 仍然为低电平，可以对随机地址（在其他行上）进行新访问。随机地址的最短周期时间为 t_{RC} 。请注意，与 SRAM 不同，FM28V202A 的 $\overline{CE}$ 启动的访问时间比地址访问时间快。

当 $\overline{OE}$ 和至少一个字节使能 ($\overline{UB}$, $\overline{LB}$) 被激活为低电平时，FM28V202A 会驱动数据总线。当 $\overline{UB}$ 或 $\overline{LB}$ 为低电平时，将分别驱动高位数据字节或低位数据字节。如果满足存储器访问时间后 $\overline{OE}$ 被激活，数据总线将输出有效数据。如果完成存储器访问之前 $\overline{OE}$ 已被激活，则不会驱动数据总线，直到有效数据可用为止。该功能通过消除由于使用无效数据驱动总线所导致的瞬变来最可能降低系统中的供电电流。当 $\overline{OE}$ 被解除激活为高电平时，数据总线将保持高阻状态。

写操作

在 FM28V202A 中，写操作和读操作的时间间隔相同。FM28V202A 均支持 $\overline{CE}$ 和 $\overline{WE}$ 控制的写周期。在这两种情况下，地址 $A_{16}-A_2$ 被锁存在 $\overline{CE}$ 的下降沿上。

在 $\overline{CE}$ 控制的写操作中，存储器周期开始前 $\overline{WE}$ 信号已经被激活。也就是说，当 $\overline{CE}$ 下降时， $\overline{WE}$ 为低电平。在这种情况下，器件将以写操作开始存储器周期。无论 $\overline{OE}$ 的状态如何，只要 $\overline{WE}$ 为低电平，FM28V202A 就不再驱动数据总线。当 $\overline{CE}$ 被解除激活为高电平时，输入数据必须是有效的。在 $\overline{WE}$ 控制的写操作中，存储器周期将在 $\overline{CE}$ 的下降沿上开始。 $\overline{WE}$ 信号经过一段时间后会下降。因此，存储器周期以读操作开始。如果 $\overline{OE}$ 为低电平，数据总线将被驱动，然而当 $\overline{WE}$ 被激活为低电平时，它将为高阻态。第 13 页上的开关波形显示的是 $\overline{CE}$ 和 $\overline{WE}$ 控制的写时序。

存储器周期开始后，阵列的写访问会在 $\overline{WE}$ 的下降沿上开始。写访问会在 $\overline{WE}$ 或 $\overline{CE}$ 的先来者的上升沿上终止。有效的写操作要求用户解除激活 $\overline{WE}$ 或 $\overline{CE}$ 前，要满足访问时间的规格。数据建

立时间指示写访问结束 ($\overline{WE}$ 或 $\overline{CE}$ 的上升沿) 前不可更改数据的间隔。

与其他非易失性存储器技术不同，使用 F-RAM 时没有写操作延迟。因为基础存储器的读写访问时间相等，所以用户体验到总线上没有任何延迟。整个存储器操作发生在一个总线周期中。在这里不需要使用 EEPROM 的数据轮询技术来确定写操作是否完成。

页模式操作

F-RAM 阵列被组织为 8 个模块，每个模块有 4096 个行。每一行有四个列地址。地址输入 A_1-A_0 可以定义被访问的列地址。可以访问任何列地址，并且访问其他列地址时不需要切换 $\overline{CE}$ 引脚。对于快速读取访问，第一个数据字节被驱动到总线后，可以将列地址输入 A_1-A_0 改为新的数值。然后，在小于初始读取访问时间的一半的 t_{AAP} 期间内，新数据字节被驱动到 DQ 引脚上。对于快速写入访问，第一次写入脉冲定义了第一次写入访问。当 $\overline{CE}$ 为低电平时，后续写入的脉冲以及新的列地址提供了对页模式的写访问。

预充电操作

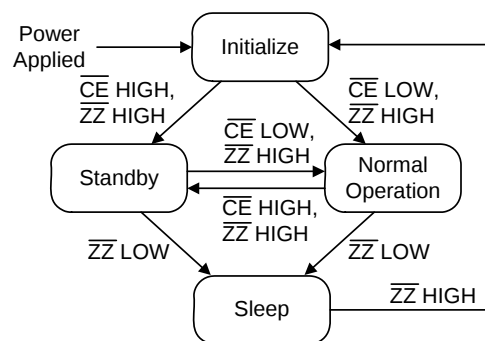
预充电操作是内部条件，其中为了新的访问而准备存储器状态。用户通过驱动 $\overline{CE}$ 信号为高电平来启动预充电。它的高电平时间不能小于预充电的最小时间 (t_{PC})。

也可以通过更改高位地址 ($A_{16}-A_2$) 来激活预充电。访问新行前，应先关闭当前正在访问的行。该器件自动检测高位地址的变化，从而启动预充电操作。新地址被锁存，并其新的读数据在 t_{AA} 地址访问时间范围内有效，请查阅第 13 页上的图 8。写周期的发生顺序一样，请查阅第 14 页上的图 13。可发出随机地址的速率分别为 t_{RC} 和 t_{WC} 。

睡眠模式

该器件包含了睡眠模式，因此允许用户达到最低供电电流的条件。它通过激活 $\overline{ZZ}$ 引脚为低电平来进入低功耗睡眠模式。 $\overline{ZZ}$ 引脚处于低电平前，必须完成读 / 写操作。当 $\overline{ZZ}$ 为低电平时，除了 $\overline{ZZ}$ 引脚外，忽略所有引脚。当 $\overline{ZZ}$ 被驱动为高电平时，用户访问器件前会有一段时间的延迟 (t_{ZZEX})。如果不采用睡眠模式，应该将 $\overline{ZZ}$ 引脚连接到 V_{DD} 。

图 2. 睡眠 / 待机状态图



软件写保护

128K×16 地址空间可分为八个扇区（模块），每个扇区为 16K × 16。可以对每个扇区设置保护，使其不能被软件写入，并且这个设置是非易失性的。独特地址和指令顺序调用了写保护模式。

要修改写保护功能，系统主机必须发出 6 个读取指令、三个写指令和最后的读指令。必须提供读取地址的具体顺序，从而能够访问写保护模式。按照读寻址顺序，主机必须写入一个指定每个扇区的所需保护状态的数据字节。为了确认，系统必须在保护字节后写入保护字节的补码。发生任何错误（包括按错误的顺序读取地址、发出第七读地址或未补足保护值），都不会改变写保护。

写保护状态机监控所有地址，并不执行任何操作，直到发生特殊的读 / 写顺序。在地址序列期间，发生有效的读操作后，并且相应地址上的数据将被驱动到数据总线上。任何不按顺序进行的地址都会使软件保护状态机重新启动。地址序列完成后，下一个操作必须是写周期。低位的数据字节包含写保护设置。该值不会写入到存储器阵列内，因此这个地址是没用的。再说，该值会保持待处理状态，直到下一个周期到来为止。在这个周期内，必须将数据补码写入到保护设置内。如果补码是正确的，将调整写保护设置。否则，该过程被中止，该地址序列重新开始。六个正确的地址后的数据值不会被输入到存储器中。

保护数据字节包含八个位，每个位与扇区的写保护状态相关联。必须将数据字节驱动到数据总线的八个低位（即 DQ₇ - DQ₀）。将位设置为 ‘1’，可以写保护相应的扇区；设置它为 ‘0’，便可对扇区进行写操作。下表显示的是写保护扇区和控制写保护设置的相应位。

表 1. 写入保护扇区 — 16K x 16 个模块

扇区	模块
扇区 7	1FFFFh–1C000h
扇区 6	1BFFFh–18000h
扇区 5	17FFFh–14000h
扇区 4	13FFFh–10000h
扇区 3	0FFFFh–0C000h
扇区 2	0BFFFh–08000h
扇区 1	07FFFh–04000h
扇区 0	03FFFh–00000h

写保护地址的顺序如下：

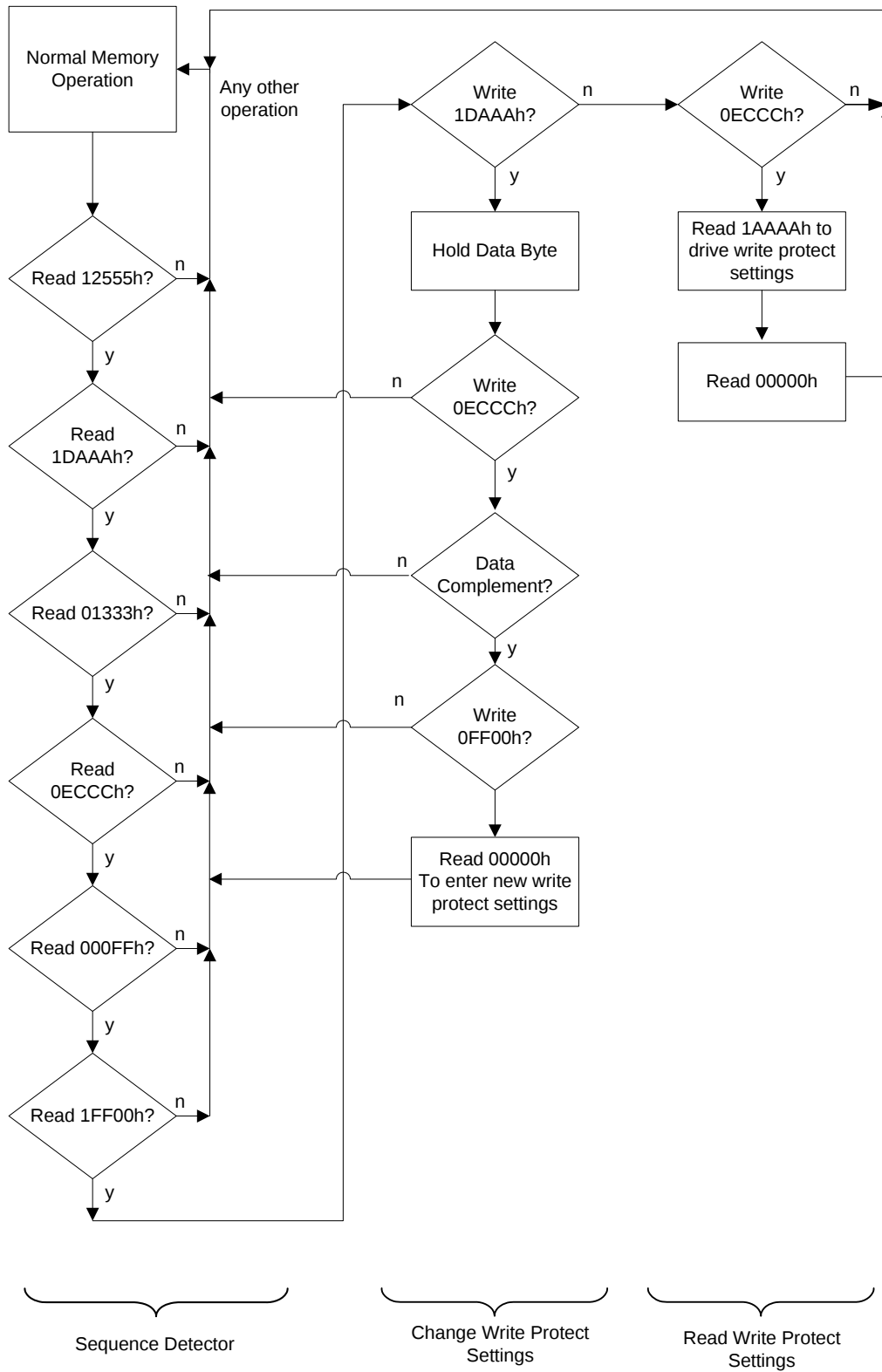
1. 读地址 12555h
2. 读地址 1DAAAh
3. 读地址 01333h
4. 读地址 0ECCCh
5. 读地址 000FFh
6. 读地址 1FF00h
7. 写地址 1DAAAh
8. 写地址 0ECCCh
9. 写地址 0FF00h
10. 读地址 00000h

通过地址顺序可以安全地修改保护。随机正确访问前六个地址的写保护顺序的概率为 $1/3 \times 10^{32}$ 。通过要求另外三个写周期来降低该概率，其中一个写周期要求数据字节精确反转。[第 6 页上的图 3](#) 示出了整个写保护操作的流程图。写保护设置是非易失性的。出厂默认：所有模块不受保护。

例如，以下顺序写保护的地址是从 0C000h 到 13FFFh（扇区 3 和 4）：

	地址	数据
读取	12555h	—
读取	1DAAAh	—
读取	01333h	—
读取	0ECCCh	—
读取	000FFh	—
读取	1FF00h	—
写入	1DAAAh	18h；位 3 和位 4 均为 1
写入	0ECCCh	E7h；18h 的补码
写入	0FF00h	无需关注
读取	00000h	

图 3. 写保护状态机



软件写保护时序

图 4. 设置写保护模块的顺序^[1]

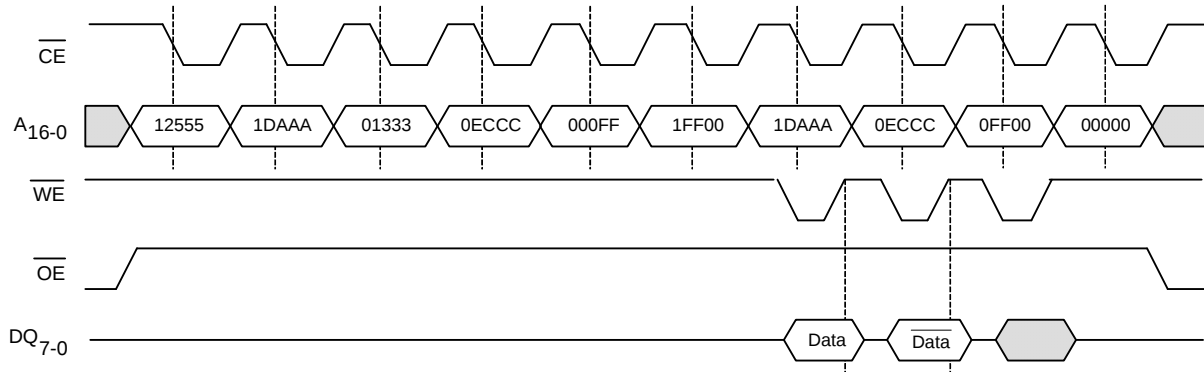
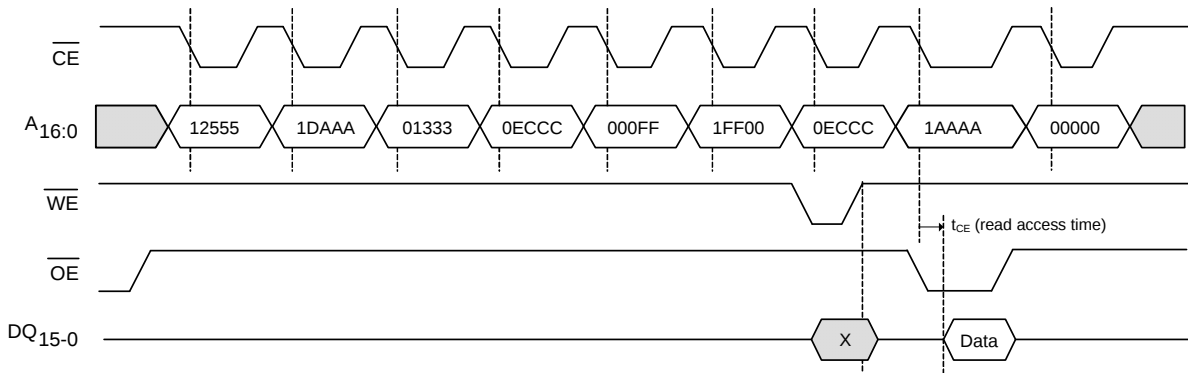


图 5. 读取写保护设置的顺序^[1]



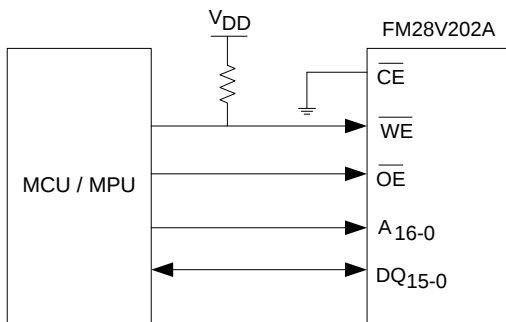
注释:

1. 该顺序需要 $t_{AS} \geq 10$ ns, 并要求 $\overline{CE}$ 为低电平时, 地址必须保持稳定。

SRAM 的替换

FM28V202A 用于替换标准异步 SRAM。对于每个新地址，该器件不需要 $\overline{CE}$ 切换。 $\overline{CE}$ 可继续保持低电平。当 $\overline{CE}$ 为低电平时，器件将自动检测地址的变化，并进行新的访问。通过该功能， $\overline{CE}$ 可以接地，同 SRAM 相似。另外，页模式操作的速度可高达 33 MHz。请注意，如果 $\overline{CE}$ 接地，用户必须确保当发生加电或断电时 $\overline{WE}$ 并非处于低电平状态。如果 $\overline{CE}$ 和 $\overline{WE}$ 在电源周期中均处于低电平状态，则数据会被破坏。图 6 显示了 $\overline{WE}$ 上的上拉电阻，在电源周期中该上拉电阻将保留引脚为高电平（假设在复位条件下，MCU/MPU 引脚为三态）。应选择合适的上拉电阻值以确保与 V_{DD} 相连的 $\overline{WE}$ 引脚达到足够高的电压值，因此 $\overline{WE}$ 为低电平时的电流消耗非常低。当 $\overline{WE}$ 为低电平，并且 $V_{DD} = 3.3 \text{ V}$ 时， $10 \text{ k}\Omega$ 的电阻会消耗 $330 \mu\text{A}$ 的电流。注意，如果芯片使能引脚是硬连接的，则软件写保护不可用。

图 6. $\overline{WE}$ 中上拉电阻的使用情况

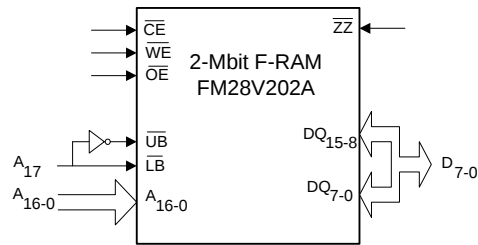


对于要求最低功耗的应用，在存储器访问过程中只能将 $\overline{CE}$ 信号设置为低电平有效。当 $\overline{CE}$ 处于低电平时，即使地址和控制信号为低状态，FM28V202A 仍会输入供电电流。当 $\overline{CE}$ 处于高电平时，该器件消耗的电流不会大于待机的最大电流，即 I_{SB} 。

FM28V202A 与 2 Mbit 的 FM21L16 器件向后兼容。时序规范有一些差异。请参考 FM21L16 数据手册。

使 $\overline{UB}$ 和 $\overline{LB}$ 字节选择引脚处于活动状态，用于读写周期。可以将器件组织为 $256\text{K} \times 8$ 的存储器使用。可以将高位和低位数据字节连接在一起，并受字节选择的控制。可以从系统处理器获得单独字节使能或下一个更高的地址线 A_{17} 。

图 7. FM28V202A 结构为 $256 \text{ K} \times 8$



耐久性

可以对 FM28V202A 进行至少 10^{14} 次读或写访问。F-RAM 存储器以读取和恢复机制运行。因此，耐久性周期是基于行基础上的。F-RAM 架构基于一个包括行和列的阵列。行和列地址分别定义为 A_{16-2} 和 A_{1-0} 。该阵列包含 32 千行，每行有四个字。对单 16 位字或对所有四个字进行读或写访问时，整个行仅进行一次内部访问。对耐久性进行计算时，行中的每个字仅被计算一次。

用户可以选择写入 CPU 指令，并从一个特定的地址空间中运行它们。表 2 显示的是 256 字节重复循环的耐久性计算，包括一个起始地址、三页模式的访问和 $\overline{CE}$ 预充电。当总线以较低的速度运行时，完成四字数据操作需要的总线时钟周期为 ‘4 + 1’ 个周期，但是当总线的运行速度为 33 MHz 时，由于初始读取延迟和额外时钟周期以满足器件的预充电时序限制 t_{PC} ，其周期数则为 ‘5 + 2’。整个循环会导致每个字节仅经过一个读 / 写周期。即使系统时钟频率为 33 MHz，F-RAM 读和写耐久性还是不受限制的。

表 2. 实现 256 字节重复循环的耐久性（达到 100 万亿个读写周期的时间）

总线频率 (MHz)	总线周期时间 (ns)	256 字节的数据操作时间 (μs)	耐久性 (周期 / 秒)	耐久性 (周期 / 年)	达到 10^{14} 周期需要的年数
33	30	10.56	94,690	2.98×10^{12}	33.5
25	40	12.8	78,125	2.46×10^{12}	40.6
10	100	28.8	34,720	1.09×10^{12}	91.7
5	200	57.6	17,360	5.47×10^{11}	182.8

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 -55 °C 到 +125 °C

最长的累积存储时间:

环境温度为 125 °C 1000 个小时

环境温度为 85 °C 10 年

上电状态下的环境温度 -55 °C 至 +125 °C

在 V_{DD} 上与 V_{SS} 相对的供电电压 -1.0 V 到 +4.5 V

应用于高阻态的输出电压 -0.5 V 到 $V_{DD} + 0.5 V$

输入电压 -1.0 V 到 +4.5 V 和 $V_{IN} < V_{DD} + 1.0 V$

处于接地电位的所有引脚上的

瞬变电压 (< 20 ns) -2.0 V 到 $V_{CC} + 2.0 V$

封装功率散耗能力 ($T_A = 25\text{ °C}$) 1.0 W

表面贴装铅焊温度 (3 秒) +260 °C

直流输出电流

(每次只输出 1 路电流, 持续时间 1 秒) 15 mA

静电放电电压

人体模型 (AEC-Q100-002 版本 E) 2 kV

带电的器件模型 (AEC-Q100-011 版本 B) 500 V

栓锁电流 > 140 mA

工作范围

范围	环境温度 (T_A)	V_{DD}
工业级	-40°C 至 +85°C	2.0 V 至 3.6 V

直流电气特性

在工作范围

参数	说明	测试条件	最小值	典型值 ^[2]	最大值	单位	
V _{DD}	供电电压		2.0	3.3	3.6	V	
I _{DD}	V _{DD} 供电电流	V _{DD} = 3.6 V, $\overline{CE}$ 以最小周期循环。 所有输入切换在 CMOS 电平（0.2 V 或 V _{DD} − 0.2 V），所有 DQ 引脚均被卸载。	—	7	12	mA	
I _{SB}	待机电流	V _{DD} = 3.6 V, $\overline{CE}$ 处于 V _{DD} 电平, 所有其他引脚均为静态, 并处在 CMOS 电平（0.2 V 或 V _{DD} − 0.2 V）, $\overline{ZZ}$ 为高电平	T _A = 25 °C	—	120	150	μA
			T _A = 85 °C	—	—	250	μA
I _{ZZ}	睡眠模式下的电流	V _{DD} = 3.6 V, $\overline{ZZ}$ 为低电平, 所有其他输入均处于 V _{SS} 或 V _{DD} 电平。	T _A = 25 °C	—	3	5	μA
			T _A = 85 °C	—	—	8	μA
I _{LI}	输入漏电流	V _{IN} 在 V _{DD} 和 V _{SS} 电平之间	—	—	±1	μA	
I _{LO}	输出漏电流	V _{OUT} 在 V _{DD} 和 V _{SS} 电平之间	—	—	±1	μA	
V _{IH1}	输入高电平电压	V _{DD} = 2.7 V 至 3.6 V	2.2	—	V _{DD} + 0.3	V	
V _{IH2}	输入高电平电压	V _{DD} = 2.0 V 至 2.7 V	0.7 × V _{DD}	—	—	V	
V _{IL1}	输入低电平电压	V _{DD} = 2.7 V 至 3.6 V	− 0.3	—	0.8	V	
V _{IL2}	输入低电平电压	V _{DD} = 2.0 V 至 2.7 V	− 0.3	—	0.3 × V _{DD}	V	
V _{OH1}	输出高电平电压	I _{OH} = −1 mA, V _{DD} > 2.7 V	2.4	—	—	V	
V _{OH2}	输出高电压	I _{OH} = −100 μA	V _{DD} − 0.2	—	—	V	
V _{OL1}	输出低电平电压	I _{OL} = 2 mA, V _{DD} > 2.7 V	—	—	0.4	V	
V _{OL2}	输出低电平电压	I _{OL} = 150 μA	—	—	0.2	V	

注释:

2. 典型值的条件是: 环境温度为 25 °C, $V_{DD} = V_{DD}$ (典型值)。并非 100% 经过了测试。

数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	$T_A = 85^{\circ}\text{C}$	10	—	年
		$T_A = 75^{\circ}\text{C}$	38	—	
		$T_A = 65^{\circ}\text{C}$	151	—	
NV_C	擦写次数	在工作温度范围内	10^{14}	—	周期

电容

参数	说明	测试条件	最大值	单位
$C_{I/O}$	输入 / 输出电容 (DQ)	$T_A = 25^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = V_{DD}$ (典型值)	8	pF
C_{IN}	输入电容		6	pF
C_{ZZ}	$\overline{ZZ}$ 引脚的输入电容		8	pF

热阻

参数	说明	测试条件	44 pin TSOP II	单位
Θ_{JA}	热阻 (结温到室温)	根据 EIA/JESD51 的要求, 测试条件遵循测试热电阻的标准测试方法和流程。	107	$^{\circ}\text{C/W}$
Θ_{JC}	热电阻 (壳温)		25	$^{\circ}\text{C/W}$

交流测试条件

输入脉冲电平 0 V 到 3 V
 输入上升和下降时间 (10% – 90%) $\leq 3\text{ ns}$
 输入和输出的时序参考电平 1.5 V
 输出负载电容 30 pF

交流开关特性

在工作范围

参数 ^[3]		说明	V _{DD} = 2.0 V 至 2.7 V		V _{DD} = 2.7 V 至 3.6 V		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
SRAM 读周期							
t _{CE}	t _{ACE}	芯片使能访问时间	—	70	—	60	ns
t _{RC}	—	读周期的时间	105	—	90		ns
t _{AA}	—	地址访问时间, A ₁₆₋₂	—	105	—	90	ns
t _{OH}	t _{OHA}	输出保持时间, A ₁₆₋₂	20	—	20	—	ns
t _{AAP}	—	页模式访问时间, A ₁₋₀	—	40	—	30	ns
t _{OHP}	—	页模式输出保持时间, A ₁₋₀	3	—	3	—	ns
t _{CA}	—	芯片使能有效时间	70	—	60	—	ns
t _{PC}	—	预充电时间	35	—	30	—	ns
t _{BA}	t _{BW}	$\overline{UB}$ 、 $\overline{LB}$ 访问时间	—	25	—	15	ns
t _{AS}	t _{SA}	地址建立时间（到 $\overline{CE}$ 为低电平）	0	—	0	—	ns
t _{AH}	t _{HA}	地址保持时间（ $\overline{CE}$ 控制）	70	—	60	—	ns
t _{OE}	t _{DOE}	输出使能访问时间	—	25	—	15	ns
t _{HZ} ^[4、5]	t _{HZCE}	芯片使能到输出为高阻态的时间	—	15	—	10	ns
t _{OHZ} ^[4、5]	t _{HZOE}	输出使能为高电平到输出为高阻态的时间	—	15	—	10	ns
t _{BHZ} ^[4、5]	t _{HZBE}	$\overline{UB}$ 、 $\overline{LB}$ 为高电平到输出为高阻态的时间	—	15	—	10	ns

注释:

- 测试条件: 假设信号转换时间等于或小于 3 ns, 时序参考电压为 $0.5 \times V_{DD}$, 输入脉冲电压为 0 至 3 V, 指定 I_{OL}/I_{OH} 的输出负载和 30 pF 负载电容如第 10 页上的交流测试条件 中所示。
- t_{HZ}、t_{OHZ} 和 t_{BHZ} 的负载电容为 5 pF。当输出进入高阻态时, 将测量转换。
- 该参数已被特性化, 但不是所有参数都经过测试。

交流开关特性（续）

在工作范围

参数 ^[3]		说明	V _{DD} = 2.0 V 至 2.7 V		V _{DD} = 2.7 V 至 3.6 V		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
SRAM 写周期							
t _{WC}	t _{WC}	写周期时间	105	—	90	—	ns
t _{CA}	—	芯片使能有效时间	70	—	60	—	ns
t _{CW}	t _{SCE}	芯片使能到写使能为高电平的时间	70	—	60	—	ns
t _{PC}	—	预充电时间	35	—	30	—	ns
t _{PWC}	—	页模式写使能周期时间	40	—	30	—	ns
t _{WP}	t _{PWE}	写使能脉冲宽度	22	—	18	—	ns
t _{WP2}	t _{BW}	$\overline{\text{UB}}$ 、 $\overline{\text{LB}}$ 脉冲宽度	22	—	18	—	ns
t _{WP3}	t _{PWE}	$\overline{\text{WE}}$ 为低电平到 $\overline{\text{UB}}$ 、 $\overline{\text{LB}}$ 为高电平的时间	22	—	18	—	ns
t _{AS}	t _{SA}	地址建立时间（到 $\overline{\text{CE}}$ 为低电平）	0	—	0	—	ns
t _{AH}	t _{HA}	地址保持时间（ $\overline{\text{CE}}$ 控制）	70	—	60	—	ns
t _{ASP}	—	页模式地址建立时间（到 $\overline{\text{WE}}$ 为低电平）	8	—	5	—	ns
t _{AHP}	—	页模式地址保持时间（到 $\overline{\text{WE}}$ 为低电平）	20	—	15	—	ns
t _{WLC}	t _{PWE}	写使能为低电平到芯片被禁用的时间	30	—	25	—	ns
t _{BLC}	t _{BW}	$\overline{\text{UB}}$ 、 $\overline{\text{LB}}$ 为低电平到芯片被禁用的时间	30	—	25	—	ns
t _{WLA}	—	写使能为低电平到地址 A ₁₆₋₂ 发生变化的时间	30	—	25	—	ns
t _{AWH}	—	地址 A ₁₆₋₂ 发生变化到写使能为高电平的时间	105	—	90	—	ns
t _{DS}	t _{SD}	数据输入的建立时间	20	—	15	—	ns
t _{DH}	t _{HD}	数据输入的保持时间	0	—	0	—	ns
t _{WZ} ^[6, 7]	t _{HZWE}	写使能为低电平到输出为高阻态的时间	—	10	—	10	ns
t _{WX} ^[7]	—	写使能为高电平到输出被驱动的时间	8	—	5	—	ns
t _{BDS}	—	字节被禁用的建立时间（到 $\overline{\text{WE}}$ 为低电平）	8	—	5	—	ns
t _{BDH}	—	字节被禁用的保持时间（到 $\overline{\text{WE}}$ 为高电平）	8	—	5	—	ns

注释:

6. t_{WZ} 的负载电容为 5 pF。当输出进入高阻态时，将测量转换。

7. 该参数已被特性化，但不是所有参数都经过测试。

图 8. 读周期时序 1 ($\overline{CE}$ 为低电平, $\overline{OE}$ 为低电平)

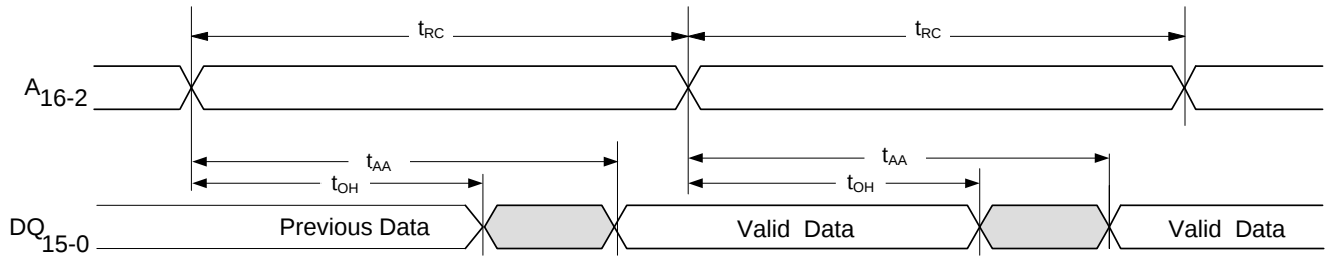


图 9. 读周期时序 2 ($\overline{CE}$ 控制)

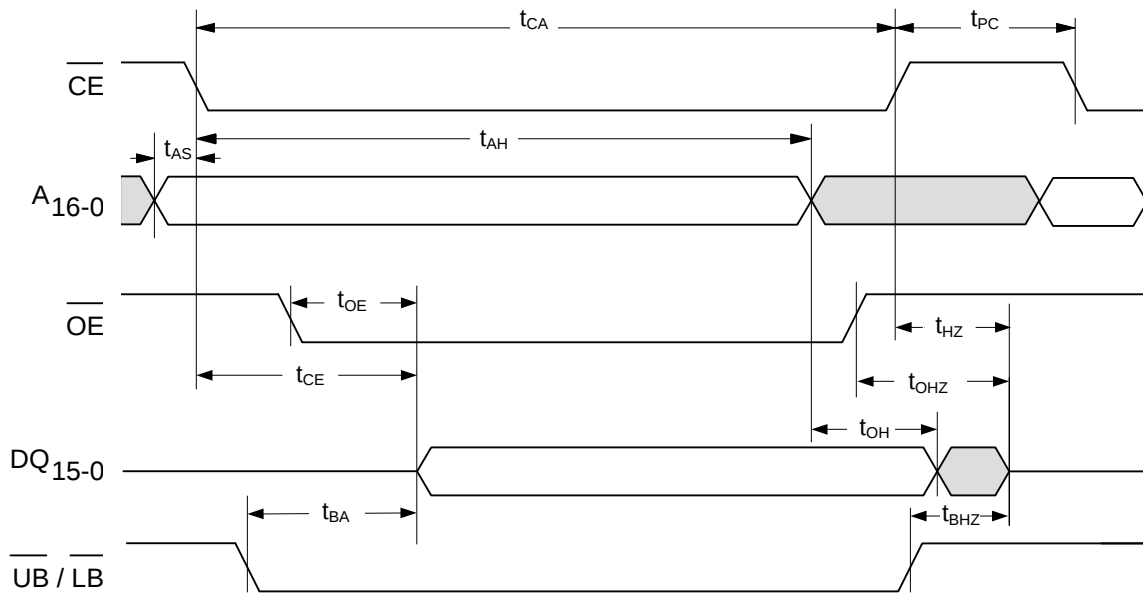
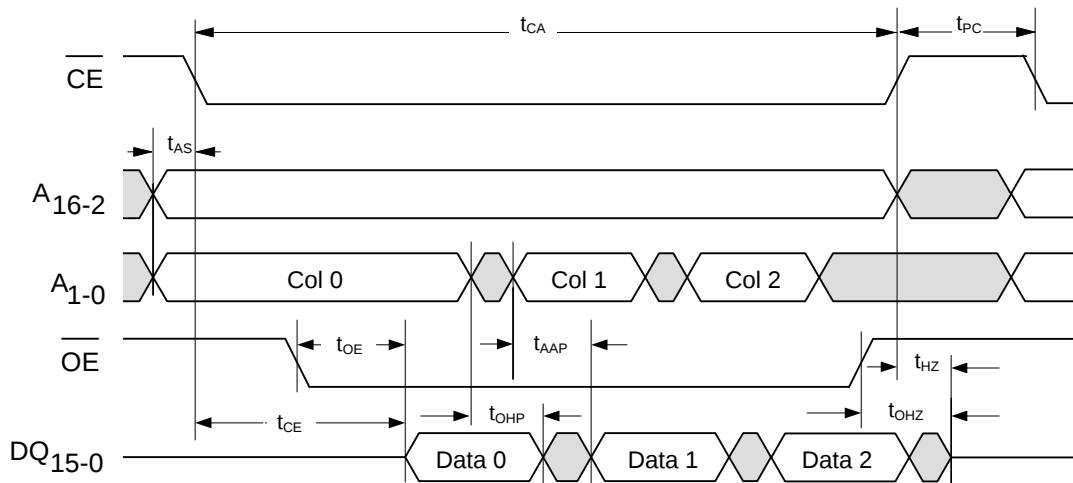


图 10. 页模式读周期时序^[8]



注释:

8. 虽然顺序显示了列寻址, 但是它并非是必需的

图 11. 写周期时序 1 ($\overline{WE}$ 控制) [9]

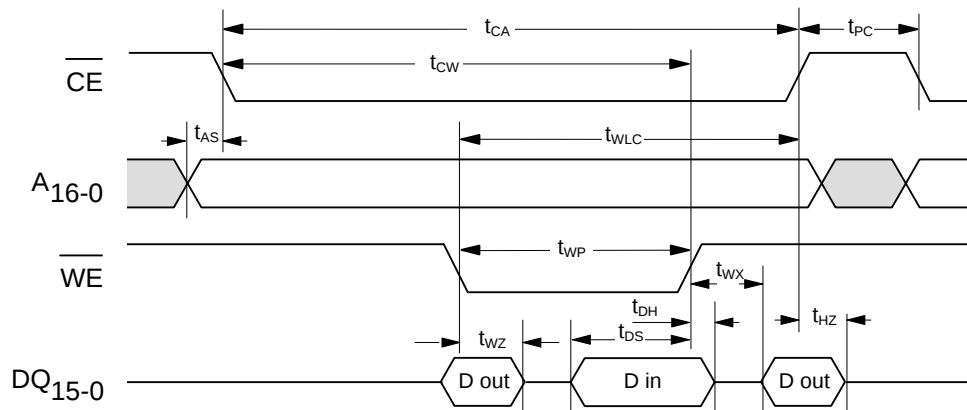


图 12. 写周期时序 2 ($\overline{CE}$ 控制)

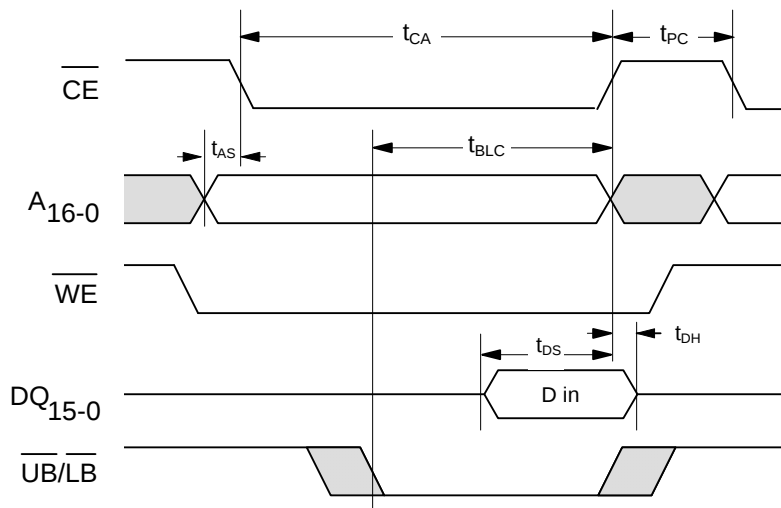
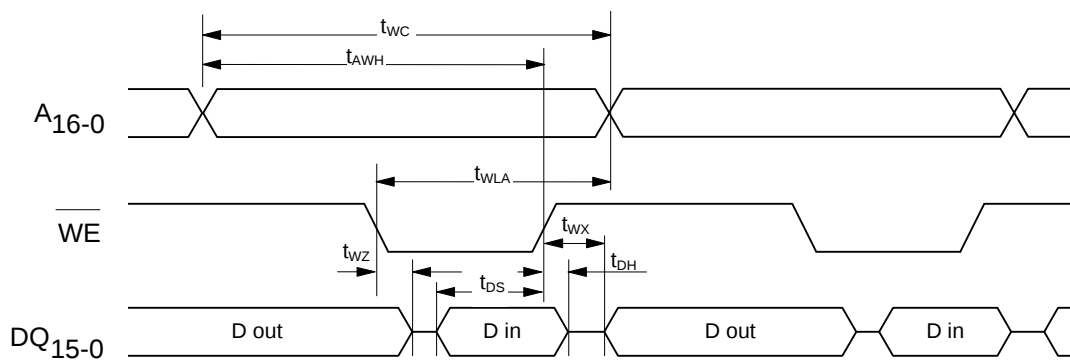


图 13. 写周期时序 3 ($\overline{CE}$ 为低电平) [9]



注释:

9. $\overline{OE}$ (不被显示) 为低电平, 这样仅显示了 DQ 引脚上的 $\overline{WE}$ 的影响。

图 14. 写周期时序 4 ($\overline{\text{CE}}$ 为低电平) [10]

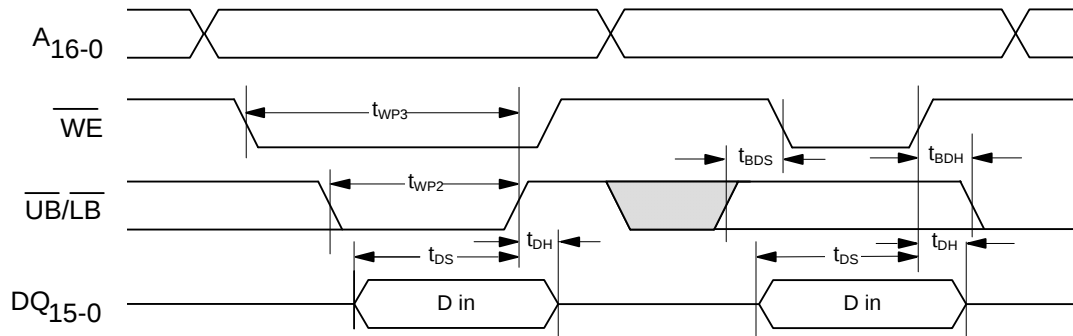
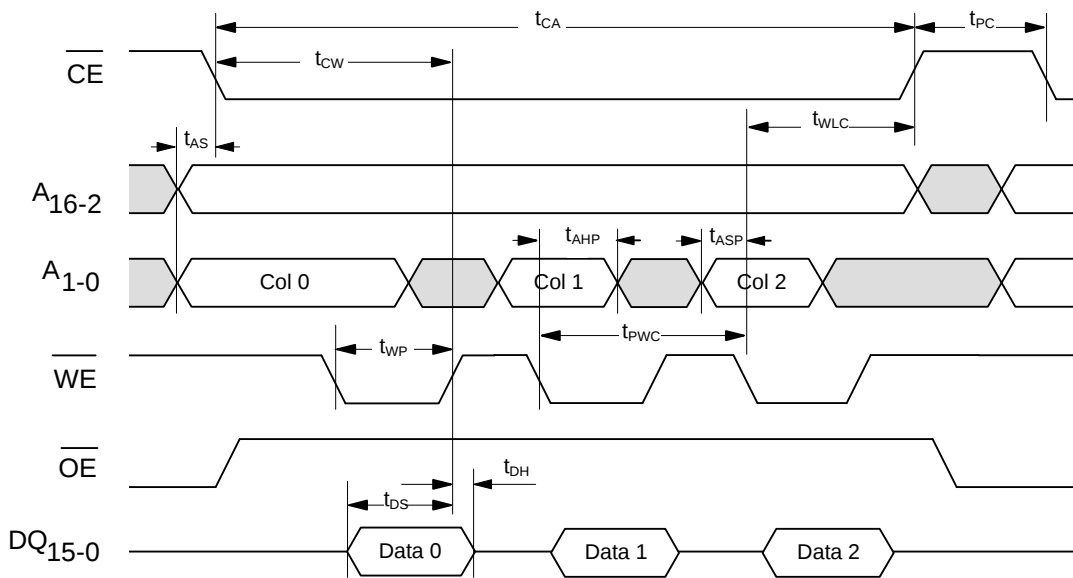


图 15. 页模式下的写周期时序



注释:

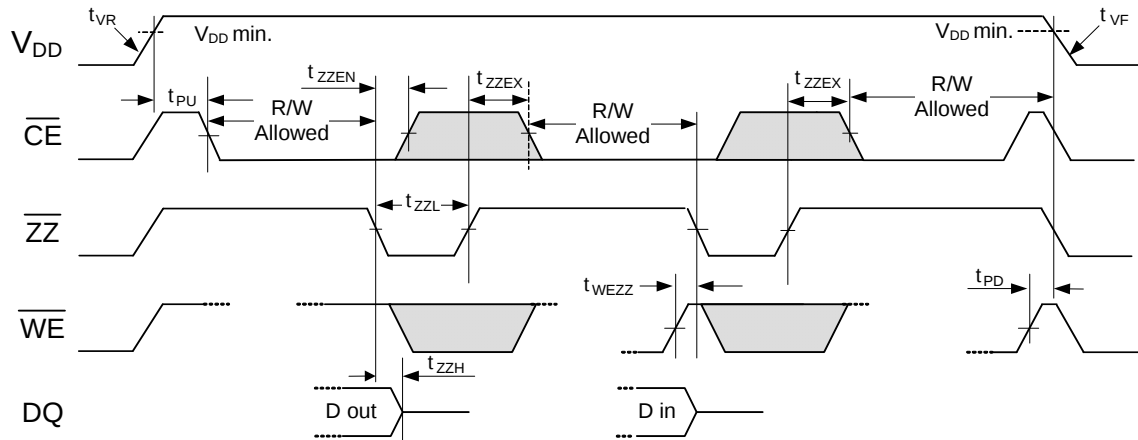
10. $\overline{\text{UB}}$ 和 $\overline{\text{LB}}$ 用于显示字节使能和字节屏蔽的情况。

电源周期和睡眠模式的时序

在工作范围

参数	说明	最小值	最大值	单位
t_{PU}	加电（达到 V_{DD} 的最小值后）到第一次访问的时间	1	—	ms
t_{PD}	最后写入操作（ $\overline{WE}$ 为高电平）到断电的时间	0	—	ms
$t_{VR}^{[11]}$	V_{DD} 加电升降速率	50	—	$\mu\text{s/V}$
$t_{VF}^{[11]}$	V_{DD} 断电升降速率	100	—	$\mu\text{s/V}$
t_{ZZH}	$\overline{ZZ}$ 有效到 DQ 为高阻态的时间	—	20	ns
t_{WEZZ}	最后写入操作到进入睡眠模式的时间	0	—	μs
t_{ZZL}	$\overline{ZZ}$ 为低电平有效的时间	1	—	μs
t_{ZZEN}	睡眠模式的进入时间（ $\overline{ZZ}$ 为低电平到 $\overline{CE}$ 失去控制权的时间）	—	0	μs
t_{ZZEX}	退出睡眠模式的时间（ $\overline{ZZ}$ 为高电平到唤醒后进行第一次访问的时间）	—	450	μs

图 16. 电源周期和睡眠模式的时序



注释:

11. 在 V_{DD} 波形的任何位置测量斜率。

功能真值表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	A_{16-2}	A_{1-0}	$\overline{\text{ZZ}}$	操作说明 [12、13]
X	X	X	X	L	睡眠模式
H	X	X	X	H	待机 / 空闲
↓ L	H H	V V	V V	H H	读取
L	H	无变化	变更	H	页模式读取
L	H	变更	V	H	随机读取
↓ L	L L	V V	V V	H H	$\overline{\text{CE}}$ 控制的写入 [13]
L	↓	V	V	H	$\overline{\text{WE}}$ 控制的写入 [13、14]
L	↓	无变化	V	H	页模式写入 [15]
↑ L	X X	X X	X X	H H	开始预充电

字节选择真值表

$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{LB}}$	$\overline{\text{UB}}$	操作说明 [16]
H	H	X	X	读取；输出被禁用
	X	H	H	
H	L	H	L	读取高位字节；低位字节为高阻态
		L	H	读取低位字节；高位字节为高阻态
		L	L	读取这两种字节
L	X	H	L	写入高位字节；屏蔽低位字节
		L	H	写入低位字节；屏蔽高位字节
		L	L	写入两种字节

注释：

12. H = 逻辑高电平，L = 逻辑低电平，V = 有效数据，X = 无需关注，↓ = 切换低电平，↑ = 切换高电平。

13. 对于写周期，数据输入被锁存在 $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 的上升沿上，具体是哪个，则按照先到达的那个为准。

14. $\overline{\text{WE}}$ 控制的写周期开始于读周期，然后锁存 A_{16-2} 。

15. 在页模式操作中，地址 A_{1-0} 必须至少在 15 ns 内保持稳定状态。

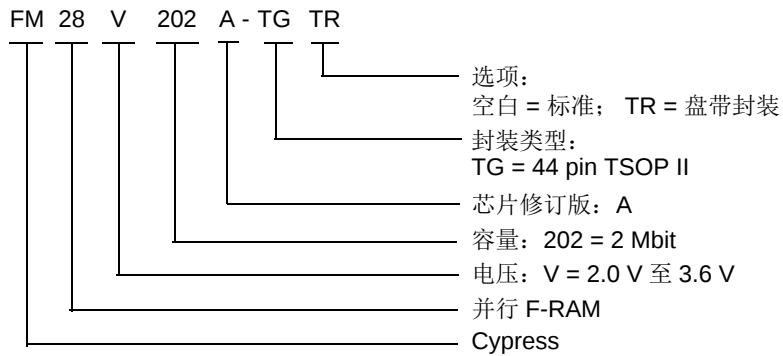
16. 如果 1) 系统不执行字节写入，2) 并且未将器件配置为 256K x 8，则 $\overline{\text{UB}}$ 和 $\overline{\text{LB}}$ 引脚可能接地。

订购信息

访问时间 (ns)	订购代码	封装图	封装类型	工作范围
60	FM28V202A-TG	51-85087	44 pin TSOP II 具有软件写保护、睡眠模式	工业级
	FM28V202A-TGTR			

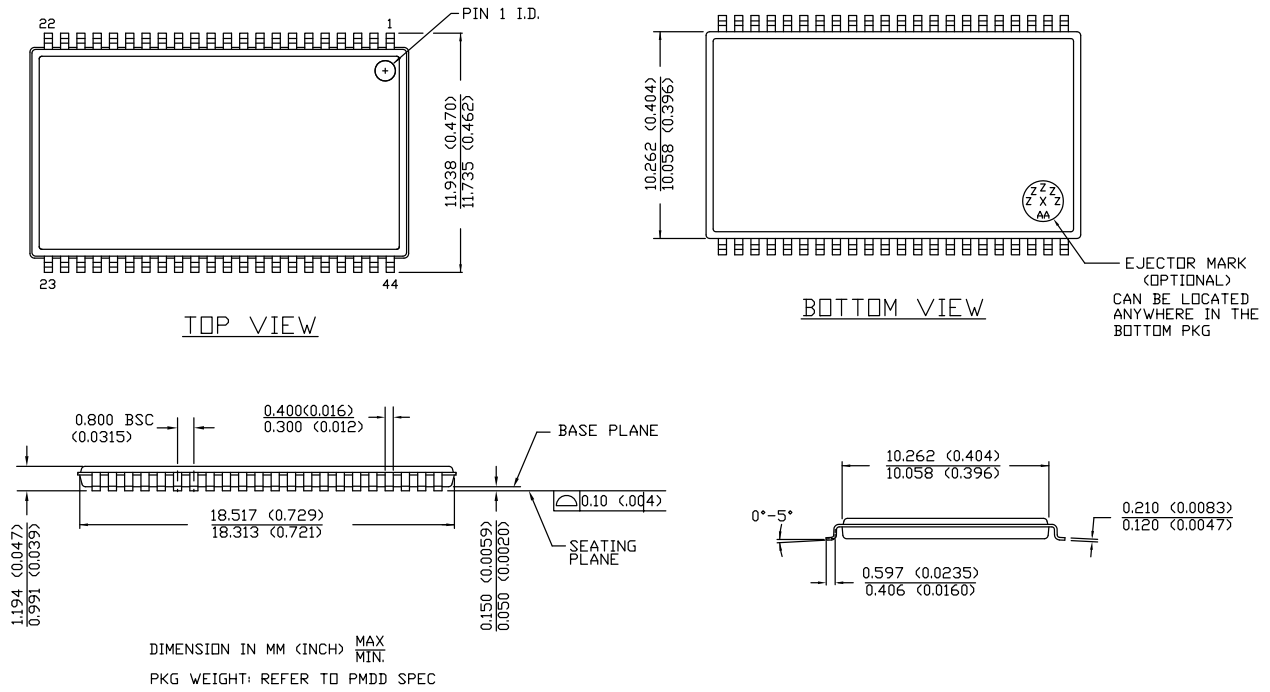
上述所有器件都是无铅的。

订购代码定义



封装图

图 17. 44 pin TSOP 封装外形, 51-85087



51-85087 *E

缩略语

缩略语	说明
UB	高位字节
LB	低位字节
CE	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
F-RAM	铁电随机存取存储器
I/O	输入 / 输出
OE	输出使能
RoHS	有害物质限制
RW	读取和写入
SRAM	静态随机存取存储器
TSOP	薄小型封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧姆
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
MΩ	兆欧
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: FM28V202A, 2 Mb (128 K × 16) F-RAM 存储器 文档编号: 001-92019				
版本	ECN 编号	变更者	提交日期	变更说明
**	4335806	RLJW	4/7/2014	本文档版本号为 Rev**, 译自英文版 001-90309 Rev**。
*A	5698756	HENG	4/27/2017	本文档版本号为 Rev*A, 译自英文版 001-90309 Rev*F。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

汽车级产品

cypress.com/go/automotive

时钟与缓冲器

cypress.com/go/clocks

接口

cypress.com/go/interface

照明与电源控制

cypress.com/go/powerpsoc

存储器

cypress.com/go/memory

PSoC

cypress.com/go/psoc

触摸感应产品

cypress.com/go/touch

USB 控制器

cypress.com/go/USB

无线 / 射频

cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2014-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。