

2M ビット (256K × 8) シリアル (SPI) F-RAM

シリアル (SPI), 256K × 8, 40 MHz, 産業用

特長

- 256K × 8 構成の 2M ビット強誘電体 RAM (F-RAM)
 - 高耐久性 : 100 兆 (10^{14}) 回の読み出し / 書き込み
 - 151 年のデータ保持 ([データ保持期間およびアクセス可能回数を参照](#))
 - NoDelay™ 書き込み
 - 先端の高信頼性強誘電体プロセス
- 非常に高速な SPI
 - 最大周波数 40 MHz
 - シリアルフラッシュおよび EEPROM からの置き換え
 - SPI モード 0 (0, 0) およびモード 3 (1, 1)
- 洗練された書き込み保護スキーム
 - 書き込み保護 (\overline{WP}) ピンを使用したハードウェアによる保護
 - 書き込みディセーブル命令を使用したソフトウェアによる保護
 - アレイの 1/4、1/2 または全体を対象としたソフトウェアブロック保護
- デバイス ID
 - メーカー ID および製品 ID
- 低消費電力
 - 1 MHz 時のアクティブ電流 800 μ A
 - 100 μ A (typ) のスタンバイ電流
 - 3 μ A のスリープモード電流
- 低動作電圧 : $V_{DD} = 2.0 \text{ V} \sim 3.6 \text{ V}$
- 産業用途向け温度範囲 : $-40^\circ\text{C} \sim +85^\circ\text{C}$
- パッケージ
 - 8 ピン小型外形集積回路 (SOIC) パッケージ
 - 8 ピンデュアルフラットノーリード (DFN) パッケージ
- RoHS 準拠

機能説明

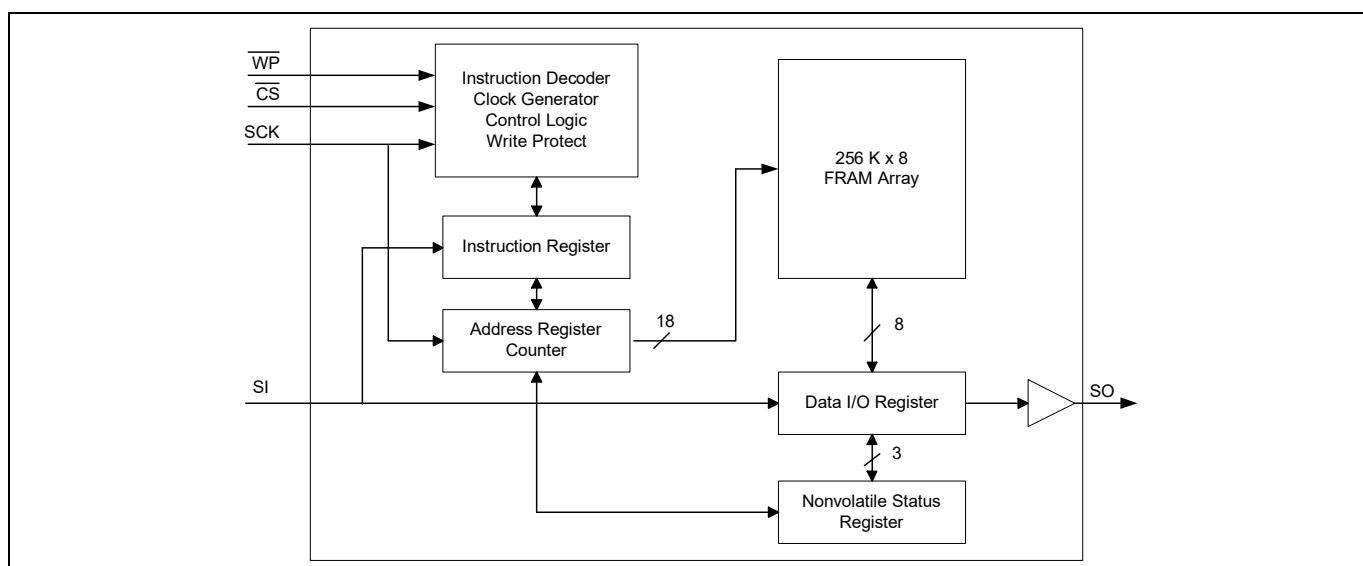
FM25V20A は高度な強誘電体プロセスを使用する 2M ビットの不揮発性メモリです。強誘電体ランダムアクセスメモリまたは F-RAM は不揮発性であり、RAM と同様に読み取りと書き込みを実行します。シリアルフラッシュ、EEPROM、およびその他の不揮発性メモリによって引き起こされる複雑さ、オーバーヘッド、およびシステムレベルの信頼性の問題を排除しながら、151 年間の信頼性の高いデータ保持を提供します。

シリアルフラッシュや EEPROM と異なり、FM25V20A はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また本製品は他の不揮発性メモリと比較して多くの書き込み可能回数を提供しています。FM25V20A は、 10^{14} 回の読み出し / 書き込みサイクル、または EEPROM に比べ 1 億倍の書き込みサイクルに対応できます。

これらの能力により、FM25V20A は頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュや EEPROM を使った長い書き込み時間に起因してデータを損失する可能性がある厳しい産業用制御まで及びます。

FM25V20A はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザに大幅な利点を提供します。FM25V20A は、F-RAM 技術の高速な書き込み機能を強化する高速 SPI バスを使用します。デバイスは読み出し専用デバイス ID を内蔵しています。これにより、ホストはメーカー、製品の容量、製品のレビューションを判断することができます。デバイス仕様は、産業用温度範囲 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の範囲において保証されます。

論理ブロック図



目次

特長	1
機能説明	2
論理ブロック図	2
目次	3
1 端子配置	4
2 端子機能	5
3 機能概要	6
3.1 メモリアーキテクチャ	6
3.2 シリアルペリフェラルインターフェース - SPI バス	6
3.3 SPI 概要	6
3.3.1 SPI マスター	6
3.3.2 SPI スレーブ	6
3.3.3 チップセレクト (CS)	7
3.3.4 シリアルクロック (SCK)	7
3.3.5 データ転送 (SI/SO)	7
3.3.6 最上位ビット (MSB)	8
3.3.7 シリアルオペコード	8
3.3.8 無効なオペコード	8
3.3.9 ステータスレジスタ	8
3.4 SPI モード	9
3.5 電源投入時から最初のアクセスまで	9
3.6 コマンドの構成	10
3.7 WREN - 書き込みイネーブルラッチの設定	10
3.8 WRDI - 書き込みイネーブルラッチのリセット	11
4 ステータスレジスタおよび書き込み保護	12
4.1 RDSR - ステータスレジスタの読み出し	13
4.2 WRSR - ステータスレジスタの書き込み	13
5 メモリの動作	14
5.1 書き込み動作	14
5.2 読み出し動作	14
5.3 高速読み出し動作	15
5.4 スリープモード	15
5.5 デバイス ID	16
5.6 アクセス可能回数	16
6 最大定格	17
7 動作範囲	18
8 DC 電気的特性	19
9 データ保持期間およびアクセス可能回数	20
10 静電容量	21
11 熱抵抗	22
12 AC テスト条件	23
13 スイッチングのAC特性	24
14 パワーサイクルタイミング	25
15 注文情報	26
15.1 注文コード定義	26
16 パッケージ図	27
17 略語	29
18 本書の表記法	30
18.1 測定単位	30
改訂履歴	31
免責事項	32

1 端子配置

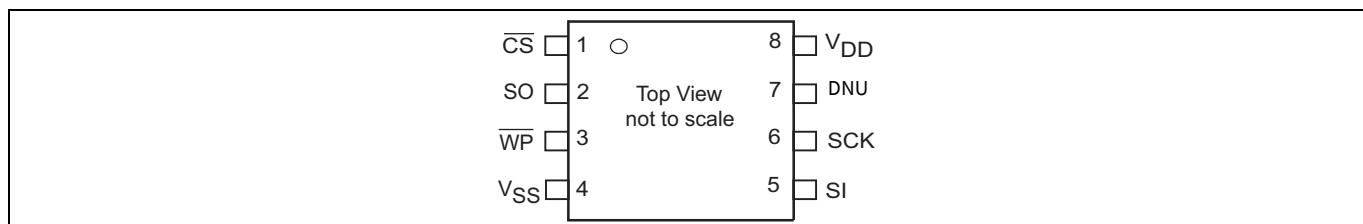


Figure 1 8 ピン SOIC 端子配置

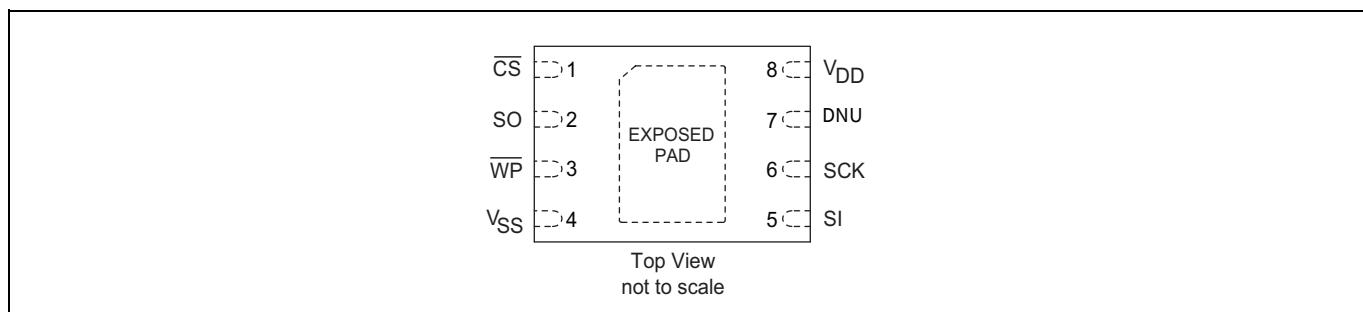


Figure 2 8 ピン DFN 端子配置

2 端子機能

Table 1 端子機能

端子名	入出力	変更内容
CS	入力	チップセレクト。このアクティブ LOW 入力でデバイスを起動させます。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力をトライステートにします。LOW になった場合、デバイスが SCK 信号を内部でアクティブにします。CS の立ち下りエッジは、すべてのオペコードの発行前に発生させてください。
SCK	入力	シリアルクロック。入出力はシリアルクロックに同期されます。入力は立ち上りエッジにラッチされ、出力は立ち下りエッジで駆動されます。同期デバイスであるため、クロック周波数は 0 ~ 40MHz 範囲内であり、いつでも割り込まれる可能性があります。
SI ^[1]	入力	シリアル入力。このピンからデバイスにデータを入力します。入力は SCK の立ち上りエッジでサンプリングされ、それ以外では無視されます。IDD 仕様を満たすため、入力を有効な論理レベルに駆動する必要があります。
SO ^[1]	出力	シリアル出力。データ出力ピンです。読み出し中に駆動され、そのとき以外ではトライステートのままでです。データ遷移はシリアルクロックの立ち下りエッジで実現します。
WP	入力	書き込み保護。このアクティブ LOW ピンは WPEN が「1」にセットされる際ステータスレジスタへの書き込み動作は無効です。その他の書き込み保護機能はステータスレジスタによって制御されるため、このことは重要です。書き込み保護の完全な説明は、 ステータスレジスタおよび書き込み保護 に記載されています。このピンを使用しない場合、VDD に接続してください。
DNU	使用禁止	使用禁止。このピンは V _{DD} に接続する必要があります。
V _{SS}	電源供給	デバイス用のグランド。システムのグランドに接続する必要があります。
V _{DD}	電源供給	デバイス電源入力。
EXPOSED PAD	未接続	8 ピン DFN パッケージの EXPOSED PAD はダイに接続されていません。EXPOSED PAD は PCB にはんだ付けしないでください。

注:

- SI を SO と接続し 1 本のデータインターフェースとして利用することができます。

3 機能概要

FM25V20A はシリアル F-RAM メモリです。メモリアレイは 262,144×8 ビットに論理構成され、業界標準 SPI バスを介してアクセスされます。FM25V20A とシリアルフラッシュや同じピン配置の EEPROM とで違う点は、F-RAM の優れた書き込み性能、高アクセス可能回数、および低消費電力です。

3.1 メモリアーキテクチャ

FM25V20A のアクセスには、8 データビットごとの 256K 箇所の位置をアドレス指定します。これら 8 個のデータビットは順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを許可する) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 6 ビットは「ドントケア」値です。18 ビットのアドレスで、一意的に各バイトアドレスを指定します。

FM25V20A のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作のためのアクセス時間は基本的にシリアルプロトコルに必要な時間以外は 0 です。すなわちメモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されます。

3.2 シリアルペリフェラルインターフェース - SPI バス

FM25V20A は SPI スレーブデバイスであり、40MHz までの周波数で動作します。この高速シリアルバスにより、SPI マスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラは、直接インターフェースが可能なハードウェア SPI ポートを持っています。SPI ポートを持たないマイクロコントローラで、通常のポートを使用して SPI ポートをエミュレートするのは非常に簡単です。FM25V20A は、SPI モード 0 および 3 で動作します。

3.3 SPI 概要

SPI は、チップセレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアルクロック (SCK) ピンからなる 4 ピンインターフェースです。

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、 \overline{CS} ピンを使用してアクティブにされます。

チップセレクト、クロック、データの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートしています。これらの両モードで、 \overline{CS} がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上りエッジで、データが FRAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。 \overline{CS} がアクティブ化された後、バスマスターから転送される最初のバイトがオペコードです。オペコードに続いて、任意のアドレスとデータが転送されます。動作完了後、新しいオペコードが発行される前に、 \overline{CS} を非アクティブにする必要があります。SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスターデバイスは、SPI バス上のオペレーションを制御します。SPI バスは、複数のスレーブデバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バスラインを共有し、マスターは \overline{CS} ピンを使用してスレーブデバイスのいずれかを選択できます。すべてのオペレーションは、マスターがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブデバイスをアクティブにして開始する必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ送信はこのクロックと同期されます。

3.3.2 SPI スレーブ

SPI スレーブデバイスは、チップセレクトラインを介してマスターによってアクティブにされます。スレーブデバイスは、SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックと同期

されます。SPI スレーブは SPI バス上で通信を開始することではなく、単にマスターからの命令に従い実行します。

FM25V20A は SPI スレーブとして動作し、他の SPI スレーブデバイスと SPI バスを共有する場合があります。

3.3.3 チップセレクト (\overline{CS})

任意のスレーブデバイスを選択するためには、マスターは対応する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW の間だけ、命令をスレーブデバイスに発行することができます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始される必要があります。したがって、アクティブなチップセレクトサイクルごとに 1 個のオペコードのみが発行されます。

3.3.4 シリアルクロック (SCK)

シリアルクロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信はこのクロックに同期されます。

FM25V20A は、データ通信のために SPI モード 0 と 3 を有効にします。これらの両モードにおいて、入力は SCK の立ち上りエッジでスレーブデバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジは、SI ピンに SPI 命令の最初のビット (MSB) が到着したことを意味します。さらにすべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信用に SI と SO の 2 線で構成されます。SI はマスターアウトスレーブイン (MOSI)、SO はマスターインスレーブアウト (MISO) とも呼ばれます。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブデバイスは、前述のように SI と SO ラインを共有する場合があります。

FM25V20A には [Figure 3](#) に示すようにマスターと接続することができる SI と SO 用の 2 つの独立したピンがあります。

専用 SPI バスを持たないマイクロコントローラでは、汎用ポートが使用されることもあります。コントローラのハードウェアリソースを削減するために、2 つのデータピン (SI、SO) を相互に接続し、 \overline{WP} ピンをタイオフ (HIGH) することができます。[Figure 4](#) に 3 個のピンだけを使用するコンフィギュレーションを示します。

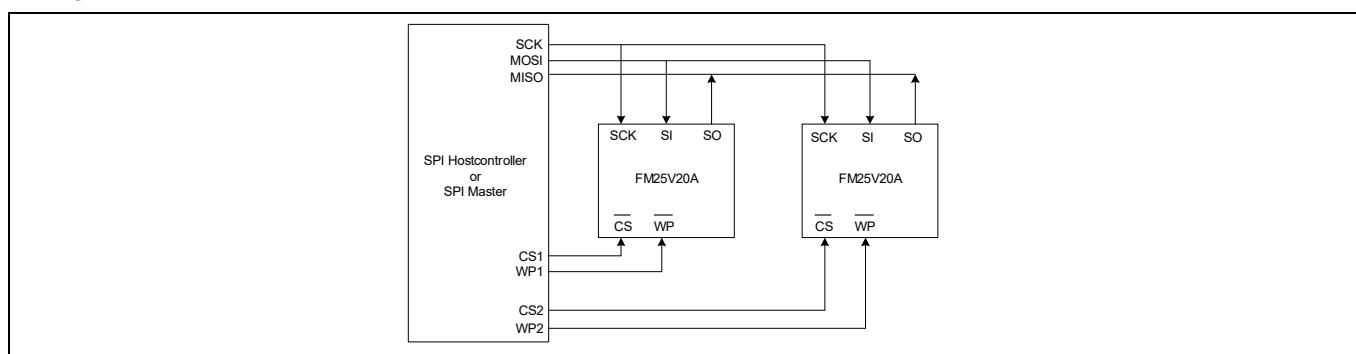
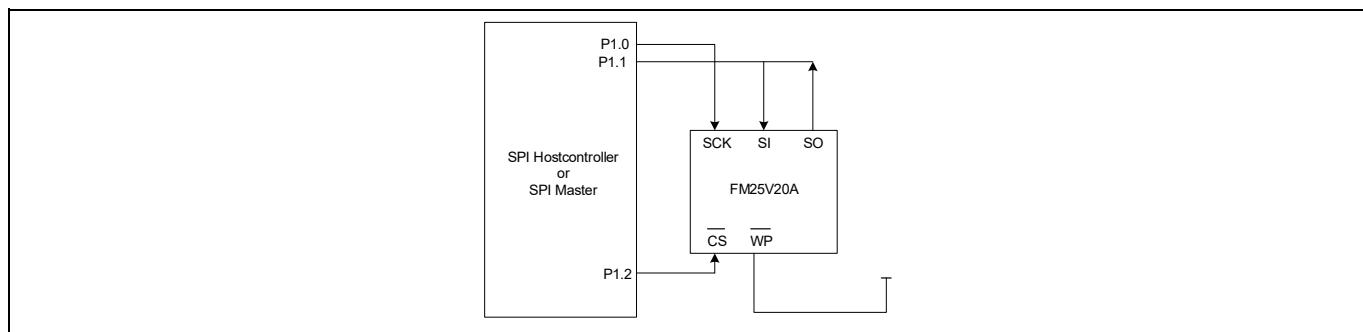


Figure 3 SPI ポートを使用したシステム設定

**Figure 4** SPI ポートを使用しないシステム設定

3.3.6 最上位ビット (MSB)

SPI プロトコルでは、最初に送信されるビットが最上位ビット (MSB) でなければいけません。これはアドレスとデータ転送共に該当します。

2M ビットシリアル F-RAM は、すべての読み出しありは書き込み動作に対応して 3 バイトのアドレスを必要とします。アドレスは 18 ビットであるため、入力された最初の 6 ビットはデバイスによって無視されます。これらの 6 ビットは「ドントケア」ですが、より高密度メモリへの円滑な移行を可能にするために、これらを 0 に設定することをインフィニオンは推奨します。

3.3.7 シリアルオペコード

\overline{CS} が LOW になる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。FM25V20A は、メモリアクセスに標準オペコードを使用します。

3.3.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の \overline{CS} の立ち下りエッジまで SI ピン上にある追加のシリアルデータを無視し、SO ピンはトライステートのままとなります。

3.3.9 ステータスレジスタ

FM25V20A には 8 ビットのステータスレジスタが 1 つあります。ステータスレジスタ内のビットはデバイス動作を設定するために使用されます。これらのビットは [Table 4](#) で説明されます。

3.4 SPI モード

FM25V20A は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

これらの両モードで、 \overline{CS} がアクティブ化された後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで入力データがラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上りエッジでラッチされます。出力データは SCK の立ち下りエッジで利用可能となります。

2 つの SPI モードは **Figure 5** と **Figure 6** に示されます。バスマスターがデータを転送していない時のクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のままで
- モード 3 では、SCK が 1 のままで

\overline{CS} ピンを LOW にすることによりデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイスが選択された時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

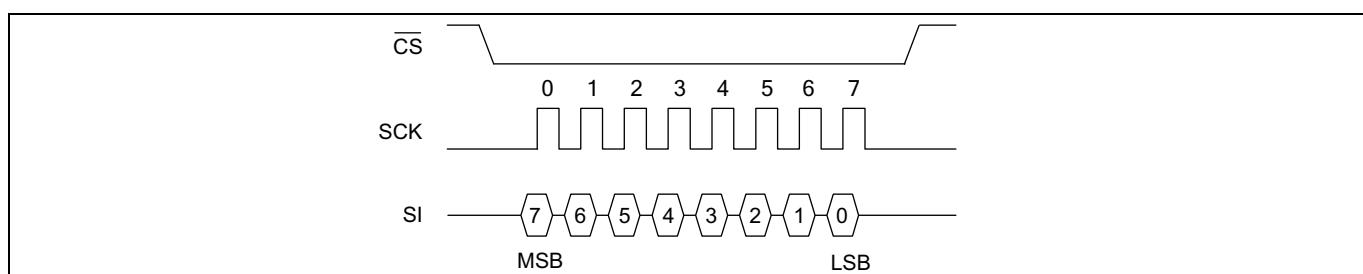


Figure 5 SPI モード 0

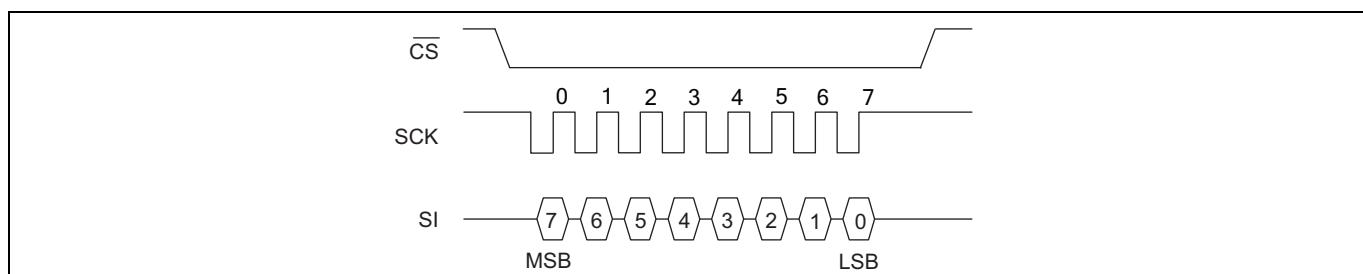


Figure 6 SPI モード 3

3.5 電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、FM25V20A へはアクセスできません。ユーザはタイミングパラメータ、 t_{PU} (V_{DD} (min) から CS が初めて LOW になる時までの最短期間) に従わなければいけません。

3.6 コマンドの構成

バスマスターが FM25V20A に発行するコマンド（オペコードと呼ばれる）は 9 個あります。これらを [Table 1](#) に示します。これらのオペコードはメモリが実行する機能を制御します。

Table 2 オペコードコマンド

名称	説明	オペコード
WREN	書き込みイネーブルラッチの設定	0000 0110b
WRDI	書き込みイネーブルラッチのリセット	0000 0100b
RDSR	ステータスレジスタの読み出し	0000 0101b
WRSR	ステータスレジスタの書き込み	0000 0001b
READ	メモリデータの読み出し	0000 0011b
FSTRD	メモリデータの高速読み出し	0000 1011b
WRITE	メモリデータの書き込み	0000 0010b
SLEEP	スリープモードの開始	1011 1001b
RDID	デバイス ID の読み出し	1001 1111b

3.7 WREN - 書き込みイネーブルラッチの設定

FM25V20A は、書き込みが無効の状態で電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザは書き込み動作用に次のオペコードを発行できます。これらはステータスレジスタへの書き込み (WRSR) とメモリへの書き込み (WRITE) を含みます。

WREN オペコードを発行すると、内部書き込みイネーブルラッチはセットされます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットの状態に影響を与ません。WREN オペコードのみがこのビットをセットできます。WEL ビットは、WRDI や WRSR、書き込み動作に続く CS の立ち上りエッジで自動的にクリアされます。これにより、別の WREN コマンドを発行せず、ステータスレジスタまたは F-RAM アレイへの 2 重の書き込みを防ぐことができます。[Figure 7](#) に WREN コマンドバスコンフィギュレーションを示します。

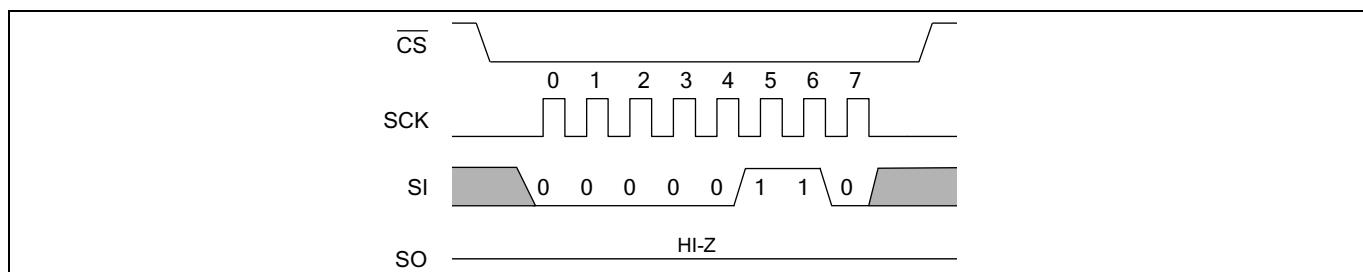


Figure 7 WREN バス コンフィギュレーション

3.8 WRDI - 書き込みイネーブルラッチのリセット

WRDI コマンドは、書き込みイネーブルラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタ内の WEL ビットを読み出し、WEL ビットが 0 であることを確認することにより、ユーザは書き込みが無効であることを確認できます。Figure 8 に WRDI コマンドバスコンフィギュレーションを示します。

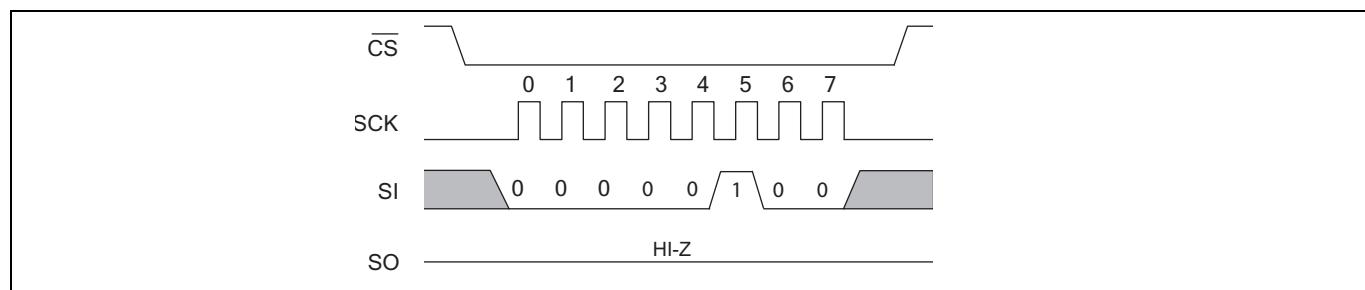


Figure 8 WRDI バス コンフィギュレーション

4 ステータスレジスタおよび書き込み保護

FM25V20A の書き込み保護機能は多層的であり、ステータスレジスタを介して有効にされます。ステータスレジスタは以下のように構成されています。(WEL, BP0, BP1, ビット 4-5, WPEN の工場出荷時の初期値は「0」であり、ビット 6 は「1」です)。

Table 3 ステータスレジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

Table 4 ステータスレジスタのビット定義

ビット	定義	説明
ビット 0	ドントケア	このビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時のビットの初期値は「0」(無効)です。 WEL = 「1」 --> 書き込みが有効 WEL = 「0」 --> 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用されます。詳細は、Table 5 を参照してください。
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用されます。詳細は、Table 5 を参照してください。
ビット 4-5	ドントケア	これらのビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット 6	ドントケア	このビットは書き込み不可であり、読み出し時に常に「1」を返します。
ビット 7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピンの機能をイネーブルにするために使用される (WP) です。詳細は、Table 6 を参照してください。

ビット 0 と 4-5 は、「0」に、ビット 6 は「1」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれビギーのときがないので、ビット 0 (シリアルフラッシュや EEPROM での「Ready or Write in progress (待機または書き込み中)」の状態を示すビット) は不要であり、「0」として読み出されます。これの例外は、デバイスがスリープモードからウェイクアップしている場合です。これについては、[スリープモード](#)で説明しています。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタの WEL ビットに直接書き込んでも状態は変りません。このビットは内部でそれぞれ WREN、WRDI コマンドを介してセット、クリアされます。

BP1 と BP0 はメモリブロックの書き込み保護ビットです。それらは Table 5 で示すように書き込み保護されるメモリ領域を指定します。

Table 5 ブロックメモリへの書き込み保護

BP1	BP0	保護されるアドレス領域
0	0	無し
0	1	30000h ~ 3FFFFh (上位 1/4)
1	0	20000h ~ 3FFFFh (上位 1/2)
1	1	00000h ~ 3FFFFh (すべて)

BP1 と BP0 ビットと書き込みイネーブルラッチは、メモリが書き込まれないように防ぐ唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット (WPEN) は、ハードウェア書き込み保護 (WP) ピンの効果を制御します。WPEN ビットが「0」にクリアされると、WP ピンの状態は無視されます。WPEN ビットが「1」にセットされる時、WP ピンが LOW になるとステータスレジスタへの書き込みは禁止されます。そのため、ステータスレジスタは、WPEN=1 および WP=0 の場合のみ書き込み保護されます。

Table 6 に書き込み保護条件をまとめます。

Table 6 書き込み保護

WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

4.1 RDSR - ステータスレジスタの読み出し

RDSR コマンドでは、バスマスターはステータスレジスタの内容を検証することができます。ステータスレジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、FM25V20A はステータスレジスタの内容を持つ 1 バイトを返します。

4.2 WRSR - ステータスレジスタの書き込み

WRSR コマンドを使って、SPI バスマスターがステータスレジスタへ書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護の設定を変更できます。WRSR コマンドを発行する前には、WP ピンが HIGH または非アクティブである必要があります。FM25V20A では、WP がメモリアレイではなくステータスレジスタのみへの書き込みを防止することに注意してください。WRSR を送信する前に WREN コマンドを送信して書き込みを有効する必要があります。WRSR コマンドの実行は書き込み動作に相当するため、書き込みイネーブルラッチがクリアされます。

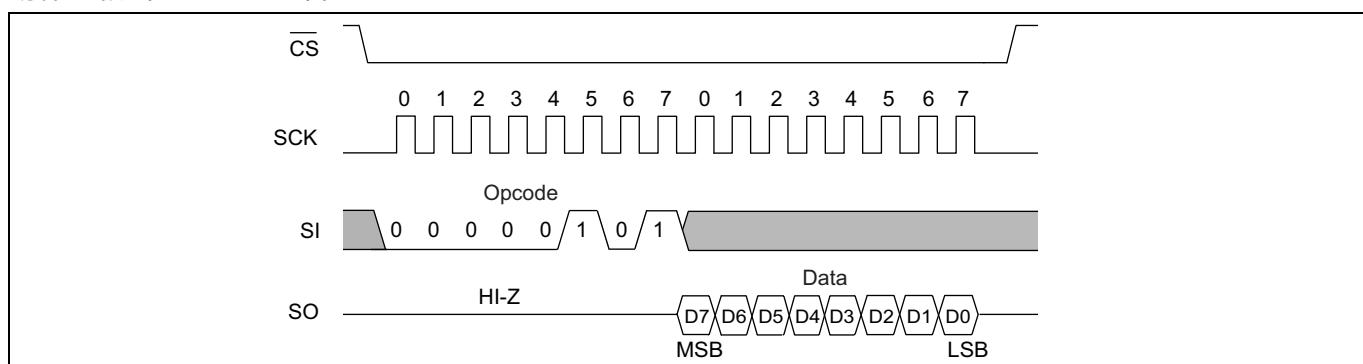


Figure 9 RDSR バス コンフィギュレーション

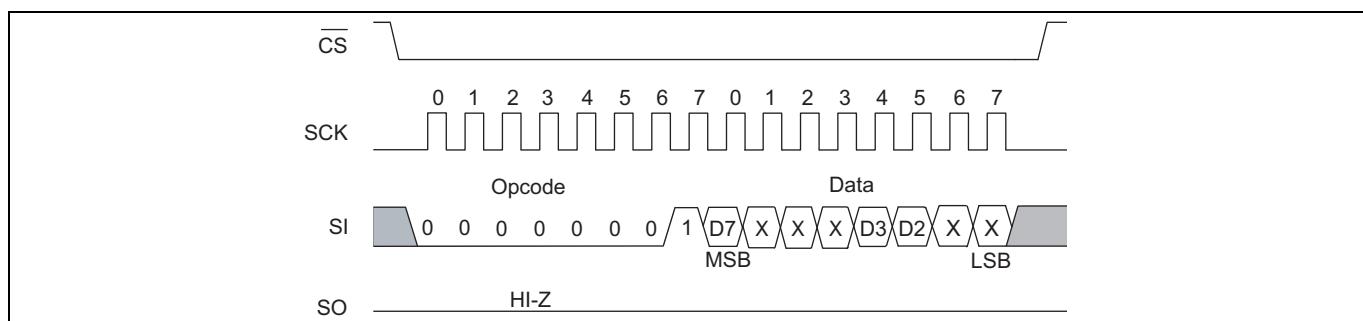


Figure 10 WRSR バス コンフィギュレーション (WREN が非表示)

5 メモリの動作

高いクロック周波数で動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュや EEPROM と違って、FM25V20A はバス速度でシーケンシャルに書き込みを実行します。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

5.1 書き込み動作

メモリへのすべての書き込みは、アサートおよびデアサートされている CS を伴い WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードに続き、メモリへ書き込む最初のデータバイトを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 6 ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バスマスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。3FFFFh の最終アドレスに達すると、カウントは 00000h に戻ります。データは MSB から書き込みます。CS の立ち上りエッジで書き込み動作が終了します。書き込み動作を Figure 11 に示します。

注: バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。

EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが(8番目のクロックの後)クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持っていません。そのためページバッファの遅延なしにバイトをいくつも書き込むことができます。

注：書き込み中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

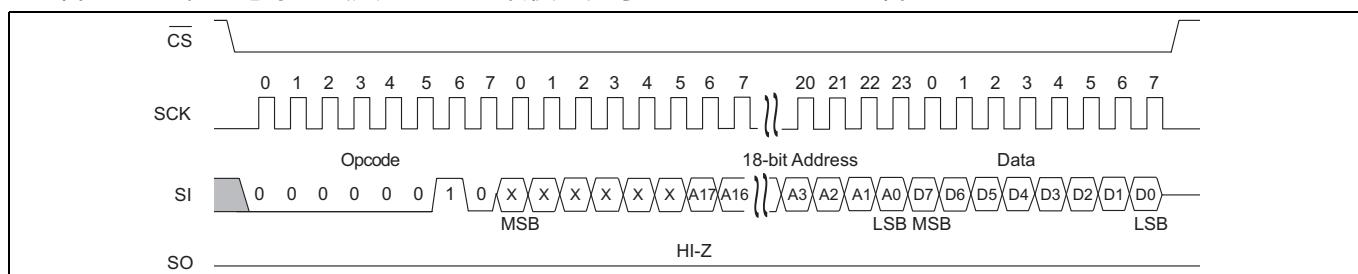


Figure 11 メモリ書き込み動作 (WREN が非表示)

5.2 読み出し動作

CS の立ち下りエッジの後に、バスマスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の開始アドレスを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 6 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 つのクロックで読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順々に読み出されるデータバイトです。バスマスターがクロックを送り、CS がロー レベルである限り、アドレスは内部でインクリメントされます。3FFFh の最終アドレスに達すると、カウントは 00000h に戻ります。データは MSB から読み出します。CS の立ち上がりエッジで読み出し動作を停止し、SO ピンをトライステートにします。読み出し動作を [Figure 12](#) に示します。

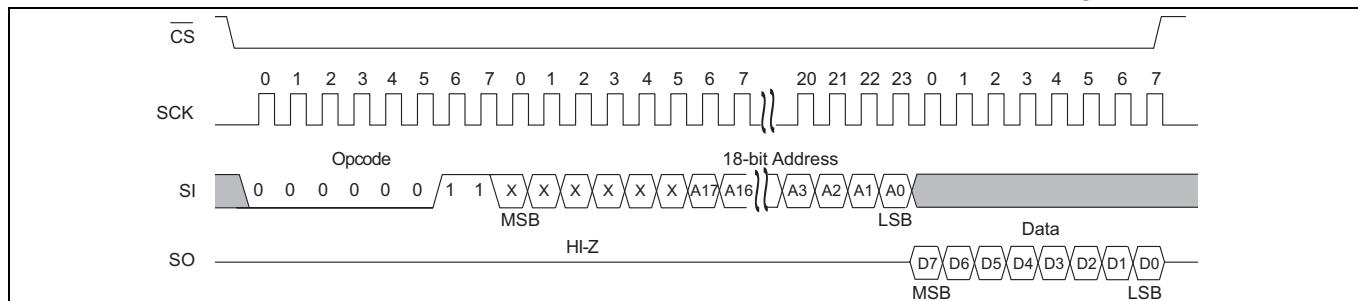


Figure 12 メモリ読み出し動作

5.3 高速読み出し動作

FM25V20A は、シリアルフラッシュデバイスとのコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の開始アドレスを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 個のバイトのアドレスが続き、次はダミーバイトとなります。ダミーバイトは 8 クロックサイクルの読み出し遅延を入れることです。ダミーバイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミーバイトを受信した後、FM25V20A は SO ラインで MSB ファースト形式によりデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメントされ、最終アドレス 3FFFFh に達するとカウンタは 00000h に戻ります。デバイスが SO ラインでデータを出力している時、SI ライン上の遷移は無視されます。 \overline{CS} の立ち上りエッジで高速読み出し動作を停止し、SO ピンをトライステートにします。高速読み出し動作を **Figure 13** に示します。

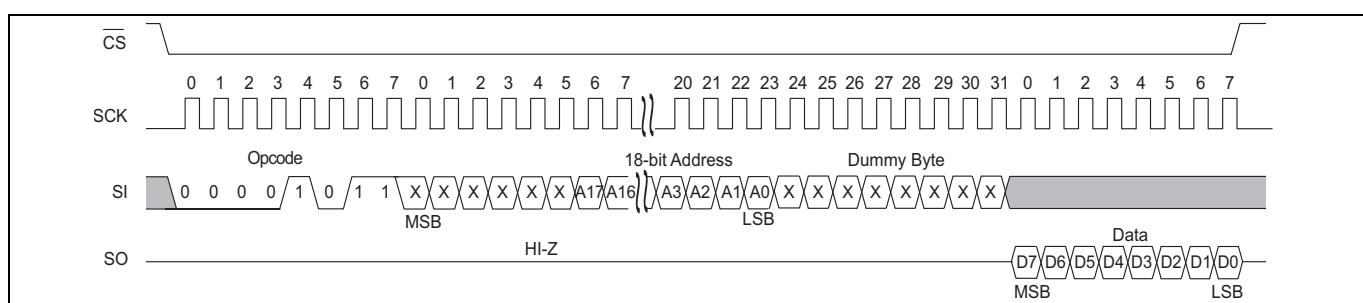


Figure 13 高速読み出し動作

5.4 スリープモード

低消費電力スリープモードが FM25V20A デバイスに実装されています。SLEEP オペコード B9h が入力されると \overline{CS} がハイレベルになると、デバイスは低消費電力モードに移行します。スリープモードになると SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。 \overline{CS} の次の立ち下りエッジで、デバイスは、 t_{REC} 以内に通常の動作に復帰します。SO ピンは、ウェイクアップ期間中は Hi-Z 状態のままであります。デバイスはウェイクアップ期間内でオペコードに応答する必要はありません。ウェイクアップの手順を開始するために、コントローラが、例えば「ダミー」の読み出しを送信し、残りの t_{REC} 時間で待機することもあります。

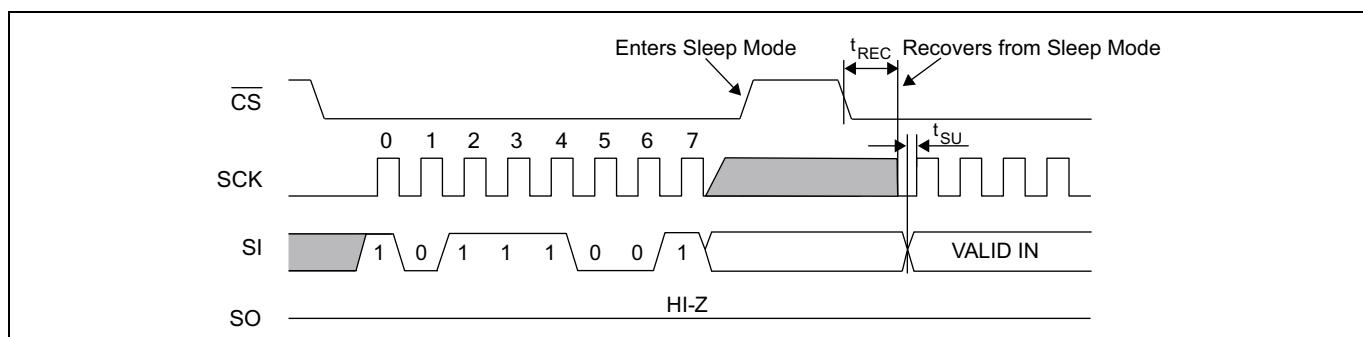


Figure 14 スリープモードの動作

5.5 デバイス ID

FM25V20A デバイスは、メーカー、製品 ID、ダイの版数について問い合わせを行えます。RDID オペコード 9Fh には、両方とも読み出し専用バイトである製造業者の ID と製品 ID が記載されており読むことができます。JEDEC から割り当てられたメーカー ID は、バンク 7 の中にインフィニオン (Ramtron) の識別子を配置しています。そのため連続コード 7Fh の 6 バイトとそれに続く 1 バイトの C2h があります。製品 ID の 2 バイトはファミリ コードと容量コード、サブ コード、製品リビジョンコードを含みます。

Table 7 デバイス ID

デバイス ID (9 バイト)	デバイス ID の説明					
	71-16 (56 ビット)	15-13 (3 ビット)	12-8 (5 ビット)	7-6 (2 ビット)	5-3 (3 ビット)	2-0 (3 ビット)
	メーカー ID	製品 ID				
		ファミリ コード	容量 コード	サブ コード	リビジョン コード	予約済み
7F7F7F7F7FC22508h	011111101111111011 11111011111110111111 11011111111000010	001	00101	00	001	000

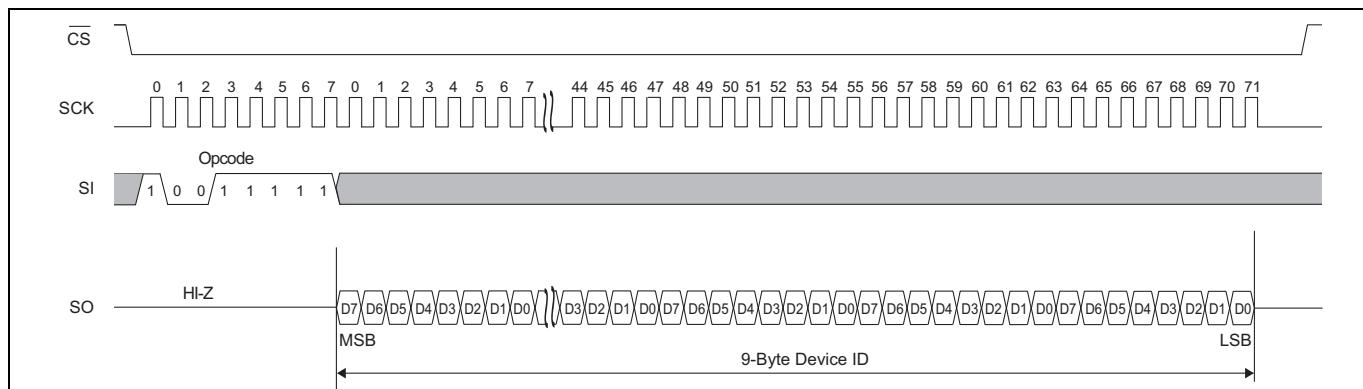


Figure 15 デバイス ID の読み出し

5.6 アクセス可能回数

FM25V20A デバイスには 10^{14} 回以上、読み書きを問わずアクセスすることができます。F-RAM メモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリアレイへのアクセス（読み出し / 書き込み）に対して、アクセスサイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 32K の行からなるアレイを基にしています。読み出しましたは書き込みは行単位に行われます。1 行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。**Table 8** は、オペコード、開始アドレス、順々の 64 バイトデータの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトが 1 回のアクセス回数を費やしたことになります。F-RAM の読み出しと書き込み可能回数は、40 MHz のクロック速度でも事実上無制限です。

Table 8 64 バイトループの繰り返しでアクセス回数が限界に達する期間

SCK 周波数 (MHz)	アクセス可能回数 (サイクル / 秒)	アクセス可能回数 (サイクル / 年)	制限到達年数
40	73,520	2.32×10^{12}	43.1
10	18,380	5.79×10^{11}	172.7
5	9,190	2.90×10^{11}	345.4

6 最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザガイドラインはテストは行われていません。

Table 9 最大定格

パラメーター	値
保存温度	-55°C ~ +125°C
最大累積保存時間	
周囲温度 125°C の場合	1000 時間
周囲温度 85°C の場合	10 年
通電時の周囲温度	-55°C ~ +125°C
V_{SS} を基準とした V_{DD} の電源電圧	-1.0 V ~ +4.5 V
入力電圧	-1.0 V ~ +4.5 V, $V_{IN} < V_{DD} + 1.0$ V
High-Z 状態の出力に印加される DC 電圧	-0.5 V ~ $V_{DD} + 0.5$ V
グランド電位を基準とした任意のピンの過渡電圧 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0$ V
パッケージ許容電力損失 ($T_A = 25^\circ\text{C}$)	1.0 W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (出力 1 本あたり、1 秒間)	15 mA
静電放電電圧	
人体モデル (JEDEC 準拠 JESD22-A114-B)	2 kV
デバイス帯電モデル (JEDEC 準拠 JESD22-C101-A)	500 V
ラッチアップ電流	> 140 mA

動作範囲

7 動作範囲

Table 10 動作範囲

範囲	周囲温度 (T_A)	V_{DD}
産業用	-40°C ~ +85°C	2.0 V ~ 3.6 V

DC 電気的特性

8 DC 電気的特性

Table 11 DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[2]	Max	単位
V_{DD}	電源電圧		2.0	3.3	3.6	V
I_{DD}	V_{DD} 電源電流	SCK は $V_{DD} - 0.2$ V と V_{SS} 間でトグル。他の入力は V_{SS} または $V_{DD} - 0.2$ V。 $SO = \text{開放}$	$f_{SCK} = 1$ MHz	-	0.5	0.80
			$f_{SCK} = 40$ MHz	-	2.4	3
I_{SB}	V_{DD} スタンバイ電流	$CS = V_{DD}$ 。 他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	100	μA
			$T_A = 85^\circ\text{C}$	-	-	250
I_{ZZ}	スリープモード電流	$CS = V_{DD}$ 。 他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	3	μA
			$T_A = 85^\circ\text{C}$	-	-	8
I_{LI}	入力リーコンデンサー電流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA
I_{LO}	出力リーコンデンサー電流	$V_{SS} \leq V_{OUT} \leq V_{DD}$	-	-	± 1	μA
V_{IH}	入力電圧 HIGH レベル	-	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{IL}	入力電圧 LOW レベル	-	-0.3	-	$0.3 \times V_{DD}$	V
V_{OH1}	出力電圧 HIGH レベル	$I_{OH} = -1$ mA, $V_{DD} = 2.7$ V.	2.4	-	-	V
V_{OH2}	出力電圧 HIGH レベル	$I_{OH} = -100$ μA	$V_{DD} - 0.2$	-	-	V
V_{OL1}	出力電圧 LOW レベル	$I_{OL} = 2$ mA, $V_{DD} = 2.7$ V	-	-	0.4	V
V_{OL2}	出力電圧 LOW レベル	$I_{OL} = 150$ μA	-	-	0.2	V

注:

2. Typ 値は 25°C 、 $V_{DD} = V_{DD}(\text{typ})$ の場合です。完全にはテストされていません。

9 データ保持期間およびアクセス可能回数

Table 12 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T_{DR}	データ保持期間	$T_A = 85^\circ\text{C}$	10	-	年
		$T_A = 75^\circ\text{C}$	38	-	年
		$T_A = 65^\circ\text{C}$	151	-	年
NV_C	アクセス可能回数	動作温度範囲内	10^{14}	-	サイクル

10 静電容量

Table 13 静電容量

パラメーター ^[3]	説明	テスト条件	Max	単位
C_O	出力ピン静電容量 (SO)	$T_A = 25^\circ\text{C}$, $f = 1 \text{ MHz}$, $V_{DD} = V_{DD(\text{typ})}$	8	pF
C_I	入力ピン静電容量		6	pF

注:

3. このパラメーターは定期的にサンプリングされているもので、完全なテストは行われません。

11 热抵抗

Table 14 热抵抗

パラメーター	説明	テスト条件	8 ピン SOIC	8 ピン DFN	単位
θ_{JA}	热抵抗 (接合部と周囲間)	热抵抗を測定するテスト条件 は EIA/JESD51 で標準化された テスト方法と手順に従います。	114	30	°C/W
θ_{JC}	热抵抗 (接合部とケース間)		40	11	°C/W

12 AC テスト条件

Table 15 AC テスト条件

パラメーター	値
入力パルスレベル	V_{DD} の 10% および 90%
入力の立ち上りと立ち下り時間	3 ns
入力と出力のタイミング参照レベル	$0.5 \times V_{DD}$
出力負荷容量	30 pF

13 スイッチングの AC 特性

Table 16 スイッチングの AC 特性

動作範囲において

パラメーター ^[4]		説明	$V_{DD} = 2.0\text{ V} \sim 2.7\text{ V}$		$V_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$		単位
インフィニオン パラメーター	代替 パラメーター		Min	Max	Min	Max	
f_{SCK}	-	SCK クロック周波数	0	25	0	40	MHz
t_{CH}	-	クロック HIGH 時間	18	-	11	-	ns
t_{CL}	-	クロック LOW 時間	18	-	11	-	ns
t_{CSU}	t_{CSS}	チップセレクトの セットアップ時間	12	-	10	-	ns
t_{CSH}	t_{CSH}	チップセレクトの ホールド時間	12	-	10	-	ns
$t_{OD}^{[5, 6]}$	t_{HZCS}	出力ディィセーブル時間	-	20	-	12	ns
t_{ODV}	t_{CO}	出力データ有効時間	-	16	-	9	ns
t_{OH}	-	出力ホールド時間	0	-	0	-	ns
t_D	-	選択解除時間	60	-	40	-	ns
t_{SU}	t_{SD}	データセットアップ時間	8	-	5	-	ns
t_H	t_{HD}	データホールド時間	8	-	5	-	ns

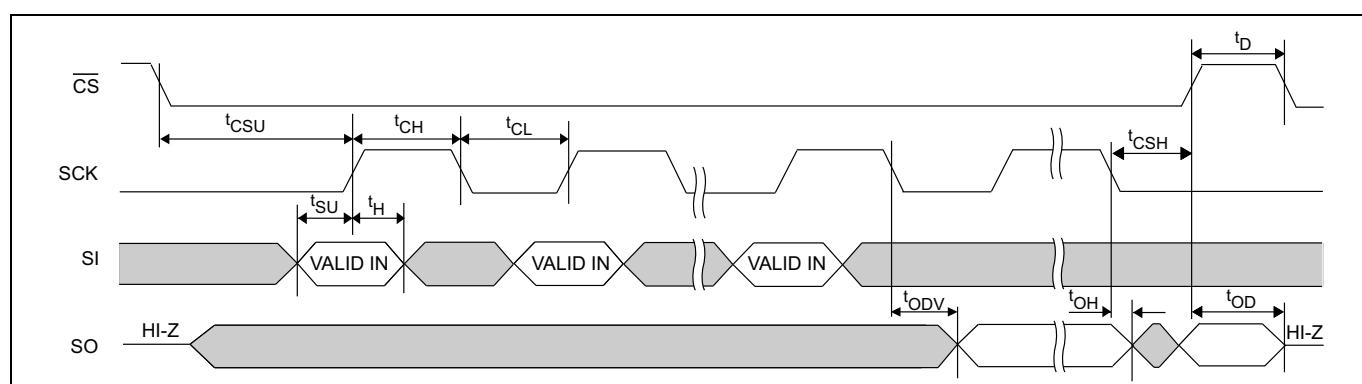


Figure 16 同期データタイミング(モード0)

注：

- 注:

 4. テスト条件は **AC テスト条件**に示した 3 ns 以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の 10% ~ 90% の入力パルスレベル、指定された I_{OL}/I_{OH} の出力負荷および 30 pF の負荷容量を前提にしています。
 5. t_{OP} および t_{HZ} は、5 pF の負荷容量が付いている状態で測定しています。出力が高インピーダンス状態に入る前に、遷移が測定されます。
 6. 特性評価されていますが、生産時に完全にはテストされていません。

14 パワー サイクル タイミング

Table 17 パワー サイクル タイミング

動作範囲において

パラメーター	説明	Min	Max	単位
t_{PU}	電源投入時 ($V_{DD(min)}$) から最初のアクセス (\overline{CS} LOW) までの時間	1	-	ms
t_{PD}	最後のアクセス (\overline{CS} HIGH) から電源切断 ($V_{DD(min)}$) 時までの時間	0	-	μs
$t_{VR}^{[7]}$	V_{DD} 電源投入時の変化速度	50	-	μs/V
$t_{VF}^{[7]}$	V_{DD} 電源切断時の変化速度	100	-	μs/V
$t_{REC}^{[8]}$	スリープモードからの復帰時間	-	450	μs

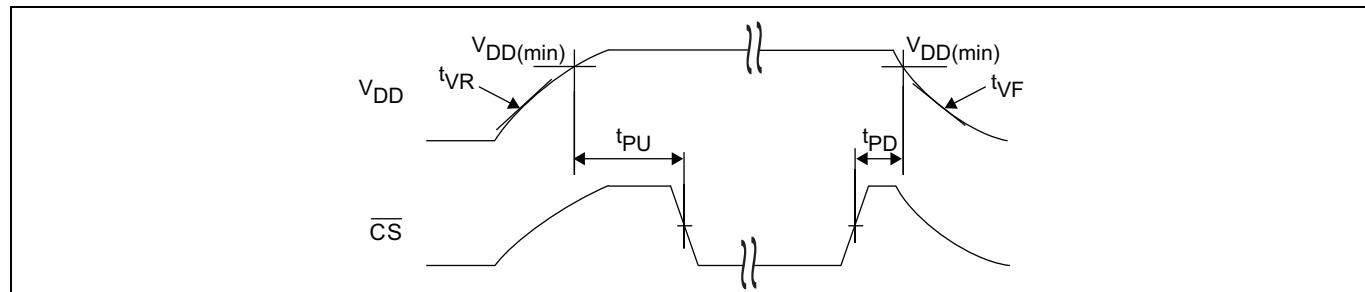


Figure 17 パワー サイクル タイミング

注:

7. V_{DD} 波形上の任意の点で測定した傾きです。

8. 設計保証です。スリープモードからの復帰タイミングについては、[Figure 14](#) を参照してください。

15 注文情報

Table 18 注文情報

製品	パッケージ図	パッケージタイプ	動作範囲
FM25V20A-G	001-85261	8 ピン SOIC	産業用
FM25V20A-GTR			産業用
FM25V20A-DG	001-85579	8 ピン DFN	産業用
FM25V20A-DGTR			産業用

これらすべての製品は鉛フリーです。在庫状況については、最寄りのインフィニオンの販売代理店にお問い合わせください。

15.1 注文コード定義



16 パッケージ図

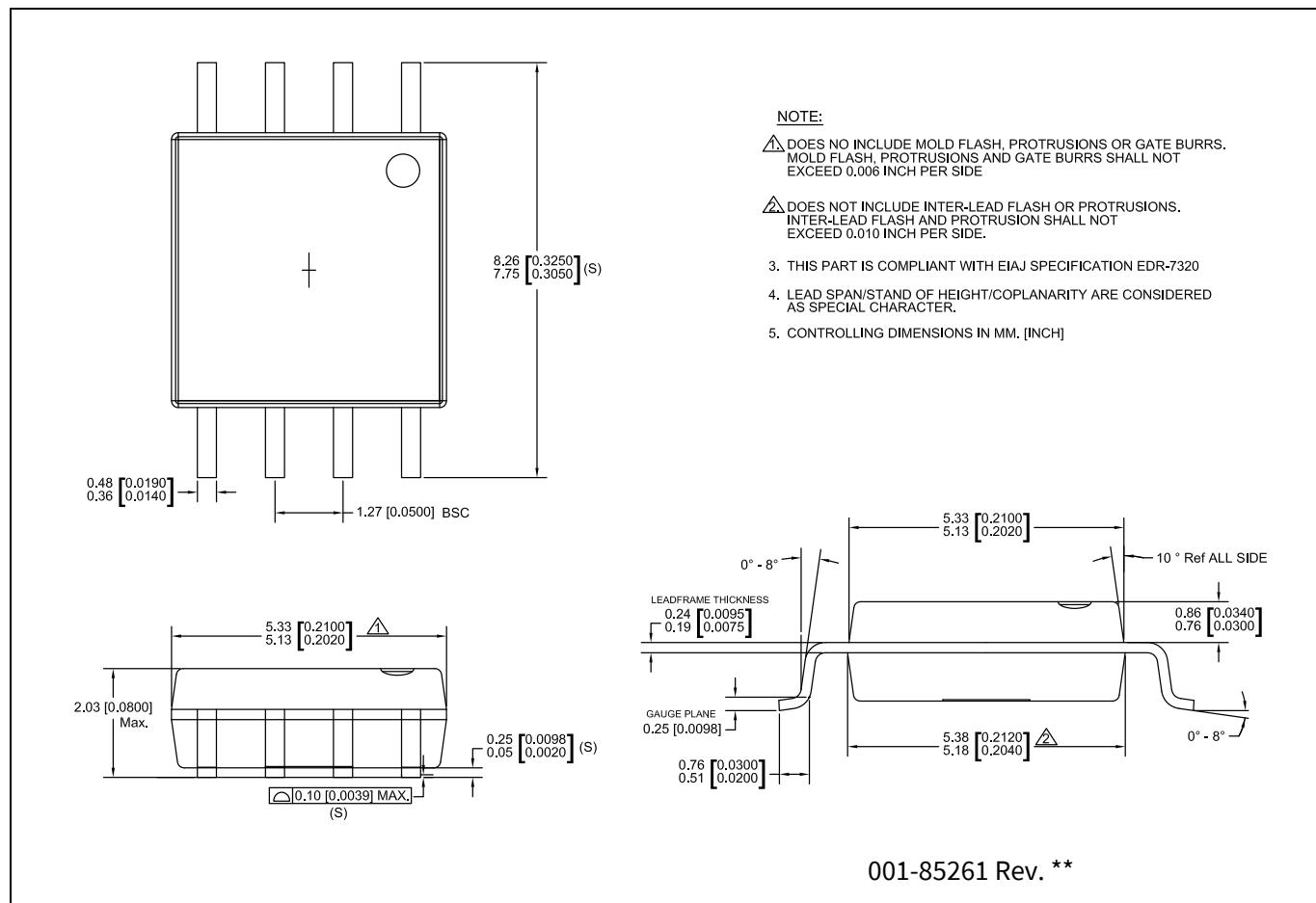


Figure 18 8 ピン SOIC (208 mil) SZ820 パッケージ外形図 (PG-DSO-8), 001-85261

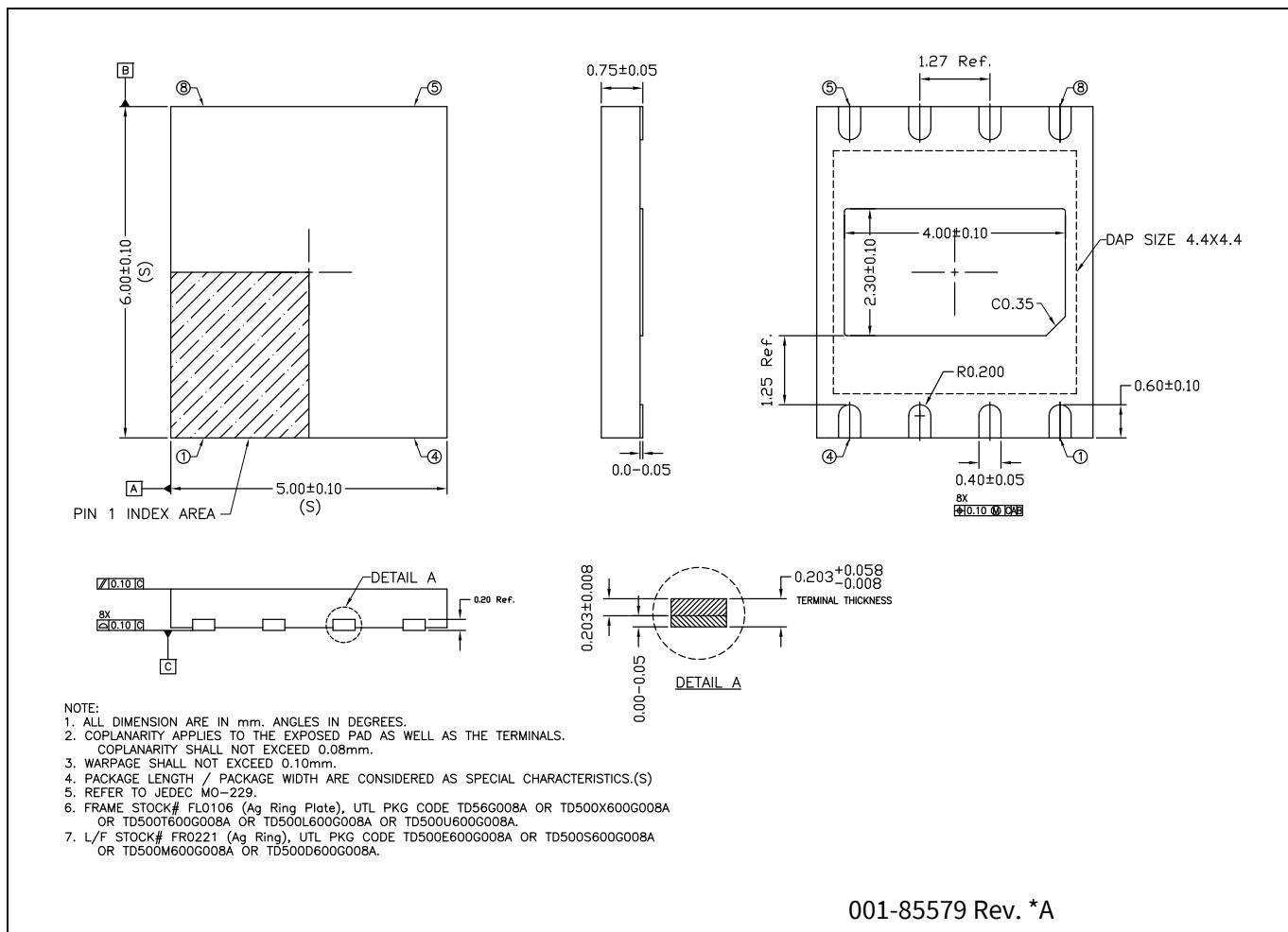


Figure 19 8 ピン DFN (5 mm × 6 mm × 0.75 mm) LH08D パッケージ外形図 (PG-USON-8), 001-85579

略語

17 略語

Table 19 本書で使用される略語

略語	説明
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電気的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダム アクセス メモリ)
I/O	Input/Output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 準拠
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアルペリフェラル インターフェース)
SOIC	Small Outline Integrated Circuit (小型集積回路)
DFN	Dual Flat No-lead (デュアル フラット ノーリード)

18 本書の表記法

18.1 測定単位

Table 20 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

版数	発行日	変更内容
**	2014-04-11	これは英語版 001-90261 Rev. ** を翻訳した日本語版 Rev. ** です。
*A	2014-01-07	これは英語版 001-90261 Rev. *A を翻訳した日本語版 Rev. *A です。
*B	2014-08-27	これは英語版 001-90261 Rev. *C を翻訳した日本語版 Rev. *B です。
*C	2017-04-20	これは英語版 001-90261 Rev. *F を翻訳した日本語版 001-92045 Rev. *C です。
*D	2020-11-17	これは英語版 001-90261 Rev. *I を翻訳した日本語版 001-92045 Rev. *D です。
*E	2024-08-05	これは英語版 001-90261 Rev. *J を翻訳した日本語版 001-92045 Rev. *E です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-08-05

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this
document?

Email:

erratum@infineon.com

Document reference
001-92045 Rev. *E

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。
本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。