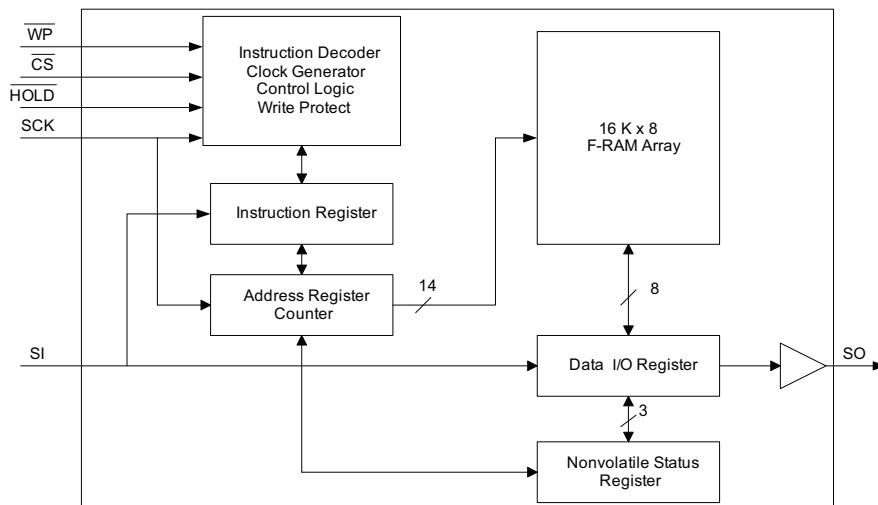


特性

- 128 Kbit 铁电性随机存储器 (F-RAM) 被逻辑组织为 $16 \text{ K} \times 8$
 - 高耐久性: 100 万亿 (10^{14}) 次的读 / 写操作
 - 151 年的数据保留时间 (请参考[数据保留时间与耐久性表](#))
 - NoDelay™ 写操作
 - 高级高可靠性的铁电工艺
- 非常快的串行外设接口 (SPI)
 - 工作频率可高达 40 MHz
 - 串行闪存和 EEPROM 的硬件直接替代
 - 支持 SPI 模式 0 (0,0) 和模式 3 (1,1)
- 精密的写入保护方案
 - 使用写保护 (WP) 引脚提供硬件保护
 - 使用写禁用指令提供软件保护
 - 可为 1/4、1/2 或整个阵列提供软件模块保护
- 器件 ID
 - 制造商 ID 和产品 ID
- 低功耗
 - 当频率为 40 MHz 时, 有效电流为 2.5 mA
 - 待机电流为 150 mA
 - 睡眠模式电流为 8 mA
- 工作电压较低: $V_{DD} = 2.0 \text{ V}$ 到 3.6 V
- 工业温度范围: -40°C 到 $+85^\circ\text{C}$
- 8 引脚小型塑封集成电路 (SOIC) 封装
- 符合有害物质限制 (RoHS)

逻辑框图

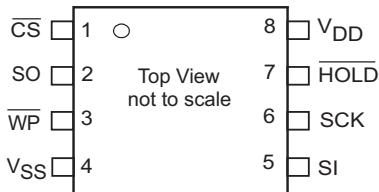


目录

引脚分布	3
引脚定义	3
概述	4
存储器架构	4
串行外设接口 — SPI总线	4
SPI概述	4
SPI模式	5
从加电到第一次访问的时间	6
指令结构	6
.....	6
WREN — 设置写使能锁存	6
WRDI — 复位写使能锁存	6
状态寄存器和写保护	7
RDSR — 读取状态寄存器	7
WRSR — 写状态寄存器	7
存储器操作	8
写操作	8
.....	8
读操作	8
快速读取操作	8
HOLD引脚操作	10
睡眠模式	10
器件ID	11
擦写次数	12
最大额定值	13
工作范围	13
直流电气特性	13
数据保留时间与耐久性	14
电容	14
热阻	14
交流测试条件	14
交流开关特性	15
电源周期时序	17
订购信息	18
订购代码定义	18
封装图	19
缩略语	20
文档规范	20
测量单位	20
文档修订记录页	21
销售、解决方案和法律信息	22

引脚分布

图 1.8 引脚 SOIC 的引脚分布



引脚定义

引脚名称	I/O 类型	说明
SCK	输入	串行时钟。 所有输入 / 输出操作与串行时钟同步。各输入被锁存在上升沿上进行，并且各输出在下降沿上进行。由于该器件是同步的，因此时钟频率的值范围为 0 到 40 MHz，可以随时中断该时钟频率。
CS	输入	芯片选择。 通过该低电平有效的输入可以激活器件。当该输入为高电平，则器件会进入低功耗待机模式，并忽略其他输入，另外输出是三态的。该输入为低电平时，器件将激活 SCK 信号。进行每一个操作码之前，CS 上必须产生下降沿。
SI^[1]	输入	串行输入。 所有数据通过该引脚传输到器件。该引脚在 SCK 的上升沿上进行采样，并且在其他时间内被忽略。应始终将该引脚驱动为有效的逻辑电平，以满足 I_{DD} 规范的要求。
SO^[1]	输出	串行输出。 这是数据输出引脚。该引脚在进行读操作时被驱动，并在其他时间内保持三态，包括 HOLD 为低电平的情况。数据传输在串行时钟的下降沿上被驱动。
WP	输入	写入保护。 当 WPEN 为 ‘1’ 时，该低电平有效引脚防止对状态寄存器进行写操作。因为其他写保护特性都是通过状态寄存器控制的，所以该性能很重要的。有关写保护的完整说明，请参考 第 7 页上的状态寄存器和写保护 。如果不使用该引脚，必须将其连接到 V_{DD} 。
HOLD	输入	HOLD 引脚。 当主机 CPU 必须中断存储器操作以进行其他操作时，会使用 HOLD 引脚。HOLD 为低电平时，当前操作将暂停。该器件忽略 SCK 或 CS 上发生的任何转换。HOLD 上的所有转换必须在 SCK 为低电平时发生。该引脚有一个内部弱上拉电阻（请参考 直流电气特性 中 R_{IN} 规范的内容）。
V_{SS}	电源	器件的接地引脚。必须连接至系统地端。
V_{DD}	电源	器件的电源输入。

注释

- 对于单引脚数据接口，可将 SI 连接到 SO。

概述

FM25V01A 是一个串行的 F-RAM 存储器。存储器阵列被逻辑组织为 $16,384 \times 8$ 位，使用工业标准的串行外设接口 (SPI) 总线可以访问它。F-RAM 和串行闪存以及串行 EEPROM 的功能操作是相同的。FM25V01A 与串行闪存或具有相同引脚分布的 EEPROM 的主要区别在于 F-RAM 具有更好的写性能、高耐久性和低功耗。

存储器架构

当访问 FM25V01A 时，用户寻址 16 K 地址的每 8 个数据位。这些 8 位数据被连续移入或移出。通过使用 SPI 协议可以访问这些地址，该协议包含一个芯片选择（用于支持总线上的多个器件）、一个操作码和一个两字节地址。该地址范围的高 2 位都是‘无需关注’的值。14 位的完整地址独立指定每个字节的地址。

FM25V01A 的大多数功能可以由 SPI 接口控制，或者通过板上电路自动处理。存储器的访问时间几乎为零，该时间小于串行协议所需要的时间。因此，该存储器以 SPI 总线的速度进行读 / 写操作。与串行闪存或 EEPROM 不同的是，不需要轮询器件的就绪条件，这是因为写操作是以总线速度进行的。新的总线数据操作移入器件前，需要完成写操作。[第 8 页上的存储器操作](#) 中详细介绍了该功能。

串行外设接口 — SPI 总线

FM25V01A 是一个 SPI 从器件，它的运行速度可达 40 MHz。该高速串行总线为 SPI 主器件提供了性能优良的串行通信。许多通用微控制器具有硬件 SPI 端口，允许直接连接。对于没有硬件 SPI 端口的微控制器，通过使用普通的端口引脚可以简单地模拟该端口。FM25V01A 在 SPI 模式 0 和模式 3 下运行。

SPI 概述

SPI 是带有芯片选择 (\overline{CS})、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚的四引脚接口。

SPI 是同步的串行接口，它使用时钟和数据引脚进行存储器访问并支持数据总线上的多个器件。使用 CS 引脚可激活 SPI 总线上的器件。

芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该器件支持 SPI 的模式 0 和模式 3。在两种模式下，数据都将在 SCK 上升沿记录到 F-RAM（从 \overline{CS} 变为有效之后的第一个上升沿）内。

SPI 协议由操作码控制。这些操作码规定了从总线主设备到从设备的所有命令。激活 \overline{CS} 以后，总线主设备传输的第一个字节便是操作码。在操作码之后，可以传输地址和数据。在完成某个操作之后，且发出新的操作码之前， \overline{CS} 必须进入无效状态。SPI 协议中的常见术语如下所示：

SPI 主设备

SPI 主设备控制 SPI 总线上的操作。SPI 总线上仅有一个主设备，但可有一个或多个从设备。所有从设备共享同一 SPI 总线。主设备可通过 \overline{CS} 引脚选择任一从设备。所有操作必须由主设备启动，主设备通过将从设备的 \overline{CS} 引脚置于低电平状态来激活从设备。主器件生成 SCK（串行时钟），SI 和 SO 线上的所有数据传输均与此时钟同步。

SPI 从设备

SPI 从设备由主设备通过片选线激活。来自 SPI 主设备的串行时钟作为从设备的输入，所有通信均与此时钟同步。SPI 从设备不会在 SPI 总线上启动通信，而仅执行主设备发出的指令。

FM25V01A 作为 SPI 从设备工作，并与其他 SPI 从设备共享 SPI 总线。

芯片选择 (\overline{CS})

要选择任一从设备，主设备必须下拉相应 \overline{CS} 引脚。仅当 \overline{CS} 引脚为低电平状态时，才能将指令发送到从设备。当未选择设备时，将忽略通过 SI 引脚的数据，同时，SO 引脚保持高阻抗状态。

注意：新指令必须从 \overline{CS} 的下降沿开始。因此，每个有效芯片选择周期内只会发送一个操作码。

串行时钟 (SCK)

串行时钟由 SPI 主设备生成，在 \overline{CS} 变为低电平后，通信将与该时钟同步。

FM25V01A 采用 SPI 模式 0 和模式 3 进行数据通信。在两种模式下，从设备在 SCK 的上升沿上锁存输入，输出在下降沿发出。因此，SCK 的第一个上升沿表示 SI 引脚上 SPI 指令已接收到第一位 (MSB)。此外，所有数据输入和输出均与串行时钟同步。

数据传输 (SI/SO)

SPI 数据总线由 SI 和 SO 两条线组成，可用于串行数据通信。SI 也称为为主出从入 (MOSI)，SO 则称为主入从出 (MISO)。主设备通过 SI 引脚将指令发送到从设备，从设备通过 SO 引脚进行响应。如上所述，多个从设备可共享 SI 和 SO 线。

FM25V01A 为 SI 和 SO 提供可连接至主设备的两个独立引脚，如图 2 所示。

对于没有专用 SPI 总线的微控制器，可以使用通用端口。为了减少微控制器上的硬件资源，可以将两个数据引脚 (SI、SO) 连接在一起并将 HOLD 和 WP 引脚置于高电平。图 3 显示了仅适用于三个引脚的配置情况。

最高有效位 (MSB)

SPI 协议要求发送的第一位为最高有效位 (MSB)。该条件对地址和数据传输均有效。

128 Kbit 串行 F-RAM 需要一个 2 字节的地址才能执行读取和写入操作。由于地址只有 14 位，所以器件会忽略所载入的高 2 位。虽然无需关注的高 2 位，但赛普拉斯建议将这些位设置为 0，以通过无缝切换实现更高存储容量。

串行操作码

若在 \overline{CS} 处于低电平状态时选中从设备，接收到的第一字节将作为既定操作的操作码。FM25V01A 使用标准操作码访问存储器。

无效操作码

如果收到无效的操作码，该操作码将被忽略。器件将忽略在 SI 引脚上的任何额外串行数据，直到 \overline{CS} 的下一个下降沿，与此同时，SO 引脚保持三态。

状态寄存器

FM25V01A有一个8位的状态寄存器。状态寄存器中的各位用于配置SPI总线。第7页中的表3对这些位进行了说明。

图2. 使用 SPI 端口进行系统配置

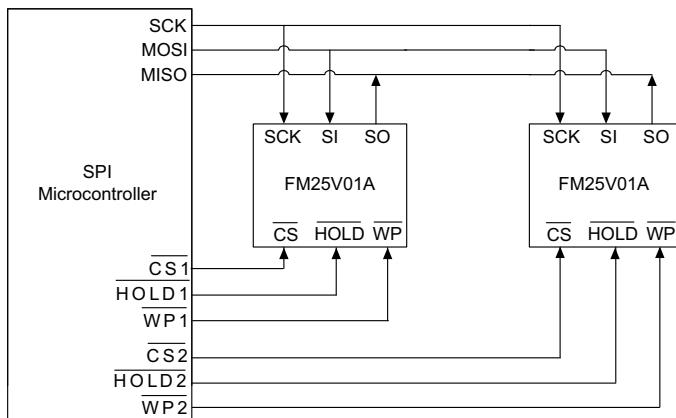
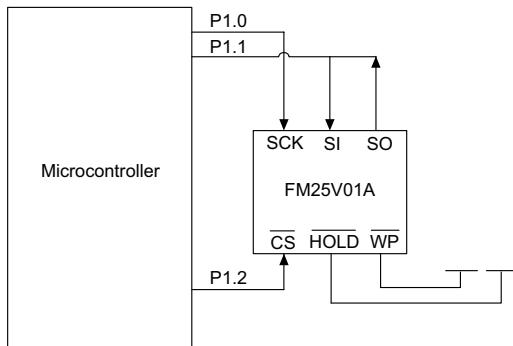


图3. 不使用 SPI 端口进行系统配置



SPI 模式

FM25V01A可由微控制器进行驱动，该控制器的SPI外围器件可运行于下列任一模式：

- SPI模式0 (CPOL = 0, CPHA = 0)
- SPI模式3 (CPOL = 1, CPHA = 1)

在两种模式下，均在SCK的上升沿上锁存输入数据（该上升沿是从CS变为有效之后的第一个上升沿）。如果时钟从高电平状态启动（在模式3中），则采用时钟触发后的第一个上升沿。输出数据在SCK的下降沿上有效。两种SPI模式分别在图4和第6页上的图5中显示。当总线主设备不传输数据时，时钟的状态为：

- 在模式0下，串行时钟保持为0。
- 在模式3下，串行时钟保持为1。

当器件通过将CS引脚置为低电平状态而被选中时，该器件将通过SCK引脚状态检测出SPI模式。如果选择器件时SCK引脚处于低电平状态，则采用SPI模式0。如果SCK引脚处于高电平状态，将在SPI模式3下工作。

图4. SPI模式0

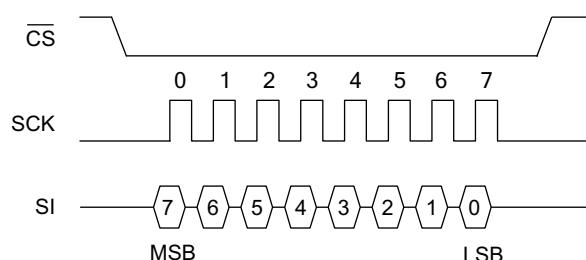
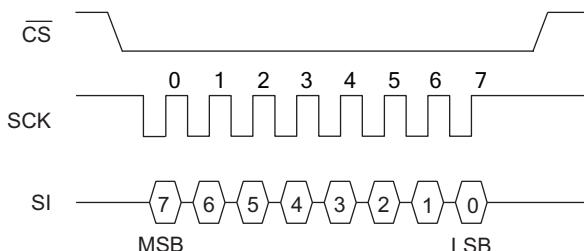


图 5. SPI 模式 3



从加电到第一次访问的时间

加电后，在 t_{PU} 时间内，不能访问 FM25V01A。用户必须遵守时序参数 t_{PU} ，该参数是从 V_{DD} （最小）到第一次 **CS** 为低电平的时间。

指令结构

有九个称为操作码的指令，总线主设备可以将这些指令发送到 FM25V01A。在表 1 中列出了这些操作码。它们控制存储器执行的各项功能。

表 1. 操作码指令

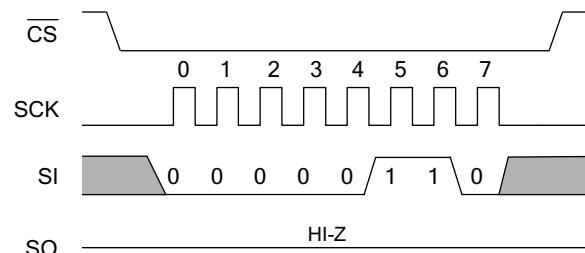
名称	说明	操作码
WREN	置位写入使能锁存	0000 0110b
WRDI	复位写入使能锁存	0000 0100b
RDSR	读取状态寄存器	0000 0101b
WRSR	写入状态寄存器	0000 0001b
READ	读取存储器数据	0000 0011b
FSTRD	快速读取存储器数据	0000 1011b
WRITE	写入存储器数据	0000 0010b
SLEEP	进入睡眠模式	1011 1001b
RDID	读取器件 ID	1001 1111b

WREN — 设置写使能锁存

FM25V01A 加电时将禁止写操作。在进行任何写操作前，都必须发送 WREN 指令。发送 WREN 操作码后，用户可以发送后续操作码，用于写操作，包括写状态寄存器（WRSR）和写存储器（WRITE）。

发送 WREN 操作码后，将内部写使能锁存设置。状态寄存器中的标志位（名称为 WEL）表示锁存的状态。WEL = ‘1’ 表示可以进行写操作。尝试写状态寄存器中的 WEL 位不会影响到该位的状态 — 这是因为只有 WREN 操作码才能设置该位。进行 WRDI、WRSR 或 WRITE 写操作后，WEL 位将在 CS 的上升沿上自动清除。这样可阻止对状态寄存器或 F-RAM 阵列进行其他写操作而不使用另一个 WREN 指令。图 6 显示的是 WREN 指令总线配置。

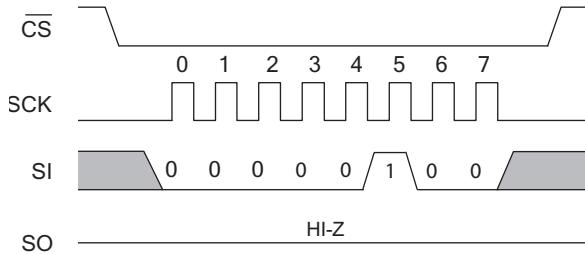
图 6. WREN 总线配置



WRDI — 复位写使能锁存

WRDI 指令通过清除写使能锁存来禁用所有写操作。通过读取状态寄存器中的 WEL 位和验证 WEL 为 ‘0’，用户可以验证各写操作已被禁用。图 7 显示的是 WRDI 指令的总线配置。

图 7. WRDI 总线配置



状态寄存器和写保护

FM25V01A 的写保护特性是多层次的，并通过状态寄存器使能。状态寄存器的组织如下所示（状态寄存器中各位的出厂默认值是‘0’）。

表 2. 状态寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
WPEN (0)	X (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. 状态寄存器位定义

位	定义	说明
位 0	无需关注	该位是不可写的，且读取时始终返回‘0’。
位 1 (WEL)	写入使能	WEL 指示器件是否使能写入。加电时，该位默认为‘0’（禁用）。 WEL = ‘1’ --> 使能写操作 WEL = ‘0’ --> 禁用写操作
位 2 (BP0)	模块保护位‘0’	用于保护模块有关详细信息，请参见表 4。
位 3 (BP1)	模块保护位‘1’	用于保护模块有关详细信息，请参见表 4。
位 4-6	无需关注	这些位都是不可写的，且读取时始终返回‘0’。
位 7 (WPEN)	写保护使能位	用于使能写保护引脚 (<u>WP</u>) 的功能。有关详细信息，请参见表 5。

位 0 和位 4-6 的固定值为‘0’；不能修改这些位的值。请注意，不需要位 0（串行闪存和 EEPROM 中的“就绪或正在进行写过程”位），由于 F-RAM 在实时中进行写操作并不处于繁忙状态，因此读取它时始终返回‘0’。器件从睡眠模式唤醒的情况属于例外，具体在[第 10 页上的睡眠模式](#)中进行介绍。BP1 和 BP0 控制软件保护特性，这两位为非易失性位。WEL 标志指出了写使能锁存的状态。尝试直接写入状态寄存器中的 WEL 位不会对其状态产生影响。该位由 WREN 指令内部置位，并分别由 WRDI 和 WRDI 指令清除。

BP1 和 BP0 是存储器模块的写保护位。它们指定受写保护的存储器部分，如表 4 中所示。

表 4. 模块存储器的写保护

BP1	BP0	保护地址范围
0	0	无
0	1	3000h 到 3FFFh (高 1/4)
1	0	2000h 到 3FFFh (高 1/2)
1	1	0000h 到 3FFFh (全部)

BP1 和 BP0 位，以及写使能锁存是阻止写入存储器的唯一机制。其他写保护特性防止对模块保护位进行无意更改。

状态寄存器中的写保护使能位 (WPEN) 控制硬件写保护 (WP) 引脚的效果。WPEN 位为‘0’时，WP 引脚的状态将被忽略。如果 WPEN 位为‘1’，WP 引脚为低电平时将禁止写入状态寄存器。因此，只有 WPEN = ‘1’ 和 WP = ‘0’ 时，状态寄存器才受写保护。

表 5 汇总了写保护条件。

表 5. 写保护

WEL	WPEN	WP	受保护的模块	无保护的模块	状态寄存器
0	X	X	受保护	受保护	受保护
1	0	X	受保护	无保护	无保护
1	1	0	受保护	无保护	受保护
1	1	1	受保护	无保护	无保护

RDSR — 读取状态寄存器

通过使用 RDSR 指令，总线主设备可以验证状态寄存器中的内容。读取状态寄存器后可以了解写保护特性的当前状态。执行 RDSR 操作码后，FM25V01A 将返回一个字节，包括状态寄存器的内容。

WRSR — 写状态寄存器

WRSR 指令允许 SPI 总线主设备写入状态寄存器并通过根据要求设置 WPEN、BP0 和 BP1 位修改写保护配置。在发送 WRSR 指令前，WP 引脚必须为高电平或无效。请注意，在 FM25V01A 上，WP 仅防止写入状态寄存器而不能防止写入存储器阵列。发送 WRSR 指令前，用户必须发送 WREN 指令来使能写操作。执行 WRSR 指令就是执行一个写操作，因此可以清除写使能锁存。

图 8. RDSR 总线配置

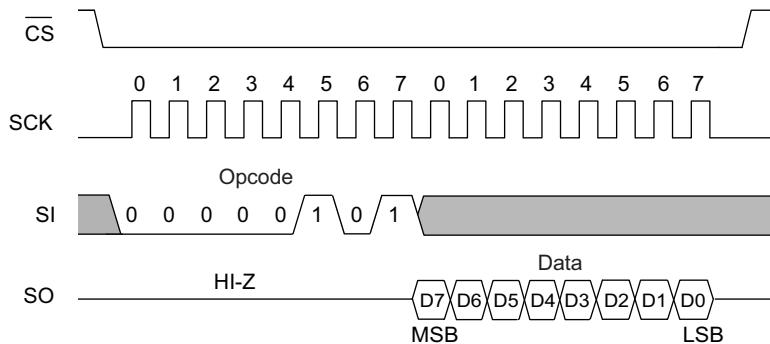
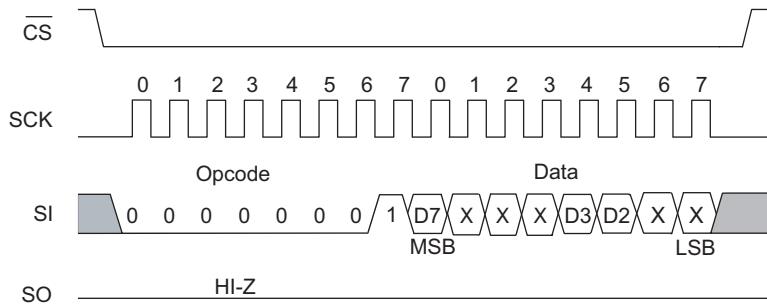


图 9. WRSR 总线配置 (不显示 WREN)



存储器操作

可接受高时钟频率的 SPI 接口体现 F-RAM 技术的快速写能力。与串行闪存和 EEPROM 不同，FM25V01A 能以总线速度执行连续写操作。无需任何页寄存器，仍能够执行所有连续写操作数。

写操作

对存储器进行的所有写操作都由 WREN 操作码开始，这时将依次确认和取消确认 CS。下一个操作码是 WRITE。WRITE 操作码后面是一个两字节的地址，该地址包含了将写入到存储器的第一个数据字节的 14 位地址 (A13-A0)。两字节地址的高 2 位被忽略。后续字节是连续写入的数据字节。如果总线主设备继续发送时钟并保持 CS 为低电平，则各地址将内部递增。如果达到最后地址 3FFFh，计数器将翻转到 0000h。优先写入最高有效位。CS 的上升沿终止了写操作。写操作在图 10 中显示。

注意：突发写操作达到保护模块地址时，自动地址递增将停止，而且器件将忽略写操作所接受的所有后续数据字节。

EEPROM 使用页面缓冲器来增加它们的写吞吐量。这样将可以补偿技术的慢速写操作。F-RAM 存储器没有页面缓冲器，因为在每个字节定时后（在第八个时钟后面），它将立即被写入到 F-RAM 阵列内。这样可以写入任何字节数量而无需页面缓冲器延迟。

注意：如果写操作过程中断电，那么只有最后完成的字节被写入。

读操作

CS 的下降沿后，总线主设备将发送一个 READ 操作码。READ 指令后面是一个两字节地址，该地址包含读操作第一个字节的 14 位地址 (A13-A0)。两字节地址的高 2 位被忽略。发送操作码和地址后，在随后的八个时钟内设备将输出读数据。在驱动读取数据字节期间，SI 输入被忽略。后续字节是连续读取的数据字节。如果总线主设备继续发送时钟并保持 CS 为低电平，各地址将内部递增。如果达到最后地址 3FFFh，计数器将翻转到 0000h。优先读取最高有效位。CS 的上升沿终止读操作并使 SO 引脚处于三态。在图 11 中显示的是读操作。

快速读取操作

FM25V01A 支持 FAST READ 操作码 (0Bh)，用于与串行闪存器件相兼容的代码。跟着 FAST READ 指令是一个 2 字节地址（该地址包含读操作第一个字节的 14 位地址 (A13 到 A0) 和一个虚拟字节）。虚拟字节插入一个 8 时钟周期的读延迟。快速读操作与普通的读操作相同，但它需要另一个虚拟字节。收到操作码、地址和虚拟字节后，FM25V01A 开始在 SO 线上驱动数据字节，优先驱动最高有效位。如果器件被选择并且时钟有效，则将继续进行发送。进行批量读取时，内部地址计数器将自动递增，另外，在达到最后地址 3FFFh 后，计数器将翻转为 0000h。当器件在 SO 线上驱动数据时，SI 线上的转换将被忽略。CS 的上升沿终止快速读操作并使 SO 引脚处于三态。快速读操作在图 12 中显示。

图 10. 存储器写 (WREN 不显示) 操作

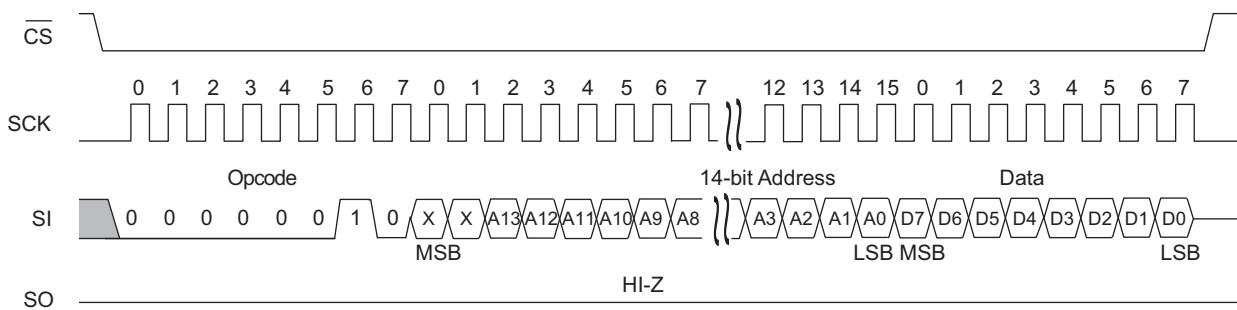


图 11. 存储器读操作

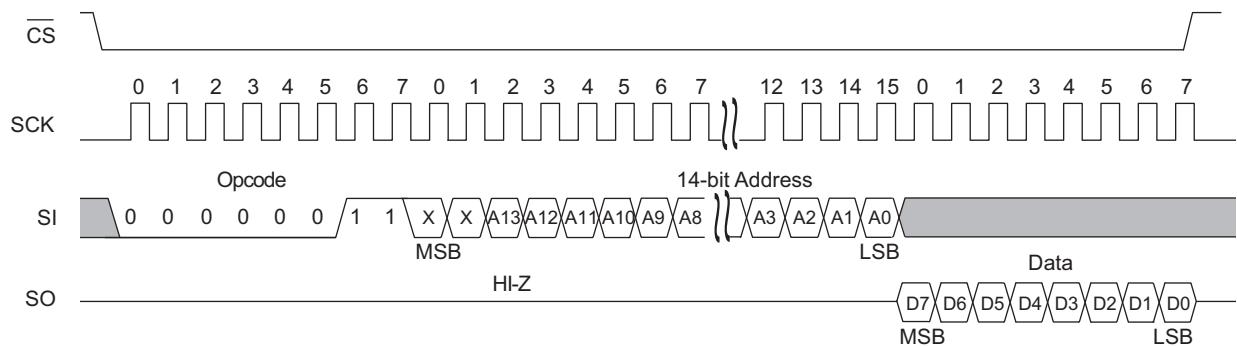
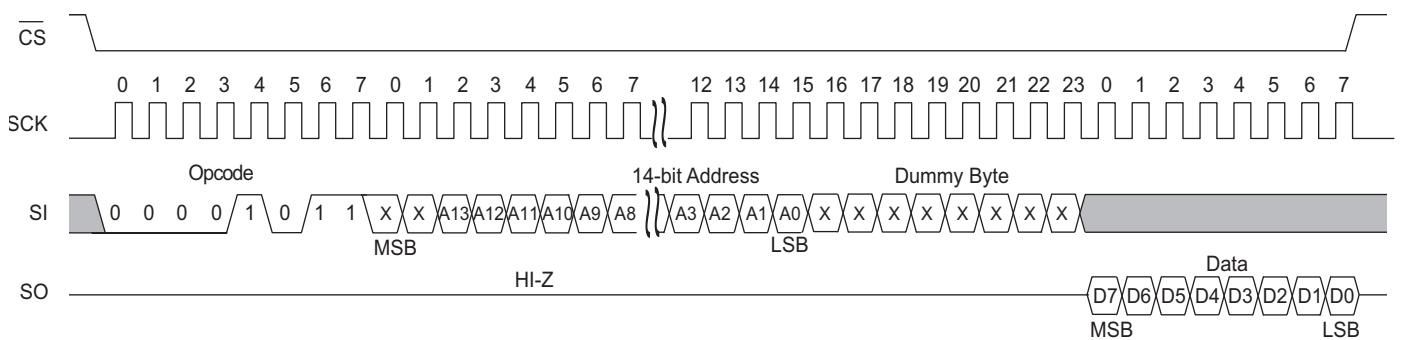


图 12. 快速读操作

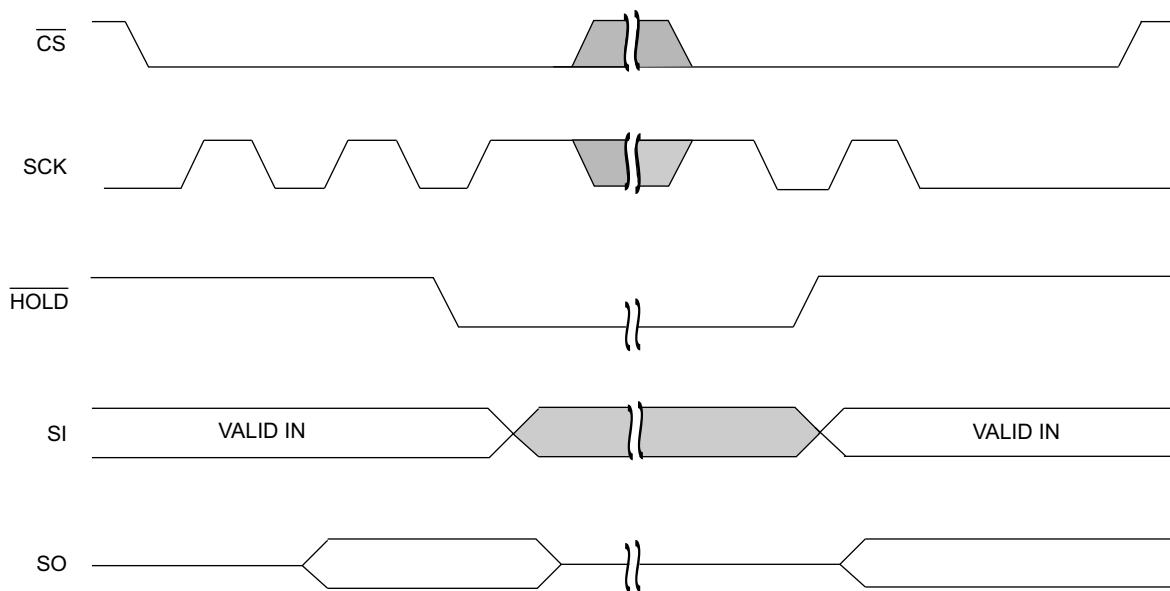


HOLD 引脚操作

通过使用 HOLD 引脚可以中断一个串行操作而不需要中止它。SCK 为低电平时，如果总线主设备将 HOLD 引脚置于低电平，那

么当前操作将暂停。如果总线主设备将 HOLD 引脚置于高电平，将恢复一个操作。HOLD 切换必须在 SCK 为低电平时进行，但 SCK 和 CS 引脚可以在保持状态期间进行切换。

图 13. HOLD 操作 [2]

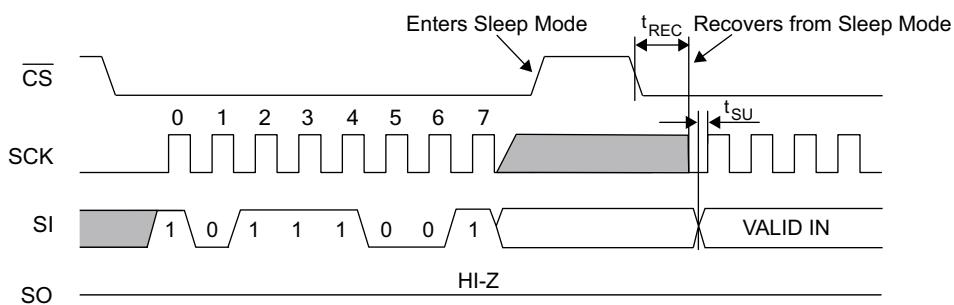


睡眠模式

低功耗的睡眠模式可以在 FM25V01A 器件上实现。当收到 SLEEP 操作码 B9h 后的 CS 上升沿时，器件将进入低功耗状态。一旦处于睡眠模式，将忽略 SCK 和 SI 引脚，并且将 SO 引脚置于高阻态 (HI-Z)，但是器件仍继续监控 CS 引脚。在 CS 的下一个下

降过程中，在 t_{REC} 时间内，器件将返回普通操作。在唤醒周期内，SO 引脚保持高阻态 (HI-Z)。这时，器件不需要响应操作码。要启动一个唤醒流程，控制器将发送一个“虚拟”读操作（作为一个示例）并等待余下的 t_{REC} 时间。

图 14. 睡眠模式操作



注释

2. 图 13 显示的是输入和输出模式的 HOLD 操作。

器件 ID

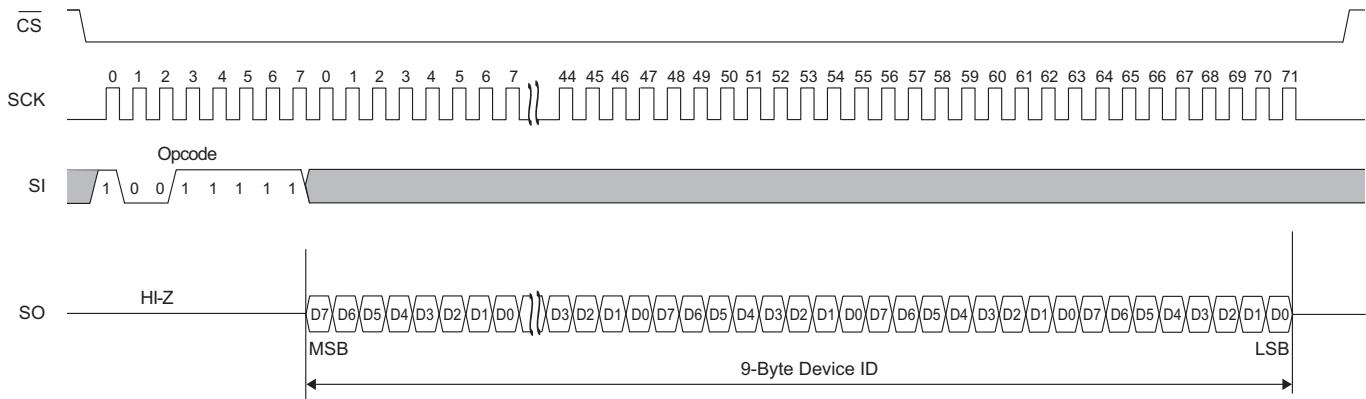
可以询问 FM25V01A 器件的制造商、产品标识和晶元版本。通过使用 RDID 操作码 9Fh，用户可以读取制造商 ID 和产品 ID，这两个 ID 都是只读字节。JEDEC 分配制造商 ID 将赛普拉斯

(Ramtron) 标识符放置在数据库 7 内，因此连续的六个字节的代码 7Fh 后是一个字节 C2h。产品 ID 的长度为两个字节，包括系列代码、容量代码、子代码和产品版本代码。

表 6. 器件 ID

器件 ID (9 个字节)	器件 ID 说明					
	71–16 (56 位)	15–13 (3 位)	12–8 (5 位)	7–6 (2 位)	5–3 (3 位)	2–0 (3 位)
	制造商 ID	产品 ID				
7F7F7F7F7FC22108h	0111111101111111011111110111 111101111110111111111000010	001	00001	00	001	000

图 15. 读取器件 ID



擦写次数

可以对 FM25V01A 器件进行至少 10^{14} 次读或写访问。F-RAM 存储器以读和恢复机制运行。因此，对存储器阵列进行（读或写）访问时，行基础采用耐久性周期。F-RAM 架构是基于一个包括行和列阵列的，每列有 2K 行，每行有 64 位。对单字节或所有八个字节进行读或写访问时，整个行仅进行一次内部访问。在计算耐久性时，行中的每个字节只被计算一次。表 7 显示的是 64 字节重复循环的耐久性计算，包括一个操作码、起始地址和一个连续 64 字节数据流。这样，通过该循环每个字节需要经过一个耐久性周期。

表 7. 重复 64 字节环路达到耐久极限所需的时间

SCK 频率 (MHz)	耐久性周期 / 秒	耐久性周期 / 年	达到极限所需的年数
40	74,620	2.35×10^{12}	42.6
20	37,310	1.18×10^{12}	85.1
10	18,660	5.88×10^{11}	170.2
5	9,330	2.94×10^{11}	340.3

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存储温度	-55 °C 至 +125 °C
最高结温	95 °C
V _{DD} 上的供电电压相对于 V _{SS}	-1.0 V 到 +4.5 V
输入电压	-1.0 V 到 +4.5 V, 以及 V _{IN} < V _{DD} + 1.0 V
直流电压应用在 高阻 (High Z) 状态下的输出	-0.5 V ~ V _{DD} + 0.5 V
处于接地电位的任何引脚上的 瞬变电压 (< 20 ns)	-2.0 V 到 V _{DD} + 2.0 V
封装功率散耗能力 (T _A = 25 °C)	1.0 W

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 [3]	最大值	单位
V _{DD}	电源		2.0	3.3	3.6	V
I _{DD}	V _{DD} 供电电流	SCK 在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入 V _{SS} 或 V _{DD} - 0.2 V。SO = 打开。	f _{SCK} = 40 MHz f _{SCK} = 1 MHz	— —	2.5 0.22	mA
I _{SB}	V _{CC} 待机电流	CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	—	90	150	μA
I _{ZZ}	睡眠模式电流	CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	—	5	8	μA
I _{LI}	输入漏电流 (不包括 HOLD)	V _{SS} ≤ V _{IN} ≤ V _{DD}	-1	—	+1	μA
	输入漏电流 (用于 HOLD)		-100	—	+1	μA
I _{LO}	输出漏电流	V _{SS} ≤ V _{OUT} ≤ V _{DD}	-1	—	+1	μA
V _{IH}	输入高电压		0.7 × V _{DD}	—	V _{DD} + 0.3	V
V _{IL}	输入低电平电压		-0.3	—	0.3 × V _{DD}	V
V _{OH1}	输出高电平电压	I _{OH} = -1 mA, V _{DD} = 2.7 V	2.4	—	—	V
V _{OH2}	输出高电平电压	I _{OH} = -100 μA	V _{DD} - 0.2	—	—	V
V _{OL1}	输出低电平电压	I _{OL} = 2 mA, V _{DD} = 2.7 V	—	—	0.4	V
V _{OL2}	输出低电平电压	I _{OL} = 150 μA	—	—	0.2	V
R _{in} ^[4]	输入电阻 (HOLD)	V _{IN} = V _{IL} (最大值)	800	—	—	kΩ
		V _{IN} = V _{IH} (最小值)	30	—	—	kΩ

注释

3. 典型值要求条件为：环境温度为 25 °C, V_{DD} = V_{DD} (典型值)。并未经过 100% 测试。
4. 当输入电压超过 V_{IH} 时，输入上拉电路为强 (30 kΩ)；输入电压低于 V_{IL} 时，则该电路为弱 (800 kΩ)。

表面组装铅焊温度 (3 秒)	+260 °C
直流输出电流 (每次只输出 1 路电流, 持续时间 1 秒)	15 mA
静电放电电压	
人体模型 (JEDEC Std JESD22-A114-B)	2 kV
充电器件模型 (JEDEC 标准 JESD22-C101-A)	500 V
栓锁电流	> 140 mA

工作范围

范围	环境温度 (T _A)	V _{DD}
工业级	-40°C 至 +85°C	2.0 V 至 3.6 V

数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	$T_A = 85^\circ\text{C}$	10	—	年
		$T_A = 75^\circ\text{C}$	38	—	
		$T_A = 65^\circ\text{C}$	151	—	
NV_C	擦写次数	在工作温度范围内	10^{14}	—	周期

电容

参数 [5]	说明	测试条件	最大值	单位
C_O	输出引脚电容 (SO)	$T_A = 25^\circ\text{C}, f = 1 \text{ MHz}, V_{DD} = V_{DD}$ (典型值)	8	pF
C_I	输入引脚电容		6	pF

热阻

参数	说明	测试条件	8 引脚 SOIC	单位
Θ_{JA}	热阻 (结温)	根据 EIA/JESD51 的要求, 测试条件应遵循热阻 的标准测试方法和过程。	146	°C/W
Θ_{JC}	热阻 (壳温)		48	°C/W

交流测试条件

- 输入脉冲电平 V_{DD} 的 0% 和 90%
 输入上升和下降时间 3 ns
 输入和输出时序参考电平 $0.5 \times V_{DD}$
 输出负载电容 30 pF

注释

5. 该参数定期采样并未经过 100% 测试。

交流开关特性

在工作范围内

参数 ^[6]		说明	$V_{DD} = 2.0\text{ V}$ 至 3.6 V		$V_{DD} = 2.7\text{ V}$ 至 3.6 V		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
t_{SCK}	-	SCK 时钟频率	0	25	0	40	MHz
t_{CH}	-	时钟为高电平的时间	18	-	11	-	ns
t_{CL}	-	时钟为低电平的时间	18	-	11	-	ns
t_{CSU}	t_{CSS}	芯片选择建立时间	12	-	10	-	ns
t_{CSH}	t_{CSH}	芯片选择保持时间	12	-	10	-	ns
$t_{OD}^{[7, 8]}$	t_{HZCS}	输出禁用时间	-	20	-	12	ns
t_{ODV}	t_{CO}	输出数据有效的时间	-	16	-	9	ns
t_{OH}	-	输出保持时间	0	-	0	-	ns
t_D	-	取消选择时间	60	-	40	-	ns
$t_R^{[9, 10]}$	-	数据在上升沿上的时间	-	50	-	50	ns
$t_F^{[9, 10]}$	-	数据在下降沿上的时间	-	50	-	50	ns
t_{SU}	t_{SD}	数据建立时间	8	-	5	-	ns
t_H	t_{HD}	数据保持时间	8	-	5	-	ns
t_{HS}	t_{SH}	HOLD 建立时间	12	-	10	-	ns
t_{HH}	t_{HH}	HOLD 保持时间	12	-	10	-	ns
$t_{HZ}^{[7, 8]}$	t_{HZ}	HOLD 为低电平到输出高阻的时间	-	25	-	20	ns
$t_{LZ}^{[8]}$	t_{HLZ}	HOLD 从高电平到数据有效的时间	-	25	-	20	ns

注释

6. 假设测试条件为：信号切换时间不超过 3 ns，时序参考电平为 $0.5 \times V_{DD}$ ，输入脉冲电平为 V_{DD} 的 10% 至 90%，以及指定 I_{OL}/I_{OH} 的输出负载和 30 pF 负载电容，如 [交流测试条件](#) 中所示。
7. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。转换的测量条件为输出处于高阻态。
8. 作为特征但未经过 100% 的生产测试。
9. 上升时间和下降时间在波形幅度的 10% 和 90% 之间测量。
10. 这些参数由设计保证，但未进行过测试。

图 16. 同步数据时序（模式 0）

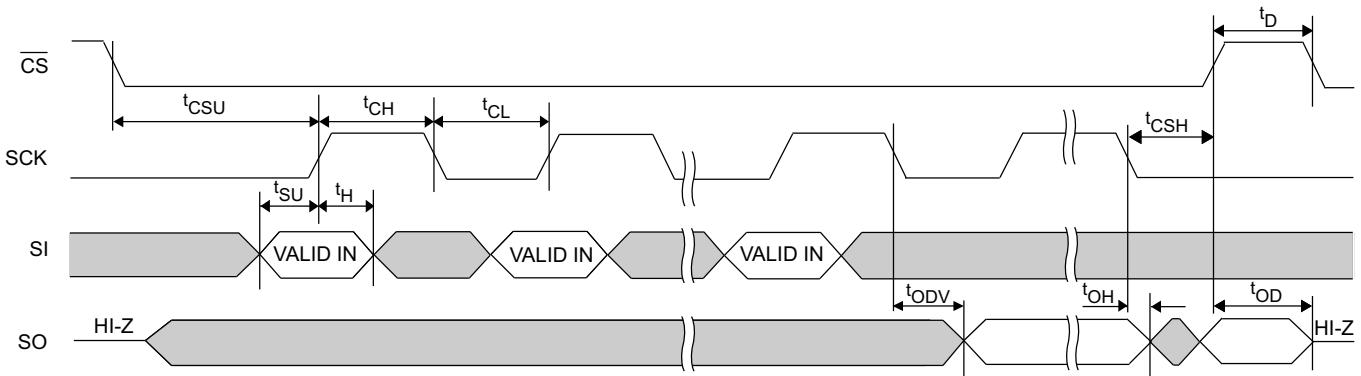
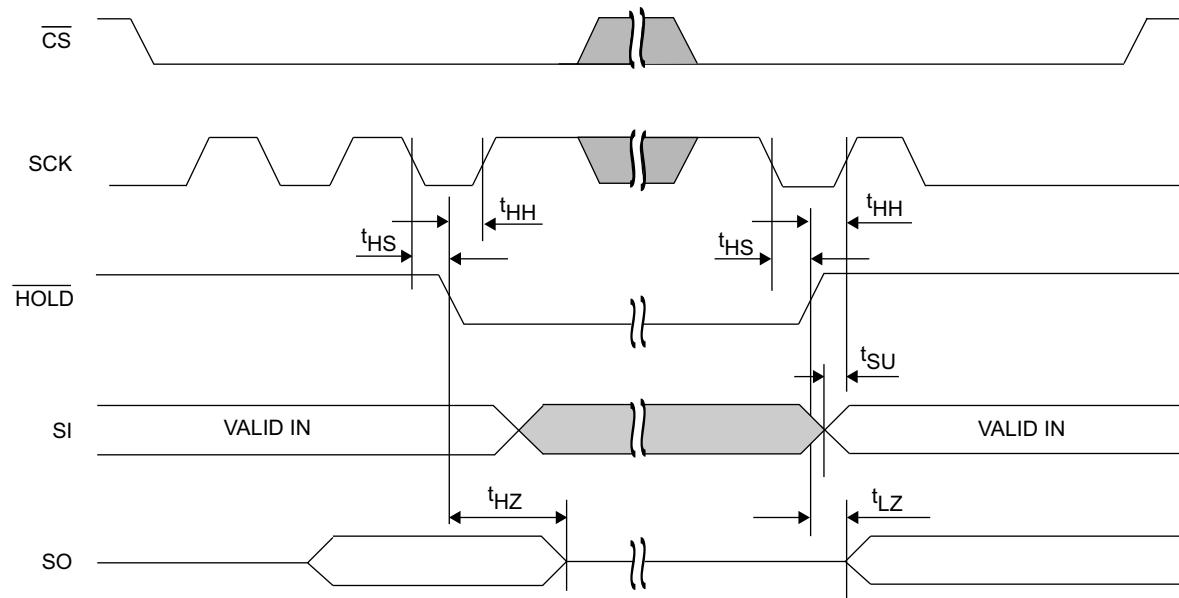


图 17. $\overline{\text{HOLD}}$ 时序

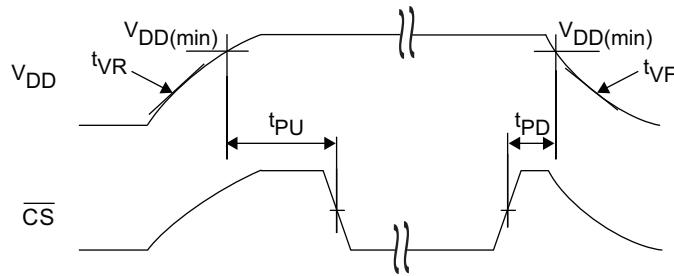


电源周期时序

在工作范围内

参数	说明	最小值	最大值	单位
t_{PU}	从加电 V_{DD} (最小) 到第一次访问 (\overline{CS} 为低电平) 的时间	250	-	μs
t_{PD}	从最后一次访问 (\overline{CS} 为高电平) 到断电 (V_{DD} (最小)) 的时间	0	-	μs
$t_{VR}^{[11, 12]}$	V_{DD} 加电升降斜率	50	-	$\mu s/V$
$t_{VF}^{[11, 12]}$	V_{DD} 断电升降斜率	100	-	$\mu s/V$
$t_{REC}^{[13]}$	从睡眠模式恢复的时间	-	400	μs

图 18. 电源周期时序



注释

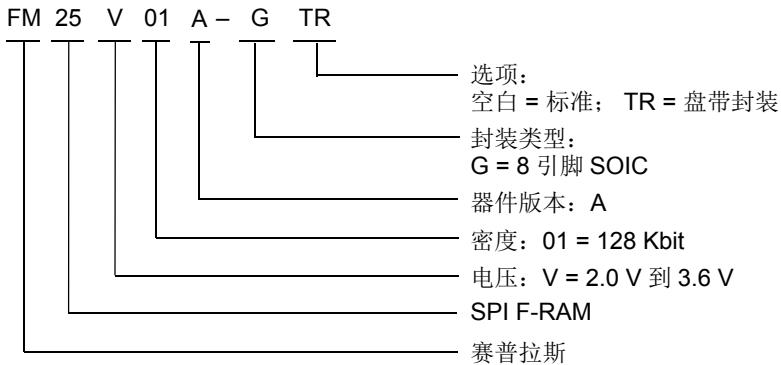
11. 在 V_{DD} 波形上的任何位置进行测量斜率。
12. 这些参数由设计保证，但未进行过测试。
13. 有关睡眠模式恢复时序的详细信息，请参见图 14。

订购信息

订购代码	封装图	封装类型	工作范围
FM25V01A-G	51-85066	8 引脚 SOIC	行业级

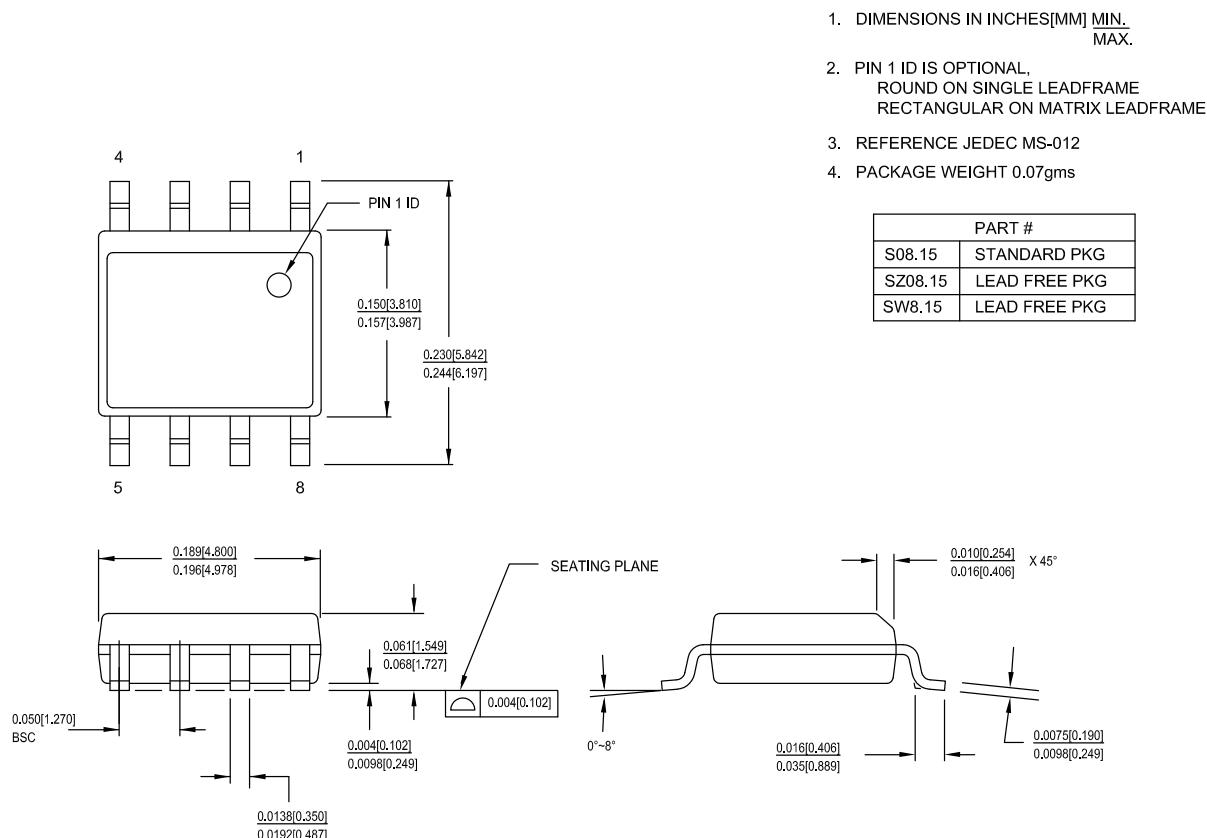
这些芯片都是无铅的。要了解这些芯片的供应情况,请联系赛普拉斯本地销售代表。

订购代码定义



封装图

图 19. 8 引脚 SOIC (150 mils) 封装外形, 51-85066



51-85066 *H

缩略语

缩略语	说明
CPHA	时钟相位
CPOL	时钟极性
EEPROM	上电时可擦除的可编程只读存储器
EIA	电子工业联盟
F-RAM	铁电随机存取存储器
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
JESD	JEDEC 标准
LSB	最低有效位
MSB	最高有效位
RoHS	有害物质限制
SPI	串行外设接口
SOIC	小型塑封集成电路

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧
Kbit	千位
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: FM25V01A, 128 Kbit (16 K × 8) 串行 (SPI) F-RAM

文档编号: 001-93809

版本	ECN 编号	变更者	提交日期	更改说明
**	4478635	SNYQ	09/12/2014	本文档版本号为 Rev**, 译自英文版 001-90881 Rev*A。
*A	5563061	GVCH	12/29/2016	更新第 17 页的 tPU, 将 1ms 更新为 250μs。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器

汽车级

时钟与缓冲器

接口

物联网

照明和电源控制

存储器

PSoC

触摸感应

USB 控制器

无线 / 射频

cypress.com/arm

cypress.com/automotive

cypress.com/clocks

cypress.com/interface

cypress.com/iot

cypress.com/powerpsoc

cypress.com/memory

cypress.com/psoc

cypress.com/touch

cypress.com/usb

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2014-2016年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。