

PowerSnooze™ およびエラー訂正コード (ECC) 内蔵 4M ビット (256K ワード × 16 ビット) スタティック RAM

特長

- 高速
 - アクセス時間 (t_{AA}) = 10ns / 15ns
- 超低消費電力ディープスリープ (DS) 電流
 - $I_{DS} = 15\mu A$
- 低いアクティブおよびスタンバイ電流
 - アクティブ電流 $I_{CC} = 38mA$ (Typ)
 - スタンバイ電流 $I_{SB2} = 6mA$ (Typ)
- 広い動作電圧範囲: 1.65V ~ 2.2V, 2.2V ~ 3.6V, 4.5V ~ 5.5V
- シングル ビット エラー訂正用の内蔵 ECC^[1]
- 1.0V データ保持
- TTL 互換の入出力
- 1 ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 44 ピン TSOP II および鉛フリー 48 ボール VFBGA で出荷

機能説明

CY7S1041G は、256K ワード × 16 ビットで構成される、高性能 PowerSnooze™ 搭載のスタティック RAM です。このデバイスは高速アクセス時間 (10ns) および独自の超低消費電力ディープスリープ モードに対応しています。最大 $15\mu A$ のディープスリープ モード時の電流により、CY7S1041G / CY7S1041GE デバイスは高速 SRAM と低消費電力 SRAM の優位点を業界標準のパッケージ オプションに統合しています。デバイスはまた、アクセスした位置でシングル ビット エラーを検出して訂正する内蔵 ECC ロジックを備えています。

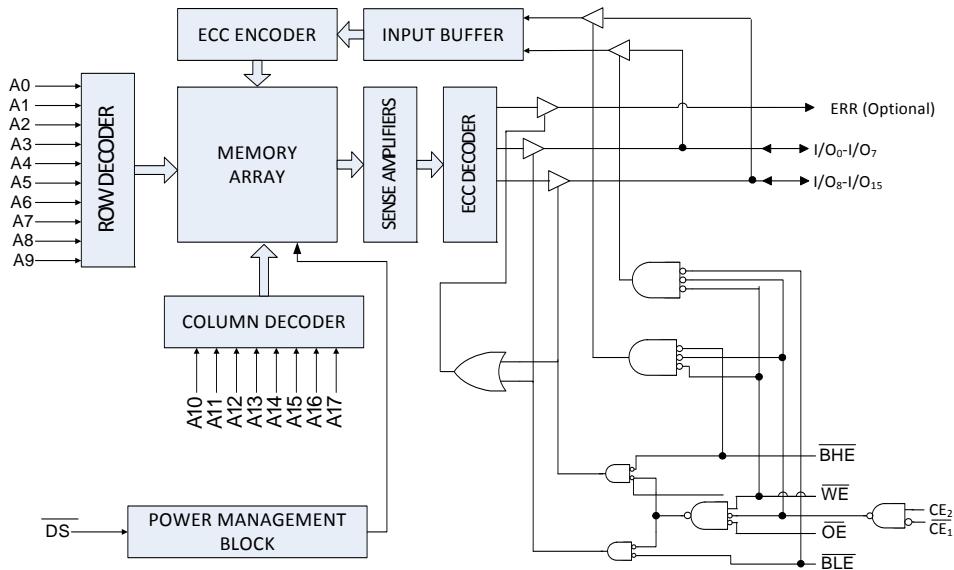
通常動作モードのために、ディープスリープ入力 (\overline{DS}) を HIGH にしてアサート停止する必要があります。

製品ポートフォリオ

プロダクト ^[2]	範囲	V_{CC} の範囲 (V)	速度 (ns)	消費電力					
				I_{CC} 動作、(mA) $f = f_{max}$		スタンバイ、 I_{SB2} (mA)		ディープスリープ 電流 (μA)	
				Typ ^[3]	Max	Typ ^[3]	Max	Typ ^[3]	Max
CY7S1041G(E)18	産業用	1.65V ~ 2.2V	15	—	40	6	8	—	15
CY7S1041G(E)30		2.2V ~ 3.6V	10	38	45				
CY7S1041G(E)		4.5 ~ 5.5V	10	38	45				

注:

1. このデバイスは、エラー検出機能の自動再書き込みに対応していません。
2. ERR ピンは、注文コードに ERR オプション「E」があるデバイスにのみ備えられています。詳細は、[注文情報](#)をご参照ください。
3. 標準値は単なる参照値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合) および $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ C$ で測定しています。

論理ブロック図 – CY7S1041G / CY7S1041GE


目次

ピン設定	4
最大定格	6
動作範囲	6
DC 電気的特性	6
静電容量	7
熱抵抗	7
AC テストの負荷および波形	7
データ保持特性	8
データ保持波形	8
ディープスリープ モード特性	9
AC スイッチング特性	10
スイッチング波形	11
真理値表	15

ERR 出力 – CY7S1041GE	15
注文情報	16
注文コードの定義	16
パッケージ図	17
略語	19
本書の表記法	19
測定単位	19
改訂履歴	20
セールス、ソリューションおよび法律情報	21
ワールドワイド販売と設計サポート	21
製品	21
PSoC® ソリューション	21
サイプレス開発者コミュニティ	21
テクニカル サポート	21

ピン設定

図 1. 44 ピン TSOP II のピン配置、CY7S1041G

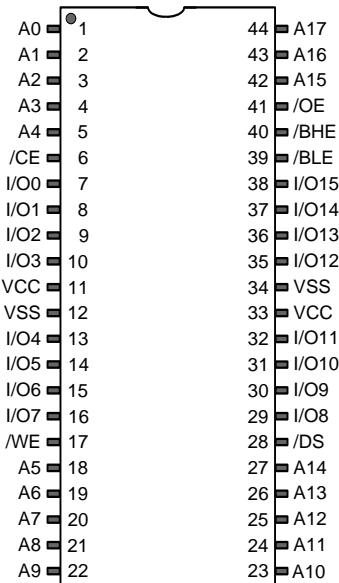


図 2. 48 ポール VFBGA (6 × 8 × 1.0mm) ERR なしの
シングルチップイネーブル、CY7S1041G^[4]、
パッケージングレード ID: BVJXI^[6]

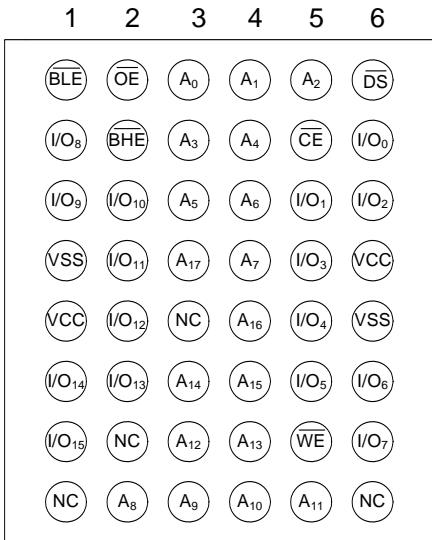
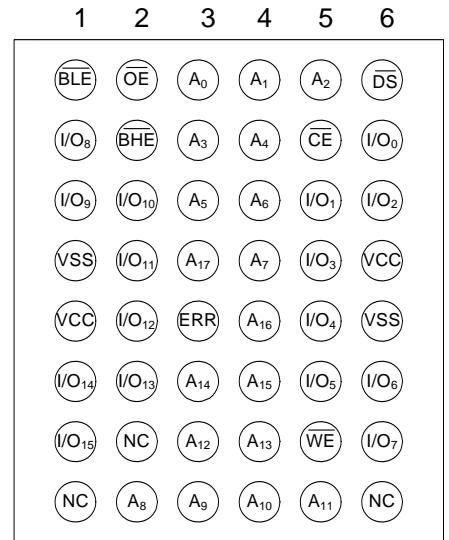


図 3. 48 ポール VFBGA (6 × 8 × 1.0mm) ERR 付きの
シングルチップイネーブル、CY7S1041GE^[4, 5]、
パッケージングレード ID: BVJXI^[6]



注:

- NC ピンはパッケージ内のダイには接続されていません。
- ERR は出力ピンです。
- パッケージタイプ BVXI とは違い、パッケージタイプ BVJXI は JEDEC に準拠しています。両パッケージ間の相違点は、上位と下位 I/O (I/O_[7:0] と I/O_[15:8]) ポールが交換されることです。

ピン設定 (続き)

図 4. 48 ポール VFBGA (6 × 8 × 1.0mm) ERR なしの
シングルチップイネーブル、CY7S1041G^[7]、
パッケージ/グレード ID: BVXI^[9]

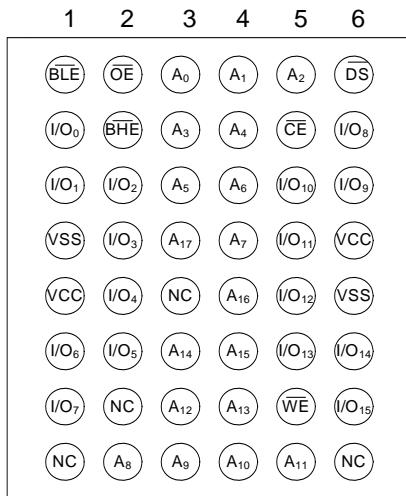
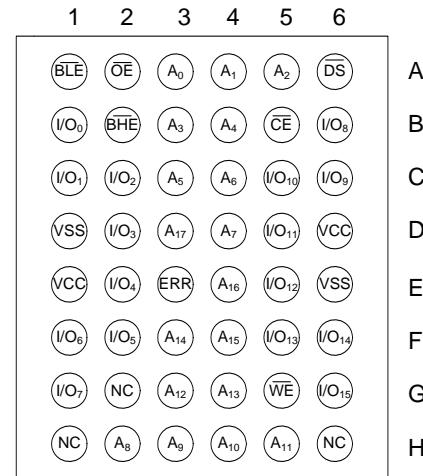


図 5. 48 ポール VFBGA (6 × 8 × 1.0mm) ERR 付きの
シングルチップイネーブル、CY7S1041GE^[7, 8]、
パッケージ/グレード ID: BVXI^[9]



注:

7. NC ピンはパッケージ内のダイには接続されていません。
8. ERR は出力ピンです。
9. パッケージタイプ BVXI とは違い、パッケージタイプ BVJXI は JEDEC に準拠しています。両パッケージ間の相違点は、上位と下位 I/O (I/O_[7:0] と I/O_[15:8]) ポールが交換されることです。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$

通電時の周囲温度 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$

GND を基準とした V_{CC} の電源電圧^[10] $-0.5\text{V} \sim +6.0\text{V}$

HI-Z 状態の出力に

印加される DC 電圧^[10] $-0.5\text{V} \sim V_{\text{CC}}+0.5\text{V}$

DC 電気的特性

$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の動作範囲において

パラメーター	説明	テスト条件	10ns / 15ns			単位
			Min	Typ ^[11]	Max	
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OH}} = -0.1\text{mA}$	1.4	-	-
		2.2V ~ 2.7V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OH}} = -1.0\text{mA}$	2	-	-
		2.7V ~ 3.6V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OH}} = -4.0\text{mA}$	2.2	-	-
		4.5V ~ 5.5V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OH}} = -4.0\text{mA}$	2.4	-	-
		4.5V ~ 5.5V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OH}} = -0.1\text{mA}$	$V_{\text{CC}} - 0.5$ ^[13]	-	-
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OL}} = 0.1\text{mA}$	-	-	0.2
		2.2V ~ 2.7V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OL}} = 2\text{mA}$	-	-	0.4
		2.7V ~ 3.6V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OL}} = 8\text{mA}$	-	-	0.4
		3.6V ~ 5.5V	$V_{\text{CC}} = \text{Min}$ 、 $I_{\text{OL}} = 8\text{mA}$	-	-	0.4
$V_{\text{IH}}^{[10, 12]}$	入力 HIGH 電圧	1.65V ~ 2.2V		1.4	-	$V_{\text{CC}}+0.2$
		2.2V ~ 2.7V		2	-	$V_{\text{CC}}+0.3$
		2.7V ~ 3.6V		2	-	$V_{\text{CC}}+0.3$
		3.6V ~ 5.5V		2.2	-	$V_{\text{CC}}+0.5$
$V_{\text{IL}}^{[10, 12]}$	入力 LOW 電圧	1.65V ~ 2.2V		-0.2	-	0.4
		2.2V ~ 2.7V		-0.3	-	0.6
		2.7V ~ 3.6V		-0.3	-	0.8
		3.6V ~ 5.5V		-0.5	-	0.8
I_{IX}	入力リーコンデンサー	$\text{GND} \leq V_{\text{IN}} \leq V_{\text{CC}}$	-1	-	+1	μA
I_{OZ}	出力リーコンデンサー	$\text{GND} \leq V_{\text{OUT}} \leq V_{\text{CC}}$ 、出力が無効	-1	-	+1	μA
I_{CC}	V_{CC} の動作時電源電流	$V_{\text{CC}} = \text{Max}$ 、 $I_{\text{OUT}} = 0\text{mA}$ 、 CMOS レベル	$f = 100\text{MHz}$	-	38	45
			$f = 66.7\text{MHz}$	-	40	40
I_{SB1}	待機時電流 – TTL 入力	$V_{\text{CC}} (\text{Max})$ 、 $\overline{\text{CE}} \geq V_{\text{IH}}$ 、 $V_{\text{IN}} \geq V_{\text{IH}}$ または $V_{\text{IN}} \leq V_{\text{IL}}$ 、 $f = f_{\text{MAX}}$	-	-	15	mA
I_{SB2}	スタンバイ電流 – CMOS 入力	$V_{\text{CC}} (\text{Max})$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}$ 、 $\overline{\text{DS}} \geq V_{\text{CC}} - 0.2\text{V}$ 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ または $V_{\text{IN}} \leq 0.2\text{V}$ 、 $f = 0$	-	6	8	mA
I_{DS}	ディープスリープ電流	$V_{\text{CC}} (\text{Max})$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}$ 、 $\overline{\text{DS}} \leq 0.2\text{V}$ 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ または $V_{\text{IN}} \leq 0.2\text{V}$ 、 $f = 0$	-	-	15	μA

注：

10. 2ns 未満のパルス幅については $V_{\text{IL}} (\text{Min}) = -2.0\text{V}$ 、 $V_{\text{IH}} (\text{Max}) = V_{\text{CC}} + 2\text{V}$ 。

11. 標準値は単なる参考値であり、保証または試験されていません。標準値は、 $V_{\text{CC}} = 1.8\text{V}$ (V_{CC} が $1.65\text{V} \sim 2.2\text{V}$ の場合)、 $V_{\text{CC}} = 3\text{V}$ (V_{CC} が $2.2\text{V} \sim 3.6\text{V}$ の場合) および $V_{\text{CC}} = 5\text{V}$ (V_{CC} が $4.5\text{V} \sim 5.5\text{V}$ の場合)、 $T_A = 25^{\circ}\text{C}$ で測定しています。

12. DS ピンについては、 $V_{\text{IH}} (\text{Min})$ は $V_{\text{CC}} - 0.2\text{V}$ で、 $V_{\text{IL}} (\text{Max})$ は 0.2V です。

13. このパラメーターは設計保証であり、試験されていません。

静電容量

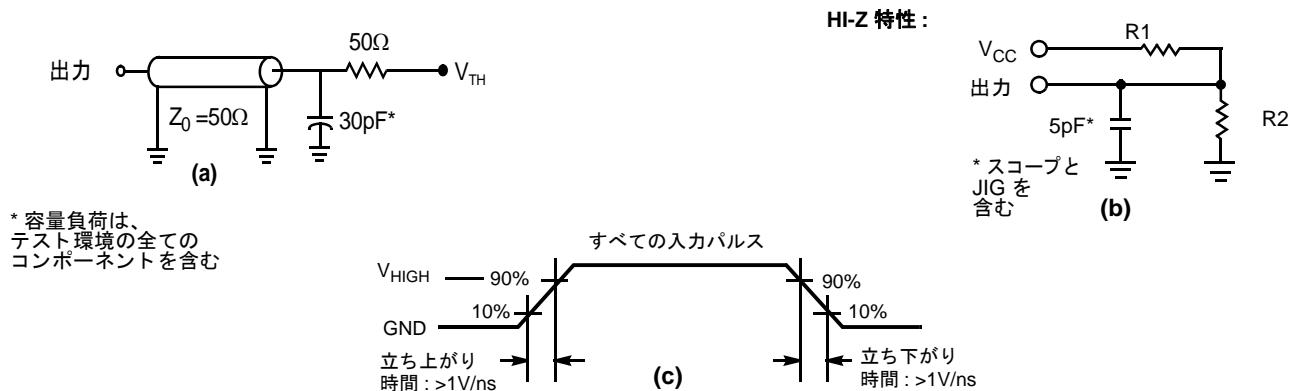
パラメーター ^[14]	説明	テスト条件	すべてのパッケージ	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}, f = 1\text{MHz}, V_{CC(\text{typ})}$	10	pF
C_{OUT}	I/O 容量		10	pF

熱抵抗

パラメーター ^[14]	説明	テスト条件	48 ポール VFBGA	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態、3x4.5 インチの 4 層プリント回路基板に半田付け	31.35	68.85	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		14.74	15.97	°C/W

AC テストの負荷および波形

図 6. AC テストの負荷および波形^[15]



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	$V_{CC}/2$	1.5	1.5	V
V_{HIGH}	1.8	3.0	3.0	V

注:

14. 開発時、およびこれらのパラメーターに影響を与えることがある設計／プロセス変更がある場合にテストされます。
15. 完全なデバイスの AC 動作には、0 から $V_{CC(\text{min})}$ への $100\mu\text{s}$ ランプ時間、または V_{CC} が安定した後、 $100\mu\text{s}$ の待機時間を想定しています。

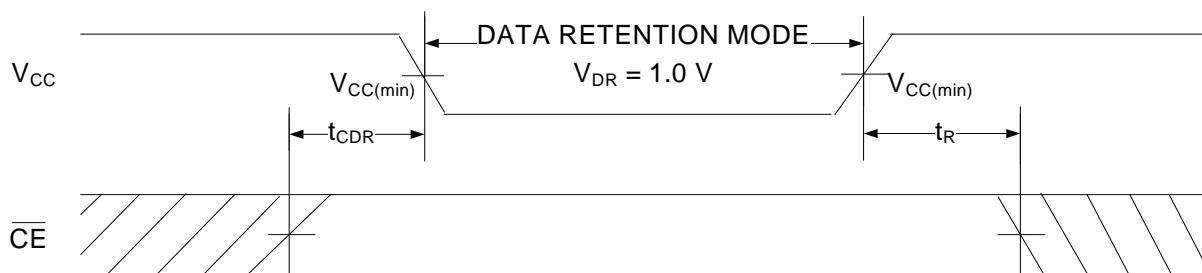
データ保持特性

−40°C ~ +85°C の動作範囲において

パラメーター	説明	条件 ^[16]	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1.0	–	V
I_{CCDR}	データ保持電流	$V_{CC} = V_{DR}$ 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $\overline{DS} \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	–	8	mA
t_{CDR} ^[17]	チップの選択解除からデータ保持までの時間		0	–	ns
t_R ^[17, 18]	動作回復時間	$2.2V < V_{CC} \leq 5.5V$	10	–	ns
		$V_{CC} \leq 2.2V$	15	–	ns

データ保持波形

図 7. データ保持波形^[18]



注:

16. データ保持モードの間は \overline{DS} 信号は HIGH である必要があります。

17. これらのパラメーターは設計保証です。

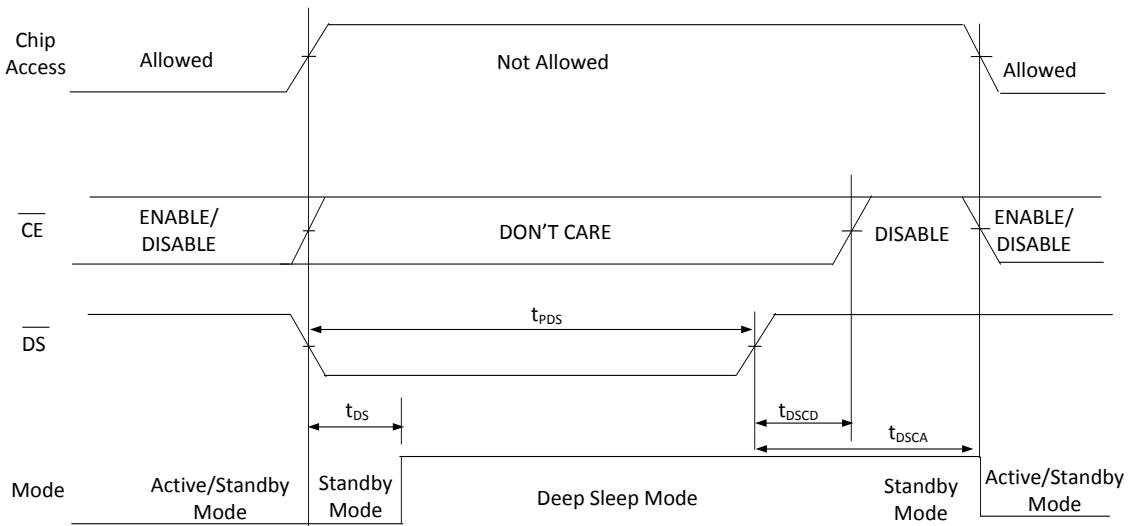
18. デバイスの完全な動作には、 V_{DR} から $V_{CC(min)}$ までのリニア V_{CC} ランプ時間が 100μs 以上であるか、または $V_{CC(min)}$ で安定する時間が 100μs 以上である必要があります。

ディープスリープ モード特性

−40°C ~ +85°C の動作範囲において

パラメーター	説明	条件	Min	Max	単位
I_{DS}	ディープスリープ モード電流	$V_{CC} = V_{CC} (\text{Max})$ 、 $\bar{DS} \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	—	15	μA
$t_{PDS}^{[19]}$	デバイスがディープスリープ モードを正常に終了するための最小 DS LOW 時間		100	—	ns
$t_{DS}^{[20]}$	\bar{DS} アサートからディープスリープ モードへの遷移時間		—	1	ms
$t_{DSCD}^{[19]}$	\bar{DS} アサート停止からチップディスエーブルまでの時間	$t_{PDS} \geq t_{PDS(\text{min})}$ の場合	—	100	μs
		$t_{PDS} < t_{PDS(\text{min})}$ の場合	—	0	μs
t_{DSCA}	\bar{DS} アサート停止からチップアクセスまでの時間 (アクティブ/スタンバイ)	$t_{PDS} \geq t_{PDS(\text{min})}$ の場合	300	—	μs
		$t_{PDS} < t_{PDS(\text{min})}$ の場合			

図 8. アクティブ、スタンバイおよびディープスリープ動作モード



注:

19. SRAM データ損失を防ぐために、 \bar{CE} は \bar{DS} アサート停止の t_{DSCD} 時間内に HIGH にプルする必要があります。

20. \bar{DS} 信号のアサート後、デバイスはディープスリープ電流 I_{DS} まで安定するのに最大 t_{DS} 時間を要します。この期間中、デバイスをディープスリープ モードのままにするためには、 \bar{DS} 信号は論理 LOW にアサートし続ける必要があります。

AC スイッチング特性

-40°C ~ +85°C の動作範囲において

パラメーター ^[21]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	10	—	15	—	ns
t_{AA}	アドレス指定からデータ有効までの時間	—	10	—	15	ns
t_{OHA}	アドレス変更からのデータホールド時間	3	—	3	—	ns
t_{ACE}	\overline{CE} LOW からデータ有効までの時間	—	10	—	15	ns
t_{DOE}	\overline{OE} LOW からデータ有効までの時間	—	4.5	—	8	ns
t_{LZOE}	\overline{OE} LOW から低インピーダンスまでの時間 ^[22, 23, 24]	0	—	0	—	ns
t_{HZOE}	\overline{OE} HIGH から HI-Z までの時間 ^[22, 23, 24]	—	5	—	8	ns
t_{LZCE}	\overline{CE} LOW から低インピーダンスまでの時間 ^[22, 23, 24]	3	—	3	—	ns
t_{HZCE}	\overline{CE} HIGH から HI-Z になるまでの時間 ^[22, 23, 24]	—	5	—	8	ns
t_{PU}	\overline{CE} LOW から電源投入までの時間 ^[24]	0	—	0	—	ns
t_{PD}	\overline{CE} HIGH から電源切断までの時間 ^[24]	—	10	—	15	ns
t_{DBE}	バイト イネーブルからデータ有効までの時間	—	4.5	—	8	ns
t_{LZBE}	バイト イネーブルから低インピーダンスまでの時間 ^[22, 23, 24]	0	—	0	—	ns
t_{HZBE}	バイト ディスエーブルから HI-Z までの時間 ^[22, 23, 24]	—	6	—	8	ns
書き込みサイクル ^[25, 26]						
t_{WC}	書き込みサイクル期間	10	—	15	—	ns
t_{SCE}	\overline{CE} LOW から書き込み完了まで	7	—	12	—	ns
t_{AW}	アドレスセットアップから書き込み終了まで	7	—	12	—	ns
t_{HA}	書き込み終了からアドレスホールドまで	0	—	0	—	ns
t_{SA}	アドレスセットアップから書き込み開始	0	—	0	—	ns
t_{PWE}	\overline{WE} パルス幅	7	—	12	—	ns
t_{SD}	データセットアップから書き込み終了まで	5	—	8	—	ns
t_{HD}	書き込み終了からデータホールドまで	0	—	0	—	ns
t_{LZWE}	\overline{WE} HIGH から低インピーダンスまで ^[22, 23, 24]	3	—	3	—	ns
t_{HZWE}	\overline{WE} LOW から HI-Z まで ^[22, 23, 24]	—	5	—	8	ns
t_{BW}	バイト イネーブルから書き込み終了まで	7	—	12	—	ns

注:

21. テスト条件では、信号遷移時間(立ち上がり/立ち下がり)が3ns以下、タイミング基準レベルが1.5V($V_{CC} \geq 3V$ の場合)か $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが0V ~ 3V($V_{CC} \geq 3V$ の場合)か0 ~ V_{CC} ($V_{CC} < 3V$ の場合)であることを前提にします。特に記載のない限り、読み出しサイクルのテスト条件は7ページの図6の(a)に示す出力負荷を使用しています。
22. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZBE} 、 t_{LZOE} 、 t_{LZWE} および t_{LZBE} は、7ページの図6の(b)で示した5pFの負荷容量が付いた状態で測定されています。遷移は定常状態の電圧から±200mVで測定されます。
23. 任意の温度と電圧条件で、どのデバイスでも t_{HZCE} は t_{LZCE} より小さく、 t_{HZBE} は t_{LZBE} より小さく、 t_{HZOE} は t_{LZOE} より小さく、 t_{HZWE} は t_{LZWE} より小さいです。
24. これらのパラメーターは設計保証です。
25. メモリの内部書き込み時間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 、 \overline{BHE} または $\overline{BLE} = V_{IL}$ の条件が同時に発生する時に定義されます。書き込みを開始するためには、 WE 、 CE 、 BHE および BLE 信号がLOWで、かつ DS がHIGHである必要があります。 WE 、 CE 、 BHE および BLE 信号のいずれかのHIGHへの遷移、または DS 信号のLOWへの遷移で、書き込みを終了することができます。入力データのセットアップとホールドタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
26. 書き込みサイクル2(WE 制御、 \overline{OE} LOW)の最短書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

スイッチング波形

図 9. CY7S1041G の読み出しサイクル 1 (アドレス遷移制御) [27, 28, 29]

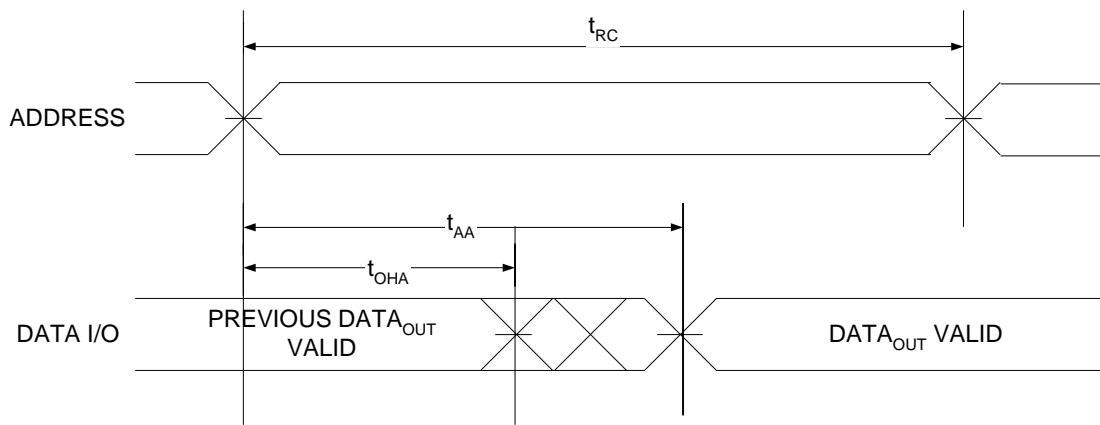
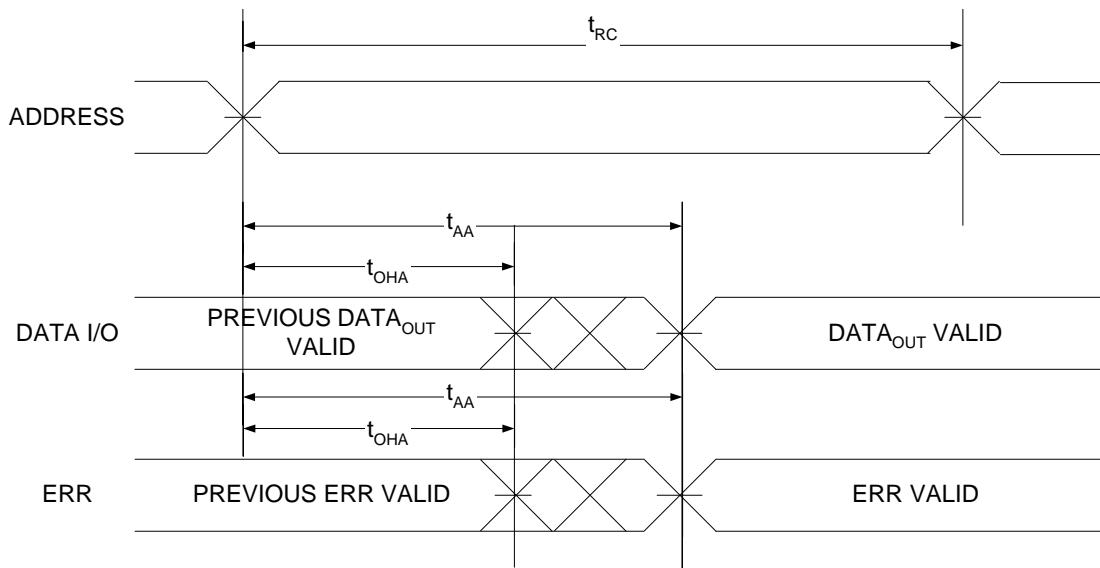


図 10. CY7S1041GE の読み出しサイクル 2 (アドレス遷移制御) [27, 28, 29]



注:

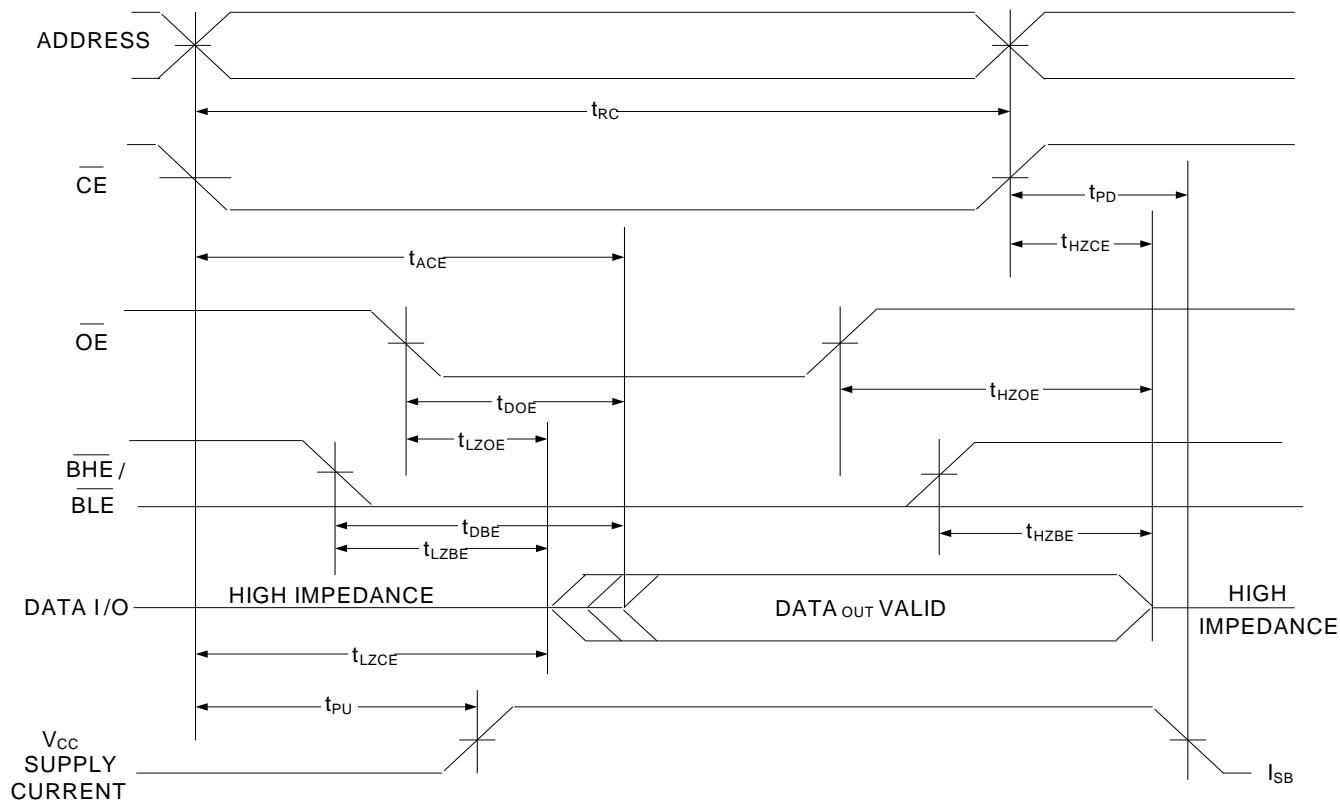
27. デバイスは継続して選択されています。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} (または \overline{BLE} または両方) = V_{IL} 。

28. 読み出しサイクルの間は \overline{WE} は HIGH です。

29. チップ アクセスの間は \overline{DS} は HIGH です。

スイッチング波形 (続き)

図 11. 読み出しサイクル 3 (\overline{OE} 制御) [30、31、32]



注:

30. 読み出しサイクルの間は \overline{WE} は HIGH です。
31. アドレスは \overline{CE} の LOW への遷移の前、またはそれと同時に有効になります。
32. チップ アクセスの間は \overline{DS} が HIGH である必要があります。

スイッチング波形 (続き)

図 12. 書き込みサイクル 1 (\overline{CE} 制御) [33, 34, 35]

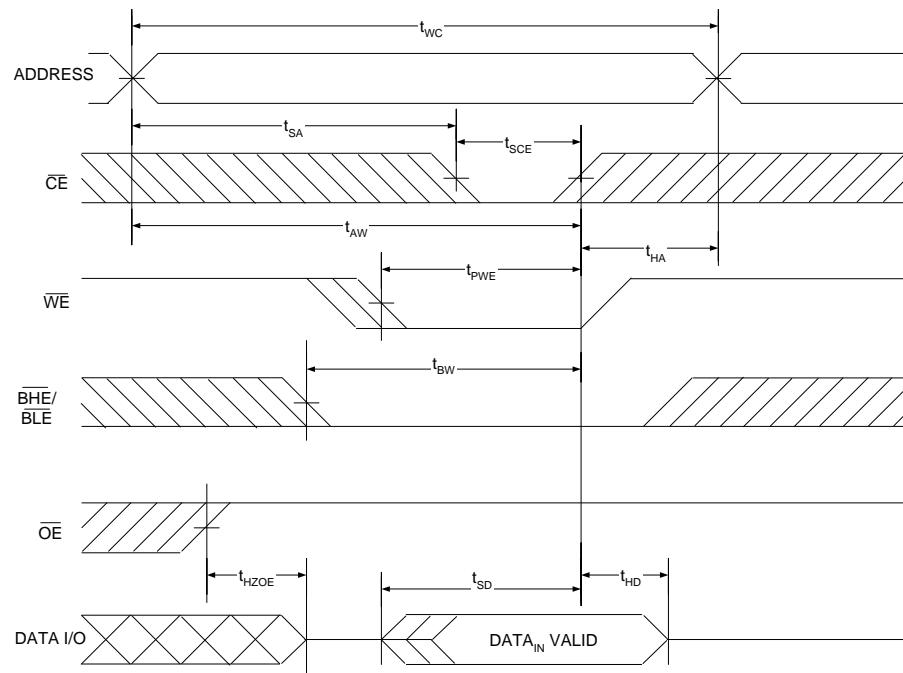
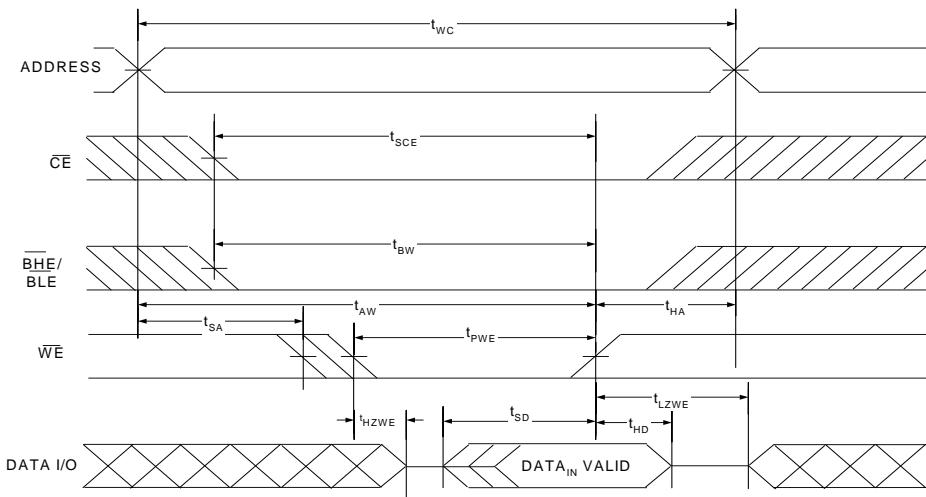


図 13. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [33, 34, 35, 36]



注:

33. メモリの内部書き込み時間は $\overline{WE} = V_{IH}$ 、 $\overline{CE} = V_{IH}$ 、 $\overline{DS} = V_{IH}$ 、 \overline{BHE} (または \overline{BLE}) = V_{IL} のオーバラップで定義されます。書き込みを開始するためには、 \overline{WE} 、 \overline{CE} 、 BHE および BLE 信号が LOW で、かつ \overline{DS} が HIGH である必要があります。 \overline{WE} 、 \overline{CE} 、 BHE および BLE 信号のいずれかの HIGH への遷移、または \overline{DS} 信号の LOW への遷移で、書き込みを終了することができます。入力データのセットアップとホールド タイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
34. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または \overline{BHE} (および/または \overline{BLE}) = V_{IH} の場合、データ I/O は HI-Z 状態に入ります。
35. チップ アクセスの間は DS が HIGH である必要があります。
36. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) の最短書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

スイッチング波形 (続き)

図 14. 書き込みサイクル 3 (\overline{WE} 制御) [37、38、39]

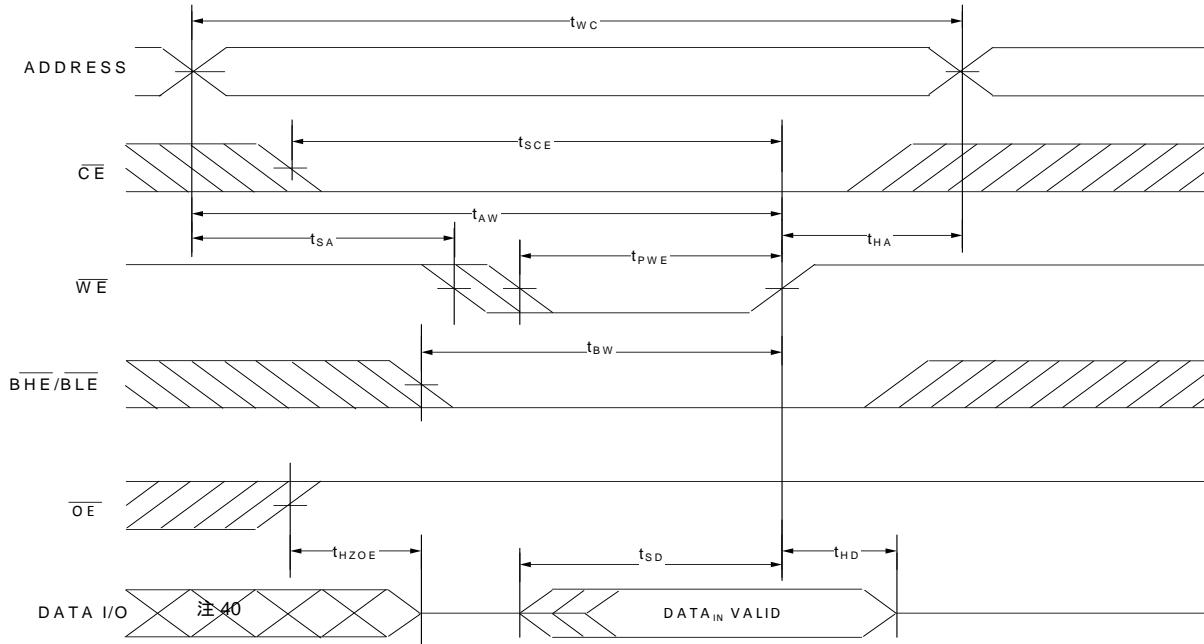
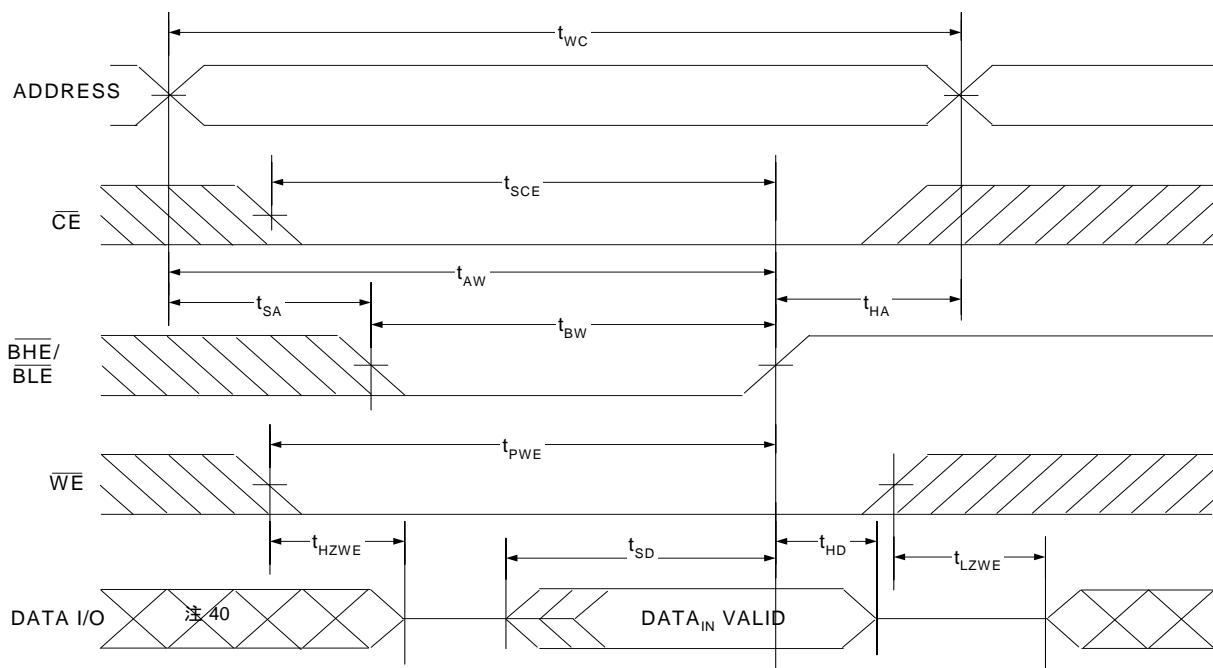


図 15. 書き込みサイクル 4 (\overline{BLE} または \overline{BHE} 制御) [37、38、39]



注:

37. メモリの内部書き込み時間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 、 \overline{BHE} (または \overline{BLE}) = V_{IL} のオーバラップで定義されます。書き込みを開始するためには、 \overline{WE} 、 \overline{CE} 、 \overline{BHE} および \overline{BLE} 信号が LOW で、かつ \overline{DS} が HIGH である必要があります。 \overline{WE} 、 \overline{CE} 、 \overline{BHE} および \overline{BLE} 信号のいずれかの HIGH への遷移、または \overline{DS} 信号の LOW への遷移で、書き込みを終了することができます。入力データのセットアップとホールド タイミングは、書き込みを終了する信号のエッジを基準にする必要があります。

38. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または $\overline{DS} = V_{IL}$ または \overline{BHE} (および \overline{BLE}) = V_{IH} の場合、データ I/O は HI-Z 状態になります。

39. チップ アクセスの間は DS は HIGH である必要があります。

40. この期間中、I/O は出力状態にあります。入力信号を印加しないでください。

真理値表

DS	CE	OE	WE	BLE	BHE	I/O₀ ~ I/O₇	I/O₈ ~ I/O₁₅	モード	電源
H	H	X ^[41]	X ^[41]	X ^[41]	X ^[41]	HI-Z	HI-Z	スタンバイ	スタンバイ (I _{SB})
H	L	L	H	L	L	データ出力	データ出力	全ビット読み出し	アクティブ (I _{CC})
H	L	L	H	L	H	データ出力	HI-Z	下位ビットのみ読み出し	アクティブ (I _{CC})
H	L	L	H	H	L	HI-Z	データ出力	上位ビットのみ読み出し	アクティブ (I _{CC})
H	L	X	L	L	L	データ入力	データ入力	全ビット書き込み	アクティブ (I _{CC})
H	L	X	L	L	H	データ入力	HI-Z	下位ビットのみ書き込み	アクティブ (I _{CC})
H	L	X	L	H	L	HI-Z	データ入力	上位ビットのみ書き込み	アクティブ (I _{CC})
H	L	H	H	X	X	HI-Z	HI-Z	デバイスが選択され、出力が無効	アクティブ (I _{CC})
L ^[42]	X	X	X	X	X	HI-Z	HI-Z	ディープスリープ	ディープスリープ超低消費電力 (I _{DS})

ERR 出力 – CY7S1041GE

出力 ^[43]	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正済み
HI-Z	デバイスが選択解除／出力が無効／書き込み動作

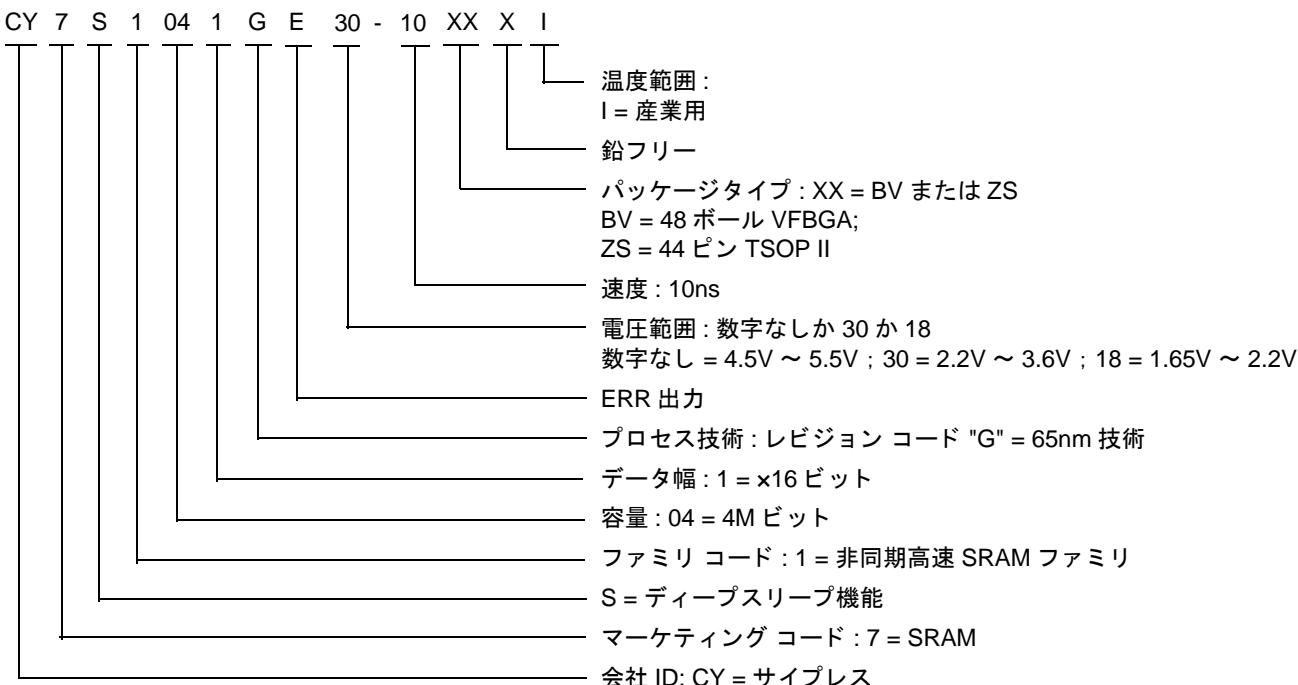
注:

41. これらのピンの入力電圧レベルは V_{IH} または V_{IL} である必要があります。
42. DS での V_{IL} は $\leq 0.2V$ である必要があります。
43. ERR は出力ピンです。使用しない場合、このピンはフローティング状態のままにしてください。

注文情報

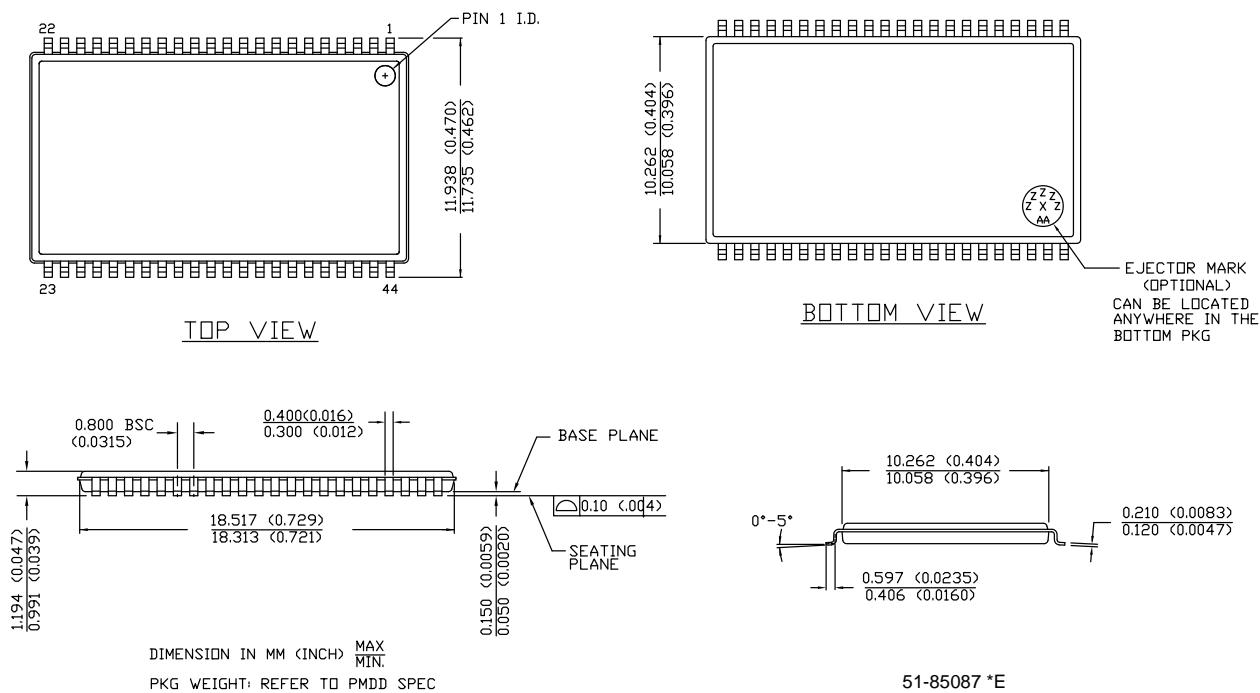
速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージ タイプ (すべて鉛フリー)	動作範囲
10	2.2V ~ 3.6V	CY7S1041GE30-10BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1.0mm)、ERR 出力	産業用
		CY7S1041G30-10BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1.0mm)	
		CY7S1041G30-10ZSXI	51-85087	44 ピン TSOP II	
	4.5V ~ 5.5V	CY7S1041G-10ZSXI	51-85087	44 ピン TSOP II	

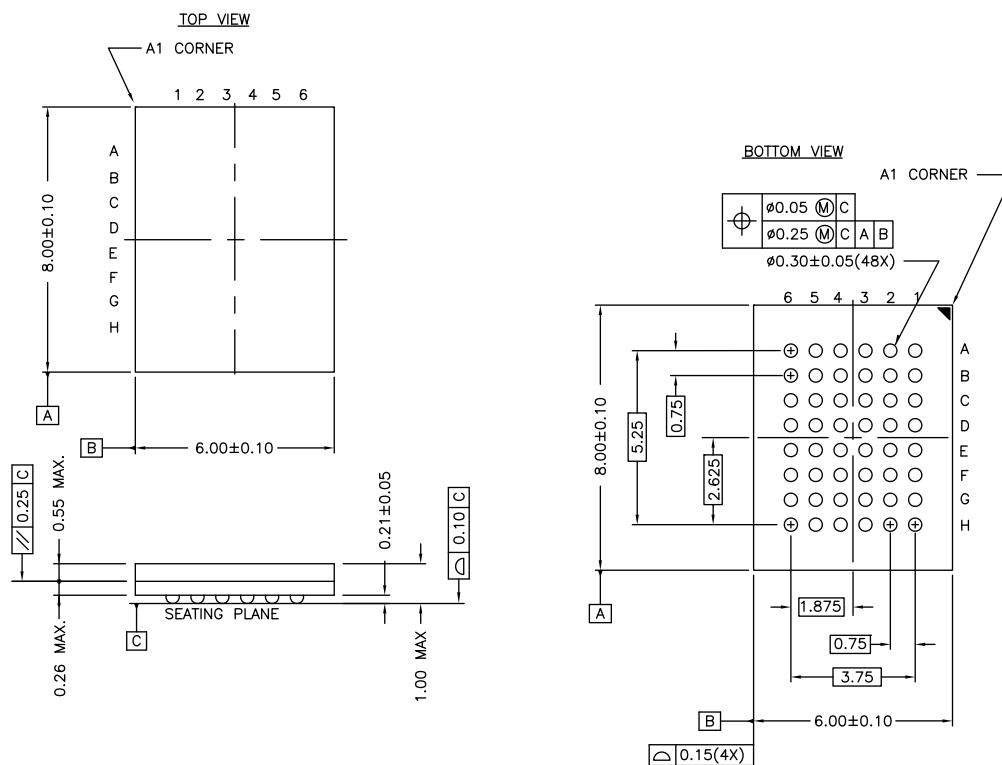
注文コードの定義



パッケージ図

図 16. 44 ピン TSOP II パッケージ外形、51-85087



パッケージ図(続き)
図 17. 48 ポール VFBGA (6 × 8 × 1.0mm) BV48/BZ48 パッケージ外形図、51-85150

NOTE:

PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

略語

略語	説明
BHE	バイト High イネーブル
BLE	バイト Low イネーブル
CE	チップ イネーブル
CMOS	相補型金属酸化膜半導体
ECC	エラー訂正コード
I/O	入力／出力
OE	出力イネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
TTL	トランジスタ - トランジスタ ロジック
VFBGA	超ファインピッチ ボール グリッド アレイ
WE	書き込みイネーブル

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7S1041G / CY7S1041GE、PowerSnooze™ およびエラー訂正コード (ECC) 内蔵 4M ビット (256K ワード × 16 ビット) スタティック RAM
文書番号 : 001-96523

版	ECN 番号	変更者	発行日	変更内容
**	4669814	HZEN	03/26/2015	これは英語版 001-92576 Rev. *A を翻訳した日本語版 001-96523 Rev. ** です。
*A	4908498	SSAS	09/07/2015	これは英語版 001-92576 Rev. *D を翻訳した日本語版 001-96523 Rev. *A です。
*B	5140071	HZEN	03/01/2016	これは英語版 001-92576 Rev. *E を翻訳した日本語版 001-96523 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用

cypress.com/go/automotive

クロック & バッファ

cypress.com/go/clocks

cypress.com/go/interface

インターフェース

cypress.com/go/powerpsoc

照明 & 電力制御

cypress.com/go/memory

メモリ

cypress.com/go/psoc

タッチ センシング

cypress.com/go/touch

USB コントローラー

cypress.com/go/USB

ワイヤレス／RF

cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

[PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP](#)

サイプレス開発者コミュニティ

[コミュニティ | フォーラム | ブログ | ビデオ | トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国および他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。