

72-Mbit QDR[®] II+ SRAM 4 字突发架构 (2.5 周期读延迟)

特性

- 分立的独立读和写数据端口
 - 支持并发事务处理
- 550 MHz 时钟实现高带宽
- 4 字突发降低地址总线频率
- 读端口和写端口上均具有双倍数据速率 (DDR) 接口, 在 550 MHz 下能够实现 1100 MHz 的数据传输速率
- 可提供 2.5 时钟周期延迟
- 两个输入时钟 (K 和 $\bar{K}$), 能够实现精确的 DDR 时序
 - SRAM 仅使用上升沿
- 随路时钟 (CQ 和 $\overline{CQ}$), 能够简化高速系统中的数据捕获
- 数据有效引脚 (QVLD) 表示输出上的有效数据
- 单个复用地址输入总线, 能够为读端口和写端口锁存地址输入
- 单独的端口选择, 能够实现深度扩展 (Depth Expansion)
- 同步内部自定时写入
- 当 $\overline{DOFF}$ 置为高电平时, 四倍数据速率 (QDR[®]) II+ 会有 2.5 个周期的读延迟
- 当 $\overline{DOFF}$ 置为低电平时, 其工作方式与 QDR I 器件类似, 会有 1 个周期的读延迟
- 供应 ×8、×9 和 ×36 配置
- 完整的数据连贯性, 能够提供最新数据
- 内核 $V_{DD} = 1.8 V \pm 0.1 V$; I/O $V_{DDQ} = 1.4 V$ 至 V_{DD} ^[1]
 - 支持 1.5V 和 1.8 V I/O 电源
- 高速收发器逻辑 (HSTL) 输入和驱动能力可调的 HSTL 输出缓冲器
- 可提供 165 脚小间距 BGA (FBGA) 封装 (13 × 15 × 1.4 mm)
- 有含铅和不含铅封装可供选择
- JTAG 1149.1 兼容测试端口
- 锁相环 (PLL), 能够实现精确的数据放置

产品选择指南

说明		550 MHz	500 MHz	450 MHz	400 MHz	单位
最大工作频率		550	500	450	400	MHz
最大工作电流	×8	900	830	760	690	mA
	×9	900	830	760	690	
	×36	1310	1210	1100	1000	

注:

1. 赛普拉斯 QDR II+ 器件超过了 QDR 联盟规范, 可支持 $V_{DDQ} = 1.4 V$ 到 V_{DD} 。

配置

具有 2.5 周期的读周期延迟

CY7C1561KV18: 8M × 8

CY7C1576KV18: 8M × 9

CY7C1565KV18: 2M × 36

功能描述

CY7C1561KV18、CY7C1576KV18 和 CY7C1565KV18 都是包含 QDR II+ 架构的 1.8V 同步流水线 SRAM。与 QDR II 架构类似, QDR II+ 架构由两个单独的端口组成: 访问存储器阵列的读端口和写端口。读端口有专用的数据输出来支持读操作, 写端口则有专用的数据输入来支持写操作。QDR II+ 架构具有单独的数据输入和数据输出, 完全消除了公用 I/O 器件上存在的“转换”数据总线方面的需要。每个端口都可以通过一个公用地址总线访问。用于读和写的地址被锁止在输入 (K) 时钟的备选上升沿。对 QDR II+ 读端口和写端口的访问完全相互独立。为了获得最大的数据吞吐量, 读端口和写端口上都配备有 DDR 接口。每个地址都与四个 8 位字 (CY7C1561KV18)、9 位字 (CY7C1576KV18) 或 36 位字 (CY7C1565KV18) 相关联, 这些字以突发 (Burst) 模式按顺序传入或传出器件。由于数据可以在两个输入时钟 (K 和 $\bar{K}$) 的每个上升沿传入和传出器件, 因此通过消除总线“转换”, 能够在获得最大内存带宽的同时, 简化系统设计。

深度扩展 (Depth Expansion) 是通过端口选择实现的, 能够使每个端口独立工作。

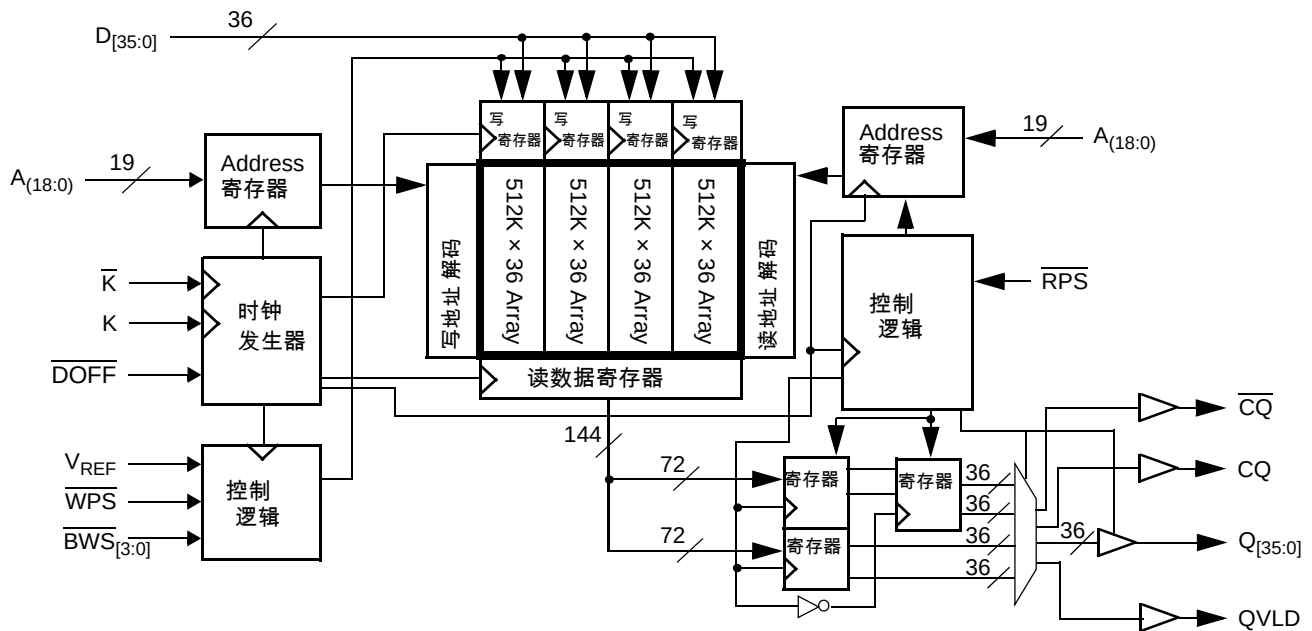
所有同步输入都会通过由 K 或 $\bar{K}$ 控制的输入寄存器。所有数据输出都会通过由 K 或 $\bar{K}$ 输入时钟控制的输出寄存器。写操作通过片上同步自定时写电路进行。

The block diagram illustrates the internal architecture of the AD9444. Key components include:

- Address Register:** Receives a 21-bit address $A_{(20:0)}$ and provides a 32-bit address to the **写地址解码** (Write Address Decoder) and **读地址解码** (Read Address Decoder).
- 写地址解码 (Write Address Decoder):** Decodes the 32-bit address into four 8-bit signals for the **写寄存器** (Write Registers).
- 写寄存器 (Write Registers):** Four 8-bit registers that store data from the **写数据寄存器** (Write Data Register).
- 写数据寄存器 (Write Data Register):** Receives data from the **写寄存器** and provides a 32-bit data bus to the **读数据寄存器** (Read Data Register).
- 读地址解码 (Read Address Decoder):** Decodes the 32-bit address into four 8-bit signals for the **读寄存器** (Read Registers).
- 读寄存器 (Read Registers):** Four 8-bit registers that store data from the **读数据寄存器** and provide a 32-bit data bus to the **控制逻辑** (Control Logic).
- 控制逻辑 (Control Logic):** Receives control signals $\overline{RPS}$, $\overline{WPS}$, and $\overline{NWS}_{[1:0]}$. It generates control signals for the **时钟发生器** (Clock Generator) and the **读数据寄存器**.
- 时钟发生器 (Clock Generator):** Receives $\overline{K}$, $\overline{K}$, and $\overline{DOFF}$ signals and provides a clock signal to the **写寄存器** and **读寄存器**.
- 读数据寄存器 (Read Data Register):** Receives a 32-bit data bus from the **写数据寄存器** and provides a 32-bit data bus to the **读寄存器**.
- 输出寄存器 (Output Registers):** Two 8-bit registers that receive data from the **读寄存器** and provide a 16-bit data bus to the **控制逻辑**.
- 控制逻辑 (Control Logic):** Receives a 16-bit data bus from the **输出寄存器** and provides a 16-bit data bus to the **控制逻辑**.
- 控制逻辑 (Control Logic):** Receives a 16-bit data bus from the **输出寄存器** and provides a 16-bit data bus to the **控制逻辑**.

The block diagram illustrates the 16-bit parallel data path architecture. It features a central core with four $2M \times 9$ Arrays, four write registers, and a read data register. The system is controlled by a clock generator and control logic, which also manages address registers and output multiplexers. Inputs include $D_{[8:0]}$, $A_{(20:0)}$, $\overline{K}$, K , $\overline{DOFF}$, V_{REF} , $\overline{WPS}$, and $BWS_{[0]}$. Outputs include $\overline{CQ}$, CQ , $Q_{[8:0]}$, and $QVLD$.

逻辑框图 (CY7C1565KV18)



目录

72-Mbit QDR® II+ SRAM 4 字突发架构 (2.5 周期读延迟)	1	TAP 控制器状态图	14
特性	1	TAP 控制器框图	15
配置	1	TAP 电气特性	15
功能描述	1	TAP 交流开关特性	16
产品选择指南	1	TAP 时序和测试条件	16
逻辑框图 (CY7C1561KV18)	2	标识寄存器定义	17
逻辑框图 (CY7C1576KV18)	2	扫描寄存器大小	17
逻辑框图 (CY7C1565KV18)	3	指令代码	17
引脚配置	5	边界扫描顺序	18
165 脚 Ball FBGA (13 × 15 × 1.4 mm) 引脚分布	5	QDR II+ SRAM 中的加电顺序	19
引脚定义	7	加电顺序	19
功能概述	8	PLL 限制	19
读操作	8	最大额定值	20
写操作	8	工作范围	20
字节写操作	8	抗中子软失效	20
并发数据操作	8	电气特性	20
深度扩展 (Depth Expansion)	9	DC Electrical Characteristics	20
可编程阻抗	9	交流电气特性	21
随路时钟	9	电容	22
有效数据指示器 (QVLD)	9	热阻	22
PLL	9	开关特性	23
应用示例	9	开关波形	24
真值表	10	读 / 写 / 取消选中操作过程 [31, 32, 33]	24
写周期说明	10	订购信息	25
写周期说明	11	订购代码定义	25
写周期说明	11	封装图	26
IEEE 1149.1 串行边界扫描 (JTAG)	12	缩略语	27
禁用 JTAG 特性	12	销售、解决方案和法律信息	28
测试端口 - 测试时钟	12	全球销售和 design 支持	28
测试模式选择 (TMS)	12	文档修订记录页	28
测试数据输入 (TDI)	12	产品	28
测试数据输出 (TDO)	12	PSoC 解决方案	28
执行 TAP 复位	12		
TAP 寄存器	12		
TAP 指令集	12		

引脚配置

165 脚 Ball FBGA (13 × 15 × 1.4 mm) 引脚分布

CY7C1561KV18 (8M × 8)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{\text{CQ}}$	A	A	$\overline{\text{WPS}}$	$\overline{\text{NWS}}_1$	$\overline{\text{K}}$	NC/144M	$\overline{\text{RPS}}$	A	A	CQ
B	NC	NC	NC	A	NC/288M	K	$\overline{\text{NWS}}_0$	A	NC	NC	Q3
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	NC	D3
D	NC	D4	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	Q4	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	D2	Q2
F	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
G	NC	D5	Q5	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	$\overline{\text{DOFF}}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	Q1	D1
K	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
L	NC	Q6	D6	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	Q0
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	D0
N	NC	D7	NC	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	Q7	A	A	QVLD	A	A	NC	NC	NC
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

CY7C1576KV18 (8M × 9)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{\text{CQ}}$	A	A	$\overline{\text{WPS}}$	NC	$\overline{\text{K}}$	NC/144M	$\overline{\text{RPS}}$	A	A	CQ
B	NC	NC	NC	A	NC/288M	K	$\overline{\text{BWS}}_0$	A	NC	NC	Q4
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	NC	D4
D	NC	D5	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	Q5	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	D3	Q3
F	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
G	NC	D6	Q6	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	$\overline{\text{DOFF}}$	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	Q2	D2
K	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
L	NC	Q7	D7	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	Q1
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	D1
N	NC	D8	NC	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	Q8	A	A	QVLD	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

注：

2. NC/144M 和 NC/288M 未连接到 Die，可连接到任何电压电平。

165 脚 Ball FBGA (13 × 15 × 1.4 mm) 引脚分布

CY7C1565KV18 (2M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{\text{CQ}}$	NC/288M	A	$\overline{\text{WPS}}$	$\overline{\text{BWS}}_2$	$\overline{\text{K}}$	$\overline{\text{BWS}}_1$	$\overline{\text{RPS}}$	A	NC/144M	CQ
B	Q27	Q18	D18	A	$\overline{\text{BWS}}_3$	K	$\overline{\text{BWS}}_0$	A	D17	Q17	Q8
C	D27	Q28	D19	V _{SS}	A	NC	A	V _{SS}	D16	Q7	D8
D	D28	D20	Q19	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	Q16	D15	D7
E	Q29	D29	Q20	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	Q15	D6	Q6
F	Q30	Q21	D21	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	D14	Q14	Q5
G	D30	D22	Q22	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	Q13	D13	D5
H	$\overline{\text{DOFF}}$	V _{REF}	V _{DDQ}	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	V _{DDQ}	V _{REF}	ZQ
J	D31	Q31	D23	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	D12	Q4	D4
K	Q32	D32	Q23	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	Q12	D3	Q3
L	Q33	Q24	D24	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	D11	Q11	Q2
M	D33	Q34	D25	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	D10	Q1	D2
N	D34	D26	Q25	V _{SS}	A	A	A	V _{SS}	Q10	D9	D1
P	Q35	D35	Q26	A	A	QVLD	A	A	Q9	D0	Q0
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

引脚定义

引脚名称	I/O	引脚说明
$D_{[x:0]}$	输入 同步	数据输入信号。在有效的写操作期间，在 K 和 $\bar{K}$ 时钟的上升沿被采样。 CY7C1561KV18 – $D_{[7:0]}$ CY7C1576KV18 – $D_{[8:0]}$ CY7C1563KV18 – $D_{[17:0]}$ CY7C1565KV18 – $D_{[35:0]}$
$\overline{WPS}$	输入 同步	写端口选择 – 低电平有效。在 K 时钟的上升沿被采样。置为有效时会启动写操作，否则会取消选中写端口。取消选中写端口会忽略 $D_{[x:0]}$ 。
$\overline{NWS}_0$ 、 $\overline{NWS}_1$ 、	输入 同步	半字节写选择 0、1 – 低电平有效（仅限 CY7C1561KV18）。在有效的写操作期间，在 K 和 $\bar{K}$ 时钟的上升沿被采样。用于选择在写操作的当前部分，将哪个半字节写入器件。 $\overline{NWS}_0$ 控制 $D_{[3:0]}$ 和 $\overline{NWS}_1$ 控制 $D_{[7:4]}$ 。 所有“半字节写选择 (Nibble Write Select)”均在数据采样的相同沿被采样。取消选中“半字节写选择 (Nibble Write Select)”会忽略相应的数据半字节，并且不会将其写入到器件中。
$\overline{BWS}_0$ 、 $\overline{BWS}_1$ 、 $\overline{BWS}_2$ 、 $\overline{BWS}_3$	输入 同步	字节写选择 (BWS) 0、1、2 和 3 – 低电平有效。在有效的写操作期间，在 K 和 $\bar{K}$ 时钟的上升沿被采样。用于选择在写操作的当前部分，将哪个字节写入到器件中。不写入的字节将保持不变。 CY7C1576KV18 – $\overline{BWS}_0$ 控制 $D_{[8:0]}$ CY7C1563KV18 – $\overline{BWS}_0$ 控制 $D_{[8:0]}$ 和 $\overline{BWS}_1$ 控制 $D_{[17:9]}$ 。 CY7C1565KV18 – $\overline{BWS}_0$ 控制 $D_{[8:0]}$ 、 $\overline{BWS}_1$ 控制 $D_{[17:9]}$ 、 $\overline{BWS}_2$ 控制 $D_{[26:18]}$ 和 $\overline{BWS}_3$ 控制 $D_{[35:27]}$ 。 所有“字节写选择 (Byte Write Select)”均在数据采样的相同沿被采样。取消选中 BWS 会忽略相应的数据字节，并且不会将其写入到器件中。
A	输入 同步	地址输入。在有效的读操作和写操作期间，在 K 时钟的上升沿被采样。这些地址输入复用于读操作和写操作。在器件内部，CY7C1561KV18 采取的是 $8M \times 8$ （4 个阵列，每个阵列均为 $2M \times 8$ ）的组织方式，CY7C1576KV18 采取的是 $8M \times 9$ （4 个阵列，每个阵列均为 $2M \times 9$ ）的组织方式，CY7C1563KV18 采取 $4M \times 18$ （4 个阵列，每个阵列均为 $1M \times 18$ ）的组织方式，CY7C1565KV18 采取 $2M \times 36$ （4 个阵列，每个阵列均为 $512K \times 36$ ）组织方式。因此，只需要 21 个地址输入，即可访问 CY7C1561KV18 和 CY7C1576KV18 的整个存储器阵列，CY7C1563KV18 只需要 20 个地址输入，CY7C1565KV18 只需要 19 个地址输入。未选中相应端口时，这些输入会被忽略。
$Q_{[x:0]}$	输出 - 同步	数据输出信号。在有效的读操作期间，这些引脚会输出所请求的数据。在读操作期间，在 K 和 $\bar{K}$ 时钟的上升沿输出有效数据。在未选中读端口时， $Q_{[x:0]}$ 自动进入三态。 CY7C1561KV18 – $Q_{[7:0]}$ CY7C1576KV18 – $Q_{[8:0]}$ CY7C1563KV18 – $Q_{[17:0]}$ CY7C1565KV18 – $Q_{[35:0]}$
RPS	输入 同步	读端口选择 – 低电平有效。在正向输入时钟 (K) 的上升沿被采样。置为有效时会启动读操作，否则会取消选中读端口。未选中读端口时，待完成待访问后，输出驱动器会在 $\bar{K}$ 时钟的下一个上升沿自动进入三态。每次读访问均包含一个突发，每个突发由四个连续的传输组成。
QVLD	有效输出指示 器	有效输出指示器。Q 有效表示有效输出数据。QVLD 与 CQ 和 $\overline{CQ}$ 的边沿对齐。
K	输入时钟	正向输入时钟输入。K 的上升沿用于捕获器件的同步输入，并通过 $Q_{[x:0]}$ 输出数据。所有访问都在 K 的上升沿启动。
$\bar{K}$	输入时钟	负向输入时钟输入。 $\bar{K}$ 用于捕获器件的同步输入，并通过 $Q_{[x:0]}$ 输出数据。
CQ	随路时钟	同步随路时钟输出。这是一个自由运行的时钟，与 QDR II+ 的输入时钟 (K) 保持同步。随路时钟的时序如第 23 页的 开关特性 所示。
$\overline{CQ}$	随路时钟	同步随路时钟输出。这是一个自由运行时钟，与 QDR II+ 的输入时钟 ($\bar{K}$) 保持同步。随路时钟的时序如第 23 页的 开关特性 所示。
ZQ	输入	输出阻抗匹配输入。此输入用于调整器件输出相对于系统数据总线的阻抗。CQ、 $\overline{CQ}$ 和 $Q_{[x:0]}$ 输出阻抗为 $0.2 \times RQ$ 。其中，RQ 是位于 ZQ 与接地之间的电阻。也可以将此引脚直接连接到 V_{DDQ} ，这样会启用最小阻抗模式。此引脚不能直接连接到 GND，也不能保持未连接状态。
$\overline{DOFF}$	输入	PLL 关闭 – 低电平有效。将此引脚接地会关闭器件内部的 PLL。PLL 处于关闭状态时，工作时序会与本数据表中列出的时序有所不同。在正常工作时，请将此引脚通过一个 10 K Ω 或更小的电阻上拉。PLL 处于关闭状态时，器件会以 QDR I 模式工作。在此模式下，器件能够以高达 167 MHz 的频率工作，同时满足 QDR I 时序要求。
TDO	输出	JTAG 的测试数据输出 (TDO)

引脚定义 (continued)

引脚名称	I/O	引脚说明
TCK	输入	JTAG 的测试时钟 (TCK) 引脚
TDI	输入	JTAG 的测试数据输入 (TDI) 引脚
TMS	输入	JTAG 的测试模式选择 (TMS) 引脚
NC	不可用	未连接到 die。可连接到任何电压电平。
NC/144M	不可用	未连接到 die。可连接到任何电压电平。
NC/288M	不可用	未连接到 die。可连接到任何电压电平。
V _{REF}	输入 - 参考	参考电压输入。静态输入，用于设置 HSTL 输入、输出和 AC 测量点的参考电平。
V _{DD}	电源	器件内核的电源输入
V _{SS}	接地	器件的接地
V _{DDQ}	电源	器件输出的电源输入

功能概述

CY7C1561KV18、CY7C1576KV18、CY7C1565KV18 是同步的流水线突发 SRAM，包含读端口和写端口。读端口专用于读操作，写端口则专用于写操作。数据通过写端口输入到 SRAM 中，并通过读端口输出。这些器件会复用地址输入，以便最大限度地减少所需的地址引脚。由于具有单独的读端口和写端口，QDR II+ 完全消除了“转换”数据总线方面的需要，并避免了可能出现的数据争用，从而简化了系统设计。在两个时钟周期中，在 CY7C1561KV18 中，每次访问由四个 8 位数据传输组成，在 CY7C1576KV18 中，每次访问由四个 9 位数据传输组成，在 CY7C1565KV18 中，每次访问由四个 36 位数据传输组成。

当 $\overline{\text{DOFF}}$ 引脚连接到高电平时，这些器件会有 2.5 个周期的读延迟。当 $\overline{\text{DOFF}}$ 引脚置为低电平或连接到 V_{SS} 时，器件会以 QDR I 模式工作，并有 1 个时钟周期的读延迟。

对两个端口的访问都在正向输入时钟 (K) 上启动。所有同步的输入和输出时序都参照输入时钟 (K 和 $\overline{K}$) 的上升沿。

所有同步数据输入 (D_[x:0]) 都会通过由输入时钟 (K 和 $\overline{K}$) 控制的输入寄存器。所有同步数据输出 (Q_[x:0]) 都会通过由输入时钟 (K 和 $\overline{K}$) 控制的输出寄存器。

所有同步控制 ($\overline{\text{RPS}}$ 、WPS、NWS_[x:0]、BWS_[x:0]) 输入都会通过由输入时钟 (K 和 $\overline{K}$) 的上升沿控制的输入寄存器。

CY7C1565KV18 在以下章节中进行了说明。这些基本说明同样适用于 CY7C1561KV18 和 CY7C1576KV18。

读操作

CY7C1565KV18 在器件内部采取的是 512K × 36 的四个阵列的组织方式。访问在四个连续的 36 位数据字的突发中完成。通过在正向输入时钟 (K) 的上升沿将 $\overline{\text{RPS}}$ 置为有效，即可启动读操作。输入的地址会存储在读地址寄存器中。在 K 时钟的下一个上升沿，会使用 K 作为输出时序参考，将相应的低 36 位数据字写入到 Q_[35:0]。在接下来的 K 上升沿，下一个 36 位数据字会写入到 Q_[35:0]。该过程继续，直到所有四个 36 位数据字都被写入到 Q_[35:0] 中为止。所请求的数据在输入时钟 (K 或 $\overline{K}$) 上升沿后的 0.45 ns 内有效。若要保持内部逻辑，必须完成每次读访问。每次读访问由四个 36 位数据字组成，并需要两个时钟周期才完成。因此，对器件的读访问无法在两个连续的 K 时钟上升沿启动。器件的内部逻辑忽略第二个读取请求。读取访问可以每隔一个 K 时钟上升沿启动一次。这样做即可传输数据流，从而在每个输入时钟 (K 和 $\overline{K}$) 的上升沿将数据传出器件。

未选中读端口时，CY7C1565KV18 首先完成待处理的读数据操作。内部同步电路会在负向输入时钟 ($\overline{K}$) 的下一个上升沿自动使输出进入三态。这样一来，在深度扩展的情况下，无需插入等待状态，即可在器件之间实现无缝切换。

写操作

通过在正向输入时钟 (K) 的上升沿将 WPS 置为有效，即可启动写操作。如果 BWS_[3:0] 均置为有效，则在以下 K 时钟上升沿，呈现给 D_[35:0] 的数据会被锁存，并会存储到低 36 位写数据寄存器中。如果 BWS_[3:0] 均置为有效，则在接下来的负向输入时钟 ($\overline{K}$) 上升沿，呈现给 D_[35:0] 的信息将被存储到写数据寄存器中。该过程再继续一个周期，直到四个 36 位数据字（总共 144 位）储存在 SRAM 中。144 位数据随后会写入到存储器阵列的指定位置。因此，对器件的写访问无法在两个连续的 K 时钟上升沿启动。器件的内部逻辑忽略第二个写入请求。写访问每隔一个正向输入时钟 (K) 的上升沿启动。这样做即可传输数据流，从而在每个输入时钟 (K 和 $\overline{K}$) 的上升沿将 36 位数据传入器件。

未选中时，写端口会在待定写操作完成之后忽略所有输入。

字节写操作

CY7C1565KV18 支持字节写操作。关于写操作的启动，请参见 [写操作](#) 一节。写入哪些字节由 BWS₀、BWS₁、BWS₂ 和 BWS₃ 决定，并且字节会以每组 36 位数据字的方式被采样。在写操作的数据部分，如果将相应的“字节写选择 (Byte Write Select)”置为输入，则会锁存当前呈现的数据并将其写入到器件中。否则，器件中存储的该字节的数据将保持不变。此特性用于将读操作、修改操作或写操作简化为字节写操作。

并发数据操作

CY7C1565KV18 上的读端口和写端口在工作时完全相互独立。由于每个端口在不同的时钟沿锁存地址输入，因此用户可以对任何地址进行读或写，而不受其他端口上数据操作的影响。连续的时钟周期中，在写入之后读取时，如果端口访问相同位置，则 SRAM 提供与指定地址位置相关联的最新信息。这包括在上一个 K 时钟上升沿刚写进来的数据。

必须计划读访问和写访问使任何时钟周期上启动一个数据操作。如果在相同的 K 时钟上升沿选择两个端口，则仲裁取决于 SRAM 的上一个状态。如果两个端口都未选中，则读端口优先。如果在上一个周期启动读取，则写端口优先（因为不能在连续的周期启动读操作）。如果在上一个周期启动写入，则读端口优先（因为不能在连续的周期启动写操作）。因此，在未选中状态将两个端

口都置为有效，会交替正在启动的读或写操作，第一个访问是读取。

深度扩展 (Depth Expansion)

CY7C1565KV18 为每个端口提供了一个端口选择输入，可以轻松实现深度扩展 (Depth Expansion)。两个端口选择都只在正向输入时钟 (K) 的上升沿被采样。每个端口选择输入均可取消选中指定端口。取消选中某个端口不会影响其他端口。在取消选中器件之前，会完成所有待定数据操作（读和写）。

可编程阻抗

SRAM 上的 ZQ 引脚与 V_{SS} 之间必须连接一个外部电阻 RQ，以便 SRAM 能够调整其输出驱动器阻抗。RQ 的值必须相当于 SRAM 控制的目标线路阻抗的 5 倍，当 $V_{DDQ} = 1.5\text{ V}$ 时，保证阻抗容错性不超过 $\pm 15\%$ 的 RQ 允许范围为 175 Ω 至 350 Ω 。输出阻抗在加电后每 1024 个周期调整一次，以补偿电源电压漂移和温度漂移。

随路时钟

QDR II+ 上提供了随路时钟，能够简化高速系统中的数据捕获。两个随路时钟由 QDR II+ 生成。CQ 参照 K， $\overline{CQ}$ 参照 $\overline{K}$ 。它们是自由运行时钟，与 QDR II+ 的输入时钟保持同步。随路时钟的时序如第 23 页的 [开关特性](#) 所示。

应用示例

图 1 显示两个 DDR II+ 在一个应用程序中运行。

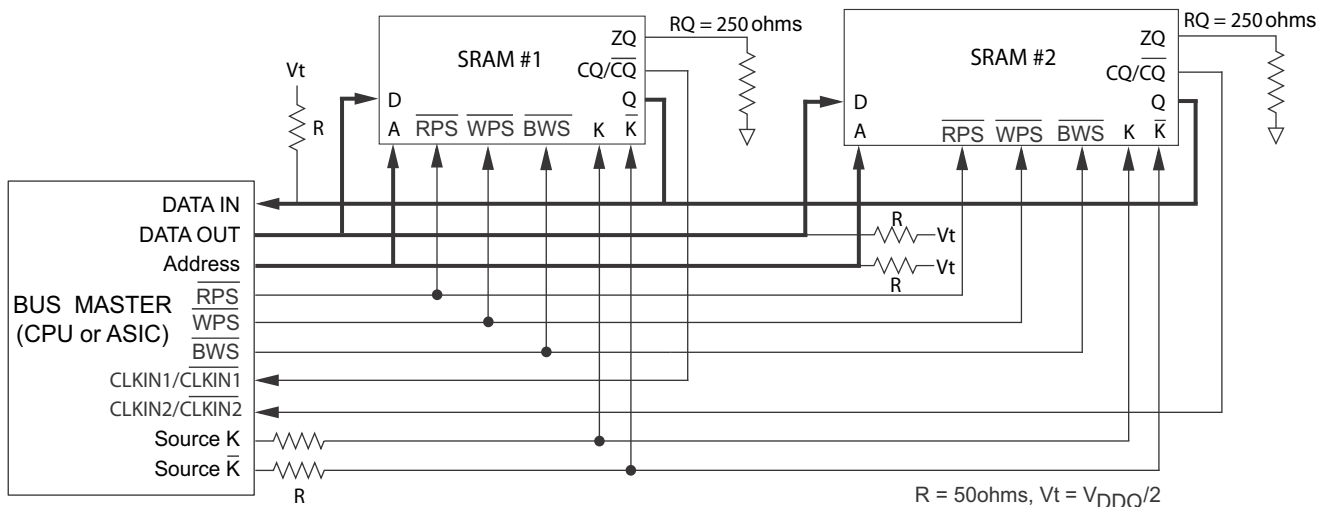
有效数据指示器 (QVLD)

QDR II+ 上提供了 QVLD，能够简化高速系统中的数据捕获。QVLD 由 QDR II+ 器件和数据输出一起生成。该信号与随路时钟边沿对齐，并遵循任何数据引脚的时序。有效数据返回之前的半个周期，该信号被激活。

PLL

这些芯片使用了一个 PLL，其工作频率介于 120 MHz 与指定的最大时钟频率之间。在加电期间，当 $\overline{DOFF}$ 连接到高电平时，PLL 在时钟稳定 20 ms 后被锁定。通过使输入时钟 K 和 $\overline{K}$ 减慢或停止至少 30 ns，可以将 PLL 复位。不过，无需复位 PLL，即可将其锁定至所需的频率。在时钟稳定 20 ms 后，PLL 会自动锁定。通过将 $\overline{DOFF}$ 引脚接地，可禁用 PLL。当 PLL 处于关闭状态时，器件会以 QDR I 模式工作（具有 1 个周期的延迟，并且访问时间更长）。有关信息请参考应用笔记，*PLL Considerations in QDRII/DDRII/QDRII+/DDRII+* 中的 PLL 注意事项。

Figure 1. 应用示例



真值表

以下是 CY7C1561KV18、CY7C1576KV18 和 CY7C1565KV18 的真值表。 [3, 4, 5, 6, 7, 8]

操作	K	RPS	WPS	DQ	DQ	DQ	DQ
写周期： 在 K 的上升沿加载地址； 在两个连续 K 和 K 上升沿 输入写数据。	L-H	H ^[9]	L ^[10]	在 K(t+1)-, 为 D(A)	在 $\bar{K}(t+1)$ -, 为 D(A + 1)	在 K(t+2)-, 为 D(A + 2)	在 $\bar{K}(t+2)$ -, 为 D(A + 3)
读周期： (2.5 周期延迟) 在 K 的上升沿加载地址； 等待两个或半个周期；在 两个连续 $\bar{K}$ 和 K 上升沿读 取数据。	L-H	L ^[10]	x	在 $\bar{K}(t+2)$ -, 为 Q(A)	在 K(t+3)-, 为 Q(A + 1)	在 $\bar{K}(t+3)$ -, 为 Q(A + 2)	在 K(t+4)-, 为 Q(A + 3)
NOP：无操作	L-H	H	H	D = X Q = High Z	D = X Q = High Z	D = X Q = High Z	D = X Q = High Z
待机：时钟停止	停止	X	X	上一个状态	上一个状态	上一个状态	前一个状态

写周期说明

CY7C1561KV18 的写周期说明表如下所示。 [3, 11]

NWS ₀	NWS ₁	K	$\bar{K}$	注释
L	L	L-H	-	在写过程的数据部分： CY7C1561KV18 – 两个半字节 (D _[7:0]) 均写入到器件中。
L	L	-	L-H	在写过程的数据部分： CY7C1561KV18 – 两个半字节 (D _[7:0]) 均写入到器件中。
L	H	L-H	-	在写过程的数据部分： CY7C1561KV18 – 仅低位半字节 (D _[3:0]) 写入到器件中，D _[7:4] 将保持不变。
L	H	-	L-H	在写过程的数据部分： CY7C1561KV18 – 仅低位半字节 (D _[3:0]) 写入到器件中，D _[7:4] 将保持不变。
H	L	L-H	-	在写过程的数据部分： CY7C1561KV18 – 仅高位半字节 (D _[7:4]) 写入到器件中，D _[3:0] 将保持不变。
H	L	-	L-H	在写过程的数据部分： CY7C1561KV18 – 仅高位半字节 (D _[7:4]) 写入到器件中，D _[3:0] 将保持不变。
H	H	L-H	-	在写操作的这一部分，不会有任何数据写入到器件中。
H	H	-	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

注：

- X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平，↑ 代表上升沿。
- 器件加电时将处于非选中状态，并且输出处于三态。
- “A” 代表在启动数据操作时，由器件锁存的地址。A + 1、A + 2 和 A + 3 代表突发中的地址序列。
- “t” 代表开始读 / 写操作的周期。t + 1、t + 2 和 t + 3 分别代表 “t” 时钟周期之后的第一个、第二个和第三个时钟周期。
- 数据输入会在 K 和 K 上升沿被寄存。数据输出也在 K 和 K 上升沿提供。
- 建议时钟停止时 K = $\bar{K}$ = 高电平。虽然这并不是必须的，但可以通过对称地克服传输线路充电，帮助实现最快的重启。
- 如果该信号是触发上一个周期的低电平，则该信号对于该操作会成为 “无需关注”。
- 该信号在上一个 K 时钟上升沿是高电平。不允许在 K 时钟上升沿启动连续读取或写入操作。器件将忽略第二个读取或写入请求。
- 基于根据表 启动的写周期。可以在写周期的不同部分更改 NWS₀、NWS₁、BWS₀、BWS₁、BWS₂ 和 BWS₃，只要满足建立和保持要求即可。

写周期说明

CY7C1576KV18 的写周期说明表如下所示。 [3, 11]

BWS ₀	K	$\bar{K}$	注释
L	L-H	–	在写过程的数据部分，单个字节 (D _[8:0]) 写入到器件中。
L	–	L-H	在写过程的数据部分，单个字节 (D _[8:0]) 写入到器件中。
H	L-H	–	在写操作的这一部分，不会有任何数据写入到器件中。
H	–	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

写周期说明

CY7C1565KV18 的写周期说明表如下所示。 [3, 11]

BWS ₀	BWS ₁	BWS ₂	BWS ₃	K	$\bar{K}$	注释
L	L	L	L	L-H	–	在写过程的数据部分，全部四个字节 (D _[35:0]) 都写入到器件中。
L	L	L	L	–	L-H	在写过程的数据部分，全部四个字节 (D _[35:0]) 都写入到器件中。
L	H	H	H	L-H	–	在写过程的数据部分，仅低位字节 (D _[8:0]) 写入到器件中。D _[35:9] 将保持不变。
L	H	H	H	–	L-H	在写过程的数据部分，仅低位字节 (D _[8:0]) 写入到器件中。D _[35:9] 将保持不变。
H	L	H	H	L-H	–	在写过程的数据部分，仅字节 (D _[17:9]) 写入到器件中。D _[8:0] 和 D _[35:18] 将保持不变。
H	L	H	H	–	L-H	在写过程的数据部分，仅字节 (D _[17:9]) 写入到器件中。D _[8:0] 和 D _[35:18] 将保持不变。
H	H	L	H	L-H	–	在写过程的数据部分，仅字节 (D _[26:18]) 写入到器件中。D _[17:0] 和 D _[35:27] 将保持不变。
H	H	L	H	–	L-H	在写过程的数据部分，仅字节 (D _[26:18]) 写入到器件中。D _[17:0] 和 D _[35:27] 将保持不变。
H	H	H	L	L-H	–	在写过程的数据部分，仅字节 (D _[35:27]) 写入到器件中。D _[26:0] 将保持不变。
H	H	H	L	–	L-H	在写过程的数据部分，仅字节 (D _[35:27]) 写入到器件中。D _[26:0] 将保持不变。
H	H	H	H	L-H	–	在写操作的这一部分，不会有任何数据写入到器件中。
H	H	H	H	–	L-H	在写操作的这一部分，不会有任何数据写入到器件中。

IEEE 1149.1 串行边界扫描 (JTAG)

这些 SRAM 在 FBGA 封装中加入了串行边界扫描测试端口 (TAP)。此部件完全符合 IEEE 标准 #1149.1-2001。TAP 在工作时采用 JEDEC 标准 1.8 V I/O 逻辑电平。

禁用 JTAG 特性

可以在不使用 JTAG 特性的情况下运行 SRAM。要禁用 TAP 控制器，必须将 TCK 连接到低电平 (V_{SS})，以防止额外的时钟输入到器件中。TDI 和 TMS 在内部上拉，并可处于未连接状态。它们也可以通过电阻上拉到 V_{DD} 。TDO 必须保持未连接状态。在加电时，器件会复位，这不会干扰器件的工作。

测试端口 - 测试时钟

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿被捕获。所有输出都从 TCK 的下降沿被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿被采样。如果未使用 TAP，此引脚可以保持未连接状态。此引脚在内部上拉，从而产生逻辑高电平。

测试数据输入 (TDI)

TDI 引脚用于以串行方式将信息输入到寄存器中，并可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令进行选择。有关加载指令寄存器的信息，请参见第 14 页的 [TAP 控制器状态图](#)。TDI 在内部上拉。如果未使用 TAP，此引脚可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB)。

测试数据输出 (TDO)

TDO 输出引脚用于以串行方式从寄存器输出时钟数据。输出有效，取决于 TAP 状态机的当前状态 (请参见第 17 页的 [指令代码](#))。输出会在 TCK 的下降沿改变。TDO 连接到任何寄存器的最低有效位 (LSB)。

执行 TAP 复位

通过将 TMS 强制置为高电平 (V_{DD}) 达 5 个 TCK 上升沿，即可进行复位。此复位不会影响 SRAM 的工作，并且在 SRAM 工作期间执行。在加电时，TAP 会在内部复位，以确保 TDO 处于 High-Z 状态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 引脚之间，用于扫描 SRAM 测试电路的数据输入和输出。一次只能通过指令寄存器选择一个寄存

器。在 TCK 的上升沿，数据会以串行方式加载到 TDI 引脚。在 TCK 的下降沿，数据会从 TDO 引脚输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。此寄存器在置于 TDI 和 TDO 引脚之间时被加载，如第 15 页的 [TAP 控制器框图](#) 所示。在加电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会加载二进制“01”样本，以便实现模块级别串行测试路径的故障隔离。

旁路寄存器

当数据以串行方式写入寄存器时，跳过某些芯片可能会有助于节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 引脚之间，从而使数据在写入 SRAM 时具有较小的延迟。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和输出引脚。扫描寄存器中还包含一些无连接 (NC) 引脚，以便供更高密度的器件使用。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM 输入和输出环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 引脚之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获输入和输出环的内容。

章节 第 18 页的 [边界扫描顺序](#) 显示了各个位的连接顺序。每个位都对应于 SRAM 封装上的一个管脚。寄存器的 MSB 连接到 TDI，LSB 连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以将其读出。ID 寄存器具有供货商代码和第 17 页的 [标识寄存器定义](#) 中所述的其他信息。

TAP 指令集

三位指令寄存器可实现八个不同的指令。第 17 页的 [指令代码](#) 中列出了所有组合。其中三个指令列为了 RESERVED，请勿使用这些指令。本节将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在此状态期间，指令会通过 TDI 和 TDO 引脚被写入指令寄存器。要在写入指令后执行指令，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供货商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 引脚之间，并会在 TAP 控制器进入 Shift-DR 状态后，将 IDCODE 移出器件。在加电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于 High Z 状态，直到在 Update-IR 状态期间提供了一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差距，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 则可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了确保边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间（ t_{CS} 和 t_{CH} ）要求。如果在设计上无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在这一问题，仍可以捕获所有其他信号，只要忽略边界扫描寄存器中捕获的 CK 和 CK 的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以读出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 用于在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据读写可以并发执行，即可以在读出所捕获数据的同时，读入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当模块上有多个器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，此指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST OUTPUT BUS TRI-STATE

IEEE 标准 1149.1 强制规定，TAP 控制器需要能够将输出总线置于三态模式。

边界扫描寄存器在 108 位有一个特殊位。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。在置于低电平时，此位会将输出总线置于 High-Z 状态。

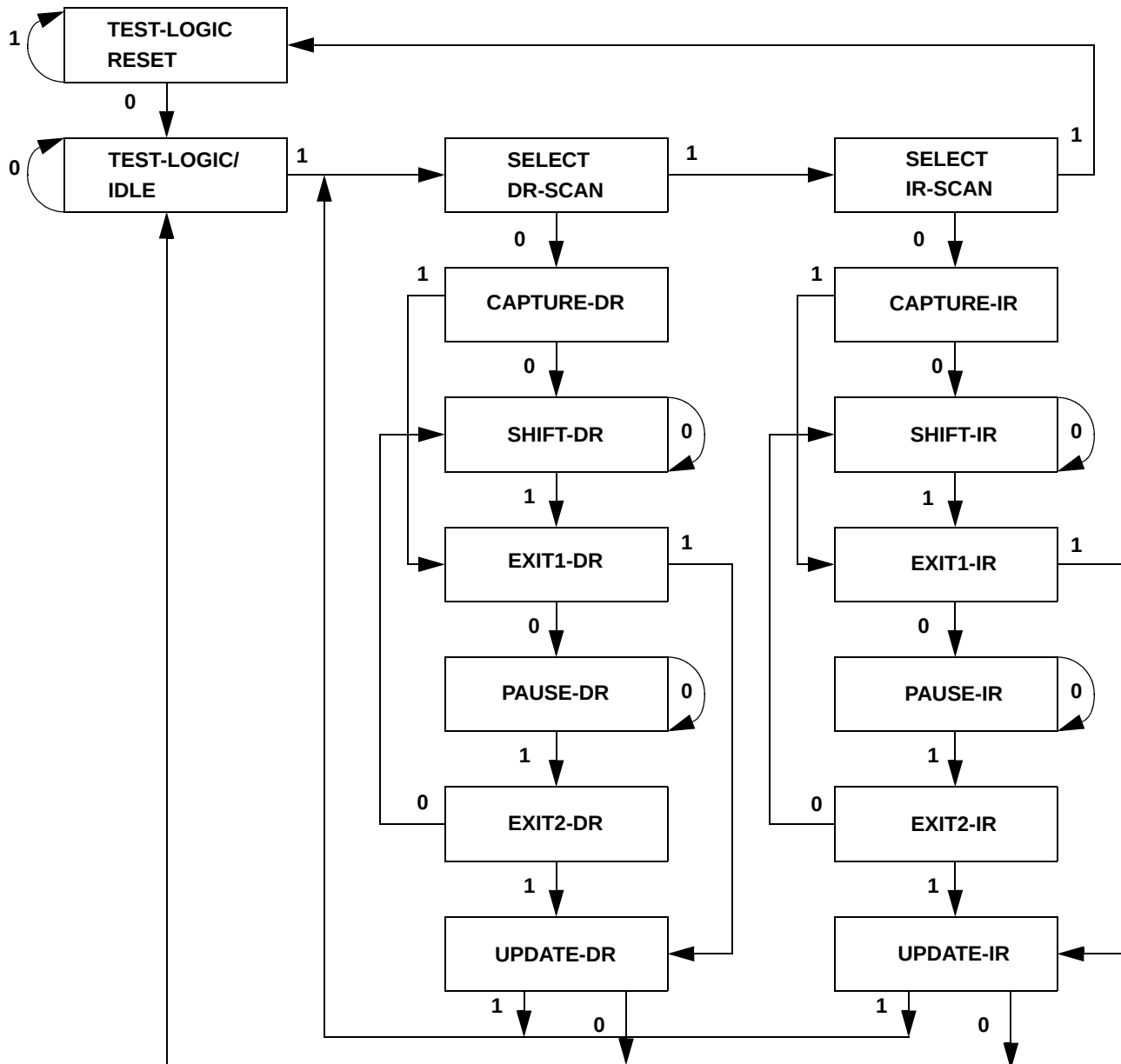
通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位读入到该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，此位会直接控制输出 Q 总线引脚。请注意，此位会预置为高电平，以便在器件加电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，启动输出。

Reserved

这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

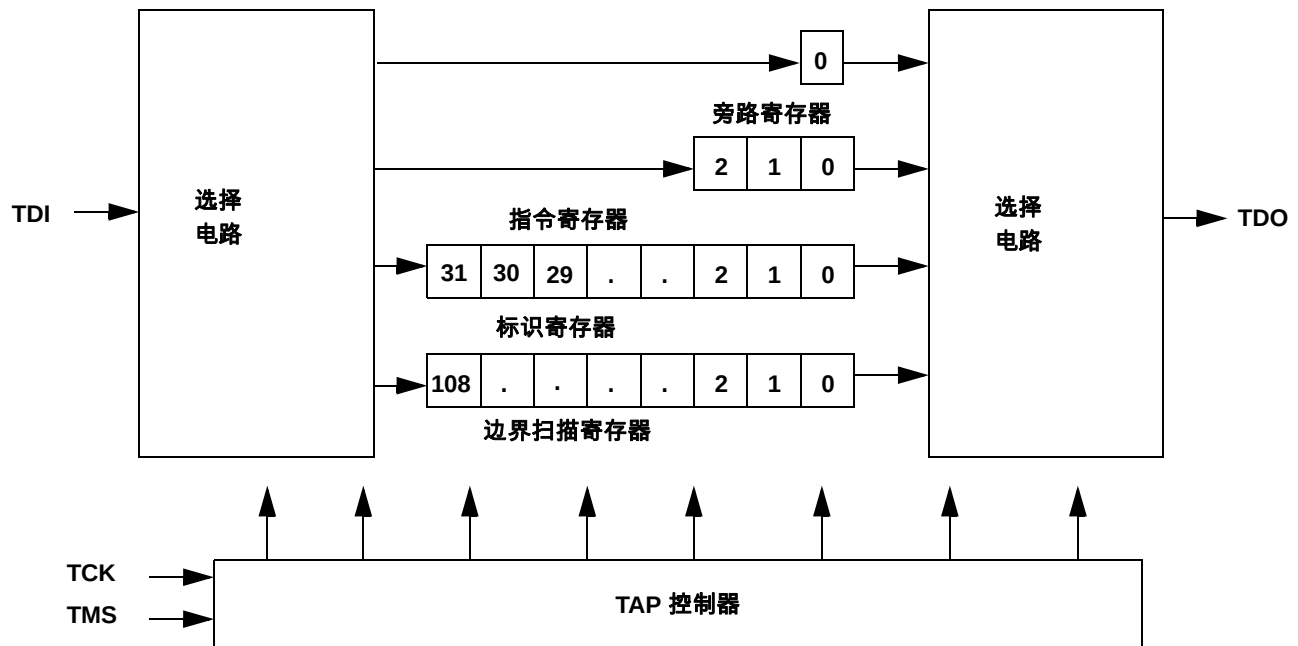
TAP 控制器状态图

TAP 控制器的状态图如下所示。^[12]



注：
12. 每个状态旁边的 0/1 代表 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图



TAP 电气特性

超出工作范围 [13, 14, 15]

参数	说明	测试条件	最小值	最大值	单位
V_{OH1}	输出高电平电压	$I_{OH} = -2.0 \text{ mA}$	1.4		V
V_{OH2}	输出高电平电压	$I_{OH} = -100 \text{ }\mu\text{A}$	1.6		V
V_{OL1}	输出低电平电压	$I_{OL} = 2.0 \text{ mA}$		0.4	V
V_{OL2}	输出低电平电压	$I_{OL} = 100 \text{ }\mu\text{A}$		0.2	V
V_{IH}	输入高电平电压		$0.65V_{DD}$	$V_{DD} + 0.3$	V
V_{IL}	输入低电平电压		-0.3	$0.35V_{DD}$	V
I_X	输入和输出负载电流	$GND \leq V_I \leq V_{DD}$	-5	5	μA

注：

13. 这些特性为 TAP 输入 (TMS、TCK、TDI 和 TDO) 的特性。并行负载电平在电气特性表中指定。
14. 过冲： $V_{IH}(\text{交流}) \leq V_{DD} + 0.35 \text{ V}$ (脉冲宽度小于 $t_{CYC/2}$)，下冲： $V_{IL}(\text{交流}) \geq -0.3 \text{ V}$ (脉冲宽度小于 $t_{CYC/2}$)。
15. 所有电压都是相对于接地的电压。

TAP 交流开关特性

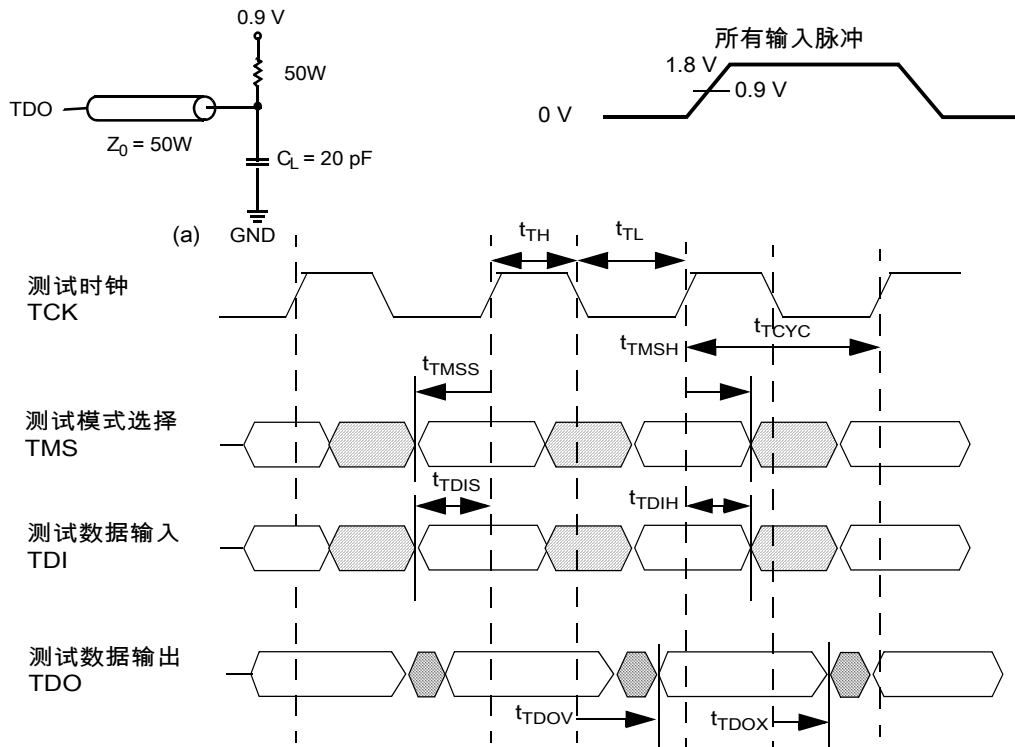
超出工作范围 [16, 17]

参数	说明	最小值	最大值	单位
t_{TCYC}	TCK 时钟周期时间	50		ns
t_{TF}	TCK 时钟频率		20	MHz
t_{TH}	TCK 时钟高电平	20		ns
t_{TL}	TCK 时钟低电平	20		ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5		ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5		ns
t_{CS}	从捕获建立到 TCK 上升沿的时间	5		ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后的 TMS 保持时间	5		ns
t_{TDIH}	时钟上升沿之后的 TDI 保持时间	5		ns
t_{CH}	时钟上升沿之后的捕获保持时间	5		ns
输出时间				
t_{TDOV}	从 TCK 时钟为低到 TDO 有效的时间		10	ns
t_{TDOX}	从 TCK 时钟为低到 TDO 无效的时间	0		ns

TAP 时序和测试条件

图 2 shows the TAP timing and test conditions. [17]

Figure 2. TAP 时序和测试条件



注：

16. t_{CS} and t_{CH} 指从边界扫描寄存器锁存数据的建立和保持时间要求。
17. 测试条件是使用 TAP 交流测试条件中的负载确定的。 $t_R/t_F = 1\text{ ns}$ 。

标识寄存器定义

指令字段	值			说明
	CY7C1561KV18	CY7C1576KV18	CY7C1565KV18	
版本号 (31:29)	000	000	000	版本号。
赛普拉斯公司器件 ID (28:12)	11010010001000100	11010010001001100	11010010001100100	定义 SRAM 的类型。
赛普拉斯公司 JEDEC ID (11:1)	00000110100	00000110100	00000110100	允许对 SRAM 供货商使用唯一标识。
ID 寄存器存在情况 (0)	1	1	1	指示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小
指令	3
绕过	1
ID	32
边界扫描	109

指令代码

指令	代码	说明
EXTEST	000	捕获输入和输出环的内容。
IDCODE	001	在 ID 寄存器中加载供货商 ID 代码，并将该寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获输入和输出内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制使所有 SRAM 输出驱动器均进入 High Z 状态。
RESERVED	011	请勿使用：此指令留作日后使用。
SAMPLE/PRELOAD	100	捕获输入和输出环的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。不会影响 SRAM 的工作。
RESERVED	101	请勿使用：此指令留作日后使用。
RESERVED	110	请勿使用：此指令留作日后使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。

边界扫描顺序

位编号	管脚 ID	位编号	管脚 ID	位编号	管脚 ID	位编号	管脚 ID
0	6R	28	10G	56	6A	84	1J
1	6P	29	9G	57	5B	85	2J
2	6N	30	11F	58	5A	86	3K
3	7P	31	11G	59	4A	87	3J
4	7N	32	9F	60	5C	88	2K
5	7R	33	10F	61	4B	89	1K
6	8R	34	11E	62	3A	90	2L
7	8P	35	10E	63	2A	91	3L
8	9R	36	10D	64	1A	92	1M
9	11P	37	9E	65	2B	93	1L
10	10P	38	10C	66	3B	94	3N
11	10N	39	11D	67	1C	95	3M
12	9P	40	9C	68	1B	96	1N
13	10M	41	9D	69	3D	97	2M
14	11N	42	11B	70	3C	98	3P
15	9M	43	11C	71	1D	99	2N
16	9N	44	9B	72	2C	100	2P
17	11L	45	10B	73	3E	101	1P
18	11M	46	11A	74	2D	102	3R
19	9L	47	10A	75	2E	103	4R
20	10L	48	9A	76	1E	104	4P
21	11K	49	8B	77	2F	105	5P
22	10K	50	7C	78	3F	106	5N
23	9J	51	6C	79	1G	107	5R
24	9K	52	8A	80	1F	108	内部
25	10J	53	7A	81	3G		
26	11J	54	7B	82	2G		
27	11H	55	6B	83	1H		

QDR II+ SRAM 中的加电顺序

QDR II+ SRAM 必须按预定义的方式加电并初始化，以免执行未定义的操作。

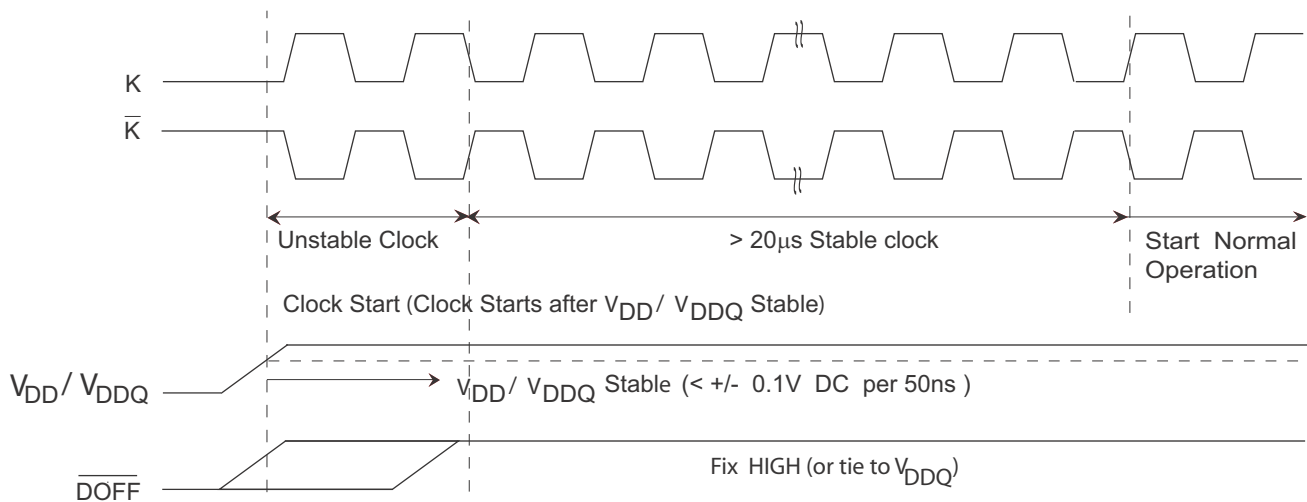
加电顺序

- 通电并将 $\overline{\text{DOFF}}$ 置为高电平或低电平（所有其他输入都可以是高电平或低电平）。
 - 在施加 V_{DDQ} 之前施加 V_{DD} 。
 - 在施加 V_{REF} 之前或与 V_{REF} 同时施加 V_{DDQ} 。
 - 将 $\overline{\text{DOFF}}$ 置为高电平。
- 提供连续 20 ms 的稳定 $\overline{\text{DOFF}}$ （高电平）、电源和时钟（K、 $\overline{\text{K}}$ ），以便锁定 PLL。

PLL 限制

- PLL 使用 K 时钟作为其同步输入。输入必须具有较低的相位抖动（以 $t_{\text{KC Var}}$ 表示）。
- PLL 能够正常工作的最低频率为 120 MHz。
- 如果输入时钟不稳定并且启用了 PLL，则 PLL 可能会锁定到不正确的频率，从而导致 SRAM 工作不稳定。为了避免这种情况，请提供 20 ms 的稳定时钟，以便重新锁定到所需的时钟频率。

Figure 3. 加电波形



最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度 -65 °C 至 +150 °C
通电状态下的环境温度 -55 °C 到 +125 °C
 V_{DD} 上相对于 GND 的供电电压 -0.5V 到 +2.9V
 V_{DDQ} 上相对于 GND 的供电电压 -0.5 V 到 + V_{DD}
High Z 状态下为输出施加的直流电压 -0.5 V 到 $V_{DDQ} + 0.3$ V
直流输入电压 ^[14] -0.5 V 到 $V_{DD} + 0.3$ V
输出电流 (低电平) 20 mA
静电放电电压 (MIL-STD-883、M. 3015) > 2,001V
栓锁电流 > 200 mA

工作范围

范围	环境温度 (T_A)	V_{DD} ^[18]	V_{DDQ} ^[18]
商用	0 °C 至 +70 °C	1.8 ± 0.1 V	1.4 V 至 V_{DD}
工业	-40 °C 至 +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU	逻辑单比特错误	25 °C	197	216	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	软栓锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件；此列为统计得出的 c^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN54908 “Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates”。

电气特性

DC Electrical Characteristics

Over the Operating Range ^[15]

参数	说明	测试条件	最小值	典型值	最大值	单位
V_{DD}	电源电压		1.7	1.8	1.9	V
V_{DDQ}	I/O 供电电压		1.4	1.5	V_{DD}	V
V_{OH}	输出高电平电压	注 19	$V_{DDQ}/2 - 0.12$	–	$V_{DDQ}/2 + 0.12$	V
V_{OL}	输出低电平电压	注 20	$V_{DDQ}/2 - 0.12$	–	$V_{DDQ}/2 + 0.12$	V
$V_{OH(LOW)}$	输出高电平电压	$I_{OH} = -0.1$ mA, 额定阻抗	$V_{DDQ} - 0.2$	–	V_{DDQ}	V
$V_{OL(LOW)}$	输出低电平电压	$I_{OL} = 0.1$ mA, 额定阻抗	V_{SS}	–	0.2	V
V_{IH}	输入高电平电压		$V_{REF} + 0.1$	–	$V_{DDQ} + 0.15$	V
V_{IL}	输入低电平电压		-0.15	–	$V_{REF} - 0.1$	V
I_X	输入漏电流	$GND \leq V_I \leq V_{DDQ}$	-2	–	2	μA
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-2	–	2	μA
V_{REF}	输入参考电压 ^[21]	典型值 = 0.75V	0.68	0.75	0.95	V

注：

18. 加电：假设在 200 ms 内从 0 V 线性上升到 $V_{DD}(\min)$ 。在此期间， $V_{IH} < V_{DD}$ 且 $V_{DDQ} \leq V_{DD}$ 。

19. 输出受阻抗控制。对于 175 欧姆 $\leq R_Q \leq 350$ 欧姆的值， $I_{OH} = -(V_{DDQ}/2)/(R_Q/5)$ 。

20. 输出受阻抗控制。对于 175 欧姆 $\leq R_Q \leq 350$ 欧姆的值， $I_{OL} = (V_{DDQ}/2)/(R_Q/5)$ 。

21. $V_{REF}(\min) = 0.68V$ 或 $0.46V_{DDQ}$ 中的较大者； $V_{REF}(\max) = 0.95V$ 或 $0.54V_{DDQ}$ 中的较小者。

电气特性 (continued)

DC Electrical Characteristics

Over the Operating Range ^[15]

参数	说明	测试条件			最小值	典型值	最大值	单位
I _{DD} ^[22]	V _{DD} 的工作电流	V _{DD} = 最大值， I _{OUT} = 0 mA、 f = f _{MAX} = 1/t _{CYC}	550 MHz	(x8)	—	—	900	mA
				(x9)	—	—	900	
				(x36)	—	—	1310	
			500 MHz	(x8)	—	—	830	mA
				(x9)	—	—	830	
				(x36)	—	—	1210	
			450 MHz	(x8)	—	—	760	mA
				(x9)	—	—	760	
				(x36)	—	—	1100	
			400 MHz	(x8)	—	—	690	mA
				(x9)	—	—	690	
				(x36)	—	—	1000	
I _{SB1}	自动断电 电流	最大值 V _{DD} ， 两个端口均未选中， V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} f = f _{MAX} = 1/t _{CYC} 、 输入静态	550 MHz	(x8)	—	—	380	mA
				(x9)	—	—	380	
				(x36)	—	—	380	
			500 MHz	(x8)	—	—	360	mA
				(x9)	—	—	360	
				(x36)	—	—	360	
			450 MHz	(x8)	—	—	340	mA
				(x9)	—	—	340	
				(x36)	—	—	340	
			400 MHz	(x8)	—	—	320	mA
				(x9)	—	—	320	
				(x36)	—	—	320	

交流电气特性

Over the Operating Range ^[14]

参数	说明	测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压		$V_{REF} + 0.2$	–	$V_{DDQ} + 0.24$	V
V_{IL}	输入低电平电压		–0.24	–	$V_{REF} - 0.2$	V

注：

22. 工作电流根据 50% 读周期和 50% 写周期计算得出。

电容

进行可能会影响这些参数的任何设计或工艺更改之前和之后测试。

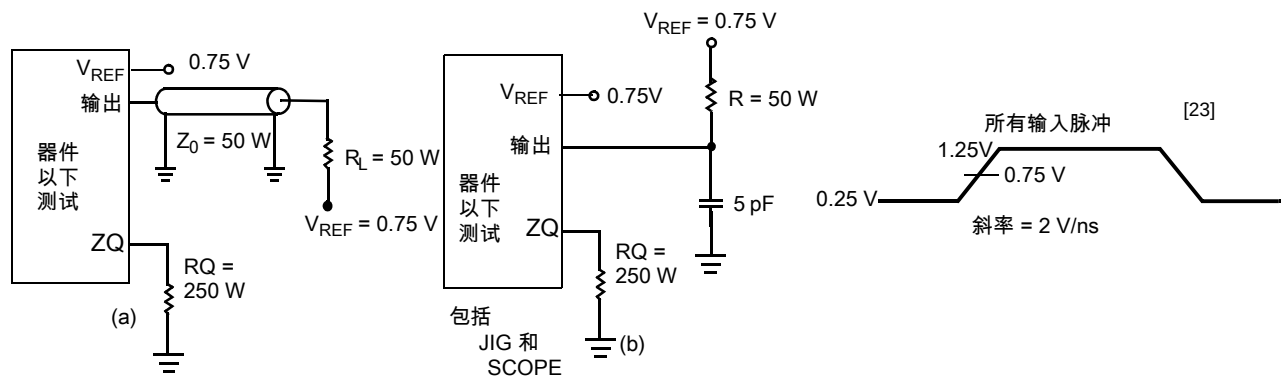
参数	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^{\circ}\text{C}$ 、 $f = 1\text{ MHz}$ 、 $V_{DD} = 1.8\text{ V}$ 、 $V_{DDQ} = 1.5\text{ V}$	4	pF
C_O	输出电容		4	pF

热阻

在进行可能会影响这些参数的任何设计或工艺更改之前和之后测试。

参数	说明	测试条件	165 FBGA 封装	单位
Θ_{JA}	热电阻 (结温)	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	13.7	$^{\circ}\text{C/W}$
Θ_{JC}	热电阻 (壳温)		3.73	$^{\circ}\text{C/W}$

Figure 4. 交流测试负载和波形



注：
23. 除非另行指定，否则测试条件基于 2 V/ns 的信号跃变时间、 0.75 V 的时序参考电平、 $V_{ref} = 0.75\text{ V}$ 、 $R_Q = 250\text{ }\Omega$ 、 $V_{DDQ} = 1.5\text{ V}$ 、 0.25 V 至 1.25 V 的输入脉冲电平以及具有指定 I_{OL}/I_{OH} 和负载电容的输出负载，如 图 4 的 (a) 所示。

开关特性

Over the Operating Range [23, 24]

赛普拉斯参数	联盟参数	说明	550 MHz		500 MHz		450 MHz		400 MHz		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{POWER}		从 V _{DD} (典型值) 到第一次访问的时间 [25]	1	–	1	–	1	–	1	–	ms
t _{CYC}	t _{KHKH}	K 时钟周期时间	1.81	8.4	2.0	8.4	2.2	8.4	2.5	8.4	ns
t _{KH}	t _{KHKL}	输入时钟 (K/ $\bar{K}$) 高电平	0.4	–	0.4	–	0.4	–	0.4	–	ns
t _{KL}	t _{KLKH}	输入时钟 (K/ $\bar{K}$) 低电平	0.4	–	0.4	–	0.4	–	0.4	–	ns
t _{KHKH}	t _{KHKH}	K 时钟上升沿到 $\bar{K}$ 时钟上升沿的时间 (从上升沿到上升沿)	0.77	–	0.85	–	0.94	–	1.06	–	ns
建立时间											
t _{SA}	t _{AVKH}	从地址建立到 K 时钟上升沿的时间	0.23	–	0.25	–	0.275	–	0.4	–	ns
t _{SC}	t _{IVKH}	从控制建立到 K 时钟上升沿的时间 (RPS、WPS)	0.23	–	0.25	–	0.275	–	0.4	–	ns
t _{SCDDR}	t _{IVKH}	双倍数据速率控制建立到时钟 (K/ $\bar{K}$) 上升沿 (BWS ₀ 、BWS ₁ 、BWS ₂ 、BWS ₃) 的时间	0.18	–	0.20	–	0.22	–	0.28	–	ns
t _{SD}	t _{DVKH}	从 D _[X:0] 建立到时钟 (K/ $\bar{K}$) 上升沿的时间	0.18	–	0.20	–	0.22	–	0.28	–	ns
保持时间											
t _{HA}	t _{KHAX}	K 时钟上升沿之后的地址保持时间	0.23	–	0.25	–	0.275	–	0.4	–	ns
t _{HC}	t _{KHIX}	K 时钟上升沿之后的控制保持时间 (RPS、WPS)	0.23	–	0.25	–	0.275	–	0.4	–	ns
t _{HCDDR}	t _{KHIX}	时钟 (K/ $\bar{K}$) 上升沿 ($\overline{\text{BWS}}_0$ 、 $\overline{\text{BWS}}_1$ 、 $\overline{\text{BWS}}_2$ 、 $\overline{\text{BWS}}_3$) 之后的双倍数据速率控制保持时间	0.18	–	0.20	–	0.28	–	0.28	–	ns
t _{HD}	t _{KHDX}	时钟 (K/ $\bar{K}$) 上升沿之后的 D _[X:0] 保持时间	0.18	–	0.20	–	0.28	–	0.28	–	ns
输出时间											
t _{CO}	t _{CHQV}	K/ $\bar{K}$ 时钟上升沿到数据有效的时间	–	0.45	–	0.45	–	0.45	–	0.45	ns
t _{DOH}	t _{CHQX}	输出 K/ $\bar{K}$ 时钟上升沿之后的数据输出保持时间 (从有效到有效)	–0.45	–	–0.45	–	–0.45	–	–0.45	–	ns
t _{CCQO}	t _{CHCQV}	从 K/ $\bar{K}$ 时钟上升沿到随路时钟有效的时间	–	0.45	–	0.45	–	0.45	–	0.45	ns
t _{CQOH}	t _{CHCQX}	K/ $\bar{K}$ 时钟上升沿之后的随路时钟保持时间	–0.45	–	–0.45	–	–0.45	–	–0.45	–	ns
t _{CQD}	t _{CQHCV}	从随路时钟为高到数据有效的时间		0.15		0.15		0.15		0.20	ns
t _{CQDOH}	t _{CQHCV}	从随路时钟为高到数据无效的时间	–0.15	–	–0.15	–	–0.15	–	–0.20	–	ns
t _{CQH}	t _{CQHCQL}	输出时钟 (CQ/ $\overline{\text{CQ}}$) 高电平 [26]	0.655	–	0.75	–	0.85	–	1.0	–	ns
t _{CQHCH}	t _{CQHCH}	从 CQ 时钟上升沿到 $\overline{\text{CQ}}$ 时钟上升沿的时间 (从上升沿到上升沿) [26]	0.655	–	0.75	–	0.85	–	1.0	–	ns
t _{CHZ}	t _{CHQZ}	从时钟 (K/ $\bar{K}$) 上升沿到 High Z 的时间 (从有效到 High Z) [27, 28]	–	0.45	–	0.45	–	0.45	–	0.45	ns
t _{CLZ}	t _{CHQX1}	从时钟 (K/ $\bar{K}$) 上升沿到 Low Z 的时间 [27, 28]	–0.45	–	–0.45	–	–0.45	–	–0.45	–	ns
t _{QVLD}	t _{CQHCVLD}	从随路时钟为高到 QVLD 有效的时间 [29]	–0.15	0.15	–0.15	0.15	–0.15	0.15	–0.20	0.20	ns
PLL 时序											
t _{KC Var}	t _{KC Var}	时钟相位抖动	–	0.15	–	0.15	–	0.15	–	0.20	ns
t _{KC 时钟}	t _{KC 时钟}	PLL 锁定时间 (K)	20	–	20	–	20	–	20	–	μs
t _{KC 复位}	t _{KC 复位}	从 K 为静态到 PLL 复位的时间 [30]	30		30		30		30		ns

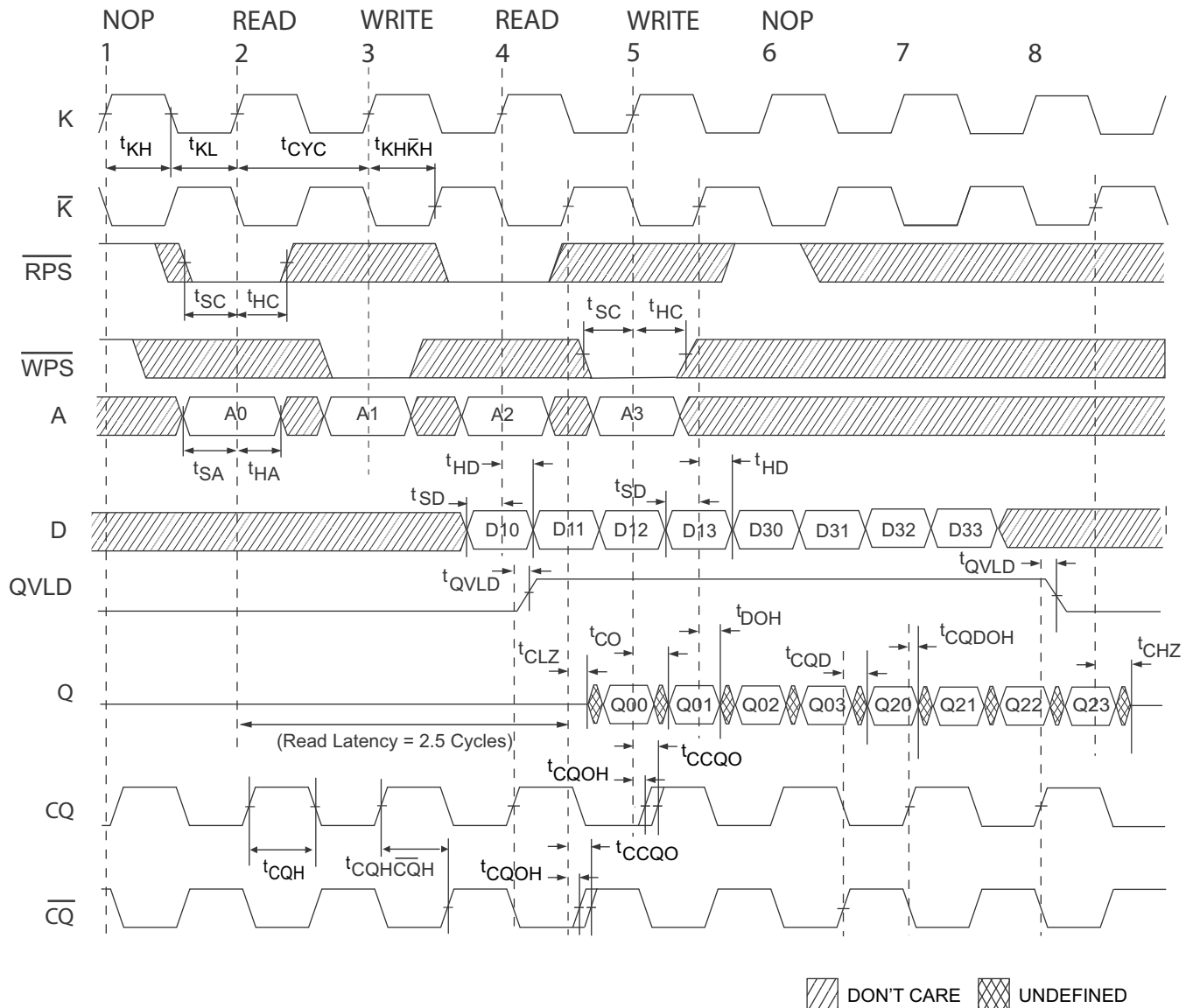
注：

24. 当最大频率高于 400 MHz 的部件在较低时钟频率下工作时，它需要工作频率范围的输入时序，并会以该频率范围的输出时序来输出数据。
 25. 此部件内部拥有电压调节器：t_{POWER} 为要启动读操作或写操作，开始提供的电源必须高于 V_{DD} 最小值的时间。
 26. 这些参数是根据输入时序参数 (t_{CYC}/2 - 250 ps，其中 250 ps 是内部抖动) 推导出来的。这些参数仅由设计保证，未在生产中进行过测试。
 27. 如第 22 页的图 4 的 (b) 部分所示，t_{CHZ}、t_{CLZ} 是用一个 5 pF 的负载电容确定的。跃变在稳定状态电压 ± 100 mV 的条件下测量。
 28. 在任何电压和温度下，t_{CHZ} 均小于 t_{CLZ}，且 t_{CHZ} 均小于 t_{CO}。
 29. t_{QVLD} 规范适用于 QVLD 信号的上升沿和下降沿。
 30. 保持为 >V_{IH} 或 <V_{IL}。

开关波形

读 / 写 / 取消选中操作过程 [31, 32, 33]

Figure 5. 2.5 个周期读取延迟的波形



注：

31. Q00 指地址 A0 的输出。Q01 指 A0 后的下一个内部突发 (Burst) 地址 (即 A0+1) 的输出。

32. 在 NOP 后的一个时钟周期内会禁用输出 (High Z)。

33. 在此示例中，如果地址 A2 = A1，则数据 Q20 = D10、Q21 = D11、Q22 = D12 和 Q23 = D13。写数据会立即作为读结果往前传。此注解适用于整个示意图。

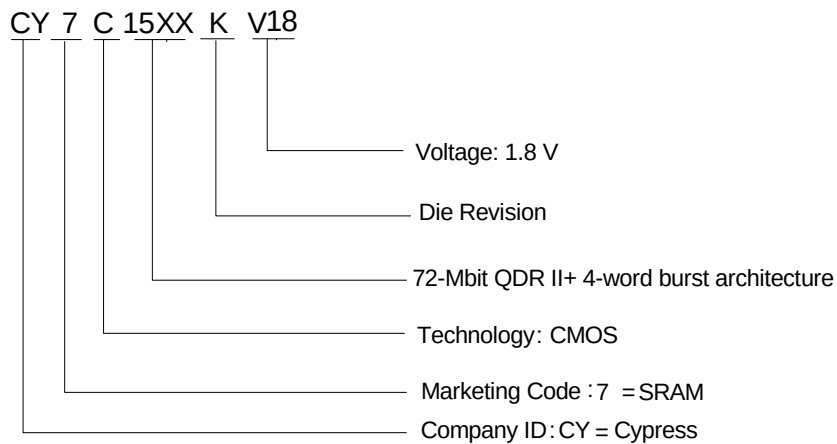
订购信息

下表仅包含目前可以供应的部件。如果您没有看到自己需要的部件，请与当地销售代表联系。如需更多信息，请访问赛普拉斯公司网站 www.cypress.com，并参考 <http://www.cypress.com/products> 上的产品汇总页。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

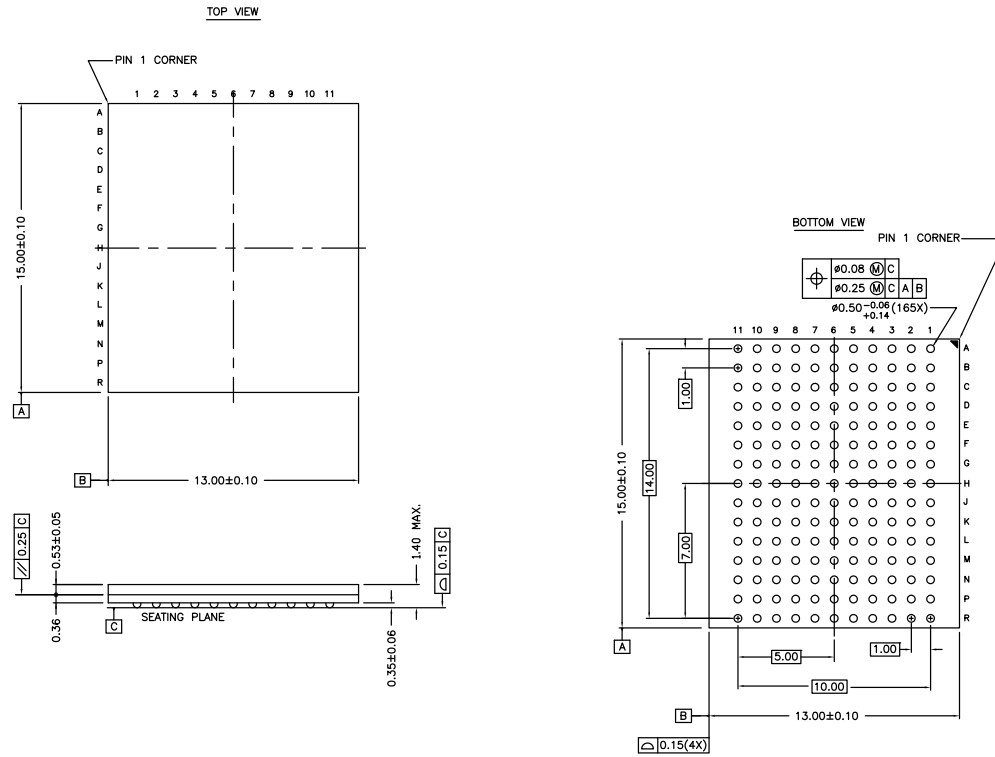
速度 (MHz)	订购代码	封装框图	部件和封装类型	工作范围
500	CY7C1565KV18-500BZC	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	商用
	CY7C1565KV18-500BZXC		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	
	CY7C1565KV18-500BZI	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	工业
	CY7C1565KV18-500BZXI		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	
450	CY7C1565KV18-450BZC	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	商用
	CY7C1565KV18-450BZXC		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	
	CY7C1565KV18-450BZI	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	工业
	CY7C1565KV18-450BZXI		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	
400	CY7C1565KV18-400BZC	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	商用
	CY7C1565KV18-400BZXC		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	
	CY7C1565KV18-400BZI	51-85180	165 脚 Ball FBGA (13 × 15 × 1.4 mm)	工业
	CY7C1565KV18-400BZXI		165 脚 Ball FBGA (13 × 15 × 1.4 mm) 不含铅	

订购代码定义



封装图

Figure 6. 165 脚 Ball FBGA (13 × 15 × 1.4 mm)



NOTES :

SOLDER PAD TYPE : NON-SOLDER MASK DEFINED (NSMD)

JEDEC REFERENCE : MO-216 / ISSUE E

PACKAGE CODE : BB0AC/BW0AC

PACKAGE WEIGHT : SEE CYPRESS PACKAGE MATERIAL DECLARATION DATASHEET (PMDD) POSTED ON THE CYPRESS WEB.

51-85180 *F

缩略语

缩略语	说明
DDR	双倍数据速率
FBGA	小间距 BGA
HSTL	高速收发器逻辑
JEDEC	联合电子设备工程委员会
JTAG	联合测试行动小组
ODT	中断电阻
PLL	锁相环
QDR	四倍数据传输率
TAP	测试端口
TCK	测试时钟
TDO	测试数据输出
TDI	测试数据输入
TMS	测试模式选择



文档修订记录页

文档标题：CY7C1561KV18/CY7C1576KV18/CY7C1565KV18, 72-Mbit QDR® II+ SRAM 4 字突发架构（2.5 周期读延迟） 文档编号：001-63442				
修订版	ECN	变更人	提交日期	变更说明
**	3002218	08/06/2010	VKN	Translation of spec 001-15878 *J.
*A	3379011	09/21/2011	VLX	从订购信息表中删除了下列部件： CY7C1565KV18-550BZC, CY7C1565KV18-550BZXC, CY7C1565KV18-550BZI 和 CY7C1565KV18-550BZXI。 模板更新。
*B	4387112	05/22/2014	SCHC	Updated 封装图： spec 51-85180 – Changed revision from *C to *F.

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品 cypress.com/go/automotive
时钟与缓冲器 cypress.com/go/clocks
接口 cypress.com/go/interface
照明与电源控制 cypress.com/go/powerpsoc
cypress.com/go/plc
存储器 cypress.com/go/memory
光学与图像传感器 cypress.com/go/image
PSoC cypress.com/go/psoc
触摸感应产品 cypress.com/go/touch
USB 控制器 cypress.com/go/USB
无线 /RF 产品 cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2010-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌电路之外，赛普拉斯半导体公司不对其他任何电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用等用途。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受到全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此源代码进行任何复制、修改、转换或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受到适用的赛普拉斯软件许可协议限制。