



CY7C1461KV33

CY7C1463KV33

带有 NoBL™ 架构的 36 Mbit (1 M × 36/2 M × 18) 输出式静态存储器

特性

- No Bus Latency™ (NoBL™) 架构去除了读和写周期间的死周期
- 支持具有零等待状态并且频率为 133 MHz 的总线操作
 - 按时钟频率进行传输数据
- 引脚是兼容的，并且功能也与 ZBT™ 器件相同
- 提供对内部自定时输出缓冲区的控制，因而无需使用 \overline{OE}
- 输入寄存器的直通操作
- 字节写入功能
- 3.3 V 和 2.5 V 的 I/O 供电电源
- 时钟至输出的时间快
 - 6.5 ns (对于 133 MHz 器件)
- 通过时钟使能 (\overline{CEN}) 引脚支持时钟和暂停操作
- 同步自定时写入
- 异步输出使能
- CY7C1461KV33 和 CY7C1463KV33 提供了 JEDEC 标准的无铅 100 引脚 TQFP 封装。
- 用于简化深度扩展的三个芯片使能
- 进入 ZZ 模式或使用 CE 取消选择时，自动断电性能可用
- 突发功能 — 支持线性或交错突发顺序模式
- 低电平待机功耗

功能描述

CY7C1461KV33/CY7C1463KV33 是 3.3 V、1 M × 36/2 M × 18 同步直通突发 SRAM，专门为支持无限且零等待状态的连续读 / 写操作而设计。CY7C1461KV33/CY7C1463KV33 与所需的高级 NoBL 逻辑配合使用，用于使能连续读 / 写操作，即在每个时钟周期上都要进行数据传输。在需要频繁进行读 / 写切换的系统中，通过该特性可明显提高 SRAM 的数据吞吐量。

所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟输入与时钟使能 (\overline{CEN}) 信号配合使用；当该信号被取消置位时，它将暂停操作并延长前面的时钟周期。从时钟上升沿的最大访问延迟为 6.5 ns (133 MHz 器件)。

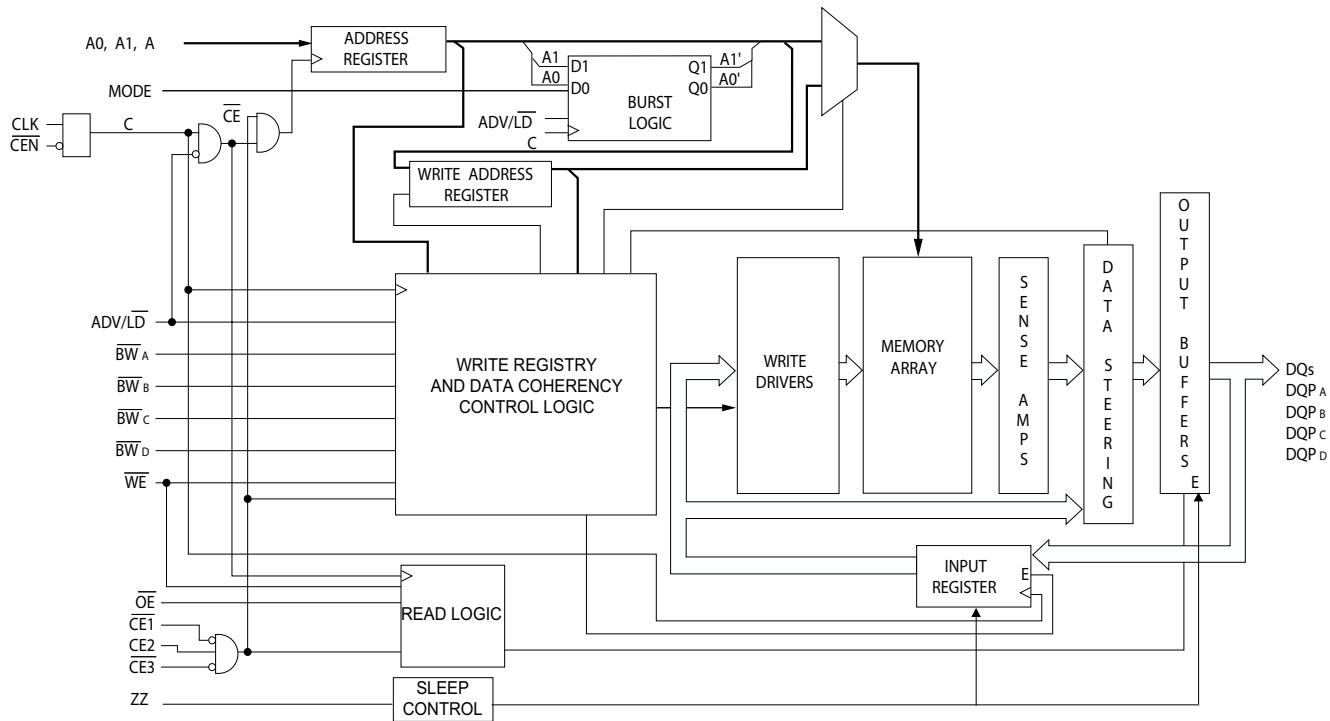
写操作由两个或四个字节写入选项 (\overline{BW}_X) 以及写使能 (\overline{WE}) 输入控制。所有写操作都是通过片上同步自定时写电路实现的。

这些器件提供了三个同步芯片使能 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 和一个异步输出使能 (\overline{OE})，从而可以轻松地进行组选择和输出三态控制。为了避免总线冲突，在写序列的数据传输过程中，要将输出驱动器同步进入三态。

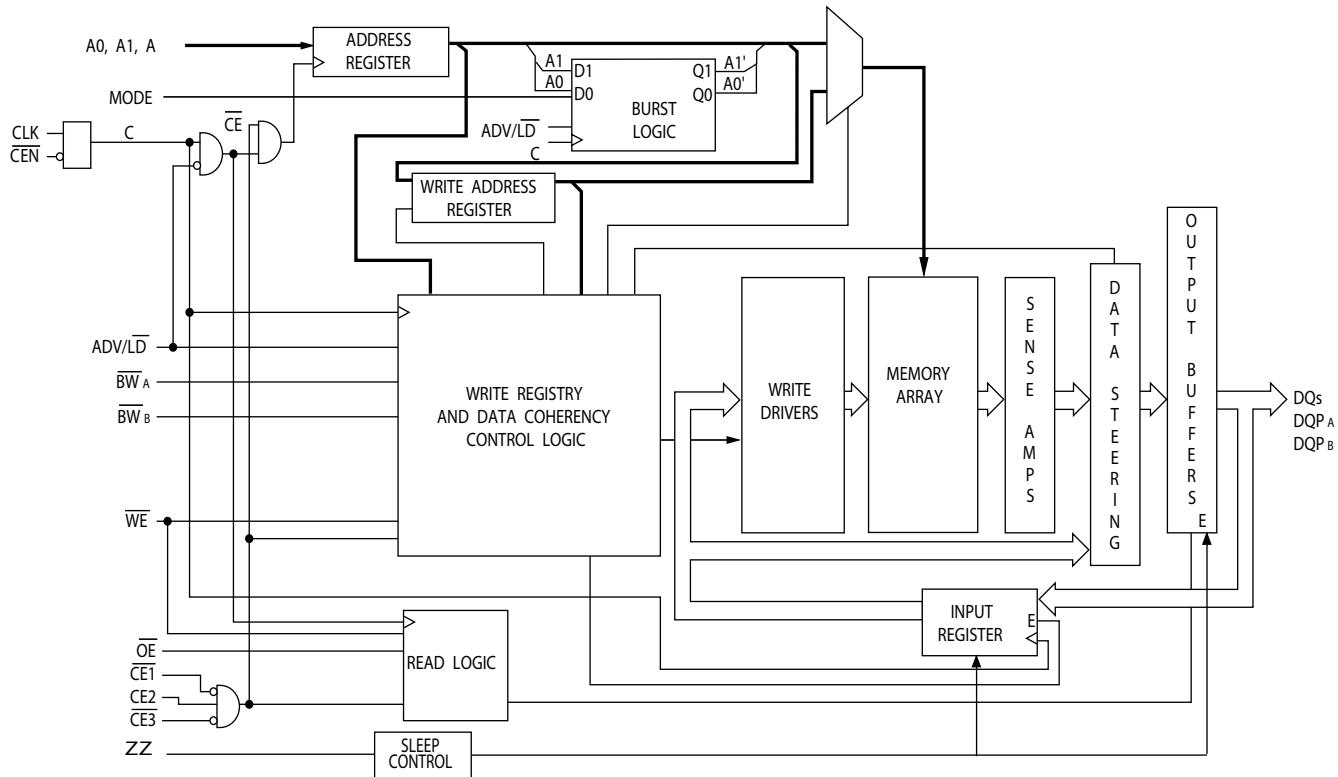
产品选择指南

说明	133 MHz	单位
最大访问时间	6.5	ns
最大工作电流	× 18	150
	× 36	170

逻辑框图 — CY7C1461KV33



逻辑框图 — CY7C1463KV33

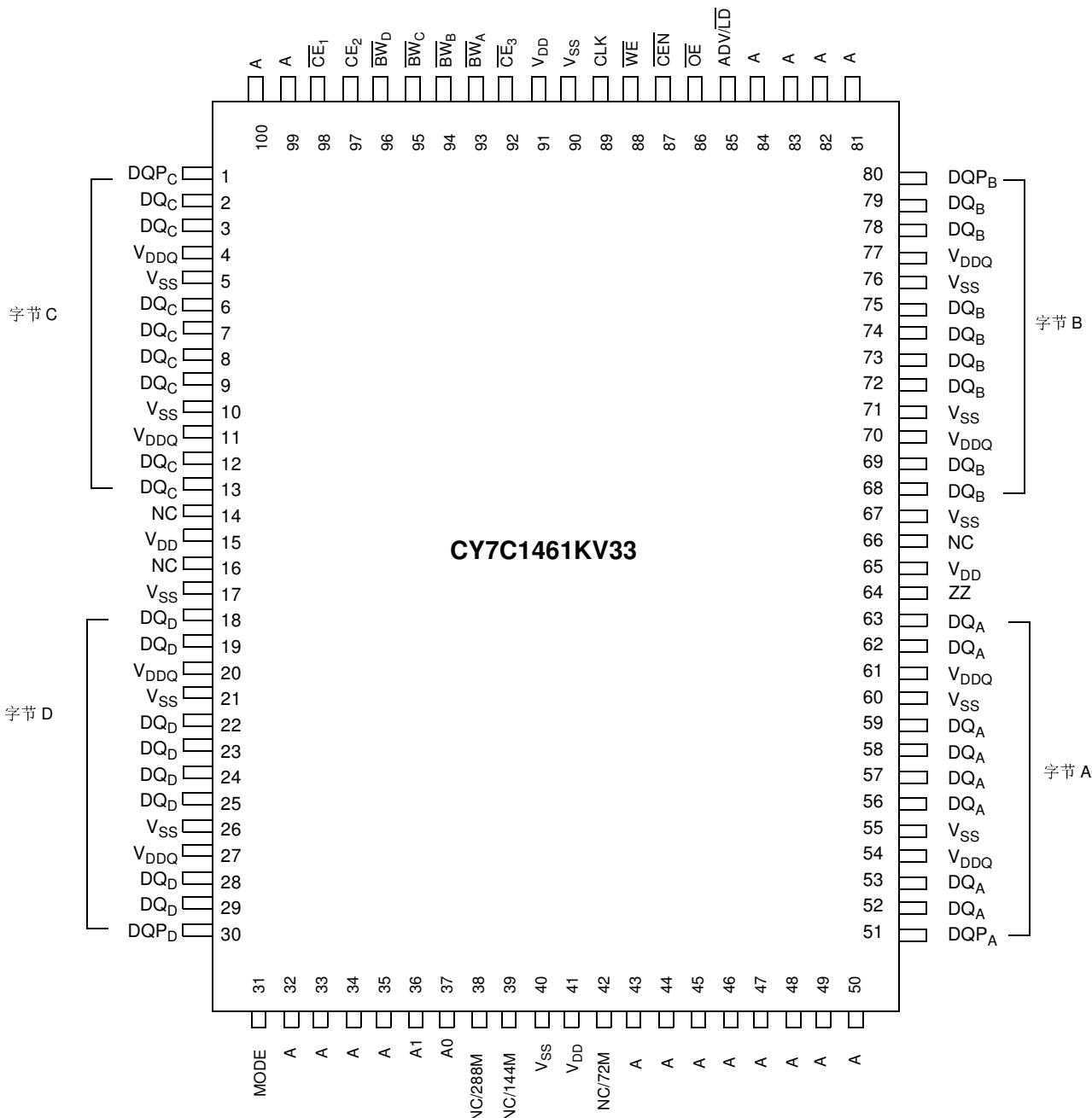


目录

引脚配置	5
引脚定义	7
功能概述	8
单一读取访问	8
突发读取访问	8
单一写访问	8
突发写访问	8
睡眠模式	9
交错突发地址表	9
线性突发地址表	9
ZZ 模式的电气特性	9
真值表	10
读 / 写操作的局部真值表	11
读 / 写操作的局部真值表	11
最大额定值	12
操作范围	12
抗中子软失效	12
电气特性	12
电容值	14
热电阻	14
交流测试负载和波形	14
开关特性	15
开关波形	16
订购信息	19
订购代码定义	19
封装图	20
缩略语	21
文档规范	21
测量单位	21
文档修订记录页	22
销售、解决方案和法律信息	23
全球销售和设计支持	23
产品	23
PSoC® 解决方案	23
赛普拉斯开发者社区	23
技术支持	23

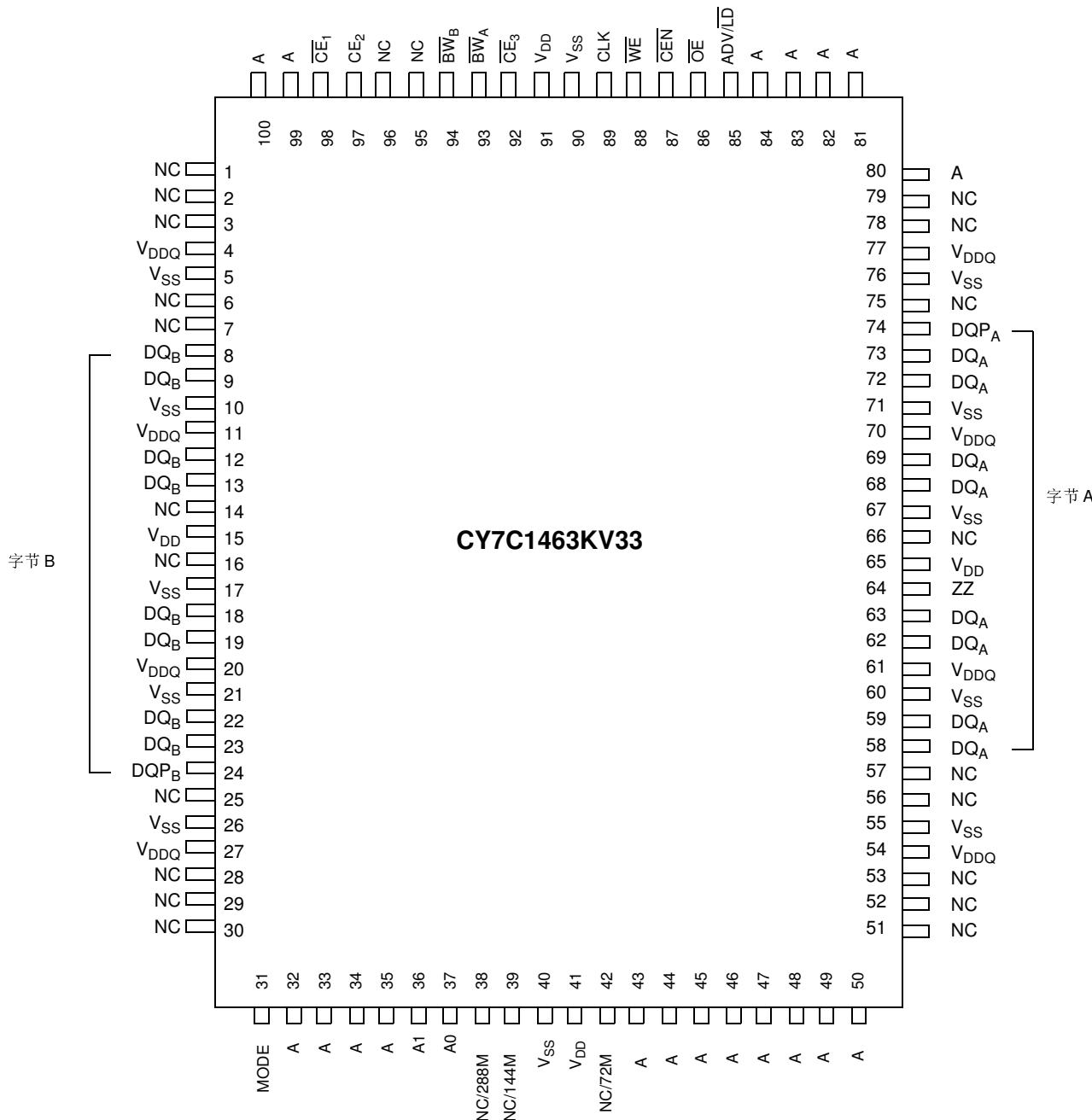
引脚配置

图 1. 100 引脚 TQFP 的引脚分布



引脚配置 (续)

图 2. 100 引脚 TQFP 的引脚分布



引脚定义

引脚名称	I/O	说明
A ₀ 、A ₁ 、A	输入—同步	地址输入。 用于选择地址。在 CLK 时钟上升沿上进行采样。A[1:0] 被馈送到 2 位突发计数器。
BW _A 、BW _B 、BW _C 、BW _D	输入—同步	字节写入输入，为低电平有效。 同 WE 结合使用，以便将字节写入到 SRAM 内。在 CLK 时钟上升沿上进行采样。
WE	输入—同步	写使能输入，为低电平有效。 如果 CEN 为低电平有效，在 CLK 时钟上升沿上进行采样。必须将该信号配置为低电平，以启动写序列。
ADV/LD	输入—同步	Advance 输入或负载输入。 使用增长式片上地址计数器或者加载新的地址。当该输入被置为高电平（并且 CEN 被置为低电平）时，可增大内部突发计数器。当该输入为低电平时，可以将新的地址加载到器件内，以便进行访问。取消选择后，为了加载新的地址，需要将 ADV/LD 置为低电平。
时钟	输入—时钟	时钟输入。 用于将所有同步的输入捕获到器件中。CLK 同 CEN 配合使用。仅当 CEN 为低电平有效时，CLK 才有效。
CE ₁	输入—同步	芯片使能 1 输入，为低电平有效。 在 CLK 时钟上升沿上进行采样。同 CE ₂ 和 CE ₃ 一起使用，以选择或取消选择器件。
CE ₂	输入—同步	芯片使能 2 输入，高电平有效。 在 CLK 时钟上升沿上进行采样。同 CE ₂ 和 CE ₃ 一起使用，以选择或取消选择器件。
CE ₃	输入—同步	芯片使能 3 输入，为高电平有效。 在 CLK 时钟上升沿上进行采样。同 CE ₂ 和 CE ₃ 一起使用，以选择或取消选择器件。
OE	输入—异步	输出使能，异步输入，低电平有效。 通过与器件中的同步逻辑模块结合使用，可以控制 I/O 引脚的方向。当该输入为低电平有效时，I/O 引脚可作为输出使用。取消置位为高电平有效时，各个 I/O 引脚均为三态，并且作为输入数据引脚使用。在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，OE 均被屏蔽。
CEN	输入—同步	时钟使能输入，为低电平有效。 该时钟信号为低电平时，SRAM 可检测到它。当被取消置为高电平时，该时钟信号将被屏蔽。由于对 CEN 取消置位时不会取消选择器件，所以若有需要，可以通过 CEN 延长前一周期。
ZZ	输入—异步	ZZ “睡眠” 输入。 该高电平有效输入将器件处于非时间关键“睡眠”状态，并保存数据的完整性。在实现正常操作过程中，必须将该引脚设为低电平或处于悬空状态。ZZ 引脚具有内部下拉电阻。
DQ _S	I/O—同步	双向数据输入 / 输出线。 作为输入使用时，这些线路会将数据传输到片上数据寄存器内，该操作会在 CLK 的上升沿上被触发。作为输出时，在读取周期内，它们将发送包含在存储器位置中由地址所指定的数据。引脚的方向由 OE 控制。当 OE 被置为低电平时，这些引脚作为输出使用。将 OE 置为高电平时，DQ _S 和 DQP _[A:D] 处于三态。无论 OE 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都自动处于三态。
DQP _X	I/O—同步	双向数据奇偶校验 I/O 线。 从功能角度来说，这些信号与 DQ _S 相同。在写序列中，DQP _X 由相应的 BW _X 控制。
MODE	引脚短接输入	模式输入。 用于选择器件的突发顺序。接地时，将选择线性突发序列。连接到 V _{DD} 或处于悬空状态时，则选择交错突发序列。
V _{DD}	电源	器件内核的电源输入。
V _{DDQ}	I/O 供电电源	I/O 电路的供电电源。
V _{SS}	接地	器件接地。
NC	N/A	无连接。 未内部连接到芯片（die）。
NC/72M	N/A	未连接到芯片（Die）。 可连接到任何电压电平。
NC/144M	N/A	未连接到芯片（Die）。 可连接到任何电压电平。
NC/288M	N/A	未连接到芯片（Die）。 可连接到任何电压电平。
NC/576M	N/A	未连接到芯片（Die）。 可连接到任何电压电平。
NC/1G	N/A	未连接到芯片（Die）。 可连接到任何电压电平。

功能概述

CY7C1461KV33/CY7C1463KV33 是同步直通突发 SRAM，其设计目的是为了消除读 / 写切换操作中的等待状态。所有同步输入均通过由时钟上升沿控制的输入寄存器。时钟信号与时钟使能输入信号（CEN）配合使用。如果 CEN 为高电平，时钟信号将不被检测，并且保持所有的内部状态。所有的同步操作均与 CEN 结合使用。从时钟上升沿的最大访问延迟 (t_{CDV}) 为 6.5 ns (133 MHz 器件)。

通过在时钟的上升沿上激活全部三个芯片使能 (\overline{CE}_1 、 CE_2 和 \overline{CE}_3) 信号，从而启动访问。如果 CEN 为低电平有效，并且 ADV/LD 被置于低电平，则传输到器件的地址将被锁存。根据写入使能 (WE) 状态，进行的访问可以是读或写操作。 BW_X 可用于实现字节写操作。

写操作与写使能 (WE) 信号配合使用。通过片上同步自定时写电路，可轻松实现所有写操作。

三个同步芯片使能信号 (\overline{CE}_1 、 CE_2 、 \overline{CE}_3) 和一个异步输出使能信号 (OE) 简化了深度扩展。所有操作（读、写和取消选择）均是管道模式的。取消选择器件后，必须将 ADV/LD 置为低电平，以便加载下个操作的新地址。

单一读取访问

如果在时钟的上升沿上满足下列条件，将启动读访问：

- \overline{CEN} 被置为低电平
- \overline{CE}_1 、 CE_2 和 \overline{CE}_3 均为有效状态
- 写使能输入信号 WE 被取消置位为高电平
- ADV/LD 被置为低电平

传输到地址输入的地址被锁存到地址寄存器中，同时被传输到存储器阵列和控制逻辑模块中。控制逻辑模块确定正在进行读访问，并通过控制逻辑模块可以将请求的数据传送到输出缓冲区。如果 OE 为低电平有效，数据会在 6.5 ns (133 MHz 器件) 的时间内有效。在读访问的第一个时钟周期后，输出缓冲区由 OE 和内部控制逻辑控制。要想使器件能发送请求的数据，必须将 OE 置为低电平。在后续时钟周期内，可以启动另一个操作（读 / 写 / 取消选择）。当通过一个芯片使能信号在时钟的上升沿上取消选择 SRAM 时，其输出会立即为三态。

突发读取访问

CY7C1461KV33/CY7C1463KV33 具有片上突发计数器，通过该计数器能提供单个地址，并可以实现四个读操作，而无需将地址输入重新置位。为了将新的地址加载到 SRAM 内，必须将 ADV/LD 置为低电平，如 [单一读取访问](#) 一节中所述。突发计数器的序列由 MODE 输入信号决定。MODE 上的低电平输入选择线性突发模式，而高电平输入选择交错突发序列。这两个突发计数器都使用突发序列中的 A0 和 A1，并且在递增至最大值时执行循环处理。如果 ADV/LD 输入被置为高电平，无论芯片使能输入或 WE 的状态如何，内部突发计数器都会递增。WE 在突发周期开始时被锁存。因此，在整个突发序列中将保持访问的类型（读取或写入）。

单一写访问

如果在时钟上升沿上满足以下条件，将启动写访问：(1) \overline{CEN} 被置为低电平，(2) \overline{CE}_1 、 CE_2 和 \overline{CE}_3 均被激活，以及 (3) 写使能信号 WE 为低电平。发送到地址总线的地址会被存储在地址寄存器中。写信号被锁存到控制逻辑模块中。无论 OE 输入信号的状态如何，都会自动将数据线进入三态。这样，外部逻辑能够将数据传输到 DQ 和 DQP_X 。

在下一个时钟上升沿上，发送到 DQ 和 DQP_X （或字节写操作的子集，有关更详细信息，请参见 [第 10 页上的真值表](#)）的数据被锁存到器件，并完成了写操作。在该周期中可以启动另一个访问（读取 / 写入 / 取消选择）。

在写操作中被写入的数据由 BW_X 信号控制。

CY7C1461KV33/CY7C1463KV33 提供了字节写功能，真值表中详细介绍该功能。如果置位了写使能输入 (WE) 和选中的字节写选择输入，那么只能对所需的字节进行写操作。字节写入操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制，可以简化写操作。通过集成字节写入功能，可以明显简化读 / 修改 / 写序列，甚至可以减少这些序列的操作，从而简化字节写操作。

由于 CY7C1461KV33/CY7C1463KV33 是通用 I/O 器件，所以输出为有效时，不应将数据驱动到器件内。将数据传输到 DQ 和 DQP_X 输入前，可以将 OE 取消置位为高电平。这样可使输出驱动模块处于三态。为安全起见，无论 OE 的状态如何，在写周期的传输数据过程中，DQ 和 DQP_X 将自动进入三态。

突发写访问

CY7C1461KV33/CY7C1463KV33 具有片上突发计数器，通过该计数器能提供单个地址，并可以实现四个写操作，而无需将地址输入重新置位。为了加载初始地址，必须将 ADV/LD 置低，如 [单一写访问](#) 一节中所述。在后续的上升沿中，将 ADV/LD 置为高电平时，芯片使能 (\overline{CE}_1 、 CE_2 和 \overline{CE}_3) 和 WE 输入均被忽略，并且突发计数器将递增。在每个突发写周期中，必须驱动正确的 BW_X 输入，这样才能写入正确的数据字节。

睡眠模式

ZZ 输入引脚是一个异步输入。置位 **ZZ** 后，SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时，需要占用两个时钟周期。在该模式中，数据完整性得到保证。不将进入睡眠模式时被挂起的访问视为有效访问，同时不能确保完成该操作。进入睡眠模式之前，必须取消选择该器件。**CE₁**、**CE₂** 和 **CE₃** 在 **ZZ** 输入返回低电平后的 **t_{ZZREC}** 时间内保持无效状态。

交错突发地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 \text{ V}$	-	89	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2 \text{ V}$	-	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 \text{ V}$	$2t_{CYC}$	-	ns
t_{ZZI}	ZZ 从活动状态到转为睡眠状态的时间	采样数据	-	$2t_{CYC}$	ns
t_{RZZI}	ZZ 从非活动状态到退出睡眠状态的时间	该参数被采样	0	-	ns

线性突发地址表

(MODE = GND)

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

真值表

CY7C1461KV33/CY7C1463KV33 的真值表如下所示。[1、2、3、4、5、6、7]

操作	所使用的地址	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	ADV/LD	WE	BW_X	OE	CEN	CLK	DQ
取消选择周期	无	H	X	X	L	L	X	X	X	L	L->H	三态
取消选择周期	无	X	X	H	L	L	X	X	X	L	L->H	三态
取消选择周期	无	X	L	X	L	L	X	X	X	L	L->H	三态
继续取消选择周期	无	X	X	X	L	H	X	X	X	L	L->H	三态
读周期 (开始传输)	外部地址	L	H	L	L	L	H	X	L	L	L->H	输出数据 (Q)
读周期 (继续传输)	下一个地址	X	X	X	L	H	X	X	L	L	L->H	输出数据 (Q)
NOP/ 虚拟读取 (开始传输)	外部地址	L	H	L	L	L	H	X	H	L	L->H	三态
虚拟读取 (继续传输)	下一个地址	X	X	X	L	H	X	X	H	L	L->H	三态
写周期 (开始传输)	外部地址	L	H	L	L	L	L	L	X	L	L->H	输入数据 (D)
写周期 (继续传输)	下一个地址	X	X	X	L	H	X	L	X	L	L->H	输入数据 (D)
NOP/ 写入中止 (开始传输)	无	L	H	L	L	L	L	H	X	L	L->H	三态
写入中止 (继续传输)	下一个地址	X	X	X	L	H	X	H	X	L	L->H	三态
忽略时钟沿 (停止)	当前地址	X	X	X	L	X	X	X	X	H	L->H	-
睡眠模式	无	X	X	X	H	X	X	X	X	X	X	三态

注释:

1. X = “无需关注。” H = 逻辑高电平, L = 逻辑低电平。“ $\overline{BW}_X = L$ ” 表示至少一个字节写入选择信号处于活动状态, “ $\overline{BW}_X = \text{有效}$ ” 表示所需的字节写入选择信号被置位; 更详细信息, 请参考真值表中的内容。
2. 写操作由 BW_X 和 WE 定义。更多有关读/写操作的信息, 请查看真值表。
3. 当检测到写周期时 (即使是字节写周期期间), 所有 I/O 都处于三态。
4. DQ 和 DQP_X 引脚由当前周期和 OE 信号控制。 OE 是异步信号, 并不在时钟边沿上进行采样。
5. $CEN = H$, 将插入等待状态。
6. 无论 OE 的状态如何, 器件上电时将处于非选中状态, 并且全部 I/O 均处于三态。
7. OE 是异步信号, 并不在时钟上升沿上进行采样。该信号在写周期中被内部屏蔽。在读周期内, \overline{OE} 为无效或器件被取消选择时, DQs 和 DQP_X 均为三态, 并且在 OE 为有效时, DQs 和 DQP_X = 数据。

读 / 写操作的局部真值表

CY7C1461KV33 读 / 写操作的局部真值表如下所示。[8、9]

函数 (CY7C1461KV33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B	\overline{BW}_C	\overline{BW}_D
读取	H	X	X	X	X
写入 — 未写入任何字节	L	H	H	H	H
写入字节 A — (DQ _A 和 DQP _A)	L	L	H	H	H
写入字节 B — (DQ _B 和 DQP _B)	L	H	L	H	H
写入字节 C — (DQ _C 和 DQP _C)	L	H	H	L	H
写入字节 D — (DQ _D 和 DQP _D)	L	H	H	H	L
写入所有字节	L	L	L	L	L

读 / 写操作的局部真值表

CY7C1463KV33 读 / 写操作的局部真值表如下所示。[8、9]

函数 (CY7C1463KV33)	\overline{WE}	\overline{BW}_B	\overline{BW}_A
读取	H	X	X
写入 — 未写入任何字节	L	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	L	H
写入两种字节	L	L	L

注释:

8. X = “无需关注。” H = 逻辑高电平, L = 逻辑低电平。“ $\overline{BW}_x = L$ ” 表示至少一个字节写入选择信号处于活动状态, “ $\overline{BW}_x = \text{有效}$ ” 表示所需的字节写入选择信号被置位; 更详细信息, 请参考真值表中的内容。

9. 该表仅列出了字节写入组合的一部分。 BW_x 的任意组合均有效。将根据有效的字节写入执行相应的写操作。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经测试。

存放温度	-65 °C ~ +150 °C
通电状态下的环境温度	-55 °C ~ +125 °C
V_{DD} 上相对于 GND 的供电电压	-0.5 V ~ +4.6 V
V_{DDQ} 上相对于 GND 的供电电压	-0.5 V ~ + V_{DD}
应用于三态下的输出直流电压	-0.5 V ~ $V_{DDQ} + 0.5$ V
直流输入电压	-0.5 V ~ $V_{DD} + 0.5$ V
输出电流（低电平）	20 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015)	> 2001 V
栓锁电流	> 200 mA

操作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 至 +70 °C	3.3 V -5% / +10%	2.5 V -5% 至 V_{DD}

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU	逻辑单比特错误	25 °C	197	216	FIT/ Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/ Mb
SEL	单事件锁定	85 °C	0	0.1	FIT/ Dev

* 测试期间未发生 LMBU 或 SEL 事件；该列为统计得出的 χ^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN 54908 “加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 ^[10、 11]	说明	测试条件	最小值	最大值	单位
V_{DD}	电源电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电压	I/O 电压 = 3.3 V, $I_{OH} = -4.0$ mA	2.4	-	V
		I/O 电压 = 2.5 V, $I_{OH} = -1.0$ mA	2.0	-	V
V_{OL}	输出低电压	I/O 电压 = 3.3 V, $I_{OL} = 8.0$ mA	-	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	-	0.4	V
V_{IH}	输入高电压 ^[10]	I/O 电压为 3.3 V	2.0	$V_{DD} + 0.3$ V	V
		2.5 V I/O	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	输入低电压 ^[10]	I/O 电压为 3.3 V	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_x	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA
	MODE 的输入电流	输入电压 = V_{SS}	-30	-	μA
		输入电压 = V_{DD}	-	5	μA
	ZZ 的输入电流	输入 = V_{SS}	-5	-	μA
		输入电压 = V_{DD}	-	30	μA
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-5	5	μA

注释:

10. 过冲: $V_{IH}(AC) < V_{DD} + 1.5$ V (脉冲宽度小于 $t_{CYC}/2$)，下冲: $V_{IL}(AC) > -2$ V (脉冲宽度小于 $t_{CYC}/2$)。

11. $T_{Power-up}$: 假设在 200 ms 内从 0 V 的电压线性上升至 V_{DD} (最小值)。在此期间内, $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性（续）

在工作范围内

参数 ^[10、11]	说明	测试条件			最小值	最大值	单位
I _{DD}	V _{DD} 工作供电电流	V _{DD} = 最大值, I _{OUT} = 0 mA, f = f _{MAX} = 1/t _{CYC}	7.5 ns 周期, 133 MHz	× 18	—	150	mA
				× 36	—	170	
I _{SB1}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = f _{MAX} , 输入切换	7.5 ns 周期, 133 MHz	× 18	—	85	mA
				× 36	—	90	
I _{SB2}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DD} - 0.3 V, f = 0, 输入静态	7.5 ns 周期, 133 MHz	× 18	—	75	mA
				× 36		80	
I _{SB3}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = f _{MAX} , 输入切换	7.5 ns 周期, 133 MHz	× 18	—	85	mA
				× 36		90	
I _{SB4}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≥ V _{DD} - 0.3 V 或 V _{IN} ≤ 0.3 V, f = 0, 输入静态	7.5 ns 周期, 133 MHz	× 18	—	75	mA
				× 36	—	80	

电容值

下表列出了各种电容参数。

参数 ^[10]	说明	测试条件	100 引脚 TQFP 最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}, f = 1 \text{ MHz}, V_{DD} = 3.3 \text{ V}, V_{DDQ} = 2.5 \text{ V}$	5	pF
C_{CLK}	时钟输入电容		5	pF
C_{IO}	输入 / 输出电容		5	pF

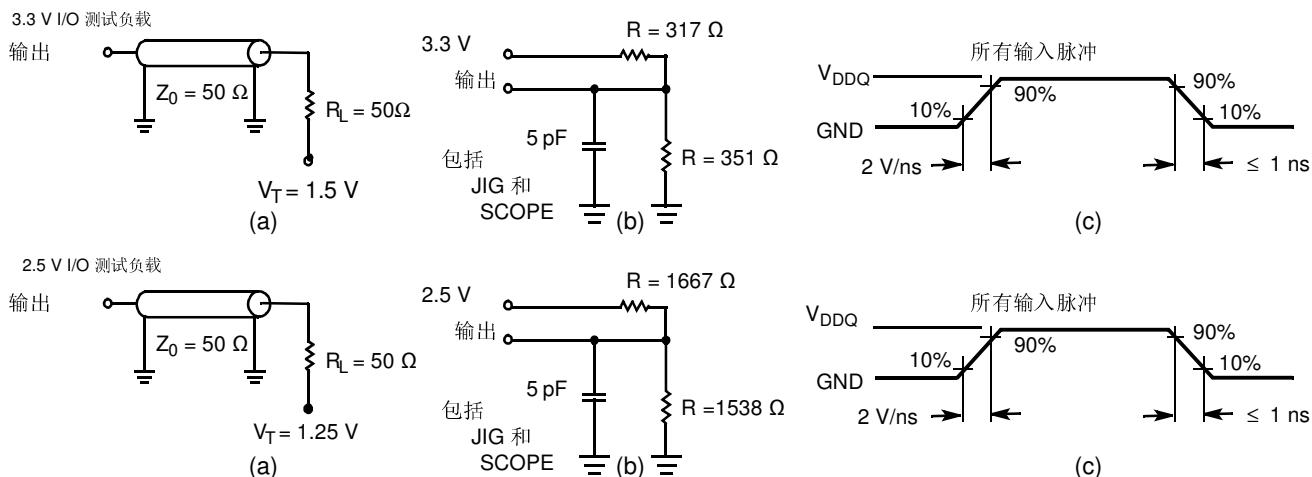
热电阻

下表列出了各种热电阻参数。

参数 ^[10]	说明	测试条件	100 引脚 TQFP 封装	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的标准测试方法和过程。	35.36	°C/W
			31.30	
			28.86	
Θ_{JC}	热阻 (结至外壳)		7.52	
Θ_{JB}	热阻 (结到板)		28.89	

交流测试负载和波形

图 3. 交流测试负载和波形



注释:

10. 在任何设计或工艺更改之前和之后进行测试都对这些参数产生影响。

开关特性

在工作范围内

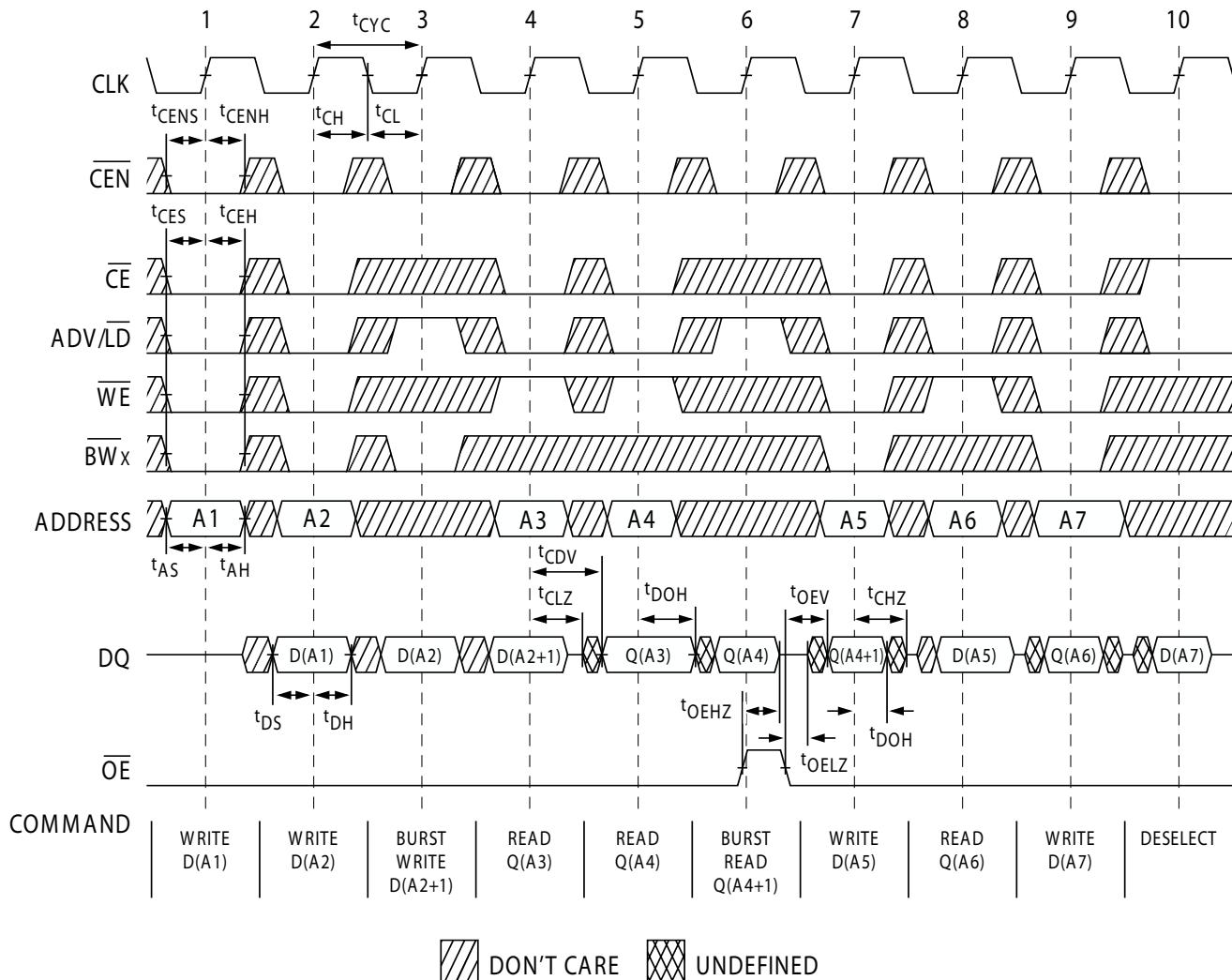
参数 ^[11、12]	说明	133 MHz		单位
		最小值	最大值	
t _{Power} ^[13]		1	-	ms
时钟				
t _{CYC}	时钟周期时间	7.5	-	ns
t _{CH}	时钟为高电平的时间	2.5	-	ns
t _{CL}	时钟为低电平的时间	2.5	-	ns
输出时间				
t _{CDV}	CLK 上升沿后数据输出有效的时间	-	6.5	ns
t _{DOH}	CLK 上升沿后数据输出的保持时间	2.5	-	ns
t _{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 [14、15、16]	2.5	-	ns
t _{CHZ}	从时钟上升沿到数据输入 / 输出为高阻态的时间 [14、15、16]	-	3.8	ns
t _{OEV}	从 \overline{OE} 为低电平到数据输出有效的时间	-	3.0	ns
t _{OELZ}	从 \overline{OE} 为低电平到数据输出为低阻态的时间 [14、15、16]	0	-	ns
t _{OEHZ}	从 \overline{OE} 为高电平到数据输出为高阻态的时间 [14、15、16]	-	3.0	ns
建立时间				
t _{AS}	CLK 上升沿前的地址建立时间	1.5	-	ns
t _{ALS}	CLK 上升沿前的 ADV/LD 建立时间	1.5	-	ns
t _{WES}	CLK 上升沿前的 \overline{WE} 、 \overline{BW}_X 建立时间	1.5	-	ns
t _{CENS}	CLK 上升沿前的 \overline{CEN} 建立时间	1.5	-	ns
t _{DS}	CLK 上升沿前的数据输入建立时间	1.5	-	ns
t _{CES}	CLK 上升沿前的芯片使能建立时间	1.5	-	ns
保持时间				
t _{AH}	CLK 上升沿之后的地址保持时间	0.5	-	ns
t _{ALH}	CLK 上升沿后的 ADV/LD 保持时间	0.5	-	ns
t _{WEH}	CLK 上升沿后的 \overline{WE} 、 \overline{BW}_X 保持时间	0.5	-	ns
t _{CENH}	CLK 上升沿后的 \overline{CEN} 保持时间	0.5	-	ns
t _{DH}	CLK 上升沿后数据输入的保持时间	0.5	-	ns
t _{CEH}	CLK 上升沿后的芯片使能保持时间	0.5	-	ns

注释：

11. $V_{DDQ} = 3.3$ V 时，时序参考电压为 1.5 V； $V_{DDQ} = 2.5$ V 时，时序参考电压为 1.25 V。
12. 除非另有说明，否则测试条件都显示在第 14 页上的图 3 的 (a) 内。
13. 该器件内部使用了一个电压调节器，t_{POWER} 是指启动读 / 写操作前供电电压超过 $V_{DD(minimum)}$ 所需的时间。
14. t_{CHZ}、t_{CLZ}、t_{OELZ} 以及 t_{OEHZ} 都在第 14 页上的图 3 的 (b) 部分所示的交流测试条件下指定的。跃变在稳定状态电压 ± 200 mV 的条件下测量。
15. 在任何给定的电压和温度情况下，t_{OEHZ} 小于 t_{OELZ}；t_{CHZ} 小于 t_{CLZ}，这样在共享同一个数据总线时能够排除各 SRAM 间的总线冲突。这些规范并不表示一个总线冲突条件，但反映了在最坏的情况下得到保证的参数。设计器件是为了在同一个系统条件下进入低阻态前先要进入高阻态。
16. 该参数被采样，并非 100% 经过了测试。

开关波形

图 4. 读 / 写波形 [17、18、19]

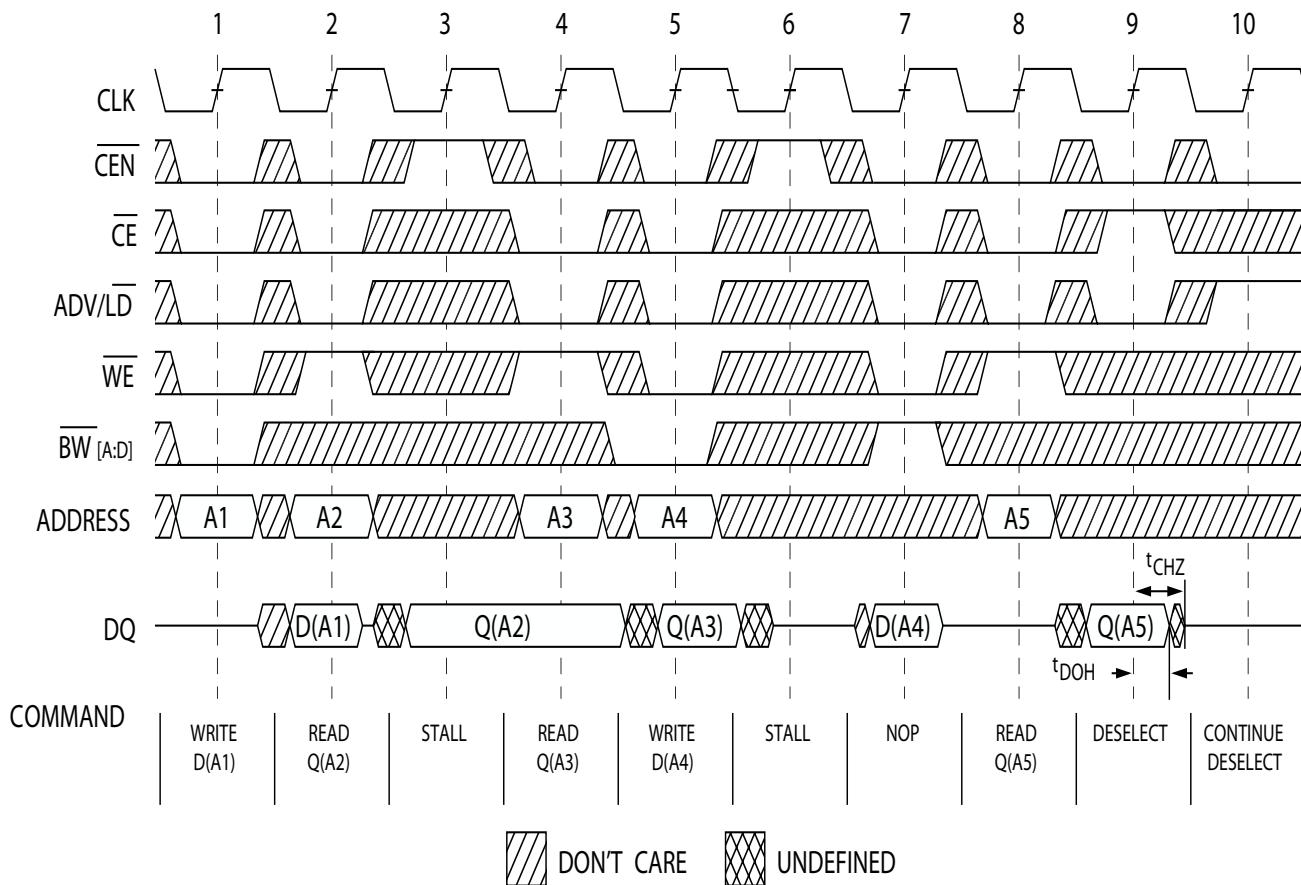


注释:

17. 对于该波形, ZZ 被置为低电平。
18. 如果 CE_1 为低电平, 那么 CE_1 为低电平, CE_2 为高电平以及 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平, 那么 \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。
19. MODE 的状态会决定突发的顺序 (0 = 线性, 1 = 交错)。突发操作是可选的。

开关波形 (续)

图 5. NOP、STALL 和 DESELECT 周期^[20, 21, 22]

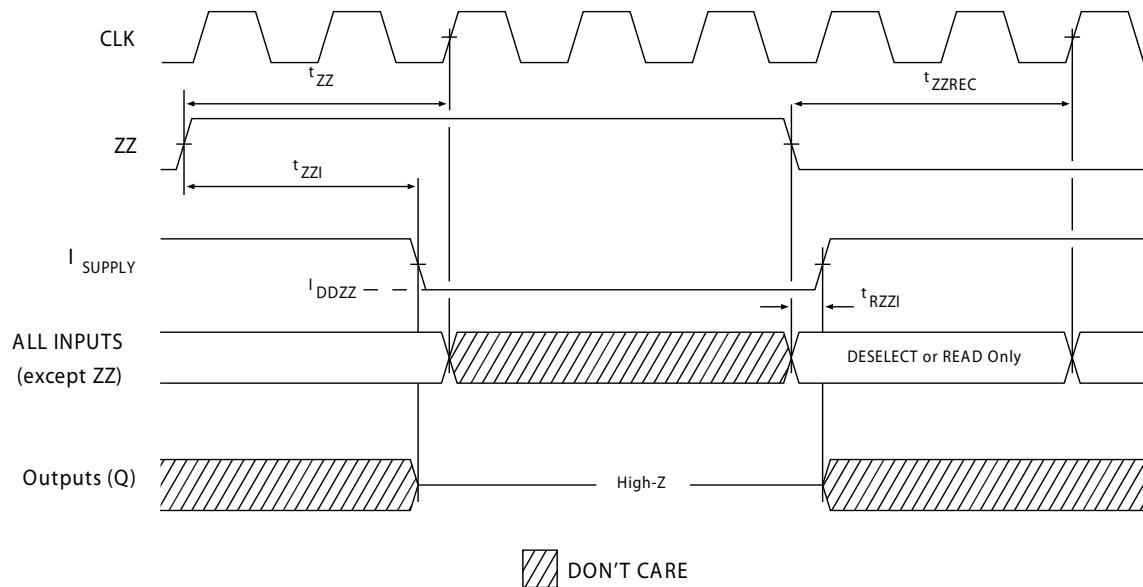


注释:

20. 对于该波形, ZZ 被置为低电平。
21. 如果 CE 为低电平, 那么 \overline{CE}_1 为低电平, \overline{CE}_2 为高电平以及 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平, 那么 \overline{CE}_1 为高电平, 或 \overline{CE}_2 为低电平, 或 \overline{CE}_3 为高电平。
22. IGNORE CLOCK EDGE 或 STALL 周期 (时钟 3) 说明 CEN 用于创建一个暂停。在该周期中, 不执行写操作。

开关波形 (续)

图 6. ZZ 模式时序 [23、24]



注释:

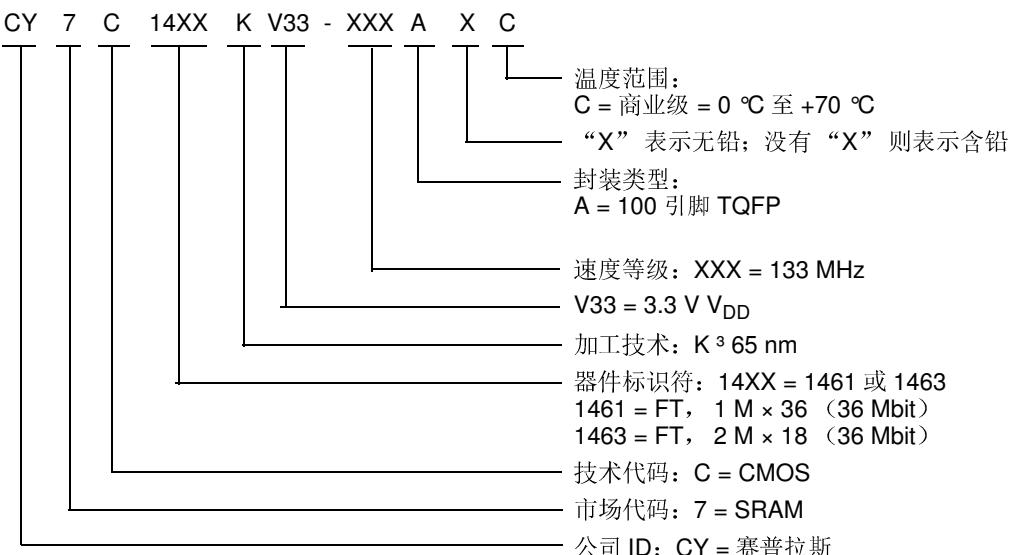
23. 进入 ZZ 模式时，必须取消选择器件。有关取消选择器件的所有可能信号条件，请参考真值表。
24. 退出 ZZ 睡眠模式时，DQ 处于高阻态。

订购信息

赛普拉斯提供此类型产品的其他版本，可使用不同的配置和功能。下表仅包含目前可以供应的部件列表。有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

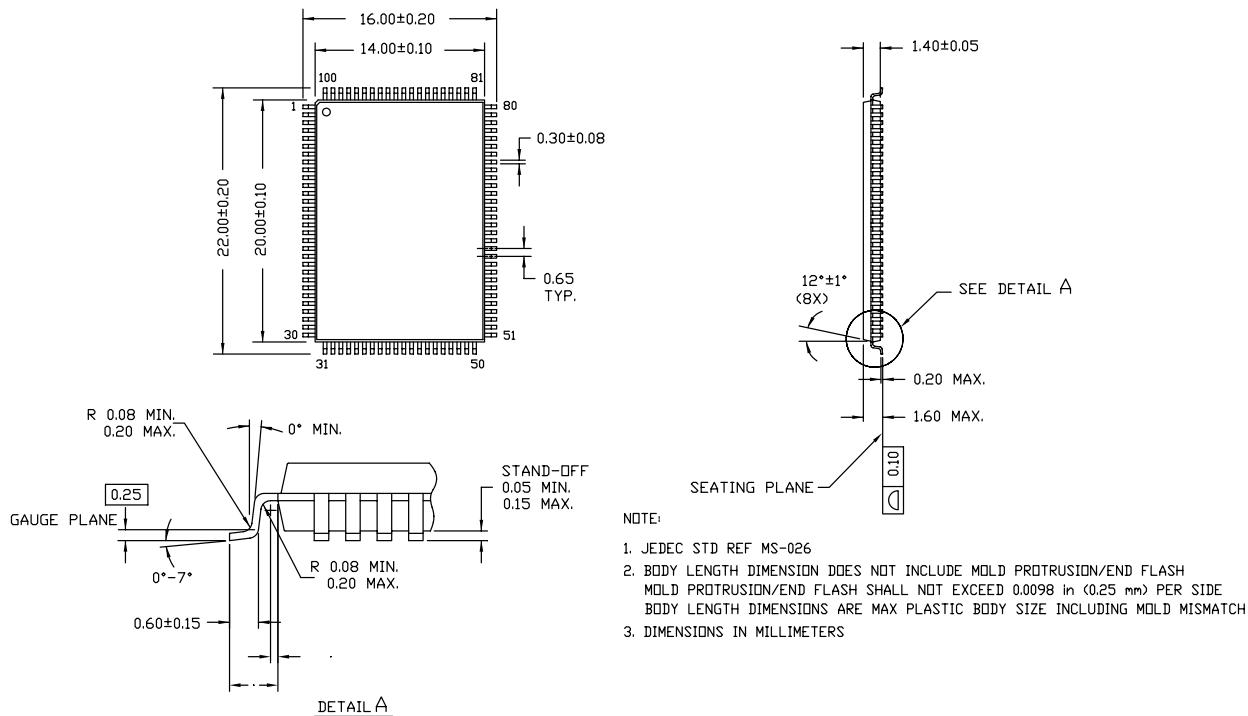
速度 (MHz)	订购代码	封装图	芯片和封装类型	工作范围
133	CY7C1461KV33-133AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1463KV33-133AXC			

订购代码定义



封装图

图7. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

缩略语

缩略语	说明
CE	芯片使能
CEN	时钟使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
NoBL	无总线延迟
OE	输出使能
SRAM	静态随机存取存储器
TQFP	薄型四方扁平封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1461KV33/CY7C1463KV33, 带有 NoBL™ 架构的 36 Mbit (1 M × 36/2 M × 18) 输出式静态存储器
文档编号: 001-96062

版本	ECN 编号	发布日期	变更者	变更说明
**	4662980	02/24/2015	WEIZ	本文档版本号为 Rev**, 译自英文版 001-66681 Rev*D。
A	4717375	04/08/2015	PRIT	转为最终文档 英语 001-66681 E 翻译成中国 001-96062 规格

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要寻找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品

cypress.com/go/automotive

时钟与缓冲器

cypress.com/go/clocks

接口

cypress.com/go/interface

照明与电源控制

cypress.com/go/powerpsoc

存储器

cypress.com/go/plc

PSoC

cypress.com/go/memory

触摸感应产品

cypress.com/go/psoc

USB 控制器

cypress.com/go/touch

无线 / 射频

cypress.com/go/USB

cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。