

NoBL™ 架构的 36 Mbit (1 M × 36/2 M × 18) 流水线 SRAM (带有 ECC)

特性

- 引脚与功能同 ZBT™ 的一样
- 支持具有零等待状态并且频率为 250 MHz 的总线操作
 - 可用的速度范围为 250、200 和 167 MHz
- 提供对内部自定时输出缓冲区的控制，因而不需要使用异步 OE
- 流水线操作的输入和输出寄存器
- 字节写入能力
- 2.5 V 内核供电电压
- 2.5 V I/O 供电电压
- 时钟至输出的时间快
 - 2.5 ns (对于 250 MHz 器件)
- 通过时钟使能 ($\overline{\text{CEN}}$) 引脚支持暂停操作
- 同步自定时写入
- CY7C1460KV25、CY7C1462KV25、CY7C1460KVE25 和 CY7C1462KVE25 提供了 JEDEC 标准的无铅 100 引脚 TQFP 封装、无铅和含铅 165 球形焊盘 FBGA 封装。
- 与 IEEE 1149.1 JTAG 兼容的边界扫描
- 支持线性或交错突发顺序模式
- “ZZ” 睡眠模式选项
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能说明

CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 是 2.5 V、1 M × 36/2 M × 18，并且带 No Bus Latency™ (NoBL™) 逻辑的同步流水线突发 SRAM。它们专门为支持无限且零等待状态的连续读 / 写操作而设计。CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 与所需的高级 NoBL 逻辑配合使用，用于使能连续读 / 写操作，即在每个时钟周期上都要进行数据传输。在需要频繁进行读 / 写切换的系统中，通过该特性可明显提高数据的吞吐量。CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 与 ZBT 器件的引脚相兼容，另外它们的功能也相似。

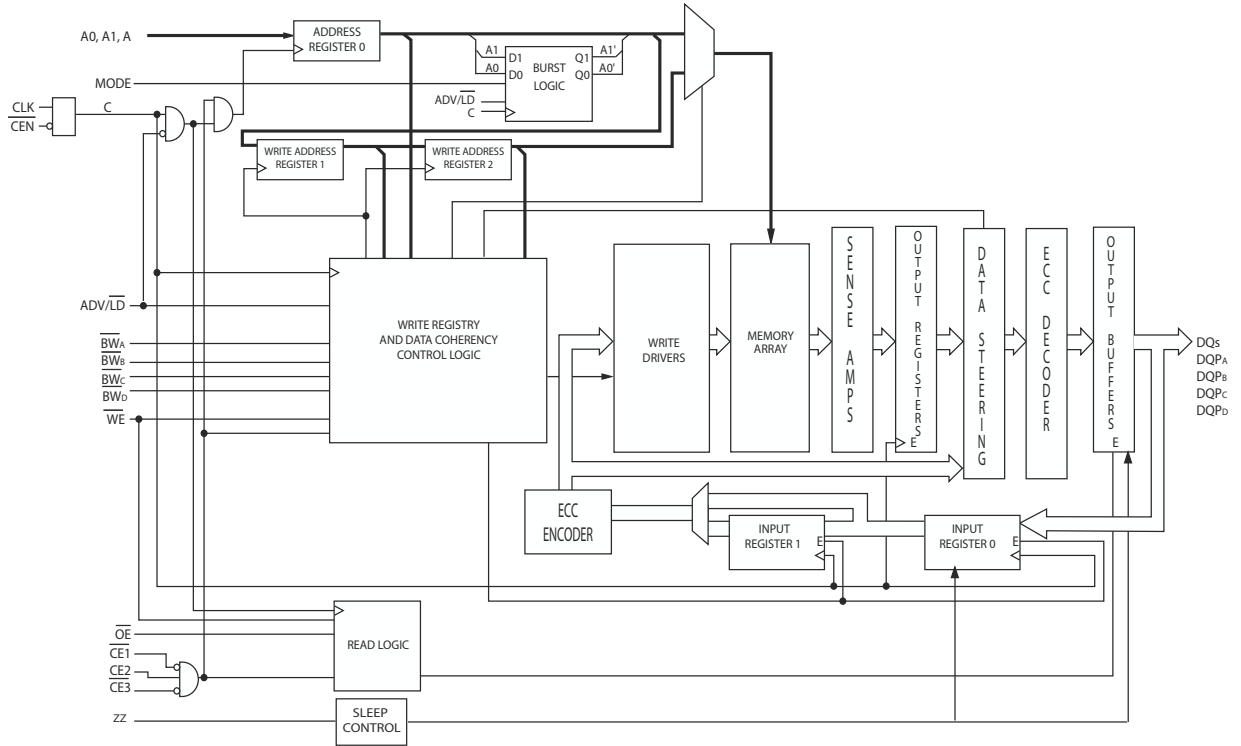
所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过时钟的上升沿控制的输出寄存器。时钟输入与时钟使能 ($\overline{\text{CEN}}$) 信号配合使用；当该信号被取消置位时，它将暂停操作并延长前面的时钟周期。写入操作由字节写入选择 $\text{BW}_a\text{--}\text{BW}_d$ (CY7C1460KV25/CY7C1460KVE25) / $\text{BW}_a\text{--}\text{BW}_b$ (CY7C1462KV25/CY7C1462KVE25) 和写使能 ($\overline{\text{WE}}$) 输入控制。所有写操作都通过片上同步自定时写电路实现。

这些器件提供了三个同步芯片使能 ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$) 和一个异步输出使能 ($\overline{\text{OE}}$)，从而可以轻松地进行组选择和输出三态控制。为了避免发生总线冲突，要在写序列的数据传输过程中使输出驱动器同步进入三态。

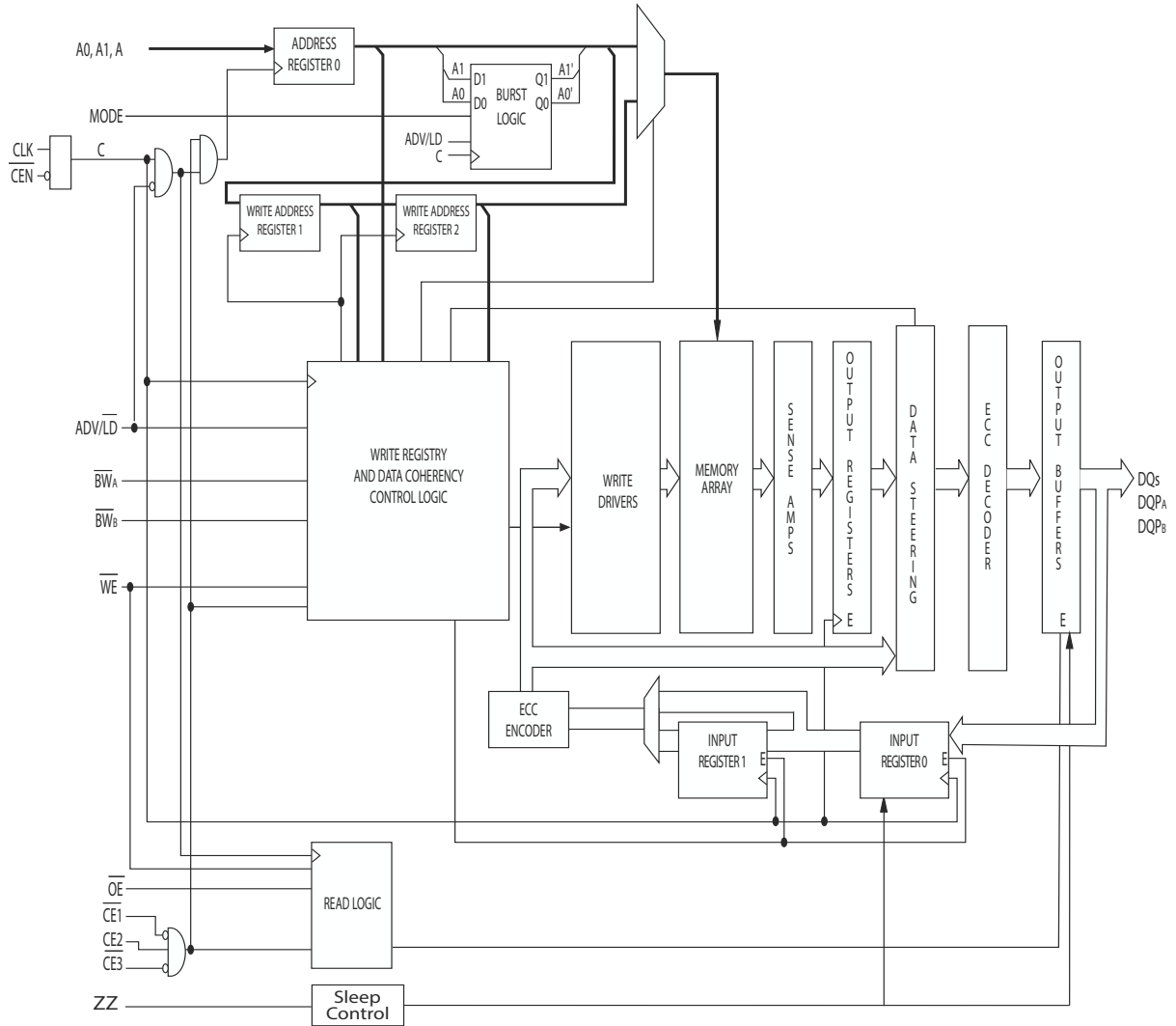
[illegible]

The block diagram illustrates the internal structure of the AD9229. It features several address registers (ADDRESS REGISTER 0, WRITE ADDRESS REGISTER 1, WRITE ADDRESS REGISTER 2) and a BURST LOGIC block. The data path flows from the MEMORY ARRAY through SENSE, OUTPUT REGISTERS, DATA STAGING, and OUTPUT BUFFERS to the final outputs DQs, DQp, and DQm. Control logic blocks like WRITE REGISTRY AND DATA COHERENCY CONTROL LOGIC, READ LOGIC, and Sleep Control manage the device's operation based on various inputs and clock signals.

逻辑框图 — CY7C1460KVE25



逻辑框图 — CY7C1462KVE25



目录

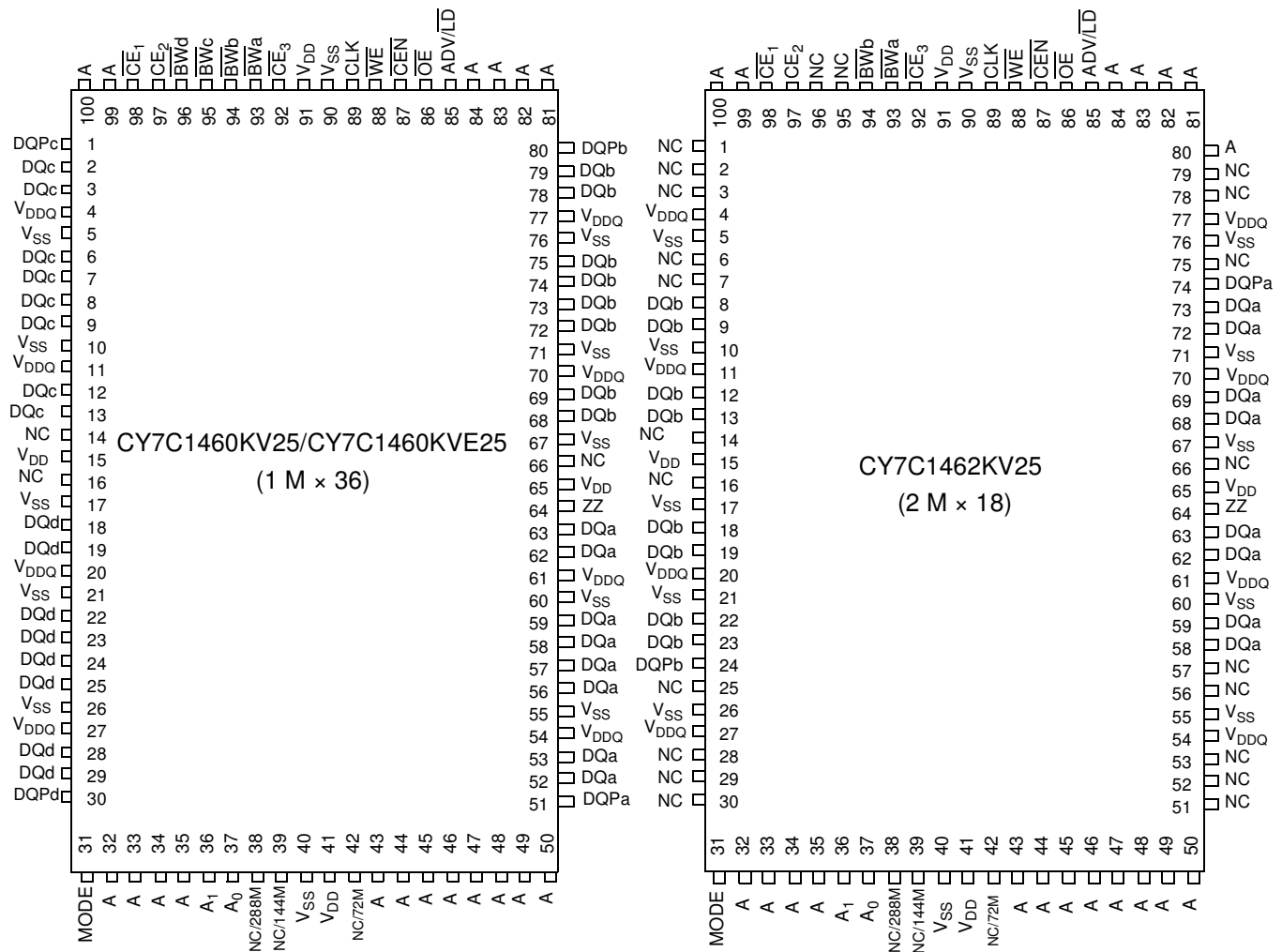
产品选型指南	6	TAP 直流电气特性与工作条件	18
引脚配置	6	标识寄存器定义	19
引脚定义	8	扫描寄存器大小	19
功能概述	9	标识代码	19
单一读取访问	9	边界扫描顺序	20
突发读取访问	9	最大额定值	21
单一写入访问	9	工作范围	21
突发写入访问	10	中子软错误免疫性	21
睡眠模式	10	电气特性	21
片上 ECC	10	电容	23
交错突发地址表	11	热电阻	23
线性突发地址表	11	交流测试负载和波形	23
ZZ 模式的电气特性	11	开关特性	24
真值表	12	开关波形	25
部分写周期说明	13	订购信息	27
部分写周期说明	13	订购代码定义	27
IEEE 1149.1 串行边界扫描 (JTAG)	14	封装图	28
禁用 JTAG 特性	14	缩略语	30
测试端口 (TAP)	14	文档规范	30
执行 TAP 复位	14	测量单位	30
TAP 寄存器	14	文档修订记录页	31
TAP 指令集	14	销售、解决方案和法律信息	32
TAP 控制器状态图	16	全球销售和 design 支持	32
TAP 控制器框图	16	产品	32
TAP 时序	16	PSoC® 解决方案	32
TAP 交流开关特性	17	赛普拉斯开发者社区	32
2.5 V TAP 交流测试条件	17	技术支持	32
2.5 V TAP 交流输出负载等效	17		

产品选型指南

说明		250 MHz	200 MHz	167 MHz	单位
最长访问时间		2.5	3.2	3.4	ns
最大工作电流	x 18	220	190	170	mA
	x 36	240	210	190	

引脚配置

图 1. 100 引脚 TQFP 引脚分配



引脚配置 (续)

图 2. 165 球形焊盘 FBGA 引脚分配

CY7C1460KV25/CY7C1460KVE25 (1 M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/576M	A	\overline{CE}_1	\overline{BW}_c	\overline{BW}_b	\overline{CE}_3	\overline{CEN}	ADV/LD	A	A	NC
B	NC/1G	A	CE2	\overline{BW}_d	\overline{BW}_a	CLK	\overline{WE}	\overline{OE}	A	A	NC
C	DQP _c	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	DQP _b
D	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
E	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
F	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
G	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
K	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
L	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
M	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
N	DQP _d	NC	V _{DDQ}	V _{SS}	NC	NC	NC	V _{SS}	V _{DDQ}	NC	DQP _a
P	NC/144M	NC/72M	A	A	TDI	A1	TDO	A	A	A	NC/288M
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

CY7C1462KV25/CY7C1462KVE25 (2 M × 18)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/576M	A	\overline{CE}_1	\overline{BW}_b	NC	\overline{CE}_3	\overline{CEN}	ADV/LD	A	A	A
B	NC/1G	A	CE2	NC	\overline{BW}_a	CLK	\overline{WE}	\overline{OE}	A	A	NC
C	NC	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	DQP _a
D	NC	DQ _b	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	NC	DQ _a
E	NC	DQ _b	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	NC	DQ _a
F	NC	DQ _b	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	NC	DQ _a
G	NC	DQ _b	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	NC	DQ _a
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _b	NC	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	NC
K	DQ _b	NC	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	NC
L	DQ _b	NC	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	NC
M	DQ _b	NC	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	NC
N	DQP _b	NC	V _{DDQ}	V _{SS}	NC	NC	NC	V _{SS}	V _{DDQ}	NC	NC
P	NC/144M	NC/72M	A	A	TDI	A1	TDO	A	A	A	NC/288M
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

引脚名称	I/O 类型	引脚说明
A0、A1、A	同步输入	用于选择地址的地址输入。在 CLK 时钟的上升沿上被采样。
\overline{BW}_a 、 \overline{BW}_b 、 \overline{BW}_c 、 \overline{BW}_d	同步输入	低电平有效的字节写选择输入。配合 \overline{WE} 一起对 SRAM 进行写操作。在 CLK 时钟的上升沿上被采样。 \overline{BW}_a 控制 DQ_a 和 DQP_a ， \overline{BW}_b 控制 DQ_b 和 DQP_b ， \overline{BW}_c 控制 DQ_c 和 DQP_c ，以及 \overline{BW}_d 控制 DQ_d 和 DQP_d 。
\overline{WE}	同步输入	低电平有效的写使能输入。如果 \overline{CEN} 为低电平有效，在 CLK 时钟的上升沿上被采样。必须将该信号配置为低电平，以启动写序列。
ADV/LD	同步输入	用于增加片上地址计数器或加载新地址的 Advance/load 输入。当该信号为高电平（并且 \overline{CEN} 为低电平）时，内部突发计数器将增加。当该信号为低电平时，可以将新的地址加载到器件内，以便进行访问。取消选择后，为了加载新的地址，需要将 ADV/LD 置为低电平。
时钟	时钟输入	时钟输入。用于将所有同步输入捕获到器件内。CLK 同 \overline{CEN} 配合使用。只有 \overline{CEN} 为低电平有效时，CLK 才有效。
\overline{CE}_1	同步输入	低电平有效的芯片使能 1 输入。在 CLK 时钟的上升沿上被采样。与 \overline{CE}_2 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
\overline{CE}_2	同步输入	高电平有效的芯片使能 2 输入。在 CLK 时钟的上升沿上被采样。与 \overline{CE}_1 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
\overline{CE}_3	同步输入	低电平有效的芯片使能 3 输入。在 CLK 时钟的上升沿上被采样。与 \overline{CE}_1 和 \overline{CE}_2 一起使用时，可以选择 / 取消选择器件。
\overline{OE}	异步输入	低电平有效的输出使能。通过与器件中的同步逻辑模块结合使用，可以控制 I/O 引脚的方向。该信号被置为低电平时，I/O 引脚可作为输出使用。取消置位为高电平时，I/O 引脚是三态的，并作为输入数据引脚使用。 \overline{OE} 在写序列的数据传输期间、退出取消选择状态后的第一个时钟周期以及取消选择器件时均被屏蔽。
\overline{CEN}	同步输入	低电平有效的时钟使能输入。该信号为低电平时，SRAM 能够检测到它。该信号为高电平时，它将被屏蔽。由于 \overline{CEN} 被取消置位时仍会选择器件，所以当需要时可以通过 \overline{CEN} 延长前一周期。
DQ_a 、 DQ_b 、 DQ_c 和 DQ_d	同步 I/O	双向数据 I/O 线。作为输入使用时，这些线路会将数据传输到片上数据寄存器内，该操作会在 CLK 的上升沿上被触发。作为输出时，它们将发送包含在存储器位置中由 A_x 在前一个读周期所指定的数据。这些引脚的方向由 \overline{OE} 和内部控制逻辑控制。将 \overline{OE} 置为低电平时，这些引脚可作为输出使用。该信号被置为高电平时， DQ_a – DQ_d 都处于三态。无论 \overline{OE} 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都会自动处于三态。
DQP_a 、 DQP_b 、 DQP_c 和 DQP_d	同步 I/O	双向数据奇偶校验 I/O 线。从功能方面来讲，这些信号和 $DQ_{[31:0]}$ 完全相同。在写序列期间， DQP_a 由 \overline{BW}_a 控制、 DQP_b 由 \overline{BW}_b 控制、 DQP_c 由 \overline{BW}_c 控制、 DQP_d 由 \overline{BW}_d 控制、 DQP_e 由 \overline{BW}_e 控制、 DQP_f 由 \overline{BW}_f 控制、 DQP_g 由 \overline{BW}_g 控制、以及 DQP_h 由 \overline{BW}_h 控制。
MODE	短接引脚输入	用于选择器件的突发模式的输入。将该信号置于高电平时，会选择交错突发顺序。将该信号置为低电平时，将选择线性突发。在操作过程中，无法更改 MODE 信号的状态。被悬浮时，该模式默认为高电平，这样可以选择交错突发模式。
TDO	同步的 JTAG 串行输出	JTAG 电路的串行数据输出。在 TCK 的下降沿上发送数据。
TDI	同步的 JTAG 串行输入	JTAG 电路的串行数据输入。在 TCK 时钟的上升沿上被采样。
TMS	同步的测试模式选择	该引脚控制着测试访问端口状态机。在 TCK 时钟的上升沿上被采样。
TCK	JTAG 时钟输入	JTAG 电路的时钟输入。
V_{DD}	电源供应	器件内核的电源输入。
V_{DDQ}	I/O 电源电压	I/O 电路的电源电压。
V_{SS}	接地	器件接地。需要连接至系统的接地端。

引脚定义（续）

引脚名称	I/O 类型	引脚说明
NC	N/A	无连接。该引脚未与芯片连接。
NC/72M	N/A	未连接到芯片。可连接到任何电压电平。
NC/144M	N/A	未连接到芯片。可连接到任何电压电平。
NC/288M	N/A	未连接到芯片。可连接到任何电压电平。
NC/576M	N/A	未连接到芯片。可连接到任何电压电平。
NC/1G	N/A	未连接到芯片。可连接到任何电压电平。
ZZ	异步输入	ZZ “睡眠” 输入。 该高电平有效输入可将器件处于非时间关键“睡眠”条件，并保存数据的完整性。正常工作时，必须将该引脚设为低电平或处于悬浮状态。ZZ 引脚使用内部下拉电阻。

功能概述

CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/

CY7C1462KVE25 是同步流水线突发 NoBL SRAM，这样设计是为了消除读 / 写切换操作中的等待状态。所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟信号与时钟使能输入信号（ $\overline{\text{CEN}}$ ）配合使用。如果 $\overline{\text{CEN}}$ 为高电平，将不会检测到时钟信号，并且保持所有的内部状态。所有的同步操作均与 $\overline{\text{CEN}}$ 结合使用。所有数据输出均通过时钟的上升沿控制的输出寄存器。从时钟上升沿的最大访问延迟（ t_{CO} ）为 2.5 ns（250 MHz 器件）。

三个芯片使能（ $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ ）信号通过时钟上升沿被激活，从而启动访问。如果时钟使能（ $\overline{\text{CEN}}$ ）为低电平有效，并且 ADV/LD 被置低，那么传输到器件的地址将被锁存。根据写入使能（ $\overline{\text{WE}}$ ）状态，进行的可以是读或写操作。 $\text{BW}_{\text{[x]}}$ 可用于实现字节写操作。

写操作与写使能（ $\overline{\text{WE}}$ ）信号配合使用。所有写操作都通过片上同步自定时写电路简化。

三个同步芯片使能（ $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$ ）和一个异步输出使能（ $\overline{\text{OE}}$ ）简化了深度扩展。所有操作（读、写和取消选择）均是流水线模式的。一旦取消选择器件，则需要将 ADV/LD 置低，这样可以加载新操作的地址。

单一读取访问

如果在时钟上升沿上满足以下条件，将启动读取操作：(1) $\overline{\text{CEN}}$ 被置为低电平，(2) $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均被激活，(3) 写入使能输入信号 $\overline{\text{WE}}$ 为高电平，以及 (4) ADV/LD 被置为低电平。发送到地址输入端的地址被锁存到地址寄存器内，并被发送到存储器内核和控制逻辑内。通过控制逻辑可以确定正在进行读访问，并允许将所需数据传输到输出寄存器的输入端。在下一个时钟上升沿上，如果 $\overline{\text{OE}}$ 为低电平有效，那么所要求的数据将在 2.5 ns（200 MHz 器件）的时间内经过输出寄存器然后传输到数据总线上。读访问的第一个时钟周期完成后，输出缓冲区将由 $\overline{\text{OE}}$ 和内部控制逻辑控制。为了输出所需数据，必须将 $\overline{\text{OE}}$ 置为低电平。在第二个时钟周期内，可以启动下一个操作（读 / 写 / 取消选择）。取消选择器件这一操作也是流水线模式下进行的。所以，通过一个芯片使能信号在时钟的上升沿上取消选择 SRAM 时，其输出在下一个上升沿上是三态的。

突发读取访问

通过 CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/ CY7C1462KVE25 的片上突发计数器，用户可以提供单个地址，并可以实现四个读操作，而无需将地址输入重新置位。为了将新的地址加载到 SRAM 内，必须将 ADV/LD 置为低电平，如单一读取访问一节所述。突发计数器的序列由 MODE 输入信号决定。 MODE 上的低电平输入选择线性突发模式，而高电平输入选择交错突发序列。这两个突发计数器在突发序列中都使用 A0 和 A1 ，并且在充分递增时执行环绕式处理。如果 ADV/LD 输入被置于高电平，无论芯片使能输入或 $\overline{\text{WE}}$ 的状态如何，内部突发计数器都会递增。 $\overline{\text{WE}}$ 在突发周期开始时被锁存。因此，在突发序列中将保持访问的类型（读取或写入）。

单一写入访问

如果在时钟上升沿上满足以下条件，将启动写入访问：(1) $\overline{\text{CEN}}$ 被置为低电平，(2) $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均被激活，以及 (3) 写入使能输入信号 $\overline{\text{WE}}$ 为低电平。传输给地址输入的地址会存储在地址寄存器中。写入信号被锁存到控制逻辑模块中。

在后面的时钟上升沿上，无论 $\overline{\text{OE}}$ 输入信号的状态如何，都会自动使数据线进入三态。这样，外部逻辑可以将数据传输到 DQ 和 DQP 上（ $\text{DQ}_{\text{a, b, c, d}}/\text{DQP}_{\text{a, b, c, d}}$ （CY7C1460KV25/CY7C1460KVE25）， $\text{DQ}_{\text{a, b}}/\text{DQP}_{\text{a, b}}$ （CY7C1462KV25/CY7C1462KVE25））。另外，后续访问（读 / 写 / 取消选择）的地址被锁存到地址寄存器内（假定相应的控制信号已经被置位）。

在下一个时钟上升沿上，将传输到 DQ 和 DQP 输入（ $\text{DQ}_{\text{a, b, c, d}}/\text{DQP}_{\text{a, b, c, d}}$ （CY7C1460KV25/CY7C1460KVE25）和 $\text{DQ}_{\text{a, b}}/\text{DQP}_{\text{a, b}}$ （CY7C1462KV25/CY7C1462KVE25））（或字节写入操作子集。详细信息，请参考写周期说明表中的内容）数据被锁存到器件，即完成写操作。

写操作中的数据传输由 $\overline{\text{BW}}$ （ $\overline{\text{BW}}_{\text{a, b, c, d}}$ （CY7C1460KV25/CY7C1460KVE25）和 $\overline{\text{BW}}_{\text{a, b}}$ （CY7C1462KV25/CY7C1462KVE25））信号控制。CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/ CY7C1462KVE25 提供了字节写入功能，如写周期说明表中介绍的内容。如果置位写入使能输入（ $\overline{\text{WE}}$ ），同时使用所选的字节写入选择（ $\overline{\text{BW}}$ ）输入，便能对所需的字节进行写操作。字节写入操作中未被选择的字节将保持不变。所提供的同步自定时写入机制能够简化写操作。通过集成字节写入能力，可以明显简化读 / 修改 / 写序列，甚至可以将这些序列简化为简单的字节写入操作。

由于 CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 均是通用 I/O 器件，所以输出在运行时，不应将数据驱动到器件内。将数据传输到 DQ 和 DQP (DQ_{a, b, c, d}/DQP_{a, b, c, d} (CY7C1460KV25/CY7C1460KVE25) 和 DQ_{a, b}/DQP_{a, b} (CY7C1462KV25/CY7C1462KVE25)) 前，可以将输出使能 (OE) 置高。这样可使输出驱动处于三态。为安全起见，在写周期的数据传输期间，无论 OE 的状态如何，DQ 和 DQP (DQ_{a, b, c, d}/DQP_{a, b, c, d} (CY7C1460KV25/CY7C1460KVE25) 和 DQ_{a, b}/DQP_{a, b} (CY7C1462KV25/CY7C1462KVE25)) 都会自动进入三态。

突发写入访问

通过 CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 的片上突发计数器，用户可以提供单个地址，就可以实现四个写操作，而无需将地址输入重新置位。为了加载初始地址，必须将 ADV/LD 置为低电平，如单一写入访问一节所述。在后面的上升沿中，将 ADV/LD 置高时，芯片使能 (CE₁、CE₂ 和 CE₃) 和 WE 输入均被忽略，突发计数器将递增。在每个突发写周期中，必须驱动正确的 BW (BW_{a, b, c, d} (CY7C1460KV25/CY7C1460KVE25) 和 BW_{a, b} (CY7C1462KV25/CY7C1462KVE25)) 输入，这样才能写入正确的数据字节。

睡眠模式

ZZ 输入引脚是一个异步输入。置位 ZZ 后，SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时，需要两个时钟周期。在该模式中，数据完整性得到保证。进入睡眠模式时，在等待的访问不被视为有效访问，也不会确保能完成操作。进入睡眠模式之前，必须取消选择该器件。CE₁、CE₂ 和 CE₃ 必须在 ZZ 输入为低电平后的 t_{ZZREC} 时间内保持无效状态。

片上 ECC

CY7C1460KVE25/CY7C1462KVE25 SRAM 包含一个片上 ECC 算法，用于检测并校正所有单比特存储器上的错误，包括由宇宙射线、α 粒子，等等导致的软错误 (SEU) 事件。预期这些器件的软错误率低于 0.01 FITs/Mb，比无片上 ECC SRAM

小 4 个数量级。无片上 ECC SRAM 的 SER 一般为 200 FITs/Mb 或更大。预期这些器件的软错误率低于 0.01 FITs/Mb，比无片上 ECC SRAM 小 4 个数量级。无片上 ECC SRAM 的 SER 一般为 200 FITs/Mb 或更大。要想保护内部数据，需要使用 ECC 奇偶校验位 (用户不可见)。

ECC 算法不会校正多比特错误。但是，赛普拉斯 SRAM 的架构确保单个 SER 事件在任何数据字上导致多比特错误的可能性极小。由于多比特错误非常罕见，器件的 SER 小于 0.01 FITs/Mb。

交错突发地址表

(MODE = 悬浮或 V_{DD})

第一个地址	第二个地址	第三个地址	第四个地址
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址	第二个地址	第三个地址	第四个地址
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 V$	—	89	mA
t_{ZZS}	器件操作切换为 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2 V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 V$	$2t_{CYC}$	—	ns
t_{ZZI}	ZZ 从活动状态到进入睡眠电流的时间	该参数被采样	—	$2t_{CYC}$	ns
t_{RZZI}	ZZ 从非活动状态到退出睡眠电流的时间	该参数被采样	0	—	ns

真值表

CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25 的真值表如下所示。[1、2、3、4、5、6、7]

操作	所使用的地址	\overline{CE}	ZZ	ADV/LD	\overline{WE}	$\overline{BW_x}$	\overline{OE}	\overline{CEN}	CLK	DQ
取消选择周期	无	H	L	L	X	X	X	L	L-H	三态
继续取消选择周期	无	X	L	H	X	X	X	L	L-H	三态
读周期（开始传输）	外部地址	L	L	L	H	X	L	L	L-H	输出数据 (Q)
读周期（继续传输）	下一个地址	X	L	H	X	X	L	L	L-H	输出数据 (Q)
NOP/ 虚拟读取（开始传输）	外部地址	L	L	L	H	X	H	L	L-H	三态
虚拟读取（继续传输）	下一个地址	X	L	H	X	X	H	L	L-H	三态
写周期（开始传输）	外部地址	L	L	L	L	L	X	L	L-H	输入数据 (D)
写周期（继续传输）	下一个地址	X	L	H	X	L	X	L	L-H	输入数据 (D)
NOP/ 写入中止（开始传输）	无	L	L	L	L	H	X	L	L-H	三态
写入中止（继续传输）	下一个地址	X	L	H	X	H	X	L	L-H	三态
忽略时钟沿（取消选择）	当前地址	X	L	X	X	X	X	H	L-H	-
睡眠模式	无	X	H	X	X	X	X	X	X	三态

注释:

1. X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。 $\overline{BW_x} = L$ 表示至少一个字节写入选择信号处于活动状态，“ $\overline{BW_x}$ = 有效”表示所需的字节写入选择信号被置位；更详细信息，请参考“写周期”说明表中的内容。
2. 写操作由 \overline{WE} 和 $\overline{BW_x}$ 定义。详细信息，请参阅写周期说明表中的内容。
3. 当检测到写周期时（即使是字节写周期期间），所有 I/O 都处于三态。
4. \overline{DQ} 和 \overline{DQP} 引脚由当前周期和 \overline{OE} 信号控制。
5. $\overline{CEN} = H$ ，将插入等待状态。
6. 无论 \overline{OE} 的状态如何，器件会被上电和取消选择，并且各个 I/O 处于三态。
7. \overline{OE} 是异步信号，并不在时钟上升沿上进行采样。该信号在写周期中被内部屏蔽。在读周期中， \overline{OE} 无效或器件被取消选择时， $\overline{DQ_s}$ 和 $\overline{DQP_x}$ 为三态，并且 \overline{OE} 有效时， $\overline{DQ_s}$ 带有数据。

部分写周期说明

CY7C1460KV25/CY7C1460KVE25 的部分写周期说明内容如下所示。 [8、9、10、11]

功能 (CY7C1460KV25/CY7C1460KVE25)	\overline{WE}	$\overline{BW_d}$	$\overline{BW_c}$	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	X	X	X	X
写入 — 未写入任何字节	L	H	H	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	H	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	H	H	L	H
写入字节 b 和 a	L	H	H	L	L
写入字节 c — (DQ _c 和 DQP _c)	L	H	L	H	H
写入字节 c 和 a	L	H	L	H	L
写入字节 c 和 b	L	H	LL	L	H
写入字节 c、b 和 a	L	H	L	L	L
写入字节 d — (DQ _d 和 DQP _d)	L	L	H	H	H
写入字节 d 和 a	L	L	H	H	L
写入字节 d 和 b	L	L	H	L	H
写入字节 d、b 和 a	L	L	H	L	L
写入字节 d 和 c	L	L	L	H	H
写入字节 d、c 和 a	L	L	L	H	L
写入字节 d、c 和 b	L	L	L	L	H
写入所有字节	L	L	L	L	L

部分写周期说明

CY7C1462KV25/CY7C1462KVE25 的部分写周期说明内容如下。 [8、9、10、11]

功能 (CY7C1462KV25/CY7C1462KVE25)	\overline{WE}	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	X	X
写入 — 未写入任何字节	L	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	L	H
写入两种字节	L	L	L

注释:

8. X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。 $\overline{BW_x} = L$ 表示至少一个字节写入选择信号处于活动状态，“ $\overline{BW_x} = \text{有效}$ ”表示所需的字节写入选择信号被置位；更详细信息，请参考“写周期”说明表中的内容。
9. 写操作由 \overline{WE} 和 $\overline{BW_x}$ 定义。详细信息，请参阅写周期说明表中的内容。
10. 当检测到写周期时（即使是字节写周期期间），所有 I/O 都处于三态。
11. 该表仅列出了字节写入组合的一部分列表。 $\overline{BW_x}$ 的任意组合均有效。根据有效的字节写入，将执行相当的写操作。

IEEE 1149.1 串行边界扫描 (JTAG)

CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/
CY7C1462KVE25 包含串行边界扫描测试端口 (TAP)。该器件完全符合 1149.1 标准。TAP 在工作时采用 JEDEC 标准的 2.5V I/O 逻辑电平。

CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/
CY7C1462KVE25 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 特性

可以在不使用 JTAG 特性的情况下运行 SRAM。要禁用 TAP 控制器，必须将 TCK 置为低电平 (V_{SS})，以防止额外的时钟输入到器件中。TDI 和 TMS 是内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD} 。TDO 必须保持未连接状态。上电时，器件会复位，这样不会干扰器件的工作。

测试端口 (TAP)

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上被捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果不使用 TAP，可以让该球形焊盘保持未连接状态。由于该球形焊盘是内部上拉的，因此可产生逻辑高电平。

测试数据输入 (TDI)

TDI 球形焊盘用于以串行方式将信息输入到寄存器中，并可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令来选择。TDI 是内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB)。(请参考第 16 页上的 TAP 控制器框图。)

测试数据输出 (TDO)

TDO 输出球形焊盘用于以串行方式从寄存器输出时钟数据。输出的有效状态取决于 TAP 状态机的当前状态。输出会在 TCK 的下降沿上改变。TDO 连接到任何寄存器的最低有效位 (LSB)。(请参考第 16 页上的 TAP 控制器状态图。)

执行 TAP 复位

通过在 5 个 TCK 上升沿的时间内将 TMS 强制置为高电平 (V_{DD})，即可进行复位。该复位不会影响 SRAM 的工作，并且在 SRAM 工作期间执行。

在上电过程中，将内部复位 TAP，以确保 TDO 处于高阻状态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 球形焊盘之间，用于扫描 SRAM 测试电路的数据输入和输出。通过指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 球形焊盘。在 TCK 的下降沿上，数据会从 TDO 球形焊盘输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 球形焊盘之间时被加载，如第 16 页上的 TAP 控制器框图所示。上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会以二进制“01”的形式加载，以便实现模块级串行测试数据路径的故障隔离。

旁路寄存器

当数据以串行方式写入寄存器时，跳过某些芯片可能会节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 球形焊盘之间，这样可以通过 SRAM 的数据移动的延迟较小。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和双向球形焊盘。第 19 页上的扫描寄存器大小列出了各种封装中 SRAM 的边界扫描寄存器的长度。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM I/O 环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 球形焊盘之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获 I/O 环的内容。

第 20 页上的边界扫描顺序显示了各个位的连接顺序。每个位都与 SRAM 封装上的一个管脚相对应。寄存器的 MSB 被连接到 TDI，LSB 被连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以读取它。ID 寄存器具有供应商代码和第 19 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现八个不同的指令。指令代码表列出了所有组合。其中三个指令被列为 RESERVED，请勿使用这些指令。下面将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在该状态期间，会通过 TDI 和 TDO 球形焊盘将指令写入到指令寄存器内。要在写入指令后立即执行指令，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供货商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 球形焊盘之间，并允许在 TAP 控制器进入 Shift-DR 状态后，将 IDCODE 移出器件。

上电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于高阻状态，直到在 Update-IR 状态期间提供了下一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 标准的强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差异，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以满足 TAP 控制器的捕获建立时间和保持时间（ t_{CS} 和 t_{CH} ）的要求。如果在设计中无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的时钟的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以立即读出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据移位可以并发执行，即可以在移出所捕获数据的同时，移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当电路板上有多器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST Output Bus Tri-State

IEEE 标准 1149.1 强制规定，TAP 控制器可以将输出总线置于三态模式。

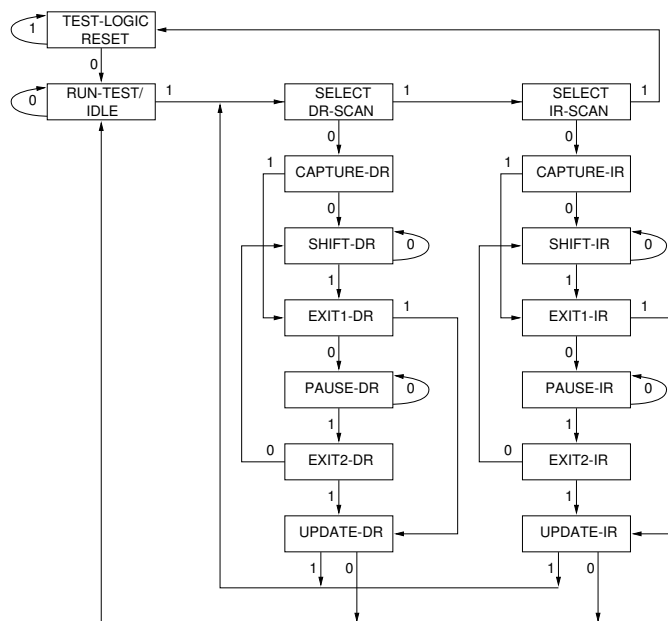
边界扫描寄存器在 89 位上有一个特殊位（用于 165 球形焊盘 FBGA 封装）。当该扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载的寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。置于低电平时，该位会将输出总线置于高阻状态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位移入该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，该位会直接控制输出 Q 总线引脚。请注意，该位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，使能输出。

Reserved

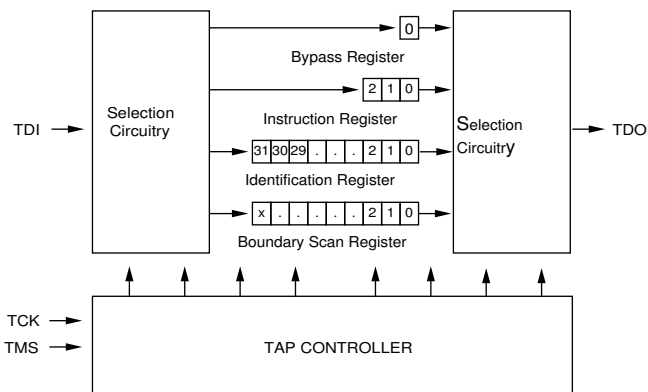
这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

TAP 控制器状态图

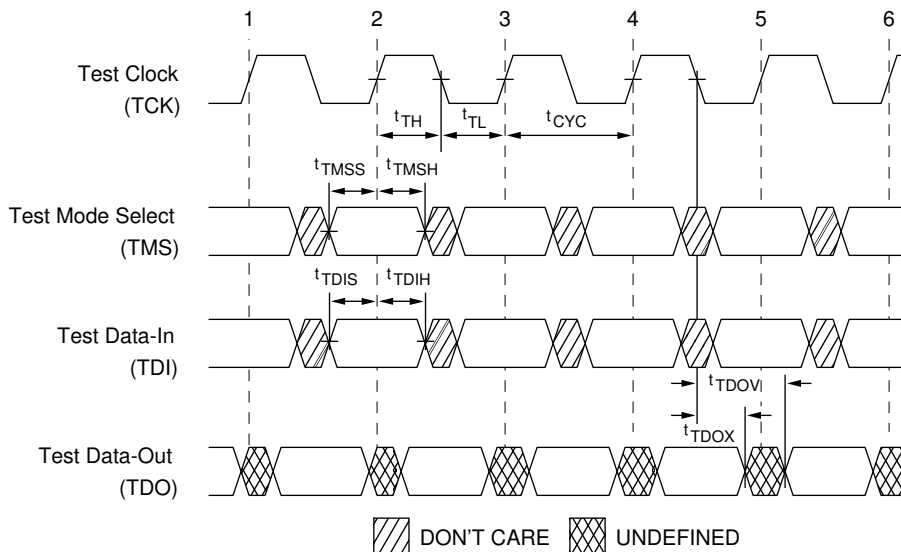


每个状态旁边的 0/1 代表的是 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图



TAP 时序



TAP 交流开关特性

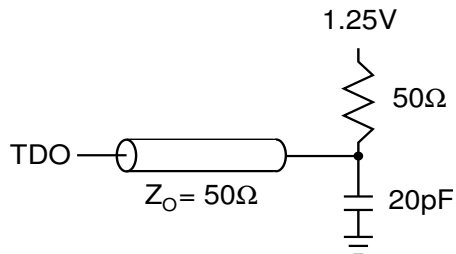
在工作范围内

参数 ^[12、13]	说明	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	—	ns
t_{TF}	TCK 时钟频率	—	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	—	ns
t_{TL}	TCK 时钟为低电平的时间	20	—	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低电平到 TDO 有效的时间	—	10	ns
t_{TDOX}	从 TCK 时钟为低电平到 TDO 无效的时间	0	—	ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{CS}	从捕获建立到 TCK 上升沿的时间	5	—	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿后的 TMS 保持时间	5	—	ns
t_{TDIH}	时钟上升沿后的 TDI 保持时间	5	—	ns
t_{CH}	时钟上升沿后的捕获保持时间	5	—	ns

2.5 V TAP 交流测试条件

输入脉冲电平 V_{SS} 到 2.5 V
 输入上升和下降时间（斜率） 2 V/ns
 输入时序参考电压 1.25 V
 输出参考电压 1.25 V
 测试负载终端供电电压 1.25 V

2.5 V TAP 交流输出负载等效



注释:

12. t_{CS} 和 t_{CH} 表示从边界扫描寄存器锁存数据的建立和保持时间要求。
 13. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。 $t_R/t_F = 2$ V/ns（斜率）。

TAP 直流电气特性与工作条件

(除非另有说明, 否则其工作条件为: $0\text{ }^{\circ}\text{C} < T_A < +70\text{ }^{\circ}\text{C}$; $V_{DD} = 2.5\text{ V} \pm 0.125\text{ V}$) [14]

参数	说明	测试条件		最小值	最大值	单位
V_{OH1}	高电压输出	$I_{OH} = -1.0\text{ mA}$	$V_{DDQ} = 2.5\text{ V}$	1.7	—	V
V_{OH2}	高电压输出	$I_{OH} = -100\text{ mA}$	$V_{DDQ} = 2.5\text{ V}$	2.1	—	V
V_{OL1}	低电压输出	$I_{OL} = 1.0\text{ mA}$	$V_{DDQ} = 2.5\text{ V}$	—	0.4	V
V_{OL2}	低电压输出	$I_{OL} = 100\text{ mA}$	$V_{DDQ} = 2.5\text{ V}$	—	0.2	V
V_{IH}	高电压输入		$V_{DDQ} = 2.5\text{ V}$	1.7	$V_{DD} + 0.3$	V
V_{IL}	低电压输入		$V_{DDQ} = 2.5\text{ V}$	-0.3	0.7	V
I_X	输入负载电流	$GND \leq V_I \leq V_{DDQ}$		-5	5	μA

注释:

14. 所有电压都参考 V_{SS} (接地) 电压。

标识寄存器定义

指令字段	CY7C1460KV25/ CY7C1460KVE25 (1 M × 36)	CY7C1462KV25/ CY7C1462KVE25 (2 M × 18)	说明
版本号 (31:29)	000	000	描述版本编号
器件深度 (28:24)	01011	01011	保留, 以供内部使用
架构 / 存储器类型 (23:18)	001000	001000	定义存储器类型和架构
总线宽度 / 容量 (17:12)	100111	010111	定义总线的宽度和容量
赛普拉斯 JEDEC ID 代码 (11:1)	00000110100	00000110100	定义 SRAM 供应商的唯一标识
ID 寄存器存在指示符 (0)	1	1	表示 ID 寄存器的存在情况

扫描寄存器大小

寄存器名称	位大小 (× 36)	位大小 (× 18)
指令	3	3
旁路	1	1
ID	32	32
边界扫描顺序 (165 球形焊盘 FBGA 封装)	89	89

标识代码

指令	代码	说明
EXTEST	000	捕捉 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出均进入高阻态。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中, 并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕捉 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出驱动器均进入高阻态。
RESERVED	011	请勿使用: 该指令留给将来使用。
SAMPLE/PRELOAD	100	捕捉 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用: 该指令留给将来使用。
RESERVED	110	请勿使用: 该指令留给将来使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

边界扫描顺序

165 球形焊盘 FBGA^[15]

CY7C1460KV25/CY7C1460KVE25 (1 M × 36)、CY7C1462KV25/CY7C1462KVE25 (2 M × 18)

位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID
1	N6	26	E11	51	A3	76	N1
2	N7	27	D11	52	A2	77	N2
3	N10	28	G10	53	B2	78	P1
4	P11	29	F10	54	C2	79	R1
5	P8	30	E10	55	B1	80	R2
6	R8	31	D10	56	A1	81	P3
7	R9	32	C11	57	C1	82	R3
8	P9	33	A11	58	D1	83	P2
9	P10	34	B11	59	E1	84	R4
10	R10	35	A10	60	F1	85	P4
11	R11	36	B10	61	G1	86	N5
12	H11	37	A9	62	D2	87	P6
13	N11	38	B9	63	E2	88	R6
14	M11	39	C10	64	F2	89	内部
15	L11	40	A8	65	G2		
16	K11	41	B8	66	H1		
17	J11	42	A7	67	H3		
18	M10	43	B7	68	J1		
19	L10	44	B6	69	K1		
20	K10	45	A6	70	L1		
21	J10	46	B5	71	M1		
22	H9	47	A5	72	J2		
23	H10	48	A4	73	K2		
24	G11	49	B4	74	L2		
25	F11	50	B3	75	M2		

注释:

15. 位 89 被预设为高。

最大额定值

超过最大额定值可能会影响器件的使用寿命。用户指引未经过测试。

存放温度 -65 °C ~ +150 °C

通电状态下的环境温度 -55 °C ~ +125 °C

V_{DD} 上相对于 GND 的供电电压 -0.5 V ~ +3.6 V

V_{DDQ} 上相对于 GND 的供电电压 -0.5 V ~ + V_{DD}

在三态模式下输出的直流电压 -0.5 V ~ $V_{DDQ} + 0.5$ V

直流输入电压 -0.5 V ~ $V_{DD} + 0.5$ V

输出电流（低电平） 20 mA

静电放电电压

（根据 MIL-STD-883，方法 3015） > 2001 V

门锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 至 +70 °C	2.5 V \pm 5%	2.5 V - 5% 至 V_{DD}
工业级	-40 °C 至 +85 °C		

中子软错误免疫性

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的器件)	逻辑单比特错误	25 °C	197	216	FIT/Mb
LSBU (带 ECC 的器件)			0	0.01	FIT/Mb
LMBU (所有器件)	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL (所有器件)	单事件	85 °C	0	0.1	FIT/Dev

* 测试期间未发生 LMBU 或 SEL 事件；该列为统计得出的 c^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 [AN 54908](#)* 加速抗中子 SER 测试和陆生故障率的计算*。

电气特性

在工作范围内

参数 ^[16, 17]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		2.375	2.625	V
V_{DDQ}	I/O 供电电压	2.5 V I/O	2.375	V_{DD}	V
V_{OH}	高电压输出	2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	—	V
V_{OL}	低电压输出	2.5 V I/O, $I_{OL} = 1.0$ mA	—	0.4	V
V_{IH}	高电压输入 ^[16]	2.5 V I/O	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	低电压输入 ^[16]	2.5 V I/O	-0.3	0.7	V
I_X	输入漏电流（ZZ 和 MODE 除外）	$GND \leq V_I \leq V_{DDQ}$	-5	5	μ A
	MODE 的输入电流	输入 = V_{SS}	-30		μ A
		输入 = V_{DD}	—	5	μ A
	ZZ 的输入电流	输入 = V_{SS}	-5	—	μ A
		输入 = V_{DD}	—	30	μ A
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-5	5	μ A

注释:

16. 过冲: $V_{IH}(AC) < V_{DD} + 1.5$ V（脉冲宽度小于 $t_{CYC}/2$ ），下冲: $V_{IL}(AC) > -2$ V（脉冲宽度小于 $t_{CYC}/2$ ）。

17. $T_{Power-up}$: 假设在 200 ms 内，线性斜坡从 0 V 达到 V_{DD} （最小值）。在此期间， $V_{IH} < V_{DD}$ 且 $V_{DDQ} \leq V_{DD}$ 。

电气特性 (续)

在工作范围内

参数 ^[16、17]	说明	测试条件		最小值	最大值	单位	
I _{DD}	V _{DD} 的工作电压	V _{DD} = 最大值, I _{OUT} = 0 mA, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	220	mA
				× 36	—	240	
			5 ns 周期, 200 MHz	× 18	—	190	mA
				× 36	—	210	
			6 ns 周期, 167 MHz	× 18	—	170	mA
				× 36	—	190	
I _{SB1}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 未选中器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36	—	90	
			5 ns 周期, 200 MHz	× 18	—	85	mA
				× 36	—	90	
			6 ns 周期, 167 MHz	× 18	—	85	mA
				× 36	—	90	
I _{SB2}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 未选中器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = 0	所有速度	× 18	—	75	mA
				× 36		80	
I _{SB3}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 未选中器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36		90	
			5 ns 周期, 200 MHz	× 18	—	85	mA
				× 36		90	
			6 ns 周期, 167 MHz	× 18	—	85	mA
				× 36		90	
I _{SB4}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 未选中器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = 0	所有速度 范围	× 18	—	75	mA
				× 36	—	80	mA

电容

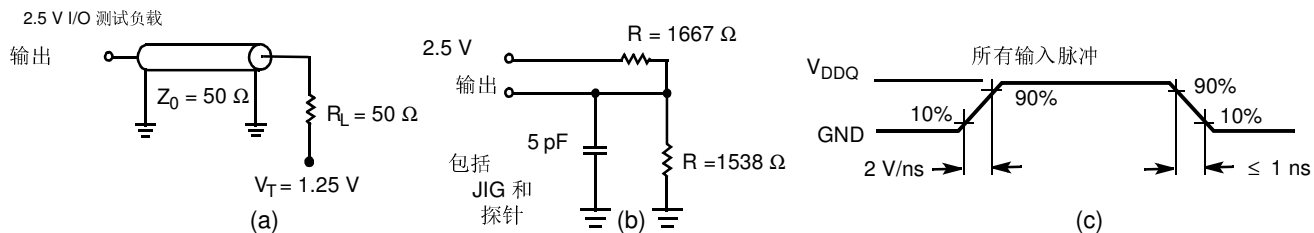
参数 ^[18]	说明	测试条件	100 引脚 TQFP 最大值	165 球形焊盘 FBGA 最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 2.5\text{ V}$ $V_{DDQ} = 2.5\text{ V}$	5	5	pF
C_{CLK}	时钟输入电容		5	5	pF
$C_{I/O}$	输入 / 输出电容		5	5	pF

热电阻

参数 ^[18]	说明	测试条件		100 引脚 TQFP 封装	165 球形焊盘 FBGA 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	与静止空气中（0 米 / 秒）	35.36	14.24	℃/W
			用空气流量 （1 米 / 秒）	31.30	12.47	
			用空气流量 （3 米 / 秒）	28.86	11.40	
Θ_{JC}	热阻 （结至外壳）			7.52	3.92	
Θ_{JB}	热阻 （结到板）			28.89	7.19	

交流测试负载和波形

图 3. 交流测试负载和波形



注释:

18. 在任何设计或工艺更改之前和之后进行测试都对这些参数产生影响。

开关特性

在工作范围内

参数 ^[19、20]	说明	-250		-200		-167		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{Power}^{[21]}$	从 V_{CC} (典型值) 到第一次执行读取或写入操作的时间	1	—	1	—	1	—	ms
时钟								
t_{CYC}	时钟周期时间	4.0	—	5.0	—	6.0	—	ns
F_{MAX}	最大工作频率	—	250	—	200	—	167	MHz
t_{CH}	时钟为高电平的时间	1.5	—	2.0	—	2.4	—	ns
t_{CL}	时钟为低电平的时间	1.5	—	2.0	—	2.4	—	ns
输出时间								
t_{CO}	CLK 上升沿后数据输出有效的时间	—	2.5	—	3.2	—	3.4	ns
t_{EOV}	\overline{OE} 为低到输出有效的时间	—	2.6	—	3.0	—	3.4	ns
t_{DOH}	CLK 上升沿后数据输出的保持时间	1.0	—	1.5	—	1.5	—	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[22、23、24]	—	2.6	—	3.0	—	3.4	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[22、23、24]	1.0	—	1.3	—	1.5	—	ns
t_{EOHZ}	\overline{OE} 为高电平到输出为高阻态的时间 ^[22、23、24]	—	2.6	—	3.0	—	3.4	ns
t_{EOLZ}	\overline{OE} 为低电平到输出为低阻态的时间 ^[22、23、24]	0	—	0	—	0	—	ns
建立时间								
t_{AS}	CLK 上升沿前的地址建立时间	1.2	—	1.4	—	1.5	—	ns
t_{DS}	CLK 上升沿前的数据输入建立时间	1.2	—	1.4	—	1.5	—	ns
t_{CENS}	CLK 上升沿前的 \overline{CEN} 建立时间	1.2	—	1.4	—	1.5	—	ns
t_{WES}	\overline{CLK} 上升沿前的 \overline{WE} 和 \overline{BW}_x 建立时间	1.2	—	1.4	—	1.5	—	ns
t_{ALS}	CLK 上升沿前的 ADV/\overline{LD} 建立时间	1.2	—	1.4	—	1.5	—	ns
t_{CES}	片选建立时间	1.2	—	1.4	—	1.5	—	ns
保持时间								
t_{AH}	CLK 上升沿后的地址保持时间	0.3	—	0.4	—	0.5	—	ns
t_{DH}	CLK 上升沿后数据输入的保持时间	0.3	—	0.4	—	0.5	—	ns
t_{CENH}	CLK 上升沿后的 \overline{CEN} 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{WEH}	CLK 上升沿后的 \overline{WE} 和 \overline{BW}_x 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{ALH}	CLK 上升沿后的 ADV/\overline{LD} 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{CEH}	CLK 上升沿后的片选保持时间	0.3	—	0.4	—	0.5	—	ns

注释:

19. $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V。

20. 除非另有说明, 否则测试条件都显示在 AC 测试负载的 (a) 内。

21. 该器件内部使用一个电压调节器; t_{Power} 是启动读 / 写操作前需要供电以便供电电压高于 V_{DD} 最小值的时间。

22. t_{CHZ} 、 t_{CLZ} 、 t_{EOLZ} 和 t_{EOHZ} 都在第 23 页上的图 3 的 (b) 情况所示的交流电测试条件下指定的。跳变在稳定状态电压 $\pm 200\text{ mV}$ 下进行测量。

23. 在任何给定的电压和温度情况下, t_{EOHZ} 小于 t_{EOLZ} , t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除总线冲突。这些规范并不表示一个总线冲突条件, 但反映在最坏的情况下得到保证的参数。设计器件的目的在于在同一个系统条件下进入低阻态前要进入高阻态。

24. 这个参数是被采样的, 并非 100% 经过了测试。

开关波形

图 4. 读 / 写 / 时序 [25、26、27]

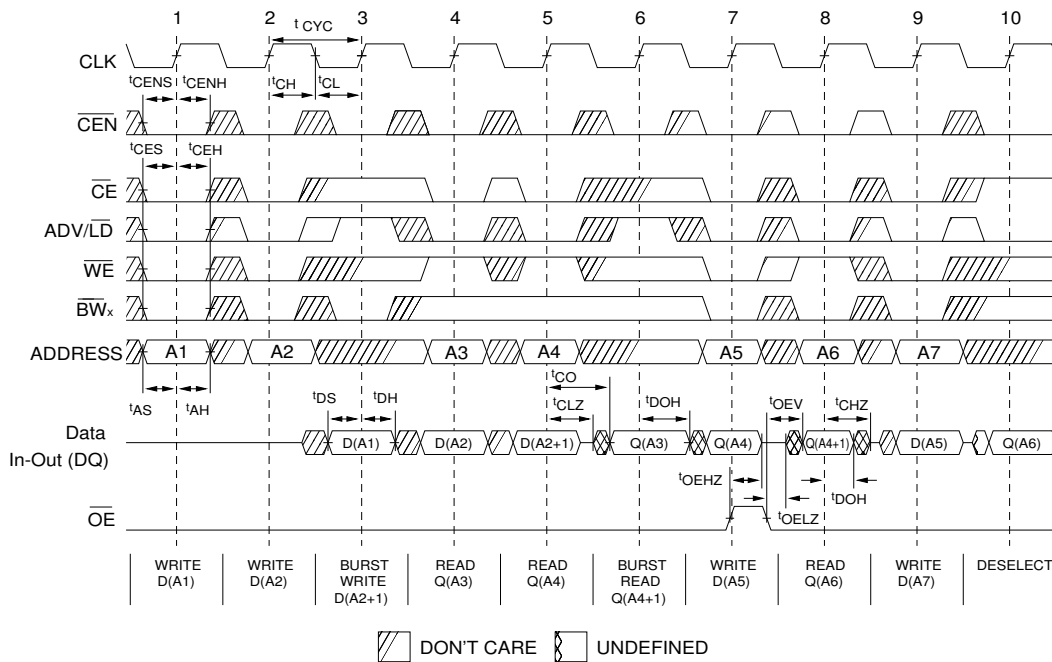
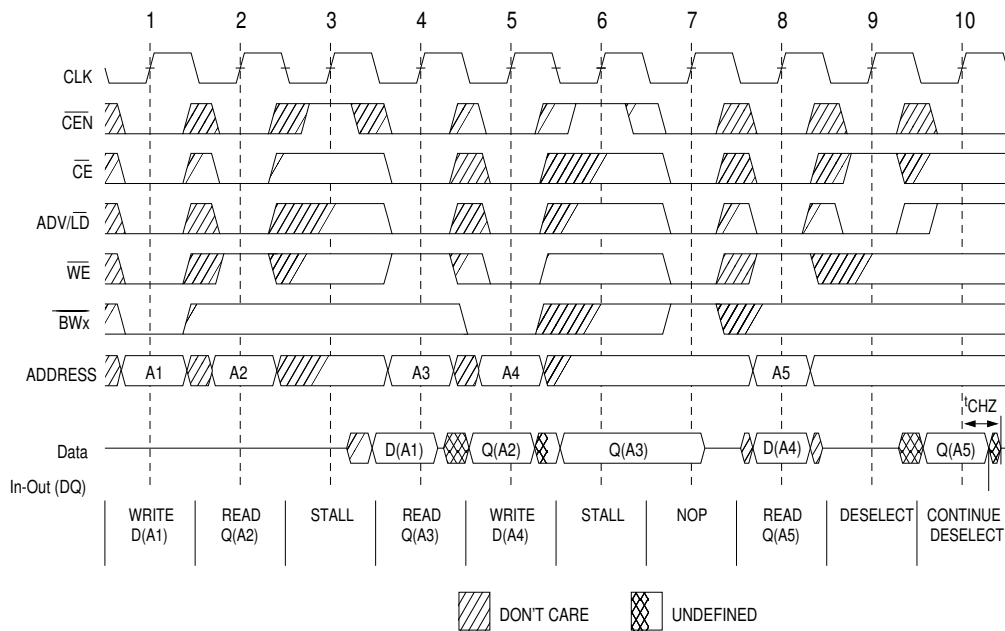


图 5. NOP、STALL 和 DESELECT 周期 [25、26、28]

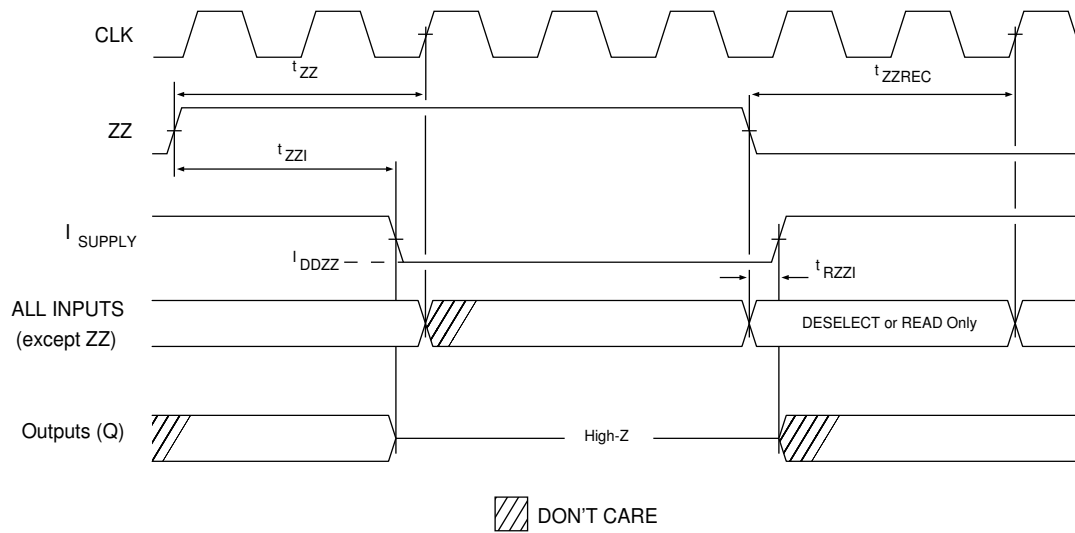


注释:

25. 对于该波形，ZZ 被设置为低电平。
26. 当 \overline{CE} 为低电平时， \overline{CE}_1 和 \overline{CE}_3 为低电平，并且 \overline{CE}_2 为高电平。当 \overline{CE} 为高电平时， \overline{CE}_1 或 \overline{CE}_3 为高电平，或 \overline{CE}_2 为低电平。
27. 突发的顺序由 **MODE** 的状态决定（0= 线性，1= 交错）。突发操作是可选的。
28. “忽略时钟沿”或“拖延”周期（时钟 3）说明了通过使用 **CEN** 信号来实现暂停操作。在该周期内，不能执行写操作。

开关波形（续）

图 6. ZZ 模式时序 [29、30]



注释:

29. 进入 ZZ 模式时，必须取消选择该器件。有关取消选择器件的所有可能信号条件，请参考周期说明表。
30. 退出 ZZ 睡眠模式时，I/O 处于高阻态。

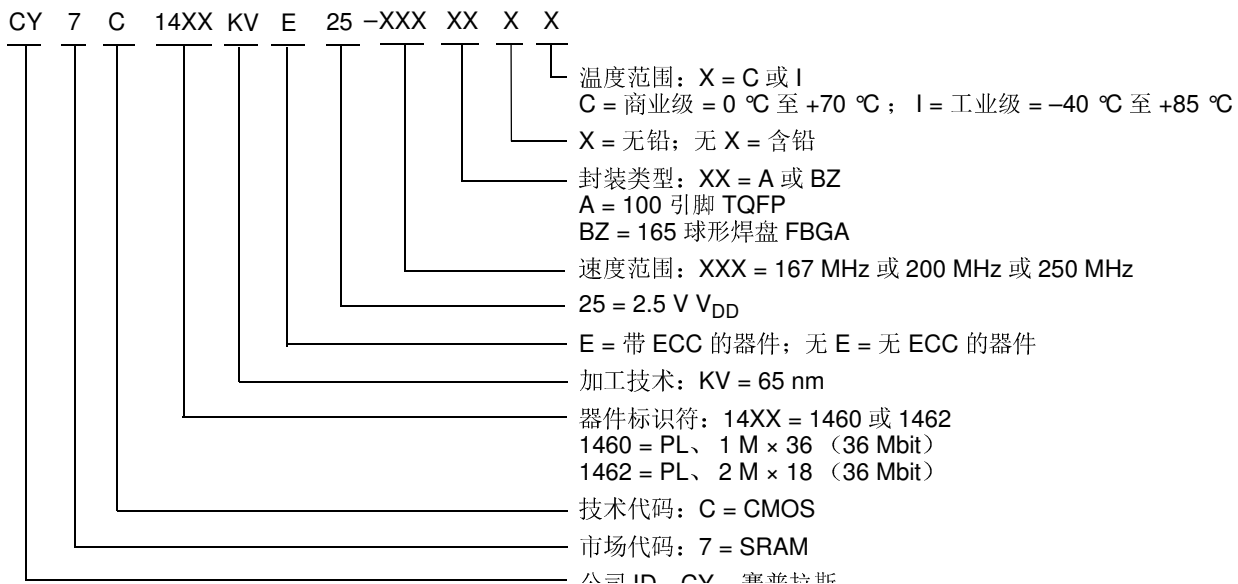
订购信息

赛普拉斯提供该类型产品的其他版本，可使用多种不同的配置和特性。下表只列出了当前可用的芯片。有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com，并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

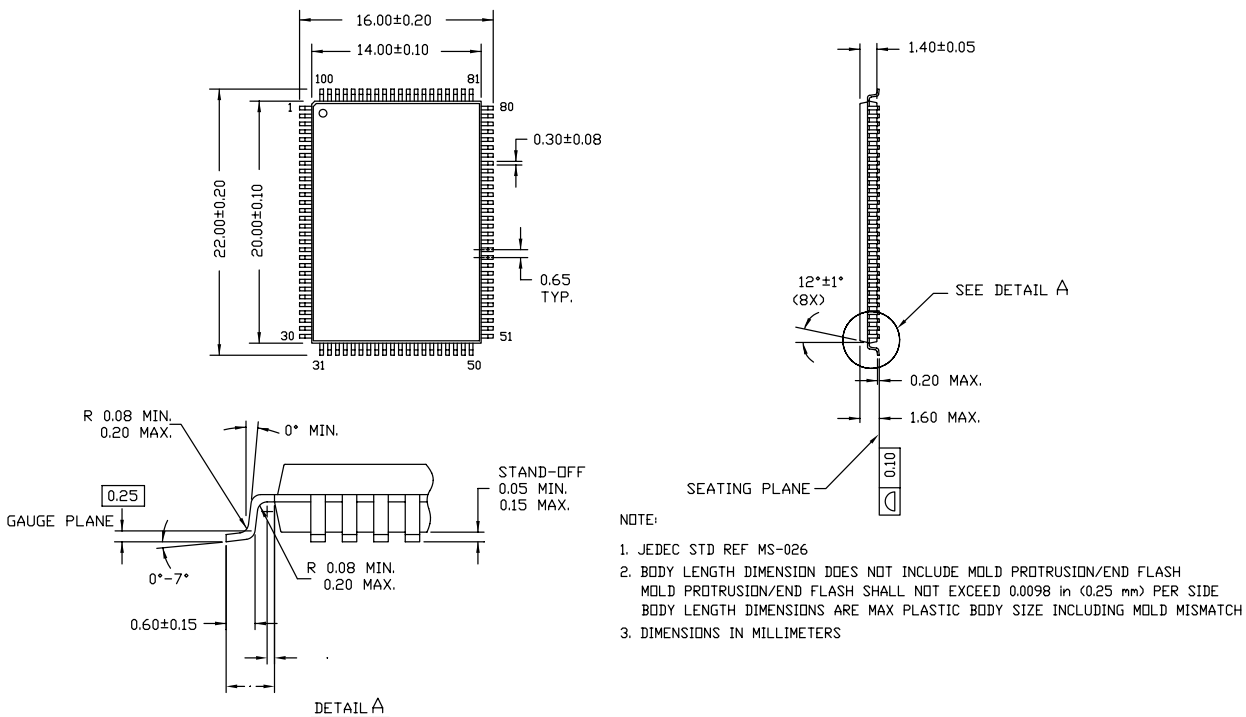
速度 (MHz)	订购代码	封装图	芯片和封装类型	工作范围
250	CY7C1460KV25-250AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1462KV25-250BZXC	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm) 无铅	
	CY7C1460KV25-250BZC	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm)	
	CY7C1460KVE25-250AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	
200	CY7C1460KV25-200BZXI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm) 无铅	工业级
	CY7C1460KV25-200BZI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm)	
	CY7C1460KVE25-200BZXI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm) 无铅	
	CY7C1462KV25-200AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
167	CY7C1460KV25-167AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1460KVE25-167AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1460KV25-167BZXI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm) 无铅	工业级
	CY7C1460KV25-167BZC	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm)	商业级
	CY7C1462KV25-167BZI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm)	工业级
	CY7C1462KVE25-167BZI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm)	工业级

订购代码定义



封装图

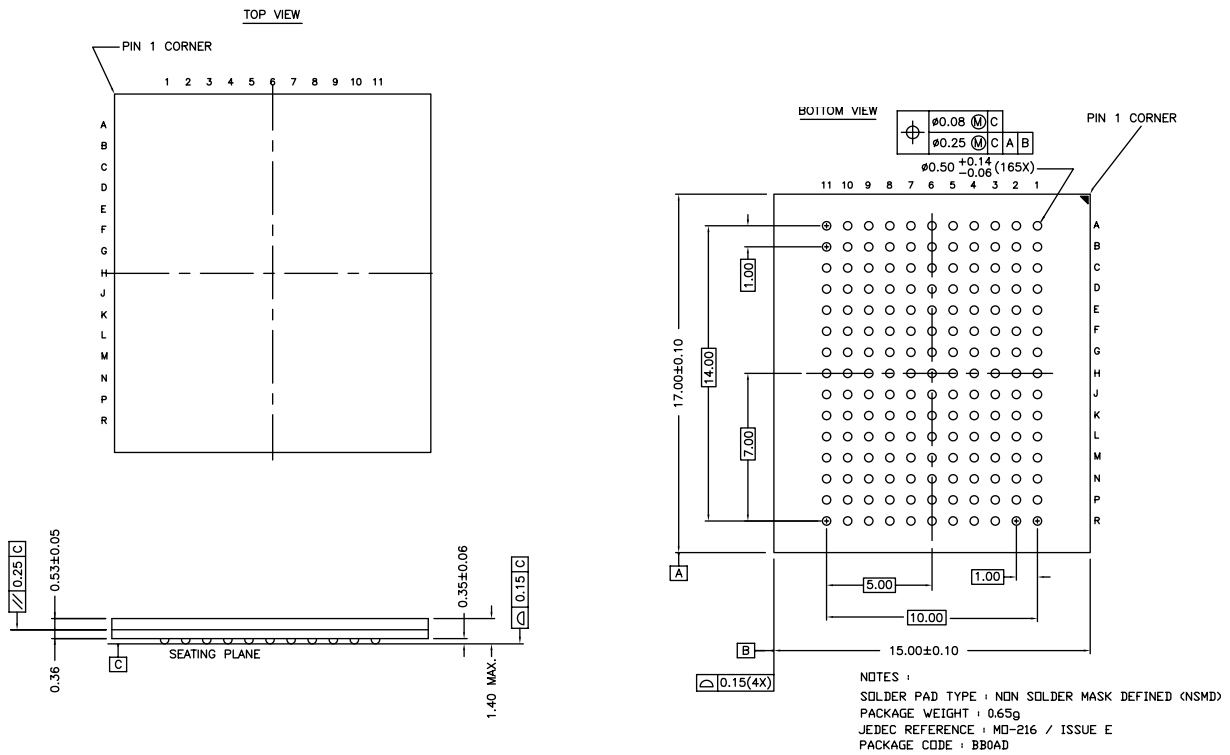
图 7. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

封装图 (续)

图 8. 165 球形焊盘 FBGA (15 × 17 × 1.4 mm (球形焊盘的直径为 0.5)) 封装外形, 51-85195



51-85195 *D

缩略语

缩略语	说明
CE	芯片使能
$\overline{\text{CEN}}$	时钟使能
CMOS	互补金属氧化物半导体
FBGA	小间距球栅阵列
I/O	输入 / 输出
JTAG	联合测试行动小组
NoBL	无总线延迟
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
TQFP	薄型四方扁平封装
$\overline{\text{WE}}$	写入使能
ECC	纠错码

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1460KV25/CY7C1462KV25/CY7C1460KVE25/CY7C1462KVE25、NoBL™ 架构的 36 Mbit (1 M × 36/2 M × 18) 流水线 SRAM (带有 ECC) 文档编号: 001-95972				
版本	ECN 编号	发布日期	变更人	变更说明
**	4622066	01/14/2015	GONG	本档版本号为 Rev**, 译自英文版 001-66679 Rev*D。
A	4717375	04/08/2015	PRIT	转为最终文档 英语 001-66679 E 翻译成中国 001-95972 规格

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可证的限制。