



CY7C1440KV33
CY7C1442KV33
CY7C1440KVE33

36M ビット (1M×36/2M×18) 同期
パイプライン SRAM (ECC 付き)

特長

- 最大 250MHz でのバス動作をサポート
- 速度グレード 250MHz、167MHz
- パイプライン動作用レジスタ付き入出力
- 3.3V コア電源
- 2.5V/3.3V I/O 電源
- クロック～出力の時間が速い
 - 2.5ns (デバイス速度が 250MHz の場合)
- 高性能 3-1-1-1 アクセス速度を提供
- インターリーブまたはリニア バースト シーケンスに対応するユーザー選択可能バーストカウンター
- 独立したプロセッサとコントローラー アドレスストローク
- セルフタイム同期書き込み
- 非同期出力イネーブル
- シングルサイクルチップ選択解除
- CY7C1440KV33、CY7C1442KV33 と CY7C1440KVE33 は鉛フリー 100 ピン TQFP、鉛フリー／有鉛の 165 ポール FBGA パッケージで出荷
- IEEE 1149.1 JTAG 準拠のバウンダリスキャン
- 「ZZ」スリープモードオプション
- SER を低減するためのエラー訂正コード (ECC) を内蔵

機能の詳細

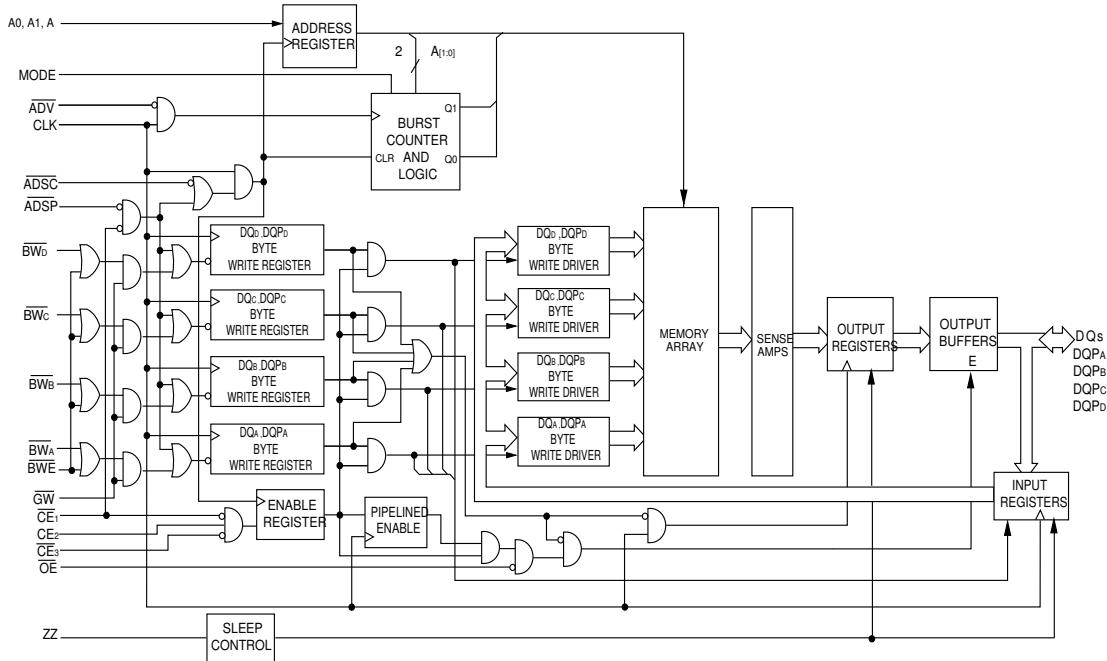
CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 SRAM は、内部バースト動作のために、高度な同期ペリフェラル回路および2ビットのカウンターを備えた 1M×36/2M×18/1M×36 SRAM メモリセルを統合します。全ての同期入力は、ポジティブエッジでトリガされるクロック入力 (CLK) により制御されたレジスタによって取り込まれます。同期入力は、全アドレス、全データ入力、アドレス パイプラインチップイネーブル (\overline{CE}_1)、動作深度拡張チップイネーブル (\overline{CE}_2 、 \overline{CE}_3)、バースト制御入力 (ADSC、ADSP、ADV)、書き込みイネーブル (BWX、BWE)、およびグローバル書き込み (GW) の信号を含みます。非同期入力は出力イネーブル (\overline{OE}) 信号と ZZ ピンです。

アドレスストロークプロセッサ (ADSP) またはアドレスストロークコントローラー (ADSC) がアクティブの時、アドレスとチップイネーブルはクロックの立ち上がりエッジで読み込まれます。後続バーストアドレスは、アドバンスピン (ADV) の制御によって内部的に生成できます。

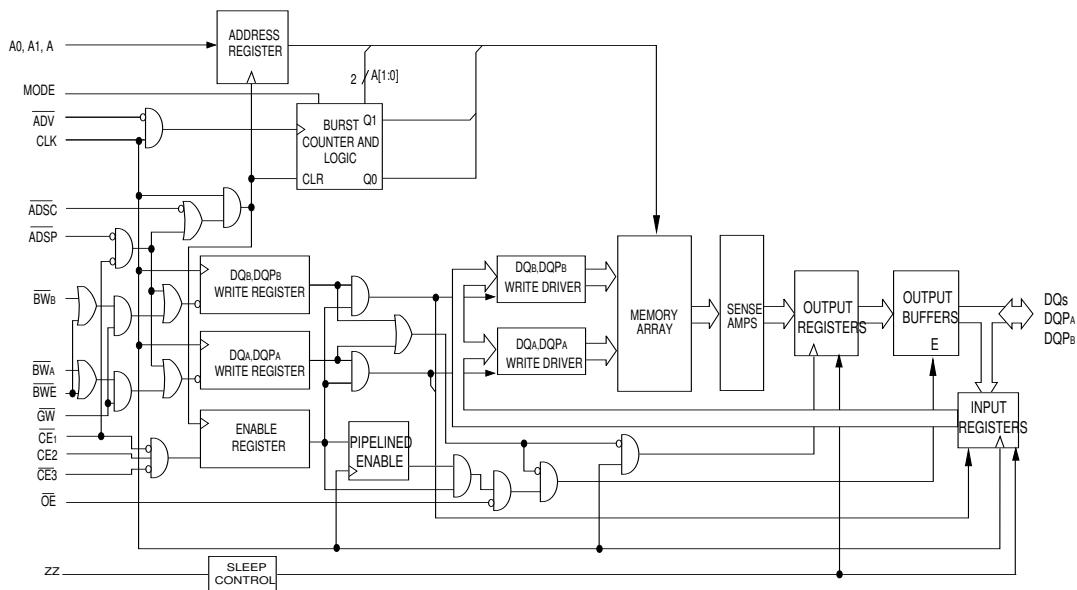
アドレス、データ入力、および書き込み制御は、セルフタイム書き込みサイクルを開始するために、内部でレジスタに読み込みます。このデバイスはバイト書き込み動作をサポートします (詳細については、ピン説明と真理値表を参照してください)。書き込みサイクルは、バイト書き込み制御入力の制御によって、1、2 または 4 バイト幅になります。GW がアクティブ LOWになると全てのバイトが書き込まれます。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は +3.3V のコア電源で動作しますが、全ての出力が +2.5V か +3.3V の電源で動作します。全ての入力と出力は JEDEC 基準の JESD8-5 に準拠します。

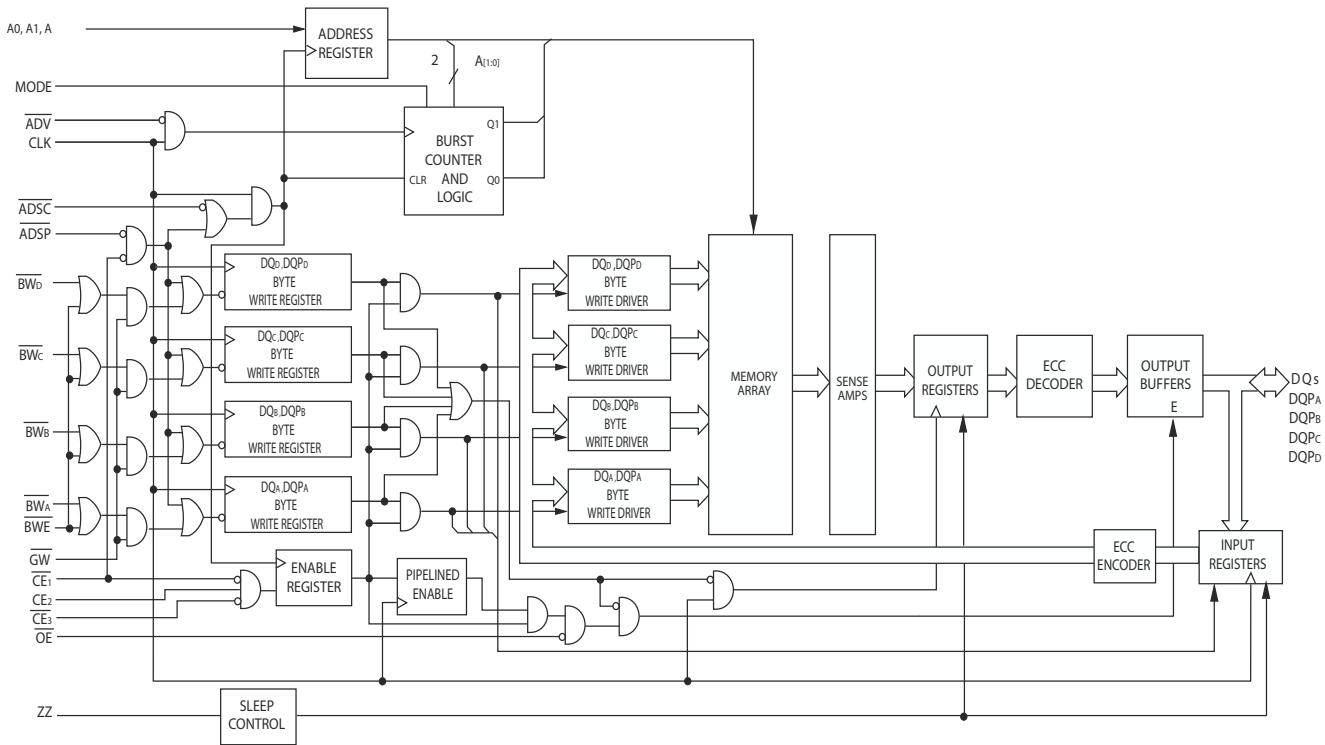
論理ブロック図－ CY7C1440KV33



論理ブロック図－ CY7C1442KV33



論理ブロック図 – CY7C1440KVE33



目次

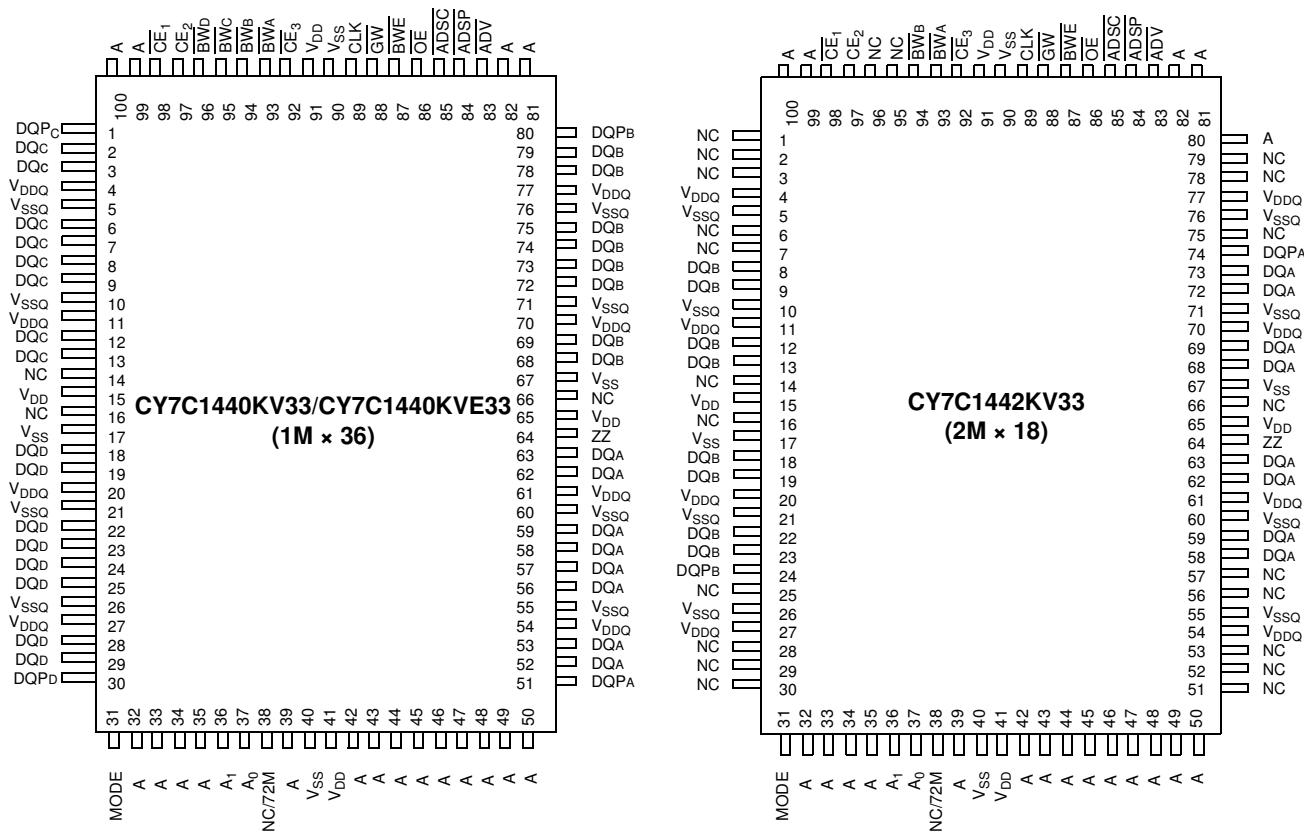
セレクション ガイド	5
ピンのコンフィギュレーション	5
ピン機能	7
機能概要	8
シングル読み出しアクセス	8
ADSP で開始されるシングル書き込みアクセス	8
ADSC で開始されるシングル書き込みアクセス	9
バーストシーケンス	9
スリープモード	9
内蔵 ECC	9
インターリーブバーストアドレス表	10
リニアバーストアドレス表	10
ZZ モード電気的特性	10
真理値表	11
書き込み/読み出しの部分真理値表	12
書き込み/読み出しの部分真理値表	12
IEEE 1149.1シリアルバウンダリスキャン(JTAG)	13
JTAG 機能の無効化	13
テストアクセスポート(TAP)	13
TAP リセットの実行	13
TAP レジスタ	13
TAP 命令セット	13
TAP コントローラー状態遷移図	15
TAP コントローラーのブロック図	15
TAP タイミング	15
TAP AC スイッチング特性	16
3.3V TAP AC テスト条件	16
3.3V TAP AC 出力負荷の等価回路	16
2.5V TAP AC テスト条件	16
2.5V TAP AC 出力負荷の等価回路	16
TAP DC 電気的特性と動作条件	17
ID レジスタの定義	18
スキャンレジスタサイズ	18
ID コード	18
バウンダリスキャン順序	19
最大定格	20
動作範囲	20
中性子ソフトエラー耐性	20
電気的特性	20
静電容量	22
熱抵抗	22
AC テストの負荷と波形	22
スイッチング特性	23
スイッチング波形	24
注文情報	28
注文コードの定義	28
パッケージ図	29
略語	31
本書の表記法	31
測定単位	31
改訂履歴	32
セールス、ソリューションおよび法律情報	33
ワールドワイドな販売と設計サポート	33
製品	33
PSoC®ソリューション	33
サイプレス開発者コミュニティ	33
テクニカルサポート	33

セレクションガイド

説明	250MHz	167MHz	単位
最大アクセス時間	2.5	3.4	ns
最大動作電流	×18	220	未提供
	×36	240	190

ピンのコンフィギュレーション

図 1. 100 ピン TQFP パッケージのピン配置



ピンのコンフィギュレーション(続き)

図2. 165 ボール FBGA パッケージのピン配置

CY7C1440KV33 (1M×36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	\overline{CE}_1	\overline{BW}_C	\overline{BW}_B	\overline{CE}_3	\overline{BWE}	\overline{ADSC}	\overline{ADV}	A	NC
B	NC/144M	A	CE2	\overline{BW}_D	\overline{BW}_A	CLK	\overline{GW}	\overline{OE}	\overline{ADSP}	A	NC/576M
C	DQP _C	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC/1G	DQP _B
D	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
E	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
F	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
G	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
K	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
L	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
M	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
N	DQP _D	NC	V _{DDQ}	V _{SS}	NC	A	NC	V _{SS}	V _{DDQ}	NC	DQP _A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

ピン機能

ピン名	I/O	説明
A ₀ 、A ₁ 、A	入力 - 同期	アドレス位置の1つを選択するために使用されるアドレス入力。 <u>ADSP</u> または <u>ADSC</u> がアクティブ <u>LOW</u> 、CE ₁ 、CE ₂ 、および CE ₃ ^[1] がアクティブにサンプリングされる場合、CLK の立ち上がりエッジでサンプリングされる。A ₁ : A ₀ は2ビットのカウンターに供給される
BW _A 、BW _B 、BW _C 、BW _D	入力 - 同期	バイト書き込み選択入力、アクティブ <u>LOW</u> 。SRAM へバイト書き込みを BWE と共に有効にする。CLK の立ち上がりエッジでサンプリング
GW	入力 - 同期	グローバル書き込みイネーブル入力、アクティブ <u>LOW</u> 。CLK の立ち上がりエッジで LOW にアサートされた時、グローバル書き込みが実行される (BW _X と BWE 上の値に関わらず、全てのバイトは書き込まれる)
BWE	入力 - 同期	バイト書き込みイネーブル入力、アクティブ <u>LOW</u> 。CLK の立ち上がりエッジでサンプリング。バイト書き込みシーケンスを開始するためにこの信号を <u>LOW</u> にアサートすることが必要
CLK	入力 - クロック	クロック入力。デバイスへの全ての同期入力を取り込むために使用。ADV が <u>LOW</u> にアサートされる時、バースト処理中にバーストカウンターをインクリメントするためにも使用
CE ₁	入力 - 同期	チップイネーブル1入力、アクティブ <u>LOW</u> 。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために CE ₂ と CE ₃ と併用。CE ₁ が <u>HIGH</u> の場合、ADSP は無視される。CE ₁ は、新規外部アドレスがロードされる時にのみサンプリングされる
CE ₂	入力 - 同期	チップイネーブル2入力、アクティブ <u>HIGH</u> 。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために CE ₁ と CE ₃ と併用。CE ₂ は、新規外部アドレスがロードされる時にのみサンプリングされる
CE ₃	入力 - 同期	チップイネーブル3入力、アクティブ <u>LOW</u> 。CLK の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために CE ₁ と CE ₂ と併用。AJ パッケージバージョンに使用不可。BGA の場合は未接続。BGA の場合、CE ₃ は、この資料の全体ではアクティブと見なされる。CE ₃ は、新規外部アドレスがロードされる時にのみサンプリングされる
OE	入力 - 非同期	出力イネーブル、非同期入力、アクティブ <u>LOW</u> 。I/O ピンの方向を制御。 <u>LOW</u> の場合、I/O ピンは出力として機能。 <u>HIGH</u> にデアサートされた時、I/O ピンはトライステートに入り、入力データピンとして機能。OE は、読み出しサイクルの最初のクロック中に選択解除の状態から移行する時にマスクされる
ADV	入力 - 同期	CLK の立ち上がりエッジでサンプリングされるアクティブ <u>LOW</u> アドバンス入力信号。このピンがアサートされる時、バーストサイクルで自動的にアドレスをインクリメント
ADSP	入力 - 同期	CLK の立ち上がりエッジでサンプリングされるプロセッサからのアドレスストローブ、アクティブ <u>LOW</u> 。LOW にアサートされた時、デバイスに入力されたアドレスはアドレスレジスタに取り込まれる。A ₁ : A ₀ はバーストカウンターにもロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみ認識される。CE ₁ が <u>HIGH</u> にデアサートされた時、ADSP は無視される
ADSC	入力 - 同期	CLK の立ち上がりエッジでサンプリングされる、コントローラからのアドレスストローブ、アクティブ <u>LOW</u> 。LOW にアサートされた時、デバイスに入力されたアドレスはアドレスレジスタに取り込まれる。A ₁ : A ₀ はバーストカウンターにもロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみ認識される
ZZ	入力 - 非同期	ZZ「スリープ」入力、アクティブ <u>HIGH</u> 。HIGH にアサートされた時、デバイスはデータの統合性が保持されたまま非タイムクリティカルな「スリープ」状態に入る。通常動作では、このピンを <u>LOW</u> にする、またはフローティング状態のままにする必要がある。ZZ ピンは内部プルダウン抵抗に接続
DQs、DQP _X	I/O- 同期	双方向データ I/O ライン。入力として機能している場合、これらの IO ラインはデータをオンチップデータレジスタに供給。このデータ供給は CLK の立ち上がりエッジでトリガれる。出力として機能している場合、読み出しサイクル中に供給されたアドレスにより指定されるメモリ位置に含まれるデータを送信。このピンの方向は OE によって制御される。OE が <u>LOW</u> にアサートされる時、このピンは出力として機能。この信号が <u>HIGH</u> の場合、DQs と DQP _X はトライステート状態になる
V _{DD}	電源	デバイスのコアへ電源供給
V _{SS}	グラウンド	デバイスのコアのグラウンド
V _{SSQ}	I/O グラウンド	I/O 回路のグラウンド

注

1. X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。

ピン機能(続き)

ピン名	I/O	説明
V _{DDQ}	I/O 電源	I/O 回路の電源
MODE	入力 - スタティック	バースト順序を選択。 GND に接続された場合、リニア バースト シーケンスが選択される。V _{DD} に接続するまたはフローティングのままにする時、インターリーブ バースト シーケンスが選択される。これはストラップ ピンであり、デバイス動作中に静的のままにすることが必要。MODE ピンは内部ブルアップ 抵抗に接続
TDO	JTAGシリアル データ同期出力	JTAG回路へのシリアルデータ出力。 TCK のネガティブ エッジでデータを送信。JTAG 機能を使用しない場合は、このピンを未接続にする必要がある。このピンは TQFP パッケージには存在しない
TDI	JTAGシリアル データ同期入力	JTAG回路へのシリアルデータ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または V _{DD} に接続することが可能。このピンは TQFP パッケージには存在しない
TMS	JTAGシリアル データ同期入力	JTAG回路へのシリアルデータ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または V _{DD} に接続することが可能。このピンは TQFP パッケージには存在しない
TCK	JTAG- クロック	JTAG回路へのクロック入力。 JTAG 機能を使用しない場合、このピンを V _{SS} に接続することが必要。このピンは TQFP パッケージには存在しない
NC	-	未接続。 ダイに内部的に接続されていない
NC/72M、 NC/144M、 NC/288M、 NC/576M、 NC/1G	-	未接続。 ダイに内部的に接続されていない。NC/72M、NC/144M、NC/288M、NC/576M、および NC/1G は、ダイに内部的に接続されていないアドレス拡張ピン

機能概要

全ての同期入力は、クロックの立ち上がりエッジにより制御される入力レジスタを通過します。全てのデータ出力は、クロックの立ち上がりエッジにより制御される出力レジスタを通過します。クロック立ち上がりからの最大アクセス遅延 (t_{CO}) は 2.5ns (デバイス速度が 250MHz の場合) です。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は、リニアまたはインターリーブ バースト シーケンスのいずれかを使用しているシステムでは二次キャッシュをサポートします。インターリーブ バースト順序は Pentium プロセッサをサポートします。バースト順序はユーザーにより選択可能であり、MODE 入力をサンプリングすることで判定されます。アクセスはプロセッサ アドレスストローク (ADSP) またはコントローラー アドレスストローク (ADSC) いずれか一方で開始できます。バースト シーケンスを介したアドレスの増加は、ADV 入力で制御されます。2 ビットの内蔵ラップアラウンド バーストカウンターは、バースト シーケンスの最初のアドレスを取り込んで、バースト アクセスの残りにおいて自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル (BWE) とバイト書き込みセレクト (BW_X) 入力により可能になります。グローバル書き込みイネーブル (GW) は全てのバイト書き込み入力を無効にし、すべての 4 バイトにデータを書き込みます。すべての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

3 つの同期チップ セレクト (CE₁、CE₂、CE₃) と非同期出力イネーブル (OE) 信号は、バンクを容易に選択し、出力ピンのトライステートを制御するために提供されます。CE₁ が HIGH の場合、ADSP は無視されます。

シングル読み出しアクセス

クロックの立ち上がりでは次の要件が満たされると、このアクセスが開始されます：(1) ADSP または ADSC が LOW にアサートしま

トされ、(2) CE₁、CE₂、CE₃ が全てアクティブにアサートされ、(3) 書き込み信号 (GW、BWE) が全て HIGH にデアサートされます。CE₁ が HIGH の場合、ADSP は無視されます。アドレス入力 (A) に供給されるアドレスはアドレス増加回路とアドレス レジスタに保存されながら、メモリアレイにも反映されます。対応するデータを出力レジスタの入力へ伝播することができます。次のクロックの立ち上がりエッジでは、OE がアクティブ LOW であれば、データは 2.5ns (デバイス速度が 250MHz の場合) 以内に出力レジスタを介してデータバスに伝播することができます。唯一の例外は、SRAM が選択解除状態から選択状態に復帰する時にのみ発生します。SRAM の出力は最初のアクセスサイクルの間常にトライステートになります。最初のアクセスサイクルの後、出力は OE 信号により制御されます。連続的シングル読み出しサイクルはサポートされます。クロックの立ち上がりで SRAM がチップ セレクト信号と ADSP または ADSC 信号で選択解除されると、その出力はすぐにトライステートになります。

ADSP で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件の両方とも満たされると、このアクセスは開始されます：(1) ADSP が LOW にアサートされ、(2) CE₁、CE₂、CE₃ が全てアクティブにアサートされます。A に供給されたアドレスは、メモリアレイに提供されながら、アドレス レジスタとアドレス増加回路にロードされます。書き込み信号 (GW、BWE、および BW_X) と ADV 入力は最初のサイクル中に無視されます。

ADSP でトリガーされる書き込みアクセスは完了するのに 2 クロック サイクルを要します。GW が 2 番目のクロックの立ち上がりエッジで LOW にアサートされた場合、DQS 入力に供給されたデータは、メモリアレイ上の対応するアドレス位置に書き込まれます。GW が HIGH の場合、書き込み動作は BWE と BW_X 信号で制御されます。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は、書き込みサイクル説明表に説明されるバイト書き込み機能を提供しま

す。選択したバイト書き込み (\overline{BW}_X) 入力とバイト書き込みイネーブル入力 (\overline{BWE}) をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままで。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は共通 I/O デバイスのため、出力イネーブル (\overline{OE}) は、DQs 入力にデータを供給する前に HIGH にデアサートされる必要があります。この場合、出力ドライバーがトライステートになります。安全対策としては、 \overline{OE} の状態に関わらず、書き込みサイクルが検出される度に、DQs は自動的にトライステートになります。

ADSC で開始されるシングル書き込みアクセス

次の条件が満たされると、**ADSC** 書き込みアクセスは開始されます：(1) **ADSC** が LOW にアサートされ、(2) **ADSP** が HIGH にデアサートされ、(3) \overline{CE}_1 、 \overline{CE}_2 、 \overline{CE}_3 が全てアクティブにアサートされ、(4) 書き込み入力 (\overline{GW} 、 \overline{BWE} 、 \overline{BW}_X) の適切な組み合わせが、所望のバイトへの書き込みを実行するためにアクティブにアサートされます。**ADSC** でトリガーされる書き込みアクセスは完了するのに 1 クロック サイクルを要します。A に供給されたアドレスは、メモリ アレイに提供されながら、アドレス レジスタとアドレス増加回路にロードされます。**ADV** 入力はこのサイクル中に無視されます。グローバル書き込みを行う場合、DQs に供給されたデータはメモリ コア上の対応するアドレス位置に書き込まれます。バイト書き込みを行う場合、選択されたバイトのみが書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままで。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は共通 I/O デバイスのため、出力イネーブル (\overline{OE}) は、DQs 入力にデータを供給する前に HIGH にデアサートされる必要があります。この場合、出力ドライバーがトライステートになります。安全対策としては、 \overline{OE} の状態に関わらず、書き込みサイクルが検出される度に、DQs は自動的にトライステートになります。

バースト シーケンス

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 は、A1: A0 によって供給される 2 ビットのラップアラウンドカウンターを内蔵しています。このカウンターはインターリープまたはリニアバースト シーケンスを実装します。インターリープ パースト シーケンスは、Intel Pentium アプリケーションに対応できるように専用設計されています。バースト シーケンスは MODE 入力によりユーザー選択可能です。クロックの立ち上がりで **ADV** を LOW にアサートすると、バースト カウンターはバースト シーケンスでの次のアドレスに自動的にインクリメントされます。読み出しと書き込みバースト動作の両方がサポートされます。

スリープ モード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力「スリープ」モードに入ります。このスリープモードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープモードに入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。このデバイスはスリープモードに入る前に、選択解除する必要があります。ZZ 入力が LOW に戻った後、 \overline{CE}_1 、 \overline{CE}_2 、 \overline{CE}_3 、**ADSP**、**ADSC** は、 t_{ZZREC} の間非アクティブのままにする必要があります。

内蔵 ECC

CY7C1440KVE33 SRAM は、宇宙線やアルファ粒子などに起因するソフトエラー アップセット (SEU) イベントを含む单一ビットメモリエラーをすべて検出し、訂正する ECC アルゴリズムを内蔵しています。これらデバイスのソフトエラー率 (SER) は、一般的に SER が 200FIT/Mb 以上である ECC なしの SRAM より 4 衍改善され、0.01FIT/Mb 未満になります。内部データを保護するために、ECC パリティビット (ユーザーには不可視) を使用します。

ECC アルゴリズムはマルチビットエラーを訂正しません。しかし、サイプレスの SRAM は、シングル SER イベントで任意のデータワードにマルチビットエラーが起こる可能性は非常に低くなるように設計されています。マルチビットエラーは非常に少なく、SER はわずか 0.01FIT/Mb 未満です。

インターリープ バースト アドレス表

(MODE = 開放または V_{DD})

1番目のアドレス A1: A0	2番目のアドレス A1: A0	3番目のアドレス A1: A0	4番目のアドレス A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1番目のアドレス A1: A0	2番目のアドレス A1: A0	3番目のアドレス A1: A0	4番目のアドレス A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメーター	項目	テスト条件	Min	Max	単位
I_{DDZZ}	スリープモードスタンバイ電流	$ZZ \geq V_{DD} - 0.2V$	—	89	mA
t_{ZZS}	デバイスの動作から ZZ までの時間	$ZZ \geq V_{DD} - 0.2V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	—	ns
t_{ZZI}	スリープ電流までの ZZ アクティブ時間	このパラメーターはサンプリングされた値である	—	$2t_{CYC}$	ns
t_{RZZI}	スリープ電流が終了するまでの ZZ 非アクティブ時間	このパラメーターはサンプリングされた値である	0	—	ns

真理値表

以下は CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 の真理値表です。[2、3、4、5、6、7]

動作	使用されるアドレス	\overline{CE}_1	\overline{CE}_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ	
選択解除サイクル、電源切断	無	H	X	X	L	X	L	X	X	X	L-H	トライステート	
選択解除サイクル、電源切断	無	L	L	X	L	L	X	X	X	X	L-H	トライステート	
選択解除サイクル、電源切断	無	L	X	H	L	L	X	X	X	X	L-H	トライステート	
選択解除サイクル、電源切断	無	L	L	X	L	H	L	X	X	X	L-H	トライステート	
選択解除サイクル、電源切断	無	L	X	H	L	H	L	X	X	X	L-H	トライステート	
スリープモード、電源切断	無	X	X	X	H	X	X	X	X	X	X	トライステート	
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	L	L-H	Q	
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	H	L-H	トライステート	
書き込みサイクル、バースト開始	外部	L	H	L	L	H	L	X	L	X	L-H	D	
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	L	L-H	Q	
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	H	L-H	トライステート	
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	L	L-H	Q	
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	H	L-H	トライステート	
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	L	L-H	Q	
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	H	L-H	トライステート	
書き込みサイクル、バースト継続	後続	X	X	X	L	H	H	L	L	X	L-H	D	
書き込みサイクル、バースト継続	後続	H	X	X	L	X	H	L	L	X	L-H	D	
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	L-H	Q	
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	H	L-H	トライステート	
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	H	L-H	トライステート
書き込みサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	X	L-H	D
書き込みサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	L	X	L-H	D

注

2. X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。
3. 1つ以上のバイト書き込みイネーブル信号と $\overline{BWE} = L$ または $\overline{GW} = L$ の時、 $\overline{WRITE} = L$ 。全てのバイト書き込みイネーブル信号、 \overline{BWE} 、 $\overline{GW} = H$ の時、 $\overline{WRITE} = H$ 。
4. DQ ピンは現行のサイクルと \overline{OE} 信号によって制御されます。 \overline{OE} は非同期で、クロックと同期してサンプリングされません。
5. \overline{CE}_1 、 \overline{CE}_2 および \overline{CE}_3 は TQFP パッケージにのみ存在しています。BGA パッケージのチップセレクト信号は、 \overline{CE}_1 と \overline{CE}_2 の 2 つのみです。
6. \overline{GW} 、 \overline{BWE} 、または \overline{BW}_X の状態に関わらず、 \overline{ADSP} がアサートされると、SRAM は読み出しサイクルを開始します。書き込みは、 \overline{ADSP} の後に、または \overline{ADSC} のアサート後の後続のクロックサイクルでのみ行われます。従って、出力がトライステートになるために、書き込みサイクル前に \overline{OE} を HIGH レベルに駆動する必要があります。 \overline{OE} はその後の書き込みサイクルでは「ドント ケア」です。
7. \overline{OE} は非同期で、クロック立ち上がりと同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスキングされます。読み出しサイクルでは、 \overline{OE} が非アクティブ、またはデバイスが選択解除された場合、全てのデータビットは、トライステートになります。 \overline{OE} がアクティブ (LOW) の場合、全てのデータビットは出力として機能します。

書き込み／読み出しの部分真理値表

以下は CY7C1440KV33/CY7C1440KVE33 の書き込み／読み出しの部分真理値表です。[8、9、10]

機能 (CY7C1440KV33/CY7C1440KVE33)	\overline{GW}	\overline{BWE}	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X	X	X
読み出し	H	L	H	H	H	H
バイト A 書き込み - (DQ_A 、 DQP_A)	H	L	H	H	H	L
バイト B 書き込み - (DQ_B 、 DQP_B)	H	L	H	H	L	H
バイト B、A 書き込み	H	L	H	H	L	L
バイト C 書き込み - (DQ_C 、 DQP_C)	H	L	H	L	H	H
バイト C、A 書き込み	H	L	H	L	H	L
バイト C、B 書き込み	H	L	H	L	L	H
バイト C、B、A 書き込み	H	L	H	L	L	L
バイト D 書き込み - (DQ_D 、 DQP_D)	H	L	L	H	H	H
バイト D、A 書き込み	H	L	L	H	H	L
バイト D、B 書き込み	H	L	L	H	L	H
バイト D、B、A 書き込み	H	L	L	H	L	L
バイト D、C 書き込み	H	L	L	L	H	H
バイト D、C、A 書き込み	H	L	L	L	H	L
バイト D、C、B 書き込み	H	L	L	L	L	H
すべてのバイト書き込み	H	L	L	L	L	L
すべてのバイト書き込み	L	X	X	X	X	X

書き込み／読み出しの部分真理値表

以下は CY7C1442KV33 の書き込み／読み出しの部分真理値表です。[8、9、10]

機能 (CY7C1442KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X
読み出し	H	L	H	H
バイト A 書き込み - (DQ_A 、 DQP_A)	H	L	H	L
バイト B 書き込み - (DQ_B 、 DQP_B)	H	L	L	H
バイト B、A 書き込み	H	L	L	L
すべてのバイト書き込み	H	L	L	L
すべてのバイト書き込み	L	X	X	X

注

8. DQ ピンは現行のサイクルと \overline{OE} 信号によって制御されます。 \overline{OE} は非同期で、クロックと同期してサンプリングされません。
9. BW_x は任意のバイト書き込み信号を示します。任意のバイト書き込み信号 BW_x を有効にするために、論理 LOW 信号をクロック立ち上がりで適用する必要があります。どの書き込みに対してもバイト書き込みを何件でも同時に有効にすることができます。
10. この表では、バイト書き込みの組み合わせの一部を示します。どの BW_x の組み合わせも有効です。書き込みは、どのバイト書き込み信号がアクティブになるかに応じて適切に行われます。

IEEE 1149.1 シリアルバウンダリ スキャン (JTAG)

CY7C1440KV33 は、シリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵しています。このデバイスは IEEE 基準 1149.1 に完全に準拠しています。この TAP は、JEDEC 基準 3.3V または 2.5V I/O 論理 レベルを使用して動作します。

CY7C1440KV33 は、TAP コントローラー、命令 レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタ、および ID レジスタを含みます。

JTAG 機能の無効化

JTAG 機能を使用せず、SRAM を動作させることができます。TAP コントローラーを無効にするためには、TCK を LOW (V_{SS}) に接続してデバイスへのクロック供給を防ぐ必要があります。TDI と TMS は内部でプルアップされ、未接続にすることができます。かわりに、プルアップ抵抗を介して V_{DD} に接続することもできます。TDO は未接続にする必要があります。電源投入時にデバイスは、デバイス動作を妨げないリセット状態に入ります。

テスト アクセス ポート (TAP)

テスト クロック (TCK)

テスト クロックは TAP コントローラーとのみ併用できます。全ての入力を TCK の立ち上がりエッジでサンプリングされます。すべての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード選択 (TMS)

TMS 入力は、TAP コントローラーにコマンドを送信するために使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このポートを未接続することができます。ポートは内部でプルアップされるため、論理 HIGH レベルになります。

テスト データ入力 (TDI)

TDI ポールは、レジスタに情報をシリアル入力するために使用され、どのレジスタの入力にも接続することができます。TDI と TDO 間のレジスタは、TAP 命令 レジスタにロードされた命令によって選択されます。TAP がアプリケーションで使用されていない場合 TDI は内部でプルアップされ、開放することができます。TDI はあらゆるレジスタの最上位ビット (MSB) に接続されます。(15 ページの TAP コントローラーのブロック図を参照)

テスト データ出力 (TDO)

TDO 出力ポールは、レジスタからデータをクロックに同期してシリアル出力するために使用されます。出力は、TAP ステートマシンの状態に応じてアクティブになります。出力は TCK の立ち下がりエッジで変化します。TDO は、レジスタの最下位ビット (LSB) に接続されます。(15 ページの TAP コントローラー状態遷移図を参照)

TAP リセットの実行

リセットは、TCK の 5 つの立ち上がりエッジの間 TMS を HIGH (V_{DD}) にすることで実行されます。このリセットは SRAM の動作に影響を与えず、SRAM の動作中に実行できます。

電源投入時に、TDO が HIGH Z 状態に初期化されるために、TAP を内部でリセットします。

TAP レジスタ

SRAM テスト回路の入力と出力データをスキャンするために、TDI と TDO の間にレジスタが接続されます。命令 レジスタを介して、一度に選択されるレジスタは 1 つのみです。データは TCK の立ち上がりエッジで TDI ポールに順次ロードされます。データは TCK の立ち下がりエッジで TDO ポールに出力されます。

命令 レジスタ

3 ビットの命令を命令 レジスタに順次ロードすることができます。このレジスタは、15 ページの TAP コントローラーのブロック図に示すように、TDI と TDO ポール間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令 レジスタにロードされます。前述したように、コントローラーがリセット状態になる場合にも、IDCODE 命令が命令 レジスタにロードされます。

TAP コントローラーが Capture-IR 状態になった時、基板レベルのシリアル テスト データ パスの障害防止を可能にするために、2 進数「01」パターンが最下位 2 ビットにロードされます。

バイパス レジスタ

レジスタを通してデータを順次にシフトする際の時間を節約するために、特定のチップをスキップすることが有効な場合もあります。バイパス レジスタは、TDI と TDO ポール間に配置できる 1 ビットのレジスタです。これにより、最小限の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行される時、バイパス レジスタは LOW (V_{SS}) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上の全ての入力および双向ポートに接続されます。

バウンダリ スキャン レジスタは、TAP コントローラーが Capture-DR 状態になった時に RAM I/O リングの内容でロードされ、そしてコントローラーが Shift-DR 状態になると TDI と TDO ポール間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、I/O リングの内容を取り込むために使用されます。

19 ページのバウンダリ スキャン順序に、ビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つの端子に対応します。レジスタの MSB は TDI に、 LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令 レジスタにロードされた時、Capture-DR 状態の間に、ID レジスタにベンダー固有の 32 ビットコードがロードされます。IDCODE は SRAM 内に格納され、TAP コントローラーが Shift-DR 状態になるとシフトアウトされます。ID レジスタのベンダー コードおよびその他の情報は 18 ページの ID レジスタの定義を参照してください。

TAP 命令 セット

概要

3 ビットの命令 レジスタにより、8 つの異なる命令があります。すべての組み合わせは、命令 コード表に一覧表示します。これらの命令の内 3 つは RESERVED で、使用できません。残りの 5 つの命令を以下に詳しく説明します。

命令 レジスタが TDI と TDO の間に配置されると、命令は Shift-IR 状態の間に TAP コントローラーにロードされます。この状態の

間に、命令は命令レジスタを通して TDI ボールから TDO ボールまでシフトされます。シフトインされた命令を実行するためには、TAP コントローラーを **Update-IR** 状態にする必要があります。

IDCODE

IDCODE 命令を使用してベンダー固有の 32 ビットコードを命令レジスタにロードします。また、命令レジスタを TDI と TDO ボールの間に配置して、TAP コントローラーが Shift-DR 状態に入った時に **IDCODE** をデバイスからシフトアウトすることができます。

IDCODE 命令は、電源投入時または TAP コントローラーが「**Test-Logic-Reset**」状態に入る度に、命令レジスタにロードされます。

SAMPLE Z

TAP コントローラーが Shift-DR 状態の時に、**SAMPLE Z** 命令は、バウンダリスキャンレジスタを TDI と TDO ピンの間に接続します。**SAMPLE Z** コマンドにより、「**Update-IR**」状態中に次のコマンドが発行されるまで出力バスが High Z 状態になります。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。
SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラーが Capture-DR 状態になると、入力と出力ピン上のデータのスナップショットがバウンダリスキャンレジスタに取り込まれます。

TAP コントローラークロックは最大 20MHz の周波数で動作するのに対して、**SRAM** クロックは桁違いに速い周波数で動作することに注意してください。クロック周波数に大きな差があるため、入出力は Capture-DR 状態中に変化する可能性があります。そのため、TAP は遷移中（メタステーブル状態）の信号を取り込もうとするかもしれません。これはデバイスに悪影響を与えるかもしれませんが、取り込まれた値に対する保証はありません。結果を再現できない場合があります。

バウンダリスキャンレジスタが信号の正しい値を取り込むために、**SRAM** 信号は、TAP コントローラーのキャプチャセットアップ + ホールド時間 ($t_{CS}+t_{CH}$) の要件を満たす十分な安定時間を取る必要があります。**SAMPLE/PRELOAD** 命令の間にクロックを停止する（または遅くする）方法がデザインがない場合、**SRAM** クロック入力は正常に取り込まれない場合があります。その場合でも、他のすべての信号を取り込み、単にクロックでバウンダリスキャンレジスタに取り込まれた値を無視することも可能です。

データが取り込まれると、TAP を Shift-DR 状態に移行させることで、データをシフトアウトすることができます。これにより、

バウンダリスキャンレジスタが TDI と TDO ピンの間に配置されます。

PRELOAD では、他のバウンダリスキャンテスト動作の選択の前に、初期データパターンをバウンダリスキャンレジスタセルのラッチされたパラレル出力に配置します。

SAMPLE および **PRELOAD** のデータのシフトは、必要に応じて同時に実行することができます。つまり取り込まれたデータがシフトアウトされている間にプリロードされたデータがシフトインされます。

BYPASS

BYPASS 命令が命令レジスタにロードされ、TAP が Shift-DR 状態になる時、バイパスレジスタは TDI と TDO ピンの間に配置されます。**BYPASS** 命令の利点は、複数のデバイスが基板上で互いに接続されている時に、バウンダリスキャンパスを短縮することです。

EXTEST

EXTEST 命令は、プリロードされたデータをシステム出力ピンを通して駆動します。この命令では、Shift-DR 状態の間にシリアルアクセス用にバウンダリスキャンレジスタを TDI と TDO の間に接続します。

EXTEST OUTPUT BUS TRI-STATE

IEEE 標準 1149.1 では、TAP コントローラーは出力バスをライステートにできる必要があります。

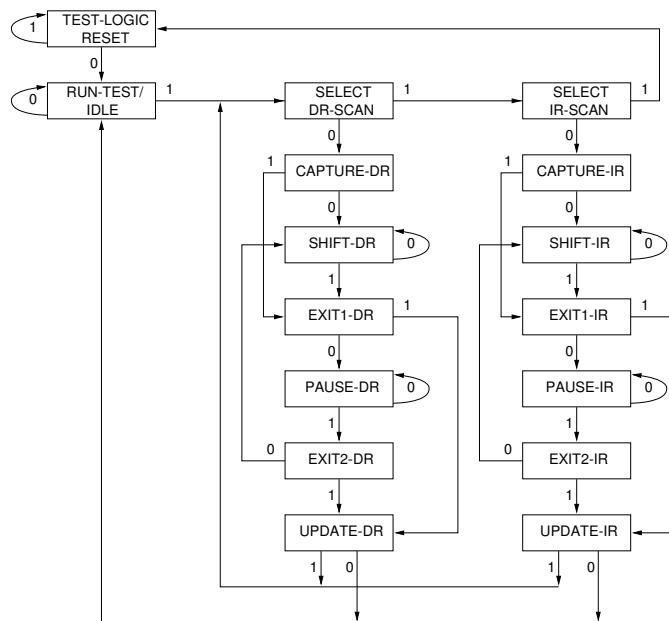
バウンダリスキャンレジスタには、ビット 89 に位置付けられた特別なビットがあります（165 ボール FBGA パッケージの場合）。「**extest** 出力バスライステート」と呼ばれるこのスキャンセルは、TAP コントローラーで「**Update-DR**」状態中にプリロードレジスタにラッチされた時、**EXTEST** が現時点の命令として入力されると、出力（Q バス）ピンの状態を直接制御します。このビットが HIGH になった時、出力バッファが出力バスを駆動します。LOW の時、出力バスを High Z 状態に移行させます。

Shift-DR 状態中に、**SAMPLE/PRELOAD** または **EXTEST** コマンドを入力して、所望のビットをそのセルにシフトすることでこのビットをセットできます。「**Update-DR**」状態の間に、そのシフトレジスタセルにロードされた値をプリロードレジスタにラッチします。**EXTEST** 命令を入力すると、このビットは出力 Q バスピンを直接制御します。デバイスが電源投入された時や TAP コントローラーが「**Test-Logic-Reset**」状態になった時に出力を有効にするために、このビットは HIGH にあらかじめセットされることに注意してください。

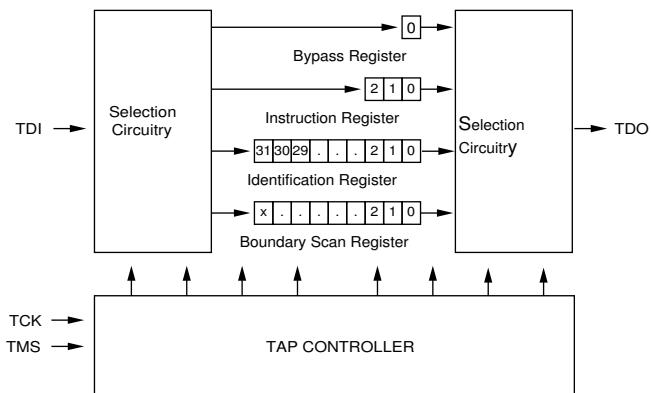
Reserved

これら命令は実装されていませんが、将来のために予約されています。これらの命令を使用しないでください。

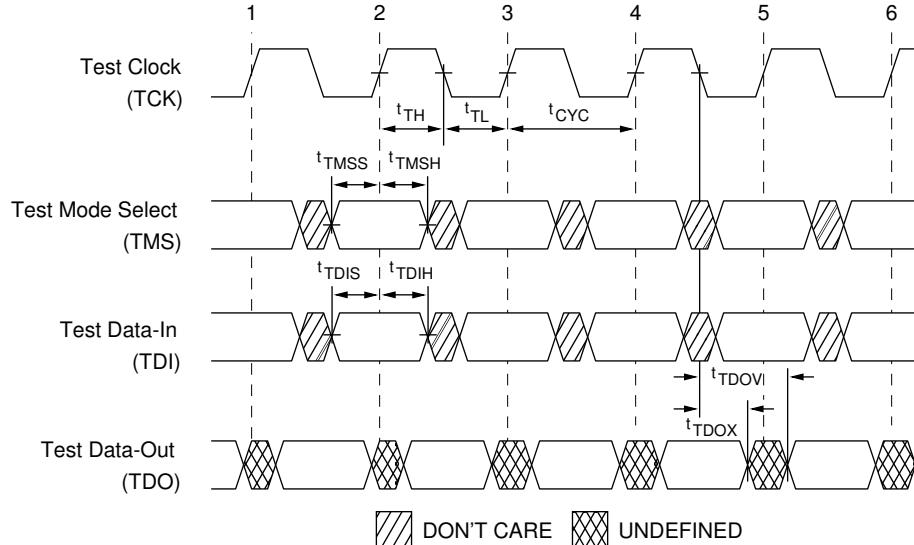
TAP コントローラー状態遷移図



TAP コントローラーのブロック図



TAP タイミング



TAP AC スイッチング特性

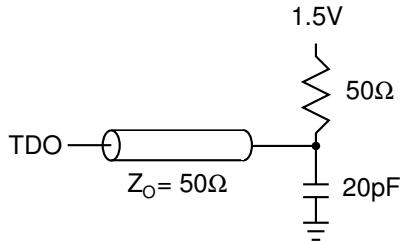
動作範囲において

パラメーター [11, 12]	説明	Min	Max	単位
クロック				
t_{TCYC}	TCK クロック サイクル時間	50	—	ns
t_{TF}	TCK クロック周波数	—	20	MHz
t_{TH}	TCK クロック HIGH 時間	20	—	ns
t_{TL}	TCK クロック LOW 時間	20	—	ns
出力時間				
t_{TDOV}	TCK クロックが LOW から TDO が有効になるまでの時間	—	10	ns
t_{TDOX}	TCK クロックが LOW から TDO 無効までの時間	0	—	ns
セットアップ時間				
t_{TMSS}	TCK クロックの立ち上がりまでの TMS セットアップ時間	5	—	ns
t_{TDIS}	TCK クロックの立ち上がりまでの TDI セットアップ時間	5	—	ns
t_{CS}	TCK の立ち上がりまでのキャプチャ セットアップ時間	5	—	ns
ホールド時間				
t_{TMSH}	TCK クロック立ち上がり後の TMS ホールド時間	5	—	ns
t_{TDIH}	TCK クロック立ち上がり後の TDI ホールド時間	5	—	ns
t_{CH}	TCK クロック立ち上がり後のキャプチャ ホールド時間	5	—	ns

3.3V TAP AC テスト条件

入力パルス レベル	$V_{SS} \sim 3.3V$
入力の立ち上がりと立ち下がり時間 (スルーレート)	$.2V/ns$
入力のタイミングのリファレンス電圧レベル	1.5V
出力のリファレンス電圧レベル	1.5V
テスト負荷終端電源電圧	1.5V

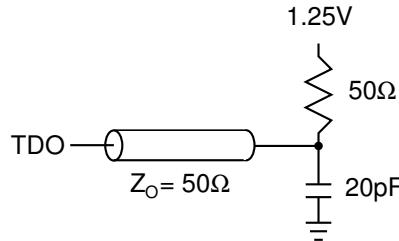
3.3V TAP AC 出力負荷の等価回路



2.5V TAP AC テスト条件

入力パルス レベル	$V_{SS} \sim 2.5V$
入力の立ち上がりと立ち下がり時間 (スルーレート)	$.2V/ns$
入力のタイミングのリファレンス電圧レベル	1.25V
出力のリファレンス電圧レベル	1.25V
テスト負荷終端電源電圧	1.25V

2.5V TAP AC 出力負荷の等価回路



注

- 11. t_{CS} と t_{CH} は、バウンダリ スキャン レジスタからデータをラッチするためのセットアップとホールド時間を示します。
- 12. テスト条件は TAP AC テスト条件での負荷を使用して指定されます。 $t_R/t_F = 2V/ns$ (スルーレート)。

TAP DC 電気的特性と動作条件

(特記されていない限り、 $0^{\circ}\text{C} < T_A < +70^{\circ}\text{C}$; $V_{\text{DD}} = 3.135\text{V} \sim 3.6\text{V}$)

パラメーター ^[13]	説明	テスト条件		Min	Max	単位
V_{OH1}	出力 HIGH 電圧	$I_{\text{OH}}=4.0\text{mA}$	$V_{\text{DDQ}}=3.3\text{V}$	2.4	—	V
		$I_{\text{OH}}=1.0\text{mA}$	$V_{\text{DDQ}}=2.5\text{V}$	2.0	—	V
V_{OH2}	出力 HIGH 電圧	$I_{\text{OH}}=100\mu\text{A}$	$V_{\text{DDQ}}=3.3\text{V}$	2.9	—	V
			$V_{\text{DDQ}}=2.5\text{V}$	2.1	—	V
V_{OL1}	出力 LOW 電圧	$I_{\text{OL}}=8.0\text{mA}$	$V_{\text{DDQ}}=3.3\text{V}$	—	0.4	V
		$I_{\text{OL}}=1.0\text{mA}$	$V_{\text{DDQ}}=2.5\text{V}$	—	0.4	V
V_{OL2}	出力 LOW 電圧	$I_{\text{OL}}=100\mu\text{A}$	$V_{\text{DDQ}}=3.3\text{V}$	—	0.2	V
			$V_{\text{DDQ}}=2.5\text{V}$	—	0.2	V
V_{IH}	入力 HIGH 電圧		$V_{\text{DDQ}}=3.3\text{V}$	2.0	$V_{\text{DD}}+0.3$	V
			$V_{\text{DDQ}}=2.5\text{V}$	1.7	$V_{\text{DD}}+0.3$	V
V_{IL}	入力 LOW 電圧		$V_{\text{DDQ}}=3.3\text{V}$	-0.3	0.8	V
			$V_{\text{DDQ}}=2.5\text{V}$	-0.3	0.7	V
I_x	入力負荷電流	$\text{GND} \leq V_{\text{IN}} \leq V_{\text{DDQ}}$		-5	5	μA

注

13. すべての電圧は V_{SS} (GND) を基準にしています。

ID レジスタの定義

命令フィールド	CY7C1440KV33 (1M×36)	説明
リビジョン番号 (31:29)	000	バージョン番号を示す
デバイス深部 (28:24) ^[14]	01011	内部使用のために予約済み
アーキテクチャ/メモリ タイプ (23:18)	000000	メモリ タイプとアーキテクチャを定義
バス幅/容量 (17:12)	100111	幅と容量を定義
サイプレスの JEDEC ID コード (11:1)	00000110100	SRAM ベンダーを識別
ID レジスタの有無インジケータ (0)	1	ID レジスタの有無を示す

スキャン レジスタ サイズ

レジスタ名	ビットサイズ(×36)
命令	3
バイパス	1
ID	32
バウンダリ スキャン順序 (165 ポール FBGA パッケージ)	89

ID コード

命令	コード	説明
EXTTEST	000	I/O リングの内容を取り込む
IDCODE	001	ベンダー ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない
SAMPLE Z	010	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを HIGH Z 状態に移行
RESERVED	011	未使用：将来のために予約される
SAMPLE/PRELOAD	100	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。SRAM 動作に影響を与えない
RESERVED	101	未使用：将来のために予約される
RESERVED	110	未使用：将来のために予約される
BYPASS	111	バイパス レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない

注

14. 本デバイスの 2.5V と 3.3V バージョンの両方の ID レジスタ定義ではビット 24 が「1」です。

バウンダリ スキャン順序

165 ボール FBGA [15, 16]

CY7C1440KV33 (1M×36)

ピット番号	ボールID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11
ピット番号	ボールID
26	E11
27	D11
28	G10
29	F10
30	E10
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3
ピット番号	ボールID
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2
ピット番号	ボールID
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注

15. NC(未接続)のボールはLOWにプリセットされます。
16. ビット89はHIGHにプリセットされます。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度	-65°C ~ +150°C
通電時の周囲温度	-55°C ~ +125°C
GND を基準とした V_{DD} 電源電圧	-0.3V ~ +4.6V
GND を基準とした V_{DDQ} 電源電圧	-0.3V ~ + V_{DD}
トライステート状態の出力に		
印加できる DC 電圧	-0.5V ~ $V_{DDQ} + 0.5V$
DC 入力電圧	-0.5V ~ $V_{DD} + 0.5V$
出力 (LOW) への電流	20mA
静電放電時の電圧 (MIL-STD-883、メソッド 3015)	> 2001V
ラッチアップ電流	> 200mA

動作範囲

範囲	周囲温度	V_{DD}	V_{DDQ}
商業用	0°C ~ +70°C	3.3V - 5% / + 10%	2.5V - 5% ~ V_{DD}
産業用	-40°C ~ +85°C		

中性子ソフトエラー耐性

パラメーター	説明	テスト条件	Typ	Max*	単位
LSBU (ECCなしのデバイス)	単一論理ビット反転	25 °C	197	216	FIT/Mb
LSBU (ECC付きデバイス)			0	0.01	FIT/Mb
LMBU (すべてのデバイス)	複数論理ビット反転	25 °C	0	0.01	FIT/Mb
SEL (すべてのデバイス)	シングルイベントラッチアップ	85 °C	0	0.1	FIT/Dev

* テスト中に LMBU または SEL イベントは発生しない；本項は χ^2 分布の 95% 信頼上限を示します。詳細は、[AN54908 「中性子の SER 加速試験と地上における故障率の計算」のアプリケーションノート](#)を参照

電気的特性

動作範囲において

パラメーター ^[17, 18]	説明	テスト条件	Min	Max	単位
V_{DD}	電源電圧		3.135	3.6	V
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH}=-4.0mA$ の場合	2.4	-	V
		2.5V I/O、 $I_{OH}=-1.0mA$ の場合	2.0	-	V
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL}=8.0mA$ の場合	-	0.4	V
		2.5V I/O、 $I_{OL}=1.0mA$ の場合	-	0.4	V
V_{IH}	入力 HIGH 電圧 ^[17]	3.3V I/O の場合	2.0	$V_{DD} + 0.3V$	V
		2.5V I/O の場合	1.7	$V_{DD} + 0.3V$	V
V_{IL}	入力 LOW 電圧 ^[17]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V
I_X	入力リーコンデンサー電流 (ZZ と MODE を除く)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA
	MODE の入力電流	入力 = V_{SS}	-30	-	μA
		入力 = V_{DD}	-	5	μA
	ZZ の入力電流	入力 = V_{SS}	-5	-	μA
		入力 = V_{DD}	-	30	μA
I_{OZ}	出力リーコンデンサー電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効	-5	5	μA

注

17. オーバーシュート : $V_{IH}(AC) < V_{DD} + 1.5V$ (パルス幅は $t_{CYC}/2$ 未満)、アンダーシュート : $V_{IL}(AC) > -2V$ (パルス幅は $t_{CYC}/2$ 未満)

18. $T_{Power-up}$: 200ms 以内に 0V から $V_{DD(min)}$ までの直線傾斜を前提としています。この間では、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ 。

電気的特性(続き)

動作範囲において

パラメーター ^[17, 18]	説明	テスト条件			Min	Max	単位
I_{DD}	V_{DD} の動作時供給電流	$V_{DD} = \text{Max}$, $I_{OUT} = 0\text{mA}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	$\times 18$	—	220	mA
				$\times 36$	—	240	
I_{SB1}	自動 CE のパワーダウン電流 – TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	$\times 18$	—	85	mA
				$\times 36$	—	90	
I_{SB2}	自動 CE のパワーダウン電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = 0$	全ての速度グ レード	$\times 18$	—	75	mA
				$\times 36$	—	80	
I_{SB3}	自動 CE のパワーダウン電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	$\times 18$	—	85	mA
				$\times 36$	—	90	
I_{SB4}	自動 CE のパワーダウン電流 – TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = 0$	全ての速度グ レード	$\times 18$	—	75	mA
				$\times 36$	—	80	

静電容量

パラメーター ^[19]	説明	テスト条件	100 ピン TQFP 最大値	165 ボール FBGA 最大値	単位
C _{IN}	入力静電容量	T _A = 25°C, f = 1MHz, V _{DD} = 3.3V, V _{DDQ} = 2.5V	5	5	pF
C _{CLK}	クロック入力静電容量		5	5	pF
C _{I/O}	入力／出力の静電容量		5	5	pF

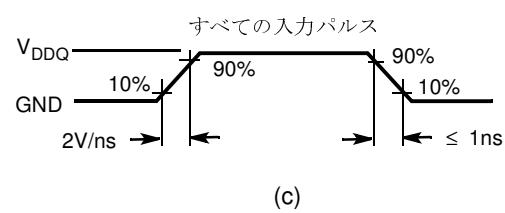
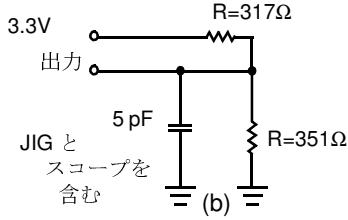
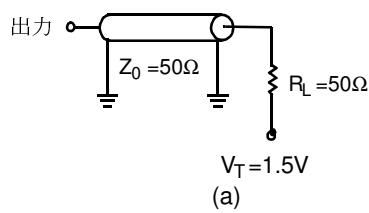
熱抵抗

パラメーター ^[19]	説明	テスト条件	100 ピン TQFP パッケージ	165 ボール FBGA パッケージ	単位
Q _{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	エア(0 メートル / 秒) 静止付	35.36	14.24
			エアーフロー (1 メートル / 秒)	31.30	12.47
			エアーフロー (3 メートル / 秒)	28.86	11.40
Q _{JC}	熱抵抗 (接合部からケース)			7.52	3.92
Q _{JB}	熱抵抗 (ジャンクションボードへ)			28.89	7.19

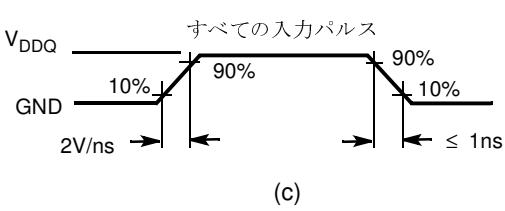
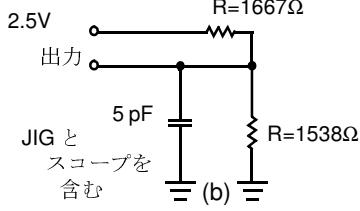
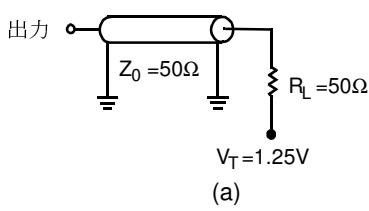
AC テストの負荷と波形

図 3. AC テストの負荷と波形

3.3V I/O テスト負荷



2.5V I/O テスト負荷



注

19. 開発時これらのパラメーターに影響を与える可能性のある設計／プロセス変更があった後にテストされます。

スイッチング特性

動作範囲において

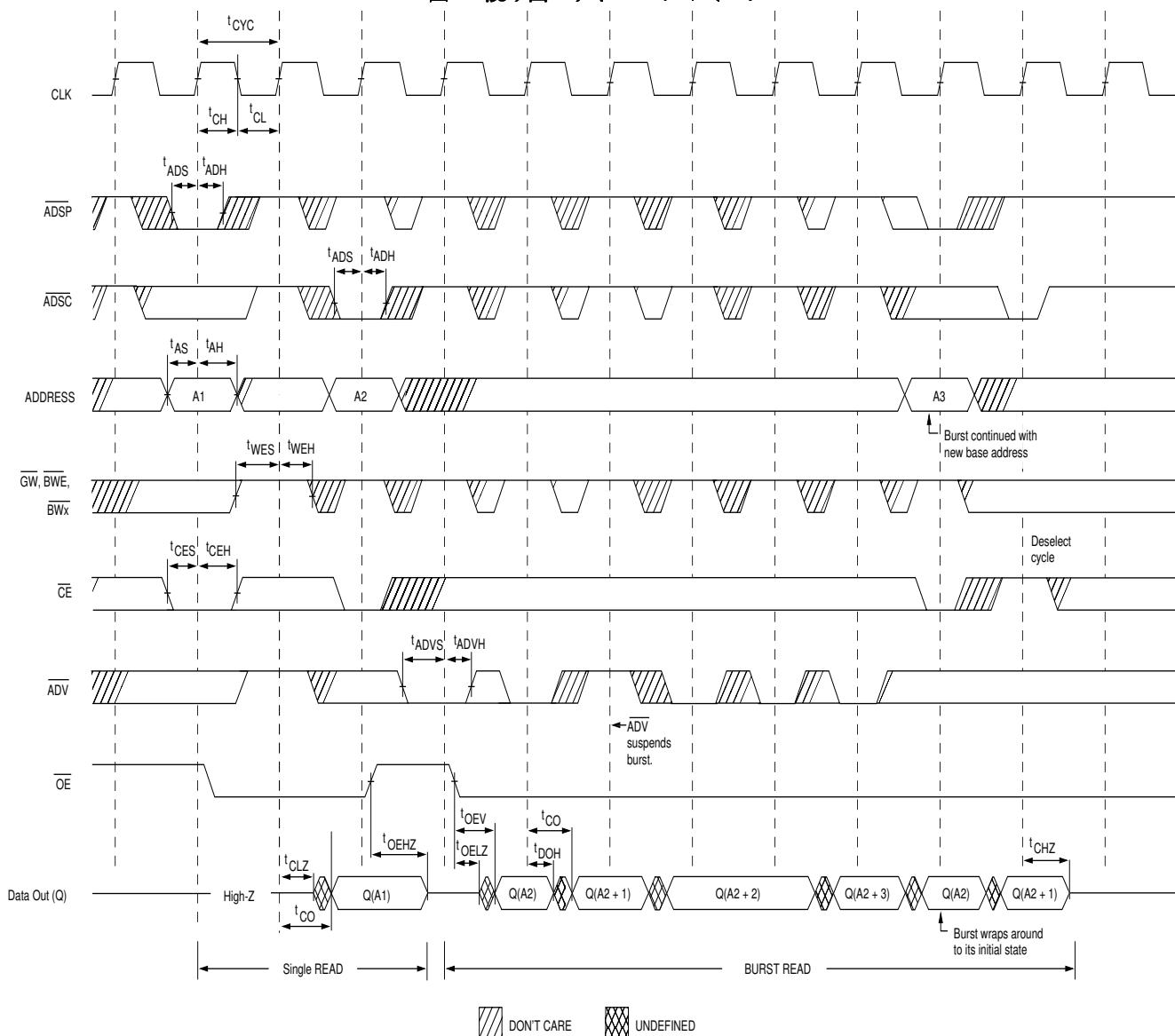
パラメーター ^[20, 21]	説明	-250		-167		単位
		Min	Max	Min	Max	
t _{POWER}	V _{DD} Min から最初のアクセスまでの時間 ^[22]	1	-	1	-	ms
クロック						
t _{CYC}	クロック サイクル期間	4.0	-	6	-	ns
t _{CH}	クロック HIGH	1.5	-	2.4	-	ns
t _{CL}	クロック LOW	1.5	-	2.4	-	ns
出力時間						
t _{CO}	CLK 立ち上がり後のデータ出力有効時間	-	2.5	-	3.4	ns
t _{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	1.0	-	1.5	-	ns
t _{CLZ}	クロックから LOW Z までの時間 ^[23, 24, 25]	1.0	-	1.5	-	ns
t _{CHZ}	クロックから HIGH Z までの時間 ^[23, 24, 25]	-	2.6	-	3.4	ns
t _{OEV}	OE LOW から出力有効までの時間	-	2.6	-	3.4	ns
t _{OELZ}	OE LOW から出力 LOW Z までの時間 ^[23, 24, 25]	0	-	0	-	ns
t _{OEHZ}	OE HIGH から出力 HIGH Z までの時間 ^[23, 24, 25]	-	2.6	-	3.4	ns
セットアップ時間						
t _{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.2	-	1.5	-	ns
t _{ADS}	CLK 立ち上がり前の ADSC、ADSP セットアップ時間	1.2	-	1.5	-	ns
t _{ADVS}	CLK 立ち上がり前の ADV セットアップ時間	1.2	-	1.5	-	ns
t _{WES}	CLK 立ち上がり前の GW、BWE、BW _X セットアップ時間	1.2	-	1.5	-	ns
t _{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.2	-	1.5	-	ns
t _{CES}	CLK 立ち上がり前のチップ イネーブル セットアップ時間	1.2	-	1.5	-	ns
ホールド時間						
t _{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.3	-	0.5	-	ns
t _{ADH}	CLK 立ち上がり後の ADSC、ADSP ホールド時間	0.3	-	0.5	-	ns
t _{ADVH}	CLK 立ち上がり後の ADV ホールド時間	0.3	-	0.5	-	ns
t _{WEH}	CLK 立ち上がり後の GW、BWE、BW _X ホールド時間	0.3	-	0.5	-	ns
t _{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.3	-	0.5	-	ns
t _{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.3	-	0.5	-	ns

注

20. タイミングのリファレンス電圧 レベルは、V_{DDQ} = 3.3V の場合は 1.5V であり、V_{DDQ} = 2.5V の場合は 1.25V です。
21. 特に明記しない限り、テスト条件は、AC テスト負荷の (a) に示します。
22. このデバイスは電圧レギュレータを内蔵しています；t_{POWER} は、読み出しましたか書き込み処理が開始される前に、V_{DD} (最小値) を超えた電源を供給する必要がある時間です。
23. t_{CHZ}、t_{CLZ}、t_{OELZ}、および t_{OEHZ} は 22 ページの図 3 の (b) に示した AC テスト条件で指定されます。遷移は定常状態での電圧 ± 200mV の電圧 レベルで測定されます。
24. 任意の所与の電圧と温度において、同じデータバスを共用する時、SRAM 間にバス競合を回避するために、t_{OEHZ} は t_{OELZ} より少なく、t_{CHZ} は t_{CLZ} より少ないです。これらの仕様では、バス競合条件を説明しませんが、最悪の場合のユーザー条件において保証されるパラメーターを示します。デバイスは、同じシステム条件の下で LOW Z の前に HIGH Z を達成するように設計されています。
25. このパラメーターはサンプリングされた値であり、すべてのデバイスで試験されるわけではありません。

スイッチング波形

図4. 読み出しサイクルタイミング [26]

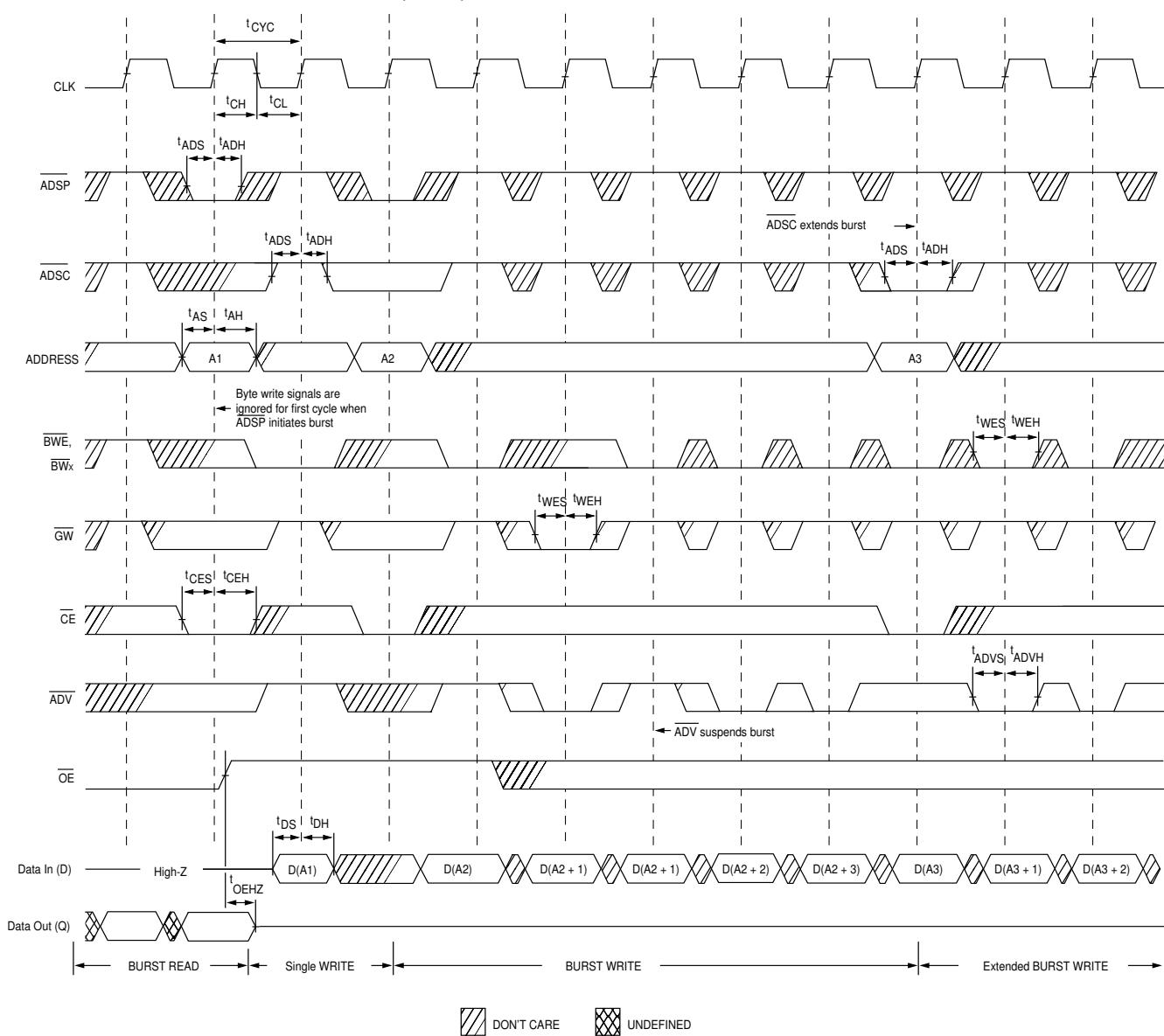


注

26. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。

スイッチング波形(続き)

図5. 書き込みサイクルタイミング [27, 28]

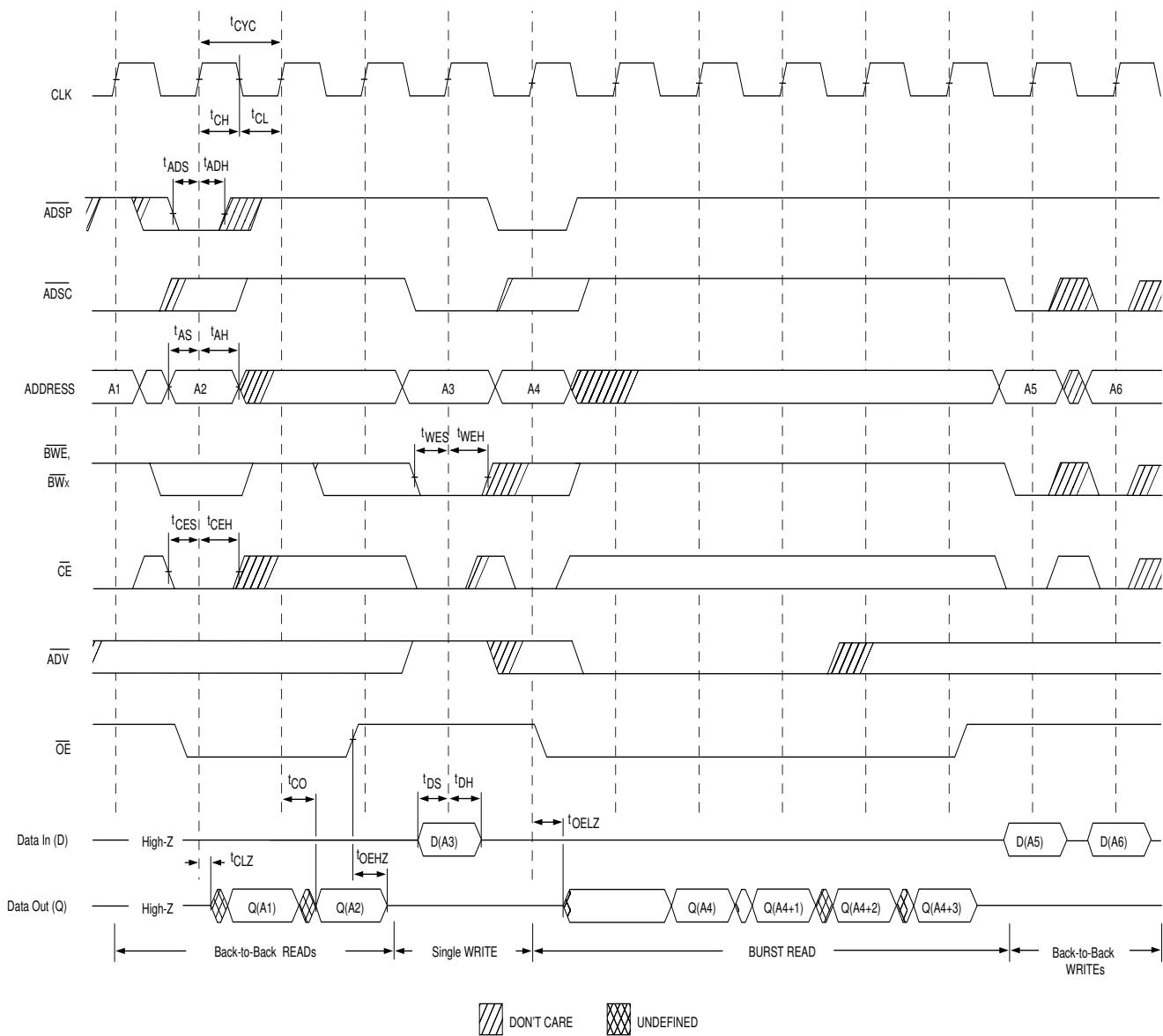


注

27. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。
28. 全幅の書き込みは、 \overline{GW} が LOW、または \overline{GW} が HIGH、 \overline{BWE} が LOW、または \overline{BW}_X が LOW になると開始できます。

スイッチング波形(続き)

図6. 読み出し/書き込みサイクルタイミング [29、30、31]

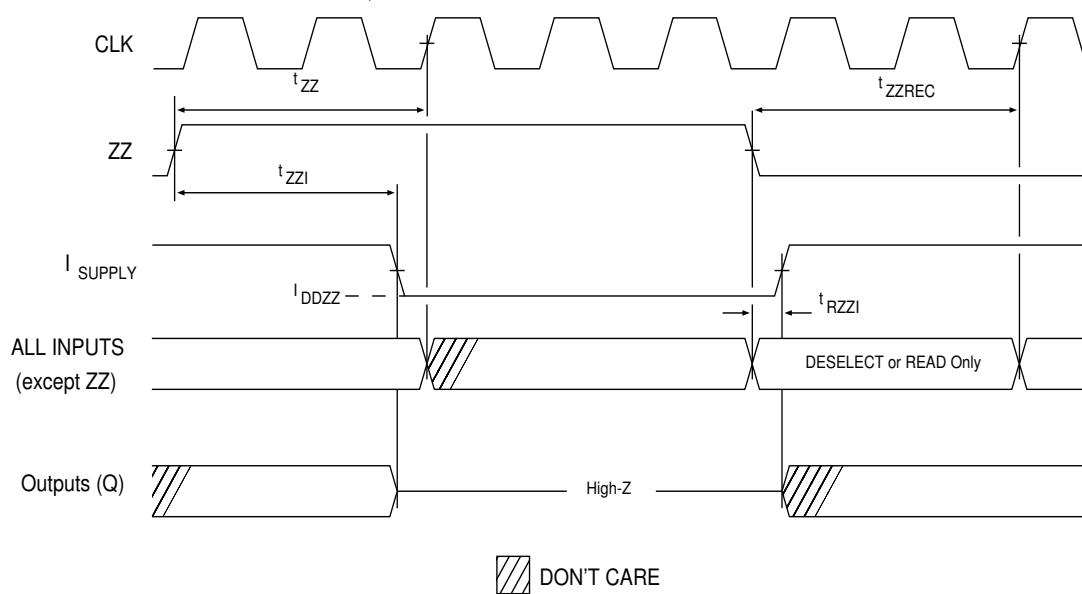


注

29. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。
30. 新しい読み出しアクセスが \overline{ADSP} または \overline{ADSC} により開始されない限り、データバス (Q) は書き込みサイクルの後 HIGH Z になったままです。
31. GW は HIGH です。

スイッチング波形(続き)

図7. ZZモードタイミング [32、33]



注

32. ZZモードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、サイクル説明表を参照してください。
 33. ZZスリープモードを終了する時、DQ信号はhigh Z状態になります。

注文情報

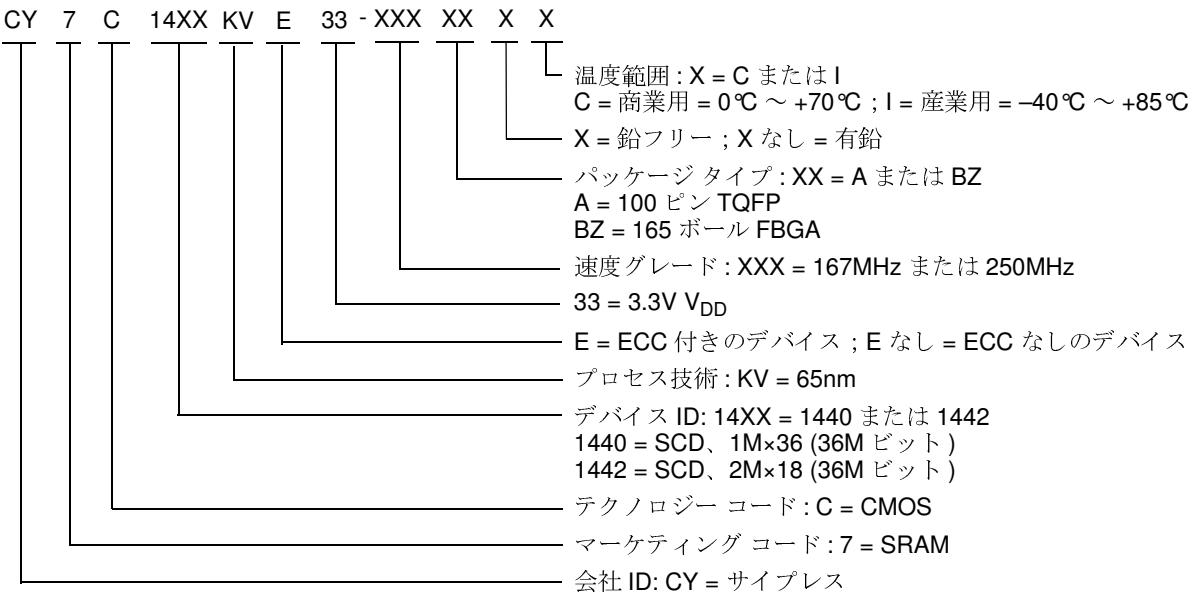
この製品の種類について、サイプレスは、様々なコンフィギュレーションおよび特長を持っている他の多くのバージョンを提供しています。以下の表には、現在在庫としてある部品のみを示します。

すべてのオプションの完全なリストについては、サイプレスのウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照、または最寄りのサイプレスの販売代理店にお問い合わせください。

サイプレスは、世界中に事業所やソリューションセンター、販売代理店を持っています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

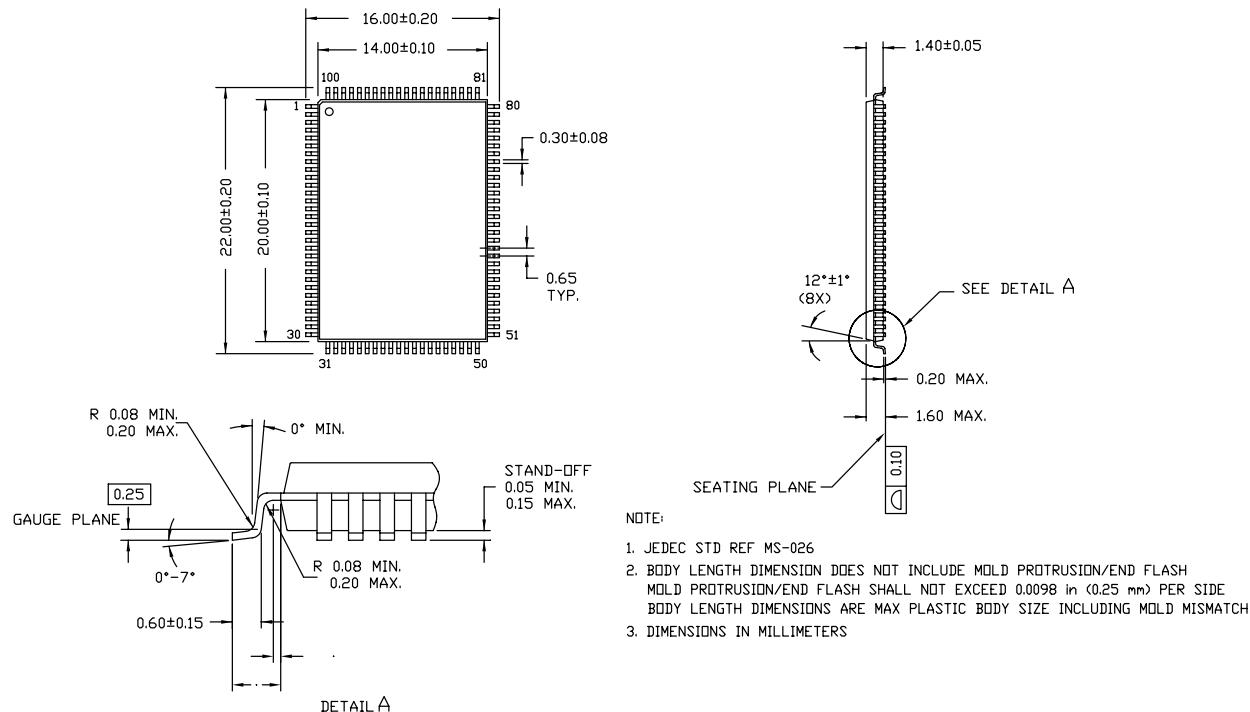
速度 (MHz)	注文コード	パッケージ図	部品とパッケージタイプ	動作範囲
250	CY7C1440KV33-250AXC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	商業用
	CY7C1440KV33-250BZI	51-85195	165 ポール FBGA (15×17×1.4mm) 鉛フリー	産業用
	CY7C1442KV33-250AXC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	商業用
167	CY7C1440KV33-167AXC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	商業用
	CY7C1440KVE33-167AXC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	

注文コードの定義



パッケージ図

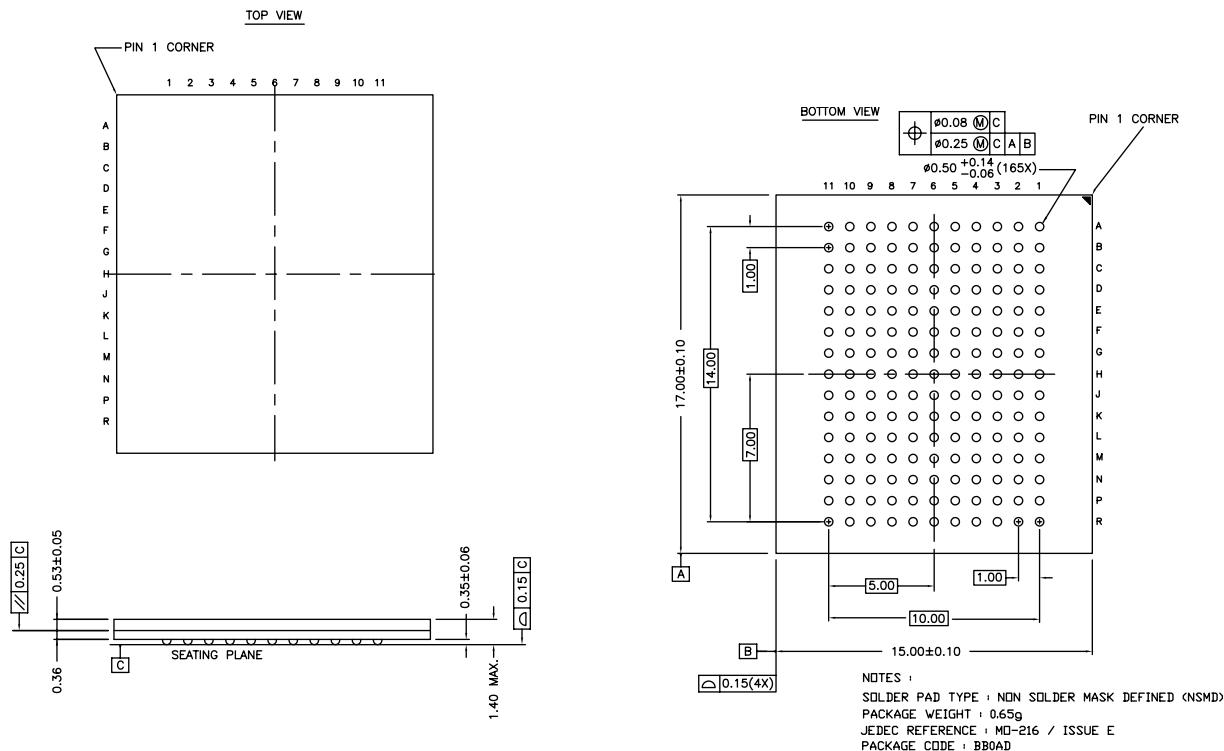
図 8. 100 ピン TQFP (14x20x1.4mm) A100RA パッケージ図、51-85050



51-85050 *E

パッケージ図(続き)

図9. 165 ボール FBGA (15x17x1.4mm (0.5 ボール直径)) パッケージ図、51-85195



51-85195 *D

略語

略語	説明
CE	Chip Enable (チップ イネーブル)
CEN	Clock Enable (クロック イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
FBGA	Fine-Pitch Ball Grid Array (フайн ピッチ ボール グリッド アレイ)
I/O	入力／出力
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
NoBL	No Bus Latency (バス レイテンシーなし)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TCK	Test Clock (テスト クロック)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)
TQFP	Thin Quad Flat Pack (薄型クアッド フラット パッケージ)
WE	Write Enable (書き込みイネーブル)
ECC	Error Correcting Code (エラー訂正コード)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33、 36M ビット (1M×36/2M×18) 同期パイプライン SRAM (ECC 付き)
文書番号 : 001-96009

版	ECN 番号	発行日	変更者	変更内容
**	4636626	01/22/2015	HZEN	これは英語版 001-66676 Rev. *D を翻訳した日本語版 001-96009 Rev. ** です。
*A	4718923	04/09/2015	PRIT	決勝への変換

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)のウェブページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/plc
PSoC	cypress.com/go/memory
タッチ センシング	cypress.com/go/psoc
USB コントローラー	cypress.com/go/touch
ワイヤレス／RF	cypress.com/go/USB
	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ	フォーラム	ブログ	ビデオ	トレーニング
------------------------	-----------------------	---------------------	---------------------	------------------------

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2011-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタムファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。