

36 Mbit (1 M × 36/2 M × 18) 流水线 (pipeline) 同步 SRAM (带 ECC)

特性

- 它支持的总线运行速度高达 250 MHz
- 可用的频率大小为 250 和 167 MHz
- 流水线操作的输入和输出寄存器
- 3.3 V 内核电源
- 2.5 V/3.3 V I/O 电源
- 快速的时钟至输出的时间
 - 2.5 ns (对于 250 MHz 器件)
- 提供了高性能的 3-1-1-1 访问速率
- 用户可选的突发计数器支持交错或线性突发序列
- 独立的处理器和控制器地址探针
- 同步自定时写入
- 异步输出使能
- 单周期芯片取消选择
- CY7C1440KV33、CY7C1442KV33 和 CY7C1440KVE33 都提供了无铅 100 引脚 TQFP、无铅和含铅 165 球形焊盘 FBGA 的封装选择类型。
- 支持与 IEEE 1149.1 JTAG 兼容的边界扫描
- “ZZ”睡眠模式选项
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能说明

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 SRAM

集成了 1 M × 36/2 M × 18/1 M × 36 SRAM 单元、先进的同步

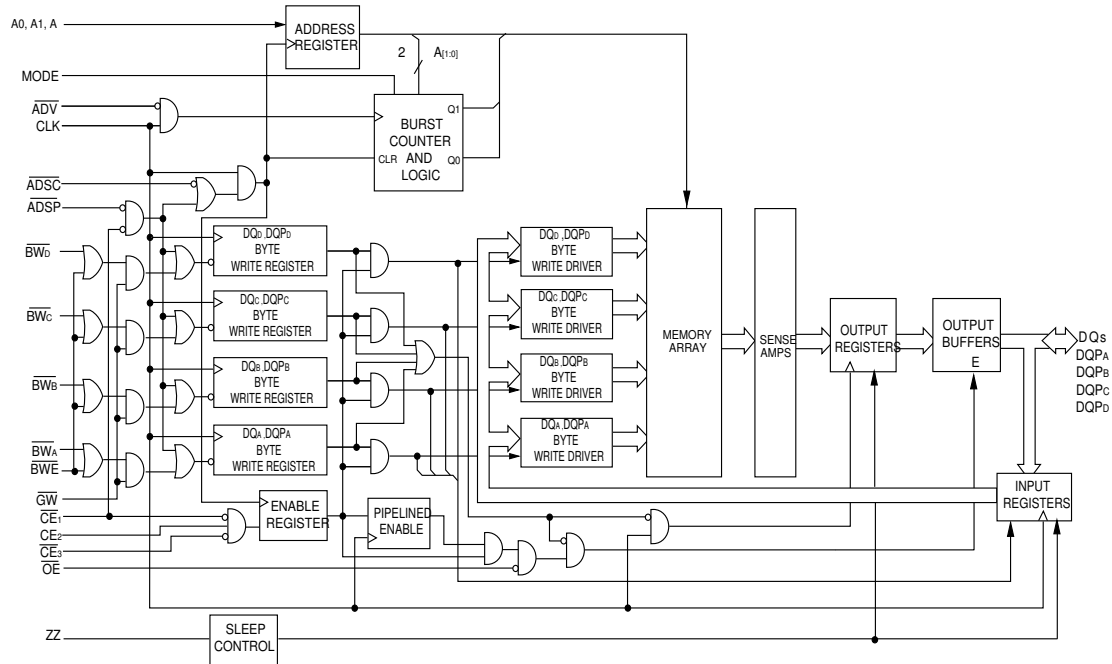
外围电路的和用于内部突发操作的 2 位计数器。所有同步输入均通过上升沿触发的时钟输入 (CLK) 控制的寄存器进行门控。同步输入包括所有地址、所有数据输入、地址流水线芯片使能 (\overline{CE}_1)、深度扩展芯片使能 (\overline{CE}_2 和 \overline{CE}_3)、突发控制输入 (ADSC、ADSP 和 ADV)、写使能 (\overline{BW}_x 和 \overline{BWE}) 以及全局写入 (\overline{GW})。异步输入包括输出使能 (\overline{OE}) 和 ZZ 引脚。

当地址探针处理器 (\overline{ADSP}) 或地址探针控制器 (\overline{ADSC}) 处于活动状态时，地址和芯片使能信号都被寄存在时钟的上升沿上。当 Advance 引脚 (ADV) 控制后续突发地址时，会内部生成它们。

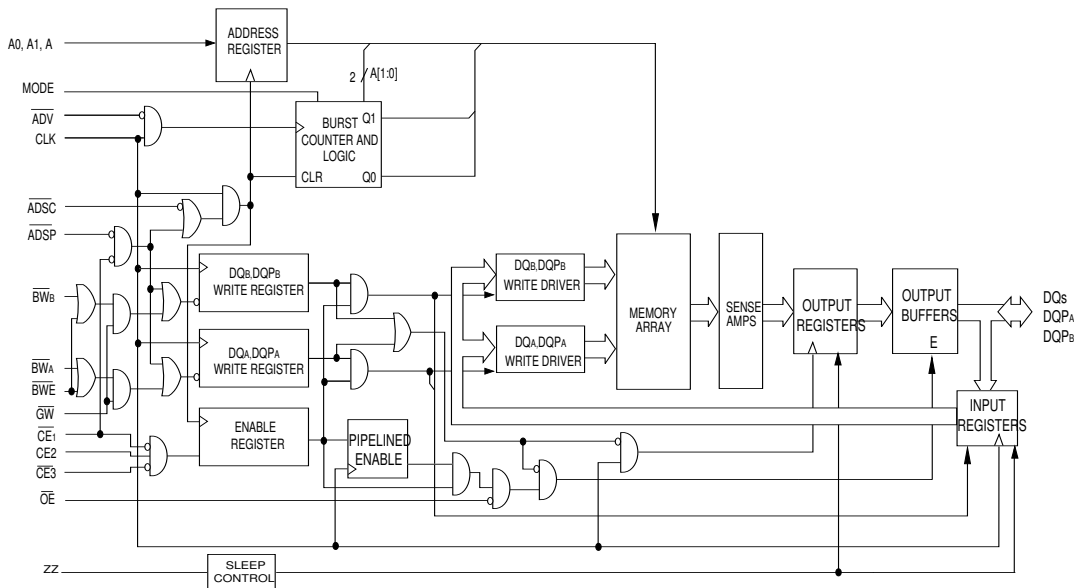
地址、数据输入和写控制被寄存在芯片上，以便初始自定时写周期。该器件支持字节写操作（欲了解更详细的信息，请参考引脚说明部分和真值表）。当字节写控制输入控制写周期时，该周期可以是一个、两个或四个字节宽。当 \overline{GW} 为低电平有效时，将会对所有字节进行写操作。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 运行时的内核供电电压等于或高于 +3.3 V，而所有输出运行时的供电电压为 +2.5 或 +3.3 V。所有输入和输出都与 JEDEC 标准 JESD8-5 相兼容。

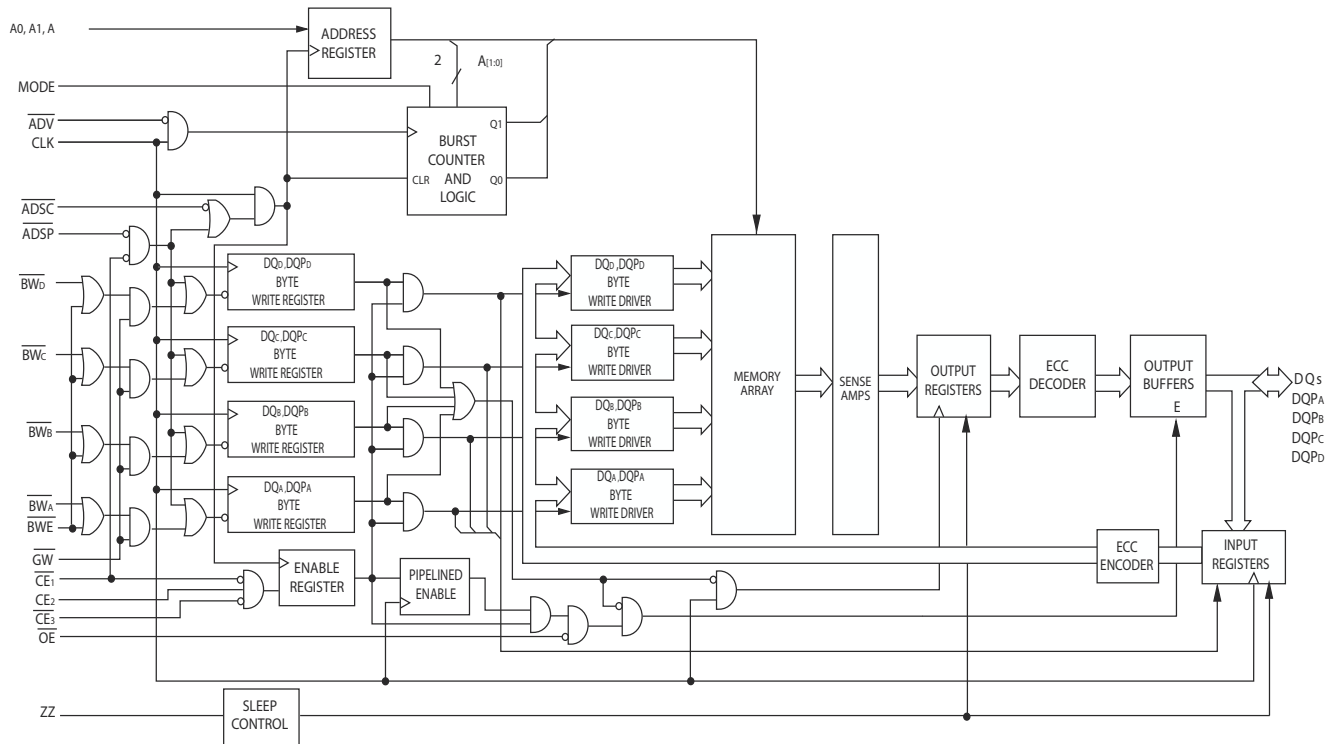
逻辑框图 — CY7C1440KV33



逻辑框图 — CY7C1442KV33



逻辑框图 — CY7C1440KVE33



目录

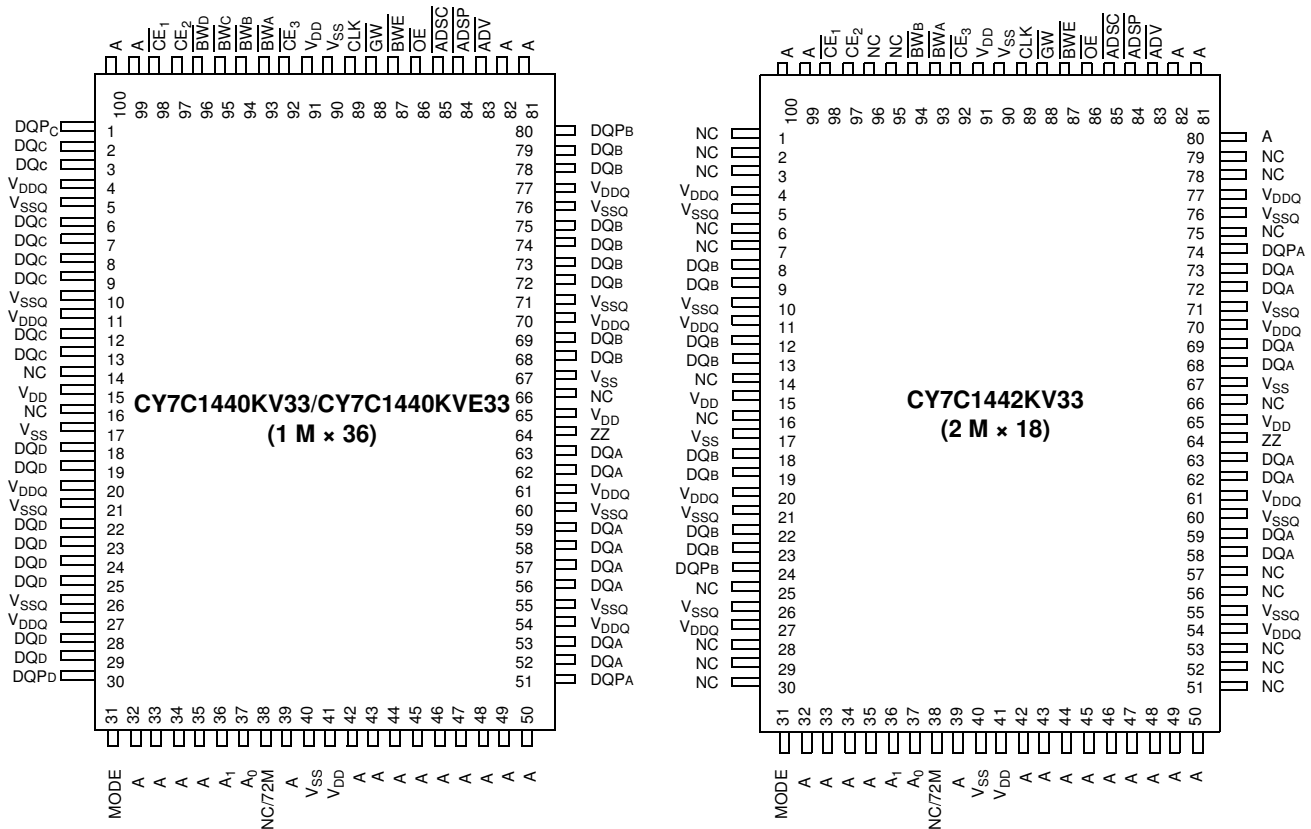
产品选型指南	5	2.5 V TAP 交流输出负载等效	16
引脚配置	5	TAP 直流电气特性与工作条件	17
引脚定义	7	标识寄存器定义	18
功能概述	8	扫描寄存器大小	18
单一读访问	8	标识代码	18
ADSP 启动的单一写入访问	8	边界扫描顺序	19
ADSC 启动的单一写入访问	9	最大额定值	20
突发序列 (Burst Sequences)	9	工作范围	20
睡眠模式	9	抗中子软失效	20
片上 ECC	9	电气特性	20
交错突发地址表	10	电容值	22
线性突发地址表	10	热电阻	22
ZZ 模式的电气特性	10	交流测试负载和波形	22
真值表	11	开关特性	23
读 / 写操作的局部真值表	12	AC 开关波形	24
读 / 写操作的局部真值表	12	订购信息	28
IEEE 1149.1 串行边界扫描 (JTAG)	13	订购代码定义	28
禁用 JTAG 特性	13	封装图	29
测试访问端口 (TAP)	13	缩略语	31
执行 TAP 复位	13	文档规范	31
TAP 寄存器	13	测量单位	31
TAP 指令集	13	文档修订记录页	32
TAP 控制器状态图	14	销售、解决方案和法律信息	33
TAP 控制器框图	15	全球销售和设计支持	33
TAP 时序	15	产品	33
TAP 交流开关特性	16	PSoC [®] 解决方案	33
3.3 V TAP 交流测试条件	16	赛普拉斯开发者社区	33
3.3 V TAP 交流输出负载等效	16	技术支持	33
2.5 V TAP 交流测试条件	16		

产品选型指南

说明		250 MHz	167 MHz	单位
最长访问时间		2.5	3.4	ns
最大工作电流	× 18	220	不提供	mA
	× 36	240	190	

引脚配置

图 1. 100 引脚 TQFP 引脚分配



引脚配置 (续)

图 2. 165 球形焊盘 FBGA 引脚分配

CY7C1440KV33 (1 M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	\overline{CE}_1	\overline{BW}_c	\overline{BW}_b	\overline{CE}_3	\overline{BWE}	\overline{ADSC}	\overline{ADV}	A	NC
B	NC/144M	A	CE2	\overline{BW}_d	\overline{BW}_a	CLK	\overline{GW}	\overline{OE}	\overline{ADSP}	A	NC/576M
C	DQP _C	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC/1G	DQP _B
D	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
E	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
F	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
G	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
K	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
L	DQ _D	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
M	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
N	DQP _d	NC	V _{DDQ}	V _{SS}	NC	A	NC	V _{SS}	V _{DDQ}	NC	DQP _A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

名称	I/O	说明
A ₀ 、A ₁ 、A	同步输入	用于选择地址的地址输入。 如果 $\overline{\text{ADSP}}$ 或 $\overline{\text{ADSC}}$ 为低电平有效，这些输入将采样在 CLK 的上升沿上，并 CE ₁ 、CE ₂ 和 CE ₃ ^[1] 被有效采样。将 A ₁ :A ₀ 输入到 2 位计数器。
$\overline{\text{BW}}_{\text{A}}$ 、 $\overline{\text{BW}}_{\text{B}}$ 、 $\overline{\text{BW}}_{\text{C}}$ 、 $\overline{\text{BW}}_{\text{D}}$	同步输入	低电平有效的字节写选择输入。 同 $\overline{\text{BWE}}$ 结合使用，以可以将字节写入到 SRAM 内。在 CLK 时钟的上升沿上被采样。
$\overline{\text{GW}}$	同步输入	低电平有效的全局写使能输入。 当在 CLK 上升沿上将该输入置为低电平时，将会执行全局写入（可以写入所有字节，无论 $\overline{\text{BW}}_{\text{X}}$ 和 $\overline{\text{BWE}}$ 上的值如何）。
$\overline{\text{BWE}}$	同步输入	低电平有效的字节写入使能输入。 在 CLK 时钟的上升沿上被采样。必须将该信号置为低电平，以执行字节写入。
CLK	输入时钟	时钟输入。 用于将所有同步输入捕获到器件内。另外，在进行突发操作期间，当 $\overline{\text{ADV}}$ 为低电平时，可以使用该输入来递增突发计数器。
$\overline{\text{CE}}_1$	同步输入	低电平有效的芯片使能 1 输入。 在 CLK 时钟的上升沿上被采样。同 CE ₂ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择 / 取消选择器件。如果 CE ₁ 为高电平， $\overline{\text{ADSP}}$ 将被忽略。只有加载了新的外部地址时， $\overline{\text{CE}}_1$ 才被采样。
CE ₂	同步输入	高电平有效的芯片使能 2 输入。 在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择 / 取消选择器件。只有加载了新的外部地址时，CE ₂ 才被采样。
$\overline{\text{CE}}_3$	同步输入	低电平有效的芯片使能 3 输入。 在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 CE ₂ 一起使用时，可以选择 / 取消选择器件。不适用于 AJ 封装版本。对于 BGA，没有连接该输入。在参考情况下，假设在本文档中 $\overline{\text{CE}}_3$ 对 BGA 有效。只有加载了新的外部地址时， $\overline{\text{CE}}_3$ 才被采样。
$\overline{\text{OE}}$	异步输入	输出使能，异步输入，低电平有效。 控制 I/O 引脚的方向。置为低电平时，I/O 引脚作为输出使用。取消置位为高电平时，I/O 引脚是三态的，并作为输入数据引脚使用。 $\overline{\text{OE}}$ 退出取消选择状态后，在读周期的第一个时钟周期内，该信号被屏蔽。
$\overline{\text{ADV}}$	同步输入	高级输入信号在 CLK 时钟的上升沿上被采样，低电平有效。 被激活时，它将自动递增突发周期中的地址。
$\overline{\text{ADSP}}$	同步输入	处理器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。 置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 A ₁ :A ₀ 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSP}}$ 被检测。CE ₁ 被解除置位为高电平的有效状态时， $\overline{\text{ADSP}}$ 被忽略。
$\overline{\text{ADSC}}$	同步输入	控制器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。 置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 A ₁ :A ₀ 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSP}}$ 被检测。
ZZ	异步输入	ZZ “睡眠” 输入，高电平有效。 当该引脚被激活为高电平时，器件将处于非时间敏感的“睡眠”条件状态，并保存数据的完整性。正常工作时，必须将该引脚设为低电平或处于悬空状态。ZZ 引脚具有内部下拉电阻。
DQs, DQP _X	同步 I/O	双向数据 I/O 线。 作为输入使用时，这些数据线会将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上被触发。作为输出时，在读周期内，它们将发送存储器中由地址所指定的数据。这些引脚的方向由 $\overline{\text{OE}}$ 控制。将 $\overline{\text{OE}}$ 置为低电平时，这些引脚作为输出使用。将该信号置为高电平时，DQs 和 DQP _X 都处于三态。
V _{DD}	电源供应	器件内核的电源输入。
V _{SS}	接地	器件内核的接地引脚。
V _{SSQ}	I/O 接地	I/O 电路的接地引脚。

注释:

1. X = “无需关注。” H = 逻辑高电平，L = 逻辑低电平。

引脚定义（续）

名称	I/O	说明
V _{DDQ}	I/O 供电电源	为 I/O 电路供电。
MODE	输入静态	选择突发顺序。 连接到 GND 时，选择线性突发序列。连接到 V _{DD} 或处于悬空状态时，则选择交错突发序列。这是一个短接（strap）引脚，并且在器件运行时应保持该引脚为静态状态。Mode 引脚具有一个内部上拉电阻。
TDO	同步的 JTAG 串行输出	JTAG 电路的串行数据输出。 在 TCK 的下降沿上发送数据。如果 JTAG 功能不被使用，请不连接该引脚。该引脚在 TQFP 封装上不可用。
TDI	同步的 JTAG 串行输入	JTAG 电路的串行数据输入。 在 TCK 时钟的上升沿上被采样。如果 JTAG 特性未被使用，那么可能断开该引脚或被连接到 V _{DD} 。该引脚在 TQFP 封装上不可用。
TMS	同步的 JTAG 串行输入	JTAG 电路的串行数据输入。 在 TCK 时钟的上升沿上被采样。如果 JTAG 特性未被使用，那么可能断开该引脚或被连接到 V _{DD} 。该引脚在 TQFP 封装上不可用。
TCK	JTAG 时钟输入	JTAG 电路的时钟输入。 如果 JTAG 功能未被使用，请将该引脚连接至 V _{SS} 。该引脚在 TQFP 封装上不可用。
NC	—	无连接。 未内部连接到芯片。
NC/72M、NC/144M、NC/288M、NC/576M、NC/1G	—	无连接。 未内部连接到芯片。NC/72M、NC/144M、NC/288M、NC/576M 及 NC/1G 是地址扩展引脚，并没有被内连到芯片。

功能概述

所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过时钟的上升沿控制的输出寄存器。从时钟上升沿的最大访问延迟（t_{CO}）为 2.5 ns（250 MHz 器件）。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 通过采用线性或交错突发序列支持系统中的辅助缓存。交错突发顺序支持 Pentium 处理器。用户可以选择突发顺序，并通过对 MODE 输入进行采样来确定该顺序。通过处理器地址探针（ADSP）或控制器地址探针（ADSC），可以开始访问。ADV 输入控制突发序列的地址增加。2 位的片上环绕式突发计数器捕获突发序列中的第一个地址，并自动递增其余突发访问的地址。

字节写操作取决于字节写使能（BWE）和字节写选择（BW_X）输入。全局写使能（GW）覆盖了所有字节写输入，并将数据写入到所有四个字节内。所有写操作都通过片上同步自定时写电路简化。

这些器件提供了三个同步芯片选择（CE₁、CE₂、CE₃）和一个异步输出使能（OE），从而可以轻松地进行组选择和输出三态控制。如果 CE₁ 为高电平，ADSP 将被忽略。

单一读访问

如果在时钟上升沿过程中满足以下条件，将启动该访问：(1) ADSP 或 ADSC 被置为低电平；(2) CE₁、CE₂、CE₃ 均有效；(3) 写信号（GW、BWE）都被取消置位为高电平。如果 CE₁ 为高电平，ADSP 将被忽略。发送到地址输入（A）的地址被存储在地址增加逻辑和地址寄存器中，同时被发送到存储器阵列。相应的数据被传输到输出寄存器的输入端。在下一个时钟的上升沿上，如果 OE 为低电平有效，那么数据将在 2.5 ns（250 MHz 器件）时间内通过输出寄存器发送到数据总线上。只存在一种例外，便是：当 SRAM 从取消选择状态转到选择状态时，其输出在第一次访问周期内一直处于三态。第一次访问周期过后，OE 信号会控制该输出。连续的单一读取周期得到支持。一旦 SRAM 在时钟上升沿上由芯片选择，并且取消选择 ADSP 或 ADSC 信号，其输出将立变为三态。

ADSP 启动的单一写入访问

如果在时钟上升沿上满足以下条件，将启动该访问：(1) ADSP 为低电平；(2) CE₁、CE₂、CE₃ 都有效。将发送到 A 的地址加载到地址寄存器和地址增加逻辑中，同时将其发送到存储器阵列内。在第一个周期内，写输入信号（GW、BWE 及 BW_X）和 ADV 输入都被忽略。

ADSP 触发的写访问需要占用两个时钟周期来完成。如果 GW 在第二个时钟上升沿上被置为低电平，那么发送到 DQs 输入端的数据将被写入到存储器阵列中相应的地址。如果 GW 为高电平，那么写操作会由 BWE 和 BW_X 信号控制。

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 提供了字节写入功能，写周期说明表介绍了这些功能。如果置位字节写入使能输入（ \overline{BWE} ）和所选的字节写入（ $\overline{BW_X}$ ）输入，将会对所需的字节进行写操作。字节写入操作中未被选择的字节将保持不变。通过所提供的同步自定时写入机制，可以轻松进行写操作。

因为 CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 是通用 I/O 器件，所以将数据发送到 DQs 输入前，必须将输出使能（ \overline{OE} ）置为高电平。这样可使输出驱动模块处于三态。为安全起见，每次检测到写周期时，DQs 都会自动进入三态，无论 \overline{OE} 的状态如何。

ADSC 启动的单一写入访问

如果满足以下条件，将启动 \overline{ADSC} 写访问：(1) \overline{ADSC} 为低电平；(2) \overline{ADSP} 被取消置位为高电平；(3) $\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$ 都有效；(4) 写输入的合适组合（ \overline{GW} 、 \overline{BWE} 及 $\overline{BW_X}$ ）都有效，以便写入所需字节。 \overline{ADSC} 触发的写访问仅需要一个时钟周期来完成。将发送到 A 的地址加载到地址寄存器和地址增加逻辑中，同时将其发送到存储器阵列内。 \overline{ADV} 输入在该周期内被忽略。如果执行全局写入，那么会将发送到 DQs 的数据写入到存储器阵列中相应的地址内。如果执行了字节写入，那么只有被选中的字节才被写入。字节写入操作中未被选择的字节将保持不变。所提供的同步自定时写入机制能够简化写操作。

因为 CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 是通用 I/O 器件，所以将数据发送到 DQs 输入前，必须将输出使能（ \overline{OE} ）置为高电平。这样可使输出驱动模块处于三态。为安全起见，无论 \overline{OE} 的状态如何，每当检测到写周期时，DQs 将自动进入三态。

突发序列（Burst Sequences）

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 提供了 2 位包裹计数器：将 A1:A0 输入到该计数器中，它会实现交错或线性突发序列。设计交错突发序列，转为支持 Intel Pentium 应用。用户可以通过 MODE 输入选择突发序列。如果在时钟上升沿上置位 \overline{ADV} 为低电平，突发计数器会自动增加到突发序列中的下一个地址。读取和写入突发操作均受支持。

睡眠模式

\overline{ZZ} 输入引脚是一个异步输入。置位 \overline{ZZ} 后，SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时，需要两个时钟周期。在该模式中，数据完整性得到保证。不将进入睡眠模式时被挂起的访问视为有效访问，同时不能确保完成该操作。进入睡眠模式之前，必须取消选择该器件。 $\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$ 、 \overline{ADSP} 和 \overline{ADSC} 在 \overline{ZZ} 输入为低电平后的 t_{ZZREC} 时间内保持无效状态。

片上 ECC

CY7C1440KVE33 SRAM 包含一个片上 ECC 算法，用于检测并校正所有单比特存储器上的错误，包括由宇宙射线、 α 粒子，等等导致的软错误（SEU）事件。这些器件得到的软错误率（SER）预期小于 0.01 FITs/Mb，比无片上 ECC SRAM 小 4 个数量级，这些无片上 ECC SRAM 的 SER 一般为 200 FITs/Mb 或更大。要想保护内部数据，需要使用 ECC 奇偶校验位（用户不可见）。

ECC 算法不会校正多比特错误。但赛普拉斯 SRAM 的架构可确保单个 SER 事件在任何数据字上导致多比特错误的可能性极小。由于多比特错误非常罕见，器件的 SER 小于 0.01 FITs/Mb。

交错突发地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 V$	—	89	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式	$ZZ \geq V_{DD} - 0.2 V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 V$	$2t_{CYC}$	—	ns
t_{ZZI}	从 ZZ 置为高电平到器件进入睡眠状态的时间	该参数被采样	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	该参数被采样	0	—	ns

真值表

CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33 的真值表如下所示。[1, 2, 3, 4, 5, 6]

操作	所使用的地址	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
取消选择周期、断电	无	H	X	X	L	X	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	H	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	H	L	X	X	X	L-H	三态
睡眠模式、断电	无	X	X	X	H	X	X	X	X	X	X	三态
读周期、开始传输	外部	L	H	L	L	L	X	X	X	L	L-H	Q
读周期、开始传输	外部	L	H	L	L	L	X	X	X	H	L-H	三态
写周期、开始传输	外部	L	H	L	L	H	L	X	L	X	L-H	D
读周期、开始传输	外部	L	H	L	L	H	L	X	H	L	L-H	Q
读周期、开始传输	外部	L	H	L	L	H	L	X	H	H	L-H	三态
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	H	L-H	三态
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	H	L-H	三态
写周期、继续传输	下一个地址	X	X	X	L	H	H	L	L	X	L-H	D
写周期、继续传输	下一个地址	H	X	X	L	X	H	L	L	X	L-H	D
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	H	L-H	三态
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	H	L-H	三态
写周期、停止传输	当前地址	X	X	X	L	H	H	H	L	X	L-H	D
写周期、停止传输	当前地址	H	X	X	L	X	H	H	L	X	L-H	D

注释:

1. X = “无需关注。” H = 逻辑高电平, L = 逻辑低电平。
2. 任意一个或多个字节写入使能信号以及 $\overline{BWE} = L$ 或 $\overline{GW} = L$ 时, $\overline{WRITE} = L$ 。所有字节写入使能信号、 \overline{BWE} 、 $\overline{GW} = H$ 时, $\overline{WRITE} = H$ 。
3. DQ 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号,并不在时钟边沿上进行采样。
4. 只有 TQFP 封装提供了 \overline{CE}_1 、 CE_2 和 \overline{CE}_3 。BGA 封装仅有两个芯片选择 \overline{CE}_1 和 CE_2 。
5. 无论 \overline{GW} 、 \overline{BWE} 或 \overline{BW}_x 的状态如何,激活 \overline{ADSP} 时, SRAM 始终会启动读周期。 \overline{ADSP} 或 \overline{ADSC} 被置为高电平后,在后续时钟周期中才能发生写操作。因此,启动写周期前,必须将 \overline{OE} 驱动为高,这样能够使输出处于三态。启动写周期后, \overline{OE} 的状态不再重要。
6. \overline{OE} 是异步信号,并且不能在时钟上升沿上对其进行采样。该信号在写周期中被内部屏蔽。在读周期中, \overline{OE} 为无效或取消选择器件时,所有数据位均是三态的,并且 \overline{OE} 为低电平有效时,所有数据位都作为输出使用。

读 / 写操作的局部真值表

CY7C1440KV33/CY7C1440KVE33 读 / 写操作的局部真值表如下所示。 [7,8,9]

功能 (CY7C1440KV33/CY7C1440KVE33)	\overline{GW}	\overline{BWE}	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
读取	H	H	X	X	X	X
读取	H	L	H	H	H	H
写入字节 A – (DQ _A 和 DQP _A)	H	L	H	H	H	L
写入字节 B – (DQ _B 和 DQP _B)	H	L	H	H	L	H
写入字节 B、A	H	L	H	H	L	L
写入字节 C – (DQ _C 和 DQP _C)	H	L	H	L	H	H
写入字节 C、A	H	L	H	L	H	L
写入字节 C、B	H	L	H	L	L	H
写入字节 C、B 和 A	H	L	H	L	L	L
写入字节 D – (DQ _D 和 DQP _D)	H	L	L	H	H	H
写入字节 D 和 A	H	L	L	H	H	L
写入字节 D 和 B	H	L	L	H	L	H
写入字节 D、B 和 A	H	L	L	H	L	L
写入字节 D 和 C	H	L	L	L	H	H
写入字节 D、C 和 A	H	L	L	L	H	L
写入字节 D、C 和 B	H	L	L	L	L	H
写入所有字节	H	L	L	L	L	L
写入所有字节	L	X	X	X	X	X

读 / 写操作的局部真值表

CY7C1442KV33 读 / 写操作的局部真值表如下所示。 [7,8,9]

功能 (CY7C1442KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_B}$	$\overline{BW_A}$
读取	H	H	X	X
读取	H	L	H	H
写入字节 A – (DQ _A 和 DQP _A)	H	L	H	L
写入字节 B – (DQ _B 和 DQP _B)	H	L	L	H
写入字节 B、A	H	L	L	L
写入所有字节	H	L	L	L
写入所有字节	L	X	X	X

注释:

7. DQ 引脚由当前周期和 OE 信号控制。OE 是异步信号，并不在时钟边沿上被采样。
8. BW_x 表示任意字节的写信号。为了使能任意字节的写 BW_x，应在时钟上升沿上采用逻辑低信号。对于所有写周期，可以同时使能字节写入数量。
9. 该表只列出了字节写入组合列表的一部分。BW_x 的任意组合均有效。根据有效的字节写入，将执行相应的写操作。

IEEE 1149.1 串行边界扫描 (JTAG)

CY7C1440KV33 包含串行边界扫描测试访问端口 (TAP)。该器件完全符合 IEEE 标准 1149.1。TAP 在工作时采用 JEDEC 标准的 3.3 V 或 2.5 V I/O 逻辑电平。

CY7C1440KV33 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 特性

可以在不使用 JTAG 特性的情况下运行 SRAM。要禁用 TAP 控制器，要将 TCK 置为低电平 (V_{SS})，以防止有额外的时钟输入到器件内。TDI 和 TMS 是内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD} 。TDO 必须保持未连接状态。上电时，器件会复位，这样不会干扰器件的工作。

测试访问端口 (TAP)

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上被捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果不使用 TAP，可以使该接口保持未连接状态。由于该接口是内部上拉的，因此可产生逻辑高电平。

测试数据输入 (TDI)

TDI 接口用于以串行方式将信息输入到寄存器中，并且可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令选择。TDI 是内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB)。(请参考第 15 页上的 TAP 控制器框图。)

测试数据输出 (TDO)

TDO 输出接口用于以串行方式从寄存器输出时钟数据。输出有效，这取决于 TAP 状态机的当前状态。输出会在 TCK 的下降沿上改变。TDO 连接到任何寄存器的最低有效位 (LSB)。(请参考第 14 页上的 TAP 控制器状态图。)

执行 TAP 复位

通过在 5 个 TCK 上升沿的时间内将 TMS 强制置为高电平 (V_{DD})，可进行复位。该复位不会影响 SRAM 的工作，并且在 SRAM 工作期间执行。

在加电过程中，将内部复位 TAP，以确保 TDO 处于高阻状态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 接口之间，用于扫描 SRAM 测试电路的数据输入和输出。通过指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 接口。在 TCK 的下降沿上，数据会从 TDO 接口输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 接口之间时被加载，如第 15 页上的 TAP 控制器框图所示。上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会以二进制“01”的形式加载，以便实现模块级别串行测试数据路径的故障隔离。

旁路寄存器

按照串行方式将数据移位到寄存器时，跳过某些芯片能够节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 接口之间，从而通过 SRAM 移位数据时具有较小的延迟。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器被连接到 SRAM 上的所有输入和双向接口。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM I/O 环的内容。控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 接口之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获 I/O 环的内容。

第 19 页上的边界扫描顺序显示了各个位的连接顺序。每个位都与 SRAM 封装上的一个管脚相对应。寄存器的 MSB 被连接到 TDI，LSB 被连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以移出它。ID 寄存器具有供应商代码和第 18 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现八个不同的指令。指令代码表列出了所有组合形式。其中三个指令被列为 RESERVED，请勿使用这些指令。下面将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在该状态期间，会通过 TDI 和 TDO 接口将指令移位到指令寄存器内。要在移入指令后立即执行指令，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供应商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 接口之间，并允许在 TAP 控制器进入 Shift-DR 状态后将 IDCODE 从器件移出。

上电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于高阻状态，直到在 Update-IR 状态期间提供了下一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 标准的强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差异，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能在跃变（亚稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以满足 TAP 控制器的捕获建立时间和保持时间（ t_{CS} 和 t_{CH} ）的要求。如果在设计中无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的时钟的值即可。

捕获数据后，通过将 TAP 进入 Shift-DR 状态，可以立即移出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据移位可以并发执行，即可以在移出所捕获数据的同时，移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当电路板上有多器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST OUTPUT BUS TRI-STATE

IEEE 标准 1149.1 强制规定，TAP 控制器可以将输出总线置于三态模式。

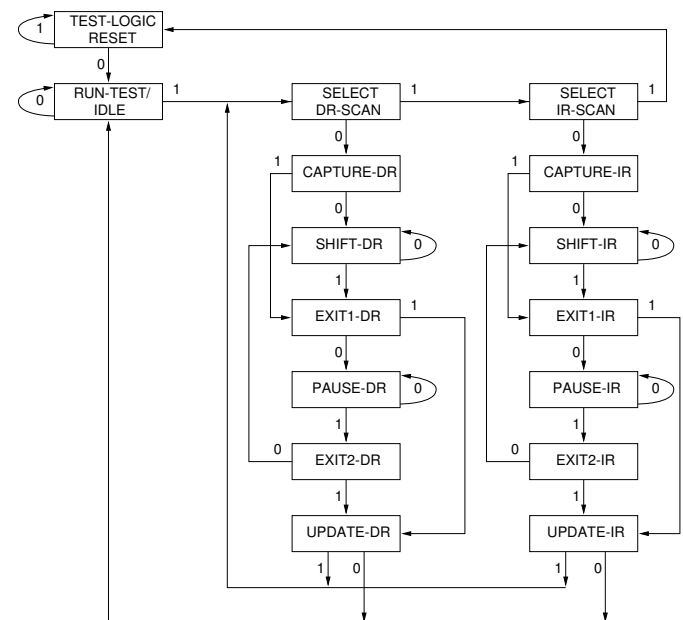
边界扫描寄存器在 89 位上有一个特殊位（用于 165 球形焊盘 FBGA 封装）。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载的寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。置于低电平时，该位会将输出总线置于高阻状态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位移入该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，该位会直接控制输出 Q 总线引脚。请注意，该位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，使能输出。

Reserved

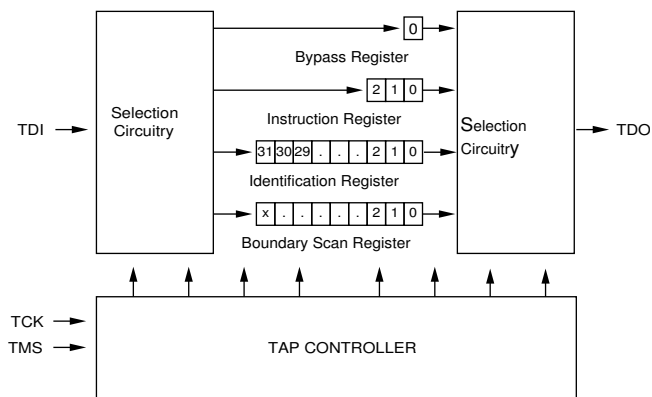
这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

TAP 控制器状态图

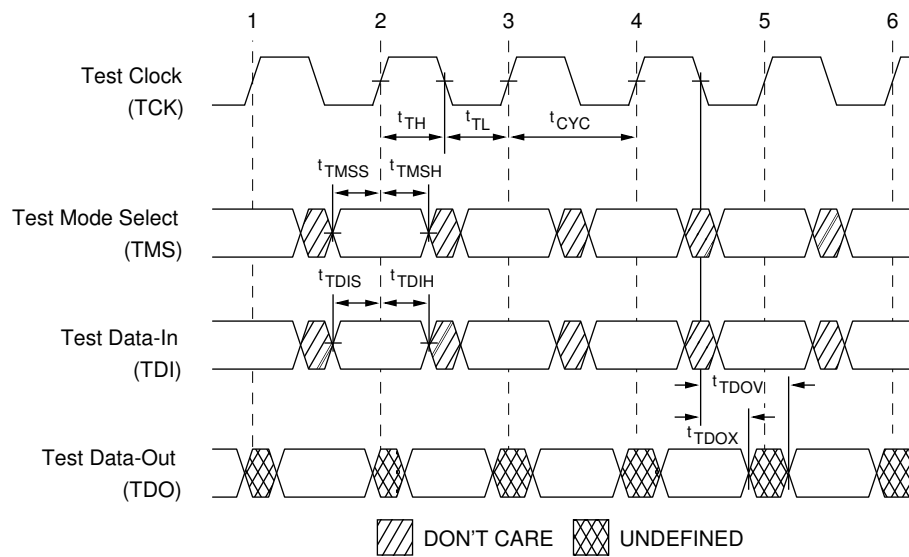


每个状态旁边的 0/1 代表的是 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图



TAP 时序



TAP 交流开关特性

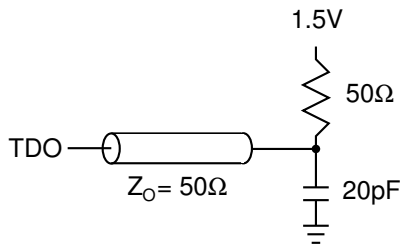
在工作范围内

参数 ^[10,11]	说明	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	—	ns
t_{TF}	TCK 时钟频率	—	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	—	ns
t_{TL}	TCK 时钟为低电平的时间	20	—	ns
输出时间				
t_{DOV}	从 TCK 时钟为低到 TDO 有效的时间	—	10	ns
t_{DOX}	从 TCK 时钟为低到 TDO 无效的时间	0	—	ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{CS}	从捕获建立到 TCK 上升沿的时间	5	—	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后的 TMS 保持时间	5	—	ns
t_{TDIH}	时钟上升沿之后的 TDI 保持时间	5	—	ns
t_{CH}	时钟上升沿之后的捕获保持时间	5	—	ns

3.3 V TAP 交流测试条件

输入脉冲电平 V_{SS} 到 3.3 V
输入上升和下降时间（转换速率） 2 V/ns
输入时序参考电压 1.5 V
输出参考电压 1.25 V
测试负载终端供电电压 1.5 V

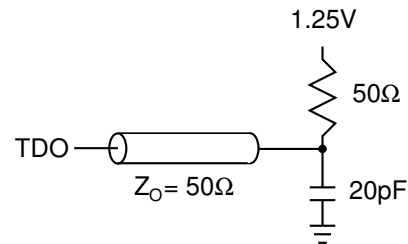
3.3 V TAP 交流输出负载等效



2.5 V TAP 交流测试条件

输入脉冲电平 V_{SS} 到 2.5 V
输入上升和下降时间（转换速率） 2 V/ns
输入时序参考电压 1.25 V
输出参考电压 1.25 V
测试负载终端供电电压 1.25 V

2.5 V TAP 交流输出负载等效



注释:

10. t_{CS} 和 t_{CH} 表示要求的从边界扫描寄存器锁存数据开始计时的建立和保持时间。
11. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。 $t_P/t_F = 2$ V/ns（转换速率）。

TAP 直流电气特性与工作条件

(除非另有说明, 否则其工作条件为: $0\text{ }^{\circ}\text{C} < T_A < +70\text{ }^{\circ}\text{C}$; $V_{DD} = 3.135 \sim 3.6\text{ V}$)

参数 ^[12]	说明	测试条件		最小值	最大值	单位
V _{OH1}	高电压输出	I _{OH} = −4.0 mA, V _{DDQ} = 3.3 V		2.4	—	V
		I _{OH} = −1.0 mA, V _{DDQ} = 2.5 V		2.0	—	V
V _{OH2}	高电压输出	I _{OH} = −100 μA	V _{DDQ} = 3.3 V	2.9	—	V
			V _{DDQ} = 2.5 V	2.1	—	V
V _{OL1}	低电压输出	I _{OL} = 8.0 mA	V _{DDQ} = 3.3 V	—	0.4	V
		I _{OL} = 1.0 mA	V _{DDQ} = 2.5 V	—	0.4	V
V _{OL2}	低电压输出	I _{OL} = 100 μA	V _{DDQ} = 3.3 V	—	0.2	V
			V _{DDQ} = 2.5 V	—	0.2	V
V _{IH}	高电压输入		V _{DDQ} = 3.3 V	2.0	V _{DD} + 0.3	V
			V _{DDQ} = 2.5 V	1.7	V _{DD} + 0.3	V
V _{IL}	低电压输入		V _{DDQ} = 3.3 V	−0.3	0.8	V
			V _{DDQ} = 2.5 V	−0.3	0.7	V
I _X	输入负载电流	GND ≤ V _{IN} ≤ V _{DDQ}		−5	5	μA

标识寄存器定义

指令字段	CY7C1440KV33 (1 M × 36)	说明
版本编号 (31:29)	000	描述版本编号。
器件深度 (28:24) [13]	01011	保留，以供内部使用
架构 / 存储器类型 (23:18)	000000	定义存储器类型和架构
总线宽度 / 容量 (17:12)	100111	定义总线的宽度和容量
赛普拉斯 JEDEC ID 代码 (11:1)	00000110100	允许对 SRAM 供应商使用唯一标识。
ID 寄存器存在指示符 (0)	1	表示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小 (× 36)
指令	3
旁路	1
ID	32
边界扫描顺序 (165 球形焊盘 FBGA 封装)	89

标识代码

指令	代码	说明
EXTEST	000	捕捉 I/O 环内容。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中，并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕捉 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出驱动器均进入高阻态。
RESERVED	011	请勿使用：该指令留给将来使用。
SAMPLE/PRELOAD	100	捕捉 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用：该指令留给将来使用。
RESERVED	110	请勿使用：该指令留给将来使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

注释：

12. 所有电压都参考 V_{SS} （接地）电压。

13. 对于该器件的 2.5 V 和 3.3 V 版本，在 ID 寄存器定义中，位 #24 为“1”。

边界扫描顺序

165 球形焊盘 FBGA [14, 15]

CY7C1440KV33 (1 M × 36)

位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID
1	N6	26	E11	51	A3	76	N1
2	N7	27	D11	52	A2	77	N2
3	N10	28	G10	53	B2	78	P1
4	P11	29	F10	54	C2	79	R1
5	P8	30	E10	55	B1	80	R2
6	R8	31	D10	56	A1	81	P3
7	R9	32	C11	57	C1	82	R3
8	P9	33	A11	58	D1	83	P2
9	P10	34	B11	59	E1	84	R4
10	R10	35	A10	60	F1	85	P4
11	R11	36	B10	61	G1	86	N5
12	H11	37	A9	62	D2	87	P6
13	N11	38	B9	63	E2	88	R6
14	M11	39	C10	64	F2	89	内部
15	L11	40	A8	65	G2		
16	K11	41	B8	66	H1		
17	J11	42	A7	67	H3		
18	M10	43	B7	68	J1		
19	L10	44	B6	69	K1		
20	K10	45	A6	70	L1		
21	J10	46	B5	71	M1		
22	H9	47	A5	72	J2		
23	H10	48	A4	73	K2		
24	G11	49	B4	74	L2		
25	F11	50	B3	75	M2		

注释:

14. NC (未连接) 的接口被预设为低电平。
15. 位 #89 被预设为高电平。

最大额定值

超过最大额定值时，会缩短器件的使用寿命。用户指南未经过测试。

存放温度 -65 °C ~ +150 °C
 通电状态下的环境温度 -55 °C ~ +125 °C
 V_{DD} 上相对于 GND 的供电电压 -0.3 V ~ +4.6 V
 V_{DDQ} 上相对于 GND 的供电电压 -0.3 V ~ + V_{DD}
 应用于三态模式下的输出直流电压 -0.5 V ~ $V_{DDQ} + 0.5$ V
 直流输入电压 -0.5 V ~ $V_{DD} + 0.5$ V
 输出电流（低电平） 20 mA
 静电放电电压
 （根据 MIL-STD-883，方法 3015） > 2001 V
 闩锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C ~ +70 °C	3.3 V – 5% / + 10%	2.5 V – 5% 至 V_{DD}
工业级	-40 °C ~ +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的器件)	逻辑单比特错误	25 °C	197	216	FIT/Mb
LSBU (带 ECC 的器件)			0	0.01	FIT/Mb
LMBU (所有器件)	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL (所有器件)	单粒子闩锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件；该列为统计得出的 χ^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 [AN 54908](#)“加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 ^[17, 18]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	高电压输出	3.3 V I/O, $I_{OH} = -4.0$ mA	2.4	–	V
		2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	–	V
V_{OL}	低电压输出	3.3 V I/O, $I_{OL} = 8.0$ mA	–	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	–	0.4	V
V_{IH}	高电压输入 ^[17]	3.3 V I/O	2.0	$V_{DD} + 0.3$ V	V
		2.5 V I/O	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	低电压输入 ^[17]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_X	输入漏电流（ZZ 和 MODE 除外）	$GND \leq V_I \leq V_{DDQ}$	-5	5	μ A
	MODE 的输入电流	输入 = V_{SS}	-30	–	μ A
		输入 = V_{DD}	–	5	μ A
	ZZ 的输入电流	输入 = V_{SS}	-5	–	μ A
		输入 = V_{DD}	–	30	μ A
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-5	5	μ A

注释：

17. 过冲（overshoot）： $V_{IH}(AC) < V_{DD} + 1.5$ V（脉冲宽度小于 $t_{CYC}/2$ ），下冲（undershoot）： $V_{IL}(AC) > -2$ V（脉冲宽度小于 $t_{CYC}/2$ ）。

18. $T_{Power-up}$ ：假设在 200 ms 内，线性斜坡从 0 V 到 $V_{DD}(min)$ 。在此期间， $V_{IH} < V_{DD}$ 且 $V_{DDQ} \leq V_{DD}$ 。

电气特性（续）

在工作范围内

参数 ^[17, 18]	说明	测试条件			最小值	最大值	单位
I _{DD}	V _{DD} 工作供电电流	V _{DD} = 最大值, I _{OUT} = 0 mA, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	220	mA
				× 36	—	240	
			6 ns 周期, 167 MHz	× 36	—	190	mA
I _{SB1}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36	—	90	
			6 ns 周期, 167 MHz	× 36	—	90	mA
I _{SB2}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 未选中器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = 0	所有速度	× 18	—	75	mA
				x36	—	80	
I _{SB3}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 器件未选中, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36		90	
			6 ns 周期, 167 MHz	× 36	—	90	mA
I _{SB4}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 器件未选中, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = 0	所有速度	×18	—	75	mA
				× 36	—	80	

电容值

参数 ^[19]	说明	测试条件	100 引脚 TQFP 最大值	165 球形焊盘 FBGA 最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	5	pF
C_{CLK}	时钟输入电容		5	5	pF
$C_{I/O}$	输入 / 输出电容		5	5	pF

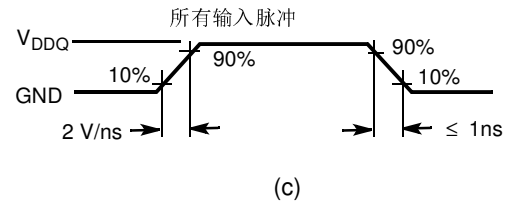
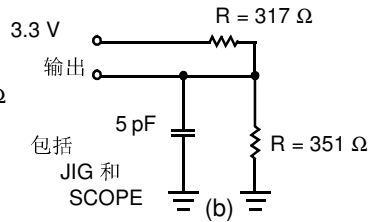
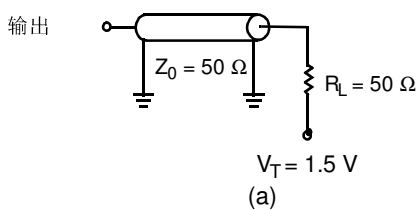
热电阻

参数 ^[19]	说明	测试条件		100 引脚 TQFP 封装	165 球形焊盘 FBGA 封装	单位
Θ_{JA}	热阻 （结至环境）	根据EIA/JESD51的要求，测试条件遵循测试热阻的标准测试方法和过程。	与静止空气中 （0 米 / 秒）	35.36	14.24	℃/W
			用空气流量 （1 米 / 秒）	31.30	12.47	
			用空气流量 （3 米 / 秒）	28.86	11.40	
Θ_{JC}	热阻 （结至外壳）			7.52	3.92	
Θ_{JB}	热阻 （结到板）			28.89	7.19	

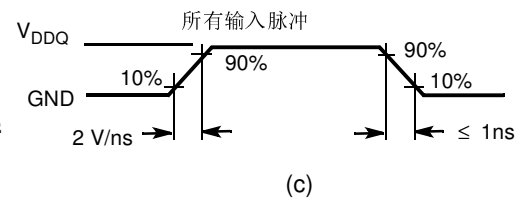
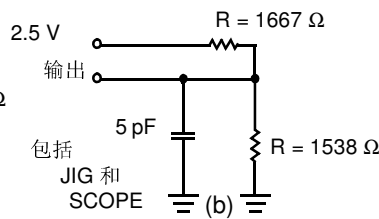
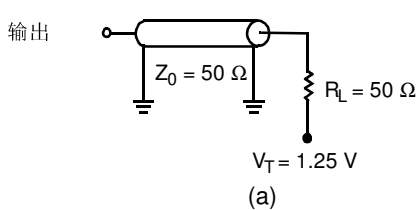
交流测试负载和波形

图 3. 交流测试负载和波形

3.3 V I/O 测试负载



2.5 V I/O 测试负载



注释:

19. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。

开关特性

在工作范围内

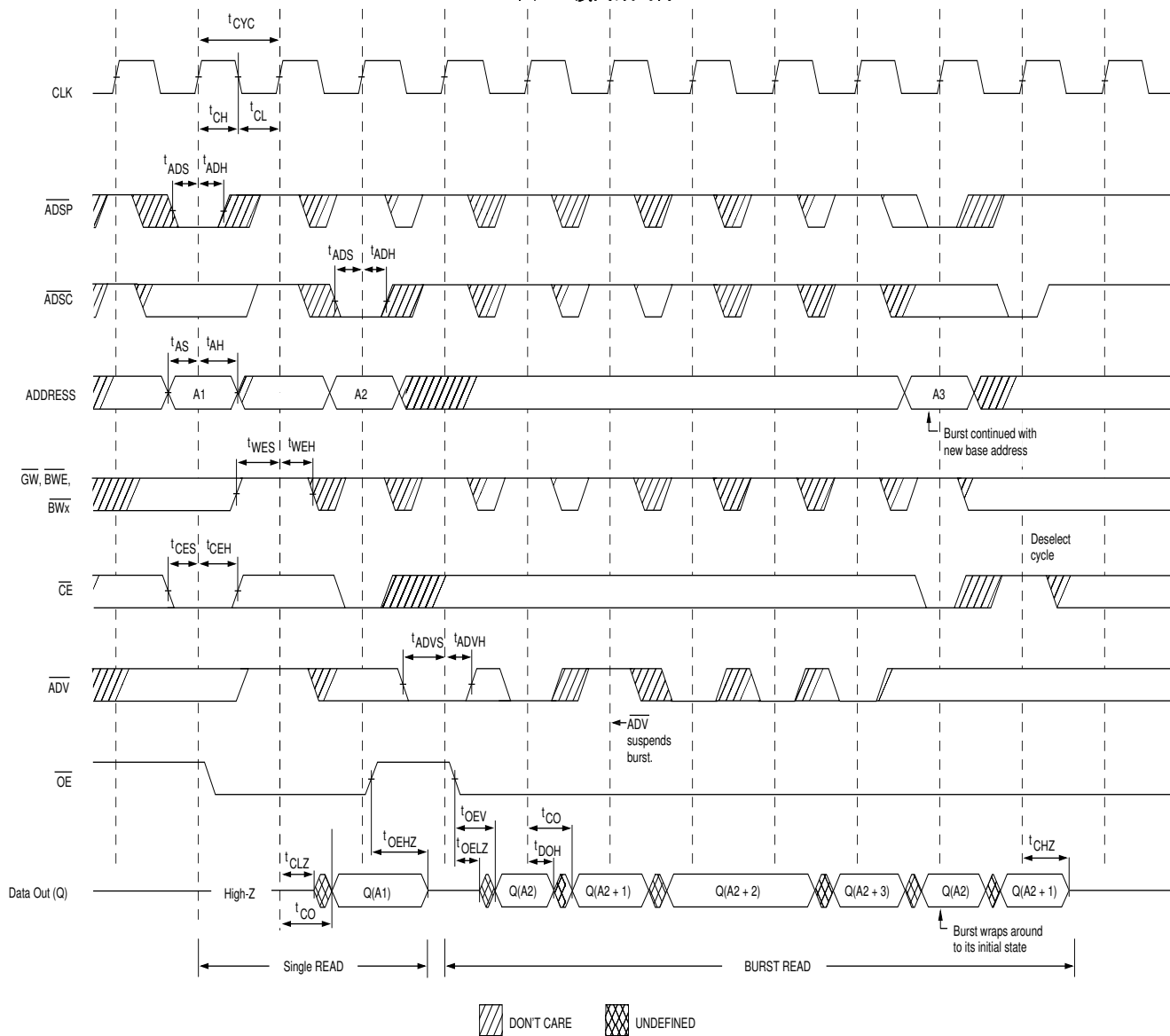
参数 ^[20, 21]	说明	-250		-167		单位
		最小值	最大值	最小值	最大值	
t_{POWER}	从 V_{DD} （典型值）到第一次访问的时长 ^[22]	1	—	1	—	ms
时钟						
t_{CYC}	时钟周期时间	4.0	—	6	—	ns
t_{CH}	时钟为高电平的时间	1.5	—	2.4	—	ns
t_{CL}	时钟为低电平的时间	1.5	—	2.4	—	ns
输出时间						
t_{CO}	CLK 上升沿到数据输出有效的时间	—	2.5	—	3.4	ns
t_{DOH}	CLK 上升沿后数据输出的保持时间	1.0	—	1.5	—	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[23, 24, 25]	1.0	—	1.5	—	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[23, 24, 25]	—	2.6	—	3.4	ns
$t_{OE\overline{V}}$	\overline{OE} 为低电平到输出有效的时间	—	2.6	—	3.4	ns
$t_{OE\overline{LZ}}$	\overline{OE} 为低电平到输出为低阻态的时间 ^[23, 24, 25]	0	—	0	—	ns
$t_{OE\overline{HZ}}$	\overline{OE} 为高电平到输出为高阻态的时间 ^[23, 24, 25]	—	2.6	—	3.4	ns
建立时间						
t_{AS}	CLK 上升沿前的地址建立时间	1.2	—	1.5	—	ns
t_{ADS}	CLK 上升沿前的 \overline{ADSC} 、 \overline{ADSP} 建立时间	1.2	—	1.5	—	ns
t_{ADVS}	CLK 上升沿前的 \overline{ADV} 建立时间	1.2	—	1.5	—	ns
t_{WES}	CLK 上升沿前的 \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X 建立时间	1.2	—	1.5	—	ns
t_{DS}	CLK 上升沿前的数据输入建立时间	1.2	—	1.5	—	ns
t_{CES}	CLK 上升沿前的芯片使能建立时间	1.2	—	1.5	—	ns
保持时间						
t_{AH}	CLK 上升沿后的地址保持时间	0.3	—	0.5	—	ns
t_{ADH}	CLK 上升沿后的 \overline{ADSP} 、 \overline{ADSC} 保持时间	0.3	—	0.5	—	ns
t_{ADVH}	CLK 上升沿后的 \overline{ADV} 保持时间	0.3	—	0.5	—	ns
t_{WEH}	CLK 上升沿过后 \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X 保持的时间	0.3	—	0.5	—	ns
t_{DH}	CLK 上升沿后数据输入的保持时间	0.3	—	0.5	—	ns
t_{CEH}	CLK 上升沿过后芯片使能的保持时间	0.3	—	0.5	—	ns

注释:

20. $V_{DDQ} = 3.3\text{ V}$ 时, 时序参考电压为 1.5 V ; $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V 。
21. 除非另有说明, 否则测试条件都显示在 AC 测试负载的 (a) 内。
22. 该器件内部拥有一个电压调节器; t_{POWER} 是指启动读操作或写操作前提供的电源必须高于 V_{DD} (最小值) 所持续的时间。
23. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\overline{LZ}}$ 以及 $t_{OE\overline{HZ}}$ 都在第 22 页上的图 3 的 (b) 情况所示的交流电测试条件下指定的。跃变在稳定状态电压 $\pm 200\text{ mV}$ 的条件下测量。
24. 在任何给定的电压和温度中, $t_{OE\overline{HZ}}$ 小于 $t_{OE\overline{LZ}}$, t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除总线冲突。这些规范并不表示一个总线冲突条件, 但反映了在最坏的情况下得到保证的参数。设计器件是为了在同一个系统条件下进入低阻状态前处于高阻状态。
25. 该参数定期采样, 并非 100% 经过了测试。

AC 开关波形

图 4. 读周期时序^[26]

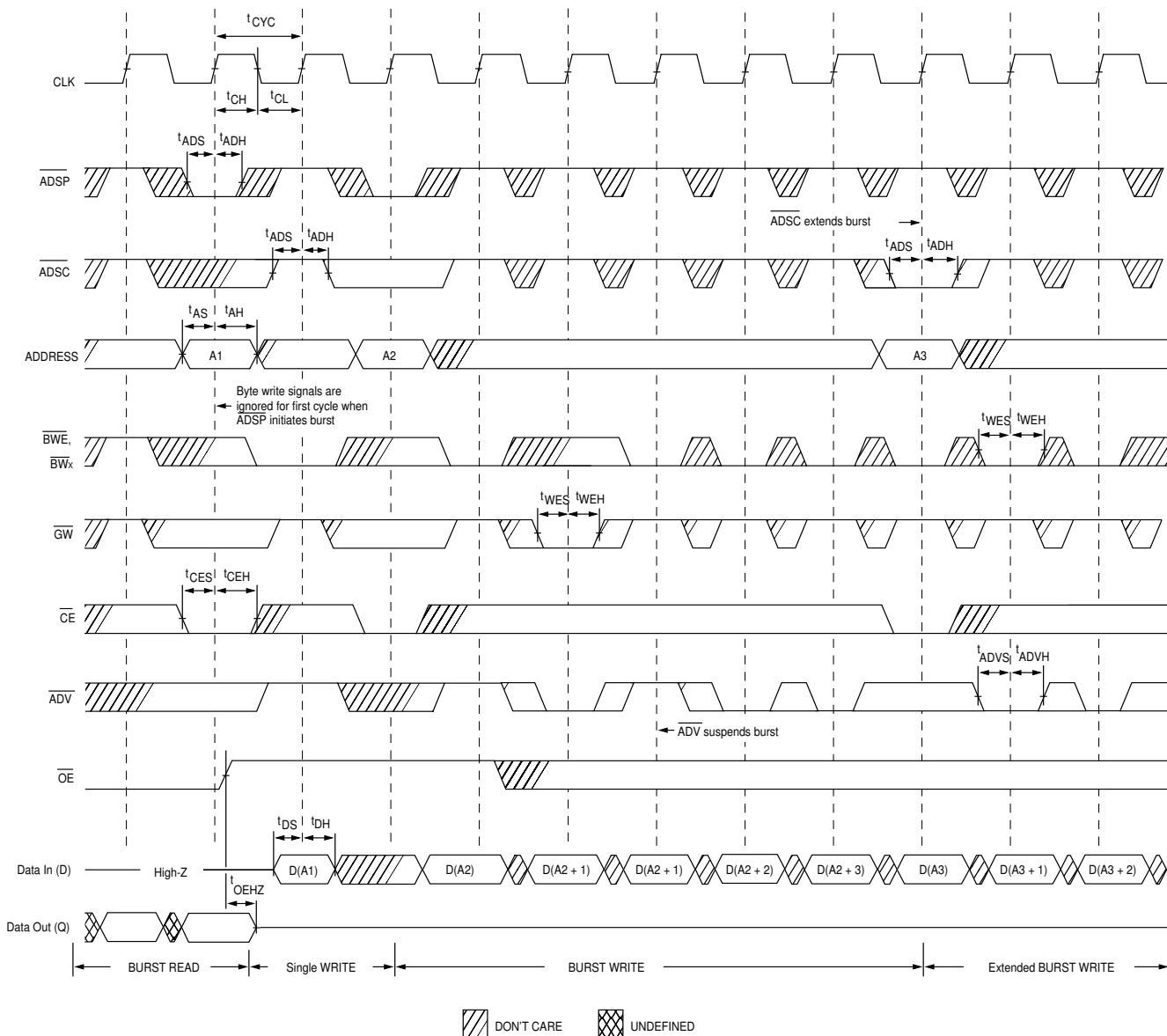


注释:

26. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 和 \overline{CE}_3 均为低电平, 而 CE_2 为高电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平, 或 \overline{CE}_3 为高电平, CE_2 为低电平。

AC 开关波形（续）

图 5. 写周期时序 [27, 28]



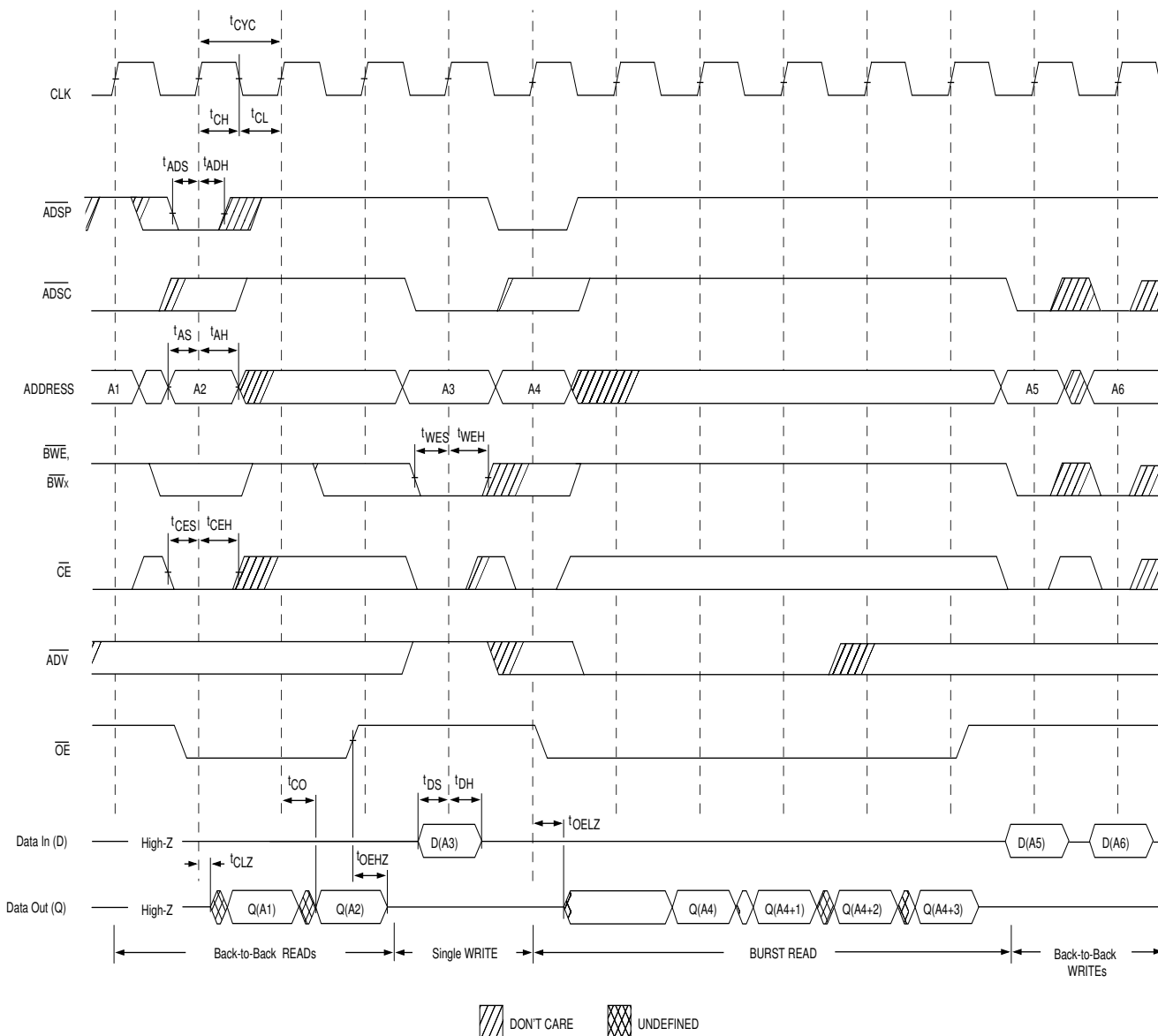
注释:

27. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 和 \overline{CE}_3 为低电平, CE_2 为高电平。当 \overline{CE} 为高电平时: \overline{CE}_1 或 \overline{CE}_3 为高电平, 或 CE_2 为低电平。

28. 通过将 \overline{GW} 设为低电平, 或将 \overline{GW} 设为高电平、将 \overline{BWE} 以及 \overline{BW}_x 设为低电平, 可以启动全宽写周期。

AC 开关波形 (续)

图 6. 读 / 写周期时序 [29, 30, 31]



注释:

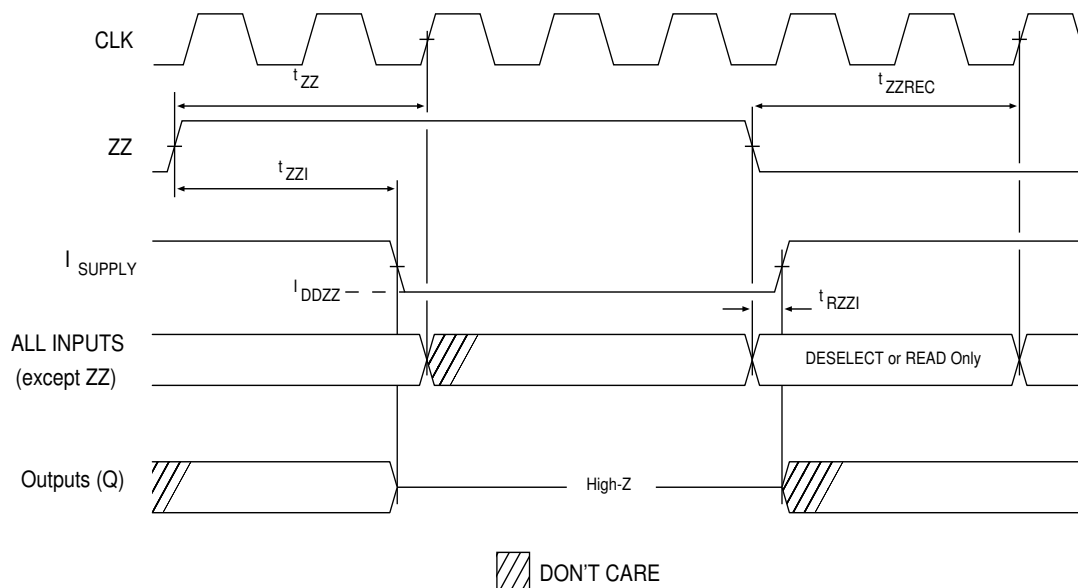
29. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平以及 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 或 \overline{CE}_3 为高电平, 或 CE_2 为低电平。

30. 如果一个新读取访问不是由 ADSP 或 ADSC 启动的, 则发生写周期后, 数据总线 (Q) 一直处于高阻态。

31. GW 为高电平。

AC 开关波形 (续)

图 7. ZZ 模式时序 [32, 33]



注释:

32. 进入 ZZ 模式时, 必须取消选择该器件。有关取消选择器件的所有可能信号条件, 请参考周期说明表。
33. 退出 ZZ 睡眠模式时, DQ 处于高阻态。

订购信息

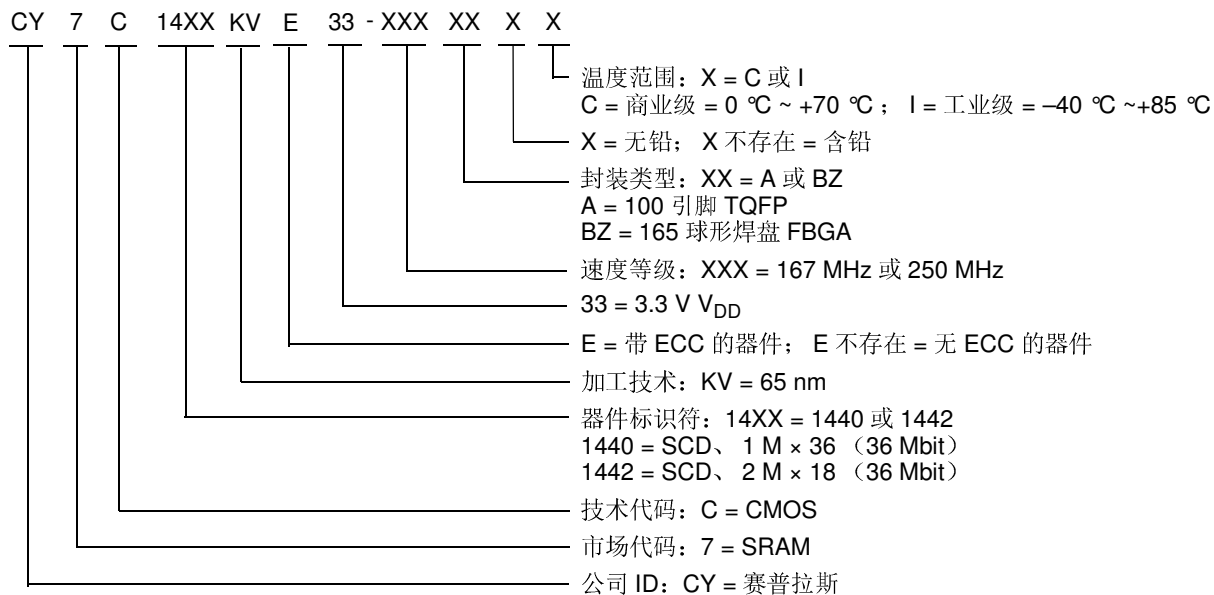
赛普拉斯提供此类型产品的其他版本，可使用不同的配置和功能。下表仅包含目前可以供应的器件列表。

有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

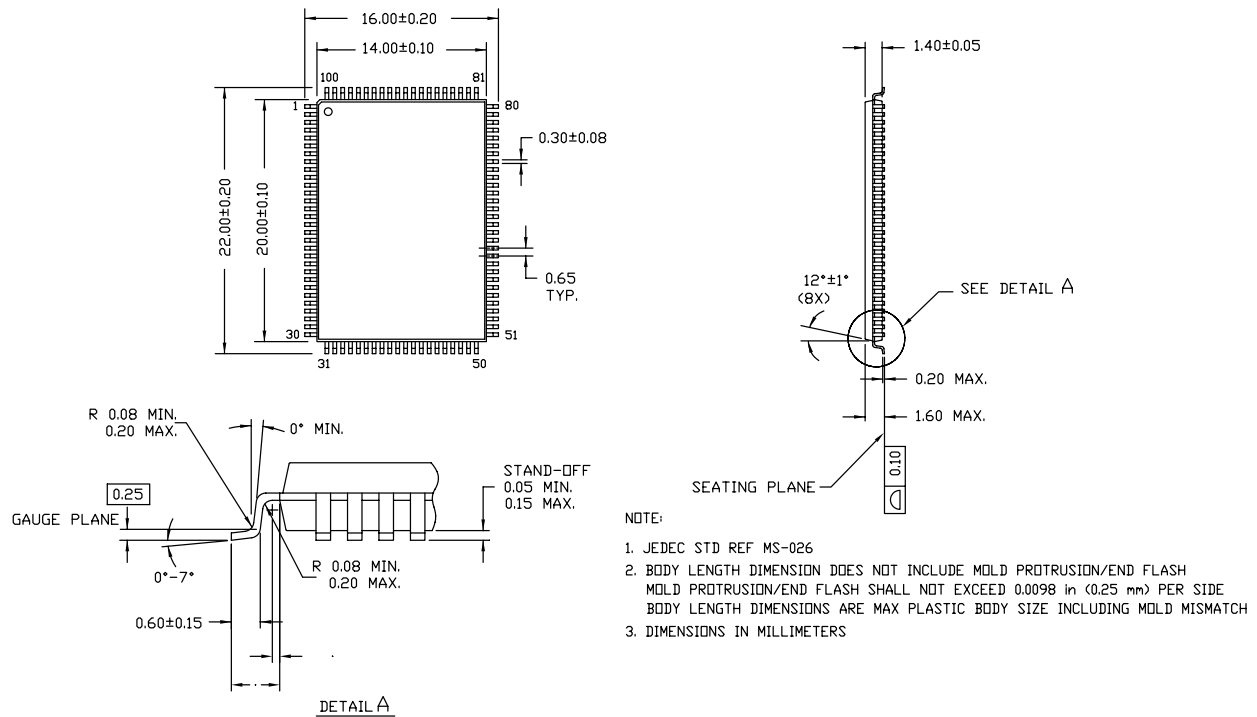
速度 (MHz)	订购代码	封装框图	器件和封装类型	工作范围
250	CY7C1440KV33-250AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1440KV33-250BZXI	51-85195	165 球形焊盘 FBGA (15 × 17 × 1.4 mm) 无铅	工业级
	CY7C1442KV33-250AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
167	CY7C1440KV33-167AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1440KVE33-167AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	

订购代码定义



封装图

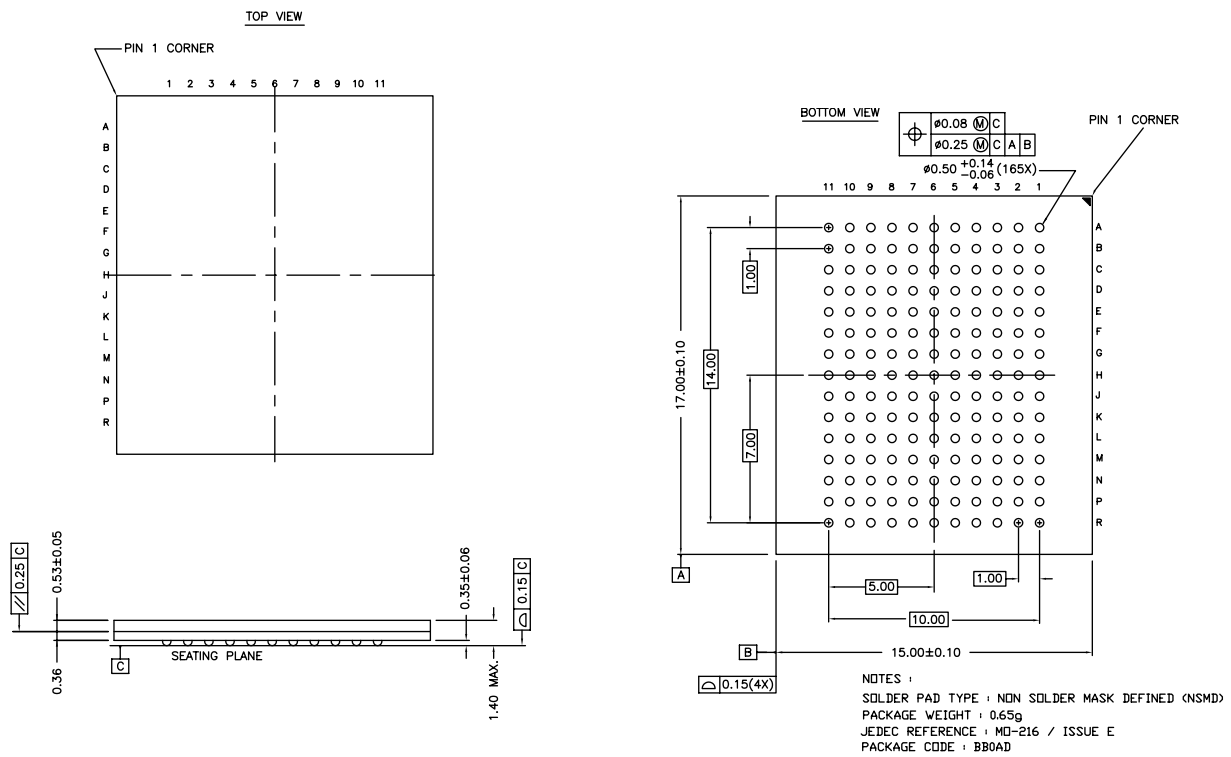
图 8. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

封装图 (续)

图 9. 165 球形焊盘 (15 × 17 × 1.4 mm (0.5 球形焊盘直径)) 封装外形, 51-85195



51-85195 *D

缩略语

缩略语	说明
CE	芯片使能
$\overline{\text{CEN}}$	时钟使能
CMOS	互补金属氧化物半导体
FBGA	小间距球栅阵列
I/O	输入 / 输出
JTAG	联合测试行动小组
NoBL	无总线延迟
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
TQFP	薄型四方扁平封装
$\overline{\text{WE}}$	写入使能
ECC	纠错码

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1440KV33/CY7C1442KV33/CY7C1440KVE33, 36 Mbit (1 M × 36/2 M × 18) 流水线 (pipeline) 同步 SRAM (带 ECC) 文档编号: 001-96005				
版本	ECN 编号	发布日期	变更者	变更说明
**	4652271	02/05/2014	LYAO	本文档版本号为 Rev**, 译自英文版 001-66676 Rev*D。
A	4717375	04/08/2015	PRIT	转为最终文档 英语 001-66676 E 翻译成中国 001-96005 规格

销售、解决方案和法律信息

全球销售和 Design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可证的限制。