



CY7C1381KV33/CY7C1381KVE33
CY7C1383KV33/CY7C1383KVE33

18M ビット (512K × 36/1M × 18)
フロースルー SRAM (ECC 付き)

特長

- 133MHz バス動作
- 512K × 36 および 1M × 18 共通 I/O
- 3.3V コア電源 (V_{DD})
- 2.5V、3.3V I/O 電源 (V_{DDQ})
- 高速なクロック→出力時間
 - 6.5ns (133MHz バージョン)
- 高性能 2-1-1-1 アクセス速度を提供
- インターリープまたはリニア バースト シーケンスに対応するユーザー選択可能バースト カウンター
- 独立したプロセッサとコントローラー アドレスストローブ
- セルフタイム同期書き込み
- 非同期出力イネーブル
- CY7C1381KV33/CY7C1381KVE33 は、JEDEC 標準の鉛フリー 100 ピン TQFP と鉛フリー 165 ボール FBGA パッケージで入手可能。CY7C1383KV33/CY7C1383KVE33 は、JEDEC 標準の鉛フリー 100 ピン TQFP で提供
- IEEE 1149.1 JTAG 準拠のバウンダリスキャン
- ZZ スリープ モード オプション
- ソフト エラー レート (SER) を低減するためのエラー訂正コード (ECC) を内蔵

機能の詳細説明

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 は、3.3V、512K ビット × 36 と 1M ビット × 18 同期フロースルー SRAM で、最小のグローロジックを介して高速マイクロプロセッサに通信できるよう設計されています。クロックの立ち上がりからの最大アクセス遅延は 6.5ns (133MHz のデバイス バージョン) です。2 ビットの内蔵カウンターは、バースト シーケンスで最初のアドレスを取り込んで、残りのバーストアクセスでは自動的にアドレスをインクリメントします。すべての同期入力は、ポジティブ エッジでトリガされるクロック入力 (CLK) で制御したレジスタにより、ゲート制御されます。同期入力は、すべてのアドレス、すべてのデータ入力、アドレスパイプライン チップ イネーブル (\overline{CE}_1)、深度拡張チップ イネーブル (\overline{CE}_2 、 \overline{CE}_3)、バースト制御入力 (\overline{ADSC} 、 \overline{ADSP} 、 \overline{ADV})、書き込みイネーブル (\overline{BW}_x 、 \overline{BWE})、およびグローバル書き込み (\overline{GW}) を含みます。非同期入力は出力イネーブル (\overline{OE}) 信号と ZZ ピンです。

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 は、MODE 入力ピンで選択するインターリープとリニア バースト シーケンスの両方にに対応します。このピンを HIGH にするとインターリープ バースト シーケンスが選択され、LOW にするとリニア バースト シーケンスが選択されます。バースト アクセスは、プロセッサ アドレスストローブ (\overline{ADSP}) またはキャッシュ コントローラー アドレスストローブ (\overline{ADSC}) 入力で開始できます。アドレスの増加は、アドレス増加 (\overline{ADV}) 入力で制御されます。

アドレスストローブ プロセッサ (\overline{ADSP}) またはアドレスストローブ コントローラー (\overline{ADSC}) がアクティブになると、アドレスとチップ イネーブルはクロックの立ち上がりエッジで読み込まれます。後続バーストアドレスは、アドバンス ピン (\overline{ADV}) の制御によって内部的に生成できます。

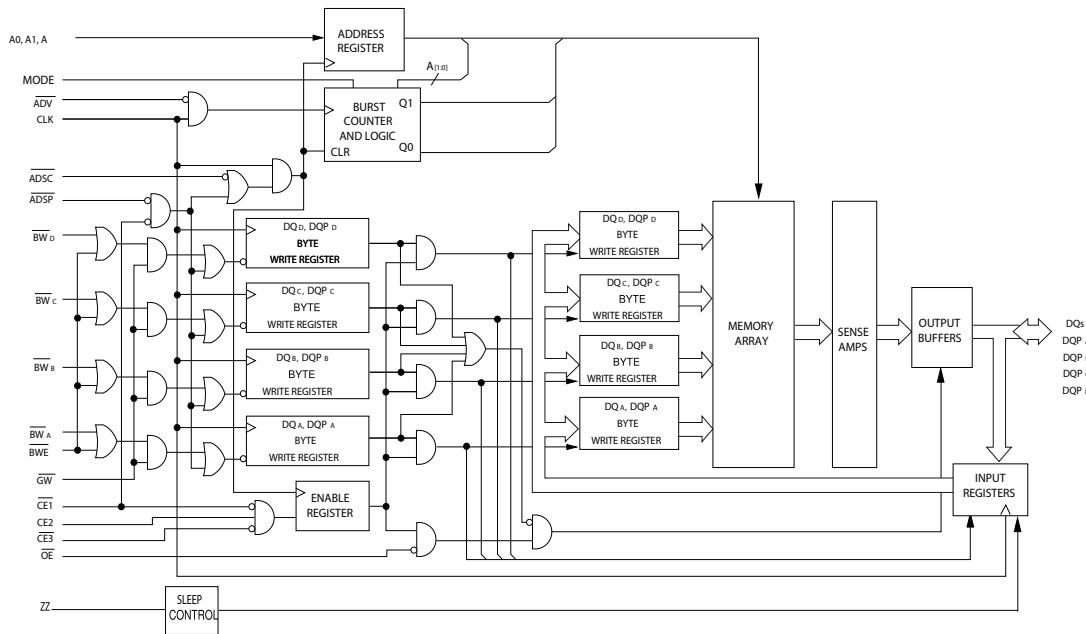
CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 は、+3.3V のコア電源で動作しますが、すべての出力は +2.5V または +3.3V 電源で動作します。すべての入力と出力は JEDEC 標準規格で、JESD8-5 に準拠しています。

セレクション ガイド

説明	133MHz	100MHz	単位
最大アクセス時間	6.5	8.5	ns
最大動作電流	×18	129	mA
	×36	149	mA

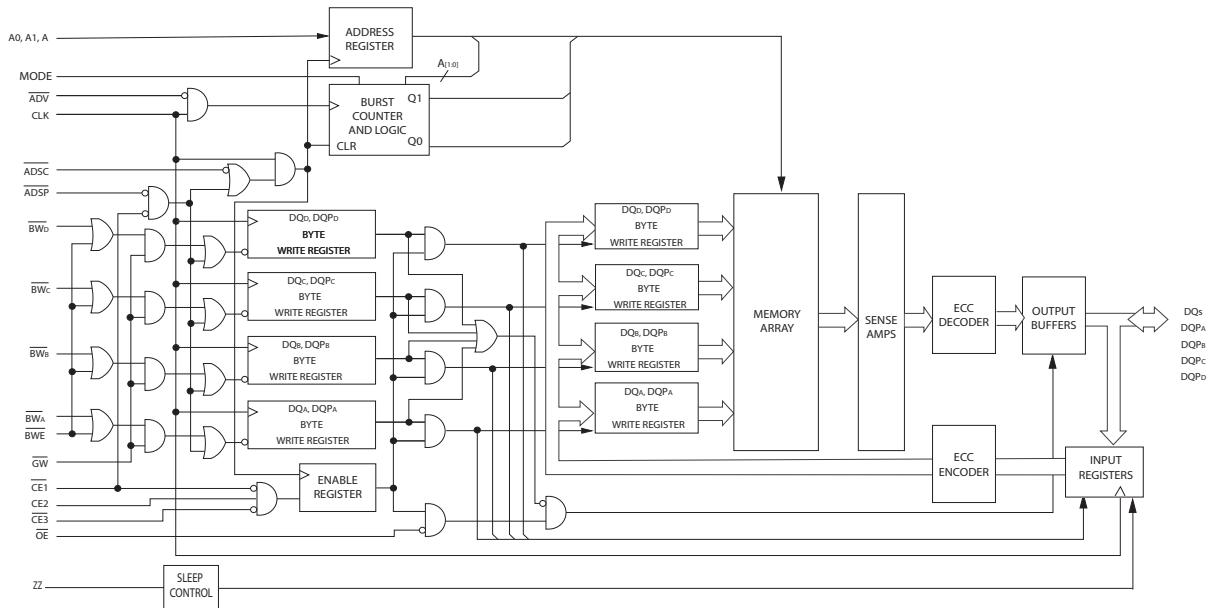
論理ブロック図 – CY7C1381KV33

(512K × 36)



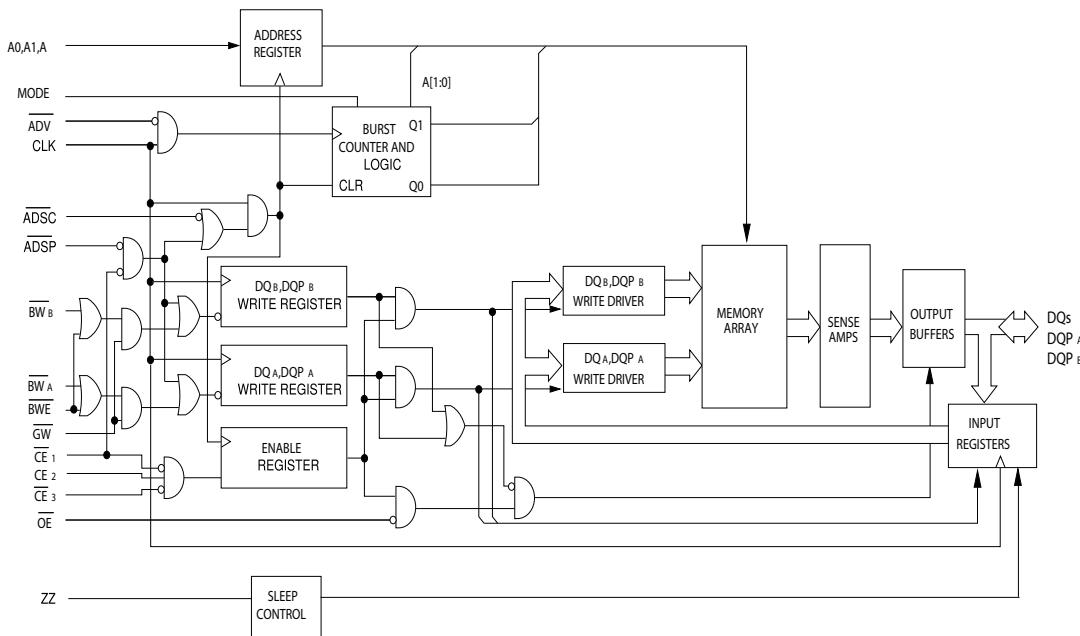
論理ブロック図 – CY7C1381KVE33

(512K × 36)



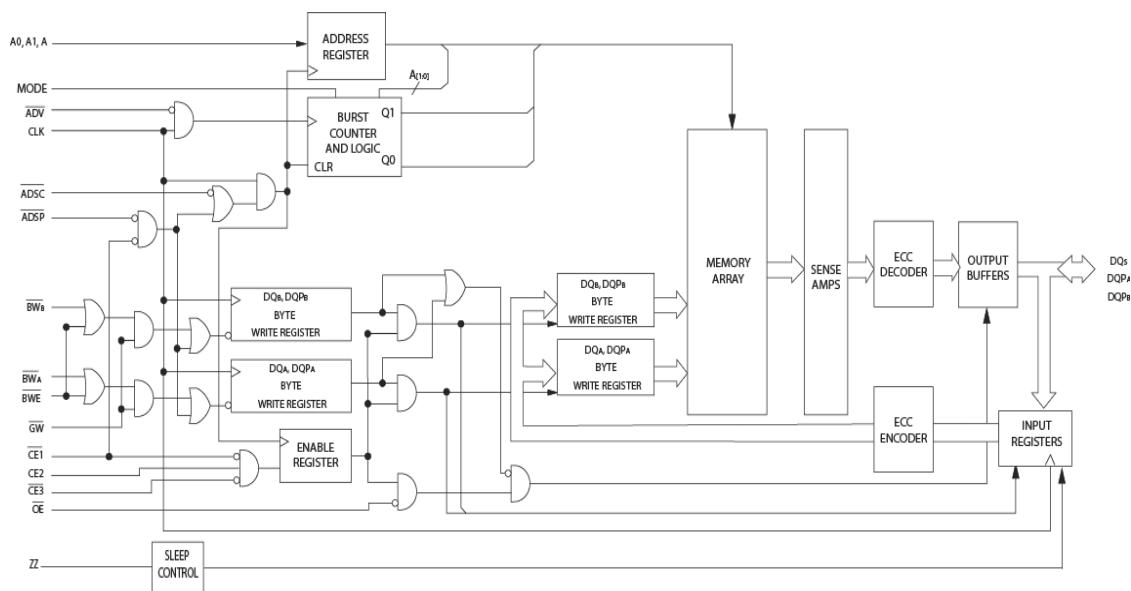
論理ブロック図 – CY7C1383KV33

(1M × 18)



論理ブロック図 – CY7C1383KVE33

(1M × 18)



目次

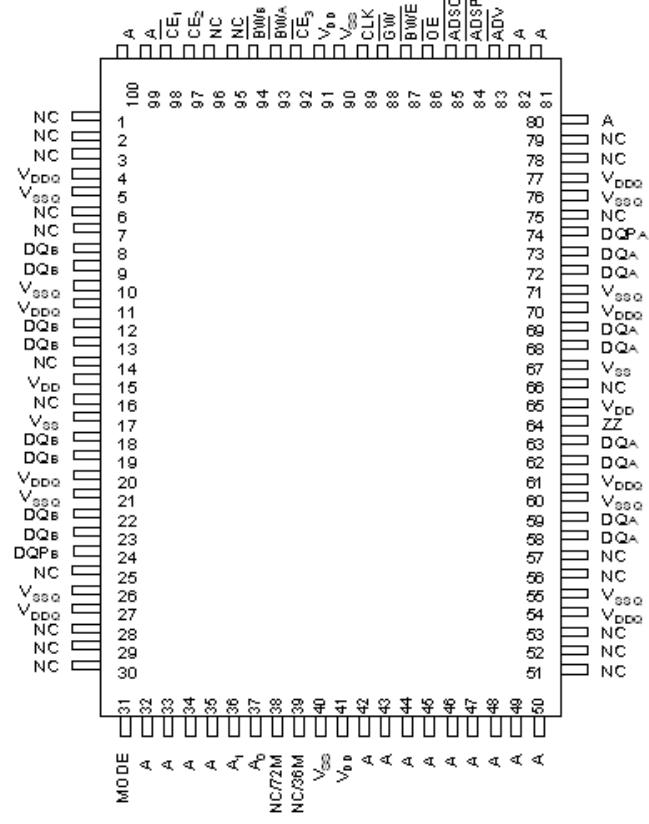
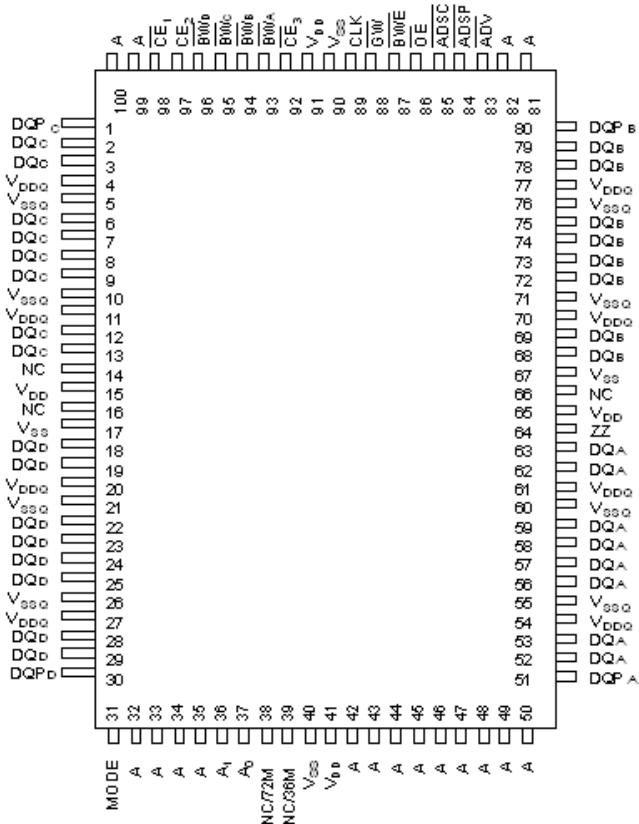
ピン配置	5	TAP DC 電気的特性と動作条件	18
ピン定義	7	ID レジスタの定義	19
機能の概要	9	スキャン レジスタ サイズ	19
シングル読み出しアクセス	9	命令コード	19
ADSP で開始されるシングル書き込みアクセス	9	バウンダリ スキャン順序	20
ADSC で開始されるシングル書き込みアクセス	9	最大定格	21
バースト シーケンス	9	動作範囲	21
スリープ モード	9	中性子ソフト エラー耐性	21
インターリーブ バースト アドレス表	10	電気的特性	21
リニア バースト アドレス表	10	容量	23
ZZ モード 電気的特性	10	熱抵抗	23
真理値表	11	AC テストの負荷および波形	23
書き込み／読み出しの真理値表	12	スイッチング特性	24
書き込み／読み出しの真理値表	12	タイミング図	25
IEEE 1149.1シリアル バウンダリ スキャン (JTAG)	13	注文情報	29
JTAG 機能の無効化	13	注文コードの定義	29
テスト アクセス ポート (TAP)	13	パッケージ図	30
TAP リセットの実行	13	略語	32
TAP レジスタ	13	本書の表記法	32
TAP 命令セット	14	測定単位	32
TAP コントローラー状態図	15	改訂履歴	33
TAP コントローラーのブロック図	16	セールス、ソリューションおよび法律情報	34
TAP タイミング	17	ワールドワイド販売と設計サポート	34
TAP AC スイッチング特性	17	製品	34
3.3V TAP AC テスト条件	18	PSoC® ソリューション	34
3.3V TAP AC 出力負荷の等価回路	18	サイプレス開発者コミュニティ	34
2.5V TAP AC テスト条件	18	テクニカル サポート	34
2.5V TAP AC 出力負荷の等価回路	18		

ピン配置

図1. 100ピンTQFP(14×20×1.4mm)ピン配置(3チップイネーブル)

CY7C1381KV33/CY7C1381KVE33 (512K x 36)

CY7C1383KV33/CY7C1383KVE33 (1M x 18)



ピン配置(続き)
図 2. 165 ポール FBGA (13 × 15 × 1.4mm) ピン配置 (3 チップ イネーブル)
CY7C1381KV33 (512K × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	\overline{CE}_1	\overline{BW}_C	\overline{BW}_B	\overline{CE}_3	\overline{BWE}	\overline{ADSC}	\overline{ADV}	A	NC
B	NC/144M	A	CE2	\overline{BW}_D	\overline{BW}_A	CLK	\overline{GW}	\overline{OE}	\overline{ADSP}	A	NC/576M
C	DQP _C	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC/1G	DQP _B	
D	DQ _C	DQ _C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _B	DQ _B	
E	DQ _C	DQ _C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _B	DQ _B	
F	DQ _C	DQ _C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _B	DQ _B	
G	DQ _C	DQ _C	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _B	DQ _B	
H	NC	NC	NC	V_{DD}	V_{SS}	V_{SS}	V_{DD}	NC	NC	ZZ	
J	DQ _D	DQ _D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _A	DQ _A	
K	DQ _D	DQ _D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _A	DQ _A	
L	DQ _D	DQ _D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _A	DQ _A	
M	DQ _D	DQ _D	V_{DDQ}	V_{DD}	V_{SS}	V_{SS}	V_{DD}	V_{DDQ}	DQ _A	DQ _A	
N	DQP _D	NC	V_{DDQ}	V_{SS}	NC	A	NC	V_{SS}	V_{DDQ}	NC	DQP _A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	NC/36M	A	A	TMS	A0	TCK	A	A	A	A

ピン定義

ピン名	I/O	説明
A ₀ 、A ₁ 、A	入力 同期	アドレス位置の1つを選択するために使用されるアドレス入力。 <u>ADSP</u> または <u>ADSC</u> がアクティブLOWであり、CE ₁ 、CE ₂ 、CE ₃ がアクティブの時にサンプリングされた場合、CLKの立ち上がりエッジでサンプリング。A _[1:0] は2ビットカウンターに供給
BW _A 、BW _B 、 BW _C 、BW _D	入力 同期	バイト書き込み選択入力、アクティブLOW。SRAMへのバイト書き込みを実行するためにBWEで有効にする。CLKの立ち上がりエッジでサンプリング
GW	入力 同期	グローバル書き込みイネーブル入力、アクティブLOW。CLKの立ち上がりエッジでLOWにアサートされた時、グローバル書き込みが実行される(BW _[A:D] とBWE上の値にかかわらず、すべてのバイトはかきこまれる)
CLK	入力 クロック	クロック入力。デバイスへのすべての同期入力を取り込むために使用。バースト処理中に、ADVがLOWにアサートされるとバーストカウンターをインクリメントするためにも使用
CE ₁	入力 同期	チップイネーブル1入力、アクティブLOW。CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除するためにCE ₂ とCE ₃ と併用。CE ₁ がHIGHの場合、ADSPは無視される。CE ₁ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₂	入力 同期	チップイネーブル2入力、アクティブHIGH。CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除のためにCE ₁ とCE ₃ と併用。CE ₂ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₃	入力 同期	チップイネーブル3入力、アクティブLOW。CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除のためにCE ₁ とCE ₂ と併用。CE ₃ は、新しい外部アドレスがロードされた時にのみサンプリング
OE	入力 非同期	出力イネーブル、非同期入力、アクティブLOW。I/Oピンの方向を制御。LOWの場合、I/Oピンは出力として機能。HIGHにデアサートされた時、I/Oピンはトライステートに入り、入力データピンとして機能。OEは、選択解除の状態から移行する時に、読み出しサイクルの最初のクロック中にマスクされる
ADV	入力 同期	アドバンス入力信号。CLKの立ち上がりエッジでサンプリング。アサートされた時、バーストサイクル中に自動的にアドレスをインクリメント
ADSP	入力 同期	プロセッサからのアドレスストローク、CLKの立ち上がりエッジでサンプリング、アクティブLOW。LOWにアサートされた時、デバイスに入力されたアドレスはアドレスレジスタに取り込まれる。A _[1:0] はバーストカウンターにもロードされる。ADSPとADSCの両方がアサートされた時、ADSPのみが認識される。CE ₁ がHIGHにデアサートされた時、ADSPは無視される
ADSC	入力 同期	コントローラーからのアドレスストローク、CLKの立ち上がりエッジでサンプリング、アクティブLOW。LOWにアサートされた時、デバイスに入力されたアドレスはアドレスレジスタに取り込まれる。A _[1:0] はバーストカウンターにもロードされる。ADSPとADSCの両方がアサートされた時、ADSPのみが認識される
BWE	入力 同期	バイト書き込みイネーブル入力、アクティブLOW。CLKの立ち上がりエッジでサンプリング。バイト書き込みシーケンスを実行するためにこの信号をLOWにアサートすることが必要
ZZ	入力 非同期	ZZスリープ入力。このアクティブHIGH入力により、デバイスはデータの統合性が保持されている非タイムクリティカルな「スリープ」状態に入る。通常動作では、このピンをLOWにするか、またはフローティング状態のままにすることが必要。ZZピンは内部プルダウン抵抗に接続
DQ _s	I/O 同期	双方向データI/Oライン。入力として機能している場合、これらのI/Oラインは、CLKの立ち上がりエッジでトリガされるオンチップデータレジスタに供給。出力として機能している場合、読み出しサイクルのひとつ前のクロック立ち上がり中に供給されたアドレスにより指定されるメモリ位置に含まれるデータを送信。このピンの方向はOEで制御。OEがLOWにアサートされた時、このピンは出力として機能。HIGHの場合、DQ _s とDQP _x はトライステート状態に移行。出力は、OEの状態にかかわらず、書き込みシーケンスのデータ転送の間、デバイスが選択解除状態から復帰してから最初のクロックの間、およびデバイスが選択解除されている時に自動的にトライステートになる
DQP _x	I/O 同期	双方向データパリティI/Oライン。機能的には、これら信号はDQ _s と同様。書き込みシーケンスの間、DQP _x はBW _x で制御

ピン定義 (続き)

ピン名	I/O	説明
MODE	入力スタティック	バースト順序を選択。 GND に接続された場合、リニア バースト シーケンスが選択される。V _{DD} に接続するまたはフローティングのままにする時、インターリーブ バースト シーケンスが選択される。これはストラップ ピンであり、デバイス動作中にスタティックのままにする必要がある。MODE ピンは内部プルアップ抵抗に接続
V _{DD}	電源	デバイス コアの電源入力
V _{DDQ}	I/O 電源	I/O 回路の電源
V _{SS}	グランド	デバイス コアのグランド
V _{SSQ}	I/O グランド	I/O 回路のグランド
TDO	JTAG シリアルデータ同期出力	JTAG 回路のシリアルデータ出力。 TCK のネガティブ エッジでデータを送信。JTAG 機能を使用しない場合は、このピンを未接続にする。このピンは TQFP パッケージには存在しない
TDI	JTAG シリアルデータ同期入力	JTAG 回路へのシリアルデータ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンをフローティングのままにするか、またはプルアップ抵抗を介して V _{DD} に接続する。このピンは TQFP パッケージには存在しない
TMS	JTAG シリアルデータ同期入力	JTAG 回路へのシリアルデータ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または V _{DD} に接続する。このピンは TQFP パッケージには存在しない
TCK	JTAG クロック	JTAG 回路のクロック入力。 JTAG 機能を使用しない場合、このピンを V _{SS} に接続することが必要。このピンは TQFP パッケージには存在しない
NC	-	未接続。 ダイに内部的に接続されていない。36M、72M、144M、288M、576M および 1G はダイに内部で接続されていないアドレス拡張ピン
V _{SS/DNU}	グランド / DNU	このピンはグランドに接続するか、またはフローティングのままにする

機能の概要

全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。クロック立ち上がりからの最大アクセス遅延 (t_{CDV}) は 6.5ns (デバイス速度が 133MHz の場合) です。

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 は、リニアまたはインターリーブ バースト シーケンスを使用するシステムにおける二次キャッシュをサポートしています。リニア バースト シーケンスは、リニア バースト シーケンスを使うプロセッサに適しています。バースト順序はユーザーにより選択可能であり、MODE 入力をサンプリングすることで決定されます。アクセスは、プロセッサ アドレス ストローブ (ADSP) またはコントローラ アドレス ストローブ (ADSC) により開始できます。バースト シーケンスを通じたアドレスの増加は ADV 入力で制御されます。2 ビット内蔵ラップアラウンド バースト カウンターは、バースト シーケンスの最初のアドレスを取り込んで、バースト アクセスの残りにおいて自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル (\overline{BW}_E) とバイト書き込みセレクト (\overline{BW}_X) 入力により可能になります。グローバル書き込みイネーブル (GW) は全てのバイト書き込み入力より優先し、すべての 4 バイトにデータを書き込みます。すべての書き込みは、内蔵の同期セルフタイム書き込み回路により簡素化されます。

3 つの同期チップ セレクト (\overline{CE}_1 、 CE_2 、 \overline{CE}_3) と非同期出力イネーブル (OE) 信号は、容易なバンク選択および出力トライステート制御を提供します。 \overline{CE}_1 が HIGH の場合、 \overline{ADSP} は無視されます。

シングル読み出しアクセス

クロックの立ち上がりで次の要件が満たされると、シングル読み出しアクセスは開始されます：(1) \overline{CE}_1 、 CE_2 、および \overline{CE}_3 はすべてアクティブにアサートされ、(2) ADSP と ADSC のいずれかが LOW にアサートされ (ADSC によりアクセスが開始する場合、この最初のサイクルの間、書き込み入力をデアサートする必要があります)。アドレス入力に供給されたアドレスはアドレス レジスタおよびバースト カウンター／制御論理回路にラッチされ、メモリ コアに送信されます。OE 入力が LOW にアサートされると、要求されたデータは、クロックの立ち上がりの後に最大 t_{CDV} の間、データ出力で入手可能になります。 CE_1 が HIGH の場合、ADSP は無視されます。

ADSP で開始されるシングル書き込みアクセス

このアクセスは、クロックの立ち上がりで次の条件の両方とも満たされると、開始されます：(1) CE_1 、 CE_2 、 \overline{CE}_3 はすべてアクティブにアサートされ、(2) \overline{ADSP} は LOW にアサートされます。送信されたアドレスはアドレス レジスタにロードされ、バースト入力 (GW 、 BW_E 、および BW_X) はこの最初のクロックサイクルの間無視されます。次のクロックの立ち上がり時に書き込み入力がアクティブにアサートされると（書き込みを示す適正な状態については 12 ページの書き込み／読み出しの真理

値表 を参照）、対応データはデバイスにラッチされ、書き込まれます。バイト書き込みは可能です。すべての I/O はバイト書き込み中はトライステートになります。これが共通 I/O デバイスのため、データを DQ に送信する前に、非同期 OE 入力信号をデアサートし、I/O をトライステートにする必要があります。安全対策としては、 \overline{OE} の状態にかかわらず、書き込みサイクルが検出されるとデータラインはトライステートになります。

ADSC で開始されるシングル書き込みアクセス

クロックの立ち上がりにおいて次の要件が満たされると、この書き込みアクセスが開始されます：(1) \overline{CE}_1 、 CE_2 、および \overline{CE}_3 がすべてアクティブにアサートされ、(2) ADSC が LOW にアサートされ、(3) \overline{ADSP} が HIGH にデアサートされ、(4) 書き込み入力信号 (\overline{GW} 、 BWE 、および \overline{BW}_X) が書き込みアクセスをインジケートします。 \overline{ADSP} がアクティブ LOW になると ADSC は無視されます。

送信されたアドレスは、アドレス レジスタおよびバーストカウンターと制御論理回路のいずれか一方または両方にロードされ、メモリ コアに送信されます。DQ_[A:D] に提供された情報は指定したアドレス位置に書き込まれます。バイト書き込みは可能です。バイト書き込みを含む任意の書き込みが検出されると、全ての I/O はトライステートになります。これが共通 I/O デバイスであるため、データを DQ に送信する前に、非同期 OE 入力信号をデアサートし、I/O をトライステートにする必要があります。安全対策としては、書き込みサイクルが検出されると、 OE の状態にかかわらず、データラインはトライステートになります。

バースト シーケンス

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 は、SRAM に 2 ビット ラップアラウンド バースト カウンターを内蔵しています。バースト カウンターは、 $A_{[1:0]}$ でロードされ、リニアとインターリーブ バーストオーダーのどちらかが続きます。バーストオーダーは、MODE 入力の状態で決まります。MODE が LOW になった場合、リニア バースト シーケンスが選択されます。MODE が HIGH になった場合、インターリーブ バーストオーダーが選択されます。MODE ピンを開放にすると、デバイスはインターリーブ バースト シーケンスをデフォルトにします。

スリープ モード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力スリープ モードに入ります。このスリープ モードに入るためには、またはスリープモードから出るためには 2 クロック サイクルを要します。このモードでは、データの統合性が保証されます。スリープ モードに入った時に保留中のアクセスは有効として見なされず、動作の完了も保証されません。デバイスはスリープ モードに入る前に、選択解除する必要があります。ZZ 入力が LOW に戻った後、 CE_1 、 CE_2 、 \overline{CE}_3 、 \overline{ADSP} 、および \overline{ADSC} は t_{ZZREC} の時間非アクティブのままにする必要があります。

インターリープ バースト アドレス表

(MODE = 開放または V_{DD})

1番目の アドレス A1:A0	2番目の アドレス A1:A0	3番目の アドレス A1:A0	4番目の アドレス A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1番目の アドレス A1:A0	2番目の アドレス A1:A0	3番目の アドレス A1:A0	4番目の アドレス A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメータ	説明	テスト条件	Min	Max	単位
I_{DDZZ}	スリープ モード スタンバイ電流	$ZZ \geq V_{DD} - 0.2V$	–	65	mA
t_{ZZS}	デバイス動作から ZZ まで	$ZZ \geq V_{DD} - 0.2V$	–	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	–	ns
t_{ZZI}	ZZ アクティブからスリープ電流まで	このパラメーターはサンプリングされた値である	–	$2t_{CYC}$	ns
t_{RZZI}	スリープ電流が終了するまでの ZZ 非アクティブ時間	このパラメーターはサンプリングされた値である	0	–	ns

真理値表

以下は CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 の真理値表です。[1, 2, 3, 4, 5]

サイクルの説明	使用されるアドレス	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
選択解除サイクル、パワーダウン	無	H	X	X	L	X	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	X	H	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	H	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	X	X	X	L	H	L	X	X	X	L-H	トライステート
スリープ モード、パワー ダウン	無	X	X	X	H	X	X	X	X	X	X	トライステート
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	H	L-H	トライステート
書き込みサイクル、バースト開始	外部	L	H	L	L	H	L	X	L	X	L-H	D
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	H	L-H	トライステート
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	H	L-H	トライステート
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	H	L-H	トライステート
書き込みサイクル、バースト継続	後続	X	X	X	L	H	H	L	L	X	L-H	D
書き込みサイクル、バースト継続	後続	H	X	X	L	X	H	L	L	X	L-H	D
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	H	L-H	トライステート
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	L-H	トライステート
書き込みサイクル、バースト停止	現行	X	X	X	L	H	H	H	L	X	L-H	D
書き込みサイクル、バースト停止	現行	H	X	X	L	X	H	H	L	X	L-H	D

注:

- X = ドント ケア、H = 論理 HIGH、L = 論理 LOW。
- 1つ以上のバイトがイネーブル信号を書き込み、さらに $\overline{BWE} = L$ または $\overline{GW} = L$ の時、 $\overline{WRITE} = L$ です。すべてのバイトがイネーブル信号、 $\overline{BWE}, \overline{GW} = H$ の時、 $WRITE = H$ です。
- DQ ピンは現行のサイクルと \overline{OE} 信号によって制御されます。 \overline{OE} は非同期で、クロックを用いてのサンプリングされません。
- $\overline{GW}, \overline{BWE}$ 、または \overline{BW}_X の状態に関わらず、 \overline{ADSP} がアサートされると、SRAM は読み出しサイクルを開始します。書き込みは、 \overline{ADSP} の後に、または \overline{ADSC} のアサートにより後続のクロック サイクルでのみ行われます。従って、出力をトライステートにするために、 \overline{OE} を書き込みサイクルの開始前に HIGH に駆動する必要があります。 \overline{OE} は書き込みサイクルの残りでは「ドント ケア」です。
- \overline{OE} は非同期で、クロック立ち上がりと同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスクされます。読み出しサイクルでは、 \overline{OE} が非アクティブ、またはデバイスが選択解除された場合、すべてのデータビットは、トライステートになります。 \overline{OE} がアクティブ (LOW) の場合、すべてのデータビットは出力として機能します。

書き込み／読み出しの真理値表

以下は CY7C1381KV33/CY7C1381KVE33 の書き込み／読み出しの真理値表です。[6, 7]

CY7C1381KV33/CY7C1381KVE33	\overline{GW}	\overline{BWE}	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X	X	X
読み出し	H	L	H	H	H	H
バイト A 書き込み (DQ _A , DQP _A)	H	L	H	H	H	L
バイト B 書き込み (DQ _B , DQP _B)	H	L	H	H	L	H
バイト A, B 書き込み (DQ _A , DQ _B , DQP _A , DQP _B)	H	L	H	H	L	L
バイト C 書き込み (DQ _C , DQP _C)	H	L	H	L	H	H
バイト C, A 書き込み (DQ _C , DQ _A , DQP _C , DQP _A)	H	L	H	L	H	L
バイト C, B 書き込み (DQ _C , DQ _B , DQP _C , DQP _B)	H	L	H	L	L	H
バイト C, B, A 書き込み (DQ _C , DQ _B , DQ _A , DQP _C , DQP _B , DQP _A)	H	L	H	L	L	L
バイト D 書き込み (DQ _D , DQP _D)	H	L	L	H	H	H
バイト D, A 書き込み (DQ _D , DQ _A , DQP _D , DQP _A)	H	L	L	H	H	L
バイト D, B 書き込み (DQ _D , DQ _B , DQP _D , DQP _B)	H	L	L	H	L	H
バイト D, B, A 書き込み (DQ _D , DQ _B , DQ _A , DQP _D , DQP _B , DQP _A)	H	L	L	H	L	L
バイト D, B 書き込み (DQ _D , DQ _B , DQP _D , DQP _B)	H	L	L	L	H	H
バイト D, B, A 書き込み (DQ _D , DQ _C , DQ _A , DQP _D , DQP _C , DQP _A)	H	L	L	L	H	L

書き込み／読み出しの真理値表

以下は CY7C1383KV33/CY7C1383KVE33 の書き込み／読み出しの真理値表です。[6, 7]

CY7C1383KV33/CY7C1383KVE33	\overline{GW}	\overline{BWE}	$\overline{BW_B}$	$\overline{BW_A}$
バイト D, C, A 書き込み (DQ _D , DQ _B , DQ _A , DQP _D , DQP _B , DQP _A)	H	L	L	L
すべてのバイト書き込み	H	L	L	L
すべてのバイト書き込み	L	X	X	X
読み出し	H	H	X	X
読み出し	H	L	H	H
バイト A 書き込み – (DQ _A , DQP _A)	H	L	H	L
バイト B 書き込み – (DQ _B , DQP _B)	H	L	L	H
すべてのバイト書き込み	H	L	L	L
すべてのバイト書き込み	L	X	X	X

注：

6. X = ドント ケア、H = 論理 HIGH、L = 論理 LOW。
7. この表では、バイト書き込みの組み合わせの一部を示します。どの \overline{BW}_X の組み合わせも有効です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。

IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)

CY7C1381KV33 は、シリアル バウンダリ スキャン テスト アクセスポート (TAP) を内蔵しています。このデバイスは 1149.1 に完全に準拠しています。TAP は、JEDEC 標準の 3.3V または 2.5V I/O 論理レベルで動作します。

CY7C1381KV33 は、TAP コントローラー、命令レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタ、および ID レジスタを含んでいます。

JTAG 機能の無効化

JTAG 機能を使用せず、SRAM を動作させることができます。TAP コントローラーを無効にするためには、TCK を LOW (V_{SS}) に接続してデバイスへのクロック供給を防ぐ必要があります。TDI と TMS は内部でプルアップされ、未接続にすることができます。かわりに、プルアップ抵抗を介して V_{DD} に接続することもできます。TDO は未接続にする場合があります。電源投入時にデバイスはリセット状態に入り、それはデバイス動作を妨げません。

テスト アクセス ポート (TAP)

テスト クロック (TCK)

テスト クロックは TAP コントローラーを用いてのみ使用できます。全ての入力は TCK の立ち上がりエッジで取り込まれます。すべての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード選択 (TMS)

TMS 入力は、TAP コントローラーにコマンドを送信するのに使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このピンはどこにも接続しないことがあります。ポールは内部でプルアップされて、論理 HIGH レベルになります。

テスト データ入力 (TDI)

TDI ポールは、レジスタに情報をシリアル入力するのに使用され、どのレジスタの入力にも接続することができます。TDI と TDO 間の接続レジスタは、TAP 命令レジスタにロードされた命令によって選択されます。命令レジスタにロードする方法については、[15 ページの TAP コントローラー状態図](#)を参照してください。TAP がアプリケーションで使用されていない場合、TDI は内部でプルアップされ、開放することができます。TDI はあらゆるレジスタの最上位ビット (MSB) に接続されます。

テスト データ出力 (TDO)

TDO 出力ポールは、レジスタからデータをシリアル出力するために使用されます。TAP ステート マシンの現在の状態に応じて、出力はアクティブになります ([19 ページの 命令コード](#) を参照してください)。出力は TCK の立ち下がりエッジで変化します。TDO は、どのレジスタにおいても最下位ビット (LSB) に接続されます。

TAP リセットの実行

リセットは、TCK の 5 つの立ち上がりエッジの間 TMS を HIGH (V_{DD}) にすることで実行されます。このリセットは SRAM の動

作に影響を与えず、SRAM の動作中に実行できます。電源投入時に、TAP は内部でリセットされ、TDO を確実に High Z 状態にします。

TAP レジスタ

SRAM テスト回路の入力と出力データをスキャンするために、TDI と TDO ポールの間にレジスタが接続されます。命令レジスタを通して、一度に 1 つのレジスタのみが選択されます。データは TCK の立ち上がりエッジで TDI ポールに順次ロードされます。データは TCK の立ち下がりエッジで TDO ポールに出力されます。

命令レジスタ

3 ビットの命令を命令レジスタに順次ロードすることができます。このレジスタは、[16 ページの TAP コントローラーのブロック図](#)に示すように、TDI と TDO ポール間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令レジスタにロードされます。前述したように、コントローラーがリセット状態になった場合にも、IDCODE 命令が命令レジスタにロードされます。

TAP コントローラーが Capture-IR 状態にある時、2 進数「01」パターンが最下位 2 ビットにロードされ、基板レベルのシリアルテストバスの障害分離を可能にします。

バイパス レジスタ

レジスタを通してデータを順次シフトする際の時間を節約するために、特定のチップをスキップすることが有効な場合があります。バイパス レジスタは、TDI と TDO ポール間に配置できる 1 ビットのレジスタです。これにより、最小限の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行されると、バイパス レジスタは LOW (V_{SS}) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上のすべての入力および双方向ポールに接続されます。

バウンダリ スキャン レジスタは、TAP コントローラーが Capture-DR 状態である時に RAM 入力と出カーリングの内容がロードされ、そしてコントローラーが Shift-DR 状態に遷移する時に TDI と TDO ポール間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、入力と出カーリングの内容を取り込むのに使用されます。

[20 ページの バウンダリ スキャン順序](#) に、ビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つのバンプに対応します。レジスタの MSB は TDI に、LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令レジスタにロードされた時、Capture-DR 状態の間に、ID レジスタにベンダー固有の 32 ビット コードがロードされます。IDCODE は SRAM 内に組み込まれ、TAP コントローラーが Shift-DR 状態になるとシフトアウトすることができます。ID レジスタのベンダー コードおよび他の情報は [19 ページの ID レジスタの定義](#) の通りです。

TAP 命令セット

概要

3 ビットの命令レジスタにより、8 つの異なる命令が可能です。すべての組み合わせを [19 ページの命令コード](#) に示します。これらの命令の内 3 つが RESERVED としてリストされ、使用してはいけません。残りの 5 つの命令を以下に詳しく説明します。

命令レジスタが TDI と TDO の間に配置されると、命令は Shift-IR 状態の間に TAP コントローラーにロードされます。この状態の間に、命令は命令レジスタを通して TDI と TDO ボールを通りシフトされます。シフトインされた命令を実行するために、TAP コントローラーを Update-IR 状態にする必要があります。

EXTEST

EXTEST 命令は、プリロードされたデータをイネーブルし、システム出力ピンを通して駆動されます。この命令はまた、バウンダリスキャンレジスタを選択し、Shift-DR コントローラー状態の TDI と TDO の間のシリアルアクセス用に接続します。

IDCODE

IDCODE 命令により、ベンダー固有の 32 ビット コードを命令レジスタにロードします。それはまた、命令レジスタを TDI と TDO ボールの間に配置して、TAP コントローラーが Shift-DR 状態に入った時に IDCODE をデバイスからシフトアウトします。

IDCODE 命令は、電源投入時または TAP コントローラーが「Test-Logic-Reset」状態に入る度に、命令レジスタにロードされます。

SAMPLE Z

SAMPLE Z 命令により、TAP コントローラーが Shift-DR 状態にある時に、バウンダリスキャンレジスタが TDI と TDO ボールの間に接続されます。SAMPLE Z コマンドは、すべての SRAM 出力を High Z 状態にします。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラーが Capture-DR 状態になると、入力と出力ピン上のデータのスナップショットがバウンダリスキャンレジスタに取り込まれます。

TAP コントローラークロックは最大 20MHz の周波数で動作するのに対して、SRAM クロックは一桁以上速い周波数で動作することに注意してください。クロック周波数に大きな差があるため、入力と出力が Capture-DR 状態中に、遷移を経る可能性があります。そのため、TAP は遷移中（メタステーブル状態）の信号を取り込もうとするかもしれません。これはデバイスに悪影響を与えるかもしれませんが、取り込まれた値に対する保証はありません。再現性のない結果となる場合があります。

バウンダリスキャンレジスタが信号の正しい値を取り込むことを保証するために、SRAM 信号は、TAP コントローラーの

キャプチャセットアップ + ホールド時間 ($t_{CS}+t_{CH}$) を満たす十分長く、安定化される必要があります。SAMPLE/PRELOAD 命令の間にクロックを停止する（または遅くする）方法が設計にない場合、SRAM クロック入力は正常に取り込まれない可能性があります。これが問題になってしまっても、他の全ての信号を取り込み、バウンダリスキャンレジスタに取り込まれた CK および CK の値を単に無視することができます。

データが取り込まれた後、TAP を Shift-DR 状態に移行させることで、データをシフトアウトすることができます。これにより、バウンダリスキャンレジスタが TDI と TDO ピンの間に配置されます。

PRELOAD は、他のバウンダリスキャンテスト動作の選択の前に、初期データパターンをバウンダリスキャンレジスタセルのラッチされたパラレル出力への配置を可能にします。

SAMPLE および PRELOAD フェーズでのデータのシフトは、必要時には同時にできます。つまり、取り込まれたデータがシフトアウトされている間に、プリロードされたデータがシフトインされます。

BYPASS

BYPASS 命令が命令レジスタにロードされ TAP が Shift-DR 状態になると、バイパスレジスタは TDI と TDO ボールの間に配置されます。BYPASS 命令の利点は、複数のデバイスが基板上で共に接続されている時にバウンダリスキャンパスを短縮することです。

EXTEST OUTPUT BUS TRISTATE

IEEE 標準 1149.1 では、TAP コントローラーが出力バスをトライステートにできることが必要です。

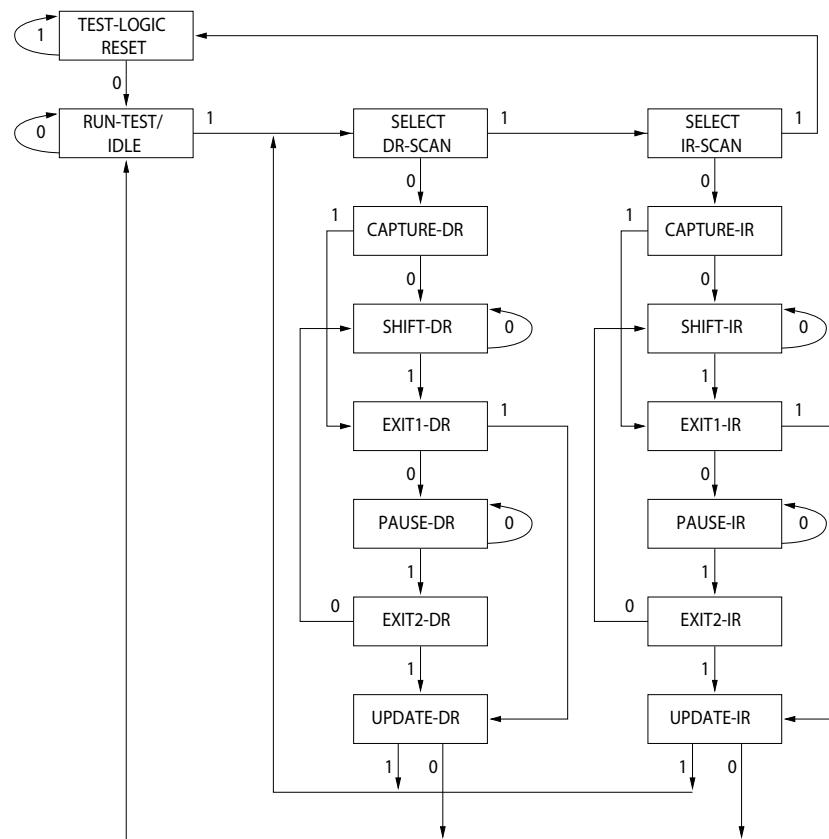
バウンダリスキャンレジスタには、ビット 89 (165 ボール FBGA パッケージの場合) に位置付けられた特別なビットがあります。「extest output bus tristate」と呼ばれるこのスキャンセルが TAP コントローラーで Update-DR 状態中にプリロードレジスタにラッチされた時、それは、EXTEST が現時点の命令として入力される時に、出力 (Q バス) ピンの状態を直接制御します。このビットが HIGH の時、出力バッファをイネーブルして出力バスを駆動します。LOW の時、このビットは出力バスを HIGH Z 状態にします。

このビットは、SAMPLE/PRELOAD または EXTEST コマンドを入力し、次に Shift-DR 状態中に所望のビットをそのセルにシフトすることで、セットできます。Update-DR の間、そのシフトレジスタセルにロードされた値はプリロードレジスタにラッチします。EXTEST 命令を入力すると、このビットは出力 Q バスピンを直接制御します。デバイスが電源投入された時や TAP コントローラーが Test-Logic-Reset 状態になった時は、このビットは予め HIGH にセットされ、出力をイネーブルすることに注意してください。

Reserved

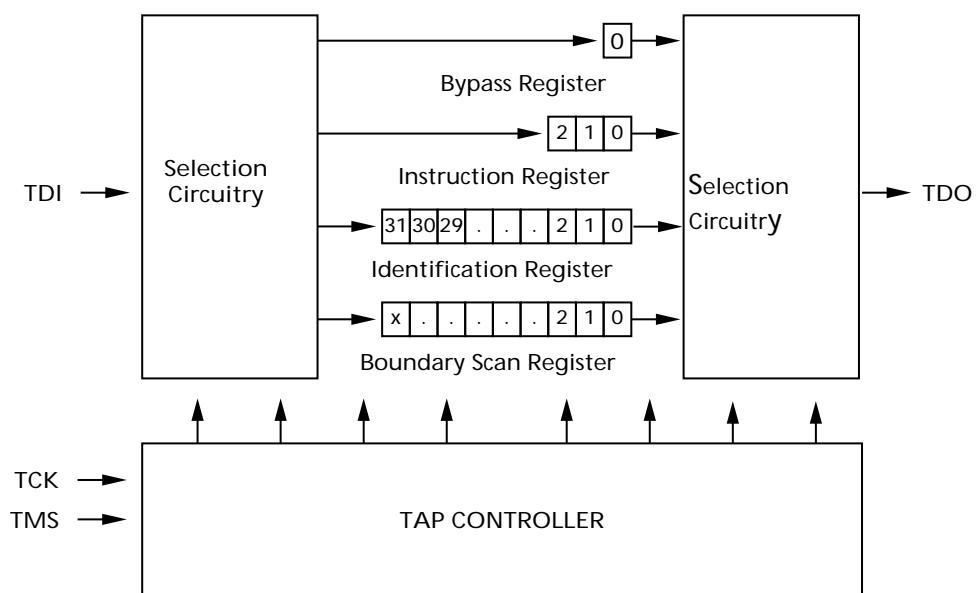
これらの命令は実装されていませんが、将来使用のために予約されています。これらの命令を使用しないでください。

TAP コントローラー状態図



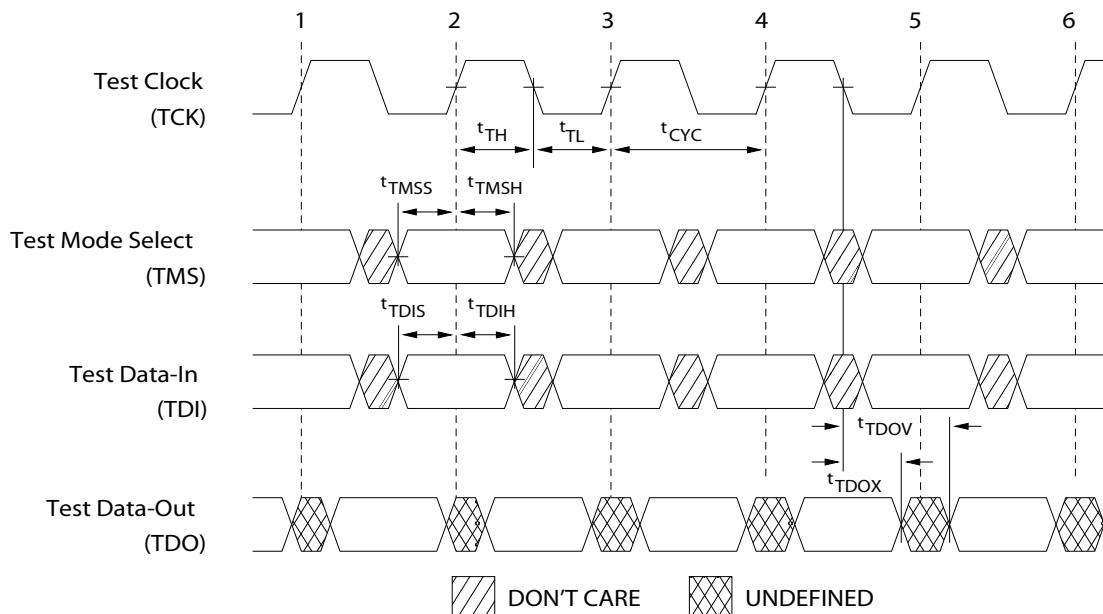
状態の隣の 0 または 1 の数字は、TCK の立ち上がりエッジでの TMS の値を示します。

TAP コントローラーのブロック図



TAP タイミング

図 3. TAP タイミング



TAP AC スイッチング特性

動作範囲において

パラメーター ^[8, 9]	説明	Min	Max	単位
クロック				
t_{TCYC}	TCK クロック サイクル時間	50	–	ns
t_{TF}	TCK クロック周波数	–	20	MHz
t_{TH}	TCK クロック HIGH 時間	20	–	ns
t_{TL}	TCK クロック LOW 時間	20	–	ns
出力時間				
t_{TDOV}	TCK クロック LOW から TDO 有効まで	–	10	ns
t_{TDOX}	TCK クロック LOW から TDO 無効まで	0	–	ns
セットアップ時間				
t_{TMSS}	TCK クロックの立ち上がりまでの TMS セットアップ時間	5	–	ns
t_{TDIS}	TCK クロックの立ち上がりまでの TDI セットアップ時間	5	–	ns
t_{CS}	TCK の立ち上がりまでのキャプチャ セットアップ時間	5	–	ns
ホールド時間				
t_{TMSH}	TCK クロック立ち上がり後の TMS ホールド時間	5	–	ns
t_{TDIH}	TCK クロック立ち上がり後の TDI ホールド時間	5	–	ns
t_{CH}	TCK クロック立ち上がり後のキャプチャ ホールド時間	5	–	ns

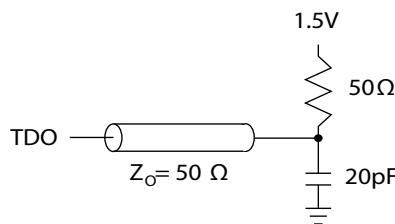
注:

8. t_{CS} と t_{CH} は、バウンダリスキャン レジスタからデータをラッチするために必要なセットアップとホールド時間を示します。
 9. テスト条件は、TAP AC テスト条件での負荷を使用して指定されます。 $t_R/t_F = 1\text{ns}$ 。

3.3V TAP AC テスト条件

入力パルス レベル	$V_{SS} \sim 3.3V$
入力の立ち上がりと立ち下がり時間 (スルーレート)	2V/ns
入力タイミングのリファレンス電圧レベル	1.5V
出力のリファレンス電圧レベル	1.5V
テスト負荷終端電源電圧	1.5V

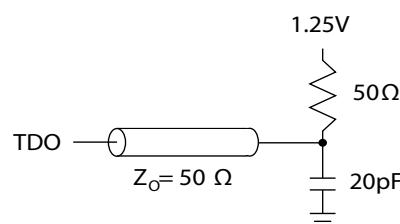
3.3V TAP AC 出力負荷の等価回路



2.5V TAP AC テスト条件

入力パルス レベル	$V_{SS} \sim 2.5V$
入力の立ち上がりと立ち下がり時間 (スルーレート)	2V/ns
入力タイミングのリファレンス電圧レベル	1.25V
出力のリファレンス電圧レベル	1.25V
テスト負荷終端電源電圧	1.25V

2.5V TAP AC 出力負荷の等価回路



TAP DC 電気的特性と動作条件

(特記されていない限り、 $0^{\circ}\text{C} < T_A < +70^{\circ}\text{C}$; $V_{DD} = 3.3V \pm 0.165V$)

パラメーター ^[10]	説明	テスト条件		Min	Max	単位
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -4.0\text{mA}$	$V_{DDQ} = 3.3V$	2.4	-	V
		$I_{OH} = -1.0\text{mA}$	$V_{DDQ} = 2.5V$	2.0	-	V
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100\mu\text{A}$	$V_{DDQ} = 3.3V$	2.9	-	V
			$V_{DDQ} = 2.5V$	2.1	-	V
V_{OL1}	出力 LOW 電圧	$I_{OL} = 8.0\text{mA}$	$V_{DDQ} = 3.3V$	-	0.4	V
		$I_{OL} = 8.0\text{mA}$	$V_{DDQ} = 2.5V$	-	0.4	V
V_{OL2}	出力 LOW 電圧	$I_{OL} = 100\mu\text{A}$	$V_{DDQ} = 3.3V$	-	0.2	V
			$V_{DDQ} = 2.5V$	-	0.2	V
V_{IH}	入力 HIGH 電圧		$V_{DDQ} = 3.3V$	2.0	$V_{DD} + 0.3$	V
			$V_{DDQ} = 2.5V$	1.7	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧		$V_{DDQ} = 3.3V$	-0.3	0.8	V
			$V_{DDQ} = 2.5V$	-0.3	0.7	V
I_x	入力負荷電流	$GND \leq V_{IN} \leq V_{DDQ}$		-5	5	μA

注:

10. すべての電圧は V_{SS} (GND) を基準にしています。

ID レジスタの定義

命令フィールド	CY7C1381KV33 (512K × 36)	説明
リビジョン番号 (31:29)	000	バージョン番号を示す
デバイス深部 (28:24) [11]	01011	内部使用のために予約済み
デバイス幅 (23:18) 165 ボール FBGA	000001	メモリ タイプとアーキテクチャを定義
サイプレスのデバイス ID (17:12)	100101	幅と容量を定義
サイプレスの JEDEC ID コード (11:1)	00000110100	SRAM ベンダーを識別
ID レジスタの有無インジケータ (0)	1	ID レジスタの有無を示す

スキャン レジスタ サイズ

レジスタ名	ビット サイズ (×36)
命令バイパス	3
バイパス	1
ID	32
バウンダリ スキャン順序 (165 ボール FBGA パッケージ)	89

命令コード

命令	コード	説明
EXTEST	000	入力および出カーリングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを High Z 状態に移行
IDCODE	001	ベンダー ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置。この処理は SRAM 動作に影響を与えない
SAMPLE Z	010	入力および出カーリングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを HIGH Z 状態に移行
RESERVED	011	未使用。未使用：今後使用するために予約されている
SAMPLE/PRELOAD	100	入力および出カーリングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。SRAM 動作に影響を与えない
RESERVED	101	未使用。今後使用するために予約されている
RESERVED	110	未使用。今後使用するために予約されている
BYPASS	111	バイパス レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない

注：

11. 本デバイスの 2.5V と 3.3V バージョンの両方のレジスタ定義ではビット 24 が「1」です。

バウンダリスキャン順序

165 ポール FBGA [12、13]

ビット番号	ポール ID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11
26	E11
27	D11
28	G10
29	F10
30	E10

ビット番号	ポール ID
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1

ビット番号	ポール ID
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注:

12. NC (未接続) のポールは LOW にプリセットされます。
13. ビット 89 は HIGH にプリセットされます。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度	-65°C ~ +150°C
通電時の周囲温度	-55°C ~ +125°C
GND を基準とした V _{DD} 電源電圧	-0.3V ~ +4.6V
GND を基準とした V _{DDQ} 電源電圧	-0.3V ~ +V _{DD}
トライステート状態の出力に印加できる DC 電圧	-0.5V ~ V _{DDQ} +0.5V
DC 入力電圧	-0.5V ~ V _{DD} +0.5V
出力 (LOW) への電流	20mA
静電放電時の電圧 (MIL-STD-883 準拠、メソッド 3015)	>2001V
ラッチアップ電流	> 200mA

動作範囲

範囲	周囲温度	V _{DD}	V _{DDQ}
商業用	0°C ~ +70°C	3.3V - 5% / + 10%	2.5V - 5% ~ V _{DD}
産業用	-40°C ~ +85°C		

中性子ソフト エラー耐性

パラメータ	説明	テスト条件	Typ	Max*	単位
LSBU (ECC なし のデバイス)	論理 シングルビット アップセット	25°C	197	216	FIT/ Mb
LSBU (ECC 付き デバイス)			0	0.01	FIT/ Mb
LMBU	論理マルチ ビット アップセット	25°C	0	0.01	FIT/ Mb
SEL	シングル イベント ラッチアップ	85°C	0	0.1	FIT/ Dev

* テスト中に LMBU または SEL イベントは発生しない；本項は χ^2 分布の 95% 信頼上限を示す。詳細は、アプリケーション ノート AN54908 「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」 を参照

電気的特性

動作範囲において

パラメーター ^[14、15]	説明	テスト条件	Min	Max	単位
V _{DD}	電源電圧		3.135	3.6	V
V _{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V _{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V _{OH}	出力 HIGH 電圧	3.3V I/O、I _{OH} = -4.0mA の場合	2.4	-	V
		2.5V I/O、I _{OH} = -1.0mA の場合	2.0	-	V
V _{OL}	出力 LOW 電圧	3.3V I/O、I _{OL} = 8.0mA の場合	-	0.4	V
		2.5V I/O、I _{OL} = 1.0mA の場合	-	0.4	V
V _{IH}	入力 HIGH 電圧 ^[14]	3.3V I/O の場合	2.0	V _{DD} + 0.3V	V
		2.5V I/O の場合	1.7	V _{DD} + 0.3V	V
V _{IL}	入力 LOW 電圧 ^[14]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V

注：

14. オーバーシュート : V_{IH(AC)} < V_{DD} + 1.5V (パルス幅は t_{CYC}/2 未満)、アンダーシュート : V_{IL(AC)} > -2V (パルス幅は t_{CYC}/2 未満)。

15. T_{Power-up}: 少なくとも 200ms 以上での 0V から V_{DD(min)} までの直線昇圧を前提としています。この期間中は、V_{IH} < V_{DD}、V_{DDQ} ≤ V_{DD} です。

電気的特性(続き)

動作範囲において

パラメーター ^[14, 15]	説明	テスト条件				Min	Max	単位
I_X	入力リーク電流 (ZZ と MODE を除く)	$GND \leq V_I \leq V_{DDQ}$				-5	5	μA
	MODE の入力電流	入力 = V_{SS}				-30	-	
		入力 = V_{DD}				-	5	
	ZZ の入力電流	入力 = V_{SS}				-5	-	
		入力 = V_{DD}				-	30	
I_{OZ}	出カリーク電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効				-5	5	μA
I_{DD}	V_{DD} 動作時電源	$V_{DD} = \text{Max.}$, $I_{OUT} = 0mA$, $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	-	114	mA	
				$\times 36$	-	134		
			133MHz	$\times 18$	-	129		
				$\times 36$	-	149		
I_{SB1}	自動 CE パワーダウン電流 – TTL 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	-	75	mA	
				$\times 36$	-	80		
			133MHz	$\times 18$	-	75		
				$\times 36$	-	80		
I_{SB2}	自動 CE パワーダウン電流 – CMOS 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = 0$	すべてのスピードグレード	$\times 18$	-	65	mA	
				$\times 36$	-	70		
I_{SB3}	自動 CE パワーダウン電流 – CMOS 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	-	75	mA	
				$\times 36$	-	80		
			133MHz	$\times 18$	-	75		
				$\times 36$	-	80		
I_{SB4}	自動 CE パワーダウン電流 – TTL 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = 0$	すべてのスピードグレード	$\times 18$	-	65	mA	
				$\times 36$	-	70		

容量

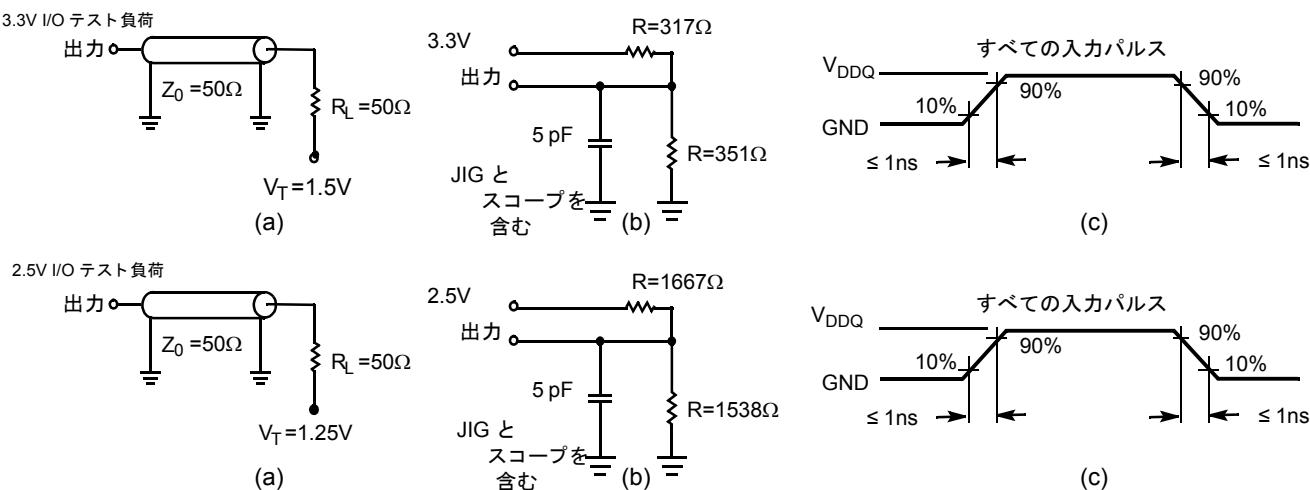
パラメーター	説明	テスト条件	100 ピン TQFP パッケージ	165 ポール FBGA パッケージ	単位
C_{IN}	入力静電容量	$T_A = 25^\circ\text{C}, f = 1\text{MHz},$ $V_{DD} = 3.3\text{V}, V_{DDQ} = 2.5\text{V}$	5	5	pF
C_{CLK}	クロック入力静電容量		5	5	pF
C_{IO}	入力／出力静電容量		5	5	pF

熱抵抗

パラメーター	説明	テスト条件	100 ピン TQFP パッケージ	165 ポール FBGA パッケージ	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	テスト条件は、 EIA/JESD51 による、 熱インピーダンスを 測定するための標準 的なテスト方法と手 順に従う	無風時 (0m/s)	37.95	°C/W
			空冷 (1m/s)	33.19	°C/W
			空冷 (3m/s)	30.44	°C/W
Θ_{JB}	熱抵抗 (ジャンクションからボード)	--	24.07	8.95	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		8.36	3.50	°C/W

AC テストの負荷および波形

図 4. AC テストの負荷と波形



スイッチング特性

動作範囲において

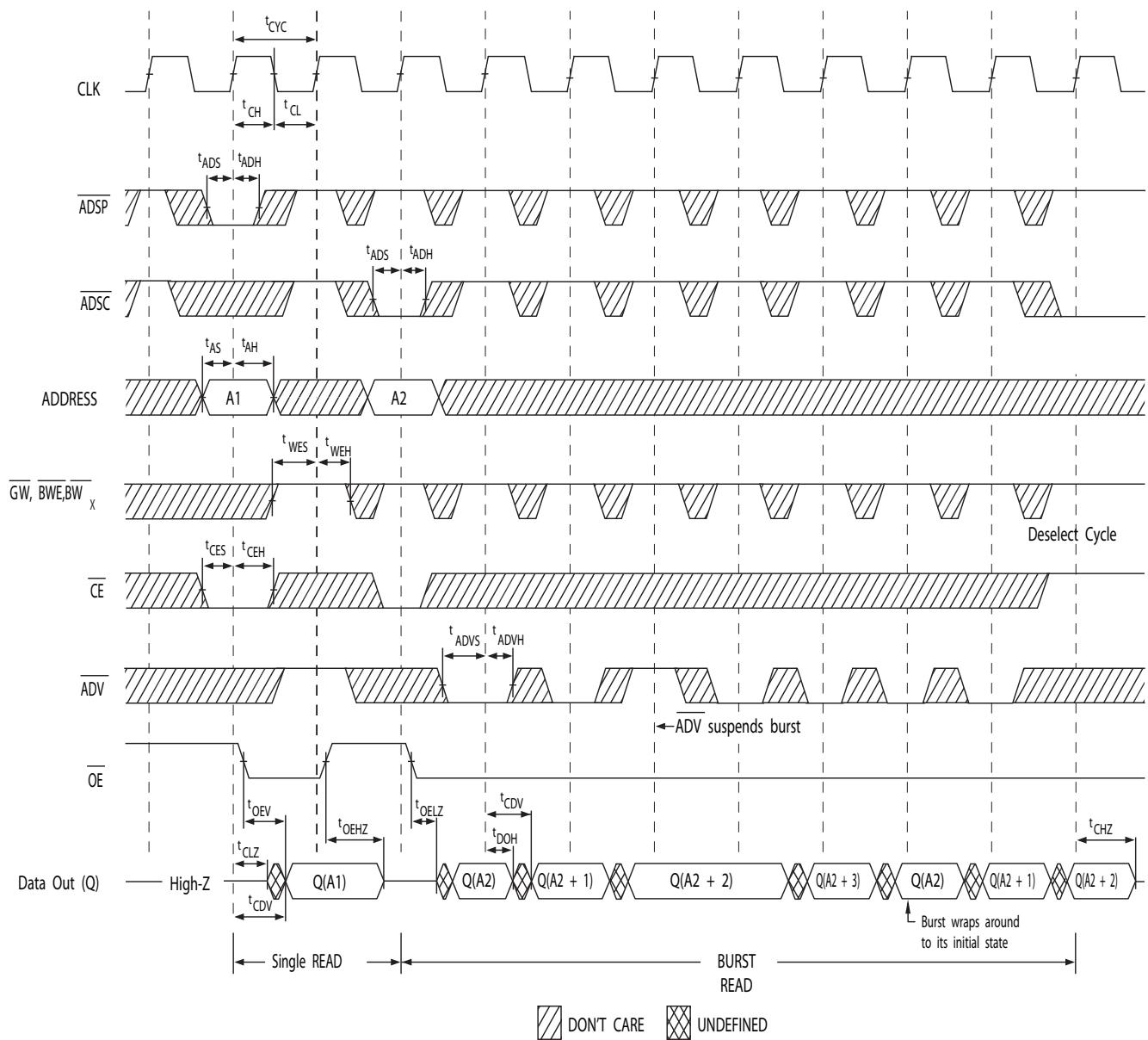
パラメーター ^[16、17]	説明	133MHz		100MHz		単位
		Min	Max	Min	Max	
t _{POWER}	V _{DD} (Typ) から最初のアクセスまで ^[18]	1	-	1	-	ms
クロック						
t _{CYC}	クロック サイクル時間	7.5	-	10	-	ns
t _{CH}	クロック HIGH 時間	2.1	-	2.5	-	ns
t _{CL}	クロック LOW 時間	2.1	-	2.5	-	ns
出力時間						
t _{CDV}	CLK 立ち上がり後のデータ出力有効時間	-	6.5	-	8.5	ns
t _{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	2.0	-	2.0	-	ns
t _{CLZ}	クロックから Low Z まで ^[19、20、21]	2.0	-	2.0	-	ns
t _{CHZ}	クロックから High Z まで ^[19、20、21]	0	4.0	0	5.0	ns
t _{TOEV}	OE LOW から出力有効まで	-	3.2	-	3.8	ns
t _{OELZ}	OE LOW から出力 Low Z まで ^[19、20、21]	0	-	0	-	ns
t _{OEHZ}	OE HIGH から出力 High Z まで ^[19、20、21]	-	4.0	-	5.0	ns
セットアップ時間						
t _{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.5	-	1.5	-	ns
t _{ADS}	CLK 立ち上がり前の ADSP、ADSC セットアップ時間	1.5	-	1.5	-	ns
t _{ADVS}	CLK 立ち上がり前の ADV セットアップ時間	1.5	-	1.5	-	ns
t _{WES}	CLK 立ち上がり前の \overline{GW} 、 \overline{BWE} 、 $\overline{BW}_{[A:D]}$ セットアップ時間	1.5	-	1.5	-	ns
t _{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.5	-	1.5	-	ns
t _{CES}	チップ イネーブル セットアップ時間	1.5	-	1.5	-	ns
ホールド時間						
t _{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.5	-	0.5	-	ns
t _{ADH}	CLK 立ち上がり後の ADSP、ADSC ホールド時間	0.5	-	0.5	-	ns
t _{WEH}	CLK 立ち上がり前の \overline{GW} 、 \overline{BWE} 、 $\overline{BW}_{[A:D]}$ ホールド時間	0.5	-	0.5	-	ns
t _{ADVH}	CLK 立ち上がり後の ADV ホールド時間	0.5	-	0.5	-	ns
t _{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.5	-	0.5	-	ns
t _{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.5	-	0.5	-	ns

注:

16. タイミングのリファレンス電圧レベルは、V_{DDQ} = 3.3V の場合は 1.5V で、V_{DDQ} = 2.5V の場合は 1.25V です。
17. 特記されていない限り、テスト条件は [23 ページの図 4](#) の (a) に示します。
18. このデバイスは電圧レギュレータを内蔵しています；t_{POWER} は、読み出しましたは書き込み処理を開始する前に、V_{DD(minimum)} を超えて最初に必要となる電源供給時間です。
19. t_{CHZ}、t_{CLZ}、t_{OELZ}、t_{OEHZ} は、[23 ページの図 4](#) の (b) に示した AC テスト条件で指定されます。遷移は定常状態での電圧 $\pm 200\text{mV}$ の電圧レベルで測定されます。
20. 特定の電圧と温度において、同じデータバスを共用する時、SRAM 間のバス競合を回避するために、t_{OEHZ} は t_{OELZ} より少なく、t_{CHZ} は t_{CLZ} より少ないです。これらの仕様はバス競合条件を示しませんが、最悪の場合のユーザー条件において保証されるパラメータを示します。デバイスは、同じシステム条件の下で Low Z の前に High Z を達成するように設計されています。
21. このパラメーターはサンプリングされた値であり、すべてのデバイスで試験されるわけではありません。

タイミング図

図 5. 読み出しサイクル タイミング [22]

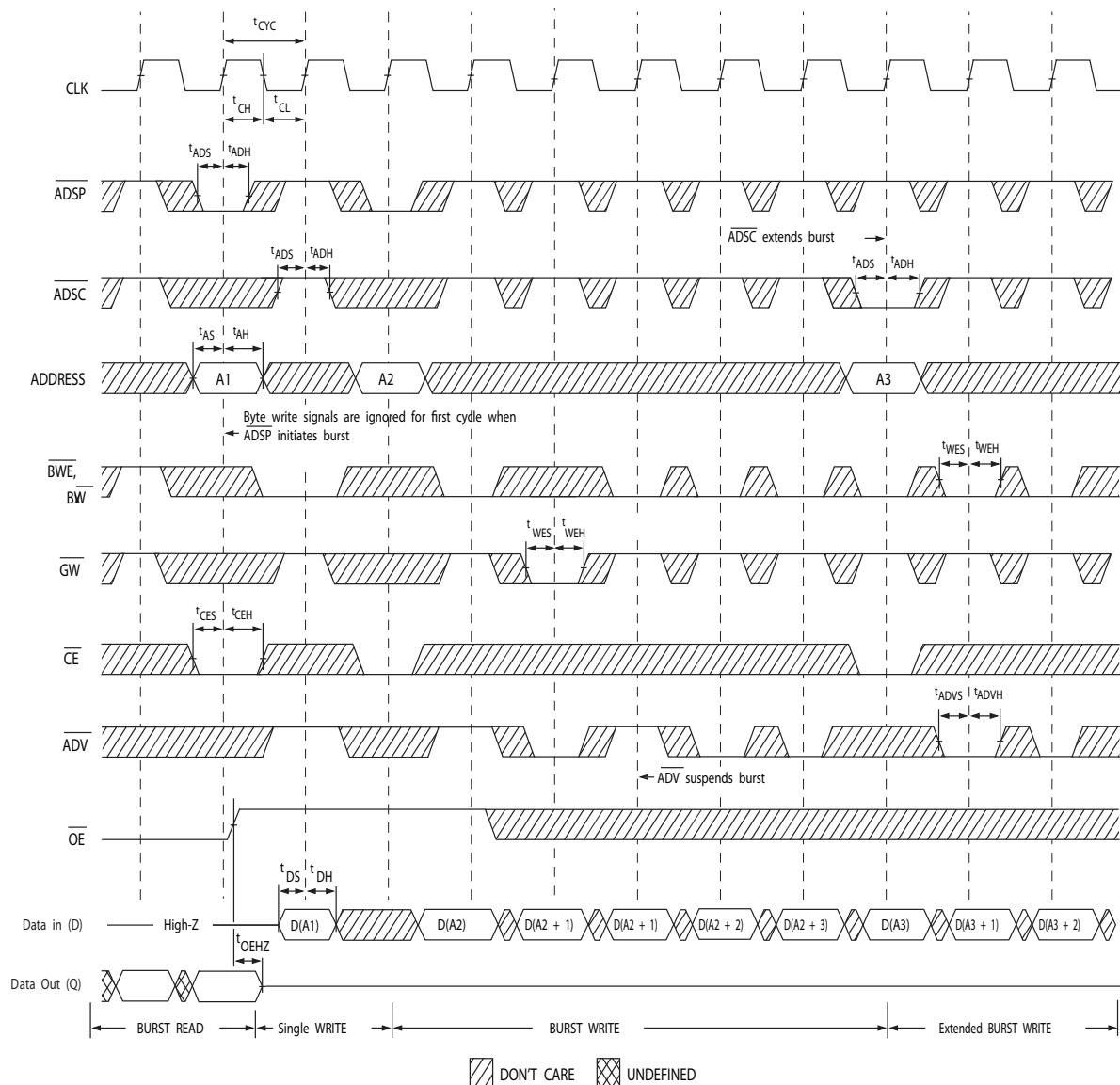


注:

22. このブロック図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。

タイミング図(続き)

図6. 書き込みサイクルタイミング [23, 24]



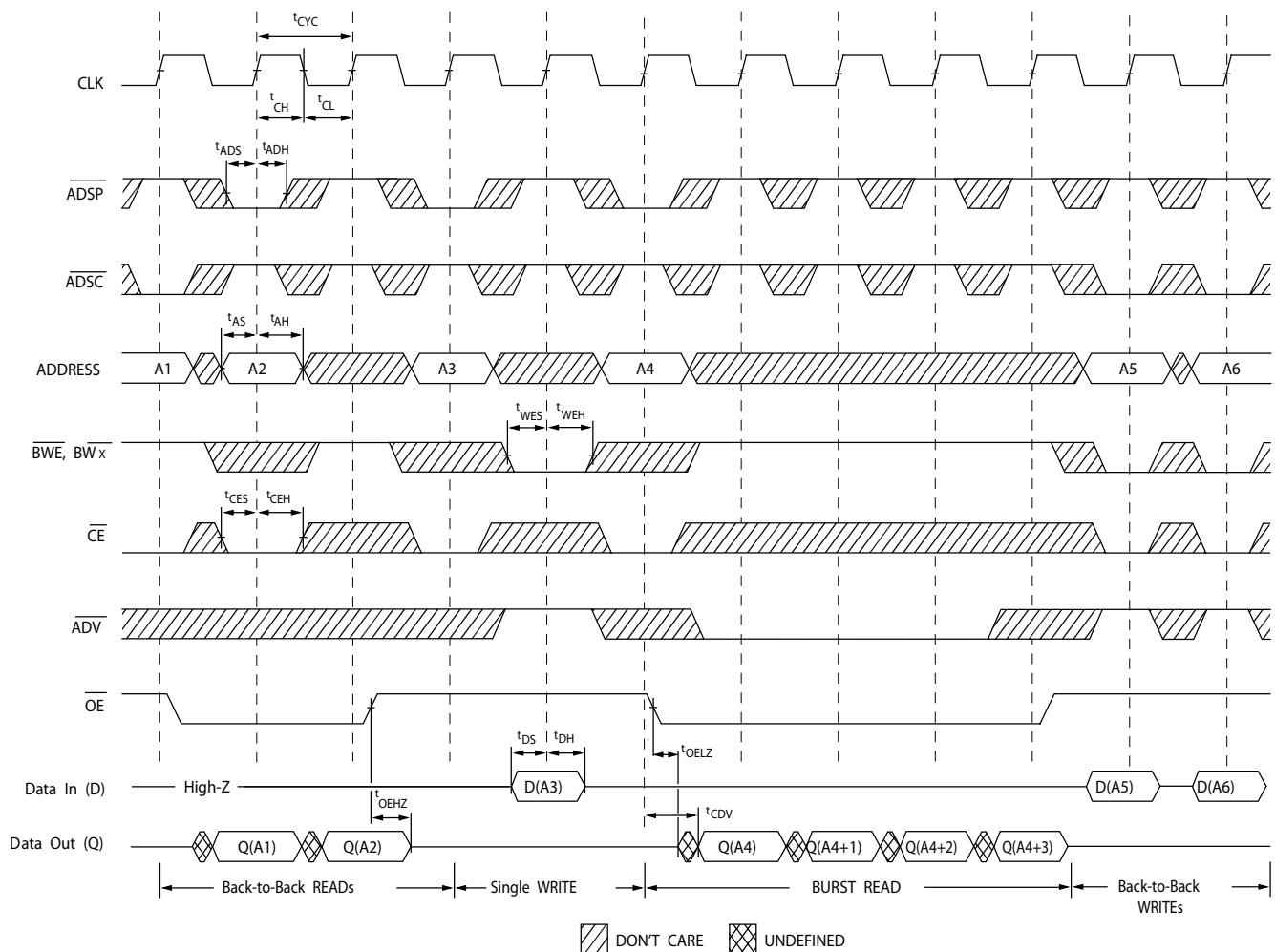
注:

23. このブロック図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。

24. 全幅の書き込みは、 \overline{GW} が LOW、または \overline{GW} が HIGH、 \overline{BWE} が LOW、 \overline{BW}_X が LOW になると開始できます。

タイミング図(続き)

図7. 読み出し／書き込みサイクル タイミング [25、26、27]

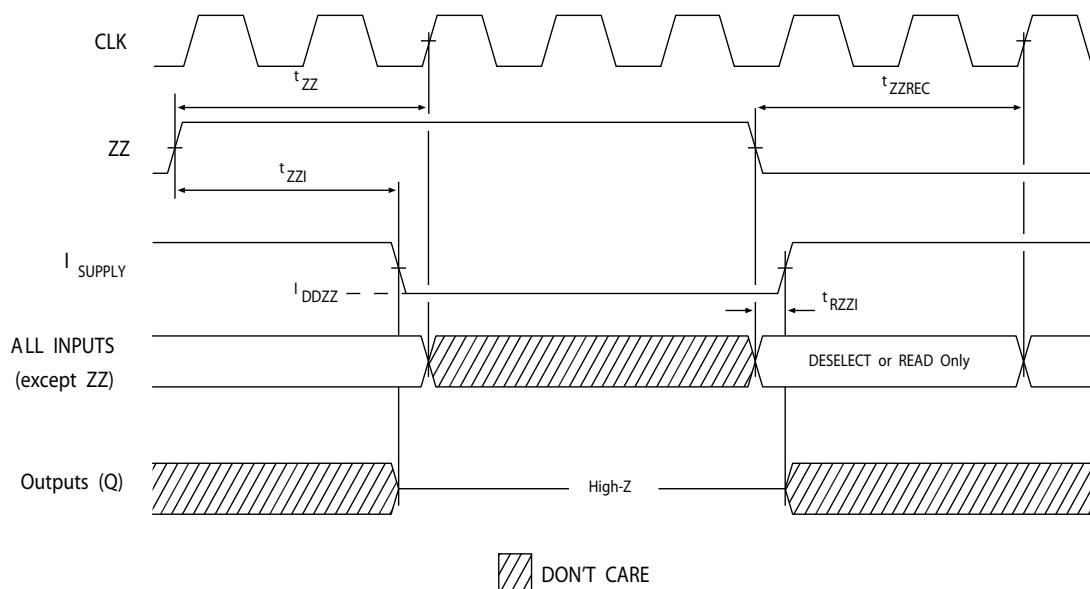


注:

25. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。
26. 新しい読み出しアクセスが \overline{ADSP} または \overline{ADSC} により開始されない限り、データバス (Q) は書き込みサイクルの後 HIGH Z になったままです。
27. \overline{GW} は HIGH です。

タイミング図(続き)

図 8. ZZ モード タイミング [28, 29]



注:

28. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するためのすべての可能な信号条件については、11 ページの真理値表を参照してください。
29. ZZ スリープモードを終了する時、DQ 信号は High Z 状態になります。

注文情報

この製品の種類について、サイプレスは、様々なコンフィギュレーションおよび特長を持っている他の多くのバージョンを提供しています。下表には、現在在庫としてある部品のみを示します。すべてのオプションの完全な一覧については、サイプレス ウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照する、または最寄りの販売代理店までお問い合わせください。サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、<http://www.cypress.com/go/datasheet/offices> をご覧ください。

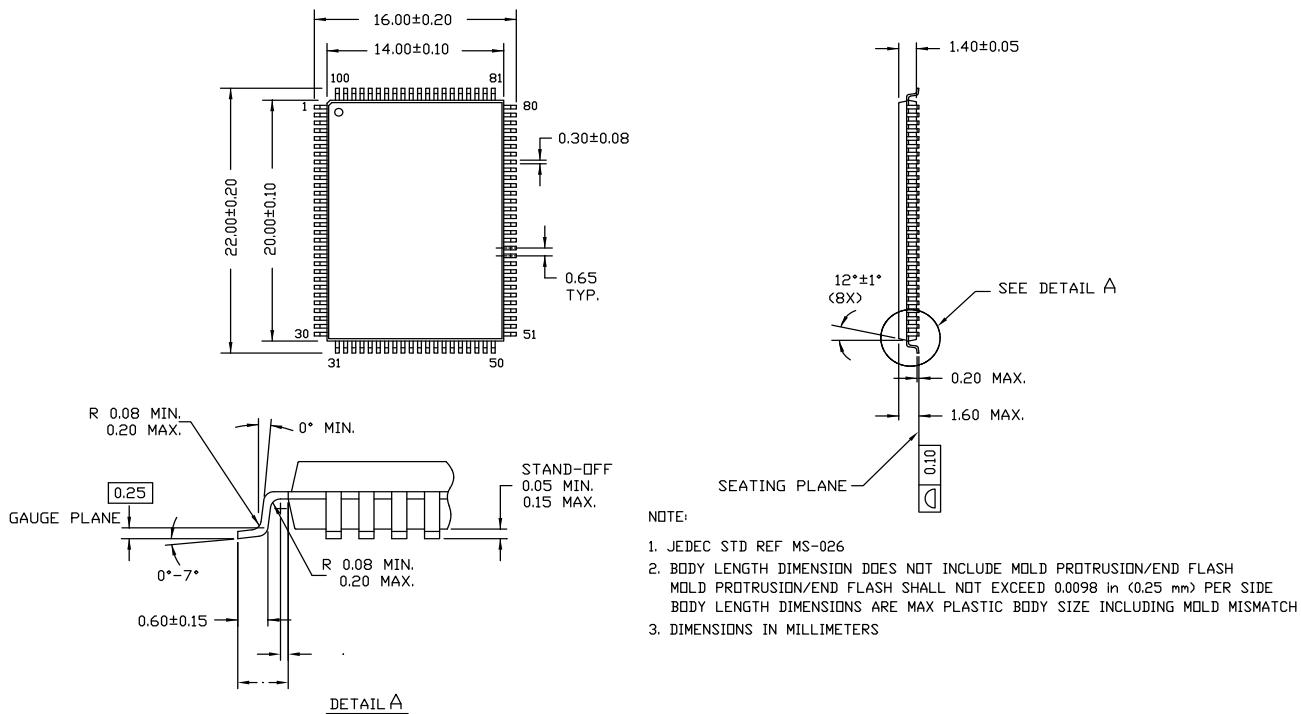
速度 (MHz)	注文コード	パッケージ図	製品とパッケージ タイプ	動作範囲
133	CY7C1381KV33-133AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1383KV33-133AXC			産業用
	CY7C1381KVE33-133AXI			
	CY7C1381KV33-133AXI			
	CY7C1383KVE33-133AXI			
	CY7C1383KV33-133AXI			
100	CY7C1381KV33-100AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1381KV33-100BZI	51-85180	165 ポール FBGA (13 × 15 × 1.4mm) 鉛フリー	産業用

注文コードの定義

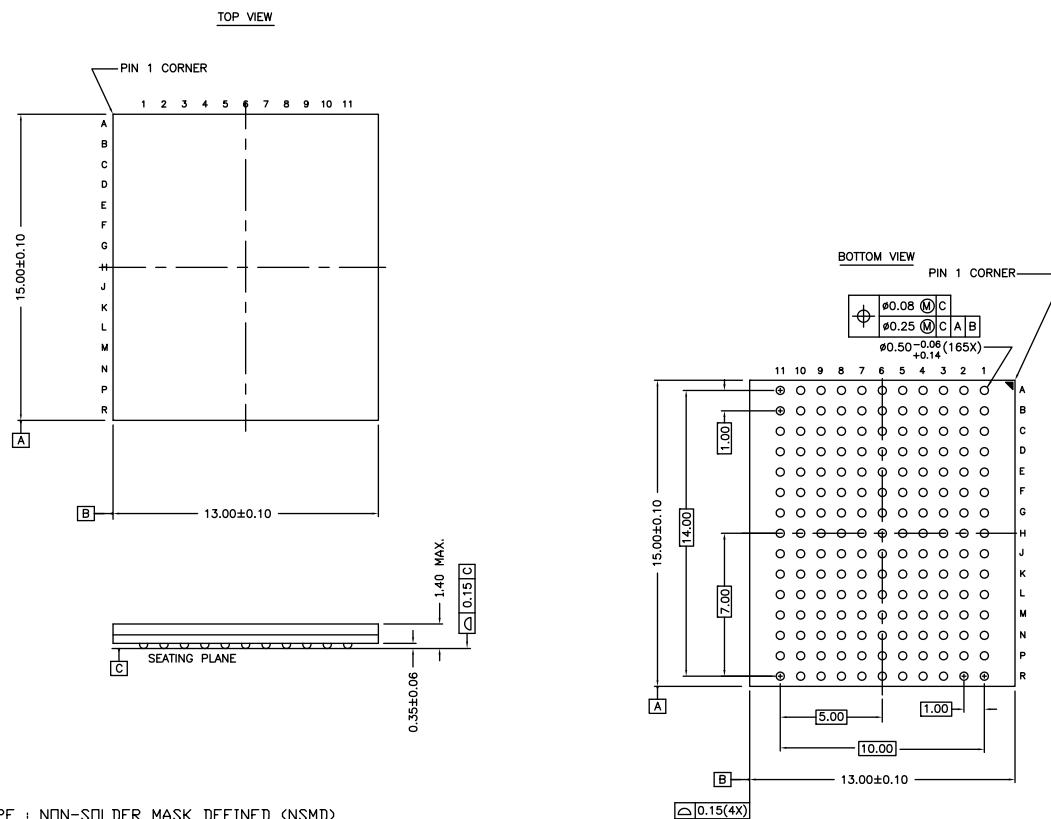


パッケージ図

図 9. 100 ピン TQFP (14x20x1.4mm) A100RA パッケージ図、51-85050



51-85050 *E

パッケージ図(続き)
図 10. 165 ポール FBGA (13 × 15 × 1.4mm) BB165D/BW165D (0.5 ポール直径) パッケージ図、51-85180


51-85180 *G

略語

略語	説明
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボール グリッド アレイ)
I/O	Input/Output (入力／出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
LMBU	Logical Multi-Bit Upsets (論理マルチ ビット アップセット)
LSB	Least Significant Bit (最下位ビット)
LSBU	Logical Single-Bit Upsets (論理シングル ビット アップセット)
MSB	Most significant bit (最上位ビット)
\overline{OE}	Output Enable (出力イネーブル)
SEL	Single Event Latch Up (シングル イベント ラッチアップ)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TAP	Test Access Port (テスト アクセス ポート)
TCK	Test Clock (テスト クロック)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)
TQFP	Thin Quad Flat Pack (薄型クアッド フラット パッケージ)
TTL	Transistor-Transistor Logic (トランジスタ - トランジスタ ロジック)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mV	ミリボルト
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33、18M ビット (512K × 36/1M × 18) フロースルーブラウザ用 SRAM (ECC 付き)
文書番号 : 001-98228

版	ECN 番号	変更者	発行日	変更内容
**	4837739	HZEN	07/23/2015	これは英語版 001-97888 Rev. *A を翻訳した日本語版 001-98228 Rev. ** です。
*A	5013024	HZEN	11/19/2015	これは英語版 001-97888 Rev. *C を翻訳した日本語版 001-98228 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ	フォーラム	ブログ	ビデオ	トレーニング
------------------------	-----------------------	---------------------	---------------------	------------------------

テクニカル サポート

cypress.com/go/support
--

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国および他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。