

18M ビット (512K × 36/1M × 18) パイプライン SRAM

特長

- 最大 250MHz でのバス動作をサポート
- 速度グレード 250MHz、200MHz、167MHz
- パイプライン動作用レジスタ付き入出力
- 3.3V コア電源
- 2.5V、3.3V I/O 電源
- 高速なクロック→出力時間
□ 2.5ns (デバイス速度が 250MHz の場合)
- 高性能 3-1-1 アクセス速度を提供
- 独立したプロセッサとコントローラ アドレス ストローブ
- セルフタイム同期書き込み
- 非同期出力イネーブル
- シングル サイクル チップ選択解除
- JEDEC 標準の鉛フリー 100 ピン TQFP と鉛あり 165 ボール FBGA パッケージで出荷
- IEEE 1149.1 JTAG 準拠のパウンダリ スキャン
- ZZ スリープ モード オプション

機能の詳細説明

CY7C1380KV33/CY7C1382KV33 SRAM は、内部バースト動作のために、高度な同期ペリフェラル回路および 2 ビット カウンターを 524,288 × 36 SRAM と 1,048,576 × 18 SRAM に組み込んでいます。すべての同期入力、ポジティブ エッジでトリガされるクロック入力 (CLK) で制御したレジスタにより取り込まれます。同期入力は、すべてのアドレス、すべてのデータ入力、アドレス パイプライン チップ イネーブル (\overline{CE}_1)、深度拡張チップ イネーブル (CE_2 、 \overline{CE}_3)、バースト制御入力 (ADSC、ADSP、ADV)、書き込みイネーブル (BW_X 、 BWE)、およびグローバル書き込み (GW) を含みます。非同期入力は出力イネーブル (OE) 信号と ZZ ピンです。

アドレス ストローブ プロセッサ (\overline{ADSP}) またはアドレス ストローブ コントローラ (ADSC) がアクティブになると、アドレスとチップ イネーブルはクロックの立ち上がりエッジで読み込まれます。後続バースト アドレスは、アドバンス ピン (ADV) の制御によって内部的に生成できます。

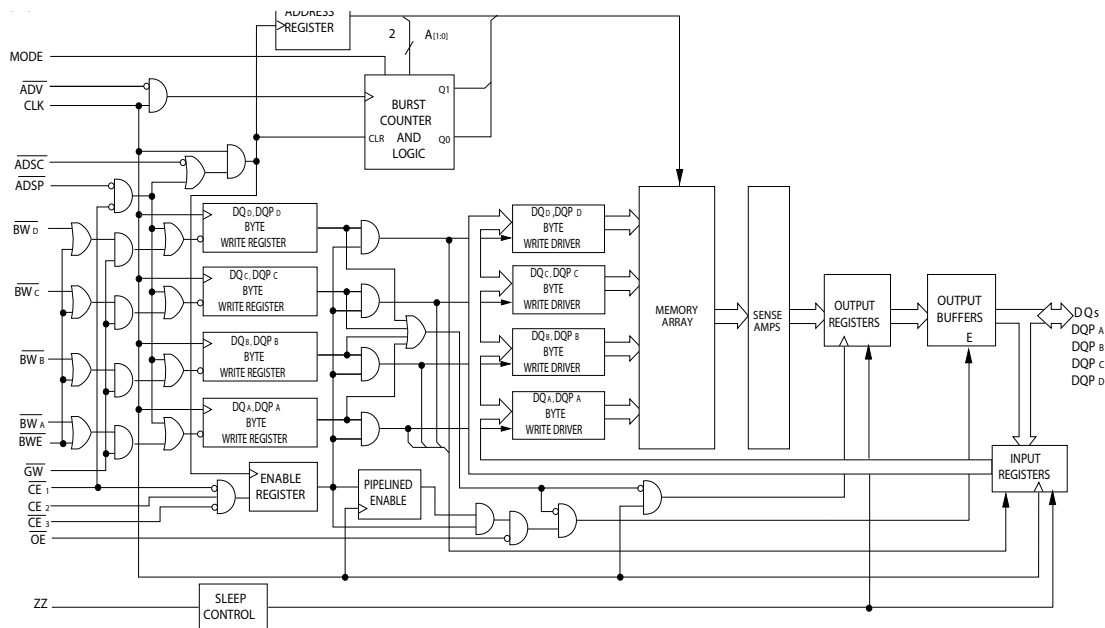
アドレス、データ 入力、および書き込み制御は、セルフタイム書き込みサイクルを開始するために、内部でレジスタに読み込みます。デバイスはバイト書き込み動作をサポートします (詳細については、[6 ページのピン機能](#)と [10 ページの真理値表](#)を参照してください)。書き込みサイクルは、バイト書き込み制御入力の制御によって、1、2 または 4 バイト幅になります。GW がアクティブ LOW になると、すべてのバイトが書き込まれます。

CY7C1380KV33/CY7C1382KV33 は +3.3V のコア電源で動作しますが、すべての出力が +2.5 か +3.3V 電源で動作します。すべての入力と出力は JEDEC 標準規格で、JESD8-5 に準拠しています。

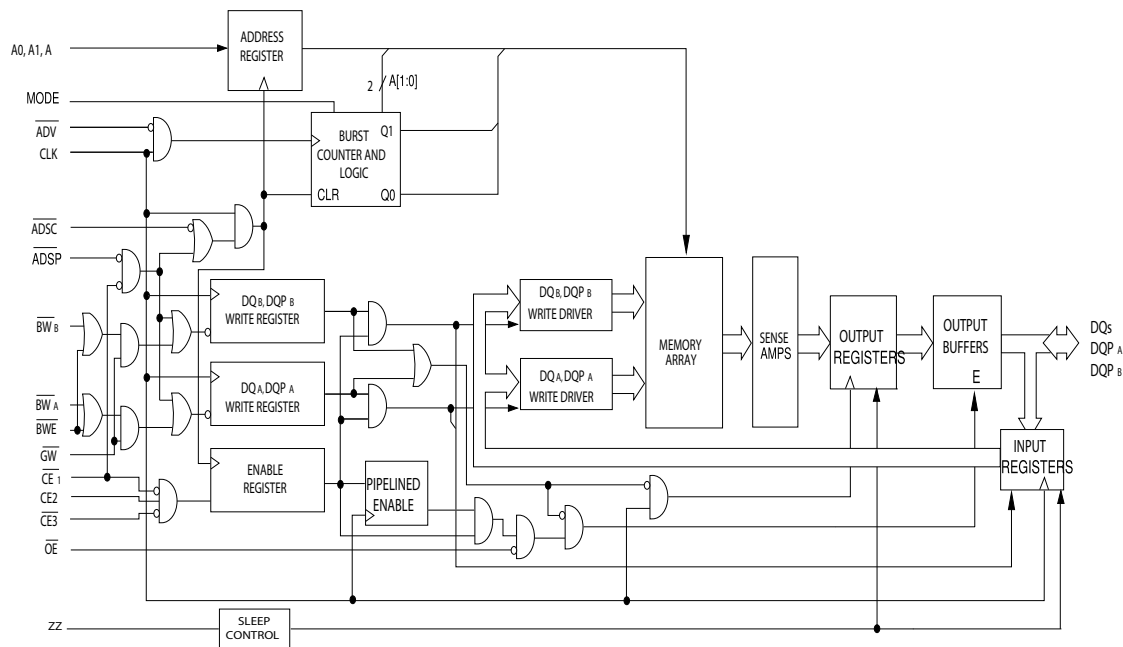
選択ガイド

説明		250MHz	200MHz	167MHz	単位
最大アクセス時間		2.5	3.2	3.4	ns
最大動作電流	×18	180	158	143	mA
	×36	200	178	163	

論理ブロック図 – CY7C1380KV33



論理ブロック図 – CY7C1382KV33



目次

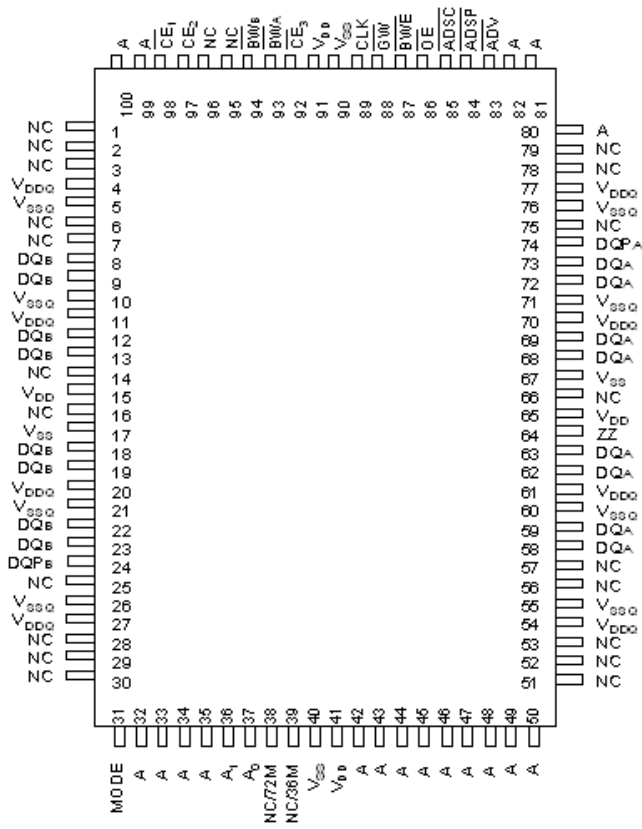
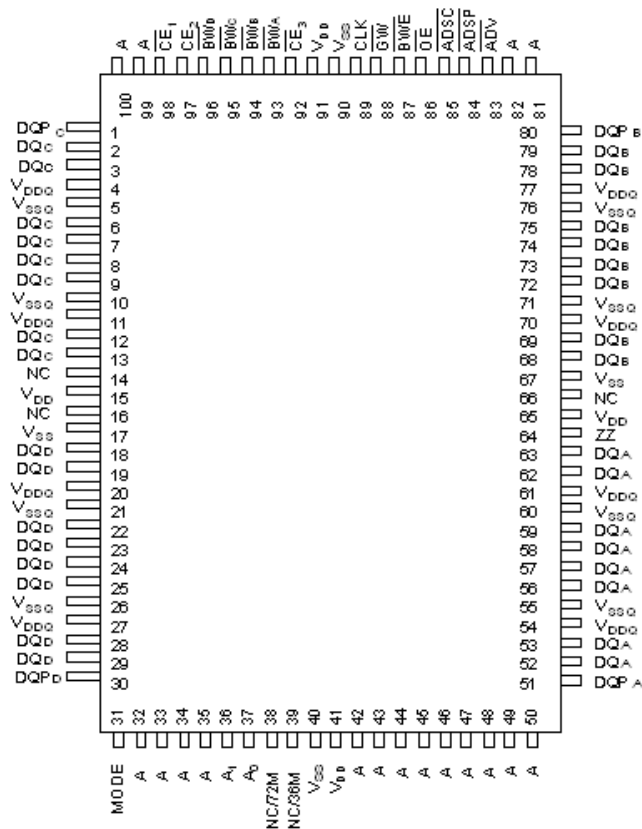
ピン配置	4	TAP DC 電気的特性と動作条件	17
ピン機能	6	ID レジスタの定義	18
機能の概要	8	スキャン レジスタ サイズ	18
シングル読み出しアクセス	8	ID コード	18
ADSP で開始されるシングル書き込みアクセス	8	バウンダリ スキャン順序	19
ADSC で開始されるシングル書き込みアクセス	8	最大定格	20
バースト シーケンス	9	動作範囲	20
スリープ モード	9	中性子ソフト エラー耐性	20
インターリーブ バースト アドレス表	9	電気的特性	20
リニア バースト アドレス表	9	静電容量	22
ZZ モード電気的特性	9	熱抵抗	22
真理値表	10	AC テストの負荷と波形	22
書き込み／読み出しの真理値表	11	スイッチング特性	23
書き込み／読み出しの真理値表	11	スイッチング波形	24
IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)	12	注文情報	28
JTAG 機能の無効化	12	注文コードの定義	28
テスト アクセス ポート (TAP)	12	パッケージ図	29
TAP リセットの実行	12	略語	31
TAP レジスタ	12	本書の表記法	31
TAP 命令セット	13	測定単位	31
TAP コントローラー状態遷移図	14	改訂履歴	32
TAP コントローラーのブロック図	15	セールス、ソリューションおよび法律情報	33
TAP タイミング	16	ワールドワイド販売と設計サポート	33
TAP AC スwitching特性	16	製品	33
3.3V TAP AC テスト条件	17	PSoC® ソリューション	33
3.3V TAP AC 出力負荷の等価回路	17	サイプレス開発者コミュニティ	33
2.5V TAP AC テスト条件	17	テクニカル サポート	33
2.5V TAP AC 出力負荷の等価回路	17		

ピン配置

図 1. 100 ピン TQFP (14 × 20 × 1.4mm) ピン配置 (3 チップ イネーブル)

CY7C1380KV33 (512K × 36)

CY7C1382KV33 (1M × 18)



ピン配置 (続き)

図 2. 165 ボール FBGA (13 × 15 × 1.4mm) ピン配置 (3 チップ イネーブル)

CY7C1380KV33 (512K × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	\overline{CE}_1	\overline{BW}_C	\overline{BW}_B	\overline{CE}_3	\overline{BWE}	\overline{ADSC}	\overline{ADV}	A	NC
B	NC/144M	A	CE2	\overline{BW}_D	\overline{BW}_A	CLK	\overline{GW}	\overline{OE}	\overline{ADSP}	A	NC/576M
C	DQP _C	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC/1G	DQP _B
D	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
E	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
F	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
G	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
K	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
L	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
M	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
N	DQP _D	NC	V _{DDQ}	V _{SS}	NC	A	NC	V _{SS}	V _{DDQ}	NC	DQP _A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	NC/36M	A	A	TMS	A0	TCK	A	A	A	A

ピン機能

ピン名	I/O	説明
A ₀ , A ₁ , A	入力 - 同期	アドレス位置の1つを選択するために使用されるアドレス入力。ADSP または ADSC がアクティブ LOW で、CE ₁ 、CE ₂ 、CE ₃ がアクティブの時にサンプリングされた場合、CLK の立ち上がりエッジでサンプリング。A1:A0 は2ビット カウンターに供給
BW _A , BW _B , BW _C , BW _D	入力 - 同期	バイト書き込み選択入力、アクティブ LOW。SRAM へバイト書き込みを実行するために BWE と共に有効にする。CLK の立ち上がりエッジでサンプリング
GW	入力 - 同期	グローバル書き込みイネーブル入力、アクティブ LOW。CLK の立ち上がりエッジで LOW にアサートされた時、グローバル書き込みが実行される (BW _X と BWE 上の値に関わらず、すべてのバイトは書き込まれる)
BWE	入力 - 同期	バイト書き込みイネーブル入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。バイト書き込みシーケンスを開始するためにこの信号を LOW にアサートすることが必要
CLK	入力 - クロック	クロック入力。デバイスへのすべての同期入力を取り込むために使用。バースト処理中に、ADV が LOW にアサートされるとバースト カウンターをインクリメントするためにも使用
CE ₁	入力 - 同期	チップ イネーブル1 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₂ と CE ₃ と併用。CE ₁ が HIGH の場合、ADSP は無視される。CE ₁ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₂	入力 - 同期	チップ イネーブル2 入力、アクティブ HIGH。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₁ と CE ₃ と併用。CE ₂ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₃	入力 - 同期	チップ イネーブル3 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₁ と CE ₂ と併用。CE ₃ は、新しい外部アドレスがロードされた時にのみサンプリング
OE	入力 - 非同期	出力イネーブル、非同期入力、アクティブ LOW。I/O ピンの方向を制御。LOW の場合、I/O ピンは出力として機能。HIGH にアサートされた時、I/O ピンはトライステートになり、入力データピンとして機能。OE は、読み出しサイクルの最初のクロック中に選択解除の状態から移行する時にマスクされる
ADV	入力 - 同期	アドバンス入力信号、CLK の立ち上がりエッジでサンプリング、アクティブ LOW。このピンがアサートされる時、バースト サイクルで自動的にアドレスをインクリメント
ADSP	入力 - 同期	プロセッサからのアドレス ストロープ、CLK の立ち上がりエッジでサンプリング、アクティブ LOW。LOW にアサートされた時、デバイスに入力されたアドレスはアドレス レジスタに取り込まれる。A1:A0 はバースト カウンターにもロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみ認識される。CE ₁ が HIGH にアサートされた時、ADSP は無視される
ADSC	入力 - 同期	コントローラーからのアドレス ストロープ、CLK の立ち上がりエッジでサンプリング、アクティブ LOW。LOW にアサートされた時、デバイスに入力されたアドレスはアドレス レジスタに取り込まれる。A1:A0 はバースト カウンターにもロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみ認識される
ZZ	入力 - 非同期	ZZ スリープ入力。このアクティブ HIGH 入力により、デバイスはデータの統合性が保持されている非タイム クリティカルな「スリープ」状態に入る。通常動作では、このピンを LOW にする、またはフローティング状態のままにすることが必要。ZZ ピンは内部プルダウン抵抗に接続
DQs, DQP _X	I/O - 同期	双方向データ I/O ライン。入力として機能している場合、これらの I/O ラインは、CLK の立ち上がりエッジでトリガーされる内蔵データ レジスタに供給される。出力として機能している場合、読み出しサイクルの以前のクロック立ち上がり中に、供給されたアドレスにより指定されるメモリ位置に含まれるデータを送信。このピンの方向は OE で制御。OE が LOW にアサートされた時、このピンは出力として機能。HIGH の場合、DQs と DQP _X はトライステート状態に移行
V _{DD}	電源	デバイス コアの電源入力
V _{SS}	グランド	デバイス コアのグランド
V _{SSQ}	I/O グランド	I/O 回路のグランド
V _{DDQ}	I/O 電源	I/O 回路の電源
MODE	入力 - スタティック	バースト順序を選択。GND に接続された場合、リニア バースト シーケンスが選択される。V _{DD} に接続する、またはフローティングのままにする時、インターリーブ バースト シーケンスが選択される。これはストラップピンであり、デバイス動作中にスタティックのままにすることが必要。MODE ピンは内部プルアップ抵抗に接続

ピン機能 (続き)

ピン名	I/O	説明
TDO	JTAG シリアル データ同期 出力	JTAG 回路のシリアル データ出力。 TCK のネガティブ エッジでデータを送信。JTAG 機能を使用しない場合、このピンを未接続にすることが必要。このピンは TQFP パッケージには存在しない
TDI	JTAG シリアル データ同期 入力	JTAG 回路へのシリアル データ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または V_{DD} に接続する。このピンは TQFP パッケージには存在しない
TMS	JTAG シリアル データ同期 入力	JTAG 回路へのシリアル データ入力。 TCK の立ち上がりエッジでサンプリング。JTAG 機能を使用しない場合、このピンを未接続にするか、または V_{DD} に接続する。このピンは TQFP パッケージには存在しない
TCK	JTAG- クロック	JTAG 回路のクロック入力。 JTAG 機能を使用しない場合、このピンを V_{SS} に接続することが必要。このピンは TQFP パッケージには存在しない
NC	—	未接続。 36M、72M、144M、288M、576M および 1G はダイに内部で接続されていないアドレス拡張ピン

機能の概要

すべての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。全てのデータ出力は、クロックの立ち上がりエッジで制御される出力レジスタを通過します。クロック立ち上がりからの最大アクセス遅延 (t_{CO}) は 2.5ns (デバイス速度が 250MHz の場合) です。

CY7C1380KV33/CY7C1382KV33 は、リニアまたはインターリーブ バースト シーケンスを使用するシステムでは二次キャッシュをサポートしています。リニア バースト シーケンスは、リニア バースト シーケンスに従うプロセッサに対応できるように設計されています。バースト順序はユーザーにより選択可能であり、MODE 入力をサンプリングすることで判定されます。アクセスはプロセッサ アドレス ストローブ (ADSP) またはコントローラ アドレス ストローブ (ADSC) いずれか一方で開始できます。バースト シーケンスを介したアドレスの増加は、ADV 入力で制御されます。2 ビットの内蔵ラップアラウンド バースト カウンターは、バースト シーケンスの最初のアドレスを取り込んで、バースト アクセスの残りに関して自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル (\overline{BWE}) とバイト書き込みセレクト ($\overline{BW_X}$) 入力により可能になります。グローバル書き込みイネーブル (\overline{GW}) はすべてのバイト書き込み入力を無効にし、すべての 4 バイトにデータを書き込みます。すべての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

3 つの同期チップ セレクト ($\overline{CE_1}$, $\overline{CE_2}$, $\overline{CE_3}$) と非同期出力イネーブル (\overline{OE}) 信号は、容易なバンク選択および出力トライステート制御を提供します。 $\overline{CE_1}$ が HIGH の場合、ADSP は無視されます。

シングル読み出しアクセス

クロックの立ち上がりでは次の要件が満たされると、このアクセスが開始されます: (1) ADSP または ADSC が LOW にアサートされ、(2) $\overline{CE_1}$, $\overline{CE_2}$, $\overline{CE_3}$ がすべてアクティブにアサートされ、(3) 書き込み信号 (\overline{GW} , \overline{BWE}) がすべて HIGH にアサートされます。 $\overline{CE_1}$ が HIGH の場合、ADSP は無視されます。アドレス入力 (A) に供給されるアドレスはアドレス増加回路とアドレス レジスタに保存されながら、メモリ アレイにも反映されます。対応するデータを出力レジスタの入力へ伝播することができます。次のクロックの立ち上がりエッジでは、 \overline{OE} がアクティブ LOW であれば、データは 2.5ns (デバイス速度が 250MHz の場合) 以内に出力レジスタを介してデータバスに伝播することができます。唯一の例外は、SRAM が選択解除状態から選択状態に復帰する時にのみ発生します。SRAM の出力は最初のアクセス サイクルの間常にトライステートになります。最初のアクセス サイクルの後、出力は \overline{OE} 信号で制御されます。連続的シングル読み出しサイクルがサポートされています。クロックの立ち上がりで SRAM がチップ セレクト信号または ADSP か ADSC 信号で選択解除されると、その出力はすぐにトライステートになります。

ADSP で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件の両方とも満たされると、このアクセスは開始されます: (1) ADSP が LOW にアサートされ、(2) $\overline{CE_1}$, $\overline{CE_2}$, および $\overline{CE_3}$ がすべてアクティブにアサートされます。A に供給されたアドレスは、メモリ アレイに提供されながら、アドレス レジスタとアドレス増加論理ブロックにロードされます。書き込み信号 (\overline{GW} , \overline{BWE} , および $\overline{BW_X}$) と ADV 入力は最初のサイクル中は無視されます。

ADSP でトリガーされる書き込みアクセスは完成するのに 2 クロック サイクルを要します。 \overline{GW} が 2 番目のクロックの立ち上がりエッジで LOW にアサートされた場合、DQs 入力に供給されたデータは、メモリ アレイ上の対応するアドレス位置に書き込まれます。 \overline{GW} が HIGH の場合、書き込み動作は \overline{BWE} と $\overline{BW_X}$ 信号で制御されます。

CY7C1380KV33/CY7C1382KV33 は、書き込みサイクル説明表で説明されたバイト書き込み機能を備えています。選択したバイト書き込み ($\overline{BW_X}$) 入力を使ってバイト書き込みイネーブル入力 (\overline{BWE}) をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1380KV33/CY7C1382KV33 が共通の I/O デバイスであるため、データを DQs 入力に供給する前に、出力イネーブル (\overline{OE}) を HIGH にアサートする必要があります。この場合、出力ドライバがトライステートになります。予防策として、 \overline{OE} の状態にかかわらず、書き込みサイクルが検出される度に DQs は自動的にトライステートになります。

ADSC で開始されるシングル書き込みアクセス

次の条件が満たされると、ADSC 書き込みアクセスは開始されます: (1) ADSC が LOW にアサートされ、(2) ADSP が HIGH にアサートされ、(3) $\overline{CE_1}$, $\overline{CE_2}$, および $\overline{CE_3}$ がすべてアクティブにアサートされ、(4) 書き込み入力 (\overline{GW} , \overline{BWE} , および $\overline{BW_X}$) の適切な組み合わせが、所望のバイトへの書き込みを実行するためにアクティブにアサートされます。ADSC でトリガーされる書き込みアクセスは完了するのに 1 クロック サイクルを要します。A に供給されたアドレスは、メモリ アレイに提供されながら、アドレス レジスタとアドレス増加論理ブロックにロードされます。ADV 入力はこのサイクル中に無視されます。グローバル書き込みを行う場合、DQs に供給されたデータはメモリ コア上の対応するアドレス位置に書き込まれます。バイト書き込みを行う場合、選択されたバイトのみが書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1380KV33/CY7C1382KV33 が共通の I/O デバイスであるため、データを DQs 入力に供給する前に、出力イネーブル (\overline{OE}) を HIGH にアサートする必要があります。この場合、出力ドライバがトライステートになります。予防策として、 \overline{OE} の状態にかかわらず、書き込みサイクルが検出される度に DQs は自動的にトライステートになります。

バースト シーケンス

CY7C1380KV33/CY7C1382KV33はA1:A0によって供給される2ビットのラップアラウンド カウンターを内蔵しています。このカウンターは、インターリーブまたはリニア バースト シーケンスを実装します。バースト シーケンスは MODE 入力によりユーザー選択可能です。

クロックの立ち上がりで \overline{ADV} を LOW にアサートすると、バースト カウンターはバースト シーケンスでの次のアドレスに自動的にインクリメントされます。読み出しと書き込みバースト動作の両方がサポートされています。

スリープ モード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力スリープ モードに入ります。このスリープ モードへ移行／から復帰するには2クロック サイクルを要します。このモードでは、データの統合性が保証されます。スリープ モードに入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープ モードに入る前に、選択解除する必要があります。ZZ 入力が LOW に戻った後、 $\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$ 、 \overline{ADSP} 、および \overline{ADSC} は t_{ZZREC} の時間非アクティブのままにする必要があります。

インターリーブ バースト アドレス表

(MODE = 開放または V_{DD})

1 番目の アドレス A1:A0	2 番目の アドレス A1:A0	3 番目の アドレス A1:A0	4 番目の アドレス A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1 番目の アドレス A1:A0	2 番目の アドレス A1:A0	3 番目の アドレス A1:A0	4 番目の アドレス A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメーター	説明	テスト条件	Min	Max	単位
I_{DDZZ}	スリープ モード スタンバイ電流	$ZZ \geq V_{DD} - 0.2V$	–	65	mA
t_{ZZS}	デバイス動作から ZZ まで	$ZZ \geq V_{DD} - 0.2V$	–	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	–	ns
t_{ZZI}	ZZ アクティブからスリープ電流	このパラメーターはサンプリングされた値	–	$2t_{CYC}$	ns
t_{RZZI}	ZZ 非アクティブからスリープ電流	このパラメーターはサンプリングされた値	0	–	ns

真理値表

以下は CY7C1380KV33/CY7C1382KV33 の真理値表です。[1、2、3、4、5]

動作	使用する アドレス	\overline{CE}_1	CE_2	\overline{CE}_3	\overline{ZZ}	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
選択解除サイクル、パワー ダウン	無	H	X	X	L	X	L	X	X	X	L-H	トリステスト
選択解除サイクル、パワー ダウン	無	L	L	X	L	L	X	X	X	X	L-H	トリステスト
選択解除サイクル、パワー ダウン	無	L	X	H	L	L	X	X	X	X	L-H	トリステスト
選択解除サイクル、パワー ダウン	無	L	L	X	L	H	L	X	X	X	L-H	トリステスト
選択解除サイクル、パワー ダウン	無	L	X	H	L	H	L	X	X	X	L-H	トリステスト
スリープ モード、パワー ダウン	無	X	X	X	H	X	X	X	X	X	X	トリステスト
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	H	L-H	トリステスト
書き込みサイクル、バースト開始	外部	L	H	L	L	H	L	X	L	X	L-H	D
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	H	L-H	トリステスト
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	後続	X	X	X	L	H	H	L	H	H	L-H	トリステスト
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	後続	H	X	X	L	X	H	L	H	H	L-H	トリステスト
書き込みサイクル、バースト継続	後続	X	X	X	L	H	H	L	L	X	L-H	D
書き込みサイクル、バースト継続	後続	H	X	X	L	X	H	L	L	X	L-H	D
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	H	L-H	トリステスト
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	L-H	トリステスト
書き込みサイクル、バースト停止	現行	X	X	X	L	H	H	H	L	X	L-H	D
書き込みサイクル、バースト停止	現行	H	X	X	L	X	H	H	L	X	L-H	D

注:

1. X = ドント ケア、H = 論理 HIGH、L = 論理 LOW。
2. 1つ以上のバイト書き込みイネーブル信号と $\overline{BWE} = L$ または $\overline{GW} = L$ の時、 $\overline{WRITE} = L$ です。すべてのバイト書き込みイネーブル信号、 \overline{BWE} 、 $\overline{GW} = H$ の時、 $\overline{WRITE} = H$ です。
3. DQ ピンは現行のサイクルと \overline{OE} 信号によって制御されます。 \overline{OE} は非同期で、クロックと同期してサンプリングされません。
4. \overline{GW} 、 \overline{BWE} 、または \overline{BW}_x の状態に関わらず、ADSP がアサートされると、SRAM は読み出しサイクルを開始します。書き込みは、ADSP の後に、または ADSC のアサート後の後続のクロック サイクルでのみ行われます。従って、出力がトリステストになるために、書き込みサイクル前に \overline{OE} を HIGH レベルに駆動する必要があります。 \overline{OE} はその後の書き込みサイクルでは「ドント ケア」です。
5. \overline{OE} は非同期で、クロック立ち上がりとは同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスキングされます。読み出しサイクルでは、 \overline{OE} が非アクティブ、またはデバイスが選択解除された場合、すべてのデータビットは、トリステストになります。 \overline{OE} がアクティブ (LOW) の場合、すべてのデータビットは出力として機能します。

書き込み／読み出しの真理値表

以下は CY7C1380KV33 の真理値表。[6, 7]

機能 (CY7C1380KV33)	\overline{GW}	\overline{BWE}	\overline{BW}_D	\overline{BW}_C	\overline{BW}_B	\overline{BW}_A
読み出し	H	H	X	X	X	X
読み出し	H	L	H	H	H	H
バイト A 書き込み – (DQ _A と DQP _A)	H	L	H	H	H	L
バイト B 書き込み – (DQ _B と DQP _B)	H	L	H	H	L	H
バイト B、A 書き込み	H	L	H	H	L	L
バイト C 書き込み – (DQ _C と DQP _C)	H	L	H	L	H	H
バイト C、A 書き込み	H	L	H	L	H	L
バイト C、B 書き込み	H	L	H	L	L	H
バイト C、B、A 書き込み	H	L	H	L	L	L
バイト D 書き込み – (DQ _D と DQP _D)	H	L	L	H	H	H
バイト D、A 書き込み	H	L	L	H	H	L
バイト D、B 書き込み	H	L	L	H	L	H
バイト D、B、A 書き込み	H	L	L	H	L	L
バイト D、C 書き込み	H	L	L	L	H	H
バイト D、C、A 書き込み	H	L	L	L	H	L
バイト D、C、B 書き込み	H	L	L	L	L	H
すべてのバイト書き込み	H	L	L	L	L	L
すべてのバイト書き込み	L	X	X	X	X	X

書き込み／読み出しの真理値表

以下は CY7C1382KV33 の書き込み／読み出しの真理値表です。[6, 7]

機能 (CY7C1382KV33)	\overline{GW}	\overline{BWE}	\overline{BW}_B	\overline{BW}_A
読み出し	H	H	X	X
読み出し	H	L	H	H
バイト A 書き込み – (DQ _A と DQP _A)	H	L	H	L
バイト B 書き込み – (DQ _B と DQP _B)	H	L	L	H
バイト B、A 書き込み	H	L	L	L
すべてのバイト書き込み	H	L	L	L
すべてのバイト書き込み	L	X	X	X

注:

6. X = ドント ケア、H = 論理 HIGH、L = 論理 LOW。
7. この表では、バイト書き込みの組み合わせの一部を示します。どの \overline{BW}_X の組み合わせも有効です。書き込みは、アクティブになるバイト書き込み信号に応じ て適切に行われます。

IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)

CY7C1380KV33 は、シリアル バウンダリ スキャン テスト アクセス ポート (TAP) を組み込んでいます。この部品は 1149.1 に完全に準拠しています。TAP は、JEDEC 標準の 3.3V または 2.5V I/O 論理レベルを使用して動作します。

CY7C1380KV33 は TAP コントローラー、命令レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタ、および ID レジスタを含んでいます。

JTAG 機能の無効化

JTAG 機能を使用せず、SRAM を動作させることができます。TAP コントローラーを無効にするためには、TCK を LOW (V_{SS}) に接続してデバイスへのクロック供給を防ぐ必要があります。TDI と TMS は内部でプルアップされ、未接続にすることができます。かわりに、プルアップ抵抗を介して V_{DD} に接続することもできます。TDO は未接続にする必要があります。電源投入時にデバイスは、デバイス動作を妨げないリセット状態に入ります。

テスト アクセス ポート (TAP)

テスト クロック (TCK)

テスト クロックは TAP コントローラーとのみ併用できます。すべての入力を TCK の立ち上がりエッジで取り込みます。すべての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード選択 (TMS)

TMS 入力は、TAP コントローラーにコマンドを送信するために使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このピンは未接続のままにすることができます。ボールは内部でプルアップされるため、論理 HIGH レベルになります。

テスト データ入力 (TDI)

TDI ボールは、レジスタに情報をシリアル入力するのに使用され、どのレジスタの入力にも接続することができます。TDI と TDO 間の接続レジスタは、TAP 命令レジスタにロードされた命令によって選択されます。命令レジスタにロードする方法については、14 ページの [TAP コントローラー状態遷移図](#) を参照してください。アプリケーションで TAP を使用しない場合、TDI は内部でプルアップされ、開放することがあります。TDI はあらゆるレジスタの最上位ビット (MSB) に接続されます。

テスト データ出力 (TDO)

TDO 出力ボールは、レジスタからデータをシリアル出力するために使用されます。TAP ステート マシンの状態に応じて、出力はアクティブになります (18 ページの [ID コード](#) を参照してください)。出力は TCK の立ち下がりエッジで変化します。TDO は、レジスタの最下位ビット (LSB) に接続されます。

TAP リセットの実行

リセットは、TCK の 5 つの立ち上がりエッジの間 TMS を HIGH (V_{DD}) にすることで実行されます。このリセットは SRAM の動作に影響を与えず、SRAM の動作中に実行できます。

電源投入時に、TDO を High Z 状態にするため、TAP は内部でリセットされます。

TAP レジスタ

SRAM テスト回路の入力と出力データをスキャンするために、TDI と TDO の間にレジスタが接続されます。命令レジスタを介して、一度に選択されるレジスタは 1 つのみです。データは TCK の立ち上がりエッジで TDI ボールに順次ロードされます。データは TCK の立ち下がりエッジで TDO ボールに出力されます。

命令レジスタ

3 ビットの命令を命令レジスタに順次ロードすることができます。このレジスタは、15 ページの [TAP コントローラーのブロック図](#) に示すように、TDI と TDO ボール間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令レジスタにロードされます。前述したように、コントローラーがリセット状態になった場合にも、IDCODE 命令が命令レジスタにロードされます。

TAP コントローラーが Capture-IR 状態になった時、基板レベルのシリアル テスト データ パスの障害分離を可能にするために、2 進数「01」パターンが最下位 2 ビットにロードされます。

バイパス レジスタ

レジスタを通してデータを順次シフトする際の時間を節約するために、特定のチップをスキップすることが有効な場合もあります。バイパス レジスタは、TDI と TDO ボール間に配置できる 1 ビットのレジスタです。これにより、最小限の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行されると、バイパス レジスタは LOW (V_{SS}) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上のすべての入力および双方向ボールに接続されます。

バウンダリ スキャン レジスタは、TAP コントローラーが Capture-DR 状態になる時に RAM 入力と出力リングの内容がロードされ、そしてコントローラーが Shift-DR 状態に移移する時に TDI と TDO ボール間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、入力と出力リングの内容を取り込むために使用されます。

19 ページの [バウンダリ スキャン順序](#) に、ビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つの端子に対応します。レジスタの MSB は TDI に、LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令レジスタにロードされた時、Capture-DR 状態の間に、ID レジスタにベンダー固有の 32 ビットコードがロードされます。IDCODE は SRAM 内に格納され、TAP コントローラーが Shift-DR 状態になるとシフトアウトすることができます。ID レジスタのベンダーコードおよびその他の情報は 18 ページの [ID レジスタの定義](#) を参照してください。

TAP 命令セット

概要

3 ビットの命令レジスタにより、8 つの異なる命令があります。すべての組み合わせを 18 ページの ID コードに示します。これらの命令の内 3 つが RESERVED で、使用してはいけません。残りの 5 つの命令を本節で詳しく説明します。

命令レジスタが TDI と TDO の間に配置されると、命令は Shift-IR 状態の間に TAP コントローラーにロードされます。この状態の間に、命令は命令レジスタを通して TDI と TDO ボールによりシフトされます。シフトインされた命令を実行するために、TAP コントローラーを Update-IR 状態にする必要があります。

EXTEST

EXTEST 命令は、プリロードされたデータをシステム出力ピンを通して駆動します。この命令では、Shift-DR 状態の間にシリアルアクセス用にバウンダリ スキャンレジスタを TDI と TDO の間に接続します。

IDCODE

IDCODE 命令では、ベンダー固有の 32 ビット コードを命令レジスタにロードします。また、命令レジスタを TDI と TDO ボールの間に配置して、TAP コントローラーが Shift-DR 状態に入った時に IDCODE をデバイスからシフトアウトすることができます。

IDCODE 命令は、電源投入時または TAP コントローラーが「Test-Logic-Reset」状態に入る度に、命令レジスタにロードされます。

SAMPLE Z

SAMPLE Z 命令により、TAP コントローラーが Shift-DR 状態に入った時にバウンダリ スキャンレジスタが TDI と TDO ボールの間に接続されます。この命令は、すべての SRAM 出力を High Z 状態にします。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラーが Capture-DR 状態になっている場合、入力と出力ピン上のデータのスナップショットはバウンダリ スキャン レジスタに取り込まれます。

TAP コントローラー クロックは最大 20MHz の周波数で動作するのに対して、SRAM クロックは桁違いに速い周波数で動作することができます。クロック周波数に大きな差があるため、入力または出力は Capture-DR 状態中に変化する可能性があります。その後、TAP は変化中 (メタステーブル状態) の信号を取り込もうとするかもしれません。これはデバイスに悪影響を与えませんが、取り込まれた値に対する保証はありません。再現性のない結果となる場合があります。

バウンダリ スキャン レジスタが信号の正しい値を取り込むために、SRAM 信号は、TAP コントローラーのキャプチャ セットアップ + ホールド時間 ($t_{CS} + t_{CH}$) を満たす十分な安定時間を

取る必要があります。SAMPLE/PRELOAD 命令の間にクロックを停止する (または遅くする) 方法がデザインにない場合、SRAM クロック入力は正常に取り込まれない場合があります。これが問題になっても、他のすべての信号を取り込むことは依然として可能で、単にバウンダリ スキャン レジスタに取り込まれた CK および CK# の値を無視するだけで済みます。

データが取り込まれると、TAP を Shift-DR 状態に移行させることでデータをシフトアウトすることができます。これにより、バウンダリ スキャンレジスタが TDI と TDO ピンの間に配置されます。

PRELOAD では、他のバウンダリ スキャン テスト動作の選択の前に、初期データ パターンをバウンダリ スキャン レジスタセルのラッチされたパラレル出力に配置します。

SAMPLE および PRELOAD のデータのシフトは、必要に応じて同時に実行することができます。つまり、取り込まれたデータがシフトアウトされている間にプリロードされたデータがシフトインされます。

BYPASS

BYPASS 命令が命令レジスタにロードされ、TAP が Shift-DR 状態になると、バイパス レジスタは TDI と TDO ボールの間に配置されます。BYPASS 命令の利点は、複数のデバイスが基板上で互いに接続されている時にバウンダリ スキャン バスを短縮することです。

EXTEST OUTPUT BUS TRISTATE

IEEE 標準 1149.1 では、TAP コントローラーは出力バスをトリステートにできることが必要です。

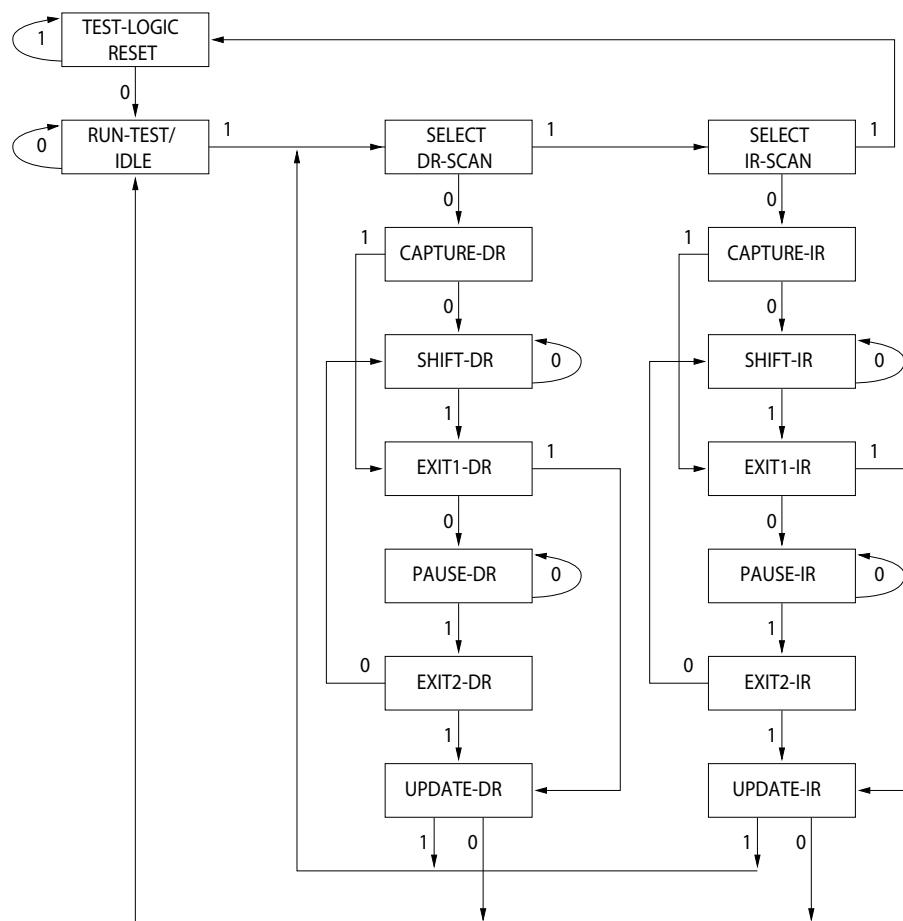
バウンダリ スキャン レジスタには、ビット 89 に位置付けられた特別なビットがあります (165 ボール FBGA パッケージの場合)。「extest output bus tristate」と呼ばれるこのスキャンセルは、TAP コントローラーで「Update-DR」状態中にプリロードレジスタにラッチされた時、EXTEST が現時点の命令として入力されると、出力 (Q バス) ピンの状態を直接制御します。このビットは HIGH の時、出力バッファに出力バスを駆動させます。LOW の時、出力バスを High Z 状態に移行させます。

Shift-DR 状態中に、SAMPLE/PRELOAD または EXTEST コマンドを入力して、所望のビットをそのセルにシフトすることでこのビットをセットできます。Update-DR の間に、そのシフトレジスタセルにロードされた値はプリロード レジスタにラッチします。EXTEST 命令を入力すると、このビットは出力 Q バスピンを直接制御します。デバイスが電源投入された時や TAP コントローラーが「Test-Logic-Reset」状態になった時に出力を有効にするために、このビットは予め HIGH にセットされることに注意してください。

Reserved

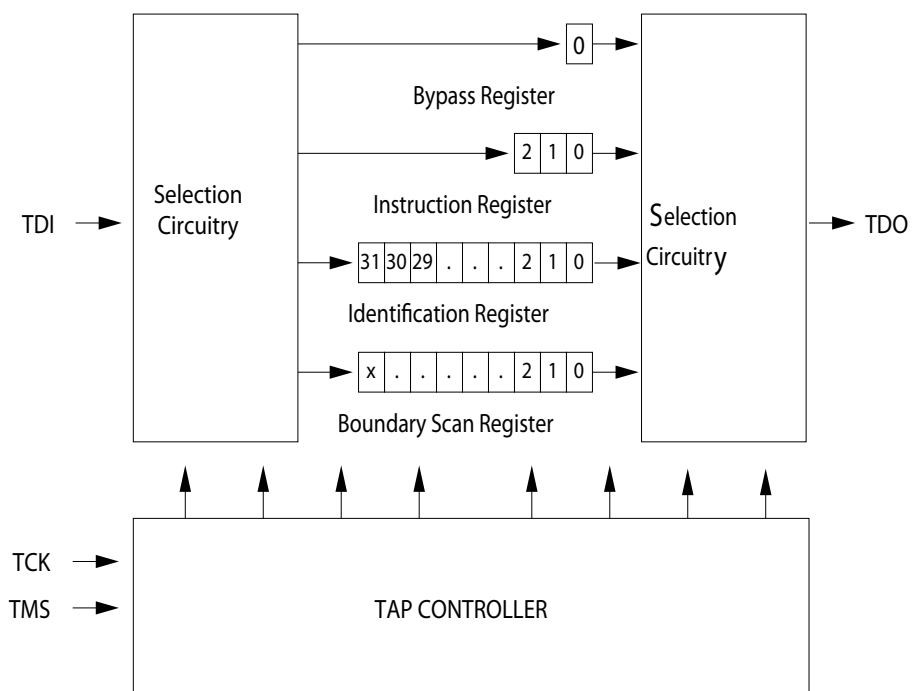
これら命令は実装されていませんが、将来のために予約されています。これらの命令を使用しないでください。

TAP コントローラー状態遷移図

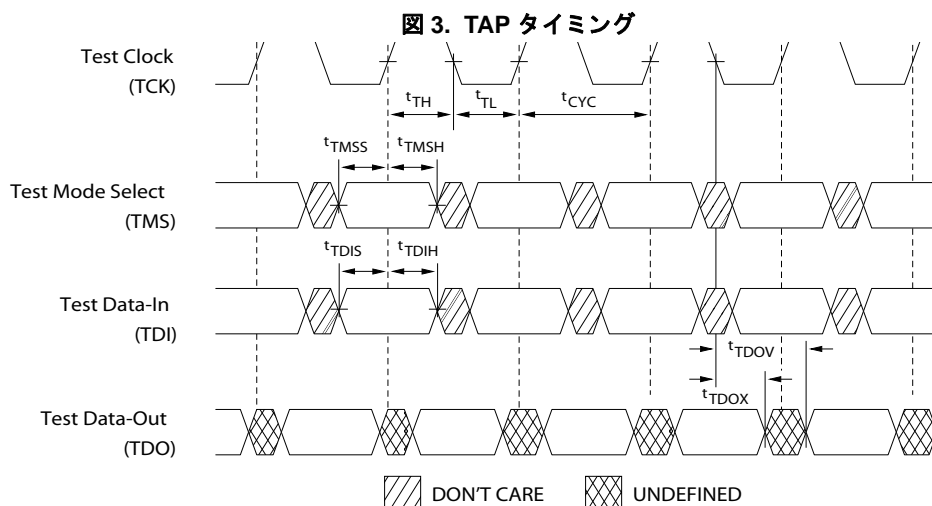


遷移状態の隣の0または1の数字は、TCKの立ち上がりエッジでのTMSの値を示します。

TAP コントローラーのブロック図



TAP タイミング



TAP AC スイッチング特性

動作範囲において

パラメーター [8、9]	説明	Min	Max	単位
クロック				
t_{TCYC}	TCK クロック サイクル時間	50	—	ns
t_{TF}	TCK クロック周波数	—	20	MHz
t_{TH}	TCK クロック HIGH 時間	20	—	ns
t_{TL}	TCK クロック LOW 時間	20	—	ns
出力時間				
t_{TDOV}	TCK クロック LOW から TDO 有効まで	—	10	ns
t_{TDOX}	TCK クロック LOW から TDO 無効まで	0	—	ns
セットアップ時間				
t_{TMSS}	TCK クロックの立ち上がりまでの TMS セットアップ時間	5	—	ns
t_{TDIS}	TCK クロックの立ち上がりまでの TDI セットアップ時間	5	—	ns
t_{CS}	TCK の立ち上がりまでのキャプチャ セットアップ時間	5	—	ns
ホールド時間				
t_{TMSh}	TCK クロック立ち上がり後の TMS ホールド時間	5	—	ns
t_{TDIH}	TCK クロック立ち上がり後の TDI ホールド時間	5	—	ns
t_{CH}	TCK クロック立ち上がり後のキャプチャ ホールド時間	5	—	ns

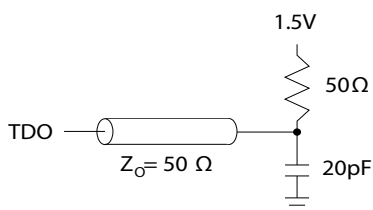
注:

8. t_{CS} と t_{CH} は、バウンダリ スキャン レジスタからデータをラッチするためのセットアップとホールド時間を示します。
9. テスト条件は、TAP AC テスト条件での負荷を使用して指定されます。 $t_R/t_F = 1\text{ns}$ 。

3.3V TAP AC テスト条件

入力パルス レベル $V_{SS} \sim 3.3V$
 入力の立ち上がりと立ち下がり時間
 (スルーレート) 2V/ns
 入力タイミングのリファレンス電圧レベル 1.5V
 出力のリファレンス電圧レベル 1.5V
 テスト負荷終端電源電圧 1.5V

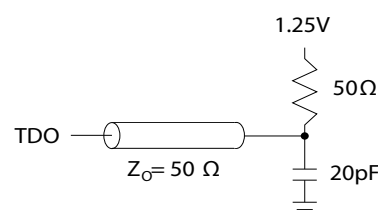
3.3V TAP AC 出力負荷の等価回路



2.5V TAP AC テスト条件

入力パルス レベル $V_{SS} \sim 2.5V$
 入力の立ち上がりと立ち下がり時間
 (スルーレート) 2V/ns
 入力タイミングのリファレンス電圧レベル 1.25V
 出力のリファレンス電圧レベル 1.25V
 テスト負荷終端電源電圧 1.25V

2.5V TAP AC 出力負荷の等価回路



TAP DC 電気的特性と動作条件

(特記されていない限り、 $0^{\circ}C < T_A < +70^{\circ}C$; $V_{DD} = 3.3V \pm 0.165V$)

パラメーター ^[10]	説明	テスト条件	Min	Max	単位
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -4.0mA$, $V_{DDQ} = 3.3V$	2.4	—	V
		$I_{OH} = -1.0mA$, $V_{DDQ} = 2.5V$	2.0	—	V
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100\mu A$, $V_{DDQ} = 3.3V$	2.9	—	V
		$V_{DDQ} = 2.5V$	2.1	—	V
V_{OL1}	出力 LOW 電圧	$I_{OL} = 8.0mA$, $V_{DDQ} = 3.3V$	—	0.4	V
		$V_{DDQ} = 2.5V$	—	0.4	V
V_{OL2}	出力 LOW 電圧	$I_{OL} = 100\mu A$, $V_{DDQ} = 3.3V$	—	0.2	V
		$V_{DDQ} = 2.5V$	—	0.2	V
V_{IH}	入力 HIGH 電圧	$V_{DDQ} = 3.3V$	2.0	$V_{DD} + 0.3$	V
		$V_{DDQ} = 2.5V$	1.7	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧	$V_{DDQ} = 3.3V$	-0.3	0.8	V
		$V_{DDQ} = 2.5V$	-0.3	0.7	V
I_X	入力負荷電流	$GND \leq V_{IN} \leq V_{DDQ}$	-5	5	μA

注:

10. すべての電圧は V_{SS} (GND) を基準にしています。

ID レジスタの定義

命令フィールド	CY7C1380KV33 (512K × 36)	説明
リビジョン番号 (31:29)	000	バージョン番号を示す
デバイス深部 (28:24) ^[11]	01011	内部使用のために予約済み
デバイス幅 (23:18) 165 ボール FBGA	000000	メモリ タイプとアーキテクチャを定義
サイプレスのデバイス ID (17:12)	100101	幅と容量を定義
サイプレスの JEDEC ID コード (11:1)	00000110100	SRAM ベンダーを識別
ID レジスタの有無インジケータ (0)	1	ID レジスタの有無を示す

スキャン レジスタ サイズ

レジスタ名	ビット サイズ (×36)
命令	3
バイパス	1
ID	32
バウンダリ スキャン順序 (165 ボール FBGA パッケージ)	89

ID コード

命令	コード	説明
EXTEST	000	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを High Z 状態に移行
IDCODE	001	ベンダー ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置。この処理は SRAM 動作に影響を与えない
SAMPLE Z	010	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを HIGH Z 状態に移行
RESERVED	011	未使用。未使用：今後使用するために予約されている
SAMPLE/PRELOAD	100	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。SRAM 動作に影響を与えない
RESERVED	101	未使用。未使用：今後使用するために予約されている
RESERVED	110	未使用。未使用：今後使用するために予約されている
BYPASS	111	バイパス レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない

注：

11. 本デバイスの 2.5V と 3.3V バージョンの両方のレジスタ定義ではビット 24 が「1」です。

バウンダリ スキャン順序

165 ボール BGA^[12、13]

ビット番号	ボール ID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11
26	E11
27	D11
28	G10
29	F10
30	E10

ビット番号	ボール ID
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1

ビット番号	ボール ID
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注:

12. NC (未接続) のボールは LOW にプリセットされます。
13. ビット 89 は HIGH にプリセットされます。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$
 通電時の周囲温度 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 GND を基準とした V_{DD} 電源電圧 $-0.3\text{V} \sim +4.6\text{V}$
 GND を基準とした V_{DDQ} 電源電圧 $-0.3\text{V} \sim +V_{DD}$
 トライステート状態の出力に
 与える DC 電圧 $-0.5\text{V} \sim V_{DDQ} + 0.5\text{V}$
 DC 入力電圧 $-0.5\text{V} \sim V_{DD} + 0.5\text{V}$
 出力 (LOW) への電流 20mA
 静電放電時の電圧
 (MIL-STD-883 準拠、メソッド 3015) $>2001\text{V}$
 ラッチアップ電流 $> 200\text{mA}$

動作範囲

範囲	周囲温度	V_{DD}	V_{DDQ}
商業用	$0^{\circ}\text{C} \sim +70^{\circ}\text{C}$	$3.3\text{V} - 5\% / + 10\%$	$2.5\text{V} - 5\% \sim V_{DD}$
産業用	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$		

中性子ソフト エラー耐性

パラメーター	説明	テスト条件	Typ	Max*	単位
LSBU (ECC なしのデバイス)	論理 シングルビット アップセット	25°C	197	216	FIT/ Mb
LMBU	論理 マルチビット アップセット	25°C	0	0.01	FIT/ Mb
SEL	シングル イベント ラッチアップ	85°C	0	0.1	FIT/ Dev

* テスト中に LMBU または SEL イベントは発生しない; 本項は χ^2 分布の 95% 信頼上限を示す。詳細は、AN54908 - Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates のアプリケーション ノートを参照

電気的特性

動作範囲において

パラメーター ^[14, 15]	説明	テスト条件	Min	Max	単位
V_{DD}	電源電圧		3.135	3.6	V
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH} = -4.0\text{mA}$ の場合	2.4	—	V
		2.5 V I/O、 $I_{OH} = -1.0\text{mA}$ の場合	2.0	—	V
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL} = 8.0\text{mA}$ の場合	—	0.4	V
		2.5V I/O、 $I_{OL} = 1.0\text{mA}$ の場合	—	0.4	V
V_{IH}	入力 HIGH 電圧 ^[14]	3.3V I/O の場合	2.0	$V_{DD} + 0.3\text{V}$	V
		2.5V I/O の場合	1.7	$V_{DD} + 0.3\text{V}$	V
V_{IL}	入力 LOW 電圧 ^[14]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V
I_X	入力リーク電流 (ZZ と MODE を除く)	$\text{GND} \leq V_I \leq V_{DDQ}$	-5	5	μA
	MODE の入力電流	入力 = V_{SS}	-30	—	μA
		入力 = V_{DD}	—	5	μA
	ZZ の入力電流	入力 = V_{SS}	-5	—	μA
		入力 = V_{DD}	—	30	μA
I_{OZ}	出力リーク電流	$\text{GND} \leq V_I \leq V_{DDQ}$ 、出力が無効	-5	5	μA

注:

14. オーバーシュート: $V_{IH(AC)} < V_{DD} + 1.5\text{V}$ (パルス幅は $t_{CYC}/2$ 未満)、アンダーシュート: $V_{IL(AC)} > -2\text{V}$ (パルス幅は $t_{CYC}/2$ 未満)。
 15. $T_{\text{Power-up}}$: 少なくとも 200ms 以上での 0V から $V_{DD(\text{min})}$ までの直線昇圧を前提としています。この期間中は、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ です。

電気的特性 (続き)

動作範囲において

パラメーター [14、15]	説明	テスト条件			Min	Max	単位
I _{DD}	V _{DD} 動作時電源	V _{DD} = Max、I _{OUT} = 0mA、 f = f _{MAX} = 1/t _{CYC}	4ns のサイクル、 250MHz	×18	－	180	mA
				×36	－	200	
			5ns のサイクル、 200MHz	×18	－	158	
				×36	－	178	
			6ns のサイクル、 167MHz	×18	－	143	
				×36	－	163	
I _{SB1}	自動 CE パワーダウン 電流 – TTL 入力	最大 V _{DD} 、デバイス選択 解除、 V _{IN} ≥ V _{IH} または V _{IN} ≤ V _{IL} 、 f = f _{MAX} = 1/t _{CYC}	4ns のサイクル、 250MHz	×18	－	75	mA
				×36	－	80	
			5ns のサイクル、 200MHz	×18	－	75	
				×36	－	80	
			6ns のサイクル、 167MHz	×18	－	75	
				×36	－	80	
I _{SB2}	自動 CE パワーダウン 電流 – CMOS 入力	最大 V _{DD} 、デバイス選択 解除、V _{IN} ≤ 0.3V または V _{IN} ≥ V _{DDQ} - 0.3V、f = 0	すべての速度 グレード	×18	－	65	mA
				×36	－	70	
I _{SB3}	自動 CE パワーダウン 電流 – CMOS 入力	最大 V _{DD} 、デバイス選択 解除、V _{IN} ≤ 0.3V または V _{IN} ≥ V _{DDQ} - 0.3V、 f = f _{MAX} = 1/t _{CYC}	4ns のサイクル、 250MHz	×18	－	75	mA
				×36	－	80	
			5ns のサイクル、 200MHz	×18	－	75	
				×36	－	80	
			6ns のサイクル、 167MHz	×18	－	75	
				×36	－	80	
I _{SB4}	自動 CE パワーダウン 電流 – TTL 入力	最大 V _{DD} 、デバイス選択 解除、V _{IN} ≥ V _{IH} または V _{IN} ≤ V _{IL} 、f = 0	すべての速度 グレード	×18	－	65	mA
				×36	－	70	

静電容量

パラメーター	説明	テスト条件	100 ピン TQFP パッケージ	165 ボール FBGA パッケージ	単位
C_{IN}	入力静電容量	$T_A = 25^{\circ}\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	5	pF
C_{CLK}	クロック入力静電容量		5	5	pF
C_{IO}	入力／出力静電容量		5	5	pF

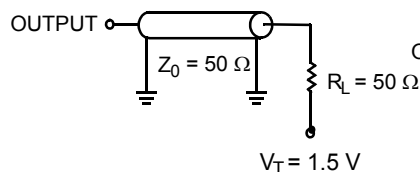
熱抵抗

パラメーター	説明	テスト条件		100 ピン TQFP パッケージ	165 ボール FBGA パッケージ	単位
ΘJA	熱抵抗 (ジャンクションから周囲)	テスト条件は、 EIA/JESD51 による、 熱インピーダンスを測定 するための標準的なテスト 方法と手順に従う	無風時 (0m/s)	37.95	17.34	°C/W
			空冷 (1m/s)	33.19	14.33	°C/W
			空冷 (3m/s)	30.44	12.63	°C/W
ΘJB	熱抵抗 (ジャンクションからボード)		--	24.07	8.95	°C/W
				ΘJC	熱抵抗 (ジャンクションからケース)	8.36

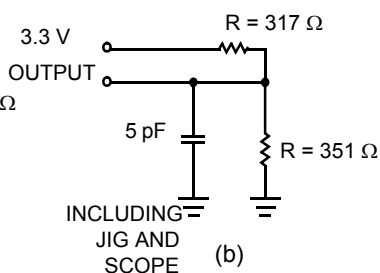
AC テストの負荷と波形

図 4. AC テストの負荷と波形

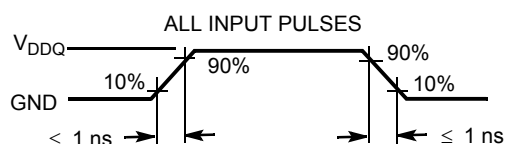
3.3 V I/O Test Load



(a)

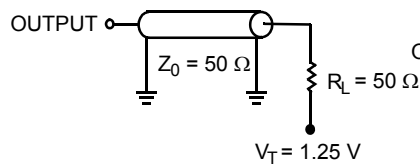


(b)

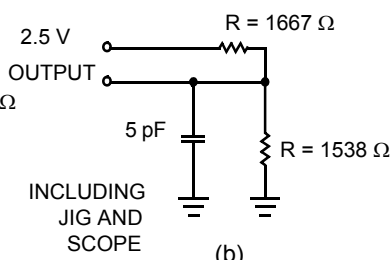


(c)

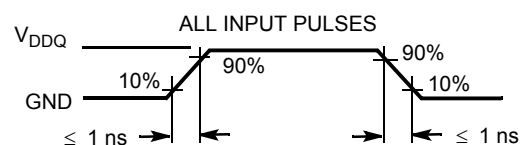
2.5 V I/O Test Load



(a)



(b)



(c)

スイッチング特性

動作範囲において

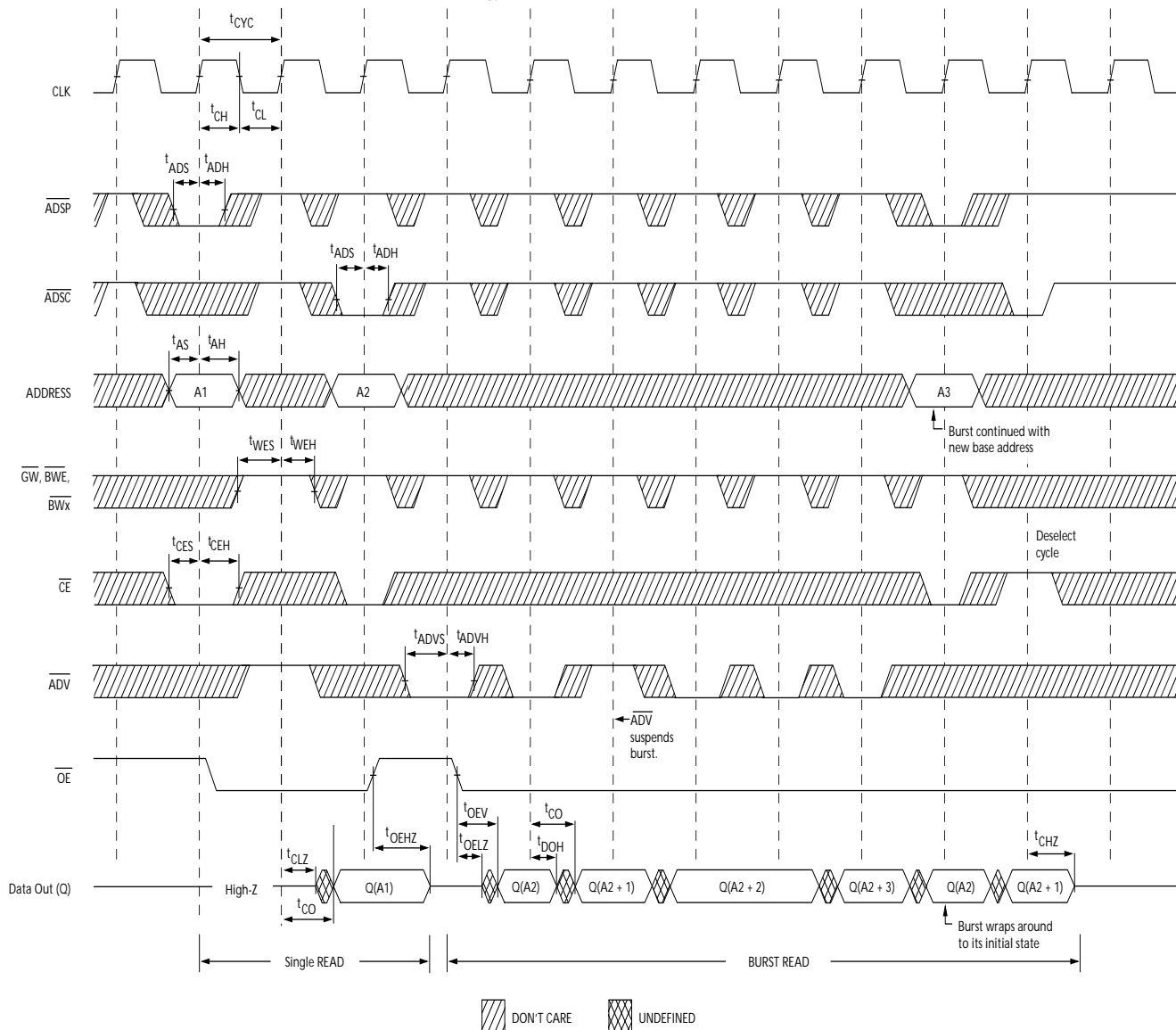
パラメーター [16, 17]	説明	250MHz		200MHz		167MHz		単位
		Min	Max	Min	Max	Min	Max	
t_{POWER}	$V_{DD}(typ)$ から最初のアクセスまで [18]	1	—	1	—	1	—	ms
クロック								
t_{CYC}	クロック サイクル期間	4.0	—	5	—	6	—	ns
t_{CH}	クロック HIGH 時間	1.5	—	2.0	—	2.2	—	ns
t_{CL}	クロック LOW 時間	1.5	—	2.0	—	2.2	—	ns
出力時間								
t_{CO}	CLK 立ち上がり後のデータ出力有効時間	—	2.5	—	3.2	—	3.4	ns
t_{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	1.0	—	1.5	—	1.5	—	ns
t_{CLZ}	クロックから LOW-Z まで [19, 20, 21]	1.0	—	1.3	—	1.5	—	ns
t_{CHZ}	クロックから HIGH-Z まで [19, 20, 21]	—	2.6	—	3.0	—	3.4	ns
$t_{OE\bar{V}}$	\overline{OE} LOW から出力有効まで	—	2.6	—	3.0	—	3.4	ns
$t_{OE\bar{L}Z}$	\overline{OE} LOW から出力 Low Z まで [19, 20, 21]	0	—	0	—	0	—	ns
$t_{OE\bar{H}Z}$	\overline{OE} HIGH から出力 High Z まで [19, 20, 21]	—	2.6	—	3.0	—	3.4	ns
セットアップ時間								
t_{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{ADS}	CLK 立ち上がり前の \overline{ADSC} 、 \overline{ADSP} セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{ADVS}	CLK 立ち上がり前の \overline{ADV} セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{WES}	CLK 立ち上がり前の \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{CES}	CLK 立ち上がり前のチップ イネーブル セットアップ時間	1.2	—	1.4	—	1.5	—	ns
ホールド時間								
t_{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{ADH}	CLK 立ち上がり後の \overline{ADSP} 、 \overline{ADSC} ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{ADVH}	CLK 立ち上がり後の \overline{ADV} ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{WEH}	CLK 立ち上がり後の \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.3	—	0.4	—	0.5	—	ns

注:

16. タイミングの基準電圧レベルは、 $V_{DDQ} = 3.3V$ の場合は 1.5V で、 $V_{DDQ} = 2.5V$ の場合は 1.25V です。
17. 特記されていない限り、テスト条件は 22 ページの図 4 の (a) に示す通りです。
18. このデバイスは電圧レギュレータを内蔵しています； t_{POWER} は、読み出しまたは書き込み処理を開始する前に、まず V_{DD} (最小値) を超えた電源を供給する必要がある時間です。
19. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\bar{L}Z}$ 、 $t_{OE\bar{H}Z}$ は、22 ページの図 4 の (b) に示した AC テスト条件で指定されます。遷移は定常状態の電圧 $\pm 200mV$ で測定されます。
20. 特定の電圧と温度において、同じデータバスを共用する時、SRAM 間のバス競合を回避するために、 $t_{OE\bar{H}Z}$ は $t_{OE\bar{L}Z}$ より小さく、 t_{CHZ} は t_{CLZ} より小さいことが必要です。これらの仕様はバス競合条件意味せず、最悪の場合のユーザー条件において保証されるパラメーターを反映しています。デバイスは、同じシステム条件の下で LOW Z の前に HIGH Z になるように設計されています。
21. このパラメーターは抜き取りテストであり、100% テストはされていません。

スイッチング波形

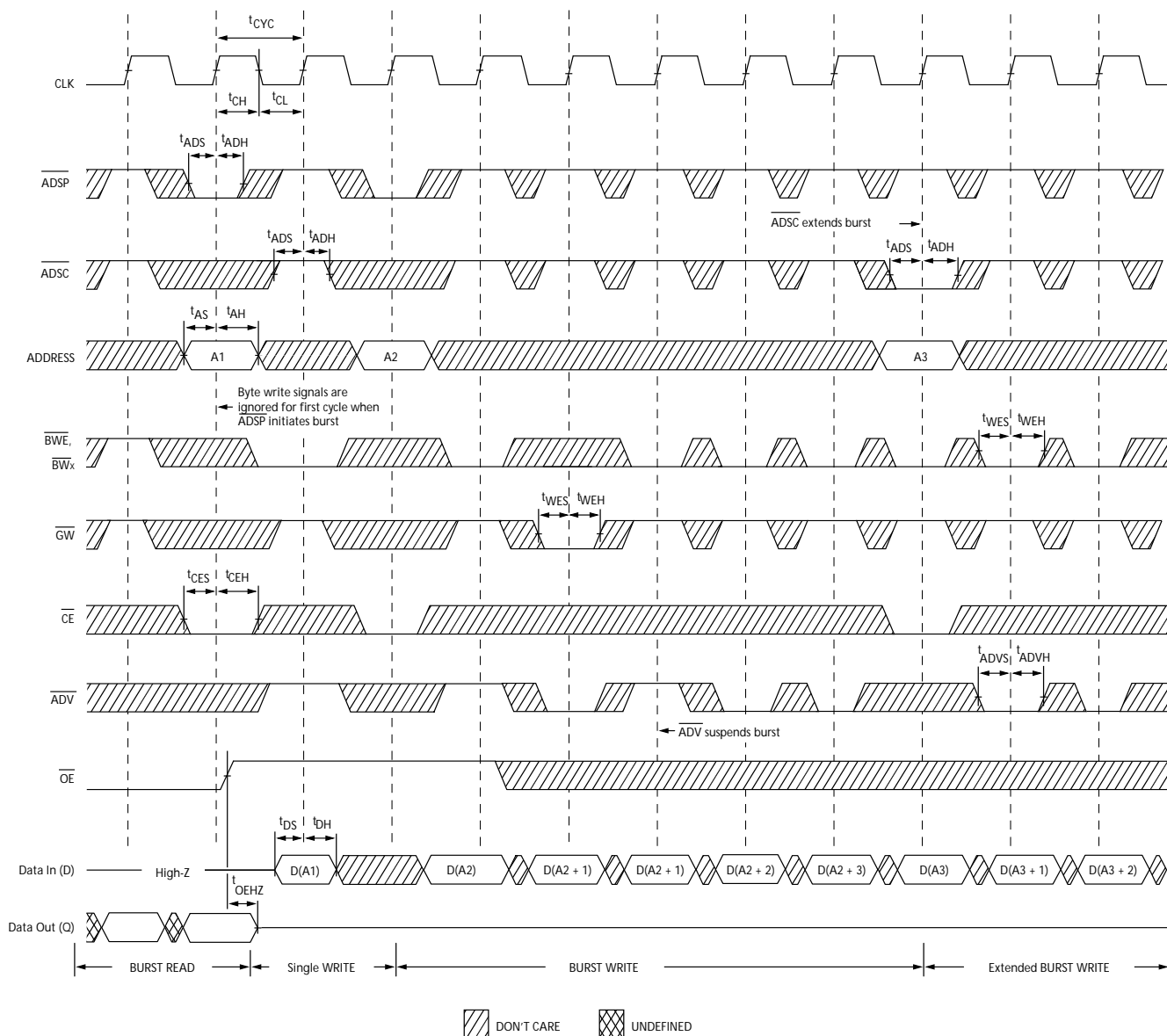
図 5. 読み出しサイクル タイミング^[22]



注:
22. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。

スイッチング波形 (続き)

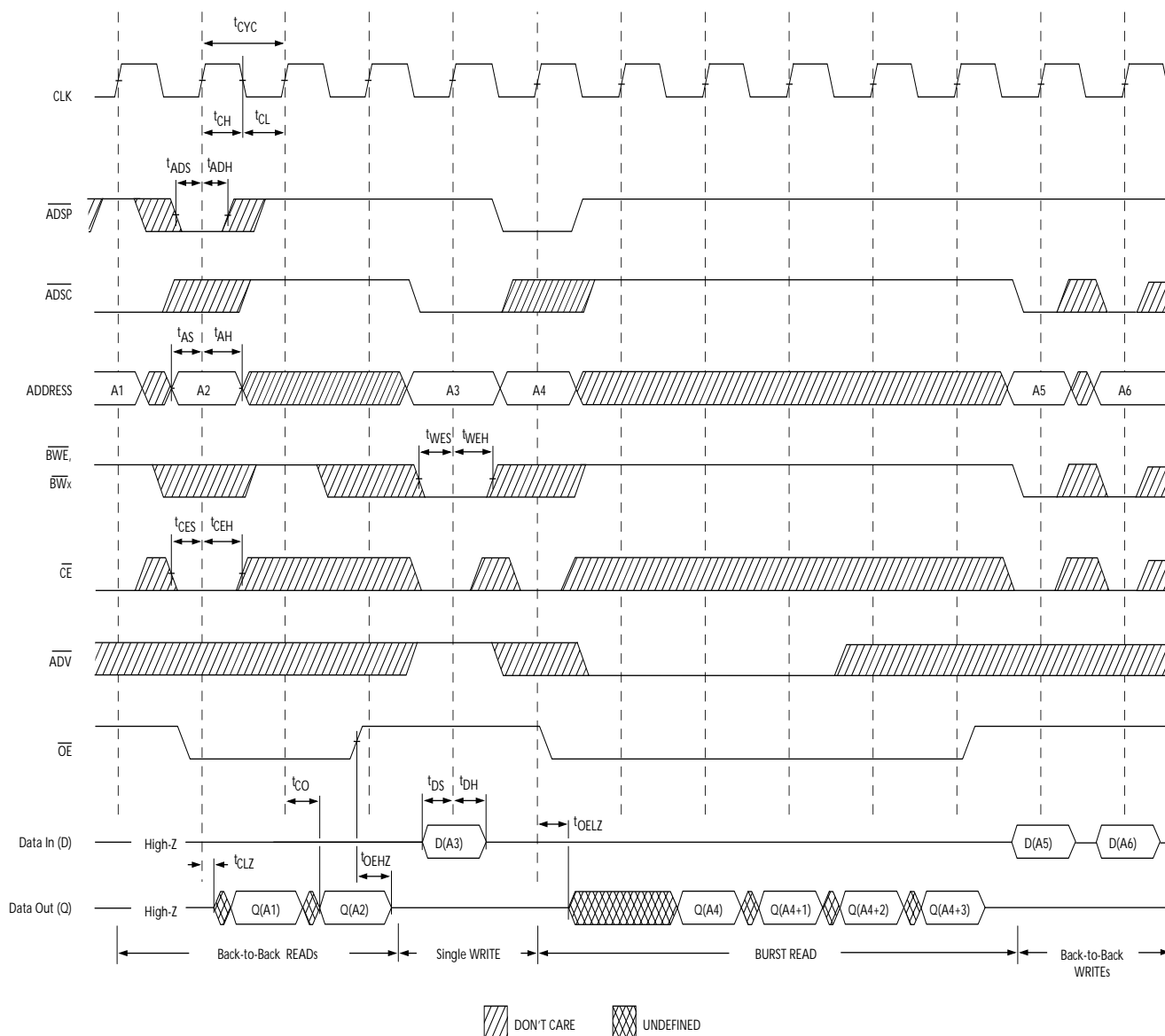
図 6. 書き込みサイクル タイミング [23、24]



- 注:
23. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。
24. 全幅の書き込みは、 \overline{GW} が LOW、または \overline{GW} が HIGH、 \overline{BWE} が LOW、 \overline{BW}_x が LOW になると開始できます。

スイッチング波形 (続き)

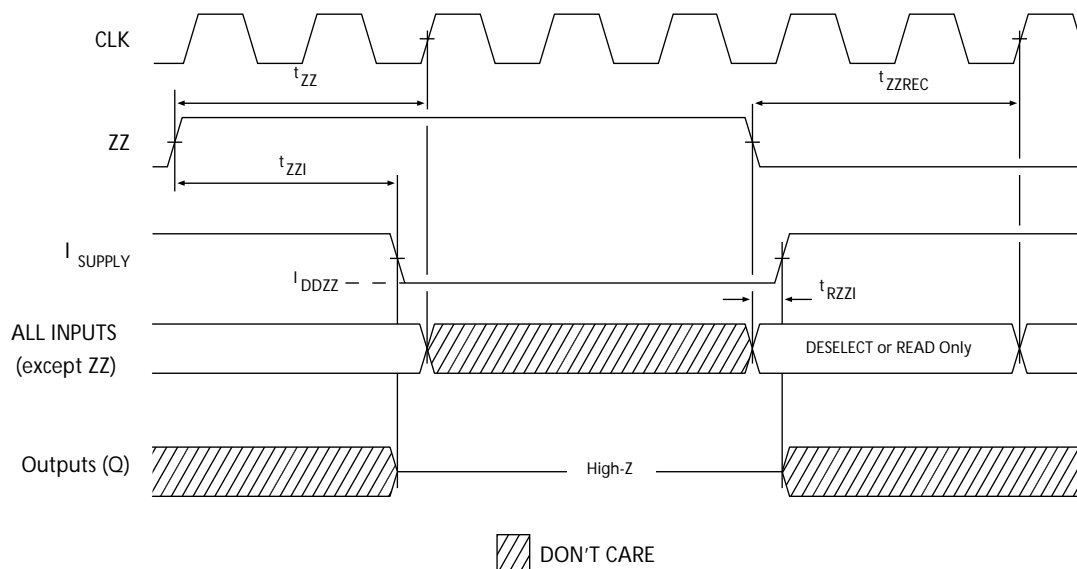
図 7. 読み出し／書き込みサイクル タイミング [25、26、27]



- 注:
25. この図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。
26. 新しい読み出しアクセスが \overline{ADSP} または \overline{ADSC} により開始されない限り、データバス (Q) は書き込みサイクルの後 HIGH Z になったままです。
27. GW は HIGH です。

スイッチング波形 (続き)

図 8. ZZ モード タイミング [28、29]



注:

28. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、サイクル説明表を参照してください。
29. ZZ スリープ モードを終了する時、DQ 信号は High Z 状態になります。

注文情報

以下の表に、デバイスの主なパッケージの機能と注文コードを示します。この表には、現在在庫としてある製品のみを示します。お探しのものが見つからない場合は、最寄りの販売代理店にお問い合わせください。詳細は、サイプレスのウェブサイト www.cypress.com を訪問し、製品概要のページ <http://www.cypress.com/products> を参照して下さい。

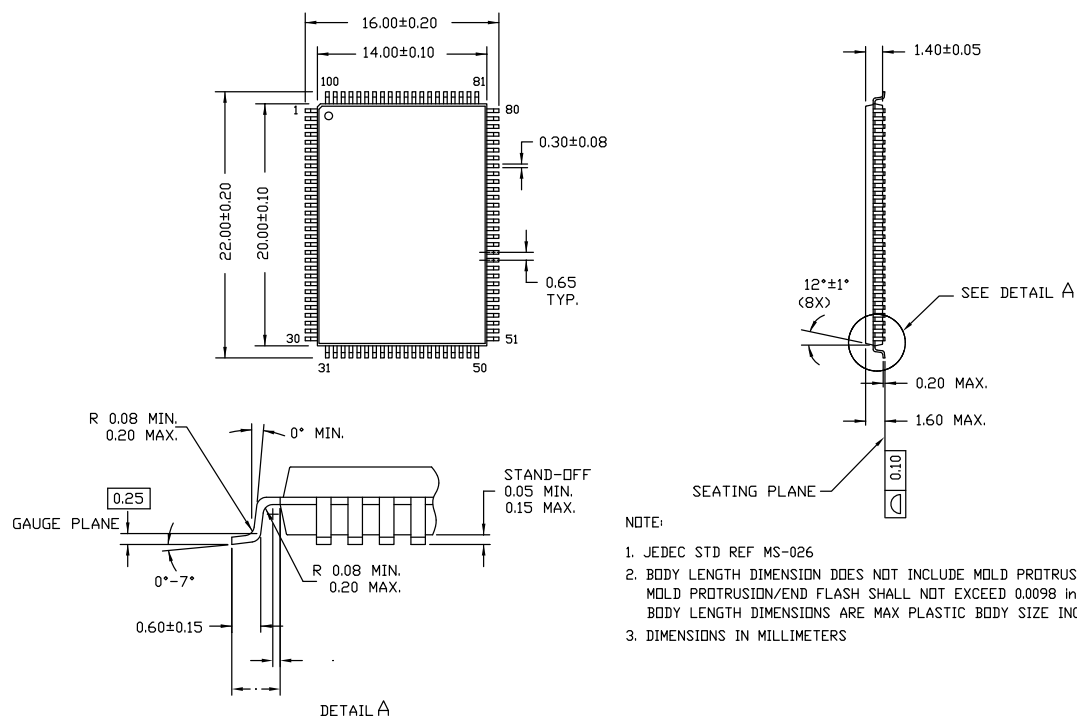
速度 (MHz)	注文コード	パッケージ図	製品とパッケージ タイプ	動作範囲
250	CY7C1380KV33-250AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
200	CY7C1380KV33-200AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1382KV33-200AXC			
167	CY7C1380KV33-167AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1382KV33-167AXC			
	CY7C1380KV33-167AXI	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	産業用
	CY7C1380KV33-167BZI	51-85180	165 ボール FBGA (13 × 15 × 1.4mm)	

注文コードの定義



パッケージ図

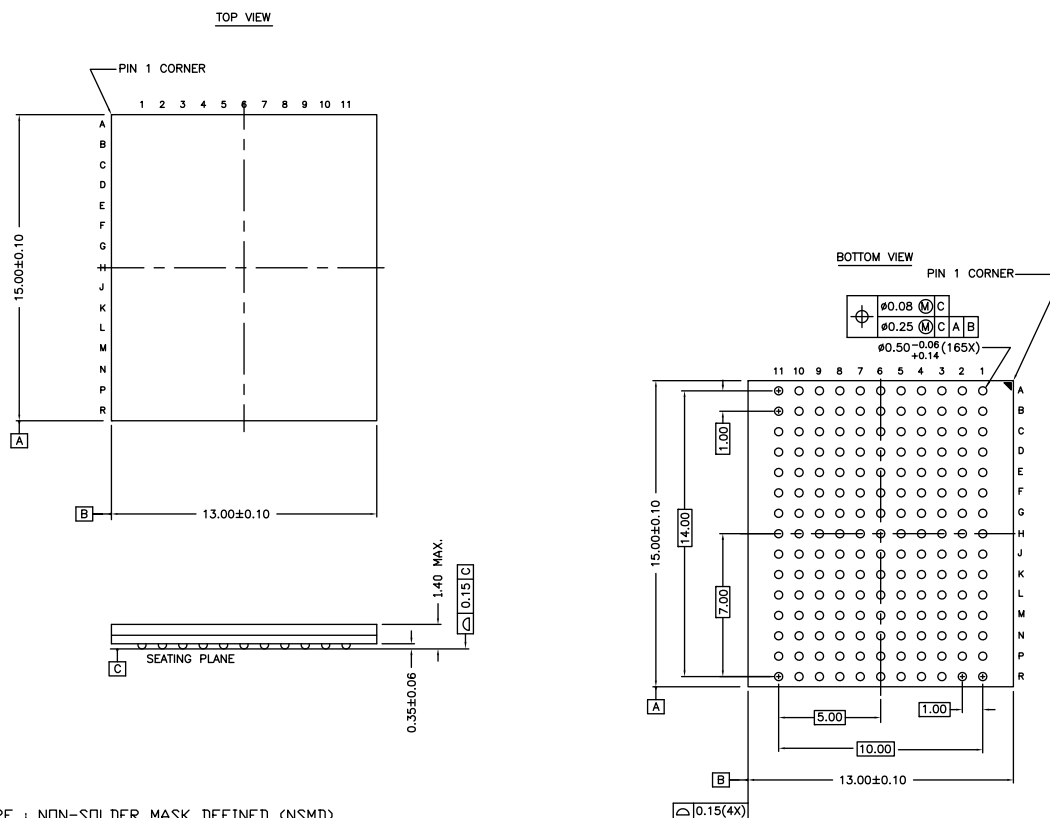
図 9. 100 ピン TQFP (14 × 20 × 1.4mm) A100RA パッケージ図、51-85050



51-85050 *E

パッケージ図 (続き)

図 10. 165 ボール FBGA (13 × 15 × 1.4mm) BB165D/BW165D (0.5 ボール直径) パッケージ図、51-85180



NOTES :

SOLDER PAD TYPE : NON-SOLDER MASK DEFINED (NSMD)

JEDEC REFERENCE : MO-216 / ISSUE E

PACKAGE CODE : BB0AC/BW0AC

PACKAGE WEIGHT : SEE CYPRESS PACKAGE MATERIAL DECLARATION

DATASHEET (PMDD) POSTED ON THE CYPRESS WEB.

51-85180 *G

略語

略語	説明
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボール グリッド アレイ)
I/O	Input/Output (入力／出力)
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
LSB	Least Significant Bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TCK	Test Clock (テスト クロック)
TMS	Test Mode Select (テスト モード選択)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TQFP	Thin Quad Flat Pack (薄型クアッド フラット パッケージ)
TTL	Transistor-Transistor Logic (トランジスタ - トランジスタ ロジック)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1380KV33/CY7C1382KV33、18M ビット (512K × 36/1M × 18) パイプライン SRAM 文書番号 : 001-98232				
版	ECN 番号	変更者	発行日	変更内容
**	4837719	HZEN	07/23/2015	これは英語版 001-97878 Rev. ** を翻訳した日本語版 001-98232 Rev. ** です。
*A	5012805	HZEN	11/19/2015	これは英語版 001-97878 Rev. *B を翻訳した日本語版 001-98232 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)のページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡すること、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な被害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限り、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な被害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。