



初版

CY7C1062G
CY7C1062GE

带纠错码 (ECC) 的 16 Mbit (512 K 字
× 32 位) 静态 RAM

特性

- 高速
 - $t_{AA} = 10 \text{ ns} / 15 \text{ ns}$
- 用于单比特错误校正的嵌入式纠错码 (ECC)
- 活动模式和待机模式低电流
 - $I_{CC} = 110 \text{ mA}$ (最大值)
 - $I_{SB2} = 30 \text{ mA}$ (最大值)
- 工作电压范围: 1.65 V 到 2.2 V, 2.2 V 到 3.6 V
- 1.0 V 数据保留
- 取消选择时会自动断电
- 晶体管 - 晶体管逻辑 (TTL) 兼容于输入和输出
- ERR 引脚, 用于表示单比特错误的检测和校正
- 采用无铅的 119 球形焊盘塑料球栅阵列 (PBGA) 封装形式

功能描述

CY7C1062G 和 CY7C1062GE 是带有嵌入式 ECC 的高性能 CMOS 快速静态 RAM 器件。两者均有三个芯片使能, 从而可以轻松实现存储器的扩展性能。CY7C1062GE 器件具有一个错误指示引脚, 用于在单比特错误检测和校正事件中通知主机处理器。

如要写入该器件, 需要将“芯片使能”信号 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 和“写使能” (WE) 输入置为低电平。如果“字节使能 A” (B_A) 为低电平, 那么来自 I/O 引脚 (I/O₀ 到 I/O₇) 的数据将被写入到地址引脚 (A_0 到 A_{18}) 所指定的位置。如果“字节使能 B” (B_B) 为低电平, 则来自 I/O 引脚 (I/O₈ 到 I/O₁₅) 的数据将被写入到地址引脚 (A_0 到 A_{18}) 所指定的位置。同样, B_C 和 B_D 分别与 I/O 引脚 I/O₁₆ 到 I/O₂₃ 和 I/O₂₄ 到 I/O₃₁ 相对应。

要想读取该器件, 那么将“芯片使能”信号 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 和“输出使能”信号 (OE) 置为低电平, 同时强制“写入使能”信号 (WE) 为高电平。如果第一个信号 B_A 为低电平, 那么由地址引脚指定的存储器位置上的数据会出现在 I/O₀ 到 I/O₇ 上。如果信号 B_B 为低电平, 则存储器中的数据会出现在 I/O₈ 到 I/O₁₅ 上。同样, B_C 和 B_D 与第三和第四个字节相对应。请参考第 16 页上的真值表 — CY7C1062G/CY7C1062GE 以便了解读写模式的完整说明。

在下面任何一种情况下, 输入和输出引脚 (I/O₀ 到 I/O₃₁) 均会处于高阻抗状态: 取消选择该器件 (CE_1 、 CE_2 或 CE_3 为高电平), 输出被禁用 (OE 为高电平), 字节选择被禁用 (B_{A-D} 为高电平) 或正在写入操作过程中 (CE_1 、 CE_2 和 CE_3 为低电平, 以及 WE 为低电平)。

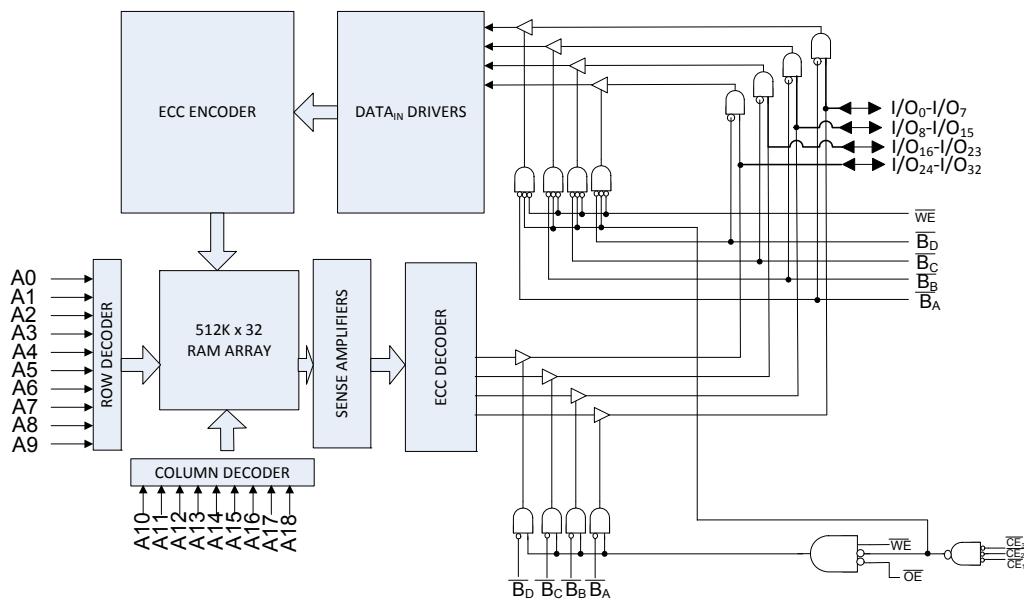
在 CY7C1062GE 器件上, 通过设置 ERR 输出 (ERR = 高电平) [1], 可以指示访问位置中单比特错误的检测和校正。

CY7C1062G CY7C1062GE 器件在无铅的 119 球形焊盘塑料球栅阵列 (PBGA) 封装中可用。

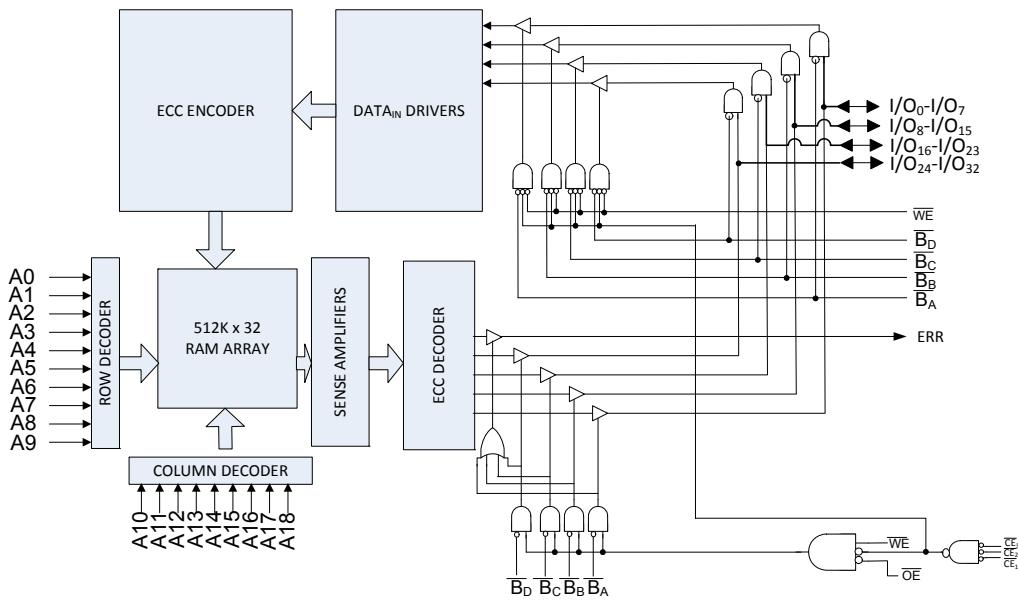
注释

1. 当检测到错误时, 该器件不支持自动回写功能。

逻辑框图 — CY7C1062G



逻辑框图 — CY7C1062GE



目录

引脚配置	4
产品系列概述	6
最大额定值	7
工作范围	7
直流电气特性	7
电容	8
热电阻	8
交流测试负载和波形	8
数据保留特性	9
数据保留波形	9
交流开关特性	10
开关波形	11
真值表 — CY7C1062G/CY7C1062GE	16
ERR 输出 — CY7C1062GE	16

订购信息	17
订购代码定义	17
封装图	18
缩略语	19
文档规范	19
测量单位	19
文档修订记录页	20
销售、解决方案和法律信息	21
全球销售和设计支持	21
产品	21
PSoC® 解决方案	21
赛普拉斯开发者社区	21
技术支持	21

引脚配置

图 1. 119 球形焊盘 PBGA 引脚分布 (顶层视图) — CY7C1062G^[2]

	1	2	3	4	5	6	7
A	I/O ₁₆	A ₄	A ₃	A ₂	A ₁	A ₀	I/O ₀
B	I/O ₁₇	A ₁₈	A ₁₇	CE ₁	A ₁₆	A ₁₅	I/O ₁
C	I/O ₁₈	B _c	CE ₂	NC	CE ₃	B _a	I/O ₂
D	I/O ₁₉	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₃
E	I/O ₂₀	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₄
F	I/O ₂₁	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₅
G	I/O ₂₂	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₆
H	I/O ₂₃	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₇
J	NC	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	NC
K	I/O ₂₄	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₈
L	I/O ₂₅	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₉
M	I/O ₂₆	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₁₀
N	I/O ₂₇	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₁₁
P	I/O ₂₈	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₁₂
R	I/O ₂₉	A ₁₄	B _d	NC	B _b	A ₁₃	I/O ₁₃
T	I/O ₃₀	A ₁₂	A ₁₁	WE	A ₁₀	A ₉	I/O ₁₄
U	I/O ₃₁	A ₈	A ₇	OE	A ₆	A ₅	I/O ₁₅

注释

2. NC 引脚并没有内部连接至芯片 (die)。

引脚配置 (续)

 图 2. 119 球形焊盘 PBGA 引脚分布 (顶层视图) — CY7C1062GE^[3]

	1	2	3	4	5	6	7
A	I/O ₁₆	A ₄	A ₃	A ₂	A ₁	A ₀	I/O ₀
B	I/O ₁₇	A ₁₈	A ₁₇	\overline{CE}_1	A ₁₆	A ₁₅	I/O ₁
C	I/O ₁₈	\overline{B}_c	\overline{CE}_2	NC	\overline{CE}_3	\overline{B}_a	I/O ₂
D	I/O ₁₉	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₃
E	I/O ₂₀	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₄
F	I/O ₂₁	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₅
G	I/O ₂₂	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₆
H	I/O ₂₃	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₇
J	ERR	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	NC
K	I/O ₂₄	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₈
L	I/O ₂₅	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₉
M	I/O ₂₆	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₁₀
N	I/O ₂₇	V _{SS}	V _{DD}	V _{SS}	V _{DD}	V _{SS}	I/O ₁₁
P	I/O ₂₈	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	I/O ₁₂
R	I/O ₂₉	A ₁₄	B _d	NC	B _b	A ₁₃	I/O ₁₃
T	I/O ₃₀	A ₁₂	A ₁₁	\overline{WE}	A ₁₀	A ₉	I/O ₁₄
U	I/O ₃₁	A ₈	A ₇	\overline{OE}	A ₆	A ₅	I/O ₁₅

注释

3. ERR 是一个输出引脚。

产品系列概述

产品	特性与选项 (请参见第 4 页上的引脚配置)	范围	V _{CC} 范围 (V)	速率 (ns)	功耗			
					工作电流 I _{CC} , (单位为 mA)		待机电流 I _{SB2} , (单位为 mA)	
					f = f _{max}	典型值 ^[4]		
CY7C1062G18	嵌入式 ECC。无 ERR 输出 可选的 ERR 输出引脚	工业级	1.65 V – 2.2 V	15	70	80	20	30
CY7C1062G30			2.2 V – 3.6 V	10	90	110		
CY7C1062GE18			1.65 V – 2.2 V	15	70	80		
CY7C1062GE30			2.2 V – 3.6 V	10	90	110		

注释

4. 典型值仅供参考，并不能保证，也未经过测试。典型值的适用条件为: V_{CC} = 1.8 V (V_{CC} 范围为 1.65 V–2.2 V), V_{CC} = 3 V (V_{CC} 范围为 2.2 V–3.6 V), T_A = 25 °C。

最大额定功率

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经测试。

存放温度	-65 °C 到 +150 °C
通电状态下的环境温度	-55 °C 到 +125 °C
V_{CC} 上相对于 GND 的供电电压	-0.5 V 到 +6.0 V
应用于高阻态下的输出的直流电压 ^[5]	-0.5 V 到 V_{CC} + 0.5 V
直流输入电压 ^[5]	-0.5 V 到 V_{CC} + 0.5 V

输出电流 (低电平)	20 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015)	> 2001 V
栓锁电流	> 140 mA

工作范围

等级	环境温度	V_{CC}
工业级	-40 °C 至 +85 °C	1.65 V 到 2.2 V, 2.2 V 到 3.6 V

直流电气特性

工作温度范围为 -40 °C 至 85 °C

参数	说明	测试条件	10 ns/15 ns			单位
			最小值	典型值 ^[6]	最大值	
V_{OH}	输出高电平电压	1.65 V 至 2.2 V V_{CC} = 最小值, $I_{OH} = -0.1$ mA	1.4	-	-	V
		2.2 V 至 2.7 V V_{CC} = 最小值, $I_{OH} = -1.0$ mA	2.0	-	-	
		2.7 V 至 3.6 V V_{CC} = 最小值, $I_{OH} = -4.0$ mA	2.2	-	-	
V_{OL}	输出低电平电压	1.65 V 至 2.2 V V_{CC} = 最小值, $I_{OL} = 0.1$ mA	-	-	0.2	V
		2.2 V 至 2.7 V V_{CC} = 最小值, $I_{OL} = 2$ mA	-	-	0.4	
		2.7 V 至 3.6 V V_{CC} = 最小值, $I_{OL} = 8$ mA	-	-	0.4	
V_{IH}	输入高电平电压	1.65 V 至 2.2 V -	1.4	-	$V_{CC} + 0.2$	V
		2.2 V 至 2.7 V -	2.0	-	$V_{CC} + 0.3$	
		2.7 V 至 3.6 V -	2.0	-	$V_{CC} + 0.3$	
V_{IL}	输入低电平电压 ^[5]	1.65 V 至 2.2 V -	-0.2	-	0.4	V
		2.2 V 至 2.7 V -	-0.3	-	0.6	
		2.7 V 至 3.6 V -	-0.3	-	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-1.0	-	+1.0	mA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	-1.0	-	+1.0	mA
I_{CC}	工作供应电流	V_{CC} = 最大值, $I_{OUT} = 0$ mA, CMOS 电平	$f = 100$ MHz	-	90.0	110.0
			$f = 66.7$ MHz	-	90.0	80.0
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大 V_{CC} , $\overline{CE} \geq V_{IH}$ ^[7] , $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX}$	-	-	40.0	mA
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大 V_{CC} , $\overline{CE} \geq V_{CC} - 0.2$ V ^[7] , $V_{IN} \geq V_{CC} - 0.2$ V 或 $V_{IN} \leq 0.2$ V, $f = 0$	-	20.0	30.0	mA

注释

- 在脉冲宽度小于 2 ns 时, $V_{IL(min)} = -2.0$ V 和 $V_{IH(max)} = V_{CC} + 2$ V。
- 典型值仅供参考, 并不能保证, 也未经过测试。典型值的适用条件为: $V_{CC} = 1.8$ V (V_{CC} 范围为 1.65 V–2.2 V), $V_{CC} = 3$ V (V_{CC} 范围为 2.2 V–3.6 V), $T_A = 25$ °C。
- \overline{CE} 表示三个芯片使能的组合。 \overline{CE} 处于低电平有效状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均为低电平。 \overline{CE} 处于高电平状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 或 \overline{CE}_3 为高电平。

电容

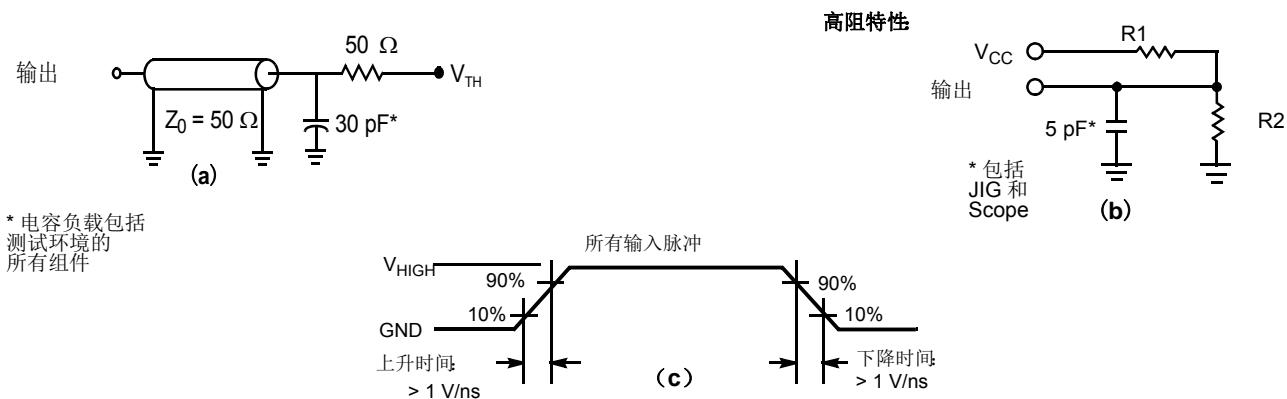
参数 [8]	说明	测试条件	119 球形焊盘 PBGA	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(\text{typ})}$	10	pF
C_{OUT}	I/O 电容		10	pF

热电阻

参数 [8]	说明	测试条件	119 球形焊盘 PBGA	单位
Θ_{JA}	热电阻 (结温)	静止空气, 被焊接在 3×4.5 英寸的四层印刷电路板上	20.92	$^\circ\text{C/W}$
Θ_{JC}	热电阻 (结壳)		15.84	$^\circ\text{C/W}$

交流测试负载和波形

图 3. 交流测试负载和波形 [9]



参数	1.8 V	3.0 V	单位
R1	1667	317	Ω
R2	1538	351	Ω
V_{TH}	0.9	1.5	V
V_{HIGH}	1.8	3	V

注释

- 在发生可能影响到这些参数的任何设计或处理流程更改之前和之后进行测试。
- 完整的器件交流操作假设 0 到 $V_{CC(\text{min})}$ 的升降时间为 100 μs , 到 V_{CC} 稳定时需要等待的时间为 100 μs 。

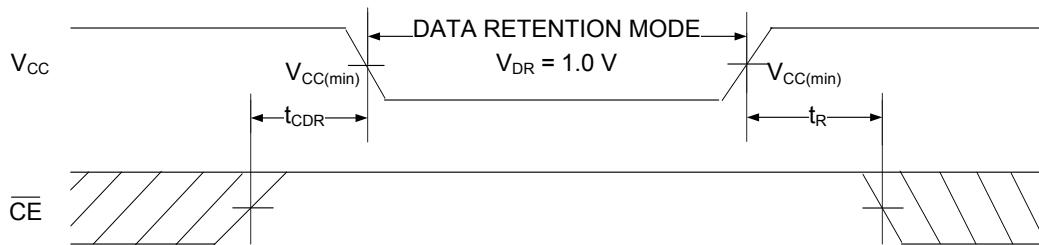
数据保留特性

工作温度范围为 -40°C 到 85°C

参数	说明	条件	最小值	最大值	单位
V_{DR}	数据保留的 V_{CC}	—	1.0	—	V
I_{CCDR}	数据保持电流	$V_{\text{CC}} = V_{\text{DR}}$, $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2 \text{ V}$ [10], $V_{\text{IN}} \geq V_{\text{CC}} - 0.2 \text{ V}$ 或 $V_{\text{IN}} \leq 0.2 \text{ V}$	—	30.0	mA
$t_{\text{CDR}}^{[11]}$	芯片取消选择到数据保留的时长	—	0	—	ns
$t_{\text{R}}^{[12]}$	操作恢复的时长	$V_{\text{CC}} \geq 2.2 \text{ V}$	10.0	—	vs
		$V_{\text{CC}} < 2.2 \text{ V}$	15.0	—	vs

数据保留波形

图 4. 数据保留波形 [10]



注释

10. $\overline{\text{CE}}$ 表示三个芯片使能的组合。 $\overline{\text{CE}}$ 处于低电平有效状态时，它表示 $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均为低电平。 $\overline{\text{CE}}$ 处于高电平状态时，它表示 $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 或 $\overline{\text{CE}}_3$ 为高电平。
11. 在发生可能影响到这些参数的任何设计或处理流程更改之前和之后进行测试。
12. 完整的器件操作要求 V_{DR} 到 $V_{\text{CC(min.)}} > 100 \text{ ms}$ 范围内的线性 V_{CC} 升降时长，或该时长保持在 $V_{\text{CC(min.)}} > 100 \text{ ms}$ 。

交流开关特性

工作温度范围为 -40°C 到 85°C

参数 [13]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{POWER}	从 V_{CC} (稳定) 到第一次访问的时间 [14]	100.0	—	100.0	—	μs
t_{RC}	读周期时长	10.0	—	15.0	—	ns
t_{AA}	从地址到数据 /ERR 有效的时长	—	10.0	—	15.0	ns
t_{OHA}	地址更改后的数据 /ERR 保持时长	3.0	—	3.0	—	ns
t_{ACE}	$\overline{\text{CE}}$ 为低电平到数据 /ERR 有效的时长 [15]	—	10.0	—	15.0	ns
t_{DOE}	$\overline{\text{OE}}$ 为低电平到数据 /ERR 有效的时长	—	5.0	—	8.0	ns
t_{LZOE}	$\overline{\text{OE}}$ 为低电平到低阻态的时长 [16]	0	—	1.0	—	ns
t_{HZOE}	$\overline{\text{OE}}$ 为高电平到高阻态的时长 [16]	—	5.0	—	8.0	ns
t_{LZCE}	$\overline{\text{CE}}$ 为低电平到低阻态的时长 [15、16]	3.0	—	3.0	—	ns
t_{HZCE}	$\overline{\text{CE}}$ 为高电平到高阻态的时长 [15、16]	—	5.0	—	8.0	ns
t_{PU}	$\overline{\text{CE}}$ 为低电平到上电的时长 [15、17]	0	—	0	—	ns
t_{PD}	$\overline{\text{CE}}$ 为高电平到断电的时长 [15、17]	—	10.0	—	15.0	ns
t_{DBE}	字节使能到数据有效的时长	—	5.0	—	8.0	ns
t_{LZBE}	字节使能到低组态的时长	0	—	1.0	—	ns
t_{HZBE}	字节使能到高阻态的时长	—	6.0	—	8.0	ns
写周期 [18、19]						
t_{WC}	写周期的时长	10.0	—	15.0	—	ns
t_{SCE}	$\overline{\text{CE}}$ 为低电平到写周期结束的时长 [15]	7.0	—	12.0	—	ns
t_{AW}	地址建立到写周期结束的时长	7.0	—	12.0	—	ns
t_{HA}	写周期结束后地址保持的时长	0	—	0	—	ns
t_{SA}	地址建立到写周期开始的时长	0	—	0	—	ns
t_{PWE}	$\overline{\text{WE}}$ 脉冲宽度	7.0	—	12.0	—	ns
t_{SD}	数据建立到写周期结束的时长	5.0	—	8.0	—	ns
t_{HD}	写周期结束后数据保持的时长	0	—	0	—	ns
t_{LZWE}	$\overline{\text{WE}}$ 为高电平到低阻态的时长 [16]	3.0	—	3.0	—	ns
t_{HZWE}	$\overline{\text{WE}}$ 为低电平到高阻态的时长 [16]	—	5.0	—	8.0	ns
t_{BW}	字节使能到写周期结束的时长	7.0	—	12.0	—	ns

注释

13. 假设测试条件如下：信号跳变时长（上升 / 下降）等于或低于 3 ns ，时序参考电平为 1.5 V （对于 $V_{\text{CC}} \geq 3\text{ V}$ ）和 $V_{\text{CC}}/2$ （对于 $V_{\text{CC}} < 3\text{ V}$ ），输入脉冲电平范围为 0 至 3 V （对于 $V_{\text{CC}} \geq 3\text{ V}$ ）和 0 至 V_{CC} （对于 $V_{\text{CC}} < 3\text{ V}$ ）。除非另有说明，否则读周期的测试条件使用第 8 页上的图 3 中 (a) 部分所显示的输出加载。

14. t_{POWER} 是指进行第一次存储器访问前供电电源等于稳定 V_{CC} 的最长时间量。

15. $\overline{\text{CE}}$ 表示三个芯片使能的组合。 $\overline{\text{CE}}$ 处于低电平有效状态时，它表示 $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均为低电平。 $\overline{\text{CE}}$ 处于高电平状态时，它表示 $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 或 $\overline{\text{CE}}_3$ 为高电平。

16. t_{LZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZBE} 、 t_{LZCE} 、 t_{LZWE} 和 t_{LZBE} 的负载电容均为 5 pF ，如第 8 页上的图 3 中的 (b) 部分所示。跃变在稳定状态电压 $\pm 200\text{ mV}$ 的条件下测量。

17. 这些参数仅由设计保证，未进行过测试。

18. 应该通过重叠 $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ 确定存储器的内部写入时长。若要启动写入操作，必须将这些信号处于低电平状态。任一信号转为高电平时，都会中止该操作。终止写入操作的信号边沿作为输入数据建设和保持时序的参考源。

19. 第二个写周期（ $\overline{\text{WE}}$ 被控制， $\overline{\text{OE}}$ 为低电平）的最小写入脉冲宽度为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 5. CY7C1062G 的第一个读周期 (地址转换控制) [20、21]

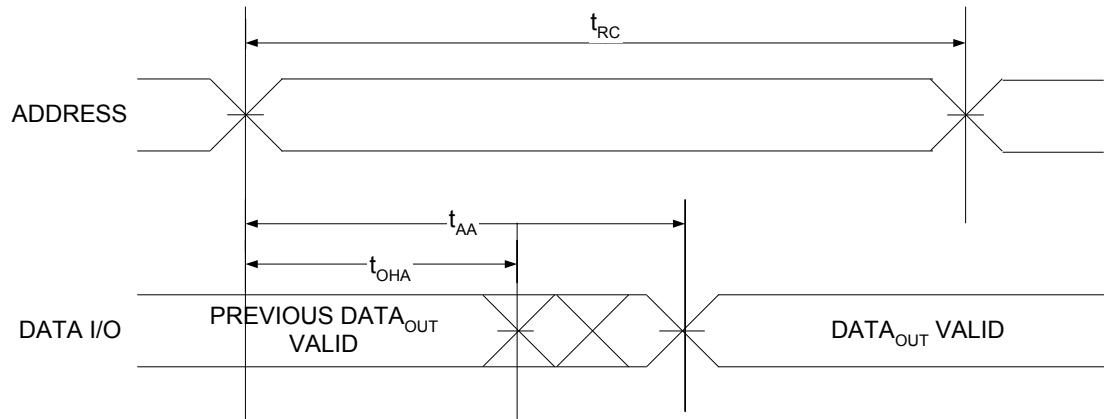
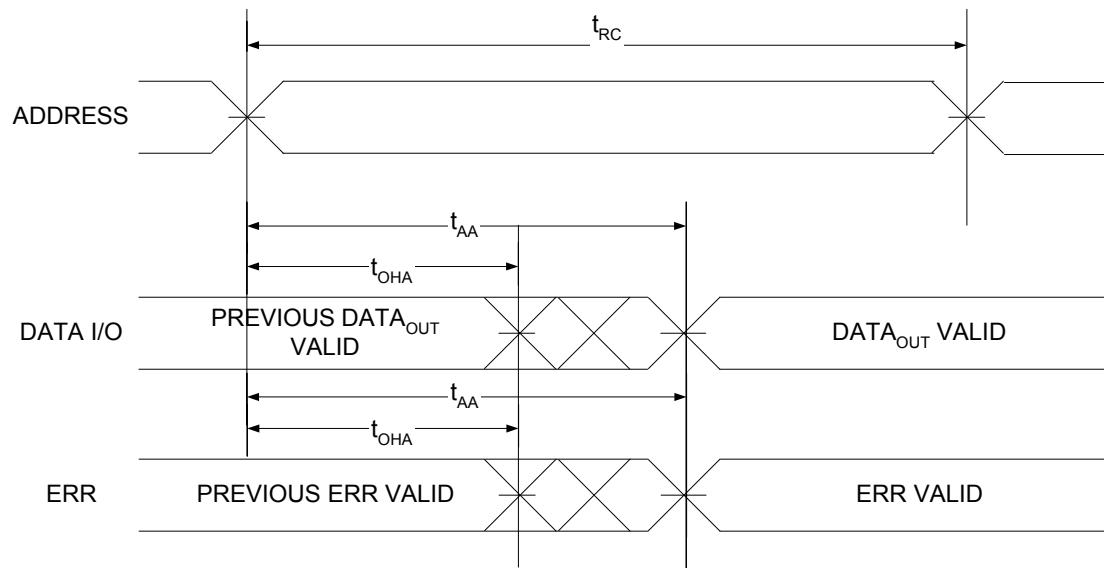


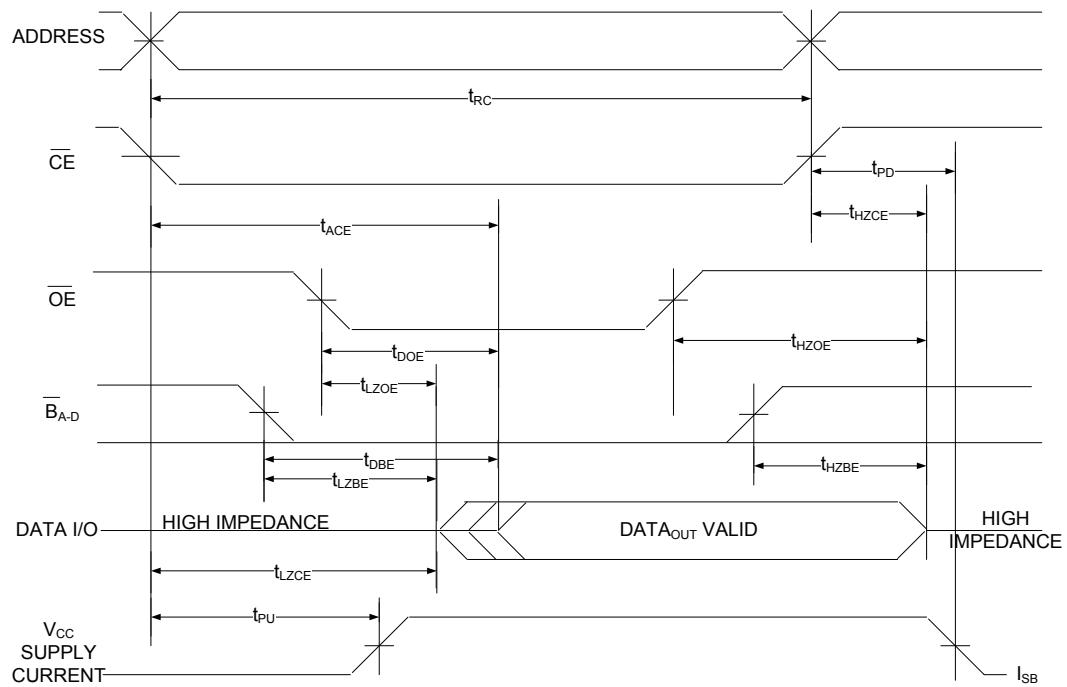
图 6. CY7C1062GE 的第一个读周期 (地址转换控制) [20、21]



注释

20. 连续选中该器件, \overline{OE} 、 \overline{CE} 、 \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 $\overline{B}_D = V_{IL}$ 。
 21. 在读周期中, \overline{WE} 为高电平。

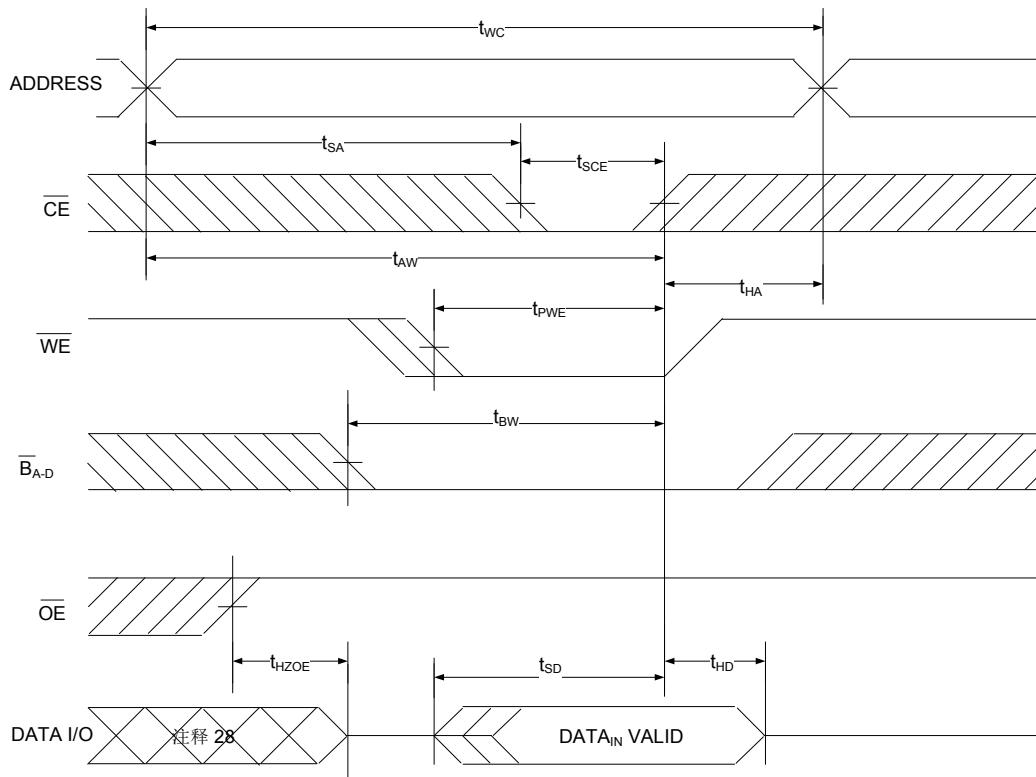
开关波形 (续)

 图 7. 第二个读周期 (\overline{OE} 控制) [22、23、24]


注释

22. \overline{CE} 表示三个芯片使能的组合。 \overline{CE} 处于低电平有效状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均为低电平。 \overline{CE} 处于高电平状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 或 \overline{CE}_3 为高电平。
 23. 在读周期中, \overline{WE} 为高电平。
 24. CE 转为低电平前或处于低电平时, 地址会有效。

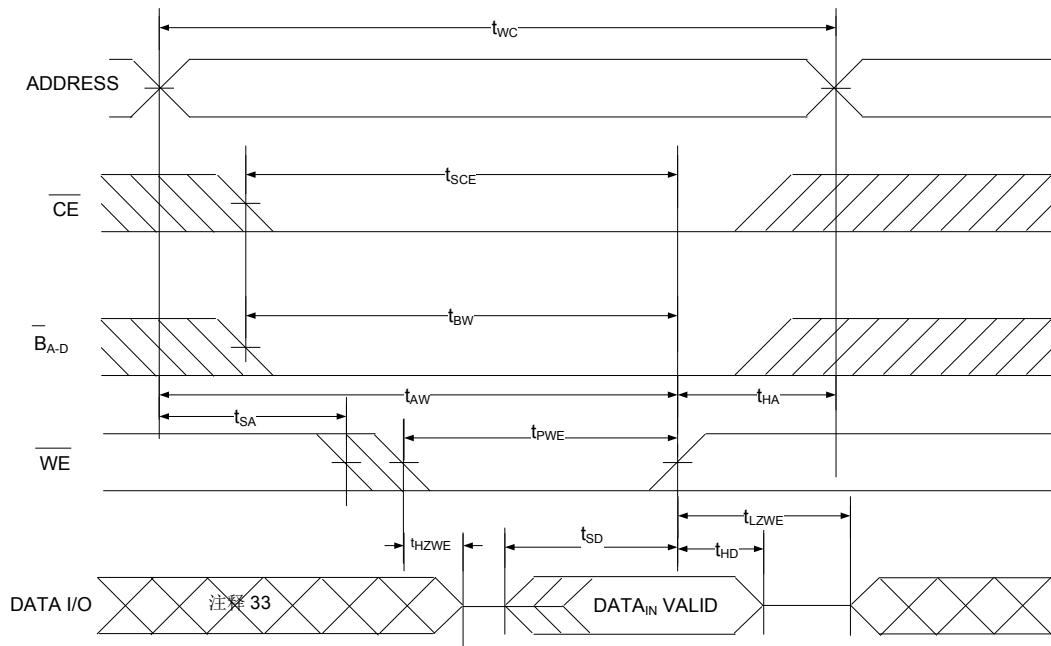
开关波形 (续)

 图 8. 第一个写周期 (\overline{CE} 控制) [25、26、27]


注释

25. \overline{CE} 表示三个芯片使能的组合。 \overline{CE} 处于低电平有效状态时，它表示 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均为低电平。 \overline{CE} 处于高电平状态时，它表示 \overline{CE}_1 、 \overline{CE}_2 或 \overline{CE}_3 为高电平。
 26. 应该通过重叠 $WE = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 确定存储器的内部写入时长。若要启动写入操作，必须将这些信号处于低电平状态。任一信号转为高电平时，都会中止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
 27. 如果 \overline{OE} 或 \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 $\overline{B}_D = V_{IH}$ ，数据 I/O 会处于高阻抗状态。
 28. 在该过程中，I/O 都处于输出状态。请勿应用为输入信号。

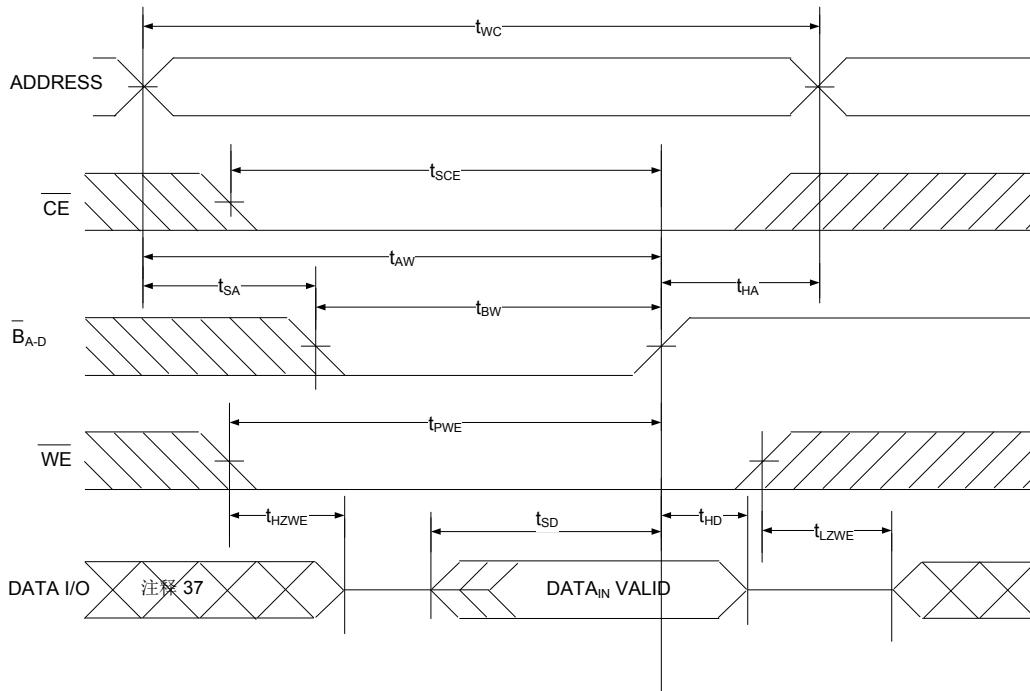
开关波形 (续)

 图 9. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) [29、30、31、32]


注释

29. \overline{CE} 表示三个芯片使能的组合。 \overline{CE} 处于低电平有效状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均为低电平。 \overline{CE} 处于高电平状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 或 \overline{CE}_3 为高电平。
30. 应该通过重叠 $\overline{WE} = V_{IL}$, $\overline{CE} = V_{IL}$ 确定存储器的内部写入时长。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会中止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
31. 如果 \overline{OE} 或 \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 $\overline{B}_D = V_{IH}$, 数据 I/O 会处于高阻抗状态。
32. 最小写周期脉冲宽度应等于 t_{HZWE} 和 t_{SD} 的总和。
33. 在该过程中, I/O 都处于输出状态。请勿应用为输入信号。

开关波形 (续)

 图 10. 第三个写周期 (\overline{B}_A , \overline{B}_B , \overline{B}_C , \overline{B}_D 控制) [34、35、36]


注释

34. \overline{CE} 表示三个芯片使能的组合。 \overline{CE} 处于低电平有效状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均为低电平。 \overline{CE} 处于高电平状态时, 它表示 \overline{CE}_1 、 \overline{CE}_2 或 \overline{CE}_3 为高电平。
 35. 应该通过重叠 $WE = V_{IL}$, $CE = V_{IL}$ 确定存储器的内部写入时长。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会中止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

36. 如果 \overline{OE} 或 \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 $\overline{B}_D = V_{IH}$, 数据 I/O 会处于高阻抗状态。

37. 在该过程中, I/O 都处于输出状态。请勿应用于输入信号。

真值表 — CY7C1062G/CY7C1062GE

CE₁	CE₂	CE₃	OE	WE	B_A	B_B	B_C	B_D	I/O₀–I/O₇	I/O₈–I/O₁₅	I/O₁₆–I/O₂₃	I/O₂₄–I/O₃₁	模式	功耗
H	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	高阻态	高阻态	高阻态	高阻态	断电	(I _{SB})
X ^[39]	H	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	高阻态	高阻态	高阻态	高阻态	断电	(I _{SB})
X ^[39]	X ^[39]	H	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	X ^[39]	高阻态	高阻态	高阻态	高阻态	断电	(I _{SB})
L	L	L	L	H	L	L	L	L	数据输出	数据输出	数据输出	数据输出	读取所有位	(I _{CC})
L	L	L	L	H	L	H	H	H	数据输出	高阻态	高阻态	高阻态	仅读取字节A位	(I _{CC})
L	L	L	L	H	H	L	H	H	高阻态	数据输出	高阻态	高阻态	仅读取字节B位	(I _{CC})
L	L	L	L	H	H	H	L	H	高阻态	高阻态	数据输出	高阻态	仅读取字节C位	(I _{CC})
L	L	L	L	H	H	H	H	L	高阻态	高阻态	高阻态	数据输出	仅读取字节D位	(I _{CC})
L	L	L	X ^[39]	L	L	L	L	L	数据输入	数据输入	数据输入	数据输入	写入所有位	(I _{CC})
L	L	L	X ^[39]	L	L	H	H	H	数据输入	高阻态	高阻态	高阻态	仅写入字节A位	(I _{CC})
L	L	L	X ^[39]	L	H	L	H	H	高阻态	数据输入	高阻态	高阻态	仅写入字节B位	(I _{CC})
L	L	L	X ^[39]	L	H	H	L	H	高阻态	高阻态	数据输入	高阻态	仅写入字节C位	(I _{CC})
L	L	L	X ^[39]	L	H	H	H	L	高阻态	高阻态	高阻态	数据输入	仅写入字节D位	(I _{CC})
L	L	L	H	H	X ^[39]	X ^[39]	X ^[39]	X ^[39]	高阻态	高阻态	高阻态	高阻态	选中该项，输出处于禁用状态	(I _{CC})
L	L	L	X ^[39]	X ^[39]	H	H	H	H	高阻态	高阻态	高阻态	高阻态	选中该项，输出处于禁用状态	(I _{CC})

ERR 输出 — CY7C1062GE

输出	模式
0	读操作，存储数据中没有单比特错误。
1	读操作，检测到并纠正了单比特错误。
高阻态	取消选择器件 / 禁用输出 / 写操作

注释

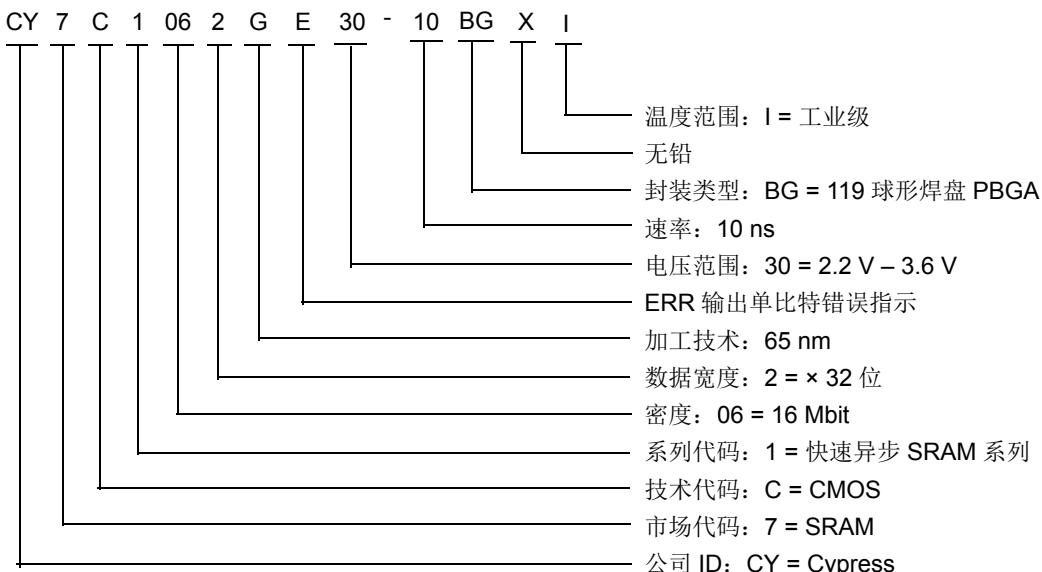
38. 对于所有的双芯片使能器件， \overline{CE} 是 \overline{CE}_1 和 $CE2$ 的逻辑组合。当 \overline{CE}_1 为低电平，且 $CE2$ 为高电平时， \overline{CE} 会处在低电平状态；当 \overline{CE}_1 为高电平或 $CE2$ 为低电平时， \overline{CE} 会处于高电平状态。

39. 这些引脚上的输入电平电压应为 V_{IH} 或 V_{IL} 。

订购信息

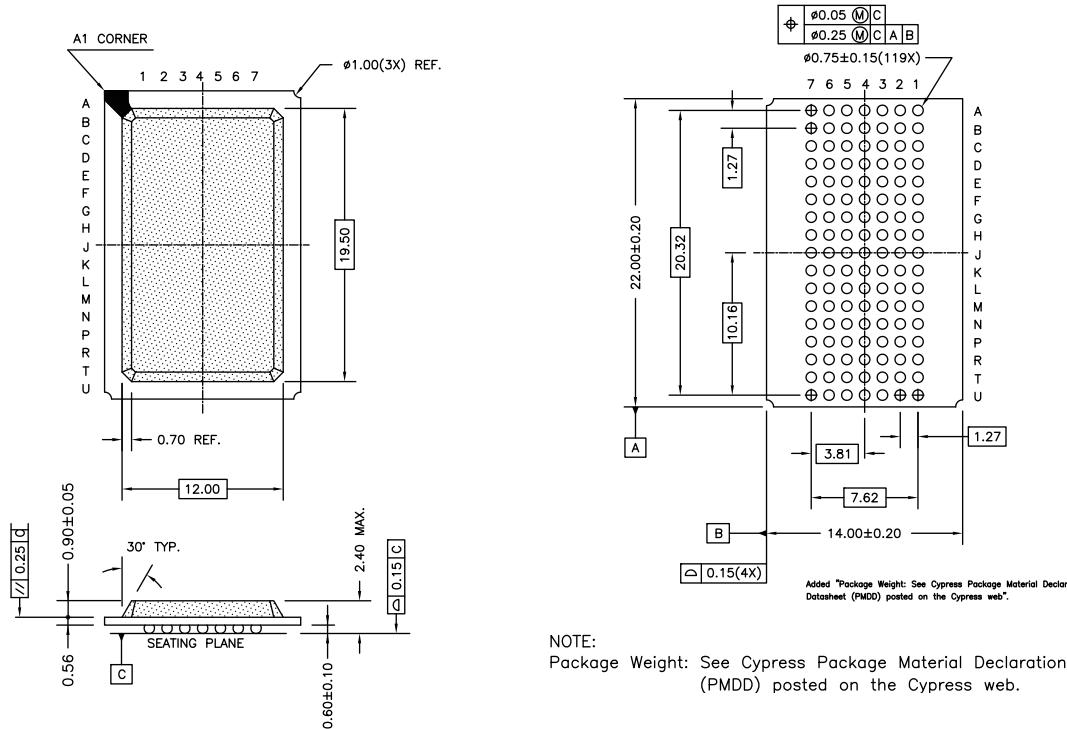
速度 (ns)	订购代码	封装图	封装类型	工作范围
10	CY7C1062G30-10BGXI	51-85115	119 球型焊盘 PBGA (无铅)	工业级
	CY7C1062GE30-10BGXI	51-85115	119 球型焊盘 PBGA (无铅)	

订购代码定义



封装图

图 11. 119 球型焊盘 PBGA (14 × 22 × 2.4 mm) BG119 封装外形, 51-85115



文档编号: 001-92016 版本 *A

页 18/21

缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
OE	输出使能
PBGA	塑料球栅阵列
SRAM	静态随机存取存储器
TTL	晶体管 - 晶体管逻辑
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
mA	微安
ms	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1062G/CY7C1062GE, 带纠错码 (ECC) 的 16 Mbit (512 K 字 × 32 位) 静态 RAM
文档编号: 001-92016

版本	ECN 编号	变更者	提交日期	更改说明
**	4335795	YUXI	04/07/2014	本文档版本号为 Rev**, 译自英文版 001-81609 Rev*B。
*A	4473582	LISZ	08/13/2014	本文档版本号为 Rev*A, 译自英文版 001-81609 Rev*C。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品
时钟与缓冲区
接口
照明与功率控制

存储器
PSoC
触摸感应产品
USB 控制器
无线 /RF

cypress.com/go/automotive
cypress.com/go/clocks
cypress.com/go/interface
cypress.com/go/powerpsoc
cypress.com/go/plc
cypress.com/go/memory
cypress.com/go/psoc
cypress.com/go/touch
cypress.com/go/USB
cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司, 2012-2014。此处所包含的信息可能会随时更改,恕不另行通知。除赛普拉斯产品内嵌的电路外,赛普拉斯半导体公司不对任何其他电路的使用承担责任任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议,否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外,对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统,赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中,则表示制造商将承担因此类使用而招致的所有风险,并确保赛普拉斯免于因此而受到任何指控。

所有源代码 (软件和/或固件) 均归赛普拉斯半导体公司 (赛普拉斯) 所有, 并受全球专利法规 (美国和美国以外的专利法规)、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可, 用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品, 并且其目的只能是创建自定义软件和/或固件, 以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外, 未经赛普拉斯的明确书面许可, 不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明: 赛普拉斯不针对此材料提供任何类型的明示或暗示保证, 包括 (但不仅限于) 针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担责任任何责任。此外, 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。