



CY7C1061G/CY7C1061GE

エラー訂正コード (ECC) 付 16M ビット (1M ワード × 16 ビット) スタティック

特長

- 高速
 - $t_{AA} = 10\text{ns} / 15\text{ns}$
- シングル ビット エラー訂正用の組込みエラー訂正コード (ECC)
- 少ないアクティブおよびスタンバイ消費電流
 - $I_{CC} = 90\text{mA}$ (100MHz での Typ)
 - $I_{SB2} = 20\text{mA}$ (Typ)
- 動作電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- トランジスタ - トランジスタ ロジック (TTL) と互換性のある入出力
- 1 ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー 48 ピン TSOP I、54 ピン TSOP II および 48 ポール VFBGA パッケージで実装

機能の説明

CY7C1061G および CY7C1061GE は組込み ECC^[1] を備えた高性能 CMOS 高速スタティック RAM デバイスです。両方のデバイスは、シングルおよびデュアルチップ イネーブルのオプションと複数のピン配置で提供されます。CY7C1061GE デバイスは、読み出しサイクル中にシングル ビット エラー検出と訂正イベントを通知する ERR ピンを備えています。

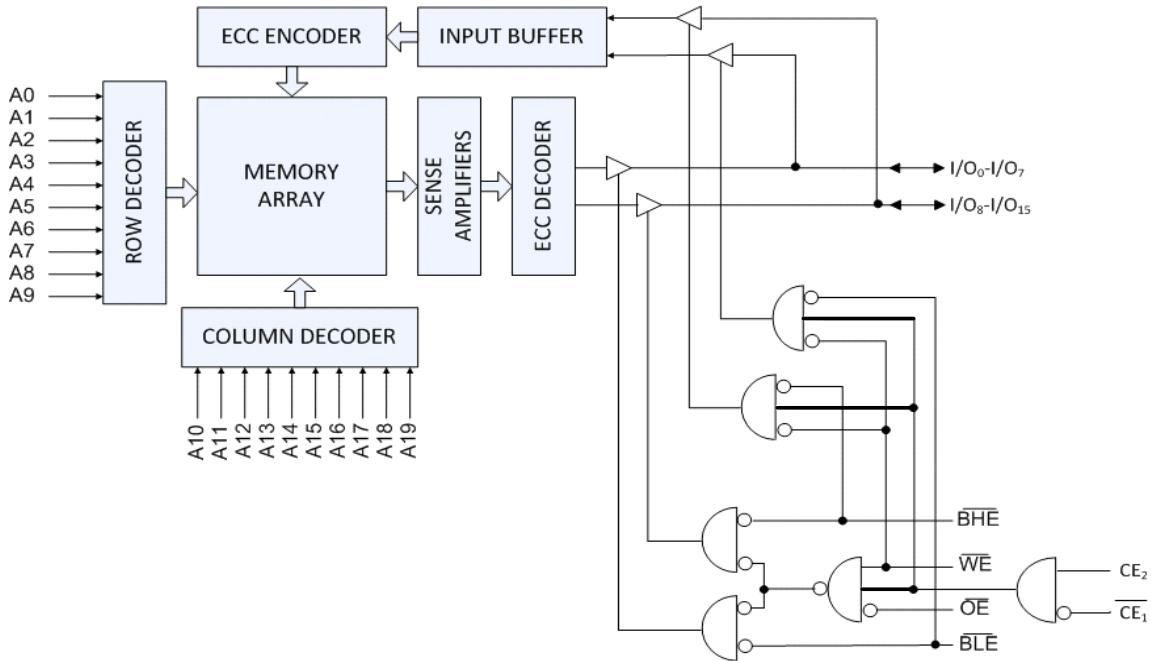
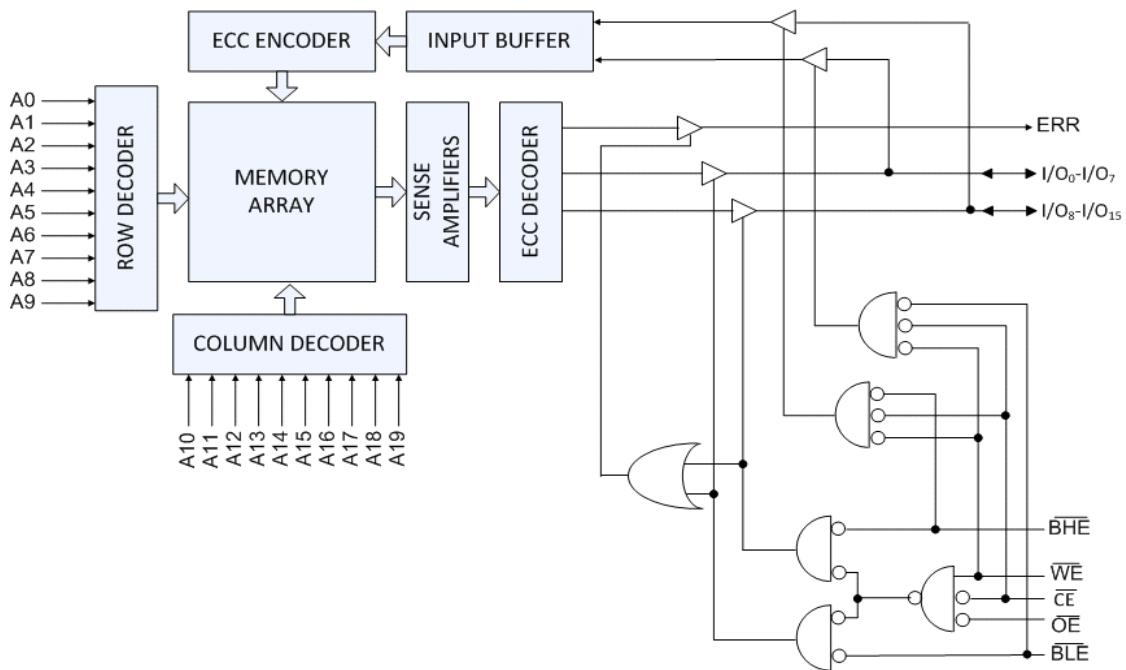
シングルチップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (CE) を LOW にアサートすることでアクセスします。デュアルチップ イネーブルデバイスは、両方のチップ イネーブル入力を (CE₁ を LOW に、CE₂ を HIGH に) アサートしてアクセスします。

製品ポートフォリオ

製品	特長およびオプション (4 ページのピン配置を ご参照ください)	範囲	V_{CC} の範囲 (V)	速度 (ns) 10 / 15	消費電流			
					動作時 I_{CC} (mA)		スタンバイ時 I_{SB2} (mA)	
					$f = f_{max}$	Typ ^[2]	Max	Typ ^[2]
CY7C1061G18	シングルまたはデュアルチップ イネーブル	産業用	1.65V ~ 2.2V	15	70	80	20	30
CY7C1061G(E)30			2.2V ~ 3.6V	10	90	110		
CY7C1061G			4.5V ~ 5.5V	10	90	110		

注:

1. このデバイスは、エラー検出時の自動再書き込みをサポートしません。
2. Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、 $V_{CC} = 1.8\text{V}$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3\text{V}$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC} = 5\text{V}$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。

論理ブロック図 – CY7C1061G

論理ブロック図 – CY7C1061GE


目次

ピン配置	4
最大定格	7
動作範囲	7
DC 電気的特性	7
静電容量	8
熱抵抗	8
AC テストの負荷と波形	8
データ保持特性	9
データ保持波形	9
AC スイッチング特性	10
スイッチング波形	11
真理値表	16
ERR 出力 – CY7C1061GE	16

注文情報	17
注文コードの定義	19
パッケージ図	20
略語	23
本書の表記法	23
測定単位	23
改訂履歴	24
セールス、ソリューション、および法律情報	25
ワールドワイド販売と設計サポート	25
製品	25
PSoC® ソリューション	25
サイプレス開発者コミュニティ	25
テクニカル サポート	25

ピン配置

図1. 48 ポール VFBGA (6 × 8 × 1.0mm) ピン配置、ERR なしのデュアルチップイネーブル、アドレス MSB A19 はボール G2 に位置、CY7C1061G^[3] パッケージ/グレード ID: BVJXI

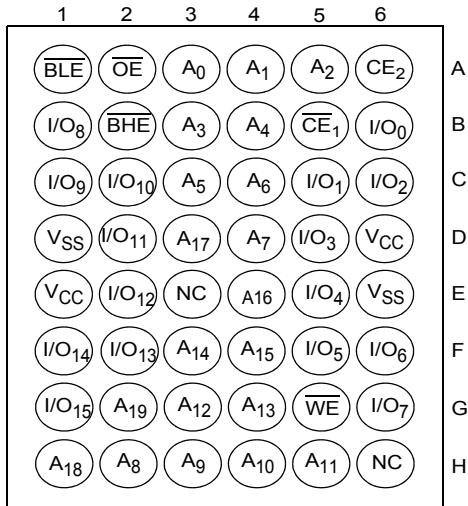


図2. 48 ポール VFBGA (6 × 8 × 1.0mm) ピン配置、ERR なしのデュアルチップイネーブル、アドレス MSB A19 はボール H6 に位置、CY7C1061G^[3] パッケージ/グレード ID: BVXI

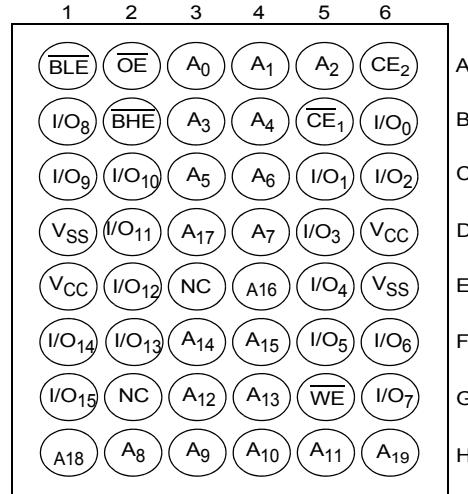
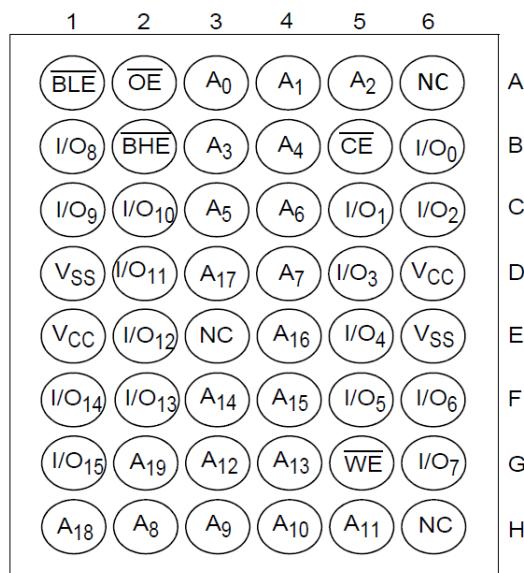


図3. 48 ポール VFBGA (6 × 8 × 1.0mm) ピン配置、ERR なしのシングルチップイネーブル、アドレス MSB A19 はボール G2 に位置、CY7C1061G^[3] パッケージ/グレード ID: BV1XI



注:

- NC ピンはパッケージ内のダイには接続されていません。

ピン配置(続き)

図4. 48 ポール VFBGA ($6 \times 8 \times 1.0\text{mm}$) ピン配置、ERR 付きのシングルチップ イネーブル、アドレス MSB A19 はボール G2 に位置、CY7C1061GE^[4, 5] パッケージ/グレード ID: BV1XI

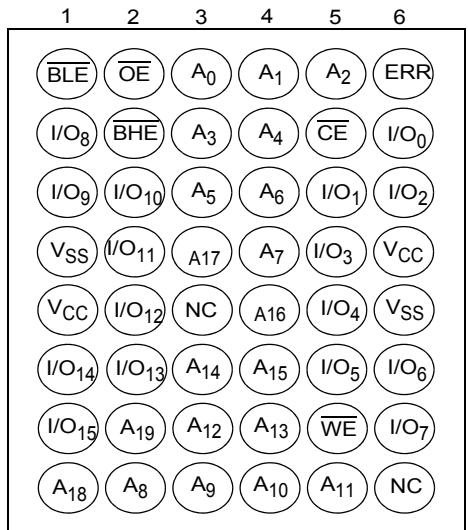


図6. 48 ポール VFBGA ($6 \times 8 \times 1.0\text{mm}$) ピン配置、ERR 付きのデュアルチップ イネーブル、アドレス MSB A19 はボール H6 に位置、CY7C1061GE^[4, 5] パッケージ/グレード ID: BVXI

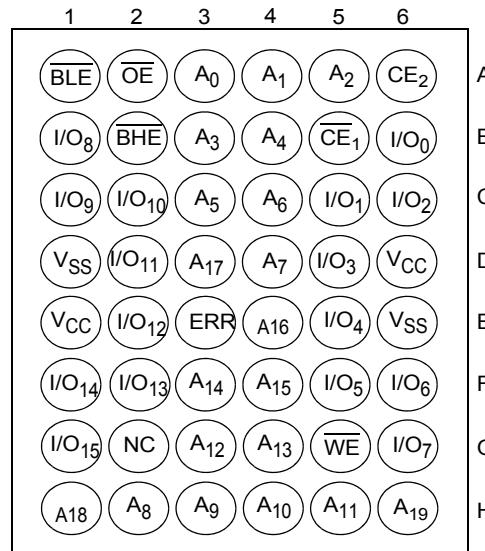
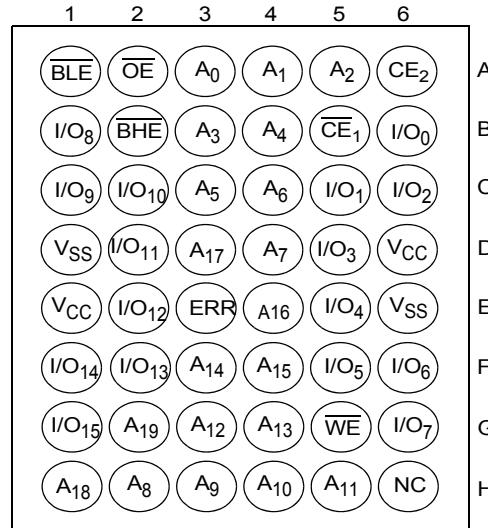


図5. 48 ポール VFBGA ($6 \times 8 \times 1.0\text{mm}$) ピン配置、ERR 付きのデュアルチップ イネーブル、アドレス MSB A19 はボール G2 に位置、CY7C1061GE^[4, 5] パッケージ/グレード ID: BVJXI



注:

4. NC ピンはパッケージ内のダイには接続されていません。
5. ERR は出力ピンです。このピンを使用しない場合、開放にしてください。

ピン配置(続き)

図7. 48ピンTSOP I (12 × 18.4 × 1mm) ピン配置、
ERR付きのシングルチップイネーブル、CY7C1061GE^[6, 7]
パッケージ/グレード ID: ZXI

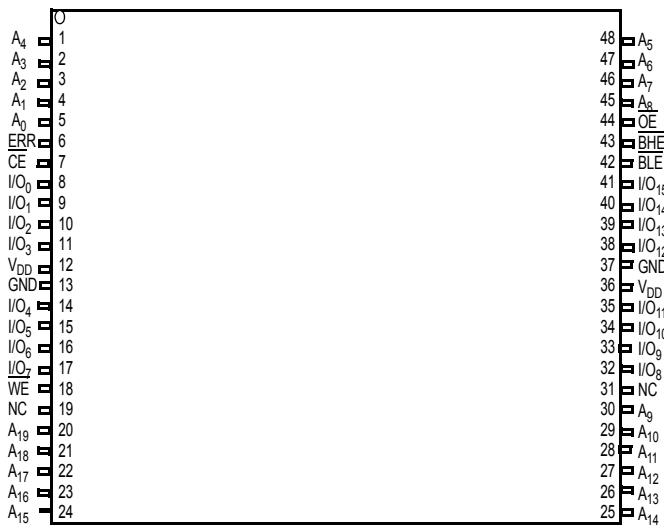


図9. 54ピンTSOP II (22.4 × 11.84 × 1.0mm) ピン配置、
ERRなしのデュアルチップイネーブル、CY7C1061G^[6]
パッケージ/グレード ID: ZSX

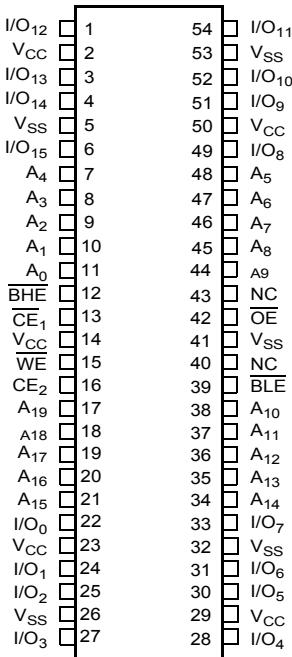


図8. 48ピンTSOP I (12 × 18.4 × 1mm) ピン配置、
ERRなしのシングルチップイネーブル、CY7C1061G^[6]
パッケージ/グレード ID: ZXI

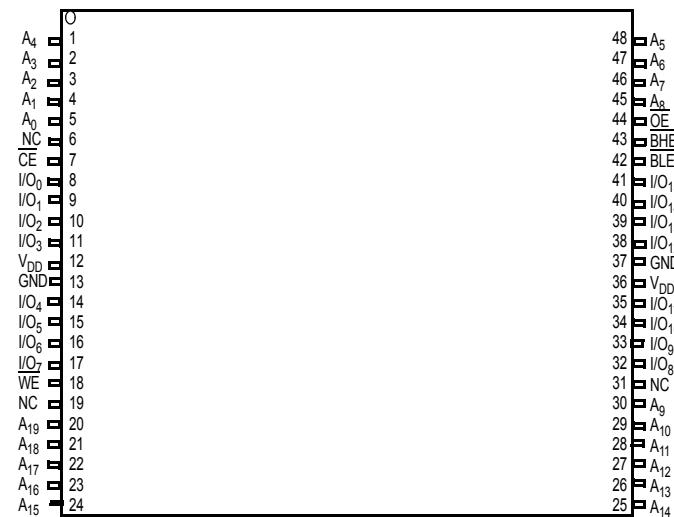
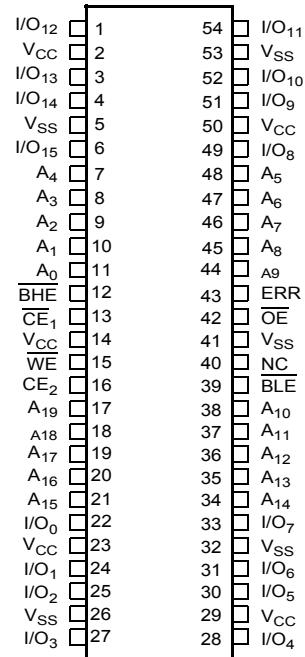


図10. 54ピンTSOP II (22.4 × 11.84 × 1.0mm) ピン配置、
ERR付きのデュアルチップイネーブル、CY7C1061GE^[6, 7]
パッケージ/グレード ID: ZSX



注:

6. NCピンはパッケージ内のダイには接続されていません。
7. ERRは出力ピンです。このピンを使用しない場合、開放にしてください。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準とした V_{CC} の電源電圧 -0.5V ~ $V_{CC} + 0.5V$

High Z 状態の出力に
印加される電圧^[8] -0.5V ~ $V_{CC} + 0.5V$

DC 電気的特性

動作範囲 -40°C ~ 85°C

パラメーター	説明	テスト条件	10ns / 15ns			単位
			Min	Typ ^[9]	Max	
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -0.1\text{mA}$	1.4	-	-
		2.2V ~ 2.7V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -1.0\text{mA}$	2.0	-	-
		2.7V ~ 3.0V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -4.0\text{mA}$	2.2	-	-
		3.0V ~ 3.6V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -4.0\text{mA}$	2.4	-	-
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -4.0\text{mA}$	2.4	-	-
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.4$ ^[10]	-	-
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 0.1\text{mA}$	-	-	0.2
		2.2V ~ 2.7V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 2\text{mA}$	-	-	0.4
		2.7V ~ 3.6V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 8\text{mA}$	-	-	0.4
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 8\text{mA}$	-	-	0.4
$V_{IH}^{[8]}$	入力 HIGH 電圧	1.65V ~ 2.2V		1.4	-	$V_{CC} + 0.2$
		2.2V ~ 2.7V		2.0	-	$V_{CC} + 0.3$
		2.7V ~ 3.6V		2.0	-	$V_{CC} + 0.3$
		4.5V ~ 5.5V		2.0	-	$V_{CC} + 0.5$
$V_{IL}^{[8]}$	入力 LOW 電圧	1.65V ~ 2.2V		-0.2	-	0.4
		2.2V ~ 2.7V		-0.3	-	0.6
		2.7V ~ 3.6V		-0.3	-	0.8
		4.5V ~ 5.5V		-0.5	-	0.8
I_{IX}	入力リード電流	$GND \leq V_{IN} \leq V_{CC}$	-1.0	-	+1.0	μA
I_{OZ}	出力リード電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力が無効	-1.0	-	+1.0	μA
I_{CC}	動作時電源電流	$V_{CC} = \text{Max}$ 、 $I_{OUT} = 0\text{mA}$ 、 CMOS レベル	$f = 100\text{MHz}$	-	90.0	110.0
			$f = 66.7\text{MHz}$	-	70.0	80.0
I_{SB1}	自動 CE パワーダウン電流 - TTL 入力	$Max V_{CC}、\overline{CE} \geq V_{IH}^{[11]}$ $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = f_{MAX}$	-	-	40.0	mA
I_{SB2}	自動 CE パワーダウン電流 - CMOS 入力	$Max V_{CC}、\overline{CE} \geq V_{CC} - 0.2\text{V}^{[11]}$ $V_{IN} \geq V_{CC} - 0.2\text{V}$ または $V_{IN} \leq 0.2\text{V}, f = 0$	-	20.0	30.0	mA

注:

8. 20ns 未満のパルス幅の場合、 $V_{IL(min)} = -2.0\text{V}$ 、 $V_{IH(max)} = V_{CC} + 2\text{V}$ 。

9. Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、 $V_{CC} = 1.8\text{V}$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3\text{V}$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC} = 5\text{V}$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ C$ で測定しています。

10. このパラメーターは設計保証であり、テストは行われていません。

11. 全てのデュアル イネーブル デバイスでは、CE は CE_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 CE は HIGH です。

DC 入力電圧^[8] -0.5V ~ $V_{CC} + 0.5V$

出力 (LOW) への電流 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチアップ電流 > 140mA

動作範囲

グレード	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

静電容量

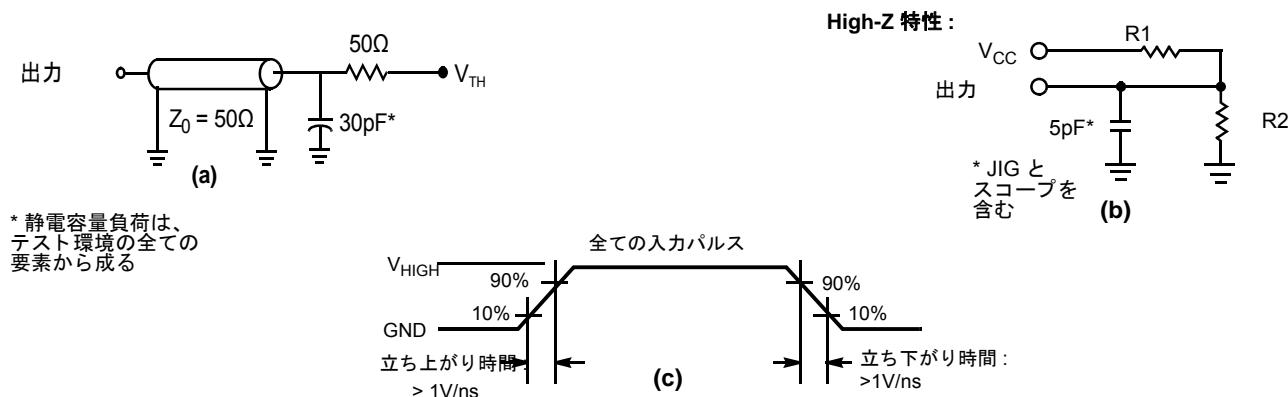
パラメーター ^[12]	説明	テスト条件	54 ピン TSOP II	48- ポール VFBGA	48 ピン TSOP I	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}, f = 1\text{MHz}, V_{CC} = V_{CC(\text{typ})}$	10	10	10	pF
C_{OUT}	I/O 容量		10	10	10	pF

熱抵抗

パラメーター ^[12]	説明	テスト条件	54 ピン TSOP II	48- ポール VFBGA	48 ピン TSOP I	単位
Θ_{JA}	熱抵抗 (接合部と周囲間)	無風状態、3 × 4.5 インチの 4 層プリント回路基板にはんだ付け	93.63	31.50	57.99	°C/W
Θ_{JC}	熱抵抗 (接合部とケース間)		21.58	15.75	13.42	°C/W

AC テストの負荷と波形

図 11. AC テストの負荷と波形^[13]



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注：

12. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計／プロセス変更があった後にテストされます。
13. 完全なデバイスの AC 動作では、0V から $V_{CC(\text{min})}$ までのランプ時間が $100\mu\text{s}$ 、 V_{CC} がその動作電圧で安定した後の待ち時間が $100\mu\text{s}$ であることを前提としています。

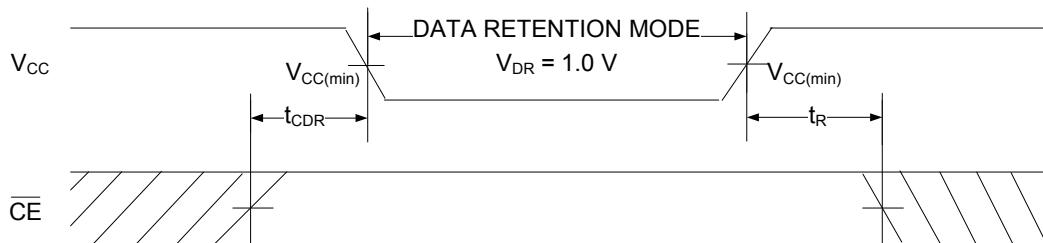
データ保持特性

動作範囲 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメーター	説明	条件	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1.0	–	V
I_{CCDR}	データ保持電流	$V_{\text{CC}} = V_{\text{DR}}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}$ ^[14] 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ または $V_{\text{IN}} \leq 0.2\text{V}$	–	30.0	mA
$t_{\text{CDR}}^{[15]}$	チップ選択解除からデータ保持までの時間		0	–	ns
$t_{\text{R}}^{[15, 16]}$	動作回復時間	$V_{\text{CC}} \geq 2.2\text{V}$	10.0	–	ns
		$V_{\text{CC}} < 2.2\text{V}$	15.0	–	ns

データ保持波形

図 12. データ保持波形^[14]



注:

14. 全てのデュアル イネーブル デバイスでは、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と $\overline{\text{CE}}_2$ の論理的結合です。 $\overline{\text{CE}}_1$ が LOW であり、 $\overline{\text{CE}}_2$ が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}}_1$ が HIGH である、または $\overline{\text{CE}}_2$ が LOW である時、 $\overline{\text{CE}}$ は HIGH です。

15. このパラメーターは設計保証であり、テストは行われていません。

16. 完全なデバイス動作には、 V_{DR} から $V_{\text{CC(min)}}$ までの V_{CC} 直線ランプ時間が $100\mu\text{s}$ 、または $V_{\text{CC(min)}}$ で安定する時間が $100\mu\text{s}$ 必要です。

AC スイッチング特性

動作範囲が $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメーター ^[17]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{POWER}	V_{CC} (安定) から最初のアクセスまでの時間 ^[18、19]	100.0	—	100.0	—	μs
t_{RC}	読み出しサイクル時間	10.0	—	15.0	—	ns
t_{AA}	アドレスからデータ／ERR 有効までの時間	—	10.0	—	15.0	ns
t_{OHA}	アドレス変更からのデータ／ERR ホールド時間	3.0	—	3.0	—	ns
t_{ACE}	$\overline{\text{CE}}$ LOW からデータ／ERR 有効までの時間 ^[20]	—	10.0	—	15.0	ns
t_{DOE}	$\overline{\text{OE}}$ LOW からデータ／ERR 有効までの時間	—	5.0	—	8.0	ns
t_{LZOE}	$\overline{\text{OE}}$ LOW から Low Z までの時間 ^[21、22、23]	0	—	1.0	—	ns
t_{HZOE}	$\overline{\text{OE}}$ HIGH から High Z までの時間 ^[21、22、23]	—	5.0	—	8.0	ns
t_{LZCE}	$\overline{\text{CE}}$ LOW から Low Z までの時間 ^[20、21、22、23]	3.0	—	3.0	—	ns
t_{HZCE}	$\overline{\text{CE}}$ HIGH から High Z までの時間 ^[20、21、22、23]	—	5.0	—	8.0	ns
t_{PU}	$\overline{\text{CE}}$ LOW から電源投入までの時間 ^[19、20]	0	—	0	—	ns
t_{PD}	$\overline{\text{CE}}$ HIGH から電源切断までの時間 ^[19、20]	—	10.0	—	15.0	ns
t_{DBE}	バイト イネーブルからデータ有効までの時間	—	5.0	—	8.0	ns
t_{LZBE}	バイト イネーブルから Low Z までの時間 ^[21、22]	0	—	1.0	—	ns
t_{HZBE}	バイト ディセーブルから High Z までの時間 ^[21、22]	—	6.0	—	8.0	ns
書き込みサイクル [24、25]						
t_{WC}	書き込みサイクル時間	10.0	—	15.0	—	ns
t_{SCE}	$\overline{\text{CE}}$ LOW から書き込み終了までの時間 ^[20]	7.0	—	12.0	—	ns
t_{AW}	アドレス セットアップから書き込み終了までの時間	7.0	—	12.0	—	ns
t_{HA}	書き込み終了からのアドレス ホールド時間	0	—	0	—	ns
t_{SA}	アドレス セットアップから書き込み開始までの時間	0	—	0	—	ns
t_{PWE}	$\overline{\text{WE}}$ パルス幅	7.0	—	12.0	—	ns
t_{SD}	データ セットアップから書き込み終了までの時間	5.0	—	8.0	—	ns
t_{HD}	書き込み終了からのデータ ホールド時間	0	—	0	—	ns
t_{LZWE}	$\overline{\text{WE}}$ HIGH から Low Z までの時間 ^[21、22、23]	3.0	—	3.0	—	ns
t_{HZWE}	$\overline{\text{WE}}$ LOW から High Z までの時間 ^[21、22、23]	—	5.0	—	8.0	ns
t_{BW}	バイト イネーブルから書き込み終了までの時間	7.0	—	12.0	—	ns

注:

17. テスト条件は、信号遷移時間 (立ち上がり／立ち下がり) が 3ns 以下、タイミング参照レベルが $1.5V$ ($V_{\text{CC}} \geq 3V$ の場合) および $V_{\text{CC}}/2$ ($V_{\text{CC}} < 3V$ の場合)、入力パルス レベルが $0V$ から $3V$ まで ($V_{\text{CC}} \geq 3V$ の場合) および $0V$ から V_{CC} まで ($V_{\text{CC}} < 3V$ の場合) であることを前提としています。読み出しサイクル用のテスト条件は、特に記載がない限り、8 ページの図 11 の (a) に示した出力負荷を使用します。
18. t_{POWER} は、電源が V_{CC} で安定してから最初のメモリ アクセスが実行されるまでの最短時間を示します。
19. これらのパラメーターは設計保証であり、テストは行われていません。
20. 全てのデュアル イネーブル デバイスでは、 CE は CE_1 と CE_2 の論理的結合です。 $\overline{\text{CE}}_1$ が LOW であり、 CE_2 が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}}_1$ が HIGH である、または CE_2 が LOW である時、 CE は HIGH です。
21. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} および t_{HZBE} は、8 ページの図 11 の (b) に示した 5pF の負荷容量で指定されています。Hi-Z、Lo-Z 遷移は定常状態の電圧から $\pm 200mV$ で測定されます。
22. いかなる温度と電圧条件でも、いかなるデバイスでも、 t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
23. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計／プロセス変更があった後にテストされます。
24. メモリの内部書き込み時間は $\text{WE} = V_{\text{IL}}$ 、 $\text{CE} = V_{\text{IL}}$ および $\text{BHE} = \text{V}_{\text{IL}}$ または $\text{BLE} = \text{V}_{\text{IL}}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にする必要があります。
25. 書き込みサイクル 2 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) の最短書き込みパルス幅は、 t_{HZWE} と t_{SD} の和です。

スイッチング波形

図 13. CY7C1061G の読み出しサイクル 1 (アドレス遷移制御) [26、27]

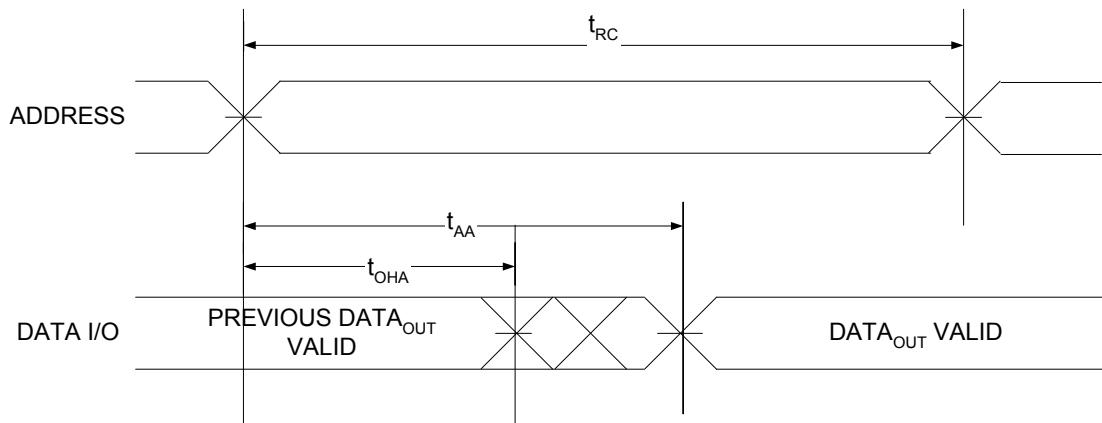
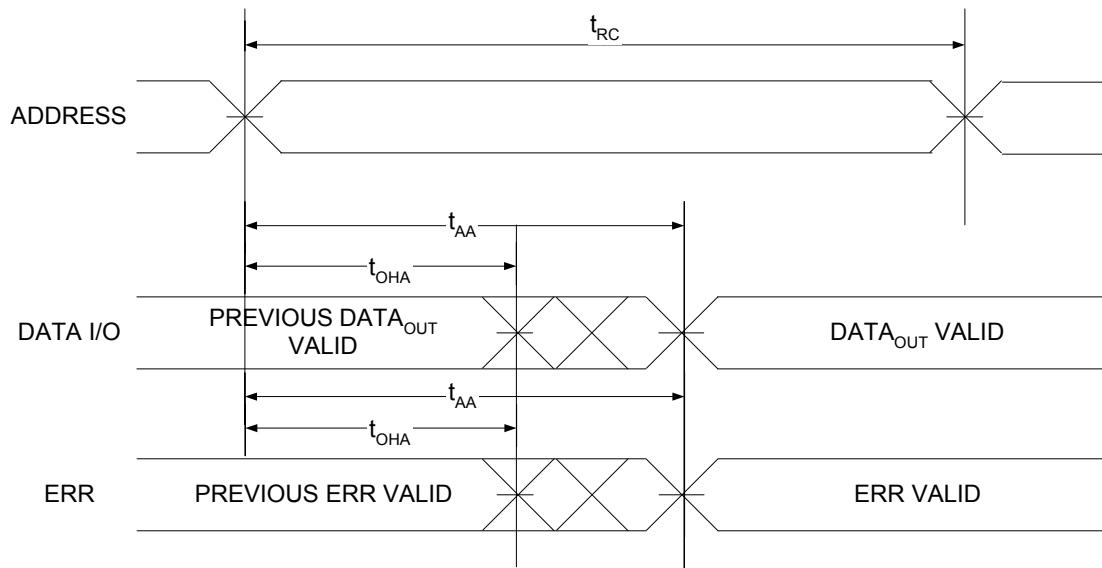


図 14. CY7C1061GE の読み出しサイクル 2 (アドレス遷移制御) [26、27]



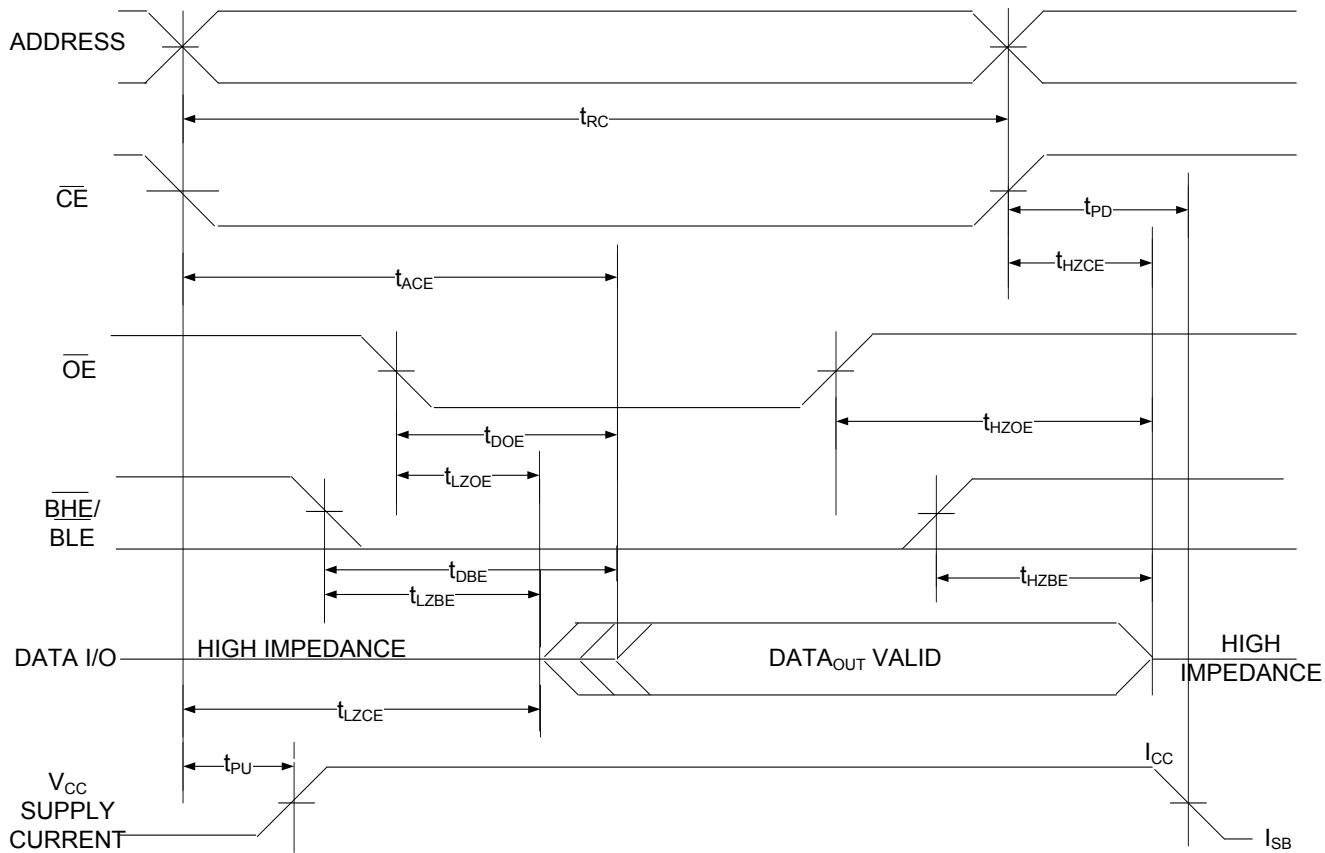
注:

26. デバイスは連続的に選択されており、 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} または \overline{BLE} または両方共 = V_{IL} 。

27. WE は読み出しサイクル中に HIGH です。

スイッチング波形 (続き)

図 15. 読み込みサイクル 3 (\overline{OE} 制御) [28、29、30]



注:

28. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。
29. \overline{WE} は読み出しサイクル中に HIGH です。
30. アドレスは、 CE の LOW 遷移前、または遷移と同時に有効です。

スイッチング波形(続き)

図 16. 書き込みサイクル 1 (\overline{CE} 制御) [31、32、33]

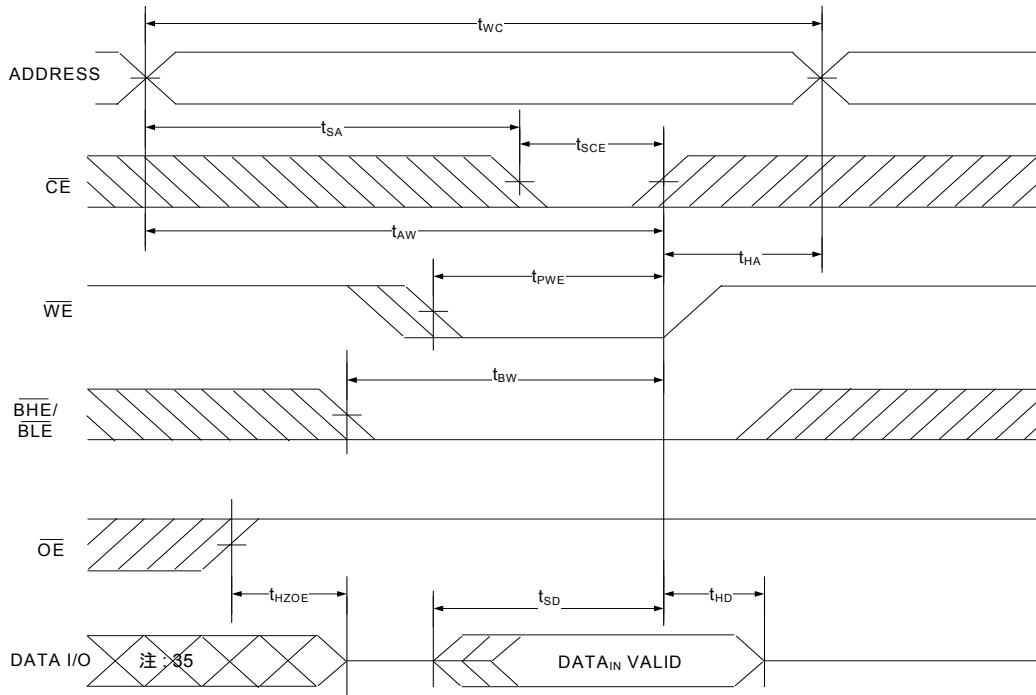
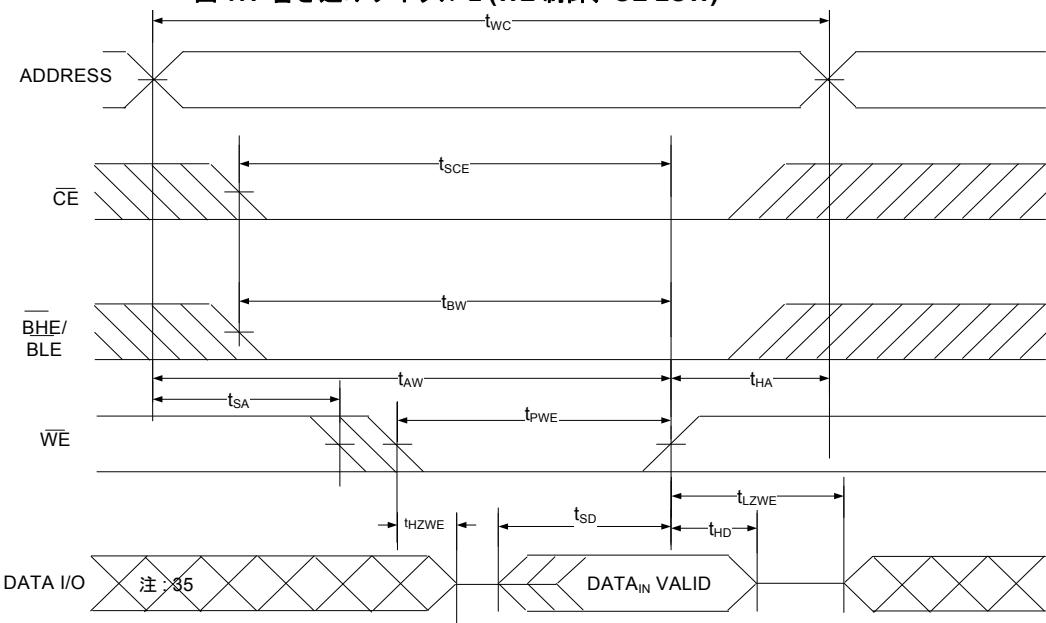


図 17. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [31、32、33、34]

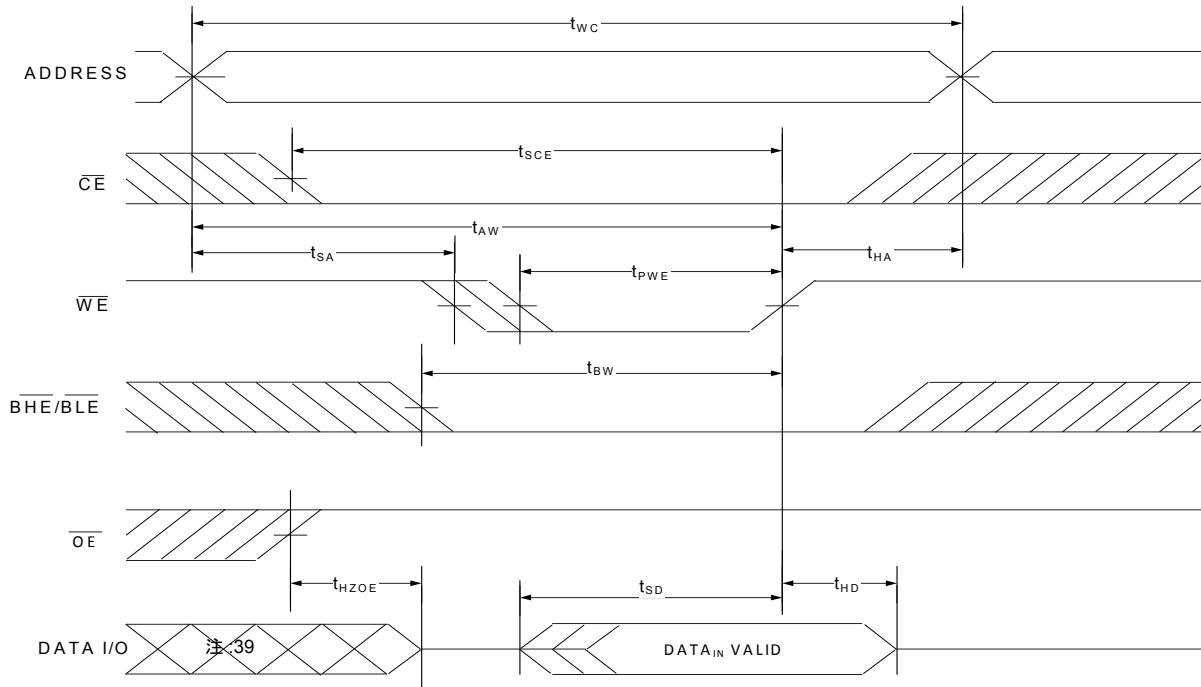


注:

31. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 \overline{CE}_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または \overline{CE}_2 が LOW である時、 \overline{CE} は HIGH です。
32. メモリの内部書き込み時間は $WE = V_{IL}$ 、 $CE = V_{IL}$ および $BHE = V_{IL}$ または $BLE = V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了させた信号のエッジを基準にする必要があります。
33. データ I/O は、 $CE = V_{IH}$ 、または $OE = V_{IH}$ または $BHE = V_{IH}$ および $BLE = V_{IH}$ の場合、高インピーダンス状態に入ります。
34. 最小の書き込みサイクルのパルス幅は t_{HZWE} と t_{SD} の和です。
35. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 (続き)

図 18. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御) [36、37、38]

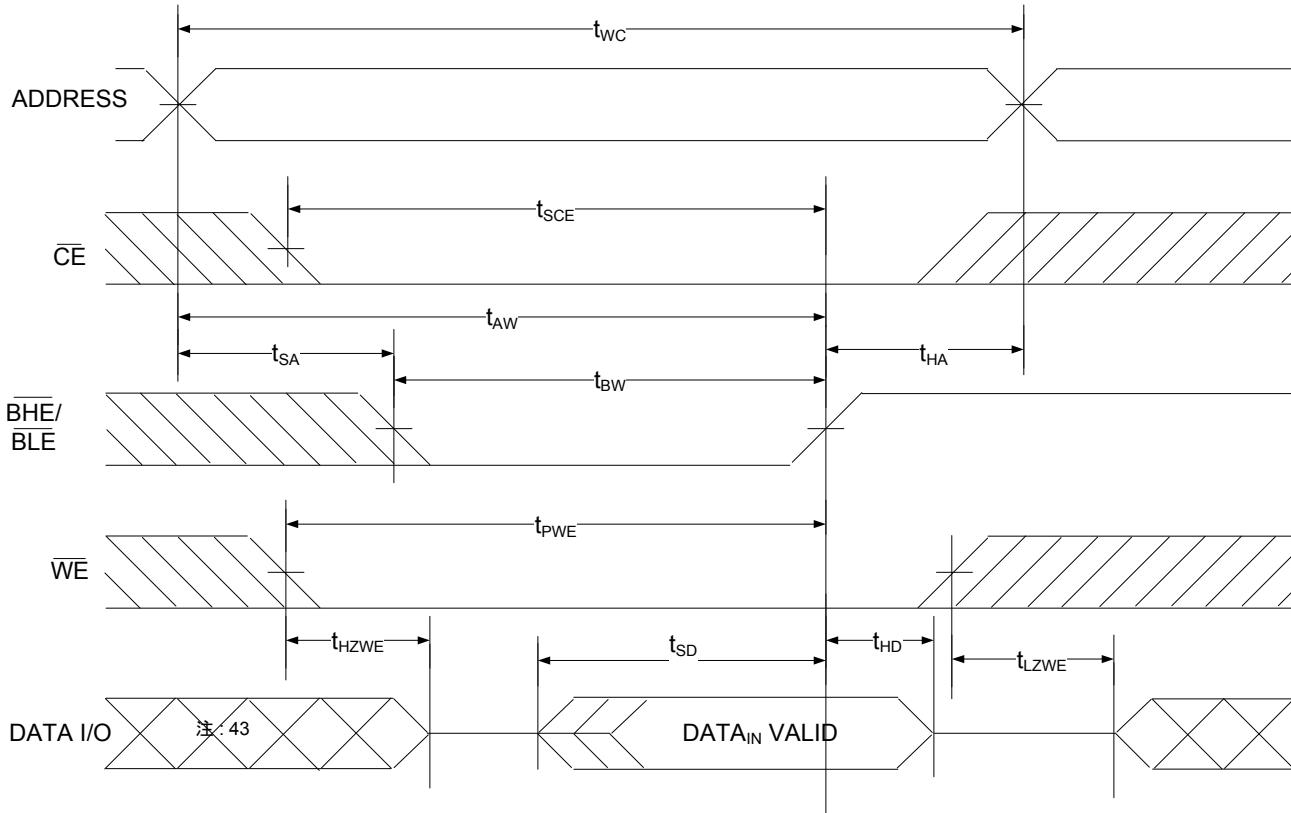


注:

36. 全てのデュアル イネーブル デバイスでは、 $\overline{\text{CE}}$ は $\overline{\text{CE}_1}$ と CE_2 の論理的結合です。 $\overline{\text{CE}_1}$ が LOW であり、 CE_2 が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}_1}$ が HIGH である、または CE_2 が LOW である時、 CE は HIGH です。
37. メモリの内部書き込み時間は $\text{WE} = \text{V}_{\text{IL}}$ 、 $\text{CE} = \text{V}_{\text{IL}}$ および $\text{BHE} = \text{V}_{\text{IL}}$ または $\text{BLE} = \text{V}_{\text{IL}}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するためには LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にする必要があります。
38. データ I/O は、 $\text{CE} = \text{V}_{\text{IH}}$ 、または $\text{OE} = \text{V}_{\text{IH}}$ または $\text{BHE} = \text{V}_{\text{IH}}$ および / または $\text{BLE} = \text{V}_{\text{IH}}$ の場合、高インピーダンス状態に入ります。
39. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 (続き)

図 19. 書き込みサイクル 4 ($\overline{\text{BLE}}$ または $\overline{\text{BHE}}$ 制御) [40、41、42]



注:

40. 全てのデュアル イネーブル デバイスでは、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理的結合です。 $\overline{\text{CE}}_1$ が LOW であり、 CE_2 が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}}_1$ が HIGH である、または CE_2 が LOW である時、 $\overline{\text{CE}}$ は HIGH です。
41. メモリの内部書き込み時間は $\overline{\text{WE}} = \text{V}_{\text{IL}}$ 、 $\overline{\text{CE}} = \text{V}_{\text{IL}}$ および $\overline{\text{BHE}} = \text{V}_{\text{IL}}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にする必要があります。
42. データ I/O は、 $\overline{\text{CE}} = \text{V}_{\text{IH}}$ 、または $\overline{\text{OE}} = \text{V}_{\text{IH}}$ または BHE および／または $\overline{\text{BLE}} = \text{V}_{\text{IH}}$ の場合、高インピーダンス状態に入ります。
43. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

真理値表

\overline{CE} [44]	OE	WE	\overline{BLE}	\overline{BHE}	$I/O_0-I/O_7$	$I/O_8-I/O_{15}$	モード	電源
H	X ^[45]	X ^[45]	X ^[45]	X ^[45]	High-Z	High-Z	パワーダウン	スタンバイ (I_{SB})
L	L	H	L	L	データ出力	データ出力	全ビット読み出し	アクティブ (I_{CC})
L	L	H	L	H	データ出力	High-Z	下位ビットのみ読み出し	アクティブ (I_{CC})
L	L	H	H	L	High-Z	データ出力	上位ビットのみ読み出し	アクティブ (I_{CC})
L	X	L	L	L	データ入力	データ入力	全ビット書き込み	アクティブ (I_{CC})
L	X	L	L	H	データ入力	High-Z	下位ビットのみ書き込み	アクティブ (I_{CC})
L	X	L	H	L	High-Z	データ入力	上位ビットのみ書き込み	アクティブ (I_{CC})
L	H	H	X	X	High-Z	High-Z	デバイス選択、出力無効	アクティブ (I_{CC})
L	X	X	H	H	High-Z	High-Z	デバイス選択、出力無効	アクティブ (I_{CC})

ERR 出力 – CY7C1061GE

出力 [46]	モード
0	読み出し動作、保存データにはシングルビット エラーなし
1	読み出し動作、シングルビット エラーが検出され、訂正済み
High-Z	デバイス選択解除／出力無効／書き込み動作

注:

44. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 CE は HIGH です。
45. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。
46. ERR は出力ピンです。このピンを使用しない場合、開放にしてください。

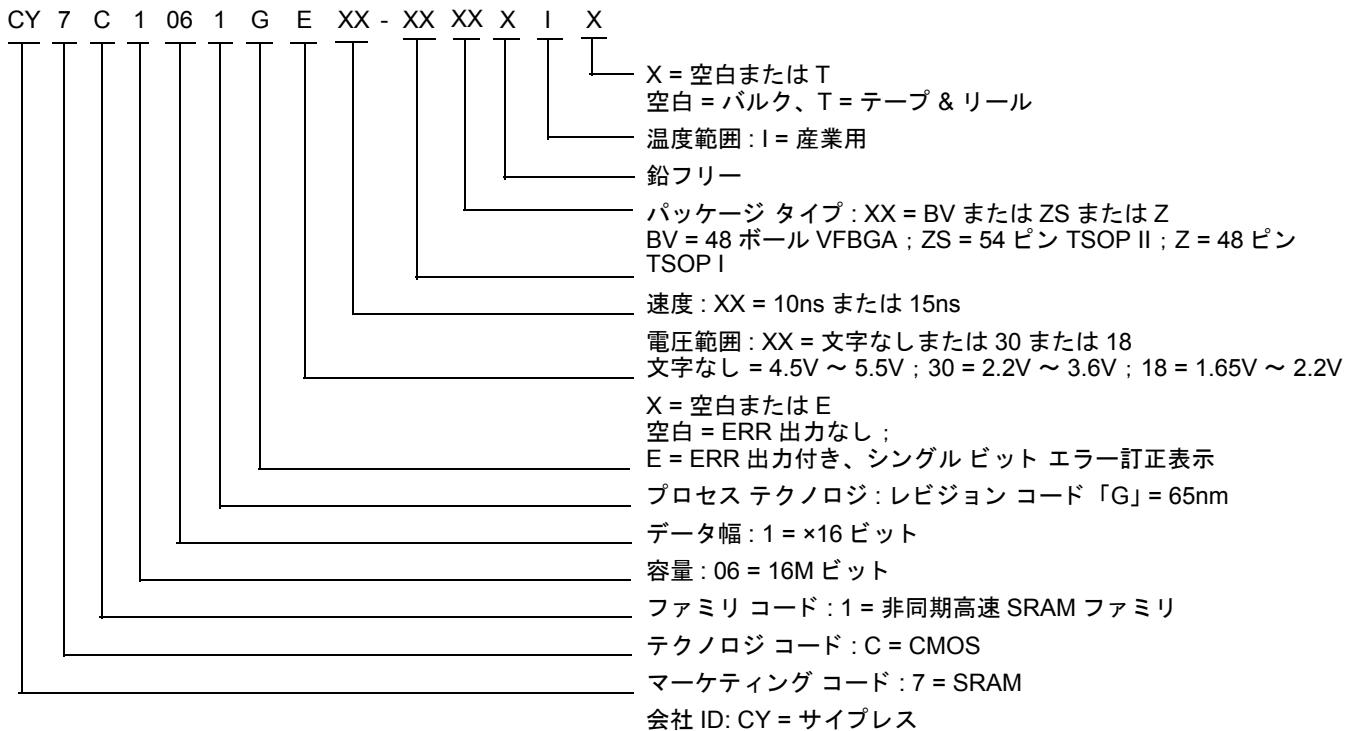
注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (全て鉛フリー)	主な特長／差別化	ERR ピン ／ボール	動作範囲
10	4.5V ~ 5.5V	CY7C1061G-10BV1XI	51-85150	48 ボール VFBGA	シングルチップイネーブル、アドレス MSB A19 はボール G2 に位置	無	産業用
		CY7C1061GE-10BV1XI				有	
		CY7C1061G-10BVJXI			デュアルチップイネーブル、アドレス MSB A19 はボール G2 に位置	無	
		CY7C1061GE-10BVJXI				有	
		CY7C1061G-10BVXI			デュアルチップイネーブル、アドレス MSB A19 はボール H6 に位置	無	
		CY7C1061GE-10BVXI				有	
		CY7C1061G-10ZSXI	51-85160	54 ピン TSOP II	デュアルチップイネーブル	無	
		CY7C1061GE-10ZSXI				有	
		CY7C1061G-10ZXI	51-85183	48 ピン TSOP I	シングルチップイネーブル	無	
		CY7C1061GE-10ZXI				有	
	2.2V ~ 3.6V	CY7C1061G30-10BV1XI	51-85150	48 ボール VFBGA	シングルチップイネーブル、アドレス MSB A19 はボール G2 に位置	無	産業用
		CY7C1061GE30-10BV1XI				有	
		CY7C1061G30-10BVJXI			デュアルチップイネーブル、アドレス MSB A19 はボール G2 に位置	無	
		CY7C1061GE30-10BVJXI				有	
		CY7C1061G30-10BVXI			デュアルチップイネーブル、アドレス MSB A19 はボール H6 に位置	無	
		CY7C1061GE30-10BVXI				有	
		CY7C1061G30-10ZSXI	51-85160	54 ピン TSOP II	デュアルチップイネーブル	無	
		CY7C1061GE30-10ZSXI				有	
		CY7C1061G30-10ZXI	51-85183	48 ピン TSOP I	シングルチップイネーブル	無	
		CY7C1061GE30-10ZXI				有	
15	1.65V ~ 2.2V	CY7C1061GE18-15BV1XI	51-85150	48 ボール VFBGA	シングルチップイネーブル、アドレス MSB A19 はボール G2 に位置	有	産業用
		CY7C1061G18-15BV1XI				無	
		CY7C1061GE18-15BVJXI			デュアルチップイネーブル、アドレス MSB A19 はボール G2 に位置	有	
		CY7C1061G18-15BVJXI				無	
		CY7C1061GE18-15BVXI			デュアルチップイネーブル、アドレス MSB A19 はボール H6 に位置	有	
		CY7C1061G18-15BVXI				無	
		CY7C1061GE18-15ZSXI	51-85160	54 ピン TSOP II	デュアルチップイネーブル	有	
		CY7C1061G18-15ZSXI				無	
		CY7C1061GE18-15ZXI	51-85183	48 ピン TSOP I	シングルチップイネーブル	有	
		CY7C1061G18-15ZXI				無	

注文情報 (続き)

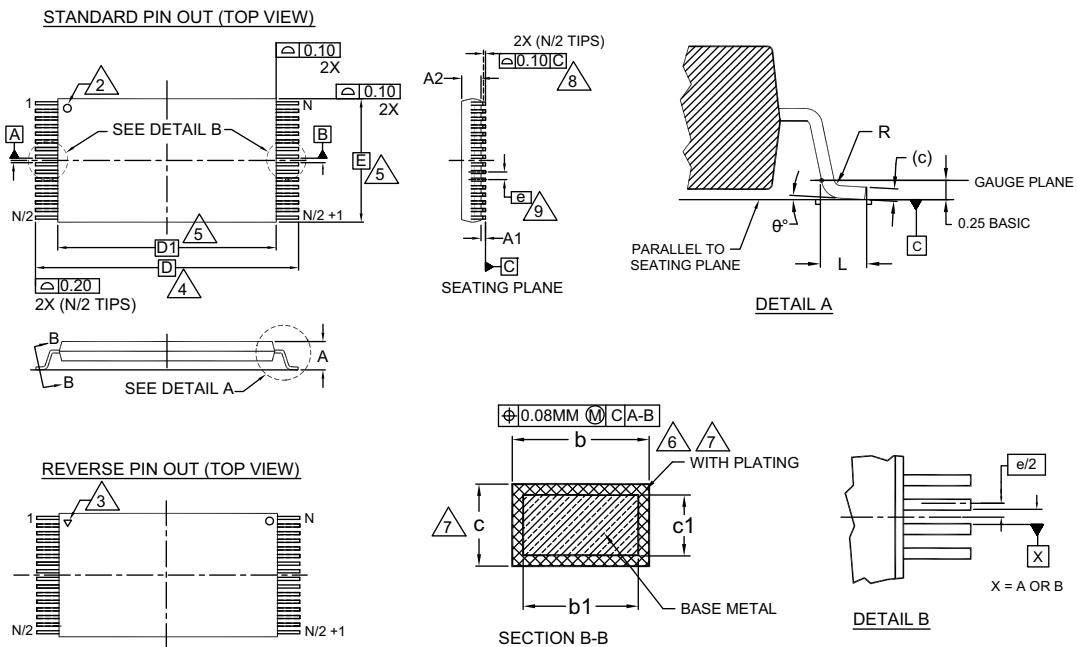
速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (全て鉛フリー)	主な特長／差別化	ERR ピン ／ボール	動作範囲
10	4.5V ~ 5.5V	CY7C1061G-10BV1XIT	51-85150	48 ボール VFBGA	シングル チップ イネーブル、アドレス MSB A19 はボール G2 に位置、テープ & リール	無	産業用
		CY7C1061GE-10BV1XIT				有	
		CY7C1061G-10BVJXIT			デュアル チップ イネーブル、アドレス MSB A19 はボール G2 に位置、テープ & リール	無	
		CY7C1061GE-10BVJXIT				有	
		CY7C1061G-10BVXIT			デュアル チップ イネーブル、アドレス MSB A19 はボール H6 に位置、テープ & リール	無	
		CY7C1061GE-10BVXIT				有	
	2.2V ~ 3.6V	CY7C1061G30-10BV1XIT	51-85150	48 ボール VFBGA	デュアル チップ イネーブル、テープ & リール	無	
		CY7C1061GE30-10BV1XIT				有	
		CY7C1061G30-10BVJXIT			シングル チップ イネーブル、テープ & リール	無	
		CY7C1061GE30-10BVJXIT				有	
	2.2V ~ 3.6V	CY7C1061G30-10BVXIT	51-85160	54 ピン TSOP II	シングル チップ イネーブル、テープ & リール	無	
		CY7C1061GE30-10BVXIT				有	
		CY7C1061G30-10ZSXIT			デュアル チップ イネーブル、テープ & リール	無	
		CY7C1061GE30-10ZSXIT				有	
15	1.65V ~ 2.2V	CY7C1061GE18-15BV1XIT	51-85150	48 ボール VFBGA	デュアル チップ イネーブル、アドレス MSB A19 はボール G2 に位置、テープ & リール	有	産業用
		CY7C1061G18-15BV1XIT				無	
		CY7C1061GE18-15BVJXIT			シングル チップ イネーブル、アドレス MSB A19 はボール G2 に位置、テープ & リール	有	
		CY7C1061G18-15BVJXIT				無	
		CY7C1061GE18-15BVXIT			デュアル チップ イネーブル、アドレス MSB A19 はボール H6 に位置、テープ & リール	有	
		CY7C1061G18-15BVXIT				無	
	1.65V ~ 2.2V	CY7C1061GE18-15ZSXIT	51-85160	54 ピン TSOP II	デュアル チップ イネーブル、テープ & リール	有	
		CY7C1061G18-15ZSXIT				無	
		CY7C1061GE18-15ZXIT	51-85183	48 ピン TSOP I	シングル チップ イネーブル、テープ & リール	有	
		CY7C1061G18-15ZXIT				無	

注文コードの定義



パッケージ図

図 20. 48 ピン TSOP I (12 × 18.4 × 1.0mm) Z48A パッケージ外形、51-85183



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00	BASIC	
D1	18.40	BASIC	
E	12.00	BASIC	
e	0.50	BASIC	
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	48		

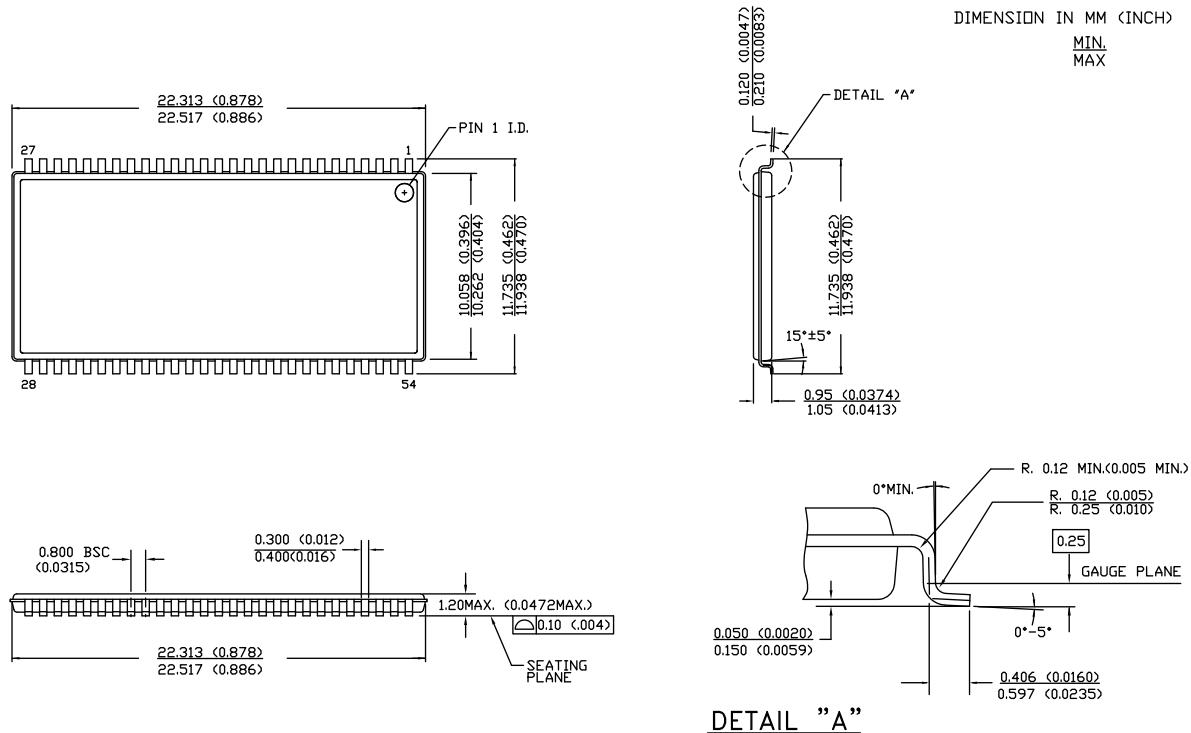
NOTES:

- 1 DIMENSIONS ARE IN MILLIMETERS (mm).
- 2 PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
- 3 PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
- 4 TO BE DETERMINED AT THE SEATING PLANE [C]. THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
- 5 DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
- 6 DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm .
- 7 THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- 8 LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
- 9 DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
- 10 JEDEC SPECIFICATION NO. REF: MO-142(D)DD.

51-85183 *F

パッケージ図(続き)

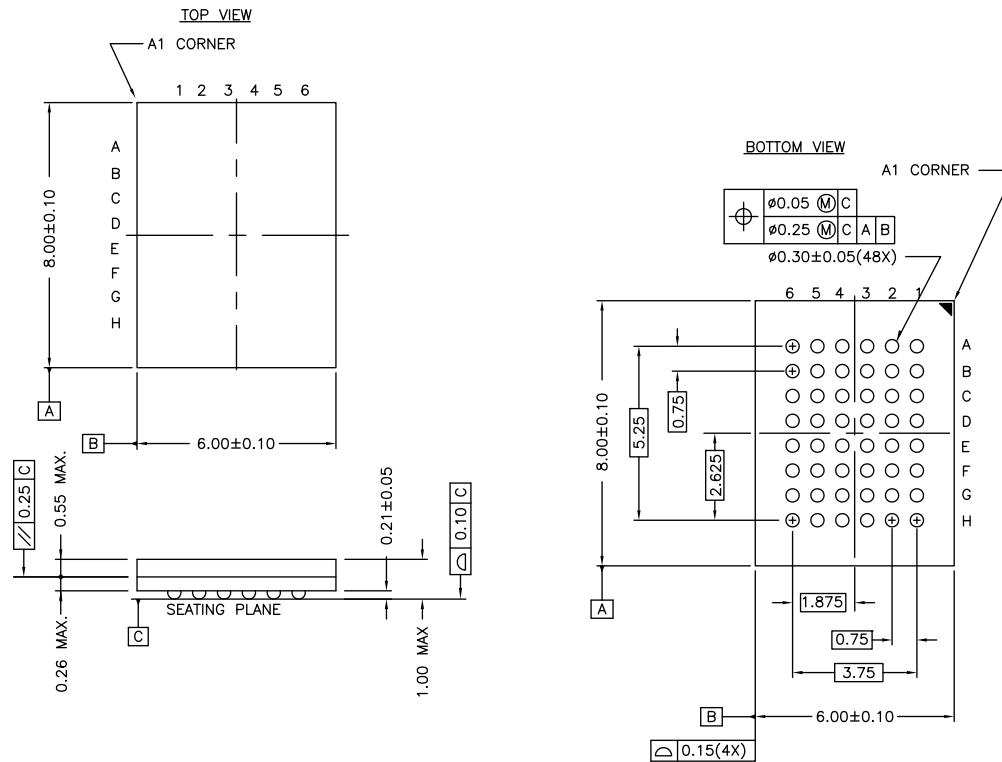
図 21. 54 ピン TSOP II (22.4 × 11.84 × 1.0mm) Z54-II パッケージ外形、51-85160



51-85160 *E

パッケージ図(続き)

図 22. 48 ポール VFBGA (6 × 8 × 1.0mm) BV48 / BZ48 パッケージ外形、51-85150



NOTE:

PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD)
posted on the Cypress web.

51-85150 *H

略語

略語	説明
BHE	Byte High Enable (上位バイト イネーブル)
BLE	Byte Low Enable (下位バイト イネーブル)
\overline{CE}	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力／出力)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
TTL	Transistor-Transistor Logic (トランジスタ - トランジスタ ロジック)
VFBGA	Very Fine-Pitch Ball Grid Array (超ファインピッチ ボール グリッド アレイ)
\overline{WE}	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1061G / CY7C1061GE、エラー訂正コード (ECC) 付 16M ビット (1M ワード × 16 ビット) スタティック RAM
文書番号 : 001-92125

版	ECN 番号	変更者	発行日	変更内容
**	4345079	HZEN	04/14/2014	これは英語版 001-81540 Rev. *E を翻訳した日本語版 Rev. ** です。
*A	4471870	HZEN	08/11/2014	これは英語版 001-81540 Rev. *J を翻訳した日本語版 Rev. *A です。
*B	5693894	HZEN	04/19/2017	これは英語版 001-81540 Rev. *R を翻訳した日本語版 001-92125 Rev. *B です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers

cypress.com/arm

車載用

cypress.com/automotive

クロック & バッファ

cypress.com/clocks

インターフェース

cypress.com/interface

IoT (モノのインターネット)

cypress.com/iot

メモリ

cypress.com/memory

マイクロコントローラー

cypress.com/mcu

PSoC

cypress.com/psoc

電源管理 IC

cypress.com/pmic

タッチ センシング

cypress.com/touch

USB コントローラー

cypress.com/usb

ワイヤレス接続

cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに(b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに(2) 本ソフトウェア（Cypressにより提供され、修正がなされていないもの）が抵触するCypressの特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サプライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関するても、明示又は默示をとわず、いかなる保証（商品性及び特定の目的への適合性の默示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわざ一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ、Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, CapsSense, EZ-USB, F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

文書番号 : 001-92125 Rev. *B

改訂日 2017 年 4 月 20 日

ページ 25 / 25