

带有纠错码（ECC）的 16 Mbit （1 M 字 × 16 位）静态 RAM

特性

- 高速
 - $t_{AA} = 10 \text{ ns}/15 \text{ ns}$
- 用于单位错误纠正的嵌入式纠错码（ECC）
- 活动模式和待机模式低电流
 - 当频率为 100 MHz 时， $I_{CC} = 90 \text{ mA}$ （典型值）
 - 典型值： $I_{SB2} = 20 \text{ mA}$
- 工作电压范围：1.65 V 至 2.2 V，2.2 V 至 3.6 V 和 4.5 V 至 5.5 V
- 数据保留电压：1.0 V
- 输入和输出兼容晶体管逻辑（TTL）
- 错误指示（ERR）引脚用于表示单位错误的检测和纠正
- 适用于无铅的 48-pin TSOP I、54-pin TSOP II 和 48-ball VFBGA 等封装

功能描述

CY7C1061G 和 CY7C1061GE 是带嵌入式 ECC^[1] 的高性能 CMOS 快速静态 RAM 器件。这两种器件均支持单芯片和双芯片使能选项以及多种引脚配置。CY7C1061GE 器件具有一个 ERR 引脚，用于通知读周期中的单位错误检测和纠正事件。

通过将芯片使能输入（ \overline{CE} ）置为低电平，可以访问单芯片使能的器件。通过将两个芯片使能输入 — \overline{CE}_1 置为低电平， \overline{CE}_2 置为高电平，可以访问双芯片使能器件。

通过将写入使能输入（ \overline{WE} ）置为低电平，并分别在器件数据（ I/O_0 到 I/O_{15} ）引脚和地址（ A_0 到 A_{19} ）引脚提供数据和地址，可以执行数据写入操作。字节高电平使能（BHE）和字节低电平使能（BLE）输入用于控制字节写入操作，并将相应 I/O 线上的数据写入到指定的存储器位置内。BHE 控制 I/O_8 到 I/O_{15} ；BLE 控制 I/O_0 到 I/O_7 。

通过设置输出使能（ \overline{OE} ）输入，并提供地址线上所需的地址，可以执行读取数据的操作。可在 I/O 线（ I/O_0 到 I/O_{15} ）上读取数据。通过设置所需的字节使能信号（BHE 或 BLE），可以执行字节访问，即读取指定地址上高字节或低字节数据。

当取消选择器件（单芯片使能器件中 \overline{CE} 为高电平；双芯片使能器件中 \overline{CE}_1 为高电平 / \overline{CE}_2 为低电平），或者取消置位控制信号（OE，BLE，BHE）时，会使所有的 I/O（ I/O_0 到 I/O_{15} ）进入高电阻状态。

在 CY7C1061GE 器件上，通过 ERR 输出的激活（ERR 为高电平），可以指示访问位置中单比特错误的检测和校正。请参考第 16 页上的真值表，了解读写模式的完整说明。

逻辑框图位于第二页。

CY7C1061G 和 CY7C1061GE 器件适用于 48-pin TSOP I、54-pin TSOP II 和 48-ball VFBGA 封装。

要获取相关文档的完整列表，请单击[此处](#)。

产品系列概述

产品	特性与选项 (参考第 4 页上的引脚配置)	范围	V _{CC} 范围 (V)	速率 (ns) 10/15	电流消耗			
					工作电流 I _{CC} , (mA)		待机电流, I _{SB2} (mA)	
					f = f _{max}		典型值 [2]	最大值
					典型值 [2]	最大值		
CY7C1061G18	单芯片或双芯片使能	工业级	1.65 V 至 2.2 V	15	70	80	20	30
CY7C1061G(E)30	可选的 ERR 引脚		2.2 V 到 3.6 V	10	90	110		
CY7C1061G			4.5 V 到 5.5 V	10	90	110		
地址 MSB A ₁₉ 引脚的放置选项 与赛普拉斯和其它供应商兼容								

注释:

1. 检测错误时，该器件不支持自动回写功能。
2. 典型值仅供参考，并未得以保证，也未经过测试。典型值的测量条件为： $V_{CC} = 1.8 \text{ V}$ （ V_{CC} 范围为 1.65 V 至 2.2 V）， $V_{CC} = 3 \text{ V}$ （ V_{CC} 范围为 2.2 V 至 3.6 V）和 $V_{CC} = 5 \text{ V}$ （ V_{CC} 范围为 4.5 V 至 5.5 V）， $T_A = 25^\circ\text{C}$ 。

[illegible]

目录

引脚配置	4	订购信息	17
最大额定值	7	订购代码定义	19
工作范围	7	封装图	20
直流电气特性	7	缩略语	23
电容	8	文档规范	23
热阻	8	测量单位	23
交流测试负载和波形	8	文档修订记录页	24
数据保持特性	9	销售、解决方案和法律信息	25
数据保持波形	9	全球销售和设计支持	25
交流切换特性	10	产品	25
切换波形	11	PSoC® 解决方案	25
真值表	16	赛普拉斯开发者社区	25
ERR 输出 — CY7C1061GE	16	技术支持	25

引脚配置

图 1. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，
无 ERR 的双芯片使能，地址 MSB A19 位于 Ball G2，
CY7C1061G^[3] 封装 / 等级 ID: BVJXI

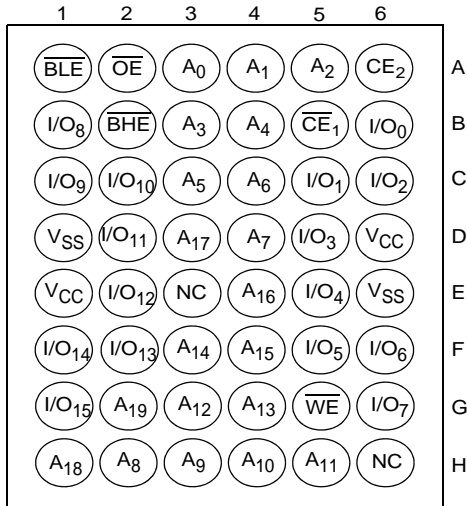


图 2. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，
无 ERR 的双芯片使能，地址 MSB A19 位于 Ball H6，
CY7C1061G^[3] 封装 / 等级 ID: BVXI

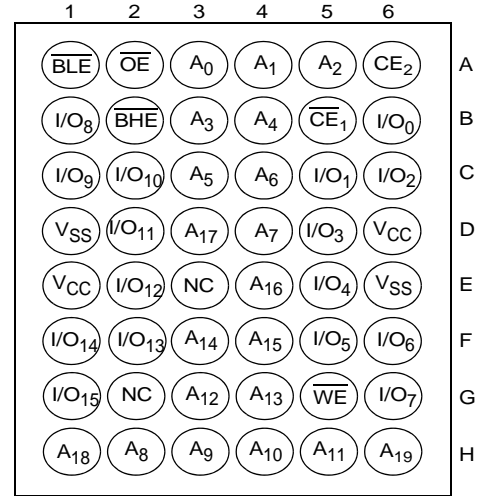
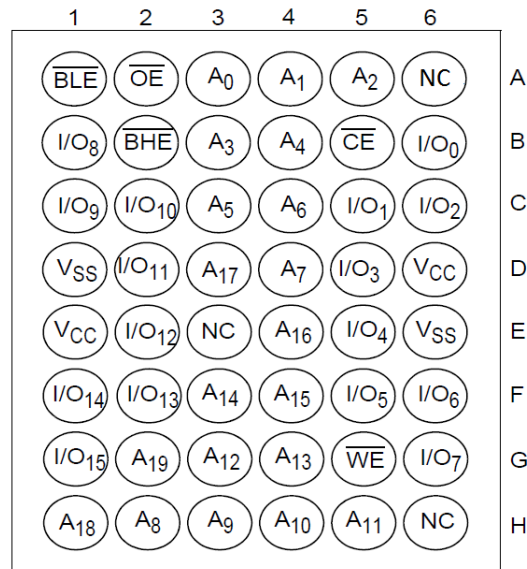


图 3. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，无 ERR 的单芯片使能，地址 MSB A19 位于 Ball G2，CY7C1061G^[3] 封装 / 等级 ID: BV1XI



注释:

3. NC 引脚并没有内部连接至芯片 (die)。

引脚配置 (续)

图 4. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，
带 ERR 的单芯片使能，地址 MSB A19 位于 Ball G2
CY7C1061GE^[4, 5] 封装 / 等级 ID: BV1XI

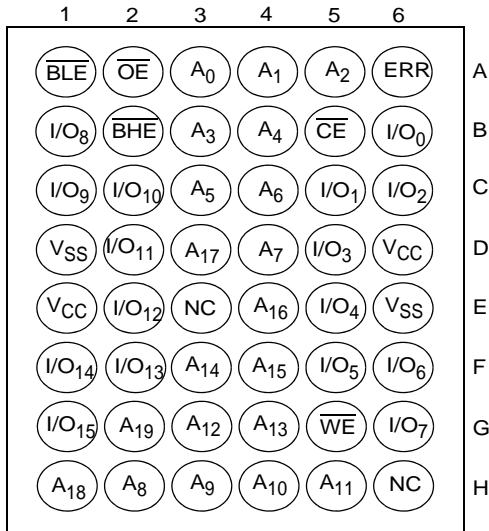


图 5. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，
带 ERR 的双芯片使能，地址 MSB A19 位于 Ball G2，
CY7C1061GE^[4, 5] 封装 / 等级 ID: BVJXI

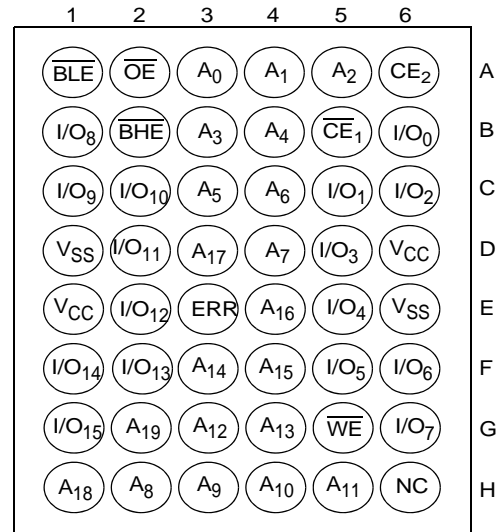
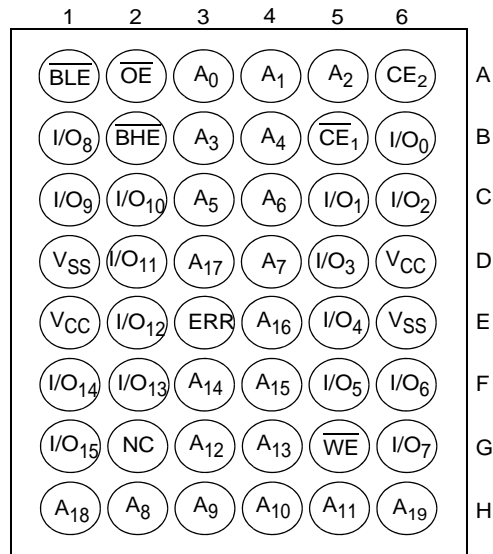


图 6. 48-ball 的 VFBGA (6 × 8 × 1.0 mm)，5 带 ERR 的双芯片使能，地址 MSB A19 位于 Ball H6，
CY7C1061GE^[4] 封装 / 等级 ID: BVXI



注释:

4. NC 引脚并没有内部连接到芯片。
5. ERR 是一个输出引脚。如果不被使用，这些引脚应该悬空。

引脚配置 (续)

图 7. 48-pin TSOP I (12 × 18.4 × 1 mm),
带 ERR 的单芯片使能,
CY7C1061GE^[6, 7] 封装 / 等级 ID: ZXI

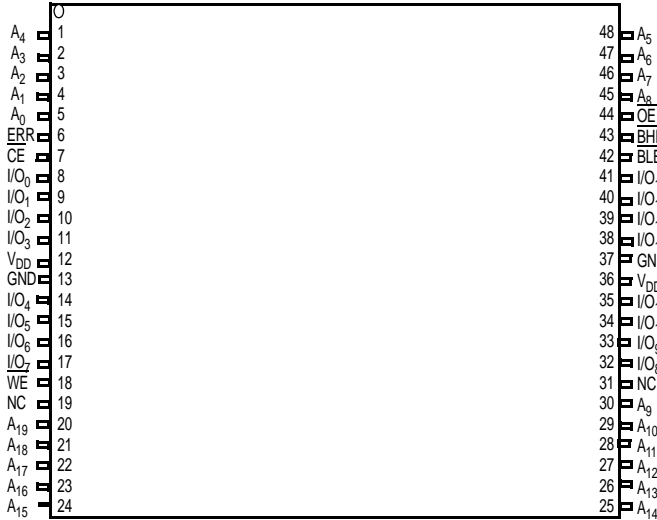


图 8. 48-pin TSOP I (12 × 18.4 × 1 mm),
无 ERR 的单芯片使能,
CY7C1061G^[6] 封装 / 等级 ID: ZXI

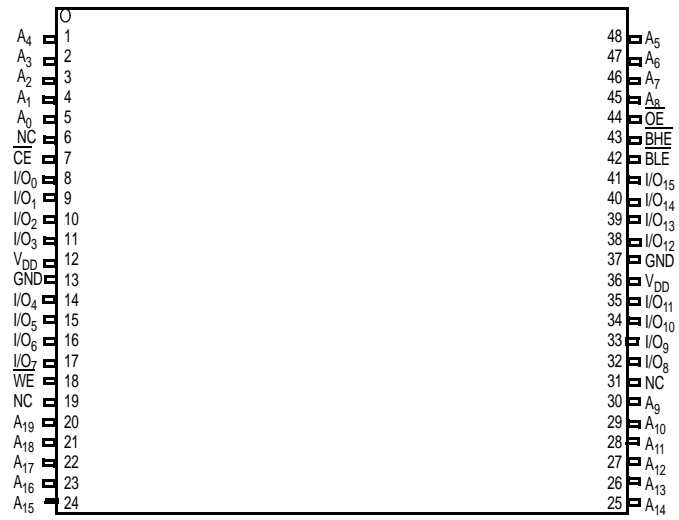


图 9. 54-pin TSOP II (22.4 × 11.84 × 1.0 mm),
无 ERR 的双芯片使能,
CY7C1061G^[6] 封装 / 等级 ID: ZSXI

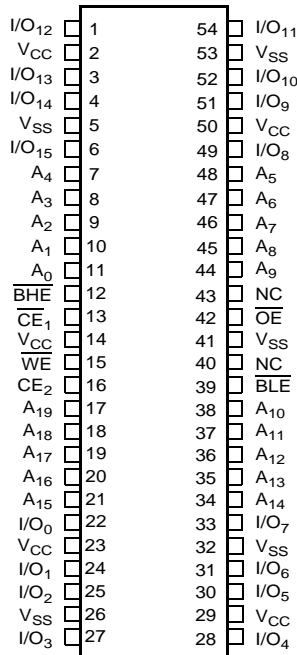
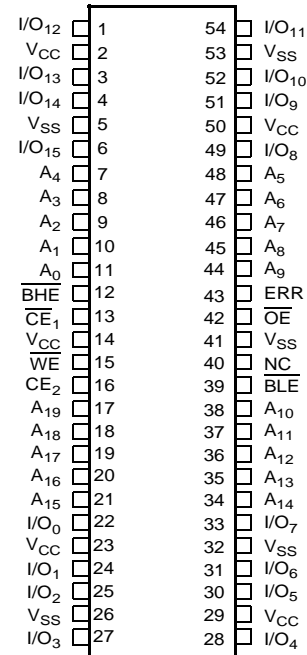


图 10. 54-pin TSOP II (22.4 × 11.84 × 1.0 mm),
带 ERR 的双芯片使能,
CY7C1061GE^[6, 7] 封装 / 等级 ID: ZSXI



注释:

6. NC 引脚并没有内部连接到芯片。
7. ERR 是一个输出引脚。如果不被使用，这些引脚应该悬空。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65 °C 至 +150 °C

通电时的环境温度 -55 °C 至 +125 °C

相对于 GND 的 V_{CC} 供电电压 -0.5 V 到 $V_{CC} + 0.5$ V

应用于高阻态下的输出的直流电压^[8] ..-0.5 V 至 $V_{CC} + 0.5$ V

直流输入电压^[8] -0.5 V 到 $V_{CC} + 0.5$ V

直流电气特性

工作温度范围为 -40 °C 到 85 °C

输出电流（低电平） 20 mA

静电放电电压（MIL-STD-883，方法 3015） > 2001 V

栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 至 +85°C	1.65 V 到 2.2 V、 2.2 V 到 3.6 V、 4.5 V 到 5.5 V

参数	说明	测试条件	10 ns/15 ns			单位
			最小值	典型值 ^[9]	最大值	
V_{OH}	输出高电平电压	1.65 V 至 2.2 V V_{CC} = 最小值, I_{OH} = -0.1 mA	1.4	—	—	V
		2.2 V 至 2.7 V V_{CC} = 最小值, I_{OH} = -1.0 mA	2.0	—	—	
		2.7 V 到 3.0 V V_{CC} = 最小值, I_{OH} = -4.0 mA	2.2	—	—	
		3.0 V 到 3.6 V V_{CC} = 最小值, I_{OH} = -4.0 mA	2.4	—	—	
		4.5 V 至 5.5 V V_{CC} = 最小值, I_{OH} = -4.0 mA	2.4	—	—	
		4.5 V 至 5.5 V V_{CC} = 最小值, I_{OH} = -0.1 mA	$V_{CC} - 0.4$ ^[10]	—	—	
V_{OL}	输出低电平电压	1.65 V 至 2.2 V V_{CC} = 最小值, I_{OL} = 0.1 mA	—	—	0.2	V
		2.2 V 至 2.7 V V_{CC} = 最小值, I_{OL} = 2 mA	—	—	0.4	
		2.7 V 至 3.6 V V_{CC} = 最小值, I_{OL} = 8 mA	—	—	0.4	
		4.5 V 至 5.5 V V_{CC} = 最小值, I_{OL} = 8 mA	—	—	0.4	
V_{IH} ^[8]	输入高电平电压	1.65 V 至 2.2 V	1.4	—	$V_{CC} + 0.2$	V
		2.2 V 至 2.7 V	2.0	—	$V_{CC} + 0.3$	
		2.7 V 至 3.6 V	2.0	—	$V_{CC} + 0.3$	
		4.5 V 到 5.5 V	2.0	—	$V_{CC} + 0.5$	
V_{IL} ^[8]	输入低电平电压	1.65 V 至 2.2 V	-0.2	—	0.4	V
		2.2 V 至 2.7 V	-0.3	—	0.6	
		2.7 V 至 3.6 V	-0.3	—	0.8	
		4.5 V 至 5.5 V	-0.5	—	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-1.0	—	+1.0	μA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出被禁用	-1.0	—	+1.0	μA
I_{CC}	工作供电电流	V_{CC} = 最大值, I_{OUT} = 0 mA, f = 100 MHz	—	90.0	110.0	mA
		CMOS 电平, f = 66.7 MHz	—	70.0	80.0	
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大 V_{CC} , $\overline{CE} \geq V_{IH}$ ^[11] , $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX}$	—	—	40.0	mA
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大 V_{CC} , $\overline{CE} \geq V_{CC} - 0.2$ V ^[11] , $V_{IN} \geq V_{CC} - 0.2$ V 或 $V_{IN} \leq 0.2$ V, $f = 0$	—	20.0	30.0	mA

注释:

8. 在脉冲宽度小于 20 ns 时, $V_{IL(min)}$ = -2.0 V 和 $V_{IH(max)}$ = $V_{CC} + 2$ V。

9. 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的测量条件为: $V_{CC} = 1.8$ V (V_{CC} 范围为 1.65 V 至 2.2 V), $V_{CC} = 3$ V (V_{CC} 范围为 2.2 V 至 3.6 V) 和 $V_{CC} = 5$ V (V_{CC} 范围为 4.5 V 至 5.5 V), $T_A = 25$ °C。

10. 该参数仅通过设计决定, 但未经过测试。

11. 对于所有双芯片使能器件, \overline{CE} 是 \overline{CE}_1 和 CE_2 的逻辑组合。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 会处在低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 会处于高电平状态。

电容

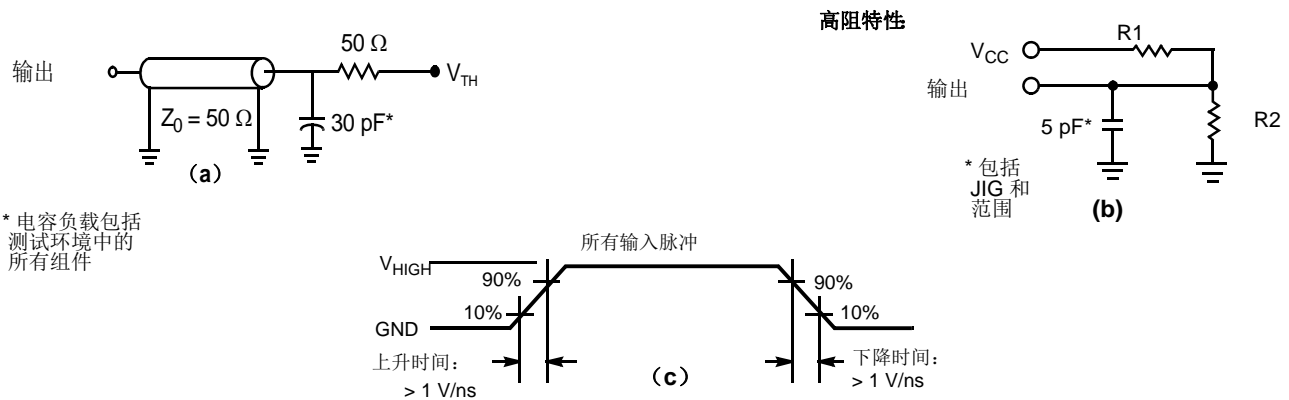
参数 ^[12]	说明	测试条件	54-pin TSOP II	48-ball VFBGA	48 pin TSOP I	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$,	10	10	10	pF
C_{OUT}	I/O 电容	$V_{CC} = V_{CC}$ (典型值)	10	10	10	pF

热阻

参数 ^[12]	说明	测试条件	54-pin TSOP II	48-ball VFBGA	48-pin TSOP I	单位
Θ_{JA}	热阻系数 (结至环境)	静止空气, 被焊接在 3×4.5 英寸 的四层印刷电路板上	93.63	31.50	57.99	$^\circ\text{C/W}$
Θ_{JC}	热阻系数 (结至外壳)		21.58	15.75	13.42	$^\circ\text{C/W}$

交流测试负载和波形

图 11. 交流测试负载和波形^[13]



参数	1.8 V	3.0 V	5.0 V	单位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注释:

12. 在进行可能影响这些参数的任何设计或流程更改之前和之后进行测试。

13. 完整的器件交流操作假设 0 到 V_{CC} (min) 的升降时间为 100 μs , 以及 V_{CC} 稳定到其运行价值时的等待的时间为 100 μs 。

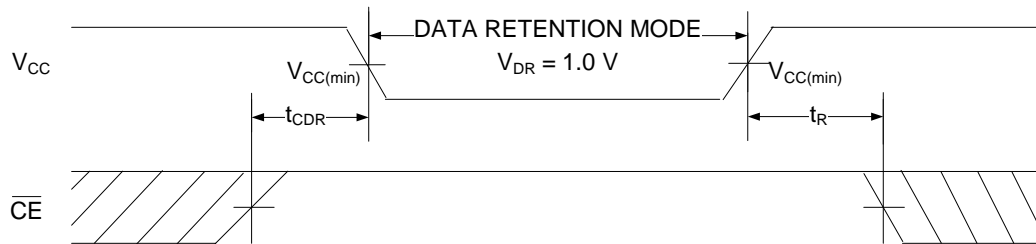
数据保持特性

工作温度范围为 -40°C 至 85°C

参数	说明	条件	最小值	最大值	单位
V_{DR}	数据保留的 V_{CC}		1.0	—	V
I_{CCDR}	数据保留电流	$V_{\text{CC}} = V_{\text{DR}}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{ V}^{[14]}$ 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	—	30.0	mA
$t_{\text{CDR}}^{[15]}$	从芯片取消选择到数据保留的时间		0	—	ns
$t_{\text{R}}^{[15, 16]}$	操作恢复的时间	$V_{\text{CC}} \geq 2.2\text{ V}$	10.0	—	ns
		$V_{\text{CC}} < 2.2\text{ V}$	15.0	—	ns

数据保持波形

图 12. 数据保留波形^[14]



注释:

14. 对于所有的双芯片使能器件， $\overline{\text{CE}}$ 由 $\overline{\text{CE}}_1$ 和 CE_2 逻辑组合。当 $\overline{\text{CE}}_1$ 为低电平且 CE_2 为高电平时， $\overline{\text{CE}}$ 将处于低电平状态；当 $\overline{\text{CE}}_1$ 为高电平或 CE_2 为低电平时， $\overline{\text{CE}}$ 将处于高电平状态。
15. 该参数仅通过设计决定，但未经过测试。
16. 完整的器件操作要求 V_{DR} 到 V_{CC} （最小值）的线性 V_{CC} 升降时间 $\geq 100\text{ }\mu\text{s}$ ，或该时间在 V_{CC} （最小值）上保持 $\geq 100\text{ }\mu\text{s}$ 。

交流切换特性

工作温度范围为 -40 °C 至 85 °C

参数 ^[17]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t ^{POWER}	V _{CC} （稳定）到第一次访问的时间 ^[18、19]	100.0	—	100.0	—	μs
t ^{RC}	读周期的时间	10.0	—	15.0	—	ns
t ^{AA}	地址到数据 /ERR 有效的时间	—	10.0	—	15.0	ns
t ^{OHA}	地址更改后的数据 /ERR 保持时间	3.0	—	3.0	—	ns
t ^{ACE}	$\overline{\text{CE}}$ 为低电平到数据 /ERR 有效的时间 ^[20]	—	10.0	—	15.0	ns
t ^{DOE}	$\overline{\text{OE}}$ 为低电平到数据 /ERR 有效的时间	—	5.0	—	8.0	ns
t ^{LZOE}	$\overline{\text{OE}}$ 为低电平到低阻态的时间 ^[21、22、23]	0	—	1.0	—	ns
t ^{HZOE}	$\overline{\text{OE}}$ 为高电平到高阻态的时间 ^[21、22、23]	—	5.0	—	8.0	ns
t ^{LZCE}	$\overline{\text{CE}}$ 为低电平到低阻态的时间 ^[20、21、22、23]	3.0	—	3.0	—	ns
t ^{HZCE}	$\overline{\text{CE}}$ 为高电平到高阻态的时间 ^[20、21、22、23]	—	5.0	—	8.0	ns
t ^{PU}	$\overline{\text{CE}}$ 为低电平到上电的时间 ^[19、20]	0	—	0	—	ns
t ^{PD}	$\overline{\text{CE}}$ 为高电平到断电的时间 ^[19、20]	—	10.0	—	15.0	ns
t ^{DBE}	字节使能到数据有效的时间	—	5.0	—	8.0	ns
t ^{LZBE}	字节使能到低阻态的时间 ^[21、22]	0	—	1.0	—	ns
t ^{HZBE}	字节禁用到高阻态的时间 ^[21、22]	—	6.0	—	8.0	ns
写周期 ^[24、25]						
t ^{WC}	写周期的时间	10.0	—	15.0	—	ns
t ^{SCE}	$\overline{\text{CE}}$ 为低电平到写周期结束的时间 ^[20]	7.0	—	12.0	—	ns
t ^{AW}	地址建立到写周期结束的时间	7.0	—	12.0	—	ns
t ^{HA}	写周期结束后地址保持的时间	0	—	0	—	ns
t ^{SA}	地址设置到写周期开始的时间	0	—	0	—	ns
t ^{PWE}	$\overline{\text{WE}}$ 脉冲宽度	7.0	—	12.0	—	ns
t ^{SD}	数据建立到写周期结束的时间	5.0	—	8.0	—	ns
t ^{HD}	写周期结束后数据保持的时间	0	—	0	—	ns
t ^{LZWE}	$\overline{\text{WE}}$ 为高电平到低阻态的时间 ^[21、22、23]	3.0	—	3.0	—	ns
t ^{HZWE}	$\overline{\text{WE}}$ 为低电平到高阻态的时间 ^[21、22、23]	—	5.0	—	8.0	ns
t ^{BW}	字节使能到写周期结束的时长	7.0	—	12.0	—	ns

注释:

- 假设测试条件如下: 信号跳变时长 (上升 / 下降) 等于或低于 3 ns, 时序参考电平为 1.5 V (对于 $V_{\text{CC}} \geq 3 \text{ V}$) 和 $V_{\text{CC}}/2$ (对于 $V_{\text{CC}} < 3 \text{ V}$), 输入脉冲电平范围为 0 至 3 V (对于 $V_{\text{CC}} \geq 3 \text{ V}$) 和 0 至 V_{CC} (对于 $V_{\text{CC}} < 3 \text{ V}$)。除非另有说明, 否则读周期的测试条件使用第 8 页上的图 11 中 (a) 部分所显示的输出加载。
- t_{POWER} 是指进行第一次存储器访问前供电电源达到稳定 V_{CC} 的最小时间量。
- 这些参数由设计保证, 并未经过测试。
- 对于所有双芯片使能器件, $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$ 的逻辑组合。当 $\overline{\text{CE}}_1$ 为低电平, 且 $\overline{\text{CE}}_2$ 为高电平时, $\overline{\text{CE}}$ 将处于低电平状态; 当 $\overline{\text{CE}}_1$ 为高电平或 $\overline{\text{CE}}_2$ 为低电平时, $\overline{\text{CE}}$ 将处于高电平状态。
- 如第 8 页上的图 11 的 (b) 部分所示, t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 和 t_{HZBE} 的负载电容为 5 pF。Hi-Z、Lo-Z 跃变在稳定状态电压 $\pm 200 \text{ mV}$ 的条件下测量。
- 在所有温度和电压范围条件下, 对于所有器件, t_{HZCE} 低于 t_{LZCE} 、 t_{HZBE} 低于 t_{LZBE} 、 t_{HZOE} 低于 t_{LZOE} 以及 t_{HZWE} 低于 t_{LZWE} 。
- 在进行可能影响这些参数的任何设计或流程更改之前和之后均进行了测试。
- 通过重叠 $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ 和 $\overline{\text{BHE}}$ 或 $\overline{\text{BLE}} = V_{\text{IL}}$, 可以定义存储器的内部写入时间。要想执行写入操作, 必须将这些信号置于低电平状态。任一信号转为高电平都会终止该操作。当设置建立时间和保持时间时, 必须考虑到终止写操作的信号边沿。
- 第二个写周期 ($\overline{\text{WE}}$ 被控制, $\overline{\text{OE}}$ 为低电平) 的最小写入脉冲宽度应为 t_{HZWE} 和 t_{SD} 的总和。

切换波形

图 13. CY7C1061G 的第一个读周期（地址转换控制） [26、27]

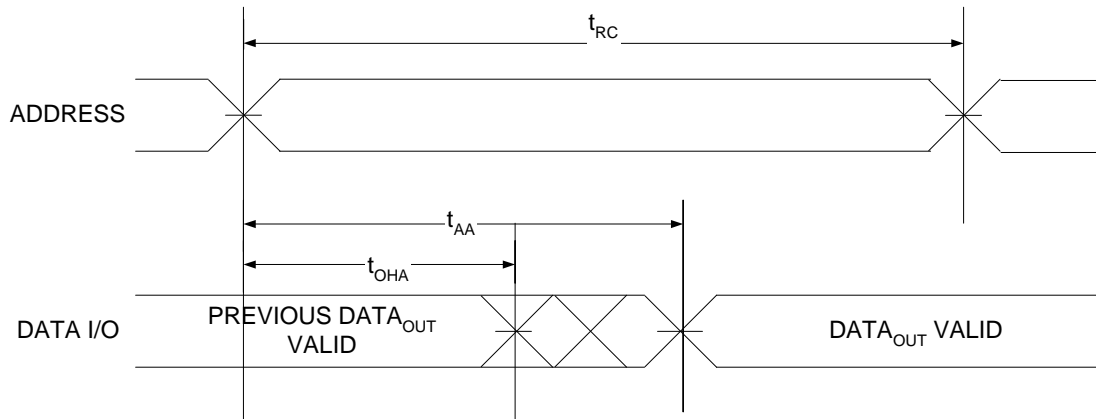
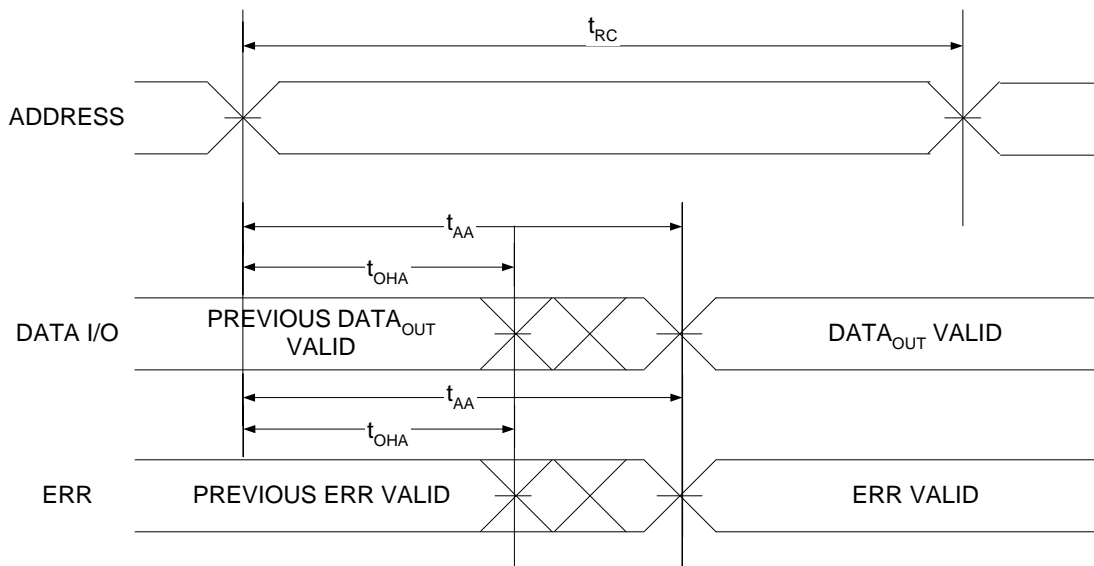


图 14. CY7C1061GE 的第二个读周期（地址转换控制） [26、27]



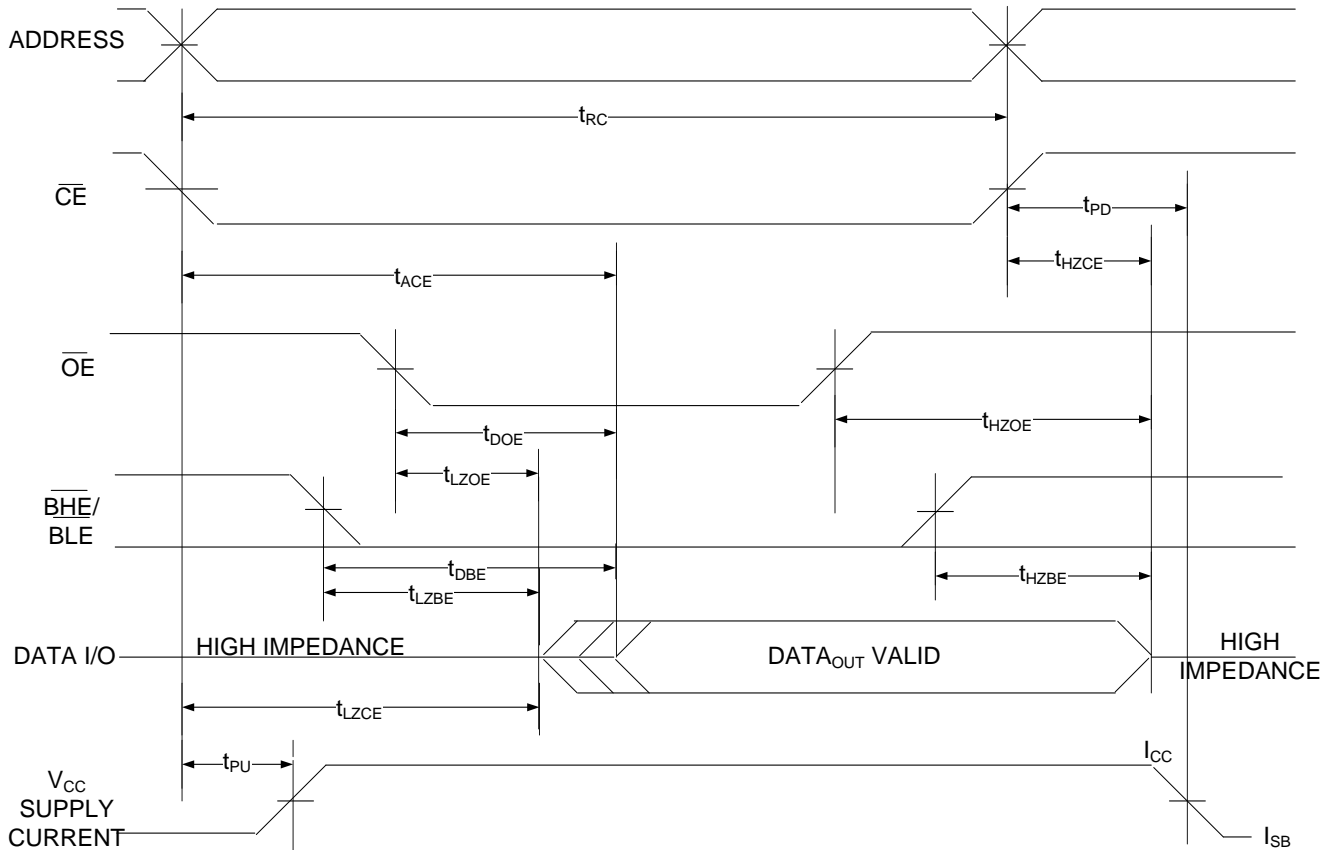
注释:

26. 一直选中该器件, $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$, \overline{BHE} 或 / 和 $\overline{BLE} = V_{IL}$ 。

27. 在读周期中, \overline{WE} 为高电平。

切换波形 (续)

图 15. 的第三个读周期 (\overline{OE} 被控制) [28、29、30]



注释:

28. 对于所有的双芯片使能器件, \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的逻辑组合。当 \overline{CE}_1 为低电平, 且 \overline{CE}_2 为高电平时, \overline{CE} 将处于低电平状态; 当 \overline{CE}_1 为高电平或 \overline{CE}_2 为低电平时, \overline{CE} 将处于高电平状态。

29. \overline{WE} 为高电平时, 会执行读周期。

30. \overline{CE} 转为低电平前或处在低电平状态时, 地址会变为有效状态。

切换波形 (续)

图 16. 第一个写周期 (\overline{CE} 控制) [31、32、33]

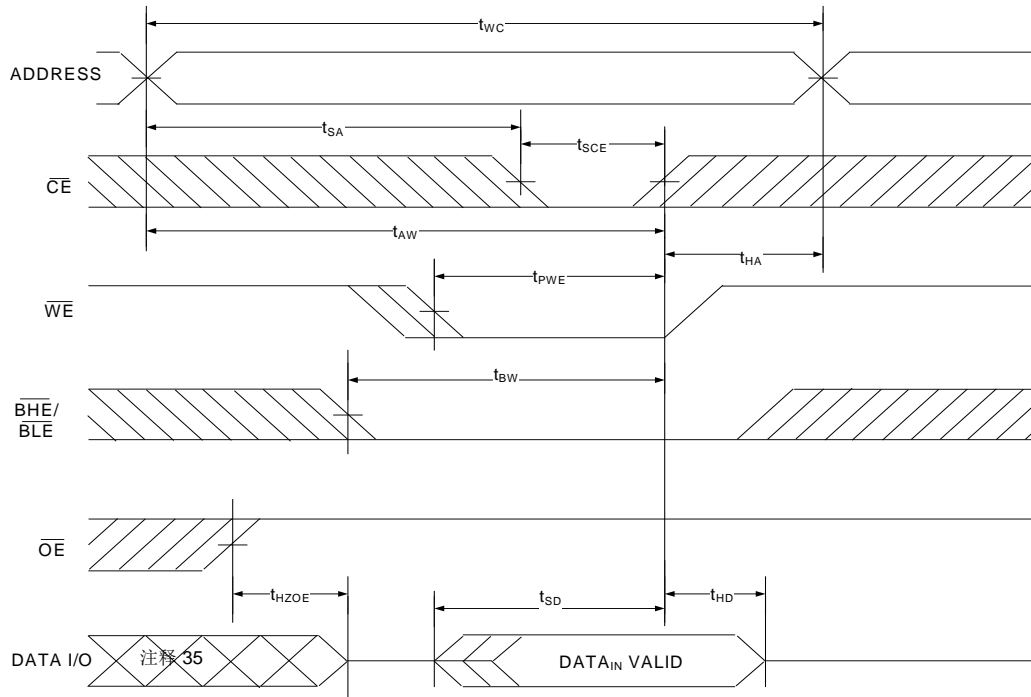
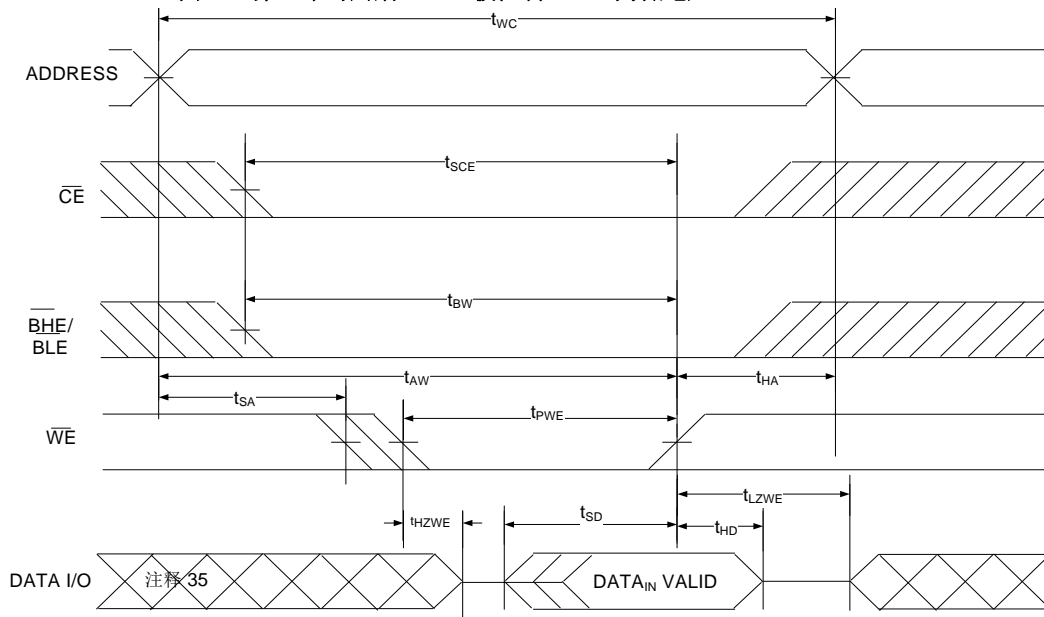


图 17. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电压) [31、32、33、34]

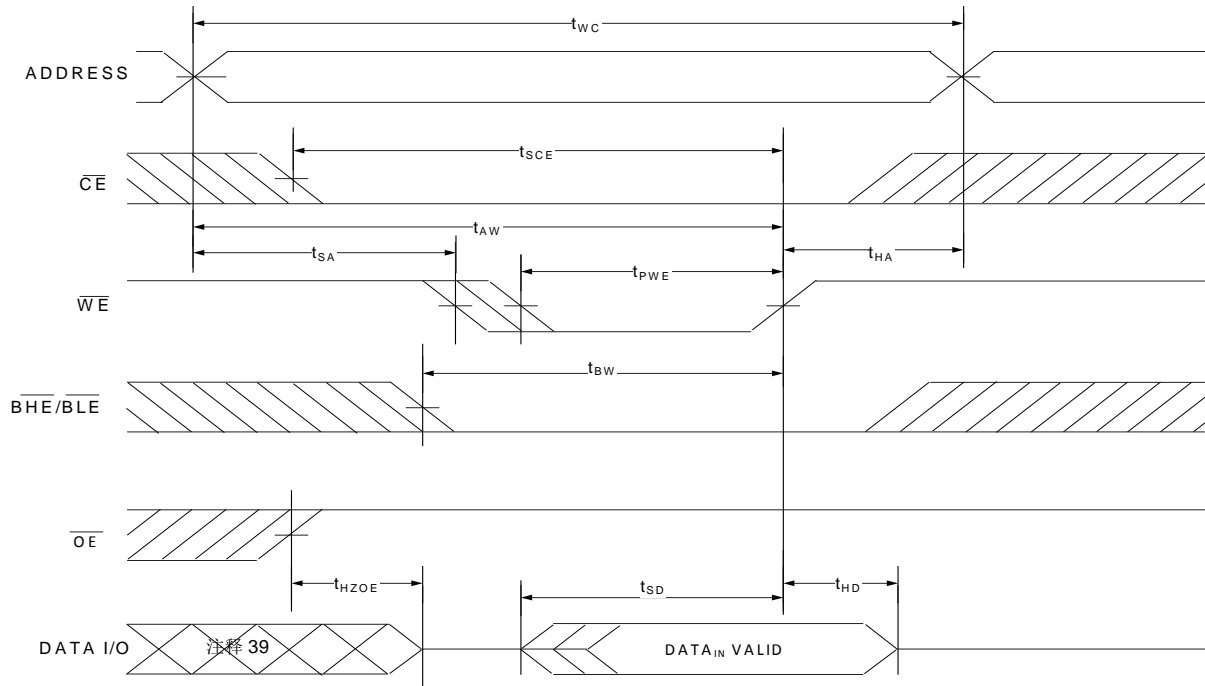


注释:

31. 对于所有的双芯片使能器件, \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 将处于低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 将处于高电平状态。
32. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$, 可以定义存储器的内部写入时间。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会终止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
33. 如果 $\overline{CE} = V_{IH}$, 或 $\overline{OE} = V_{IH}$ 或 \overline{BHE} , 和 / 或 $\overline{BLE} = V_{IH}$, 数据 I/O 会处于高阻抗状态。
34. 最小写周期脉冲宽度应等于 t_{HZWE} 和 t_{SD} 的总和。
35. 在该过程中, I/O 处于输出状态。勿采用输入信号。

切换波形（续）

图 18. 第三个写周期（ \overline{WE} 被控制） [36、37、38]

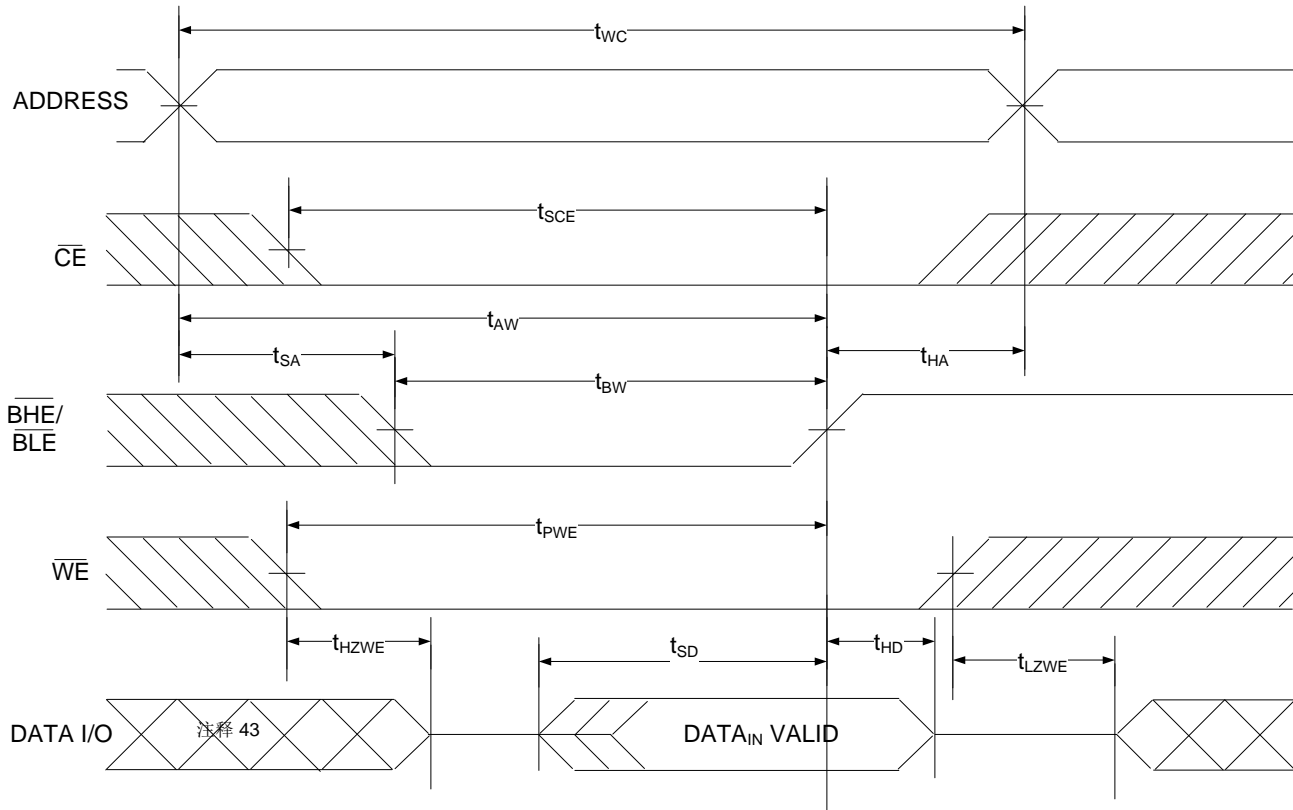


注释:

36. 对于所有双芯片使能器件， \overline{CE} 是 \overline{CE}_1 和 CE_2 的逻辑组合。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 将处于低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 将处于高电平状态。
37. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$ ，可以定义存储器的内部写入时间。若要启动写入操作，必须将这些信号处于低电平状态。任一信号转为高电平时，都会终止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
38. 如果 $\overline{CE} = V_{IH}$ ，或 $\overline{OE} = V_{IH}$ 或 \overline{BHE} ，和 / 或 $\overline{BLE} = V_{IH}$ ，数据 I/O 会处于高阻抗状态。
39. 在该过程中，I/O 处于输出状态。请勿采用输入信号。

切换波形 (续)

图 19. 第四个写周期 ($\overline{\text{BLE}}$ 或 $\overline{\text{BHE}}$ 被控制) [40、41、42]



注释:

40. 对于所有的双芯片使能器件, $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 CE_2 的逻辑组合。当 $\overline{\text{CE}}_1$ 为低电平, 且 CE_2 为高电平时, $\overline{\text{CE}}$ 将处于低电平状态; 当 $\overline{\text{CE}}_1$ 为高电平或 CE_2 为低电平时, $\overline{\text{CE}}$ 将处于高电平状态。
41. 通过重叠 $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ 和 $\overline{\text{BHE}}$ 或 $\overline{\text{BLE}} = V_{\text{IL}}$, 可以定义存储器的内部写入时间。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会终止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
42. 如果 $\overline{\text{CE}} = V_{\text{IH}}$, 或 $\overline{\text{OE}} = V_{\text{IH}}$ 或 $\overline{\text{BHE}}$, 和 / 或 $\overline{\text{BLE}} = V_{\text{IH}}$, 数据 I/O 会处于高阻抗状态。
43. 在该过程中, I/O 处于输出状态。勿采用输入信号。

真值表

\overline{CE} ^[44]	\overline{OE}	\overline{WE}	\overline{BLE}	\overline{BHE}	I/O ₀ 到 I/O ₇	I/O ₈ 到 I/O ₁₅	模式	功耗模式
H	X ^[45]	X ^[45]	X ^[45]	X ^[45]	高阻态	高阻态	断电	待机 (I_{SB})
L	L	H	L	L	数据输出	数据输出	读取所有位	活动 (I_{CC})
L	L	H	L	H	数据输出	高阻态	仅读取低位	活动 (I_{CC})
L	L	H	H	L	高阻态	数据输出	仅读取高位	活动 (I_{CC})
L	X	L	L	L	数据输入	数据输入	写入所有位	活动 (I_{CC})
L	X	L	L	H	数据输入	高阻态	仅写入低位	活动 (I_{CC})
L	X	L	H	L	高阻态	数据输入	仅写入高位	活动 (I_{CC})
L	H	H	X	X	高阻态	高阻态	选中，输出被禁用	活动 (I_{CC})
L	X	X	H	H	高阻态	高阻态	选中，输出被禁用	活动 (I_{CC})

ERR 输出 — CY7C1061GE

输出 ^[46]	模式
0	读操作，存储数据中没有单比特错误。
1	读操作，检测到并纠正了单比特错误。
高阻态	取消选择器件 / 禁用输出 / 写操作

注释:

44. 对于所有的双芯片使能器件， \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 会处在低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 会处于高电平状态。

45. 这些引脚的输入电压电平应为 V_{IH} 或 V_{IL} 。

46. ERR 是一个输出引脚。如果不被使用，这些引脚应该悬空。

订购信息

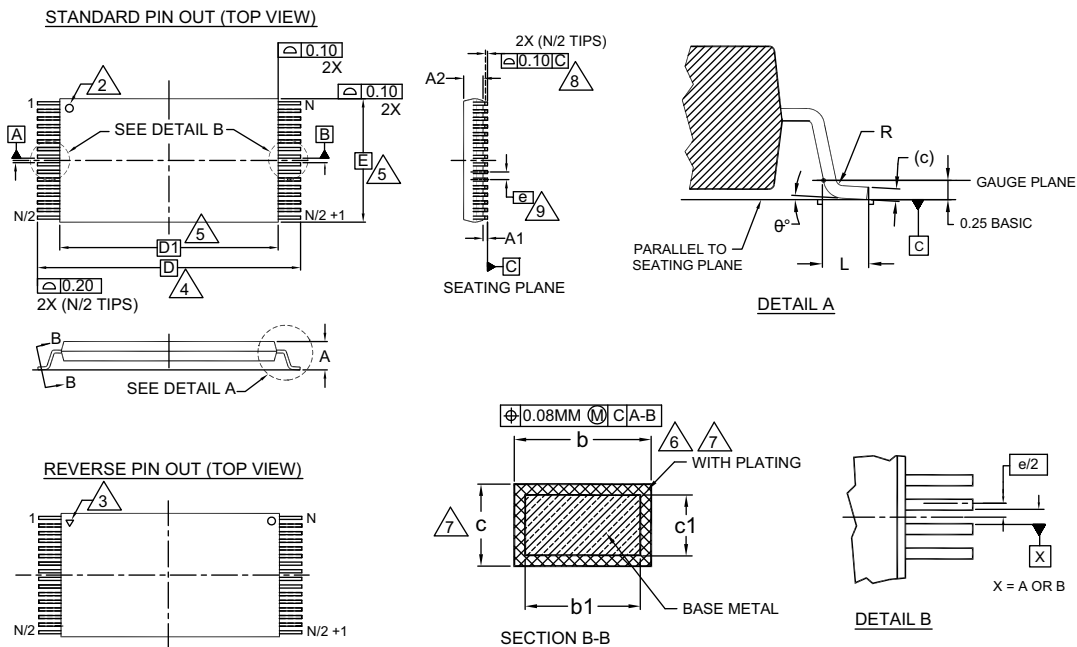
速度 (ns)	电压范围	订购代码	封装图	封装类型 (所有均为无铅)	主要特性 / 区分点	ERR 引脚 / 球形焊盘	工作 范围
10	4.5 V 至 5.5 V	CY7C1061G-10BV1XI	51-85150	48 球 VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2	无	工业级
		CY7C1061GE-10BV1XI				有	
		CY7C1061G-10BVJXI			双芯片使能, 地址 MSB A19 位于 ball G2	无	
		CY7C1061GE-10BVJXI				有	
		CY7C1061G-10BVXI			双芯片使能, 地址 MSB A19 位于 ball H6	无	
		CY7C1061GE-10BVXI				有	
		CY7C1061G-10ZSXI	51-85160	54-pin TSOP II	双芯片使能	无	
		CY7C1061GE-10ZSXI				有	
		CY7C1061G-10ZXI	51-85183	48-pin TSOP I	单芯片使能	无	
		CY7C1061GE-10ZXI				有	
	2.2 V 至 3.6 V	CY7C1061G30-10BV1XI	51-85150	48-ball VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2	无	
		CY7C1061GE30-10BV1XI				有	
		CY7C1061G30-10BVJXI			双芯片使能, 地址 MSB A19 位于 ball G2	无	
		CY7C1061GE30-10BVJXI				有	
		CY7C1061G30-10BVXI			双芯片使能, 地址 MSB A19 位于 ball H6	无	
		CY7C1061GE30-10BVXI				有	
		CY7C1061G30-10ZSXI	51-85160	54-pin TSOP II	双芯片使能	无	
		CY7C1061GE30-10ZSXI				有	
		CY7C1061G30-10ZXI	51-85183	48-pin TSOP I	单芯片使能	无	
		CY7C1061GE30-10ZXI				有	
15	1.65 V 至 2.2 V	CY7C1061GE18-15BV1XI	51-85150	48-ball VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2	有	
		CY7C1061G18-15BV1XI				无	
		CY7C1061GE18-15BVJXI			双芯片使能, 地址 MSB A19 位于 ball G2	有	
		CY7C1061G18-15BVJXI				无	
		CY7C1061GE18-15BVXI			双芯片使能, 地址 MSB A19 位于 ball H6	有	
		CY7C1061G18-15BVXI				无	
		CY7C1061GE18-15ZSXI	51-85160	54-pin TSOP II	双芯片使能	有	
		CY7C1061G18-15ZSXI				无	
		CY7C1061GE18-15ZXI	51-85183	48-pin TSOP I	单芯片使能	有	
		CY7C1061G18-15ZXI				无	

订购信息 (续)

速度 (ns)	电压范围	订购代码	封装图	封装类型 (所有均为无铅)	主要特性 / 区分点	ERR 引脚 / 球形焊盘	工作 范围
10	4.5 V 至 5.5 V	CY7C1061G-10BV1XIT	51-85150	48-ball VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	无	工业级
		CY7C1061GE-10BV1XIT				有	
		CY7C1061G-10BVJXIT			双芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	无	
		CY7C1061GE-10BVJXIT				有	
		CY7C1061G-10BVXIT			双芯片使能, 地址 MSB A19 位于 ball H6, 盘带封装	无	
		CY7C1061GE-10BVXIT				有	
		CY7C1061G-10ZSXIT	51-85160	54-pin TSOP II	双芯片使能, 盘带封装	无	
		CY7C1061GE-10ZSXIT				有	
		CY7C1061G-10ZXIT	51-85183	48-pin TSOP I	单芯片使能, 盘带封装	无	
		CY7C1061GE-10ZXIT				有	
	2.2 V 至 3.6 V	CY7C1061G30-10BV1XIT	51-85150	48-ball VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	无	
		CY7C1061GE30-10BV1XIT				有	
		CY7C1061G30-10BVJXIT			双芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	无	
		CY7C1061GE30-10BVJXIT				有	
		CY7C1061G30-10BVXIT			双芯片使能, 地址 MSB A19 位于 ball H6, 盘带封装	无	
		CY7C1061GE30-10BVXIT				有	
		CY7C1061G30-10ZSXIT	51-85160	54-pin TSOP II	双芯片使能, 盘带封装	无	
		CY7C1061GE30-10ZSXIT				有	
		CY7C1061G30-10ZXIT	51-85183	48-pin TSOP I	单芯片使能, 盘带封装	无	
		CY7C1061GE30-10ZXIT				有	
15	1.65 V 至 2.2 V	CY7C1061GE18-15BV1XIT	51-85150	48-ball VFBGA	单芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	有	
		CY7C1061G18-15BV1XIT				无	
		CY7C1061GE18-15BVJXIT			双芯片使能, 地址 MSB A19 位于 ball G2, 盘带封装	有	
		CY7C1061G18-15BVJXIT				无	
		CY7C1061GE18-15BVXIT			双芯片使能, 地址 MSB A19 位于 ball H6, 盘带封装	有	
		CY7C1061G18-15BVXIT				无	
		CY7C1061GE18-15ZSXIT	51-85160	54-pin TSOP II	双芯片使能, 盘带封装	有	
		CY7C1061G18-15ZSXIT				无	
		CY7C1061GE18-15ZXIT	51-85183	48-pin TSOP I	单芯片使能, 盘带封装	有	
		CY7C1061G18-15ZXIT				无	


封装图

图 20. 48-pin TSOP I (12 × 18.4 × 1.0 mm) Z48A 封装外形, 51-85183



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	12.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	48		

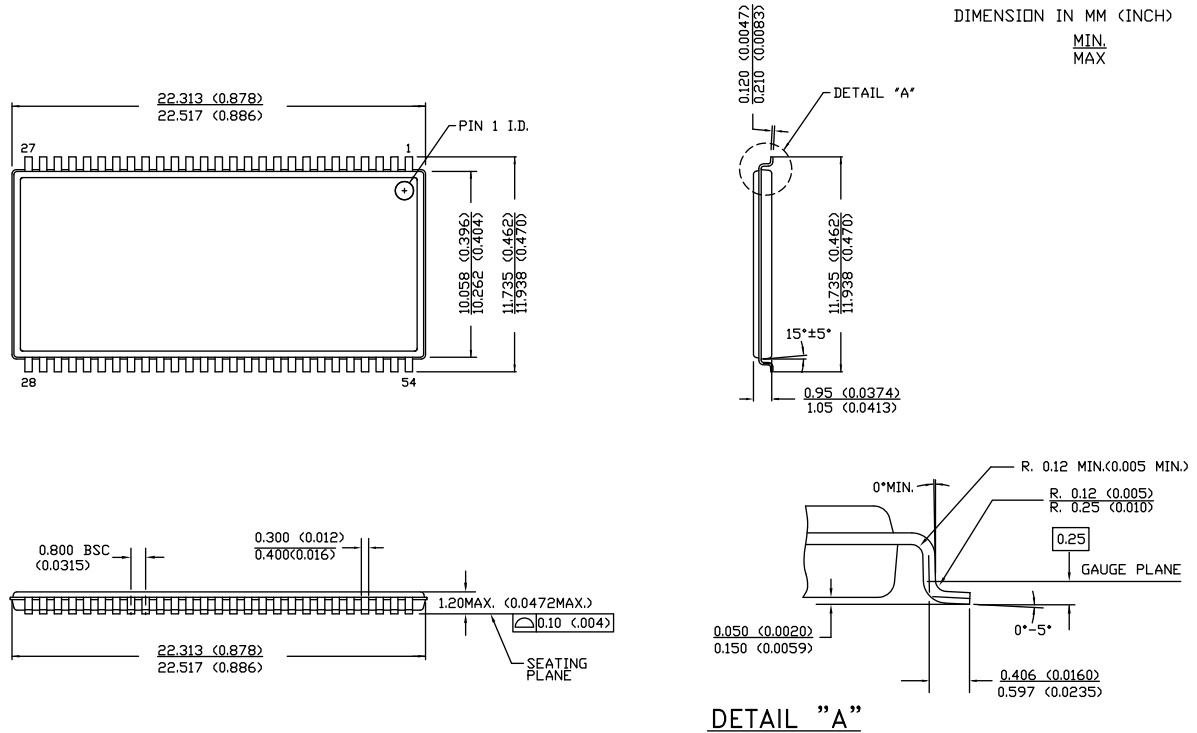
NOTES:

1. DIMENSIONS ARE IN MILLIMETERS (mm).
2. PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
3. PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN); INK OR LASER MARK.
4. TO BE DETERMINED AT THE SEATING PLANE . THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
5. DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
6. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm .
7. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
8. LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
9. DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
10. JEDEC SPECIFICATION NO. REF: MO-142(D)DD.

51-85183 *F

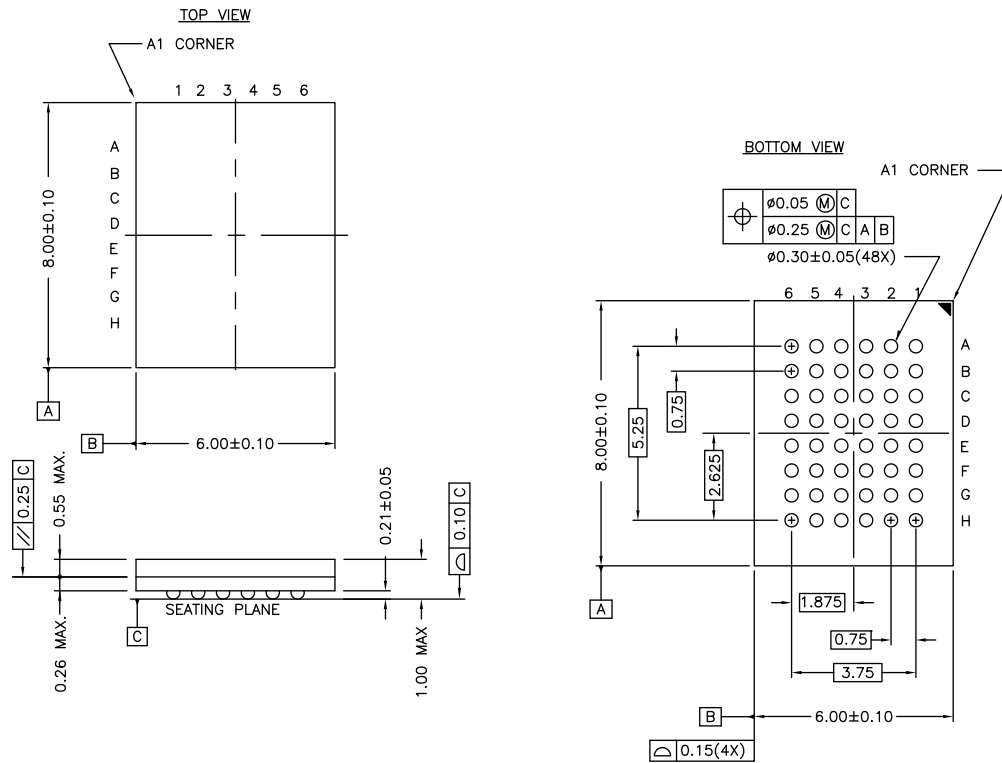
封装图 (续)

图 21. 54-pin TSOP II (22.4 × 11.84 × 1.0 mm) Z54-II 封装外形, 51-85160



51-85160 *E

封装图 (续)

图 22. 48-ball 的 VFBGA (6 × 8 × 1.0 mm) BV48/BZ48 封装布局, 51-85150


NOTE:

PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小外型封装
TTL	晶体管 - 晶体管逻辑
VFBGA	细间距球栅阵列
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1061G/CY7C1061GE, 带有纠错码 (ECC) 的 16 Mbit (1 M 字 × 16 位) 静态 RAM 文档编号: 001-92008				
版本	ECN 编号	变更者	提交日期	变更说明
**	4335672	GOX	04/07/2014	本文档版本号为 Rev**, 译自英文版 001-81540 Rev*E。
*A	4473546	LISZ	08/13/2014	本文档版本号为 Rev*A, 译自英文版 001-81540 Rev*J。
*B	5693970	LISZ	04/21/2017	本文档版本号为 Rev*B, 译自英文版 001-81540 Rev*R。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器

cypress.com/arm

汽车级

cypress.com/automotive

时钟与缓冲器

cypress.com/clocks

接口

cypress.com/interface

物联网

cypress.com/iot

存储器

cypress.com/memory

微控制器

cypress.com/mcu

PSoC

cypress.com/psoc

电源管理 IC

cypress.com/pmic

触摸感应

cypress.com/touch

USB 控制器

cypress.com/usb

无线连接

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IOT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2012-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯不对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适用性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。