

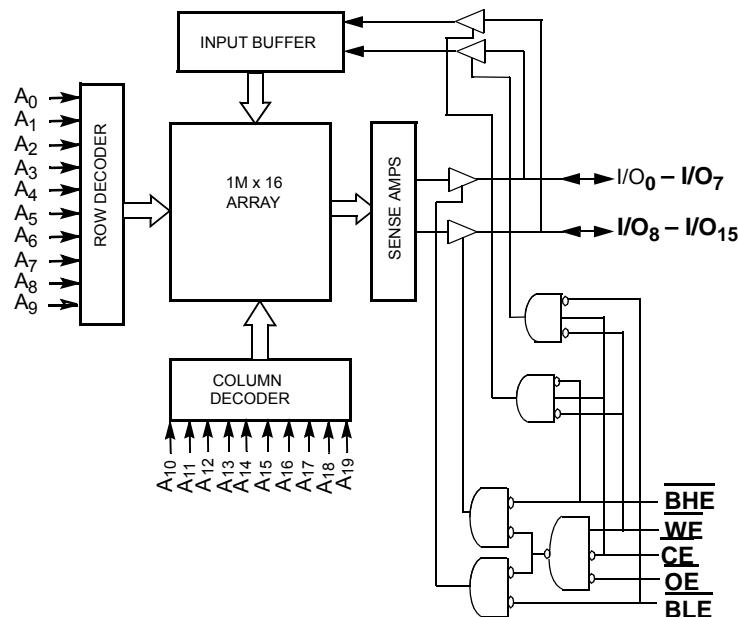
特長

- 高速
 - $t_{AA}=10\text{ns}$
- シングルビットエラー訂正用の組み込みエラー修正コード (ECC)
- Low アクティブ電源
 - $I_{CC}=\text{標準値 } 90\text{mA}$
- Low CMOS スタンドバイ電源
 - $I_{SB2}=\text{標準値 } 10\text{mA}$
- $3.3 \pm 0.3\text{V}$ の動作電圧
- 1.5V データ保持
- TTL と互換性のある入出力
- 1 ビット エラー検出と訂正を示す ERR ピン
- CE 及び OE の機能を持ち、メモリ拡張が容易
- 鉛フリー 54 ピン TSOP II パッケージ

機能の詳細

CY7C10612G 及び CY7C10612GE は組み込み ECC を持った高性能 CMOS 高速スタティック RAM デバイスです。両方のデバイスはシングルチップイネーブルのオプションがあります。CY7C10612GE デバイスは、読み込みサイクル中にエラー検出と訂正イベントを通知するエラー表示ピンを備えています。

論理ブロック図 – CY7C10612G



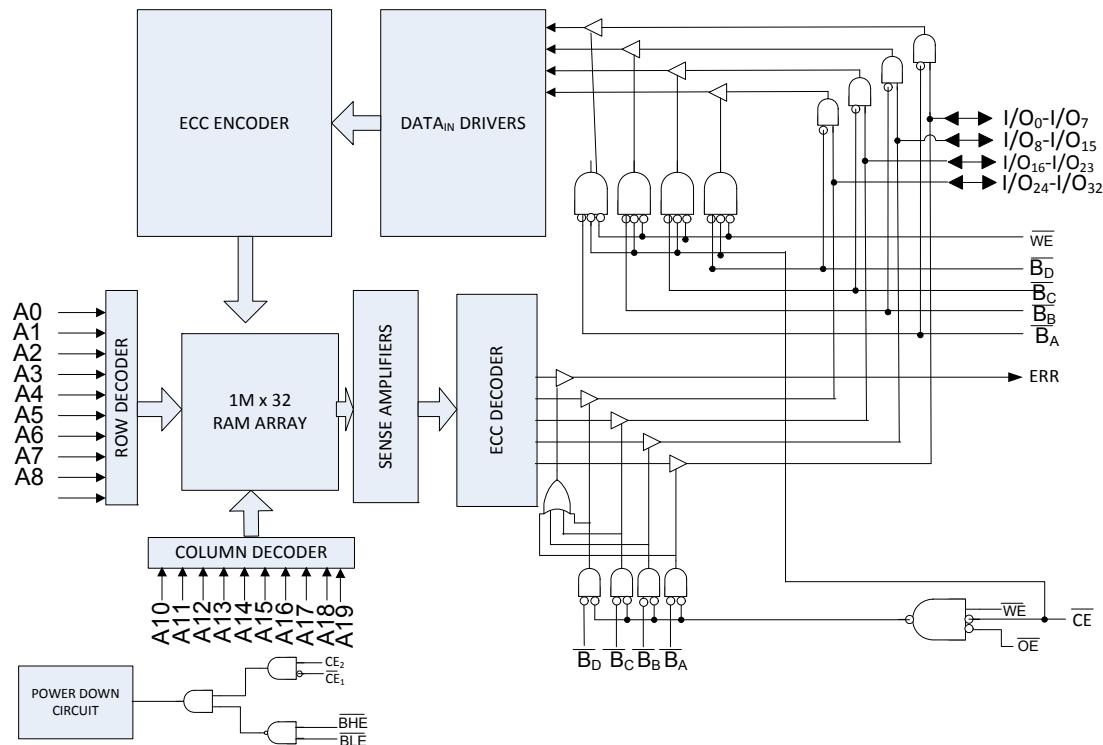
デバイスに書き込むために、チップイネーブル (**CE**) 及び書き込みイネーブル (**WE**) 入力を LOW にします。バイト Low イネーブル (**BLE**) が LOW の時、 I/O ピン ($I/O_0 \sim I/O_7$) からのデータはアドレスピン ($A_0 \sim A_{19}$) で示された位置に書き込まれます。バイト High イネーブル (**BHE**) が LOW の時、 I/O ピン ($I/O_8 \sim I/O_{15}$) からのデータはアドレスピン ($A_0 \sim A_{19}$) で示された位置に書き込まれます。

デバイスから読み込むために、書き込みイネーブル (**WE**) を HIGH にしながら、チップイネーブル (**CE**) 及び出力イネーブル (**OE**) を LOW にします。もしバイト Low イネーブル (**BLE**) が LOW の時に、アドレスピンで示されるメモリ位置からのデータは、 $I/O_0 \sim I/O_7$ に現れます。もしバイト High イネーブル (**BHE**) が LOW の時、メモリからのデータは $I/O_8 \sim I/O_{15}$ に現れます。読み込みと書き込みモードの詳細については、[13 ページの真理値表](#) を参照してください。

デバイスが選択解除 (**CE HIGH**) され、出力は無効 (**OE HIGH**) になって、**BHE** 及び **BLE** は無効 (**BHE, BLE HIGH**) になり、又は書き込みの動作の間 (**CE LOW** 及び **WE LOW**)、入出力ピン ($I/O_0 \sim I/O_{15}$) はハイインピーダンス状態になります。

CY7C10612GE デバイスでは、アクセスされた位置のシングルビットエラーの検出および訂正是、ERR 出力 (ERR=high) のアサートによって示されます。読み込みと書き込みモードの詳細については、[13 ページの真理値表](#) を参照してください。

CY7C10612G 及び CY7C10612GE は、パッケージ中央部に電源とグランドを持った（画期的な）ピン配置の 54 ピン TSOP II パッケージに実装されています。

論理ブロック図 – CY7C10612GE


目次

選択ガイド	4
ピン配置	4
最大定格	6
動作範囲	6
DC 電気的特性	6
容量	6
熱抵抗	6
AC テストの負荷と波形	7
データ保持特性	7
データ保持波形	7
AC スイッチング特性	8
スイッチング波形	9
真理値表	13
ERR 出力 – CY7C10612GE	13

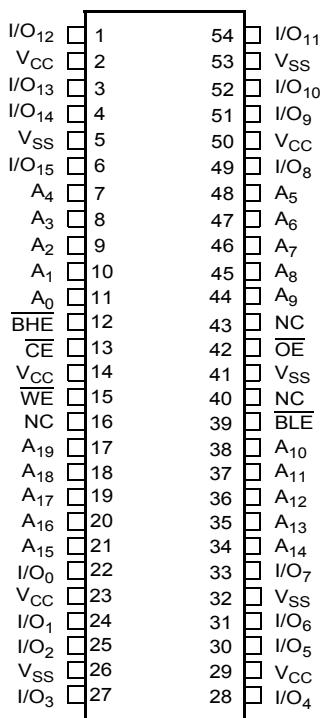
注文情報	14
注文コードの定義	14
外形図	15
略語	16
本書の表記法	16
測定単位	16
改訂履歴	17
セールス、ソリューションおよび法律情報	18
ワールドワイドな販売と設計サポート	18
製品	18
PSoC® ソリューション	18
サイプレス開発者コミュニティ	18
テクニカルサポート	18

選択ガイド

項目	-10	単位
最大アクセス時間	10	ns
最大動作電流	90	mA
最大 CMOS スタンドバイ電流	10	mA

ピン配置

図 1. 54 ピン TSOP II ピン配置（上面図）^[1]
CY7C10612G



注

- NC ピンはダイに接続されていません。

ピン配置（続き）

図 2. 54 ピン TSOP II ピン配置と ERR (上面図) [2]
CY7C10612GE

I/O ₁₂	1	54	I/O ₁₁
V _{CC}	2	53	V _{SS}
I/O ₁₃	3	52	I/O ₁₀
I/O ₁₄	4	51	I/O ₉
V _{SS}	5	50	V _{CC}
I/O ₁₅	6	49	I/O ₈
A ₄	7	48	A ₅
A ₃	8	47	A ₆
A ₂	9	46	A ₇
A ₁	10	45	A ₈
A ₀	11	44	A ₉
BHE	12	43	ERR
CE	13	42	OE
V _{CC}	14	41	V _{SS}
WE	15	40	NC
NC	16	39	BLE
A ₁₉	17	38	A ₁₀
A ₁₈	18	37	A ₁₁
A ₁₇	19	36	A ₁₂
A ₁₆	20	35	A ₁₃
A ₁₅	21	34	A ₁₄
I/O ₀	22	33	I/O ₇
V _{CC}	23	32	V _{SS}
I/O ₁	24	31	I/O ₆
I/O ₂	25	30	I/O ₅
V _{SS}	26	29	V _{CC}
I/O ₃	27	28	I/O ₄

注

2. NC ピンはダイに接続されていません。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザ ガイドラインは未テストです。

保管温度 $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$

通電時の周囲温度 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$

GND を基準とした

$V_{\text{CC}}^{[3]}$ $-0.5\text{V} \sim +4.6\text{V}$

High Z 状態の出力
に印加される電圧 $^{[3]}$ $-0.5\text{V} \sim V_{\text{CC}}+0.5\text{V}$

DC 入力電圧 $^{[3]}$ $-0.5\text{V} \sim V_{\text{CC}}+0.5\text{V}$

出力への電流 (LOW) 20 mA

静電気放電電圧

(MIL-STD-883、Method 3015) >2001V

ラッチアップ電流 >200mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	$3.3\text{V} \pm 0.3\text{V}$

DC 電気的特性

動作範囲

記号	項目	テスト条件	10ns		単位
			Min	Max	
V_{OH}	出力 HIGH 電圧	$\text{Min } V_{\text{CC}}, I_{\text{OH}} = -4.0\text{ mA}$	2.2	—	V
V_{OL}	出力 LOW 電圧	$\text{Min } V_{\text{CC}}, I_{\text{OL}} = 8.0\text{ mA}$	—	0.4	V
V_{IH}	入力 HIGH 電圧		2.0	$V_{\text{CC}}+0.3$	V
V_{IL}	入力 LOW 電圧 $^{[3]}$		-0.3	0.8	V
I_{IX}	入力漏れ電流	$\text{GND} \leq V_{\text{IN}} \leq V_{\text{CC}}$	-1	+1	μA
I_{OZ}	出力漏れ電流	$\text{GND} \leq V_{\text{OUT}} \leq V_{\text{CC}}$ 、出力が無効	-1	+1	μA
I_{CC}	動作供給電流	$V_{\text{CC}} = \text{Max}, I_{\text{OUT}} = 0\text{mA},$ CMOS レベル	$f = 100\text{ MHz}$	—	110
			$f = 66.7\text{ MHz}$	—	80
I_{SB1}	自動 CE パワーダウン電流 –TTL 入力	$\text{Max } V_{\text{CC}}, \overline{\text{CE}} \geq V_{\text{IH}},$ $V_{\text{IN}} \geq V_{\text{IH}}$ 又は $V_{\text{IN}} \leq V_{\text{IL}}$ 、 $f = f_{\text{MAX}}$	—	40	mA
I_{SB2}	自動 CE パワーダウン電流 – CMOS 入力	V_{CC} の最大値、 $\overline{\text{CE}} \geq V_{\text{CC}}-0.2\text{V}$ 、 $V_{\text{IN}} \geq V_{\text{CC}}-0.2\text{V}$ 、又は $V_{\text{IN}} \leq 0.2\text{V}$ 、 $f=0$	—	30	mA

容量

パラメータ $^{[4]}$	項目	テスト条件	54 ピン TSOP II	単位
C_{IN}	入力容量	$T_A=25^{\circ}\text{C}, f=1\text{MHz}, V_{\text{CC}}=3.3\text{V}$	10	pF
C_{OUT}	I/O 容量		10	pF

熱抵抗

パラメータ $^{[4]}$	項目	テスト条件	54 ピン TSOP II	単位
Q_{JA}	熱抵抗 (接合部から周囲)	無風状態、3×4.5 インチ、4 層プリント回路基板にばんだ付け	93.63	$^{\circ}\text{C}/\text{W}$
Q_{JC}	熱抵抗 (接合部からケース)		21.58	$^{\circ}\text{C}/\text{W}$

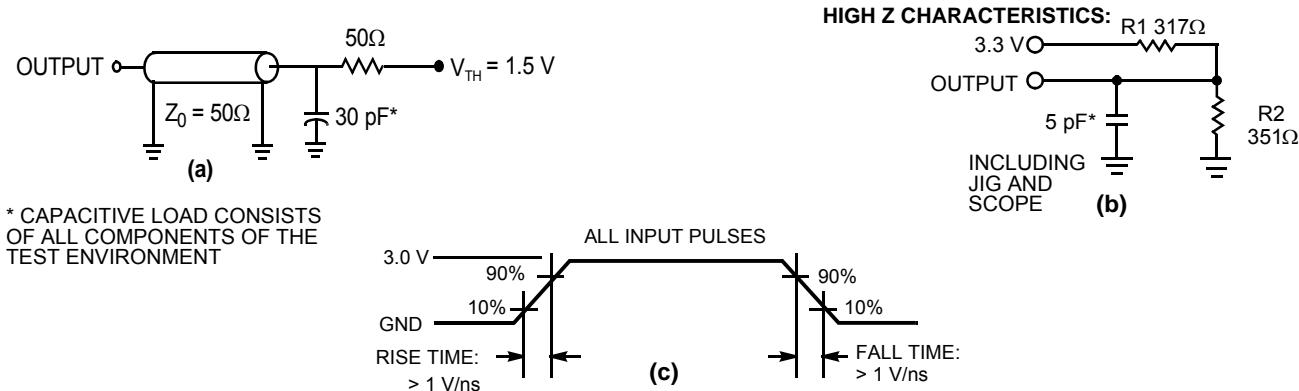
注

3. 2 ナノ秒以下のパルス幅には、 $V_{\text{IL}}^{(\text{min})} = -2.0\text{V}$ および $V_{\text{IH}}^{(\text{max})} = V_{\text{CC}} + 2\text{V}$ 。

4. 最初にテストされますが、設計またはプロセスで変更があった後に、これらのパラメータが影響を受ける場合があります。

AC テストの負荷と波形

図 3. AC テストの負荷と波形^[5]



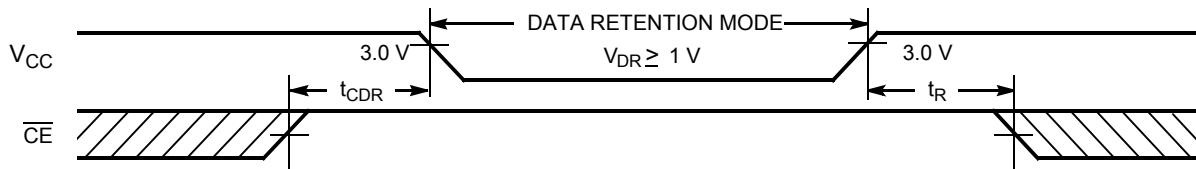
データ保持特性

-45°C ~ 85°C の動作範囲

記号	項目	条件	Min	Type ^[6]	Max	単位
V _{DR}	データ保持用の V _{CC}		1.0	—	—	V
I _{CCDR}	データ保持電流	V _{CC} =2 V、CE ≥ V _{CC} -0.2 V、V _{IN} ≥ V _{CC} - 0.2 V 又は V _{IN} ≤ 0.2 V	—	—	30	mA
t _{CDR} ^[7]	チップの選択解除からデータ保持期間まで		0	—	—	ns
t _R ^[8]	動作回復時間		10	—	—	ns

データ保持波形

図 4. データ保持波形



注

5. 電源供給が最低動作をする V_{DD} (3.0 V) に達するまで、有効な SRAM 動作は発生しません。最低動作をする V_{DD} に達した後の 100ms (t_{power}) に、SRAM が、V_{DD} からデータ保持 (V_{CCDR}、2.0 V) 電圧内の低消費電力で通常動作を開始します。
6. 標準値は単なる基準値であり、保証又は検査されていません。標準値は、V_{CC}=V_{CC}(typ)、T_A=25 °C で測定します。
7. 最初にテストされますが、設計またはプロセスで変更があった後に、これらのパラメータが影響を受ける場合があります。
8. 完全なデバイス動作は、V_{DR} から V_{CC(min)}≥100 ms までリニア V_{CC} ランプ、又は V_{CC(min)}≥100 ms で安定である必要があります。

AC スイッチング特性

動作範囲が

記号 [9]	項目	-10		単位
		Min	Max	
読み込みサイクル				
t_{RC}	読み込みサイクル時間	10	—	ns
t_{AA}	アドレスからデータ有効まで	—	10	ns
t_{OHA}	アドレス変更からデータホールド	3	—	ns
t_{ACE}	\overline{CE}_{LOW} からデータ有効まで	—	10	ns
t_{DOE}	\overline{OE}_{LOW} からデータ有効まで	—	5	ns
t_{LZOE}	\overline{OE}_{LOW} から Low Z まで	1	—	ns
t_{HZOE}	\overline{OE}_{HIGH} から high Z ^[11] まで	—	5	ns
t_{LZCE}	\overline{CE}_{LOW} から low Z ^[11] まで	3	—	ns
t_{HZCE}	\overline{CE}_{HIGH} から high Z ^[11] まで	—	5	ns
t_{PU}	\overline{CE}_{LOW} からパワーアップ ^[12] まで	0	—	ns
t_{PD}	\overline{CE}_{HIGH} からパワーダウン ^[12] まで	—	10	ns
t_{DBE}	バイト イネーブルからデータが有効になるまで	—	5	ns
t_{LZBE}	バイト イネーブルから low Z まで	1	—	ns
t_{HZBE}	バイト ディセーブルから high Z まで	—	6	ns
書き込みサイクル [13、14]				
t_{WC}	書き込みサイクル期間	10	—	ns
t_{SCE}	\overline{CE}_{LOW} から書き込みの最後まで	7	—	ns
t_{AW}	アドレス セットアップから書き込み終了まで	7	—	ns
t_{HA}	書き込みの最後からアドレス ホールドまで	0	—	ns
t_{SA}	アドレス セットアップから書き込みの開始まで	0	—	ns
t_{PWE}	WE パルス幅	7	—	ns
t_{SD}	データ セットアップから書き込みの最後まで	5	—	ns
t_{HD}	書き込みの最後からデータ ホールドまで	0	—	ns
t_{LZWE}	\overline{WE}_{HIGH} から low Z ^[11] まで	3	—	ns
t_{HZWE}	\overline{WE}_{LOW} から high Z ^[11] まで	—	5	ns
t_{BW}	バイト イネーブルから書き込みの最後まで	7	—	ns

注

9. テスト条件では、3ns 以下の信号遷移時間、1.5V のタイミング リファレンス レベル、及び 0 ~ 3V の入力パルス レベルを想定しています。出力負荷を使用する読み込みサイクル用のテスト条件は、特に記載のない限り、7ページの図3 の (a) で示されます。
10. t_{POWER} は、最初のメモリ アクセスが実行されるまでに、電源供給が標準 V_{CC} 値になる最短時間を示します。
11. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{HZBE} 、 t_{LZOE} 、 t_{LZCE} 、 t_{LZWE} 及び t_{ZBE} は、7ページの図3 の (b) のように 5pF の負荷容量が付いた状態で測定されています。遷移は定常状態の電圧から ±200 mV で測定されます。
12. これらのパラメータは設計上では保証されますが、テストされていません。
13. メモリの内部書き込み期間は WE 、 $CE = V_{IL}$ のオーバラップで定義されます。書き込みを始めるために、チップ イネーブルはアクティブで、 \overline{WE} とバイト イネーブルは LOW である必要があり、また、これら信号遷移のいずれもが書き込みを終了できます。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
14. 書き込むサイクル 2 用の最短書き込みサイクル時間 (WE 制御、 \overline{OE}_{LOW}) は t_{HZWE} と t_{SD} の和です。

スイッチング波形

図 5. CY7C10612G^[15, 16] の読み込みサイクル 1 (アドレス遷移制御)

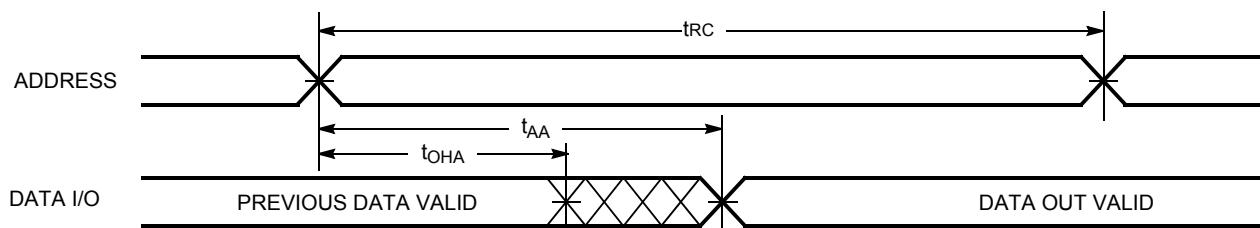
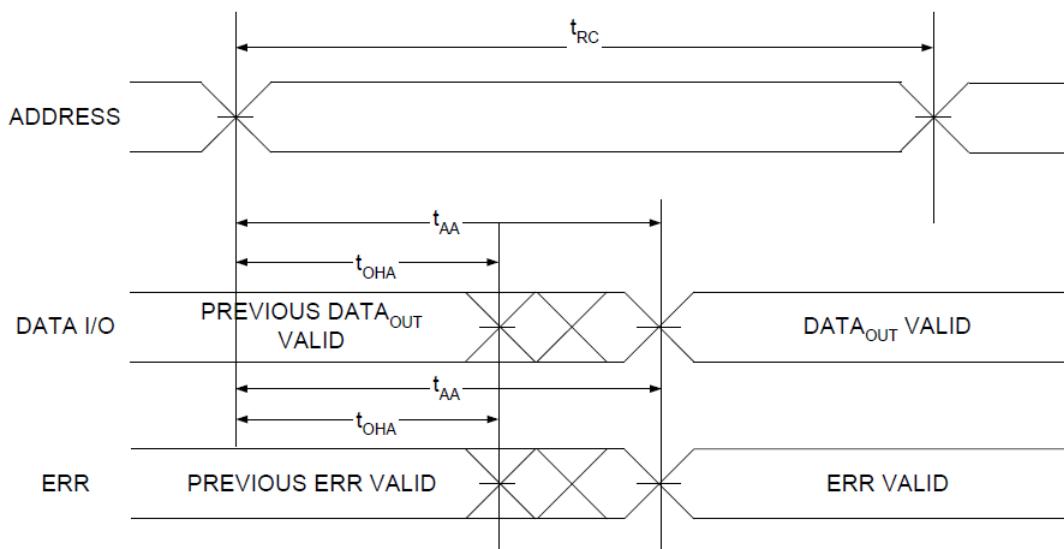


図 6. CY7C10612GE^[16, 17] の読み込みサイクル 1 (アドレス遷移制御)

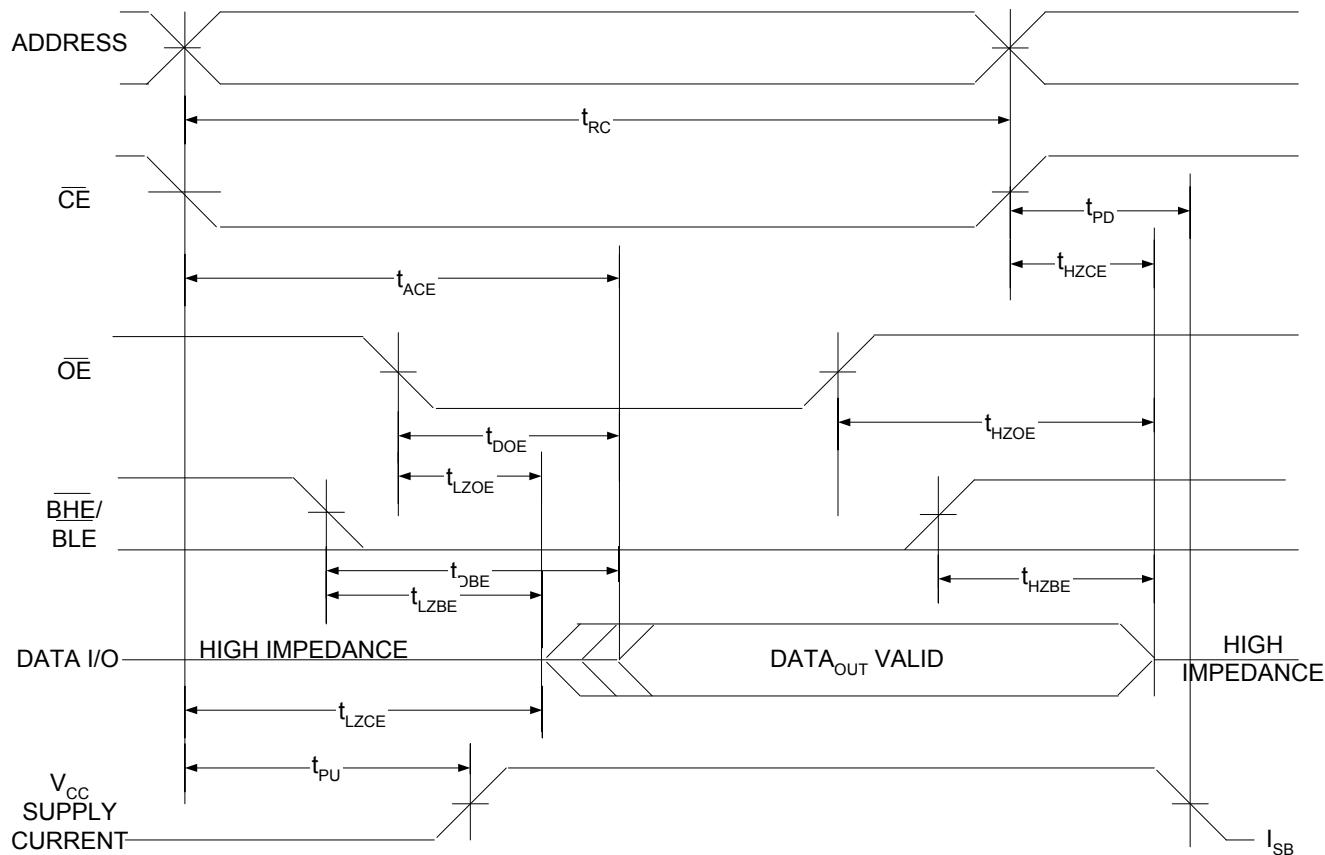


注

- 15. デバイスが連続的に選択されています。 \overline{OE} 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} 、 \overline{BLE} 又は両方とも $= V_{IL}$ 。
- 16. WE は読み込みサイクルでは HIGH です。
- 17. アドレスは、CE 遷移 LOW と同時に、または前に有効になります。

スイッチング波形（続き）

図 7. 読み込みサイクル 2 (\overline{OE} 制御) [18、19、20]



注

18. 全てのデュアル イネーブル デバイスの場合、 \overline{CE} は \overline{CE}_1 及び CE_2 の論理結合です。 \overline{CE}_1 は LOW になる時、 CE_2 が HIGH で、 \overline{CE} が HIGH 时、 \overline{CE}_1 は HIGH 又は CE_2 は LOW になる時、 CE が HIGH です。
19. WE は読み込みサイクルでは HIGH です。
20. アドレスは、 CE 遷移 LOW と同時に、または前に有効になります。

スイッチング波形（続き）

図 8. 書き込みサイクル 1 ($\overline{\text{CE}}$ 制御) [21, 22]

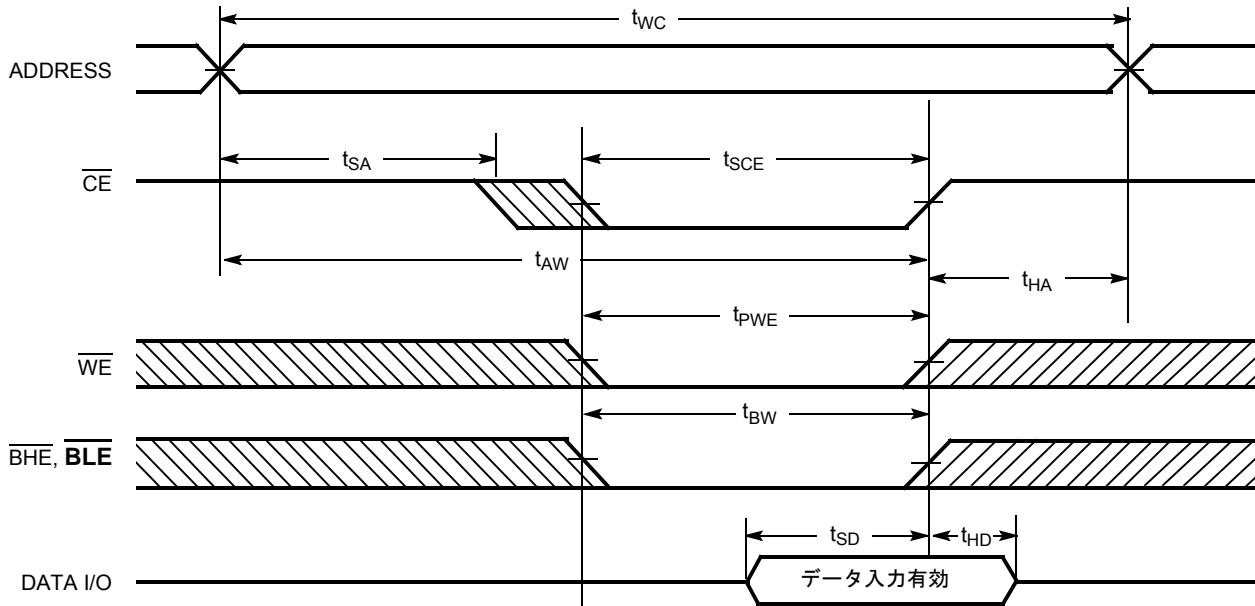
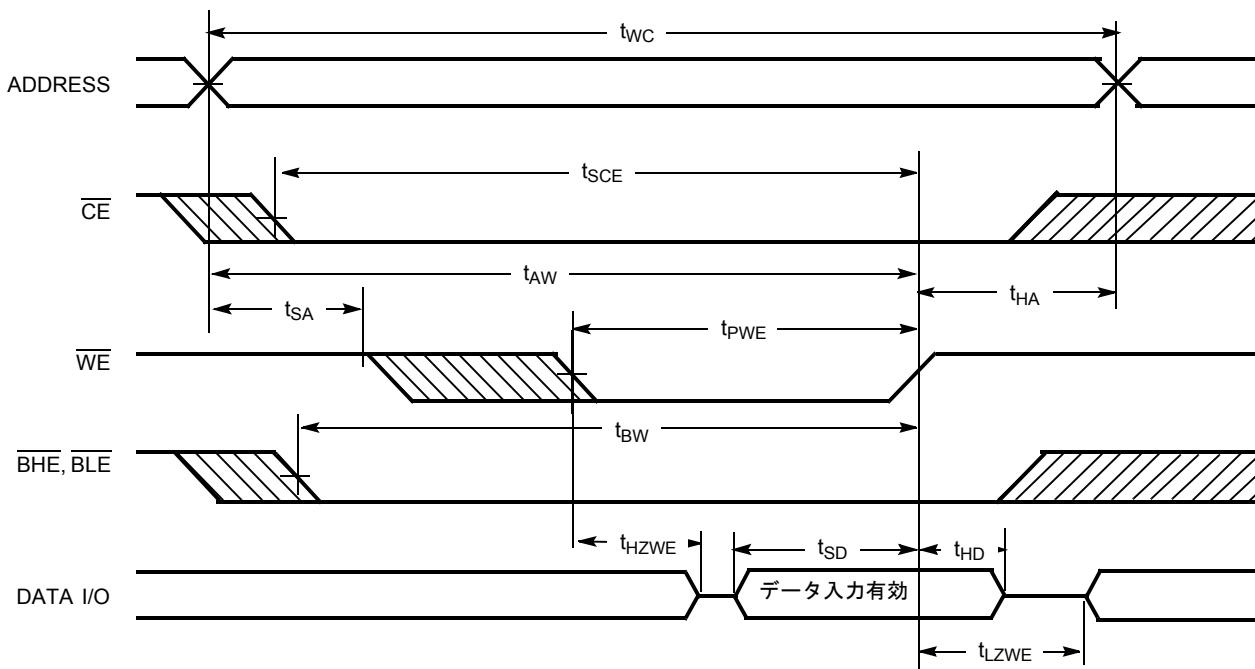


図 9. 書き込みサイクル 2 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OELOW}}$) [21, 22]

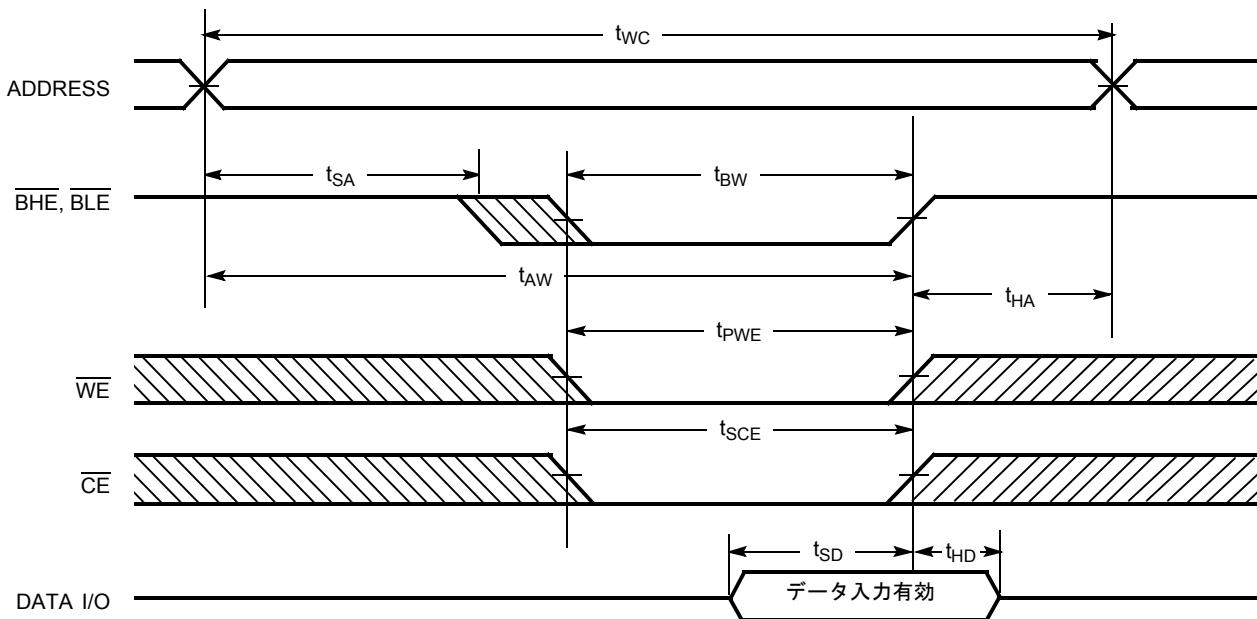


注

21. $\overline{\text{OE}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{BLE}} = V_{IH}$ の場合、データ I/O がハイインピーダンス状態にあります。
 22. CE は WE と同時に HIGH になる場合、出力はハイインピーダンス状態のままです。

スイッチング波形（続き）

図 10. 書き込みサイクル 3 ($\overline{\text{BLE}}$ 又は $\overline{\text{BHE}}$ 制御) [23]



注
 23. $\overline{\text{OE}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{BLE}} = V_{IH}$ の場合、データ I/O はハイインピーダンス状態にあります。

真理値表

CE	OE	WE	BLE	BHE	I/O₀~I/O₇	I/O₈ ~ I/O₁₅	モード	電源
H	X	X	X	X	High Z	High Z	パワーダウン	スタンダバイ (I_{SB2})
L	L	H	L	L	データ出力	データ出力	全ビットの読み込み	アクティブ (I_{CC})
L	L	H	L	H	データ出力	High Z	下位ビットのみの読み込み	アクティブ (I_{CC})
L	L	H	H	L	High Z	データ出力	上位ビットのみの読み込み	アクティブ (I_{CC})
L	X	L	L	L	データ入力	データ入力	全ビットの書き込み	アクティブ (I_{CC})
L	X	L	L	H	データ入力	High Z	下位ビットのみの書き込み	アクティブ (I_{CC})
L	X	L	H	L	High Z	データ入力	上位ビットのみの書き込み	アクティブ (I_{CC})
L	H	H	X	X	High Z	High Z	選択された場合、出力は無効	アクティブ (I_{CC})

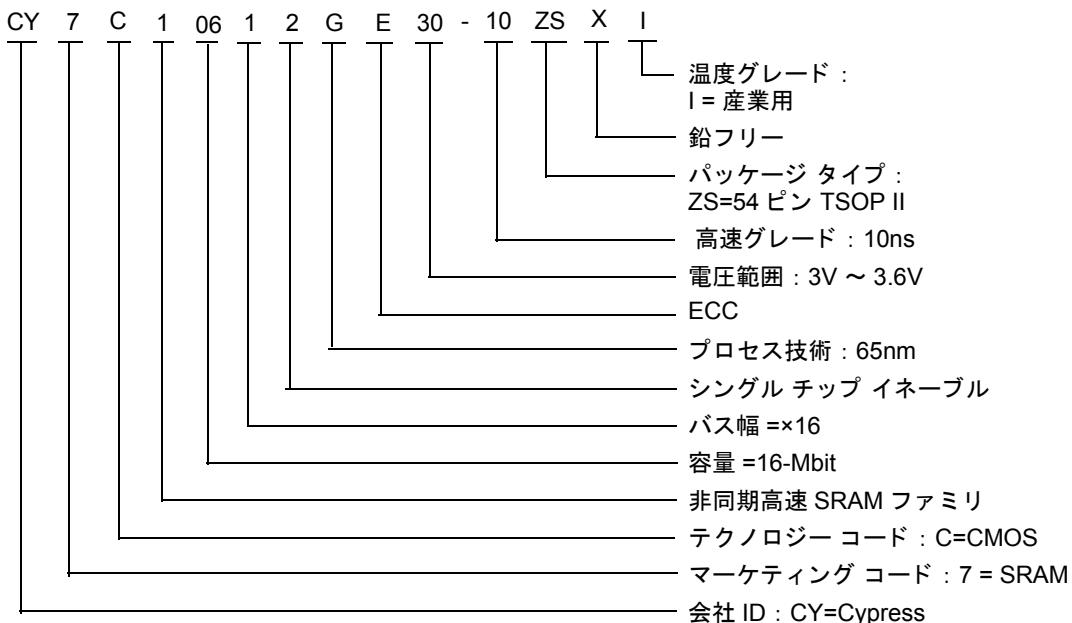
ERR 出力 – CY7C10612GE

出力	モード
0	読み込み動作、保存データにエラーなし
1	読み込み動作、シングルビット エラーが検出され、訂正
High-Z	デバイス選択解除／出力が無効／書き込み動作

注文情報

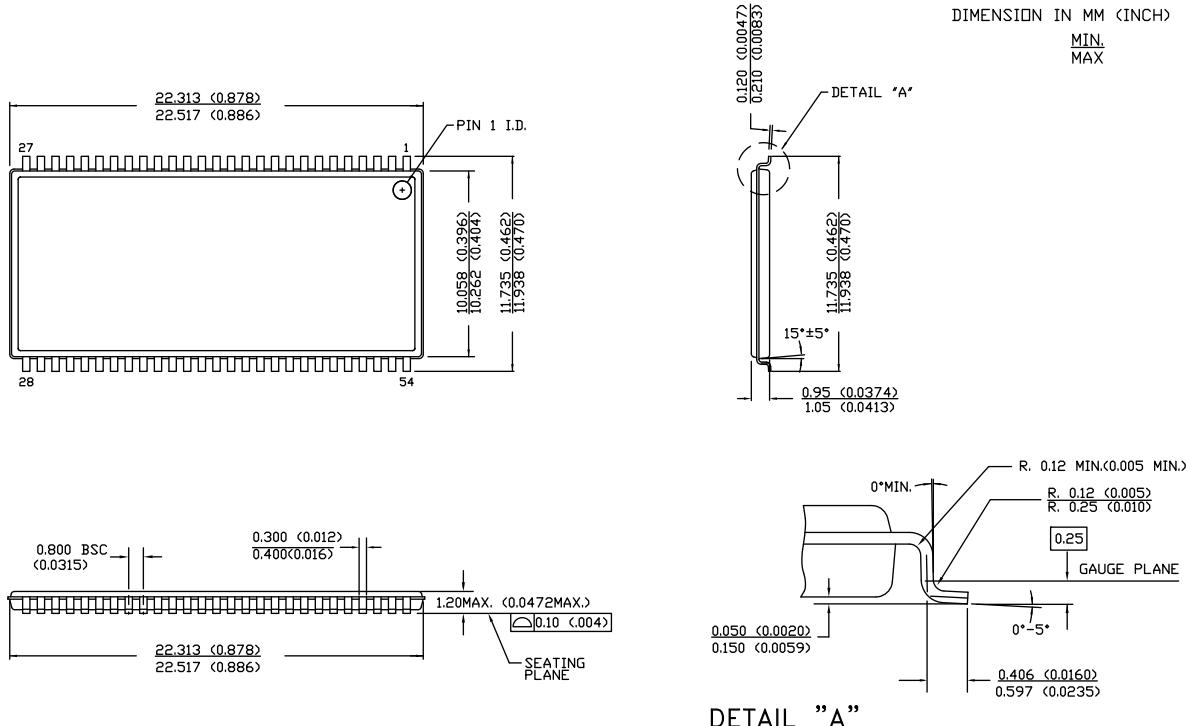
速度 (ナノ 秒)	注文コード	パッケージ 図	パッケージタイプ	動作範囲
10	CY7C10612G30-10ZSXI	51-85160	54 ピン TSOP II (鉛フリー)	産業用
10	CY7C10612GE30-10ZSXI	51-85160	54 ピン TSOP II (鉛フリー)	産業用

注文コードの定義



外形図

図 11. 54 ピン TSOP II (22.4 × 11.84 × 1.0 mm) パッケージの外形、51-85160



51-85160 *D

略語

表 1. 本書で使用する略語

略語	項目
BHE	バイト High イネーブル
BLE	バイト Low イネーブル
CE	チップイネーブル
CMOS	相補型金属酸化膜半導体
I/O	入力／出力
OE	出力イネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
TTL	トランジスタ - トランジスタ ロジック
WE	書き込みイネーブル

本書の表記法

測定単位

表 2. 測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
mV	ミリボルト
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

ドキュメント名 : CY7C10612G / CY7C10612GE、16-Mbit (1M ワード × 16 ビット) スタティック RAM
ドキュメント番号 : 001-92128

版	ECN 番号	担当	発行日	変更内容
**	4345160	HZEN	4/14/2014	これは英語版 001-88702 Rev ** を翻訳した日本語版 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック、バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明、電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス /RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ	フォーラム	ブログ	ビデオ	トレーニング
------------------------	-----------------------	---------------------	---------------------	------------------------

テクニカルサポート

cypress.com/go/support
--

© Cypress Semiconductor Corporation, 2014. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソースコード（ソフトウェアおよび／またはファームウェア）はサイプレス セミコンダクタ社（以下「サイプレス」）が所有し、全世界の特許権保護（米国およびその他の国）、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。