

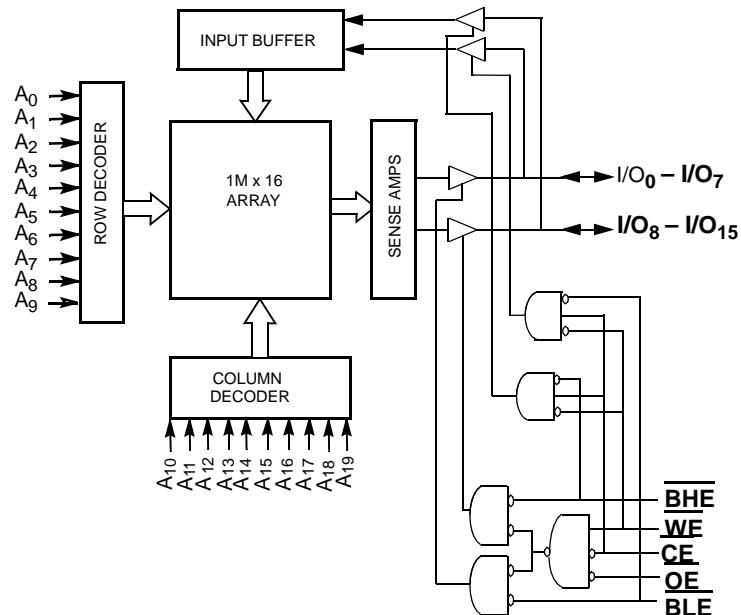
特性

- 高速
 - $t_{AA} = 10 \text{ ns}$
- 用于单比特错误纠正的嵌入式纠错码 (ECC)
- 低电平有效功耗
 - 典型值: $I_{CC} = 90 \text{ mA}$
- 低电平 CMOS 待机功耗
 - 典型值: $I_{SB2} = 10 \text{ mA}$
- $3.3 \pm 0.3 \text{ V}$ 工作电压
- 1.5 V 数据保留
- TTL 兼容的输入和输出
- ERR 引脚表示单比特错误的检测和校正
- 配有 \overline{CE} 和 \overline{OE} 特性, 可易于扩展存储空间
- 包含在无铅 54 引脚 TSOP II 封装中

功能说明

CY7C10612G 和 CY7C10612GE 均是高性能 CMOS 快速静态 RAM 设备, 配有嵌入式 ECC。单芯片使能选择提供它们。

逻辑框图 — CY7C10612G



CY7C10612GE 器件提供了一个错误指示引脚, 在读周期期间发生错误检测和修正事件时能够发送信号。

如要写入该器件, 分别使芯片使能 (\overline{CE}) 和写入使能 (\overline{WE}) 输入转为低电平。如果字节低电平使能 (BLE) 为低电平, 来自 I/O 引脚 (I/O_0 到 I/O_7) 会被写入到地址引脚 (A_0 到 A_{19}) 所指定的位置。如果字节高电平使能 (BHE) 为低电平, 来自 I/O 引脚 (I/O_8 到 I/O_{15}) 的数据将被写入到地址引脚 (A_0 至 A_{19}) 所指定的位置。

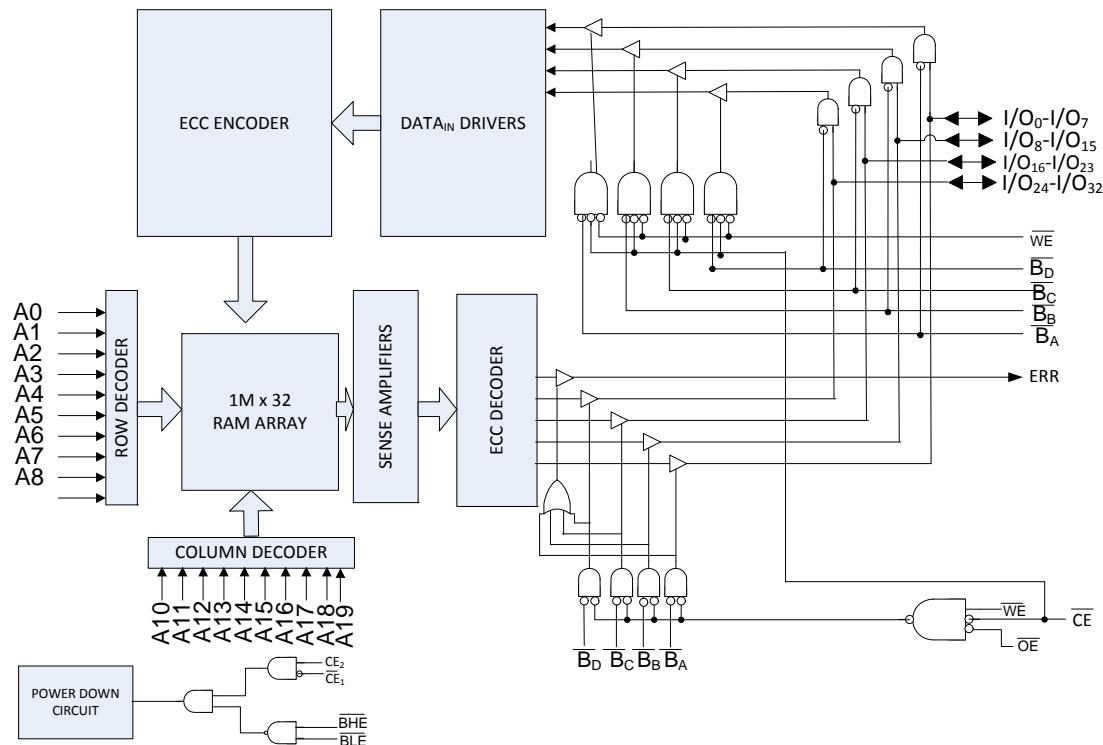
如要读取该器件, 分别使芯片使能 (\overline{CE}) 转为低电平和输出使能 (\overline{OE}) 转为低电平, 同时强制写入使能 (\overline{WE}) 为高电平。如果字节低电平使能 (BLE) 为低电平, 由地址引脚指定的存储器位置上的数据会出现在 I/O_0 至 I/O_7 上。如果字节高电平使能 (BHE) 为低电平, 存储器中的数据会出现在 I/O_8 至 I/O_{15} 上。请参考第 13 页上的真值表, 了解读写模式的完整说明。

如果取消选择该器件 (CE 为高电平)、输出被禁用 (OE 为高电平)、 BHE 和 BLE 被禁用 ($BHE, BLE HIGH$), 或者在写操作期间 (CE 和 WE 均为低电平), 输入或输出引脚 (I/O_0 至 I/O_{15}) 将处于高阻态。

在 CY7C10612GE 器件上, 通过设置 ERR 输出 ($ERR = \text{高电平}$), 可以指示访问位置中单比特错误的检测和校正。请参考第 13 页上的真值表, 了解读写模式的完整说明。

CY7C10612G 和 CY7C10612GE 包含在 54 引脚 TSOP II 封装中, 包括中心电源和接地 (革命化) 引脚分布。

逻辑框图 — CY7C10612GE



目录

产品选择指南	4
引脚配置	4
最大额定值	6
工作范围	6
直流电气特性	6
电容	6
热阻	6
交流测试负载和波形	7
数据保持特性	7
数据保持波形	7
交流开关特性	8
开关波形	9
真值表	13
ERR 输出 — CY7C10612GE	13

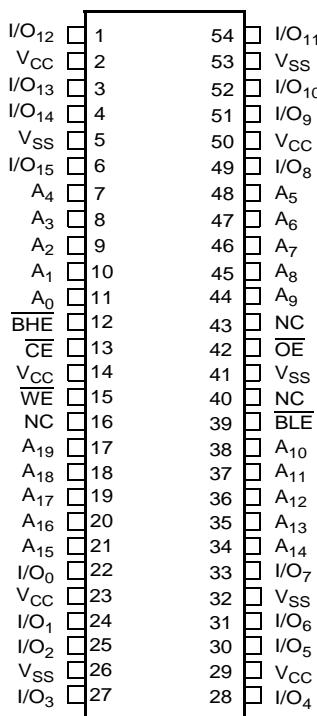
订购信息	14
订购代码定义	14
封装图	15
缩略语	16
文档规范	16
测量单位	16
文档修订记录页	17
销售、解决方案和法律信息	18
全球销售和设计支持	28
产品	18
PSoC® 解决方案	18
赛普拉斯开发者社区	18
技术支持	18

产品选择指南

说明	-10	单位
访问最大时间	10	ns
最大工作电流	90	mA
最大 CMOS 待机电流	10	mA

引脚配置

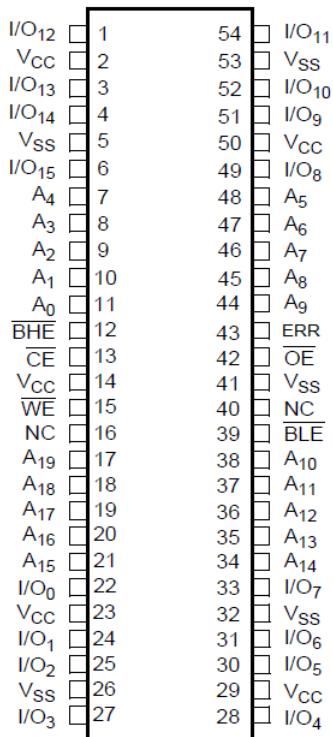
图 1. 54 引脚 TSOP II 引脚分布 (顶层视图) ^[1]
CY7C10612G



注意:

1. NC 引脚并不与裸片相连。

引脚配置 (续)

 图 2. 54 引脚 TSOP II 引脚分布 (ERR 顶层视图) [2]
 CY7C10612GE


注意:

2. NC 引脚并不与裸片相连。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度	−65 °C 到 +150 °C
通电状态下的环境温度	−55 °C 到 +125 °C
V_{CC} 上相对于 GND 的供电电压范围 ^[3]	−0.5 V 到 +6.0 V
应用于高阻状态下的输出的直流电压 ^[3]	−0.5 V 到 $V_{CC} + 0.5$ V

直流输入电压 ^[3]	−0.5 V 到 $V_{CC} + 0.5$ V
输出电流 (低电平)	20 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015) >	2001 V
闩锁电流	> 200 mA

工作范围

范围	环境温度	V_{CC}
工业级	−40°C 到 +85°C	3.3 V ± 0.3 V

直流电气特性

在工作范围内

参数	说明	测试条件	10 ns		单位
			最小值	最大值	
V_{OH}	输出高电平电压	最小的 V_{CC} , $I_{OH} = -4.0$ mA	2.2	−	V
V_{OL}	输出低电压	最小的 V_{CC} , $I_{OL} = 8.0$ mA	−	0.4	V
V_{IH}	输入高电平电压		2.0	$V_{CC} + 0.3$	V
V_{IL}	输入低电平电压 ^[3]		−0.3	0.8	V
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	−1	+1	mA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出被禁用	−1	+1	mA
I_{CC}	工作供应电流	V_{CC} = 最大值, $I_{OUT} = 0$ mA, CMOS 电平	f = 100 MHz	−	110
			f = 66.7 MHz	−	80
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大 V_{CC} , $\overline{CE} \geq V_{IH}$, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, f = f _{MAX}	−	40	mA
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大 V_{CC} , $\overline{CE} \geq V_{CC} - 0.2$ V, $V_{IN} \geq V_{CC} - 0.2$ V, 或 $V_{IN} \leq 0.2$ V, f = 0	−	30	mA

电容

参数 ^[4]	说明	测试条件	54 引脚 TSOP II	单位
C_{IN}	输入电容	$T_A = 25$ °C, f = 1 MHz, $V_{CC} = 3.3$ V	10	pF
C_{OUT}	I/O 电容		10	pF

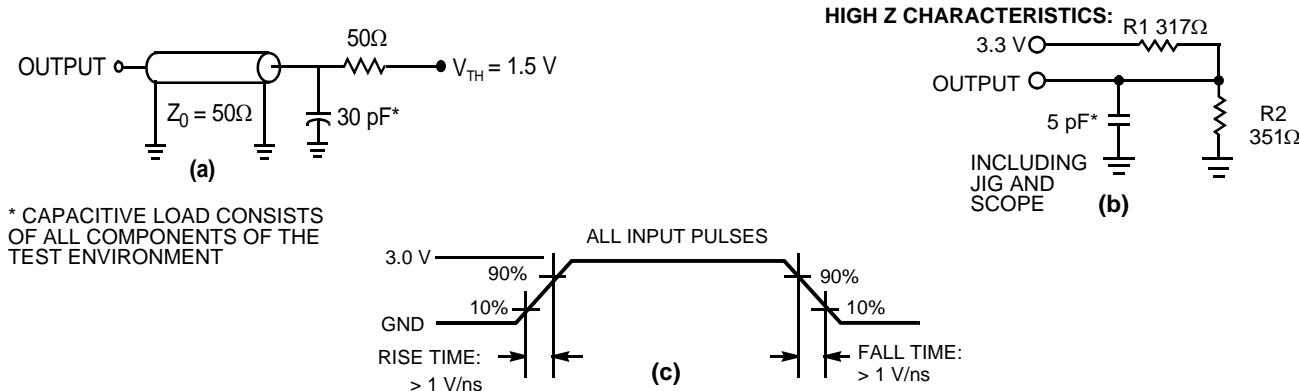
热阻

参数 ^[4]	说明	测试条件	54 引脚 TSOP II	单位
Θ_{JA}	热阻 (结温)	静止空气, 被焊接在 3 × 4.5 英寸的四层印刷电路板上	93.63	°C/W
Θ_{JC}	热阻 (壳温)		21.58	°C/W

注释

- 在脉冲时长小于 2 ns 时, $V_{IL(min)} = -2.0$ V 以及 $V_{IH(max)} = V_{CC} + 2$ V。
- 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。

交流测试负载和波形

 图 3. 交流测试负载和波形^[5]


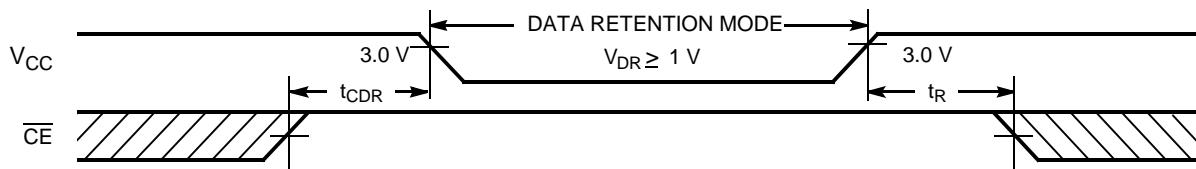
数据保持特性

工作温度范围为 -45°C 至 85°C

参数	说明	条件	最小值	典型值 ^[6]	最大值	单位
V_{DR}	数据保持的 V_{CC}		1.0	—	—	V
I_{CCDR}	数据保持电流	$V_{CC} = 2\text{ V}$, $\overline{CE} \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$	—	—	30	mA
t_{CDR} ^[7]	芯片取消选择到数据保持的时长		0	—	—	ns
t_R ^[8]	操作恢复的时长		10	—	—	ns

数据保持波形

图 4. 数据保持波形



注释

- 只有供电电压达到最小工作电压 V_{DD} (3.0 V)，才会发生有效的 SRAM 操作。100 ms (t_{power}) 内达到最小工作电压 V_{DD} ，则开始执行正常的 SRAM 操作，包括降低 V_{DD} 至数据保持 (V_{CCDR} : 2.0 V) 电压。
- 典型值仅供参考，并不能保证，也未经过测试。典型值的测量条件为： $V_{CC} = V_{CC(\text{typ})}$, $T_A = 25^{\circ}\text{C}$ 。
- 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。
- 完整的器件操作要求 V_{DR} 到 $V_{CC(\text{min.})}$ ³ 100 ms 范围内的线性 V_{CC} ，或该时长保持在 $V_{CC(\text{min.})} \geq 100\text{ ms}$ 。

交流开关特性

在工作范围内

参数 [9]	说明	-10		单位
		最小值	最大值	
读周期				
t_{RC}	读周期时长	10	—	ns
t_{AA}	从寻址到数据生效的时长	—	10	ns
t_{OHA}	地址更改后的数据保持时长	3	—	ns
t_{ACE}	\overline{CE} 为低电平到数据生效的时长	—	10	ns
t_{DOE}	\overline{OE} 为低电平到数据生效的时长	—	5	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时长	1	—	ns
t_{HZOE}	\overline{OE} 为高电平到高阻态的时长 [11]	—	5	ns
t_{LZCE}	\overline{CE} 为低电平到低阻态的时长 [11]	3	—	ns
t_{HZCE}	\overline{CE} 为高电平到高阻态的时长 [11]	—	5	ns
t_{PU}	\overline{CE} 为低电平到上电的时长 [12]	0	—	ns
t_{PD}	\overline{CE} 为高电平到断电的时长 [12]	—	10	ns
t_{DBE}	字节使能到数据有效的时长	—	5	ns
t_{LZBE}	字节使能到低阻态的时长	1	—	ns
t_{HZBE}	字节使能到高阻态的时长	—	6	ns
写周期 [13, 14]				
t_{WC}	写周期的时长	10	—	ns
t_{SCE}	CE 为低电平到写周期结束的时长	7	—	ns
t_{AW}	地址建立到写周期结束的时长	7	—	ns
t_{HA}	写周期结束后地址保持时长	0	—	ns
t_{SA}	地址建立到写周期开始的时长	0	—	ns
t_{PWE}	WE 脉冲宽度	7	—	ns
t_{SD}	数据建立到写周期结束的时长	5	—	ns
t_{HD}	写周期结束后数据保持时长	0	—	ns
t_{LZWE}	WE 为高电平到低阻态的时长 [11]	3	—	ns
t_{HZWE}	WE 为低电平到高阻态的时长 [11]	—	5	ns
t_{BW}	字节使能到写周期结束的时长	7	—	ns

注释

- 测试条件假设为：等于或小于 3 ns 的信号切换时间，1.5 V 的时序参考电平，0 至 3.0 V 的输入脉冲电平。除非另有说明，读周期的测试条件使用第 7 页上的图 3 中 (a) 部分所显示的输出加载。
- t_{POWER} 是指进行第一次存储器访问前供电电源等于典型 V_{CC} 值的最长时间量。
- t_{HZOE} , t_{HZCE} , t_{HZWE} , t_{LZBE} , t_{LZOE} , t_{LZCE} 和 t_{LZBE} 的负载电容均为 5 pF, 如第 7 页上的图 3 中的 (b) 部分所示。跃变在稳定状态电压 ± 200 mV 的条件下测量。
- 这些参数仅由设计保证，未进行过测试。
- 通过重叠 WE , $CE = V_{IL}$ 确定存储器的内部写入时长。芯片使能必须被激活，并且 WE 和字节使能必须为低电平，以启用写操作，并且切换这些信号中的任何一个都可以停止它。终止写入操作的信号边沿作为输入数据建设和保持时序的参考源。
- 第二个写周期 (WE 被控制, OE 为低电平) 的最小写周时间为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 5. CY7C10612G [15, 16] 的第一个读周期 (地址转换控制)

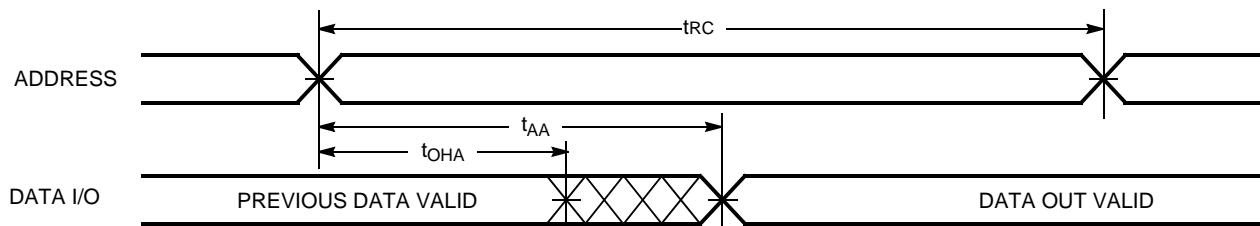
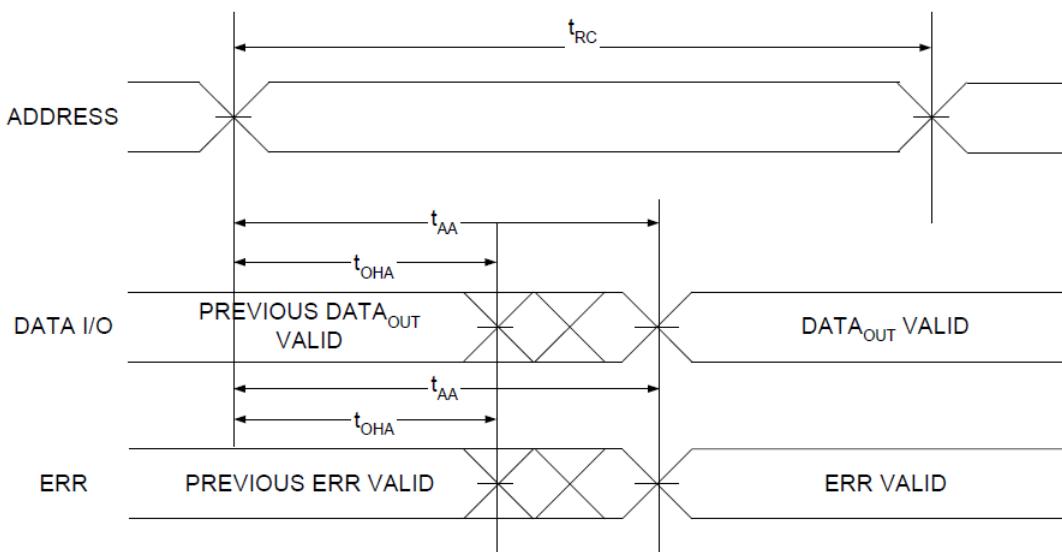


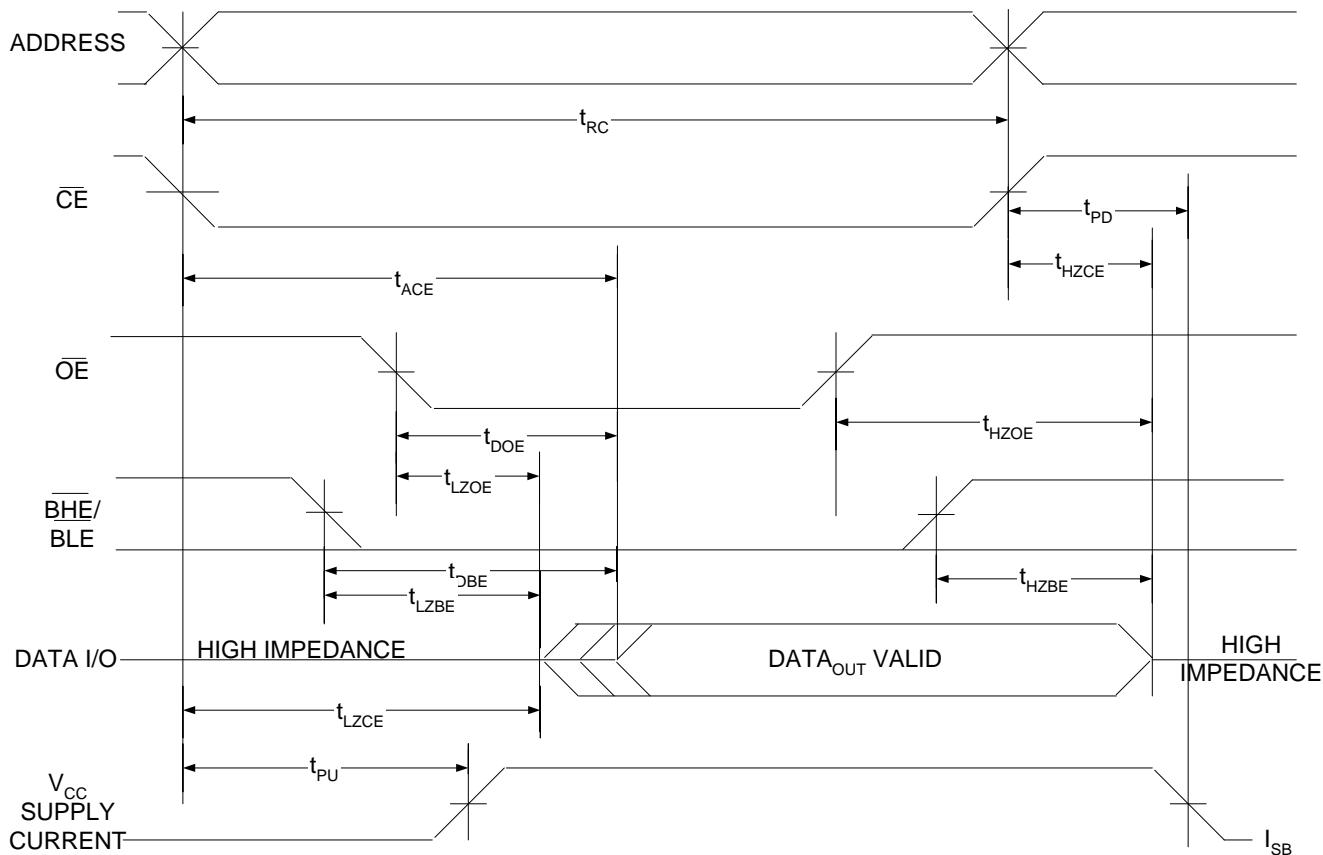
图 6. CY7C10612GE [16, 17] 的第一个读周期 (地址转换控制)



注释

15. 器件被持续选择。 \overline{OE} , $\overline{CE} = V_{IL}$, \overline{BHE} , \overline{BLE} 和 / 或 $= V_{IL}$.
16. 在读周期中, \overline{WE} 为高电平。
17. CE 转为低电平前或处于低电平时, 地址会变为有效。

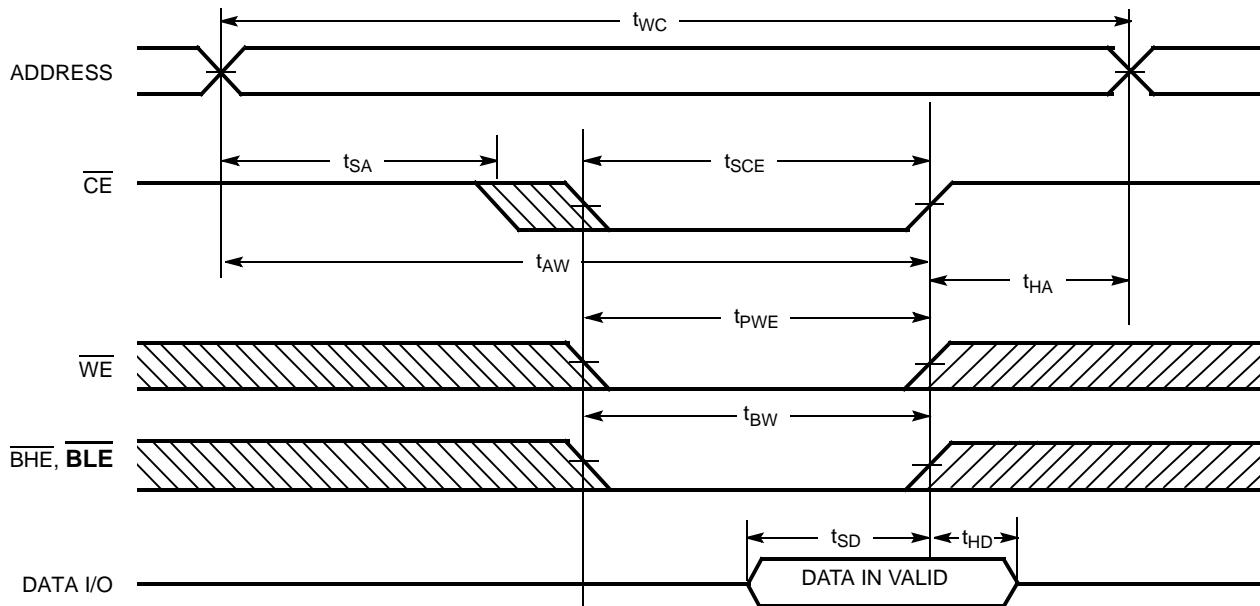
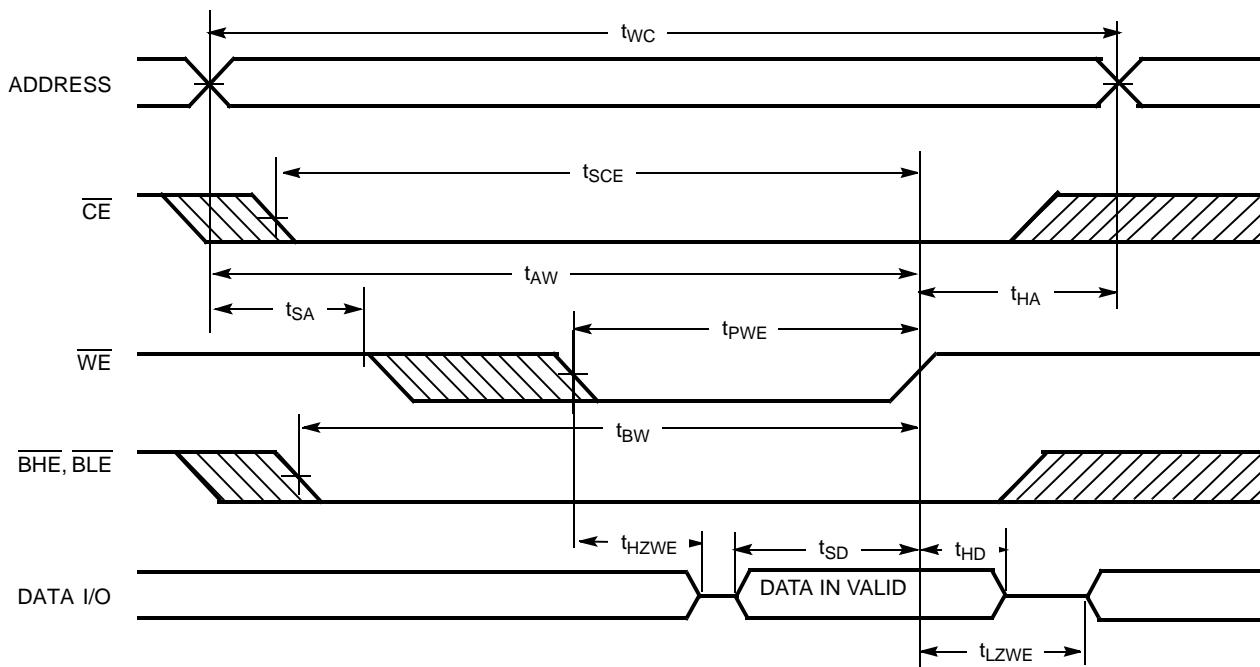
开关波形 (续)

 图 7. 第二个读周期 (\overline{OE} 被控制) [18, 19, 20]


注释

18. 对于所有的双芯片使能器件, \overline{CE} 是 \overline{CE}_1 和 CE_2 的逻辑组合。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 会处在低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 会处于高电平状态。
19. 在读周期中, \overline{WE} 为高电平。
20. CE 转为低电平前或处于低电平时, 地址会变为有效。

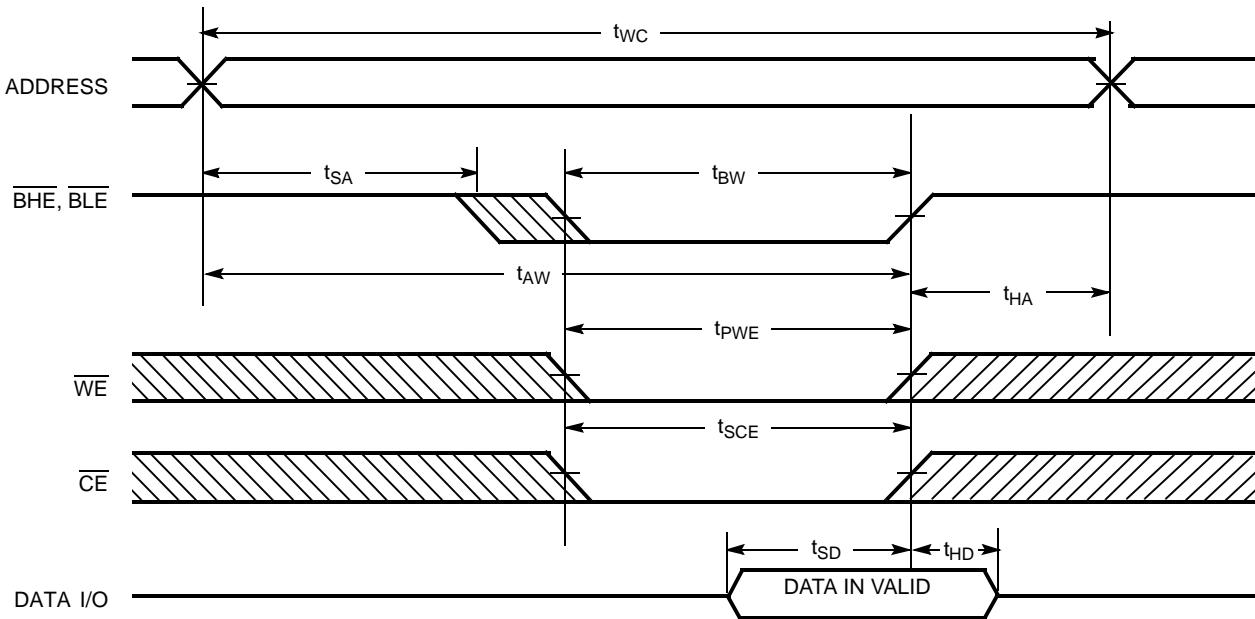
开关波形 (续)

 图 8. 第一个写周期 (\overline{CE} 控制) [21, 22]

 图 9. 第二个写周期 (\overline{WE} 控制, \overline{OE} 为低电平) [21, 22]


注释

21. 如果 \overline{OE} , \overline{BHE} , 和/或 $\overline{BLE} = V_{IH}$, 数据 I/O 会处于高阻态。
 22. 如果 CE 和 WE 同时为高电平, 输出将处于高阻态。.

开关波形 (续)

 图 10. 第三个写周期 ($\overline{\text{BLE}}$ 或 $\overline{\text{BHE}}$ 控制) [23]


注意:

23. 如果 $\overline{\text{OE}}$, $\overline{\text{BHE}}$, 和 / 或 $\overline{\text{BLE}} = V_{IH}$, 数据 I/O 会处于高阻态。

真值表

CE	OE	WE	BLE	BHE	I/O₀–I/O₇	I/O₈–I/O₁₅	模式	电源
H	X	X	X	X	高阻态	高阻态	断电	待机 (I_{SB})
L	L	H	L	L	Data Out (数据输出)	Data Out (数据输出)	读取所有位	活动 (I_{CC})
L	L	H	L	H	数据输出	高阻态	仅读取低位	活动 (I_{CC})
L	L	H	H	L	高阻态	数据输出	仅读取高位	活动 (I_{CC})
L	X	L	L	L	数据输入	数据输入	写入所有位	活动 (I_{CC})
L	X	L	L	H	数据输入	高阻态	仅写入低位	活动 (I_{CC})
L	X	L	H	L	高阻态	数据输入	仅写入高位	活动 (I_{CC})
L	H	H	X	X	高阻态	高阻态	选中, 输出被禁用	活动 (I_{CC})

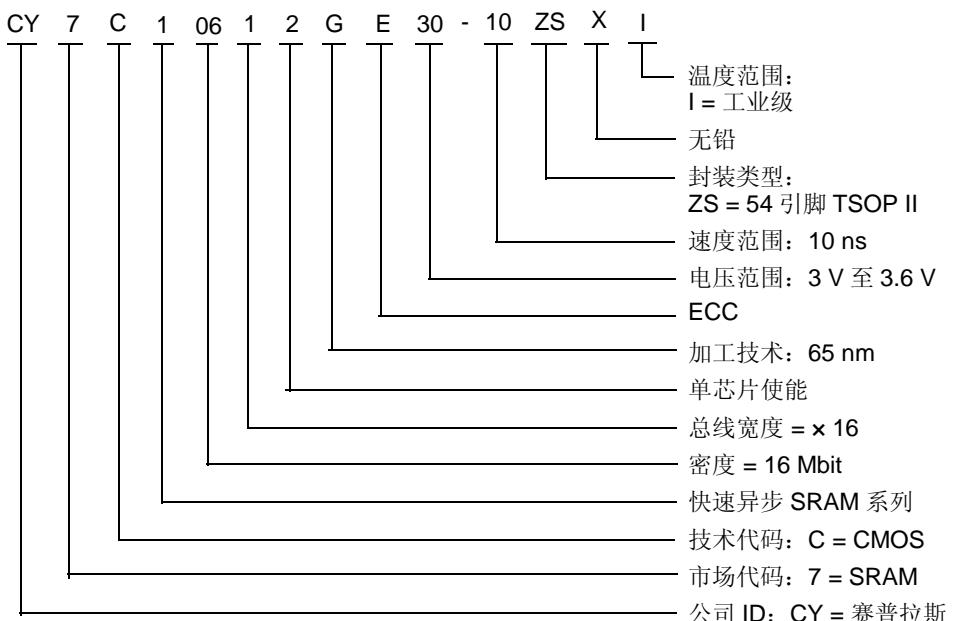
ERR 输出 — CY7C10612GE

输出	模式
0	读操作, 存储数据中没有错误。
1	读操作, 检测到并纠正了单比特错误。
高阻态	取消选择器件 / 禁用输出 / 写操作

订购信息

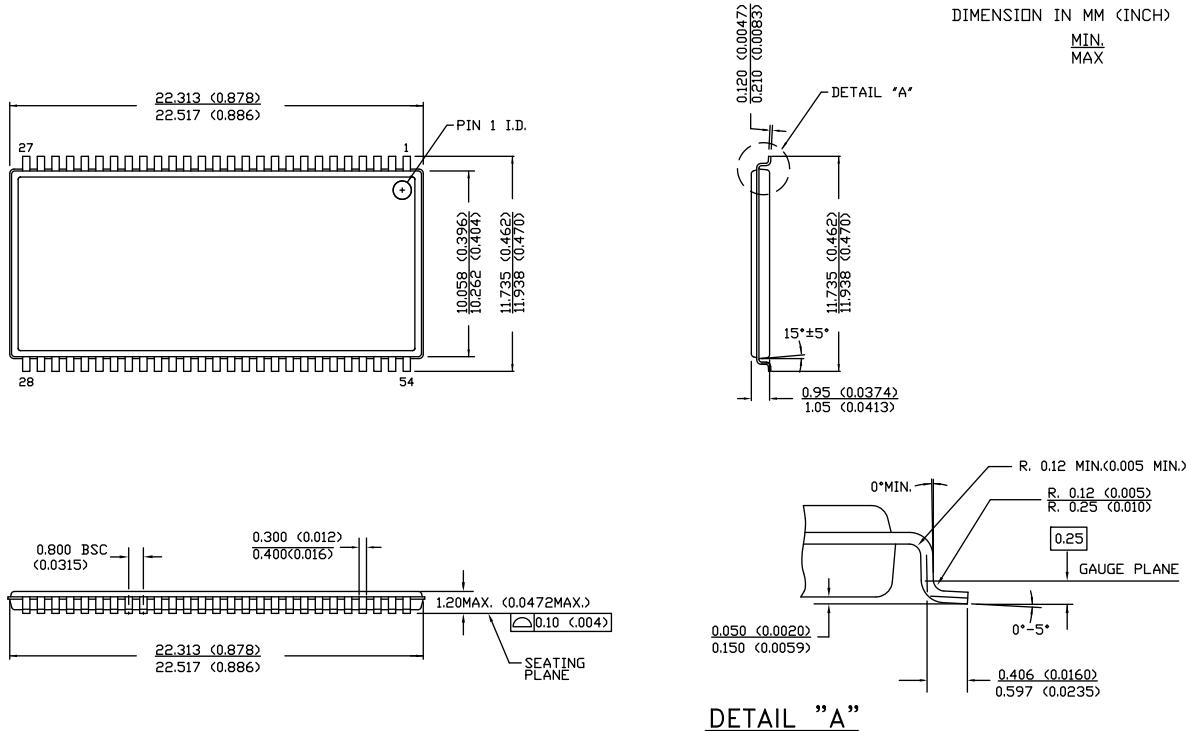
速率 (ns)	订购代码	封装图	封装类型	工作范围
10	CY7C10612G30-10ZSXI	51-85160	54 引脚 TSOP II (无铅)	工业级
10	CY7C10612GE30-10ZSXI	51-85160	54 引脚 TSOP II (无铅)	工业级

订购代码定义



封装图

图 11. 54 脚 TSOP 类型 II (22.4 × 11.84 × 1.0 毫米) Z54-II 封装外形, 51-85160



51-85160 *D

缩略语

表 1. 本文档中使用的缩略语

缩略语	说明
BHE	字节高电平使能
BLE	字节低电平使能
CE	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
OE	输出使能
SRAM	静态随机存取存储器
TSOP	薄小型封装
TTL	晶体管 - 晶体管逻辑
WE	写入使能

文档规范

测量单位

表 2. 测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
ms	微秒
mA	毫安
mm	毫米
mV	毫伏
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C10612G/CY7C10612GE, 16-Mbit (1 M × 16) 静态 RAM
文档编号: 001-92018

修订版本	ECN 编号	原始变更	提交日期	变更说明
**	4335798	YUXI	4/7/2014	本文档版本号为 Rev**, 译自英文版 001-88702 Rev**。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品

cypress.com/go/automotive

时钟与缓冲器

cypress.com/go/clocks

接口

cypress.com/go/interface

照明与电源控制

cypress.com/go/powerpsoc

cypress.com/go/plc

存储器

cypress.com/go/memory

PSoC

cypress.com/go/psoc

触摸感应产品

cypress.com/go/touch

USB 控制器

cypress.com/go/USB

无线 /RF

cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司, 2014。此处所包含的信息可能会随时更改, 恕不另行通知。除赛普拉斯产品内嵌的电路以外, 赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议, 否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外, 对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统, 赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

所有源代码 (软件和 / 或固件) 均归赛普拉斯半导体公司 (赛普拉斯) 所有, 并受全球专利法规 (美国和美国以外的专利法规)、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可, 用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品, 并且其目的只能是创建自定义软件和 / 或固件, 以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定用途外, 未经赛普拉斯的明确书面许可, 不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明: 赛普拉斯不针对该材料提供任何类型的明示或暗示保证, 包括 (但不仅限于) 针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障, 并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统, 则表示制造商将承担因此类使用而导致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。