

带有纠错码（ECC）的 4 Mbit （512K 字 × 8 位）静态 RAM

特性

- 高速
 - $t_{AA} = 10 \text{ ns}$
- 用于单比特错误纠正的嵌入式纠错码（ECC）^[1]
- 活动模式和待机模式低电流
 - 活动电流: $I_{CC} = 38 \text{ mA}$ （典型值）
 - 待机电流: $I_{SB2} = 6 \text{ mA}$ （典型值）
- 工作电压范围: 1.65 V 到 2.2 V, 2.2 V 到 3.6 V 和 4.5 V 到 5.5 V
- 1.0 V 数据保留
- 与 TTL 兼容的输入和输出
- 错误指示（ERR）引脚用于表示单比特错误的检测和纠正
- 无铅 36 引脚 SOJ 和 44 引脚 TSOP II 封装

功能描述

CY7C1049G 和 CY7C1049GE 是带嵌入式 ECC 的高性能 CMOS 快速静态 RAM 器件。这两种器件均支持单芯片和双芯片使能选项以及多引脚配置。CY7C1049GE 器件具有一个 ERR 引脚，用于通知读周期中的错误检测和纠正事件。

通过将芯片使能（ \overline{CE} ）和写入使能（ \overline{WE} ）输入设置为低电平，并分别在器件数据（I/O₀ 到 I/O₇）引脚和地址（A₀ 到 A₁₈）引脚提供数据和地址，可以执行数据写入操作。

通过将芯片使能（ \overline{CE} ）和输出使能（ \overline{OE} ）输入设置为低电平，并提供地址线所需的地址，可以执行读取操作。可在 I/O 线（I/O₀ 到 I/O₇）上访问读取数据。

在发生以下事件的期间内，所有 I/O（I/O₀ 到 I/O₇）都被置为高阻状态：

- 取消选择器件（ \overline{CE} HIGH）
- 取消激活 \overline{OE} 控制信号

在 CY7C1049GE 器件上，通过 ERR 输出的激活（ERR 为高电平），可以指示访问位置中单比特错误的检测和校正^[1]。请参考第 14 页上的真值表，了解读写模式的完整说明。

逻辑框图在第二页上。

产品系列概述

产品 [2]	功能与选项 (请参考第 4 页上的引脚配置)	范围	V _{CC} 范围 (V)	速率 (ns) 10/15	功耗			
					工作电流 I _{CC} (mA)		待机电流, I _{SB2} (mA)	
					f = f _{max}		典型值 [3]	最大值
CY7C1049G(E)18	单芯片或双芯片使能	工业级	1.65 V 到 2.2 V	15	—	40	6	8
CY7C1049G(E)30	可选的 ERR 引脚		2.2 V 到 3.6 V	10	38	45		
CY7C1049G(E)			4.5 V 到 5.5 V	10	38	45		

注释：

1. 检测到错误时，该器件不支持自动回写功能。
2. 只有器件的订购代码中具有 ERR 选项“E”时，才能使用 ERR 引脚。更多信息，请查阅第 15 页上的订购信息。
3. 典型值仅供参考，并未得以保证，也未经过测试。典型值的适用条件为：V_{CC} = 1.8 V（V_{CC} 范围为 1.65 V 到 2.2 V），V_{CC} = 3 V（V_{CC} 范围为 2.2 V 到 3.6 V）和 V_{CC} = 5 V（V_{CC} 范围为 4.5 V 到 5.5 V），T_A = 25 °C。

The diagram illustrates the internal architecture of a 512K x 8 RAM array. It features a central **512K x 8 RAM ARRAY** block. Address lines **A0** through **A9** are connected to a **ROW DECODER**, which provides row selection to the RAM array. Address lines **A10** through **A18** are connected to a **COLUMN DECODER**, which provides column selection to the RAM array. The RAM array's output is processed by **SENSE AMPLIFIERS** and then an **ECC DECODER**. The ECC decoder's output is connected to **DATA_{IN} DRIVERS**, which are also connected to an **ECC ENCODER** that feeds back into the RAM array. The system includes control signals: **I/O₀-I/O₇** for data transfer, **WE** (Write Enable) and **OE** (Output Enable) for memory access, and **CE** (Chip Enable) for overall device control. Logic gates (AND and OR) are used to combine these control signals to manage the data drivers and the RAM array's output.

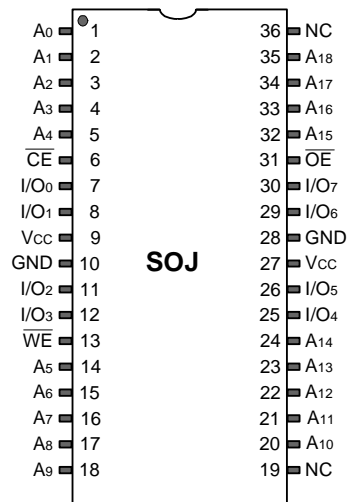
The diagram illustrates the architecture of a 512K x 8 RAM array. It features a central **512K x 8 RAM ARRAY** block. Address lines **A0** through **A9** are connected to a **ROW DECODER**, which provides row selection to the RAM array. Address lines **A10** through **A18** are connected to a **COLUMN DECODER**, which provides column selection to the RAM array. The RAM array's output is processed by **SENSE AMPLIFIERS** and then an **ECC DECODER**. The ECC decoder's output is connected to **DATA_{IN} DRIVERS**, which drive the **I/O₀-I/O₇** bus. The ECC decoder also generates an **ERR** (error) signal. Additionally, the ECC decoder's output is connected to two 3-input AND gates. The outputs of these AND gates are connected to the **WE** (write enable) and **OE** (output enable) signals, which are active-low (indicated by a bubble on the WE line and a bubble on the OE line). The **CE** (chip enable) signal is also shown as an active-low input.

目录

引脚配置	4	订购信息	15
最大额定值	6	订购代码定义	15
工作范围	6	封装图	16
直流电气特性	6	缩略语	17
电容	7	文档规范	17
热电阻	7	测量单位	17
交流测试负载和波形	7	文档修订记录	18
数据保留特性	8	销售、解决方案和法律信息	19
数据保留波形	8	全球销售和设计支持	19
交流开关特性	9	产品	19
开关波形	10	PSoC® 解决方案	19
真值表	14	赛普拉斯开发者社区	19
ERR 输出 — CY7C1049GE	14	技术支持	19

引脚配置

图 1. 无 ERR 的 36 引脚 SOJ 单芯片使能 CY7C1049G ^[4]



注释:

- NC 引脚在内部并没有连接到芯片。

引脚配置 (续)

图 2. 无 ERR 的 44 引脚 TSOP II 单芯片使能 CY7C1049G [5]

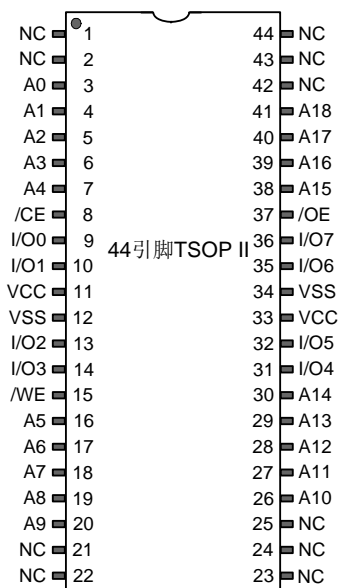
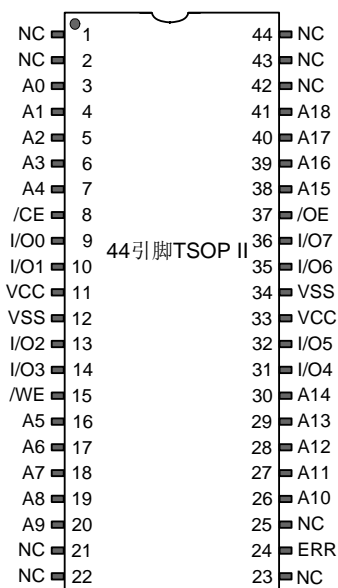


图 3. 带 ERR 的 44 引脚 TSOP II 单芯片使能 CY7C1049GE [5、6]



注释:

5. NC 引脚在内部并没有连接到芯片。
6. ERR 是一个输出引脚。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65 °C 到 +150 °C
 通电状态下的环境温度 -55 °C 到 +125 °C
 V_{CC} 相对于 GND 的供电电压范围^[7] -0.5 到 $V_{CC} + 0.5 V$
 应用于高阻态下的输出
 的直流电压^[7] -0.5 V 到 $V_{CC} + 0.5 V$
 直流输入电压^[7] -0.5 V 到 $V_{CC} + 0.5 V$

直流电气特性

工作温度范围为 -40 °C 到 85 °C

各输出的电流（低电平状态中） 20 mA
 静电放电电压
 （MIL-STD-883，方法号 3015） > 2001 V
 栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40 °C 到 + 85 °C	1.65 V 到 2.2 V、 2.2 V 到 3.6 V、 4.5 V 到 5.5 V

参数	说明	测试条件	10 ns/15 ns			单位
			最小值	典型值 ^[8]	最大值	
V_{OH}	输出高电压	1.65 V 到 2.2 V $V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	1.4	—	—	V
		2.2 V 到 2.7 V $V_{CC} = \text{最小值}, I_{OH} = -1.0 \text{ mA}$	2	—	—	
		2.7 V 到 3.6 V $V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.2	—	—	
		4.5 V 到 5.5 V $V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.4	—	—	
		4.5 V 到 5.5 V $V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.5^{[9]}$	—	—	
V_{OL}	输出低电压	1.65 V 到 2.2 V $V_{CC} = \text{最小值}, I_{OL} = 0.1 \text{ mA}$	—	—	0.2	V
		2.2 V 到 2.7 V $V_{CC} = \text{最小值}, I_{OL} = 2 \text{ mA}$	—	—	0.4	
		2.7 V 到 3.6 V $V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	—	—	0.4	
		4.5 V 到 5.5 V $V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	—	—	0.4	
V_{IH}	输入高电压	1.65 V 到 2.2 V —	1.4	—	$V_{CC} + 0.2^{[7]}$	V
		2.2 V 到 2.7 V —	2	—	$V_{CC} + 0.3^{[7]}$	
		2.7 V 到 3.6 V —	2	—	$V_{CC} + 0.3^{[7]}$	
		4.5 V 到 5.5 V —	2.2	—	$V_{CC} + 0.5^{[7]}$	
V_{IL}	输入低电压	1.65 V 到 2.2 V —	-0.2 ^[7]	—	0.4	V
		2.2 V 到 2.7 V —	-0.3 ^[7]	—	0.6	
		2.7 V 到 3.6 V —	-0.3 ^[7]	—	0.8	
		4.5 V 到 5.5 V —	-0.5 ^[7]	—	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-1	—	+1	μA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	-1	—	+1	μA
I_{CC}	工作供电电流	$V_{CC} = \text{最大值}, I_{OUT} = 0 \text{ mA}, \text{CMOS 电平}$	$f = 100 \text{ MHz}$	—	38	mA
			$f = 66.7 \text{ MHz}$	—	40	
I_{SB1}	自动 CE 断电电流 —TTL 输入	$V_{CC} = \text{最大值}, \overline{CE} \geq V_{IH}, V_{IN} \geq V_{IH} \text{ 或 } V_{IN} \leq V_{IL}, f = f_{MAX}$	—	—	15	mA
I_{SB2}	自动 CE 断电电流 —CMOS 输入	$V_{CC} = \text{最大值}, \overline{CE} \geq V_{CC} - 0.2 V, V_{IN} \geq V_{CC} - 0.2 V \text{ 或 } V_{IN} \leq 0.2 V, f = 0$	—	6	8	mA

注释:

- 在脉冲宽度小于 2 ns 时, $V_{IL(min)} = -2.0 V$ 以及 $V_{IH(max)} = V_{CC} + 2 V$ 。
- 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的适用条件为: $V_{CC} = 1.8 V$ (对于 V_{CC} 范围为 1.65 V 到 2.2 V), $V_{CC} = 3 V$ (对于 V_{CC} 范围为 2.2 V 到 3.6 V), $V_{CC} = 5 V$ (对于 V_{CC} 范围为 4.5 V 到 5.5 V), $T_A = 25 ^\circ C$ 。
- 该参数由设计保证, 并未经过测试。

电容

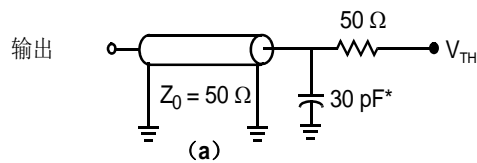
参数 ^[10]	说明	测试条件	36-SOJ	44-TSOP II	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(yp)}$	10	10	pF
C_{OUT}	I/O 电容		10	10	pF

热电阻

参数 ^[10]	说明	测试条件	36-SOJ	44-TSOP II	单位
Θ_{JA}	热电阻（结至环境）	在无风环境中，被焊接到 3×4.5 英寸的四层印刷电路板	59.52	68.85	$^{\circ}\text{C/W}$
Θ_{JC}	热电阻（结至外壳）		31.48	15.97	$^{\circ}\text{C/W}$

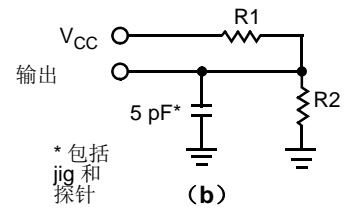
交流测试负载和波形

图 4. 交流测试负载和波形^[11]

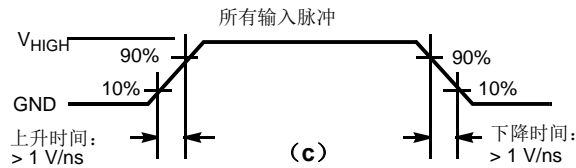


* 电容负载包括
测试环境的
所有组件

高阻特性:



* 包括
jig 和
探针



参数	1.8 V	3.0 V	5.0 V	单位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注释:

10. 在发生可能影响到这些参数的任何设计或处理流程更改之前和之后进行测试。
11. 完整器件交流操作假设 0 到 $V_{CC(min)}$ 的升降时间为 $100\text{ }\mu\text{s}$, V_{CC} 稳定下来的等待时间为 $100\text{ }\mu\text{s}$ 。

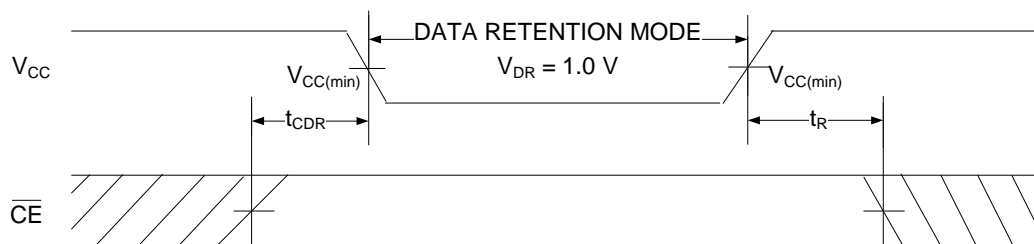
数据保留特性

工作温度范围为 -40°C 到 85°C

参数	说明	条件	最小值	最大值	单位
V_{DR}	数据保留的 V_{CC}		1	—	V
I_{CCDR}	数据保留电流	$V_{\text{CC}} = 1.2\text{ V}$, $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{ V}^{[13]}$, $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	—	8	mA
$t_{\text{CDR}}^{[12]}$	芯片取消选择到数据保留的时间		0	—	ns
$t_{\text{R}}^{[12, 13]}$	操作恢复的时间	$V_{\text{CC}} \geq 2.2\text{ V}$	10	—	ns
		$V_{\text{CC}} < 2.2\text{ V}$	15	—	ns

数据保留波形

图 5. 数据保留波形^[13]



注释:

12. 这些参数是由设计保证的。

13. 完整的器件操作要求线性 V_{CC} 从 V_{DR} 到 $V_{\text{CC(min)}}$ 的升降时间 $\geq 100\text{ }\mu\text{s}$, 或保持为 $V_{\text{CC(min)}}$ 的时间 $\geq 100\text{ }\mu\text{s}$ 。

交流开关特性

工作温度范围为 -40 °C 到 85 °C

参数 ^[14]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t _{RC}	读周期的时间	10	—	15	—	ns
t _{AA}	地址到数据 /ERR 有效的时间	—	10	—	15	ns
t _{OHA}	地址更改后的数据 /ERR 保持时间	3	—	3	—	ns
t _{ACE}	\overline{CE} 为低电平到数据 /ERR 有效的时间	—	10	—	15	ns
t _{DOE}	\overline{OE} 为低电平到数据 /ERR 有效的时间	—	4.5	—	8	ns
t _{LZOE}	\overline{OE} 为低电平到低阻态的时间 ^[15]	0	—	0	—	ns
t _{HZOE}	\overline{OE} 为高电平到高阻态的时间 ^[15]	—	5	—	8	ns
t _{LZCE}	\overline{CE} 为低电平到低阻态的时间 ^[15]	3	—	3	—	ns
t _{HZCE}	\overline{CE} 为高电平到高阻态的时间 ^[15]	—	5	—	8	ns
t _{PU}	\overline{CE} 为低电平到上电的时间 ^[16、17]	0	—	0	—	ns
t _{PD}	\overline{CE} 为高电平到断电的时间 ^[16、17]	—	10	—	15	ns
写周期 ^[17、18]						
t _{WC}	写周期的时间	10	—	15	—	ns
t _{SCE}	\overline{CE} 为低电平到写周期结束的时间	7	—	12	—	ns
t _{AW}	地址设置到写周期结束的时间	7	—	12	—	ns
t _{HA}	写周期结束后地址保持的时间	0	—	0	—	ns
t _{SA}	地址设置到写周期开始的时间	0	—	0	—	ns
t _{PWE}	\overline{WE} 脉冲宽度	7	—	12	—	ns
t _{SD}	数据设置到写周期结束的时间	5	—	8	—	ns
t _{HD}	写周期结束后数据保持的时间	0	—	0	—	ns
t _{LZWE}	\overline{WE} 为高电平到低阻态的时间 ^[15]	3	—	3	—	ns
t _{HZWE}	\overline{WE} 为低电平到高阻态的时间 ^[15]	—	5	—	8	ns

注释:

14. 测试条件假设如下: 信号跃变时间 (上升 / 下降) 不大于 3 ns, 时序参考电平为 1.5 V (对于 $V_{CC} \geq 3$ V) 和 $V_{CC}/2$ (对于 $V_{CC} < 3$ V), 输入脉冲电平范围为 0 到 3 V (对于 $V_{CC} \geq 3$ V) 和 0 到 V_{CC} (对于 $V_{CC} < 3$ V)。除非另有说明, 否则读周期的测试条件使用第 7 页上的图 4 中 (a) 部分所显示的输出加载。

15. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZOE} 、 t_{LZCE} 和 t_{LZWE} 的负载电容均为 5 pF, 如第 7 页上的图 4 中的 (b) 部分所示。跃变在稳定状态电压 ± 200 mV 的条件下测量。

16. 这些参数由设计保证, 并未经过测试。

17. 存储器的内部写作操作在 $\overline{WE} = V_{IL}$ 并且 $\overline{CE} = V_{IL}$ 时发生。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会中止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

18. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小写周期脉冲宽度应为 t_{DS} 和 t_{HZWE} 的总和。

开关波形

图 6. CY7C1049G 的第一个读周期（地址转换控制） [19、20]

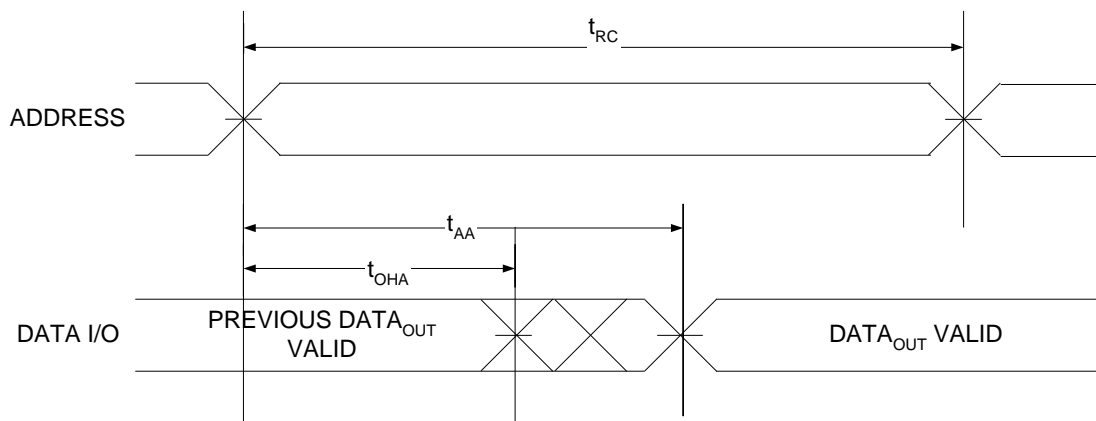
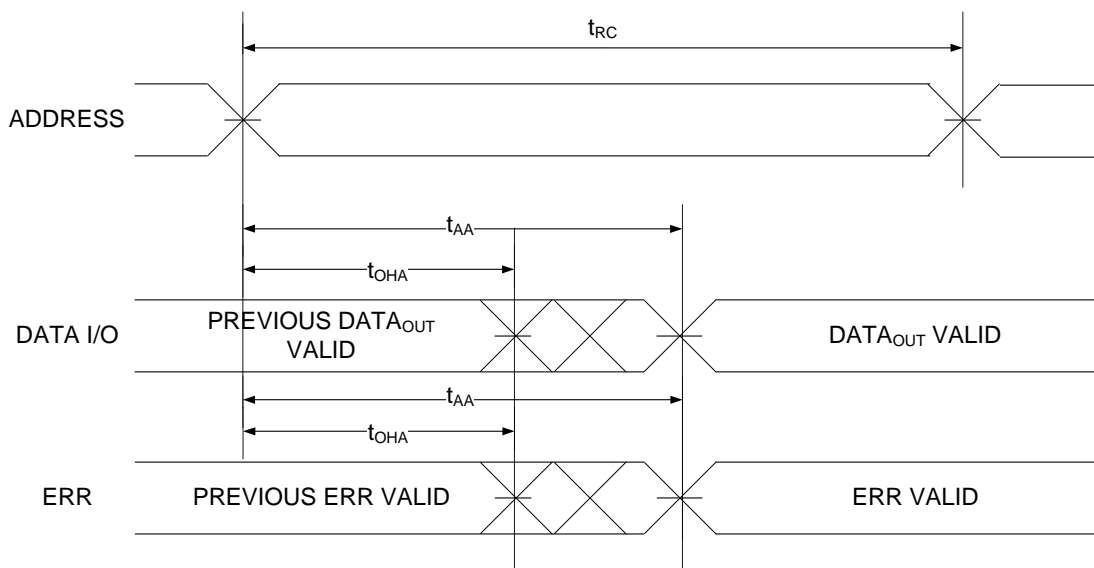


图 7. CY7C1049GE 的第一个读周期（地址转换控制） [19、20]



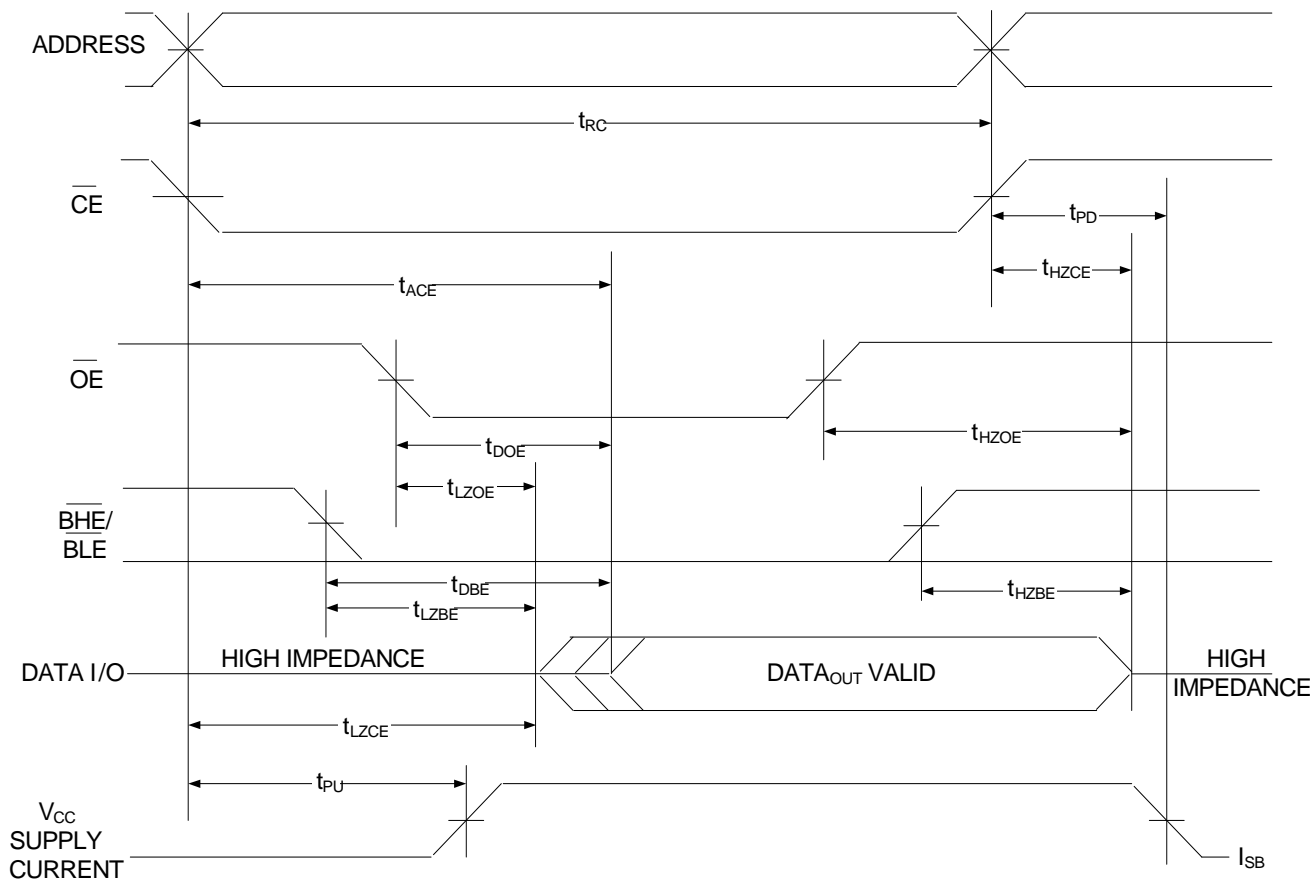
注释:

19. 一直选中该器件, $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$ 。

20. 在读周期中, \overline{WE} 为高电平。

开关波形 (续)

图 8. 第二个读周期 (\overline{OE} 控制) [21、22]



注释:

21. 在读周期中, \overline{WE} 为高电平。

22. 地址有效在 \overline{CE} 的低电平转换前发生或者同步发生。

开关波形 (续)

图 9. 第一个写周期 (\overline{CE} 控制) [23、24]

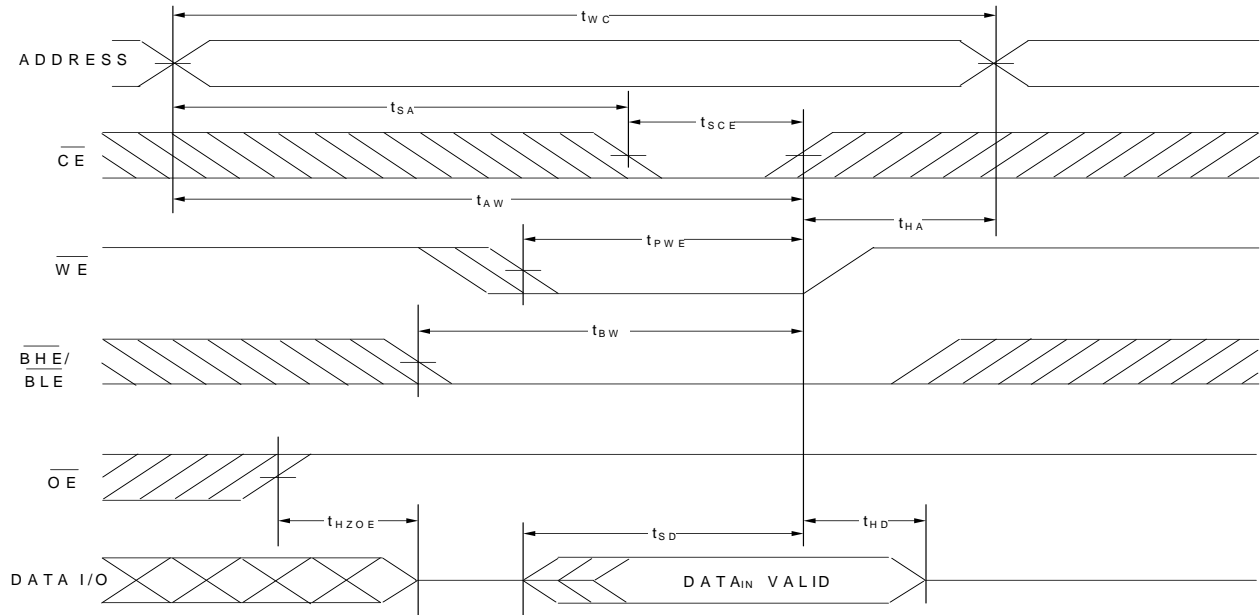
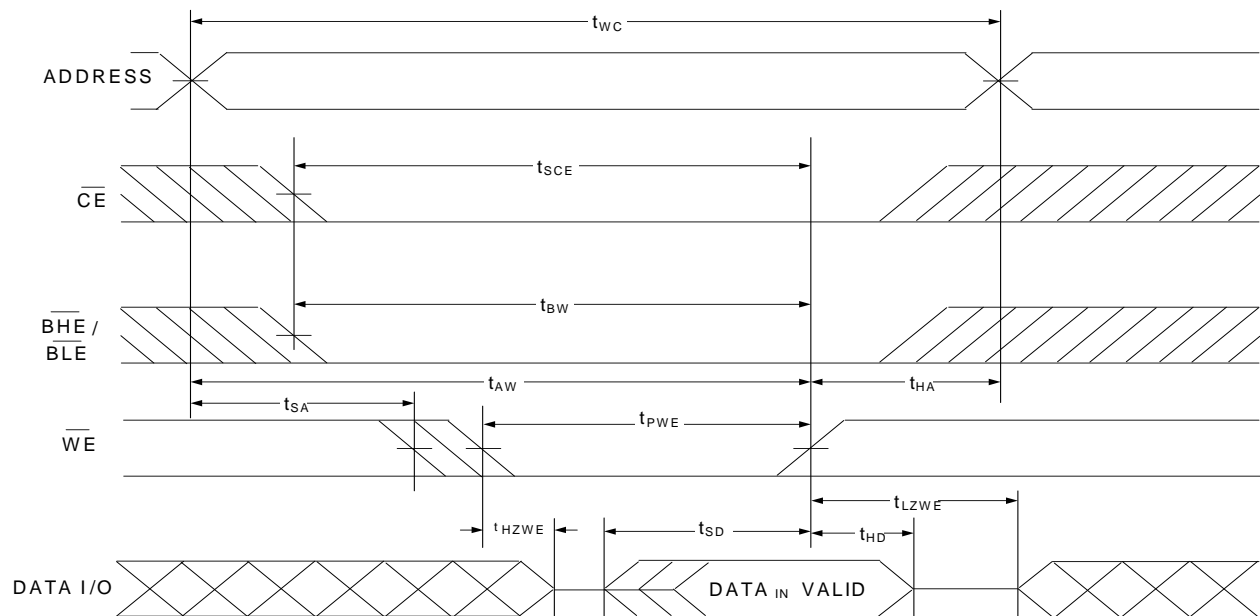


图 10. 第二个写周期 (\overline{WE} 控制, \overline{OE} 为低电平) [23、24、25]



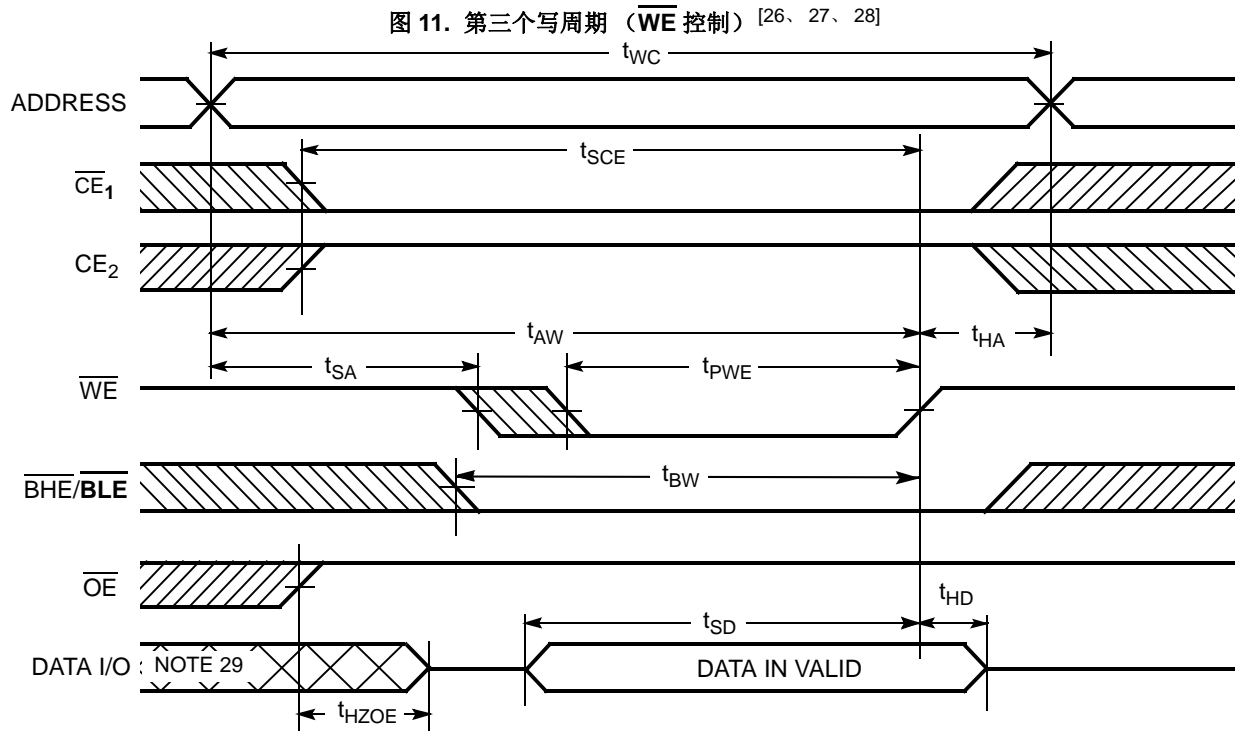
注释:

23. 存储器的内部写作操作在 $\overline{WE} = V_{IL}$ 并且 $\overline{CE} = V_{IL}$ 时发生。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会中止该操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

24. $\overline{CE} = V_{IH}$ 或 $\overline{OE} = V_{IH}$ 时, 数据 I/O 将处于高阻态。

25. 最小写周期脉冲宽度应等于 t_{SD} 和 t_{HZWE} 的总和。

开关波形 (续)



注释:

26. 应该通过重叠 $\overline{WE} = V_{IL}$, $\overline{CE} = V_{IL}$ 确定存储器的内部写入时间。若要启动写入操作, 必须将这些信号处于低电平状态。任一信号转为高电平时, 都会中止该操作。

终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

27. $\overline{CE} = V_{IH}$ 或 $\overline{OE} = V_{IH}$ 时, 数据 I/O 将处于高阻态。

28. 如果 $\overline{OE} = V_{IH}$, 数据 I/O 将处于高阻态。

29. 在该过程中, I/O 处于输出状态。请勿使用输入信号。

真值表

\overline{CE}	\overline{OE}	\overline{WE}	$I/O_0 - I/O_7$	模式	电源
H	X ^[30]	X ^[30]	高阻	断电	待机 (I_{SB})
L	L	H	数据输出	读取所有位	活动 (I_{CC})
L	X	L	数据输入	写入所有位	活动 (I_{CC})
L	H	H	高阻	选中, 输出被禁用	活动 (I_{CC})

ERR 输出 — CY7C1049GE

输出 ^[31]	模式
0	读操作, 存储数据中没有单比特错误。
1	读操作, 检测到并纠正了单比特错误。
高阻	取消选择器件 / 禁用输出 / 写操作。

注释:

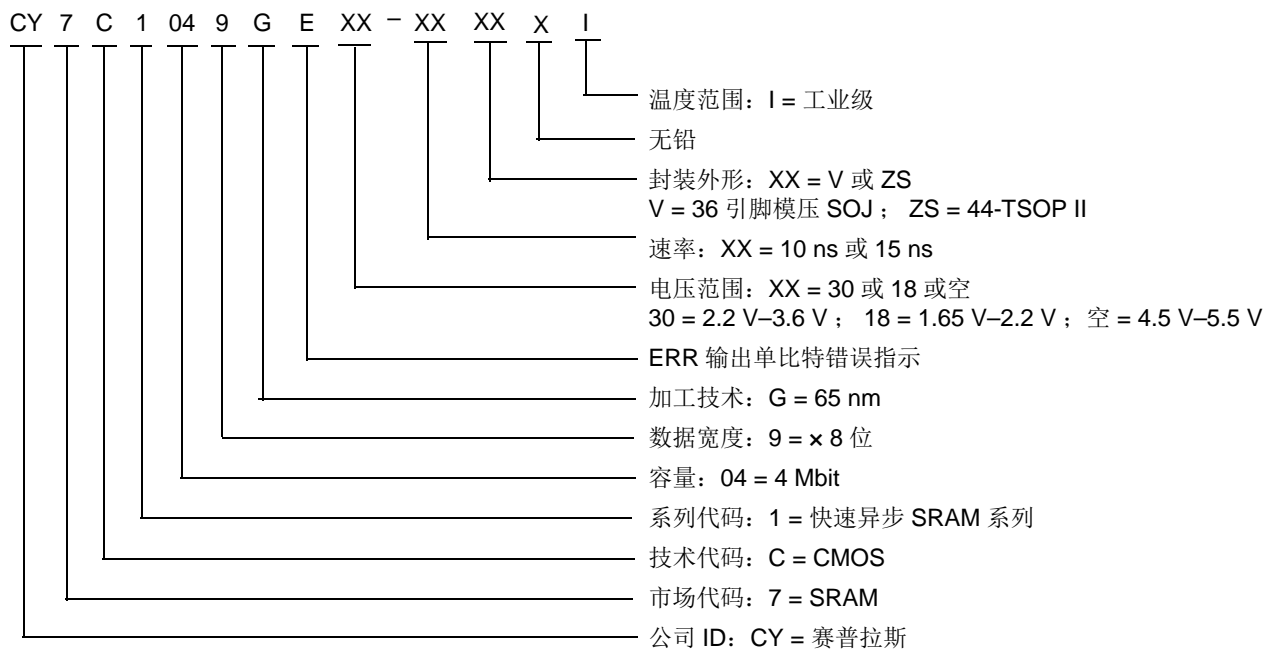
30. 这些引脚上的输入电压电平应为 V_{IH} 或 V_{IL} 。

31. ERR 是一个输出引脚。不使用时, 该引脚应处于悬空状态。

订购信息

速率 (ns)	电压范围	订购代码	封装图	封装类型 (所有封装均为无铅)	工作范围
10	2.2 V 到 3.6 V	CY7C1049G30-10VXI	51-85090	36 引脚模压 SOJ	工业级
		CY7C1049GE30-10ZSXI	51-85087	44-TSOP II, ERR 输出	
		CY7C1049G30-10ZSXI	51-85087	44-TSOP II	
15	1.65 V 到 2.2 V	CY7C1049G18-15ZSXI	51-85087	44-TSOP II	
10	4.5 V 到 5.5 V	CY7C1049G-10VXI	51-85090	36 引脚模压 SOJ	
		CY7C1049G-10ZSXI	51-85087	44-TSOP II	

订购代码定义



封装图

图 12. 44-TSOP II 封装外形, 51-85087

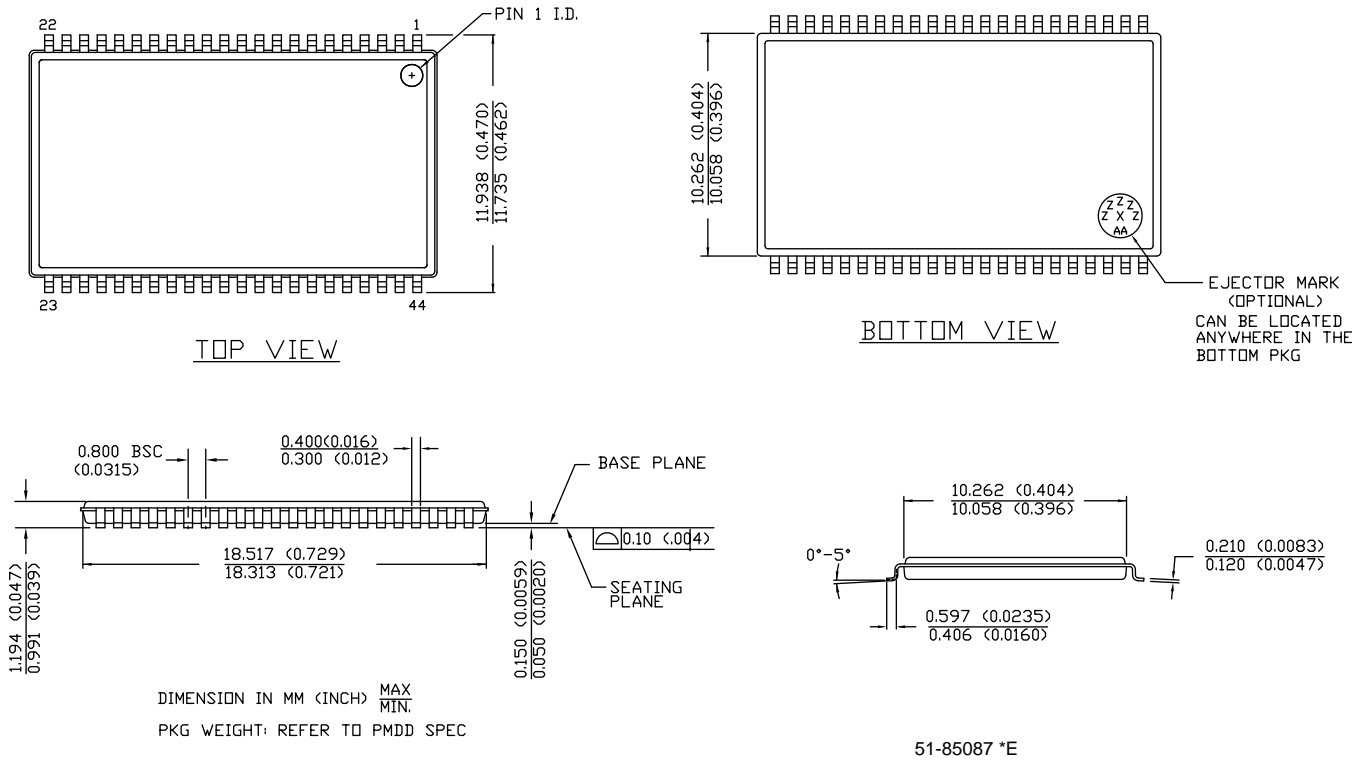
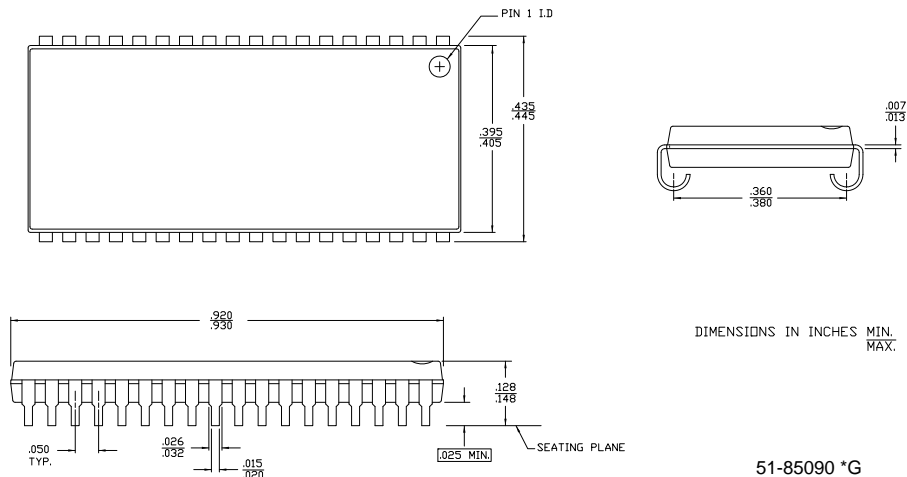


图 13. 36L SOJ V36.4 (模压) 封装外形, 51-85090

36 Lead (400 MIL) Molded SOJ V36



缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小外形封装
TTL	晶体管 - 晶体管逻辑
VFBGA	间距极细的球栅阵列
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: **CY7C1049G/CY7C1049GE, 带有纠错码 (ECC) 的 4 Mbit (512K 字 × 8 位) 静态 RAM**
文档编号: **001-97584**

版本	ECN 编号	变更者	提交日期	变更说明
**	4769232	RZZH	06/08/2015	本文档版本号为 Rev**, 译自英文版 001-95412 Rev**。
*A	5125771	RZZH	02/15/2016	本文档版本号为 Rev*A, 译自英文版 001-95412 Rev*C。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2015-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。