

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

エラー訂正コード (ECC) 内蔵 4M ビット (256K ワード × 16 ビット) スタティック RAM

特徴

- 高速
 - t_{AA} = 10ns/15ns
- シングル ビット エラー訂正用の内蔵 ECC^[1, 2]
- 少ないアクティブおよびスタンバイ電流
 - アクティブ電流: I_{CC} = 38mA (typ)
 - スタンバイ電流: I_{SB2} = 6mA (typ)
- 動作電圧範囲: 1.65V ~ 2.2V、2.2V ~ 3.6V、および 4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 1 ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー44ピンSOJ、44ピンTSOP II、および48ボールVFBGA パッケージ

機能詳細

CY7C1041G と CY7C1041GE は内蔵 ECC を備えた高性能 CMOS 高速スタティック RAM デバイスです。両方のデバイスともシングル チップ イネーブル オプション、および複数ピン コンフィギュレーションで提供されます。CY7C1041GE デバイスは、読み出しサイクル中にシングル エラー検出と訂正イベントを通知する ERR ピンを備えています。

チップ イネーブル (\overline{CE}) と書き込みイネーブル (\overline{WE}) 入力を LOW にアサートすることでデータ書き込みを実現し、データは $I/O_0 \sim I/O_{15}$ ピンに、アドレスは $A_0 \sim A_{17}$ ピンに提供します。上位バイト イネーブル (\overline{BHE}) と下位バイト イネーブル (\overline{BLE}) 入力は、指定したメモリ位置の上位バイトと下位バイトへの書き込み動作を制御します。 \overline{BHE} は $I/O_8 \sim I/O_{15}$ を制御し、 \overline{BLE} は $I/O_0 \sim I/O_7$ を制御します。

データ読み込みは、チップ イネーブル (\overline{CE}) と出カイネーブル (\overline{OE}) 入力を LOW にアサートし、アドレスラインで必要なアドレスを提供することで行われます。読み出しデータは、 I/O ライン ($I/O_0 \sim I/O_{15}$) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (\overline{BHE} 、 \overline{BLE}) をアサートして、指定したアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み込むことによって実行されます。

すべての I/O ($I/O_0 \sim I/O_{15}$) は、以下のイベントに対してハイインピーダンス状態になります。

- デバイスが選択解除される ($\overline{CE} = \text{HIGH}$)
- 制御信号 (\overline{OE} 、 \overline{BLE} 、 \overline{BHE}) がアサート解除される

CY7C1041GE デバイスでは、アクセスされた位置内のシングル ビット エラーの検出および訂正は、ERR 出力のアサート (ERR = HIGH) により行われます^[1]。読み出しと書き込みモードの詳細については、[14 ページの真理値表](#) を参照してください。

論理ブロックダイアグラムは 2 ページに示されています。

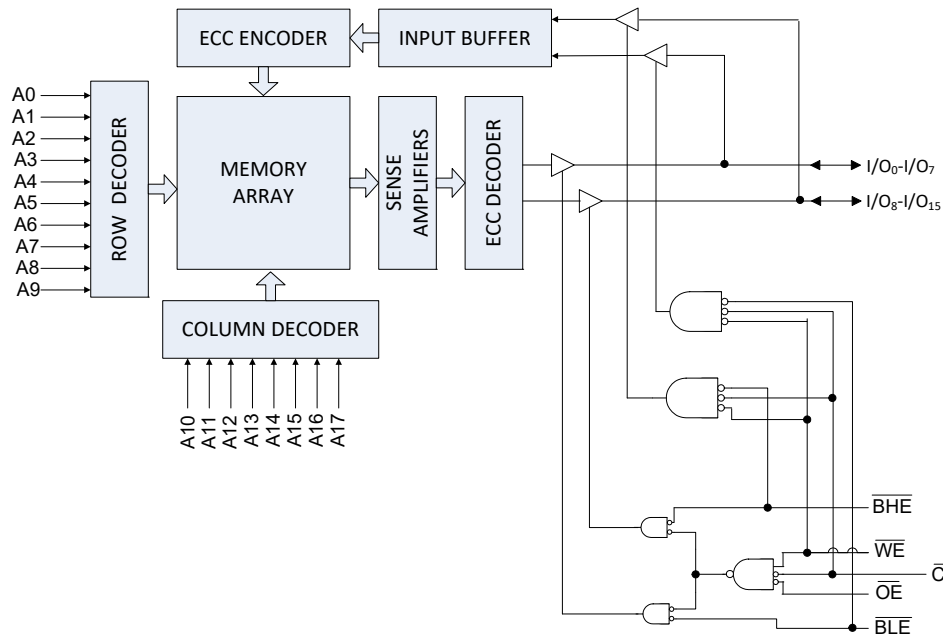
製品ポートフォリオ

製品 ^[3]	特長およびオプション (4 ページのピン配置を参照)	範囲	V_{CC} の範囲 (V)	速度 (ns) 10/15	消費電力			
					動作時の I_{CC} (mA)		スタンバイ、 I_{SB2} (mA)	
					$f = f_{max}$			
					Typ ^[4]	Max	Typ ^[4]	Max
CY7C1041G(E)18	シングル チップ イネーブル オプションの ERR ピン	産業用	1.65V ~ 2.2V	15	—	40	6	8
CY7C1041G(E)30			2.2V ~ 3.6V	10	38	45		
CY7C1041G(E)			4.5V ~ 5.5V	10	38	45		

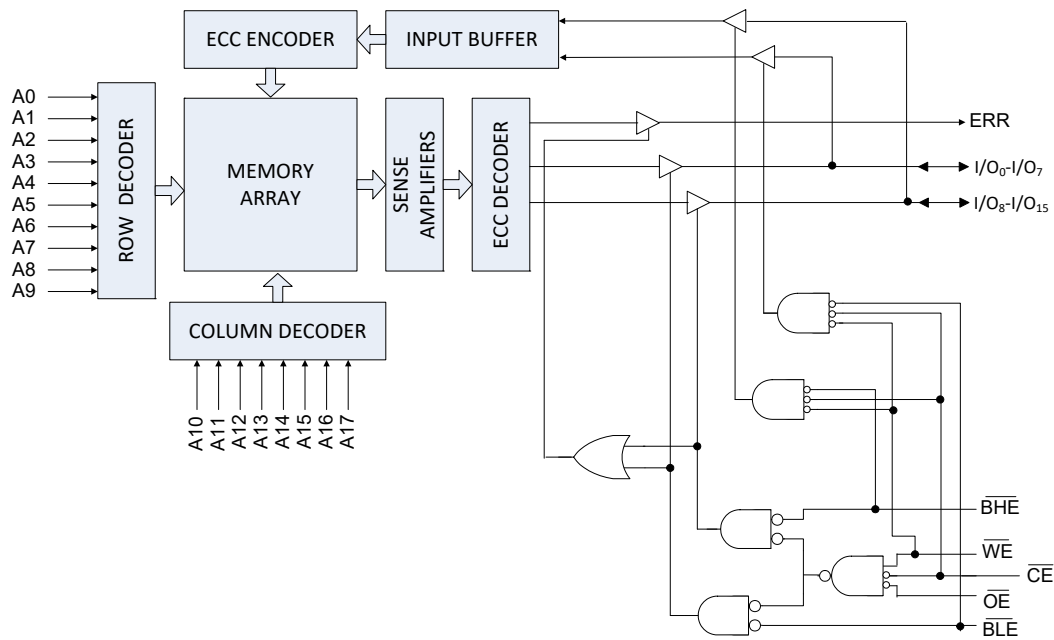
注:

1. このデバイスは、エラー検出時に自動再書き込みに対応しません。
2. SER FIT レート < 0.1 FIT/Mb。詳細については、[AN88889](#) を参照してください。
3. ERR ピンは注文コードに ERR オプション「E」があるデバイスにのみ備えています。詳細は、[15 ページの注文情報](#) を参照してください。
4. 標準値は単なる参照値であり、保証または試験されません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合)、および $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ C$ で測定しています。

論理ブロックダイヤグラムー CY7C1041G



論理ブロックダイヤグラムー CY7C1041GE



目次

ピン配置	4	注文情報	15
最大定格	6	注文コードの定義	16
動作範囲	6	パッケージ図	17
DC電気的特性	6	略語	19
静電容量	7	本書の表記法	19
熱抵抗	7	測定単位	19
ACテストの負荷と波形	7	改訂履歴	20
データ保持特性	8	セールス、ソリューションおよび法律情報	21
データ保持波形	8	ワールドワイドな販売と設計サポート	21
ACスイッチング特性	9	製品	21
スイッチング 波形	10	PSoC [®] ソリューション	21
真理値表	14	サイプレス開発者コミュニティ	21
ERR出力- CY7C1041GE	14	テクニカル サポート	21

ピン配置

図 1. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR なしのシングル
チップ イネーブル、CY7C1041G^[5]、パッケージ/グレード
ID: BVXI^[7]

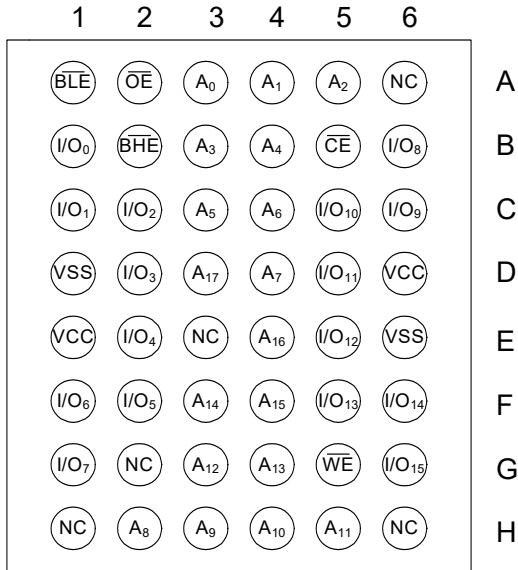


図 2. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR 付きのシングル
チップ イネーブル、CY7C1041GE^[5, 6]、パッケージ/グレード
ID: BVXI^[7]

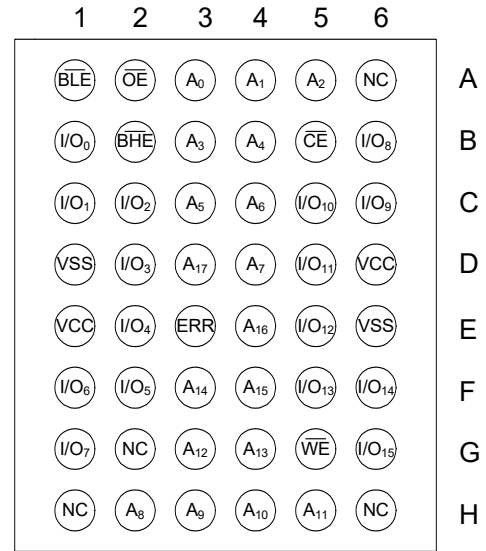


図 3. 48 ボール VFBGA (6 × 8 × 1.0 mm)
ERR なしのシングル チップ イネーブル、CY7C1041G^[5]、
パッケージ/グレード ID: BVJXI^[7]

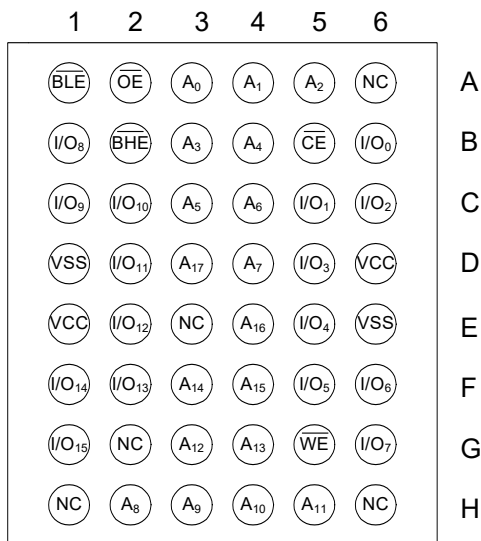
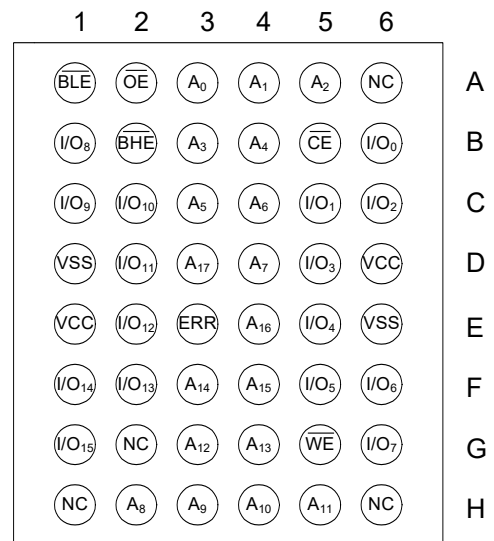


図 4. 48 ボール VFBGA (6 × 8 × 1.0 mm)
ERR 付きのシングル チップ イネーブル、CY7C1041GE^[5, 6]、
パッケージ/グレード ID: BVJXI^[7]



注:

5. NC ピンはパッケージ内部のダイに接続されません。

6. ERR は出力ピンです。

7. パッケージ タイプ BVXI とは違い、パッケージ タイプ BVJXI は JEDEC に準拠します。両パッケージ間の相違点は、上位と下位 I/O (I/O_[7:0] と I/O_[15:8]) ボールが
スワップされることです。

ピン配置 (続き)

図 5. 44 ピン TSOP II/44 ピン SOJ ERR 付きのシングル チップ イネーブル、CY7C1041GE [8、9]

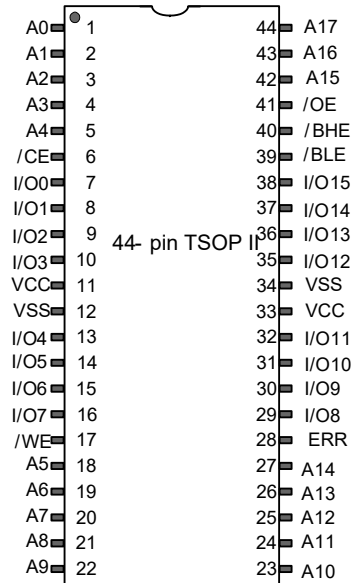
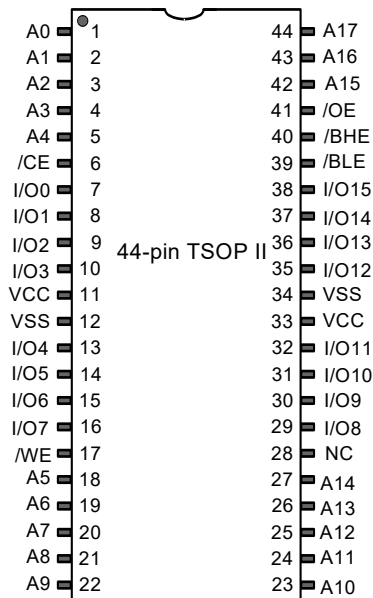


図 6. 44 ピン TSOP II/44 ピン SOJERR なしのシングル チップ イネーブル、CY7C1041G [8]



注:
 8. NC ピンはダイに接続されません。
 9. ERR は出力ピンです。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされません。

保存温度 -65 °C ~ +150 °C

通電時の周囲温度 -55 °C ~ +125 °C

GND を基準とした

V_{CC} の電源電圧 ^[10] -0.5V ~ $V_{CC}+0.5V$

HI-Z 状態の出力に

印加される DC 電圧 ^[10] -0.5V ~ $V_{CC}+0.5V$

DC 入力電圧 ^[10] -0.5V ~ $V_{CC}+0.5V$

出力への電流 (LOW 状態にある) 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) >2001V

ラッチアップ電流 >140mA

動作範囲

グレード	周囲温度	V_{CC}
産業用	-40 °C ~ +85 °C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電氣的特性

動作範囲は -40 °C ~ 85 °C

パラメータ	説明		テスト条件		10ns/15ns			単位
					Min	Typ ^[11]	Max	
V _{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OH} = -0.1mA	1.4	—	—	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OH} = -1.0 mA	2	—	—		
		2.7V ~ 3.0V	V _{CC} = Min、I _{OH} = -4.0 mA	2.2	—	—		
		3.0V ~ 3.6V	V _{CC} = Min、I _{OH} = -4.0mA	2.4	—	—		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -4.0 mA	2.4	—	—		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -0.1mA	V _{CC} - 0.5 ^[12]	—	—		
V _{OL}	出力 LOW 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OL} = 0.1mA	—	—	0.2	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OL} = 2mA	—	—	0.4		
		2.7V ~ 3.6V	V _{CC} = Min、I _{OL} = 8mA	—	—	0.4		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OL} = 8mA	—	—	0.4		
V _{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	—	1.4	—	V _{CC} + 0.2 ^[10]	V	
		2.2V ~ 2.7V	—	2	—	V _{CC} + 0.3 ^[10]		
		2.7V ~ 3.6V	—	2	—	V _{CC} + 0.3 ^[10]		
		4.5V ~ 5.5V	—	2	—	V _{CC} + 0.5 ^[10]		
V _{IL}	入力 LOW 電圧	1.65V ~ 2.2V	—	-0.2 ^[10]	—	0.4	V	
		2.2V ~ 2.7V	—	-0.3 ^[10]	—	0.6		
		2.7V ~ 3.6V	—	-0.3 ^[10]	—	0.8		
		4.5V ~ 5.5V	—	-0.5 ^[10]	—	0.8		
I _{IX}	入力リーク電流		GND ≤ V _{IN} ≤ V _{CC}		-1	—	+1	μA
I _{OZ}	出力リーク電流		GND ≤ V _{OUT} ≤ V _{CC} 、出力が無効		-1	—	+1	μA
I _{CC}	動作電源電流		Max V _{CC} 、I _{OUT} = 0mA、 CMOS レベル	f = 100MHz	—	38	45	mA
				f = 66.7MHz	—	—	40	
I _{SB1}	自動 CE パワーダウン電流 -TTL 入力		Max V _{CC} 、 $\overline{CE} \geq V_{IH}$ 、 V _{IN} ≥ V _{IH} または V _{IN} ≤ V _{IL} 、f = f _{MAX}		—	—	15	mA
I _{SB2}	自動 CE パワーダウン電流 -CMOS 入力		Max V _{CC} 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、f = 0		—	6	8	mA

注:

10. 20ns 以下のパルス幅の場合、 $V_{IL(\text{min})} = -2.0V$ および $V_{IH(\text{max})} = V_{CC} + 2V$ 。

11. 標準値は単なる参照値であり、保証または試験されません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合) および $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。

12. このパラメータは設計保証であり、試験されません。

静電容量

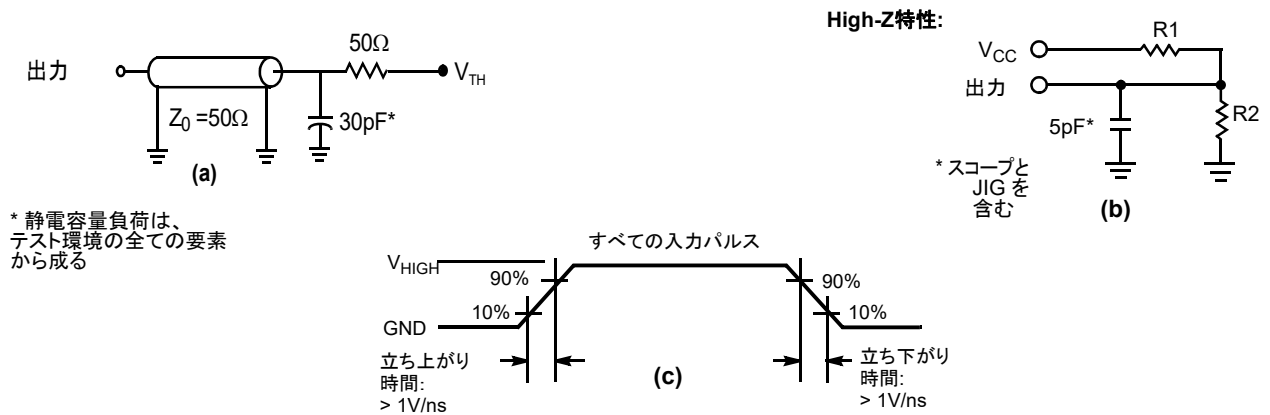
パラメータ ^[13]	説明	テスト条件	48 ボール VFBGA	44 ピン SOJ	44 ピン TSOP II	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC}(\text{typ})$	10	10	10	pF
C_{OUT}	I/O 容量		10	10	10	pF

熱抵抗

パラメータ ^[13]	説明	テスト条件	48 ボール VFBGA	44 ピン SOJ	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態、3×4.5 インチ の 4 層プリント回路基 板上に半田付け	31.35	55.37	68.85	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		14.74	30.41	15.97	$^\circ\text{C/W}$

AC テストの負荷と波形

図 7. AC テストの負荷と波形^[14]



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注:

13. 開発時とこれらのパラメーターに影響を与え得る設計／プロセス変更後にテストされます。

14. 完全なデバイスの AC 動作では、0 から $V_{CC}(\text{min})$ までのランプ時間が 100 μs で、 V_{CC} がその動作電圧で安定した後、待機時間が 100 μs であることを前提にします。

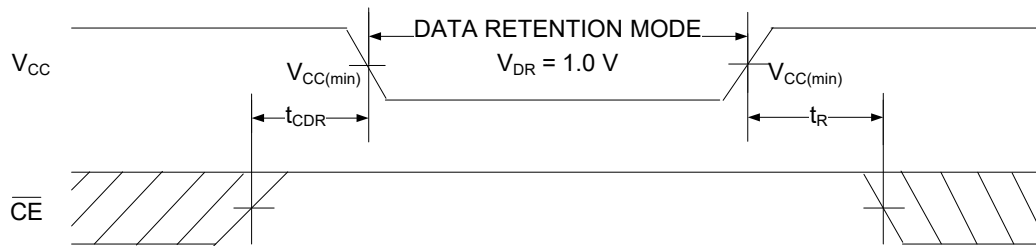
データ保持特性

動作範囲は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメーター	説明	条件	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1	—	V
I_{CCDR}	データ保持電流	$V_{\text{CC}} = 1.2\text{V}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}^{[15]}$ 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ 、または $V_{\text{IN}} \leq 0.2\text{V}$	—	8	mA
$t_{\text{CDR}}^{[16]}$	チップの選択解除からデータ保持までの時間		0	—	ns
$t_{\text{R}}^{[15, 16]}$	動作回復時間	$V_{\text{CC}} \geq 2.2\text{V}$	10	—	ns
		$V_{\text{CC}} < 2.2\text{Vr}$	15	—	ns

データ保持波形

図 8. データ保持波形^[15]



注:

15. 完全なデバイス動作には、 V_{DR} から $V_{\text{CC}(\text{min})}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ を超えるか、または $V_{\text{CC}(\text{min})}$ で安定した時間が $100\mu\text{s}$ を超える必要があります。

16. これらのパラメーターは設計保証されます。

AC スイッチング特性

動作範囲が -40 °C ~ 85 °C

パラメータ ^[17]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t _{RC}	読み出しサイクル時間	10	－	15	－	ns
t _{AA}	アドレスからデータ／ERR 有効まで	－	10	－	15	ns
t _{OHA}	アドレス変更からデータ／ERR ホールド	3	－	3	－	ns
t _{ACE}	\overline{CE} LOW からデータ／ERR 有効まで	－	10	－	15	ns
t _{DOE}	\overline{OE} LOW からデータ／ERR 有効まで	－	4.5	－	8	ns
t _{LZOE}	\overline{OE} LOW から低インピーダンスまで ^[18]	0	－	0	－	ns
t _{HZOE}	\overline{OE} HIGH から HI-Z まで ^[18、19]	－	5	－	8	ns
t _{LZCE}	\overline{CE} LOW から低インピーダンスまで ^[18]	3	－	3	－	ns
t _{HZCE}	\overline{CE} HIGH から HI-Z まで ^[18、19]	－	5	－	8	ns
t _{PU}	\overline{CE} LOW から電源投入まで ^[18、19]	0	－	0	－	ns
t _{PD}	\overline{CE} HIGH から電源切断まで ^[18、19]	－	10	－	15	ns
t _{DBE}	バイト イネーブルからデータ有効まで	－	4.5	－	8	ns
t _{LZBE}	バイト イネーブルから低インピーダンスまで ^[18]	0	－	0	－	ns
t _{HZBE}	バイト ディスエーブルから HI-Z まで ^[19]	－	6	－	8	ns
書き込みサイクル ^[20、21]						
t _{WC}	書き込みサイクル期間	10	－	15	－	ns
t _{SCE}	\overline{CE} LOW から書き込みの最後まで	7	－	12	－	ns
t _{AW}	アドレスセットアップから書き込み終了まで	7	－	12	－	ns
t _{HA}	書き込み終了からアドレス ホールドまで	0	－	0	－	ns
t _{SA}	アドレス セットアップから書き込み開始	0	－	0	－	ns
t _{PWE}	\overline{WE} パルス幅	7	－	12	－	ns
t _{SD}	データ セットアップから書き込み終了まで	5	－	8	－	ns
t _{HD}	書き込み終了からデータ ホールドまで	0	－	0	－	ns
t _{LZWE}	\overline{WE} HIGH から低インピーダンスまで ^[18]	3	－	3	－	ns
t _{HZWE}	\overline{WE} LOW から HI-Z まで ^[19]	－	5	－	8	ns
t _{BW}	バイト イネーブルから書き込み終了まで	7	－	12	－	ns

注:

- テスト条件は信号遷移時間 (立ち上り / 立ち下り) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) および $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0 ~ 3V ($V_{CC} \geq 3V$ の場合) および 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に記載のない限り、読み出しサイクルのテスト条件は 7 ページの図 7 の (a) に示す出力負荷を使用します。
- t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{HZBE} 、 t_{LZOE} 、 t_{LZCE} 、 t_{LZWE} および t_{LZBE} は、7 ページの図 7 の (b) に示した 5pF の負荷容量が付いた状態で規定されます。遷移は定常状態の電圧 $\pm 200mV$ で測定されます。
- これらのパラメータは設計保証であり、テストは行われません。
- メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ と \overline{BHE} または $\overline{BLE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ遷移することで操作を終了できます。入力データのセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
- 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) 用の最少の書き込みサイクル パルス幅は t_{sd} と t_{HZWE} の合計に等しい必要があります。

スイッチング 波形

図 9. CY7C1041G の読み出しサイクル 1 (アドレス遷移制御) [22、23]

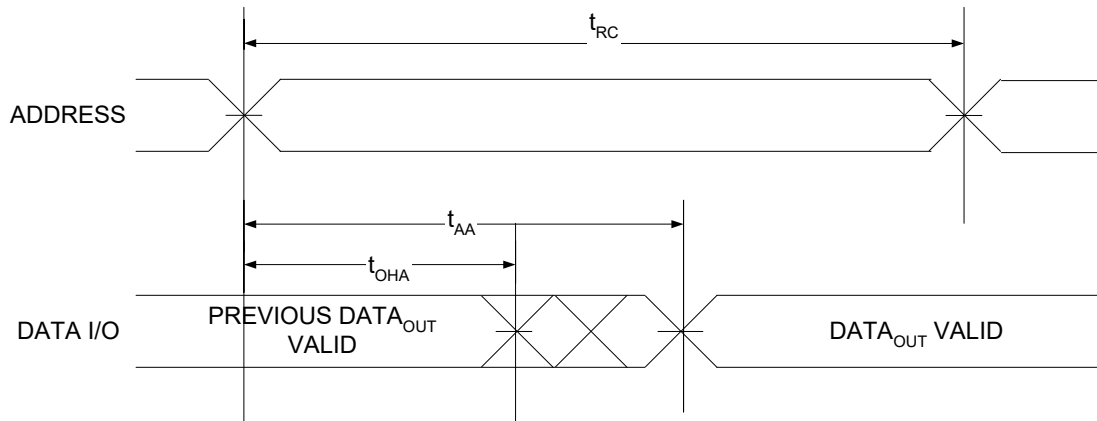
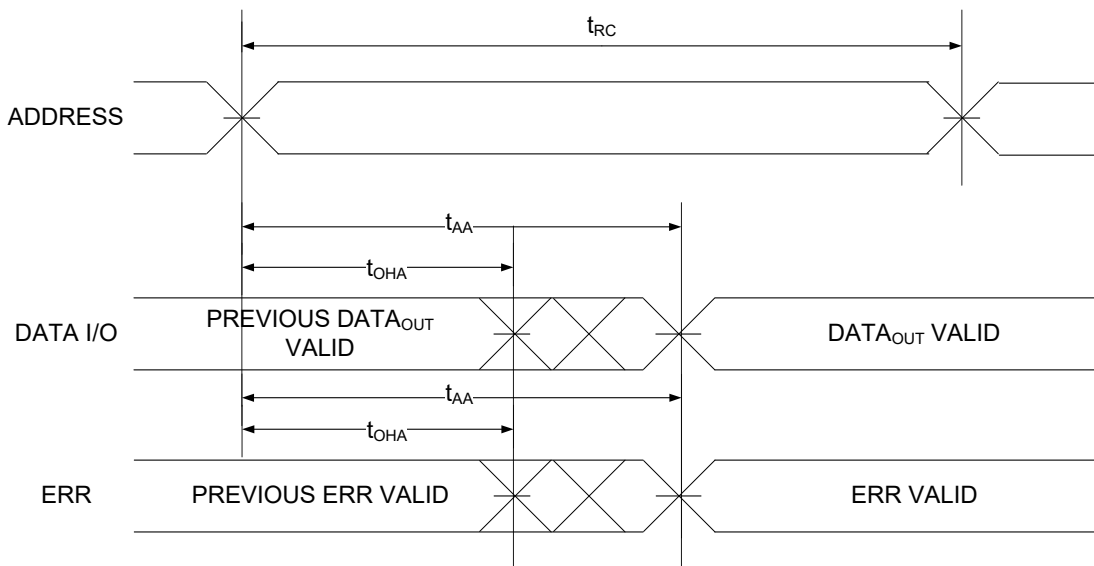


図 10. CY7C1041GE の読み出しサイクル 1 (アドレス遷移制御) [22、23]

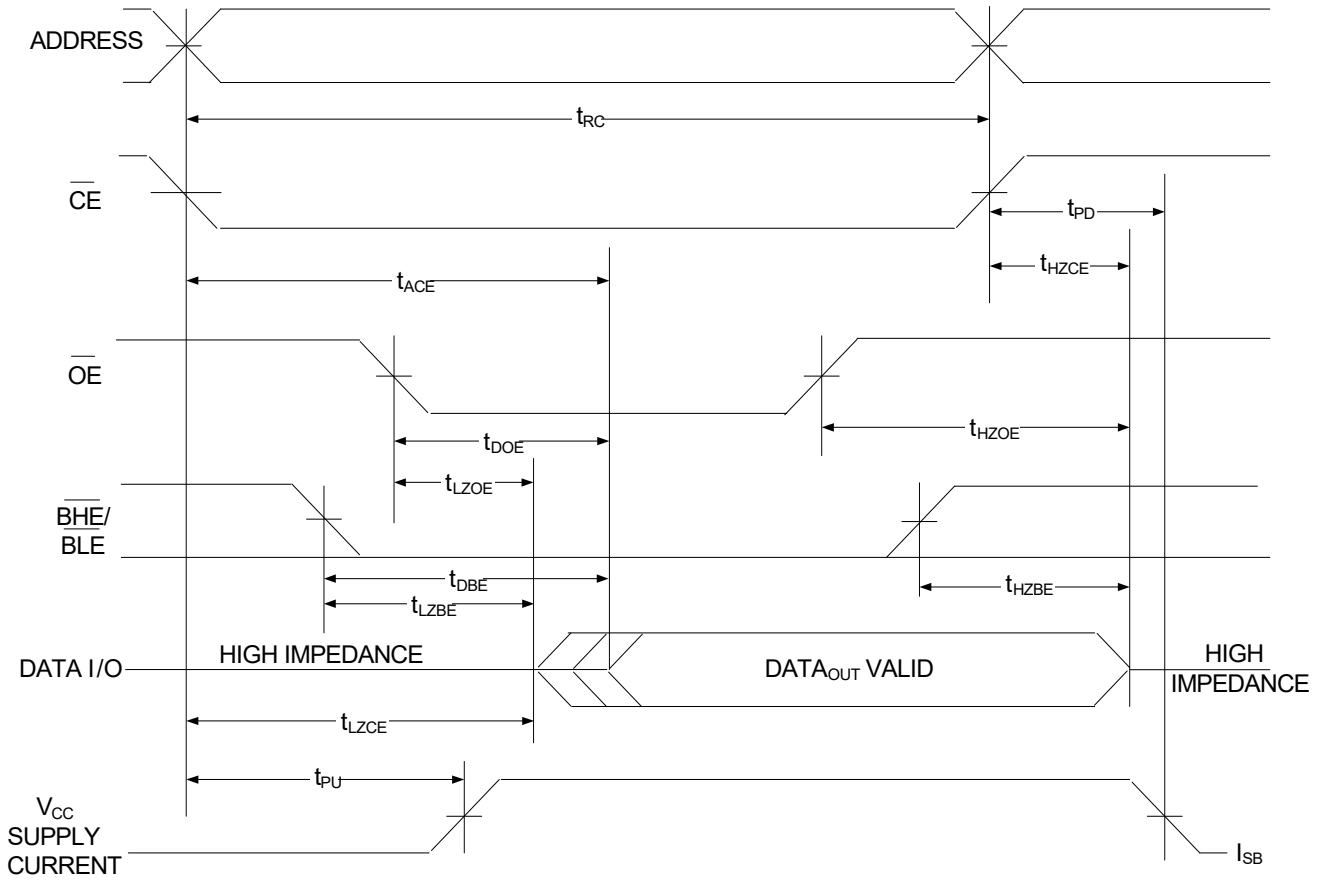


注:

22. デバイスは連続的に選択され、 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} か \overline{BLE} または両方 = V_{IL} です。
 23. 読み出しサイクル中は \overline{WE} は HIGH です。

スイッチング 波形 (続き)

図 11. 読み出しサイクル 2 (\overline{OE} 制御) [24、25]



注:

24. 読み出しサイクルの間は \overline{WE} は HIGH です。

25. \overline{CE} LOW 遷移の前、あるいは同時にアドレスが有効になります。

スイッチング 波形 (続き)

図 12. 書き込みサイクル 1 ($\overline{\text{CE}}$ 制御) [26、27]

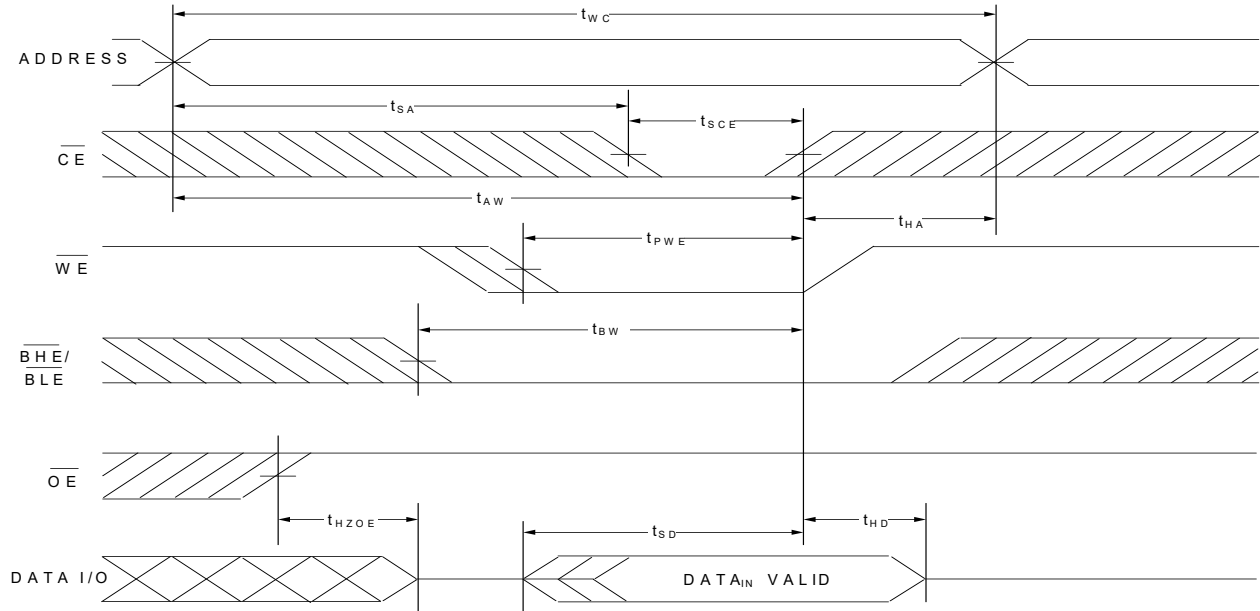
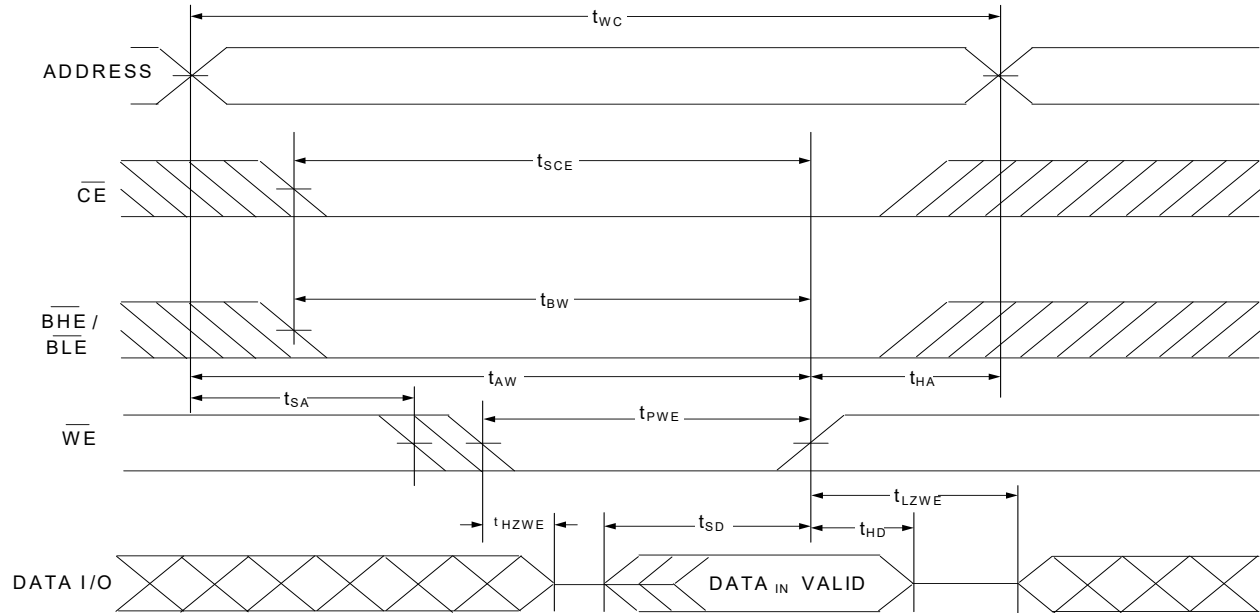


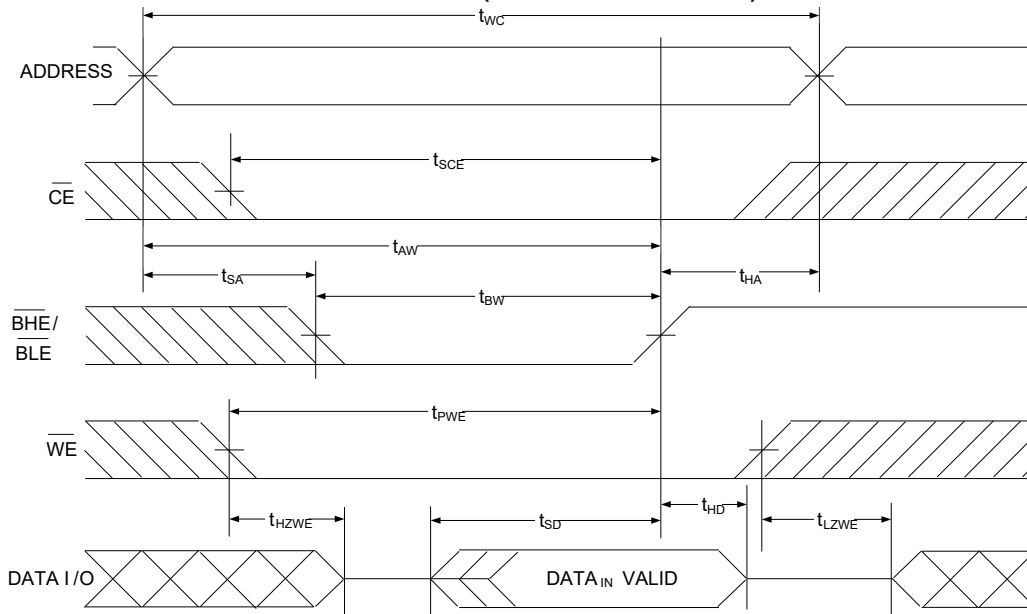
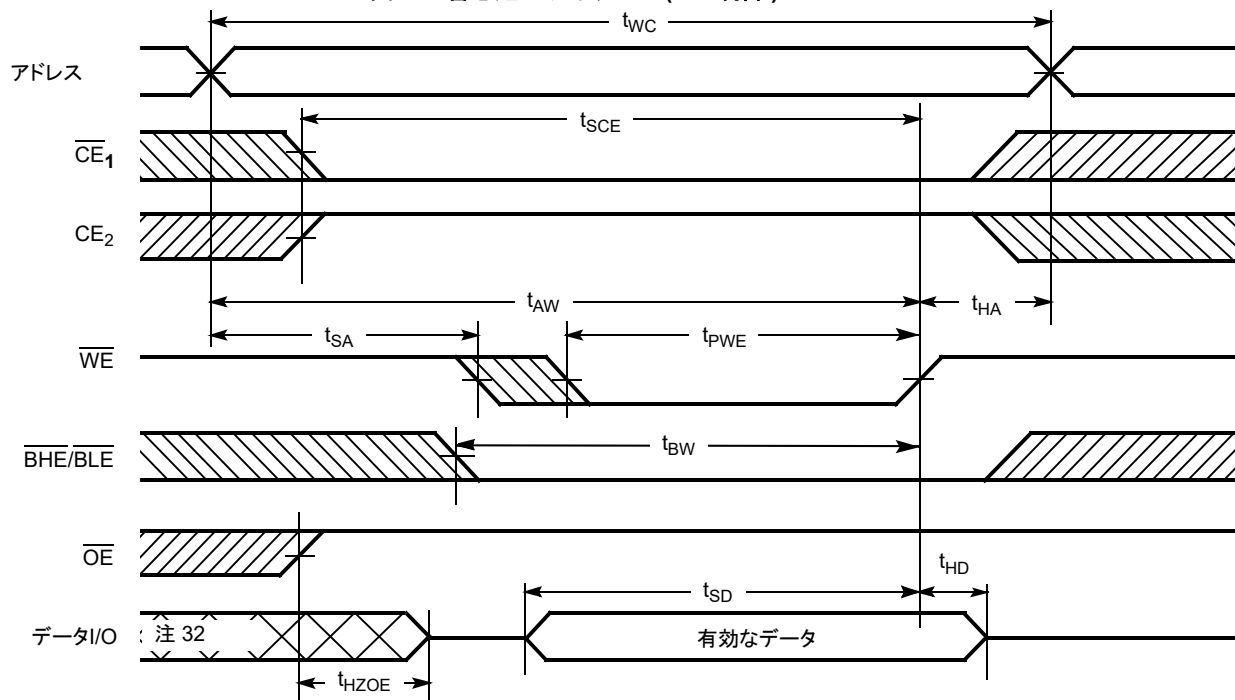
図 13. 書き込みサイクル 2 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [26、27、28]



注:

26. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{IL}$ 、 $\overline{\text{CE}} = V_{IL}$ と $\overline{\text{BHE}}$ または $\overline{\text{BLE}} = V_{IL}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ遷移することで操作を終了できます。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
27. $\overline{\text{CE}} = V_{IH}$ 、または $\overline{\text{OE}} = V_{IH}$ 、または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
28. 最少の書き込みサイクルパルス幅は、 t_{SD} と t_{HZWE} の合計に等しいです。

スイッチング 波形 (続き)

 図 14. 書き込みサイクル 3 ($\overline{\text{BLE}}$ 、または $\overline{\text{BHE}}$ 制御) [29、30]

 図 15. 書き込みサイクル 4 ($\overline{\text{WE}}$ 制御) [29、30、31]


注:

29. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ と $\overline{\text{BHE}}$ または $\overline{\text{BLE}} = V_{\text{IL}}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ遷移することで操作を終了できます。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
30. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\overline{\text{OE}} = V_{\text{IH}}$ 、または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。
31. $\overline{\text{OE}} = V_{\text{IH}}$ の場合データ I/O はハイ インピーダンス状態にあります。
32. この期間中、I/O は出力状態にあります。入力信号を印加しないでください。

真理値表

\overline{CE}	\overline{OE}	\overline{WE}	\overline{BLE}	\overline{BHE}	I/O ₀ –I/O ₇	I/O ₈ –I/O ₁₅	モード	電源
H	X ^[33]	X ^[33]	X ^[33]	X ^[33]	HI-Z	HI-Z	電源切断	スタンバイ (I _{SB})
L	L	H	L	L	データ出力	データ出力	全ビット読み出し	アクティブ (I _{CC})
L	L	H	L	H	データ出力	HI-Z	下位ビットのみの読み出し	アクティブ (I _{CC})
L	L	H	H	L	HI-Z	データ出力	上位ビットのみの読み出し	アクティブ (I _{CC})
L	X	L	L	L	データ入力	データ入力	全ビット書き込み	アクティブ (I _{CC})
L	X	L	L	H	データ入力	HI-Z	下位ビットのみの書き込み	アクティブ (I _{CC})
L	X	L	H	L	HI-Z	データ入力	上位ビットのみの書き込み	アクティブ (I _{CC})
L	H	H	X	X	HI-Z	HI-Z	デバイスが選択され、出力が無効	アクティブ (I _{CC})
L	X	X	H	H	HI-Z	HI-Z	デバイスが選択され、出力が無効	アクティブ (I _{CC})

ERR 出力 – CY7C1041GE

出力 ^[34]	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正済み
HI-Z	デバイスが選択解除／出力が無効／書き込み動作

注:

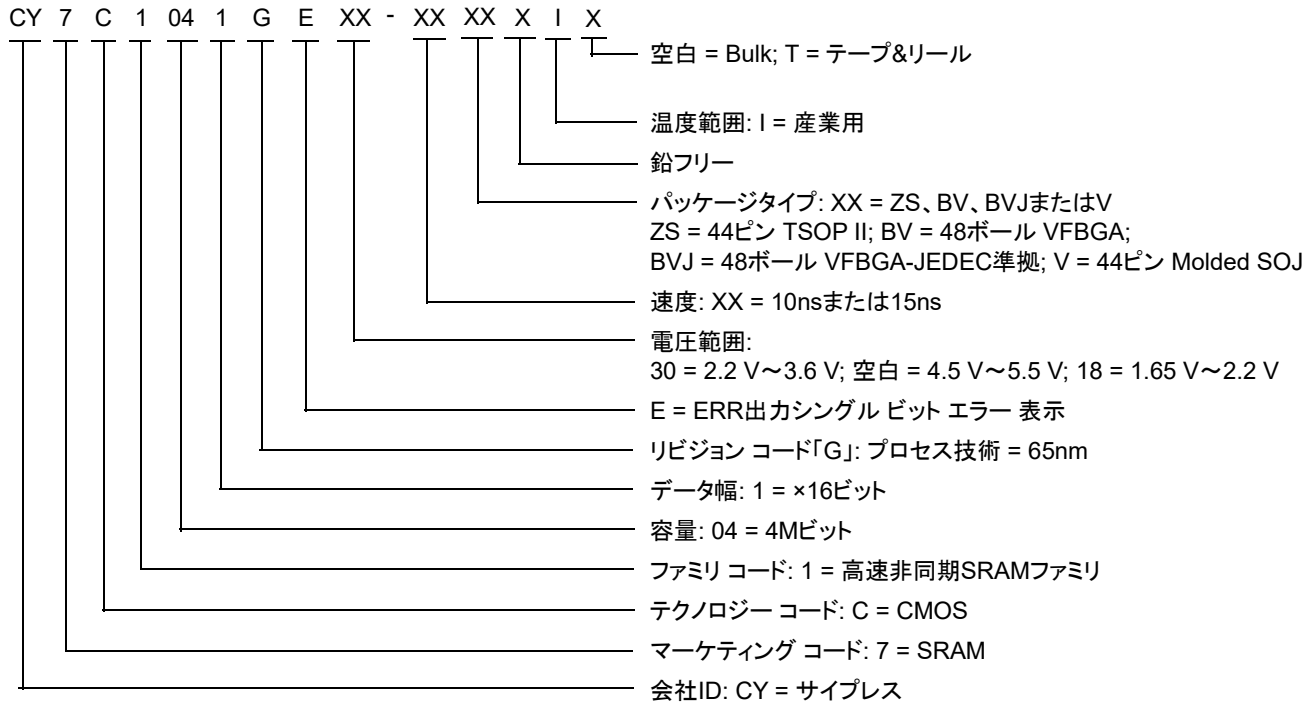
33. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。

34. ERR は出力ピンです。使用しない場合、このピンはフローティング状態のままにしてください。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージ タイプ (すべて鉛フリー)	動作範囲
10	2.2V ~ 3.6V	CY7C1041GE30-10ZSXI	51-85087	44ピン TSOP II, ERR出力	産業用
		CY7C1041GE30-10ZSXIT	51-85087	44ピン TSOP II, ERR出力, テープ&リール	
		CY7C1041G30-10ZSXI	51-85087	44ピン TSOP II	
		CY7C1041G30-10ZSXIT	51-85087	44ピン TSOP II, テープ&リール	
		CY7C1041GE30-10BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), ERR出力	
		CY7C1041GE30-10BVXIT	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), ERR出力, テープ&リール	
		CY7C1041G30-10BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm)	
		CY7C1041G30-10BVXIT	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), テープ&リール	
		CY7C1041G30-10BVJXI	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), JEDEC	
		CY7C1041G30-10BVJXIT	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), JEDEC, テープ&リール	
		CY7C1041G30-10VXI	51-85082	44ピン SOJ (400ミル)	
		CY7C1041G30-10VXIT	51-85082	44ピン SOJ (400ミル), テープ&リール	
		CY7C1041GE30-10VXI	51-85082	44ピン SOJ (400ミル), ERR出力	
		CY7C1041GE30-10VXIT	51-85082	44ピン SOJ (400ミル), ERR出力, テープ&リール	
	4.5V ~ 5.5V	CY7C1041G-10ZSXI	51-85087	44ピン TSOP II	
		CY7C1041G-10ZSXIT	51-85087	44ピン TSOP II, テープ&リール	
		CY7C1041GE-10ZSXI	51-85087	44ピン TSOP II, ERR出力	
		CY7C1041GE-10ZSXIT	51-85087	44ピン TSOP II, ERR出力, テープ&リール	
		CY7C1041GE-10VXI	51-85082	44ピン SOJ (400ミル), ERR出力	
		CY7C1041GE-10VXIT	51-85082	44ピン SOJ (400ミル), ERR出力, テープ&リール	
		CY7C1041G-10VXI	51-85082	44ピン SOJ (400ミル)	
		CY7C1041G-10VXIT	51-85082	44ピン SOJ (400ミル), テープ&リール	
15	1.65V ~ 2.2V	CY7C1041G18-15ZSXI	51-85087	44ピン TSOP II	
		CY7C1041G18-15ZSXIT	51-85087	44ピン TSOP II, テープ&リール	
		CY7C1041G18-15VXI	51-85082	44ピン SOJ (400ミル)	
		CY7C1041G18-15VXIT	51-85082	44ピン SOJ (400ミル), テープ&リール	
		CY7C1041G18-15BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm)	
		CY7C1041G18-15BVXT	51-85150	48ボール VFBGA (6 × 8 × 1.0 mm), テープ&リール	

注文コードの定義



パッケージ図

図 16. 44 ピン TSOP II (Z44) パッケージ外形図、51-85087

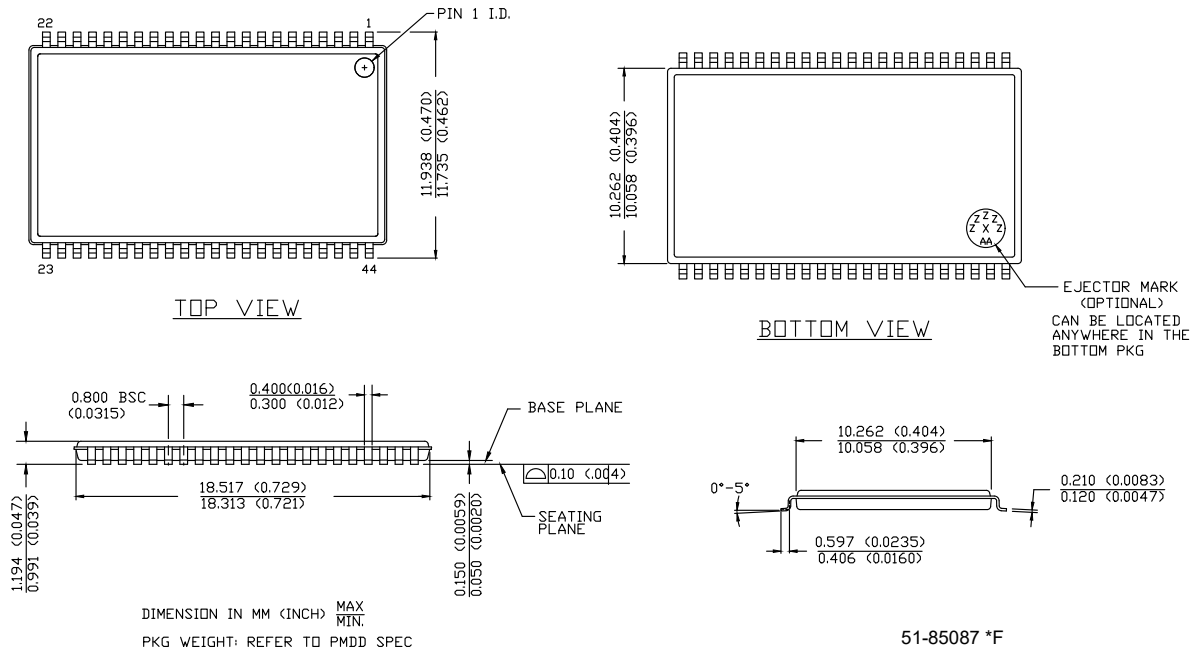
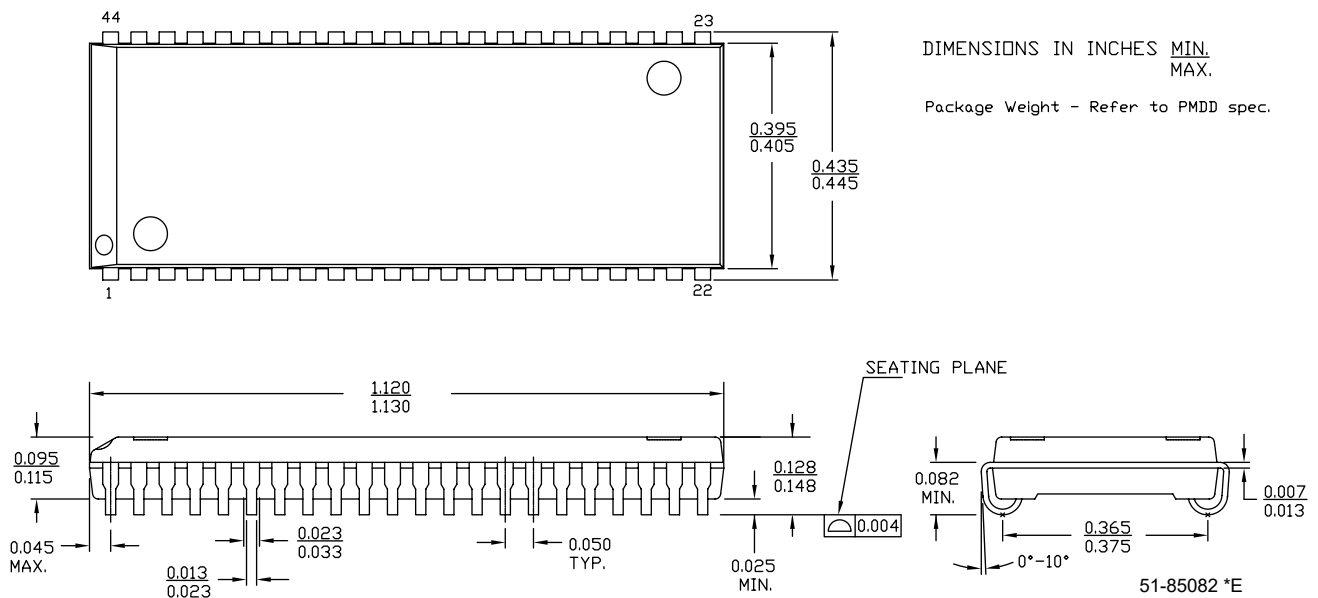
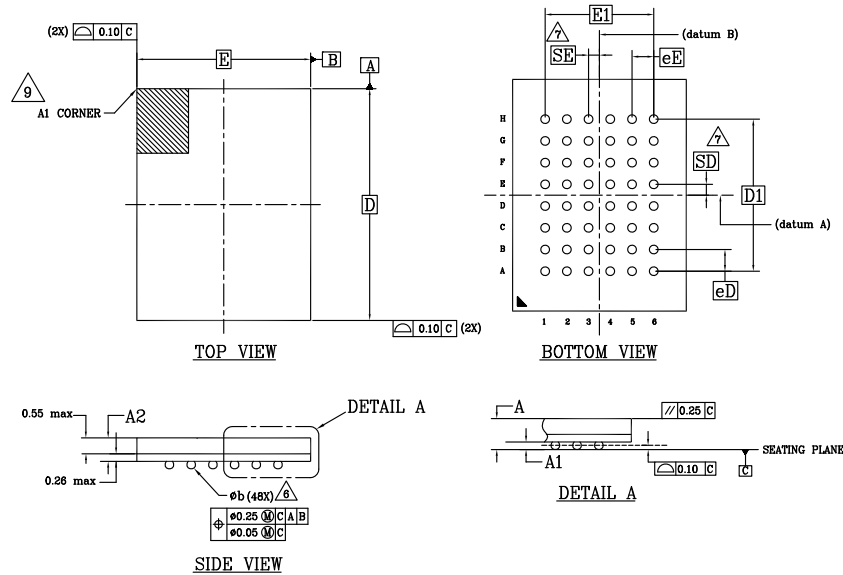


図 17. 44 ピン SOJ (400Mil) パッケージ外形図、51-85082



パッケージ図 (続き)

図 18. 48 ボール VFBGA (6 × 8 × 1.0mm) BV48/BZ48 パッケージ外形図、51-85150



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	-	-
A2	-	-	0.81
D	8.00 BSC		
E	6.00 BSC		
D1	5.25 BSC		
E1	3.75 BSC		
MD	8		
ME	6		
n	48		
Ø b	0.25	0.30	0.35
eE	0.75 BSC		
eD	0.75 BSC		
SD	0.375 BSC		
SE	0.375 BSC		

NOTES:

- DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-2009.
 - ALL DIMENSIONS ARE IN MILLIMETERS.
 - BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
 - REPRESENTS THE SOLDER BALL GRID PITCH.
 - SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- △ DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- △ "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW
"SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW,
"SD" = eD/2 AND "SE" = eE/2.
- △ ** INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- △ A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.

51-85150 *1

略語

略語	説明
$\overline{\text{BHE}}$	バイト High イネーブル
$\overline{\text{BLE}}$	バイト Low イネーブル
$\overline{\text{CE}}$	チップ イネーブル
CMOS	相補型金属酸化膜半導体
I/O	入力／出力
$\overline{\text{OE}}$	出力イネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
TTL	トランジスタ - トランジスタ ロジック
VFBGA	超ファインピッチ ボール グリッド アレイ
$\overline{\text{WE}}$	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1041G / CY7C1041GE、エラー訂正コード (ECC) 内蔵 4M ビット (256K ワード ×16 ビット) スタティック RAM
文書番号 : 001-96522

版	ECN 番号	発行日	変更内容
**	4669813	03/26/2015	これは英語版 001-91368 Rev. *C を翻訳した日本語版 001-96522 Rev. ** です。
*A	4908502	09/07/2015	これは英語版 001-91368 Rev. *G を翻訳した日本語版 001-96522 Rev. *A です。
*B	5154142	03/02/2016	これは英語版 001-91368 Rev. *I を翻訳した日本語版 001-96522 Rev. *B です。
*C	6909173	07/02/2020	これは英語版 001-91368 Rev. *N を翻訳した日本語版 001-96522 Rev. *C です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2014-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。))を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。)のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。