



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。



CY62168G/CY62168GE MoBL

带纠错码 (ECC) 的 16 Mbit (2 M 字 × 8 位) 静态 RAM

特性

- 超低待机功耗
 - 典型待机电流: 5.5 μ A
 - 最大待机电流: 16 μ A
- 高速率: 45 ns / 55 ns
- 用于单比特错误纠正的嵌入式纠错码 (ECC)
- 电压范围广: 1.65 V 至 2.2 V, 2.2 V 至 3.6 V, 4.5 V 至 5.5 V
- 1.0 V 数据保持
- 晶体管 - 晶体管逻辑 (TTL) 与输入和输出兼容
- ERR 引脚用于表示单比特错误的检测和校正
- 适用于无铅的 48 球形焊盘 VFBGA 封装

功能描述

CY62168G 和 CY62168GE 是带嵌入式 ECC 的高性能 CMOS 低功耗 (MoBL[®]) SRAM 器件。这两种器件均支持单和双芯片使能选项以及多种引脚配置。CY62168GE 器件具有一个错误指示引脚，用于通知读周期中的单比特错误检测和纠正事件。

通过将芯片使能输入 (\overline{CE}) 置为低电平，可以访问单芯片使能器件。通过置位两个芯片使能输入 (CE_1 被置为低电平, CE_2 被置为高电平)，可以访问双芯片使能器件。

通过分别将芯片使能 1 (\overline{CE}_1) 和芯片使能 2 (CE_2) 置为低电平和高电平，并将写入使能 (WE) 置为低电平，可以对器件进行写操作。然后，将 8 个 I/O 引脚上的数据 (I/O_0 至 I/O_7) 写入到地址引脚 (A_0 至 A_{20}) 所指定的位置。

通过将芯片使能 1 (\overline{CE}_1) 和输出使能 (\overline{OE}) 置为低电平，并将芯片使能 2 (CE_2) 置为高电平，同时驱动写入使能 (WE) 为高电平，可以对器件进行读操作。在这些条件下，地址引脚所指定的存储器位置中的内容将显示在 I/O 引脚上。

在下面各条件下，8 个输入和输出引脚 (I/O_0 至 I/O_7) 将处于高阻态：取消选择器件 (CE_1 为高电平或 CE_2 为低电平)，输出处于禁用状态 (OE 为高电平)，或正在进行写操作 (CE_1 为低电平、 CE_2 为高电平和 WE 为低电平)。请参考第 14 页上的真值表 — CY62168G/CY62168GE，了解读写模式的完整说明。

在 CY62168GE 器件上，通过设置 ERR 输出 (ERR = 高电平)^[1]，可以指示访问位置中单比特错误的检测和校正。

CY62168G 和 CY62168GE 器件适用于无铅的 48 球形焊盘 VFBGA 封装。逻辑框图位于第二页。

要获取相关资源的完整列表，请点击[这里](#)。

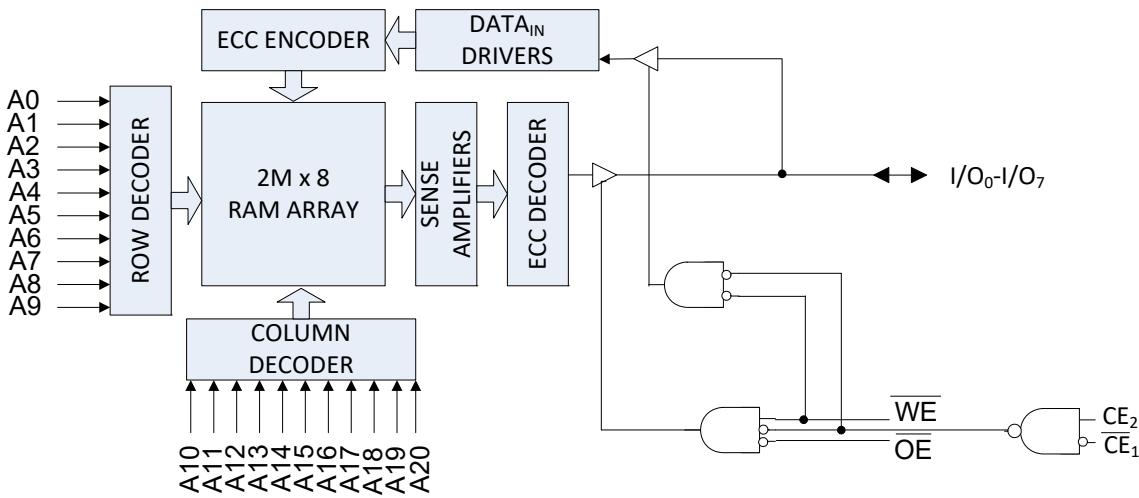
产品系列概述

产品	功能与选项 (请参阅“ 引脚配置 ”一节)	范围	V_{CC} 范围 (V)	速率 (ns)	功耗			
					工作电流 I_{CC} , (mA)		待机电流 I_{SB2} , (μ A)	
					$f = f_{max}$	典型值 ^[2]	最大值	典型值 ^[2]
CY62168G(E)18	单个或两个芯片使能	工业级	1.65 V 至 2.2 V	55	29	32	4	23
CY62168G(E)30 ^[3, 4]	可选 ERR 引脚		2.2 V 至 3.6 V	45	29	36	3.2	16
CY62168(E)			4.5 V 至 5.5 V					

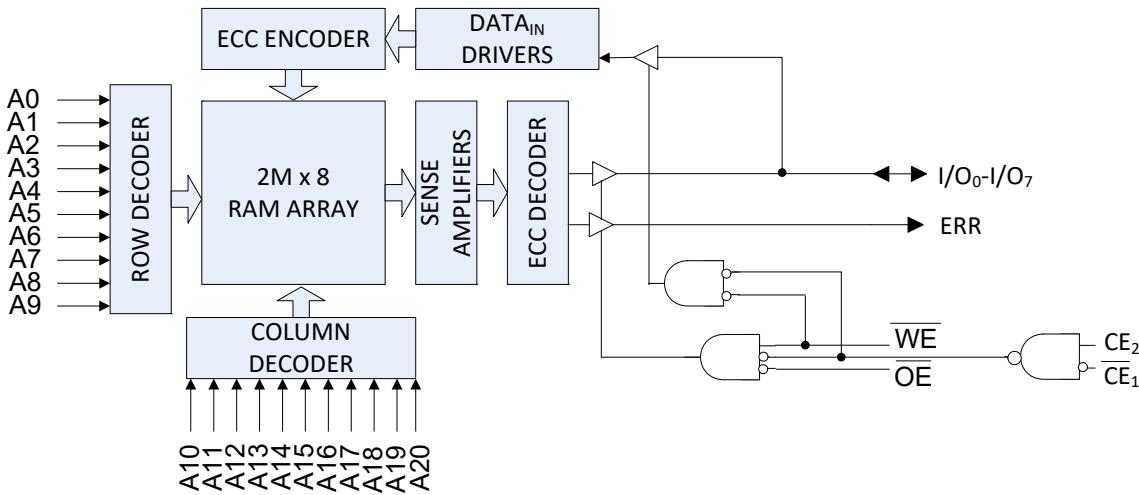
注释:

1. 检测到错误时，该器件不支持自动回写功能。
2. 典型值仅供参考，并不能保证，也未经过测试。典型值的适用条件为： $V_{CC} = 1.8$ V (V_{CC} 范围为 1.65 V–2.2 V)， $V_{CC} = 3$ V (V_{CC} 范围为 2.2 V–3.6 V)， $V_{CC} = 5$ V (V_{CC} 范围为 4.5 V–5.5 V)， $T_A = 25$ °C。
3. 与当前版本具有相同营销部件号的器件相比，此器件使用了改进的 I_{CC} 、 I_{SB1} 和 I_{SB2} 规格。新的器件将从 WW1952 开始生产。欲了解更多信息，请联系赛普拉斯销售代表。
4. 有关此器件的下一版本信息，请参考[这里](#)。有关当前版本和新版本之间的改进和对比的更多详细信息，请参见 PCN193805。

逻辑框图 — CY62168G



逻辑框图 — CY62168GE



目录

引脚配置	4
最大额定值	5
工作范围	5
直流电气特性	5
电容	7
热阻	7
交流测试负载和波形	7
数据保持特性	8
数据保持波形	8
开关特性	9
开关波形	10
真值表 — CY62168G/CY62168GE	14
ERR 输出 — CY62168GE	14

订购信息	15
订购代码定义	15
封装图	16
缩略语	17
文档规范	17
测量单位	17
文档修订记录页	18
销售、解决方案和法律信息	19
全球销售和设计支持	19
产品	19
PSoC® 解决方案	19
赛普拉斯开发者社区	19
技术支持	19

引脚配置

图 1.48 球形焊盘 VFBGA (6 × 8 × 1mm) 引脚分配^[5]
CY62168G

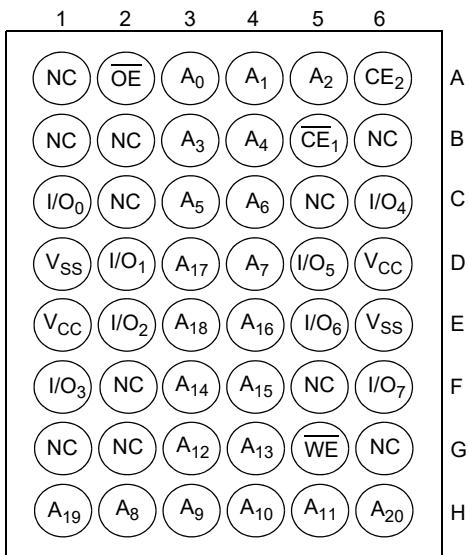
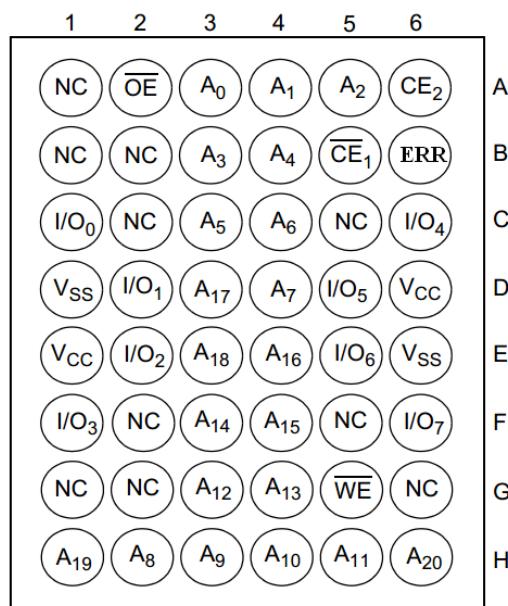


图 2.48 球形焊盘 VFBGA (6 × 8 × 1mm) 引脚分配^[5, 6]
CY62168GE



注释:

5. NC 引脚没有与裸片 (die) 内部连接, 而通常用于更高容量器件中的地址扩展。有关引脚配置的信息, 请参阅各自的数据手册。
6. ERR 是输出引脚。如果未使用, 此引脚应保持浮动。

最大额定值

超过最大额定值时，会缩短器件的使用寿命。用户指导未经过测试。

存放温度	−65 °C 至 +150 °C
通电状态下的环境温度	−55 °C 至 +125 °C
接地电位的供电电压	−0.5 V 至 6 V
应用于高阻状态下的输出的直流电压 ^[7]	−0.5 V 至 $V_{CC} + 0.5$ V
直流输入电压 ^[7]	−0.5 V 至 $V_{CC} + 0.5$ V

直流电气特性

工作温度范围为 −40 °C 至 85 °C

参数	说明	测试条件	45 / 55 ns			单位
			最小值	典型值 ^[9]	最大值	
V_{OH}	输出高电压	1.65 V 至 2.2 V, V_{CC} = 最小值, $I_{OH} = -0.1$ mA	1.4	—	—	V
		2.2 V 至 2.7 V, V_{CC} = 最小值, $I_{OH} = -0.1$ mA	2.0	—	—	V
		2.7 V 至 3.6 V, V_{CC} = 最小值, $I_{OH} = -1.0$ mA	2.4	—	—	V
		4.5 V 至 5.5 V, V_{CC} = 最小值, $I_{OH} = -1.0$ mA	2.4	—	—	V
		4.5 V 至 5.5 V, V_{CC} = 最小值, $I_{OH} = -0.1$ mA	$V_{CC} - 0.4$ ^[10]	—	—	V
V_{OL}	输出低电压	1.65 V 至 2.2 V, V_{CC} = 最小值, $I_{OL} = 0.1$ mA	—	—	0.2	V
		2.2 V 至 2.7 V, V_{CC} = 最小值, $I_{OL} = 0.1$ mA	—	—	0.4	V
		2.7 V 至 3.6 V, V_{CC} = 最小值, $I_{OL} = 2.1$ mA	—	—	0.4	V
		4.5 V 至 5.5 V, V_{CC} = 最小值, $I_{OL} = 2.1$ mA	—	—	0.4	V
V_{IH}	输入高电压	1.65 V 至 2.2 V, —	1.4	—	$V_{CC} + 0.2$	V
		2.2 V 至 2.7 V, —	1.8	—	$V_{CC} + 0.3$	V
		2.7 V 至 3.6 V, —	2.0	—	$V_{CC} + 0.3$	V
		4.5 V 至 5.5 V, —	2.2	—	$V_{CC} + 0.5$	V
V_{IL}	输入低电平电压 ^[11]	1.65 V 至 2.2 V, —	−0.2	—	0.4	V
		2.2 V 至 2.7 V, —	−0.3	—	0.6	V
		2.7 V 至 3.6 V, —	−0.3	—	0.8	V
		4.5 V 至 5.5 V, —	−0.5	—	0.8	V
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	−1.0	—	+1.0	μA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	−1.0	—	+1.0	μA

注释:

7. 在脉冲时间小于 2 ns 时, $V_{IL(min)} = -2.0$ V 以及 $V_{IH(max)} = V_{CC} + 2$ V。
8. 完整的器件交流操作假设 0 到 $V_{CC(min)}$ 的升降时间为 100 μs , V_{CC} 稳定下来的等待时间为 200 μs 。
9. 典型值仅供参考，并不能保证，也未经过测试。典型值的适用条件为: $V_{CC} = 1.8$ V (对于 V_{CC} 范围为 1.65 V 至 2.2 V), $V_{CC} = 3$ V (对于 V_{CC} 范围为 2.2 V 至 3.6 V), $V_{CC} = 5$ V (对于 V_{CC} 范围为 4.5 V 至 5.5 V), $T_A = 25$ °C。
10. 此参数由设计保证，未经测试。
11. 在脉冲时间小于 20 ns 时, $V_{IL(min)} = -2.0$ V 以及 $V_{IH(max)} = V_{CC} + 2$ V。

输出电流到输出 (低电平) 20 mA
 静电放电电压 (MIL-STD-883, M. 3015) >2001 V
 桩锁电流 >140 mA

工作范围

等级	环境温度	V_{CC} ^[8]
工业级	−40°C 至 +85°C	1.65 V 至 2.2 V、 2.2 V 至 3.6 V、 4.5 V 至 5.5 V

直流电气特性

工作温度范围为 -40°C 至 85°C

参数	说明	测试条件	45 / 55 ns			单位	
			最小值	典型值 [9]	最大值		
I_{CC} [12,13]	V_{CC} 工作供应电流	$V_{CC} = \text{最大值}, I_{OUT} = 0 \text{ mA}, \text{CMOS 电平}$	$f = 22.22 \text{ MHz (45 ns)}$	—	29.0	36.0	mA
			$f = 18.18 \text{ MHz (55 ns)}$	—	29.0	32.0	mA
			$f = 1 \text{ MHz}$	—	7.0	9.0	mA
I_{SB1} [12,13, 14]	自动断电电流 —CMOS 输入; $V_{CC} = 2.2$ 至 3.6 V 和 4.5 至 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ 或 $CE_2 \leq 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$, $V_{IN} \leq 0.2 \text{ V}$, $f = f_{max}$ (地址和数据), $f = 0$ (\overline{OE} 和 \overline{WE}), $V_{CC} = V_{CC(max)}$	—	5.5	16.0	μA	
	自动断电电流 —CMOS 输入; $V_{CC} = 1.65$ to 2.2 V		—	7	26.0	μA	
I_{SB2} [12,13, 14]	自动断电电流 —CMOS 输入; $V_{CC} = 2.2$ 至 3.6 V 和 4.5 至 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ 或 $CE_2 \leq 0.2 \text{ V}$ 或 $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$, $f = 0$, $V_{CC} = V_{CC(max)}$	25°C [15]	—	5.5	6.5	μA
	40°C [15]		—	6.3	8.0	μA	
	70°C [15]		—	8.4	12.0	μA	
	85°C		—	12.0 [15]	16.0	μA	
	自动断电电流 —CMOS 输入; $V_{CC} = 1.65$ 到 2.2 V	$\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ 或 $CE_2 \leq 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$, $f = 0$, $V_{CC} = V_{CC(max)}$	—	7.0	26.0	μA	

注释:

12. 与当前版本具有相同营销部件号的器件相比，此器件使用了改进的 I_{CC} , I_{SB1} 和 I_{SB2} 规格。新的器件将从 WW1952 开始生产。欲了解更多信息，请联系赛普拉斯销售代表。
13. 有关此器件的下一版本信息，请参考[这里](#)。有关当前版本和新版本之间的改进和对比的更多详细信息，请参见 [PCN193805](#)。
14. 芯片使能 (\overline{CE}_1 和 CE_2) 必须连接至 CMOS 电平，以满足 $I_{SB1}/I_{SB2}/I_{CCDR}$ 规范。其他输入可处于悬空状态。
15. I_{SB2} 的温度限制为 25°C 、 40°C 、 70°C ，并且典型温度值限制为 85°C 。这些限制仅通过了设计保证，并未经过 100% 的测试。

电容

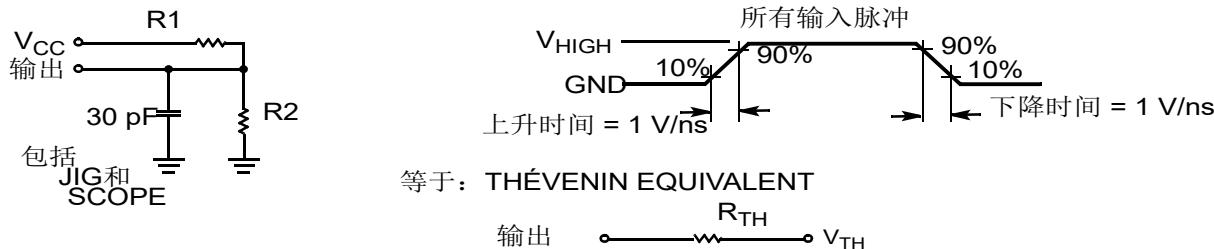
参数 ^[16]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ C, f = 1 MHz, V_{CC} = V_{CC(\text{typ})}$	10	pF
C_{OUT}	输出电容		10	pF

热阻

参数 ^[16]	说明	测试条件	48 球形焊盘 VFBGA	单位
Θ_{JA}	热阻（结温）	在无风环境中，被焊接至 3×4.5 英寸的四层印刷电路板上	31.50	$^\circ C/W$
Θ_{JC}	热阻（壳温）		15.75	$^\circ C/W$

交流测试负载和波形

图 3. 交流测试负载和波形



参数	1.8 V	2.5 V	3.0 V	5.0 V	单位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.8	1.2	1.75	1.77	V
V_{HIGH}	1.8	2.5	3.0	5.0	V

注释:

16. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。

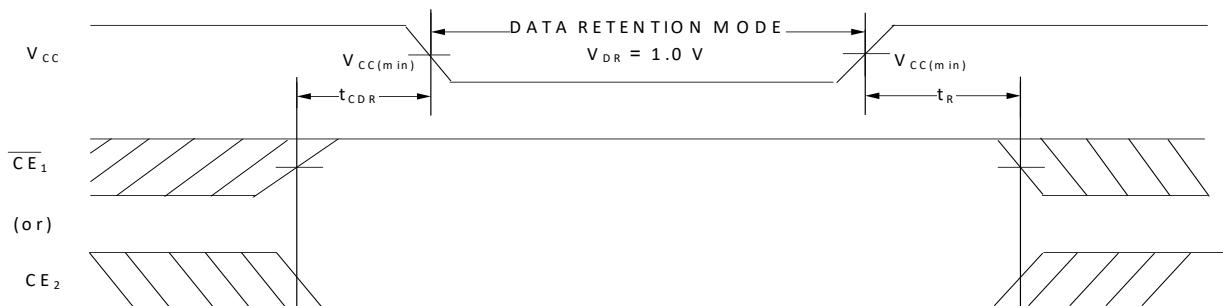
数据保持特性

在工作范围内

参数	说明	条件	最小值	典型值 ^[17]	最大值	单位
V_{DR}	数据保持的 V_{CC}		1.0	—	—	V
I_{CCDR} ^[18, 19, 20, 21]	数据保持电流	$1.2 \text{ V} \leq V_{CC} \leq 2.2 \text{ V}$, $\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ 或 $CE_2 \leq 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$	—	7.0	26.0	μA
		$2.2 \text{ V} < V_{CC} \leq 3.6 \text{ V}$ 或 $4.5 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$, $\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ 或 $CE_2 \leq 0.2 \text{ V}$, $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$	—	5.5	16.0	μA
t_{CDR} ^[22]	芯片取消选择到数据保持的时长		0	—	—	—
t_R ^[22, 23]	操作恢复的时间		45/55	—	—	ns

数据保持波形

图 4. 数据保持波形



注释:

17. 典型值仅供参考，并不能保证，也未经过测试。典型值的适用条件为： $V_{CC} = 1.8 \text{ V}$ （对于 V_{CC} 范围为 1.65 V 至 2.2 V ）， $V_{CC} = 3 \text{ V}$ （对于 V_{CC} 范围为 2.2 V 至 3.6 V ）， $V_{CC} = 5 \text{ V}$ （对于 V_{CC} 范围为 4.5 V 至 5.5 V ）， $T_A = 25^\circ\text{C}$ 。
18. 芯片使能 (\overline{CE}_1 和 CE_2) 必须连接至 CMOS 电平，以满足 $I_{SB1}/I_{SB2}/I_{CCDR}$ 规范。其他输入可处于悬空状态。
19. 第一次器件以 $V_{CC(\min)}$ 通电，然后再降至 V_{DR} 后， I_{CCDR} 才能得到保证。
20. 与当前版本具有相同营销部件号的器件相比，此器件使用了改进的 I_{CC} ， I_{SB1} 和 I_{SB2} 规格。新的器件将从 WW1952 开始生产。欲了解更多信息，请联系赛普拉斯销售代表。
21. 有关此器件的下一版本信息，请参考[这里](#)。有关当前版本和新版本之间的改进和对比的更多详细信息，请参见 [PCN193805](#)。
22. 这些参数由设计保证。
23. 完整的器件操作要求 V_{DR} 到 $V_{CC(\min)}$ 的线性 V_{CC} 升降时长 $\geq 100 \mu\text{s}$ ，或该时间在 $V_{CC(\min)}$ 上保持 $\geq 100 \mu\text{s}$ 。

开关特性

参数 [24, 25]	说明	45 ns		55 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{RC}	读周期的时间	45.0	—	55.0	—	ns
t_{AA}	从寻址到数据有效 / 从寻址到 ERR 有效的时间	—	45.0	—	55.0	ns
t_{OHA}	地址更改后的数据保持 / ERR 保持时间	10.0	—	10.0	—	ns
t_{ACE}	\overline{CE}_1 为低电平和 CE_2 为高电平到数据有效 / \overline{CE} 为低电平到 ERR 有效的时间	—	45.0	—	55.0	ns
t_{DOE}	\overline{OE} 为低电平到数据有效 / \overline{OE} 为低电平到 ERR 有效的时间	—	22.0	—	25.0	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时间 [25, 26]	5.0	—	5.0	—	ns
t_{HZOE}	\overline{OE} 为高电平到高阻状态的时间 [25, 26, 27]	—	18.0	—	18.0	ns
t_{LZCE}	\overline{CE}_1 为低电平和 CE_2 为高电平到低阻态的时间 [25, 26]	10.0	—	10.0	—	ns
t_{HZCE}	\overline{CE}_1 为高电平和 CE_2 为低电平到高阻态的时间 [25, 26, 27]	—	18.0	—	18.0	ns
t_{PU} [28]	\overline{CE}_1 为低电平和 CE_2 为高电平到上电的时间	0	—	0	—	ns
t_{PD} [28]	\overline{CE}_1 为高电平和 CE_2 为低电平到断电的时间	—	45.0	—	55.0	ns
写周期 [29, 30]						
t_{WC}	写周期的时间	45.0	—	55.0	—	ns
t_{SCE}	\overline{CE}_1 为低电平和 CE_2 为高电平 到写周期结束的时间	35.0	—	40.0	—	ns
t_{AW}	从地址建立到写周期结束的时间	35.0	—	40.0	—	ns
t_{HA}	写周期结束后地址保留时间	0	—	0	—	ns
t_{SA}	地址建立到写周期开始的时间	0	—	0	—	ns
t_{PWE}	\overline{WE} 脉冲宽度	35.0	—	40.0	—	ns
t_{SD}	从数据建立到写周期结束的时间	25.0	—	25.0	—	ns
t_{HD}	写周期结束后数据保持时间	0	—	0	—	ns
t_{HZWE}	\overline{WE} 为低电平到高阻态的时间 [25, 26, 27]	—	18.0	—	20.0	ns
t_{LZWE}	\overline{WE} 为高电平到低阻态的时间 [25, 26]	10.0	—	10.0	—	ns

注释:

24. 假设测试条件如下：信号跃变时间（上升 / 下降）等于或低于 3 ns，时序参考电平为 1.5 V（对于 $V_{CC} \geq 3$ V）和 $V_{CC}/2$ （对于 $V_{CC} < 3$ V），输入脉冲电平范围为 0 至 3 V（对于 $V_{CC} \geq 3$ V）和 0 至 V_{CC} （对于 $V_{CC} < 3$ V）。除非另有说明，否则读周期的测试条件使用的是“交流测试负载和波形”一节中所显示的输出加载。
25. 在所有温度和电压范围条件下，对于所有器件， t_{HZCE} 低于 t_{LZCE} ， t_{HZOE} 低于 t_{LZOE} 和 t_{HZWE} 低于 t_{LZWE} 。
26. 初始测试和任何设计或流程更改后可能影响到这些参数的测试。
27. t_{HZOE} 、 t_{HZCE} 和 t_{HZWE} 转换的测量条件为输出处于高阻态。
28. 这些参数由设计保证，并未经过测试。
29. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 和 $CE_2 = V_{IH}$ ，可以定义存储器的内部写入时间。要求所有信号必须处于 ACTIVE 状态以启动写周期，并且将任何信号进入 INACTIVE 状态以终止它。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
30. 第二个写周期（ \overline{WE} 被控制， \overline{OE} 为低电平）的最小写周期脉冲宽度为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 5. CY62168G 的第一个读周期（地址转换控制）[31, 32]

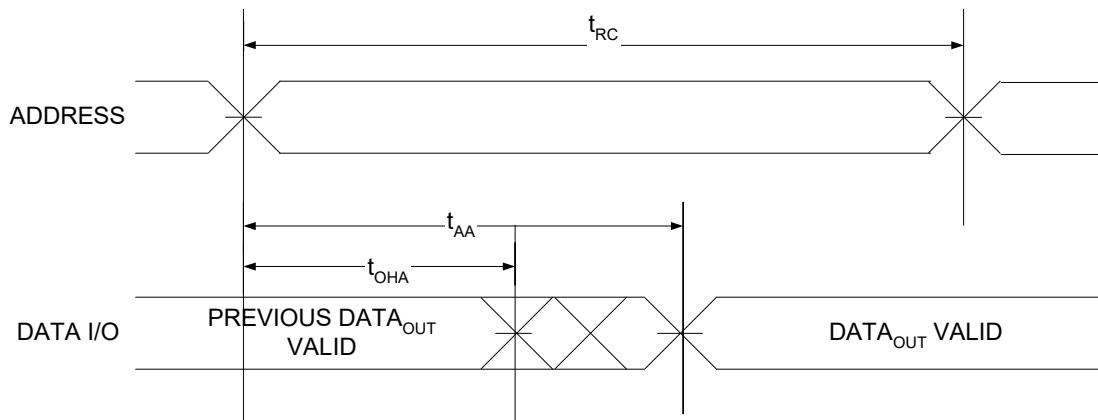
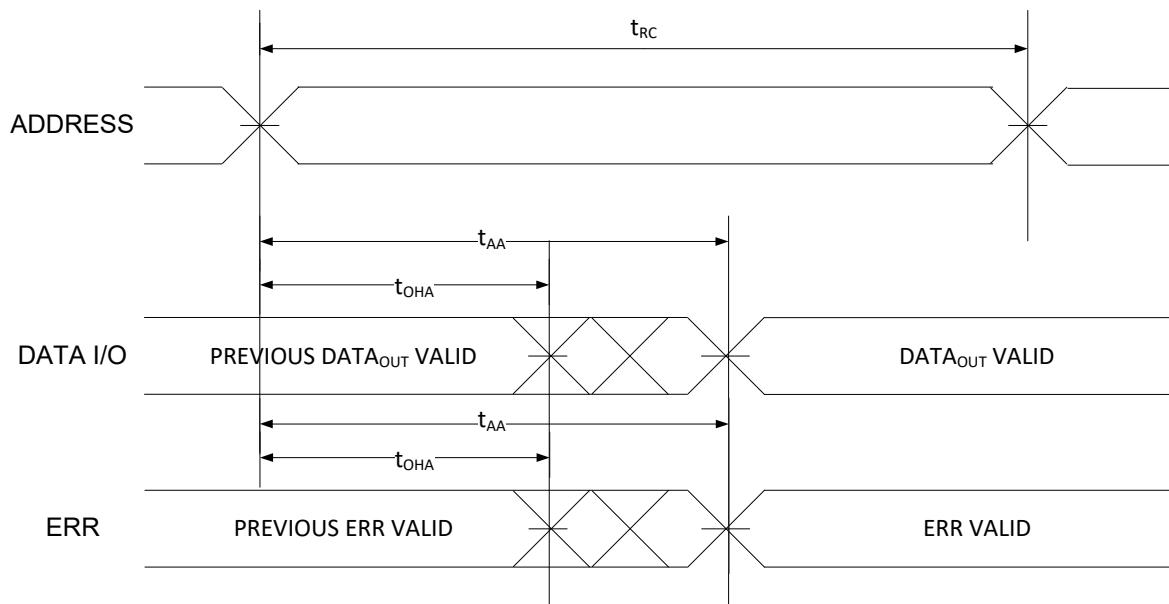


图 6. CY62168GE 的第一个读周期（地址转换控制）[31, 32]

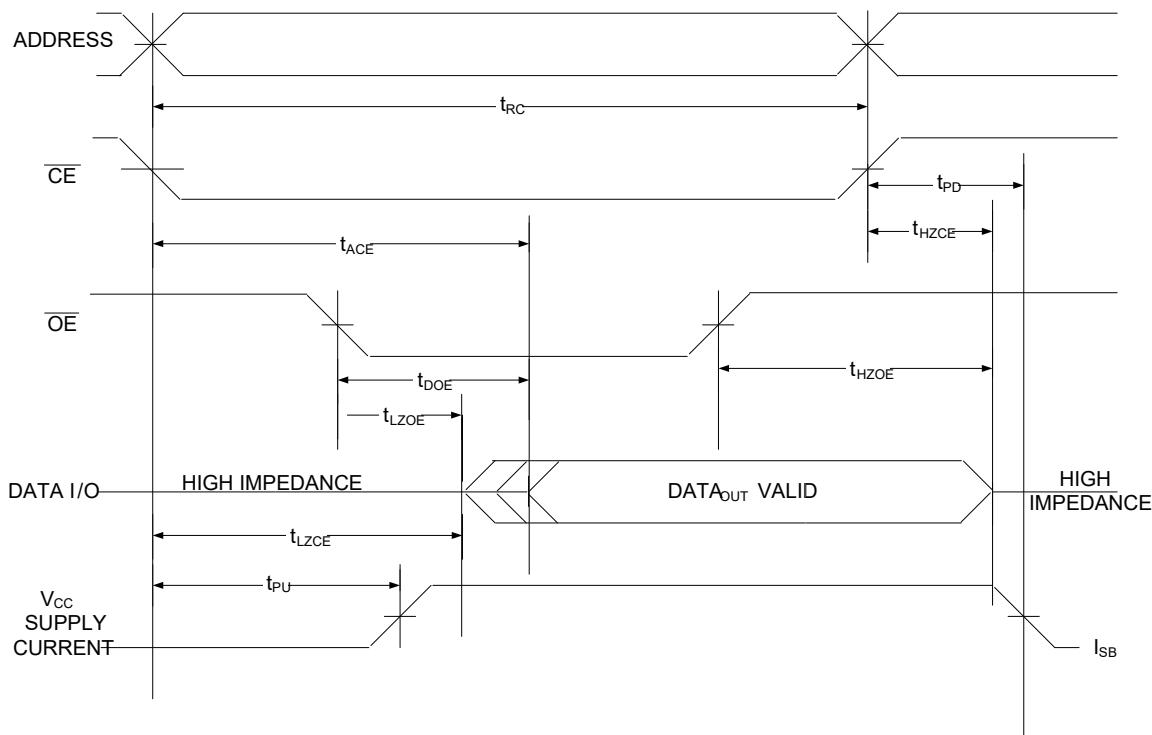


注释：

31. 一直选中器件。 $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$ 。
32. \overline{WE} 为高电平时，会执行读周期。

开关波形 (续)

图 7. 第二个读周期 (\overline{OE} 被控制) [33, 34, 35]

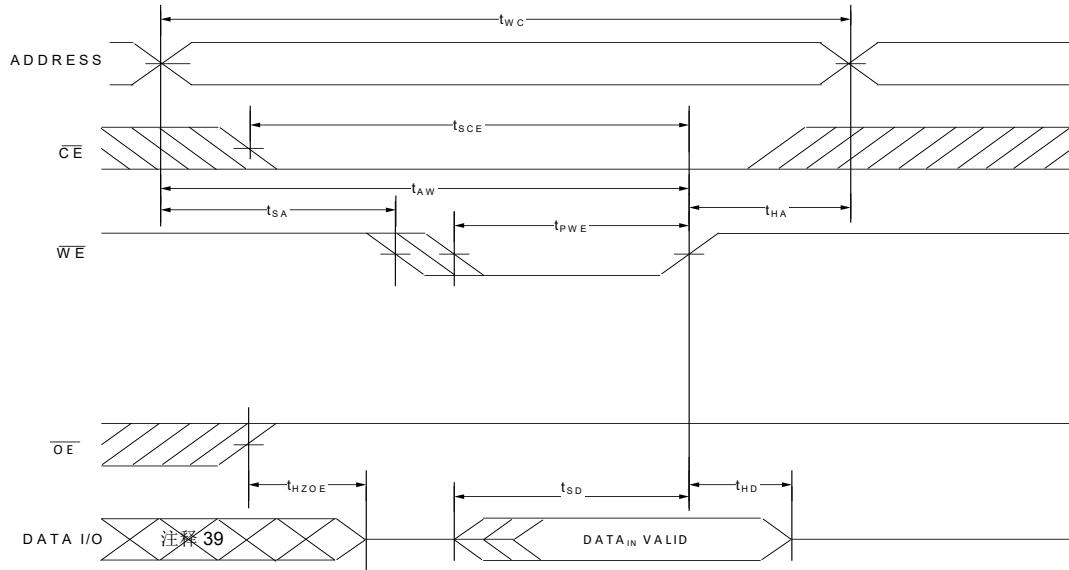


注释:

33. WE 为高电平时，会执行读周期。
34. 对于所有的双芯片使能器件， \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 将处于低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 将处于高电平状态。
35. 地址有效在 CE 的低电平转换前发生或者同步发生。

开关波形 (续)

图 8. 第一个写周期 (\overline{WE} 被控制) [36, 37, 38]



注释:

36. 对于所有的双芯片使能器件， \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 将处于低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 将处于高电平状态。
37. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IH}$ 和 $CE_2 = V_{IH}$ ，可以定义存储器的内部写入时间。要求所有信号必须处于 ACTIVE 状态以启动写周期，并且将任何信号进入 INACTIVE 状态以终止它。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
38. 如果 $\overline{CE} = V_{IH}$ ，或 $\overline{OE} = V_{IH}$ ，数据 I/O 将处于高阻态。
39. 在该过程中，I/O 处于输出状态。勿采用输入信号。

开关波形 (续)

图 9. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) [40, 41, 42, 43]

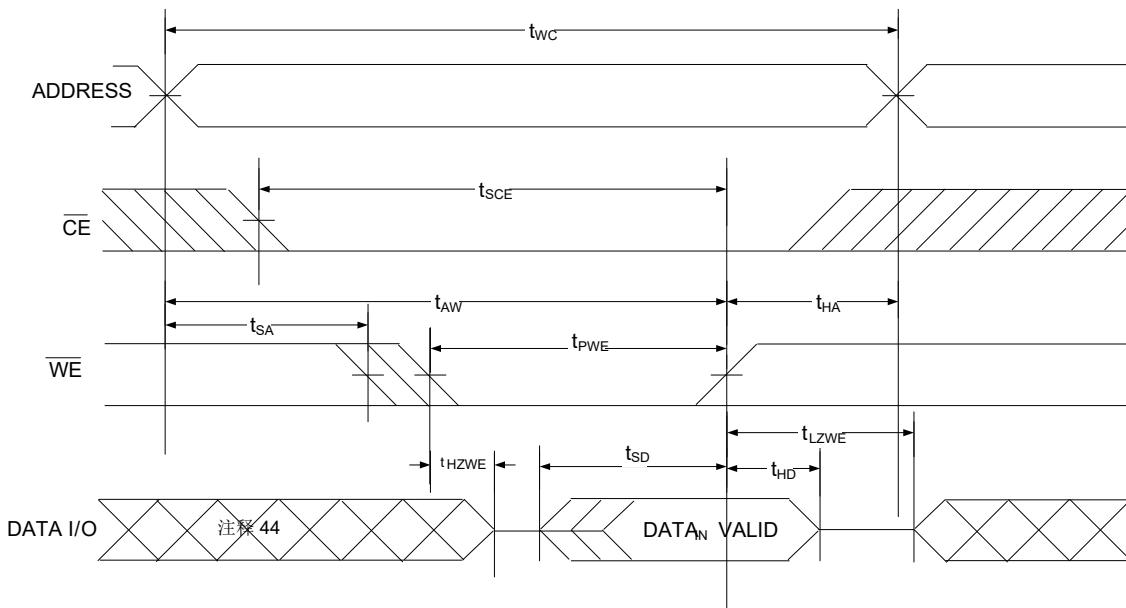
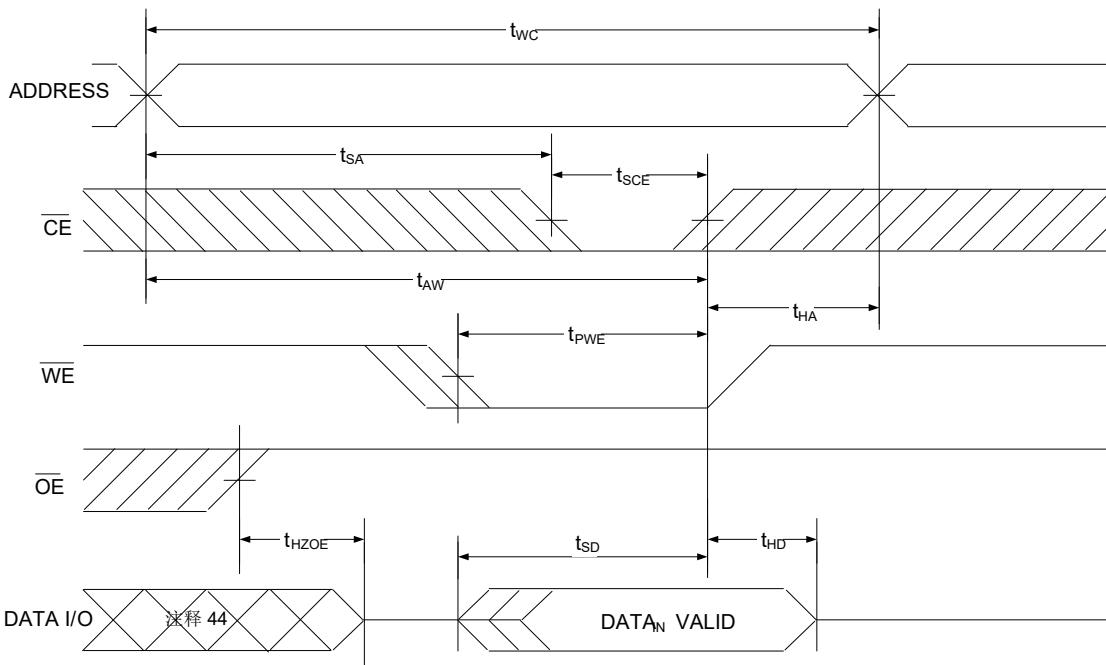


图 10. 第三个写周期 (\overline{CE} 被控制) [40, 41, 42]



注释:

40. 对于所有的双芯片使能器件, \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 将处于低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 将处于高电平状态。
41. 通过重叠 $WE = V_{IH}$ 、 $\overline{CE}_1 = V_{IL}$ 和 $CE_2 = V_{IH}$, 可以定义存储器的内部写入时间。要求所有信号必须处于 ACTIVE 状态以启动写周期, 并且将任何信号进入 INACTIVE 状态以终止它。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
42. 如果 $\overline{CE} = V_{IH}$, 或 $\overline{OE} = V_{IH}$, 数据 I/O 将处于高阻态。
43. 最小写周期脉冲宽度应等于 t_{HZWE} 和 t_{SD} 的总和。
44. 在该过程中, I/O 处于输出状态。勿采用输入信号。

真值表 — CY62168G/CY62168GE

CE₁	CE₂	WE	OE	I/O	模式	功耗
H	X ^[45]	X ^[45]	X ^[45]	高阻态	取消选择 / 断电	待机 (I_{SB2})
X ^[45]	L	X ^[45]	X ^[45]	高阻态	取消选择 / 断电	待机 (I_{SB2})
L	H	H	L	数据输出 (I/O_0 – I/O_7)	读	活动 (I_{CC})
L	H	H	H	高阻态	输出处于禁用状态	活动 (I_{CC})
L	H	L	X	数据输入 (I/O_0 – I/O_7)	写	活动 (I_{CC})

ERR 输出 — CY62168GE

输出^[46]	模式
0	读操作，存储数据中没有单比特错误。
1	读操作，检测到并纠正了单比特错误。
高阻态	取消选择器件 / 禁用输出 / 写操作

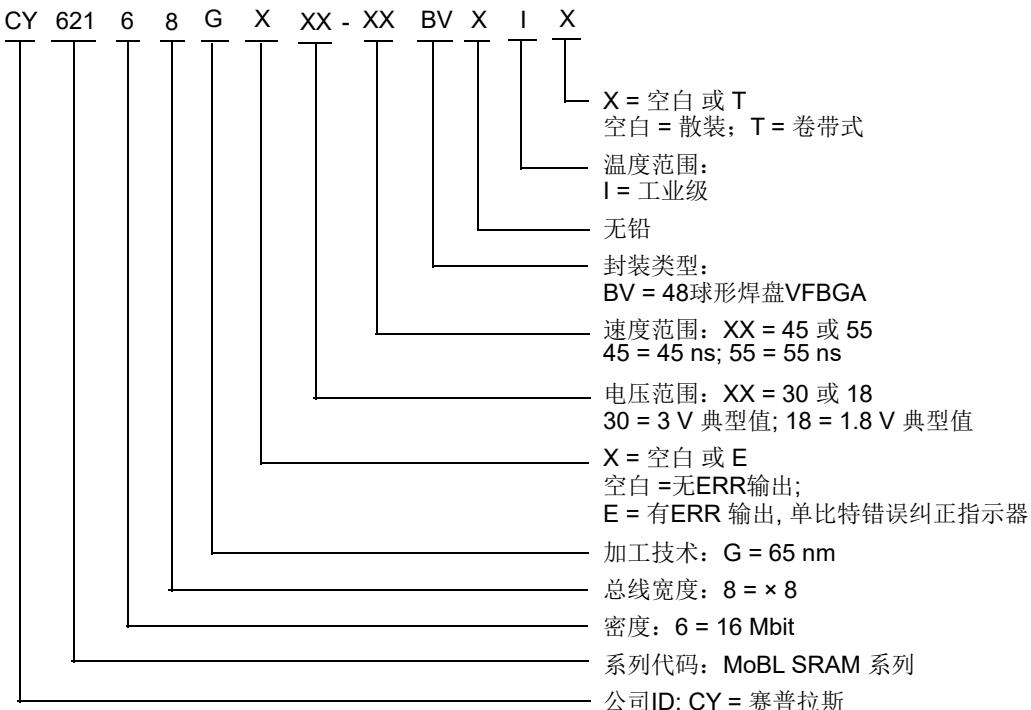
注释：

45. 芯片使能的‘X’（无需关注）状态指的是信号的逻辑状态（高电平或低电平）。这些引脚上不支持中间电压电平。
 46. ERR 是输出引脚。如果未使用，此引脚应保持浮动。

订购信息

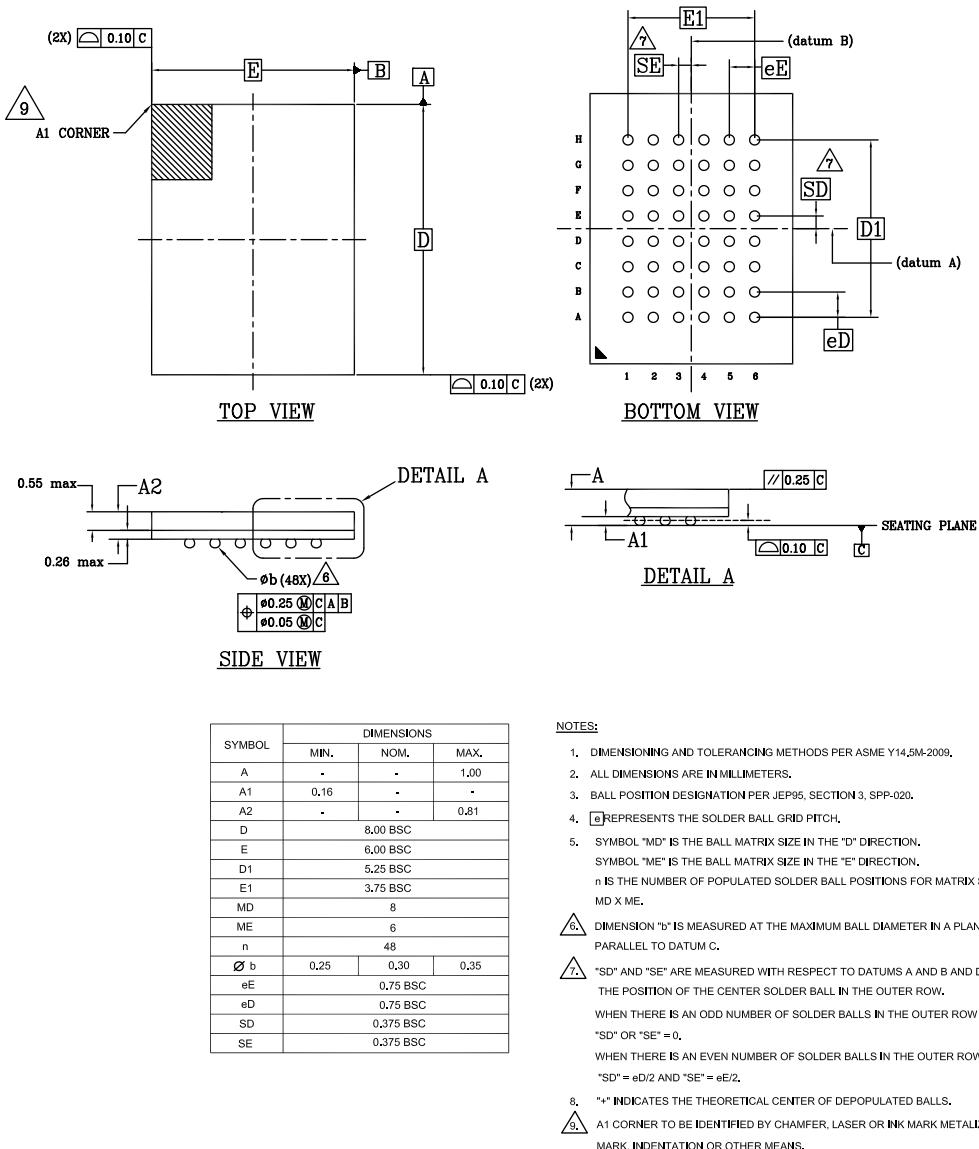
速率 (ns)	订购代码	封装图	封装类型	工作范围
45	CY62168GE30-45BVXI	51-85150	48 球形焊盘 VFBGA	工业级
	CY62168GE30-45BVXIT		48 球形焊盘 VFBGA、卷带式	
45	CY62168G30-45BVXI	51-85150	48 球形焊盘 VFBGA	工业级
	CY62168G30-45BVXIT		48 球形焊盘 VFBGA、卷带式	
55	CY62168G18-55BVXI	51-85150	48 球形焊盘 VFBGA	工业级
	CY62168G18-55BVXIT		48 球形焊盘 VFBGA、卷带式	

订购代码定义



封装图

图 11.48 球形焊盘 VFBGA (6 × 8 × 1.0 mm) 封装外形, 51-85150



51-85150 *I

缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
OE	输出使能
SRAM	静态随机存取存储器
VFBGA	间距极细的球栅阵列 (BGA)
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
µs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY62168G/CY62168GE MoBL, 带纠错码 (ECC) 的 16 Mbit (2 M 字 × 8 位) 静态 RAM
文档编号: 001-92015

修订版本	ECN 编号	提交日期	更改说明
**	4335791	04/07/2014	本文档版本号为 Rev**, 译自英文版 001-84771 Rev.*B。
*A	4471859	08/14/2014	本文档版本号为 Rev*A, 译自英文版 001-84771 Rev.*D。
*B	6719654	10/31/2019	本文档版本号为 Rev. *B, 译自英文版 001-84771 Rev. *J。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器

汽车级产品

时钟与缓冲器

接口

物联网

存储器

微控制器

PSoC

电源管理 IC

触摸感应

USB 控制器

无线连接

cypress.com/arm

cypress.com/automotive

cypress.com/clocks

cypress.com/interface

cypress.com/iot

cypress.com/memory

cypress.com/mcu

cypress.com/psoc

cypress.com/pmic

cypress.com/touch

cypress.com/usb

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2012-2019年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署的由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）：（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。