

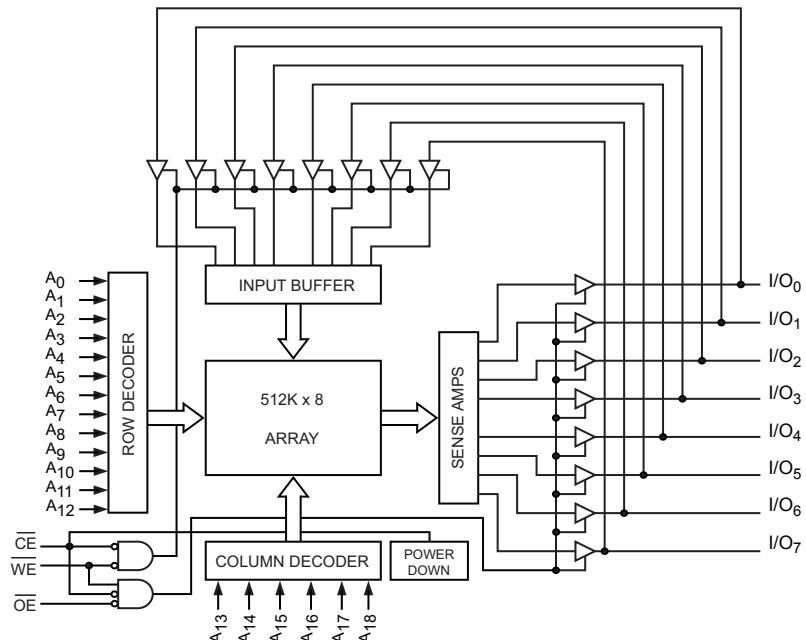
特性

- 超高速频率: 45 ns
- 宽广的电压范围: 2.2 V ~ 3.6 V, 4.5 V ~ 5.5 V
- 超低待机功耗
 - 典型待机电流: 3.5 μ A
 - 最大待机电流: 8.7 μ A
- 配有 \overline{CE} 和 \overline{OE} 特性, 可易于扩展存储空间
- 取消选择时会自动断电
- 互补金属氧化物半导体 (CMOS), 用于获取最佳的速度和功耗
- 支持无铅 32 引脚薄小外形封装 (TSOP) II 和 32 引脚小外形集成电路 (SOIC) 封装

功能描述

CY62148GN 是一款结构为 512 K 字 × 8 位的高性能 CMOS 静态 RAM。该器件具有高级电路设计的特性, 可提供超低的待机

逻辑框图



电流。在便携式应用中, 这是提供 More Battery Life™ (MoBL®) 的理想方法。该器件也有自动断电性能。当地址没有切换时, 通过该特性可大大降低功耗。当取消选择 (\overline{CE} 为高电平) 时, 通过将器件置于待机模式, 可以节约 99% 以上的功耗。在取消选择器件 (\overline{CE} 为高电平)、禁用各输出 (\overline{OE} 为高电平) 或进行写操作期间 (\overline{CE} 和 \overline{WE} 为低电平), 8 个输入和输出引脚 (I/O₀ 到 I/O₇) 将处于高阻态。

要想写入该器件, 需要将芯片使能 (\overline{CE}) 和写入使能 (\overline{WE}) 输入置于低电平。然后, 将 8 个 I/O 引脚 (I/O₀ 到 I/O₇) 上的数据写入到地址引脚 (A₀ 到 A₂₀) 上所指定的位置内。

要想读取该器件, 需要将芯片使能 (\overline{CE}) 和输出使能 (\overline{OE}) 置于低电平, 同时将写入使能 (\overline{WE}) 置于高电平。在这些条件下, 地址引脚所指定的存储器位置中的内容将显示在 I/O 引脚上。

要获取相关文档的完整列表, 请[单击此处](#)。

目录

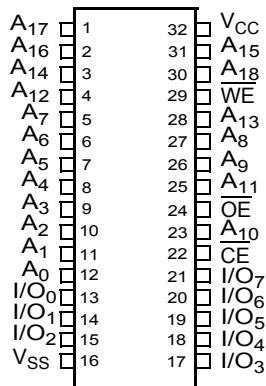
引脚配置	3
产品系列	3
最大额定值	4
工作范围	4
电气特性	4
电容	5
热阻	5
交流测试负载和波形	5
数据保留特性	6
数据保留波形	6
信号切换特性	7
信号切换波形	8
真值表	10

订购信息	11
订购代码定义	11
封装图	12
缩略语	14
文档规范	14
测量单位	14
文档修订记录	15
销售、解决方案和法律信息	16
全球销售和设计支持	16
产品	16
PSoC® 解决方案	16
赛普拉斯开发者社区	16
技术支持	16

引脚配置

图 1. 32-SOIC/TSOP II 引脚分布

顶视图



产品系列

产品	范围	V _{CC} 范围 (V)	速度 (ns)	功耗					
				工作电流 I _{CC} (mA)				待机电流 I _{SB2} (μA)	
				f = 1 MHz	f = f _{max}	典型值 ^[1]	最大值		
CY62148GN30	工业级	2.2 V ~ 3.6 V	45	-	6	-	20	3.5	8.7
CY62148GN		4.5 V ~ 5.5 V							

注释:

1. 典型值仅供参考，并未得到保证，也未经过测试。典型值的测量条件为: V_{CC} = V_{CC(typ)}, T_A = 25 °C。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度	−65 °C ~ +150 °C
上电时的环境温度	−55 °C ~ +125 °C
接地电位的供电电压	−0.5 V ~ V _{CC} + 0.5 V
应用于高阻状态输出的直流电压 ^[2, 3]	−0.5 V ~ V _{CC} + 0.5 V
直流输入电压 ^[2, 3]	−0.5 V ~ V _{CC} + 0.5 V

电气特性

(在上面所述的工作范围内)

参数	说明	测试条件	45 ns			单位	
			最小值	典型值 ^[5]	最大值		
V _{OH}	输出高电平电压	2.2 V ~ 2.7 V V _{CC} = 最小值, I _{OH} = −0.1 mA	2	−	−	V	
		2.7 V ~ 3.6 V V _{CC} = 最小值, I _{OH} = −1.0 mA	2.2	−	−		
		4.5 V ~ 5.5 V V _{CC} = 最小值, I _{OH} = −1.0 mA	2.4	−	−		
		4.5 V ~ 5.5 V V _{CC} = 最小值, I _{OH} = −0.1 mA	V _{CC} − 0.5 ^[6]	−	−		
V _{OL}	输出低电平电压	2.2 V ~ 2.7 V V _{CC} = 最小值, I _{OL} = 0.1 mA	−	−	0.4	V	
		2.7 V ~ 3.6 V V _{CC} = 最小值, I _{OL} = 2.1 mA	−	−	0.4		
		4.5 V ~ 5.5 V V _{CC} = 最小值, I _{OL} = 2.1 mA	−	−	0.4		
V _{IH}	输入高电平电压	2.2 V ~ 2.7 V −	2	−	V _{CC} + 0.3 ^[3]	V	
		2.7 V ~ 3.6 V −	2	−	V _{CC} + 0.3 ^[3]		
		4.5 V ~ 5.5 V −	2.2	−	V _{CC} + 0.5		
V _{IL}	输入低电平电压	2.2 V ~ 2.7 V −	−0.3 ^[2]	−	0.6	V	
		2.7 V ~ 3.6 V −	−0.3 ^[2]	−	0.8		
		4.5 V ~ 5.5 V −	−0.5	−	0.8		
I _{IX}	输入漏电流	GND ≤ V _I ≤ V _{CC}	−1	−	+1	μA	
I _{OZ}	输出漏电流	GND ≤ V _O ≤ V _{CC} , 输出被禁用	−1	−	+1	μA	
I _{CC}	V _{CC} 工作电流	f = f _{max} = 1/t _{RC}	V _{CC} = V _{CC(max)} , I _{OUT} = 0 mA CMOS 电平	−	−	20	mA
		f = 1 MHz	−	−	6		
I _{SB1} ^[7]	CE 自动断电电流 — CMOS 输入	CE ≥ V _{CC} − 0.2 V, V _{IN} ≥ V _{CC} − 0.2 V 或 V _{IN} ≤ 0.2 V, f = f _{max} (仅地址和数据), f = 0 (OE 和 WE), V _{CC} = V _{CC(max)}	−	3.5	8.7	μA	
I _{SB2} ^[7]	CE 自动断电电流 — CMOS 输入	CE ≥ V _{CC} − 0.2 V, V _{IN} ≥ V _{CC} − 0.2 V 或 V _{IN} ≤ 0.2 V, f = 0, V _{CC} = V _{CC(max)}	−	3.5	8.7	μA	

注释:

- 脉冲宽度小于 20 ns 且 I ≤ 30 mA 时, V_{IL(min)} = −2.0 V。
- 脉冲宽度小于 20 ns 时, V_{IH(max)} = V_{CC} + 0.75 V。
- 完整的器件交流操作假设 0 到 V_{CC(min)} 的升降时间为 100 μs, V_{CC} 稳定下来后等待时间为 200 μs。
- 典型值仅供参考, 并未得到保证, 也未经过测试。典型值的测量条件为: V_{CC} = V_{CC(typ)}, T_A = 25 °C。
- 该参数由设计保证, 但未经过测试。
- 芯片使能 (CE) 必须处于 CMOS 高电平状态, 以满足 I_{SB2} / I_{CCDR} 规范。可将其他输入置于悬空状态。

电容

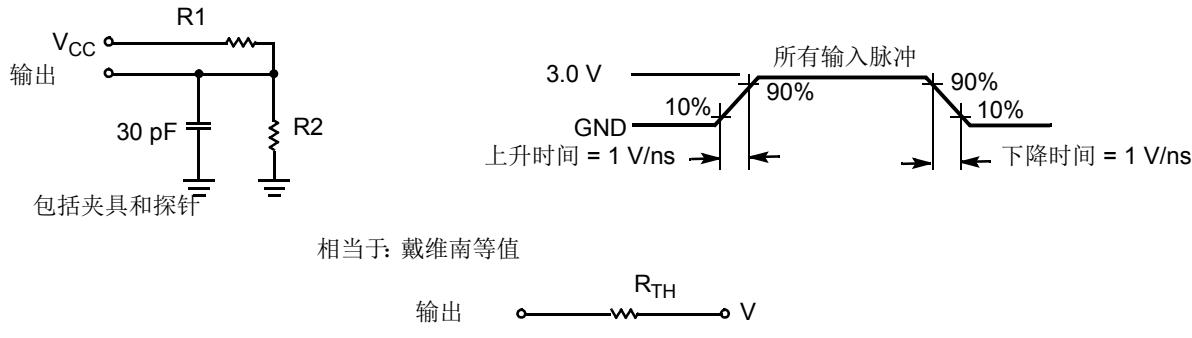
参数 ^[8]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ C, f = 1 MHz, V_{CC} = V_{CC(Typ)}$	10	pF
C_{OUT}	输出电容		10	pF

热阻

参数 ^[8]	说明	测试条件	32-SOIC 封装	32-TSOP II 封装	单位
Θ_{JA}	热电阻 (结温)	无气流, 被焊接到 3×4.5 英寸的四层印 刷电路板上	51.79	79.03	$^\circ C/W$
Θ_{JC}	热电阻 (壳温)		25.12	17.44	$^\circ C/W$

交流测试负载和波形

图 2. 交流测试负载和波形^[9]



参数 ^[8]	2.5 V	3.0 V	5.0 V	单位
R_1	16667	1103	1800	Ω
R_2	15385	1554	990	Ω
R_{TH}	8000	645	639	Ω
V_{TH}	1.20	1.75	1.77	V

注释：

8. 任何可能影响这些参数的设计或流程更改前和后，都要进行测试。
9. 为了确保器件正常工作，线性 V_{CC} 必须在 $> 100 \mu s$ 的时间内从 V_{DR} 上升到 $V_{CC(min)}$ ，或者在 $> 100 \mu s$ 的时间内保持 $V_{CC(min)}$ 稳定的状态。

数据保留特性

(在上面所述的工作范围内)

参数	说明	条件	最小值	典型值 ^[10]	最大值	单位
V_{DR}	用于数据保留的 V_{CC}		1	—	—	V
I_{CCDR} ^[11、12]	数据保留电流	$V_{CC} = 1.2V, \overline{CE} \geq V_{CC} - 0.2V, V_{IN} \geq V_{CC} - 0.2V$ 或 $V_{IN} \leq 0.2V$	—	—	13	μA
t_{CDR} ^[13]	从芯片取消选择到数据保留的时间		0	—	—	ns
t_R ^[13、14]	操作恢复的时间		45	—	—	ns

数据保留波形

图 3. 数据保留波形



注释:

10. 典型值仅供参考，并未得到保证，也未经过测试。典型值的测量条件为: $V_{CC} = V_{CC(\text{typ})}$, $T_A = 25^\circ\text{C}$ 。
11. 芯片使能 (\overline{CE}) 必须处于 CMOS 高电平状态，以满足 I_{SB2} / I_{CCDR} 规范。可将其他输入置于悬空状态。
12. 器件先以 $V_{CC(\text{min})}$ 通电，然后下降到 V_{DR} ，这样 I_{CCDR} 才能得到保证。
13. 这些参数由设计保证。
14. 为了确保器件正常工作，线性 V_{CC} 必须在 $> 100 \mu\text{s}$ 的时间内从 V_{DR} 上升到 $V_{CC(\text{min})}$ ，或者在 $> 100 \mu\text{s}$ 的时间内保持 $V_{CC(\text{min})}$ 稳定的状态。

信号切换特性

(在上面所述的工作范围内)

参数 [15]	说明	45 ns		单位
		最小值	最大值	
读周期				
t_{RC}	读周期时长	45	—	ns
t_{AA}	从地址到数据有效的时间	—	45	ns
t_{OHA}	地址更改后的数据保留时间	10	—	ns
t_{ACE}	从 \overline{CE} 为低电平到数据有效的时间	—	45	ns
t_{DOE}	从 \overline{OE} 为低电平到数据有效的时间	—	22	ns
t_{LZOE}	从 \overline{OE} 为低电平到低阻态的时间 [16]	5	—	ns
t_{HZOE}	从 \overline{OE} 为高电平到高阻态的时间 [16、17]	—	18	ns
t_{LZCE}	从 \overline{CE} 为低电平到低阻态的时间 [16]	10	—	ns
t_{HZCE}	从 \overline{CE} 为高电平到高阻态的时间 [16、17]	—	18	ns
t_{PU}	从 \overline{CE} 为低电平到上电的时间	0	—	ns
t_{PD}	从 \overline{CE} 为高电平到断电的时间	—	45	ns
写周期 [18、19]				
t_{WC}	写周期的时长	45	—	ns
t_{SCE}	从 \overline{CE} 为低电平到写周期结束的时间	35	—	ns
t_{AW}	从地址设置到写周期结束的时间	35	—	ns
t_{HA}	写周期结束后地址保持的时间	0	—	ns
t_{SA}	从地址设置到写周期开始的时间	0	—	ns
t_{PWE}	\overline{WE} 脉冲宽度	35	—	ns
t_{SD}	从数据设置到写周期结束的时间	25	—	ns
t_{HD}	写周期结束后数据保持的时间	0	—	ns
t_{HZWE}	\overline{WE} 为低电平到高阻态的时间 [16、17]	—	18	ns
t_{LZWE}	\overline{WE} 为高电平到低阻态的时间 [16]	10	—	ns

注释:

15. 除了三态参数以外，其他所有参数的测试条件都采用了等于或小于 3 ns 的信号转换时间，1.5 V 的时序参考电平，0 至 3 V 的输入脉冲电平以及第 5 页上的图 2 中所示的 I_{OL}/I_{OH} 的输出负载。
16. 在所有温度和电压范围条件下，对于所有器件， t_{HZCE} 低于 t_{LZCE} ， t_{HZOE} 低于 t_{LZOE} 和 t_{HZWE} 低于 t_{LZWE} 。
17. t_{HZOE} 、 t_{HZCE} 和 t_{HZWE} 转换的测量条件为输出处于高阻态。
18. 通过重叠 \overline{WE} 、 $\overline{CE} = V_{IL}$ 确定存储器的内部写入时长。要想执行某个写操作，必须将所有信号置于 ACTIVE (活动) 状态；要想终止该写操作，则将任意一个信号置于 INACTIVE (非活动) 状态即可。当设置建立时间和保持时间时，必须考虑到终止写操作的信号边沿。
19. 第三个周期 (由 \overline{WE} 控制， \overline{OE} 为低电平) 的最小写周期脉冲宽度为 t_{SD} 和 t_{HZWE} 的总和。

信号切换波形

图 4. 第一个读周期 (由地址转换控制) [20、21]

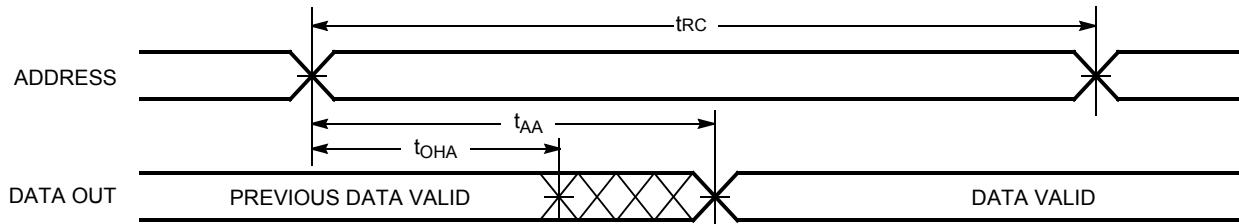


图 5. 第二个读周期 (由 \overline{OE} 控制) [21、22]

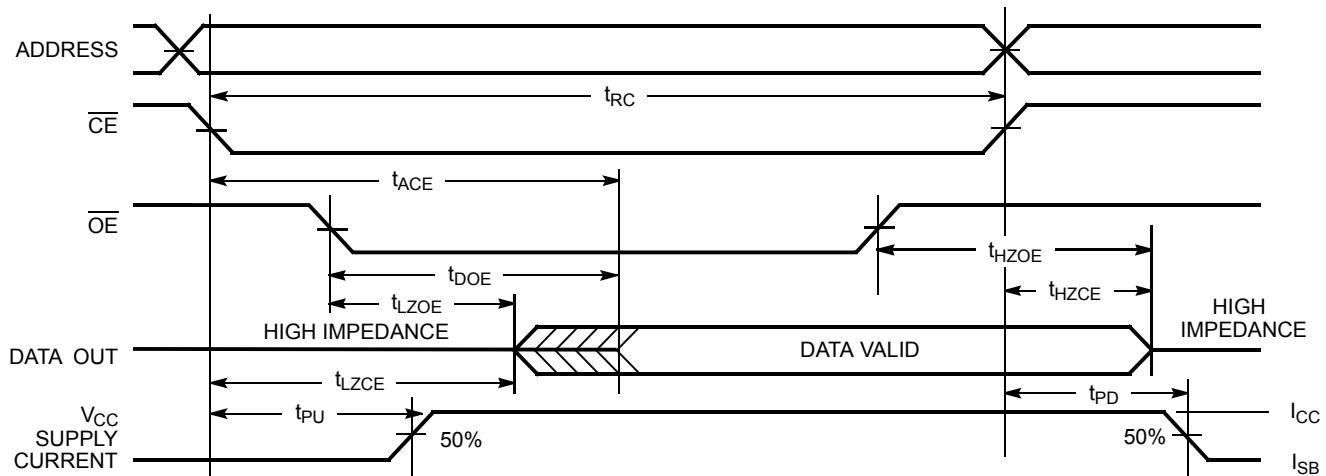
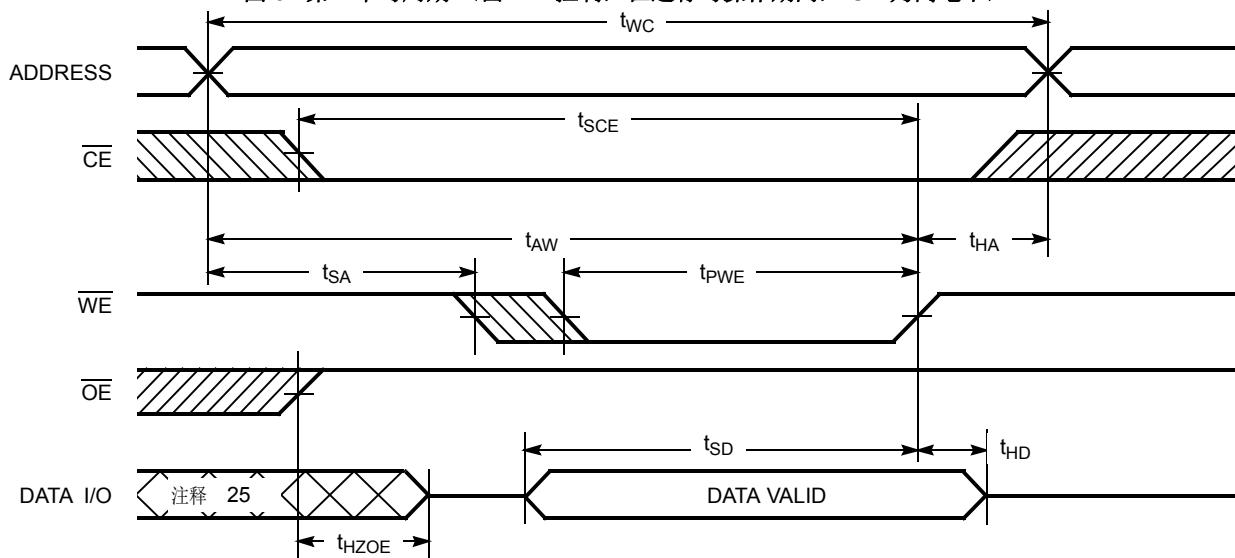


图 6. 第一个写周期 (由 \overline{WE} 控制, 在进行写操作期间, \overline{OE} 为高电平) [23、24]



注释:

20. 一直选中器件。 \overline{OE} 、 \overline{CE} = V_{IL} 。
21. 在读周期中, \overline{WE} 为高电平。
22. \overline{CE} 转为低电平前或处于低电平时, 地址会有效。
23. 如果 $\overline{OE} = V_{IH}$, 数据 I/O 将处于高阻态。
24. 如果 \overline{CE} 和 \overline{WE} 同时为高电平, 输出将处于高阻态。
25. 在该期间内, 各 I/O 均处于输出状态, 并且不能采用输入信号。

信号切换波形 (续)

图 7. 第二个写周期 (由 \overline{CE} 控制) [26、27]

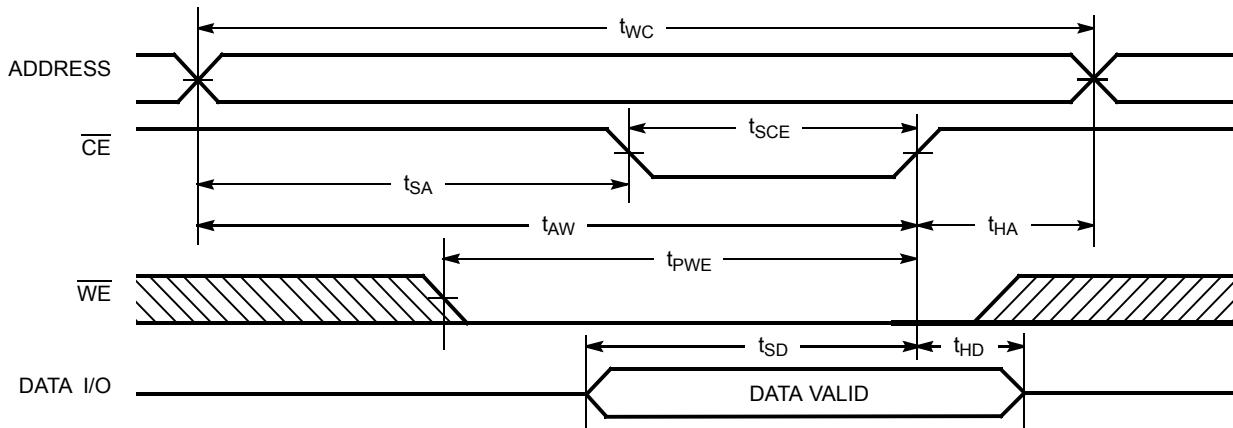
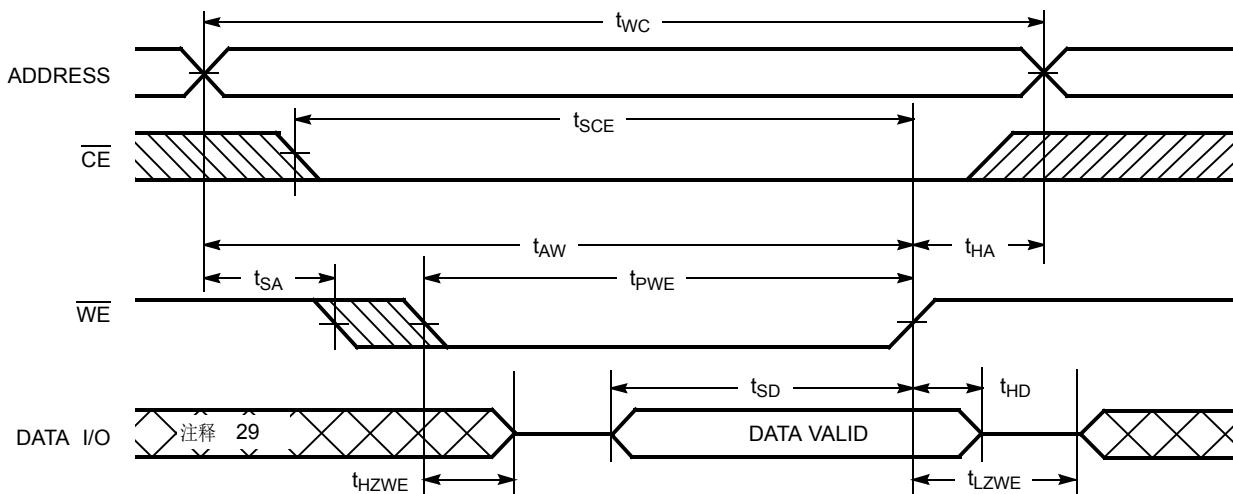


图 8. 第三个写周期 (由 \overline{WE} 控制), \overline{OE} 为低电平) [27、28]



注释:

26. 如果 $\overline{OE} = V_{IH}$, 数据 I/O 将处于高阻态。
27. 如果 \overline{CE} 和 \overline{WE} 同时为高电平, 输出将处于高阻态。
28. 最小的写周期脉冲宽度应该等于 t_{SD} 和 t_{HZWE} 的总和。
29. 在该期间内, 各 I/O 均处于输出状态, 并且不能采用输入信号。

真值表

\overline{CE}	\overline{WE}	\overline{OE}	I/O	模式	功耗模式
H ^[30]	X	X	高阻态	取消选择 / 断电	待机 (I_{SB})
L	H	L	数据输出	读取	活动 (I_{CC})
L	L	X	数据输入	写入	活动 (I_{CC})
L	H	H	高阻态	选中, 输出被禁用	活动 (I_{CC})

注释:

30. 芯片使能 (\overline{CE}) 必须处于 CMOS 高电平状态, 以满足 I_{SB2} / I_{CCDR} 规范。可将其他输入置于悬空状态。

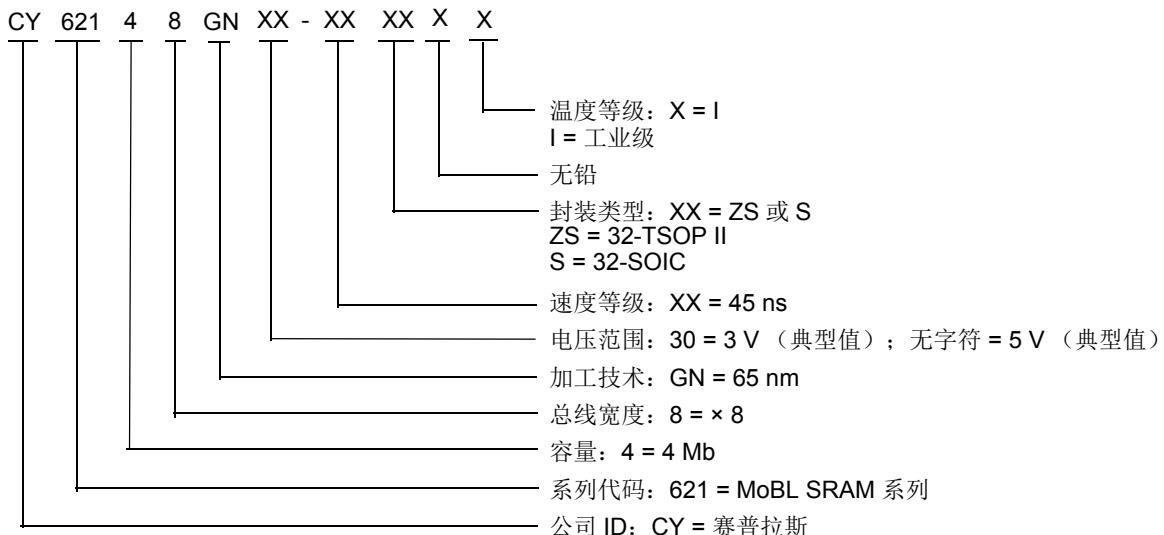
订购信息

表 1 列出了 CY62148GN MoBL® 的关键封装特性和订购代码。该表仅包含当前可用的器件。如果您未能找到所需的器件, 请与您当地销售代表联系。欲了解更多信息, 请访问赛普拉斯公司网站 www.cypress.com, 并参考 <http://www.cypress.com/products> 上的产品汇总页。

表 1. 关键特性和订购信息

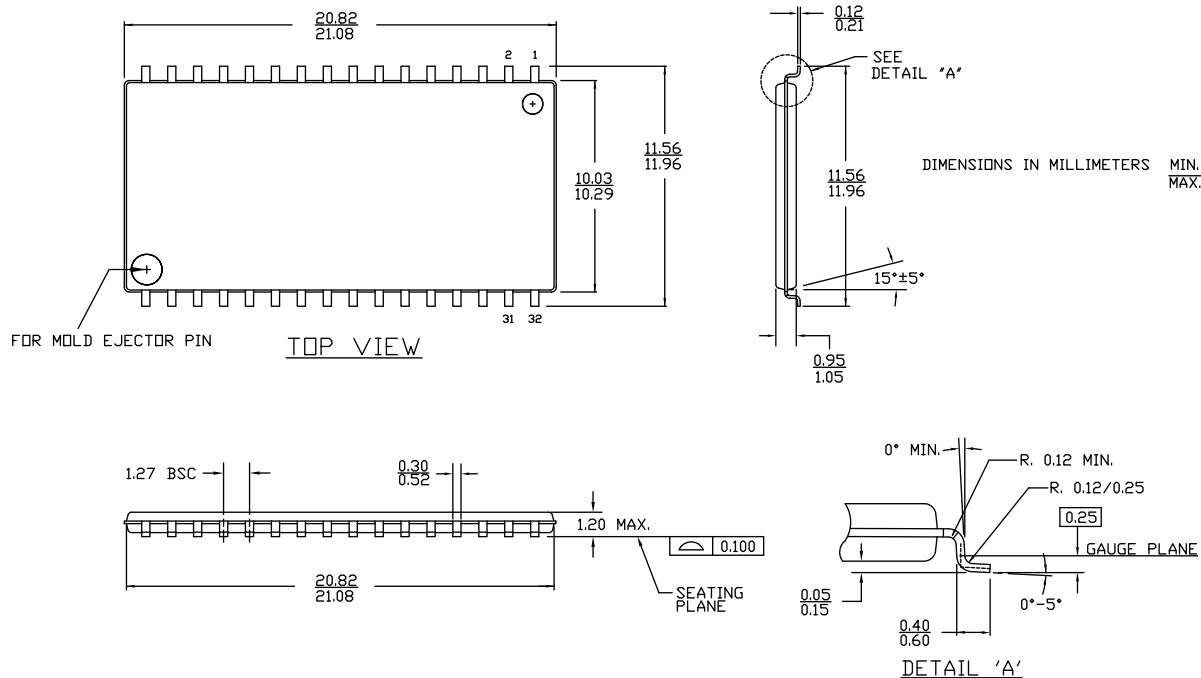
速度 (ns)	电压范围 (V)	订购代码	封装图	封装类型	工作范围
45	2.2 V ~ 3.6 V	CY62148GN30-45ZSXI	51-85095	32-TSOP II (无铅)	工业级
		CY62148GN30-45SXI	51-85081	32-SOIC (无铅)	
	4.5 V ~ 5.5 V	CY62148GN-45ZSXI	51-85095	32-TSOP II (无铅)	
		CY62148GN-45SXI	51-85081	32-SOIC (无铅)	

订购代码定义

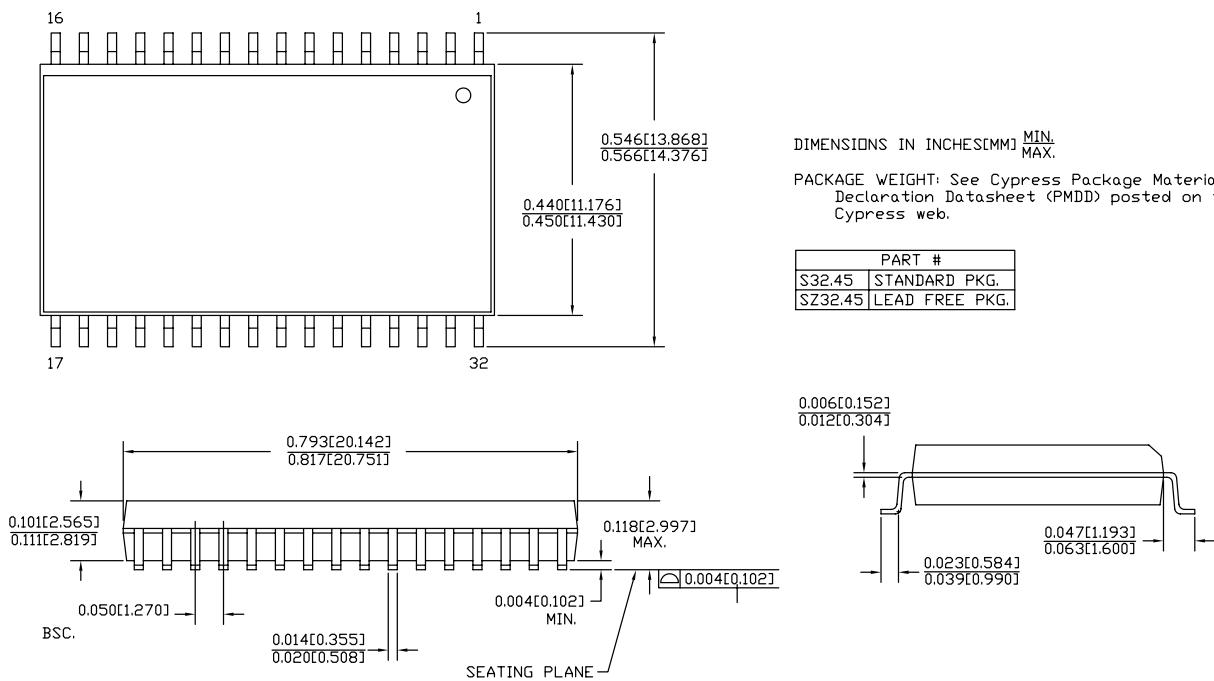


封装图

图 9. 32-TSOP II (20.95 × 11.76 × 1.0 mm) ZS32 封装外形 — 51-85095



51-85095 *D

封装图 (续)
图 10. 32-SOIC (450 Mil) S32.45/SZ32.45 封装外形 — 51-85081


51-85081 *E

缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
OE	输出使能
MoBL	More Battery Life (电池寿命更长)
SOIC	小外形集成电路
SRAM	静态随机存取存储器
TSOP	薄小外形封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
µs	微秒
mA	毫安
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY62148GN MoBL®, 4 Mb (512 K x 8) 静态 RAM				
文档编号: 002-10961				
版本	ECN	变更者	提交日期	变更说明
**	5154141	SNYQ	02/29/2016	本文档版本号为 Rev**, 译自英文版 001-95418 Rev*A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品

cypress.com/go/automotive

时钟与缓冲区

cypress.com/go/clocks

接口

cypress.com/go/interface

照明与电源控制

cypress.com/go/powerpsoc

存储器

cypress.com/go/memory

PSoC

cypress.com/go/psoc

触摸感应产品

cypress.com/go/touch

USB 控制器

cypress.com/go/USB

无线 / 射频

cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司, 2015-2016。此处所包含的信息可随时更改, 恕不另行通知。除赛普拉斯产品内嵌的电路外, 赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议, 否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外, 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

所有源代码 (软件和 / 或固件) 均归赛普拉斯半导体公司 (赛普拉斯) 所有, 并受全球专利法规 (美国和美国以外的专利法规)、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可, 用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品, 并且其目的只能是创建自定义软件和 / 或固件, 以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外, 未经赛普拉斯明确的书面许可, 不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明: 赛普拉斯不针对此材料提供任何类型的明示或暗示保证, 包括 (但不限于) 针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障 (包括运转异常) 或失效可能会对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。